

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE GRADO

**Diseño de un amplificador integrado en configuración
Doherty en tecnología GaN**

**Titulación: Grado en Ingeniería en tecnologías de la
telecomunicación**

Autor: Roberto Rodríguez Hernández

Tutor: Francisco Javier del Pino Suárez

Co-Tutor: Emilio Torres Arma

Fecha: Junio 2018



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE GRADO

Diseño de un amplificador integrado en configuración Doherty en tecnología GaN

Hoja de evaluación

Calificación: _____

Presidente

Vocal

Secretario/a

Fecha: Junio 2018

Agradecimientos

Este apartado está dedicado a todas las personas que de alguna forma han colaborado en el desarrollo de este Trabajo de Fin de Grado, trabajo con el que acaban cuatro años de intenso trabajo. Quisiera agradecer a mis tutores, a mis compañeros y amigos y a mi familia, puesto que han sido de gran valor durante el desarrollo de esta etapa.

En primer lugar, quiero mostrar mi agradecimiento a mis dos tutores, Javier y Emilio. Gracias a ambos por su tiempo, paciencia y trabajo.

En segundo lugar, quiero agradecer a mi familia todo su apoyo durante estos años de trabajo, de buenos y malos momentos, gracias a todos.

Además, me gustaría agradecer el apoyo de mis amigos, algunos de ellos compañeros de carrera. Ellos han supuesto un gran apoyo moral, tanto en el aspecto académico como personal.

Índice

Parte I: Memoria	13
1. Introducción	15
1.1. Antecedentes	16
1.2. Objetivos	19
1.3. Estructura de la memoria	20
2. Estado del arte	21
2.1. Tecnología 5G	22
2.1.1. Bandas de frecuencia	23
2.1.2. Aplicaciones	26
2.2. Nitruro de Galio	27
2.2.1. Comparativa con Si y GaAs	28
2.2.2. Comparativa con SiC	31
2.3. 5G y GaN	32
3. Conceptos teóricos	34
3.1. Transistores	35
3.1.1. Funcionamiento	35
3.1.2. Curvas características	38
3.1.3. Fingers	40
3.2. Amplificadores de potencia	43
3.2.1. Estabilidad	43
3.2.2. Ganancia	45
3.2.3. Eficiencia	46
3.2.4. Clases	47
3.3. Amplificador Doherty	52
3.3.1. Principio de modulación de carga	55
3.4.1. Eficiencia	59
3.4.2. Back-off	60
4. Diseño del amplificador Doherty	64
4.1. Diseño del esquemático	65
4.1.1. Configuración de los transistores	65
4.1.2. Obtención de las curvas del transistor	66
4.1.3. Estabilidad de los transistores	70
4.1.4. Load-pull y source pull	75
4.1.5. Adaptación de impedancias	79
4.1.6. Simulaciones de los transistores	83
4.2. El amplificador Doherty	90
4.2.1. Construcción del amplificador Doherty	90
4.2.2. Sustitución del divisor de potencia	96

.....	99
4.2.3. Sustitución por componentes reales del <i>layout</i>	100
4.2.4. Sustitución de las redes de adaptación de entrada por componentes reales	108
4.2.5. Sustitución de las redes de adaptación de salida por componentes reales	111
4.2.6. Creación del <i>layout</i>	115
4.2.7. Resultados finales	122
4.2.8. Simulaciones Monte Carlo.....	127
5. Conclusiones y líneas futuras	129
5.1. Conclusiones	130
5.1.1. Resultados	131
5.1.2. Líneas futuras.....	133
Parte II: Bibliografía	135
Parte III: Pliego de condiciones	141
Parte IV: Presupuesto	143
Trabajo tarifado por tiempo empleado.....	144
Amortización del inmovilizado material	145
Amortización del material hardware	145
Amortización del material software	145
Parte V: Anexos	149
Anexo 1: Esquemático final	150
Anexo 2: Layout final	151

Índice de figuras

Figura 1-1: Esquemático de un amplificador Doherty.	17
Figura 1-2: Señal de salida del amplificador Doherty.	18
Figura 2-1: Planes de despliegue en München, Alemania.	25
Figura 2-2: Los distintos servicios que ofrecerá el 5G y algunas de sus aplicaciones.	27
Figura 2-3: Obleas donde se depositan los circuitos.	28
Figura 2-4: Circuitos comparativos de GaAs (izquierda) y GaN (Derecha).	29
Figura 2-5: Eficiencia del GaN frente a otros semiconductores en estaciones base (izquierda) y las inversiones realizadas en LDMOS y GaN previos años (derecha).	32
Figura 3-1: Símbolo de un transistor HEMT.	35
Figura 3-2: Curva de transferencia (izquierda) y curva característica del drenador (derecha) del transistor.	38
Figura 3-3: Rectas de carga y puntos de trabajo (Q) de un transistor en diferentes posiciones.	40
Figura 3-4: Transistor con solo una puerta (izquierda) y transistor con dos fingers (derecha). ...	41
Figura 3-5: Layout con más de dos fingers y drenadores conectados.	41
Figura 3-6: Capacidades parásitas en función del número de fingers.	42
Figura 3-7: Símbolo de un amplificador.	43
Figura 3-8: Salida de un transistor estable (izquierda) e inestable (derecha).	43
Figura 3-9: Señal de salida de un transistor (izquierda) y señal en compresión (derecha)	45
Figura 3-10: Clases de amplificadores. De izquierda a derecha, y arriba para abajo: Clase A, Clase B, Clase AB y clase C.	48
Figura 3-11: Líneas de carga y puntos de polarización de las distintas clases de transistores. ...	49
Figura 3-12: Circuito básico de un amplificador Doherty.	52
Figura 3-13: Señales de salida de los amplificadores.	53
Figura 3-14: Eficiencia de un amplificador Doherty (izquierda) y la corriente y tensión de entrada de ambos amplificadores (derecha).	53
Figura 3-15: Bloque de diagramas real de un amplificador Doherty.	54
Figura 3-16: Línea de transmisión de cuarto de onda y sus impedancias.	55

Figura 3-17: Circuito equivalente de un amplificador Doherty.....	56
Figura 3-18: Circuito equivalente en la primera región.....	56
Figura 3-19: Impedancias de los amplificadores en función de la tensión de entrada.....	58
Figura 3-20: Gráfica detallada de la PAE de un amplificador Doherty.	59
Figura 3-21: Representación gráfica del back-off de entrada y de salida.....	61
Figura 4-1: Modelos de transistor ofrecidos por OMMIC.....	65
Figura 4-2: Circuito para la obtención de las curvas del transistor.....	68
Figura 4-3: Curvas correspondientes al transistor principal. A la izquierda la curva de transferencia, y a la derecha la curva característica.	69
Figura 4-4: Curvas de transferencia (izquierda) y característica (derecha) correspondiente al transist transistor auxiliar.	70
Figura 4-5: Circuito para obtener los rangos de estabilidad del transistor principal, polarizado en clase AB.	71
Figura 4-6: Estabilidad del transistor frente a la frecuencia (izquierda) y la ganancia en función de la estabilidad (derecha).	72
Figura 4-7: Circuito con la red de estabilización elegida.....	73
Figura 4-8: Estabilidad del amplificador tras introducir una red de estabilización.....	74
Figura 4-9: Red de estabilización del transistor con componentes reales.	74
Figura 4-10: Factor de estabilidad del transistor polarizado en clase C (izquierda) y la ganancia frente a dicho factor (derecha).	75
Figura 4-11: Esquemático utilizado para la realización del load-pull del amplificador principal.	77
Figura 4-13: Esquemático empleado para la realización del source-pull del amplificador principal.....	78
Figura 4-13: Curvas de PAE (azul) y de potencia (rojo) del amplificador principal.	78
Figura 4-14: Curvas de la PAE (azul) y de potencia (rojo) del amplificador auxiliar.....	79
Figura 4-15: Componente de Smith Chart empleado para la adaptación.....	80
Figura 4-16: Esquema empleado para realizar la adaptación de impedancias del amplificador principal.....	81
Figura 4-17: Ventana de configuración del componente de la carta de Smith.....	81

Figura 4-18: Red de adaptación de salida construida mediante ADS.	82
Figura 4-19: Impedancia para máxima transferencia de la fuente (izquierda) y la red de adaptación de entrada creada a partir de ella (derecha).	82
Figura 4-20: Redes de adaptación de entrada (izquierda) y de salida (derecha) del amplificador auxiliar.	83
Figura 4-21: Circuito empleado para la obtención de las curvas del amplificador principal.	84
Figura 4-22: Setup de simulación del circuito para obtener las curvas del amplificador principal.	85
Figura 4-23: Resultados de la simulación del amplificador principal.	85
Figura 4-24: Setup de simulación para la optimización.	86
Figura 4-25: Configurador de la optimización de una variable (izquierda) y el simulador (derecha).	87
Figura 4-26: Los valores de los componentes tras la optimización.	87
Figura 4-27: Resultados de la simulación tras la optimización.	88
Figura 4-28: Valores optimizados del amplificador auxiliar.	88
Figura 4-29: Resultados de la optimización del amplificador auxiliar.	89
Figura 4-30: Divisor de potencia.	90
Figura 4-31: Esquemático del amplificador Doherty ideal.	91
Figura 4-32: Setup de simulación del amplificador Doherty ideal.	92
Figura 4-33: Resultados de la simulación del amplificador Doherty ideal.	92
Figura 4-34: Circuito de amplificador Doherty con los componentes optimizados.	94
Figura 4-35: Resultados optimizados del amplificador Doherty optimizado.	95
Figura 4-36: Acoplador direccional de 90 grados empleado.	96
Figura 4-37: Amplificador Doherty con el acoplador direccional sustituido.	97
Figura 4-38: Circuito que contiene los amplificadores Doherty.	98
Figura 4-39: Resultados de la simulación con el acoplador direccional.	99
Figura 4-40: En la derecha, los valores de los parámetros después de la optimización, y en la izquierda sus correspondientes resultados.	99
Figura 4-41: Circuito y setup para el estudio de la bobina de OMMIC.	100

Figura 4-42: Resultados de la simulación del estudio de la bobina.....	101
Figura 4-43: Inductancia de la bobina tras el estudio.	101
Figura 4-44: Resultados del estudio de la bobina L2 del híbrido.	102
Figura 4-45: Comparativa entre los dos modelos de condensador ofrecido por OMMIC.....	103
Figura 4-46: Resultados de la simulación de los dos condensadores.....	104
Figura 4-47: Resultados del estudio de bobina, con el valor requerido de capacitancia a la salida.	105
Figura 4-48: El layout del condensador. Los condensadores deben tener una forma cuadrada.	105
Figura 4-49: Amplificador Doherty con acoplador direccional real.	106
Figura 4-50: Resultados de la simulación con el acoplador direccional real.....	106
Figura 4-51: En la parte superior, los nuevos valores de los componentes del circuito, y en la parte inferior sus resultados.	107
Figura 4-52: Amplificador principal con red de adaptación con componentes reales.....	109
Figura 4-53: Circuito del amplificador auxiliar con red de adaptación con componentes reales.	110
Figura 4-54: Resultados de las simulaciones del amplificador Doherty con componentes reales.	111
Figura 4-55: Circuito de amplificador principal con red de adaptación de salida real.	112
Figura 4-56: Circuito del amplificador auxiliar con red de adaptación de salida real.	113
Figura 4-57: Resultados de simulación tras sustituir las redes de adaptación de salida.	113
Figura 4-58: Valores optimizados (parte superior) y sus resultados (parte inferior).	114
Figura 4-59: Circuito LC en pi, que sustituye la línea de transmisión de salida.	115
Figura 4-60: Resultados de la simulación del circuito con todos los componetens y líneas de transmisión reales.....	116
Figura 4-61: Esquemático del amplificador Doherty con todos los componentes reales y líneas de transmisión.	117
Figura 4-62: Layout correspondiente al amplificador Doherty.....	118
Figura 4-63: Resultados tras suprimir los componentes (verde) y previo a ello (rojo).	120

Figura 4-64: Circuito del amplificador Doherty con los elementos que se suprimen.	121
Figura 4-65: Estructura final del amplificador Doherty.	123
Figura 4-66: Resultados finales del amplificador Doherty.....	124
Figura 4-67: Respuesta en frecuencia del circuito.	125
Figura 4-68: Layout final del circuito.....	126
Figura 4-69: Setup de simulación del método de Monte Carlo.	127
Figura 4-70: Resultados de la simulación de Monte Carlo.	128

Índice de tablas

Tabla I: Especificaciones a cumplir por el amplificador Doherty.	19
Tabla II: Comparativa del 4G y 5G.	23
Tabla III: Zonas de operación, sus condiciones y las ecuaciones de las corrientes.	37
Tabla IV: Eficiencia y ángulo de conducción de cada clase lineal.....	48
Tabla V: Prestaciones del amplificador Doherty.	132
Tabla VI: Comparativa entre varios amplificadores Doherty.....	132
Tabla VII: Costes de amortización del hardware.	145
Tabla VIII: Costes de amortización del software.	146
Tabla IX: Presupuesto total sin IGIC.	146
Tabla X: Presupuestos totales con redacción del trabajo.	147
Tabla XI: Presupuesto total del proyecto.	148

Lista de acrónimos

3GPP	3rd Generation Partnership
ADS	<i>Advanced Design System</i>
ATIS	<i>Alliance for Telecommunications Industry Solutions</i>
CC	Corriente Continua
CCSA	<i>China Communications Standards Association</i>
DPA	<i>Doherty Power Amplifier</i> (Amplificador de potencia Doherty)
EHF	<i>Extremely High Frequency</i>
eMBB	<i>enhanced Mobile Broadband</i>
ETSI	<i>European Telecommunications Standards Institute</i>
FET	Transistor de Efecto de Campo
FOM	Figura de mérito
GaAs	Arseniuro de Galio
GaN	Nitruro de Galio
HEMT	<i>High Electron Mobility Transistor</i>
IBO	<i>Input Back-Off</i>
IoT	<i>Internet of Things</i>
ITU	<i>International Telecommunication Union</i>
MESFET	<i>Metal–Semiconductor Field-Effect Transistor</i>
MIMO	<i>Multiple Input Multiple Output</i>
mMTC	<i>massive Machine Type Communications</i>
OBO	<i>Output Back-Off</i>

PA	<i>Power Amplifier</i>
PAE	<i>Power Added Efficiency</i>
PAPR	<i>Peak-to-Average Power Ratio</i>
P-HEMT	<i>pseudomorphic High Electron Mobility Transistor</i>
RF	Radiofrecuencia
Si	Silicio
SiC	Carburo de Silicio
TFG	Trabajo de fin de grado
uRLLC	<i>ultra-reliable and Low Latency Communications</i>

Parte I

Memoria

1. Introducción

En este capítulo se explicarán los antecedentes del trabajo y los principales conceptos que se verán a lo largo de este proyecto, como la tecnología 5G y el amplificador Doherty. Por otra parte, se expondrán los principales objetivos que se pretenden alcanzar con el desarrollo de este proyecto, y una explicación del contenido que se encontrará a lo largo de la memoria.

1.1. Antecedentes

En los sistemas de comunicación inalámbricas modernos se requiere que las redes móviles dispongan de una tasa de transferencia de datos alta además de un bajo consumo de potencia[1].

Por esta razón se requiere el diseño de amplificadores de potencia que sean capaces de operar en bandas más anchas además de ser eficientes energéticamente. En este proyecto se abordará dicho problema.

En los sistemas de comunicaciones inalámbricas actuales, en los que las tasas de datos son elevadas, el espectro debe ser aprovechado al máximo. En sistemas con el ancho de banda limitado esto se logra haciendo uso de métodos de modulación variables, que tienen como resultado un *Peak-to-Average Power Ratio* (PAPR) elevado, que a su vez necesitan niveles de *back-off* altos para poder operar de forma lineal. Estos métodos no siempre son adecuados para amplificadores de potencia tradicionales, ya que estos deben ser diseñados para poder soportar los picos de potencia que puedan recibir, aunque en general deben trabajar con una potencia de salida media menor. La curva de eficiencia para un amplificador de potencia tradicional alcanza su máximo cerca del punto de compresión y baja drásticamente en niveles de *back-off*, que será la región principal para el funcionamiento lineal. La razón principal por la que la eficiencia baja tanto es por el constante uso de corriente para la polarización, aunque la entrada de la señal de radiofrecuencia sea muy baja. La solución a este problema es el uso de técnicas de mejora de eficiencia, que aumentarán a su vez la eficiencia en los niveles de potencia *back-off*.

Otra cosa importante a tener en cuenta en el diseño de sistemas inalámbricos es el consumo de potencia. El amplificador de potencia normalmente es de los componentes más importantes en la arquitectura del transmisor y el que más energía consume. En sistemas de radio con carga máxima, el consumo del amplificador de potencia supone más de la mitad del consumo de corriente continua (CC) del sistema entero. Aparte de los problemas de prestaciones causados por el calor generado, los sistemas de alta potencia que funcionan con

niveles de *back-off* llevan asociado un incremento de la complejidad del sistema. En consecuencia, existe la necesidad de diseñar amplificadores de potencia eficientes.

Se han propuesto varias técnicas para mejorar la eficiencia en *back-off*, como por ejemplo la modulación por pulsos en radiofrecuencia (RF), *envelope tracking* y *dynamic load modulation*. Un ejemplo de esto último es el amplificador de potencia Doherty (DPA), (Figura 1-1). La ventaja principal de esta topología es que no necesita circuitería externa para el control de la eficiencia y, por ello, se considera autosuficiente [1] [2] [3].

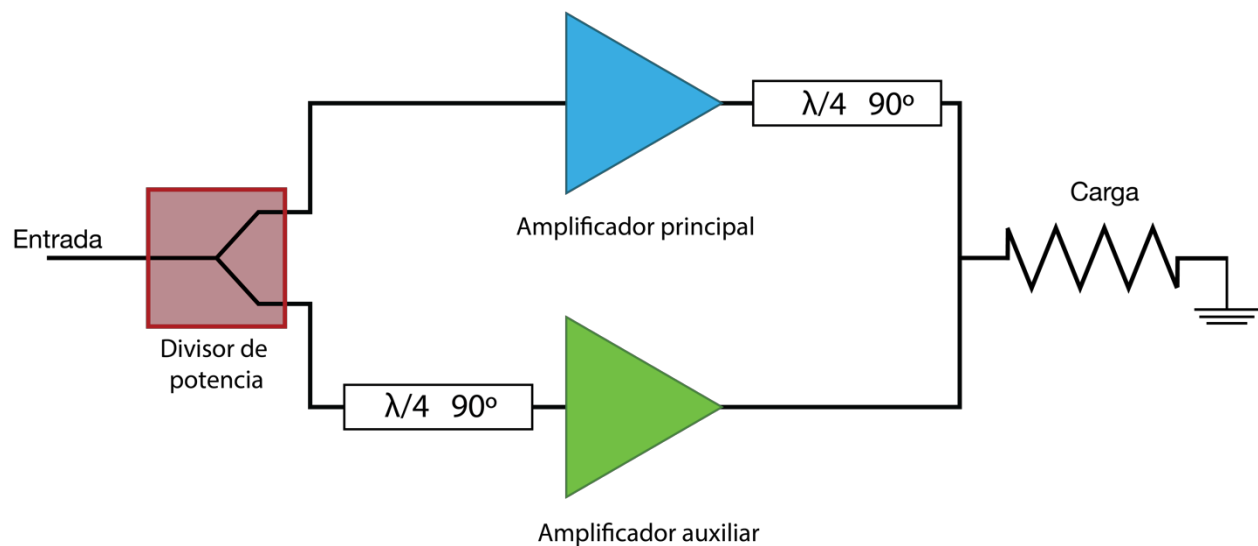


Figura 1-1: Esquemático de un amplificador Doherty.

La configuración básica del DPA consta de dos amplificadores: uno principal y otro auxiliar. El principio de funcionamiento de este tipo de circuitos es el siguiente. Para niveles bajos de potencia solo estaría activo el amplificador principal, permaneciendo el amplificador auxiliar apagado. Al ir aumentando la potencia de entrada, el amplificador principal termina por saturar, siendo en este momento cuando el amplificador auxiliar comienza a trabajar, causando la disminución de la impedancia que ve el amplificador principal. Esta variación del valor de la impedancia se conoce como modulación de carga y es una de las características más importantes para el correcto funcionamiento del DPA. Básicamente, el principio de funcionamiento es combinar dos amplificadores de tal forma que el amplificador principal

amplifica señales de baja amplitud, mientras que el auxiliar se activa cuando es necesario compensar la saturación en los picos de la señal [4], como se puede ver en la Figura 1-2.

Así, se definen tres regiones de funcionamiento en función de la potencia con la que se trabaje [5]: región de baja potencia, donde solo opera el amplificador principal, región umbral, donde opera el amplificador principal y comienza a operar el auxiliar, y región de alta potencia, donde operan ambos. Para ello, el principal será polarizado en clase AB y el auxiliar en clase C [5] [6] [7].

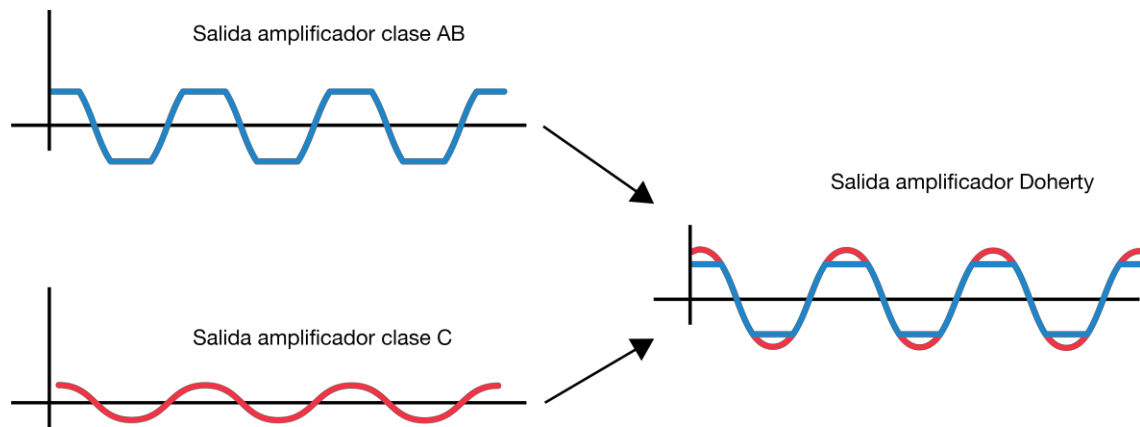


Figura 1-2: Señal de salida del amplificador Doherty.

1.2. Objetivos

El objetivo de este trabajo fin de grado (TFG) es realizar el diseño de un amplificador de potencia integrado para el estándar 5G en configuración Doherty. Para ello se empleará la tecnología Nitruro de Galio (GaN) sobre Silicio, proporcionada por la fundidora OMMIC [8]. Las especificaciones preliminares que debe cumplir el diseño son las que se ven reflejadas en la Tabla I.

Tabla I: Especificaciones a cumplir por el amplificador Doherty.

Banda de frecuencias	3.4 – 3.8 GHz
Modulaciones	IT/L BPSK, BPSK, QPSK, 16-QAM, 64-QAM, 256-QAM
PAPR	>7 dBm
Máxima potencia de salida	23 dBm
Ancho de banda	100 MHz

1.3. Estructura de la memoria

La memoria de este proyecto se compone de 4 partes. La primera, la memoria, se compone de 5 capítulos, en los que se comienza dando una introducción al proyecto y se exponen los principales objetivos que se pretenden lograr. Seguidamente, se realizará un estudio del estado del arte, donde se examinará el desarrollo de la tecnología 5G que se ha llevado a cabo en los últimos años, al igual que el semiconductor que se usará; el GaN sobre Silicio. También se explicará detalladamente lo que es un transistor, un amplificador de potencia y un amplificador Doherty, además de los parámetros a tener en cuenta al realizar el diseño del circuito. Finalizado esto, se explica el proceso de diseño que se ha seguido en este proyecto en concreto y se detallarán los resultados finales además del *layout* que se ha creado. Este apartado finaliza con las conclusiones extraídas de los resultados y las líneas futuras que se pueden desarrollar a partir de este proyecto. Posteriormente se exponen las diferentes fuentes de información de las que se han hecho uso para el correcto desarrollo de este documento, además del material que se ha empleado para poder llevarlo a cabo. Finalmente, se resumirán los costes que vienen asociados con este proyecto, en los que se tienen en cuenta las horas y el material empleado. Se incluyen también dos anexos donde se adjuntan los diseños del esquemático y del *layout* final del circuito.

2. Estado del arte

En este capítulo se exponen los principales datos de la tecnología 5G, además de las características que hacen destacar el Nitruro de Galio como semiconductor frente a otros ya existentes en el mercado.

Como último punto se verán algunos ejemplos de aplicaciones que tendrá el Nitruro de Galio en la tecnología 5G.

2.1. Tecnología 5G

En los últimos 10 años se ha visto un desarrollo en la potencia de los dispositivos electrónicos, como el teléfono móvil o las *tablets*, casi exponencial. Algunos superan a los ordenadores en rendimiento y en capacidad; algo impensable hasta hace no mucho. Por otra parte, han aparecido tecnologías nuevas, como el 4G, que permiten optimizar el uso de dichos dispositivos y cambiar los patrones de consumo de información, al ahora disponer de ello en cualquier momento y en cualquier lugar. El 4G ha habilitado la creación de nuevos servicios y aplicaciones [9].

El rápido desarrollo del sector tecnológico y de sus posibilidades, ha hecho aparecer nuevas aplicaciones, como son por ejemplo los coches autónomos, el *Internet of Things* (IoT), el *Big Data* o vídeos en 3 dimensiones y la realidad virtual. Todas estas aplicaciones requieren un gran ancho de banda, una baja latencia y una gran fiabilidad para poder operar correctamente.

Se estima que en 2021 el tráfico de datos de teléfonos móviles superará los 50 petabytes; 12 veces más que en 2016[10]. Esto vendrá acompañado de un aumento en el número de dispositivos inalámbricos, cuya estimación es que pasen de 15.400 millones en 2015, a 75.400 millones en 2025; casi 5 veces más[11].

El 4G no es capaz de cumplir con estos requisitos, ya que éste y las anteriores tecnologías, fueron creadas principalmente para las llamadas de voz y servicios de internet más básicos. Al estar anticuados ya no son útiles para las nuevas y futuras aplicaciones[12].

El internet ya no solamente se empleará para el entretenimiento personal, sino que interconectará la sociedad de una forma nunca antes vista. Se crearán gran cantidad de oportunidades para las industrias, lo cual a su vez supondrá también un reto para las tecnologías de comunicación móvil, al tener que soportar esta gran cantidad de datos[12].

La organización encargada de estandarizar esta nueva tecnología es la *3rd Generation Partnership* (3GPP)[13]; un consorcio formado por los órganos de estandarización a nivel mundial, como son la *European Telecommunication Standards Institute* (ETSI) a nivel europeo, *China Communications Standards Association* (CCSA) en China o *Alliance for Telecommunications Industry Solutions* (ATIS) en Estados Unidos.

En la Tabla II se pueden ver de forma resumida las principales características que diferencian el 5G de su antecesor. La velocidad máxima se verá multiplicada por 20; la latencia baja drásticamente y se permitirá una densidad de dispositivos por km² diez veces mayor[14].

Tabla II: Comparativa del 4G y 5G.

	4G	5G
Velocidad de transmisión	Hasta 1 Gbps	Hasta 20 Gbps
Latencia	10 mS	1 mS
Número de conexiones por km²	Hasta 100.000	Hasta 1 millón

2.1.1. Bandas de frecuencia

Una de las grandes ventajas que ofrece esta tecnología es su gran versatilidad, gracias a la cual se puede optimizar para cada aplicación específica [10][15]. Así, se permite el uso de bandas de menos de 1 GHz, otras que se sitúan entre 1 y 6 GHz y otras por encima de 6 GHz, cada una con las ventajas que conlleva su uso.

El 5G trabajará en tres bandas de frecuencia distintas, comprendidas en los rangos mencionados anteriormente. La más baja, sub 1GHz, se empleará para cubrir grandes áreas, debido al gran alcance que ofrece esta frecuencia y ofrecer servicios a los usuarios. La ventaja de esta banda es la posibilidad de desplegarla mediante las redes ya existentes, haciendo así más fluida su transición[15].

La segunda banda que se usará se encuentra en el rango de 3.4 GHz – 3.8 GHz. Según varios estudios, es la que mayor impacto tendrá a nivel europeo. Su banda permitirá cubrir un área de tamaño mediano-grande mientras transmite una gran cantidad de datos. Las especificaciones de esta banda permiten la creación de servicios nuevos [15]. Permitirá transmisiones de hasta 1 Gbps con latencia de 1 ms.

En los planes de despliegue del 5G esta banda se considerará prioritaria, para poder ofrecer los servicios de banda ancha mejorada (que se describirán en el siguiente apartado) a empresas y así poder desarrollar el máximo potencial de esta tecnología.

La tercera banda se define entre 24.25 GHz y 27 GHz. Esta, previamente inutilizada, permitirá la transferencia de una gran cantidad de datos en tiempo limitado; específicamente hasta 10 Gbps con una latencia de 1 ms. Debido a las especificaciones intrínsecas de las ondas, esta banda tendrá un alcance muy reducido. Esto lo hará ideal para puntos estratégicos que requieran una gran tasa de transferencia de datos, como puede ser un estadio de fútbol, hospitales, etc.

Las ondas a esta frecuencia y mayores se conocen como “ondas milimétricas”, y pertenecen a la banda *Extremely High Frequency* (EHF), cuyo rango va de 30 a 300 GHz. Estas son cada vez más atractivas para los fabricantes y diseñadores, al ser una parte del espectro que apenas se encuentra en uso, además de tener un *throughput* muy elevado y una latencia muy baja. El ancho de banda que ofrece esta parte del espectro es hasta 10-30 veces mayor que la que se emplea actualmente en el 4G [16] y la capacidad de la red es directamente proporcional al ancho de banda disponible.

Se puede considerar también útil la banda de 1,5 GHz o “banda L”, ya que permite aumentar la capacidad en el enlace de descarga para el IoT o la automatización de la industria [17]. Para este uso se encuentra disponible la banda de 1452-1492 MHz, que ha sido licitada a nivel europeo [11].

En la Figura 2-1 se puede ver una imagen del proyecto de despliegue creado para la ciudad alemana de Múnich para 2020 [18]. Como se puede observar, la ciudad entera estará cubierta por la banda sub-1GHz, representada en gris, para proporcionar datos a nivel de consumidor. Las áreas que más tráfico tienen dispondrán además de la banda 3.4 GHz – 3.8 GHz, que soporta un mayor ancho de banda, estas áreas corresponden a las marcadas en azul claro. Finalmente, los puntos en color azul oscuro, tendrán disponibilidad de la banda de 26 GHz. En estos sitios habrá una alta tasa de datos que necesitan ser transferidos sin atraso de ningún tipo, como por ejemplo un aeropuerto.

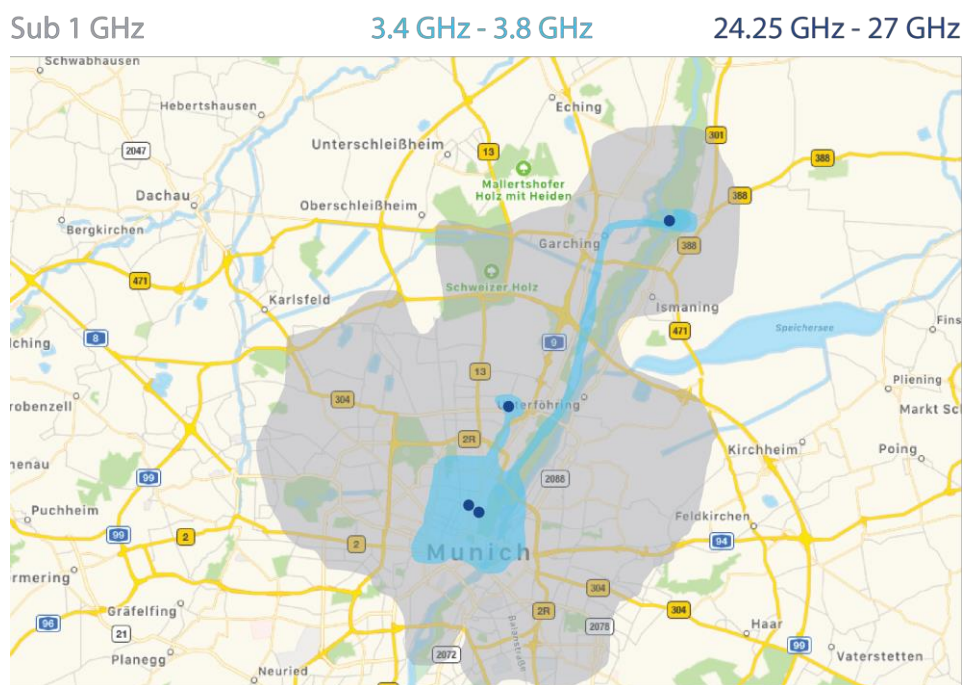


Figura 2-1: Planes de despliegue en Múnich, Alemania.

Se percibe que haciendo uso simultáneo de las tres bandas, se pretende dar cobertura a ciudades enteras y prevenir la saturación de las redes, dando a cada zona los requisitos que ésta requiera.

2.1.2. Aplicaciones

Las aplicaciones para el 5G cubren una gran cantidad de sectores y cada uno con sus propios requisitos para operar correctamente. Esta tecnología influirá en campos como son la realidad virtual/mixta/aumentada, los coches autónomos, como alternativa al acceso a internet cableado, en hospitales, para consumir información en dispositivos móviles, etc. [9].

Así por ejemplo, los coches autónomos, que harán uso de esta tecnología, necesitan una menor latencia que si estamos viendo un vídeo en alta definición, que necesitará un gran ancho de banda, mientras que el IoT necesitará poder conectar gran cantidad de dispositivos a una red, sin necesidad de un gran ancho de banda. Por esta razón, la *International Telecommunication Union* (ITU) [19] ha clasificado los servicios que ofrecerá el 5G en función de tres categorías [12]: *enhanced Mobile Broadband* (eMBB), *massive Machine Type Communications* (mMTC) y *ultra-Reliable and Low Latency Communications* (uRLLC). Estas permitirán habilitar servicios nuevos en mercados y permitir un desarrollo de sectores previamente impensables [15]. En la Figura 2-2 se clasifican varias aplicaciones y los servicios del 5G que requerirán.

- eMBB: Este servicio satisfará las aplicaciones que requieren un alto ancho de banda, pudiendo ofrecer hasta picos de 20 Gbps y 100 Mbps a cada usuario. Está orientado al consumo de la información: como es ver vídeos en alta definición (4k y 8k), realidad virtual, videojuegos, etc.
- mMTC: Permitirá conectar una gran cantidad de nodos a la red, hasta 1 millón/km², lo cual es útil para, por ejemplo, el desarrollo de las ciudades inteligentes o la agricultura inteligente.
- uRLLC: Está centrado en ofrecer una mejor latencia, de hasta 1 ms, para servicios que necesitan una rápida transmisión de datos, como es el caso de los coches autónomos o las plantas industriales.

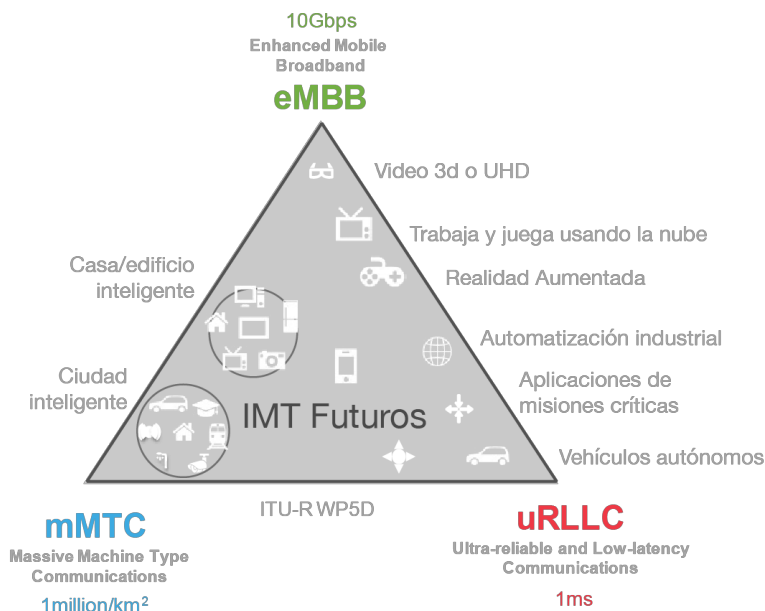


Figura 2-2: Los distintos servicios que ofrecerá el 5G y algunas de sus aplicaciones.

El espectro sub 1GHz, descrito en el anterior apartado, hará uso de uRLLC y mMTC, ya que necesitará soportar una alta movilidad y una gran área de cobertura.

Las otras dos bandas, 3.6 GHz y 26 GHz, principalmente ofrecerán un gran ancho de banda, eMBB, lo que se considera fundamental para promover la inversión y empezar a ser usada activamente en negocios[10].

2.2. Nitruro de Galio

Durante la última década se ha visto un gran auge en el uso del GaN como compuesto para semiconductores en radiofrecuencia. Esto se ha visto especialmente en aplicaciones que requieren una gran potencia debido a aplicaciones nuevas que han aparecido, como el 3G, 4G y WiMAX, en la que hacen uso de la banda microondas (1 GHz – 300 GHz) [20]. Previamente, su

principal uso era en áreas relacionadas con la defensa, como son los inhibidores de frecuencia o radares, aunque ahora su uso a nivel comercial es cada vez mayor y sus ventajas notables.

2.2.1. Comparativa con Si y GaAs

Los compuestos más usado hasta ahora, el Arseniuro de Galio (GaAs) y el Silicio (Si), han visto disminuido notablemente su uso como consecuencia del auge del GaN. Esto se debe a la gran cantidad de ventajas que ofrece frente estos dos. Algunos de los puntos serán discutidos en este capítulo [21].

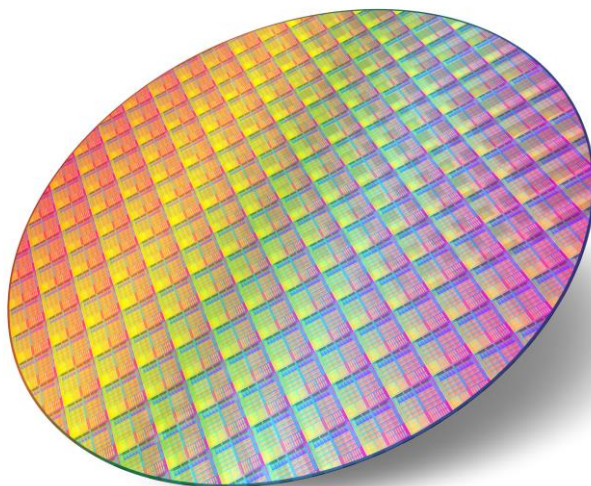


Figura 2-3: Obleas donde se depositan los circuitos.

El GaAs lleva mucho más tiempo en el mercado que el GaN. Ambos materiales tienen en común ser usados como semiconductores. Estos son depositados sobre obleas o *wafers*, como la que se muestra en la Figura 2-3. Sobre estos se fabrican todos los elementos que forman parte de un circuito electrónico. Ambas tecnologías se comercializan en forma de lingotes con diámetros en torno a los 5cm.

El GaAs se encuentra a día de hoy en una gran variedad de dispositivos, tales como los *smartphones*, las *tablets* y otra gran multitud de dispositivos Wi-Fi. Este semiconductor por tanto está muy establecido en el mercado como opción preferente para diseños de alta frecuencia en

los que se requiere una figura de ruido lo menor posible, como puede ser por ejemplo en las primeras etapas de un equipo receptor de RF. En general estos componentes operan a tensiones y corrientes lo suficientemente bajas como para no requerir más de una batería como alimentación.

Por otro lado, el GaN es realmente útil para desarrollar aplicaciones de gran potencia, como son amplificadores de tensiones de alimentación de 48V o más. Gracias a la capacidad de soportar mayores tensiones, este material es preferido para diseñar amplificadores de potencia en estaciones base o para sustituir amplificadores basados en tubos de vacío. Comparando las salidas de dos amplificadores basados en GaN y en GaAs, los primeros tienden a ser más lineales y presentar menos distorsión, justificando de nuevo su elección. Un claro ejemplo de esta aplicación se puede ver en la Figura 2-4.

A la izquierda se puede observar un circuito en GaAs y a la derecha un circuito hecho con GaN que es 82% más pequeño, además presenta una densidad de potencia 4 veces mayor.

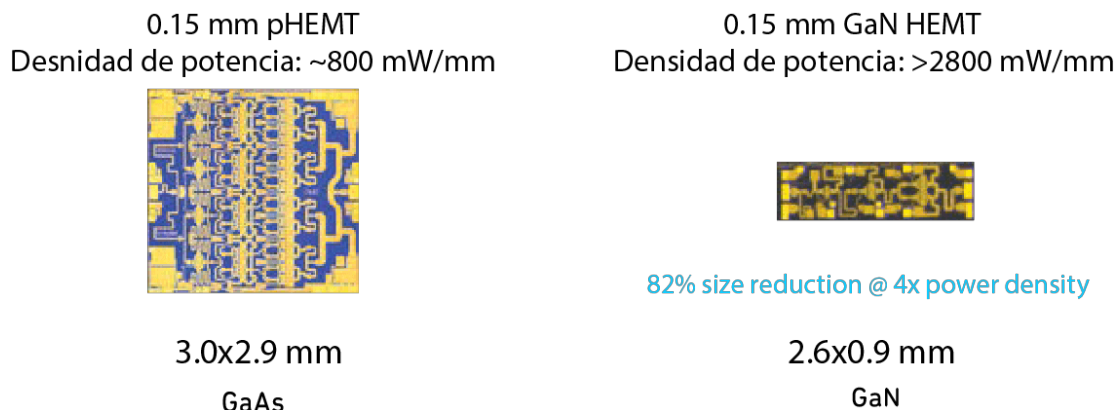


Figura 2-4: Circuitos comparativos de GaAs (izquierda) y GaN (Derecha).

Las ventajas que ofrece GaN frente a otros semiconductores para justificar su uso cada vez mayor en aplicaciones de radiofrecuencia y microondas son varias, siendo algunas de ellas:

- La banda prohibida de un semiconductor es la energía mínima necesaria para excitar un electrón desde su estado libre a un estado que le permita participar en

la conducción de corriente. Cuanta más anchura tiene esta banda, más energía necesita un electrón para pasar de la banda de valencia a la de conducción. El GaN es un material considerado de banda prohibida ancha [20], ya que dicha dimensión es de unos 3.4 eV, frente a los 1.4 eV del GaAs.

- Debido al punto anterior, las propiedades del GaN suelen superar a las del GaAs en cuanto a energía, potencia y velocidad para alcanzar estados de alta energía. La velocidad de saturación, que es la velocidad máxima a la que se pueden mover los electrones por un canal [22], tiene un valor típico de $2,7 \cdot 10^7$ cm/s en el GaN, mientras que en el GaAs es de $2,0 \cdot 10^7$ cm/s. Es importante tener una velocidad de saturación adecuada, ya que, si no la tiene, un transistor puede entrar en saturación independientemente de que la tensión aplicada no sea la máxima.
- La tensión de ruptura determina el nivel de tensión que se puede aplicar de forma segura a un dispositivo de estado sólido sin dañarlo. La tensión del GaN, que es de $4 \cdot 10^6$ V/cm, es muy superior a la del GaAs, de $5 \cdot 10^5$ V/cm. El GaN también cuenta con una constante dieléctrica relativa mucho mayor (9) que la del GaAs (1.28), permitiendo así fabricar capacidades de más alto valor en una menor superficie [20].

Ya que la densidad de potencia en compuestos de GaN es mucho mayor que en compuestos de GaAs e incluso mayor que en otros materiales semiconductores de Silicio, su conductividad térmica es mucho mejor. Este es un parámetro fundamental para caracterizar cómo de bien disipa calor el dispositivo debido a pérdidas en el dieléctrico e ineficiencias. La conductividad térmica del GaN es de 1.7 W/cm-K, más de tres veces superior a la del GaAs. Una conductividad térmica alta favorece que la temperatura crezca lo mínimo posible en conducción, algo que permite a los dispositivos basados en GaN manejar niveles mayores de potencia que aquellos basados en GaAs, usando ambos la misma estructura física.

2.2.2. Comparativa con SiC

Otro material ampliamente usado hoy en día es el Carburo de Silicio (SiC). Al igual que el GaN, éste se emplea principalmente en aplicaciones de alta potencia y de gran frecuencia [23]. Ambos son de banda prohibida ancha y tienen en común la alta tensión de ruptura y movilidad de electrones comentada anteriormente.

La ventaja del GaN frente al SiC es que el primero permite la fabricación de transistores de alta movilidad de electrones o *High Electron Mobility Transistor* (HEMT), mientras que los SiC sólo permite la fabricación de *Metal-semiconductor field-effect transistor* (MESFET).

Los transistores tipo HEMT tienen como ventaja una alta concentración de portadoras y movilidad de electrones debido a su reducido *scattering* por impurezas. Estos dos factores juntos permiten una alta densidad de corriente y una baja resistencia del canal, lo que es especialmente importante en las aplicaciones de altas frecuencias y de conmutación de potencia.

Además[24], la alta densidad lineal de potencia a la salida permite fabricar dispositivos de mucho menor tamaño, con la misma potencia de salida. La alta impedancia debido a este menor tamaño permite menores pérdidas por desadaptación. Estos dos factores permiten el diseño de redes de adaptación más simples, con menos pérdidas y con mayor ancho de banda, permitiendo esto a su vez amplificadores de mayor potencia y mayor eficiencia. También ofrecen mejores prestaciones frente al ruido que los MESFET.

2.3. 5G y GaN

Para poder cumplir las expectativas enumeradas previamente del 5G, además de mantener una gran eficiencia en sus circuitos, se está estudiando la implementación de esta nueva tecnología haciendo uso del GaN. En pruebas realizadas en estaciones de base y cuyos resultados se reflejan en la Figura 2-5, ya se están viendo las grandes ventajas que ofrece hacer uso de este semiconductor frente a los que se han usado hasta ahora. En dicha figura, se puede apreciar cómo el GaN ofrece una eficiencia mucho mayor frente a los semiconductores usados hasta la fecha, ahorrando por tanto una gran cantidad de energía en las estaciones base y como consecuencia, ahorro de dinero y menos emisiones de CO₂.

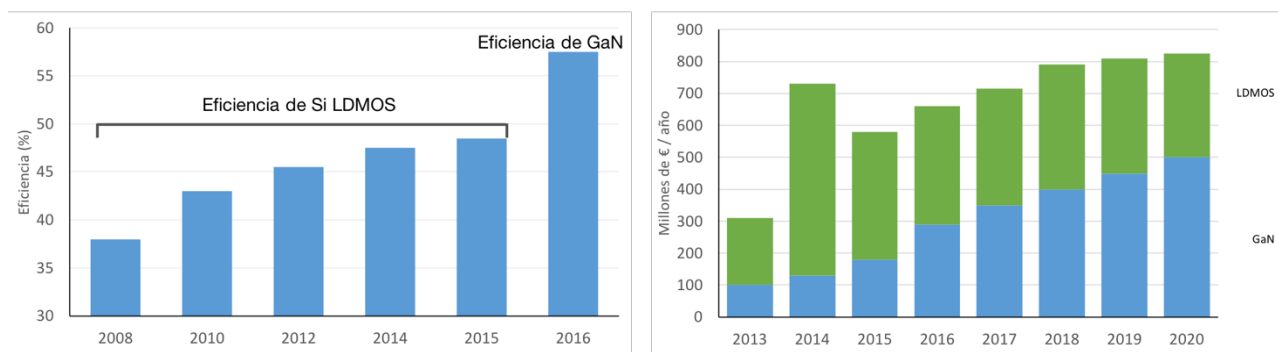


Figura 2-5: Eficiencia del GaN frente a otros semiconductores en estaciones base (izquierda) y las inversiones realizadas en LDMOS y GaN previos años (derecha).

Estas ventajas además se reflejan en la cantidad de dinero invertida en GaN por las operadoras telefónicas y las *foundries* en los últimos años, siendo casi exponencial, como se puede apreciar en la Figura 2-5.

Una de las aplicaciones en las que se podrá lucir el máximo potencial presentado por GaN en el 5G es en la transmisión de ondas milimétricas [16], ya que, como se pudo ver en el anterior apartado, esta tecnología funciona de forma óptima con bandas de frecuencias altas en un tamaño mucho más reducido.

Un ejemplo de implementación en las ondas milimétricas es en los circuitos de las antenas encargados de transmitirlos, que tendrán que ser altamente direccionales y reducidas en tamaño. Es decir, se tendrán que emplear una gran cantidad de circuitos para operarlas y, por

tanto, es necesario optimizar el espacio. En esta área destaca la tecnología GaN, ya que consume menos corriente, es más eficiente y ocupa mucho menos espacio.

Por otra parte, empresas líderes como Intel o Qualcomm están creando *módems* de 28 GHz con GaN, mientras que Qorvo y Nanosemi investigan la implementación en grandes *arrays* de antenas para aplicaciones que usen *Multiple Input Multiple Output* (MIMO). Las aplicaciones de este semiconductor dentro del campo del 5G por tanto será muy variado, de forma que los fabricantes ofrecerán un amplio rango de variaciones de circuitos de GaN, para diferentes potencias y frecuencias.

Aparte de tener la capacidad de operar en ambientes de altas temperaturas, GaN es apto para muchas otras situaciones, por ejemplo, en automóviles o en la parte alta de las estaciones base; es por tanto muy versátil y útil para todo tipo de usos.

Previo a la implementación en masa de GaN en 5G, se debe investigar las formas de encapsulado de los circuitos y la gestión del calor generado por el circuito. Hasta ahora, los dispositivos en GaN han necesitado ser robustos dado su uso en aplicaciones militares y por tanto el revestimiento se hacía de metal o cerámica. En cambio, para aplicaciones comerciales se necesitará un encapsulado más ligero y pequeño, normalmente de plástico, para así poder competir con el GaAs y los otros semiconductores.

Debido a la alta densidad de potencia, que puede llegar a ser hasta 10 veces mayor que la del GaAs, la gestión del calor representa un gran problema tanto térmico como mecánico al diseñador del encapsulado. Esto se debe a que el área con el que tendrá que trabajar será mucho menor en comparación con la de otros semiconductores y tendrá que hacerlo sin sacrificar prestaciones.

3. Conceptos teóricos

En este capítulo se definirá el concepto de transistor FET, además de su funcionamiento y los principales parámetros que se deben de tener en cuenta a la hora de utilizarlos. Seguidamente se explicará lo que es un amplificador de potencia, además de las distintas características que se tendrán en cuenta para este proyecto. Finalmente, se detalla cómo se relacionan estos dos conceptos previos con un amplificador con estructura Doherty y se detallará su proceso de diseño.

3.1. Transistores

Un transistor de efecto de campo (FET), cuyo símbolo se puede apreciar en la Figura 3-1 es un componente electrónico que consta de tres terminales: la puerta (o *Gate*), el drenador (o *Drain*) y el surtidor (o *Source*). Estos dispositivos funcionan controlando la corriente entre drenador y surtidor a través del campo eléctrico establecido mediante la tensión aplicada al terminal de puerta, es decir, se regulan por la tensión. Otras ventajas es que generan menos ruido que los BJT y son fáciles de fabricar. Son usados comúnmente como resistencias controladas por tensión y fuentes de corriente [25].

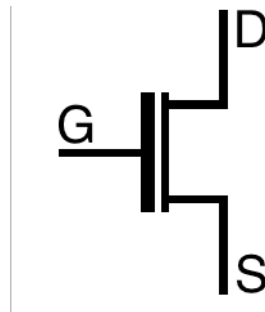


Figura 3-1: Símbolo de un transistor HEMT.

En este trabajo se usarán transistores tipo *pseudomorphic high electron mobility transistor* (P-HEMT) en tecnología GaN, que pertenecen a la familia de los transistores FET. Las principales ventajas de este tipo de transistores son una eficiencia y ganancia altas, además de una alta tensión de ruptura y un elevado valor de saturación y la reducción en tamaño de los circuitos [7]. Otras ventajas han sido ampliamente tratadas en el anterior capítulo.

3.1.1. Funcionamiento

Para que un transistor entre en funcionamiento y ejerza su función de amplificador, se requieren de dos tensiones. Una se aplica entre la puerta y el surtidor (V_{GS}) y otra del drenador al surtidor (V_{DS}). En función del valor de cada una de estas tensiones el transistor estará

funcionando o no. Así, se pueden definir distintas regiones de funcionamiento del transistor [26]: zona de corte, zona óhmica o lineal y zona de saturación.

Regiones de funcionamiento

Zona de corte

Existe una tensión, denominada tensión de umbral (V_T) a partir de la cual el transistor comienza a operar. En caso de que la tensión entre la puerta y el surtidor (V_{GS}) sea menor o igual que esta ($V_{GS} \leq V_T$), no circulará corriente entre el drenador y el surtidor (I_D), aunque exista tensión positiva entre dichos terminales (V_{DS}). Esto se debe a que al ser menor V_{GS} , no se llega a crear un canal en el transistor por el que pueda fluir la corriente.

Zona lineal u óhmica

Suponiendo una tensión V_{DS} mayor que cero, cuando la tensión V_{GS} aumenta lo suficiente y supera la tensión de umbral V_T , se crea un canal entre el drenador y el surtidor que permite el paso de la corriente I_D . A medida que V_{GS} aumenta, dicho canal se va ensanchando, permitiendo el paso de una mayor cantidad de corriente. En esta zona de operación, la cantidad de corriente que fluye también es proporcional al valor de V_{DS} , como se verá en el siguiente apartado, en las curvas características del transistor.

Zona de saturación

Como ya se ha comentado anteriormente, cuando el valor de V_{GS} es mayor que V_T , la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de I_D . Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de drenador alcanza un nivel de saturación cuando su valor es superior a $V_{GS} - V_T$. Esta saturación se

debe a un estrechamiento del canal (*pinch-off*), encontrándose así el transistor en zona de saturación.

Estando en zona de saturación, si se continúan aumentando las tensiones del circuito, se excederán los límites recomendados por el fabricante y se podrá dañar el componente electrónico; una zona conocida como *breakdown*.

En la Tabla III se presenta un resumen de las distintas zonas de operación, sus condiciones y las distintas ecuaciones que rigen el valor de la corriente I_D que fluye de drenador a surtidor:

Tabla III: Zonas de operación, sus condiciones y las ecuaciones de las corrientes.

Zona	Condición	Ecuación
Corte	$V_{GS} \leq V_T$ $V_{DS} > 0$	$I_D = 0$
Óhmica	$V_{GS} > V_T$ $0 < V_{DS} \leq V_{GS} - V_T$	$I_D = \mu_n C_{ox} W L [(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2]$
Saturación	$V_{GS} > V_T$ $V_{DS} > V_{GS} - V_T$	$I_D = \mu_n C_{ox} \frac{W L}{2} (V_{GS} - V_{TH})^2$

Siendo:

- μ_n la movilidad de los electrones.
- C_{ox} la capacidad de óxido de la puerta por unidad de área.
- L longitud del canal del transistor (μm).
- W el ancho del canal del transistor (μm).

3.1.2. Curvas características

Conociendo las distintas zonas que rigen la operación de los transistores, se pueden trazar las denominadas “curvas características”. Estas curvas muestran las prestaciones de un transistor ante distintas tensiones de entrada de V_{GS} , V_{DS} y con ello la corriente I_D que fluye en las distintas regiones de trabajo. En la Figura 3-2 se puede ver un ejemplo de estas curvas.

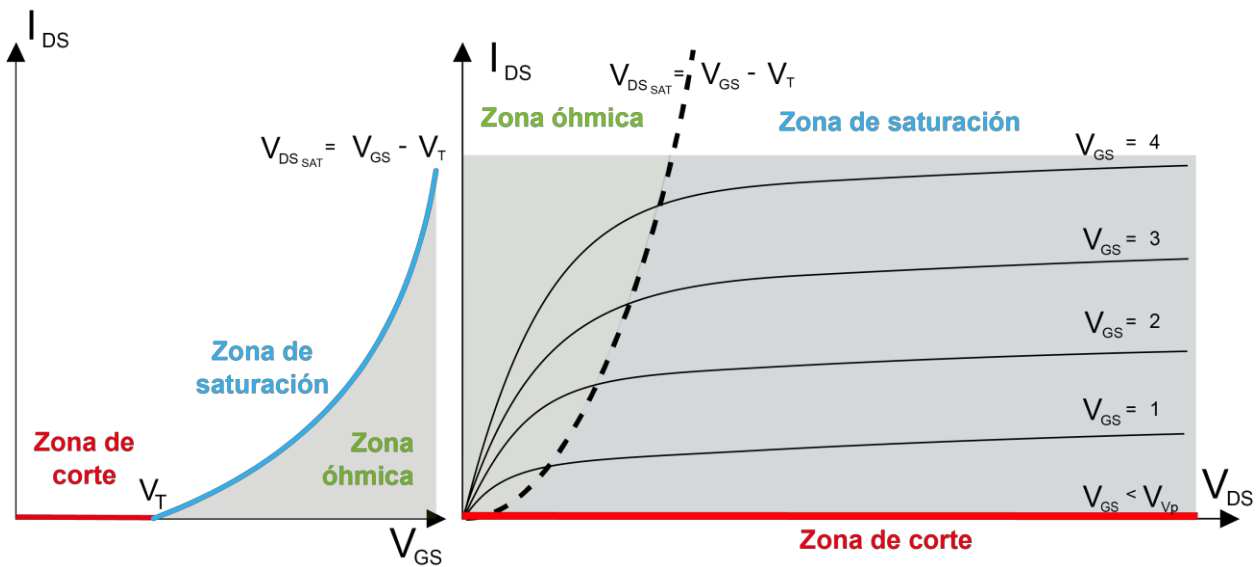


Figura 3-2: Curva de transferencia (izquierda) y curva característica del drenador (derecha) del transistor.

A la izquierda se puede ver la curva de transferencia de un transistor, con I_D en función de V_{GS} . Se puede ver que previo a la tensión de umbral V_T , el transistor se encuentra en zona de corte y que cuando ésta se supera, el transistor se encuentra en conducción.

A la derecha se encuentra la curva característica del drenador. En ella, se traza la corriente I_D frente a V_{DS} y V_{GS} . En función de los valores que obtenga V_{GS} , la cantidad de corriente es mayor o menor. Además, cuando el valor de V_{DS} supera el de $V_{GS} - V_T$, el transistor entra en saturación y el valor de corriente se mantiene casi constante. Por debajo de dicho valor el transistor se encuentra en zona activa y el valor de la corriente tiene una relación cuadrada con las tensiones.

Recta de carga

A partir de las curvas características de un transistor se puede también definir su recta de carga y punto de trabajo [27] y, por tanto, su polarización. Polarizar un transistor consiste en establecer un punto de trabajo mediante restricciones de circuito, es decir, estableciendo la tensión V_{GS} , V_{DS} y la corriente I_D para que el transistor opere en la región que cumpla los siguientes requisitos [25]:

- Estar ubicado de tal forma que el dispositivo trabaje en zona activa (de saturación del canal o de corriente constante) y permitir suficiente variación de la señal sin que el dispositivo salga de esa zona de funcionamiento y entre en zona de corte, lineal o resistiva.
- Ser permanente, predecible y estable ante cualquier posible variación de los parámetros del dispositivo.
- Disipar la mínima potencia posible.

La ventaja de obtener la recta de carga es que permite saber todos los puntos de trabajo posibles para el circuito. A partir de ahí, se puede, variando los distintos parámetros del circuito, elegir el punto más conveniente para la aplicación específica para el que se está fabricando el circuito. Es importante elegir bien este punto y cómo varía en función de la entrada, ya que de él depende la forma de la onda que sale del transistor, como se puede apreciar en la Figura 3-3 [28][29]. Si se elige demasiado arriba o abajo, se saturará, como en la imagen de la izquierda y el transistor cortará la señal.

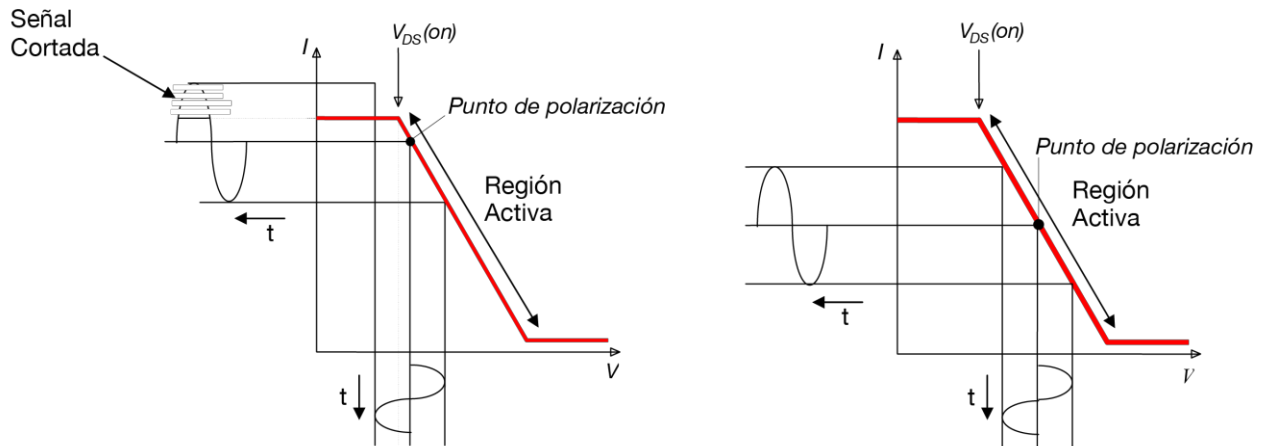


Figura 3-3: Rectas de carga y puntos de trabajo (Q) de un transistor en diferentes posiciones.

3.1.3. Fingers

Otro de los parámetros que influye en el funcionamiento de un transistor y, por tanto, es importante tener en cuenta, es el número de *fingers* y la anchura de los mismos.

Un transistor, en ocasiones, se constituye de una única puerta ancha, como el de la Figura 3-4 a la izquierda, que para transistores de tamaño reducido no supone ningún problema. Pero cuando el tamaño debe ser grande, porque por ejemplo la frecuencia de trabajo también lo es, la resistencia de la puerta (R_G) será también elevada, como se puede ver en la ecuación (3.1).

$$R_G = R_{G0} \cdot W \quad (3.1)$$

Cuanto mayor sea la anchura (W), mayor será la resistencia y, por tanto, más baja será la ganancia total disponible, además de que aumentará el ruido introducido por este componente [30].

Para evitar este efecto, se introduce el concepto de *fingers*. Al crear *fingers*, como en la Figura 3-4 a la derecha, se generan internamente varias puertas en paralelo en el transistor, como se puede ver en la imagen.

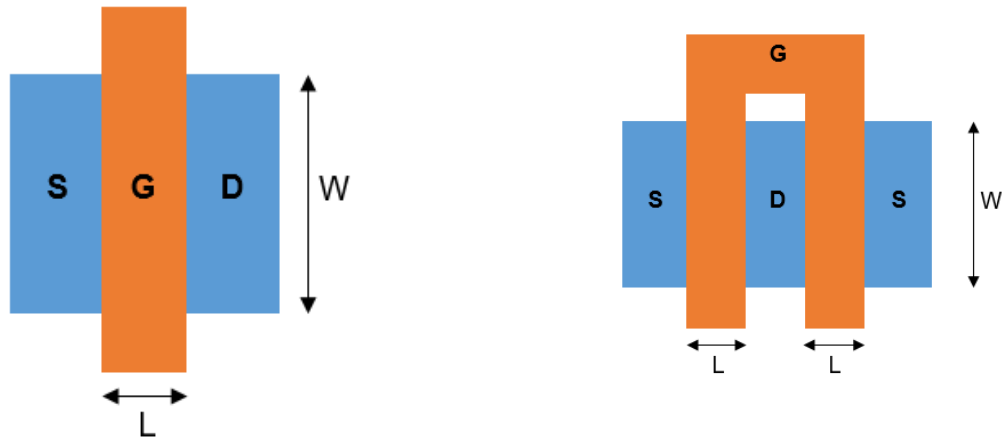


Figura 3-4: Transistor con solo una puerta (izquierda) y transistor con dos *fingers* (derecha).

Al introducir esto, la resistencia de la puerta actuará en función de la ecuación (2.2).

$$R_G = \frac{R_{G0} \cdot W}{N^2} \quad (2.2)$$

Donde N es el número de *fingers* usados. Se puede observar que la resistencia total ofrecida por la puerta en estas situaciones se reduce considerablemente. El número de *fingers* usados suelen ser par para tener un surtidor a cada lado. En caso de que se usen más de dos *fingers*, dichos surtidores deben estar interconectados haciendo uso de "puentes" en los drenadores, como se puede ver en la Figura 3-5.

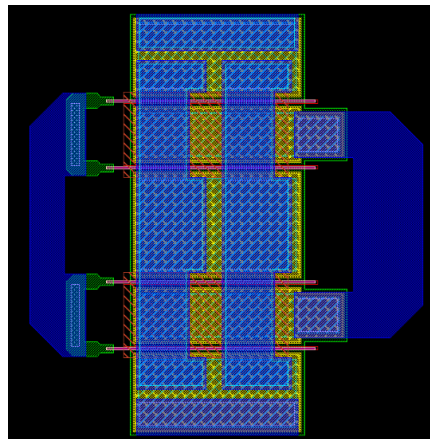


Figura 3-5: Layout con más de dos *fingers* y drenadores conectados.

Aunque aparentemente parece ventajoso hacer uso del mayor número de *fingers* posible para reducir la resistencia al máximo, también esto tiene sus limitaciones [31]. Por ejemplo, aumentando demasiado el número de *fingers*, o sus anchuras, puede dar como resultado una mayor capacidad parásita en el funcionamiento del transistor, como se puede comprobar en la Figura 3-6.

Otra consecuencia de elegir un elevado número de *fingers* es el aumento del coste de producción del circuito, ya que el transistor ocupará más espacio.

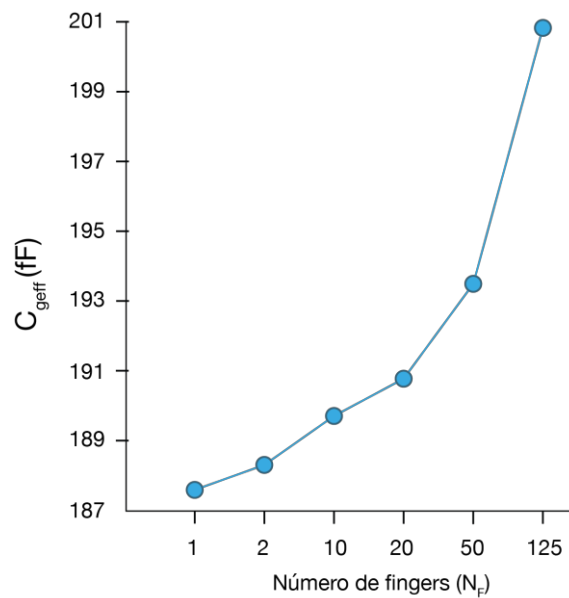


Figura 3-6: Capacidades parásitas en función del número de *fingers*.

3.2. Amplificadores de potencia

Los amplificadores de potencia o *power amplifier* (PA) son dispositivos que amplifican la potencia de la señal que reciben a su entrada. Su principal objetivo es proporcionar la tensión máxima requerida por una carga, sin que la señal sufra distorsión de algún tipo [7][32]. Este tipo de amplificadores vienen determinados por una serie de parámetros, tales como la eficiencia, la ganancia y la estabilidad. En la Figura 3-7 se puede ver representado gráficamente el símbolo de un amplificador.

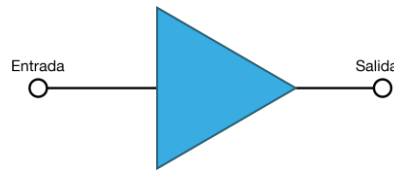


Figura 3-7: Símbolo de un amplificador.

3.2.1. Estabilidad

La estabilidad es un factor fundamental a tener en cuenta. Este determina la capacidad que tiene un amplificador de mantener su eficacia en los valores nominales de operación, a pesar de condiciones ajenas, es decir, es la oposición que presta a oscilar [33]. Un ejemplo de esto se ve en la Figura 3-8, donde a la izquierda se contempla el resultado que produce un transistor estable, mientras que a la derecha el transistor es inestable y se ve que éste tiende a oscilar.

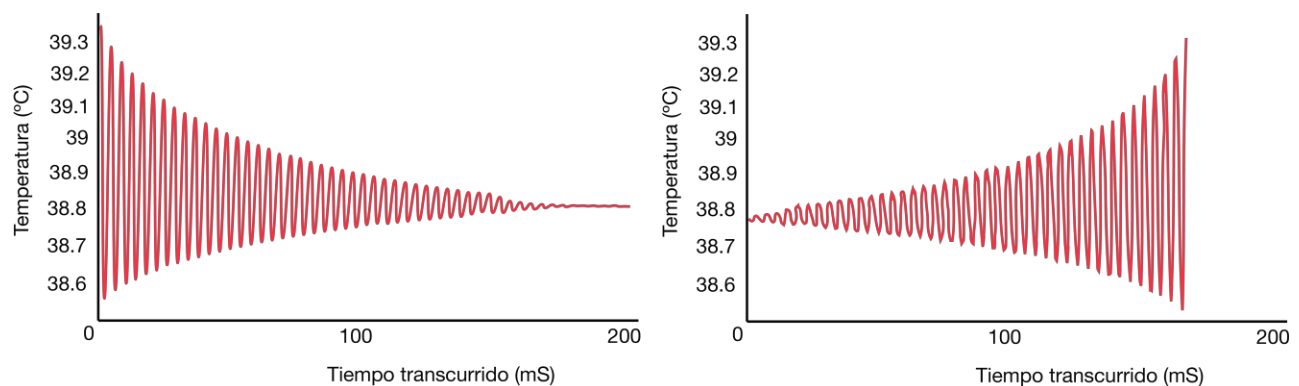


Figura 3-8: Salida de un transistor estable (izquierda) e inestable (derecha).

En una red de dos puertos, es decir, de entrada y de salida, las oscilaciones son posibles cuando en cualquiera de ellos se presenta una impedancia con parte real negativa. Que se cumplan estos requisitos depende de varios factores, tales como los parámetros S del dispositivo, las redes de adaptación utilizadas y las terminaciones del circuito. Además, un circuito puede ser estable a unas frecuencias y a otras no, para los mismos valores de impedancias de generadores y de carga [23].

Considerando un transistor estable, existen dos tipos de estabilidad. La primera, denominada "incondicionalmente estable", se cumple cuando para una frecuencia dada, éste es estable para todas las impedancias de fuente y de carga, es decir, que las impedancias de entrada y de salida tengan parte real positiva.

Un transistor también puede ser "condicionalmente estable". Se encuentra en este estado cuando para una frecuencia dada, algunas de las impedancias de fuente y de carga pueden producir impedancias de entrada y de salida con parte real negativa. [23]

Para saber si un amplificador es estable, se deben cumplir un número de condiciones, que se reúnen en el factor de Rollett o de estabilidad, representado mediante una K y cuya expresión matemática es (3.3). Si este valor es menor que la unidad ($K < 1$), el transistor es inestable; en caso contrario ($K > 1$) es estable[34].

$$K = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \cdot \Delta| + |S_{21} \cdot S_{12}|} > 1 \Leftrightarrow \text{incondicionalmente estable} \quad (3.3)$$

Siendo los parámetros S:

- S_{11} : Indica el grado de adaptación de la impedancia de entrada. Estando bien adaptada, no habría potencia reflejada y por tanto $S_{11} = 0 + oj$.
- S_{22} : Indica el grado de adaptación de la impedancia de salida. Bien adaptada, no se refleja potencia a la carga y $S_{22} = 0 + oj$.

- S_{12} : Ganancia en potencia en inversa. Mide el nivel de aislamiento.
- S_{21} : Ganancia de potencia en directa. Interesa que sea elevado.

Para proporcionar estabilidad a un transistor es posible añadir una red de estabilidad. Este tipo de redes reducen la ganancia de un transistor en favor de un mayor factor de estabilidad.

3.2.2. Ganancia

La ganancia (G) de un amplificador se define como el ratio de potencia de salida (P_o) frente a la potencia de entrada (P_i) [1]. Su expresión de forma matemática viene dada por la ecuación (3.4).

$$G = \frac{P_o}{P_i} \quad (3.4)$$

Como se ha comentado anteriormente, la finalidad de un amplificador es amplificar la potencia de la señal a los niveles requeridos por la carga que está conectada a él. Debido a la polarización y la linealidad de un transistor, como se pudo ver en el anterior apartado donde se explicó la recta de carga y el punto de polarización, cuando se recibe una señal de entrada demasiado grande, esta entra en saturación y se comprime, como se puede ver en la Figura 3-9.

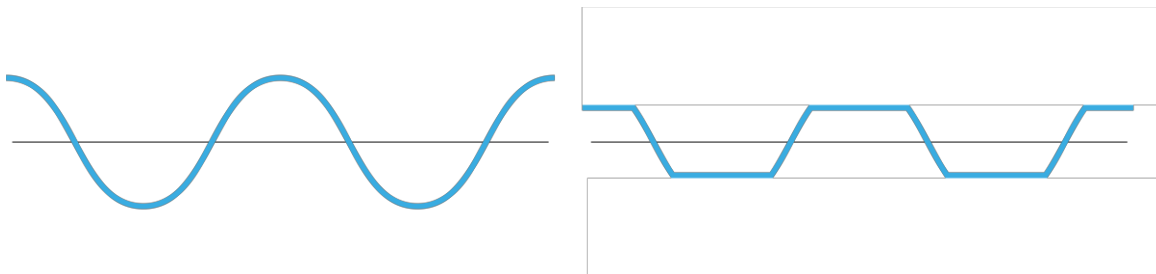


Figura 3-9: Señal de salida de un transistor (izquierda) y señal en compresión (derecha)

Es posible aumentar la ganancia total de un circuito, su ancho de banda y otros parámetros uniendo varias etapas de amplificadores, como se verá más adelante en este trabajo.

3.2.3. Eficiencia

El amplificador de potencia es, con diferencia, uno de los componentes que más consume en un circuito [35]. Una mayor eficiencia implica menores pérdidas [1] y, por tanto, una mejor gestión del calor generado y mejores costes de operación del amplificador [36].

La eficiencia es un parámetro que permite medir la cantidad de la corriente continua de la señal de entrada que se transforma en potencia. La parte que no es transformada se disipa en forma de calor. Existen dos formas de representar numéricamente la eficiencia en un amplificador: mediante la eficiencia del drenador (η_{drenador}) y la *Power Added Efficiency* (PAE).

Eficiencia del drenador

La eficiencia del drenador viene dada por la expresión (3.5). Se define como la potencia de salida del amplificador frente a la potencia en continua que recibe de alimentación. [20].

$$\eta_{\text{drenador}} = \frac{P_{\text{out}}}{P_{\text{dc}}} \quad (3.5)$$

El problema contemplado en esta ecuación es la falta de consideración de la potencia de entrada y por tanto no se puede saber de forma precisa la cantidad de potencia proveniente de la fuente de alimentación que es convertida en potencia de la señal de salida. Es decir, es independiente de la ganancia del amplificador [36].

PAE

Para solucionar el anterior problema, otra forma de medir la eficiencia del circuito es mediante la PAE, cuya ecuación (3.6) incluye la potencia de entrada del amplificador.

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} \quad (3.6)$$

Otra forma de obtener la PAE es mediante la expresión (3.7), que, como se puede observar, sí contempla la ganancia del circuito para obtener la eficiencia del circuito que se ha creado.

$$PAE = \eta_{drenador} \frac{G - 1}{G} \quad (3.7)$$

En el caso de un amplificador real, la PAE siempre será menor que la eficiencia del drenador. Sin embargo, a partir de 30 dB de ganancia, o 1000 en la escala lineal, la diferencia será del 0.1%, lo cual es una diferencia despreciable.

La PAE es considerada figura de mérito (FOM) y por esta razón será usada a lo largo de este trabajo.

3.2.4. Clases

Los amplificadores de potencia se pueden clasificar por el porcentaje de tiempo que están operando al recibir una entrada senoidal [37]. Este principio depende del denominado "ángulo de conducción", que muestra durante qué parte de los ciclos de las ondas de entrada el transistor está conduciendo. Dicho ángulo de conducción se puede regular mediante la tensión de polarización de puerta-surtidor V_{GS} [38].

En función de cada ángulo de conducción se define una "clase" de amplificador, pudiendo así clasificar estas dentro de dos grupos. Por una parte los amplificadores lineales; cuya salida

son proporcional a la entrada. Dentro de este grupo se encuentran las clases A, AB, B y C, que se verán de forma más detallada. En la Figura 3-10 se encuentran ejemplos gráficos de la conducción de las clases de los amplificadores.

En el segundo grupo el transistor actúa como *switch*, variando la tensión de puerta-surtidor (V_{GS}), consiguiendo así que funcione en ciertos rangos de entrada [32], [33]. Cada una de las clases de los amplificadores de potencia difiere en términos de linealidad, potencia de salida y eficiencia [36].

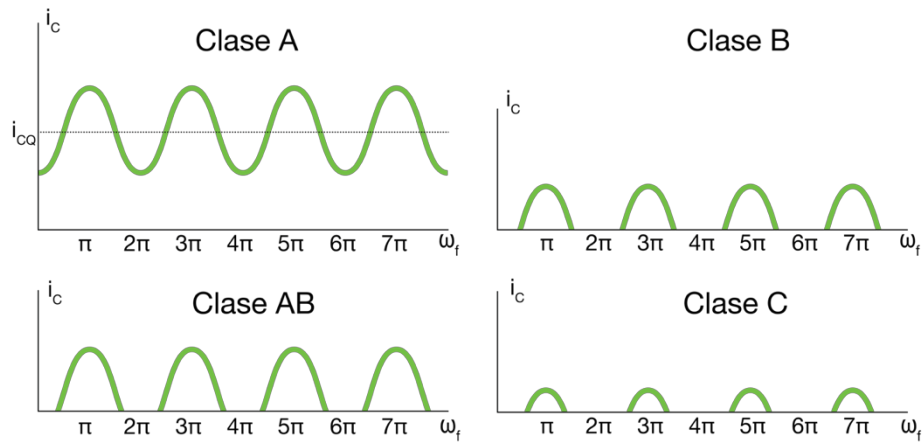


Figura 3-10: Clases de amplificadores. De izquierda a derecha, y arriba para abajo: Clase A, Clase B, Clase AB y clase C.

El ángulo de conducción es importante ya que define la eficiencia y la linealidad de los amplificadores de potencia [5]. Estos valores ya están calculados y están resumidos en la Tabla IV [38].

Tabla IV: Eficiencia y ángulo de conducción de cada clase lineal

Clase	Ángulo	eficiencia
A	2π	50%
B	π	78.5%
AB	$\pi < \sigma < 2\pi$	$50\% < \eta < 78.5\%$
C	$< \pi$	$> 78.5\%$

Clase A

Esta clase de amplificadores conducen durante el periodo entero de una onda, es decir, 2π radianes. Se polarizan la corriente y el voltaje CC en medio de los máximos y mínimos de la onda, para así asegurar la conducción en todo momento. Esto se ve en I_{CQ} en la Figura 3-10 y la recta de carga y el punto de polarización en la Figura 3-11.

Como se ve en la Figura 3-10, la función de un amplificador clase A es prácticamente una función lineal y destaca por tener una ganancia alta y una distorsión baja. El principal inconveniente que se encuentra es la baja eficiencia, debido al alto consumo de energía. La máxima eficiencia que se puede obtener es del 50% [1].

Este tipo de amplificadores mayoritariamente se usan cuando se requiere una linealidad muy alta de la señal de salida.

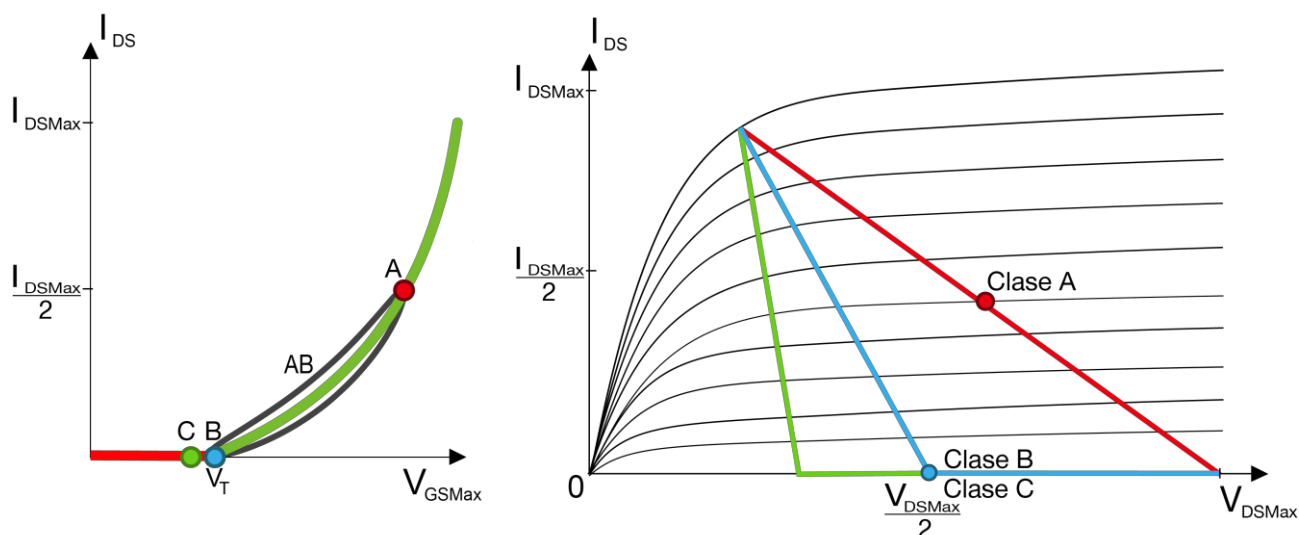


Figura 3-11: Líneas de carga y puntos de polarización de las distintas clases de transistores.

CLASE B

El transistor polarizado en clase B se distingue por tener un ángulo de conducción de π radianes, es decir, conduce medio ciclo de una onda de entrada. Esto queda reflejado en su punto de polarización, que está en $V_{DSMax}/2$, como en la Figura 3-11 [1]. Existen varias diferencias frente a un transistor polarizado en clase A. Una de ellas es que un transistor en clase B tiene una

mayor eficiencia, de hasta 78.5%, pero sacrificando linealidad debido a una mayor presencia de armónicos.

CLASE AB

Esta clase se distingue por estar entre la clase A y B, es decir, su ángulo de conducción se encuentra entre π y 2π , como se puede apreciar en la Figura 3-11. Como se ha comentado con anterioridad, en un transistor polarizado en clase A, la eficiencia es del 50% y tiene un bajo contenido armónico, mientras que en el clase B la eficiencia es del 78.5% y con un alto contenido armónico.

Consecuentemente, mediante un clase AB se puede obtener una eficiencia que se encuentre en el rango $50\% < \eta < 78.5\%$ y una linealidad mayor o menor. Esto depende de si el transistor es polarizado más cerca de clase A o clase B [1].

Este tipo de configuración es usada ampliamente hoy en día porque su estructura representa el punto optimo entre linealidad y eficiencia, por tanto, son una elección ideal.

CLASE C

Los transistores polarizados en clase C tienen un ángulo de conducción menor que π . La principal razón para hacer uso de transistores polarizados en esta clase es debido a su alta eficiencia, ya que no consume potencia para más de la mitad del ciclo de una señal. Su línea de carga se ve reflejada en la Figura 3-11.

Como se puede ver en la Figura 3-10, la corriente de salida de un transistor polarizado en clase C son picos de corta duración. Como en el nivel de corriente máximo, el voltaje también es bajo, la potencia disipada es baja y, por ello, la potencia consumida por el amplificador es casi igual a la que se entrega a la carga [5].

La distorsión de la señal, en comparación con la señal de entrada, es muy alta debido a la alta frecuencia de encendido y apagado del transistor; es la clase menos lineal de todas las nombradas anteriormente. Su mayor uso es para amplificar señales moduladas en frecuencia, donde la distorsión armónica y la falta de linealidad son importantes.

3.3. Amplificador Doherty

Como se ha descrito anteriormente, es posible polarizar los transistores para obtener diferentes clases de amplificadores, para que conduzcan en función de diferentes potencias de entrada. El concepto del amplificador Doherty, cuyo esquema teórico se encuentra en la Figura 3-12 se basa en combinar dos amplificadores de potencia, uno denominado "principal" y otro "auxiliar", polarizados normalmente en clase AB y clase C, respectivamente [4]. La potencia es entregada a los amplificadores mediante un divisor de potencia; el cual puede ser tanto un divisor Wilkinson o un híbrido de 90°. Además, ambos amplificadores tienen conectadas unas líneas de retardo: el principal la tiene conectada después del amplificador y el auxiliar previamente. Durante el funcionamiento las señales de los amplificadores se encuentran desfasadas, pero en la salida se encontrarán de nuevo en fase. Durante el diseño del esquemático, en el capítulo 4, se explicará la función de dichas líneas.

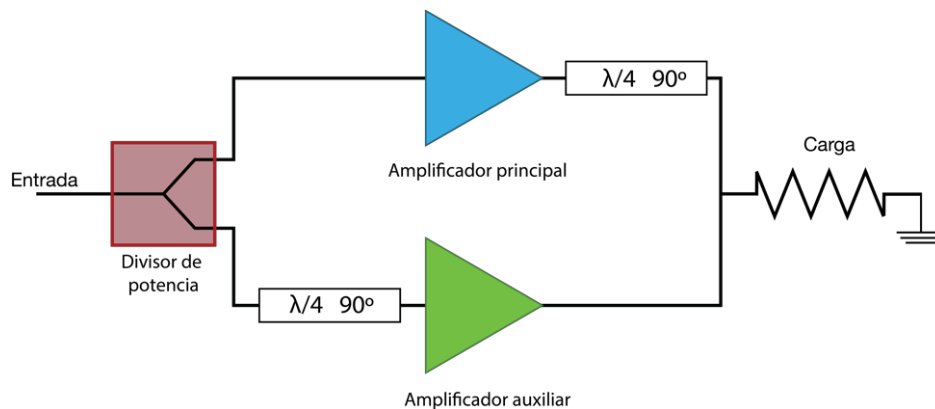


Figura 3-12: Circuito básico de un amplificador Doherty.

En el funcionamiento del Doherty se distinguen dos regiones [7]. Cuando la entrada al amplificador es de baja potencia, únicamente se encuentra funcionando el principal, mientras que el auxiliar está apagado. Esto se debe a que ha sido polarizado para comenzar su funcionamiento con niveles de señales de entrada altos [38].

Mientras aumenta la potencia de entrada, el principal llegará a su límite teórico de eficiencia de 78.5% y entrará en nivel de saturación, momento en el cual el auxiliar entra en la

región activa. En este momento comienza el principio en el que se basa el funcionamiento de un amplificador Doherty, llamado “modulación de carga”, que será explicado detenidamente en el apartado dedicado a ello. La señal de salida que produce el circuito se puede apreciar en la Figura 3-13. La ganancia proporcionada por el Doherty mientras funciona es constante, proporcionando así una ganancia lineal.

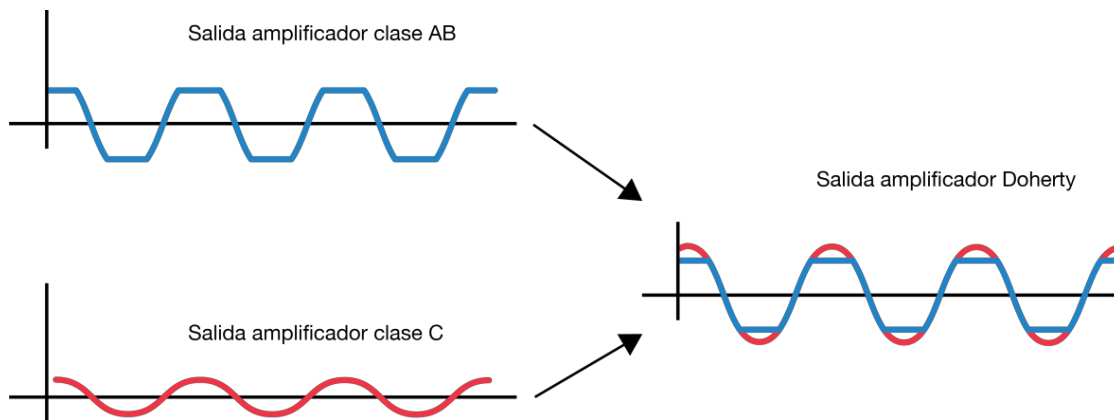


Figura 3-13: Señales de salida de los amplificadores.

La eficiencia total del circuito, visible en la Figura 3-14, viene principalmente dada por la del principal. Se puede ver claramente la distinción de la región de cuando sólo está en funcionamiento el amplificador principal (de 0 a $V_{inMAX}/2$), a cuando empieza a funcionar el auxiliar (de $V_{inMAX}/2$ a V_{inMAX}). De forma ideal, el auxiliar estará apagado para regiones por debajo de la de *back-off* y comienza a operar en la segunda región [1].

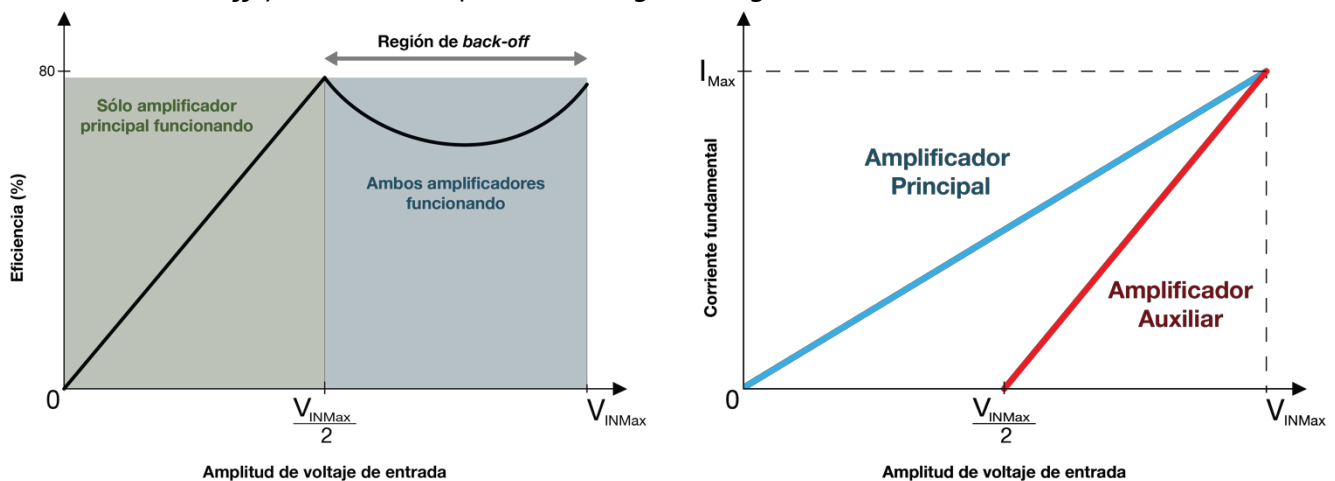


Figura 3-14: Eficiencia de un amplificador Doherty (izquierda) y la corriente y tensión de entrada de ambos amplificadores (derecha).

La principal ventaja que se puede observar en este tipo de circuito es que se mantiene constante la eficiencia del amplificador principal durante un mayor periodo de tiempo; a consecuencia de ello, aumenta la potencia de salida del circuito y puede operar en un mayor rango de tensiones de entrada [4].

Teniendo en cuenta que el comportamiento del amplificador Doherty de la Figura 3-12 es ideal, se hace necesario el uso de redes de adaptación que se diseñarán para asegurar la máxima transferencia de potencia durante el funcionamiento del circuito. Dichas redes se encontrarán a la entrada y a la salida de cada amplificador [4], como se puede ver en la Figura 3-15.

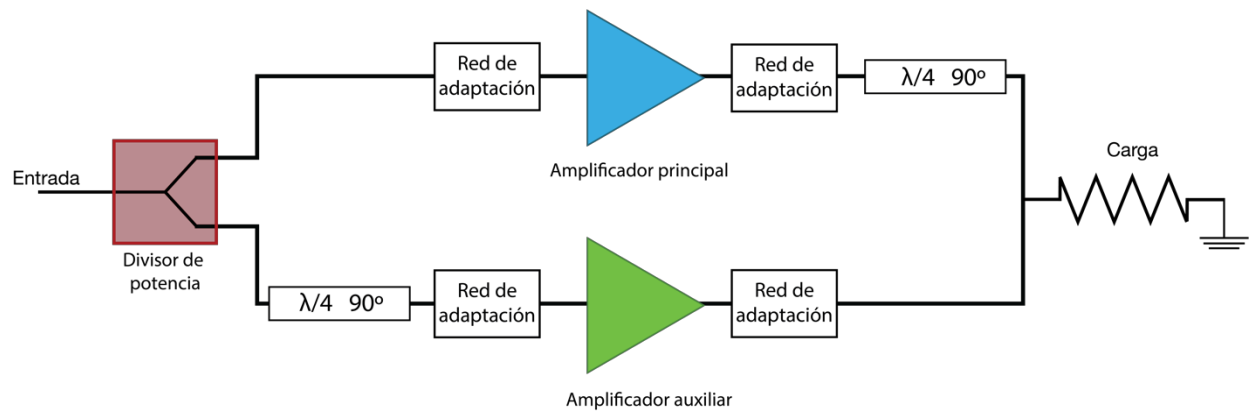


Figura 3-15: Bloque de diagramas real de un amplificador Doherty.

3.3.1. Principio de modulación de carga

Como se ha comentado con anterioridad, el principio de funcionamiento de los amplificadores Doherty se basan en el concepto de “modulación de carga” [7].

Previo a comenzar la explicación de este principio, primero se debe entender el cálculo de la impedancia vista desde un transformador de cuarto de onda, como el de la Figura 3-16.

La línea de transmisión tendrá asociada una impedancia Z_o y conectada a ella una carga Z_L , mientras que desde la entrada se ve una impedancia Z_{in} . La relación entre todas estas impedancias es la que se tiene en la expresión (3.8).

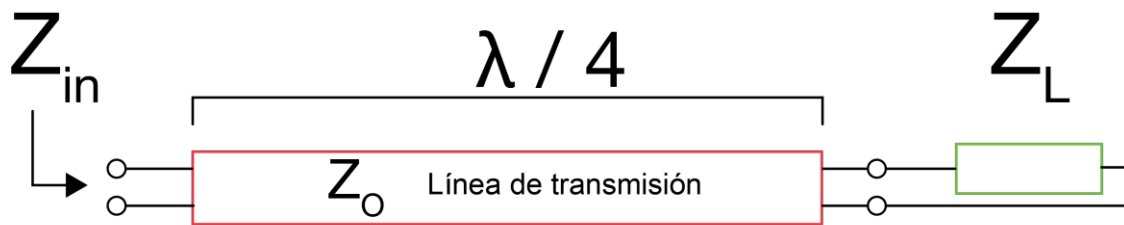


Figura 3-16: Línea de transmisión de cuarto de onda y sus impedancias.

$$\frac{Z_{in}}{Z_o} = \frac{Z_o}{Z_L} \quad (3.8)$$

Entendido este concepto y para entender mejor el funcionamiento de la modulación de carga, se traza el circuito equivalente del amplificador Doherty, cuyo resultado se encuentra en la Figura 3-17 [39].

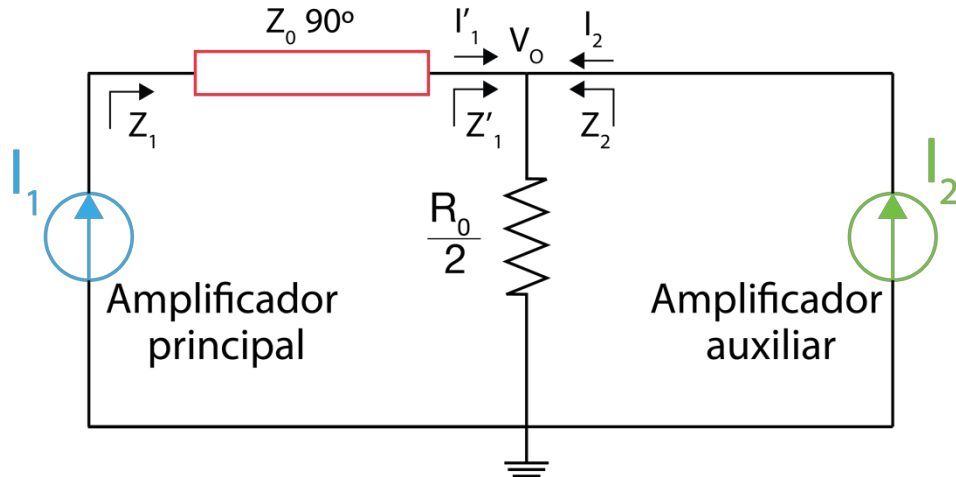


Figura 3-17: Circuito equivalente de un amplificador Doherty.

Los amplificadores actuarán como fuentes de corriente controladas, mientras que la línea de transmisión de cuarto de onda, produce el efecto deseado de modulación de carga [38]. Para su explicación, recordamos que existen dos regiones en la operación de un amplificador Doherty: la primera, cuya señal de entrada varía entre $0 < V_{in} < V_{inMAX}/2$ y la segunda región, cuya señal de entrada varía $V_{inMAX}/2 < V_{in} < V_{inMAX}$.

Primera región de funcionamiento

En esta región de funcionamiento únicamente se halla operando el amplificador principal. El auxiliar actuará como circuito abierto y no influirá en el circuito. Sabiendo esto, el circuito equivalente en esta región es el de la Figura 3-18.

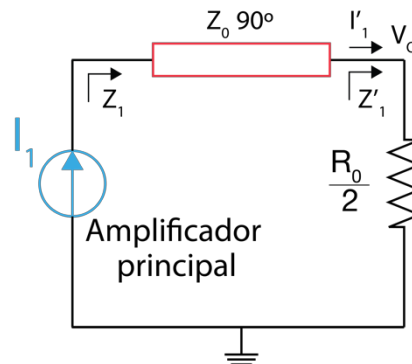


Figura 3-18: Circuito equivalente en la primera región

La impedancia vista por el amplificador principal se obtiene haciendo uso de la ecuación (3.9):

$$Z_1 = \frac{Z_T^2}{Z_L} \quad (3.9)$$

Se observa que la impedancia vista por el amplificador principal en esta región de funcionamiento es mucho mayor debido a la implementación de una línea de transmisión [5]. Concretamente, el valor de la impedancia vista por el amplificador es el doble de la carga. De esta forma se justifica que este amplificador alcance su nivel de tensión máxima en $V_{inMax}/2$ [40].

En esta región la impedancia del auxiliar es infinita.

Segunda región de funcionamiento.

En esta región es donde se comienza a ver la modulación de carga activa. El circuito equivalente en esta región sería el de la Figura 3-17, ya que ambas fuentes de corriente comienzan a operar. Al pasar esto, la impedancia vista por el amplificador principal disminuirá en función de la ecuación (3.10), debido a la línea de transmisión. Esto hará que, a pesar de estar en saturación, el amplificador principal aumente su corriente de salida y continúe operando, mientras que la PAE se mantiene en niveles altos, produciéndose así la gráfica de la Figura 3-14 [7].

$$Z_1 = \frac{Z_T^2}{Z_L \left(1 + \frac{i_p}{i_c}\right)} \quad (3.10)$$

Por otra parte, la impedancia vista por el auxiliar se calcula según la ecuación (3.11).

$$Z_2 = \frac{Z_T^2}{Z_L \left(1 + \frac{i_c}{i_p}\right)} \quad (3.11)$$

Trazando de forma gráfica las funciones de las impedancias en ambas regiones, se obtiene la Figura 3-19. Se puede ver cómo el amplificador principal mantiene constante su impedancia de salida en la primera región, del orden de la ecuación (3.9) y en la segunda disminuye debido a la modulación de carga; momento en el que empieza a converger con la impedancia vista por el amplificador auxiliar.

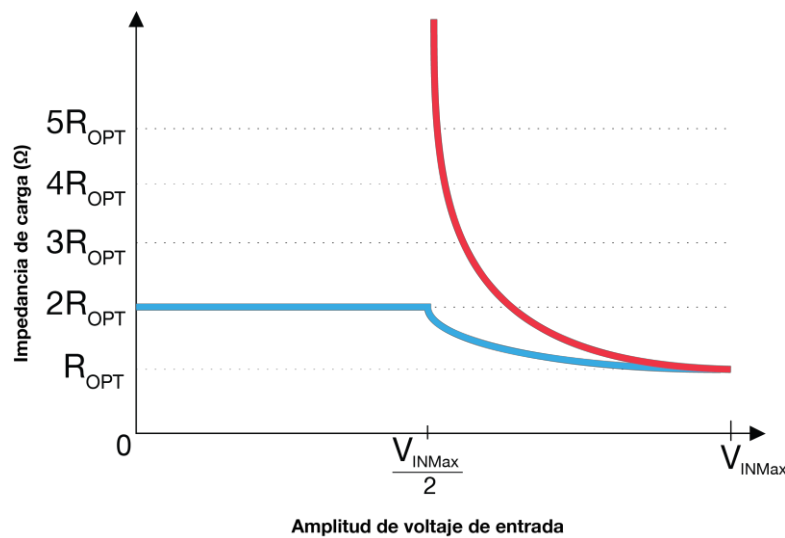


Figura 3-19: Impedancias de los amplificadores en función de la tensión de entrada.

Como la potencia de entrada en esta etapa es dividida entre dos ramas, la ganancia total del circuito no aumenta, sino que se mantiene constante con respecto a la primera región de funcionamiento.

3.4.1. Eficiencia

La curva de eficiencia característica de un amplificador Doherty, como la de la Figura 3-14 se obtiene combinando el funcionamiento de ambos amplificadores, tal y como se ha descrito en el anterior apartado. Se pueden distinguir dos picos de eficiencia. Analizando cuidadosamente la gráfica de la Figura 3-20, se puede ver que el primer pico es proporcionado por el funcionamiento del amplificador principal y es justo cuando el auxiliar comienza a funcionar, en el punto $V_{inMax}/2$.

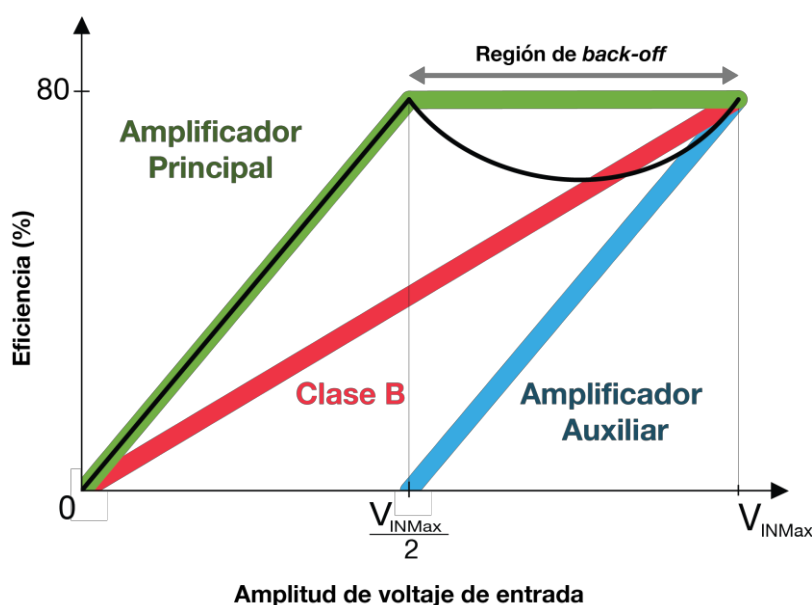


Figura 3-20: Gráfica detallada de la PAE de un amplificador Doherty.

Como se ha visto en el apartado anterior, la impedancia vista por el amplificador principal en la primera región de funcionamiento, es el doble que la de carga. Esto hará que este amplificador alcance antes la región de saturación, específicamente en el punto $V_{inMax}/2$ y con nivel de corriente de salida del amplificador de $I_{MAX}/2$. Esto causará que alcance rápidamente su máxima PAE y potencia de salida [40]. Esto es consecuencia del fenómeno de “modulación de carga”; el principio de funcionamiento en el que se basa cualquier amplificador Doherty.

Como resultado, el nivel de potencia máximo en este punto será la mitad de la que realmente permite el amplificador y un cuarto del nivel de potencia total o 6 dB, del amplificador Doherty [40]. La eficiencia total del Doherty en este punto es igual a la máxima eficiencia del amplificador principal.

En la segunda región de funcionamiento, donde ya comienza a funcionar el amplificador auxiliar, el principal está generando potencia con la eficiencia máxima alcanzable por el mismo. Esta se mantiene constante debido a la modulación de carga.

El amplificador auxiliar comienza a operar con una impedancia alta, de forma que alcanza rápidamente su máximo nivel de eficiencia, pero al comienzo sigue siendo más baja que la del principal, por tanto la PAE total del amplificador Doherty bajará un poco previo a alcanzar su segundo pico. Este segundo pico se alcanza cuando tanto el principal como el auxiliar emiten su máxima potencia.

Se puede observar que un amplificador Doherty, por tanto, proporciona una mayor eficiencia a lo largo de un mayor rango de potencias de entrada, a diferencia de los amplificadores por separado.

3.4.2. Back-off

El *Input Back-Off* (IBO) en un amplificador de potencia mide cuánto hay que reducir la potencia de entrada para tener la potencia y linealidad deseada en la señal de salida [41]. Es la diferencia en dB entre la potencia de entrada en el punto de operación y el punto de saturación que haría falta para una operación con portadora única. Dicho de otra forma, es la diferencia entre la potencia de entrada que entrega la máxima potencia, es decir, P_{SAT} y la potencia de entrada que entrega la linealidad deseada y cumple los requisitos de señal.

Output Back-Off (OBO) es la diferencia entre la potencia de salida de saturación y la potencia media transmitida después de la amplificación. Suele ser 5 dB menos que el IBO y depende del punto de compresión del circuito. Viene dada por la ecuación (3.12).

$$OBO = P_{sat}(dB) - P_{av}(dB) \quad (3.12)$$

Reducir el OBO puede ser de gran interés. Si un circuito para operar correctamente necesita un *back-off* menor, es decir, que la potencia de operación P_{AV} sea más cercana a P_{SAT} , el circuito será más eficiente y por tanto se verá reducido su consumo de potencia. Los amplificadores de potencia tienen su mayor eficiencia cuando se usan a la máxima potencia, o lo que es lo mismo, con 0 dB de *back-off*. El problema es que este punto no es lineal y, por tanto, puede ser inadecuado su uso. Para una mayor linealidad, es necesario operar por debajo del punto de compresión de 1 dB, como queda reflejado en la Figura 3-21, donde surge como problema que la eficiencia del circuito baja drásticamente[5].

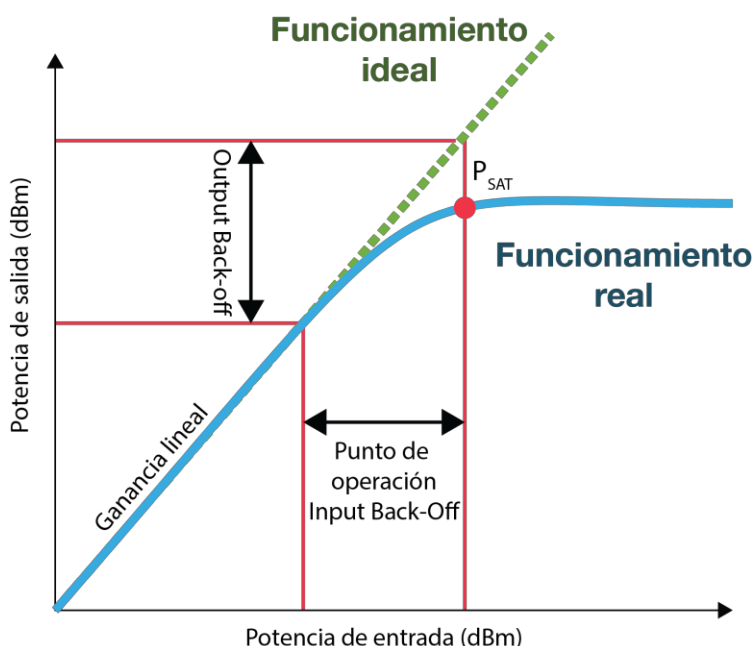


Figura 3-21: Representación gráfica del back-off de entrada y de salida.

Como se puede ver en la Figura 3-14 y se explicó previamente, un amplificador en configuración Doherty alcanza rápidamente su máxima eficiencia; teóricamente 6 dB antes de

alcanzar su máxima potencia de salida, P_{SAT} . Como consecuencia, se puede operar en regiones de *back-off* sin ver sacrificada la eficiencia del circuito, es decir, sin ver aumentado el consumo de energía. Como el primer pico de máxima eficiencia se alcanza en el momento en el que el amplificador auxiliar comienza a operar, la eficiencia baja ligeramente en la región de *back-off*, como se puede ver en la Figura 3-20, previo a alcanzar su segundo pico.

4. Diseño del amplificador Doherty

En este capítulo se comenzará con el diseño del amplificador Doherty que se ha introducido hasta ahora y con los requisitos establecidos en los objetivos. Primero se especificarán los transistores y se configurarán correctamente. Posteriormente, se unirán en la estructura característica de un amplificador Doherty y se realizarán simulaciones y cambios para poder cumplir con dichos requisitos.

4.1. Diseño del esquemático

Para el diseño del esquemático del circuito se hará uso del software *Advanced Design System* (ADS) [42], desarrollado por Keysight Technologies Inc. Este potente software permite abarcar todos los pasos de un diseño: diseño del esquemático, el *layout*, comprobar las reglas del diseño establecidas por el fabricante y simulaciones electromagnéticas. Debido a esto se ha optado por este programa, además de que la *foundry* que desarrollará el circuito, OMMIC, tiene disponible una serie de librerías de sus componentes para este software. De esta forma se podrá crear el circuito con modelos de los componentes reales de este fabricante y ajustar los parámetros al máximo teniendo en cuenta sus pérdidas.

4.1.1. Configuración de los transistores

Elección del transistor

Antes de comenzar el diseño del esquemático, es importante hacer la elección adecuada de los transistores de los que se hará uso, ya que será la base del proyecto entero. En las librerías de OMMIC se podrán encontrar cuatro modelos de transistores, como los de la Figura 4-1.

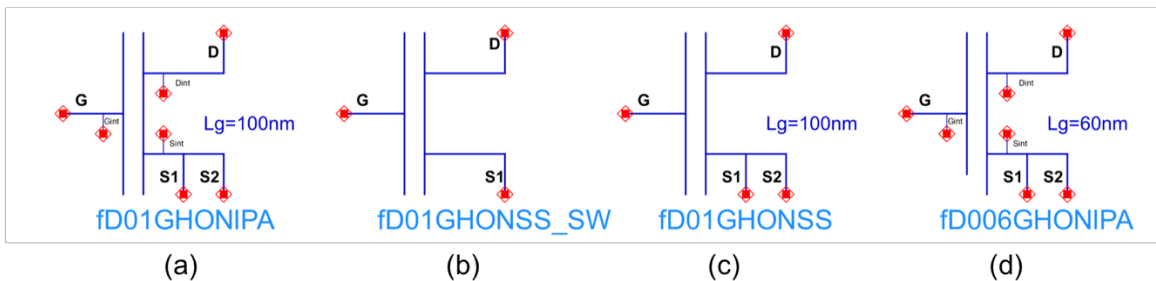


Figura 4-1: Modelos de transistor ofrecidos por OMMIC.

Las descripciones oficiales proporcionadas por OMMIC sobre cada uno de los modelos son las siguientes:

- **FD01GHONLPA**: Modelo de gran señal del D01GH. Longitud de Puerta de 0.1 μm GaN HEMT. El surtidor tiene dos conexiones.

-
- FD01GHONSS SW: Modelo en pequeña señal del modelo Do1GH, con longitud de Puerta de $0.1\ \mu\text{m}$, GaN HEMT. El surtidor tiene una conexión.
 - FD01GHONSS: Modelo en pequeña señal del modelo Do1GH, con longitud de Puerta de $0.1\ \mu\text{m}$, GaN HEMT. El surtidor tiene una conexión. Incluye modelo de ruido.
 - FD006GHONLPA: Modelo de gran señal del Doo6GH. Longitud de Puerta de $0.1\ \mu\text{m}$ GaN HEMT. El surtidor tiene dos conexiones.

Como en este proyecto se trabajará en gran señal, se descartan los transistores que son modelos de pequeña señal, concretamente (b) y (c). De los modelos restantes, se opta por el uso del (a), debido a que, según OMMIC, el nivel de madurez o *Technology Readiness Level* (TRL) [43] de éste ronda el nivel 3-4, mientras que de la opción (d) ronda 1-2; el más básico de todos.

En este transistor, los principales parámetros que se podrán modificar y de los que se hará uso a lo largo del proyecto son:

- Nfg: El número de *fingers* en la puerta. Según recomendaciones de OMMIC, debe ser menor que 8 para evitar ruido.
- Wfg: Anchura de cada *finger* de puerta individual
- Temp: La temperatura del ambiente, que se fijará en 85° centígrados.

Aparte de estos parámetros, el *foundry* recomienda mantener la tensión V_{DS} entre 8 y 12 Voltios; siendo lo normal 12 Voltios. La tensión V_{GS} se regulará en función de la polarización que se desee poner a cada transistor.

4.1.2. Obtención de las curvas del transistor

Una vez decidido el modelo de transistor adecuado para esta aplicación, es importante polarizarlos para su uso. En este caso, como se ha comentado en el anterior capítulo, el amplificador principal operará como clase AB y el amplificador auxiliar como clase C. Cada amplificador estará compuesto únicamente por un transistor.

Para polarizar correctamente cada transistor se obtendrán sus curvas características y su recta de carga para, de esta forma, establecer su punto de polarización y asegurar que opera tal y como se espera.

Amplificador principal

El circuito usado para la obtención de las curvas del transistor principal es el que se encuentra en la Figura 4-2. El circuito está compuesto por dos generadores de tensión, denominados V_{GS} y V_{DS} , que alimentan la puerta y el drenador del transistor respectivamente. Se realizará un barrido de estas tensiones para obtener las curvas características. Para realizar la medición se introduce un amperímetro en serie con el drenador para así calcular la corriente I_D . El transistor se encuentra conectado a tierra por sus dos surtidores. La anchura de las líneas y las vías que conectan el transistor a tierra deben tener la misma anchura que los *fingers* de la puerta, en este caso 200 μm .

El número de *fingers*, para empezar, se fijan a 4 y la anchura de los mismos a 200 μm . Los parámetros que se barrerán son los que se ven en los *setup* de *ParamSweep* en la Figura 4-2: V_{GS} de -3 V a 0 V y V_{DS} de 0 V a 15 V. Para la simulación en DC se fija este último rango, mientras que para el barrido en AC se usará la frecuencia de 3.6 GHz, que es el centro del rango de frecuencias de trabajo.

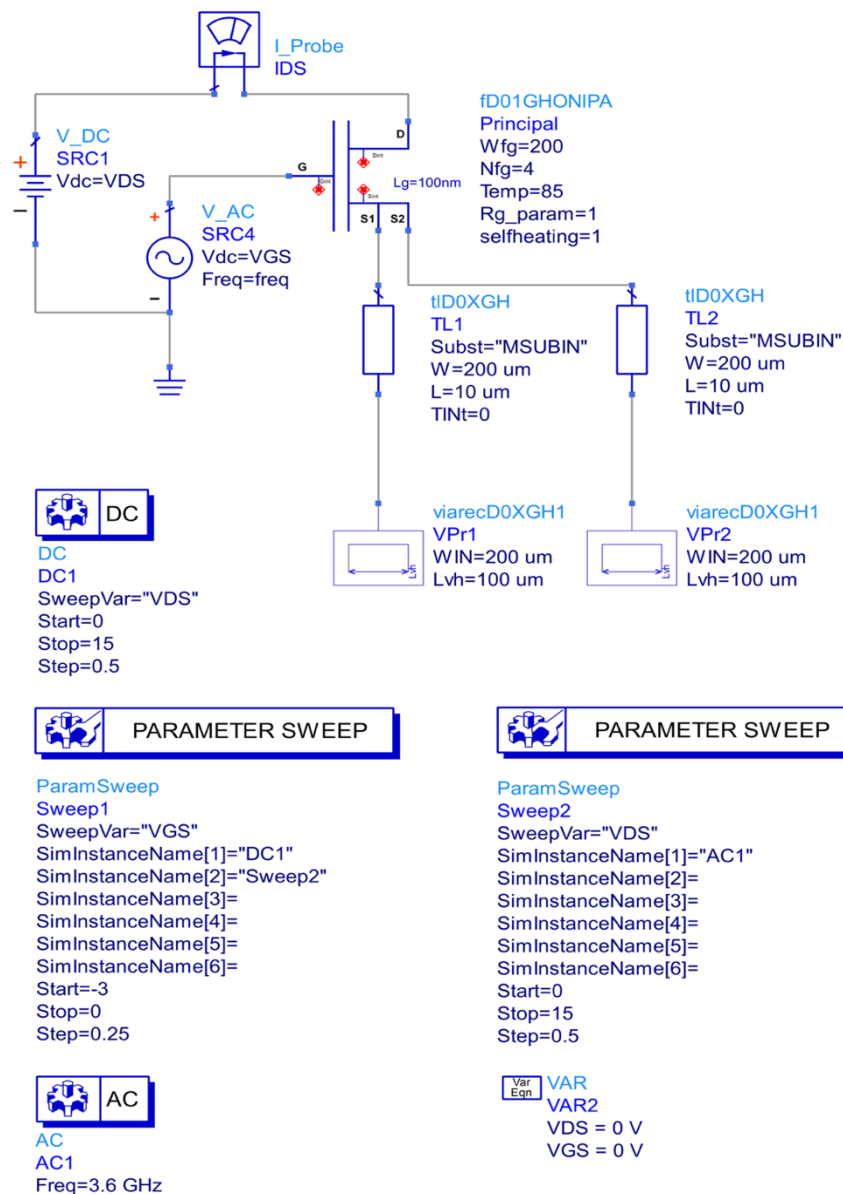


Figura 4-2: Circuito para la obtención de las curvas del transistor.

Una vez realizada la simulación haciendo uso de estos parámetros y *setup*, se obtienen las curvas de la Figura 4-3. A la izquierda se puede analizar la curva de transferencia de la entrada, es decir, la corriente del drenador en función de la entrada V_{GS} , mientras que a la derecha se pueden observar las curvas características de salida del transistor. La línea trazada en color azul muestra la línea de carga del transistor polarizado en clase A, mientras que la línea marrón muestra la línea de carga del transistor polarizado en clase B.

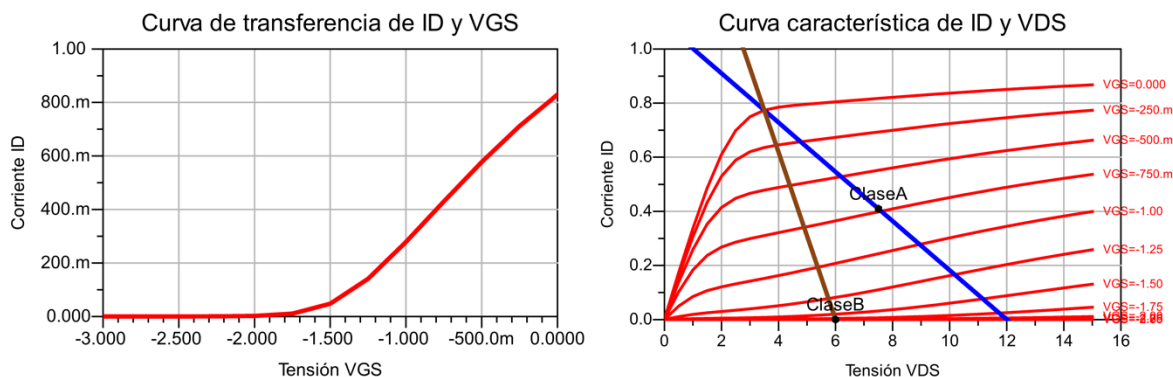


Figura 4-3: Curvas correspondientes al transistor principal. A la izquierda la curva de transferencia, y a la derecha la curva característica.

Como se ha indicado en varias ocasiones, el objetivo es polarizar este transistor en clase AB y lo más cerca posible a clase B, que se encuentra entre estas dos líneas. Como es de interés una eficiencia elevada, se polarizará cerca de clase B; específicamente, polarizamos el transistor en el punto de la Figura 3-11; justo tras sobrepasar la tensión umbral.

Amplificador Auxiliar

Para la polarización del amplificador auxiliar, se usará el mismo circuito de la Figura 4-2, pero cambiando el número de *fingers* (Nfg) de 4 a 6; ya que tendrá que soportar una mayor tensión. El resto de los valores se mantendrán como en el anterior circuito. El resultado de estas simulaciones se encuentra en la Figura 4-4.

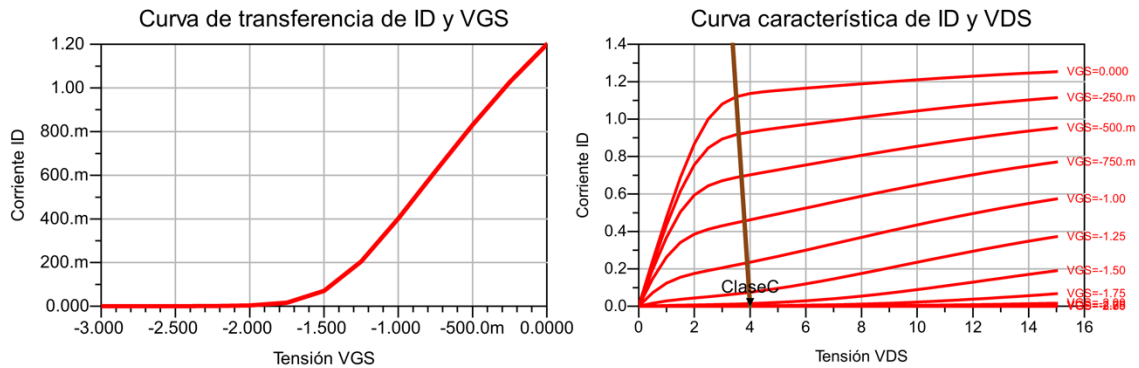


Figura 4-4: Curvas de transferencia (izquierda) y característica (derecha) correspondiente al transistor auxiliar.

Se puede ver que la corriente I_D en el transistor ha aumentado considerablemente para cada valor de V_{GS} . Para la polarización de este transistor en clase C, se elegirá una tensión previa a la de umbral, por tanto, se hará uso de la tensión de -3V para este amplificador.

4.1.3. Estabilidad de los transistores

Como se ha descrito en la introducción, la estabilidad es un factor fundamental en los amplificadores. Si es inestable, el circuito puede no funcionar o incluso estropearse entero; por tanto, es necesario comprobar la estabilidad de cada uno de los transistores y en caso de que sea necesario, introducir una “red de estabilización”.

Como se ha comentado, existen dos tipos de estabilidad: condicionalmente estable e incondicionalmente estable. Se distinguen porque el segundo es estable para cualquier tipo de frecuencia e impedancia, mientras que el primero no. Por tanto, sería de interés crear una red de estabilización que haga el transistor incondicionalmente estable, es decir, que el factor de Rollett sea mayor que 1 ($K > 1$).

Para determinar el factor de estabilidad en el ADS, se hace uso de la función **stab_fact(S)**, que empleará la ecuación (3.3) para calcularlo automáticamente.

Amplificador principal

Para analizar el factor de estabilidad del transistor en el rango de frecuencias en el que operará el circuito, se usa el esquema y las configuraciones de simulación de la Figura 4-5.

En los extremos del drenador y de la puerta se conectan unos terminales, **term1** y **term2**, que son necesarios para el cálculo de los parámetros S. Durante las simulaciones estos absorberán las ondas reflejadas de la entrada y la salida y así determinarán los parámetros S_{11} , S_{12} , S_{21} y S_{22} . También se ponen dos condensadores y bobinas, para evitar el paso de la corriente continua y corriente alterna, respectivamente.

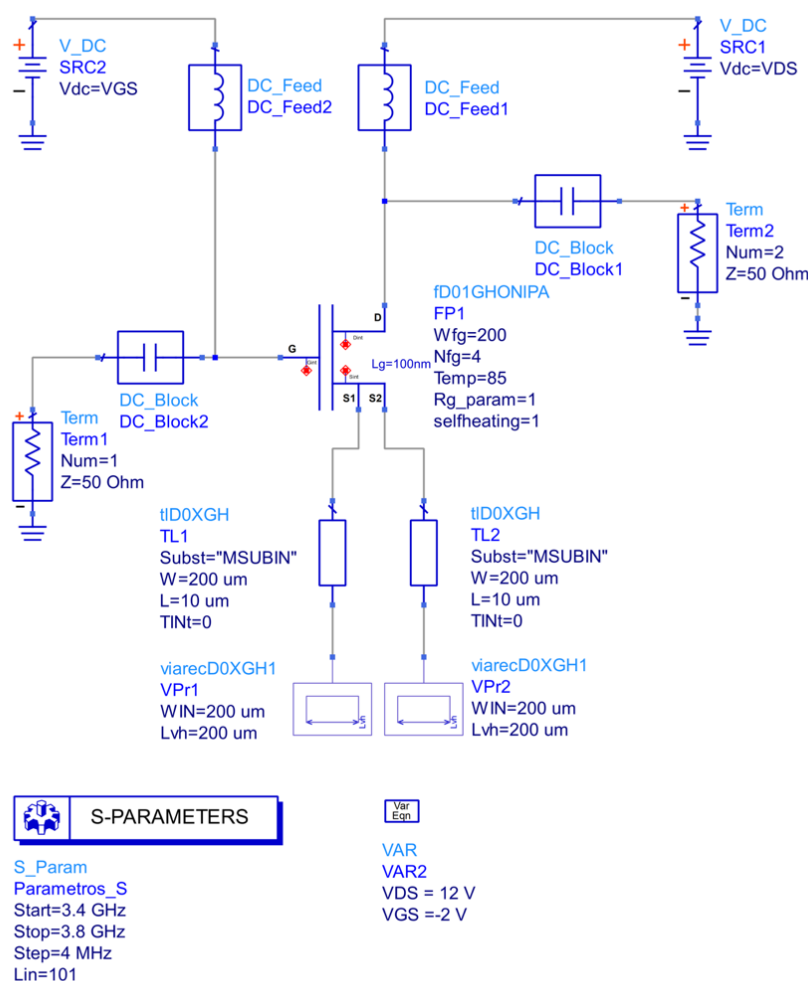


Figura 4-5: Circuito para obtener los rangos de estabilidad del transistor principal, polarizado en clase AB.

Los resultados obtenidos de la simulación se observan en la Figura 4-6.

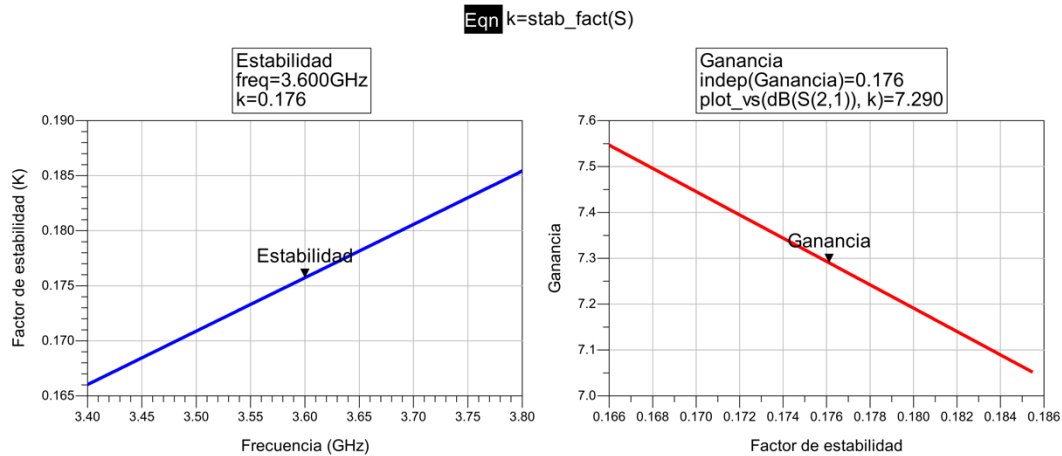


Figura 4-6: Estabilidad del transistor frente a la frecuencia (izquierda) y la ganancia en función de la estabilidad (derecha).

En la gráfica de la izquierda se puede ver claramente que el factor de estabilidad para este rango de frecuencias es de 0.15-0.20. Concretamente, en la frecuencia central de 3.6 GHz se tiene una estabilidad de 0.176, como se puede ver en el marcador; muy por debajo del valor requerido para que sea incondicionalmente estable. A causa de esto surge la necesidad de introducir una red de estabilización, que sacrificará ganancia para mejorar su estabilidad.

Tras el análisis de varias topologías de redes de estabilización, se ha optado por la que se emplea en la Figura 4-7.

Los valores que necesitarán tener dichos componentes para hacer estable el transistor son desconocidos. Por ello, se harán dos barridos: uno de **R_{stab}**, que corresponde al valor de la resistencia y otro de **C_{stab}**, correspondiente al condensador. Es necesario realizar varias simulaciones para concretar lo máximo posible los valores. En cada barrido se pondrán rangos de barrido más pequeños hasta llegar al valor que cumpla con los requisitos descritos en la introducción. Es importante encontrar un compromiso entre la ganancia del circuito y el valor de la estabilidad, al ser una relación inversamente proporcional.

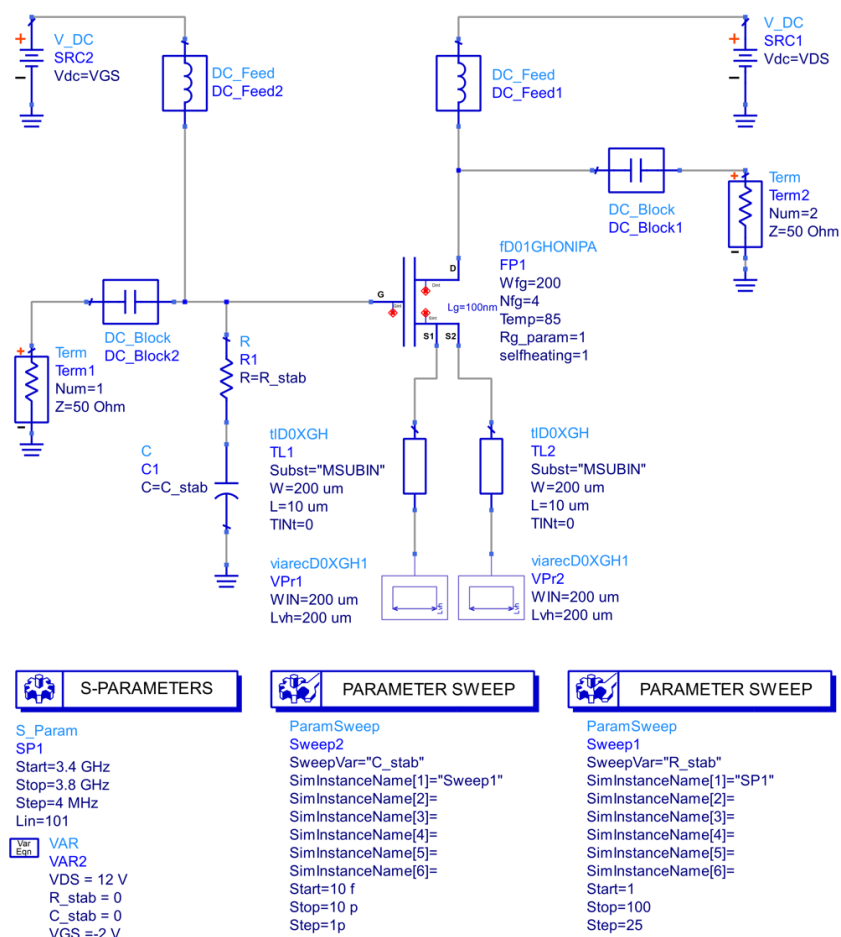


Figura 4-7: Circuito con la red de estabilización elegida.

Tras realizar varios barridos de valores y comprobar los valores de factor de estabilidad que se van obteniendo, finalmente se consigue que el transistor sea estable, como se puede ver en la Figura 4-8. Los valores de los componentes que lo hacen estable son:

- C_stab: 6 pF
- R_stab: 34Ω

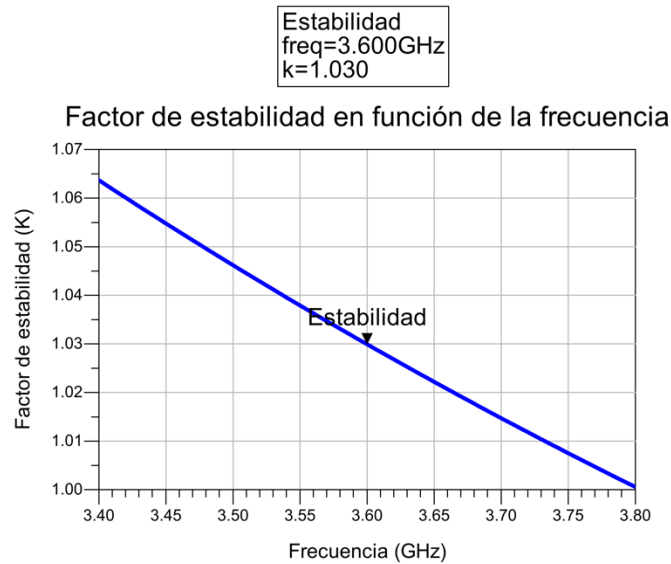


Figura 4-8: Estabilidad del amplificador tras introducir una red de estabilización.

Para evitar que al sustituir esta red con componentes reales el amplificador deje de ser estable por pérdidas causadas por dichos componentes, se realiza este paso en este apartado. Para ello, se cambia la red de estabilización ideal de la Figura 4-7 por la que se encuentra en la Figura 4-9 y se verifica simulando de nuevo que los resultados del factor de estabilidad del transistor no se han visto alterados.

La elección de los componentes de la Figura 4-9 y sus correspondientes valores se explicarán más adelante.

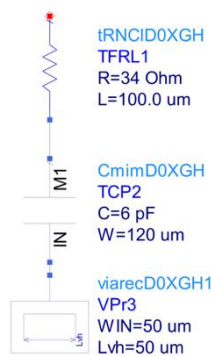


Figura 4-9: Red de estabilización del transistor con componentes reales.

Amplificador auxiliar

Siguiendo los mismos pasos que en el anterior caso, se sustituyen en el circuito de la Figura 4-5 los valores correspondientes al transistor auxiliar: $N_{fg} = 4$ y $V_{GS} = -3V$.

De nuevo, se simulan los parámetros S para obtener su factor de Rollett. En la Figura 4-10 se observa que, en el caso de este transistor, el factor de estabilidad ya se encuentra por encima de la unidad y, por tanto, ya es estable sin introducir ningún tipo de red de estabilización.

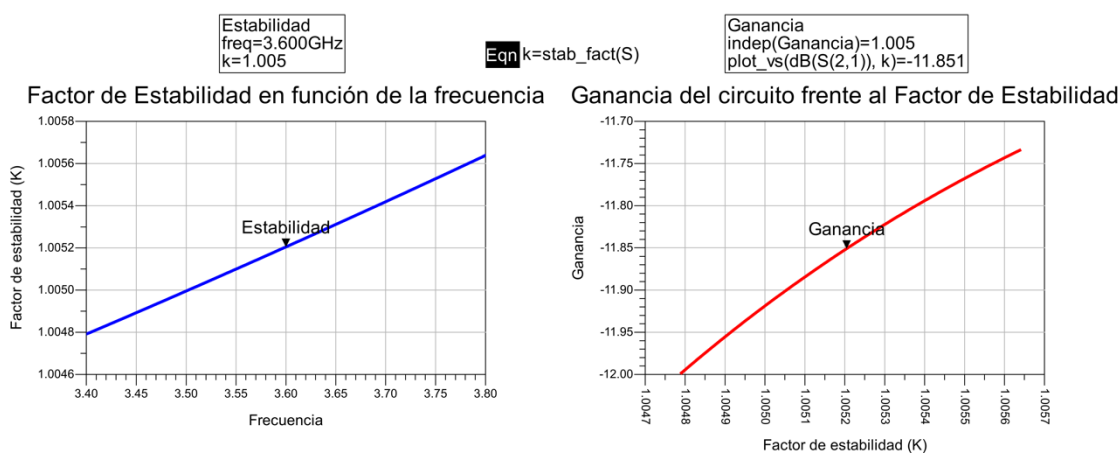


Figura 4-10: Factor de estabilidad del transistor polarizado en clase C (izquierda) y la ganancia frente a dicho factor (derecha).

4.1.4. Load-pull y source pull

En circuitos de alta frecuencia, en los que la longitud de la onda es mucho menor que las dimensiones físicas del circuito, se produce el fenómeno de reflexión e incidencia de la onda. Para evitar esto, es necesario adaptar las impedancias entre la entrada, el amplificador de potencia y la carga para así lograr transferir la mayor cantidad de potencia posible. Normalmente las impedancias de la fuente y de la carga son conocidas, pero no lo son las del transistor, al depender de numerosos factores. Para encontrar las impedancias más adecuadas a las cuales se debe adaptar el transistor para que proporcione la potencia adecuada se suele utilizar el método llamado *load-pull* y *source-pull* [4][38].

La técnica de *load-pull* consiste en ir variando el valor de la impedancia de carga que se conecta a la salida del transistor a medida que se va calculando la potencia de salida que tiene. En cada variación de la impedancia de carga, se reajusta la de entrada para maximizar la ganancia. Los resultados serán una serie de curvas, como se verá más adelante, que indican la potencia transmitida, frente a la óptima, que estará en el centro de dichas curvas [44]. Este proceso es interesante principalmente para evitar pérdidas y optimizar al máximo las prestaciones del circuito.

De forma similar, la técnica del *source-pull* consiste en encontrar la impedancia óptima de fuente para la máxima transferencia de potencia.

El proceso a seguir para la realización de estas técnicas es repetitivo; primero con la carga inicial puesta, en este caso de 50Ω , se realizará una simulación de *load-pull* y la impedancia resultante se sustituye en el *source-pull*. A su vez, el resultado de la simulación del *source-pull* se sustituye en el *load-pull* y así hasta que se obtenga la impedancia óptima de entrada y de salida; es decir, cuando ya no varíen los valores de las impedancias. No necesariamente la impedancia para la PAE óptima coincide con la de máxima transferencia de potencia, como se verá más adelante.

Amplificador principal

El circuito para realizar la simulación del *load-pull* es el esquemático de la Figura 4-11. Por otra parte, el esquemático del circuito para el método *source-pull* es el de la Figura 4-13, con sus parámetros correspondientes.

Los resultados de estas simulaciones se pueden contemplar en la Figura 4-13, con una carta de Smith donde se observan las curvas que se mencionaban anteriormente. En azul se encuentran las correspondientes al PAE en función de la impedancia de adaptación y en rojo las de potencia. En el centro de cada una de estas curvas se encuentran la PAE máxima y la potencia

máxima, respectivamente. Como se puede ver, la impedancia correspondiente a la PAE máxima no coincide con la de potencia máxima y, por tanto, es necesario buscar un compromiso entre ambas.

Haciendo el proceso descrito anteriormente, se obtiene que las impedancias óptimas a las que debe estar adaptado el transistor para la mayor PAE para este transistor son:

- Impedancia de fuente: $18.747 - j*13.006$
- Impedancia de carga: $29.938 + j*3.032$

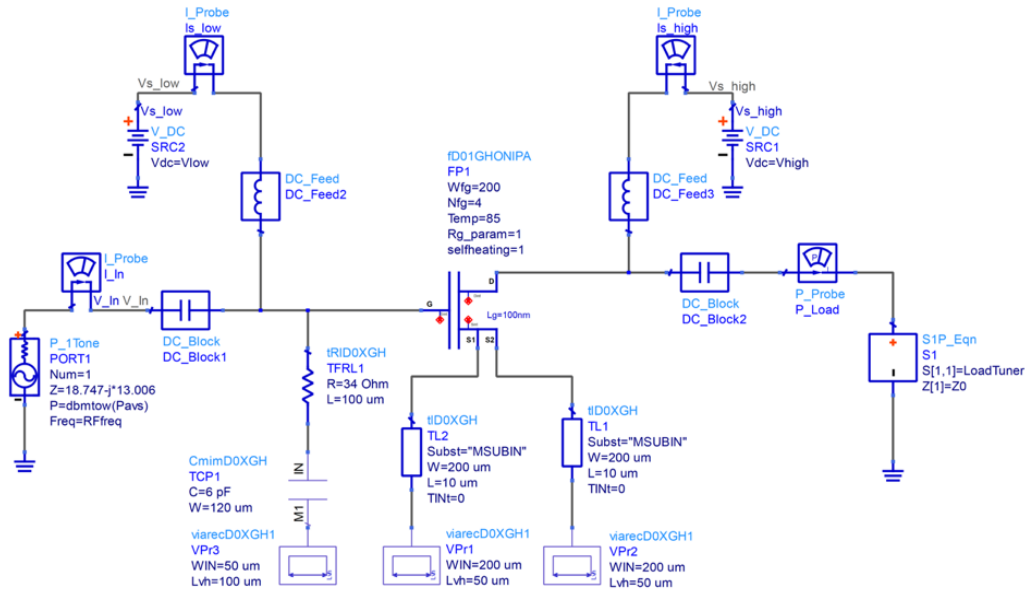


Figura 4-11: Esquemático utilizado para la realización del load-pull del amplificador principal.

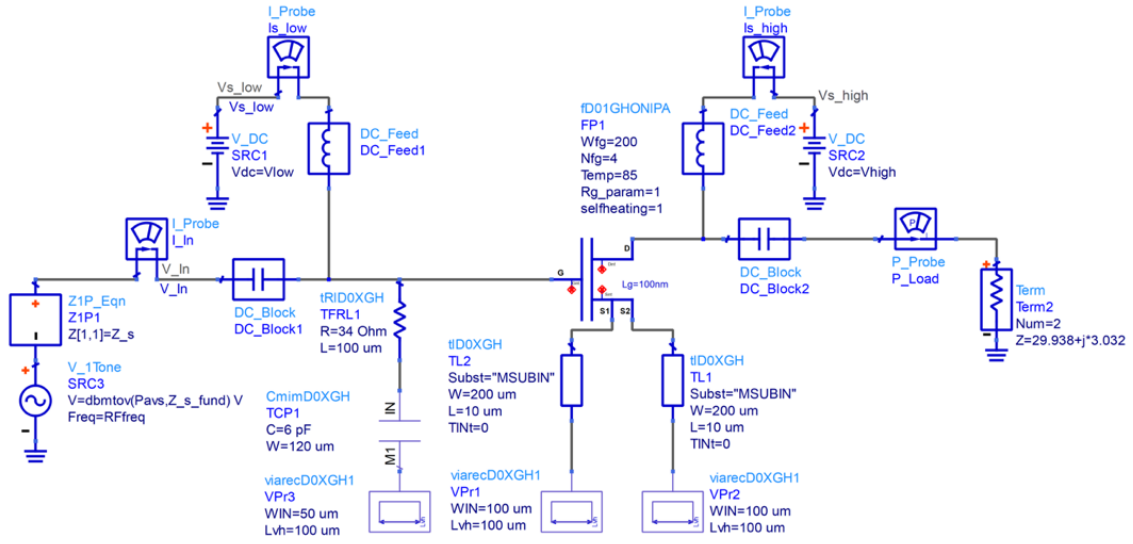


Figura 4-13: Esquemático empleado para la realización del source-pull del amplificador principal.

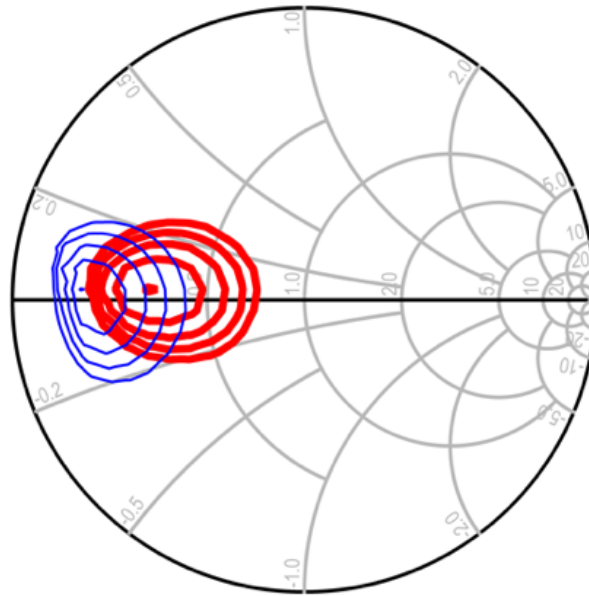


Figura 4-13: Curvas de PAE (azul) y de potencia (rojo) del amplificador principal.

Amplificador auxiliar

El procedimiento a seguir con el amplificador auxiliar es idéntico al usado con el amplificador principal, por ello se hace uso de los mismos esquemáticos que se utilizaron para determinar las impedancias óptimas del amplificador principal; las Figura 4-11 y Figura 4-13. Los únicos cambios introducidos en los esquemas son el cambio de valores del número de *fingers*, la tensión V_{GS} y que se ha quitado la red de estabilidad del transistor.

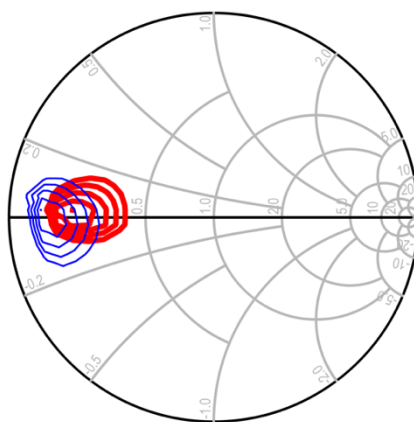


Figura 4-14: Curvas de la PAE (azul) y de potencia (rojo) del amplificador auxiliar.

Las curvas de PAE y potencia de este amplificador son las de la Figura 4-14. Las impedancias que cumplen con los requisitos de mayor PAE son:

- Impedancia de fuente: $18.163 - j*2.507$
- Impedancia de carga: $21.501 + j*10.927$

4.1.5. Adaptación de impedancias

Tras obtener las curvas correspondientes al *load-pull* y *source-pull* y las impedancias óptimas, se deben crear las redes de adaptación que adapte la entrada y la salida del transistor a dichas impedancias. Para ello, el ADS ofrece los componentes "Smith Chart", como los de la Figura 4-15.

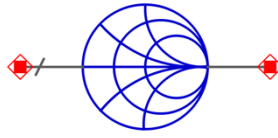


Figura 4-15: Componente de Smith Chart empleado para la adaptación.

Una vez introducido en el circuito, haciendo clic en **Tools > Smith Chart**, se abre una ventana externa donde se pueden introducir los valores de adaptación deseables, además de la frecuencia y la impedancia obtenida en el anterior apartado. Tras esto, la herramienta ofrece la opción de construir una red de adaptación automáticamente mediante "Build ADS Circuit". Esta opción permite elegir el tipo de red de adaptación que se quiere construir; en este caso se opta por una red LC, es decir, compuestas por una bobina y un condensador. Los valores de los componentes los asigna automáticamente el programa.

Para adaptar la salida del circuito se emplea el conjugado de las impedancias óptimas de salida obtenidas en el anterior apartado, para así asegurar la máxima transferencia de potencia.

Amplificador principal

Teniendo en cuenta las impedancias óptimas obtenidas en el anterior apartado y usando el esquemático de la Figura 4-16, se obtienen las redes de adaptación de entrada y de salida del transistor. Esto se logra siguiendo los pasos descritos a continuación.

Primero, se cortocircuita la carta de Smith de la entrada y se abre la ventana de opciones del componente. En este momento aparece una ventana nueva como la de la Figura 4-17. En ella, se rellenan los datos correspondientes: el conjugado de la impedancia de carga ($21.501 - j*10.927$), la impedancia a la que se desea adaptar, que en este caso es de 100Ω y la frecuencia de trabajo, que es de 3.6 GHz.

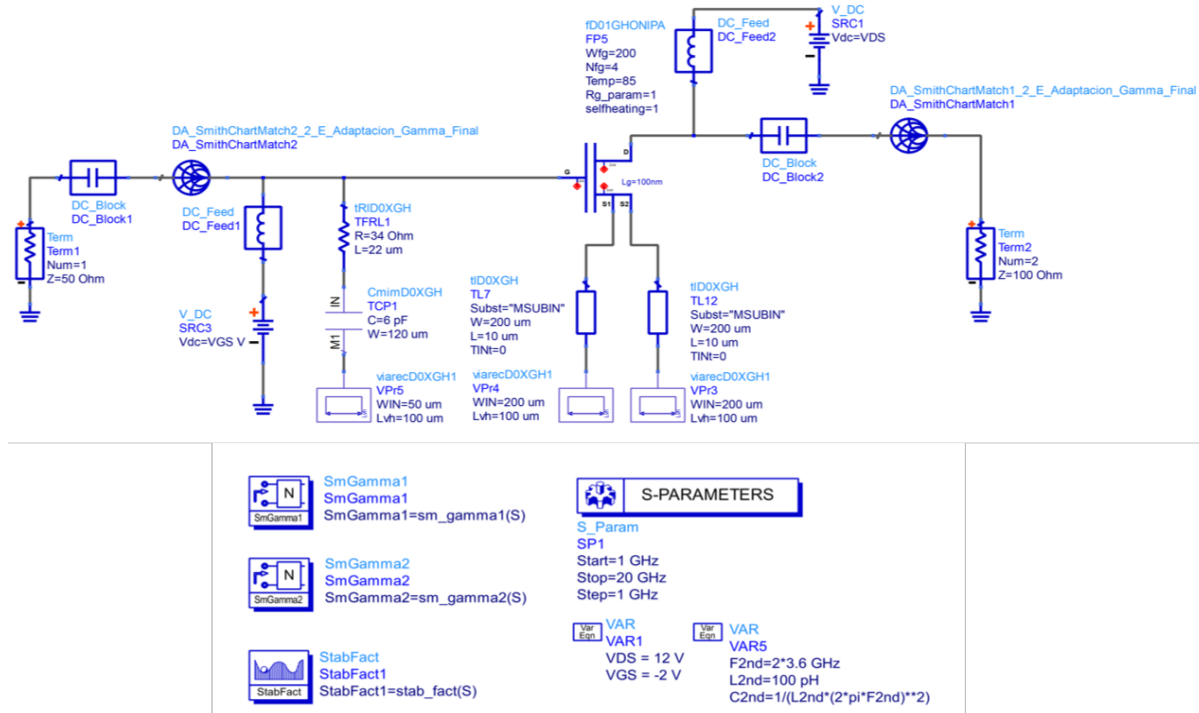


Figura 4-16: Esquema empleado para realizar la adaptación de impedancias del amplificador principal.

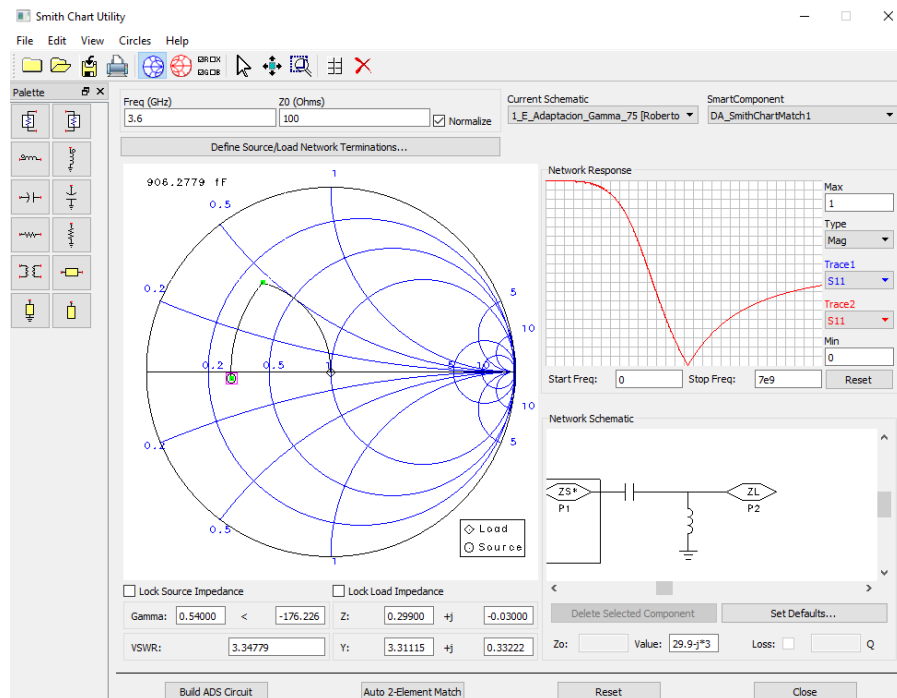


Figura 4-17: Ventana de configuración del componente de la carta de Smith.

Seguidamente se construye la red LC de salida de la Figura 4-18, mediante la opción “Auto 2-Element Match” y posteriormente “Build ADS Circuit”.

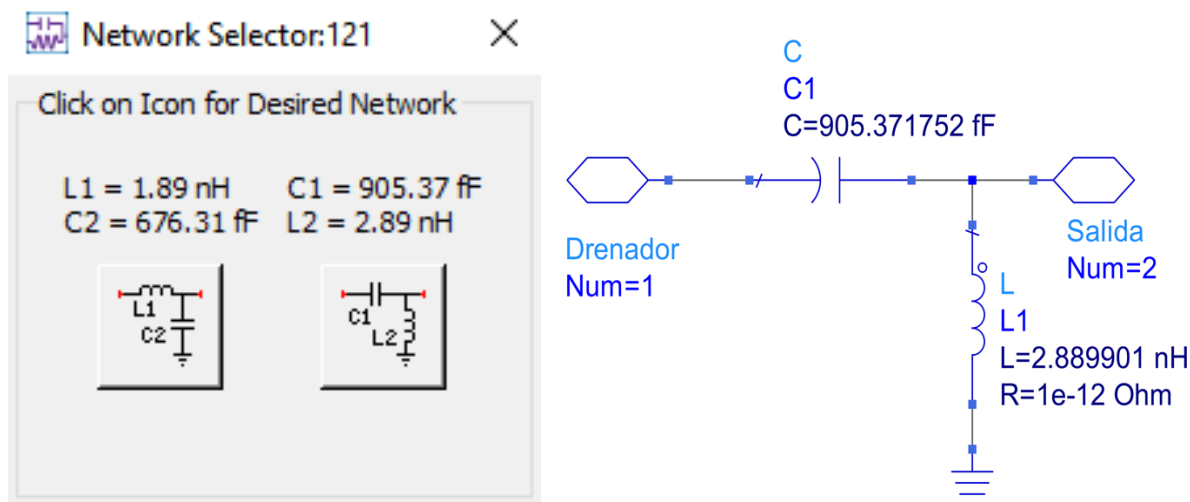


Figura 4-18: Red de adaptación de salida construida mediante ADS.

Simulando el circuito de la Figura 4-16 usando esta red creada, se obtiene la impedancia óptima de la fuente para la máxima transferencia de señal que se recibe a la entrada, que se puede ver en la Figura 4-19, a la izquierda. Esta impedancia tiene como valor $23.82 - j*14.42$.

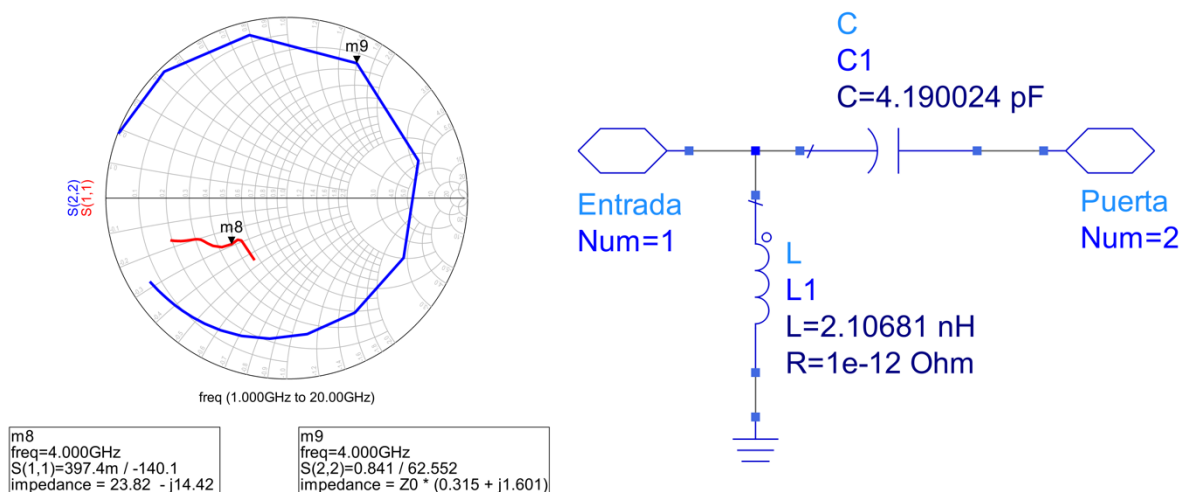


Figura 4-19: Impedancia para máxima transferencia de la fuente (izquierda) y la red de adaptación de entrada creada a partir de ella (derecha).

Tras esto, se quita el cortocircuito del componente de la carta de Smith de entrada y se abre de nuevo la ventana de opciones de este. En él, se rellenan los valores de la impedancia óptima y de la impedancia a la que se quiere adaptar. Al tratarse de la entrada esta es de 50Ω . De nuevo, se construye la red de adaptación de entrada de forma automática y cuyo resultado se puede ver en la Figura 4-19 a la derecha.

Amplificador Auxiliar

Los pasos a seguir en el amplificador auxiliar son iguales que en el amplificador principal. Los únicos cambios que hay que introducir son los valores correspondientes al amplificador auxiliar: el número de *fingers* y la tensión V_{GS} , además de eliminar la red de estabilidad. Las redes de adaptación resultantes de estas simulaciones son las de la Figura 4-20.

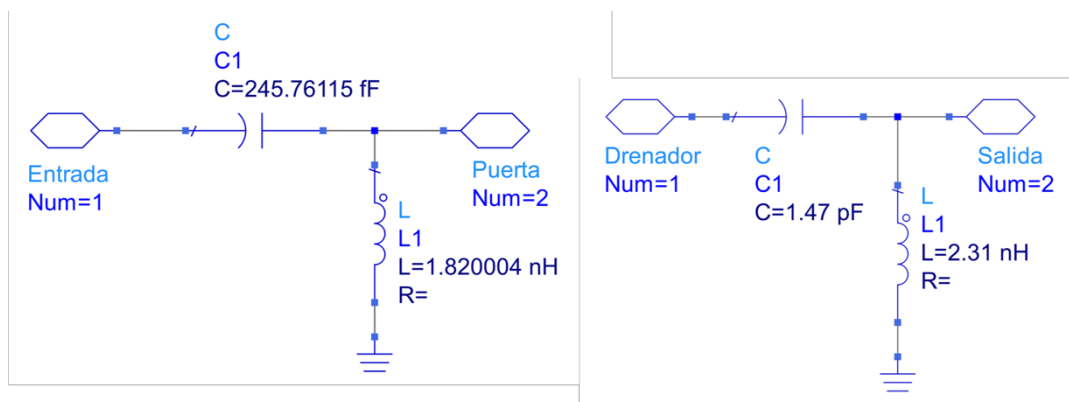


Figura 4-20: Redes de adaptación de entrada (izquierda) y de salida (derecha) del amplificador auxiliar.

4.1.6. Simulaciones de los transistores

Previo a la unión de los dos amplificadores para constituir el amplificador Doherty, se simulan los dos amplificadores por separado para obtener las curvas de la PAE y la ganancia y así poder analizar y concluir si cumplen los requisitos deseados.

Amplificador principal

Para el cálculo de dichas curvas se construye el circuito de la Figura 4-21. El transistor, la red de estabilización y las de adaptación se incluirán en el símbolo "X1", como se puede ver en la misma figura. Los valores de los condensadores y las bobinas de las redes de adaptación se incluyen en el propio símbolo en los que están incluidos, mediante "C_{in}", "L_{in}", "C_{out}", "L_{out}".

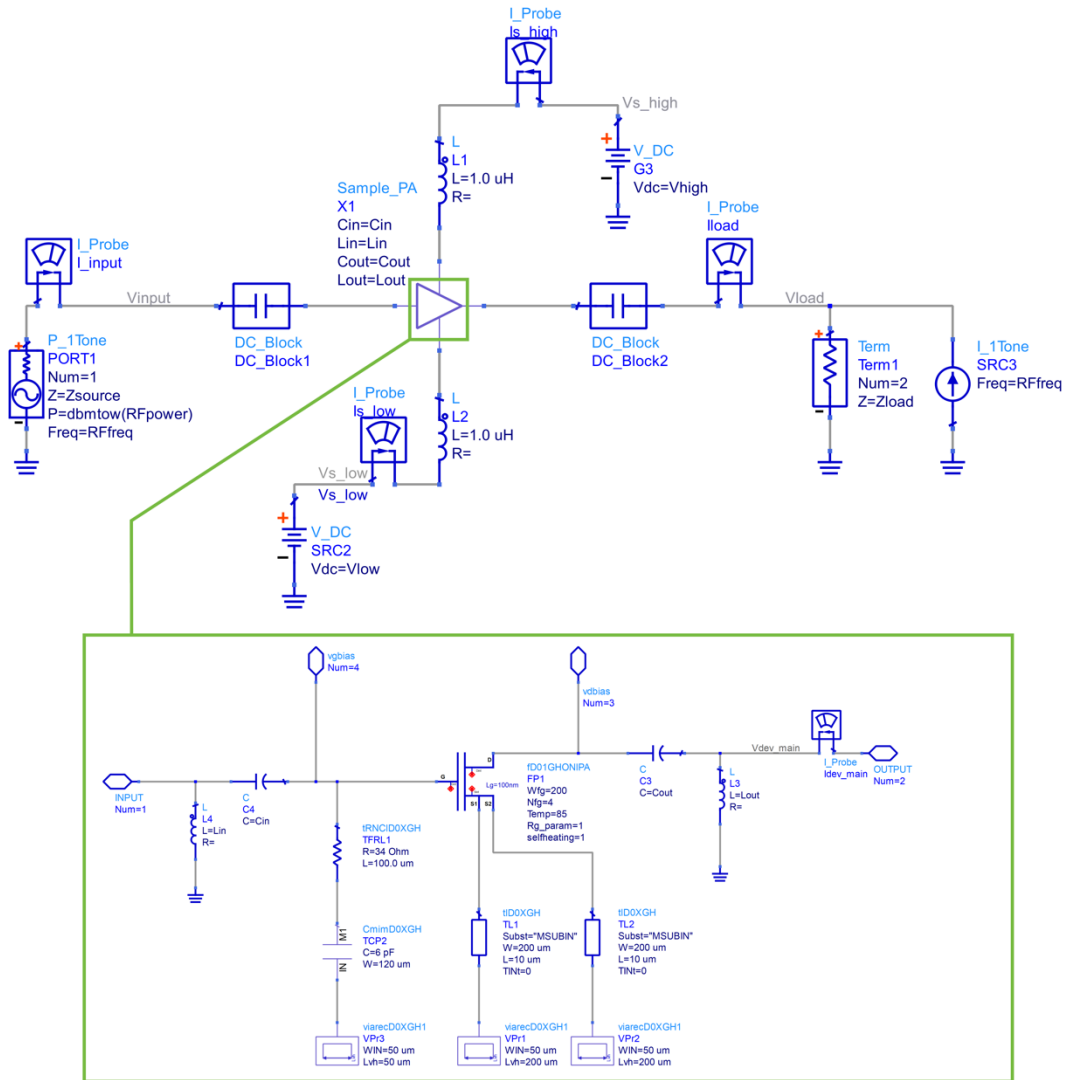


Figura 4-21: Circuito empleado para la obtención de las curvas del amplificador principal.

Por otra parte, en la Figura 4-22 se ven los valores asignados a cada una de las variables de la red de adaptación, además del *setup* de la simulación, que en este caso es un balance de armónicos y las ecuaciones para obtener los resultados de la PAE, ganancia y la potencia entregada por el amplificador en Vatios y dBm.

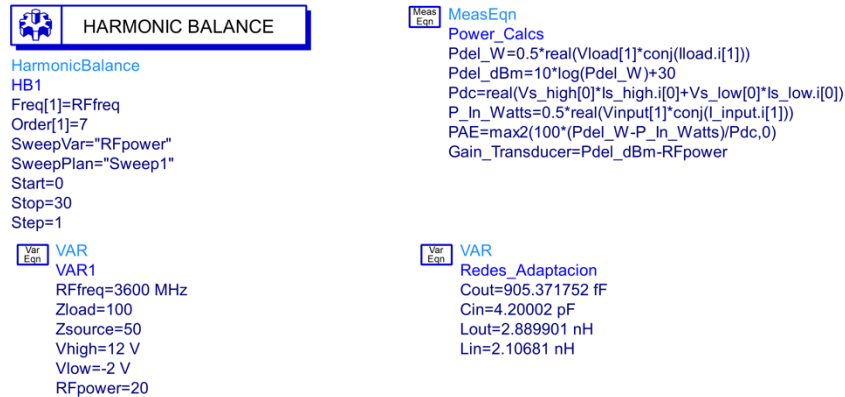


Figura 4-22: Setup de simulación del circuito para obtener las curvas del amplificador principal.

Realizando la simulación con esta configuración, la PAE obtenida por el amplificador en estas condiciones es del 49% y una ganancia máxima de 11,3 dB, tal y como se refleja en las gráficas de la Figura 4-23.

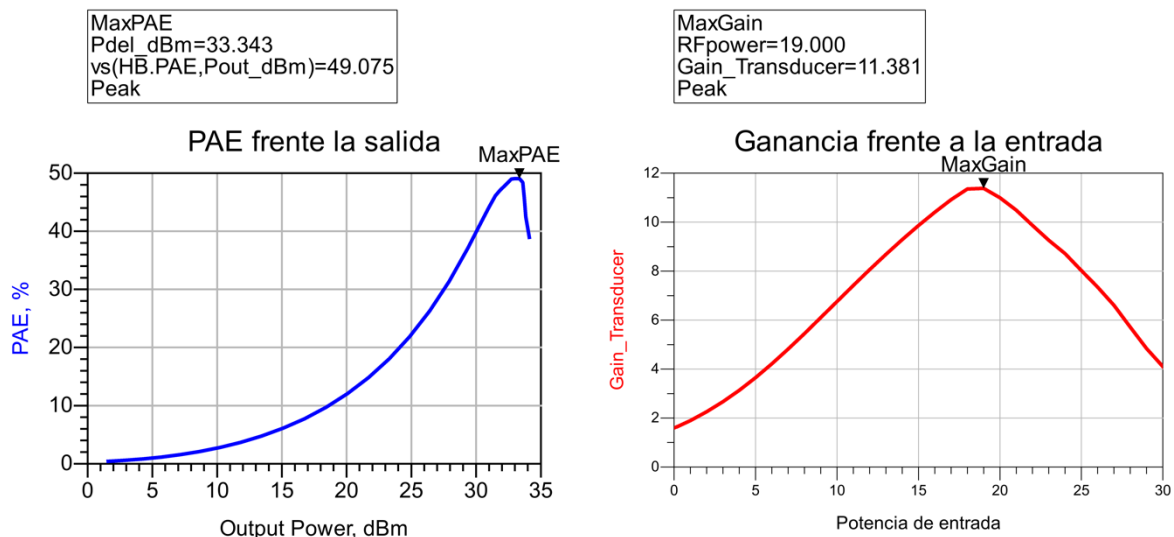


Figura 4-23: Resultados de la simulación del amplificador principal.

El ADS ofrece una herramienta denominada "Optimización". Esta varía los valores de componentes en un rango preestablecido, para determinar si hay una combinación que ofrece mejores resultados. Por ejemplo, en el caso de este circuito, es de interés obtener el mayor PAE y ganancia posible; para ello, en este punto, es posible variar las redes de adaptación de entrada

y de salida en el circuito. Indicándole esto a la herramienta de optimización, esta variará dichos parámetros para intentar encontrar una mayor PAE y ganancia.

Para hacer uso de esta herramienta, se incluye un nuevo *setup* de simulación llamado “Optim”, como se puede ver en la Figura 4-24, junto a los *goals* o metas que se pretenden alcanzar. En el *setup* de “Optim” se puede variar el número de iteraciones que se desean que haga el simulador de forma que cuantas más iteraciones haga, mayor posibilidad de encontrar un valor mejor. En los *goals* se pueden establecer distintos límites de “mínimo” o “máximo” que se pueden alcanzar por el simulador, además de poder darle un mayor peso o *weight* a un *goal* que otro. En el caso de este circuito, por ejemplo, se impone una PAE de mínimo 50% y una ganancia de 10 dB, y los dos con el mismo *weight*.

 OPTIM	GOAL	GOAL
Optim	Goal	Goal
Optim 1	OptimGoal1	OptimGoal2
Optim Type=Random	Expr="PAE"	Expr="Gain_Transducer"
MaxIters=400	SimInstanceName="HB1"	SimInstanceName="HB1"
StatusLevel=4	Weight=1	Weight=1
SaveAllTrials=no	LimitName[1]="limit1"	LimitName[1]="limit1"
	LimitType[1]="GreaterThan"	LimitType[1]="GreaterThan"
	LimitMin[1]=50	LimitMin[1]=10
	LimitWeight[1]=1	LimitWeight[1]=1

Figura 4-24: Setup de simulación para la optimización.

Tras esto es necesario indicar qué parámetros son deseables que “optimice”. Esto se indica seleccionando “*Optimization setup*” en las variables que se deseen incluir. Es en este momento en el que emerge una ventana, visible en la Figura 4-25 a la izquierda, donde se puede especificar el rango de valores dentro de los que se desea llevar a cabo el proceso. El simulador escogerá valores dentro de estos rangos, para intentar mejorar los resultados. Estos rangos se podrán modificar durante la optimización. Finalizado esto, se pasa a la optimización; momento en el que emerge la ventana de la Figura 4-25 a la derecha.

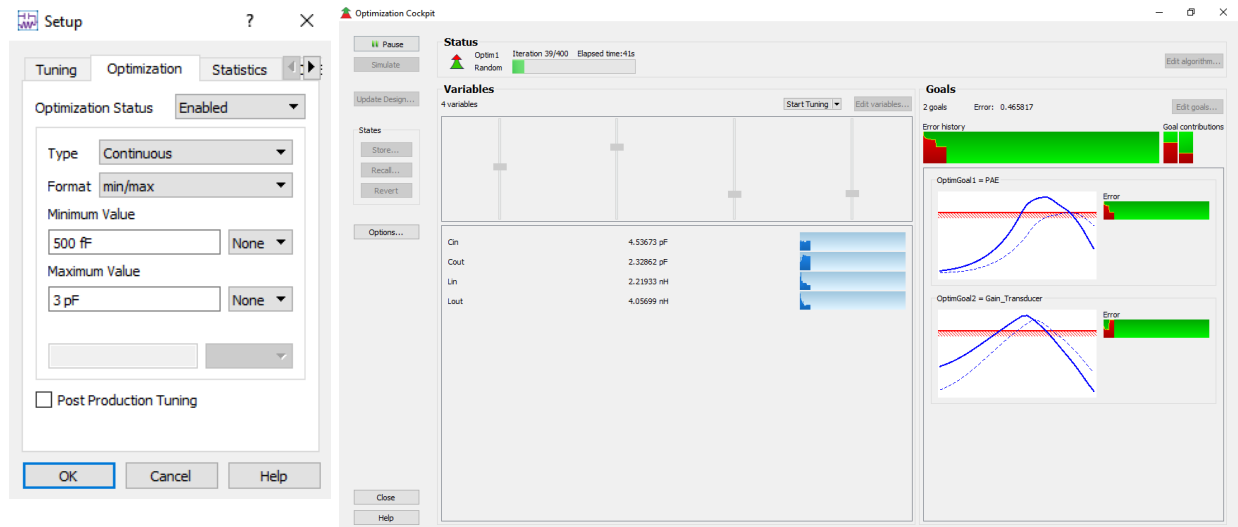


Figura 4-25: Configurador de la optimización de una variable (izquierda) y el simulador (derecha).

El progreso de estas simulaciones se podrá seguir en la propia ventana emergente, donde se ven los valores asignados a cada variable y los resultados que dan. Es posible parar la optimización cuando consideremos los datos como satisfactorios. En el caso de esta red de adaptación, los nuevos valores de las redes de adaptación son los de la Figura 4-26, mientras que los resultados correspondientes para estos valores se muestran en la Figura 4-27. Se puede contemplar una considerable mejora; la PAE ha aumentado en 13% y la ganancia en casi 1 dB más.

Var
Eqn

VAR
VAR4

Cout=2.41123 pF {o}
Cin=7.69155 pF {o}
Lout=4.01911 nH {o}
Lin=1.9987 nH {o}

Figura 4-26: Los valores de los componentes tras la optimización.

Analizando estas curvas, se puede dar por correcta la polarización y la configuración del amplificador.

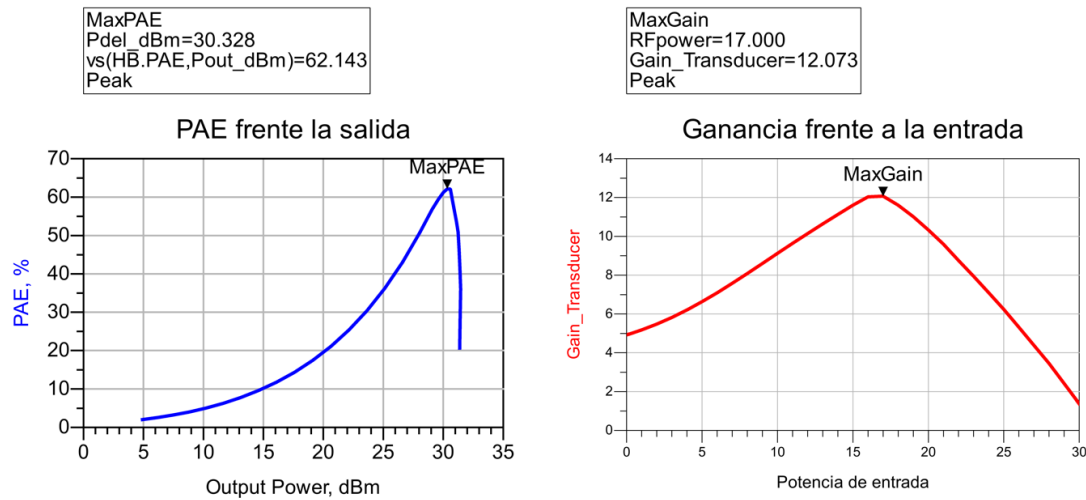


Figura 4-27: Resultados de la simulación tras la optimización.

Amplificador Auxiliar

En el caso del amplificador auxiliar, se emplea la misma estructura de la Figura 4-21, pero modificando los valores de los *fingers*, de la tensión V_{GS} y se suprime la red de estabilidad.

Siguiendo los mismos pasos que con el amplificador principal, se obtienen los valores optimizados de las redes de adaptación de la Figura 4-28, además de los resultados de la Figura 4-29.

Var
Eqn

VAR
VAR4
Cout=3.02111 pF {o}
Cin=4.96186 pF {o}
Lout=2.85352 nH {o}
Lin=2.72632 nH {o}

Figura 4-28: Valores optimizados del amplificador auxiliar.

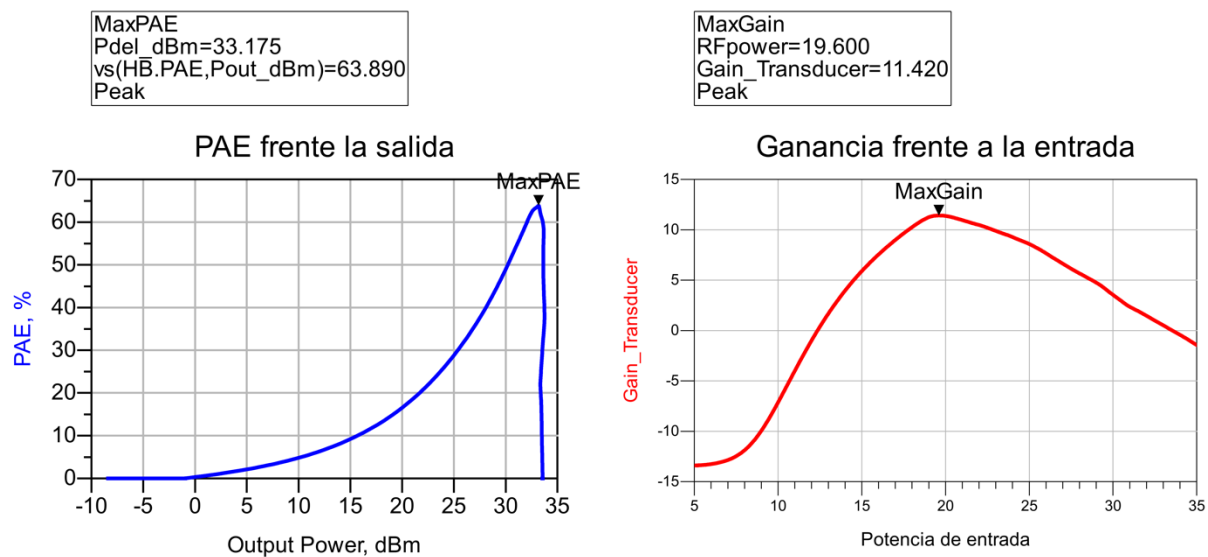


Figura 4-29: Resultados de la optimización del amplificador auxiliar.

4.2. El amplificador Doherty

4.2.1. Construcción del amplificador Doherty

Una vez obtenidas las curvas en el anterior apartado y dados por satisfactorios los resultados, se conectarán los amplificadores con sus redes de adaptación y de estabilidad, tal y como se muestra en la Figura 1-1, para obtener la estructura del amplificador Doherty.

Para dividir la señal de entrada entre ambos amplificadores se hará uso de un divisor de potencia, como el de la Figura 4-30. Este componente recibe la señal de entrada de la fuente y realiza una división de potencia de 3 dB, es decir, reparte la señal de entrada de forma equitativa por sus salidas.

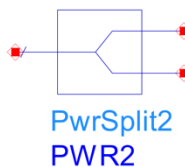


Figura 4-30: Divisor de potencia.

Al construir el circuito, se obtiene el esquemático de la Figura 4-31. En él, se puede ver la fuente de entrada, el divisor de potencia que divide la señal de forma equitativa entre ambos amplificadores, además de las líneas *quarter wave length* en la entrada del auxiliar, y la salida del principal. A la salida se encuentra conectada una carga de 50Ω . Además, se ven los dos amplificadores de potencia; en la parte superior el principal, con sus dos fuentes de alimentación y en la parte inferior el amplificador auxiliar con sus respectivas alimentaciones.

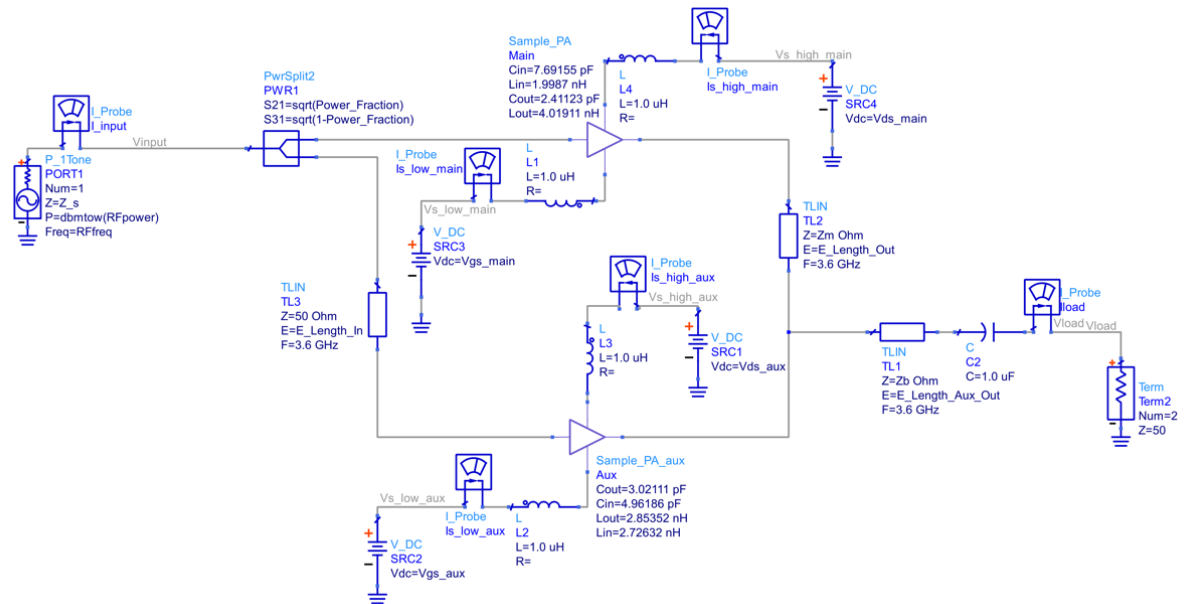


Figura 4-31: Esquemático del amplificador Doherty ideal.

Dentro del símbolo del amplificador de potencia principal (Main) se encuentra el circuito de la Figura 4-21, con su correspondiente red de adaptación y de estabilización, además del transistor que compone este amplificador. Lo mismo ocurre en el símbolo del amplificador de potencia auxiliar (Aux).

Además, en la Figura 4-32 se tiene el *setup* de simulación compuesto por un balance de armónicos y las distintas variables y ecuaciones necesarias para simular este amplificador Doherty.

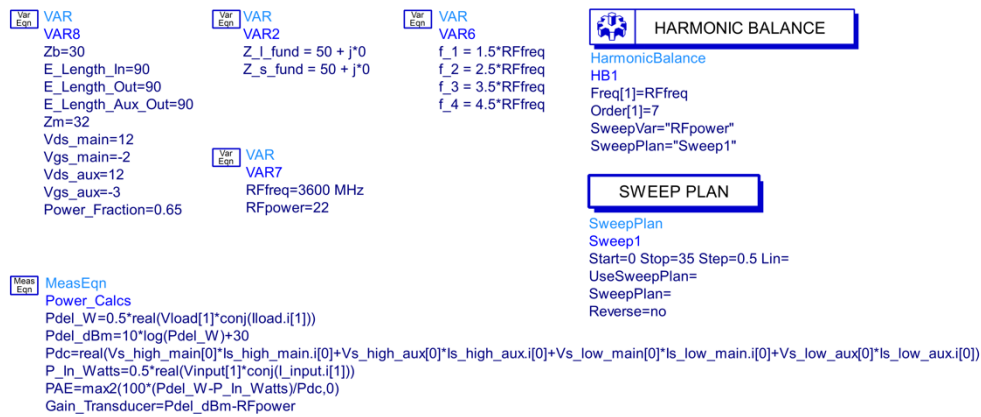


Figura 4-32: Setup de simulación del amplificador Doherty ideal.

Resultados

Los resultados de PAE, ganancia, curvas de impedancias y de corrientes obtenidas de la simulación de este circuito son las que se pueden ver la Figura 4-33.

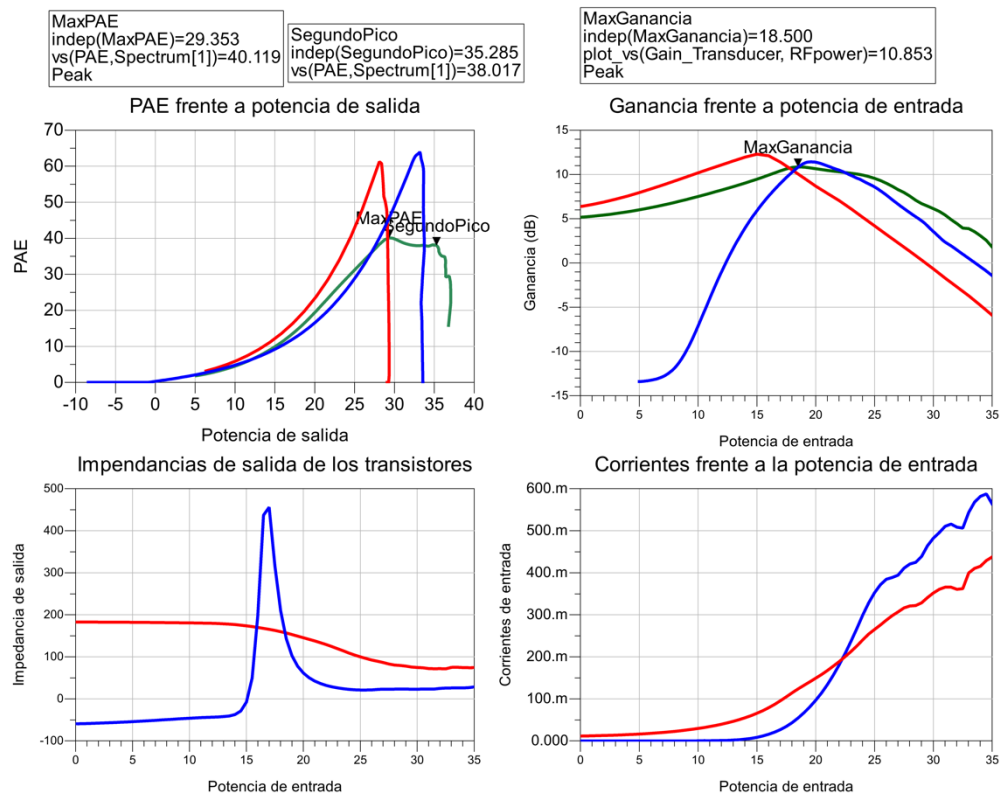


Figura 4-33: Resultados de la simulación del amplificador Doherty ideal.

En color rojo se presentan los resultados correspondientes al amplificador principal y en azul los del amplificador auxiliar. En verde se ven los resultados correspondientes al amplificador Doherty en su conjunto.

En la gráfica correspondiente a la PAE de la Figura 4-33, se puede distinguir en el trazado verde la curva característica de eficiencia de un amplificador Doherty, que se trató ampliamente en la introducción y que se puede ver en la Figura 3-14 a la izquierda. Este efecto se produce debido al fenómeno explicado en la Figura 3-20, donde el primer pico en la curva de eficiencia ocurre debido al funcionamiento del amplificador principal y su elevada impedancia de salida, mientras que el segundo ocurre debido al funcionamiento conjunto de ambos amplificadores. Asimismo, como se indicó, según los cálculos teóricos, la separación entre ambos picos es de 6 dB; hecho que también se cumple si se restan los valores de ambos marcadores de la misma gráfica. También la eficiencia del amplificador auxiliar es mayor que la del principal, como se pudo ver en la Tabla IV.

Se distingue también el efecto de la modulación de carga en la gráfica de las impedancias: en rojo, el principal, comienza en un valor rondando los 200 Ω . Cuando el amplificador auxiliar comienza su funcionamiento, su impedancia aumenta y la impedancia del principal disminuye, terminando en la convergencia de ambas a un mismo valor. También las corrientes cumplen con lo esperado y es que, al entrar en funcionamiento el amplificador secundario, su corriente termina por superar a la del principal.

En la introducción se destacó que la ganancia, teóricamente, debería ser constante a lo largo del funcionamiento del amplificador Doherty. En estos resultados se puede ver que esto no se cumple, al empezar en 5 dB y llegando a duplicarse. Aun así, la ganancia es positiva para todo el rango de valores de entrada.

Dados por buenos los resultados, se lleva a cabo una optimización de los distintos valores que influyen en el circuito con el fin de intentar mejorar los resultados con esta estructura. Tras la optimización, los valores de los componentes son los que se tienen en la Figura 4-34.

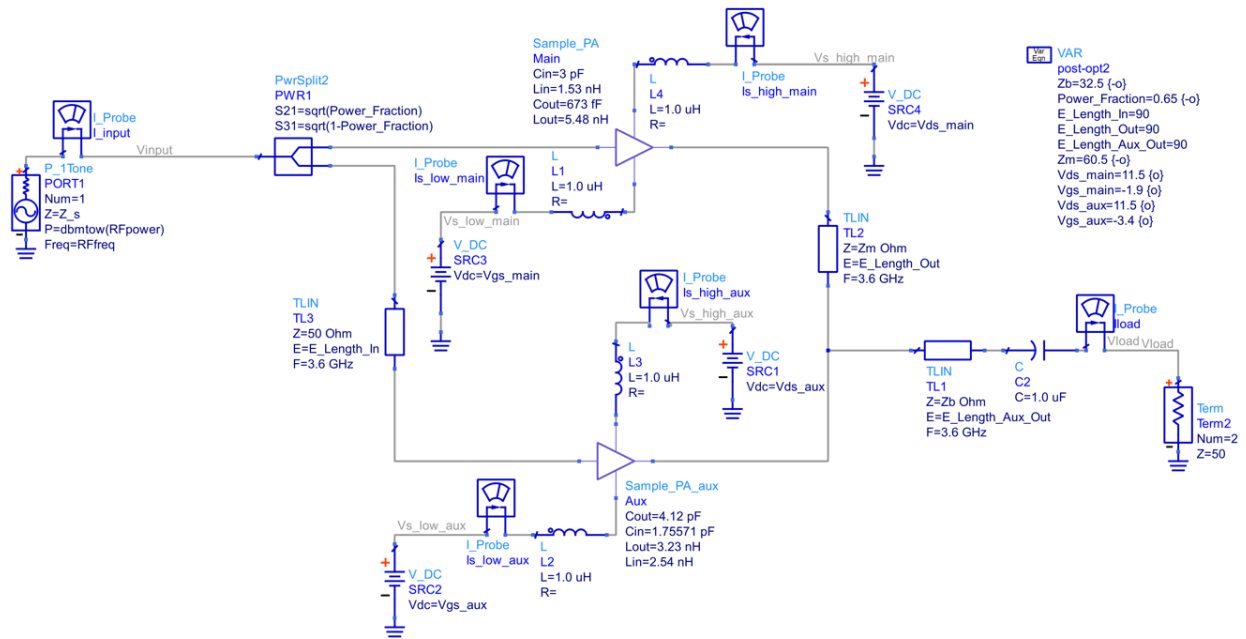


Figura 4-34: Circuito de amplificador Doherty con los componentes optimizados.

Los resultados actualizados después de la optimización, visibles en la Figura 4-35, mejoran con respecto a los anteriores; la PAE alcanza el 52% y la ganancia máxima también aumenta. Aunque se haya perdido la curva característica de un amplificador Doherty en la PAE, se dan por válidos los resultados, ya que todavía se está en plena etapa de diseño del amplificador de forma ideal.

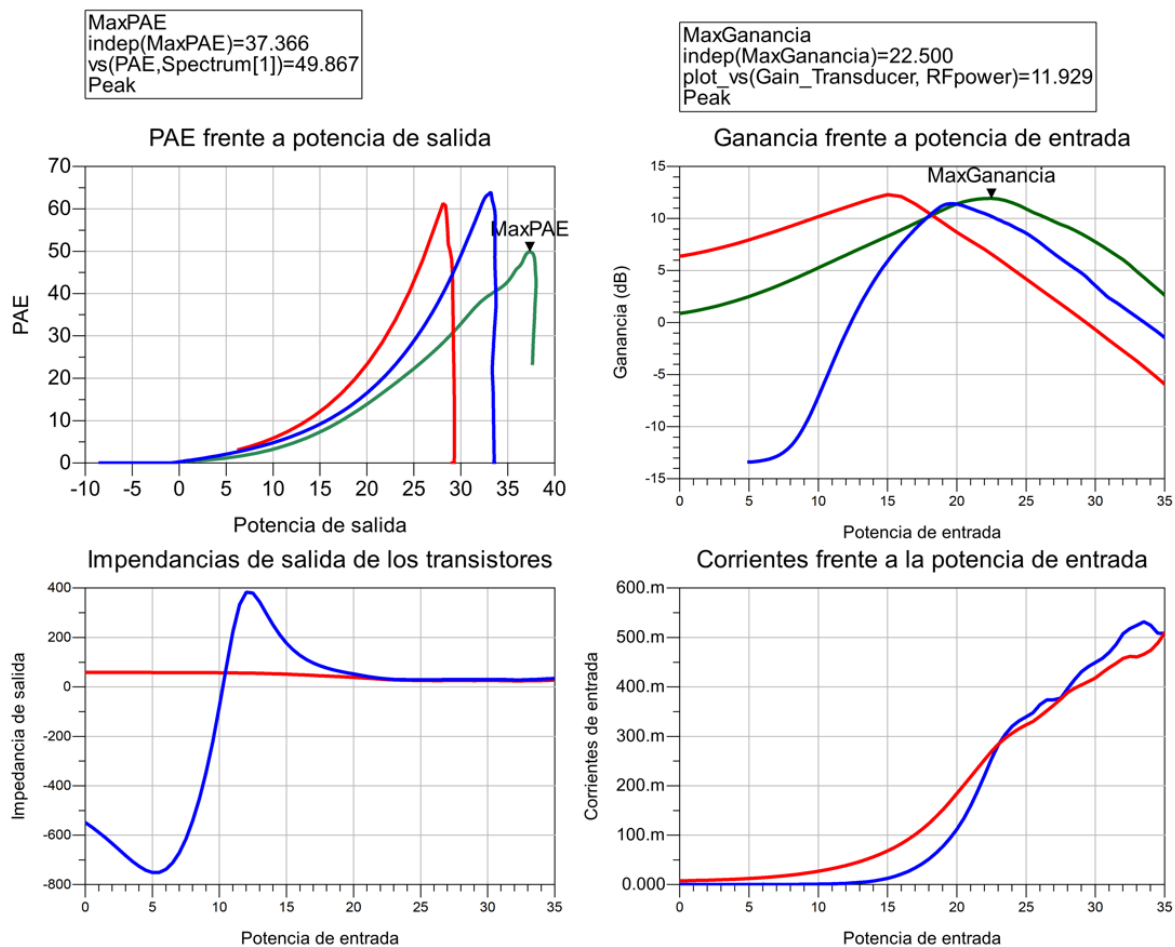


Figura 4-35: Resultados optimizados del amplificador Doherty optimizado.

4.2.2. Sustitución del divisor de potencia

Una vez determinados los valores óptimos del amplificador Doherty con componentes ideales, se sustituye el divisor de potencia ideal por un híbrido compuesto de bobinas y condensadores.

Como se puede ver en la Figura 1-1, el amplificador auxiliar tiene a su entrada una línea *quarter wave length* que atrasa la señal en 90 grados. Dicha línea de retraso junto con el divisor de potencia se pueden sustituir ambos por un acoplador direccional híbrido de 90 grados [6], que cumple las funciones de ambos componentes.

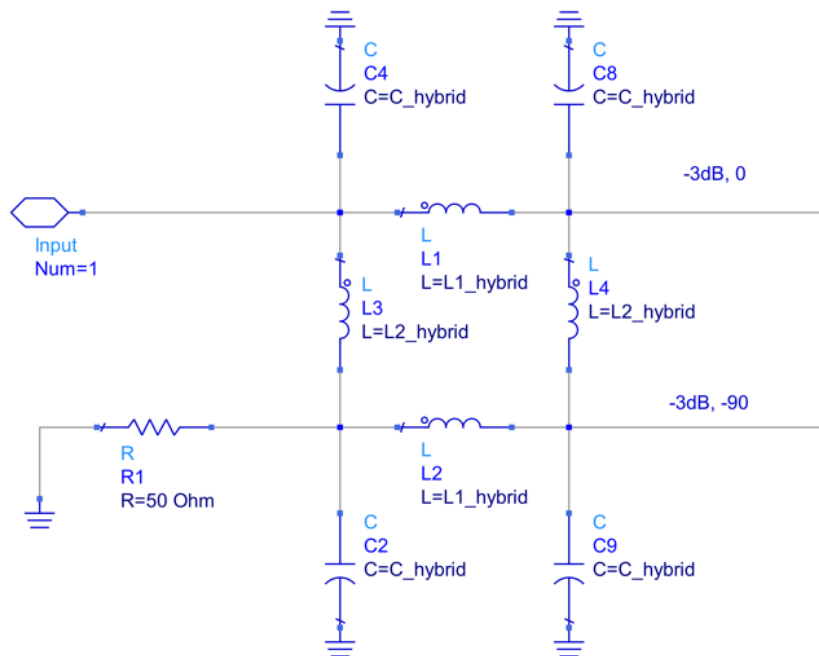


Figura 4-36: Acoplador direccional de 90 grados empleado.

El esquema de este híbrido se muestra en la Figura 4-36 y consta de cuatro bobinas y cuatro condensadores. Además, como se puede ver, el circuito dispone de cuatro puertos: uno de entrada ("input"), por donde se recibe la señal, dos de salida, con un desfase de 90 grados entre ellos, y un puerto aislado con una carga conectada de 50 Ω .

La señal que sale por cada uno de los puertos de salida está atenuada 3 dB con respecto a la de la entrada, es decir, se divide la señal equitativamente entre sus salidas. Como además se ha podido ver anteriormente, al trabajar en frecuencias elevadas, puede ocurrir el fenómeno de reflexión de ondas. Para ello, se conecta una carga en el puerto aislado, que absorberá todas estas ondas reflejadas, protegiendo así la entrada y mejorando el acoplamiento del circuito [45].

La obtención de los valores de los componentes del acoplador se calculan mediante la página web [46] donde, introduciendo la frecuencia de trabajo y la impedancia de entrada, calcula los valores de los componentes del híbrido, que en el caso de este circuito son:

- L1_hybrid: 3.126 nH.
- L2_hybrid: 4.421 nH.
- C_hybrid: 1.067 pF.

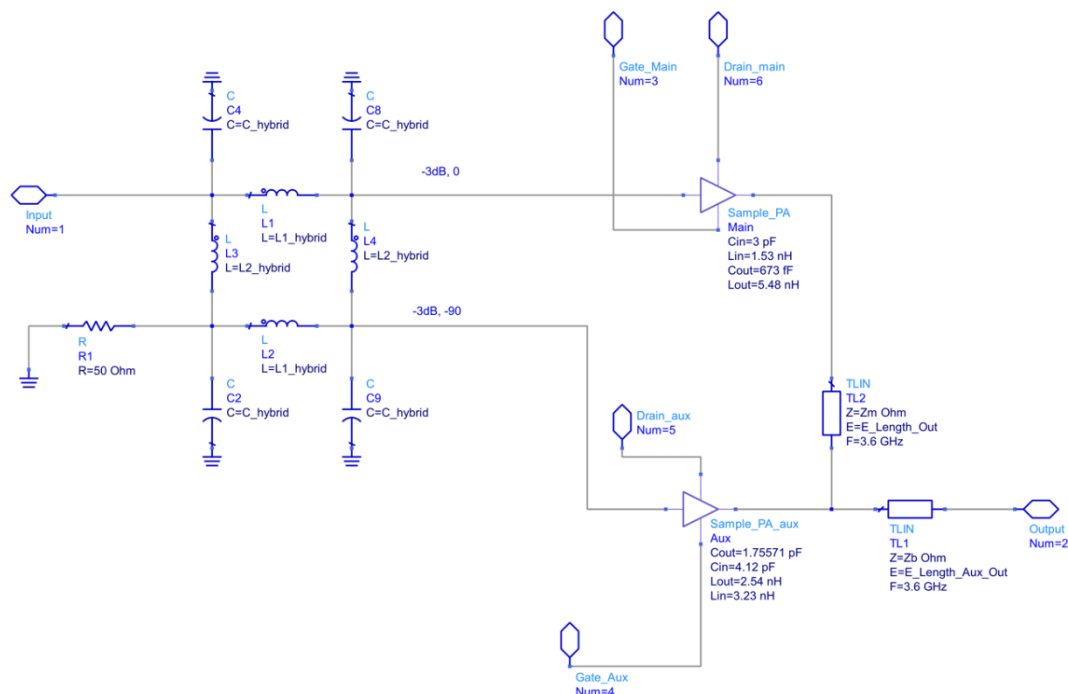


Figura 4-37: Amplificador Doherty con el acoplador direccional sustituido.

Sustituyendo el divisor de potencia y la línea de transmisión del circuito de la Figura 4-34 por el acoplador direccional de la Figura 4-36, el resultado global se encuentra en la Figura 4-37.

Con la finalidad de simplificar los circuitos, se ha creado un símbolo, “X1”, al que se han conectado todas las fuentes de alimentación, como se puede ver en la Figura 4-38. En dicho símbolo se introduce el circuito de la Figura 4-37.

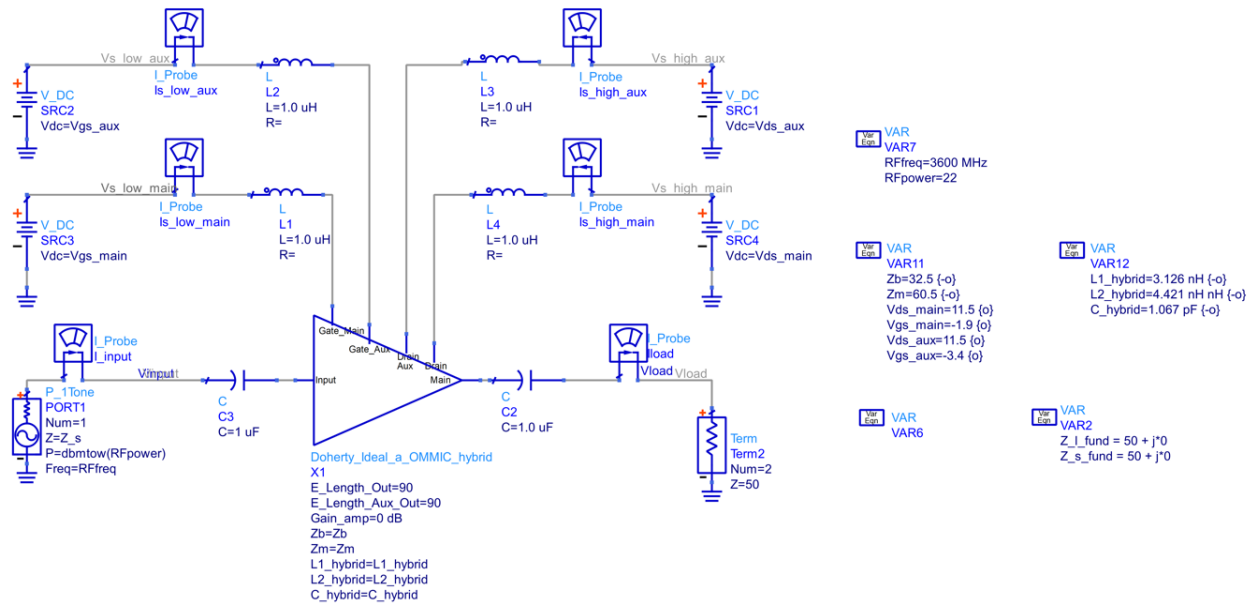


Figura 4-38: Circuito que contiene los amplificadores Doherty.

Resultados

Una vez hecha la simulación correspondiente se obtienen las gráficas de la Figura 4-39. Se puede ver que la PAE ha mejorado hasta casi 49%, a pesar de no tener el efecto Doherty. Por el contrario, la ganancia máxima se ha visto empeorada, aunque ahora es más constante tal y como indica la teoría.

Por otra parte, tampoco existe el efecto de modulación de carga en la gráfica de las impedancias. Mediante una optimización se intentarán mejorar todos estos resultados.

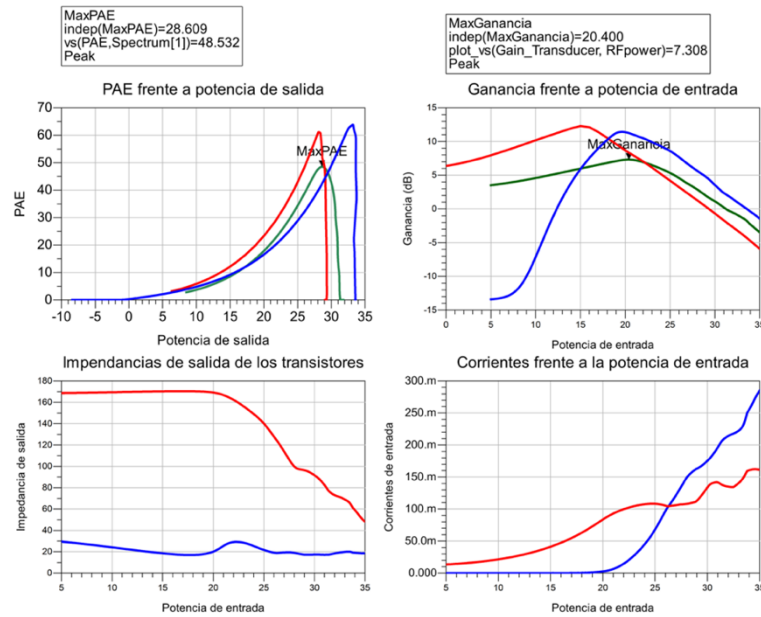


Figura 4-39: Resultados de la simulación con el acoplador direccional.

Optimizando los componentes del circuito, los nuevos valores que adquieren para ofrecer los mejores resultados son los que se encuentran en la parte derecha de la Figura 4-40, mientras que en la parte izquierda se encuentran los resultados.

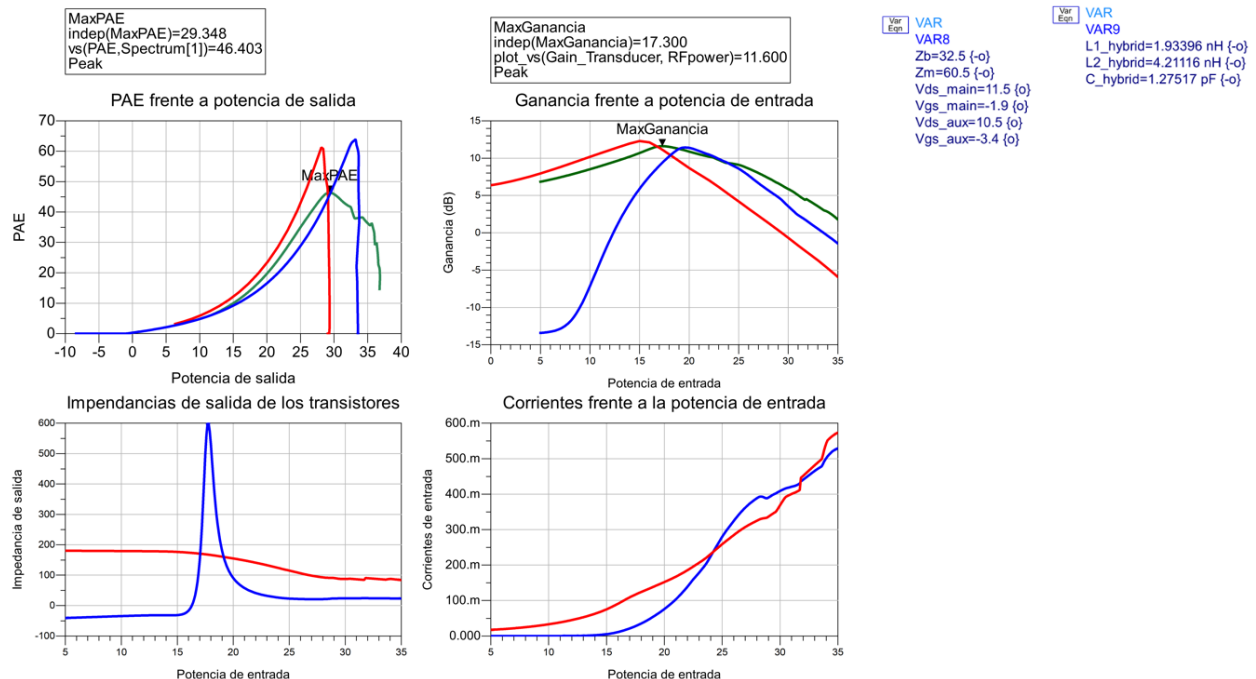


Figura 4-40: En la derecha, los valores de los parámetros después de la optimización, y en la izquierda sus correspondientes resultados.

4.2.3. Sustitución por componentes reales del *layout*

Una vez terminado de construir el modelo teórico del circuito, el siguiente paso es comenzar a sustituir los componentes ideales por los modelos proporcionados por el kit de OMMIC.

Se comienza por sustituir el híbrido creado en el anterior apartado, al ser una de las partes más sensibles del circuito. Previo a poder reemplazar las bobinas y los condensadores, es importante hacer un estudio de estos componentes. El valor de la inductancia y la capacidad de una bobina y condensador real depende de la frecuencia de trabajo. En el caso de OMMIC, se desconoce la relación entre el valor nominal y el valor real debido a la frecuencia. Es por ello que se debe hacer un estudio de estos dos componentes para conocer los modelos reales.

El objetivo es lograr que estos componentes trabajen en los mismos valores que sus componentes ideales. Para ello se toman como referencia los valores del modelo teórico del híbrido.

Estudio de las bobinas

El estudio de las bobinas se hace mediante el circuito construido de la Figura 4-41 y usando un *setup* de *ParamSweep* para lograr determinar el valor nominal que corresponde al valor real de inductancia que se busca. En el caso de la bobina ideal L1 del híbrido, este valor ideal es de 1.933 nH, tal y como se calculó en el anterior apartado. Como el kit de OMMIC

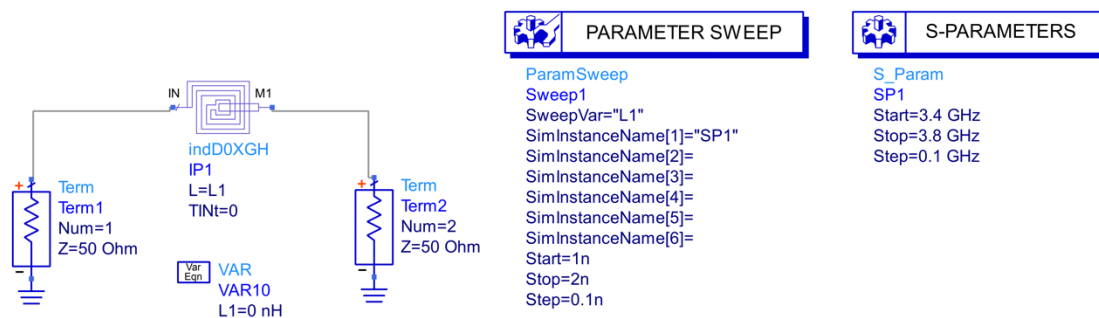


Figura 4-41: Circuito y setup para el estudio de la bobina de OMMIC.

únicamente proporciona un modelo de bobina, el que se ha empleado para montar el esquemático de la Figura 4-41, se hará uso de este en el estudio, y se variará únicamente su inductancia.

Mediante las ecuaciones de la Figura 4-42 se puede aproximar el valor con el que realmente opera la bobina, visible en la gráfica de la derecha, además de obtener su factor de calidad, visible a la izquierda.

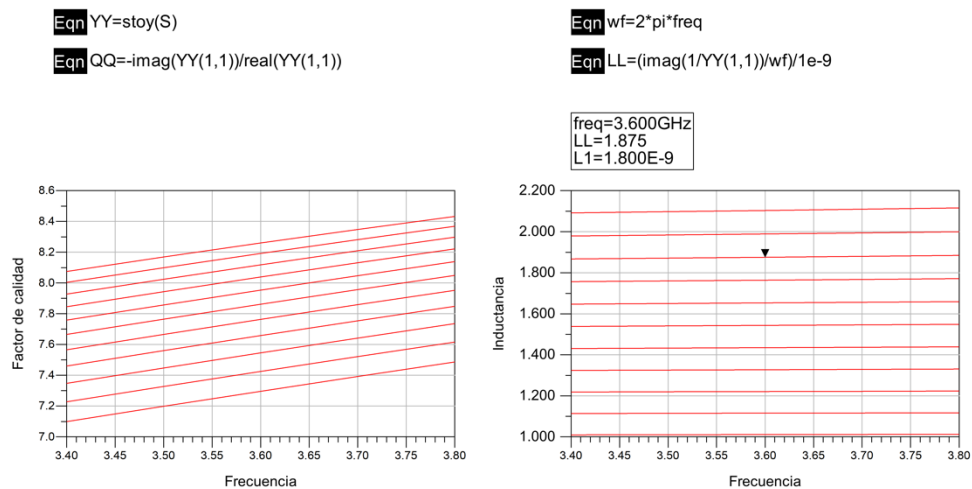


Figura 4-42: Resultados de la simulación del estudio de la bobina.

Tras realizar varios barridos, y estrechando los rangos cada vez más, se concluye que el valor óptimo para la bobina real del híbrido se obtiene mediante una inductancia de 1.851 nH,

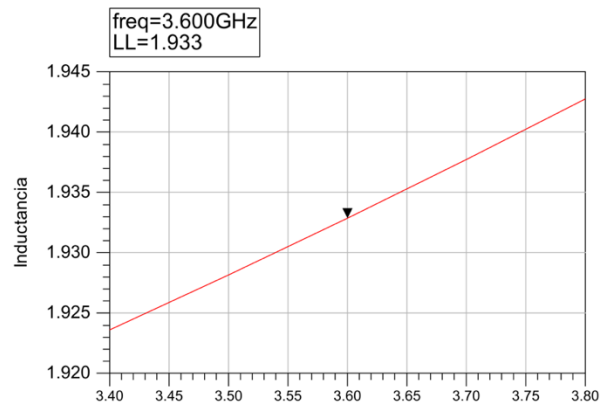


Figura 4-43: Inductancia de la bobina tras el estudio.

como se puede observar en la gráfica de la Figura 4-43. Su factor de calidad en este punto es de 8.

Siguiendo el mismo procedimiento para la segunda bobina del híbrido, L₂, se concluye que el valor óptimo para esta inductancia es de 3.63 nH, con un factor de calidad de 8.7, aproximadamente, como se ve trazado en las gráficas de la Figura 4-44.

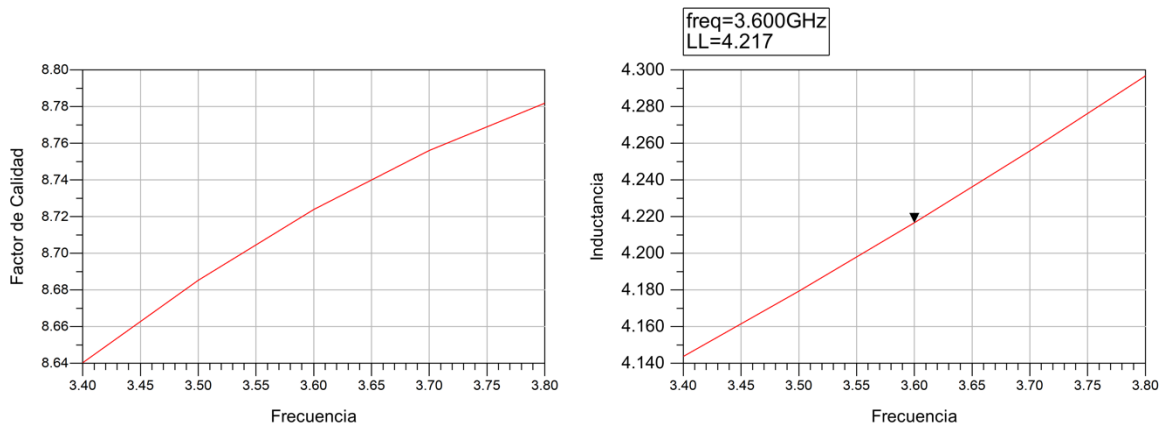


Figura 4-44: Resultados del estudio de la bobina L₂ del híbrido.

Estudio de los condensadores

El estudio de los condensadores es más complejo que el de la bobina. Para empezar, el kit de OMMIC ofrece dos condensadores. Además de esto, se variarán dos parámetros: la anchura del componente y el valor de capacidad. Esto es debido a que en el *layout* los condensadores deben ser lo más cuadrados posible.

Primero se debe elegir entre los dos modelos de condensadores ofrecidos por el fabricante el más adecuado. Para ello se establecerán la misma anchura y la misma capacidad para ambos y se analizarán los resultados gráficos para ver cuál rinde mejor. La configuración de los circuitos de simulación y sus *setup* de simulación se pueden ver en la Figura 4-45.

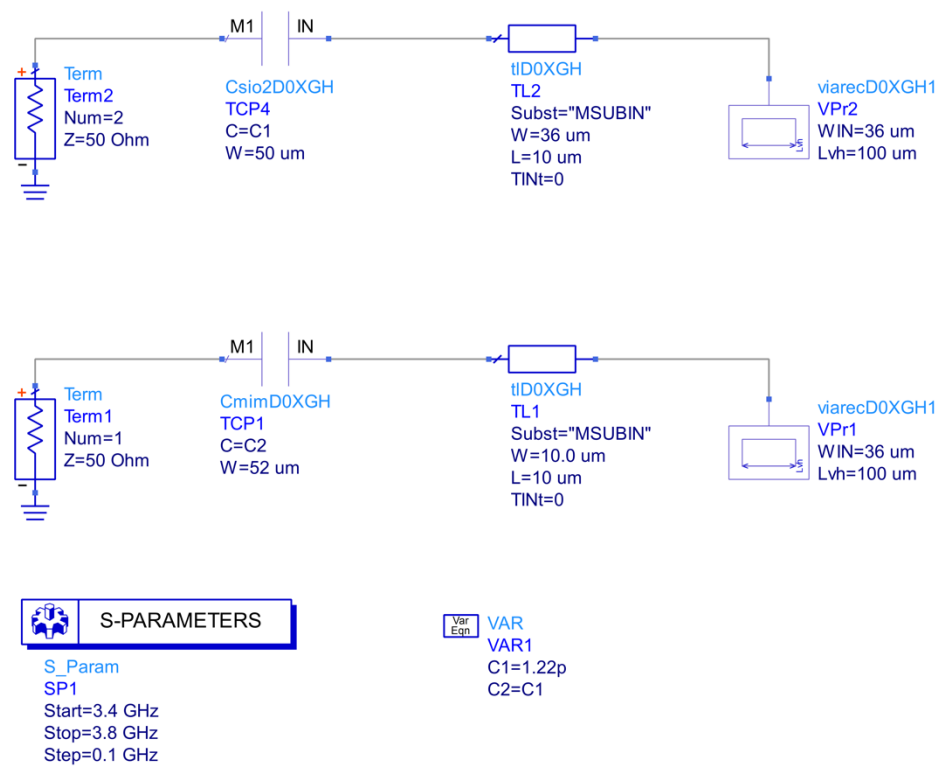


Figura 4-45: Comparativa entre los dos modelos de condensador ofrecido por OMMIC.

Simulando estos circuitos, se pueden contemplar en las dos gráficas superiores de la Figura 4-46 los resultados correspondientes al modelo **Csio2DoXGH** y en la parte inferior los del circuito inferior correspondientes al modelo **CmimDoXGH**. Comparando ambas gráficas de la izquierda, donde se ve reflejado el factor de calidad de los condensadores para el mismo valor de capacidad, se ve que el modelo **CmimDoXGH** tiene un valor de aproximadamente 54.5, mientras que el otro se acerca a los 34. Por esta razón, se decide continuar con el uso de **CmimDoXGH**, ya que se ajusta más a las necesidades del diseño de este circuito.

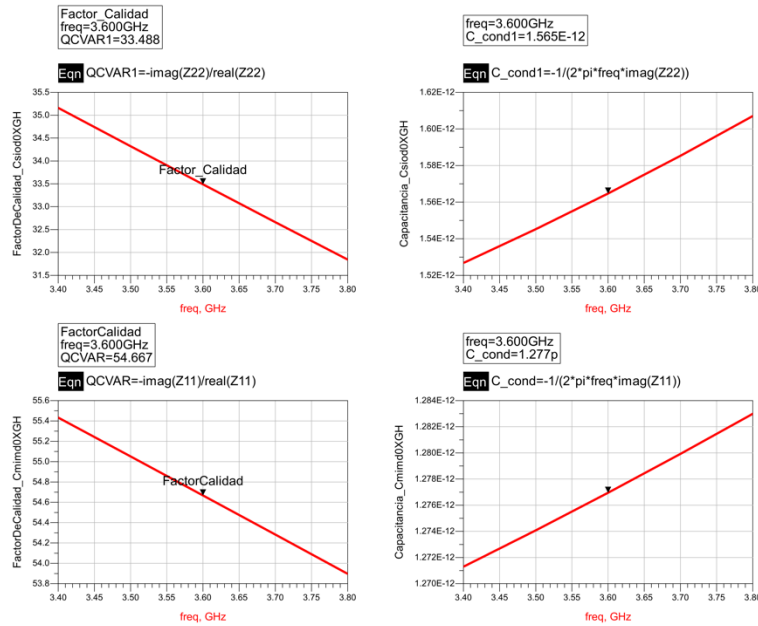


Figura 4-46: Resultados de la simulación de los dos condensadores.

De forma similar a la bobina, se debe hallar el valor nominal de condensador para el cual se tiene una capacitancia de 1.27 pF. Este valor corresponde al condensador ideal del acoplador direccional de la Figura 4-37. En las simulaciones para obtener este valor se variarán tanto la capacidad del condensador, como la anchura del mismo. De esta forma se debe encontrar el valor de capacidad para el cual se obtiene 1.27 pF, mientras el condensador mantiene una forma cuadrada.

Los valores que cumplen con estos requisitos son 1.22 pF junto a una anchura de 52 μm . Estos producen la salida de la Figura 4-47. Además, en la Figura 4-48 se puede ver el *layout* del condensador donde se ve claramente que mantiene una forma cuadrada.

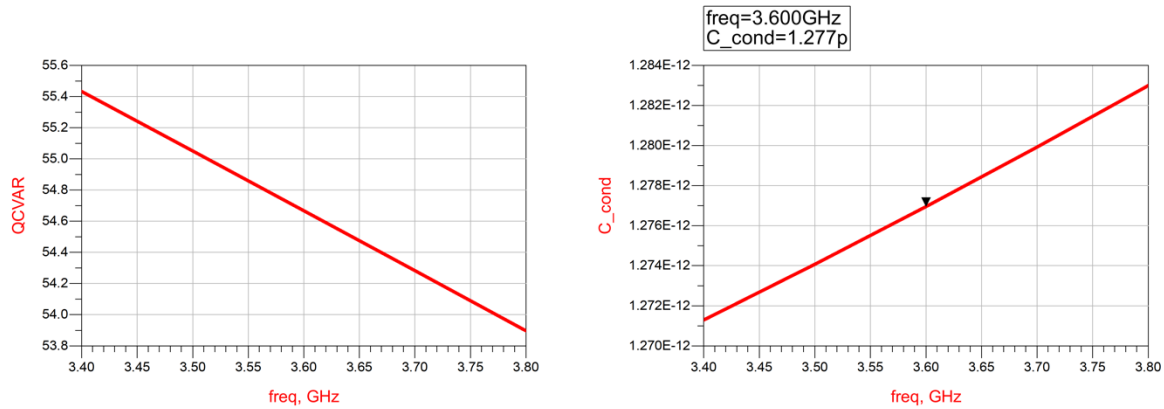


Figura 4-47: Resultados del estudio de bobina, con el valor requerido de capacitancia a la salida.

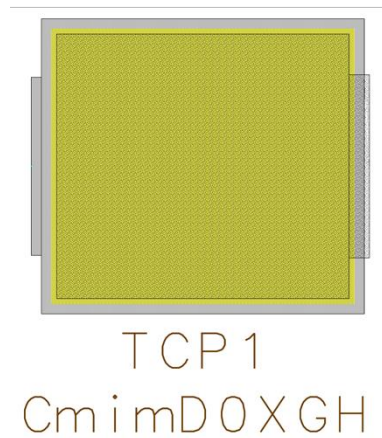


Figura 4-48: El layout del condensador. Los condensadores deben tener una forma cuadrada.

Híbrido real

Tras obtener los componentes reales que conforman el acoplador direccional, estos sustituirán a los componentes ideales que había en el híbrido de 90° de la Figura 4-37, obteniendo así el circuito de la Figura 4-49.

Se puede ver que las prestaciones del circuito apenas se han visto afectadas por la sustitución de componentes reales, ya que los resultados siguen cumpliendo con los requisitos establecidos al principio. A pesar de esto, se optimizará de nuevo el circuito para intentar mejorar los resultados. Los valores nuevos obtenidos de esta simulación se pueden ver en la parte superior de la Figura 4-51 y sus resultados en la parte inferior.

De nuevo es posible ver una clara mejora en los resultados del circuito, frente a las gráficas de la Figura 4-50.

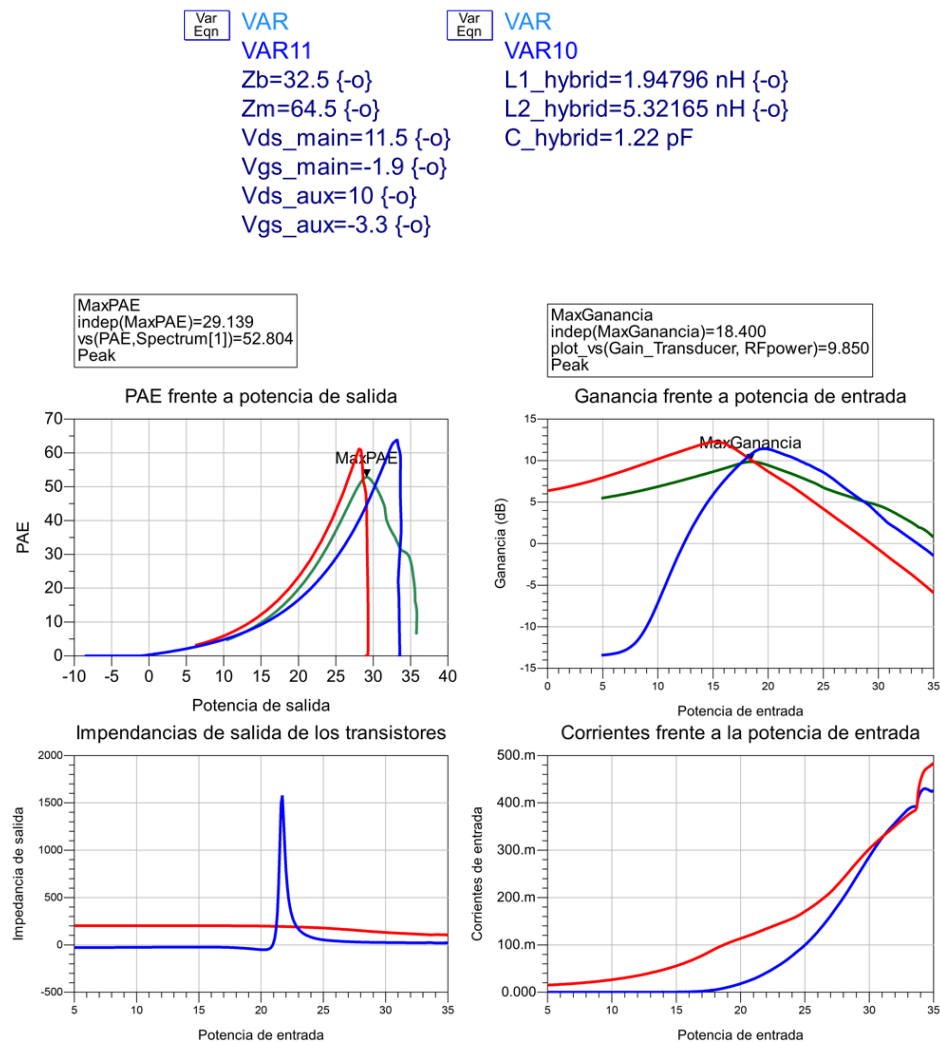


Figura 4-51: En la parte superior, los nuevos valores de los componentes del circuito, y en la parte inferior sus resultados.

4.2.4. Sustitución de las redes de adaptación de entrada por componentes reales

Después de simular el acoplador direccional usando componentes reales, el siguiente paso es realizar el mismo proceso para sustituir las redes de adaptación de entrada de ambos amplificadores. Se utilizarán los mismos modelos que en el caso del acoplador direccional.

Primero, se toma como referencia el valor de los componentes ideales y se reajusta el valor nominal del componente de la librería de OMMIC hasta coincidir con el valor buscado. En el caso de los condensadores también se regula la anchura para que la forma del componente en el *layout* sea cuadrada.

Tras realizar estas simulaciones de los componentes, se obtiene que los valores óptimos para los componentes reales de las redes de adaptación de entrada son:

- Bobina del amplificador principal: 2.51 nH.
- Condensador del amplificador principal: 46 pF y 78 μm de anchura.
- Bobina del amplificador auxiliar: 3.23 nH.
- Condensador del amplificador auxiliar: 4.12 pF y 78 μm de anchura.

Amplificador principal

Al sustituir la red de adaptación de entrada del amplificador principal, se obtiene el circuito de la Figura 4-52, con sus valores correspondientes en la esquina superior izquierda.

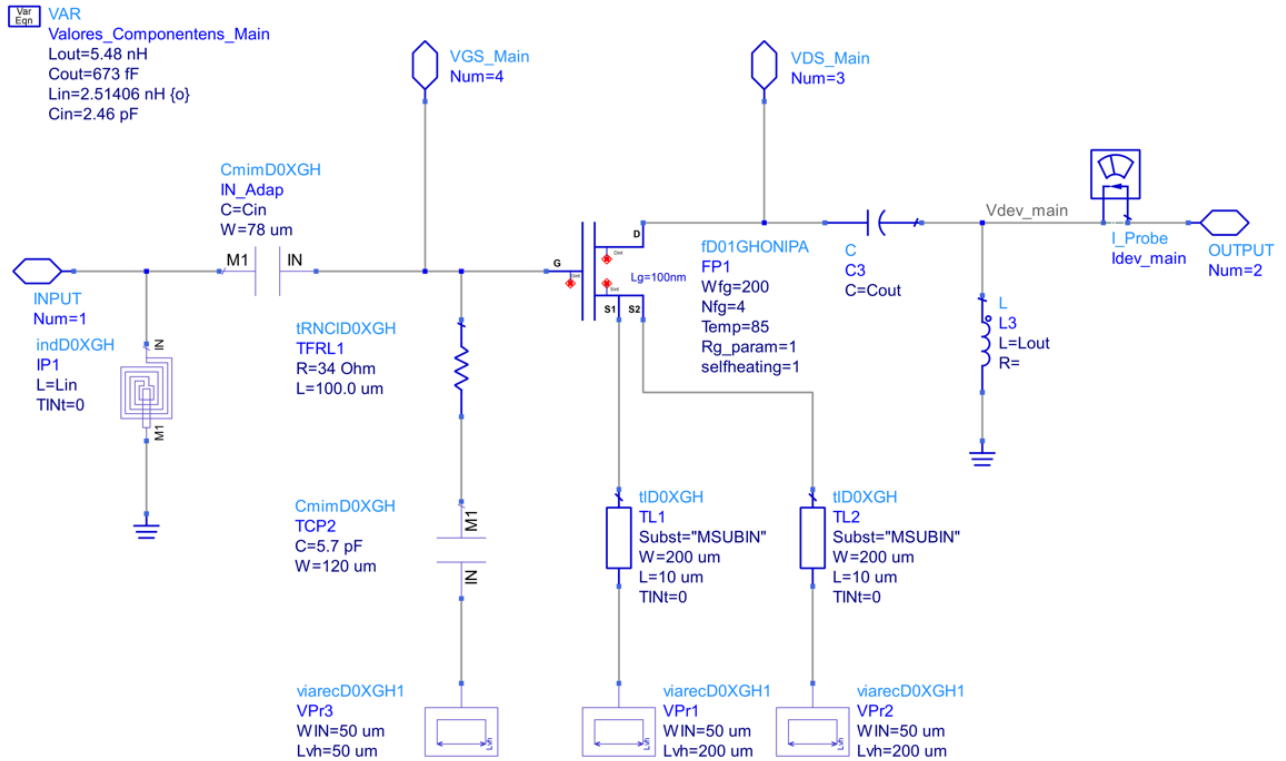


Figura 4-52: Amplificador principal con red de adaptación con componentes reales.

Amplificador auxiliar

En el caso del amplificador auxiliar se realiza el mismo procedimiento. El circuito resultante es el de la Figura 4-53.

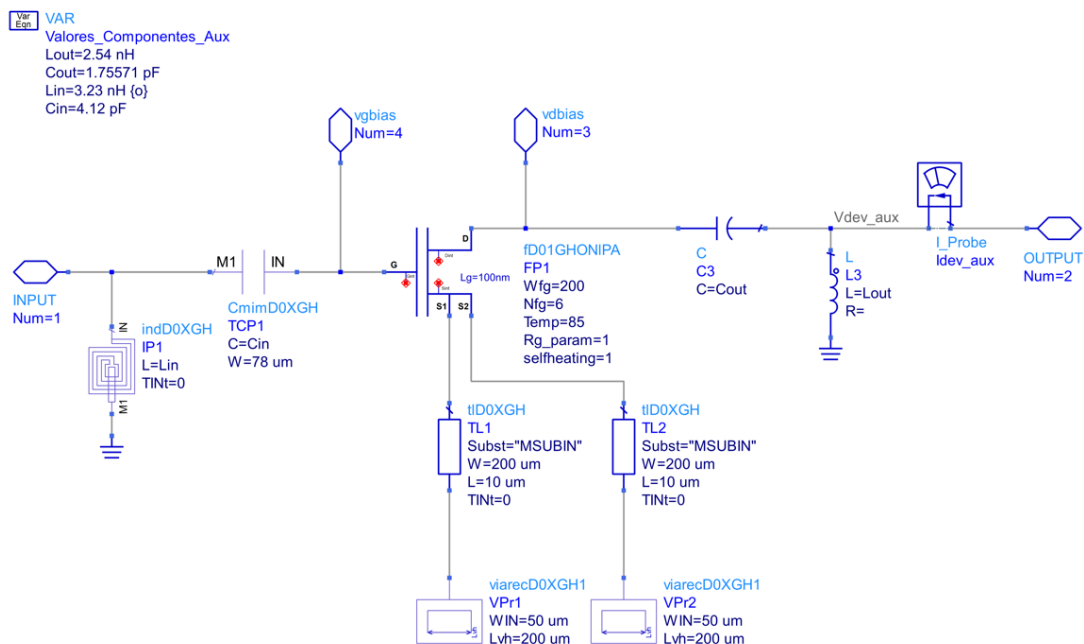


Figura 4-53: Circuito del amplificador auxiliar con red de adaptación con componentes reales.

Resultados

Tras simular se obtienen los resultados de la Figura 4-54, donde se ve que los resultados se han mantenido prácticamente iguales que en las gráficas de la Figura 4-51, siendo pequeñas las pérdidas debidas a los componentes reales.

En este caso no se optimizarán los resultados, ya que el objetivo de este apartado es asegurarse de que las pérdidas producidas por los componentes reales al ser introducidos en el circuito son inexistentes o limitadas. La optimización se llevará a cabo una vez se terminen de sustituir los componentes ideales restantes en el circuito.

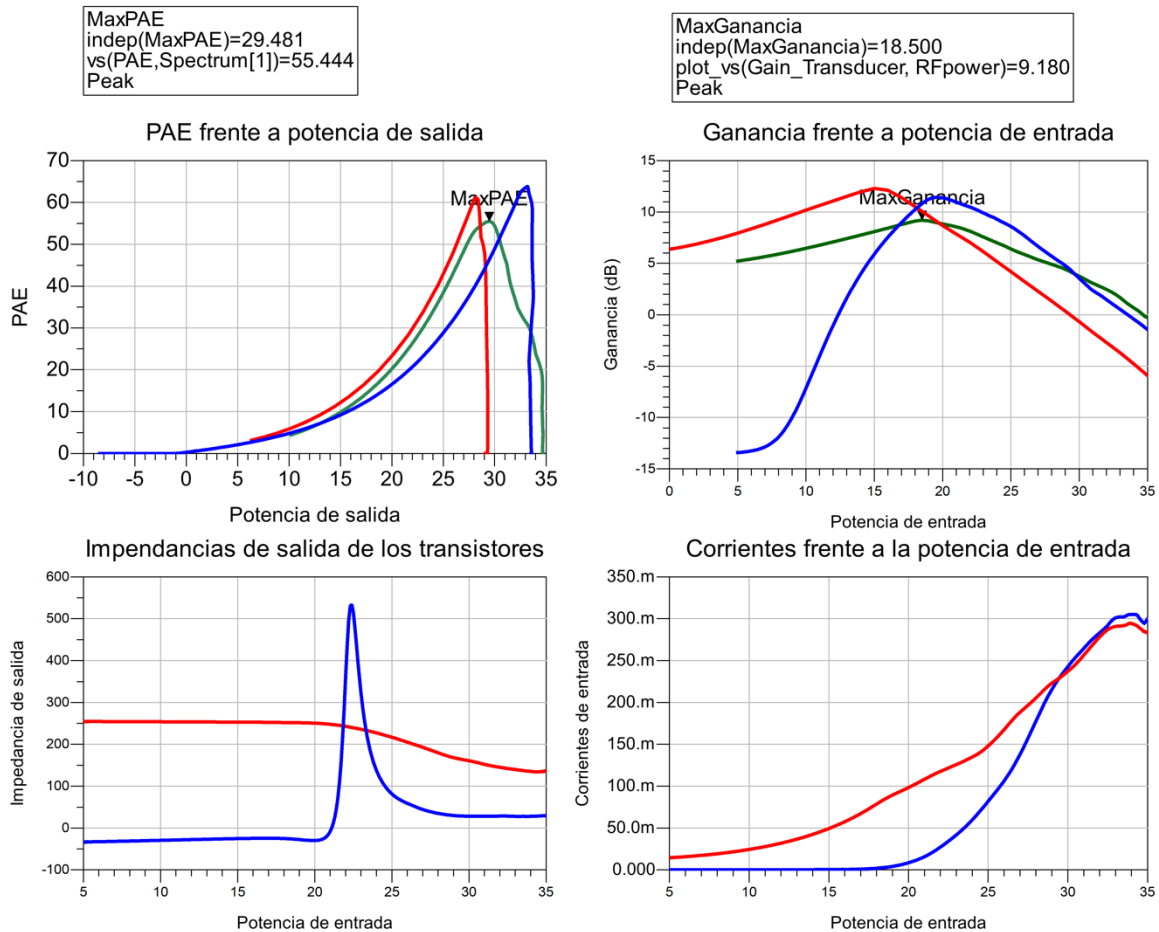


Figura 4-54: Resultados de las simulaciones del amplificador Doherty con componentes reales.

4.2.5. Sustitución de las redes de adaptación de salida por componentes reales

Siguiendo un proceso idéntico al descrito en el anterior apartado, en este caso se sustituirán los componentes ideales que se encuentran en las redes de adaptación de salida de ambos amplificadores. Para ello, se comienza con el estudio de las bobinas y los condensadores reales, utilizando los mismos modelos de componentes empleados hasta ahora. Los valores obtenidos son los siguientes:

- Bobina de salida del principal: 3.8305nH.
- Condensador de salida del principal: 657 fF y con una anchura de 40 μm .
- Condensador de salida del auxiliar: 1.654 pF y con una anchura de 63 μm .

- Bobina de salida del auxiliar: 2.3705 nH.

Con estos valores se sustituyen los componentes ideales de los circuitos de las Figura 4-52 y Figura 4-53 por los modelos reales de OMMIC.

Amplificador principal

Una vez realizado este paso, se obtiene el circuito de la Figura 4-55.

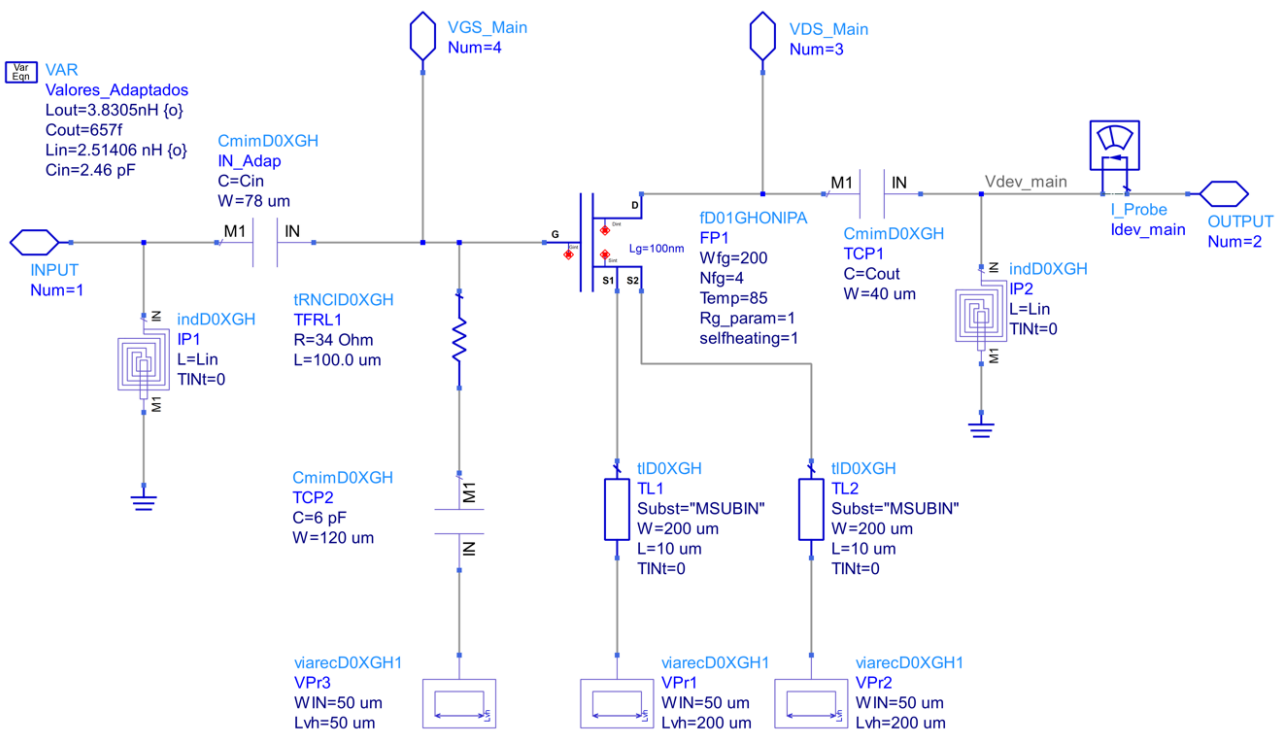


Figura 4-55: Circuito de amplificador principal con red de adaptación de salida real.

Amplificador Auxiliar

De igual forma, el circuito del amplificador auxiliar queda de la manera que se ve en la Figura 4-56.

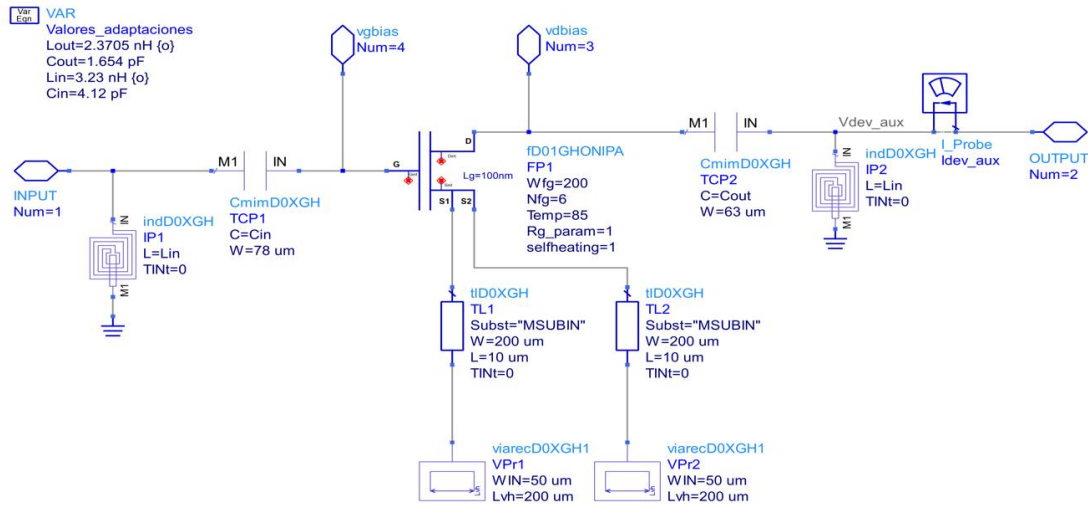


Figura 4-56: Circuito del amplificador auxiliar con red de adaptación de salida real.

Resultados

Los resultados que se obtienen tras simular se muestran en la Figura 4-57, observándose un empeoramiento en comparación con los que se obtuvieron en la Figura 4-54. El parámetro que más se ha visto afectado es la PAE, que ha pasado del 55% a escasamente 11%. Por otra parte, también la ganancia se ha visto afectada, de forma que se ha visto reducida casi a la mitad

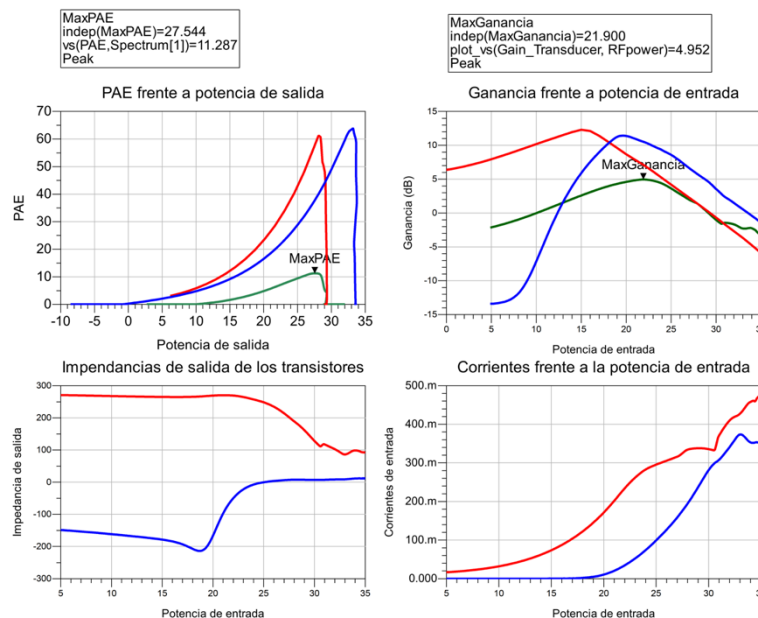


Figura 4-57: Resultados de simulación tras sustituir las redes de adaptación de salida.

Estos datos dejan de cumplir los requisitos que se imponen en el circuito y, por tanto, es necesario mejorarlos para que el circuito pueda seguir funcionando, además de que continuaremos sustituyendo componentes reales y se deben hacer más leves las pérdidas asociadas con ello. Por ello se optimizan las variables que se contemplan en la parte superior de la Figura 4-58. Sus resultados correspondientes, visibles en la parte inferior de la misma figura, muestran la mejora que se estaba buscando. En este caso la PAE ha aumentado hasta el 35%, y la ganancia ha aumentado en 3 dB.

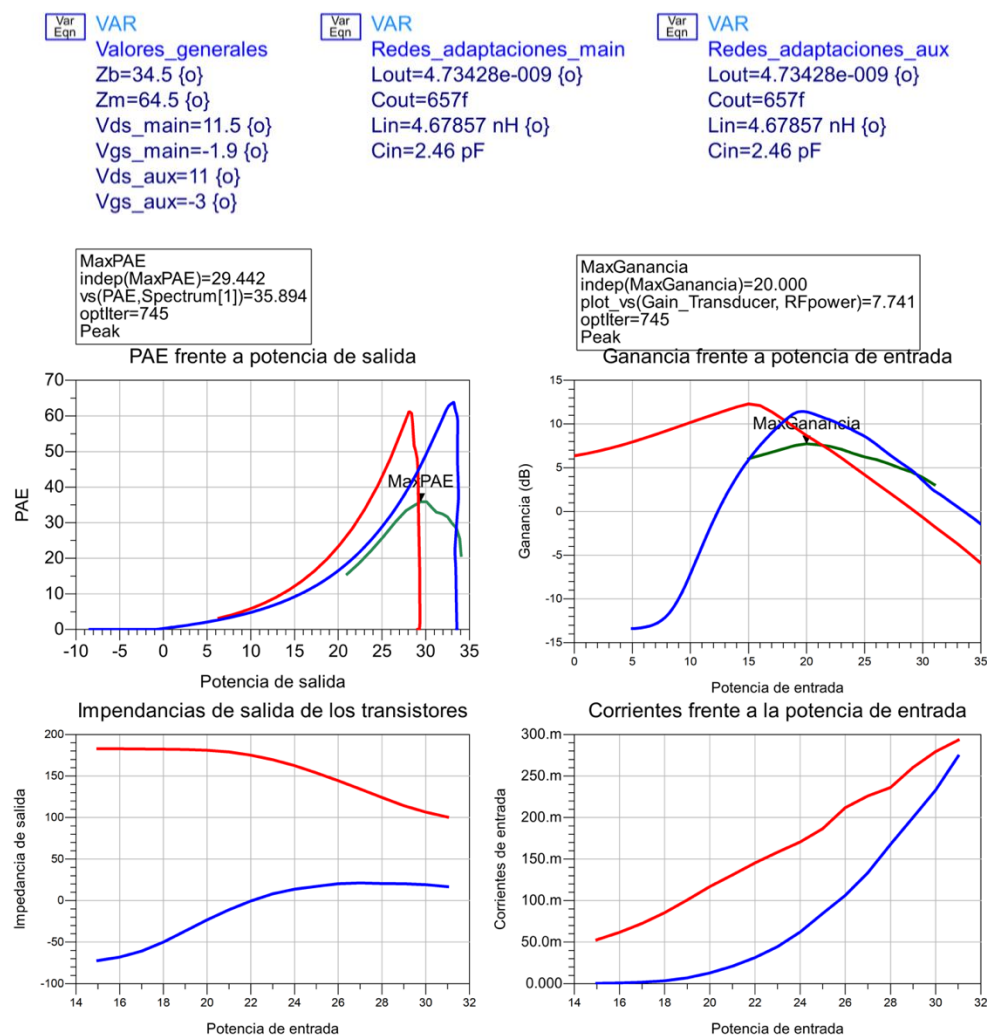


Figura 4-58: Valores optimizados (parte superior) y sus resultados (parte inferior).

4.2.6. Creación del *layout*

Para la creación del *layout*, se finaliza sustituyendo la línea de transmisión de salida del amplificador principal por un circuito LC en pi, como el que se puede apreciar en la Figura 4-59 [38].

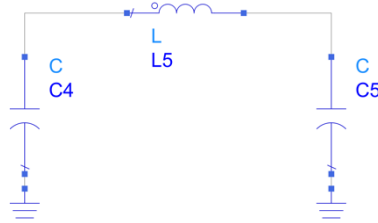


Figura 4-59: Circuito LC en pi, que sustituye la línea de transmisión de salida.

Los valores de estos componentes se calculan mediante las ecuaciones (4.1) y (4.2). Con esta red se logra introducir un desfase de 90 grados y así compensar el desfase que se introduce en la señal del amplificador auxiliar mediante el acoplador.

$$L = \frac{Z_0}{2\pi f_0} = 2.23 \text{ nH} \quad (4.1)$$

$$C = \frac{1}{2\pi Z_0 f_0} = 0.691 \text{ pF} \quad (4.2)$$

Para sustituirlo en el circuito del amplificador Doherty de la Figura 4-49, se utiliza el mismo método utilizado hasta ahora para obtener los valores reales de los componentes y explicado en el apartado del acoplador direccional. De esta forma se llega a los valores de la bobina, cuyo valor real será de 1.92 nH y los condensadores que tendrán un valor de 246 fF.

Construida la red real y para comenzar a crear el *layout* de este mismo circuito, es necesario introducir líneas de transmisión reales entre los componentes para realizar su interconexión. El resultado de este circuito se puede observar en la Figura 4-61, junto a los valores de cada componente.

ADS ofrece internamente, como se ha descrito en la introducción, una herramienta para generar automáticamente el *layout* del circuito. Al generarlo, los componentes están desorganizados y con varios fallos. Al reorganizar esta estructura, es importante tener en cuenta mantener suficiente separación entre los componentes, principalmente las bobinas, para que durante su funcionamiento no se produzca un acoplamiento que podría producir oscilaciones en el circuito. El resultado se muestra en la Figura 4-62.

Resultados

Los resultados de este circuito se encuentran en las gráficas de la Figura 4-60. Como era de esperar, al haber introducido componentes reales en el circuito, las prestaciones han bajado con respecto a los resultados de la Figura 4-58. Es necesario buscar una mejora en el circuito para aumentar los resultados del amplificador.

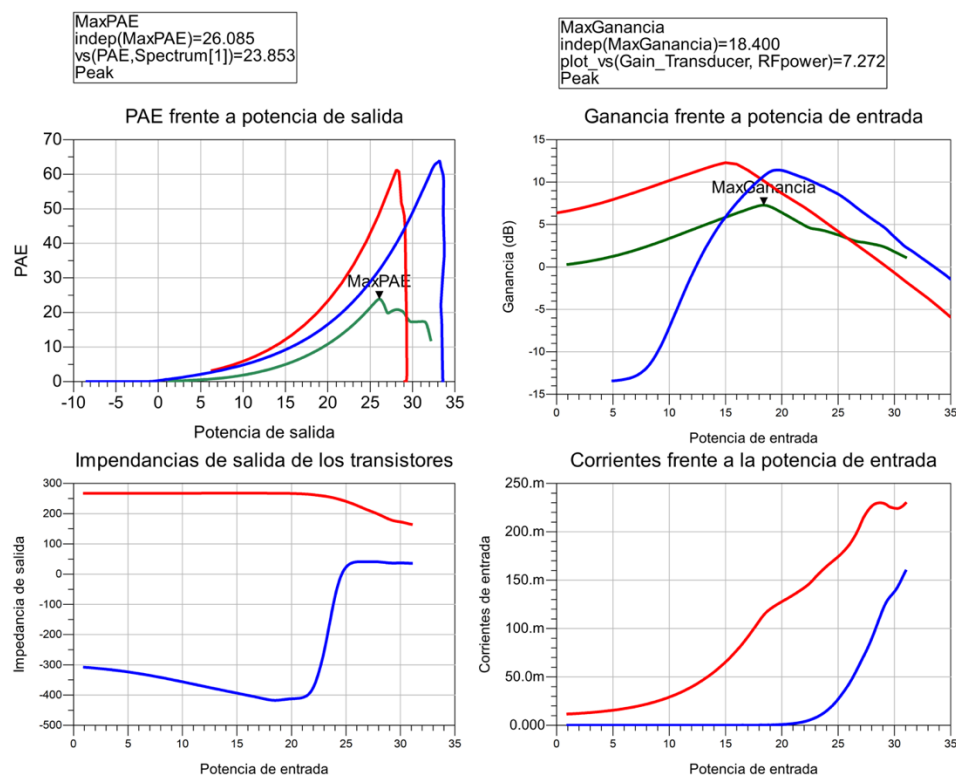


Figura 4-60: Resultados de la simulación del circuito con todos los componentes y líneas de transmisión reales.

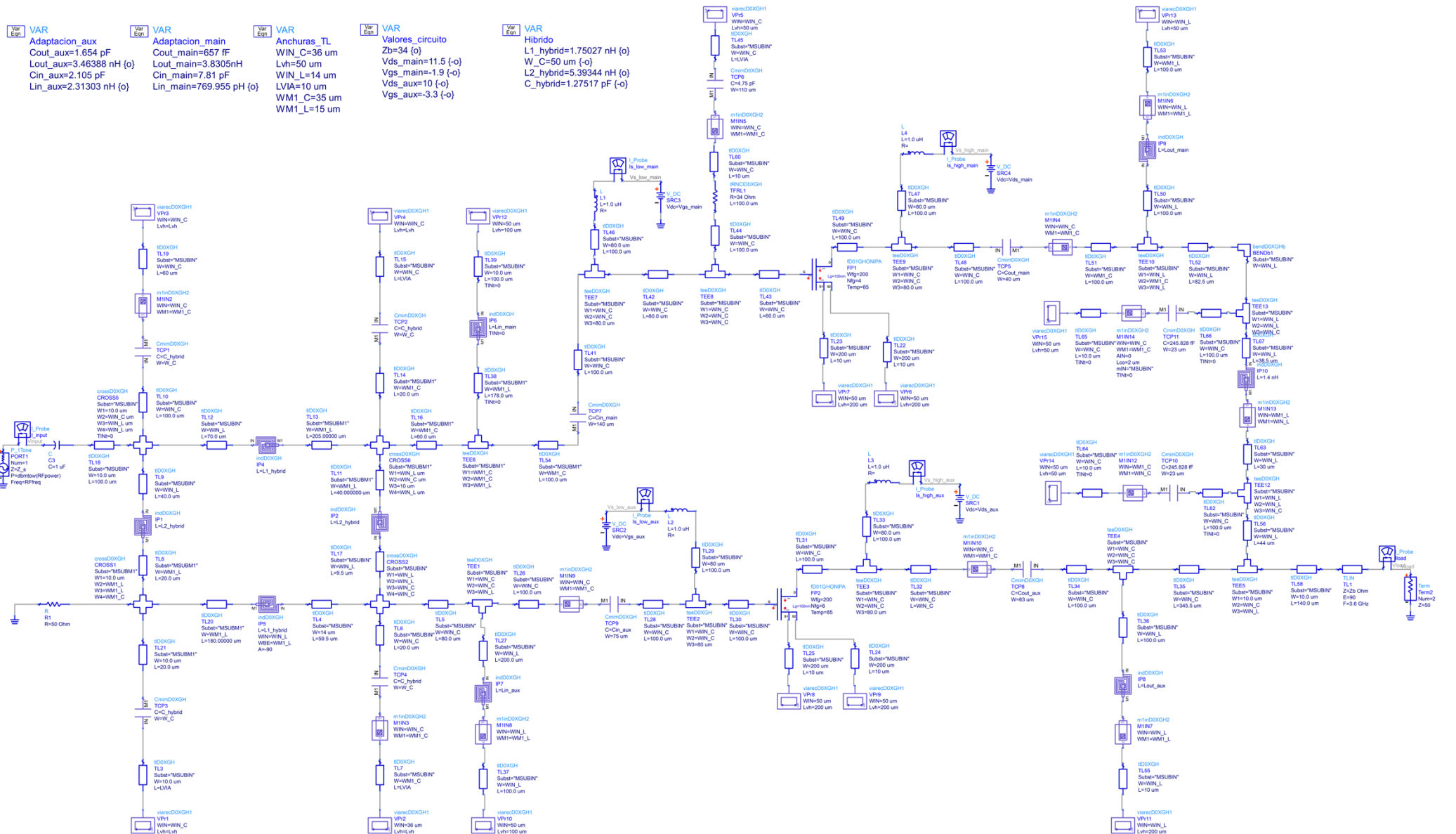


Figura 4-61: Esquemático del amplificador Doherty con todos los componentes reales y líneas de transmisión.

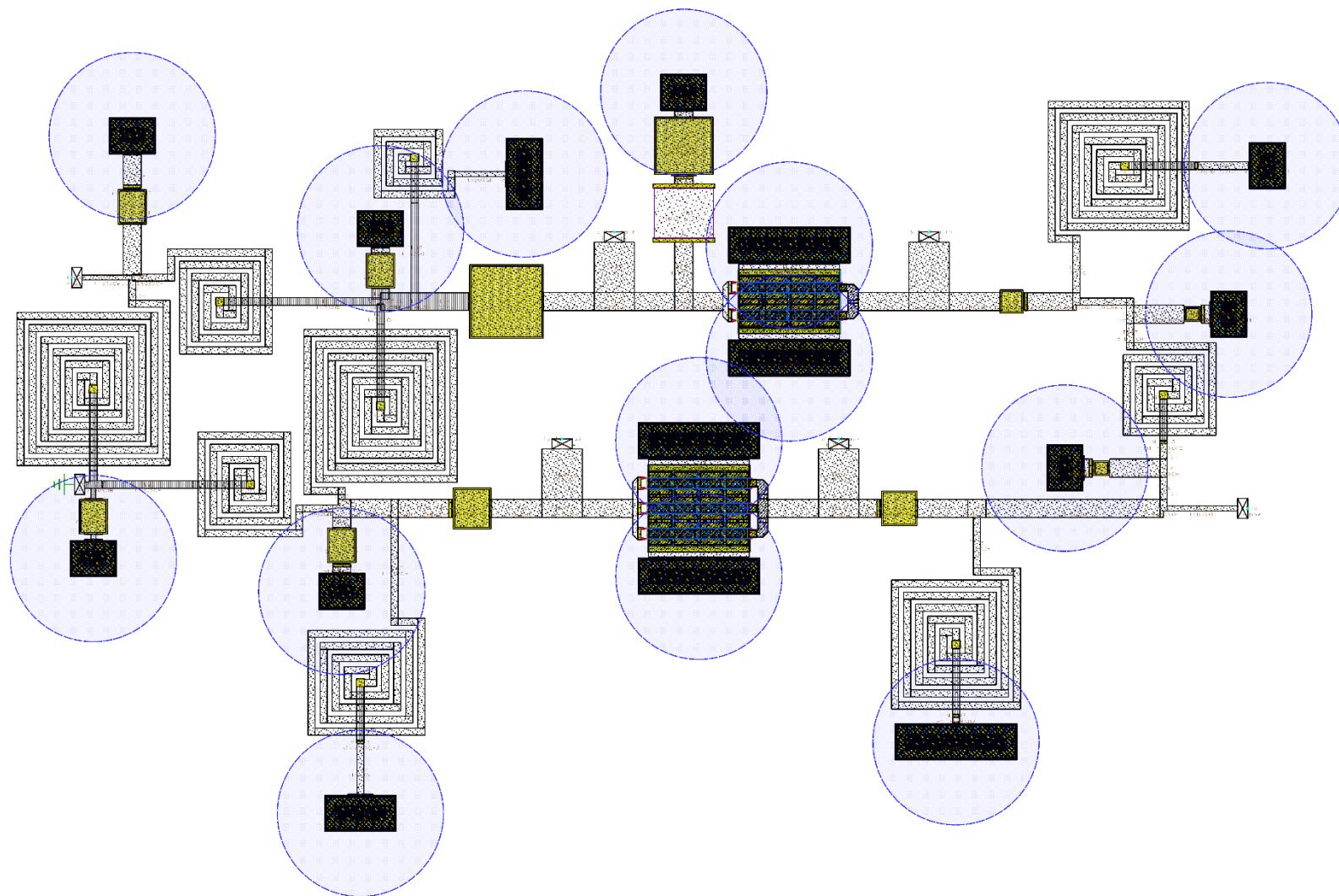


Figura 4-62: Layout correspondiente al amplificador Doherty.

Analizando el circuito cuidadosamente y siguiendo el ejemplo del informe [38], se puede ver que una serie de componentes inductivos y capacitivos se encuentran en paralelo y por ello se pueden suprimir. Esto se traducirá en un menor coste de fabricación, al ocupar una menor cantidad de área, además de menores influencias parásitas. Teóricamente, las prestaciones del circuito deberían verse aumentadas.

Específicamente, las bobinas y condensadores que se analizarán son las que se encuentran marcadas en la Figura 4-64. Estos componentes pertenecen a las redes de adaptación de entrada y de salida del amplificador.

Por tanto, para verificar que esta propuesta funciona en el circuito, se eliminan dichos componentes, obteniendo el circuito de la Figura 4-65. Estos cambios se han llevado a cabo de manera sucesiva; se comienza con los componentes de la salida. Tras optimizar y verificar unos resultados favorables, se eliminan los componentes de la entrada y de nuevo, se optimiza y verifican los resultados para comprobar que es ventajoso suprimir dichos elementos.

Resultados

Para comprobar la validez de esta solución propuesta, se optimizan los componentes del circuito de la Figura 4-65, para posteriormente comparar sus prestaciones con las que se obtenían con el circuito de la Figura 4-61. Los resultados de la comparativa se presentan en la Figura 4-63. En verde se trazan los datos del circuito tras la eliminación de los componentes redundantes y en rojo los resultados anteriores.

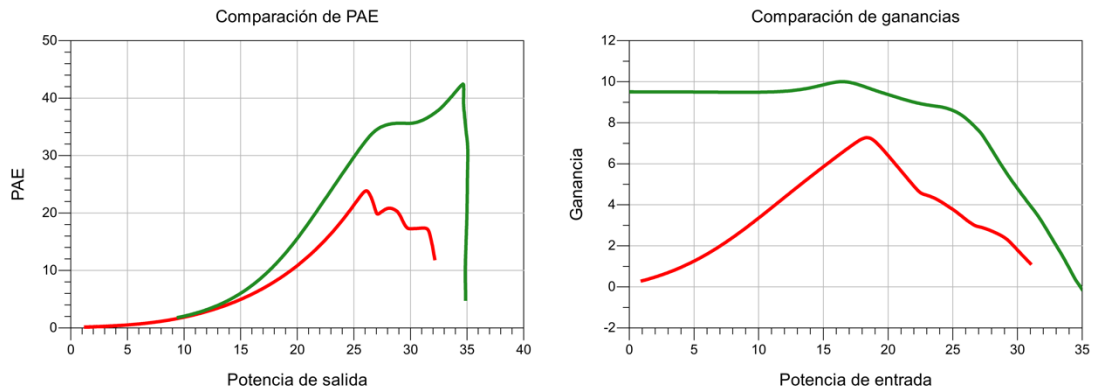


Figura 4-63: Resultados tras suprimir los componentes (verde) y previo a ello (rojo).

Se puede distinguir una clara mejora de los resultados. La PAE ha aumentado hasta el 42%, además de mostrar los picos característicos de eficiencia de un amplificador Doherty, como los de la Figura 3-14. Por otra parte, la ganancia se mantiene constante a lo largo del funcionamiento del circuito y aparte es mucho mayor que antes. Esto demuestra que la eliminación de los componentes redundantes supone una mejora y, por tanto, se continuará con esta opción.

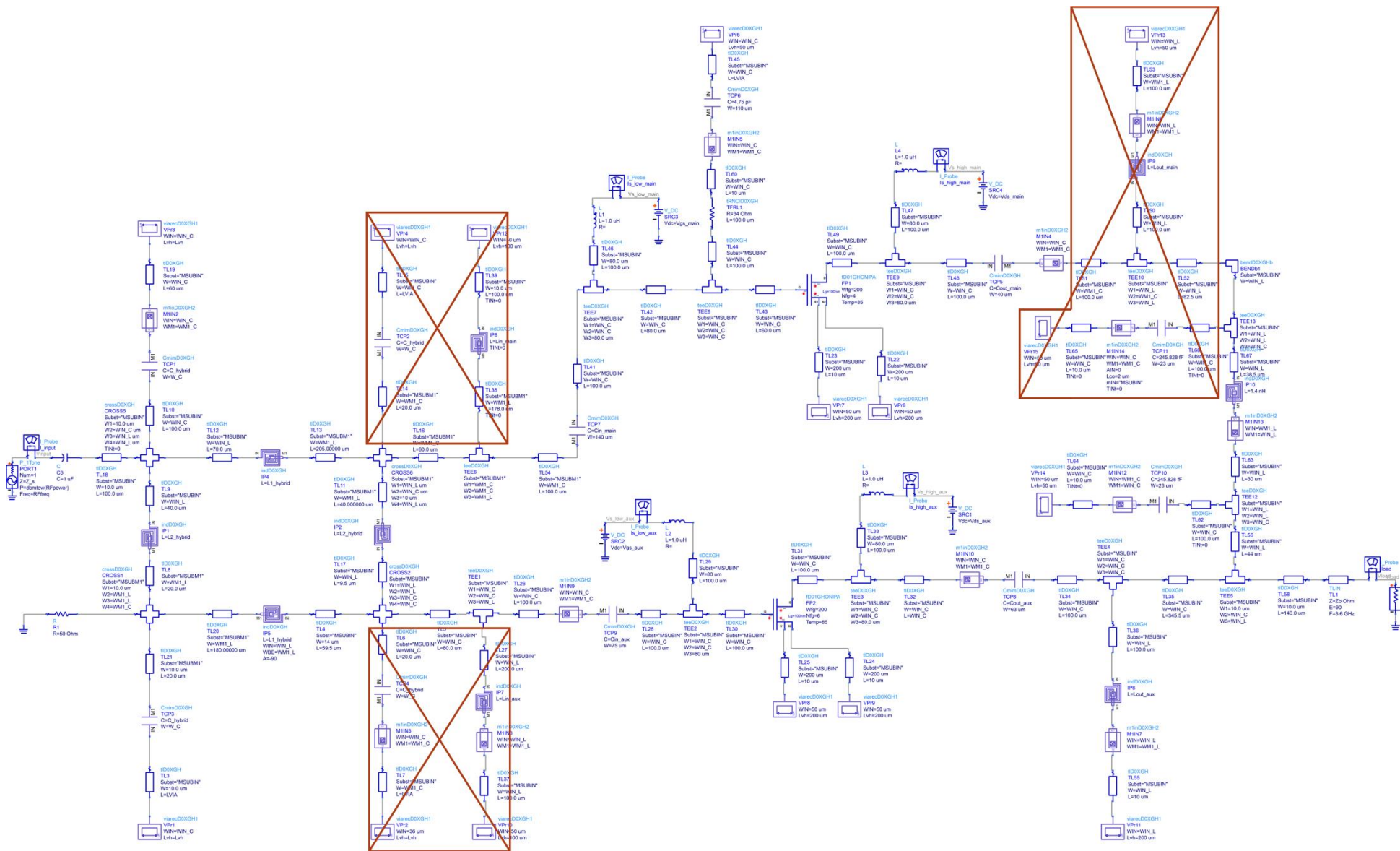


Figura 4-64: Circuito del amplificador Doherty con los elementos que se suprimen.

4.2.7. Resultados finales

La estructura final del amplificador Doherty que se ha creado en este proyecto es la que se puede ver en Figura 4-65.

Sus resultados, mostrados en la Figura 4-66, tienen unas prestaciones que se consideran adecuadas. La ganancia se mantiene casi constante a lo largo del funcionamiento entero del amplificador Doherty, tal y como predice la teoría.

Además, la PAE presenta el característico doble pico de este tipo de amplificadores que también se vio en la Figura 3-14. También tiene una eficiencia elevada en niveles de *back-off* de hasta 8 dB y alcanza niveles de hasta 42% en el momento de su máxima potencia de salida.

Por otro lado, en las impedancias se ve el efecto de la modulación de carga; el amplificador principal comienza viendo una impedancia de 50 Ω , mientras que en el auxiliar es baja. A medida que este entra en funcionamiento y aumenta su consumo, la impedancia del amplificador principal baja.

También la respuesta en frecuencia del circuito cumple con los requisitos, como se puede comprobar en la Figura 4-67. En el rango completo de frecuencias se obtiene una PAE del 35%, además de una potencia de salida de 35 dBm, y una ganancia de 9 dB.

Finalmente, en el diseño del *layout* de la Figura 4-62 se han incluido las tomas para las fuentes de alimentación, que se deben situar al borde del circuito, además de las tomas correspondientes a la entrada de la señal y a su salida. El resultado final de este diseño se puede ver en la Figura 4-68.

En el Anexo I y Anexo II se encuentran el circuito y el *layout* de Figura 4-65 y Figura 4-68 final en mayor tamaño, para mayor claridad.

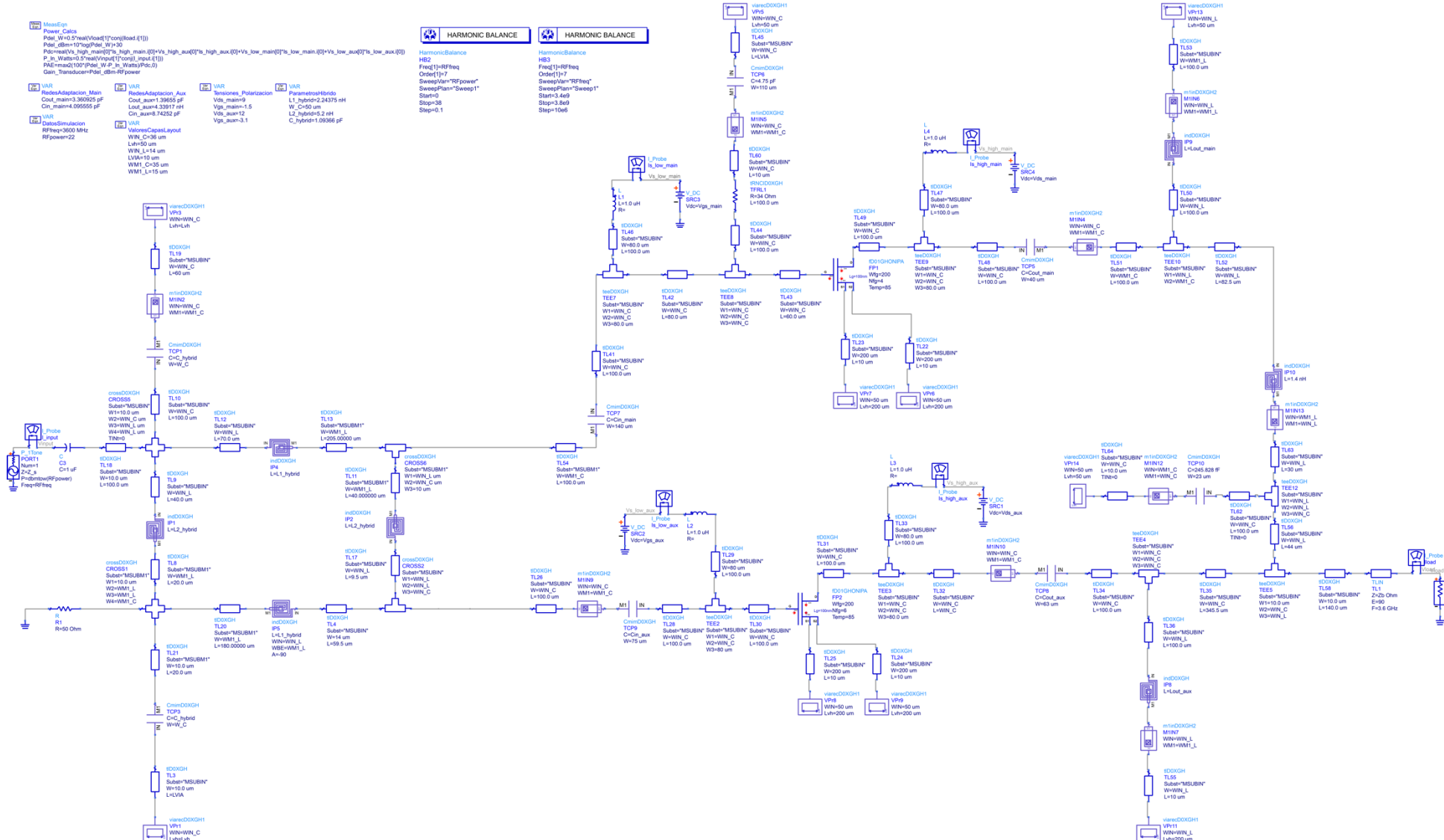


Figura 4-65: Estructura final del amplificador Doherty.

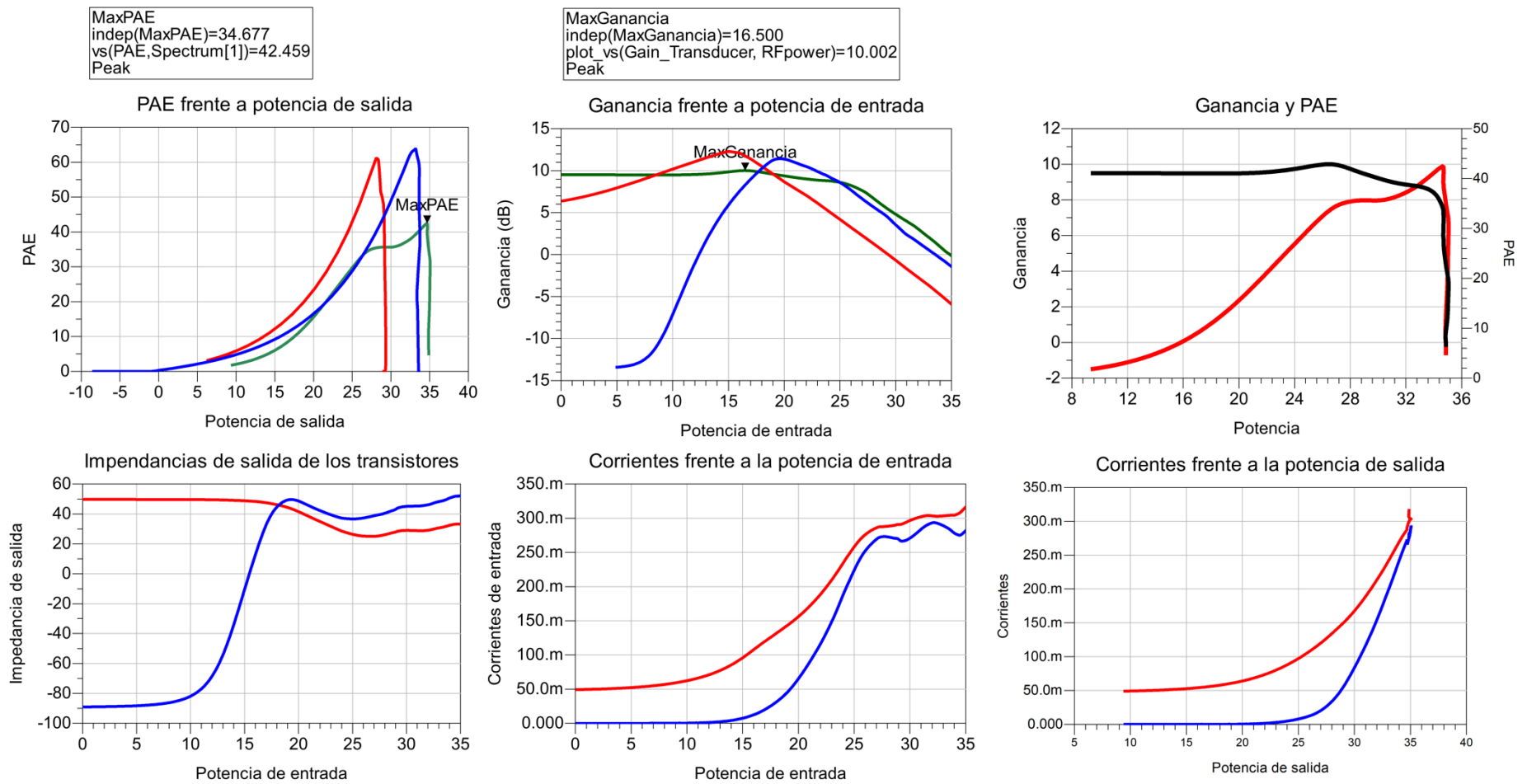


Figura 4-66: Resultados finales del amplificador Doherty.

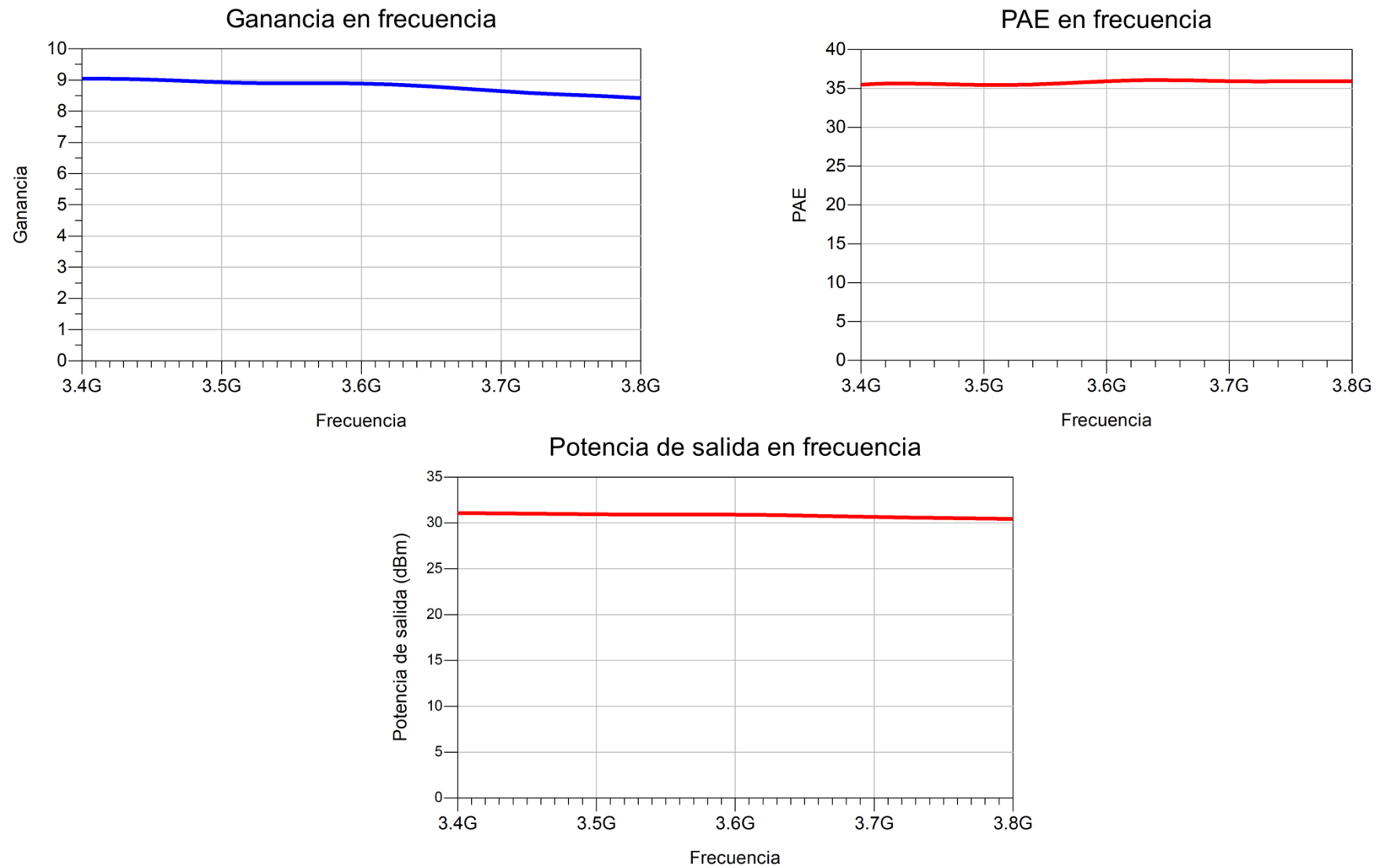


Figura 4-67: Respuesta en frecuencia del circuito.

126

4.2.8. Simulaciones Monte Carlo

Para concluir las simulaciones del circuito final, se utiliza un *setup* denominado "Monte Carlo", como la que se aprecia en la Figura 4-69. Este habilita una simulación empleando el método de Monte Carlo con 250 iteraciones[47].

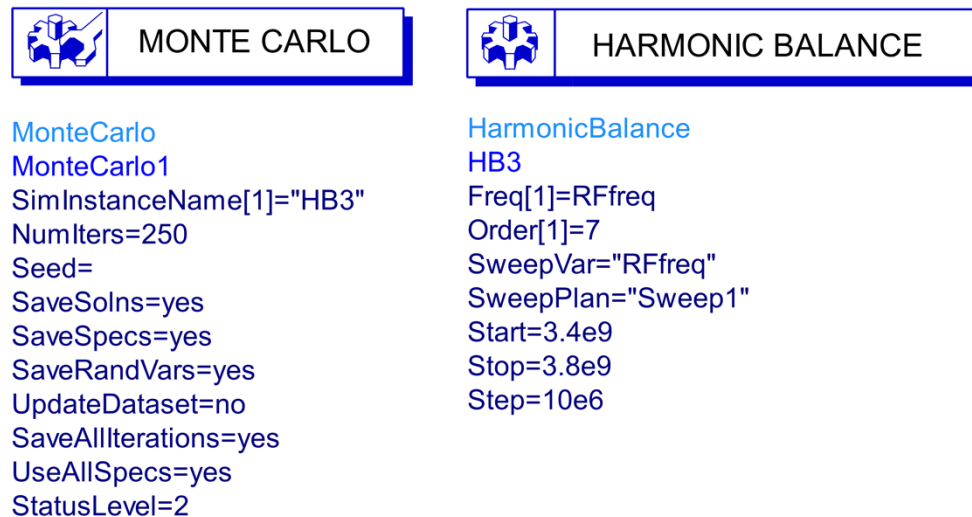


Figura 4-69: Setup de simulación del método de Monte Carlo.

El método de Monte Carlo permite la variación de valores de unos modelos estadísticos del sustrato, proporcionados por el fabricante. En toda fabricación, las prestaciones de los materiales no son iguales a los de las simulaciones, debido, por ejemplo, a una tolerancia en la resistividad o cambio de capas entre las capacidades. Esto hace que, al fabricar grandes cantidades de circuitos, se haga necesario tener información acerca del número de chips que cumplan las especificaciones requeridas. Siempre existirán diferencias entre el circuito simulado y los fabricados. Es por esta razón que se realizan las simulaciones de Monte Carlo. Esta simulación realiza un número de iteraciones asignando valores aleatorios a dichos modelos estadísticos de los componentes y así poder predecir con mayor precisión qué porcentaje de los chips acabarán cumpliendo los requisitos preestablecidos. De esta manera se obtiene el valor de la cosecha o *yield* que se corresponde con la relación entre el número de simulaciones exitosas

realizadas, frente a las totales. Es obvio que cuanto mayor número de simulaciones se realicen, mayor precisión habrá en los datos [48].

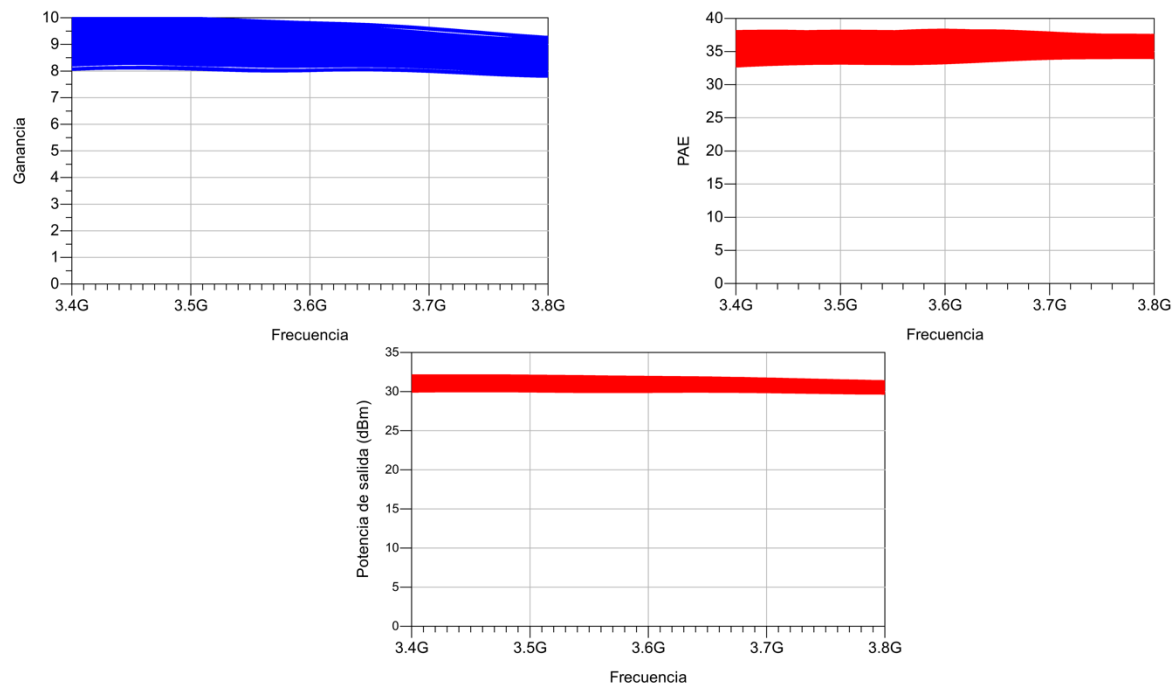


Figura 4-70: Resultados de la simulación de Monte Carlo.

En la Figura 4-70 se reflejan los datos de las simulaciones del método de Monte Carlo en este circuito, tras 250 iteraciones. Se puede observar una clara variación de los valores del circuito. Por ejemplo, la ganancia varía de 8 a 10.5 dB, y la PAE entre 33% y 37%. El valor mínimo al que se acerca la potencia de salida es de 30 dBm a lo largo de las frecuencias de trabajo. Teniendo en cuenta que el requisito establecido en la Tabla I requiere una potencia de salida de 23 dBm, se puede dar por válidos los resultados de la simulación, ya que el circuito tolerará dichos cambios.

5. Conclusiones y líneas futuras

Una vez completado el proceso de diseño del amplificador Doherty, en este capítulo se resumen los resultados obtenidos así como las conclusiones que se extraen de los mismos. Asimismo se hará una comparación de las prestaciones alcanzadas comparándolas con las especificaciones iniciales así como con otros circuitos de características similares encontrados en la literatura. Finalmente se presentará una revisión de los objetivos que se pretendían cumplir y se hablará de las líneas futuras a desarrollar a partir del presente proyecto.

5.1. Conclusiones

Una vez terminadas las simulaciones y haber obtenido el diseño final del amplificador Doherty que se pretendía realizar, ahora se analizarán los resultados y se sacarán conclusiones a partir de ellos.

Como se explicó en la introducción, el objetivo de este proyecto es crear un amplificador Doherty que opere en la nueva red 5G que se desplegará en los próximos años; específicamente, en la banda de 3.4 GHz a 3.8 GHz. Además, hará uso de la tecnología GaN, que se encuentra en auge por sus mejores prestaciones.

Para el diseño de este circuito, primero se obtuvieron las curvas características de los transistores y se polarizaron para operar en el rango que es debido; el amplificador principal polarizado como clase AB y el auxiliar en clase C.

Como segundo paso, se comprobó la estabilidad de los transistores y se introdujo una red de estabilidad en el amplificador principal para asegurar su funcionamiento en el rango de frecuencias en el que debe operar.

Seguidamente, se realizó un análisis *load-pull* y *source-pull* de ambos amplificadores y se diseñó las redes de adaptación para obtener las prestaciones óptimas de cada uno de ellos .

El siguiente paso fue unir los dos amplificadores anteriores para construir el amplificador Doherty. Las prestaciones que se obtuvieron inicialmente no fueron las adecuadas, pero tras un proceso de optimización se mejoró considerablemente.

La primera versión del amplificador Doherty hacía uso de un divisor de potencia ideal, el cual fue posteriormente sustituido por un acoplador direccional de 90 grados. Este circuito introduce un desfase de 90 grados entre sus salidas por lo que se pudo eliminar la línea de transmisión que se utiliza normalmente a la entrada del amplificador auxiliar.

Una vez diseñado el amplificador con componentes ideales, se pasó a sustituir dichos elementos por componentes reales de las librerías de OMMIC. Este proceso es muy delicado ya que se debe elegir cada componente de forma minuciosa para que las prestaciones del circuito cambien lo menos posible. En muchos de los casos, tras la sustitución de un elemento ideal por su equivalente real se optimizó nuevamente el circuito para que las prestaciones se mantuvieran dentro de los márgenes preestablecidos. Los últimos elementos en introducir fueron las líneas de transmisión que realizan la modulación de la carga característica de los amplificadores Doherty. En este momento se observó que había elementos redundantes que se podían eliminar. Esto no sólo se tradujo en un ahorro en el área final del circuito, sino que trajo aparejada una mejora de las prestaciones ya que se eliminaban los parásitos asociados a los componentes suprimidos.

El último paso consistió en el diseño del *layout* del circuito. Para ello fue necesario introducir todas las líneas y elementos de interconexión entre los componentes de forma que el circuito quedara completamente definido.

5.1.1. Resultados

En la Tabla V se muestra un resumen de las especificaciones obtenidas por el circuito. Tomando como referencia los requisitos establecidos en los objetivos del proyecto, en la Tabla I, se puede ver que la máxima potencia de salida es de 23 dBm, mientras que en el proyecto se ha logrado una potencia de 35 dBm. Esto permite tener holgura para pérdidas que puedan surgir durante la fabricación. Por otra parte, se ha obtenido un *back-off* de aproximadamente 8 dB en las simulaciones del amplificador Doherty, como se puede ver en la Figura 4-66, superando por tanto el valor de PAPR establecido como objetivo. Finalmente, el circuito funciona en un intervalo de entradas de 15 a 36 dBm.

Tabla V: Prestaciones del amplificador Doherty.

Parámetro	Valor
Frecuencias	3.4 GHz – 3.8 GHz
PAE (%)	42
Ganancia (dB)	9.5
Potencia de Salida (dBm)	35

A partir de los resultados obtenidos, se da por satisfecho el cumplimiento de las especificaciones dadas, pudiendo dar por alcanzado el objetivo principal fijado para este proyecto. Además, para comparar cómo se reflejan estas prestaciones a nivel más global, se ha realizado una comparación con otros trabajos encontrados en la literatura en los que se diseñan amplificadores Doherty en diferentes tecnologías. Los resultados de esta comparación se encuentran reunidos en la Tabla VI.

Tabla VI: Comparativa entre varios amplificadores Doherty.

Referencia	[49]	[50]	[38]	[51]	[52]	[53]	Este proyecto
Frecuencia (GHz)	6.8 – 8.5	8.25	2.4-2.6	3.65	1.6-2.1	8.8-10.5	3.4-3.8
Ganancia (dB)	7	10	14	27	27	6	9,5
PAE (%)	37	14	23	26	30	32	36
Potencia de salida (dBm)	35	39	23.5	28.9	36	30	35
Tecnología usada	GaN HEMT	GaN HEMT	65 nm CMOS	CMOS	GaAs	GaAs	GaN HEMT

Aunque no se ha encontrado prácticamente ningún proyecto que opere en el mismo rango de frecuencias que el amplificador Doherty diseñado en este trabajo, se han elegido circuitos que se aproximen. Así, se puede ver una clara mejora en los que emplean tecnología

GaN frente a los dos que usan las otras tecnologías más consolidadas como CMOS y GaAs. En el caso de los circuitos diseñados en CMOS, tanto la potencia de salida como la PAE de nuestro circuito son mucho mayores si bien la ganancia es menor. Por otro lado, si comparamos con los circuitos diseñados en tecnología GaAs, la eficiencia de nuestro amplificador es notablemente superior, aunque ofrece una menor ganancia y potencia de salida que [52] aunque superiores a las de [53]. Por último, Las prestaciones de nuestro circuito está en la línea de los trabajos presentados en tecnología GaN. Por ejemplo, la PAE y la potencia de salida de nuestro amplificador son similares a las de [49], mientras que la ganancia de nuestro proyecto es 2,5 dB mayor. Si comparamos con el circuito de [50], nuestro circuito tiene una PAE de más del doble, aunque ofrece menos potencia de salida y ganancia.

5.1.2. Líneas futuras

Una vez completado el análisis de los resultados obtenidos y hecha la comparativa con otros circuitos similares, se puede afirmar que los objetivos de este proyecto se han cumplido.

Sin embargo, a pesar de haber desarrollado el esquemático y el *layout* del circuito, a partir de este último se pueden desarrollar otras líneas de trabajo antes de dar por finalizado su diseño.

Una primera línea futura son las simulaciones electromagnéticas del *layout*, es decir, cómo funciona el circuito en función de las influencias electromagnéticas que puedan surgir a partir de los componentes. Por ejemplo, las bobinas generarán un campo electromagnético que influirán en los componentes que están a su alrededor. Es por tanto necesario que estas tengan separación suficiente para que no perjudiquen el rendimiento del resto de los componentes. Este tipo de simulaciones son ofrecidas por el ADS y es fundamental llevarlas a cabo previo a su fabricación.

Como segunda línea futura se pueden realizar las denominadas simulaciones de Monte Carlo [47] del *layout* final del circuito de la Figura 4-68. Como se ha descrito en el anterior

apartado, este tipo de simulaciones hace uso de modelos estadísticos para predecir el funcionamiento real del circuito y de esta forma conocer el porcentaje de los chips acabarán cumpliendo los requisitos preestablecidos.

Parte II

Bibliografía

-
- [1] H. V. Hunerli, "A High Efficiency and Wideband Doherty Power Amplifier for 5G," CHALMERS UNIVERSITY OF TECHNOLOGY, 2017.
 - [2] M. Yahyavi and E. Bertran Alberti, "On the design of high-efficiency RF Doherty power amplifiers," Universitat Politècnica de Catalunya.
 - [3] E. Delgado Baxarias and A. Barabé, "Diseño y construcción de un amplificador de RF en configuración Doherty," Universitat Politècnica de Catalunya, 2016.
 - [4] A. Sandström, "Design and Realization of a 6 GHz Doherty Power Amplifier from Load-pull Measurement Data," 2015.
 - [5] K. PEKER, "Design of a High Efficiency Power," Bilkent University, 2010.
 - [6] B. Slade, "The Basics of the Doherty Amplifier," 1936.
 - [7] A. A. Rodríguez, "Diseño y montaje de un amplificador Doherty," 2010.
 - [8] "OMMIC." [Online]. Available: <http://www.ommic.fr/>. [Accessed: 03-Jun-2018].
 - [9] GTI Group, "GTI Sub-6GHz 5G Device White Paper."
 - [10] A. Morgado, K. M. S. Huq, S. Mumtaz, and J. Rodriguez, "A survey of 5G technologies: Regulatory, standardization and industrial perspectives," *Digit. Commun. Networks*, no. September, pp. 1–11, 2018.
 - [11] C. A. La and D. Infantil, "Plan Nacional," pp. 1–42, 2008.
 - [12] H. Technologies, "5G Network Architecture: A High-Level Perspective," 2015.
 - [13] 3GPP, "<http://www.3gpp.org/>." [Online]. Available: <http://www.3gpp.org/>.
 - [14] H. Technologies, "<http://www.huawei.com/minisite/5g/en/defining-5g.html>."
 - [15] S. E. Assessment, "European Commission," *Environment*, vol. 1997, no. January, pp. 1–2, 2001.
 - [16] Qorvo, "Defining What's Possible: The Path to 5G We love knotty problems."
 - [17] J. Barrett, "5G Spectrum Bands," 2017. [Online]. Available: <https://gsacom.com/5g-spectrum-bands/>.
 - [18] U. Rehfuess, "5G for people and things 700 MHz band as key to success for wide-area 5G services 5G will change the world," 2017.
 - [19] ITU: Committed to connecting the world, "ITU: Committed to connecting the world." [Online]. Available: <https://www.itu.int/en/Pages/default.aspx>. [Accessed: 25-May-2018].
 - [20] L. Al Timimi, "Estudio por simulación de la técnica 'LINC' para la mejora de la eficiencia en amplificadores de potencia," Universidad de Sevilla, 2016.
 - [21] J. Browne, "What's the Difference Between GaN and GaAs?" [Online]. Available: <http://www.mwrf.com/materials/what-s-difference-between-gan-and-gaas>. [Accessed: 24-May-

-
- 2018].
- [22] A. Rubio, *Diseño de circuitos y sistemas integrados*. UPC, 2003.
 - [23] D. C. del Castillo, "Diseño de amplificadores de potencia de RF en la tecnología de GaN," UNIVERSIDAD DE SEVILLA, 2010.
 - [24] U. K. Mishra, P. Parikh, and Yi-Feng Wu, "AlGaIn/GaN HEMTs-an overview of device operation and applications," *Proc. IEEE*, vol. 90, no. 6, pp. 1022–1031, Jun. 2002.
 - [25] T. L. Floyd and R. Salas Navarro, "Transistores De Efecto De Campo (Fet)," *Dispos. electrónicos*, pp. 368–436, 2008.
 - [26] N. W. Cheng, "EE40 Lec 19 EE40 Lec 19 MOSFET MOSFET," Berkeley, 2009.
 - [27] J. Diaz, "El transistor MOS," 1953.
 - [28] M. Chaniotakis and R. Cory, "Bipolar Junction Transistor Circuits Biasing.," pp. 1–13, 2006.
 - [29] A. P. Malvino, *Principios de Electronica*, 6th ed. Toronto: McGraw-Hill International Edition, 2000.
 - [30] G. Longo, F. Fusillo, and F. Scrimizzi, "AN4191 Application note Power MOSFET: R g impact on applications," 2012.
 - [31] X. Zhang, S. Li, T. Moody, H. Xue, and S. Ren, "Multi-finger MOSFET low noise amplifier performance analysis," in *NAECON 2014 - IEEE National Aerospace and Electronics Conference*, 2014, pp. 342–345.
 - [32] C. KELLEK, "A Fully Integrated K-Band Power Amplifier Design Using Digital 0.18 μm CMOS Technology," Bilken University, 2011.
 - [33] S. Alemdar, "A band selecting UHF class-AB GaN power amplifier with 40 dBm output power," Bilkent University, 2013.
 - [34] A. Cabezuelo España and C. Crespo Cadenas, "DISEÑO DE UN LNA A 5.5GHZ UTILIZANDO ADS," Escuela Superior de Ingenieros de Sevilla.
 - [35] L. Backefeldt and A. Özcelik, "Design and Modelling of a 2 W MMIC Ku-band Power Amplifier for TT & C Transmitters. A collaboration between Chalmers University of Technology and," CHALMERS UNIVERSITY OF TECHNOLOGY, 2014.
 - [36] P. Saad, "Design of a Highly Linear Power Amplifier Based on HBT (MSc thesis)," University of Gävle, 2006.
 - [37] D. A. Neamen, "Semiconductor Physics and Devices: Basic Principles," in *Semiconductor Physics and Devices: Basic Principles*, 2nd ed., McGraw-Hill International Edition, 1992, pp. 480–493.
 - [38] M. Lajovic, C. Design, and L. U. Bordeaux, "Amplifier for 3G / 4G mobile communications," L'UNIVERSITÉ BORDEAUX y L'UNIVERSITÉ DE BRASÍLIA ÉCOLE, 2014.

-
- [39] B. Kim, J. Kim, I. Kim, and J. Cha, "The Doherty power amplifier," *IEEE Microw. Mag.*, vol. 7, no. 5, pp. 42–50, Oct. 2006.
 - [40] B. Kim, *Doherty power amplifiers : from fundamentals to advanced design methods*. .
 - [41] Y. Yew and Y. Li, "Performance Evaluation for OFDM PAPR Reduction Methods," Taiwan, 2006.
 - [42] Keysight, "Advanced Design System (ADS) | Keysight (formerly Agilent's Electronic Measurement)," 2016. [Online]. Available: <https://www.keysight.com/en/pc-1297113/advanced-design-system-ads?cc=US&lc=eng>. [Accessed: 28-May-2018].
 - [43] J. Miguel Ibañez de Aldecoa Quintana, "NIVELES DE MADUREZ DE LA TECNOLOGÍA. TECHNOLOGY READINESS LEVELS. TRLS."
 - [44] C. A. González Zúñiga, "Estudio por simulación de la técnica 'Envelope Tracking' para la mejora de la eficiencia en amplificadores de potencia," Universidad de Sevilla, 2015.
 - [45] J. Corsini, J. Malaver, and S. Lushllari, "90 Degree Hybrid Coupler," Worcester, 2013.
 - [46] "LC Hybrid Quadrature Coupler Designer." [Online]. Available: https://leleivre.com/rf_lumpedgohybrid.html. [Accessed: 30-May-2018].
 - [47] S. Raychaudhuri, "Introduction to Monte Carlo simulation," in *2008 Winter Simulation Conference*, 2008, pp. 91–100.
 - [48] J.-C. Walter and G. T. Barkema, "An introduction to Monte Carlo methods," *Physica A*, vol. 418, pp. 78–87, 2015.
 - [49] D. Gustafsson, J. C. Cahuana, D. Kuylensstierna, I. Angelov, N. Rorsman, and C. Fager, "A Wideband and compact GaN MMIC doherty amplifier for microwave link applications," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 2, pp. 922–930, 2013.
 - [50] R. Behtash *et al.*, "Coplanar AlGaIn/GaN HEMT power amplifier MMIC at X-band," in *2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No. 04CH37535)*, pp. 1657–1659.
 - [51] M. Elmala, J. Paramesh, and K. Soumyanath, "A 90-nm CMOS Doherty Power Amplifier With Minimum AM-PM Distortion," *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1323–1332, Jun. 2006.
 - [52] D. Kang, D. Kim, Y. Cho, B. Park, J. Kim, and B. Kim, "Design of Bandwidth-Enhanced Doherty Power Amplifiers for Handset Applications," *IEEE Trans. Microw. Theory Tech.*, vol. 59, no. 12, pp. 3474–3483, Dec. 2011.
 - [53] P. Colantonio, F. Giannini, R. Giofre, E. Limiti, and L. Piazzon, "An X-Band GaAs MMIC Doherty Power Amplifier," in *2010 Workshop on Integrated Nonlinear Microwave and Millimeter-Wave Circuits*, 2010, pp. 41–44.
 - [54] C. O. de I. de Telecomunicaciones, "DERECHOS DE VISADO A PARTIR DEL 1-03-2017 El

VISADO DE DOCUMENTOS EN LA INGENIERÍA DE LAS TELECOMUNICACIONES.”

Parte III

Pliego de condiciones

Los recursos hardware empleados para el desarrollo del presente TFG son:

- Ordenador portátil Macbook Pro 13". Este ordenador cuenta con procesador Intel Core i5 de 2.5 GHz (*turbo boost*), 8 GB de memoria RAM DDR3 y un almacenamiento de SSD de 500 GB.

En cuanto a los recursos software empleados para el desarrollo del presente TFG son:

- Sistema Operativo Windows 10.
- Sistema Operativo macOS Sierra 10.12.
- ADS 2016.
- Kit de diseño de OMMIC de GaN.
- Microsoft Office 2016: Paquete de software de Microsoft.
 - Microsoft Word.
 - Microsoft PowerPoint.
 - Microsoft Visio.
 - Microsoft Project.

Parte IV

Presupuesto

En este capítulo se recogen los gastos generados por el presente TFG. El presupuesto se divide en las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envío.

Trabajo tarifado por tiempo empleado

En este apartado se incluyen los honorarios a percibir por el ingeniero en el desarrollo del proyecto en función de las horas de trabajo que se han empleado en su realización. El importe de dichas horas de trabajo se calcula siguiendo las recomendaciones del Colegio Oficial de Ingenieros Técnicos de Telecomunicaciones (COITT) [54] mediante la ecuación (P.1).

$$\text{Honorarios}(\text{€}) = H_n \cdot 14.48\text{€} + H_e \cdot 20.27\text{€} \quad (\text{P.1})$$

Siendo:

- H_n : Horas realizadas en la jornada laboral.
- H_e : Horas realizadas fuera de la jornada normal de trabajo.

Para desarrollar este proyecto se necesitaron 300 horas, todas ellas realizadas dentro del horario normal de la jornada de trabajo. Por tanto, sustituyendo estos datos en la ecuación (5.1), El coste total de los honorarios asciende a:

$$\text{Honorarios}(\text{€}) = 300 \cdot 14.48 + 0 \cdot 20.27 = 4.344,00\text{€} \quad (\text{P.1})$$

Los honorarios totales por tiempo dedicado, libres de impuestos, suman un total de *cuatro mil trescientos cuarenta y cuatro euros*.

Amortización del inmovilizado material

En el inmovilizado material se consideran tanto los recursos hardware como software empleados para la realización del TFG.

Se estipula el coste de amortización de los equipos hardware para un período de 3 años utilizando un sistema de amortización lineal, en el que se supone que el material se devalúa de forma constante a lo largo de su vida útil. La cuota de amortización se calcula haciendo uso de la ecuación (P.2)

$$Cuota\ anual = \frac{Valor\ de\ adquisición - Valor\ residual}{Número\ de\ años\ de\ vida\ útil} \quad (P.2)$$

Amortización del material hardware

En la Tabla VII se muestra el hardware necesario para la realización del TFG, indicando para cada elemento su valor de adquisición, valor residual y coste de amortización, teniendo en cuenta un tiempo de uso de 5 meses.

Tabla VII: Costes de amortización del hardware.

Elemento	Valor de adquisición	Valor residual	Coste anual	Coste de la amortización
Ordenador portátil Macbook Pro 13"	1000€	450€	91,60€	38.15€
Total	1000€	450€	91.60€	38.15€

Por tanto, el coste total del material hardware asciende a *treinta y ocho con quince céntimos*.

Amortización del material software

Para el cálculo de los costes de amortización del material software se considera que la universidad ha proporcionado todas las licencias y por tanto no ha repercutido ningún tipo de coste a nosotros. Esto se muestra en la Tabla VIII.

Tabla VIII: Costes de amortización del software.

Software	Valor de adquisición	Valor residual	Coste de amortización
Windows 10	0	0	0
Licencia anual ADS 2017	0	0	0
Paquete Microsoft Office	0	0	0
Total	0	0	0

Por tanto, el coste total del material software asciende a *cero euros*.

P.1 Redacción del trabajo

El coste de redacción se calcula haciendo uso de la ecuación (P.3).

$$R = 0,05 \cdot P \cdot C_n \quad (P.3)$$

Donde P es el presupuesto y C_n es el coeficiente de ponderación del presupuesto.

El valor del presupuesto se calcula como la suma del coste de todas las secciones anteriores, tal como se muestra en la Tabla IX.

Tabla IX: Presupuesto total sin IGIC.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4344.00 €
Amortización del material hardware	38.15 €
Amortización del material software	0 €
Total (P)	4,382.15

Por otra parte, para este proyecto el coeficiente de ponderación C_n tiene un valor de unidad debido a que el coste total del proyecto no supera los 30.050,00 €. Por tanto:

$$R = 0,07 \cdot 5,099.75\text{€} = 356.98\text{€}$$

Por lo tanto, el coste de redacción asciende a *trescientos cincuenta y seis euros con noventa y ocho céntimos*.

P.2 Derechos de visado del COITT

El COITT establece que, para proyectos técnicos de carácter general, los derechos de visado para 2017 se calculan con la ecuación (P.4).

$$V = 0,0035 \cdot P \cdot C \quad (P.4)$$

Donde P es el presupuesto del proyecto y C es el coeficiente reductor en función del presupuesto.

El presupuesto acumulado del proyecto (P) se calcula en la Tabla X, el coeficiente C es igual a la unidad ya que el coste total del proyecto no supera los 30.050,00€.

Tabla X: Presupuestos totales con redacción del trabajo.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00 €
Amortización del material hardware	38.15 €
Amortización del material software	0 €
Redacción del trabajo	356,96 €
Total (P₁)	4,739.11€

$$V = 0,0035 \cdot 4,739.11\text{€} = 16.59\text{€}$$

Por lo tanto, el coste de del visado del COIT es de *dieciséis euros con cincuenta y nueve céntimos*.

P.3 Costes de tramitación y envío

Los costes de tramitación y envío están estipulados en 6,00€ por cada documento visado de forma telemática. Aplicación de impuestos

A la actividad económica de este TFG se le debe aplicar el Impuesto General Indirecto Canario (IGIC), el cual graba el presupuesto con un 7%. Por tanto, el presupuesto total del proyecto sería el que se muestra en la Tabla XI.

Tabla XI: Presupuesto total del proyecto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	38,15 €
Amortización del material software	0 €
Redacción del trabajo	356,96 €
Costes de visado del COITT	19,10€
Coste de tramitación y envío	6,00€
Subtotal	4,761.70 €
IGIC (7%)	383.73€
Total	5,095.19€

El presupuesto total del trabajo “Diseño de un amplificador integrado en configuración Doherty en tecnología GaN” asciende a *cinco mil noventa y cinco euros con diecinueve céntimos*.



Firmado: Roberto Rodríguez Hernández

Parte V

Anexos

Anexo 1: Esquemático final

MeasEqn
Power_Calcs
Pdel_W=0.5*real(Vload[1]*conj(Iload[1]))
Pdel_dBm=10*log(Pdel_W)/30
Pdc=real(Vs_high_main[0]*Is_high_main[0]+Vs_high_aux[0]*Is_high_aux[0]+Vs_low_main[0]*Is_low_main[0]+Vs_low_aux[0]*Is_low_aux[0])
P_in_Watts=0.5*real(Vinput[1]*conj(Iinput[1]))
PAE=max2(100*(Pdel_W-P_in_Watts)/Pdc,0)
Gain_Transducer=Pdel_dBm-RFpower

VAR
RedesAdaptacion_Main
Cout_main=3.360925 pF
Cin_main=4.095555 pF

VAR
RedesAdaptacion_Aux
Cout_aux=1.39655 pF
Lout_aux=4.33917 nH
Cin_aux=8.74252 pF

VAR
Tensiones_Polarizacion
Vds_main=9
Vgs_main=-1.5
Vds_aux=12
Vgs_aux=-3.1

VAR
ParametrosHibrido
L1_hybrid=2.24375 nH
W_C=50 um
L2_hybrid=5.2 nH
C_hybrid=1.09366 pF

VAR
ValoresCapasLayout
WIN_C=36 um
Lvh=50 um
WIN_L=14 um
LVIA=10 um
WM1_C=35 um
WM1_L=15 um

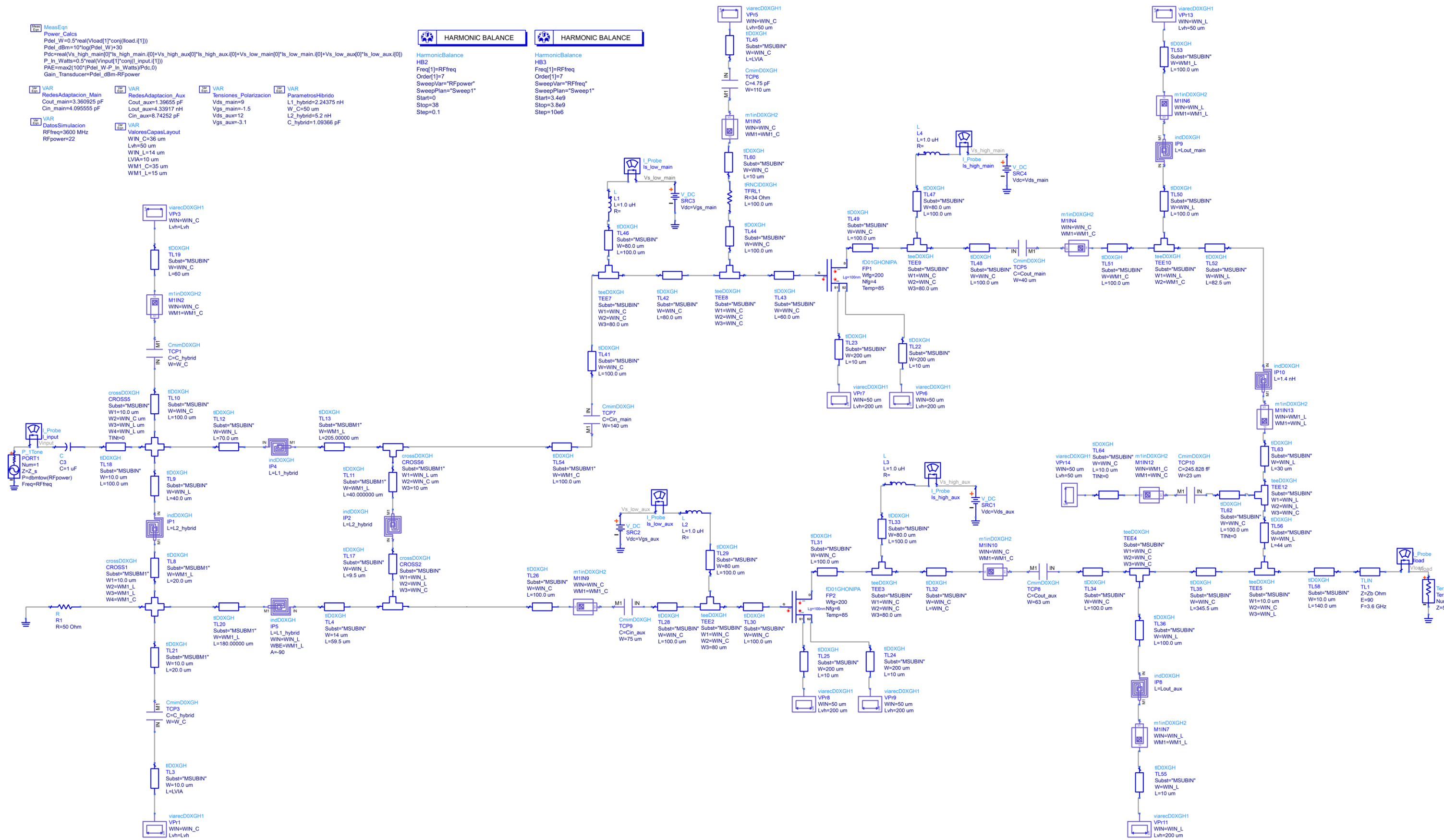
VAR
DatosSimulation
RFfreq=3600 MHz
RFpower=22

HARMONIC BALANCE

HarmonicBalance
HB2
Freq[1]=RFfreq
Order[1]=7
SweepVar="RFpower"
SweepPlan="Sweep1"
Start=0
Stop=38
Step=0.1

HARMONIC BALANCE

HarmonicBalance
HB3
Freq[1]=RFfreq
Order[1]=7
SweepVar="RFfreq"
SweepPlan="Sweep1"
Start=3.4e9
Stop=3.8e9
Step=10e6



Anexo 2: Layout final

