

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE GRADO

Diseño de un cabezal de recepción para 802.15.4
mediante técnicas de reutilización de corriente.

TITULACIÓN: Grado en Ingeniería en Tecnologías de la Telecomunicación

AUTOR: Miguel Jesús Sicilia Cabrera
TUTORES: Dr. D. Francisco Javier del Pino Suárez
D. Sergio Mateos Angulo

FECHA: Enero 2018

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE GRADO

Diseño de un cabezal de recepción para 802.15.4
mediante técnicas de reutilización de corriente.

HOJA DE FIRMAS

Alumno

Miguel Jesús Sicilia Cabrera

Tutor

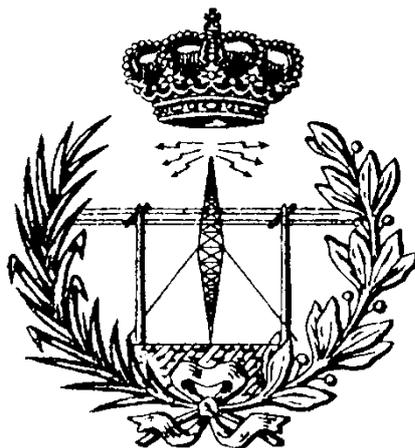
Fdo.: Dr. Francisco Javier del
Pino Suarez

Cotutor

Fd.: D. Sergio Mateos Angulo

Fecha: Enero 2018

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO FIN DE GRADO

Diseño de un cabezal de recepción para 802.15.4
mediante técnicas de reutilización de corriente.

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Secretario

Vocal

Fdo.: _____

Fdo.: _____

Fdo.: _____

Fecha: Enero 2018

Índice

Parte I: Memoria	1
1. Introducción.....	3
1.1 Objetivos	4
1.2 Estructura de la memoria	5
2. El estándar IEEE 802.15.4	7
2.1 Redes de sensores inalámbricos	7
2.2 Introducción al estándar IEEE 802.15.4.....	8
2.3 Tipos de dispositivo.....	11
2.4 Topologías de red.....	12
2.5 Seguridad.....	13
2.6 Aplicaciones	13
3. Arquitectura del receptor	15
3.1 Receptor heterodino simple	15
3.2 Receptor superheterodino	17
3.3 Receptor homodino	19
3.3.1 Receptor cero-IF	20
3.3.2 Receptor Low-IF	22
3.4 Arquitectura del cabezal propuesta.....	24
4. Tecnología	27
4.1 El transistor MOSFET	27
4.1.1 Funcionamiento	28
4.1.2 Transistor UMC 65 μm 1.2V LL-LVT RF MOSFET	32
4.2 Condensador	33
4.2.1 Condensador 2.0fF/ μm^2 Metal-Insulator-Metal (MIM) Capacitor	34
4.1 Bobina	36

4.1.1	Bobina Low-K 3.25um Metal8 1P8M1T0F1U Inductor	37
5.	Blixer	39
5.1	Blixer	39
5.2	Balun-LNA.....	39
5.2.1	Comparación del LNA con y sin gain boosting	43
5.2.2	Comparación de resultados	51
5.3	Mezclador.....	54
5.3.1	Arquitectura de mezclador propuesta: Célula de Gilbert	56
5.3.2	Ciclo de trabajo del mezclador del 50% vs 25%	61
6.	Diseño del cabezal de recepción	65
6.1	Diseño propuesto	65
6.2	El mezclador.....	67
6.2.1	Comparación 25% ciclo de trabajo vs 50%	69
6.3	Resultados de simulación	71
6.3.1	Adaptación de entrada	71
6.3.2	Ganancia y NF	73
6.3.3	IP3	74
7.	BLIXER+Filtro.....	77
7.1	Filtrado.....	77
7.1.1	Filtro bicuadrático	77
7.1.2	Estructura de la carga con polo complejo	87
7.2	BLIXER + FILTRO.....	88
8.	Receptor completo	91
8.1	Filtro polifásico.....	91
8.2	Amplificador de Ganancia Programable (PGA)	98
8.3	Resultados del receptor completo	100
8.3.1	Consumo de corriente	101

8.3.2	Adaptación de entrada	101
8.3.3	Ganancia y NF para toda la banda del estándar	102
8.3.4	Ruido para un canal	103
8.3.5	Respuesta en frecuencia del receptor	104
8.3.6	IIP3 en banda	105
8.3.7	IIP3 fuera de banda	106
9.	Conclusiones.....	109
9.1	Resultados y conclusiones	109
9.2	Líneas futuras.....	111
Parte II: Bibliografía.....		113
Parte III: Presupuesto.....		119
Parte IV: Anexos.....		125

Índice de figuras

Figura 1-1: Diagrama de bloques de un transceptor.....	4
Figura 2-1: Tecnologías inalámbricas.....	7
Figura 2-2: Arquitectura del protocolo.....	9
Figura 2-3: Bandas de frecuencia y canales del estándar 802.15.4	9
Figura 2-4: Flujo de intercambio de tramas.....	10
Figura 2-5: Estructura del paquete de datos del estándar 802.15.4	11
Figura 2-6: Topologías de red	13
Figura 2-7: Aplicaciones de ZigBee	14
Figura 3-1: Diagrama de bloques de un receptor heterodino simple	15
Figura 3-2: Problema frecuencia imagen.....	16
Figura 3-3: Filtro de rechazo imagen.....	16
Figura 3-4: Problema de mitad de IF	17
Figura 3-5: Diagrama de bloques de un receptor superheterodino	17
Figura 3-6: Etapas de filtrado en un receptor superheterodino	18
Figura 3-7: Receptor superheterodino para sistemas digitales.....	19
Figura 3-8: Diagrama de bloques de un receptor homodino	19
Figura 3-9: Diagrama de receptor homodino para sistemas digitales.....	19
Figura 3-10: Receptor cero-IF	20
Figura 3-11: Problema de DC offset	21
Figura 3-12: Efecto de la simetría en una constelación QPSK.....	21
Figura 3-13: Distorsión de segundo orden.....	22
Figura 3-14: Diagrama de bloques de un receptor Low-IF.....	23
Figura 3-15: Filtro polifásico como solución al problema de la frecuencia imagen	23
Figura 3-16: Diagrama de bloques receptor LOW-IF apilado.....	24
Figura 4-1: Sección transversal de transistores MOSFET.....	27
Figura 4-2: Modelo transistor MOSFET.....	29
Figura 4-3: Transistor Mosfet tipo N en zona de corte.....	30
Figura 4-4: Transistor Mosfet tipo N en zona lineal u óhmica.....	30
Figura 4-5: Transistor Mosfet tipo N en zona de saturación.....	31
Figura 4-6: Ventana de ADS para la introducción de valores del transistor MOSFET tipo N.....	32

Figura 4-7: Diagrama de un condensador integrado MIM.	33
Figura 4-8: Diagrama de un condensador integrado MOM.....	34
Figura 4-9: Ventana de ADS para la introducción de valores del condensador.....	35
Figura 4-10: Diagrama de una bobina integrada cuadrada.....	36
Figura 4-11: Ventana de ADS para la introducción de valores de la bobina.	37
Figura 5-1: Topología básica CG-CS.	40
Figura 5-2: Topología básica del LNA CG-CS con gain boosting.	42
Figura 5-3: Circuito Gain boosting.....	43
Figura 5-4: Esquemáticos del Balun-LNA (a) Sin gain boosting (b) Con gain boosting.	44
Figura 5-5: Esquemático del LNA sin AGB diseñado en ADS.....	45
Figura 5-6: PARAMETER SWEEP.....	45
Figura 5-7: NF vs S21 dimensionado del par diferencial.	46
Figura 5-8: : NF vs S21 dimensionado de la carga activa.	47
Figura 5-9: Adaptación de entrada.	48
Figura 5-10: Esquemático del LNA con AGB diseñado en ADS.....	49
Figura 5-11: NF vs S21 dimensionado del par diferencial y del AGB.....	50
Figura 5-12: NF vs S21 dimensionado de la carga activa.	50
Figura 5-13: Adaptación de la entrada.....	51
Figura 5-14: Comparación entre los diseños. (a) Ganancia (b) NF (c) IIP3 sin gain boosting (d) IIP3 con gain boosting (e) Adaptación de entrada sin gain boosting (f) Adaptación de entrada con gain boosting.....	53
Figura 5-15: Diagrama de bloques de un mezclador ideal.	55
Figura 5-16: Circuito mezclador básico con MOSFET.....	57
Figura 5-17: Célula de Gilbert con MOSFET.	59
Figura 5-18: Circuito equivalente en pequeña señal del par diferencial.	60
Figura 5-19: Mezclador ideal.	62
Figura 5-20: (a) Ciclo de trabajo del 25% (b) Ciclo de trabajo del 50%.	63
Figura 5-21: Ganancia vs ciclo de trabajo.....	63
Figura 6-1: Diseño final del BLIXER.....	65
Figura 6-2: Diseño del BLIXER en ADS.	66
Figura 6-3: Señal del LO utilizada por el mezclador.	67
Figura 6-4: Parámetros del receptor.....	68

Figura 6-5: HARMONIC BALANCE barrido de factorduty.....	70
Figura 6-6: Ganancia y NF VS Ciclo de trabajo.	71
Figura 6-7: Adaptación de entrada.....	72
Figura 6-8: Ganancia y NF para la banda de frecuencias del estándar 802.15.4	73
Figura 6-9: NF para un canal.....	74
Figura 6-10: Fundamental y productos de intermodulación.	75
Figura 6-11: Punto de intercepción IIP ₃ del receptor	75
Figura 7-1: Red de filtrado RLC.....	77
Figura 7-2: Circuito RLC con bobina activa.....	78
Figura 7-3: Filtro paso bajo bicuadrático.....	80
Figura 7-4: Respuesta en frecuencia filtro paso bajo.....	81
Figura 7-5: Filtro paso banda.....	82
Figura 7-6: Filtro bicuadrático paso banda.	84
Figura 7-7: Respuesta en frecuencia del filtro paso banda bicuadrático.	85
Figura 7-8: Bobina activa.....	86
Figura 7-9: Filtro bicuadrático con bobina activa.	86
Figura 7-10: Carga propuesta	87
Figura 7-11: Circuito en pequeña señal de la carga de polo complejo.....	87
Figura 7-12: Polo complejo de primer orden de la carga.....	88
Figura 7-13:BLIXER + Filtro.....	89
Figura 7-14: Respuesta en frecuencia.	90
Figura 8-1: Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia imagen.....	92
Figura 8-2: Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura.	93
Figura 8-3: Implementación práctica del rechazo de la frecuencia imagen de la arquitectura de la Figura 6.2.....	94
Figura 8-4: Conversión de un filtro paso bajo a uno polifásico centrado en ω_{FI} . (a) Representación compleja (b) Implementación mediante diagramas de bloques.	95
Figura 8-5: (a) Filtro C-L-C, (b) Implementación gm-C, (c) implementación gm-C polifásica.....	97
Figura 8-6: Estructura del filtro polifásico.....	98
Figura 8-7: Esquemático del amplificador de ganancia programable.....	99

Figura 8-8: Esquemático del OTA.....	100
Figura 8-9: Adaptación de entrada.	102
Figura 8-10: Ganancia y NF total del receptor.	103
Figura 8-11: NF para un canal.....	104
Figura 8-12: Ganancia de conversión.	105
Figura 8-13: Fundamental y productos de intermodulación.....	105
Figura 8-14: IIP3 en banda.	106
Figura 8-15: Fundamental y productos de intermodulación.....	106
Figura 8-16: IIP3 fuera de banda.....	107

Índice de tablas

Tabla 2-1:Características del ZigBee	14
Tabla 4-1:Ecuaciones que modelan el funcionamiento del transistor MOSFET.....	31
Tabla 4-2: Parámetros de escalado y restricciones del transistor	33
Tabla 4-3: Parámetros de escalado y restricciones del condensador	35
Tabla 4-4: Parámetros de escalado y restricciones de la bobina	37
Tabla 5-1: Valores del dimensionado del circuito.....	52
Tabla 5-2:Comparación entre las características de los 2 LNAs.....	54
Tabla 9-1: Comparativa del receptor con otros diseños.....	110
Tabla 9-2: Costes de amortización hardware.....	122
Tabla 9-3: Costes de amortización software.....	123
Tabla 9-4: Costes de material fungible.....	124
Tabla 9-5: Costes totales	124

Acrónimos

AC: Alternate current

ADS: *Advanced Design System*

Balun: *balanced-unbalanced*

BB: *Base Band*

BLIXER: Balun-LNA-Mixer

CG: *Common Gate*

CMFB: *Common Mode Feedback*

CMOS: complementary metal-oxide-semiconductor

CMRR: *Common Mode Rejection Ratio*

CS: *Common Source*

CSMA/CA: *Carrier Senser Multiple Access with Collision Avoidance*

CTS: *Clear to Send*

DC: *Direct Current*

DCB: *Diferential current balancer*

DIFS: *Distributed Inter-Frame Space*

FFD: *Full Function Device*

GS: *Gate Source*

IEEE: *Institute of Electrical and Electronics Engineers*

IF: *Intermediate Frequency*

IIP3: *Third-Order Input Intercept Point*

IoTs: *Internet of Things*

IP3: *Third-Order Intercept Point*

LNA: *Low Noise Amplifier*

LO: *Local Oscillator*

LR-WPAN: *Low-Rate Wireless Local Area NetWork*

LVT: *Low Threshold Voltage*

MIM: *Metal-Insulator-Metal*

MOM: *Metal-Oxide-Metal*

MOSFET: *Metal-oxide-semiconductor Field-effect transistor*

NF: Noise Figure

NFdsb: Noise Figure double-side band

NF_{ssb}: *Noise Figure single-side band*
NMOS: *n-channel MOSFET*
OIP₃: *Third-Order output intercept point*
OSI: *Open Systems Interconnect*
OTA: *Operational Transconductance Amplifier*
PMOS: *p-channel MOSFET*
Q: *Quality Factor*
RF: *Radio Frequency*
RFD: *Reduced Function Device*
RTS: *Request to Send*
SIFS: *Short Inter-Frame Space*
TFG: *Trabajo Fin de Grado*
UMC: *United Microelectronics Corporation*
VCVS: *Voltage Controlled Voltage Source*
WLAN: *Wireless Local Area Network*
WMAN: *Wireless Metropolitan Area Network*
WPAN: *Wireless Personal Area Network*
WWAN: *Wireless Wide Area Network*

Parte I: Memoria

1. Introducción

El desarrollo de transceptores CMOS (*complementary metal-oxide-semiconductor*) de baja potencia para la banda de 2,4 GHz ha aumentado a lo largo de los últimos años debido a la demanda de dispositivos de bajo coste y la necesidad de implementar baterías de larga vida útil. A pesar de la existencia de diferentes estándares tales como el IEEE 802.11 o el IEEE 802.15.11, que operan en esta banda, el estándar IEEE 802.15.4 satisface la demanda de bajo coste y bajo consumo en el diseño de transceptores de baja tasa binaria. El estándar IEEE 802.15.4 permite trabajar en tres bandas de frecuencia: en la banda de 868 MHz en Europa, en la banda de 915 MHz en América y en la banda de 2,4 GHz a nivel global. La tasa de datos del estándar varía desde los 20 a los 250 kb/s en función de la banda en la que se opere. En cuanto a las aplicaciones de este estándar, se pueden nombrar una gran cantidad de ellas, como pueden ser la automoción, la domótica, aplicaciones industriales, sistemas médicos, aplicaciones comerciales, etc. Para estas aplicaciones, la batería debería durar entre varios meses y un año sin ser reemplazada.

Un transceptor se puede dividir en varios bloques claramente diferenciados. En primer lugar, hay dos bloques principales como son el receptor y el transmisor. Dentro de cada uno de estos bloques se puede distinguir un bloque denominado cabezal. El cabezal (de recepción o de transmisión) trabaja en la RF (Radio frecuencia) y es el encargado de adaptar la señal tras ser recibida, o para ser transmitida. Tras el cabezal se encuentra la etapa de filtrado, que permite al receptor o al transmisor quedarse con la banda de frecuencia deseada. Por otra parte, dentro de un transceptor se encuentra el sintetizador de frecuencias. Este bloque incluye el oscilador local (LO: *Local Oscillator*) que genera la señal necesaria para convertir la señal de entrada a una frecuencia determinada, a través de un mezclador. En la Figura 1-1 se muestra el diagrama de bloques de un transceptor, en el cuál se pueden apreciar los distintos elementos que se han mencionado.

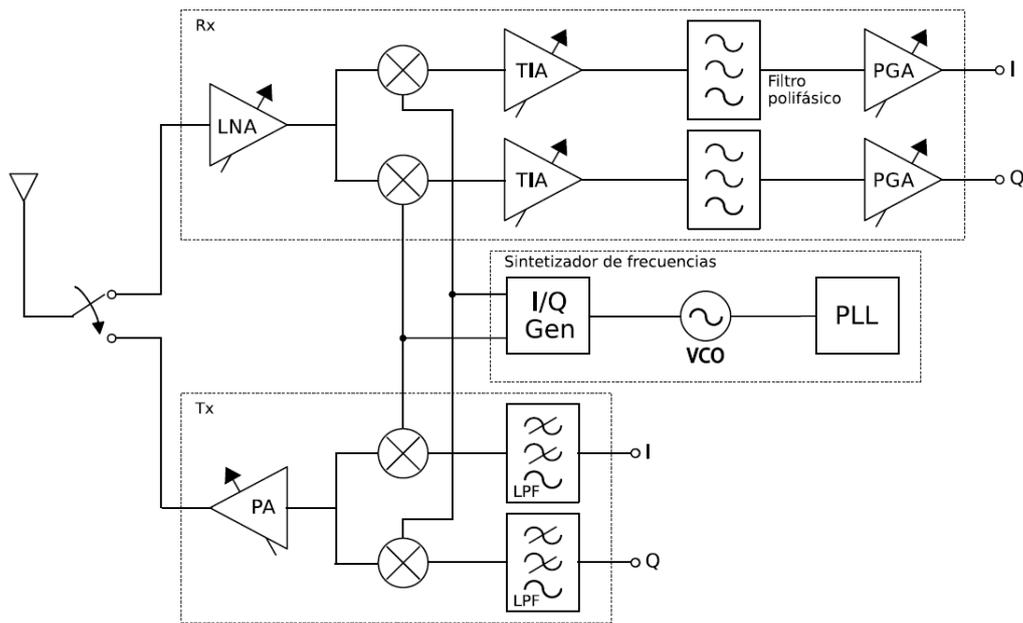


Figura 1-1: Diagrama de bloques de un transceptor.

Este TFG (trabajo fin de grado) se centra en el cabezal de recepción, que corresponde a la primera etapa de un receptor, donde se realiza un primer acondicionamiento de la señal. Típicamente, un cabezal de recepción en un circuito de radiofrecuencia, está compuesto por una serie de elementos: El amplificador de bajo ruido (LNA: *Low Noise Amplifier*), encargado de adaptar la señal proveniente de la antena y amplificarla, introduciendo el menor ruido posible. El siguiente es el mezclador, encargado de bajar la señal desde la frecuencia de entrada a una frecuencia de trabajo más baja, mediante la mezcla de la señal de entrada con una señal generada por un LO. En este proyecto también se añadirán un filtro bicuadrático y un filtro de polo complejo para seleccionar el canal. Cabe destacar, que toda esta circuitería se apilará, haciendo uso de técnicas de reutilización de corriente, pudiendo aumentar así la eficiencia en consumo del cabezal de recepción [1]–[4].

1.1 Objetivos

El objetivo principal de este TFG es obtener un cabezal de recepción basado en la arquitectura *low-IF* haciendo uso de técnicas de reutilización de corriente para el estándar IEEE 802.15.4 usando la tecnología CMOS 65 nm. Además, se pretende que dicho cabezal de recepción sea de bajo consumo de potencia y bajo ruido. En concreto se empleará una estructura denominada BLIXER (Balun-LNA-Mixer), la cual combina un Balun, es decir, un

circuito conversor de asimétrico a diferencial, un amplificador de bajo ruido o LNA y un Mezclador. Todos estos circuitos estarán apilados en una única estructura que permite la reutilización de la corriente de polarización con lo que se reduce de forma considerable el consumo del cabezal. Un objetivo adicional es añadir una primera etapa de filtrado que también estará apilada con el resto del BLIXER.

Para ello se utiliza la herramienta software ADS (*Advanced Design System*) de la empresa Keysight. Esta herramienta es una de las más potentes y más utilizadas para el diseño de circuitos de radiofrecuencia. Este software posee una gran cantidad de librerías y opciones de simulación lo cual lo convierte en una herramienta idónea para realizar los distintos diseños que forman parte de este TFG.

Para poder utilizar los distintos componentes de la tecnología CMOS 65 nm de la fundidora UMC (*United Microelectronics Corporation*), es necesario instalar la librería o kit de diseño (*Design Kit*) correspondiente.

1.2 Estructura de la memoria

Esta memoria está dividida en 9 capítulos y un anexo, además de una lista bibliográfica con las referencias consultadas a lo largo de la elaboración de este TFG, las cuales se describen a continuación.

Parte I: Memoria:

1. **Introducción:** A lo largo de este primer capítulo se realiza una introducción a el presente TFG definiendo además los objetivos marcados para su correcto desarrollo.
2. **El estándar IEEE 802.15.4:** En este capítulo se estudian las características principales del estándar IEE 802.15.4 además de las redes de sensores que lo implementan.
3. **Arquitectura del receptor:** En este capítulo se analizan diferentes arquitecturas de receptores existentes explicando sus ventajas e inconvenientes para, a continuación, seleccionar la más adecuada para el presente diseño.
4. **Tecnología:** En este capítulo, a modo de situar al lector poco experimentado en la tecnología de fabricación utilizada, se realizará una breve descripción de los componentes escogidos para el diseño.
5. **BlixerLIXER:** En este capítulo se describe la topología utilizada tanto del Balun-LNA como del Mezclador. Para ello primero se hace un estudio de las diferentes

posibilidades para finalmente seleccionar la más adecuada para el diseño del cabezal de recepción.

6. **Diseño del cabezal de recepción:** Una vez escogida la topología, se procede a realizar el diseño del BLIXER teniendo en cuenta las peculiaridades del estándar estudiado en el capítulo 2.
7. **BLIXER+Filtro:** Una vez diseñado el BLIXER, en este capítulo se añadirá una primera etapa de filtrado que también estará apilada con el resto del circuito.
8. **Receptor completo:** En este capítulo se analizará brevemente un filtro polifásico y un amplificador de ganancia programable (PGA) diseñados por otros compañeros, los cuales se conectarán a la salida del cabezal de recepción diseñado en los capítulos anteriores, obteniendo así los resultados del receptor completo.
9. **Conclusiones:** En este capítulo se realiza un análisis comparativo de los resultados obtenidos comparándolos con otros diseños encontrados en la literatura. Además, se describen las posibles líneas de trabajo futuras a desarrollar.

Parte II: Bibliografía: Aquí se detallan las distintas fuentes bibliográficas utilizadas.

Parte III: Presupuesto: En este apartado se desglosan los costes de elaboración, de equipos y recursos de este TFG.

Parte IV: Anexos: En este apartado se encuentran los *setups* de simulaciones empleados para obtener los diferentes parámetros a tener en cuenta en un receptor.

2. El estándar IEEE 802.15.4

A lo largo de este capítulo se estudiarán las características principales del estándar IEEE 802.15.4 sobre el cual se implementa la tecnología de ZigBee, utilizada para el desarrollo de redes de sensores.

2.1 Redes de sensores inalámbricos

Una red de sensores inalámbricos se puede definir como una red con numerosos dispositivos distribuidos espacialmente, utilizada para monitorizar distintas condiciones ambientales o físicas, como la temperatura, presión, humedad, etc. [5]. En los últimos años ha proliferado el uso de estas redes frente a las redes cableadas utilizadas hasta entonces. Una de las grandes ventajas de las redes inalámbricas, la cual ha propiciado este crecimiento, es la posibilidad de un despliegue rápido de los sensores sin la necesidad de instalar grandes longitudes de cableado. Además, las redes inalámbricas poseen un alto grado de flexibilidad con respecto a las redes cableadas.

Estas ventajas han propiciado el auge de este tipo de redes en aplicaciones industriales y han surgido distintas tecnologías, como ZigBee o Bluetooth. Para cada aplicación en concreto se deberá elegir qué tecnología utilizar en función de cómo se ajusten las especificaciones de dicha tecnología a los requisitos de la aplicación en cuestión. Tal y como se muestra en la Figura 2-1, hay varias tecnologías que se pueden usar para aplicaciones de redes inalámbricas.

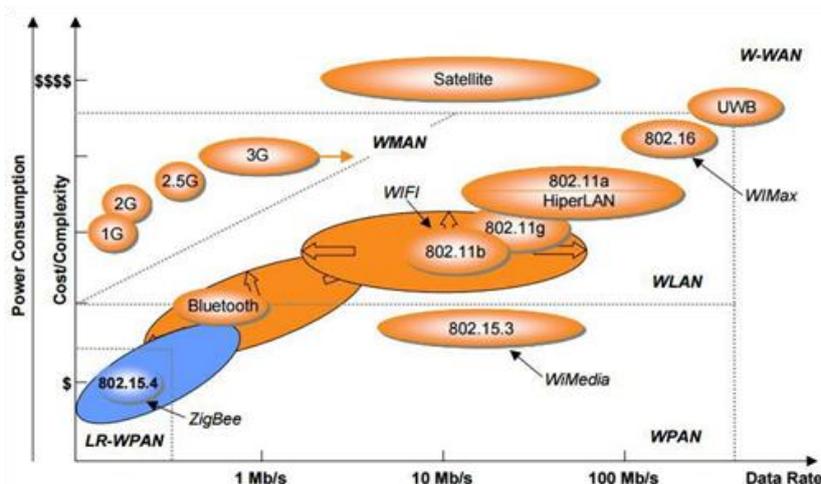


Figura 2-1: Tecnologías inalámbricas.

Como se puede observar, en la Figura 2-1 se representan las distintas tecnologías inalámbricas existentes en función de la tasa binaria, de la potencia consumida y del coste. En la parte inferior se muestran las redes inalámbricas de área personal (WPAN: *Wireless Personal Area Network*) que se caracterizan por su bajo consumo de potencia y por su bajo coste. En la esquina inferior izquierda se muestra un caso especial de este tipo de redes, las redes de baja tasa de datos (LR-WPAN: *Low Rate Wireless Personal Area Network*). A medida que se aumentan tanto la potencia consumida como el coste, se entra en el rango de las redes inalámbricas de área local (WLAN: *Wireless Local Area Network*). Las redes inalámbricas de área metropolitana (WMAN: *Wireless Metropolitan Area Network*) se diferencian de las WLAN en que la tasa de datos máxima es menor. Por último, para una tasa de datos y potencia consumida elevados, existen las redes inalámbricas de área extensa (WWAN: *Wireless Wide Area Network*).

En este trabajo, al desear implementar un receptor de bajo consumo, y al no ser necesaria una tasa binaria elevada, se ha optado por usar la tecnología ZigBee basada en el estándar IEEE 802.15.4.

2.2 Introducción al estándar IEEE 802.15.4

En este apartado se analizarán las principales características del estándar IEEE 802.15.4 centrándonos en los parámetros que afectan al diseño del cabezal de recepción. Este estándar fue desarrollado por el grupo de trabajo 802.15 perteneciente al *Institute of Electrical and Electronics Engineers*. Este grupo de trabajo está especializado en redes inalámbricas de área personal. En concreto, este estándar fue desarrollado por el subgrupo 4 de este grupo de trabajo. El estándar 802.15.4 define el nivel físico y el control de acceso al medio de redes LR-WPAN [6].

Por otro lado, este estándar define las dos primeras capas, la capa física y la de enlace, del protocolo OSI (*Open Systems Interconnect*). Sobre el estándar se basan varias tecnologías, como por ejemplo ZigBee, cuyo objetivo es el de dar una solución completa construyendo los niveles superiores del protocolo. En la Figura 2-2 se muestra en rojo la capa física, en naranja la capa de enlace -que se divide en la subcapa de control de enlace lógico (LLC: *Logical Link Control*) y la subcapa de control de acceso al medio (MAC: *Media Access Control*) y en gris las capas superiores (las capas de red, transporte, sesión, presentación y aplicación según el modelo OSI). Como se puede observar, tal y como se ha comentado, la capa física y la capa

de enlace las gobierna el estándar 802.15.4 mientras que las capas superiores están controladas por ZigBee, u otra tecnología similar.

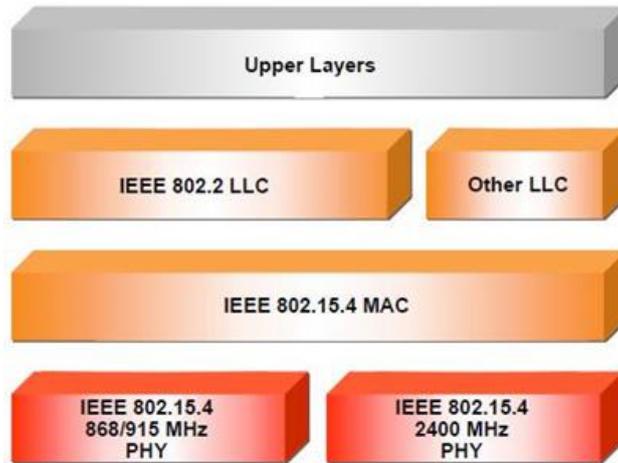


Figura 2-2: Arquitectura del protocolo

En cuanto a las características principales, en primer lugar, cabe destacar que el estándar puede operar en cuatro bandas de frecuencia distintas. Estas bandas se encuentran a 868 MHz (sólo en Europa), a 915 MHz (en América), 780 (en China) y a 2.4 GHz de forma global. Estas bandas de frecuencia cuentan con 1, 10 y 16 canales, respectivamente tal y como se muestra en la Figura 2-3. Además, la tasa de datos varía entre los 20 y los 250 kb/s en función de la banda en la que se trabaje [7].

	Channel	Center Frequency (MHz)	Availability
868 MHz Band	0	868.3	 Europe
	1	908	
915 MHz Band	2	908	 Americas
	3	910	
	4	912	
	5	914	
	6	916	
	7	918	
	8	920	
	9	922	
	10	924	
	2.4 GHz Band	11	
12		2410	
13		2415	
14		2420	
15		2425	
16		2430	
17		2435	
18		2440	
19		2445	
20		2450	
21		2455	
22		2460	
23		2465	
24		2470	
25		2475	
26		2480	

Figura 2-3: Bandas de frecuencia y canales del estándar 802.15.4

Por otro lado, para controlar el acceso al medio se utiliza la técnica de acceso múltiple por detección de portadora con evasión de colisiones (CSMA/CA: *Carrier Senser Multiple Access with Collision Avoidance*). Esto permite la utilización del mismo canal por parte de múltiples estaciones de trabajo, ya que se evitan las colisiones. Cuando una estación desea transmitir datos, primero escucha el canal. Si el canal está vacío por un tiempo determinado, denominado DIFS (*Distributed Inter-Frame Space*), se envía la trama de datos entera. Este período de tiempo corresponde con el espacio entre tramas. En el caso de que el canal esté ocupado, se inicia un temporizador aleatorio que va descontando el tiempo con canal libre.

Cuando el temporizador expira, se transmiten los datos. En cuanto el receptor recibe los datos, envía una trama de reconocimiento una vez transcurra un tiempo SIFS (*Short Inter-Frame Space*). Este tiempo es de menor duración que el período DIFS debido a que la trama de reconocimiento tiene prioridad con respecto a la trama de datos. En la Figura 2-4 se muestra el flujo de intercambio de tramas descrito anteriormente.

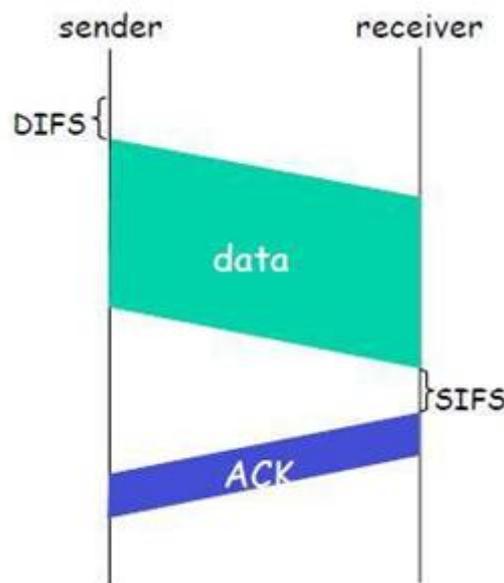


Figura 2-4: Flujo de intercambio de tramas

El protocolo CSMA/CA también permite la reserva del canal para evitar colisiones en las tramas muy largas. En este caso, el emisor envía una trama RTS (*Request To Send*) a la estación base para solicitar permiso para enviar una trama y reservar el canal. Posteriormente, la estación base envía la trama CTS (*Clear To Send*) indicándole al emisor que dispone del canal para poder enviar datos. Esta trama llega a todos los nodos de la red por lo que el resto de nodos sabe que el canal está siendo utilizado por otro nodo. De esta forma se evitan las

colisiones por completo, eso sí, a costa de un mayor retardo en la transmisión. Es por esto por lo que solo se emplea para tramas de una gran longitud [8].

En la Figura 2-5 se muestra la estructura de un paquete de datos de la capa física del estándar 802.15.4. Se pueden diferenciar dos partes principales, la cabecera y los datos. La cabecera está compuesta por 32 bits de sincronización, 8 bits de inicio de paquete y 8 bits que indican el tamaño de los datos a enviar. Por otra parte, se pueden enviar entre 0 y 1016 bits.

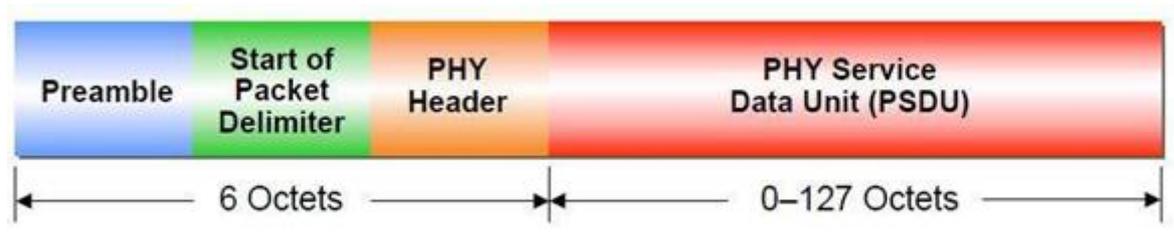


Figura 2-5: Estructura del paquete de datos del estándar 802.15.4

2.3 Tipos de dispositivo

En cuanto a los distintos tipos de dispositivos presentes en una red ZigBee basada en el estándar 802.15.4, se distinguen tres tipos en función del papel que desempeñan en la misma [9]:

- Coordinador:** Solo puede existir un dispositivo de este tipo en cada red. Es el dispositivo encargado de iniciar la formación de la red y, como su propio nombre indica, coordinar las transmisiones que se producen en la red. Por tanto, se trata de un dispositivo que requiere memoria y gran capacidad de computación.

- Router:** Se trata del dispositivo encargado de realizar el enrutamiento de saltos múltiples de los mensajes que se transmiten por la red. Esto permite extender el área que abarca la red, así como gestionar nuevos caminos de comunicación cuando se detecta congestión en la red. A diferencia del dispositivo coordinador, se permite la presencia de más de un router en una red.

- Dispositivo final:** Es el dispositivo básico y más simple de los que se encuentran en la red. Su única función es la de comunicarse con un router o directamente con un coordinador. Sin embargo, no puede realizar operaciones de enrutamiento.

Basándose en su funcionalidad, en una red ZigBee se pueden diferenciar los dispositivos presentes en la red en dos tipos: dispositivos FFD (*Full Function Device*) y dispositivos RFD (*Reduced Function Device*). Los dispositivos FFD se pueden utilizar en cualquier tipo de topología permitida por el estándar y pueden actuar tanto como coordinador de la red, como router o como dispositivo final. Además, pueden entablar comunicación con cualquier dispositivo de la red. En cambio, los dispositivos RFD únicamente pueden ser utilizados en una red que posea una topología en estrella. Esto se debe a que este tipo de dispositivo sólo puede comunicarse con un coordinador. Por tanto, son dispositivos de implementación simple y que solo pueden actuar como dispositivos finales.

2.4 Topologías de red

Una red ZigBee soporta las distintas configuraciones que se detallan a continuación [6]:

- Topología en estrella:** En esta configuración uno de los dispositivos FFD presentes en la red asume el rol de coordinador. Este dispositivo es el encargado de inicializar y controlar el resto de dispositivos pertenecientes a la red. Todos los dispositivos finales, que pueden ser del tipo FFD o RFD, están conectados directamente al dispositivo coordinador y, por tanto, todas las comunicaciones deberán pasar por el mismo. La principal desventaja que aparece al utilizar esta topología es que el alcance máximo de la red está limitado por el máximo alcance del dispositivo coordinador.

- Topología en malla:** En esta topología, al igual que en la topología en estrella, un dispositivo FFD, que actúa como coordinador, es el responsable de inicializar la red y elegir los principales parámetros de la red. Sin embargo, en este caso, la red puede ser ampliada mediante el uso de *routers*. Esta ampliación de la red se puede realizar aumentando el número de nodos existentes en la red, o el alcance de la red. Además, cada nodo puede establecer comunicación con otro nodo y el algoritmo de encaminamiento utiliza un protocolo de pregunta-respuesta para eliminar las respuestas que no sean óptimas. Esto hace que la red sea mucho más fiable.

- Topología en árbol:** Se trata de una variante de la topología en malla. En esta topología existen varios dispositivos FFD y los RFD se pueden conectar como nodo único al final de la red. En este tipo de red pueden coexistir varios coordinadores que proveen servicios

de sincronización a los otros dispositivos. Al igual que en la topología en malla, en esta topología los *routers* permiten ampliar el área de alcance de la red.

En la Figura 2-6 se pueden ver las distintas topologías mencionadas, así como los tipos de dispositivos presentes en cada una de ellas[10]:

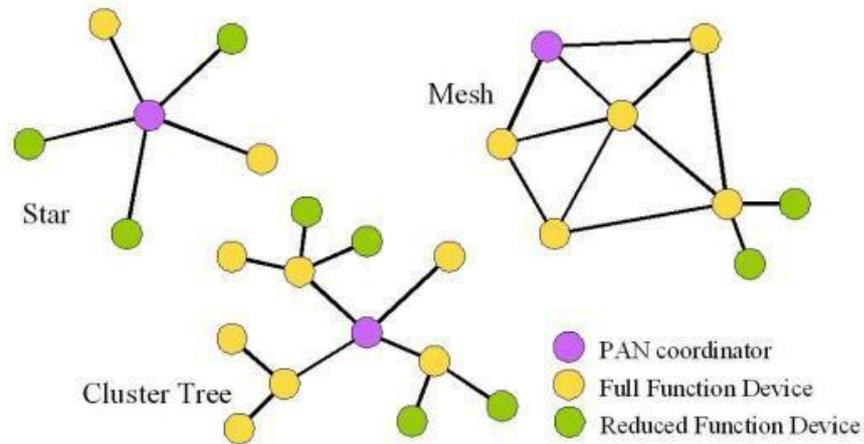


Figura 2-6: Topologías de red

2.5 Seguridad

La seguridad de las transmisiones de datos es fundamental en redes de sensores inalámbricas. En este tipo de redes, las interferencias en las transmisiones son frecuentes y es necesario minimizar el daño que estas provocan en la comunicación a través de la red. El modelo de seguridad de la subcapa MAC del estándar IEEE 802.15.4 especifica cuatro servicios de seguridad [11]:

- **Control de accesos:** Se mantiene una lista de los dispositivos que están conectados a la red.
- **Datos encriptados:** Dicha encriptación se realiza con un código de 128 bits.
- **Integración de tramas:** Se protegen los datos para que no puedan ser modificados por otros.
- **Secuencias de refresco:** Se comprueba que las tramas no han sido reemplazadas por otras.

2.6 Aplicaciones

Como ya se ha comentado, la tecnología ZigBee se basa en el estándar IEEE 802.15.4 que ha sido descrito. Esta tecnología se utiliza principalmente en aplicaciones que requieran muy

bajo consumo y una baja transmisión de datos. Por tanto, puede utilizarse para realizar control industrial, albergar sensores empotrados, recolectar datos médicos o en aplicaciones domóticas. En la Figura 2-7 se muestran algunas de las múltiples aplicaciones de esta tecnología.



Figura 2-7: Aplicaciones de ZigBee

En la Tabla 2-1 se muestra un resumen de las características más importantes de la tecnología ZigBee[10].

Tabla 2-1:Características del ZigBee

ZigBee	
Bandas de frecuencia	2.4 GHz, 868/915 MHz
Tasa de transferencia	250 kbps (2.4 GHz) 40 kbps (915MHz) 20 kbps (868MHz)
Número de canales	16 (2.4 GHz) 10 (915 MHz) 1 (868 MHz)
Rango de nodos internos	10m-100m
Número de dispositivos	255/65535
Requisitos de alimentación	Bajo consumo, años de vida de la batería
Arquitecturas	Estrella, árbol y malla
Complejidad	Simple

3. Arquitectura del receptor

A lo largo de este capítulo se abordará el estudio de la arquitectura del receptor que se ha diseñado. Para comenzar se realizará un estudio de los diferentes tipos de arquitecturas de cabezales de recepción viables para el estándar 802.15.4, prestando especial atención a las ventajas y desventajas de cada tipo. Finalmente, se elegirá la arquitectura más conveniente.

3.1 Receptor heterodino simple

La primera arquitectura de receptor que se va a analizar es la conocida como heterodino simple. El diagrama de bloques de esta arquitectura se muestra en la Figura 3-1.

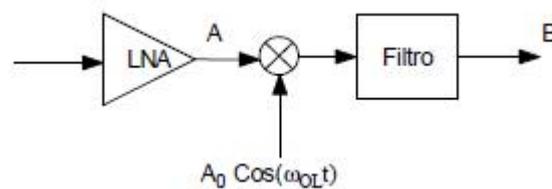


Figura 3-1: Diagrama de bloques de un receptor heterodino simple

Como se puede observar, se trata de una arquitectura simple. La señal de radiofrecuencia (RF) entrante se amplifica mediante un amplificador de bajo ruido LNA. Posteriormente, la señal amplificada se mezcla con la señal que proviene del LO para bajar la señal a frecuencia intermedia (IF: *Intermediate Frequency*). Por último, esta señal pasa por un filtro paso banda para quedarnos con la porción del espectro que nos interesa, que en este caso estará en función de la frecuencia del LO.

Sin embargo, esta arquitectura presenta varios inconvenientes o desventajas. El principal problema que aparece al implementar esta arquitectura es el problema de la frecuencia imagen. Debido a que el mezclador no conserva la polaridad de la diferencia entre sus entradas, traslada a IF tanto la banda superior como la inferior, produciéndose entonces una degradación de la señal deseada. En la Figura 3-2 se puede observar este fenómeno.

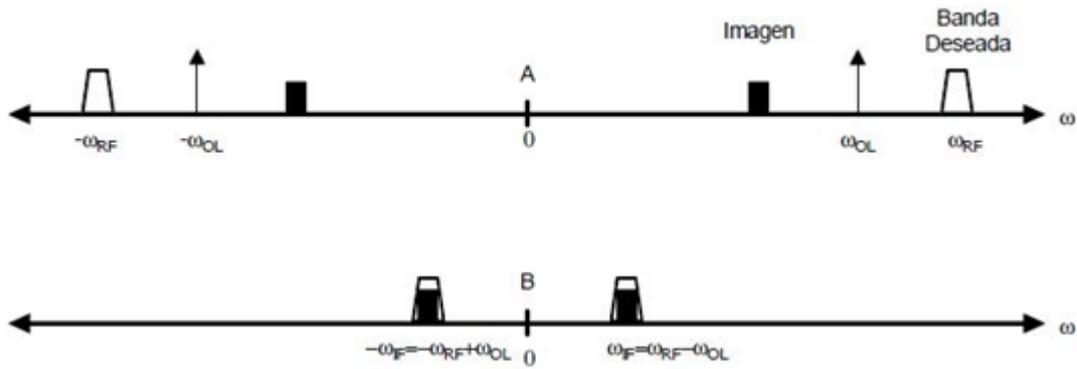


Figura 3-2: Problema frecuencia imagen

Para solventar este problema, es necesario implementar un filtro de rechazo de imagen que permita minimizar la aparición de la frecuencia imagen en la IF deseada, tal y como se muestra en la Figura 3-3.

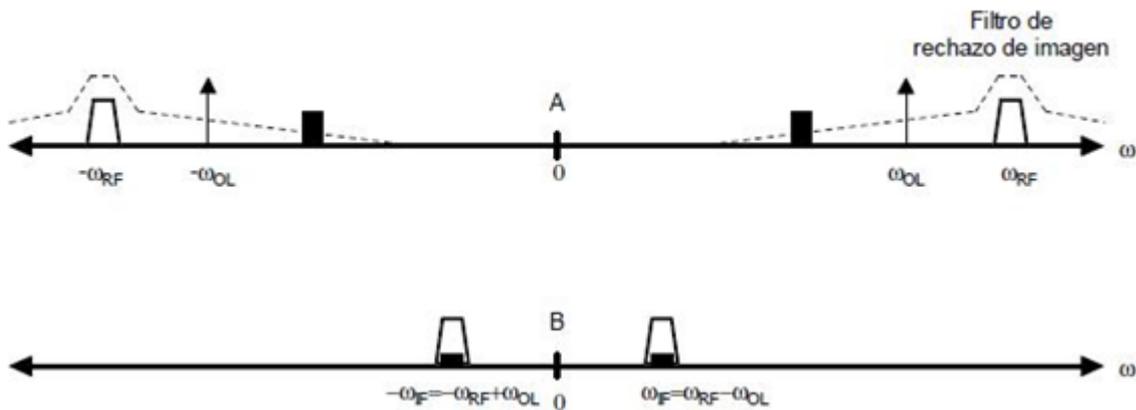


Figura 3-3: Filtro de rechazo imagen.

Sin embargo, al incluir un filtro de rechazo de imagen surge el problema del compromiso entre sensibilidad y selectividad. La sensibilidad se mide en función del rechazo a la frecuencia imagen mientras que la selectividad se mide en función del filtrado del canal. En el caso de que la IF sea de un valor alto se puede conseguir una buena sensibilidad, pero a costa de tener una mala selectividad, ya que es más complicado realizar un buen filtrado de canal. Al contrario, en el caso de que la IF tenga un valor pequeño, la sensibilidad será mala, pero se tendrá una buena selectividad.

Otro problema que presenta esta arquitectura es el problema de mitad de IF. Este problema surge cuando la frecuencia imagen se encuentra a una frecuencia equidistante entre la

frecuencia de RF entrante y la frecuencia del LO. Esto provocará que aparezca una distorsión de segundo orden en la frecuencia de IF, tal y como se muestra en la Figura 3-4.

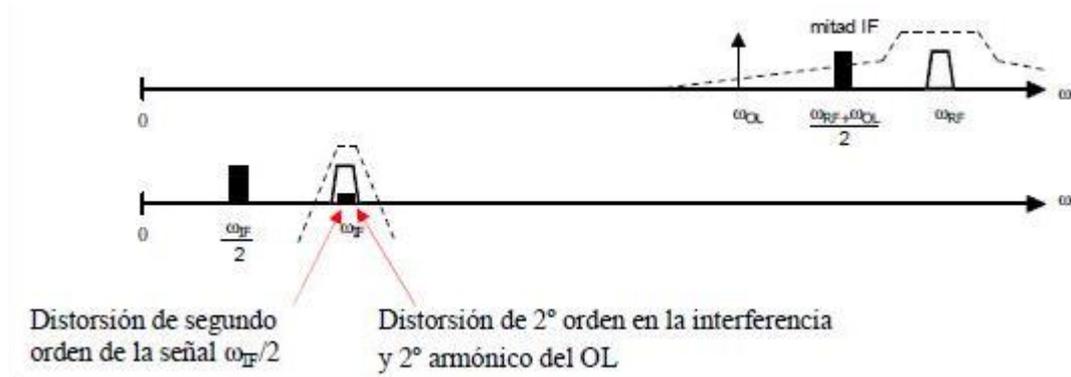


Figura 3-4: Problema de mitad de IF

Para solventar este problema se deberá minimizar la distorsión de segundo orden tanto de la señal de RF como de la señal IF, así como minimizar el segundo armónico en el oscilador mediante un ciclo de trabajo (*duty-cycle*) del 50 % [12].

3.2 Receptor superheterodino

El receptor superheterodino (también conocido como Dual IF) es el más utilizado en la actualidad debido a que aporta un rendimiento alto y estable. Se emplea en equipos de radio, televisión, sistemas de radar, telefonía móvil y sistemas de comunicaciones en general. En la Figura 3-5 se muestra el diagrama de bloques de esta arquitectura de receptor.

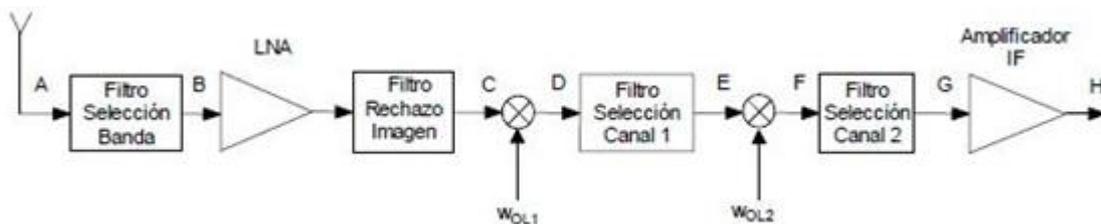


Figura 3-5: Diagrama de bloques de un receptor superheterodino

Como se puede observar, en esta arquitectura se requiere el uso de más de un mezclador, lo que resulta en un mayor consumo y una mayor complejidad en el diseño del receptor. Además, esta arquitectura también presenta el problema de la frecuencia imagen por lo que es necesario utilizar filtros de rechazo de imagen, aumentando el área del receptor. Por otro lado, esta arquitectura mejora el compromiso entre sensibilidad y selectividad ya que se incluyen dos etapas de mezcla o conversión. Para ello se usa primero una IF alta para alcanzar el nivel

de rechazo de imagen deseado, es decir, obtener una buena sensibilidad. En segundo lugar, se utiliza una IF baja con el objetivo de alcanzar una selectividad adecuada. En la Figura 3-6 se muestran los distintos pasos de filtrado que se realizan en la cadena de recepción de este tipo de arquitectura.

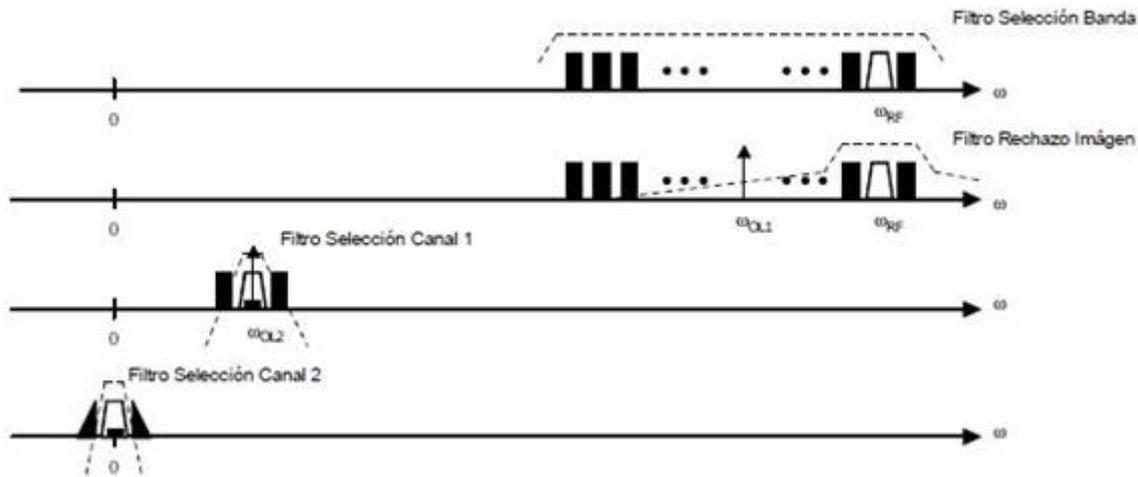


Figura 3-6: Etapas de filtrado en un receptor superheterodino

Otra ventaja que presenta esta arquitectura es que permite repartir la ganancia entre la etapa de RF y la IF, lo que reduce el riesgo de que se produzcan inestabilidades. Esto es especialmente ventajoso en aplicaciones en las que se requiera una ganancia elevada, puesto que es posible incluir una mayor cantidad de etapas de amplificación[13]. Sin embargo, se puede afirmar que este tipo de receptor no es el más idóneo para aplicaciones de bajo coste y bajo consumo [3], [14].

Para aplicaciones que requieran de un sistema digital, se debe diferenciar entre fase y cuadratura. Para ello es necesario utilizar dos mezcladores para obtener ambos canales, es decir, la amplitud y la fase de la envolvente compleja de la señal. Esto se debe a que las dos bandas laterales del espectro de RF contienen información diferente y si se solapan al realizar una mezcla, no es posible recuperar dicha información. En la Figura 3-7 se muestra la estructura de un receptor superheterodino para sistemas digitales.

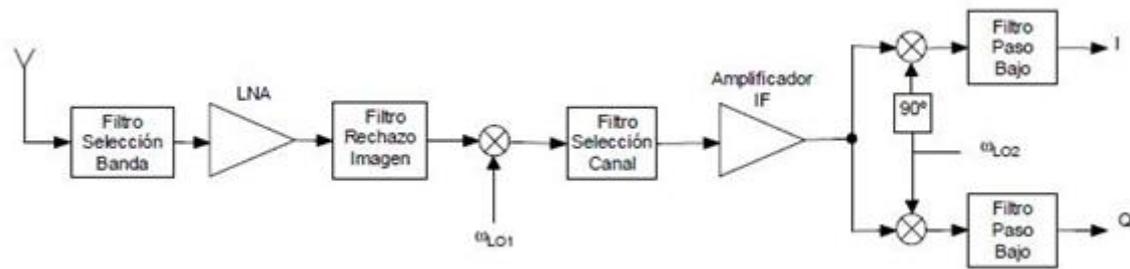


Figura 3-7: Receptor superheterodino para sistemas digitales.

3.3 Receptor homodino

Este tipo de receptor también es conocido como receptor de conversión directa y se puede diferenciar, a su vez, en dos subtipos: receptor Cero-IF y receptor Low-IF. En la Figura 3-8 se puede observar el diagrama de bloques de un receptor homodino o de conversión directa.

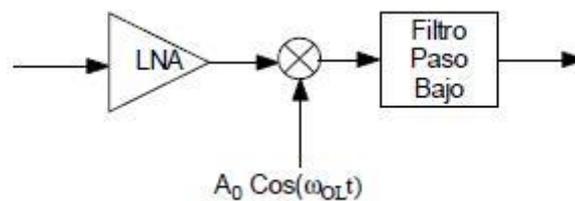


Figura 3-8: Diagrama de bloques de un receptor homodino

Al igual que en el receptor superheterodino, en el receptor homodino se debe diferenciar entre fase y cuadratura para aplicaciones en sistemas digitales. En la Figura 3-9 se muestra el diagrama de bloques de un receptor homodino para sistemas digitales [12].

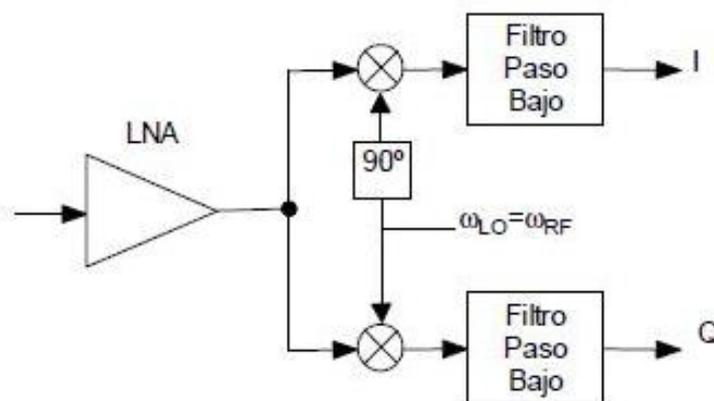


Figura 3-9: Diagrama de receptor homodino para sistemas digitales.

3.3.1 Receptor cero-IF

Este tipo de receptor destaca porque, en este caso, la IF está situada en 0 Hz. Para ello, la señal de RF se mezcla con una señal del LO de la misma frecuencia. Por tanto, la IF se encuentra en banda base. En la Figura 3-10 se muestra este procedimiento.

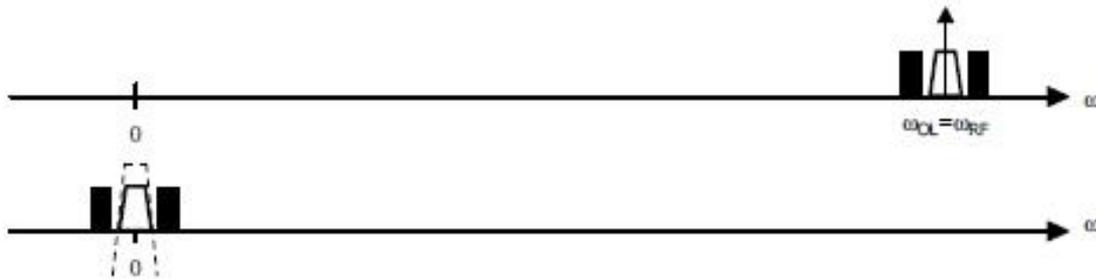


Figura 3-10: Receptor cero-IF

Las principales ventajas de esta arquitectura son, en primer lugar, que se trata de una arquitectura bastante simple y se evita el problema de la frecuencia imagen. Esto supone un menor coste en área ya que no son necesarios filtros de rechazo de imagen. Otra ventaja de esta arquitectura es que se utiliza un filtro paso bajo en lugar de un filtro paso banda. Estos últimos son de implementación más compleja, por tanto, al usar los primeros, la simplicidad del receptor es mayor.

Sin embargo, esta arquitectura presenta una serie de desventajas que se deben tener en cuenta a la hora de implementar esta arquitectura en un receptor de radiofrecuencia. La principal desventaja es la de la aparición de tensiones de continua no deseadas (DC offset). Esto es especialmente problemático al estar trabajando en banda base, donde aparecen las tensiones de continua. Si estas tensiones aparecen en los bloques siguientes pueden corromper la señal o saturar el circuito. Estas tensiones pueden aparecer tanto por las fugas del LO hacia la entrada o viceversa, desde la entrada hacia el LO. Esto se muestra en la Figura 3-11.

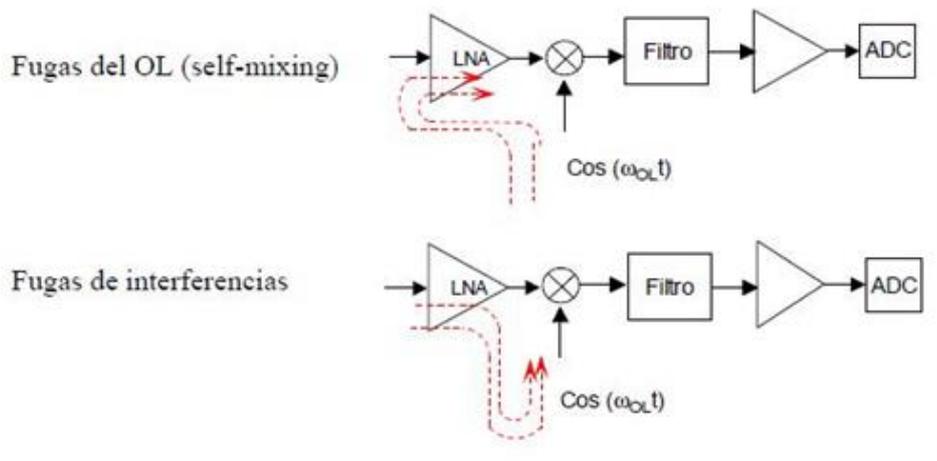


Figura 3-11: Problema de DC offset

Otra de las principales desventajas de esta arquitectura es la asimetría entre la fase y la cuadratura. Esto se produce puesto que en la generación de las señales en cuadratura los caminos no son iguales. En la Figura 3-12 se muestra un ejemplo del efecto de la asimetría en una constelación QPSK. En este caso se puede observar como hay tanto error de amplitud como error de fase.

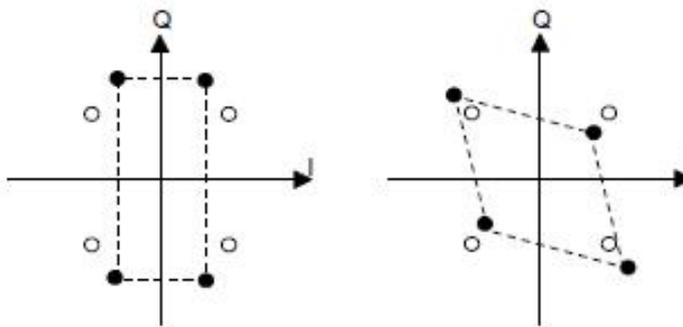


Figura 3-12: Efecto de la simetría en una constelación QPSK

La distorsión de segundo orden es otro de los inconvenientes de utilizar la arquitectura cero-IF. Esta se produce cuando los armónicos de segundo orden de la señal de entrada aparecen en la IF, pudiendo corromper la señal. Esto afecta directamente a la linealidad del receptor, empeorándola ostensiblemente. En la Figura 3-13 se ilustra este procedimiento.

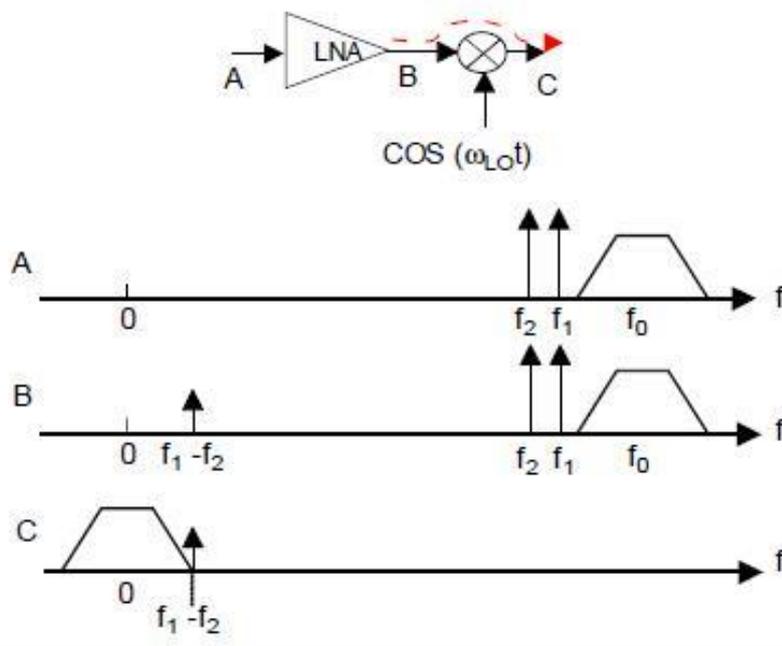


Figura 3-13: Distorsión de segundo orden

Entre los inconvenientes de esta arquitectura también cabe destacar el problema del ruido *flicker*. Este tipo de ruido se caracteriza porque su densidad espectral de potencia aumenta a bajas frecuencias. Por tanto, al estar trabajando en banda base en esta arquitectura, este ruido es un factor a tener en cuenta.

Las fugas del LO hacia la entrada es otra de las desventajas de este tipo de arquitectura. Estas fugas pueden provocar interferencias en las bandas de los otros receptores[12].

3.3.2 Receptor Low-IF

Esta arquitectura es parecida a la cero-IF, con la diferencia de que en este caso la IF es de un valor bajo, sin llegar a los 0 Hz. En otras palabras, se trabaja en bajas frecuencias, pero no en banda base. Por tanto, en lugar de filtros paso bajo se utilizan filtros paso banda (de baja frecuencia). En la Figura 3-14 se muestra el diagrama de bloques de un receptor con esta arquitectura.

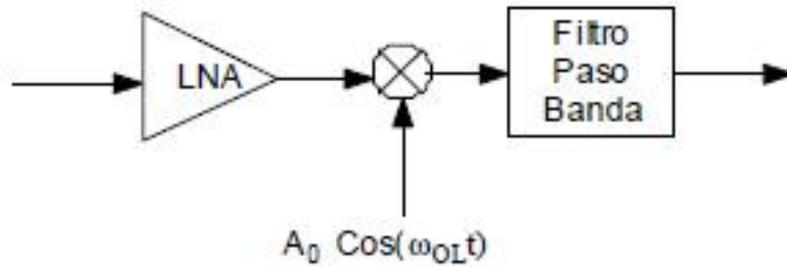


Figura 3-14: Diagrama de bloques de un receptor Low-IF

Las principales ventajas de esta arquitectura son, en primer lugar, que se trata de una arquitectura simple, y, en segundo lugar, que se minimizan los problemas del DC offset y el ruido *flicker*, inherentes a la arquitectura cero-IF.

Por el contrario, en esta arquitectura se agravan los problemas del rechazo a la frecuencia imagen. Para solucionarlo se implementa un filtro polifásico que distinga entre la fase y la cuadratura, tal y como se muestra en la Figura 3-15. En los capítulos 7 y 8 se hará una descripción detallada del funcionamiento de este tipo de filtros [12].

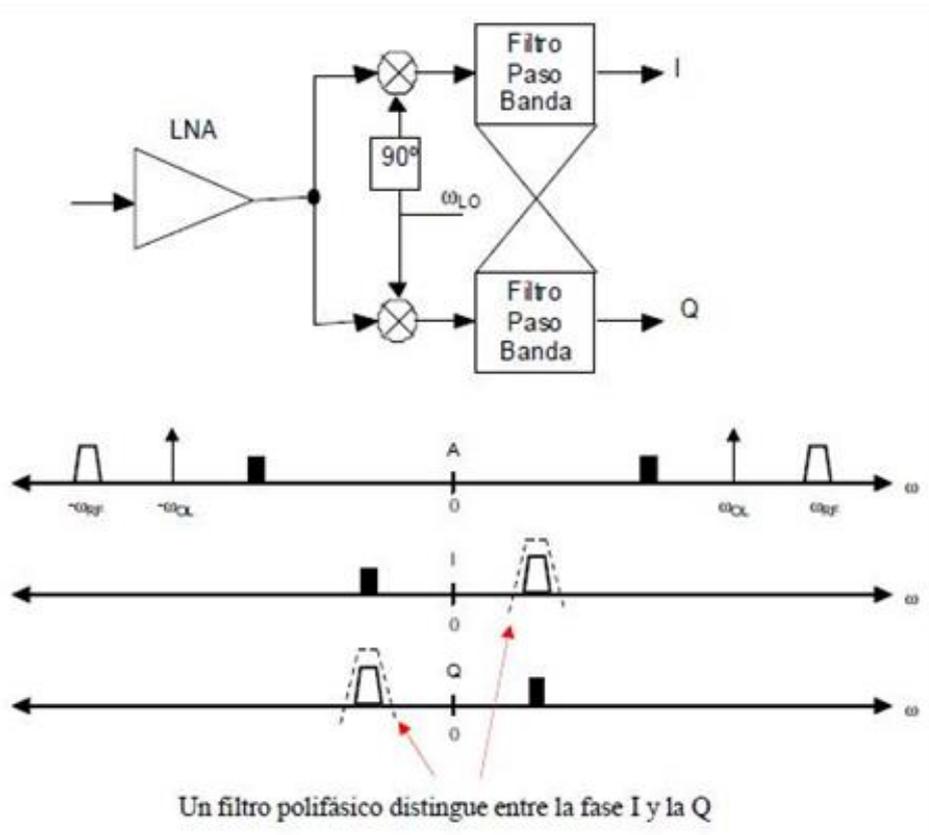


Figura 3-15: Filtro polifásico como solución al problema de la frecuencia imagen

3.4 Arquitectura del cabezal propuesta

Una vez analizadas las ventajas y desventajas de las distintas arquitecturas de receptores de radiofrecuencia, se ha constatado que la arquitectura de receptor superheterodino no es adecuada para este trabajo dado que no cumple con las características de bajo consumo y bajo coste. Respecto a la arquitectura de cero-IF, sería necesario implementar filtros complejos con realimentación para evitar problemas como el del nivel de continua introducido. Es por ello que se utilizará una arquitectura de Low-IF, por su simplicidad a la hora de diseñar los filtros y su bajo consumo de potencia y de fabricación. Además, se minimiza el problema del ruido *flicker*.

La estructura de los receptores tipo Low-IF es la observada en la Figura 3-14, en este proyecto se propone esta misma estructura, pero haciendo uso de técnicas de reutilización de corriente. Esto consiste en apilar los diferentes bloques del receptor tal y como se muestra en la Figura 3-16. Esta técnica de apilar los diferentes bloques del cabezal de recepción permite obtener un consumo menor de potencia con respecto a una estructura Low-IF tradicional, puesto que la corriente de polarización se comparte entre varios circuitos.

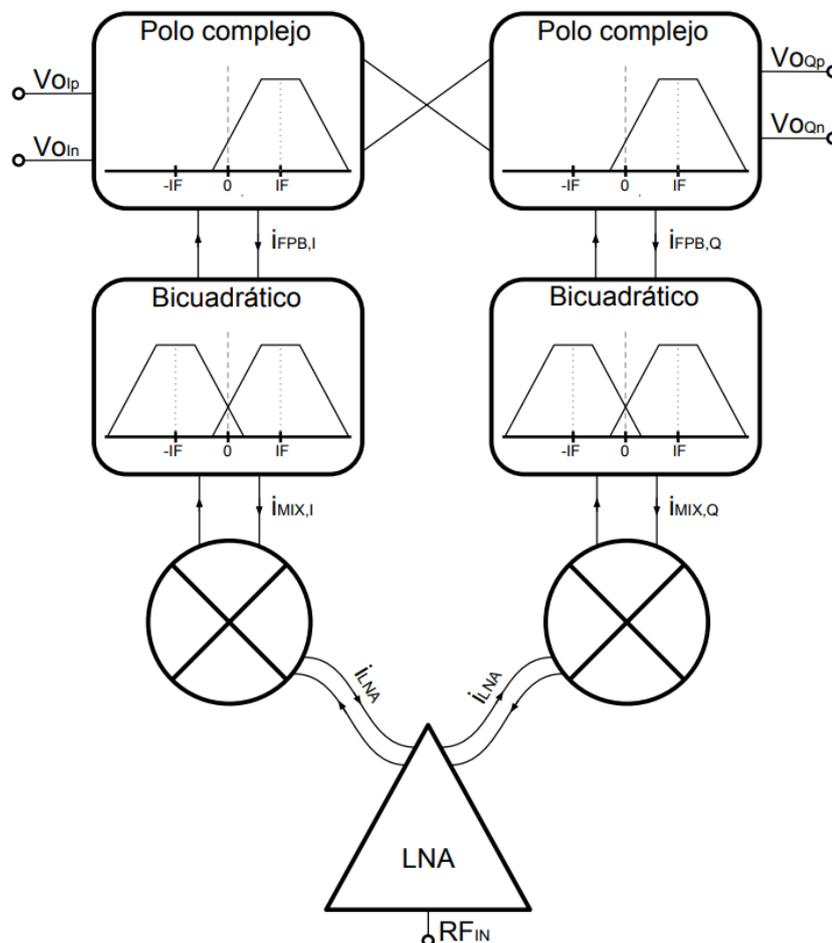


Figura 3-16: Diagrama de bloques receptor LOW-IF apilado.

Tal y como se puede observar, el cabezal de recepción está formado por tres partes principales. El amplificador de bajo ruido LNA, cuya función es la de amplificar y adaptar la señal entrante de RF proveniente de la antena introduciendo el menor ruido posible. Además, este circuito hace también la labor de un Balun (*balanced-unbalanced*), es decir, convierte la señal de entrada de modo asimétrico a diferencial. Los mezcladores son los encargados de convertir la señal de alta frecuencia a baja frecuencia, para lo cual utilizan la señal del LO. A este tipo de estructuras que combinan un Balun un LNA y un Mezclador de forma conjunta, se las suele denominar BLIXER. Adicionalmente a esta estructura se le puede añadir una etapa de filtrado, la cual se encarga de eliminar la frecuencia imagen producida por la mezcla de la etapa anterior y filtrar todo el rango de frecuencia útil, para que solo quede la señal deseada [1], [3].

4. Tecnología

Se avisa al lector experimentado con transistores MOSFET (*metal–oxide–semiconductor field-effect transistor*) y con la tecnología de fabricación de UMC que este capítulo contiene información básica acerca del funcionamiento de este tipo de transistores, así como la construcción y características de los diferentes componentes de la tecnología. Simplemente se realizará una breve descripción de la tecnología de la *foundry* UMC de 65nm utilizada para el diseño del cabezal de recepción y del funcionamiento de la tecnología MOSFET, dado que no es objetivo de este proyecto obtener el *layout* del cabezal de recepción.

4.1 El transistor MOSFET

En la Figura 4-1 se muestra la estructura simplificada de un transistor MOS de tipo N. Fabricado en sustrato tipo p (también llamado “*bulk*” o “*cuerpo*”) el transistor consiste en dos regiones n altamente dopadas, formando los terminales surtidor (S: *Source*) y drenador (D: *Drain*), una pieza altamente dopada (conductiva) de polisilicio operando como puerta, y una delgada capa de dióxido de silicio aislando la puerta del sustrato. Las dimensiones de la puerta se denomina longitud (*length* “L”), y su perpendicular se denomina ancho (*width* “W”). Cabe destacar que el evento verdaderamente importante en este dispositivo ocurre en el sustrato, debajo de la región del óxido de la puerta, donde depende de si se trata de un tipo n o un tipo p se forma un canal en el que circulan electrones o huecos, respectivamente [15]–[17].

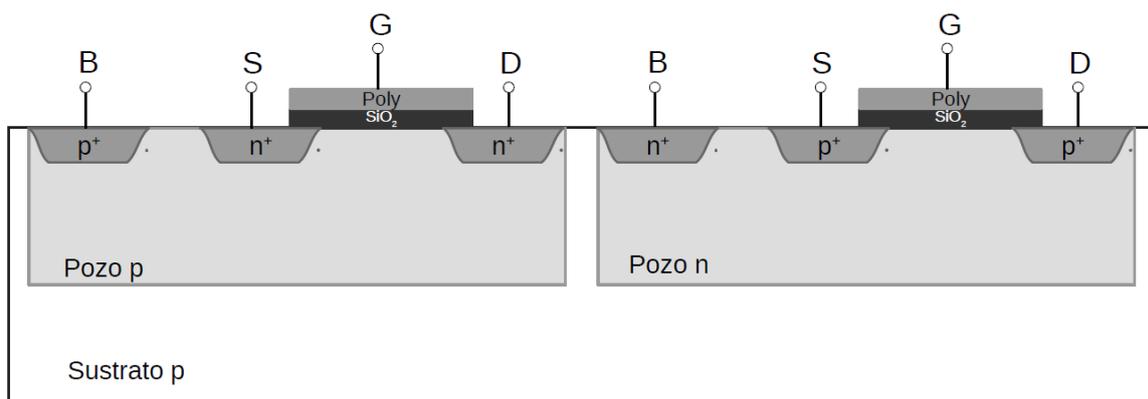


Figura 4-1: Sección transversal de transistores MOSFET.

4.1.1 Funcionamiento

Cuando se aplica una tensión positiva al terminal de puerta de un transistor MOSFET tipo N, se crea un campo eléctrico bajo la capa de óxido que incide perpendicularmente sobre la superficie del semiconductor. Este campo atrae a los electrones hacia la superficie bajo el óxido, repeliendo los huecos hacia el sustrato. Si el campo eléctrico es muy intenso se logra crear en dicha superficie una región muy rica en electrones, denominada canal N, que permite el paso de corriente del surtidor al drenador; cuanto mayor sea la tensión de puerta mayor será el campo eléctrico y, por tanto, la carga en el canal. Una vez creado el canal, la corriente se origina aplicando una tensión en el drenador positiva respecto a la del surtidor.

Respecto a un transistor MOSFET tipo P el funcionamiento es a la inversa, ya que los portadores son huecos (cargas positivas de valor el módulo de la carga del electrón). En este caso, para que exista conducción el campo eléctrico perpendicular a la superficie debe tener sentido opuesto al del MOSFET tipo N, por lo que la tensión aplicada ha de ser negativa. Ahora los huecos son atraídos hacia la superficie bajo el óxido, y los electrones repelidos hacia el sustrato. Si la superficie es muy rica en huecos se forma el canal P. Cuanto más negativa sea la tensión de puerta mayor puede ser la corriente (más huecos en el canal P), corriente que se establece al aplicar al terminal de drenador una tensión negativa respecto a la del surtidor. La corriente tiene sentido opuesto a la de un MOSFET tipo N.

A fin de facilitar la corriente a través de los terminales surtidor y drenador, bajo ellos se generan sendas regiones con dopaje elevado, del mismo tipo que los portadores del canal (regiones N⁺ y P⁺).

Si con tensión de puerta nula no existe canal, el transistor se denomina de acumulación, mientras que se denomina de vaciamiento en caso contrario. La tensión de puerta a partir de la cual se produce canal se conoce como tensión umbral, V_T . El terminal de sustrato sirve para controlar la tensión umbral del transistor, y normalmente su tensión es la misma que la del surtidor. El transistor MOS es simétrico, esto quiere decir que los terminales surtidor y drenador son intercambiables entre sí. En el MOSFET tipo N el terminal de mayor tensión actúa de drenador (recoge los electrones), siendo el de menor tensión en el tipo P (recoge los huecos).

Tal y como se ha explicado anteriormente, en el transistor MOSFET existen dos uniones PN (diodos) entre el sustrato P y las regiones de contacto de surtidor y drenador (ver Figura 4-2). Estos diodos deben estar polarizados en inversa para el correcto funcionamiento del transistor. Por otro lado, la corriente en el canal, I_D , viene modelada por una fuente de corriente dependiente de las tensiones, V_{GS} , V_{DS} y V_{BS} . Estas tensiones establecen las regiones en la que puede operar el transistor [15]–[17].

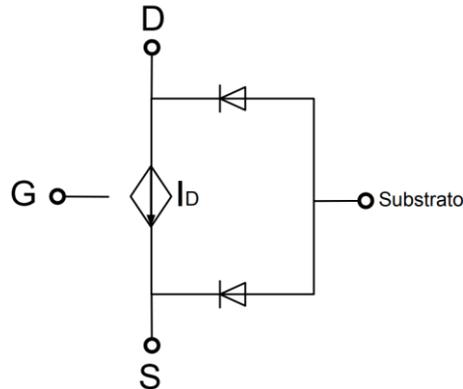


Figura 4-2: Modelo transistor MOSFET.

Las zonas de trabajo del transistor MOSFET son las siguientes:

1. Zona de corte:

Suponiendo que la tensión entre la puerta y el surtidor (V_{GS}) es nula, y la tensión entre el drenador y el surtidor (V_{DS}) es positiva, no circulará corriente entre los terminales de drenador y surtidor. En la Figura 4-3 se muestra el caso descrito, en el cual el transistor se encuentra en corte.

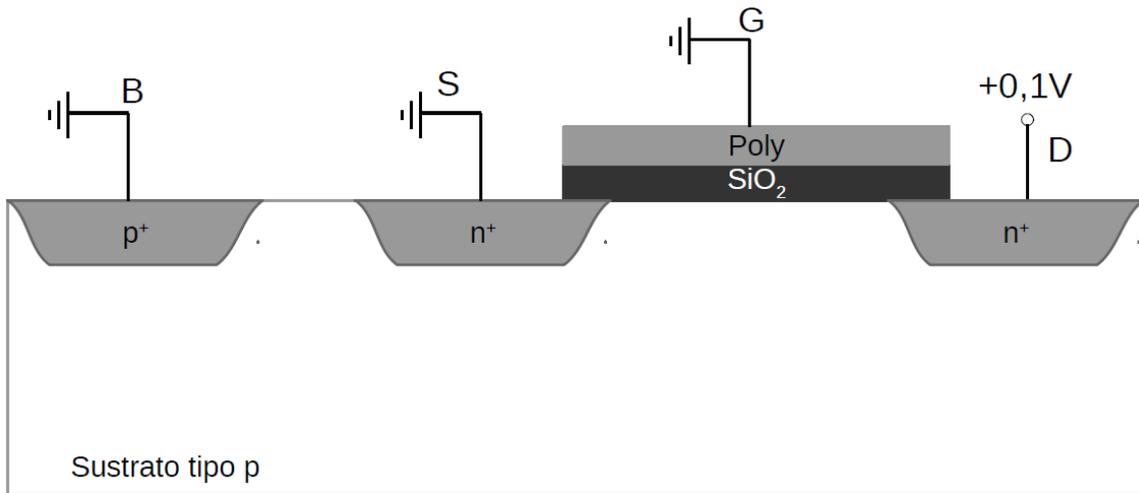


Figura 4-3: Transistor Mosfet tipo N en zona de corte.

2. Zona lineal u óhmica

A medida que se aumenta la tensión V_{GS} , los huecos que se encuentran en el sustrato P son repelidos por la puerta, dejando iones negativos en su lugar. De esta manera se crea una región de enriquecimiento o de acumulación de carga. Si V_{GS} sigue aumentando, se ensanchará la zona de acumulación de carga y, por tanto, aumenta el potencial de la interfaz óxido-silicio. Cuando este potencial alcanza una tensión umbral V_{TH} , los electrones fluyen desde el surtidor al drenador. De esta forma se crea bajo la puerta el canal entre el surtidor y el drenador. En la Figura 4-4 se muestra el caso descrito, cuando el transistor se encuentra en la zona lineal u óhmica [15]–[17].

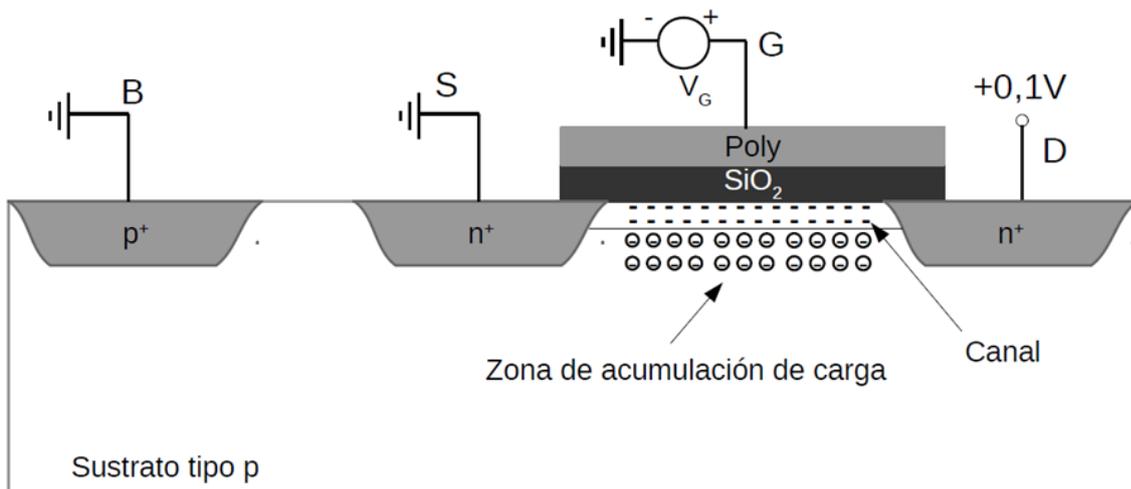


Figura 4-4: Transistor Mosfet tipo N en zona lineal u óhmica.

3. Zona de saturación

Como ya se ha comentado anteriormente, cuando el valor de V_{GS} es mayor que V_{TH} , la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de I_D . Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente

de drenador alcanza un nivel de saturación cuando su valor es superior a $V_{GS} - V_{TH}$. Esta saturación se debe a un estrechamiento del canal (*pinch-off*), encontrándose así el transistor en zona de saturación, tal y como se muestra en la Figura 4-5.

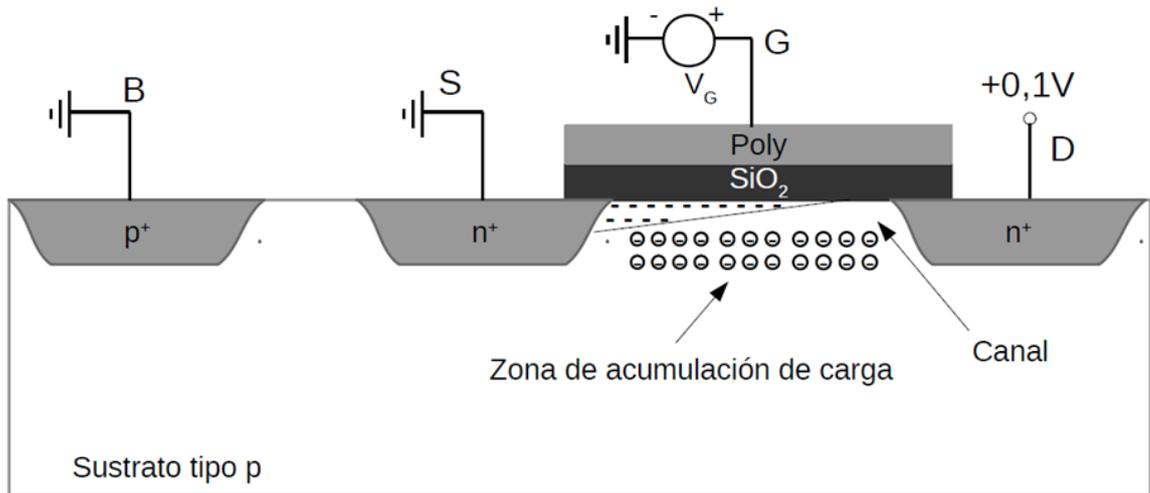


Figura 4-5: Transistor Mosfet tipo N en zona de saturación.

Cabe destacar que un transistor MOSFET funcionando en zona de saturación puede ser utilizado como una fuente de corriente entre los terminales drenador y surtidor. La transconductancia g_m relaciona la variación de la corriente de drenador con las variaciones de la tensión de GS (*Gate Source*).

Finalmente, se muestran en la Tabla 4-1 las ecuaciones que modelan el funcionamiento del transistor para las diferentes zonas de trabajo.

Tabla 4-1: Ecuaciones que modelan el funcionamiento del transistor MOSFET.

Zona	Condición	Ecuación
Corte	$V_{GS} \leq V_T; V_{DS} > 0$	$I_D = 0$
Óhmica	$V_{GS} > V_T; 0 < V_{DS} \leq V_{GS} - V_T$	$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$
Saturación	$V_{GS} > V_T; V_{DS} > V_{GS} - V_T$	$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{TH})^2$ $g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$

Siendo:

- μ_n la movilidad de los electrones.
- C_{ox} la capacidad de óxido de la puerta por unidad de área.
- L es longitud del canal del transistor (μm).
- W el ancho del canal del transistor (μm).

4.1.2 Transistor UMC 65 μm 1.2V LL-LVT RF MOSFET

Para este diseño se han escogido transistores LVT (*Low Voltage Threshold*) dado que permite la circulación de electrones con menor tensión de puerta que las configuraciones RVT (*Regular Voltage Threshold*) o HVT (*High Voltage Threshold*). Además se empleará el modelo de RF dado que este se trata de un circuito de alta frecuencia [15]–[17].

En la Figura 4-6 se muestran los parámetros del transistor escogido en ADS.

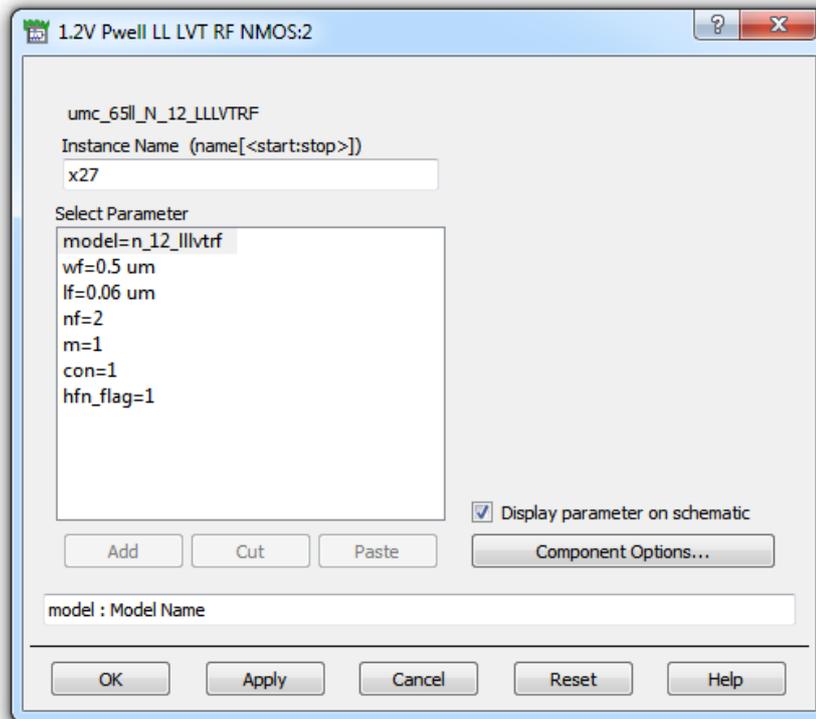


Figura 4-6: Ventana de ADS para la introducción de valores del transistor MOSFET tipo N.

Los parámetros del transistor son:

- *Width finger* (wf) es el ancho de los *fingers* del transistor.
- *Length finger* (lf) es el largo del condensador.
- *Number of fingers* (nf) es el número de en paralelo *fingers* de la puerta del transistor

- *Multiplier* (m) es el número de transistores conectados en paralelo.
- *Contact row* (con) es el número de filas de surtidores/drenadores en contacto.
- *High-frequency noise flag* (hfn_flag) este *flag* activo o desactivo el aumento de ruido en alta frecuencia

En la Tabla 4-2 se muestran los parámetros de escalado y restricciones del transistor a la hora de realizar el diseño en ADS [18].

Tabla 4-2: Parámetros de escalado y restricciones del transistor

Escalado y restricciones	
<i>Width finger</i> (wf)	0.06 μ m ~ 0.36 μ m
<i>Long finger</i> (lf)	0.5 μ m ~ 8 μ m
<i>Number of fingers</i> (nf)	2 ~ 32
<i>Contact row</i> (con)	1,2
<i>High-frequency noise flag</i> (hfn_flag)	1 activado, 0 desactivado
Rango de frecuencias	Hasta 20 GHz

4.2 Condensador

Existen dos tipos de condensadores en la tecnología: Los condensadores MIM (*Metal Isolator Metal*) y los condensadores MOM (*Metal Oxide Metal*).

En cuanto a los condensadores MIM, son construidos creando películas de metal, aislante y metal, tal y como se muestra en la Figura 4-7.

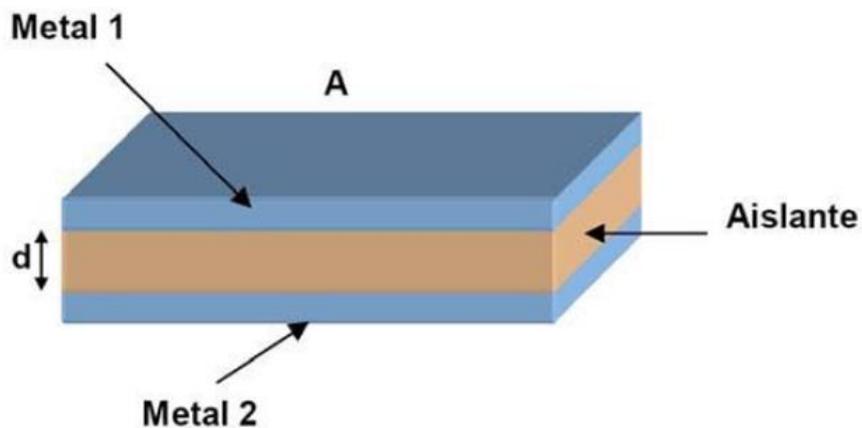


Figura 4-7: Diagrama de un condensador integrado MIM.

La capacidad de este tipo de condensador se puede calcular a partir de la ecuación (4-1):

$$C = \frac{\epsilon_r \epsilon_0 A}{d} \quad (4-1)$$

Siendo:

- ϵ_r la permitividad relativa del material dieléctrico entre las placas.
- ϵ_0 la permitividad del vacío.
- A el área efectiva.
- D la distancia entre las placas metálicas.

En cambio, los condensadores MOM, representados en la Figura 4-8, explotan el efecto de acoplamiento lateral entre las placas formadas por las líneas de cableado, metalización y vías. Esto hace complicado obtener valores de capacidad concretos [19], [20] y, por ello, en este TFG se ha optado por utilizar condensadores MIM.

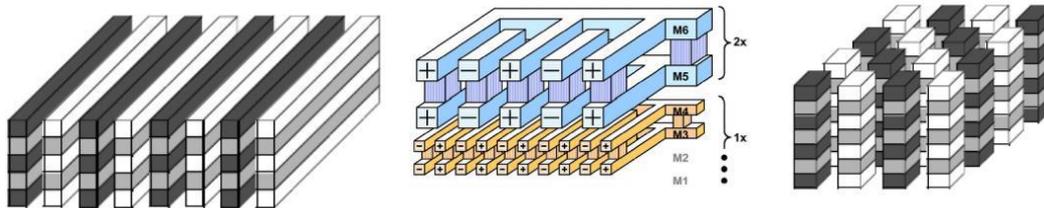


Figura 4-8: Diagrama de un condensador integrado MOM.

4.2.1 Condensador 2.0fF/um2 Metal-Insulator-Metal (MIM) Capacitor

En la Figura 4-9 se muestran los parámetros de un condensador MIM en ADS.

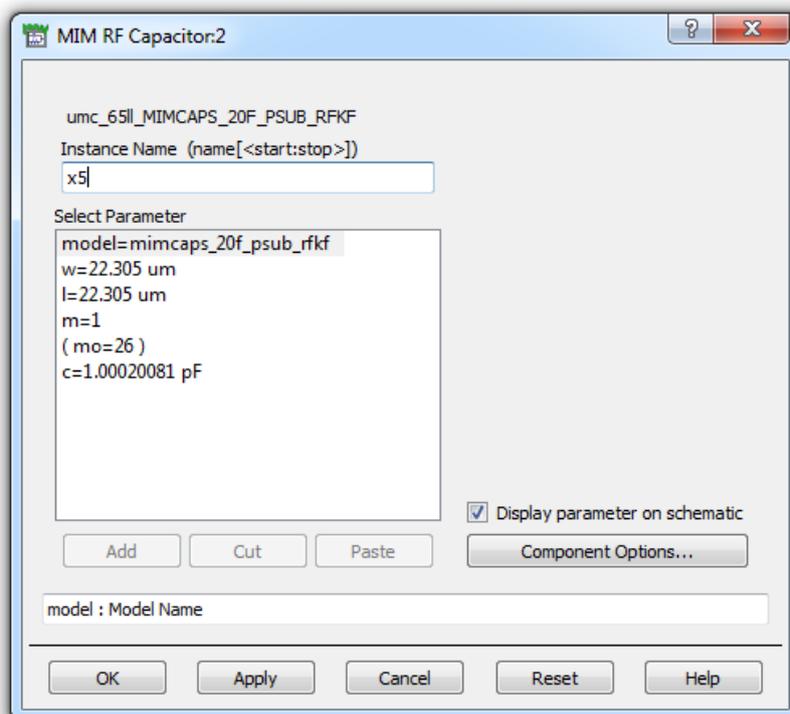


Figura 4-9: Ventana de ADS para la introducción de valores del condensador.

Los parámetros del condensador son:

- *Width* (w) es el ancho del condensador.
- *Length* (l) es el largo del condensador.
- *Multiplier* (m) es el número de condensadores que se conectan en paralelo.
- *Metal option*(mo) es la elección de las capas en las que se va a fabricar el condensador.
- *Capacitance* (c) es la capacidad del condensador, que viene determinada por los parámetros w y l.

En la Tabla 4-3 se muestran los parámetros de escalado y restricciones del condensador a la hora de realizar el diseño en ADS [18].

Tabla 4-3: Parámetros de escalado y restricciones del condensador

Escalado y restricciones	
<i>Width</i> (w)	5μm ~ 100μm
<i>Long</i> (l)	5μm ~ 100μm
<i>Metal option</i> (mo)	2 ~ 71
<i>w/l ratio</i>	Limitado entre 0.5 ~ 2.0
Rango de frecuencias	Hasta 20 GHz

4.1 Bobina

Normalmente, las bobinas integradas se diseñan generando una espiral con pistas metálicas sobre un sustrato determinado. Dado que uno de los extremos de la espiral queda en el interior de la misma, es necesario disponer de al menos dos niveles de metal para poder acceder a este terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se le conoce como *underpass* o *cross-under*. En la Figura 4-10 se muestra una bobina espiral cuadrada simple, donde se puede apreciar la disposición del *underpass*, además de los parámetros geométricos más importantes de una bobina. Concretamente, se muestra el radio (r), el ancho de pista (w) y la separación entre pistas (s).

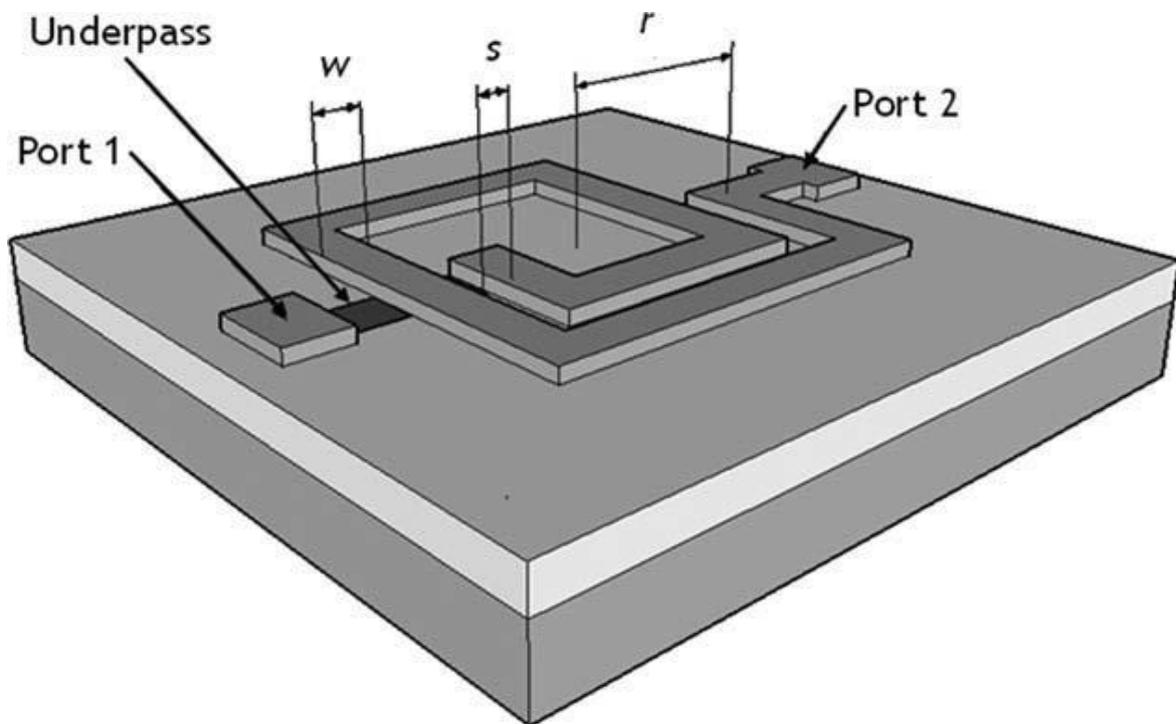


Figura 4-10: Diagrama de una bobina integrada cuadrada.

Las bobinas se caracterizan principalmente por su valor de inductancia y su factor de calidad, que pueden ser obtenidos mediante las ecuaciones (4-2) y (4-3) respectivamente.

$$L(f) = \frac{\text{imag}\left(\frac{1}{y_{11}}\right)}{2\pi f} \quad (4-2)$$

$$Q(f) = \frac{\text{imag}\left(\frac{1}{y_{11}}\right)}{\text{real}\left(\frac{1}{y_{11}}\right)} \quad (4-3)$$

Cabe destacar que el factor de calidad de las bobinas integradas sobre silicio suele ser bastante bajo debido a las pérdidas asociadas al dispositivo. El valor de inductancia tampoco es muy alto, debido a que para valores más grandes de inductancia se necesitan bobinas de mayor tamaño, lo cual repercute negativamente en el área de los circuitos integrados [12], [21].

4.1.1 Bobina Low-K 3.25um Metal8 1P8M1T0F1U Inductor

En la Figura 4-11 se muestran los parámetros de una bobina de la tecnología en ADS.

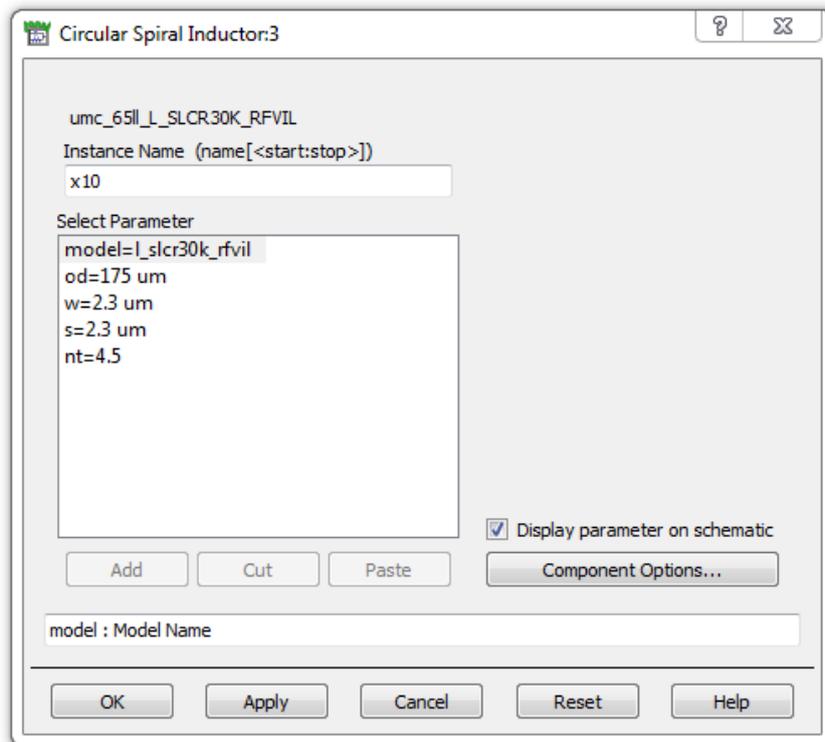


Figura 4-11: Ventana de ADS para la introducción de valores de la bobina.

Los parámetros de la bobina son:

- *Output diameter* (od) es el diámetro exterior de la bobina.
- *Width* (w) es el ancho de pista de la bobina.
- *Spacing* (s) es el espaciado entre pistas de la bobina.
- *Number of turn* (nt) es el número de vueltas de la bobina.

En la Tabla 4-4 se muestran los parámetros de escalado y restricciones del condensador a la hora de realizar el diseño en ADS.

Tabla 4-4: Parámetros de escalado y restricciones de la bobina

Escalado y restricciones	
<i>Output diameter (od)</i>	75 μm ~ 250 μm
<i>Width (w)</i>	2.2 μm ~ 11 μm
<i>Spacing (s)</i>	2.3 μm ~ 3.6 μm
<i>Number of turn(nt)</i>	1.5, 2.5, 3.5... 7.5
Rango de frecuencia	100MHz ~ 20GHz
Rango de inductancia a 2.4 GHz	191pH ~ 28.9nH

En este dispositivo cabe destacar que el fabricante pone como restricción que se debe cumplir la ecuación (4-4) para que los parámetros introducidos sean válidos [18].

$$od - 2(nt - 0.5)s - 2(nt + 0.5)w > 30^{-6} \quad (4-4)$$

5. Blixer

A lo largo de este capítulo se describirán los diferentes circuitos que componen el BLIXER y han sido diseñados para el cabezal de recepción. Se tendrán en cuenta las peculiaridades de cada circuito por separado, teniéndolas en consideración para el diseño final del circuito. Finalmente, cabe destacar que todo el proceso de diseño se ha realizado con la tecnología de la *foundry* UMC de 65nm.

5.1 Blixer

Tal y como se ha comentado en el capítulo 3, se ha optado por diseñar un cabezal de recepción mediante técnicas de reutilización de corriente. En el estado del arte se pueden encontrar numerosas aportaciones que utilizan estas técnicas [1]–[4]. Concretamente, la topología BLIXER ha emergido como una solución que posee buenas prestaciones en términos de consumo de potencia, área y balanceo de señal entre otros.

Esta topología está formada por un Balun-LNA y un mezclador doblemente balanceado apilados en un solo circuito. Con el Balun-LNA se adapta la entrada, transformando la señal de asimétrica a diferencial y, además, amplificándola. Como veremos, este circuito también realiza labores de cancelación de ruido y de distorsión.

5.2 Balun-LNA

La función del Balun-LNA es la de amplificar la señal de RF proveniente de la antena introduciendo el menor ruido posible, además de ser la encargada de adaptar la entrada. Teniendo en cuenta que ésta es la primera etapa del cabezal de recepción, un LNA se caracteriza por su baja figura de ruido NF (*Noise Figure*) y una ganancia lo bastante elevada para reducir la aportación de la NF en las siguientes etapas del cabezal de recepción. Un LNA debe tener también una alta linealidad, permitiendo así trabajar con señales de entrada de alta frecuencia y con interferencias. Dado que una de las funciones del LNA es adaptar la entrada, este debe tener una impedancia de entrada de 50Ω para una correcta adaptación, ya sea directamente con la antena o algún otro componente adicional.

Además, este circuito hace también la labor de un Balun, es decir, convierte la señal de entrada de modo asimétrico a diferencial. De todas las posibles opciones se ha optado por una topología de puerta común-surtidor común CG-CS (*Common Gate-Common Source*) dado que permite convertir la señal asimétrica proveniente de la entrada a diferencial sin tener que utilizar circuitería adicional. En la Figura 5-1 se muestra el esquemático básico de la topología utilizada.

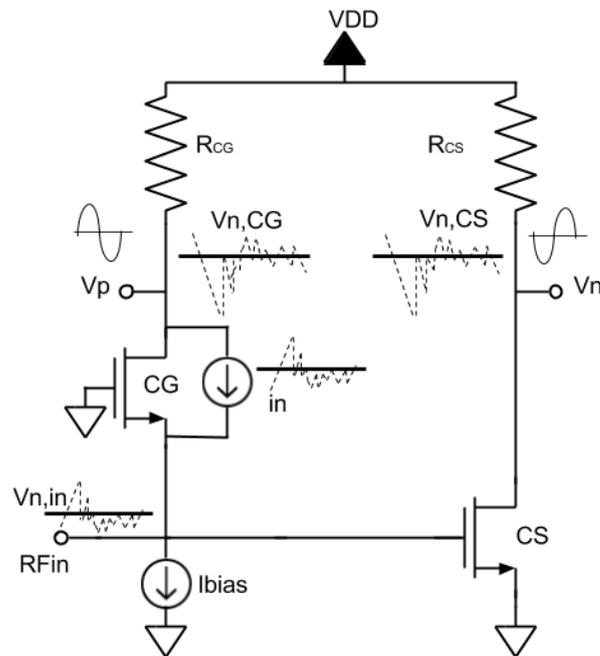


Figura 5-1: Topología básica CG-CS.

Como se puede observar, esta topología permite cancelar el ruido introducido por el transistor de entrada CG, ya que éste aparece a la salida con la misma polaridad en las dos salidas diferenciales. A la hora de diseñar este Balun-LNA, existen tres posibilidades respecto a la cancelación del ruido. Estas opciones dependen del valor de la transconductancia de los transistores CG y CS [22], [23].

1. La primera opción consiste en hacer que las transconductancias y las cargas resistivas de ambos transistores sean iguales, es decir: $g_{mCS} = g_{mCG}$ y $R_{CS} = R_{CG}$. En este caso, el ruido del transistor CG se cancela completamente, pero la NF mínima que se puede conseguir es de 3dB. Esto se debe a que la transconductancia del transistor CS necesaria para que haya adaptación de entrada es muy baja ($g_{mCS}=1/R_s=1/50\Omega$) lo cual se traduce en una NF elevada [12]. Además, el divisor de tensión formado por la

resistencia de entrada y la resistencia del transistor CS aumentan la contribución al ruido.

2. La segunda opción consiste en hacer que la transconductancia del transistor CS sea n veces mayor que la del transistor CG, manteniendo las cargas resistivas de ambos iguales, es decir: $g_{mCS} = n \cdot g_{mCG}$ y $R_{CS} = R_{CG}$. En este caso, el incremento de n es proporcional al aumento de la ganancia en tensión, a la vez que la NF decrece. A pesar de estos beneficios, al ser las transconductancias de los transistores diferentes y las resistencias de carga iguales, se incrementa el desbalanceo de la señal diferencial en la salida del LNA. Un incremento de n se traduce en un aumento de la ganancia en tensión de la etapa CS, manteniéndose la ganancia en tensión del CG constante. Esto se puede solucionar introduciendo un balanceador de corriente diferencial DCB (*Differential current balancer*) en la salida.
3. La tercera opción consiste en hacer la transconductancia del transistor CS n veces mayor que la transconductancia del transistor CG, pero a diferencia del caso anterior, la carga resistiva del transistor CS es n veces más pequeña que la del transistor CG, es decir: $g_{mCS} = n \cdot g_{mCG}$ y $R_{CS} = R_{CG}/n$. En este caso se puede observar una disminución de la NF mayor que en el caso anterior. Esto se debe a que, en este caso, el ruido del transistor CG se cancela completamente y la contribución del transistor CS es inversamente proporcional a n . Es decir, el ruido decrece con un factor de $1/n$ a diferencia de la opción anterior, en la que la contribución de este transistor decrece de manera más lenta. Dado que tanto la transconductancia como la carga de los transistores son escaladas de forma simultánea, el desbalanceo de la salida que aparecía en el caso anterior queda totalmente eliminado.

En nuestro caso hemos optado por la primera de las opciones, es decir, manteniendo las transconductancias de los transistores CS y CG iguales, así como sus cargas, de manera que $g_{mCS} = g_{mCG}$ y $R_{CS} = R_{CG}$. La razón fundamental es que, de esta forma, ambos transistores pueden ser polarizados con la misma corriente y, por tanto, no es necesario escalar las cargas para obtener una salida balanceada, lo cual mejora a su vez la ganancia y la linealidad.

Con objeto de reducir la NF y aumentar la ganancia se propone el uso de un amplificador de *gain boosting* tal y como se muestra en la Figura 5-2.

Para comprender como el uso de este amplificador reduce la NF se debe observar la función de transferencia TF (*Transfer Function*) de ruido del transistor en configuración CG hacia la salida diferencial ($V_p - V_n$). Cuando la impedancia de entrada está adaptada, la TF es:

$$TF_{in} = -\frac{1}{2}(R_L - R_{in}G_{m,CS}R_L) \quad (5-1)$$

Donde $G_{m,CS} = g_{m,CS} + g_{m,AGB}$. Vemos que la contribución de ruido del transistor CG se puede cancelar completamente si $R_{in}G_{m,CS} = 1$. Gracias a la inclusión del circuito de *gain boosting* en el LNA, no es necesario que el transistor CS proporcione una alta transconductancia, lo que se traduce en que la corriente para obtener la transconductancia necesaria sea baja, reduciendo así la NF.

Por otro lado, para ver como el uso del amplificador de *gain boosting* mejora la ganancia representamos a continuación la salida diferencial de nuestro Balun-LNA:

$$\begin{aligned} V_p &= V_{in} \cdot (g_{mCG} + g_{AGB}) \cdot R_L \\ V_n &= -V_{in} \cdot (g_{mCS} + g_{AGB}) \cdot R_L \end{aligned} \quad (5-2)$$

Teniendo en cuenta que la transconductancias de ambos transistores son iguales ($g_{mCG} = g_{mCS}$), se obtiene que la ganancia diferencial será:

$$A_v = 2 \cdot (g_{CG} + g_{AGB}) \cdot R_L \quad (5-3)$$

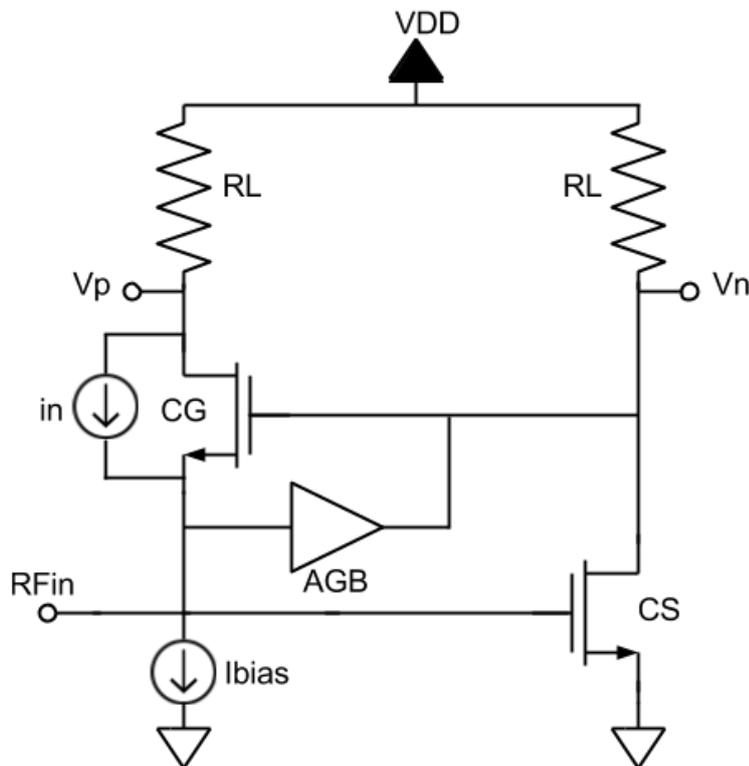


Figura 5-2: Topología básica del LNA CG-CS con *gain boosting*.

Por último, en la Figura 5-3 se muestra el circuito de *gain boosting* utilizado. Este circuito consiste en una etapa CS con realimentación resistiva, el cual se puede simplificar en un amplificador inversor con transconductancia $g_{AGB}=g_{M1}+g_{M2}$ [22], [23].

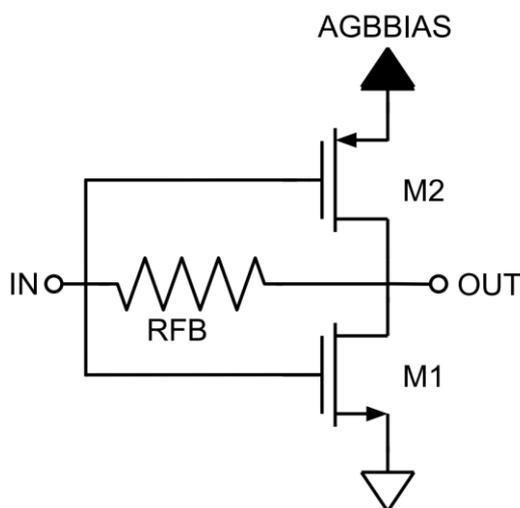


Figura 5-3: Circuito *Gain boosting*.

5.2.1 Comparación del LNA con y sin *gain boosting*

Para ver como el circuito de *gain boosting* mejora el ruido y la ganancia de nuestro Balun-LNA, en este apartado comparamos los diseños del LNA propuestos en la Figura 5-4. Tal y como se ha visto en apartados anteriores, la transconductancia de los transistores CG y CS se escala de manera que sea igual para ambos transistores, al igual que las cargas resistivas. De esta forma se conserva la salida balanceada. En la Figura 5-4 (b) se aumenta la transconductancia del LNA haciendo uso del amplificador *gain boosting* descrito anteriormente.

Tal y como se muestra en el apartado 5.2, el dimensionado tanto de los transistores como de la adaptación de la entrada debe satisfacer que $R_{in}G_{m,CS}=1$ para que el ruido sea completamente cancelado. Por otro lado, en la Figura 5-4 se observa que la red de adaptación de entrada está formada por L_M , C_M y R_P . La inductancia L_M , junto con R_P también son los encargados de polarizar el transistor M1. La inductancia L_M no tiene que poseer un alto factor de calidad, por lo que puede ser una bobina integrada, reduciendo así el espacio usado. Para realizar una buena adaptación de entrada se requiere que $S_{11} \leq -10$ dB, lo que se traduce en que el valor de la impedancia de entrada del LNA esté comprendido entre 26 y 97 Ω en la banda

de frecuencias de interés. Por lo tanto, y dado que la transconductancia del LNA afectará a la adaptación de entrada, primero se fijará el tamaño de los transistores en configuración CG y CS y a continuación, se ajustará la carga activa para, finalmente, ajustar la entrada.

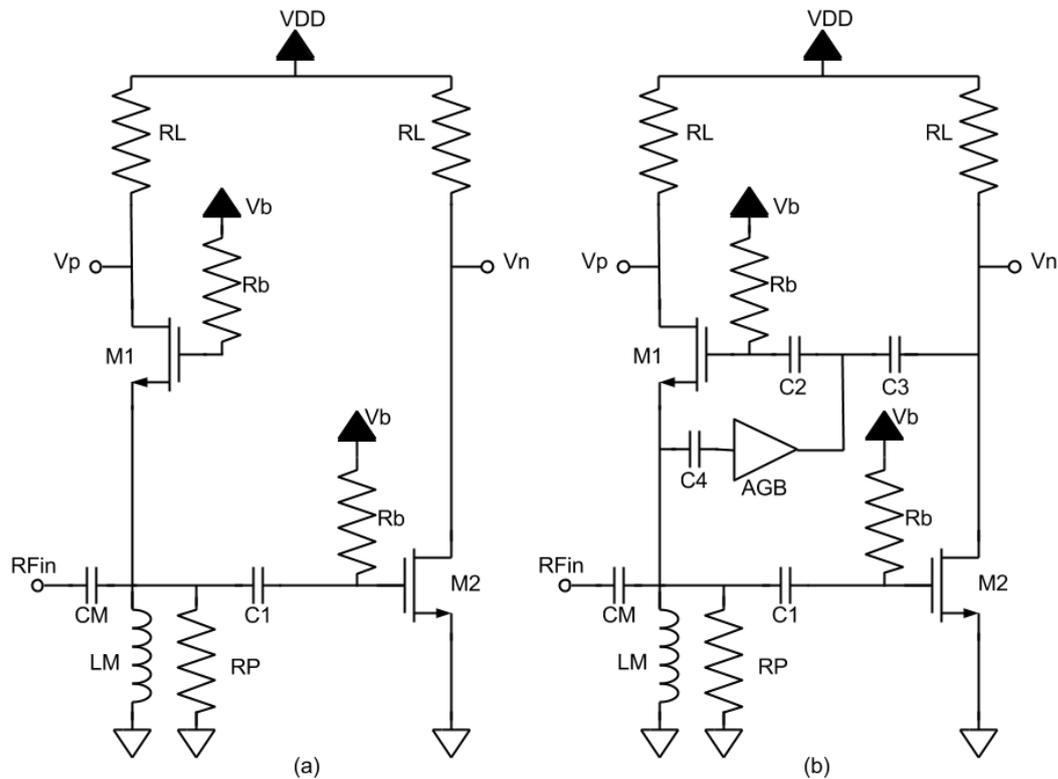


Figura 5-4: Esquemáticos del Balun-LNA (a) Sin *gain boosting* (b) Con *gain boosting*.

LNA sin circuito *gain boosting*

Para diseñar el LNA de la Figura 5-5 se seguirán los pasos mostrados a continuación. En primer lugar, se dimensionan los transistores en configuración CG y CS. Para ello, mediante el elemento “*PARAMETER SWEEP*” mostrado en la Figura 5-6, se realizará un barrido del número de *fingers* y tensión de polarización (*bias*) de los transistores CG y CS, manteniendo al mínimo de la tecnología el ancho y el largo del transistor, lo que introducirá menos capacidades parásitas.

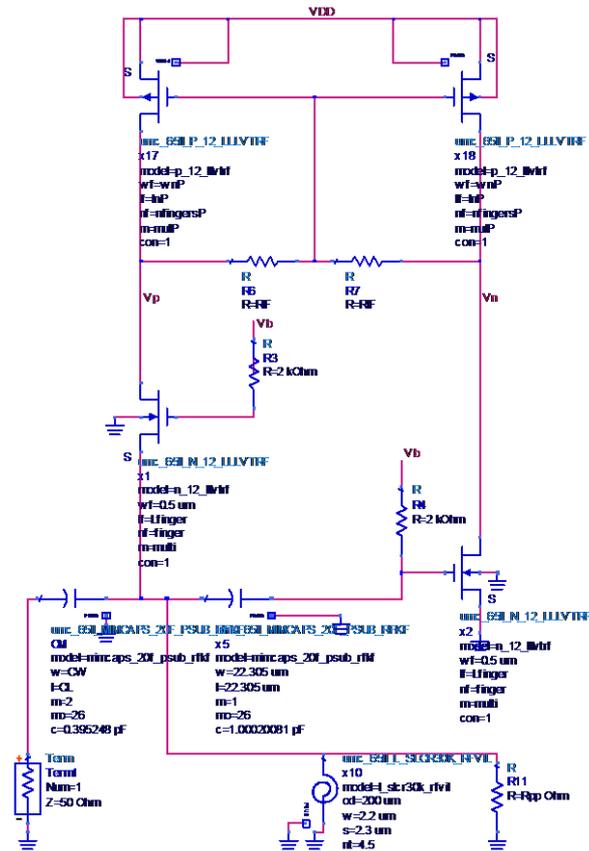


Figura 5-5: Esquemático del LNA sin AGB diseñado en ADS.

PARAMETER SWEEP

```

ParamSweep
Sweep56
SweepVar=
SimInstanceName[1]=
SimInstanceName[2]=
SimInstanceName[3]=
SimInstanceName[4]=
SimInstanceName[5]=
SimInstanceName[6]=
Start=1
Stop=10
Step=1

```

Figura 5-6: PARAMETER SWEEP.

Con esto se obtienen una serie de puntos, en los que se observa que cuanto más aumentamos el número de *fingers* de los transistores en CG y CS, más aumenta la ganancia y disminuye el ruido, ya que la transconductancia de los transistores CG y CS aumenta. Hay que

tener en cuenta que no se debe elegir un número muy elevado de *fingers* ni multiplicidad, dado que el consumo del sistema se elevará conforme aumenta el número de estos. Sin mencionar el aumento de coste en la producción del integrado, dado que aumenta el área total ocupada. Con el fin de comparar los dos circuitos, se ha establecido un consumo de corriente de 800 μ A. Finalmente se dimensionan los transistores escogiendo los valores mediante los datos de la Figura 5-7, siempre teniendo en cuenta el consumo de corriente establecido.

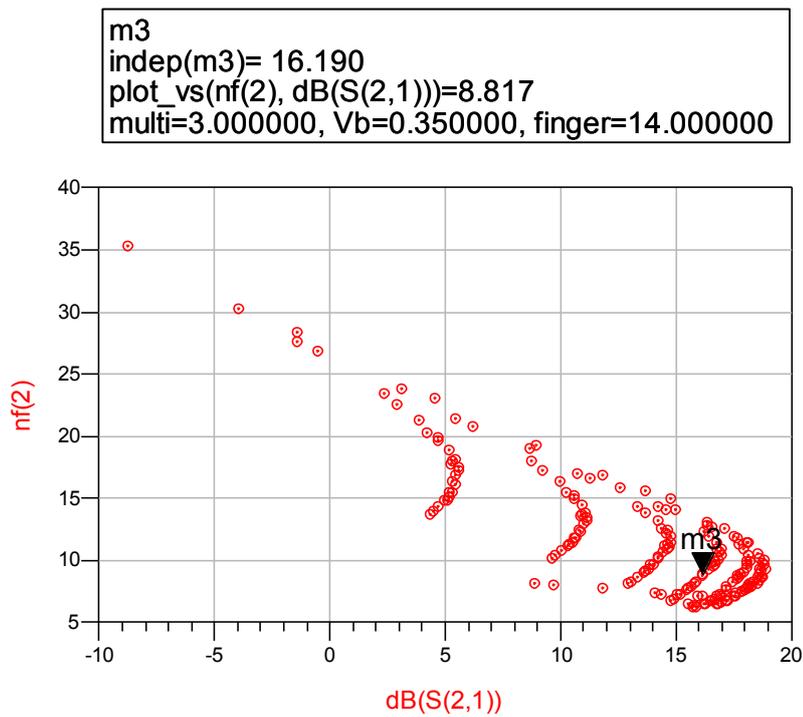


Figura 5-7: NF vs S21 dimensionado del par diferencial.

A continuación, se realiza un barrido de los transistores de la carga activa y de la resistencia RIF, pudiendo así encontrar los valores óptimos para obtener la mayor ganancia y la mínima NF tal y como se observa en la Figura 5-8.

```

m3
indep(m3)=17.643
plot_vs(nf(2), dB(S(2,1)))=7.114
RIF=11000.000000, nfingersP=6.000000

```

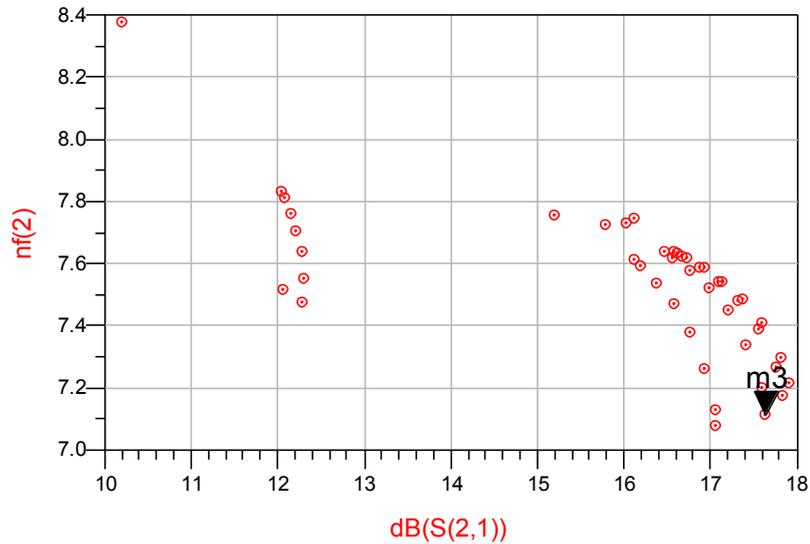


Figura 5-8: : NF vs S21 dimensionado de la carga activa.

A continuación, se realizará la adaptación de la entrada. Para ello, se han de realizar barridos del condensador C_M y de la bobina L_M , teniendo en cuenta que aumentar el valor de C_M hará que el punto de la carga de Smith se mueva de abajo hacia arriba y que aumentar el valor de L_M hará que el punto de la carta de Smith se mueva de izquierda a derecha. Quedando finalmente adaptado, tal y como se muestra en la Figura 5-9.

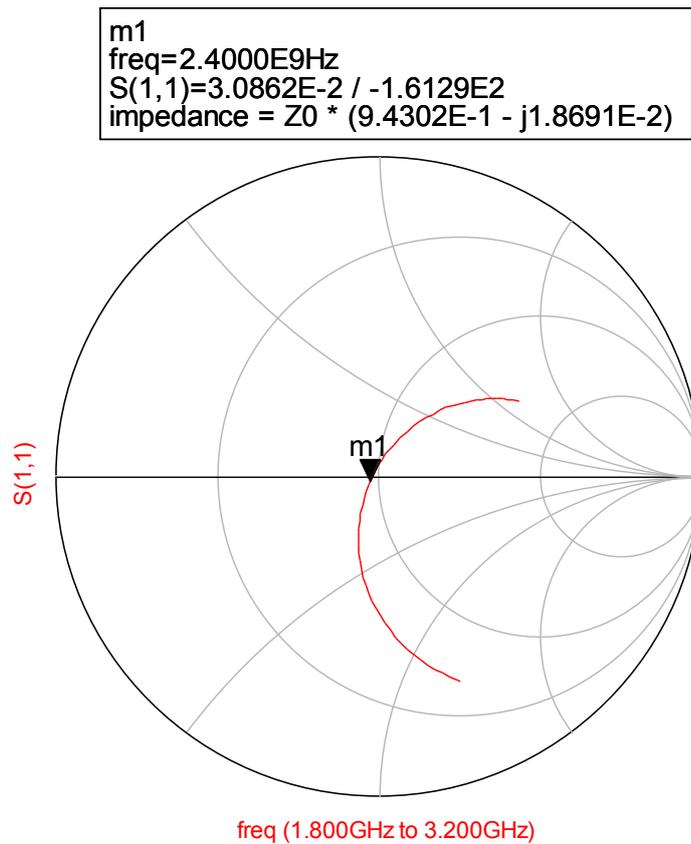


Figura 5-9: Adaptación de entrada.

LNA con circuito *gain boosting*

Para diseñar el LNA de la Figura 5-10 se seguirán los mismos pasos seguidos en el apartado anterior, con la diferencia de que la transconductancia total de las dos ramas se verá afectada por el circuito *gain boosting*. Es por ello que se realizará un barrido del tamaño de los transistores, junto con los parámetros del *gain boosting*, para hallar los valores óptimos.

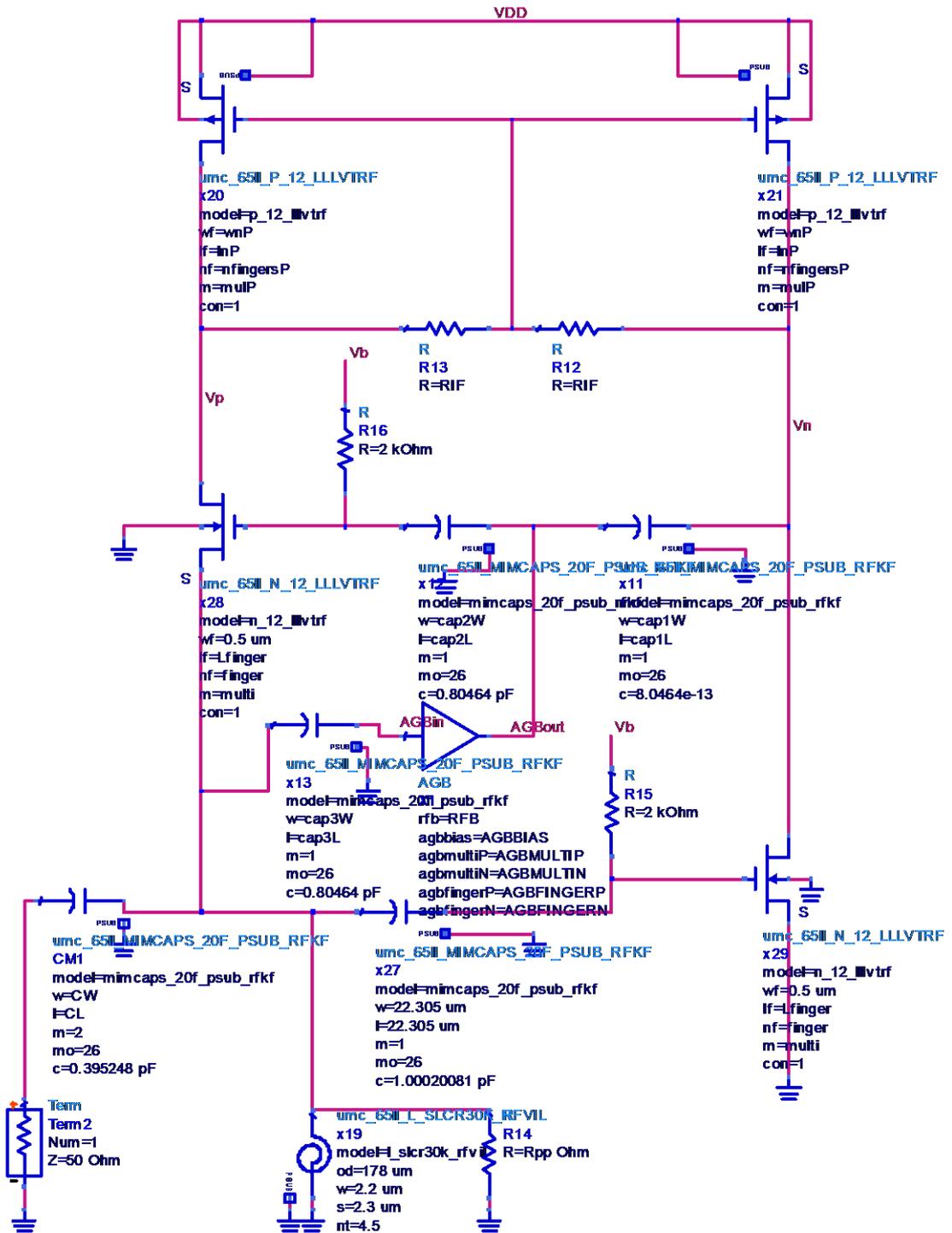


Figura 5-10: Esquemático del LNA con AGB diseñado en ADS.

De igual forma que en el apartado anterior, haciendo un barrido se obtienen los valores de los diferentes parámetros del par diferencial y del *gain boosting* tal y como se muestra en la Figura 5-11.

```

m3
indep(m3)= 23.781
plot_vs(nf(2), dB(S(2,1)))=4.709
RFB=10.000000, AGBMULTIP=1.000000, AGBMULTIN=2.000000, AGBFINGERP=30.000000, AGBFINGERN=32.000000, AGBBIAS=1.200000

```

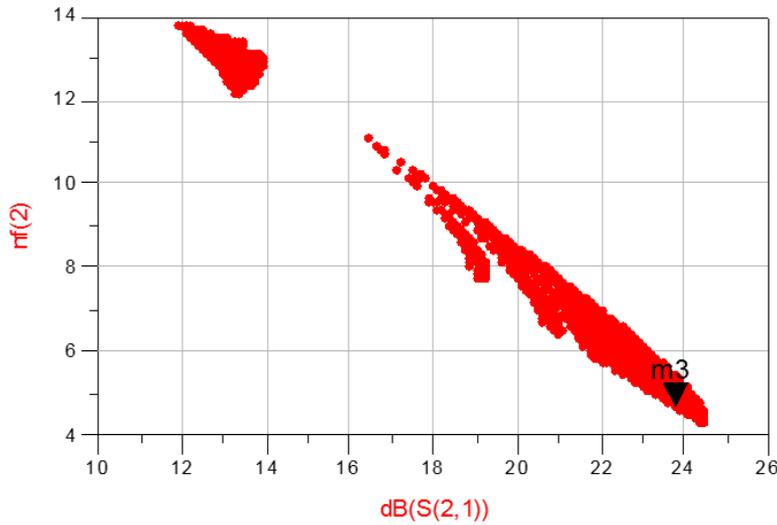


Figura 5-11: NF vs S21 dimensionado del par diferencial y del AGB

A continuación, se realiza un barrido de los transistores de la carga activa y de la resistencia RIF, procediendo de igual manera que en el apartado anterior. Los resultados se muestran en la Figura 5-12.

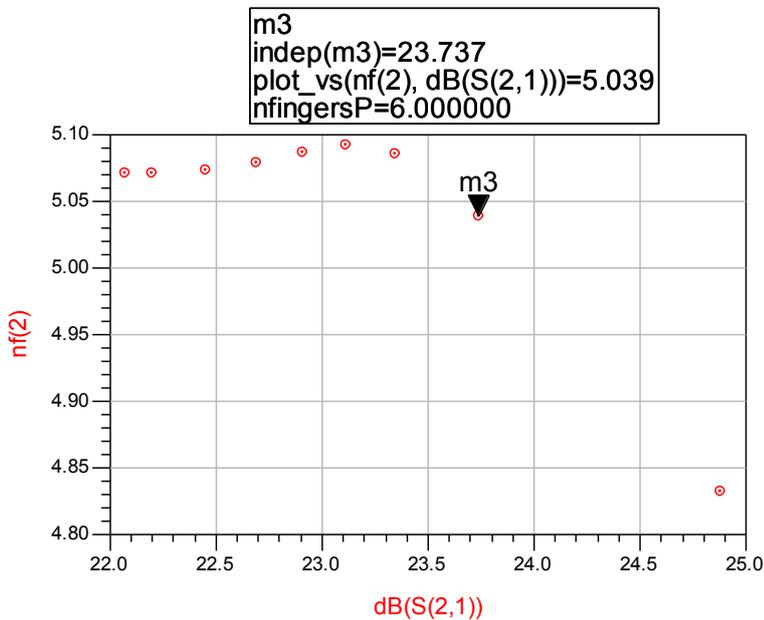


Figura 5-12: NF vs S21 dimensionado de la carga activa.

La adaptación de entrada se realiza de igual forma que en el apartado anterior. Quedando finalmente adaptado tal y como se muestra en la carta de smith de la Figura 5-13.

```
m1
freq=2.4000E9Hz
S(1,1)=1.9643E-2 / 1.2669E2
impedance = Z0 * (9.7632E-1 + j3.0767E-2)
```

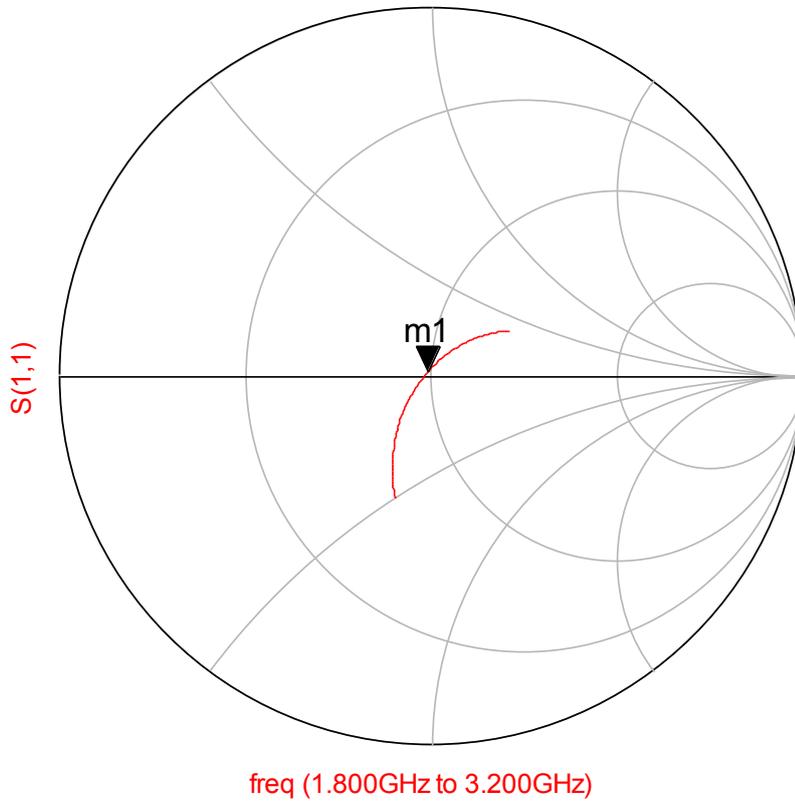


Figura 5-13: Adaptación de la entrada.

5.2.2 Comparación de resultados

En este apartado se realizará una comparación de los resultados de simulación obtenidos en función de si se incluye o no el circuito *gain boosting*. De esta manera se justifica el uso de dicho circuito.

Tabla 5-1: Valores del dimensionado del circuito

Valores de componentes			
	Parámetro	Sin AGB	Con AGB
Par diferencial	Ancho de <i>finger</i>	0,5 μm	0,5 μm
	Largo de <i>finger</i>	0,06 μm	0,06 μm
	Número de <i>fingers</i>	14	18
	multiplicidad	3	1
	Vb	0,45 V	0,4
Carga activa	Ancho de <i>finger</i>	0,5 μm	0,5 μm
	Largo de <i>finger</i>	0,06 μm	0,06 μm
	Número de <i>fingers</i>	6	6
	multiplicidad	1	1
	RIF	11K Ω	9 K Ω
AGB	Ancho de <i>finger</i> N y P	N/A	0,5 μm
	Largo de <i>finger</i> N y P	N/A	0,06 μm
	Número de <i>fingers</i> N	N/A	26
	Multiplicidad N	N/A	2
	Número de <i>fingers</i> P	N/A	16
	Multiplicidad P	N/A	1
	Vbias _{AGB}	N/A	1,2V
	RFB	N/A	20K Ω
Bobina	Diametro exterior	200 μm	180 μm
	Ancho de la pista	2,2 μm	2,2 μm
	Espaciado de la pista	2,3 μm	2,3 μm
	Número de vueltas	4,5	4,5

En la Tabla 5-1 se pueden observar los valores de los componentes y de tensiones de polarización obtenidos en los apartados anteriores. Tal y como se puede observar, en el diseño con *gain boosting* se utilizan más componentes que en el circuito sin *gain boosting*, aunque el tamaño de los transistores del par diferencial es inferior.

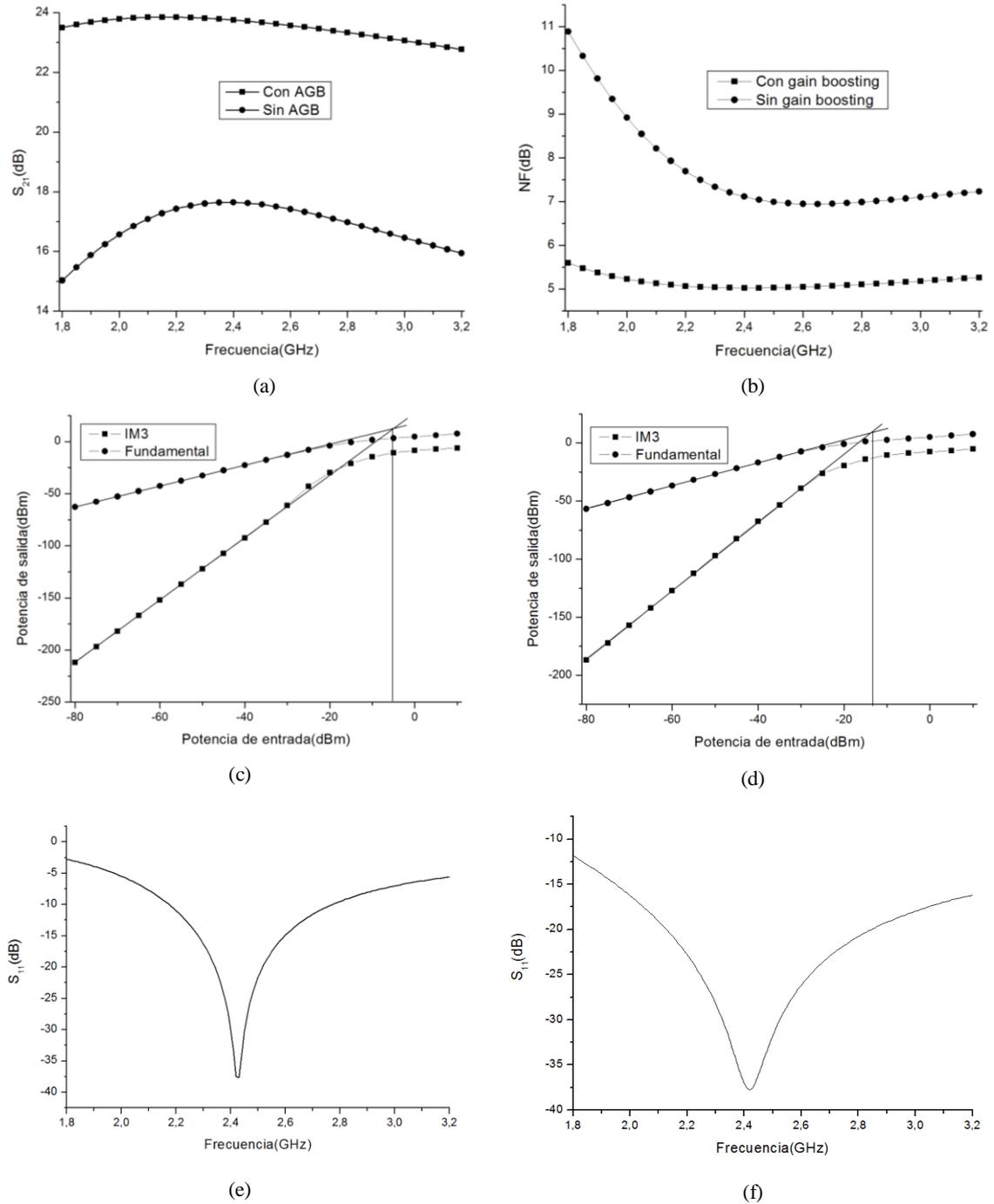


Figura 5-14: Comparación entre los diseños. (a) Ganancia (b) NF (c) IIP3 sin *gain boosting* (d) IIP3 con *gain boosting* (e) Adaptación de

entrada sin *gain boosting* (f) Adaptación de entrada con *gain boosting*

A partir de los resultados que se muestran en la Figura 5-14 se ha confeccionado la Tabla 5-2. Se debe tener en cuenta que los resultados obtenidos son parámetros de importancia en un receptor de RF y se hará hincapié en ellos posteriormente en el capítulo de resultados. Tal y como se puede observar, para poder comparar los dos circuitos se ha fijado un consumo de corriente de aproximadamente 800 μ A. Tanto la ganancia como la NF mejoran al incluir el circuito de *gain boosting*. En cambio, existe una relación de compromiso entre la ganancia y el IIP3 (*Third-Order Input Intercept Point*), es decir, este último empeorará al aumentar la ganancia. Si se requiriese un valor mayor de IIP3, este se conseguiría disminuyendo la ganancia del sistema, lo que a su vez disminuiría el consumo de corriente. En definitiva, se puede afirmar que las mejoras que introduce el circuito *gain boosting* en el LNA son significativas, por lo que se hará uso del mismo en el diseño final.

Tabla 5-2: Comparación entre las características de los 2 LNAs

	Ganancia(dB)	NF(dB)	IIP3(dBm)	Adaptación de entrada	Consumo(μA)
LNA sin AGB	14.66	7.11	-3	Buena	810
LNA con AGB	23.35	5.08	-13	Buena	798

5.3 Mezclador

La función del mezclador es la de trasladar la frecuencia de RF, proveniente del LNA, a la IF deseada. Esta operación se realiza sin modificar las características de frecuencia de la señal a trasladar, tales como ancho de banda, relación de amplitudes, etc. Los mezcladores se pueden clasificar en dos tipos:

1. *Down-conversion*: Estos mezcladores trasladan la señal deseada a una frecuencia más baja y, por tanto, son utilizados en cabezales de recepción.
2. *Up-conversion*: Estos mezcladores trasladan la señal deseada a una frecuencia más alta y, por tanto, son utilizados en cabezales de transmisión.

En este caso, la señal de RF se encuentra en 2,4 GHz, dado que se trata de un cabezal de recepción, se requiere bajar a una frecuencia inferior, que en este caso es de 2,5 MHz. Por lo tanto, se hace necesario el uso de un mezclador “*down-conversion*”.

Para realizar la función de trasladar una señal de una frecuencia a otra, un mezclador de frecuencias le suma o resta a la banda de frecuencia de la señal de RF una señal proveniente del LO, obteniendo finalmente la señal a la frecuencia deseada.

Un mezclador ideal está formado por un multiplicador y un filtro paso banda, aunque en un receptor, al estar la señal de salida a baja frecuencia, se puede hacer uso de un filtro paso bajo, tal y como se muestra en la Figura 5-15.

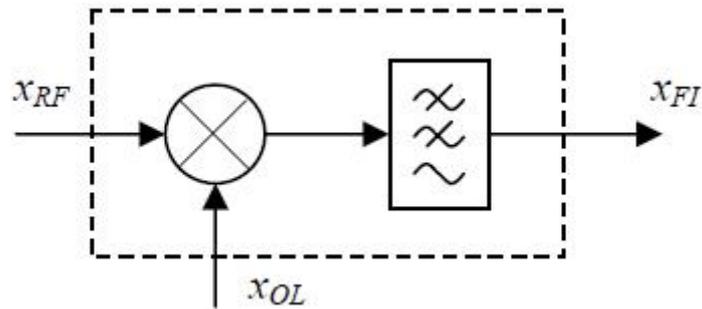


Figura 5-15: Diagrama de bloques de un mezclador ideal.

La señal de RF proveniente del LNA se puede escribir como:

$$X_{RF} = g(t) \cdot \cos(\omega_{RF} \cdot t) \quad (5-4)$$

La señal proveniente del LO se puede escribir como:

$$X_{OL} = A \cdot \cos(\omega_{OL} \cdot t) \quad (5-5)$$

Tal y como se puede observar, al realizar la mezcla obtenemos:

$$\begin{aligned} X_{RF} \cdot X_{OL} &= A \cdot g(t) \cdot \cos(\omega_{RF} \cdot t) \cdot \cos(\omega_{OL} \cdot t) = \\ &= \frac{1}{2} \cdot A \cdot g(t) \cdot [\cos(\omega_{RF} - \omega_{OL}) t + \cos(\omega_{RF} + \omega_{OL}) t] \end{aligned} \quad (5-6)$$

Después de que la señal pase por el filtro paso bajo se obtiene a la salida:

$$X_{Salida} = \frac{1}{2} A \cdot g(t) \cdot \cos(\omega_{RF} - \omega_{OL}) t = \frac{1}{2} A \cdot g(t) \cdot \cos(\omega_{FI}) t \quad (5-7)$$

Tal y como se puede observar, el mezclador realiza una operación no lineal. No obstante, es posible definir una ganancia de conversión, que se puede definir como la relación entre la amplitud de la señal de (IF) y la amplitud de la señal de RF. Así mismo, existen otros parámetros que definen el comportamiento de un mezclador tales como la NF, el margen dinámico, el aislamiento de puertos, etc. [12].

Los mezcladores se pueden clasificar en dos tipos, dependiendo de si están formados por elementos activos, tales como BJT y MOSFET, o pasivos si están formados por diodos o MOSFET cuando actúan como resistencias no lineales. Los mezcladores activos tienen ganancia superior a la unidad, mientras que los pasivos añaden menos ruido y poseen un mayor margen dinámico.

Existe otra clasificación para los mezcladores en función de las componentes espectrales que aparecen a la salida. Los doblemente balanceados son aquellos en los que las frecuencias ω_{OL} y ω_{RF} no aparecen antes del filtro de salida. Si aparece una de las dos frecuencias se denominan balanceados respecto a la que no aparece. Finalmente, si aparecen ambas frecuencias se denominan no balanceados.

5.3.1 Arquitectura de mezclador propuesta: Célula de Gilbert

El esquema más simple de una célula de un mezclador activo y balanceado para RF es el mostrado en la Figura 5-16. El transistor M3 convierte la tensión de RF en una corriente proporcional, mientras que M1 y M2 trabajan en conmutación haciendo circular esta corriente alternativamente a R_{D1} y R_{D2} .

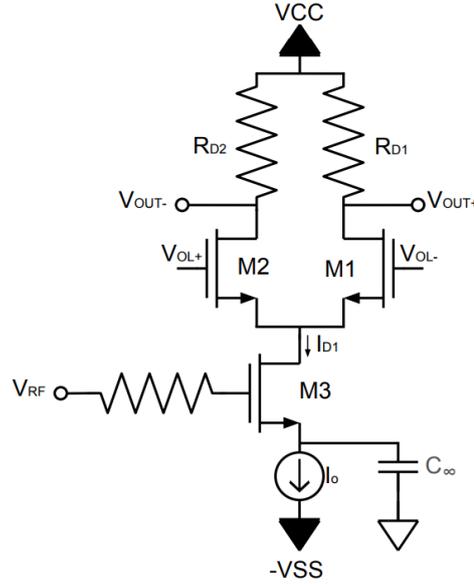


Figura 5-16: Circuito mezclador básico con MOSFET.

Para calcular su corriente total se puede utilizar el teorema de superposición dado que M3 trabaja en saturación y en pequeña señal, por lo que:

$$I_{D1} = I_{DQ1} + i_d(c.a.) = I_o + G_m V_{RF} \quad (5-8)$$

La señal proveniente del LO, v_{OL} es una señal cuadrada de amplitud $\pm A$, suficiente para que M2 y M3 estén alternativamente en corte.

Si $v_{OL} = A$, M1 está en corte y toda la corriente i_{D1} circula por M2 y R_{D2} , por lo que la tensión de salida será:

$$v_o = V_{CC} - (V_{CC} - i_{D1} R_{D2}) = i_{D1} R_{D2} = R_{D2} (I_o + g_m V_{RF}) \quad (5-9)$$

Si $v_{OL} = -A$, M2 está en corte y toda la corriente i_{D2} circula por M1 y R_{D1} . Por lo que la tensión de salida será:

$$v_o = (V_{CC} - i_{D1} R_{D1}) - V_{CC} = -i_{D1} R_{D1} = -R_{D1} (I_o + g_m V_{RF}) \quad (5-10)$$

Haciendo que $R_{D1} = R_{D2} = R_D$ se puede escribir en general que:

$$v_o = R_D (I_o + g_m V_{RF}) \text{sgn}[\cos(\omega_{OL} t)] \quad (5-11)$$

Desarrollando la función $\text{sgn}[\cos(\omega_{OL}t)]$ en serie de Fourier y dado que $V_{RF} = g(t)\text{Cos}(\omega_{RF}t)$ se tiene que:

$$v_o = \frac{4}{\pi} [R_D I_O \cos(\omega_{OL}t) + \frac{g_m R_D}{2} g(t) \cos(\omega_{RF} - \omega_{OL})t + \dots] \quad (5-12)$$

Después de un filtrado paso bajo de la señal de salida y siendo $\omega_{FI} = \omega_{RF} - \omega_{OL}$ se obtiene:

$$v_{FI} = \frac{2}{\pi} g_m R_D g(t) \cos(\omega_{FI}t) \quad (5-13)$$

El filtro debe eliminar la componente de frecuencia de ω_{OL} dado que se trata de un mezclador balanceado para la señal de RF.

La ganancia de conversión con las potencias medidas sobre R_D , será:

$$G = \left(\frac{v_{FI}}{v_{RF}} \right)^2 = \left(\frac{2}{\pi} g_m R_D \right)^2 \quad (5-14)$$

Utilizando este mismo principio se puede construir un mezclador doblemente balanceado, conocido como Célula de Gilbert. Siendo el esquema el mostrado en la Figura 5-17, teniendo todos los transistores del mezclador las mismas dimensiones.

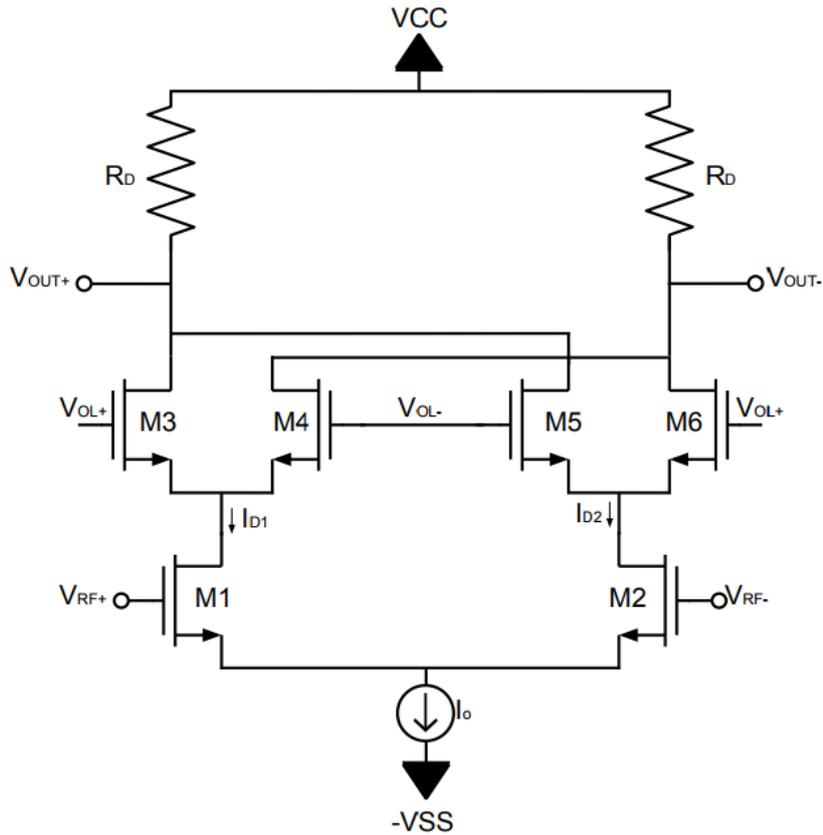


Figura 5-17: Célula de Gilbert con MOSFET.

M1 y M2 forman un par diferencial trabajando en saturación y en pequeña señal, por lo que se puede aplicar superposición para calcular su corriente total. En reposo, los dos transistores se reparten por igual la corriente de polarización I_o y, por lo tanto, sus parámetros de pequeña señal serán iguales. El circuito equivalente para AC (*Alternate current*) y pequeña señal es el mostrado en la Figura 5-18, pudiéndose observar que:

$$g_m v_1 + g_m v_2 = 0 \rightarrow v_1 = -v_2 \quad (5-15)$$

$$v_{RF} = v_1 - v_2 = 0 \rightarrow v_1 = \frac{v_{RF}}{2} \quad (5-16)$$

$$i_{d1} = i_{d2} = \frac{g_m v_{RF}}{2} \quad (5-17)$$

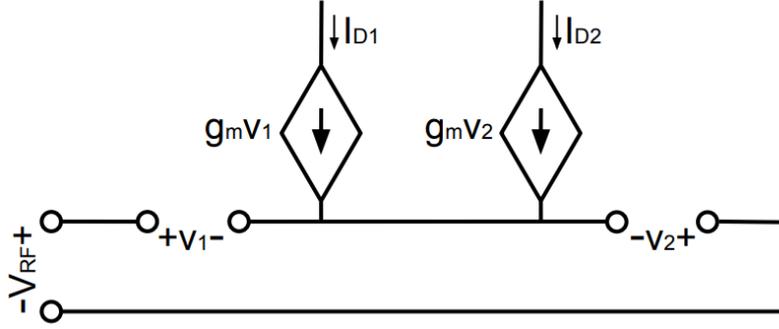


Figura 5-18: Circuito equivalente en pequeña señal del par diferencial.

Por lo tanto:

$$i_{D1} = \frac{1}{2}(I_o + g_m v_{RF}) \quad i_{D2} = \frac{1}{2}(I_o - g_m v_{RF}) \quad (5-18)$$

Si $v_{OL} = A$, M4 y M5 están en corte, $i_{D3} = i_{D1}$ y $i_{D6} = i_{D2}$. Siendo la tensión de salida:

$$\begin{aligned} v_o &= (V_{CC} - i_{D6}R_D) - V_{CC}(V_{CC} - i_{D3}R_D) = R_D(i_{D1} - i_{D2}) \\ &= -\frac{R_D}{2}(I_o + g_m V_{RF} - I_o + g_m V_{RF}) = R_D g_m V_{RF} \end{aligned} \quad (5-19)$$

Si $v_{OL} = -A$, M3 y M6 están en corte, $i_{D4} = i_{D1}$ y $i_{D5} = i_{D2}$. Siendo la tensión de salida:

$$\begin{aligned} v_o &= (V_{CC} - i_{D4}R_D) - V_{CC}(V_{CC} - i_{D5}R_D) = R_D(i_{D2} - i_{D1}) \\ &= -\frac{R_D}{2}(I_o - g_m V_{RF} - I_o - g_m V_{RF}) = -R_D g_m V_{RF} \end{aligned} \quad (5-20)$$

En general:

$$v_o = R_D g_m V_{RF} \text{sgn}[\cos(\omega_{OL} t)] \quad (5-21)$$

Desarrollando la función $\text{sgn}[\cos(\omega_{OL} t)]$ en serie de Fourier y dado que $V_{RF} = g(t)\text{Cos}(\omega_{RF} t)$ se tiene que:

$$v_o = \frac{4}{\pi} \left[\frac{g_m R_D}{2} g(t) \cos(\omega_{RF} - \omega_{OL}) t + \dots \right] \quad (5-22)$$

Tal y como se puede observar, y a diferencia del caso anterior, la componente de frecuencia ω_{OL} no aparece en la salida v_o . Esto se debe a que la Célula de Gilbert es un mezclador doblemente balanceado.

Cabe destacar que el uso de señales diferenciales en el mezclador, lo hace robusto contra el ruido [24].

5.3.2 Ciclo de trabajo del mezclador del 50% vs 25%

Utilizar una señal de reloj del 25% de ciclo de trabajo puede traer una mejora significativa con respecto al 50% de ciclo de trabajo. Concretamente, se obtiene una mejora de 3 dB de ganancia y un menor consumo de corriente. Para explicar las causas de esta mejora se tiene que:

La representación en serie de Fourier de una señal del 50% de ciclo de trabajo se puede representar como:

$$F_{50\%}(t) = \frac{4}{\pi} \left[\cos(\omega_{LO}t) - \frac{1}{3} \cos(3\omega_{LO}t) + \frac{1}{5} \cos(5\omega_{LO}t) + \dots \right] \quad (5-23)$$

Mientras que la representación en serie de Fourier de una señal del 25% de ciclo de trabajo se puede representar como:

$$F_{25\%}(t) = \frac{2\sqrt{2}}{\pi} \left[\cos(\omega_{LO}t) + \frac{1}{3} \cos(3\omega_{LO}t) - \frac{1}{5} \cos(5\omega_{LO}t) + \dots \right] \quad (5-24)$$

Siendo la corriente de salida:

$$i_{RF}(t) = G_M v_{RF} \sin(\omega_{RF}t) \quad (5-25)$$

La corriente de salida $I_{RF}(t)$ se obtiene multiplicando la señal del LO con la corriente de entrada. Teniendo esto en cuenta, la frecuencia de salida del mezclador es la diferencia entre la frecuencia de RF y la frecuencia del LO. La corriente de salida para un ciclo de trabajo d se puede escribir como:

$$i_{IF}(t) = \left(\frac{2}{\pi} \sin(\pi d) \right) \frac{1}{2d} G_M v_{RF} \sin(\omega_{IF}t) \quad (5-26)$$

El termino $\frac{1}{2}d$ introduce una compensación por el incremento de corriente en el mezclador, dado por el termino $\left(\frac{2}{\pi} \sin(\pi d)\right)$, al incrementar el ciclo de trabajo. En la práctica, esto hace que la ganancia de conversión para un ciclo de trabajo del 25% sea mayor que la obtenida para un ciclo de trabajo del 50%. Teniendo en cuenta que $v_{IF}(t) = i_{IF}(t)R_F$ y la ganancia de conversión del mezclador es v_{IF}/v_{RF} , la diferencia en ganancia entre el uso de un ciclo de trabajo del 25% y un 50% es [3]:

$$\Delta G = 20 \log\left(\frac{2\sqrt{2}}{\pi} G_M R_F\right) - 20 \log\left(\frac{2}{\pi} G_M R_F\right) = 3dB \quad (5-27)$$

Para demostrar las explicaciones teóricas presentadas anteriormente, se hará uso del esquema de un mezclador ideal, mostrado en la Figura 5-19, formado por interruptores ideales, mezclando así la frecuencia de RF con la del LO.

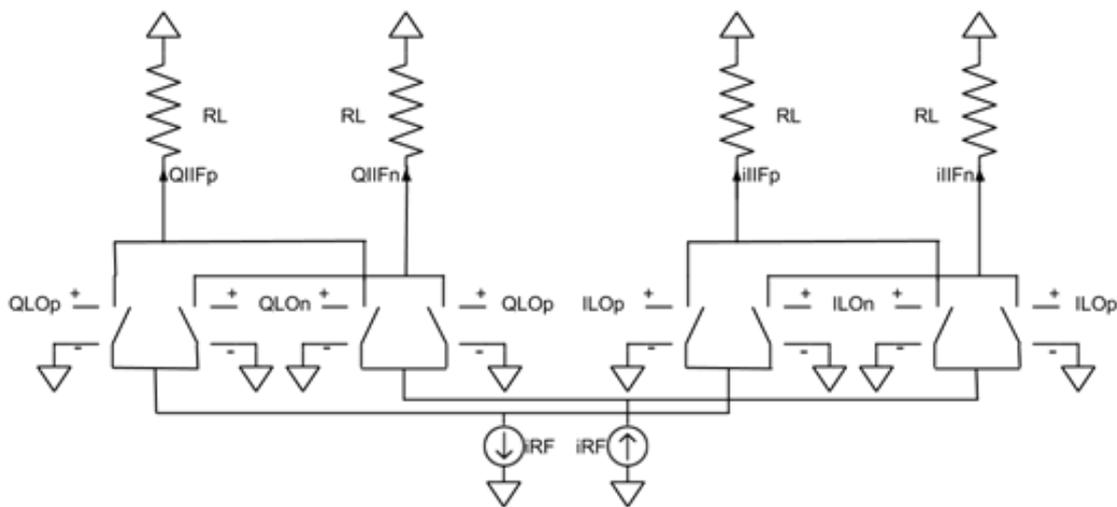


Figura 5-19: Mezclador ideal.

En la Figura 5-20 se muestran las señales de reloj del LO con ciclo de trabajo del 25% y del 50%, respectivamente. Se puede observar que existe un desfase de 90° entre las señales I y Q, y 180° entre las señales positiva y negativa de cada uno.

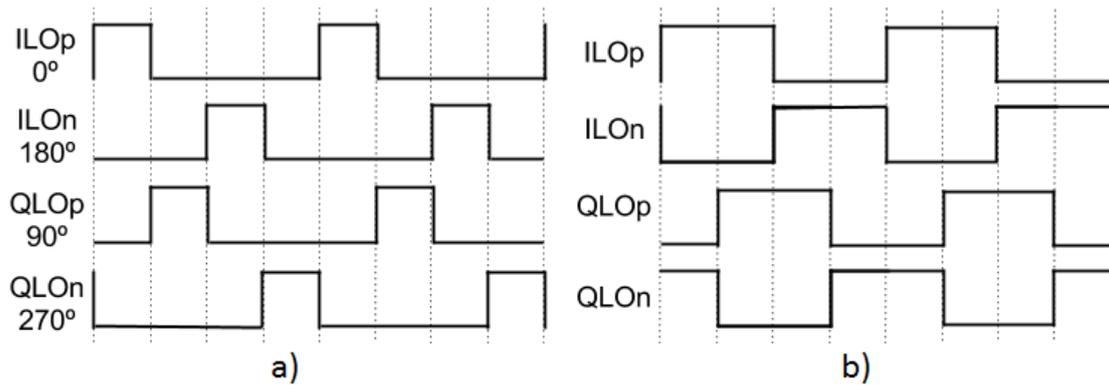


Figura 5-20: (a) Ciclo de trabajo del 25% (b) Ciclo de trabajo del 50%.

En la Figura 5-21 se muestran los resultados de la simulación de ganancia de conversión frente al ciclo de trabajo del LO. Para un ciclo de trabajo del 25%, la ganancia obtenida es aproximadamente $-0,9\text{dB}$, mientras que para un ciclo de trabajo del 50% se obtienen $-3,9\text{ dB}$. Este efecto puede observarse en la ecuación (5-27). Si $G_M R_F=1$, para un ciclo de trabajo de un 25% la ganancia será $20 \log \left(\frac{2\sqrt{2}}{\pi} \right) \approx -0,9\text{ dB}$, mientras que para un ciclo de trabajo de un 50% será de $20 \log \left(\frac{2}{\pi} \right) \approx -3,9\text{ dB}$, es decir, 3 dB inferior que la ganancia proporcionada por un ciclo de trabajo de un 25%.

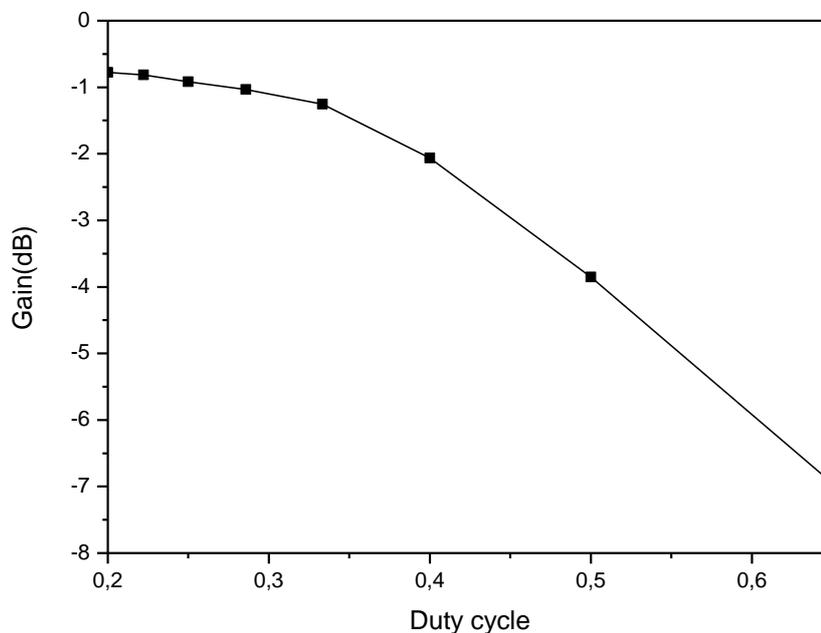


Figura 5-21: Ganancia vs ciclo de trabajo.

En la Figura 6-2 se puede observar el diseño del BLIXER en la herramienta ADS. VDD corresponde con la alimentación de 1.2V proporcionada por una fuente de tensión, mientras que Vb corresponde con la tensión de polarización de los transistores CG y CS, también proporcionada por una fuente de alimentación.

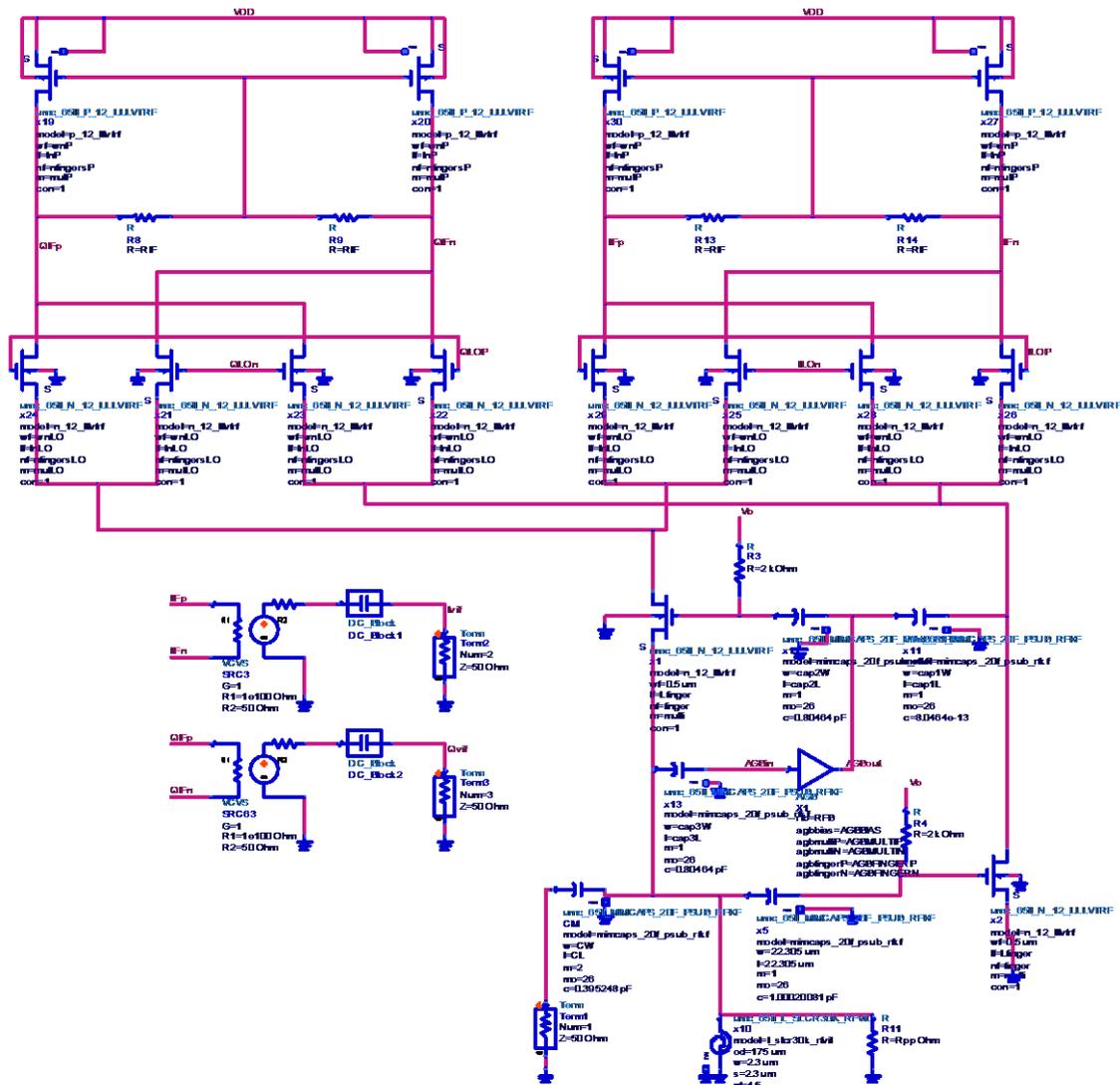


Figura 6-2: Diseño del BLIXER en ADS.

Con respecto a la adaptación de la entrada, se ha partido del Balun-LNA diseñado en el apartado 5.2.1. Al apilar el mezclador sobre el Balun-LNA se ha tenido que volver a ajustar la entrada siguiendo el mismo procedimiento comentado en ese mismo apartado.

6.2 El mezclador

Tal y como se ha comentado anteriormente, el mezclador necesita la señal del LO para realizar la traslación en frecuencias. Como el diseño de un LO no entra dentro del alcance de este proyecto, se ha optado por implementar generadores de pulsos. Estos generadores funcionan a 2,5 MHz por debajo de los 2,4 GHz para que la IF se sitúe en los 2,5 MHz deseados. Sin embargo, el LO debe diferenciar entre fase y cuadratura y, por tanto, se debe desfazar la señal 90 grados. Además, tanto para la rama de fase como para la rama de cuadratura, debe llegar la señal tanto positiva como la negativa. Para ello se desfaza la señal 180 grados. Por tanto, se obtienen las señales ILOp, ILOn, QLOp y QLOn, todas desfasadas entre ellas y generadas por las fuentes que se muestran en la Figura 6-3.

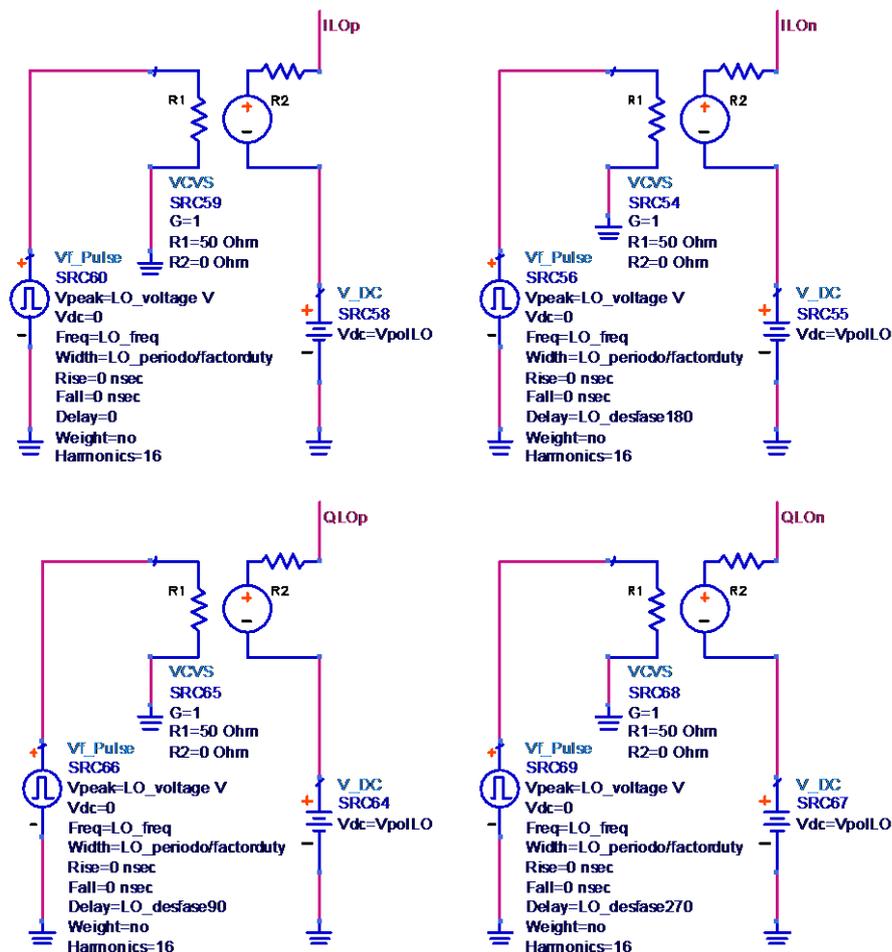


Figura 6-3: Señal del LO utilizada por el mezclador.

En la Figura 6-4 se pueden observar diferentes parámetros del receptor, para obtener las señales del LO. Dado que los transistores M3 a M6 y M9 a M12 pertenecientes al mezclador son utilizados como conmutadores, se ha añadido una fuente de tensión continua VpolLO en serie con cada fuente de señal de reloj con el objetivo de acercarse a la zona de conducción de los transistores, para aumentar la velocidad de conmutación.

```

Var Eqn VAR
VAR7
LO_freq=2.3975 GHz
fspacing=500 kHz
factorduty=4
LO_periodo=1/LO_freq
LO_desfase90=LO_periodo/4
LO_desfase180=LO_periodo/2
LO_desfase270=(3*LO_periodo)/4
IF_freq=RF_freq-LO_freq
RF_freq=2.4 GHz
RF_Power=-85
LO_Power=0
VpolLO=400 m
LO_voltage=sqrt(50*factorduty*(10**-3)*10**(LO_Power/10))

```

Figura 6-4: Parámetros del receptor.

Cabe destacar que, con respecto a la realización de las simulaciones, se ha tenido en cuenta que para realizar una comparación veraz del mezclador funcionando a diferentes ciclos de trabajo se ha de mantener la potencia constante. Sin embargo, el ADS no proporciona una fuente de pulsos dependiente de potencia y, por tanto, se utilizarán tensiones para fijar las potencias. Es por ello que se seguirán los siguientes cálculos:

Para hallar la potencia de una señal rectangular de ciclo de trabajo (f_{duty}) variable se tiene que:

$$P_{f_{duty}} = \frac{1}{T} \int_0^{T \cdot f_{duty}} \frac{v^2(t)}{R} dt = \frac{v^2(t)}{R} f_{duty} \quad (6-1)$$

Tal y como se puede observar en la ecuación (6-1) y suponiendo que f_{duty} varía de cero (para un ciclo de trabajo del 0%) a 1 (para un ciclo de trabajo del 100%), para una potencia dependiente del ciclo de trabajo y una tensión constante, ésta aumenta de forma proporcional

a f_{duty} . Es por ello que, si se quiere mantener una potencia constante se tendrá que hacer variar la tensión de forma inversamente proporcional a f_{duty} . De esta forma se obtiene:

$$P = \frac{v^2}{R \cdot f_{duty}} \quad (6-2)$$

Que pasándolo a dBm resulta:

$$P_{dBm} = 10 \log \left(\frac{v^2}{R \cdot f_{duty} \cdot 10^{-3}} \right) \quad (6-3)$$

Finalmente, operando y despejando la tensión queda que:

$$v = \sqrt{R \cdot f_{duty} \cdot 10^{-3} \cdot 10^{\frac{P_{dBm}}{10}}} \quad (6-4)$$

Hay que tener en cuenta que todas las potencias están referidas a una tensión que cae sobre una resistencia de 50Ω , quedando como la ecuación LO_voltage de la Figura 6-4.

6.2.1 Comparación 25% ciclo de trabajo vs 50%

En el apartado 5.3.1 se expusieron los beneficios de usar un mezclador con un ciclo de trabajo del 25%. En este apartado se mostrará el resultado de la comparación con el BLIXER final utilizando modelos de componentes reales, verificando así la mejoría de esta técnica en la práctica.

Para realizar esta simulación se ha utilizado el montaje del Anexo 6.1, en el cual se puede observar que a la entrada del circuito se ha hecho uso del componente “PI_Tone” a la entrada del circuito, y el componente “Term” en las salidas I y Q.

Finalmente, para obtener el resultado se ha optado por una simulación de balance de armónicos “HARMONIC BALANCE” haciendo un barrido de la variable “factorduty” tal y como se puede observar en la Figura 6-5.

 **HARMONIC BALANCE**

```
HarmonicBalance
HB4
MaxOrder=6           SweepVar="factorduty"
Freq[1]=LO_freq     Start=1.5
Freq[2]=RF_freq+fspacing/2 Stop=0.5
Order[1]=5          Step=0.5
Order[2]=3
InputFreq=RF_freq
NLNoiseMode=yes
NLNoiseStart=
NLNoiseStop=
NLNoiseStep=
FreqForNoise=IF_freq
NoiseInputPort=1
NoiseOutputPort=2
NoiseNode[1]="Ivif"
UseKrylov=yes
```

Figura 6-5: HARMONIC BALANCE barrido de factorduty.

Tal y como se había calculado teóricamente y probado con las simulaciones ideales del apartado 5.3.2, se puede observar que en la Figura 6-6 se obtiene una ganancia de aproximadamente 3dB mayor si el mezclador conmuta con una señal de reloj con ciclo de trabajo del 50%. Así mismo, también se puede observar que hay un decremento de 1.5dB en la NF total.

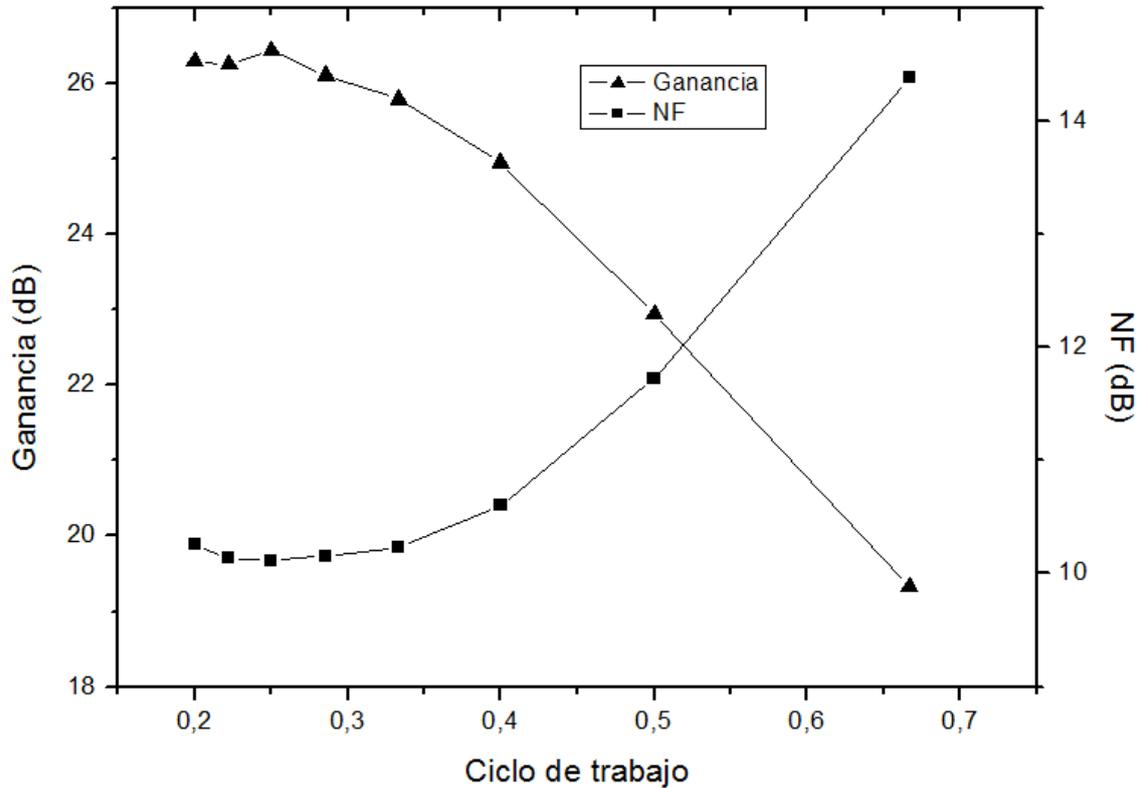


Figura 6-6: Ganancia y NF VS Ciclo de trabajo.

6.3 Resultados de simulación

En este apartado se expondrán los diferentes resultados obtenidos de los parámetros característicos del cabezal de recepción.

6.3.1 Adaptación de entrada

En los receptores de RF la adaptación de entrada es una característica muy importante. Una buena adaptación de entrada evita pérdidas en la señal. Ésta es llevada a cabo por el LNA, dado que es el primer elemento del cabezal de recepción. Generalmente, el LNA se conecta directamente con la antena, aunque ocasionalmente se implementa un filtro de selección de canal antes. En definitiva, el LNA debe adaptar la señal entrante para que el cabezal de recepción pueda funcionar adecuadamente.

Para ello se ha calculado el parámetro S_{11} que representa la adaptación de entrada de un circuito de RF. Teóricamente este parámetro indica el grado de adaptación de la impedancia de entrada. Si la entrada está adaptada, no existirá pérdida de potencia en la señal por la

reflexión de la señal de entrada, por tanto, una adaptación perfecta sería $S_{11}=0+j0$. La adaptación de entrada puede definirse mediante la expresión:

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (6-5)$$

En (6-5) el parámetro b_1 representa la potencia de onda reflejada y a_1 la potencia de onda incidente. Esto es la relación entre la potencia reflejada en el puerto 1 y la potencia incidente en dicho puerto.

Para obtener el valor de S_{11} se ha hecho uso de la herramienta de simulación de parámetros S que proporciona el ADS, haciendo un barrido entre 1.8 GHz y 3.2 GHz, quedando centrada la frecuencia de 2.4 GHz a la que trabajará el cabezal de recepción tal y como se muestra en el Anexo 6.2.

Se ha conseguido un valor de parámetros S_{11} de -35 dB, tal y como se puede observar en la Figura 6-7. Tal y como se puede encontrar en la literatura, generalmente se considera una buena adaptación de entrada a partir de valores de -10 dB.

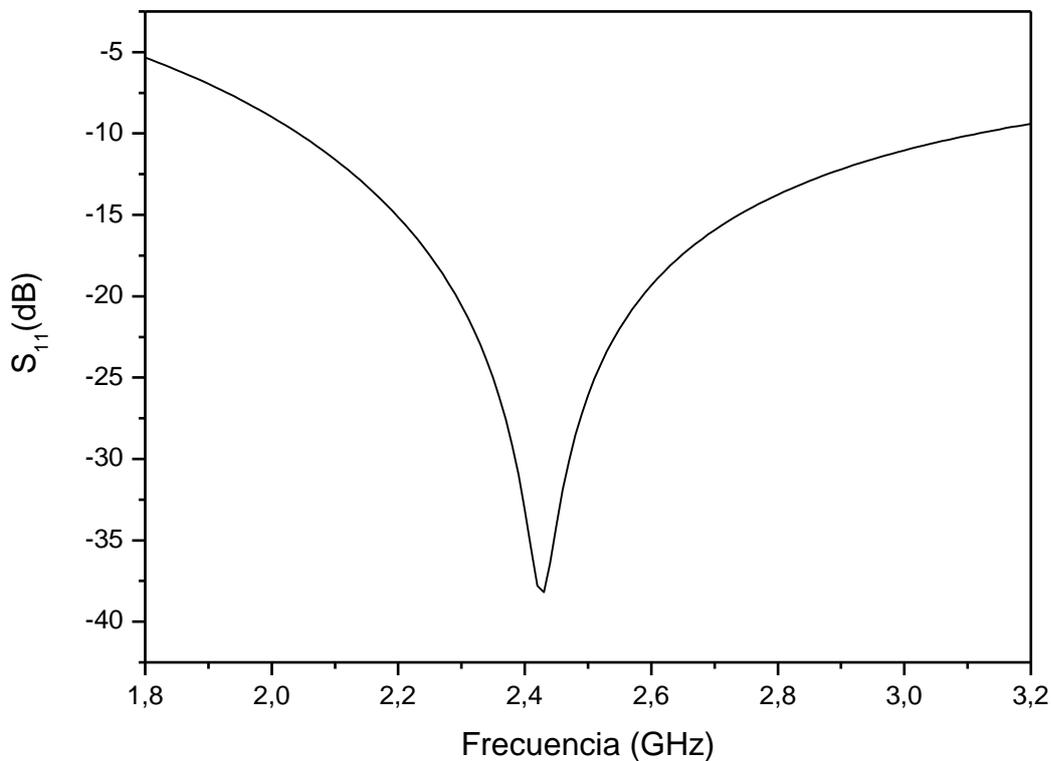


Figura 6-7: Adaptación de entrada.

6.3.2 Ganancia y NF

Con respecto a la ganancia y la NF, se puede decir que son dos parámetros de gran importancia a la hora de diseñar un receptor de RF para tecnologías inalámbricas. Esto es debido a las interferencias introducidas en el medio de transmisión que dificultan la comunicación, siendo por ello importante que el cabezal diseñado tenga la mayor ganancia posible y el menor ruido.

Para la obtención de los parámetros de ganancia y NF se ha de tener en cuenta la banda de frecuencias del estándar 802.15.4, que va desde los 2.4 GHz hasta los 2.4835 GHz. Para ello se realizó una simulación de balance de armónicos, ideal para simular circuitos no lineales y de radiofrecuencia. En este caso, también se realizó un barrido de la frecuencia de RF de entrada para toda la banda haciendo uso del *setup* de simulación del Anexo 6.3.

En la Figura 6-8 se pueden apreciar los valores de ganancia y NF obtenidos, pudiéndose observar que la ganancia se mantiene prácticamente constante a lo largo de toda la banda de frecuencias sobre los 26,70 dB, al igual que la NF, que se mantiene constante sobre los 9,9 dB.

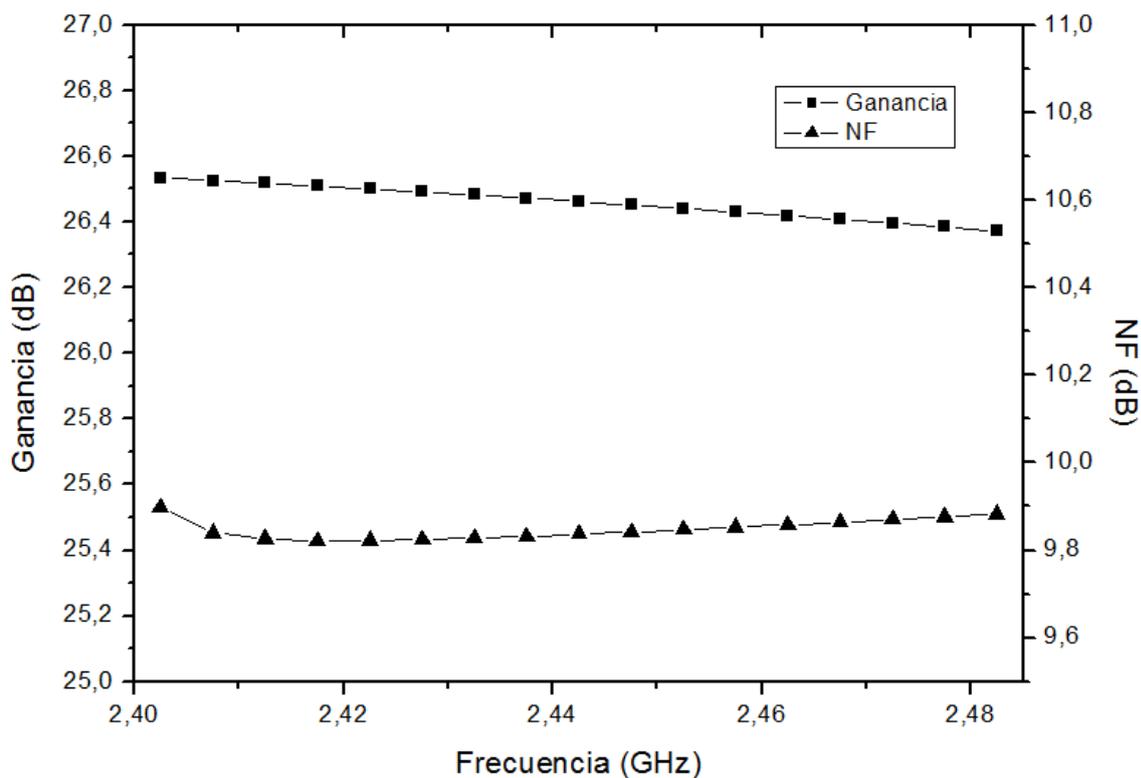


Figura 6-8: Ganancia y NF para la banda de frecuencias del estándar 802.15.4

Con respecto al valor de NF en un único canal obtenido en la simulación, este se muestra en la Figura 6-9. Se puede observar como la NF es prácticamente constante a lo largo del canal, con un valor de 9,9 dB, hasta llegar a frecuencias bajas, donde hay un repunte debido al ruido *flicker* comentado en el capítulo 3. Esto no es problemático dado que el repunte de ruido aparece fuera del canal de IF que se centra en 2,5MHz y tiene un ancho de banda de 2MHz.

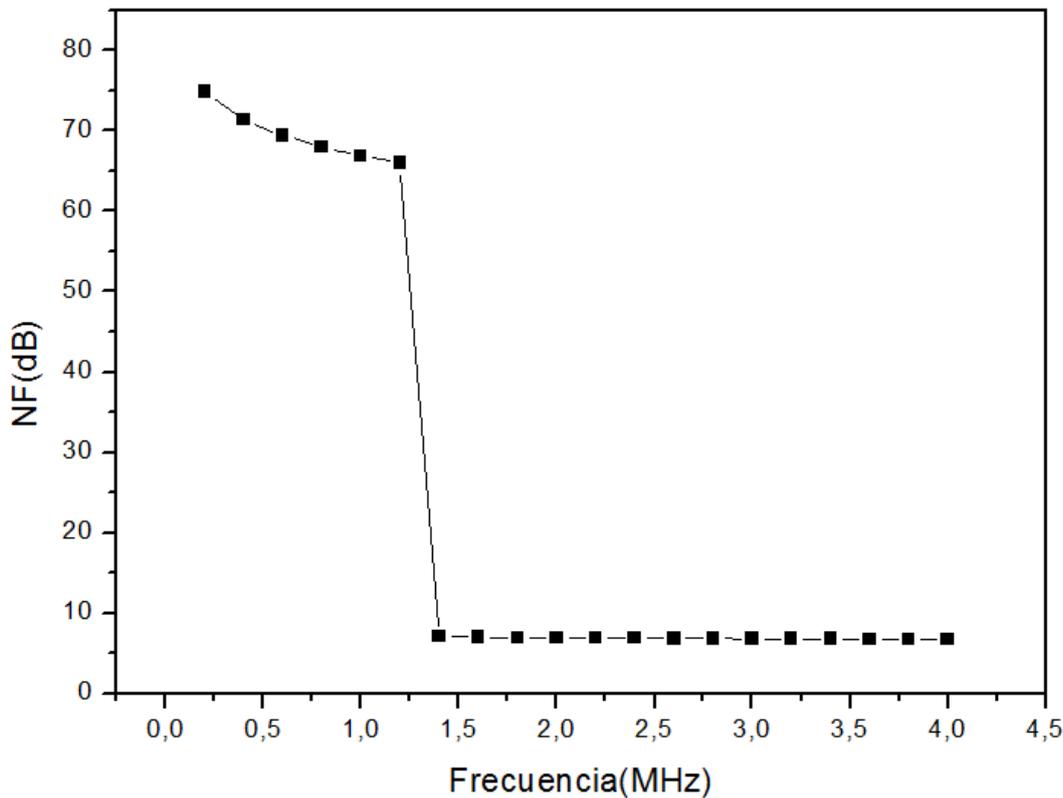


Figura 6-9: NF para un canal.

6.3.3 IP3

La linealidad del receptor es un parámetro clave en circuitos de RF. Esta se basa, por definición, en que a la salida haya la menor distorsión posible. Un dispositivo se considera lineal si la señal a la salida solo difiere en la entrada en un factor de ganancia y en un retardo de tiempo.

Para obtener la linealidad del receptor se calculó el IP_3 (*Third-Order Intercept Point*). Este es el punto de intercepción de 3º orden y se trata de un punto teórico. Se trata de una extrapolación del punto donde se cruzan las curvas que representan la señal fundamental y la señal producto de la distorsión de tercer orden. En la literatura se puede encontrar este punto

referido tanto a la entrada (IIP₃) como a la salida (OIP₃). En este caso se ha optado por calcular el IIP₃.

Para hallar el IIP₃ se aplican dos tonos a la entrada, los cuales generan los productos de intermodulación, tal y como se muestra en la Figura 6-10. Se varía la potencia de entrada y se mide tanto la potencia de la señal de salida como la de los productos de intermodulación, tal y como se muestra en el *setup* de simulación del Anexo 6.4. De este modo, se generan las curvas de la potencia de salida tanto de la señal fundamental como de la señal producto de la distorsión de tercer orden, lo cual permite hallar el punto de intercepción.

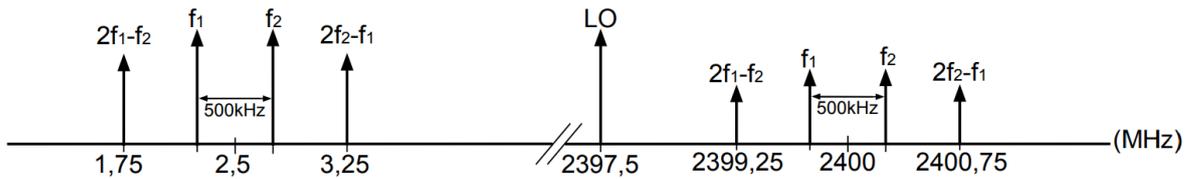


Figura 6-10: Fundamental y productos de intermodulación.

En este caso se ha obtenido un IIP₃ de -16 dBm cuando se aplican a la entrada dos tonos espaciados 250 kHz con respecto al centro del canal, tal y como se muestra en la Figura 6-11.

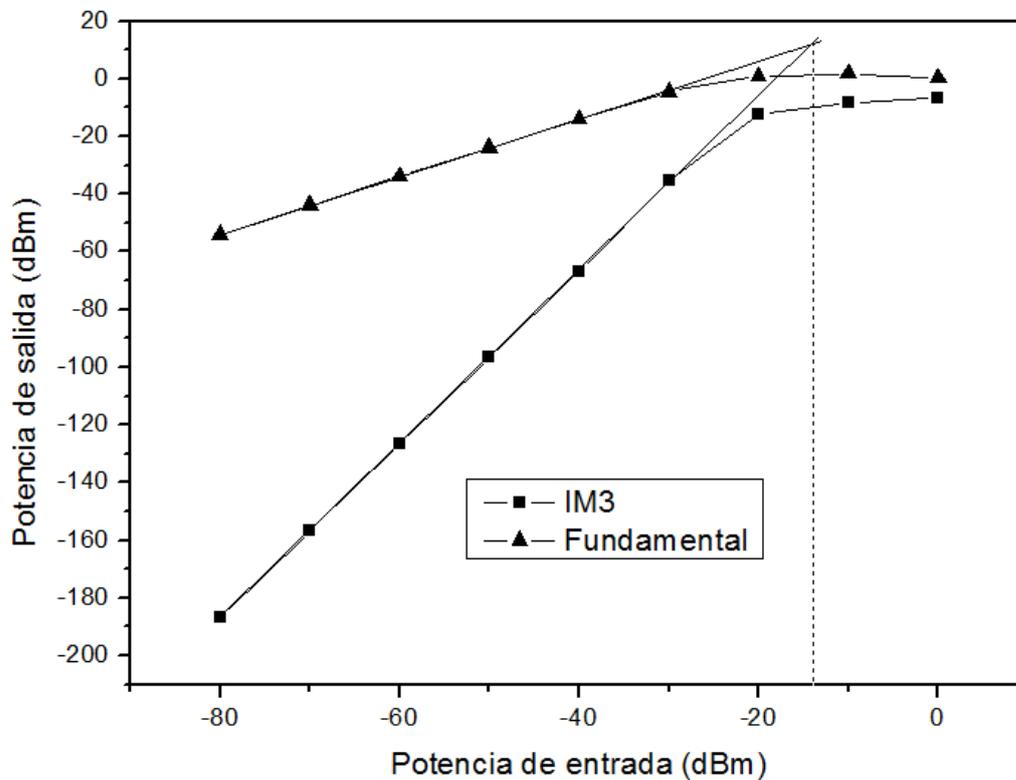


Figura 6-11: Punto de intercepción IIP₃ del receptor

En aplicaciones de RF, interesa que el valor de IIP_3 sea lo más alto posible, ya que esto se traduce en que el circuito deja de ser lineal para un valor de potencia elevado. Por lo tanto, el circuito será lineal para un mayor rango de potencia de entrada.

7. BLIXER+Filtro

A lo largo de este capítulo se describirán los diferentes circuitos que componen la etapa de filtrado diseñada para el cabezal de recepción. Se tendrán en cuenta las peculiaridades de cada circuito por separado, teniéndolas en consideración para el diseño final del circuito.

7.1 Filtrado

El cabezal de recepción contará con un filtro bicuadrático encargado de seleccionar el canal, para quedarse con el rango de frecuencias deseado. Asimismo, se incluye un filtro de polo complejo apilado con el Blixer, el cual se encargará de atenuar la señal imagen.

7.1.1 Filtro bicuadrático

La primera etapa de filtrado consistirá en un filtro paso bajo que corresponde con una función de transferencia bicuadrática. Para ello, se pueden introducir un par de polos complejos a través de una red RLC, mostrada en la Figura 7-1.

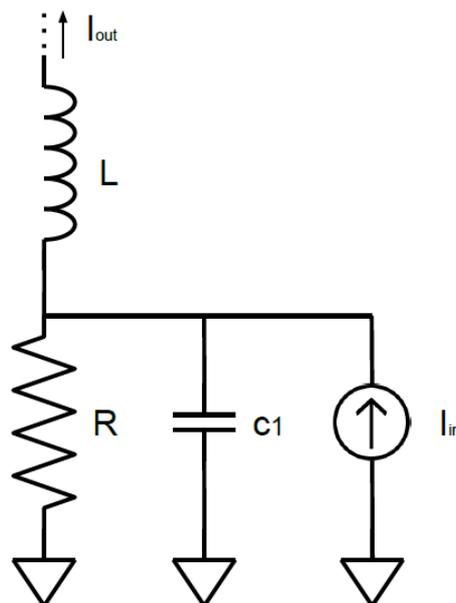


Figura 7-1: Red de filtrado RLC.

En este caso, el flujo de corriente que pasa a través de la bobina tiene una característica paso bajo y con una frecuencia de corte igual al circuito resonante LC y un factor de calidad Q , que vienen dado por la resistencia en paralelo R .

Dado que este es un circuito que trabaja a baja frecuencia y pretende integrarse en un chip, la construcción de una bobina espiral $L1$ que resuene con $C1$ es poco recomendable, dado que su implementación sería prohibitiva en términos de área. Es por ello que se ha optado por implementar el circuito de la Figura 7-2.

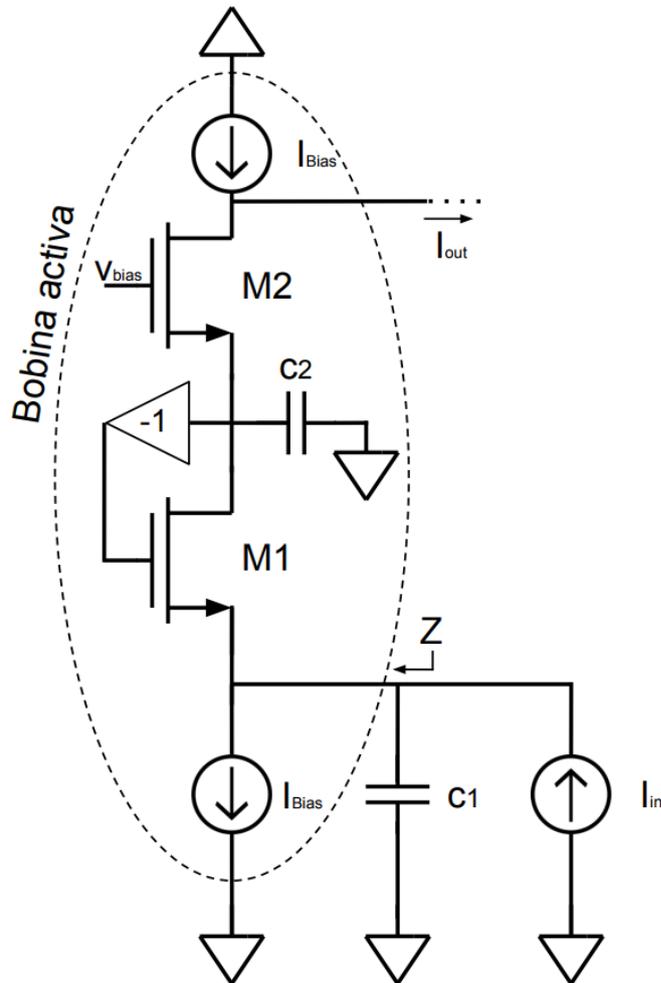


Figura 7-2: Circuito RLC con bobina activa.

El circuito propuesto implementa la bobina activa mediante la red formada por los transistores $M1$ - $M2$ y el condensador $C2$. En DC, la realimentación cerrada alrededor de $M1$ fuerza la tensión de entrada de pequeña señal en el surtidor de $M1$ a ser igual a la diferencia entre la tensión en pequeña señal puerta-surtidor de $M1$ y $M2$, produciendo (con el uso de dos transistores idénticos) un cortocircuito virtual entre la entrada y la puerta de $M2$. Moviendo

desde DC hasta frecuencias mayores, la presencia de la capacidad C2 reduce la cantidad de realimentación alrededor de M1 y la impedancia de entrada aumenta como en un inductor. Calculando el valor de la impedancia Z versus frecuencia teniendo en cuenta que $g_{m1}=g_{m2}=g_m$, se obtiene que:

$$Z = \frac{sC_2}{g_m^2} \cdot \frac{1}{1 + sC_2/g_m} \quad (7-1)$$

Tal y como se puede observar en la ecuación anterior, el comportamiento del circuito corresponde con una inductancia $L=sC_2/g_m^2$ en paralelo con una resistencia $R=1/g_m$. En definitiva, el circuito ha girado la impedancia proporcionada por C2 convirtiéndola en una bobina.

El circuito de la Figura 7-2 implementa el filtro biquadrático deseado, siendo la función de transferencia:

$$\frac{i_{out}}{i_{in}} = \frac{\frac{g_m^2}{C1 \cdot C2}}{s^2 + s \frac{g_m}{C1} + \frac{g_m^2}{C1 \cdot C2}} \quad (7-2)$$

Donde g_m es la transconductancia de M1 y M2. El filtro tiene una ganancia en corriente en la banda igual a 1, por lo que actúa como un filtro sin pérdidas en el cual no se inyecta corriente adicional en el camino de la señal.

La frecuencia de los polos conjugados ω_0 y su factor de calidad Q vienen dados por:

$$\omega_0 = \frac{g_m}{\sqrt{C1 \cdot C2}}$$

$$Q = \sqrt{\frac{C1}{C2}} \quad (7-3)$$

Dado que se ha elegido la misma transconductancia para los transistores M1 y M2, la frecuencia del filtro biquadrático solo dependerá de g_m y el producto de las capacidades, mientras que el factor de calidad Q solo dependerá de la relación C1/C2.

Mientras que la función de transferencia del filtro tiene una forma paso-bajo, la impedancia de entrada del filtro corresponde a un circuito resonante LRC paralelo y viene dada por:

$$\frac{i_{out}}{i_{in}} = \frac{s}{s^2 + s \frac{g_m}{C_1} + \frac{g_m^2}{C_1 \cdot C_2}} \quad (7-4)$$

La forma paso bajo de la impedancia de entrada da un valor de impedancia muy baja (idealmente cero) cerca de los 0 Hz debido a la presencia de la bobina activa y en altas frecuencias debido a la capacidad C1. El máximo de la impedancia de entrada se encuentra en ω_0 y corresponde con la resistencia $R=1/g_m$ en paralelo con la bobina activa [25], [26].

Para demostrar el funcionamiento del filtro se ha realizado el montaje del circuito que se muestra en la Figura 7-3.

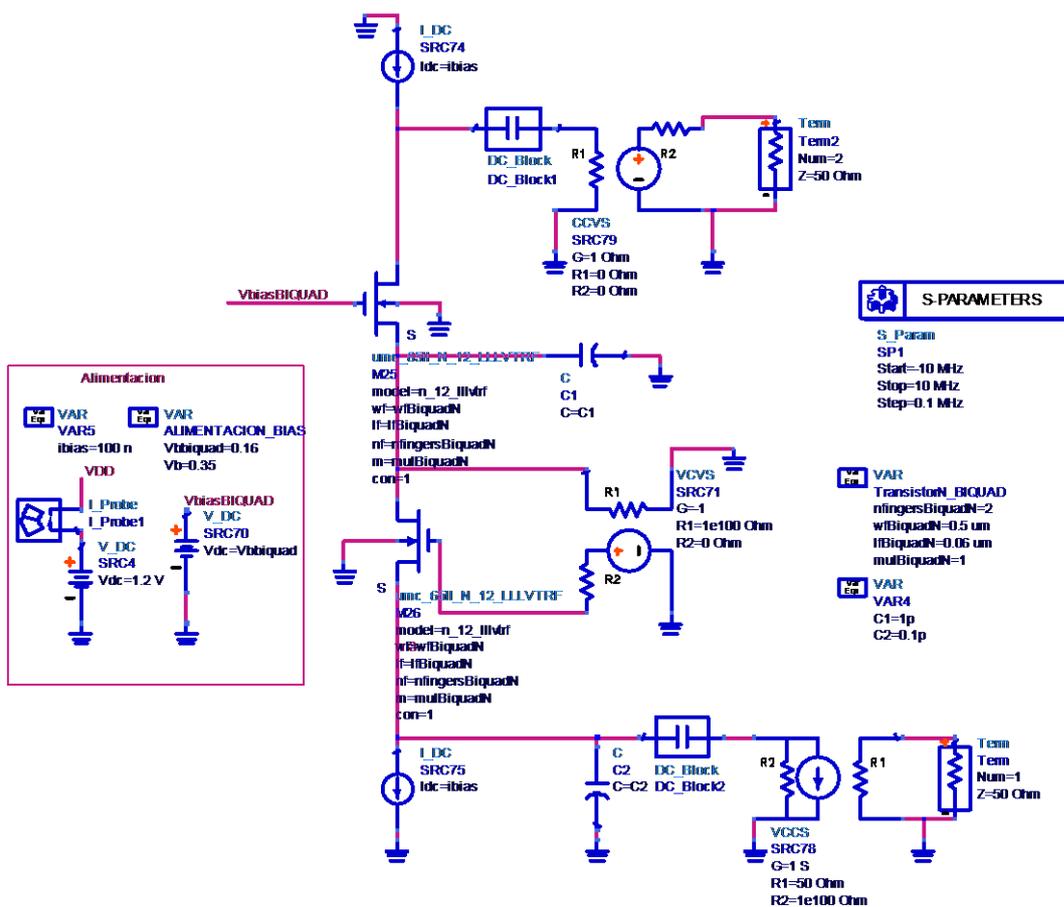


Figura 7-3: Filtro paso bajo bicuadrático.

La corriente de *ibias* y el número de *fingers* de los transistores fijarán la transconductancia de cada transistor. En este caso, se fija una corriente de 100nA para polarizar el circuito y se han dimensionado los transistores con un número de *fingers* de 2. A continuación, se modifican los valores de los condensadores C1 y C2 para variar la frecuencia de corte del filtro. Cabe destacar que, tanto el aumento del ratio de los condensadores C1 y C2 como el aumento de la transconductancia de los transistores, incrementará la frecuencia de corte del filtro, tal y como se muestra en (7-3). Dado que esto solo es una demostración del funcionamiento del filtro, los valores exactos de los componentes no son de vital importancia. En un caso práctico, se tomaría como limitación la corriente que pasará por los transistores, dado que este filtro se acoplará directamente encima del mezclador, reutilizando así su corriente. Es importante mencionar que C1 debe de ser mayor que C2 para que el factor de calidad Q sea mayor que 1 tal y como se muestra en (7-3). Finalmente, se modificarán los valores de los condensadores para llegar a la frecuencia de corte deseada. En este caso la respuesta del filtro se muestra en la Figura 7-4.

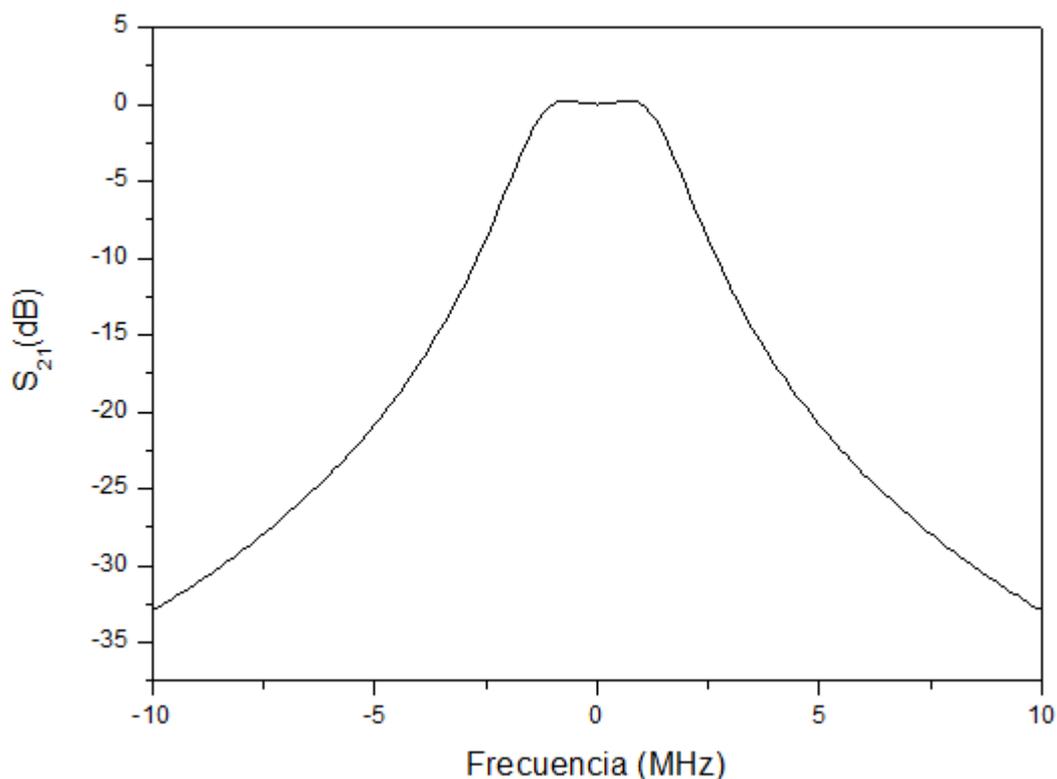


Figura 7-4: Respuesta en frecuencia filtro paso bajo.

Dado que el cabezal de recepción propuesto trabaja a una IF de 2,5MHz, este filtro no se podría utilizar por si solo. Por ello se añade una bobina en paralelo con C1 y R, que desplazará

la frecuencia central del filtro a la frecuencia de trabajo, quedando el circuito como se muestra en la Figura 7-5.

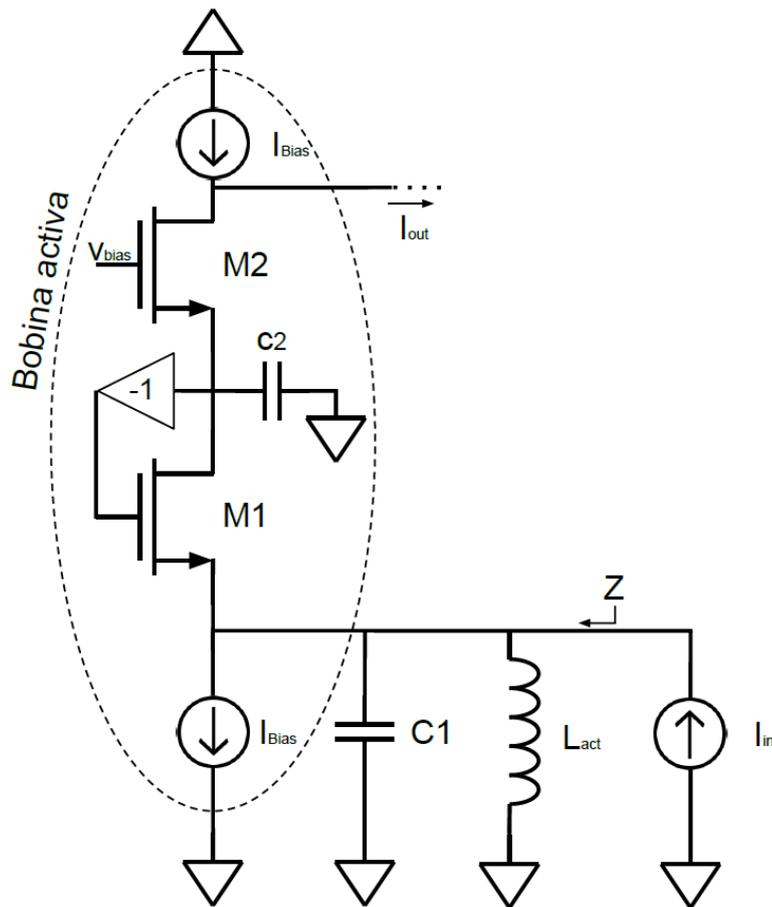


Figura 7-5: Filtro paso banda.

En esta modificación del circuito anterior, la bobina L deriva a tierra las frecuencias cercanas a continua, mientras que el condensador C1 deriva a tierra las frecuencias altas y la relación C1 y C2 modifica el ancho de banda del filtro. Teniendo en cuenta que se mantiene la transconductancia $g_{m1}=g_{m2}=g_m$, se obtiene que:

$$Z = \frac{1}{sC1} // sL // R \quad (7-5)$$

E implementando la función de transferencia:

$$\frac{i_{out}}{i_{in}} = \frac{g_m}{g_m - (1 + g_m \cdot Z)(g_m \cdot sC2)} \quad (7-6)$$

Donde g_m es la transconductancia de M1 y M2. El filtro tiene una ganancia en corriente en la banda igual a 1, por lo que actúa como un filtro sin pérdidas en el cual no se inyecta corriente adicional en el camino de la señal, al igual que en el filtro de partida.

La frecuencia central del filtro viene dada por la frecuencia de resonancia de L y C1 de la forma [3]:

$$f = \frac{1}{2\pi\sqrt{L \cdot C1}} \quad (7-7)$$

Para demostrar el funcionamiento del filtro se ha realizado el montaje del circuito de la Figura 7-6, en el que se ha añadido la bobina L que desplazará la frecuencia central del filtro desde continua hasta la frecuencia deseada.

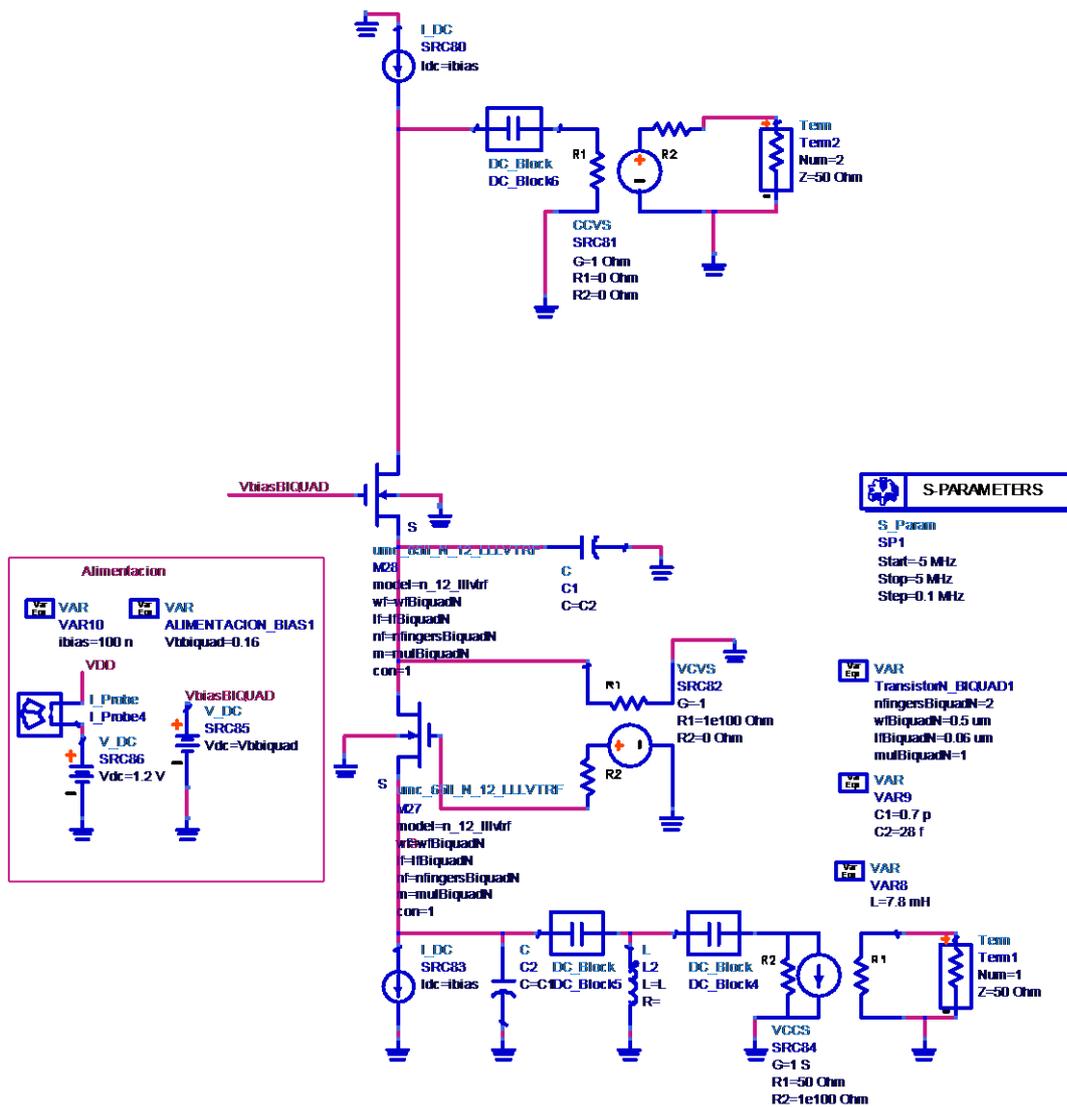


Figura 7-6: Filtro bicuadrático paso banda.

La metodología de diseño no cambia con respecto al filtro explicado anteriormente. Es decir, se fija una transconductancia g_m que dependerá de la corriente *ibias* y del número de *fingers* de los transistores. A continuación se seleccionan dos valores de la bobina L y el condensador C1 teniendo en consideración la ecuación (7-7) centrado así el filtro en 2,5 MHz. Observando la ecuación deducimos que el valor del condensador será de un orden de pico faradios, mientras que el valor de la bobina será de un orden de mili henrios. Con respecto al ancho de banda, se puede observar que el punto de corte inferior se ve afectado por la bobina L y el superior por el condensador C1. Hay que destacar que el ancho de banda está fuertemente ligado al valor del condensador C2, dado que éste modifica el factor de calidad Q

del filtro, al igual que en el filtro anterior. Además, se puede observar que el aumento del condensador C2 es inversamente proporcional al aumento del ancho de banda.

Finalmente, en la Figura 7-7 se muestra la respuesta en frecuencia del filtro, centrada en 2,5 MHz y con un ancho de banda de poco más de 2 MHz. Cabe destacar que los puntos de corte a 3 dB se han ajustado lo más posible para obtener un ancho de banda de 2 MHz, pero el punto de corte superior a 3 dB ha quedado un poco superior a los 3,5 MHz deseados.

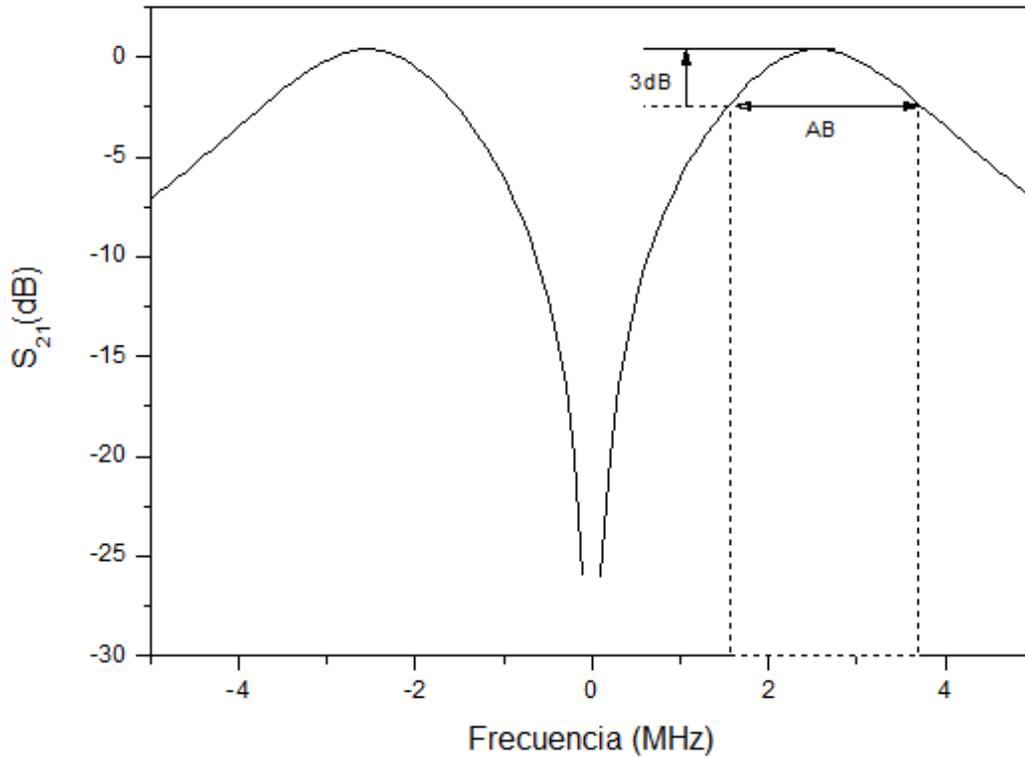


Figura 7-7: Respuesta en frecuencia del filtro paso banda bicuadrático.

Tal y como se ha podido observar, el valor de la bobina es muy elevado, lo que haría inviable su integración en chip. Teniendo esto en cuenta, para introducir la bobina al igual que al principio del capítulo, se pretende hacer uso de un girador. Este es un circuito, ya descrito anteriormente, que tiene la capacidad de convertir un condensador en un elemento inductivo. En concreto se ha hecho uso del circuito de la Figura 7-8 .

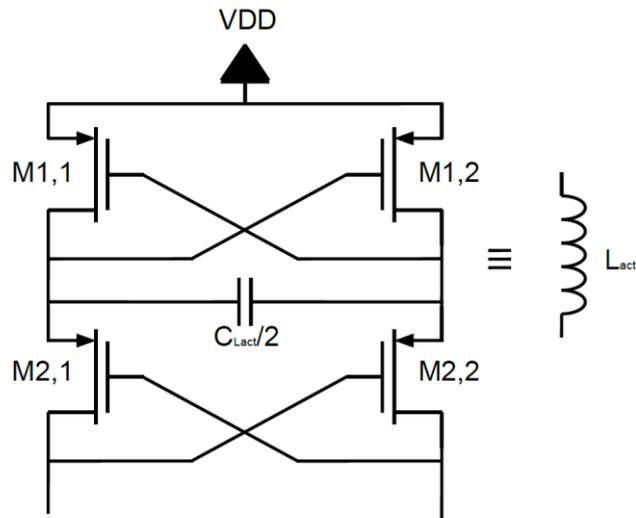


Figura 7-8: Bobina activa

Teniendo una impedancia equivalente a:

$$L_{act} = \frac{C_{22}}{g_m} \quad (7-8)$$

Por ello el circuito final quedaría como se muestra en la Figura 7-9.

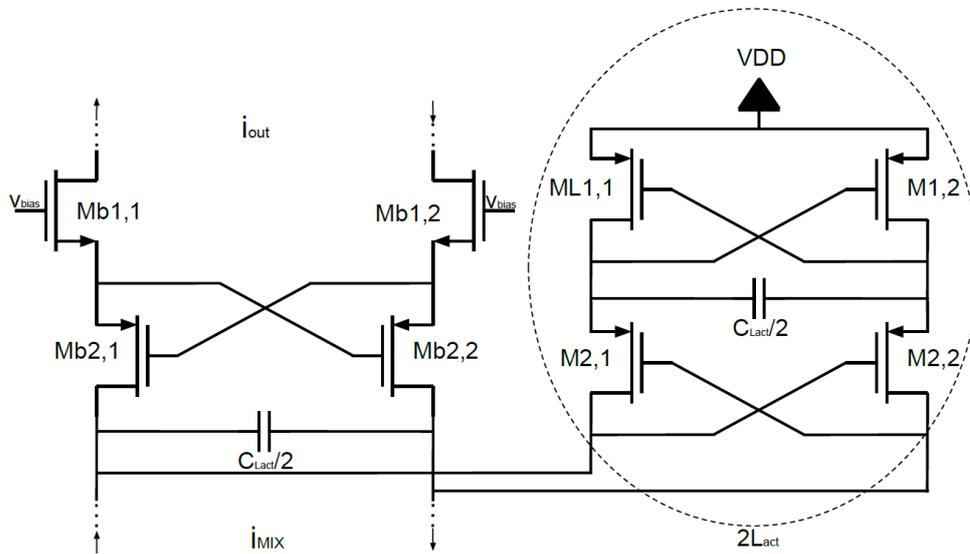


Figura 7-9: Filtro bicuadrático con bobina activa.

Tal y como se ha explicado anteriormente, la frecuencia de resonancia entre la bobina activa L_{act} y el condensador C_{biquad} desplaza la frecuencia central del filtro desde continua hasta la frecuencia deseada. El condensador $C_{biquad1}$, al igual que la transconductancia g_m modifican el ancho de banda del filtro [3], [27].

7.1.2 Estructura de la carga con polo complejo

La carga que se implementará en el cabezal de recepción es la mostrada en la Figura 7-10. Esta carga se encarga de transformar la señal en corriente a tensión, además de sintetizar un polo complejo de primer orden en la parte positiva de la IF tal y como se explicará en esta sección.

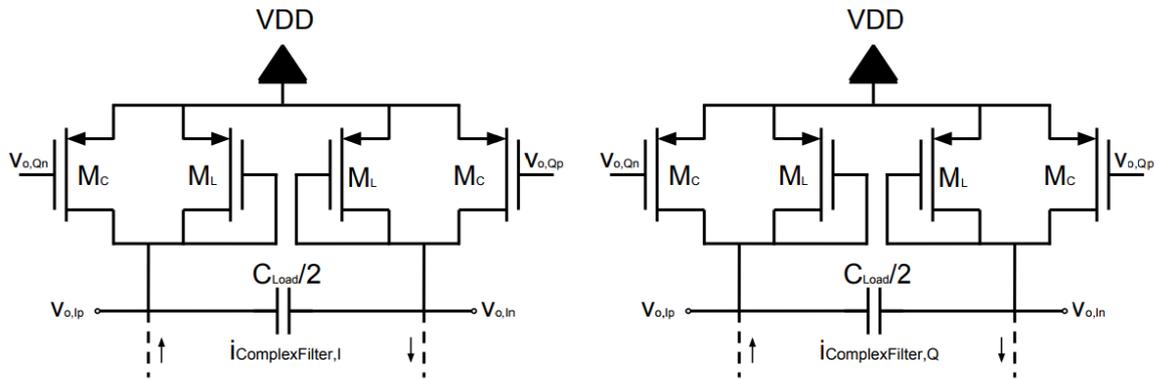


Figura 7-10: Carga propuesta

Para analizar más fácilmente la carga anterior se muestra el circuito en pequeña señal en la Figura 7-11. Se puede observar que esta carga distingue entre las ramas I y Q del cabezal de recepción, siendo así un filtro polifásico que sintetiza un polo complejo de primer orden en la parte positiva de la IF. Este filtro selecciona el canal y rechaza la señal imagen producida por la arquitectura low-IF del receptor propuesto.

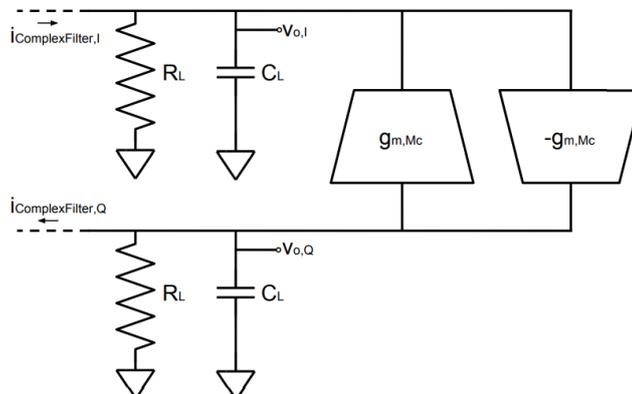


Figura 7-11: Circuito en pequeña señal de la carga de polo complejo.

Siendo la función de transferencia del filtro:

$$\frac{V_{O,I}}{i_{rLPF,I}} = \frac{R_L}{1 + sR_L C_L - jg_{m,MC}R_L} \quad (7-9)$$

Observando el circuito de la Figura 7-10 y su equivalente en pequeña señal de la Figura 7-11, la parte real R_L se obtiene de los transistores ML que actúan como diodo, mientras que la parte imaginaria ($g_{m,MC}$) se obtiene de los transistores MC conectados de forma cruzada a las señales I y Q, sintetizando así el polo complejo de primer orden mostrado en la Figura 7-12.

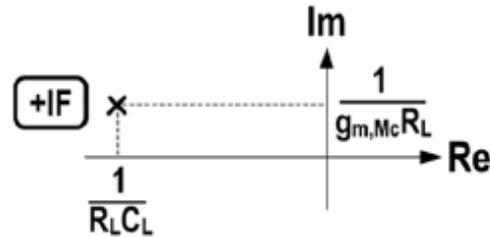


Figura 7-12: Polo complejo de primer orden de la carga.

Finalmente, cabe destacar que el filtro bicuadrático apilado con la carga con polo complejo, sintetiza una selección de canal de tercer orden y un rechazo a imagen de primer orden [3].

7.2 BLIXER + FILTRO

Una vez estudiado el funcionamiento de la etapa de filtrado, se procede a apilarlo encima del BLIXER, quedando el circuito de la Figura 7-13.

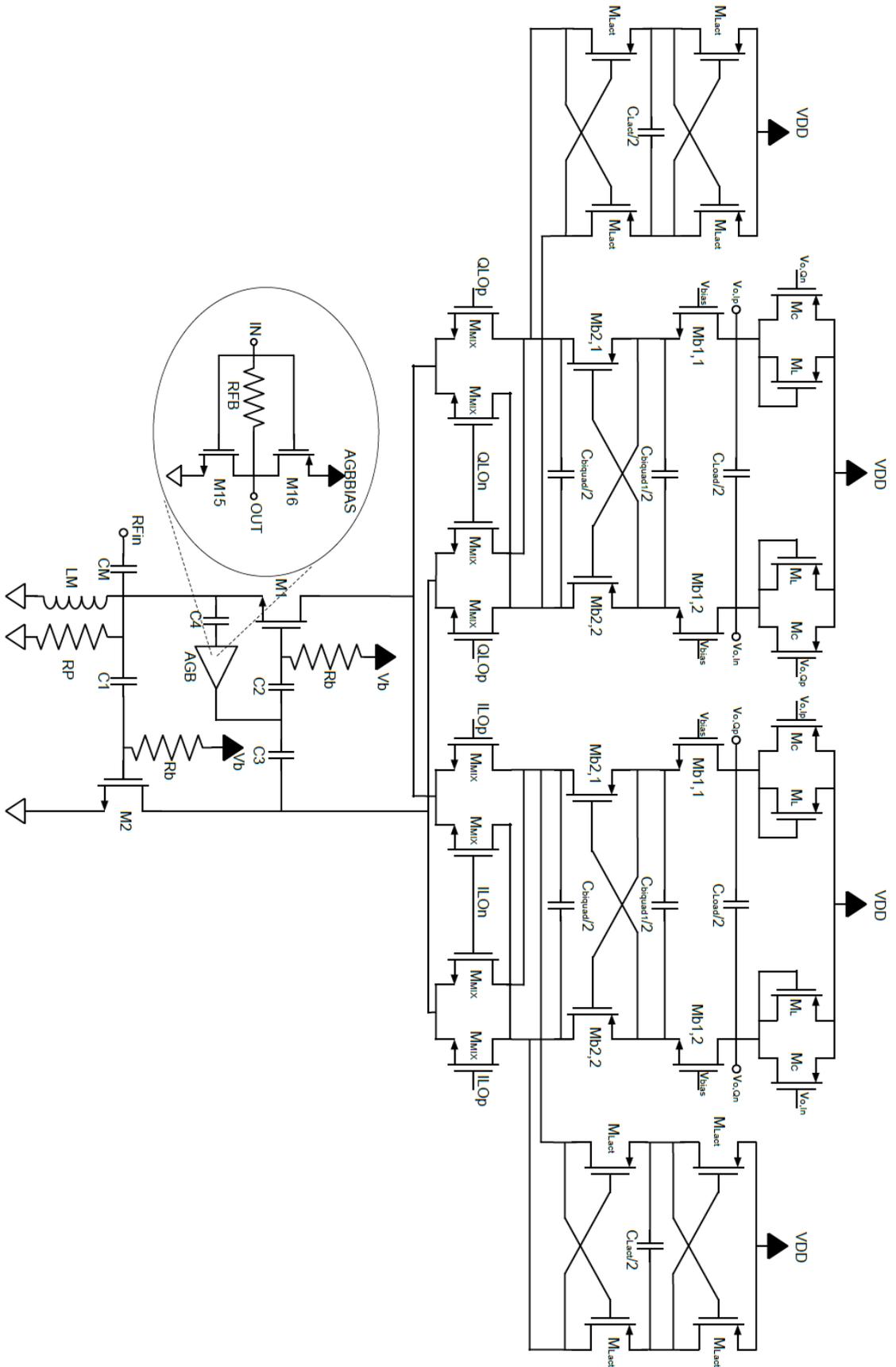


Figura 7-13:BLIXER + Filtro.

Con respecto a la metodología de diseño, los componentes se han dimensionado tal y como se ha descrito en los apartados anteriores. Se ha colocado la carga activa y el filtro bicuadrático sobre el BLIXER, y se ha ajustado el número de *fingers* de la carga activa M_L y M_C colocando el polo complejo en IF obteniendo así máxima ganancia a la salida y mínimo ruido. Dado que la corriente que pasa por el filtro viene fijada por el BLIXER, la frecuencia central del filtro se ajusta mediante la bobina L_{act} y el condensador C_{biquad} , mientras que el ancho de banda del filtro se ajusta con el condensador $C_{biquad1}$ y modificando la transconductancia de los transistores del filtro bicuadrático.

Finalmente, en la Figura 7-14 se muestra la respuesta en frecuencia del cabezal de recepción simulado como se muestra en el Anexo 7.1. Tal y como se puede observar, se obtiene una ganancia de 39,8 dB, con una caída de alrededor de 2,6 dB en las frecuencias de corte. Con respecto a la selección del canal, se obtiene un nivel de rechazo a la señal imagen de 13,7 dB y 16,4 dB de rechazo a canal adyacente.

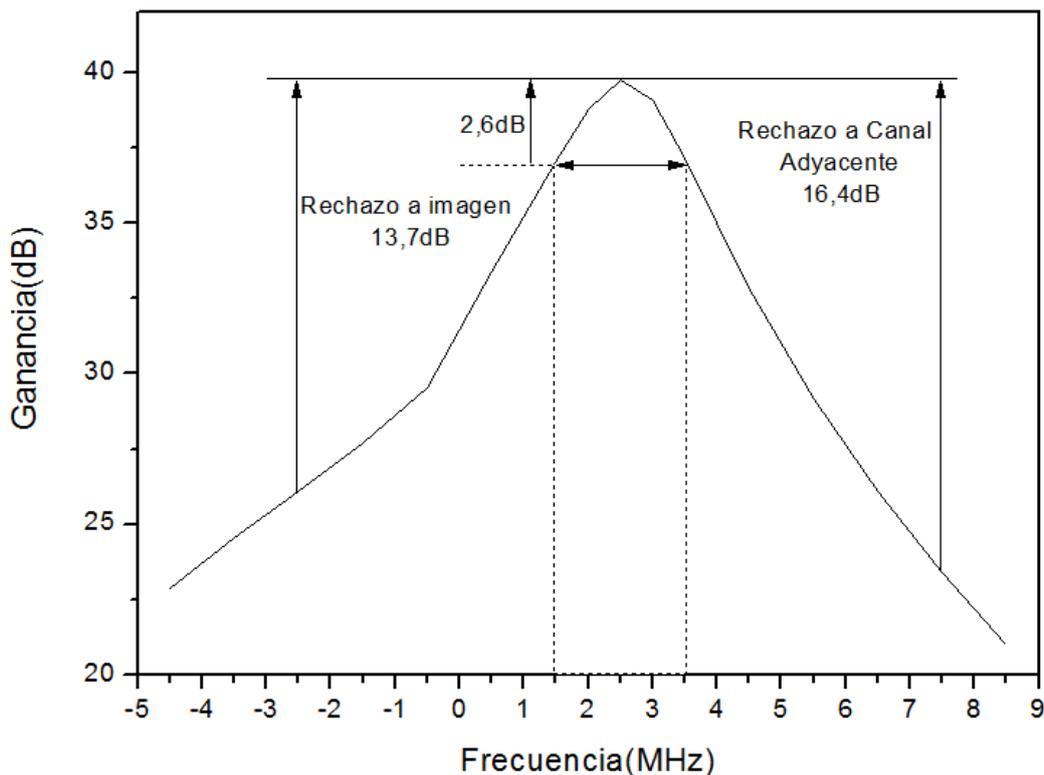


Figura 7-14: Respuesta en frecuencia.

8. Receptor completo

Dado que este TFG forma parte de un proyecto de mayor alcance que busca diseñar un transceptor para el estándar IEE 802.15.4, se ha incluido el cabezal de recepción diseñado en un receptor. A lo largo de este capítulo se analizará el funcionamiento del receptor completo, formado por el cabezal de recepción analizado en el capítulo anterior, un filtro polifásico y un PGA conectados en cascada. Dado que el diseño del filtro polifásico y el PGA no entra dentro del alcance de este proyecto, se ha incluido un filtro polifásico ideal desarrollado por otro alumno de manera paralela a este proyecto, al igual que el PGA [28], [29]. Teniendo esto en cuenta, este capítulo empieza con una descripción del filtro polifásico y del PGA implementados. Finalmente, se muestran los resultados obtenidos, centrándose en los parámetros típicos de un receptor de RF tales como la ganancia, la NF, el consumo o la linealidad, entre otros.

8.1 Filtro polifásico

Tal y como se ha comentado anteriormente, en un receptor homodino de *low-IF* es necesario introducir un filtro polifásico que atenúe la señal de la frecuencia imagen. Este filtro es capaz de distinguir entre la señal deseada y la imagen, basándose en la diferencia entre las señales de la rama I y la rama Q.

Para comprender el funcionamiento del filtro polifásico se muestra en la Figura 8-1 la representación compleja del esquema de bloques de un receptor. Para simplificar la explicación, se supone que a la entrada del mezclador solo existe la señal deseada y su imagen. Por lo que, al realizar la mezcla, la frecuencia de la señal deseada se encuentra en $\omega_{OL} + \omega_{FI}$, mientras que la frecuencia imagen se encontrará en $\omega_{OL} - \omega_{FI}$, siendo ω_{OL} la frecuencia angular del LO y ω_{FI} la IF angular.

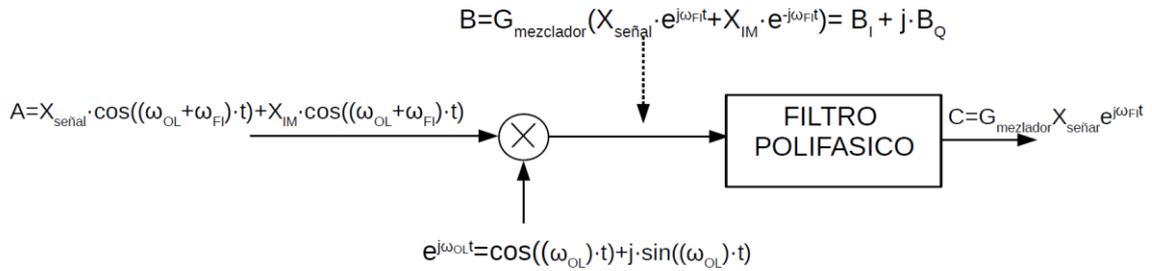


Figura 8-1: Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia imagen.

Al realizar la mezcla de las señales del oscilador y de RF en el dominio complejo y eliminados los términos ubicados en $2\omega_{OL}$ se tiene que:

$$B = G_{mezclador} \cdot (X_{señal} \cdot e^{j \cdot \omega_{FI} \cdot t} + X_{imagen} \cdot e^{-j \cdot \omega_{FI} \cdot t}) = B_I + j \cdot B_Q \quad (8-1)$$

Siendo B_I la parte real y B_Q la parte imaginaria de la salida del mezclador, que se pueden expresar como:

$$B_I = G_{mezclador} \cdot (X_{señal} \cdot \text{Cos}(\omega_{FI} \cdot t) + X_{imagen} \cdot \text{Cos}(\omega_{FI} \cdot t)) \quad (8-2)$$

$$B_Q = G_{mezclador} \cdot (X_{señal} \cdot \text{Sen}(\omega_{FI} \cdot t) + X_{imagen} \cdot \text{Sen}(\omega_{FI} \cdot t)) \quad (8-3)$$

Tal y como se puede observar en las ecuaciones (8-2) y (8-3), tanto la señal deseada como su imagen están desfasadas 90° en la rama I con respecto a la rama Q. El proceso de mezcla de la señal compleja deseada y su imagen, se muestra gráficamente en la Figura 8-2, donde se puede observar que después de la conversión, se mantiene la separación entre la señal y su imagen. Por otra parte, el filtro de selección de canal complejo es una versión desplazada en frecuencia de un filtro paso bajo. Es decir, que el filtro deja pasar la señal de ω_{FI} , mientras que atenúa la señal en $-\omega_{FI}$.

Dado que este filtro cuenta con una respuesta asimétrica alrededor del eje $j\omega$, su respuesta en el dominio del tiempo es compleja. Este comportamiento difiere de los filtros reales, en el que los polos complejos son siempre conjugados. En los filtros

complejos es posible tener polos complejos simples de forma que la respuesta en frecuencia de los filtros complejos es simétrica alrededor de ω_{FI} y no alrededor de 0.

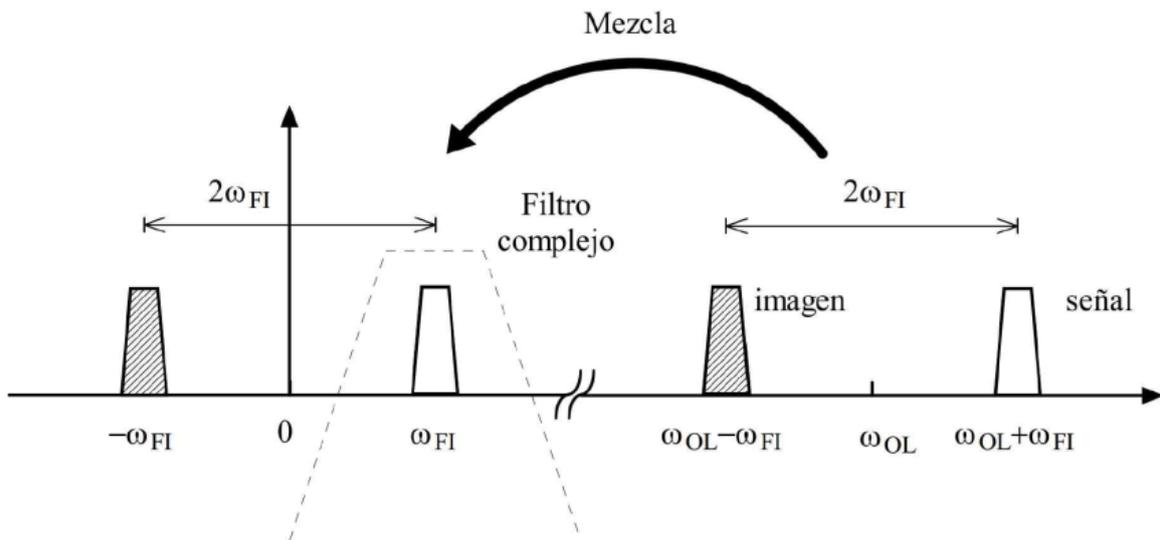


Figura 8-2: Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura.

La implementación práctica para el rechazo imagen se realiza mediante un mezclador en cuadratura, con el que se multiplica la señal de RF por $e^{j\omega_{IF}t}$. En la representación compleja de la Figura 8-1, la señal deseada a la salida del mezclador se encuentra en una frecuencia IF positiva, mientras que la señal imagen está localizada en una frecuencia IF negativa. En la Figura 8-3 se muestra la implementación real, en la que al igual que anteriormente, la señal deseada y la imagen se encuentran desfasadas 90° entre las ramas I y Q.

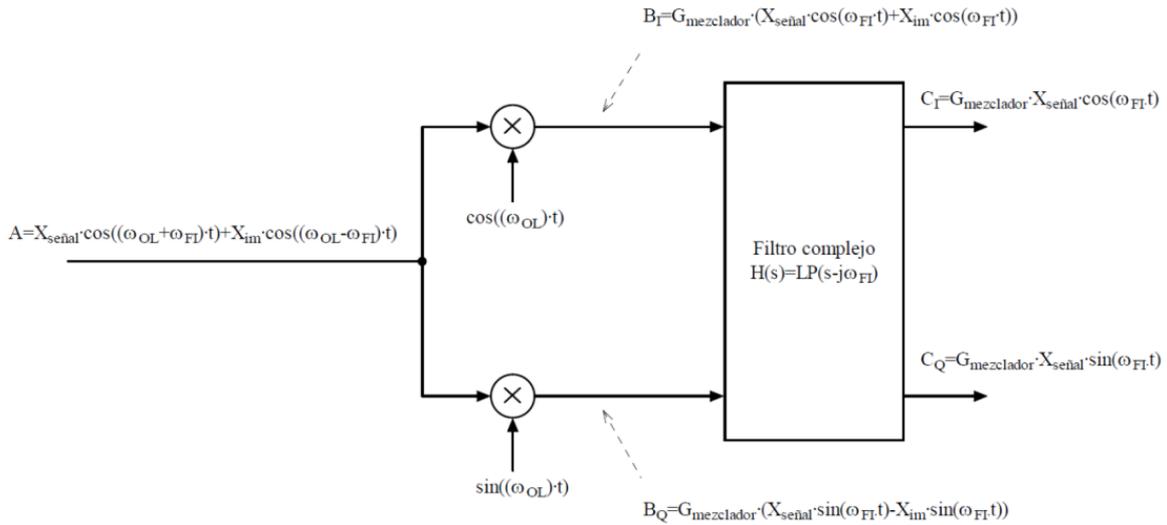


Figura 8-3: Implementación práctica del rechazo de la frecuencia imagen de la arquitectura de la Figura 6.2.

Tal y como se ha comentado a lo largo de este apartado, un filtro polifásico es capaz de distinguir entre la señal y su señal imagen basándose en la diferencia de fase entre las ramas I y Q. En el dominio complejo, un filtro paso banda polifásico es una versión desplazada en frecuencia de un filtro paso bajo. Para convertir un filtro paso bajo en un filtro paso banda polifásico centrado en ω_{FI} , se debe modificar cada elemento dependiente de la frecuencia para que sea una función de $s - j\omega_{FI}$ en lugar de una función de s . El elemento básico de un filtro dependiente de la frecuencia es el integrador. Si se considera el caso más simple para convertir un filtro paso bajo de primer orden, con una frecuencia de corte ω_{LP} , a un filtro paso banda polifásico centrado en ω_{FI} , para desplazar en frecuencia la respuesta del filtro paso bajo se debe insertar un lazo de realimentación tal y como se muestra en la Figura 8-4(a). La relación compleja entre la entrada y la salida viene dada por:

$$X_0 = \frac{\omega_0}{s + \omega_{LP} - j\omega_{FI}} \cdot X_i \quad (8-4)$$

Y teniendo en cuenta que:

$$X_i = X_{iI} + j \cdot X_{iQ} \quad (8-5)$$

$$X_o = X_{oI} + j \cdot X_{oQ} \quad (8-6)$$

La ecuación (8-4) puede escribirse como:

$$X_{oI} = \frac{\omega_0}{s + \omega_{LP}} \cdot \left(X_i - \frac{\omega_{IF}}{\omega_0} \cdot X_{oQ} \right) \quad (8-7)$$

$$X_{oQ} = \frac{\omega_0}{s + \omega_{LP}} \cdot \left(X_i - \frac{\omega_{IF}}{\omega_0} \cdot X_{oI} \right) \quad (8-8)$$

En la práctica, esta distinción entre la componente de fase y cuadratura se hace como se muestra en la Figura 8-4(b) [30].

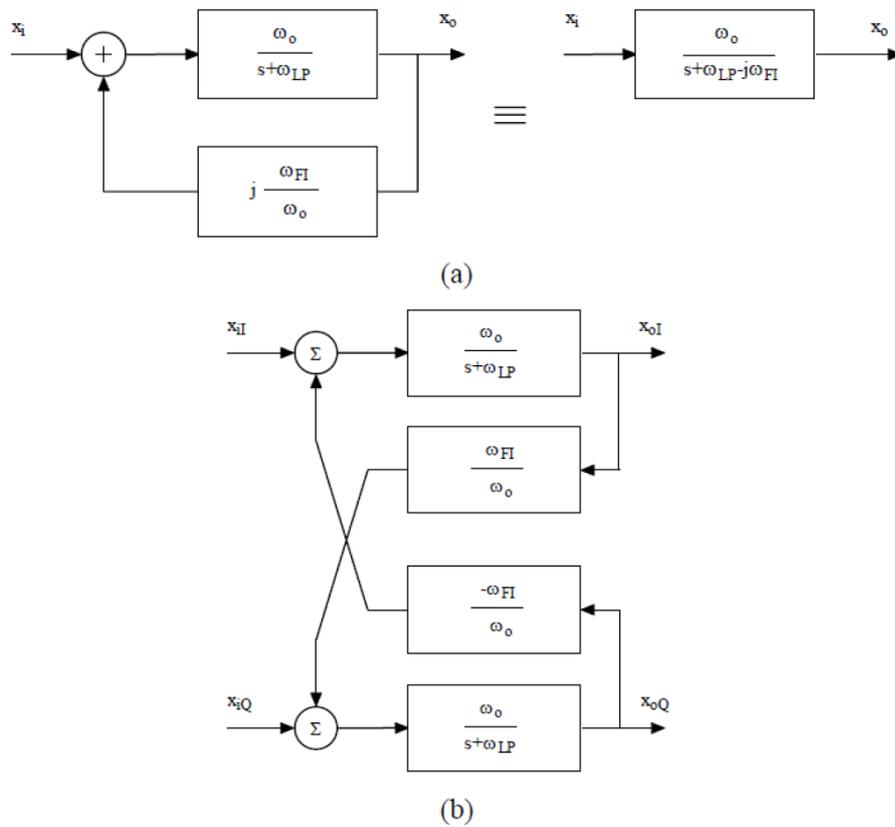


Figura 8-4: Conversión de un filtro paso bajo a uno polifásico centrado en ω_{FI} . (a) Representación compleja (b) Implementación mediante diagramas de bloques.

La traslación en frecuencias:

$$H(s) \rightarrow H(s - j \cdot \omega_{IF}) \quad (8-9)$$

O lo que es lo mismo:

$$H(j \cdot \omega) \rightarrow H(j(\omega - j \cdot \omega_{IF})) \quad (8-10)$$

se puede usar de forma directa para generar la estructura de un filtro paso banda polifásico basado en la técnica gm-C, ya que dicha traslación se puede aplicar a cada elemento reactivo en el filtro pasivo paso bajo prototipo. Así, un condensador C cualquiera se convierte a:

$$j \cdot \omega \cdot C \rightarrow j(\omega - j \cdot \omega_{IF}) \cdot C = j \cdot \omega \cdot C - j \cdot \omega_{IF} \cdot C \quad (8-11)$$

donde $\omega_{IF} \cdot C$ es una conductancia con un valor independiente de la frecuencia. Esta traslación se podrá hacer solamente si se tienen señales en cuadratura, tal y como se ha comentado a lo largo de este apartado.

En la Figura 8-5 se muestra un ejemplo de la utilización de esta técnica. El filtro paso bajo C-L-C de la Figura 8-5 (a) se convierte en un filtro gm-C paso bajo en la Figura 8-5(b). La versión polifásica del filtro se muestra en la Figura 8-5(c), la cual está compuesta por dos filtros como el de la Figura 8-5(b) más los circuitos de traslación [30].

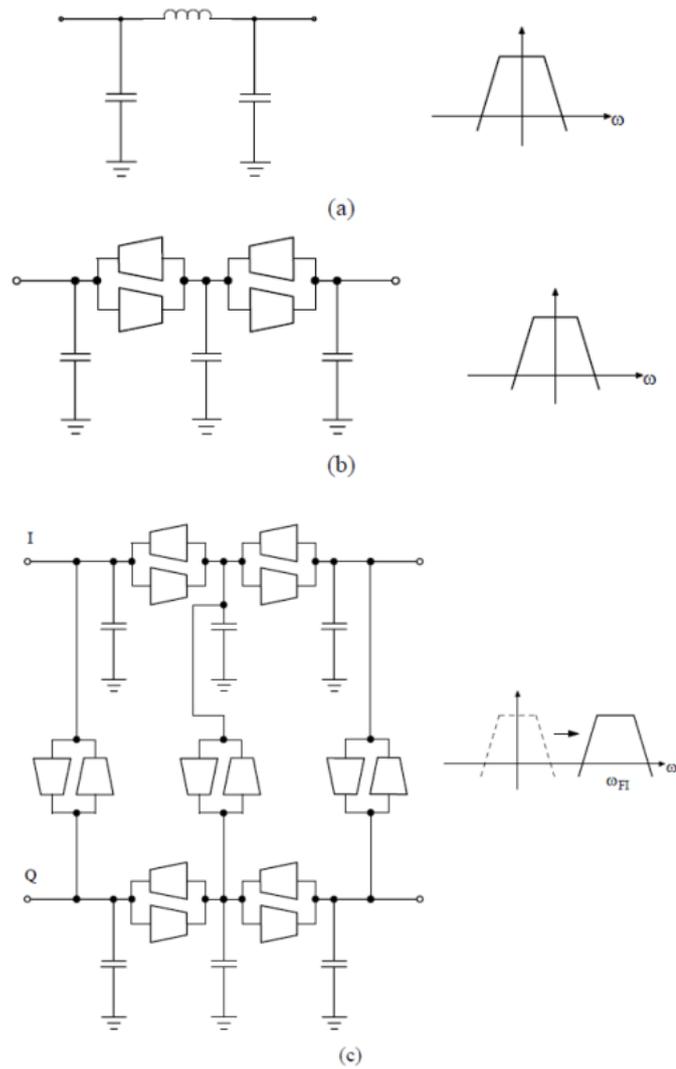


Figura 8-5: (a) Filtro C-L-C, (b) Implementación gm-C, (c) implementación gm-C polifásica.

En el receptor diseñado se ha incluido un filtro polifásico implementado mediante transconductores ideales (fuentes de corriente controladas por tensión). Para dicho filtro se ha utilizado una topología de filtro Butterworth de tercer orden, haciendo uso de la técnica gm-C. La principal ventaja de esta topología es que las pérdidas de inserción, típica de filtros pasivos, se compensan con el transconductor de la etapa de entrada. Además, se puede conseguir una buena relación de compromiso entre potencia, frecuencia de trabajo y ruido [28], [31], [32].

Tal y como se puede observar en la Figura 8-6, la estructura consiste en dos filtros Butterworth de tercer orden gm-C paso bajo para las ramas I y Q. Además, se incluyen dos

ramas adicionales por integrador que permiten transformar los prototipos paso bajo en su correspondiente paso banda complejo o polifásico.

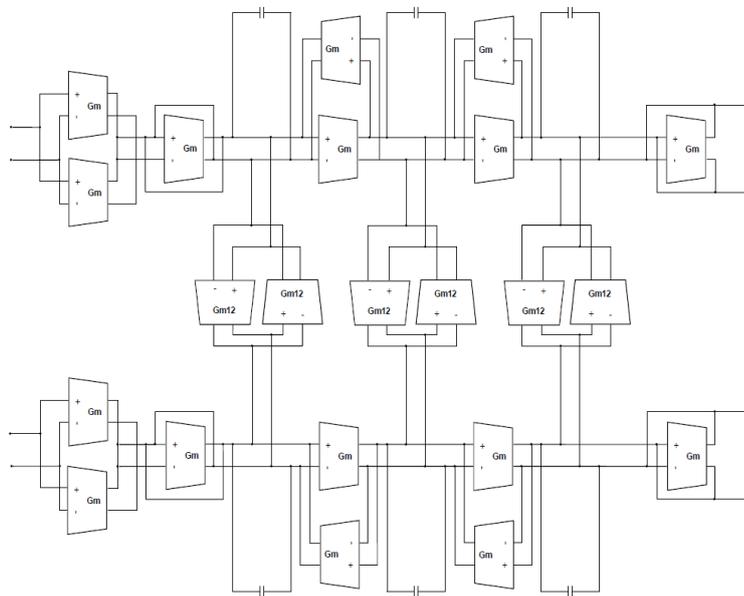


Figura 8-6: Estructura del filtro polifásico.

8.2 Amplificador de Ganancia Programable (PGA)

Los amplificadores de ganancia programable se utilizan en multitud de dispositivos de detección o de comunicaciones tanto a corta como a larga distancia. El principal objetivo de estos amplificadores es variar su ganancia en función de una tensión de control y, de esta manera, proporcionar un nivel de señal óptimo en la salida dependiendo de los requisitos del sistema. Se debe tener en cuenta que la linealidad del PGA es crítica para el resto del receptor, ya que es la última etapa del mismo.

El PGA está formado por dos amplificadores operacionales de transconductancia OTA (*Operational Transconductance Amplifier*) con estructura Miller y compensación de surtidor (*Source Compensation*) [40] en cascada para cada una de las ramas (I y Q), como se muestra en la Figura 8-7. Cada amplificador está realimentado con una red de resistencias conmutables para conseguir los diferentes niveles de ganancia, a la vez que se mantienen una alta linealidad y un buen rango dinámico. La ganancia del PGA varía en función de la relación entre la resistencia que se encuentra activa en la red de realimentación y la resistencia de entrada. Esta relación es la correspondiente a una realimentación negativa, tal y como se puede observar en la ecuación (8-12):

$$A_v = -\frac{R_f}{R_{in}} \quad (8-12)$$

donde R_f es la resistencia de realimentación y R_{in} es la resistencia en el terminal de entrada del operacional (unos 6 k Ω procedentes del filtro). De esta manera se consigue regular la ganancia del OTA para que varíe entre 0 y 21 dB en pasos de 3 dB, consiguiendo una ganancia máxima total de 42 dB con las dos etapas.

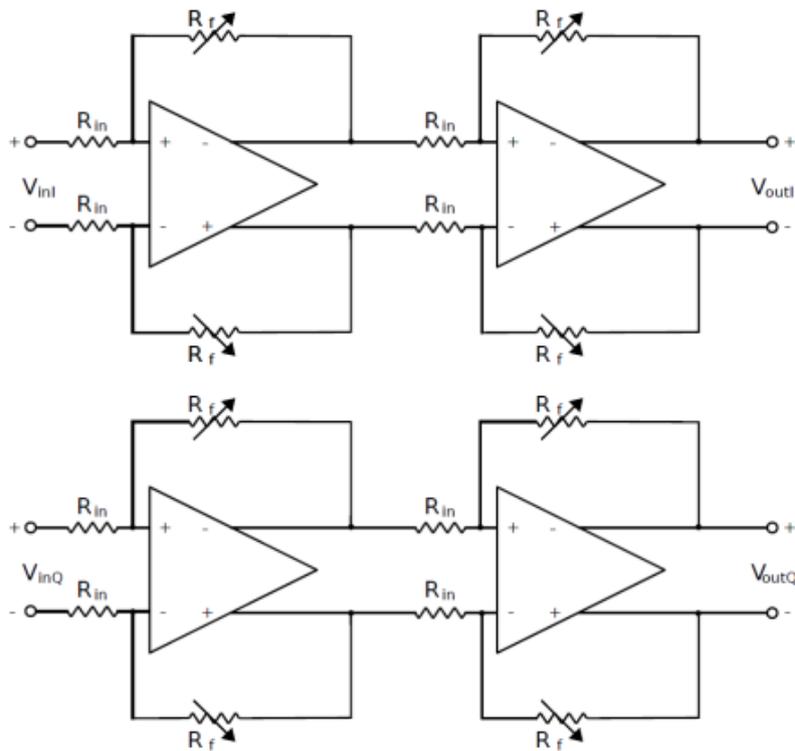


Figura 8-7: Esquemático del amplificador de ganancia programable.

Los transistores que conforman los OTAS implementados en el PGA han sido dimensionados utilizando la metodología g_m/I_d . Dicha metodología aboga por hacer funcionar los transistores en una región subumbral, antes de llegar a saturación. De esta forma, se consigue una ganancia elevada con un consumo de potencia reducido [33].

El esquemático del OTA se muestra en la Figura 8-7. Como se puede observar, el OTA está formado por:

- Una etapa de entrada diferencial constituida por los transistores M1 y M2.

- Un espejo de corriente en forma de cascode doble con *wide swing*, implementado con los transistores M6-M10.
- Una etapa de salida formada por dos amplificadores de clase A, compuestos por los transistores M11-M14.

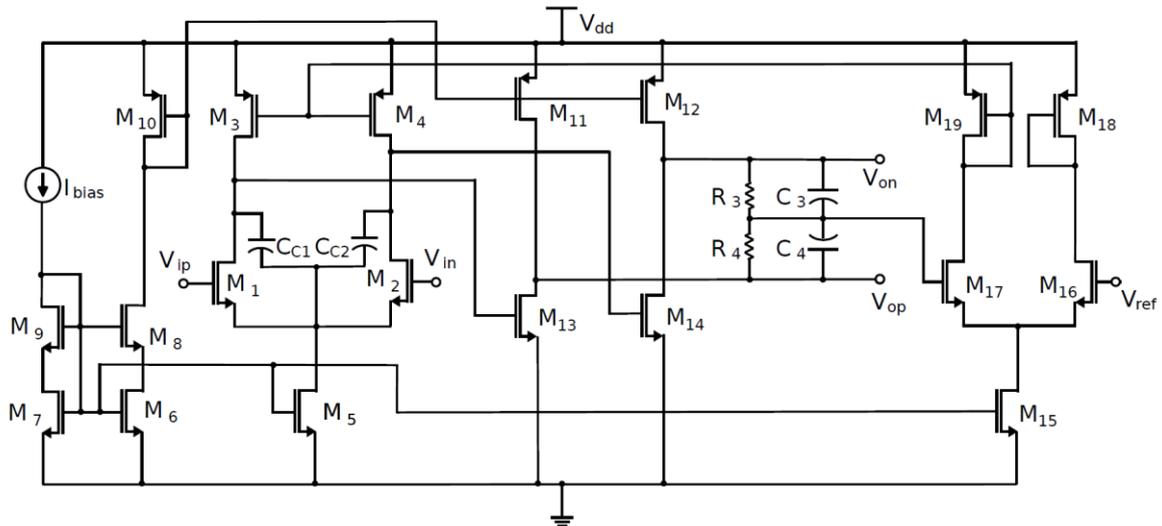


Figura 8-8: Esquemático del OTA.

Los transistores se han modelado para cumplir con las especificaciones del estándar IEEE 802.15.4 [34]. El espejo de corriente trabaja en la región de inversión fuerte, con lo que se consigue buena adaptación y bajo ruido. La etapa de salida presenta compensación polo-cero (conocida como compensación de tipo Miller), con la que se consigue mantener un ancho de banda constante [39]. Además, se ha incluido una red de realimentación en modo común CMFB (*Common Mode Feedback*) para estabilizar los niveles de salida diferenciales y alcanzar un buen rechazo en modo común CMRR (*Common-Mode Rejection Ratio*). Esta red se compone de un par diferencial formado por los transistores M16 y M17, encargados de comparar el voltaje de salida con una tensión de referencia (V_{ref}) y fijar la polarización de los transistores M3 y M4 [29], [35].

8.3 Resultados del receptor completo

Para obtener los resultados finales del receptor completo se conectaron los distintos circuitos diseñados con el filtro polifásico y el PGA mencionados anteriormente.

8.3.1 Consumo de corriente

Una medida muy importante en el estándar 802.15.4 viene determinada por la potencia consumida por el receptor, dado que el estándar está enfocado a dispositivos de bajo consumo, tal y como se ha comentado al principio de este TFG. Para ello se realizan las simulaciones de consumo del cabezal de recepción y del PGA, dado que el filtro polifásico de la etapa de salida no tiene un consumo de potencia por haberse implementado de forma ideal.

Sabiendo que:

$$P = V \cdot I \quad (8-13)$$

Teniendo en cuenta que el cabezal de recepción está alimentado a 1,2 V y tiene un consumo de corriente 1,045 mA , la potencia consumida por el mismo será:

$$P_{Cabezal} = 1,2V \cdot 1,045mA = 1,1254 mW \quad (8-14)$$

Asimismo, y teniendo en cuenta que el PGA está alimentado a $\pm 0,6$ V y tiene un consumo de corriente de 261 μ A, la potencia consumida por el mismo será:

$$P_{PGA} = 1,2V \cdot 261\mu A \cdot 4 = 1,25 mW \quad (8-15)$$

Obtenidos los consumos de potencia de cada uno de los elementos se tiene que la potencia total consumida, será la suma de la potencia consumida por el cabezal de recepción y el PGA es decir:

$$P_{Total} = 1,1254mW + 1,25 mW \approx 2,37mW \quad (8-16)$$

8.3.2 Adaptación de entrada

Una característica de suma importancia en un receptor de RF es la adaptación de entrada, la cual se lleva a cabo por el primer elemento del cabezal de recepción, tal y como se ha descrito en la sección 6.3.1. Para saber cuan buena es la adaptación de entrada se hace una simulación de parámetros S haciendo un barrido de la frecuencia tal y como queda reflejado en el Anexo 8.1.

Se ha conseguido un valor de parámetros S_{11} de -40 dB, tal y como se puede observar en la Figura 8-9. Con este resultado se puede afirmar que el circuito está adaptado correctamente, dado que en la literatura se considera una buena adaptación de entrada a partir de valores de -10 dB.

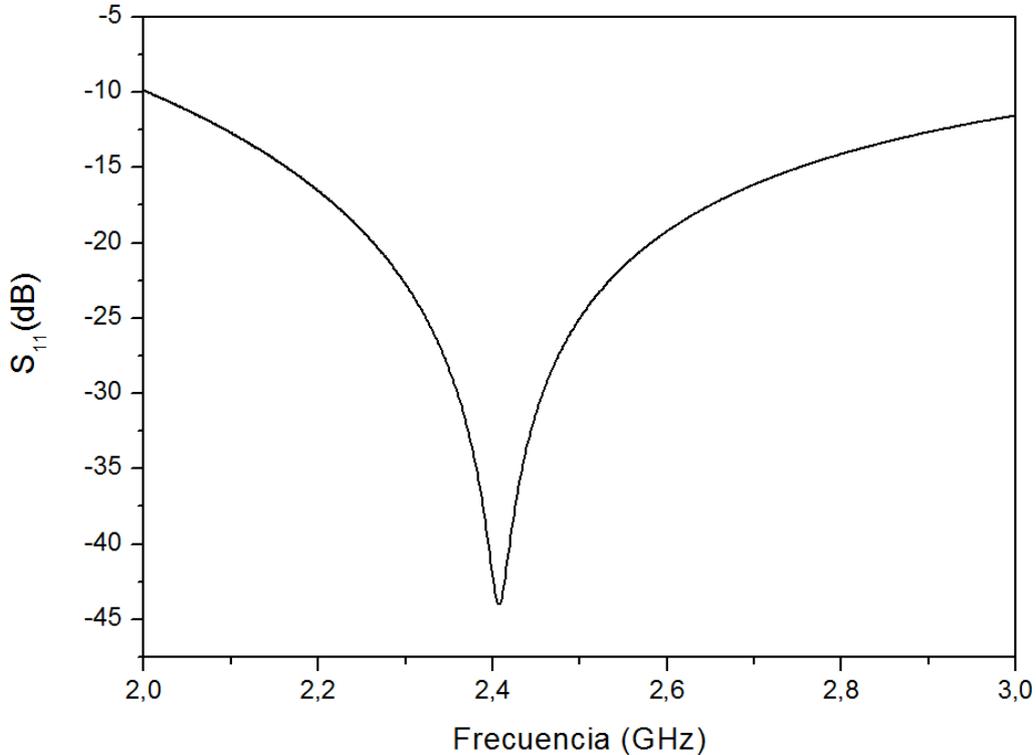


Figura 8-9: Adaptación de entrada.

8.3.3 Ganancia y NF para toda la banda del estándar

La ganancia y la NF son dos parámetros fundamentales en el diseño de un receptor de RF para tecnologías inalámbricas. Por ello es importante que el receptor diseñado tenga una ganancia y una NF que se mantengan dentro del estándar. Para ello se ha realizado una simulación de balance de armónicos haciendo un barrido de la frecuencia del generador de señal dispuesto a la entrada del LNA centrándose en la frecuencia central de cada canal, tal y como puede apreciarse en el Anexo 8.2.

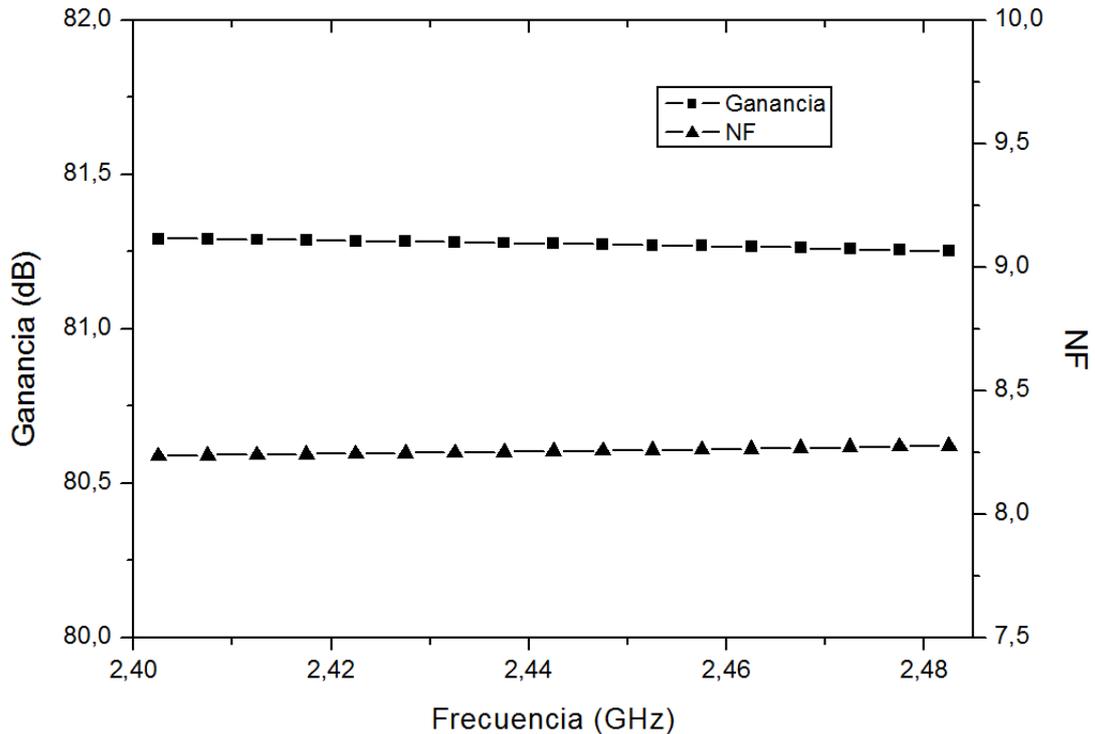


Figura 8-10: Ganancia y NF total del receptor.

Tal y como se puede observar en la Figura 8-10, el valor de ganancia se encuentra entorno a los 82,5dB para toda la banda y la NF se encuentra entre 8,24 dB y 8,28 dB para la parte inferior y superior de la banda, respectivamente. Dado que se está realizando la medición de ruido después del filtro polifásico, se ha de tomar las simulaciones de ruido en doble banda lateral NFdsb (*Noise Figure double-side band*), al contrario que las simulaciones anteriores que se han tomado en NFssb (*Noise Figure single-side band*), dado que la NFdsb considera tanto el ruido presente en la IF como en la frecuencia imagen, mientras que la Nssb solo considera el ruido de la señal en IF, tal y como se desarrolla en [35].

8.3.4 Ruido para un canal

El valor de NF obtenido para el primer canal se muestra en la Figura 8-11. En él se puede observar que se mantiene prácticamente constante en 8,38 dB, hasta llegar a frecuencias bajas, donde a partir de los 1,3MHz empieza a aparecer el ruido *flicker*. También cabe destacar, que a partir de los 3,5 MHz el ruido aumenta muy ligeramente. Esto se debe al efecto del filtro implementado en el cabezal de recepción, que elimina el ruido a lo largo del ancho de banda del canal, es decir, de 1,5 MHz hasta los 3,5 MHz.

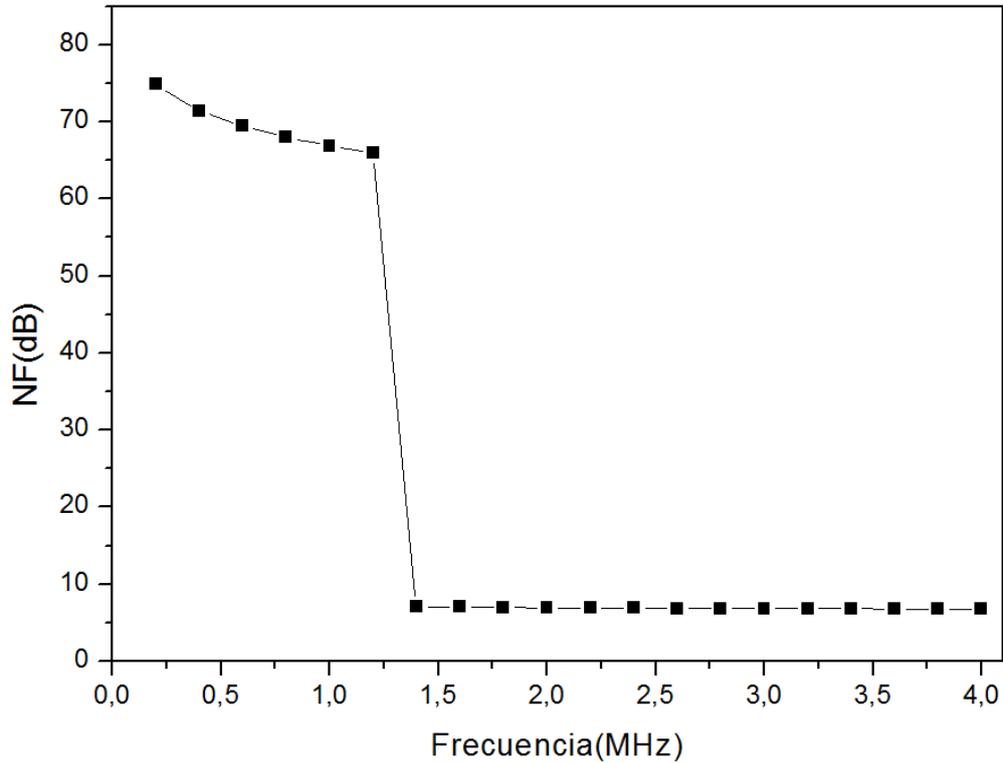


Figura 8-11: NF para un canal.

Para obtener estos resultados se ha realizado una simulación de balance de armónicos, en la que se realiza un barrido de la frecuencia del generador de señal colocado a la entrada para el primer canal, tal y como se puede observar en el Anexo 8.3.

8.3.5 Respuesta en frecuencia del receptor

Con respecto a la respuesta en frecuencia del receptor, mostrada en la Figura 8-12 y simulada como se indica en el Anexo 8.3, se puede observar que la ganancia máxima se sitúa en 81,3 dB. Es importante señalar el valor de rechazo a señal imagen, ubicada en -2,5 MHz es de 34,5 dB. También se ha de destacar el valor de rechazo al canal adyacente que se encuentra en 5 MHz siendo de 48,46 dB. Finalmente, puede observarse que el ancho de banda del receptor es de 2 MHz, teniendo una caída de 3dB a las frecuencias de corte.

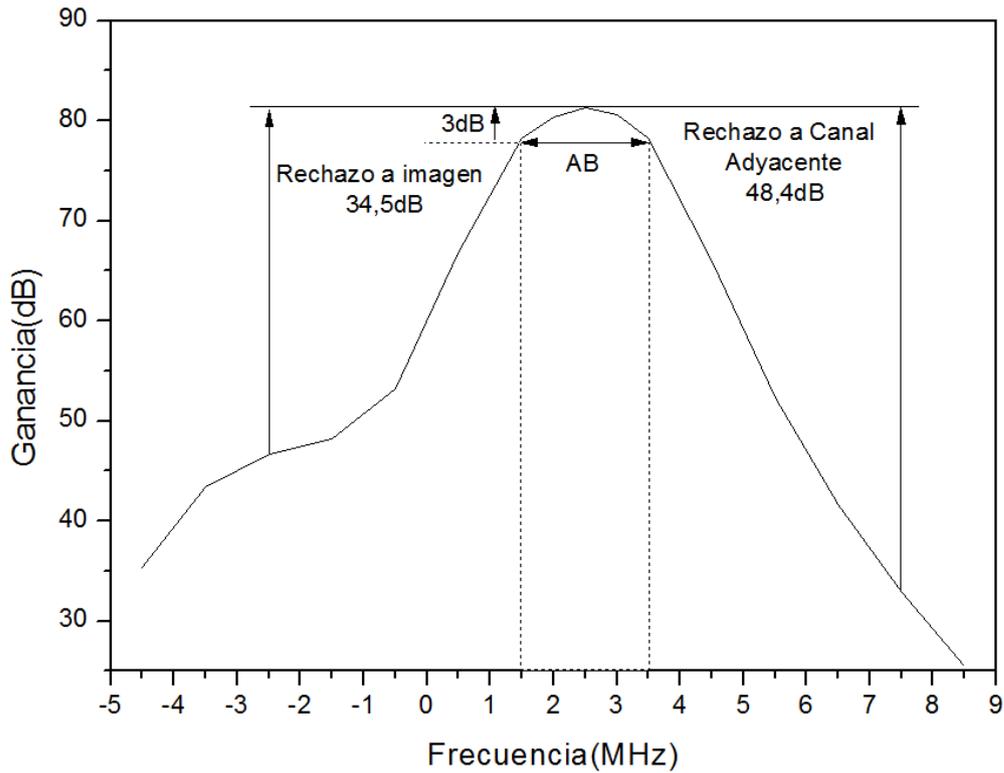


Figura 8-12: Ganancia de conversión.

8.3.6 IIP3 en banda

Tal y como se ha comentado en la sección 6.3.3, el IIP3 es un parámetro muy importante en un receptor de RF. Para ello, igual que anteriormente se introducen dos tonos, aunque esta vez espaciados 14 KHz entre ellos, para que entren dentro del ancho de banda del filtro, tal y como se muestra en la Figura 8-13 y utilizando el *setup* de simulación del Anexo 8.4.

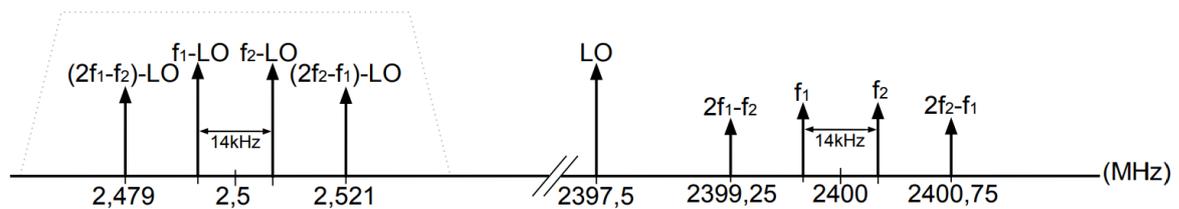


Figura 8-13: Fundamental y productos de intermodulación.

Finalmente, el valor obtenido de IIP3 es de -53dBm tal y como se muestran en la Figura 8-14, bastante inferior que el obtenido en la sección anteriormente mencionada, esto se debe a haber apilado al BLIXER una etapa de filtrado.

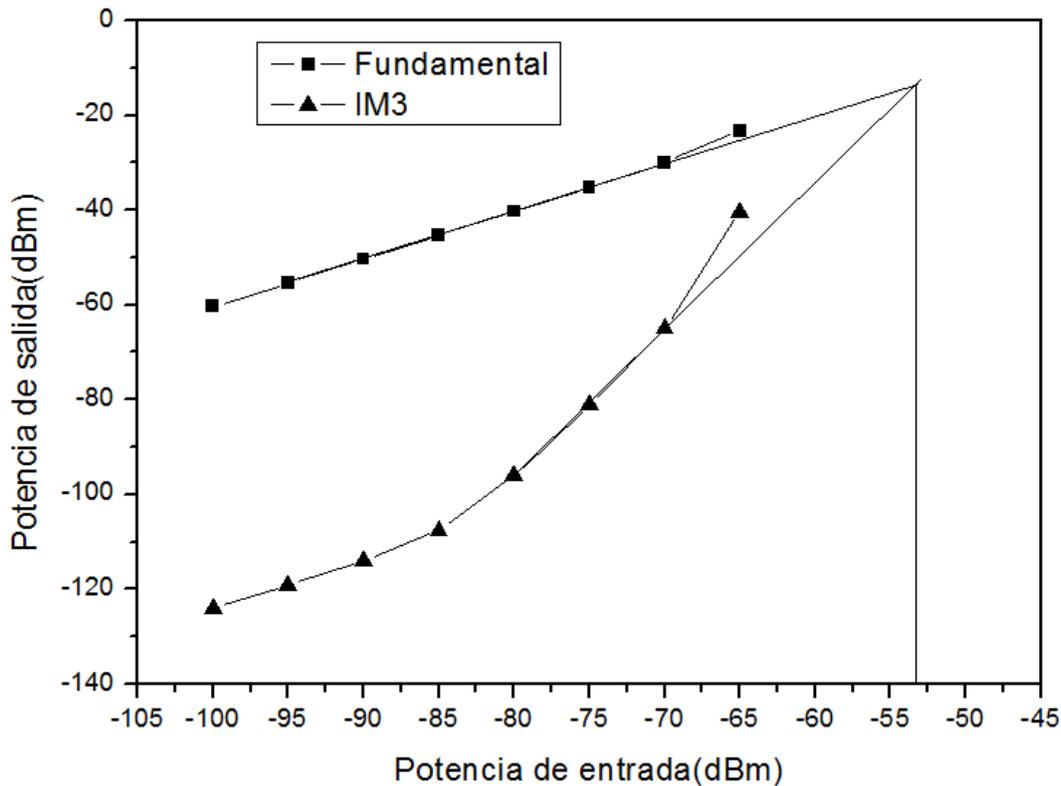


Figura 8-14: IIP3 en banda.

8.3.7 IIP3 fuera de banda

Un parámetro de vital importancia es el IIP3 fuera de banda. A diferencia del IIP3 en banda, comentado anteriormente, éste mide el efecto de los productos de intermodulación formados por las portadoras de canales adyacentes y que caen dentro del canal deseado. Para realizar esta simulación se ha utilizado el *setup* de simulación del Anexo 8.5. En él, se introducen dos tonos. Uno en 2409,5 MHz y otro en 2419 MHz, lo que tras realizar la conversión a IF aparece uno de los productos de intermodulación en 2,5 MHz, tal y como se muestra en la Figura 8-15.

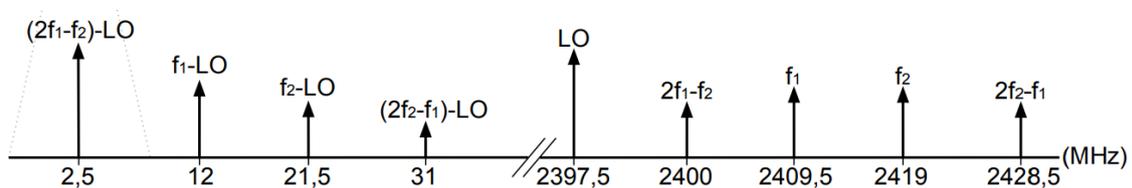


Figura 8-15: Fundamental y productos de intermodulación.

Finalmente, como resultado se obtiene un IIP3 de -17 dBm, tal y como se muestra en la Figura 8-16.

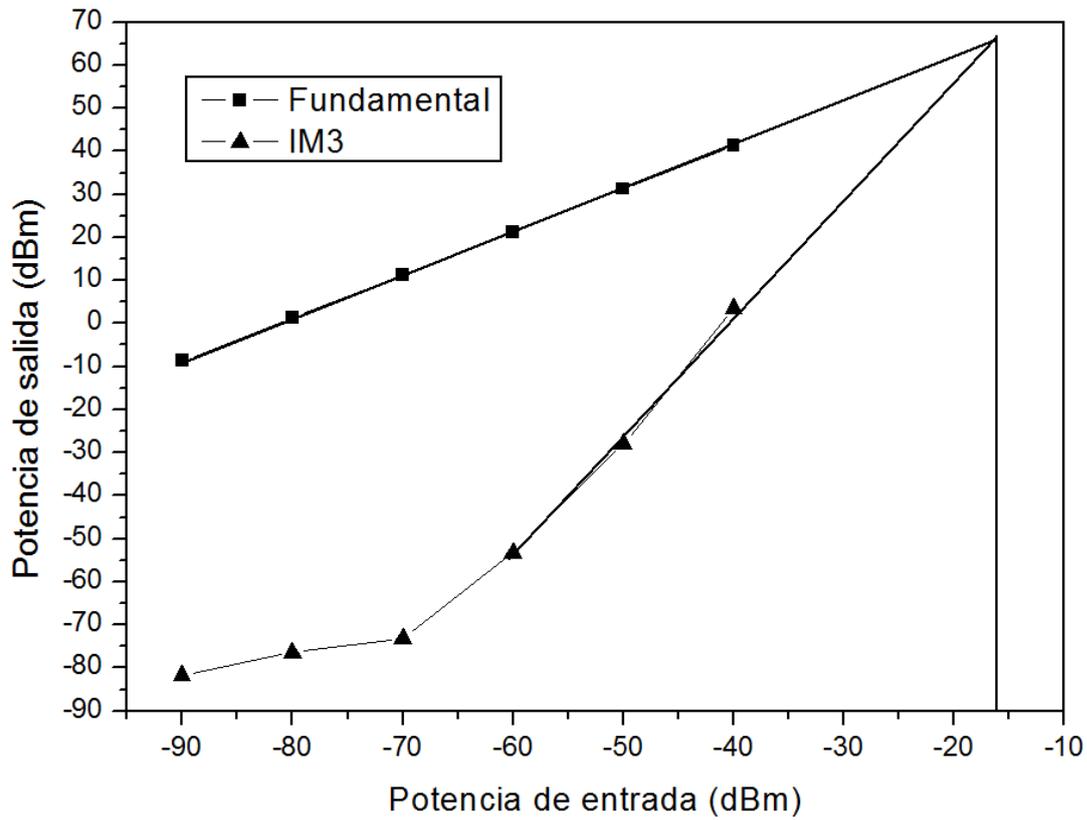


Figura 8-16: IIP3 fuera de banda.

9. Conclusiones

A lo largo de este capítulo se presentarán las conclusiones que puedan ser extraídas del proceso de diseño y simulación del cabezal de recepción. Además, se presenta un resumen de los resultados obtenidos con el fin de realizar una comparación con otras soluciones de este tipo que se pueden encontrar en la literatura.

9.1 Resultados y conclusiones

Tal y como se ha explicado en la introducción de esta memoria de TFG, el objetivo principal del mismo es el de obtener un cabezal de recepción basado en la arquitectura Low-IF para el estándar IEEE 802.15.4 usando la tecnología CMOS 65 nm y centrado en la banda de 2,4 GHz del estándar. Se deseaba que este cabezal fuera de bajo consumo de potencia. Por tanto, en esta sección se tratará de averiguar si realmente se ha completado este objetivo y se han alcanzado los resultados esperados.

Respecto a la arquitectura del cabezal de recepción, como ya se ha comentado a lo largo de todo el documento, se ha optado por una arquitectura del tipo Low-IF. Anteriormente se ha visto que este tipo de receptor posee una serie de ventajas con respecto a otras posibles arquitecturas para receptores de RF. Como se ha analizado previamente, la arquitectura de receptor superheterodino no es la más adecuada para aplicaciones de bajo coste y bajo consumo y, por tanto, queda descartada para este caso. Si se deseara utilizar una arquitectura de cero-IF, sería necesario implementar filtros con complejos sistemas de realimentación para eliminar problemas como el nivel de continua introducido. Por tanto, para simplificar el diseño de los filtros, se ha optado por la arquitectura de conversión a baja frecuencia (*Low-IF*). Además, como ya se ha comentado, esta arquitectura minimiza los problemas del ruido *flicker*.

El cabezal diseñado está compuesto por diversos elementos, donde cada uno cumple una función específica en la cadena de recepción. El primer elemento que se encuentra es el *Balun-LNA*, encargado de adaptar y amplificar introduciendo el mínimo ruido posible la señal proveniente de la antena. En el presente diseño se ha optado por una topología *CG-CS*, dado que permite convertir la señal asimétrica proveniente de la entrada a diferencial sin tener que utilizar circuitería adicional, además de utilizar un circuito *gain boosting* con el fin de aumentar la ganancia y disminuir el ruido.

En cuanto al mezclador, se ha seleccionado una célula de Gilbert doblemente balanceada funcionando a un ciclo de trabajo del 25% lo que permite una disminución del consumo y un aumento de la ganancia de 3dB a la salida del mezclador con respecto al mismo mezclador funcionando con un ciclo de trabajo del 50%.

Con respecto a la etapa de filtrado, se ha introducido un filtro bicuadrático y un filtro de polo complejo introducido por la carga, que permiten filtrar la señal y atenuar tanto la señal imagen como la del canal adyacente. Cabe destacar que toda la circuitería hasta ahora mencionada ha sido apilada, de forma que se ha hecho uso de técnicas de reutilización de corriente, lo que propicia un ahorro en potencia consumida a pesar del empobrecimiento del IIP3 dentro de la banda por la disminución de la tensión de *headroom* de la que dispone la carga.

Finalmente, se ha introducido un filtro polifásico y un PGA para formar el receptor completo. Con el fin de poseer una visión más completa de los resultados obtenidos y del rendimiento del receptor diseñado, se ha realizado una comparación mostrada en la Tabla 9-1 con otras soluciones encontradas en la literatura. El receptor de la referencia [36] posee una arquitectura convencional en la que los diferentes bloques están conectados en cascada mientras que las arquitecturas del resto de referencias usan estructuras apiladas. En concreto la referencia [35] apila un LNA diferencial con un mezclador doblemente balanceado, mientras que la referencia [3] apila tanto un BLIXER como una primera etapa de filtrado similar a la usada en este TFG. Respecto a la tecnología usada, todas las referencias usan CMOS de 65 nm salvo la referencia [36] que usa CMOS de 180 nm. Se puede observar que nuestro receptor es el que mayor ganancia posee de entre los que usan arquitectura apilada. Respecto al consumo, el receptor presentado en [3] es el que menor consumo tiene a costa de una ganancia mucho menor. Sin embargo, para ganancias mayores en torno a 80 dB, el receptor presentado en este trabajo es el que menor consumo presenta. Además, en comparación con el resto de receptores, éste es el que menor NF posee para máxima ganancia. En cuanto al valor de rechazo de la señal imagen se encuentra dentro del estado del arte con valores similares al del resto de referencias. Finalmente, con respecto al IIP3, este trabajo presenta un valor inferior al del resto de trabajos referenciados lo cual es se debe al apilamiento de un mayor número de componentes en el cabezal de recepción.

Tabla 9-1: Comparativa del receptor con otros diseños

Referencia	[36]	[35]	[3]	Este trabajo
Tecnología CMOS (nm)	180	65	65	65
Consumo de potencia [mW]	6,2	3,45*	1	2,37*
Ganancia del receptor [dB]	86	74,3	57	82,5
NF [dB]	11,5	9,63	8,5	8,23
Rechazo imagen [dBc]	30	31	36	34,57
IIP₃ en banda [dBm]	-14	-7	--	-53
IIP₃ fuera de banda [dBm]	--	--	-6	-17

*No incluye el consumo del filtro polifásico ($\approx 1.2\text{mW}$) [28]

9.2 Líneas futuras

Dado que los resultados obtenidos han sido satisfactorios y teniendo en cuenta que este TFG se ha desarrollado dentro de una línea de trabajo de mayor envergadura enfocado al diseño de un transceptor de radiofrecuencia, se tiene que tener en mente que el diseño realizado podría ser objeto de distintos trabajos futuros. Con respecto al diseño actual, primero se hace necesario introducir un LO ya diseñado [37] y la implementación real del filtro polifásico, completando así el receptor de RF. Por otra parte, se debería diseñar un transmisor para completar el transceptor. El siguiente paso en el proceso de fabricación del circuito integrado consiste en realizar el diseño a nivel de *layout*, tanto del cabezal de recepción diseñado en este TFG como del resto de circuitos que forman el transceptor. Este paso consiste en convertir el diseño en esquemático en una representación física del mismo. Es decir, el *layout* es necesario para poder fabricar el transceptor ya que a partir de sus especificaciones se crean las distintas máscaras a emplear en el proceso de fabricación. Por tanto, una vez se tiene el *layout*, se realizan simulaciones *post-layout* y se comprueba que los resultados obtenidos corresponden con los obtenidos en la simulación. De esta manera se obtienen unos resultados de simulación más cercanos a la realidad ya que se tienen en cuenta las pérdidas introducidas por las pistas que conectan los distintos dispositivos que forman los circuitos. Tras esto, se fabricaría el chip

y se realizarían medidas experimentales, obteniendo así los parámetros de trabajo reales del transceptor.

Por otra parte, este TFG forma parte de un proyecto de investigación que tiene como objetivo desarrollar el primer dispositivo que permita el despliegue de redes de sensores inalámbricos en entornos de alta radiación ambiental [38]. En el grupo de trabajo ya se han realizado pruebas de análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, se han realizado unas pruebas tanto a nivel de circuito como a nivel de dispositivo en LNAs diseñados en tecnologías CMOS. Por lo tanto, una línea futura a explorar consiste en determinar el efecto de las técnicas de reutilización de corriente empleadas en este TFG en el funcionamiento de los circuitos bajo condiciones de alta radiación ambiental.

Parte II: Bibliografía

- [1]S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, y B. Nauta, «The Blixer, a Wideband Balun-LNA-I/Q-Mixer Topology», *IEEE J. Solid-State Circuits*, vol. 43, n.º 12, pp. 2706-2715, Diciembre 2008.
- [2]M. Tedeschi, A. Liscidini, y R. Castello, «Low-Power Quadrature Receivers for ZigBee (IEEE 802.15.4) Applications», *IEEE J. Solid-State Circuits*, vol. 45, n.º 9, pp. 1710-1719, sep. 2010.
- [3]Z. Lin, P. I. Mak, y R. P. Martins, «A 2.4 GHz ZigBee Receiver Exploiting an RF-to-BB-Current-Reuse Blixer + Hybrid Filter Topology in 65 nm CMOS», *IEEE J. Solid-State Circuits*, vol. 49, n.º 6, pp. 1333-1344, jun. 2014.
- [4]K. W. Cheng, K. Natarajan, y D. J. Allstot, «A Current Reuse Quadrature GPS Receiver in 0.13 um CMOS», *IEEE J. Solid-State Circuits*, vol. 45, n.º 3, pp. 510-523, mar. 2010.
- [5]D. Tibaduiza Burgos, N. Chio, L. Aparicio, y L. Miguel Caro, *Redes de sensores inalámbricos*. 2011.
- [6]M. R. Anderson, S. Lalchand Khemchandani, y D. Badel Ramos Valido, «Implementación de un sistema de sensorización remota con Arduino», *ULPGC*, jul. 2014.
- [7]D. J. A. Gutierrez, «IEEE Std. 802.15.4: Enabling pervasive wireless sensor networks», *Eaton Corp.*, 2005.
- [8]D. Morató Osés, «UPNA Arquitectura de Redes, Sistemas y Servicios; CSMA/CA». .
- [9]J. M. Moreno y D. R. Fernandez, «Informe Técnico: Protocolo ZigBee (IEEE 802.15.4)». 2007.
- [10]IEEE Computer Society, «IEEE Standard for Local and metropolitan area networks Part 15.4: Low-Rate Wireless Personal Area Networks (LR-WPANs)». 2011.
- [11]C. A. Ortega Huembres, «ZigBee: El nuevo estándar global para la domótica e inmótica». .
- [12] J. Del Pino, «Apuntes de la asignatura “Electrónica de comunicación”». 2016.
- [13]P. A. Ramón López La Valle y M. H. Roncagliolo, «Cabezal de radiofrecuencia de un receptor GNSS multibanda». Universidad Nacional de La Plata, 2014.
- [14]«A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18-- CMOS Technology - IEEE Journals & Magazine». [En línea].

Disponible en: <http://ieeexplore.ieee.org.bibproxy.ulpgc.es/document/4020478/>. [Accedido: 05-ene-2018].

- [15]B. Razavi, *Design of Analog CMOS Integrated Circuits*. 2016.
- [16]J. Diaz, «El transistor MOS». .
- [17]M. I. Schiavon, «Transistores de efecto campo». 1997.
- [18]«Documentación kit de diseño UMC 65 nm». .
- [19]M. Ershov, «MOM capacitor simulation challenges and solutions». .
- [20]P.-Y. Chiu y M.-D. Ker, «Metal-layer capacitors in the 65nm CMOS process and the application for low-leakage power-rail ESD clamp circuit», *Microelectron. Reliab.*, vol. 54, n.º 1, pp. 64-70, ene. 2014.
- [21]H. García Vázquez, «A Wideband active feedback LNA with a Modified 3D inductor». .
- [22]S. Blaakmer, «COMPACT WIDEBAND CMOS RECEIVER FRONTENDS FOR WIRELESS COMMUNICATION», 2010.
- [23]L. Zhu, «Two 500M- 8GHz Wideband Balun- LNA- I/Q- Mixers», Lund University, 2012.
- [24]E. Garcia Moreno, «LNAs y mezcladores». .
- [25]A. Pirola, A. Liscidini, y R. Castello, «Current-Mode, WCDMA Channel Filter With In-Band Noise Shaping», *IEEE J. Solid-State Circuits*, vol. 45, n.º 9, pp. 1770-1780, sep. 2010.
- [26]C. L. Ler, A. K. B. A'ain, y A. V. Kordesh, «CMOS source degenerated differential active inductor», *Electron. Lett.*, vol. 44, n.º 3, pp. 196-197, ene. 2008.
- [27]Y. Chen, P. I. Mak, L. Zhang, y Y. Wang, «0.07 mm², 2 mW, 75 MHz-IF, fourth-order BPF using source-follower-based resonator in 90 nm CMOS», *Electron. Lett.*, vol. 48, n.º 10, pp. 552-554, may 2012.
- [28]D. Mayor Duarte, «Diseño de un filtro polifásico para un receptor IEEE 802.15.4 en tecnología CMOS 0.18 µm», ULPGC, 2016.
- [29]D. Galante Sempere, «Diseño de un VGA para un receptor del estándar IEEE 802.15.4 en tecnología CMOS de 65 nm», 2017.
- [30]D. T. Delgado Alemán, F. J. Del Pino Suárez, y S. Lalchand Khemchandani, «Diseño de un filtro polifásico activo en tecnología SiGe 0.35µm para un receptor basado en el estándar IEEE 802.11a», ULPGC, 2006.

[31]B. Guthrie, J. Hughes, T. Sayers, y A. Spencer, «A CMOS gyrator low-IF filter for a dual-mode Bluetooth/ZigBee transceiver», *IEEE J. Solid-State Circuits*, vol. 40, n.º 9, pp. 1872-1879, sep. 2005.

[32]T. Sánchez Rodríguez, R. G. Carvajal, S. Lalchand Khemchandani, J. Del Pino, J. Ramírez Angulo, y A. L. Martín, «Low-Power Complex Filter for WLAN Applications». XXII Conference on Design of Circuits and Integrated Systems.

[33]«Analysis and design of amplifiers and comparators in CMOS 0.35 μm technology - ScienceDirect». [En línea]. Disponible en: <http://www.sciencedirect.com/science/article/pii/S0026271403004402>. [Accedido: 05-ene-2018].

[34]«Power constrained design optimization of analog circuits based on physical gm/ID characteristics - Semantic Scholar». [En línea]. Disponible en: </paper/Power-constrained-design-optimization-of-analog-ci-Girardi-Bampi/69b341ef412a0130fb847851ef15b27ad362cea9>. [Accedido: 05-ene-2018].

[35]G. Ojeda Rodríguez, «Diseño de un cabezal de recepción para el estándar IEEE 802.15.4 en tecnología CMOS de 65 nm», 2017.

[36]D. Mayor Duarte, A. C. Ramón, S. Mateos Angulo, M. San Miguel Montesdeoca, S. Lalchand Khemchandani, y J. Del Pino Suárez, «A CMOS Programmable Gain Amplifier for 2.4-GHz-band IEEE 802.15.4 Standard», *XXXI Conf. Des. Circuits Integr. Syst. DCIS Granada*, 2016.

[37]D. S. González Ramírez, «Análisis de los efectos de la radiación espacial en los osciladores controlados por tensión integrados», 2017.

[38]J. Del Pino Suárez y S. Lalchand Khemchandani, «Diseño de circuitos de comunicaciones para alta radiación ambiental (ComRad)». Instituto Universitario de Microelectrónica Aplicada de la Universidad de Las Palmas de Gran Canaria, Grupo de Ingeniería Electrónica de la Universidad de Sevilla, Centro de Estudios e Investigaciones Técnicas de Gipuzkoa, Proyectos, Memoria Científico-Técnica de Proyectos Coordinados, Ministerio de Economía y Competitividad, 2015.

Parte III: Presupuesto

Una vez finalizado el diseño y comprobación de los elementos que forman el cabezal de recepción, en este capítulo se realiza un análisis en costos del proyecto. Para ello se tendrán en cuenta todos los materiales utilizados y calculando el costo de personal siguiendo las tablas salariales de contratación de la ULPGC (Universidad de Las Palmas de Gran Canaria). Esto quedará desglosado en diversas secciones que separan los distintos costes asociados al proyecto.

P1. Trabajo tarifado por tiempo empleado

Este concepto contabiliza los honorarios a percibir por el ingeniero en el desarrollo del proyecto en función el salario correspondiente a las horas de trabajo de un graduado en ingeniería de telecomunicaciones.

Para ello, el importe de dichas horas de trabajo se calcula siguiendo las tablas salariales de contratación de la ULPGC, teniendo en cuenta que se trabaja como investigador en proyecto a media jornada (20 horas semanales) y obteniendo una retribución mensual de 896.31€ mensuales. Teniendo en cuenta que la duración aproximada del proyecto es de 300 horas se estima una duración a media jornada durante 4 meses. Es por ello que el coste de personal total del proyecto será:

$$896.31 \cdot 4 = 3,585.24\text{€} \quad (9-1)$$

Por lo que el trabajo tarifado por tiempo empleado asciende a la cantidad de *tres mil quinientos ochenta y cinco con veinticuatro céntimos*.

P2. Amortización del inmovilizado material

El inmovilizado material se consideran los recursos hardware como software empleados para la realización de este TFG. Se estipula el coste de amortización mediante las tablas de amortización proporcionadas por la agencia tributaria utilizando un sistema de amortización lineal, en el que se supone que el inmovilizado material se deprecia de forma constante a lo

largo de su vida útil. Para sistemas y programas informáticos se dispone de un coeficiente de amortización máximo un 33% y un periodo de años máximo para la amortización de 6 años.

Dado que la duración de este TFG es de 4 meses, inferior al periodo estipulado para el coste de amortización de 6 años, los costes serán los derivados de los 4 primeros meses y teniendo en cuenta que algunos de los recursos, tales como licencias software y equipos hardware se utilizan de forma compartida entre varios usuarios, el porcentaje será inferior al coeficiente de amortización máximo estipulado anteriormente y se calculará de la siguiente forma:

$$\text{Amortización} = VA \cdot CA \cdot 0.33 \quad (9-2)$$

Donde:

- VA: Valor de adquisición
- CA: Coeficiente de amortización

P3. Costes de amortización de los equipos hardware

En la Tabla 9-2 se muestran los costes de los equipos hardware utilizados para la realización de este proyecto, indicando para cada elemento su valor de adquisición, porcentaje de amortización, tiempo de uso y coste de amortización.

Tabla 9-2: Costes de amortización hardware

Material	Valor adquisición	Coeficiente de amortización	Tiempo de uso (meses)	Amortización
Servidor para simulación SUN Enterprise	20,000€	10%	4	660€
Ordenador personal Acer Aspire 5750G	700€	33%	4	76.23€
Estación de trabajo	900€	10%	4	29.7€
Amortización total				765.93€

El coste total del material hardware asciende a *setecientos sesenta y cinco con noventa y tres céntimos*.

P4. Costes de amortización de material software

En la Tabla 9-3 se muestran los costes del material software utilizado para la realización de este proyecto, indicando para cada elemento su valor de adquisición, porcentaje de amortización, tiempo de uso y coste de amortización.

Tabla 9-3: Costes de amortización software

Material	Valor adquisición	Coefficiente de amortización	Tiempo de uso (meses)	Amortización
Sistema operativo Windows 7 home premium	99.95€	33%	4	10.88€
Sistema operativo Windows 7 Profesional	149€	10%	4	4.92€
Licencia ADS 2009	2,208.11€	10%	4	72.87€
Microsoft Office 2016	149€	33%	4	16.22€
Amortización total				104.89€

El coste total de las herramientas software asciende *ciento cuatro con ochenta y nueve céntimos*.

P5. Costes de material fungible

Los costes asociados al material fungible utilizado en la realización de este proyecto son los mostrados en la Tabla 9-4.

Tabla 9-4: Costes de material fungible

Material	Coste
Materiales papelería	10.00€
CD-ROM	5.00€
Impresión	40.00€
Encuadernación	5.00€
Total	60.00€

El coste total de material fungible asciende a *sesenta euros*.

P6. Costes totales

Finalmente, los costes totales asociados a la realización de este TFG son los mostrados en la Tabla 9-5.

Tabla 9-5: Costes totales

Costes	Subtotal
Trabajo tarifado por tiempo empleado	3,585.24€
Costes de equipos hardware	765.93€
Costes de herramientas software	104.89€
Material fungible	60.00€
Total	4,516.06€

Finalmente, el presupuesto total de este TFG con título “Diseño de un cabezal de recepción para 802.15.4 mediante técnicas de reutilización de corriente” asciende a un total de *cuatro mil quinientos dieciséis con seis céntimos*.

Parte VI: Anexos

