



# Máster Universitario en Tecnologías de Telecomunicación

## Trabajo Fin de Máster

### Síntesis de alto nivel de un decodificador H.264/AVC sobre plataforma FPGA

Romén Neris Tomé

Antonio Núñez Ordóñez, Pedro Pérez Carballo

Septiembre 2012

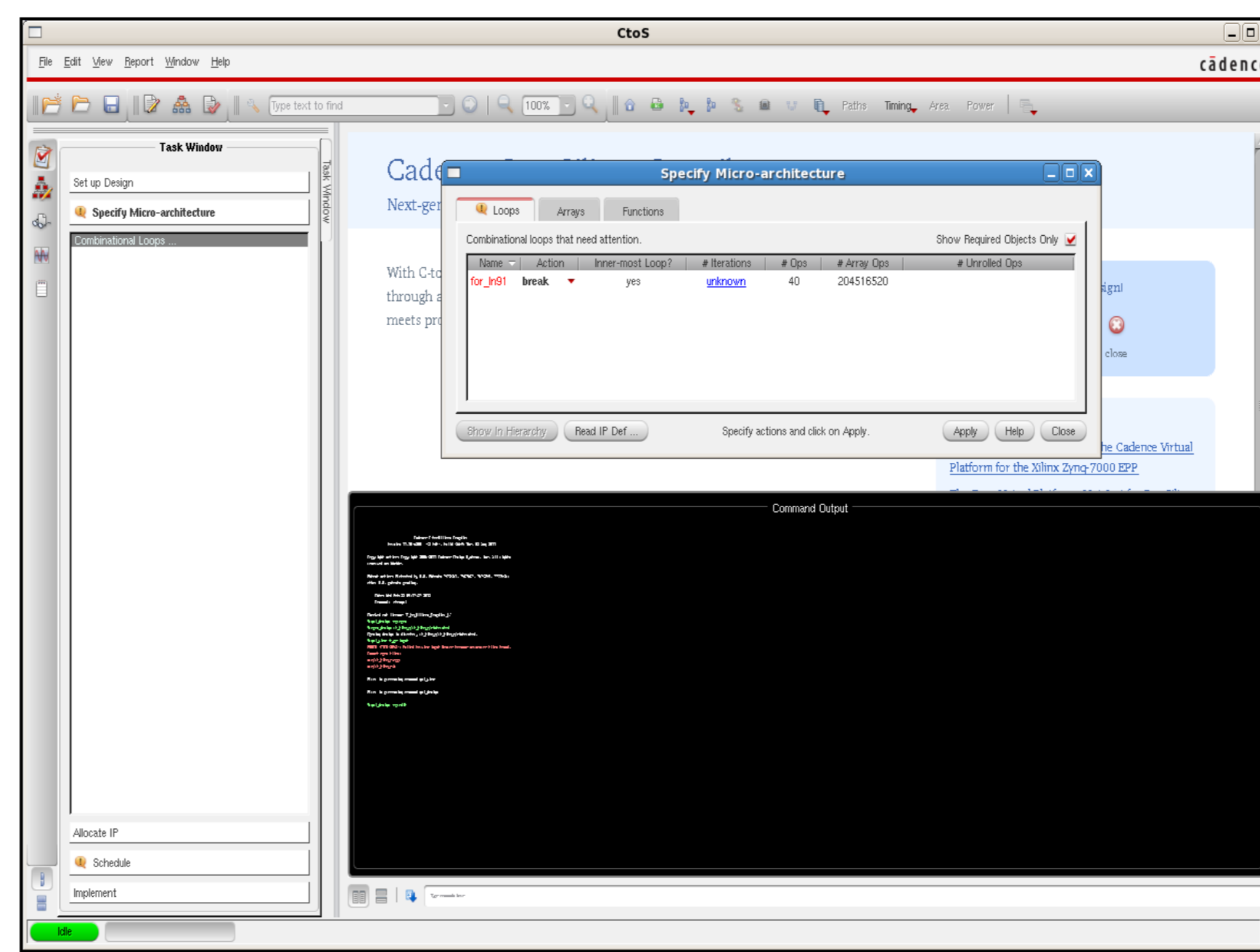
#### Resumen:

- El objetivo de este Trabajo Fin de Máster es la síntesis de alto nivel de un decodificador de vídeo H.264/AVC sobre una plataforma FPGA.
- Para ello, se definirá una metodología de trabajo partiendo de un diseño existente del decodificador descrito en lenguaje SystemC.
- Se realizarán los pasos necesarios para llegar a la correcta síntesis del decodificador sobre una plataforma FPGA.
- Por último, se presentará de manera gráfica los resultados obtenidos más relevantes, formando todo ello parte del proyecto PCCMUTE llevado a cabo por la División de Sistemas Industriales y CAD – SICAD.

#### Flujo de diseño propuesto



#### Herramientas utilizadas



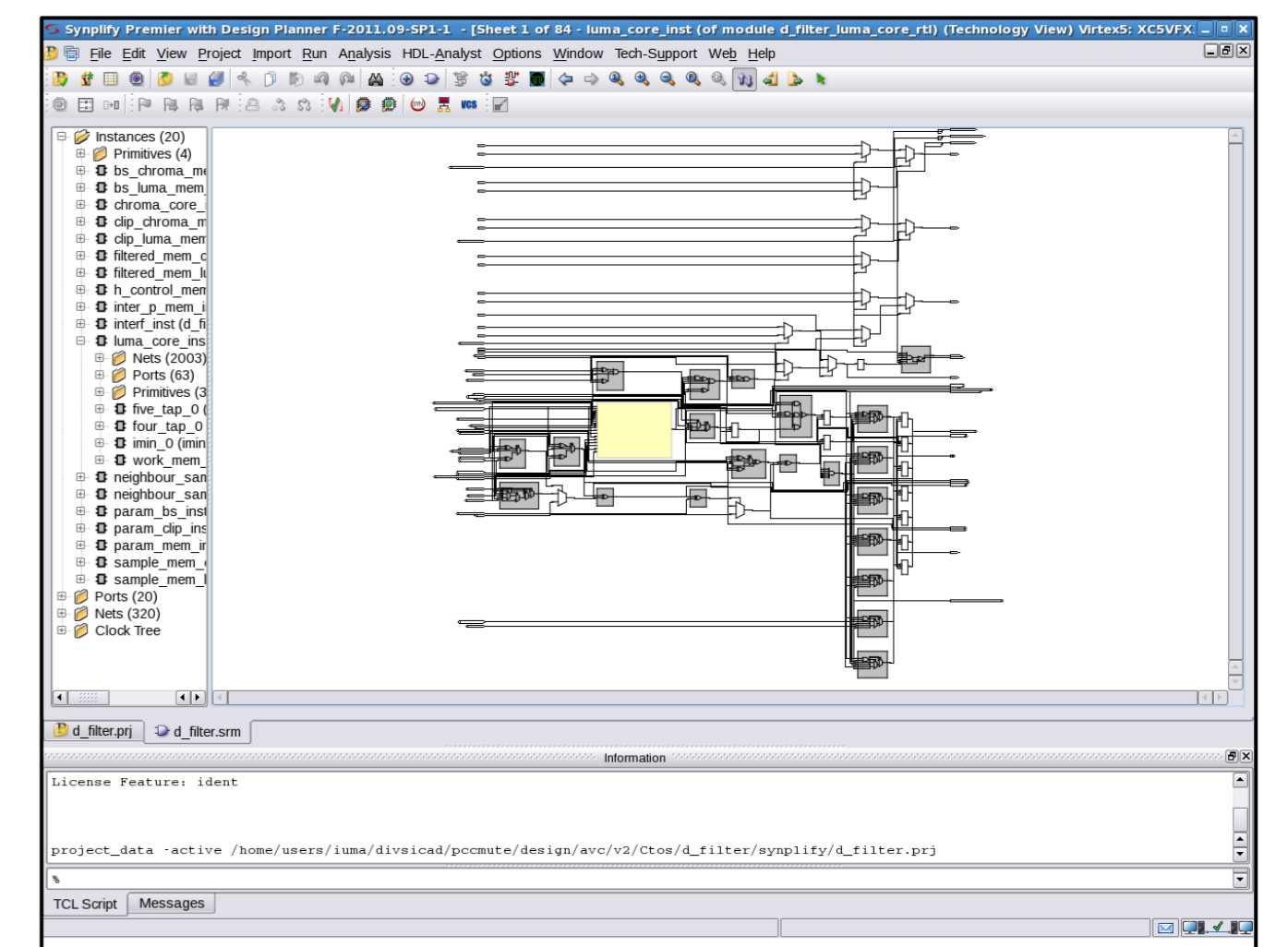
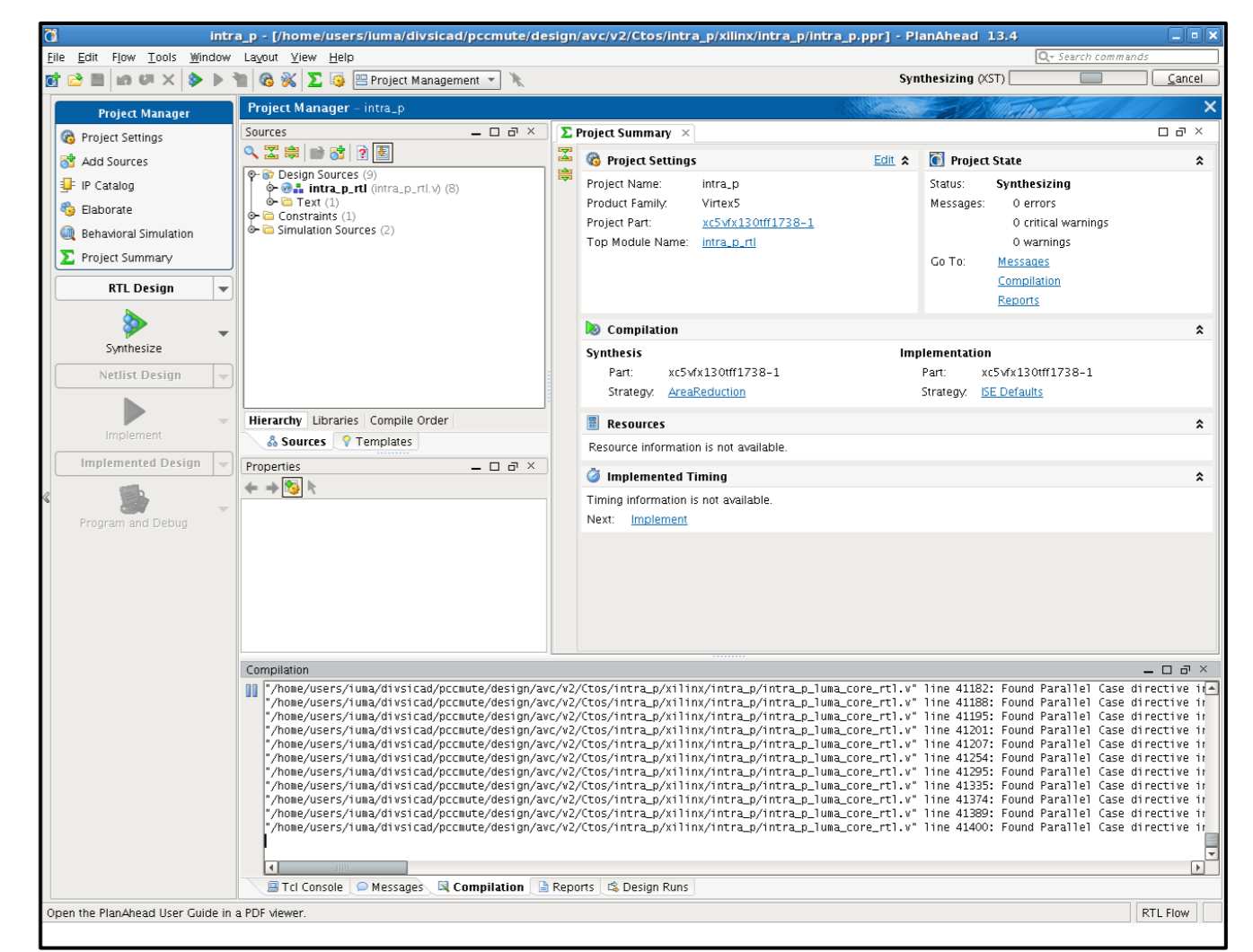
Síntesis a alto nivel: **Cadence CtoS**

Reducción de complejidad: **x10**

Nº Líneas SystemC: **36.148**

No Líneas RTL Verilog: **354.567**

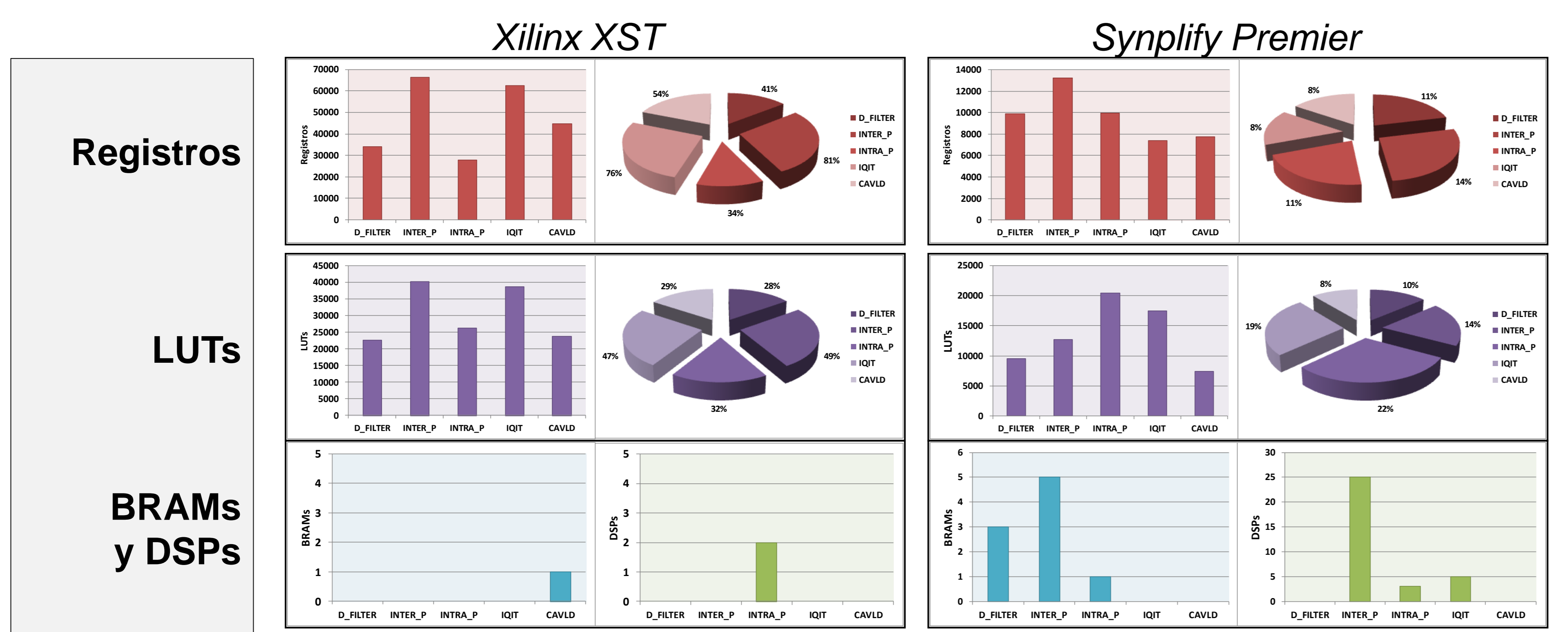
#### Síntesis lógica: **Xilinx XST**



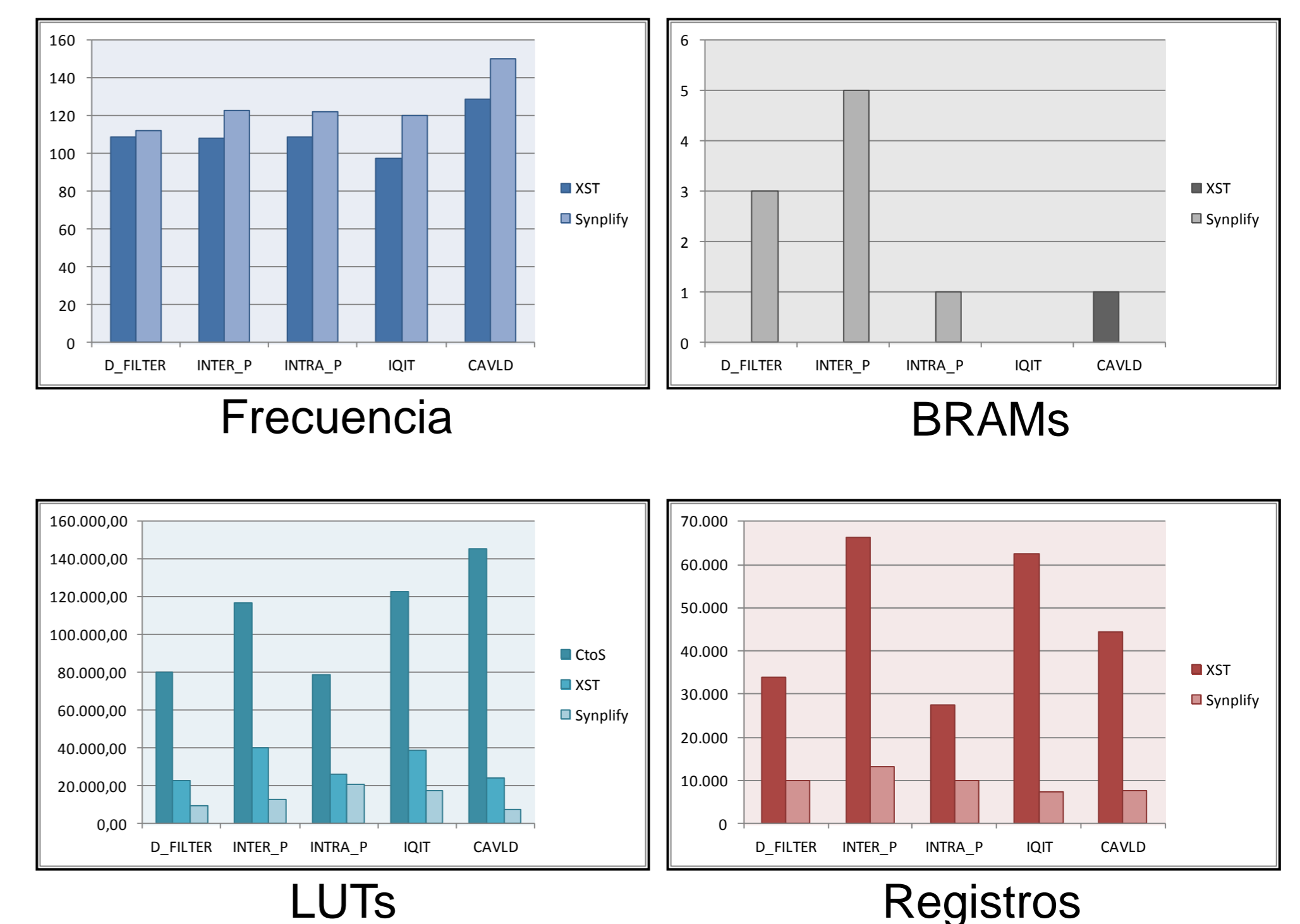
Síntesis lógica: **Synplify Premier**

#### Resultados y comparativas

##### Resultados de Síntesis Lógica con XST y Synplify Premier



##### Comparativa de los Resultados de Síntesis



##### Comparativa con otras publicaciones

