



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de Información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo de Fin de Máster

IMPLEMENTACIÓN FÍSICA Y VERIFICACIÓN DE UN VGA DIFERENCIAL CON COMPENSACIÓN DE FUENTE PARA EL ESTÁNDAR IEEE 802.15.4 EN 65 nm

Autor: David Galante Sempere
Tutor: Dr. Francisco Javier del Pino Suárez
Cotutor: D. Sergio Mateos Angulo
Fecha: Julio 2018



t +34 928 451 150 | e: iuma@iuma.ulpgc.es
+34 928 451 086 | w: www.iuma.ulpgc.es
f +34 928 451 083

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de Información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo de Fin de Máster

IMPLEMENTACIÓN FÍSICA Y VERIFICACIÓN DE UN VGA DIFERENCIAL CON COMPENSACIÓN DE FUENTE PARA EL ESTÁNDAR IEEE 802.15.4 EN 65 nm

HOJA DE FIRMAS

Alumno: David Galante Sempere Fdo.:

Tutor: Dr. Francisco Javier del Pino Suárez Fdo.:

Cotutor: D. Sergio Mateos Angulo Fdo.:

Fecha: Julio 2018



t +34 928 451 150 | e: iuma@iuma.ulpgc.es
+34 928 451 086 | w: www.iuma.ulpgc.es
f +34 928 451 083

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de Información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo de Fin de Máster

IMPLEMENTACIÓN FÍSICA Y VERIFICACIÓN DE UN VGA DIFERENCIAL CON COMPENSACIÓN DE FUENTE PARA EL ESTÁNDAR IEEE 802.15.4 EN 65 nm

HOJA DE EVALUACIÓN

Calificación:

Presidente

Fdo.:

Secretario

Fdo.:

Vocal

Fdo.:

Fecha: Julio 2018



t +34 928 451 150 | e: iuma@iuma.ulpgc.es
+34 928 451 086 | w: www.iuma.ulpgc.es
f +34 928 451 083

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria

Índice de Contenido

Capítulo 1. Introducción.....	1
1.1 Antecedentes.....	2
1.2 Estándares para WSNs.....	6
1.3 Objetivos.....	8
1.4 Estructura del Documento	9
Capítulo 2. Estado del Arte	11
2.1 Amplificadores de Ganancia Variable.....	11
2.1.1 VGA con Control Analógico.....	11
2.1.2 VGA con Control Digital	13
2.1.3 Decisiones de Diseño	14
2.2 Formas de Integrar un VGA en un Receptor	16
2.2.1 Ejemplo de un VGA y un Filtro para un Receptor <i>Zero-IF</i>	16
2.2.2 VGA después del Filtro	17
2.2.3 VGA antes del Filtro	18
2.2.4 VGA entremezclado con Etapas de Filtrado	18
2.2.5 VGA antes del Mezclador y el Filtro.....	19
2.2.6 Etapas de Ganancia con Amplificadores en Serie	20
2.3 Conclusiones.....	21
Capítulo 3. Diseño a Nivel de Esquemático	23
3.1 El Amplificador de Ganancia Programable (PGA)	23
3.2 Amplificador Operacional de Transconductancia (OTA)	24
3.2.1 Fuente de Corriente	24
3.2.2 Etapa de Entrada.....	26
3.2.3 Etapa de Salida	27
3.2.4 <i>Common-Mode FeedBack</i>	28
3.2.5 Circuito Completo	29
3.2.5.1 Modificaciones Finales	31
3.3 Resistencia Variable	33
3.4 Técnica de Compensación del PGA	36
3.4.1 Compensación por Polo Dominante (Miller)	36
3.4.2 Compensación de Fuente.....	37
3.5 Resultados de Simulación del PGA Completo	39
3.6 Conclusiones.....	40
Capítulo 4. Estudio de la Tecnología CMOS UMC de 65 nm.....	43
4.1 Elementos Pasivos	43
4.1.1 Resistencias	43
4.1.1.1 Resistencias de la Tecnología	44
4.1.2 Condensadores.....	48

4.1.2.1	Condensadores de la Tecnología.....	49
4.1.3	Bobinas.....	51
4.1.4	Pads.....	52
4.1.4.1	Pads de la Tecnología.....	52
4.2	Elementos Activos.....	53
4.2.1	El Transistor MOS.....	53
4.2.1.1	Principio de Operación.....	55
4.2.1.2	Modelo en Pequeña Señal.....	58
4.2.1.3	Conducción Sub-umbral.....	59
4.2.1.4	MOSFETs de la Tecnología.....	60
4.2.2	Diodos.....	62
4.2.2.1	Diodos de la tecnología.....	63
4.3	Conclusiones.....	64
Capítulo 5.	Diseño a Nivel de <i>Layout</i>.....	67
5.1	Proceso de Diseño.....	67
5.1.1	Conocimientos Previos.....	67
5.1.2	Optimización del <i>layout</i>	70
5.1.3	Procedimiento.....	70
5.2	<i>Layout</i> del OTA.....	71
5.2.1	Fuente de Corriente.....	72
5.2.2	Etapa de Entrada.....	75
5.2.1	Etapa de salida.....	77
5.2.1	CMFB.....	78
5.2.2	OTA Completo.....	79
5.3	<i>Layout</i> de la Resistencia Variable.....	80
5.3.1	<i>Layout</i> de la Puerta de Transmisión.....	80
5.3.2	<i>Layout</i> de las Resistencias.....	81
5.3.1	<i>Layout</i> del Multiplexor.....	83
5.4	<i>Layout</i> del PGA.....	84
5.5	Conclusiones.....	87
Capítulo 6.	Resultados de Simulación Post-<i>layout</i>.....	89
6.1	OTA en Lazo Abierto.....	90
6.2	PGA de una Etapa.....	93
6.3	PGA de dos Etapas.....	95
6.4	Encapsulado.....	98
6.5	Conclusiones.....	102
Capítulo 7.	Conclusiones.....	103
7.1	Resumen del Trabajo Realizado.....	103
7.1.1	Recopilación de los Resultados.....	104
7.1.2	Comparativa con el Estado del Arte.....	107
7.2	Líneas Futuras.....	108

Índice de Figuras

Figura 1.1. Diagrama de bloques de la arquitectura interna de un transceptor.	3
Figura 1.2. Diagrama de flujo de diseño de circuitos integrados.	5
Figura 2.1. Técnicas de control de ganancia de forma analógica.	12
Figura 2.2. Ejemplo de un VGA con control de ganancia analógico, celda unitaria [24].	13
Figura 2.3. VGA con control analógico, principio de realimentación activa [24].	13
Figura 2.4. Estructura del VGA formada por dos etapas de ganancia con resistencias y condensadores conmutables.	14
Figura 2.5. Realimentación negativa en configuración inversora: en modo asimétrico (a) y en modo diferencial (b).	15
Figura 2.6. Amplificador en dos etapas [34].	17
Figura 2.7. Ejemplo de una configuración con el VGA después del filtro [36].	18
Figura 2.8. Ejemplo de configuración del VGA antes del filtro [37].	18
Figura 2.9. Configuración de un receptor con el VGA entre etapas de filtrado [18] (a) y la implementación del filtro paso-banda complejo (b).	19
Figura 2.10. Configuración de un receptor con etapas de ganancia entrelazadas con etapas de filtrado [30].	19
Figura 2.11. Configuración del VGA previo al filtro y al mezclador [38].	20
Figura 2.12. Configuración de un receptor con múltiples etapas de ganancia y un selector de la salida [39].	20
Figura 3.1. Diagrama de bloques de la arquitectura del PGA propuesto.	24
Figura 3.2. Espejo de corriente para el OTA diferencial.	25
Figura 3.3. Etapa de entrada del OTA: par diferencial.	26
Figura 3.4. Etapa de salida del OTA: Amplificador Clase A.	28
Figura 3.5. Circuito de realimentación en modo común o CMFB.	29
Figura 3.6. Esquemático del OTA completamente diferencial con compensación Miller de fuente.	30
Figura 3.7. Respuesta en magnitud (línea superior) y fase (línea inferior) de la simulación del OTA en lazo abierto.	33
Figura 3.8. Esquemático de la resistencia variable (a) y las puertas de transmisión (b) empleadas para implementar los elementos de conmutación.	34
Figura 3.9. Esquemático del multiplexor de 3 entradas y 7 salidas full-custom.	35
Figura 3.10. Esquemático de la puerta lógica AND de tres entradas, formada por una puerta NAND seguida de un inversor.	36
Figura 3.11. Simulación de la respuesta temporal de la puerta AND, elemento principal del multiplexor.	36
Figura 3.12. Esquema de un OTA Miller con compensación por polo dominante.	37

Figura 3.13. Compensación de un amplificador con realimentación tipo Miller (a) y esquema de compensación de fuente propuesto (b) [12].	38
Figura 3.14. Respuestas en lazo cerrado para un amplificador operacional Miller convencional (a) y para un amplificador operacional con compensación de fuente con $A_{II} \gg G$ (b).	39
Figura 3.15. Respuesta en magnitud (a) y fase (b) del VGA completo.	40
Figura 4.1. Vista en perspectiva de la resistencia integrada (a) y vista de layout (b).	44
Figura 4.2. Vista de una resistencia integrada en perspectiva.	45
Figura 4.3. Circuito equivalente de una resistencia para la tecnología CMOS UMC de 65 nm.	47
Figura 4.4. Layout de la resistencia RNHR_RF empleada en la implementación del VGA.	47
Figura 4.5. Condensador planar Metal-aislante-metal.	48
Figura 4.6. Condensador Metal-óxido-metal [43].	49
Figura 4.7. Circuito equivalente: condensador MIM $2.0\text{fF}/\mu\text{m}^2$ en la tecnología CMOS UMC 65 nm.	49
Figura 4.8. Layout de un condensador MIM $2.0\text{fF}/\mu\text{m}^2$ en la tecnología CMOS UMC de 65 nm. El color marrón claro corresponde al penúltimo metal del proceso (metal7).	50
Figura 4.9. Esquema de un inductor integrado con forma cuadrada de espiral simple [46].	51
Figura 4.10. Representación por capas de un pad de contacto para un circuito integrado.	52
Figura 4.11. Circuito equivalente del pad de RF (a) y arquitectura del mismo en la tecnología (b).	52
Figura 4.12. Layout del pad de RF generado con el asistente de Cadence Virtuoso® Layout Suite L.53	
Figura 4.13. Sección de un transistor NMOS (a) y de un PMOS (b).	54
Figura 4.14. Dimensiones básicas del transistor MOS. Por comodidad, se ha seleccionado un tipo N.	54
Figura 4.15. Notación básica de tensiones y corrientes en los NMOS (a) y los PMOS (b).	55
Figura 4.16. Formación del canal en un MOSFET y representación del estrangulamiento (a). Identificación de la tensión umbral (b)	56
Figura 4.17. Curvas I_D frente a V_{DS} para diferentes valores de V_{GS} .	57
Figura 4.18. Modelo en pequeña señal para un transistor MOS.	58
Figura 4.19. Modelo de capacidades parásitas del transistor MOS en pequeña señal.	59
Figura 4.20. Diagrama de bloques de la estructura multifinger (a) y ejemplo del layout de un MOSFET multifinger (b).	61
Figura 4.21. Parámetros del transistor MOS LVT en Cadence Virtuoso® Layout Suite L.	61
Figura 4.22. Diodo de unión PN [10].	62
Figura 4.23. Gráfica I-V del diodo de unión PN[51].	63
Figura 4.24. Diodos disponibles en la tecnología CMOS UMC de 65 nm. De izquierda a derecha y de arriba abajo: DION, DIOP, DIONW, DIODNW y DIODP. La referencia es de $1\ \mu\text{m}$.	64
Figura 5.1. Ejemplo de definición de espaciado, contención y anchura mínimos.	68

Figura 5.2. Esquemático del OTA separado por etapas.....	71
Figura 5.3. Símbolo (a) y esquemático (b) de la fuente de corriente en Cadence.....	72
Figura 5.4. Layout de la fuente de corriente del OTA.....	72
Figura 5.5. Vista del asistente de DRC de Assura en Cadence Virtuoso® Layout Suite L.....	73
Figura 5.6. Mensaje de DRC correcto de Assura a la izquierda, mensaje de DRC correcto de Calibre a la derecha.....	74
Figura 5.7. Mensaje de test de LVS correcto en Assura.....	75
Figura 5.8. Símbolo (a) y esquemático (b) del par diferencial en Cadence.....	76
Figura 5.9. Layout del par diferencial, etapa de entrada del OTA.....	76
Figura 5.10. Símbolo (a) y esquemático (b) del amplificador Clase A en Cadence.....	77
Figura 5.11. Layout del amplificador Clase A, etapa de salida del OTA.....	78
Figura 5.12. Símbolo (a) y esquemático (b) del circuito CMFB en Cadence.....	78
Figura 5.13. Layout del circuito CMFB.....	79
Figura 5.14. Layout del OTA completo.....	80
Figura 5.15. Esquemático de la puerta de transmisión.....	81
Figura 5.16. Layout de la puerta de transmisión.....	81
Figura 5.17. Layout de la Resistencia Variable.....	82
Figura 5.18. Esquemático del multiplexor 3 a 7 diseñado.....	83
Figura 5.19. Layout del multiplexor 3 a 7.....	83
Figura 5.20. Esquemático de una etapa del PGA.....	84
Figura 5.21. Layout de una etapa del PGA.....	85
Figura 5.22. Layout de las resistencias y el multiplexor.....	86
Figura 5.23. Símbolo del PGA completo (a) y diagrama de bloques del PGA propuesto (b).	86
Figura 5.24. Layout del PGA completo formado por dos etapas.....	87
Figura 6.1. Diagrama de bloques de la arquitectura de un receptor.....	89
Figura 6.2. Ejemplo de extracción de parásitas de los transistores NMOS que polarizan el par diferencial y el CMFB del OTA.....	90
Figura 6.3. Esquemático de simulación de los parámetros del OTA en lazo abierto.....	91
Figura 6.4. Configuración de la simulación post-layout mediante Cadence Virtuoso® Hierarchy Editor para emplear el circuito con parásitas extraídas.....	91
Figura 6.5. Respuesta en frecuencia del OTA en lazo abierto antes (a) y después de realizar el layout (b). Magnitud representada por la curva superior y fase representada por la curva inferior.....	92
Figura 6.6. Setup de simulación del PGA de una etapa para la simulación post-layout.....	94
Figura 6.7. Resultados de la simulación inicial del PGA de una etapa.....	94
Figura 6.8. Resultados de simulación post-layout del PGA de una etapa.....	94

Figura 6.9. Esquemático de la simulación completa del PGA completamente diferencial con compensación de fuente.	96
Figura 6.10. Magnitud y fase de la respuesta en frecuencia del PGA completo.	96
Figura 6.11. Magnitud y fase para el caso de máxima ganancia del PGA completo.	97
Figura 6.12. Interconexión de las entradas/salidas de los circuitos con los pads del chip.	99
Figura 6.13. Enrutado del PGA completo con los pads.	100
Figura 6.14. Layout del multiplexor con los diodos incluidos.	101
Figura 6.15. Esquema de interconexión de los pines del circuito con las patillas del encapsulado CLCC 68.	101
Figura 7.1. Estudio del área del PGA de una etapa.	106
Figura 7.2. Gráfico de ganancia y ancho de banda en función de la palabra de control (a) y producto GBW en función de la palabra de control (b).	106

Índice de Tablas

Tabla 3.1. Especificaciones para el diseño del OTA.	32
Tabla 3.2. Valores y dimensiones de los componentes. Se muestra la anchura de los MOSFET, donde se ha omitido la longitud, es de 500 nm.....	32
Tabla 3.3. Resultados del OTA completamente diferencial en lazo abierto	33
Tabla 3.4. Resultados de la simulación del PGA completo	41
Tabla 4.1. Restricciones de las resistencias RNHR_LL (Resistance Non-salicide High Resistance) ..	46
Tabla 4.2. Restricciones del condensador MIM $2.0\text{fF}/\mu\text{m}^2$ en la tecnología CMOS UMC de 65 nm..	50
Tabla 4.3. Restricciones de dimensionamiento de los pads de RF en tecnología CMOS UMC de 65 nm	53
Tabla 4.4. Capacidades del MOSFET.....	59
Tabla 4.5. Restricciones de los transistores MOS de la tecnología CMOS UMC de 65 nm	60
Tabla 4.6. Restricciones de diseño para los diodos de la tecnología CMOS UMC de 65 nm	64
Tabla 4.7. Componentes principales de la tecnología CMOS UMC de 65 nm.....	65
Tabla 5.1. Valores de las resistencias seleccionadas.....	82
Tabla 6.1. Comparativa de los resultados de la simulación post-layout del OTA completamente diferencial en lazo abierto	92
Tabla 6.2. Resultados de la simulación inicial y post-layout (PL) del PGA de una etapa.....	95
Tabla 6.3. Comparativa de resultados de la simulación inicial y la simulación post-layout del PGA completo.....	98
Tabla 7.1. Recopilación de los resultados obtenidos para el PGA completo.....	105
Tabla 7.2. Comparativa del trabajo realizado con otras soluciones del estado del arte	108

Lista de Acrónimos

ADC	<i>Analog-Digital Converter</i>
ADS	<i>Advanced Design System</i>
BLE	<i>Bluetooth Low Energy</i>
CMFB	<i>Common-Mode Feedback</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
CMRR	<i>Common-Mode Rejection Ratio</i>
DAC	<i>Digital-Analog Converter</i>
DRC	<i>Design Rule Check</i>
DSSS	<i>Direct Sequence Spread Spectrum</i>
EDA	<i>Electronic Design Automation</i>
EDR	<i>Electrical Design Rules</i>
ESD	<i>Electrostatic Discharge</i>
GBW	<i>Gain Bandwidth</i>
GFSK	<i>Gaussian Frequency Shift Keying</i>
HR-WPAN	<i>High-Rate WPAN</i>
HVT	<i>High Voltage Threshold</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IoT	<i>Internet of Things</i>
IoE	<i>Internet of Everything</i>
IP3	<i>Third Order Intercept</i>
ISA100.11a	<i>International Society of Automation, protocolo de sistemas inalámbricos para automatización industrial, control de procesos y aplicaciones relacionadas.</i>
ISM	<i>Industrial, Scientific and Medical</i>
LNA	<i>Low-Noise Amplifier</i>
LPF	<i>Low-Pass Filter</i>

LR-WPAN	<i>Low-Rate WPAN</i>
LVS	<i>Layout vs Schematic</i>
LVT	<i>Low Voltage Threshold</i>
MAC	<i>Medium Access Control</i> , referido a la capa con el mismo nombre del modelo OSI
MBAN	<i>Medical Body Area Network</i>
MIMCAP	<i>Metal-Insulator-Metal CAPacitor</i>
MOMCAP	<i>Metal-Oxide-Metal CAPacitor</i>
MOSFET	<i>Metal-Oxide Semiconductor Field-Effect Transistor</i>
NF	<i>Noise Figure</i>
NVT	<i>Native Voltage Threshold</i>
OA	<i>Operational Amplifier</i>
O-QPSK	<i>Offset Quadrature Phase Shift Keying</i>
OTA	<i>Operational Transconductance Amplifier</i>
PA	<i>Power Amplifier</i>
PAC	<i>Peer-Aware Communications</i>
PGA	<i>Programmable-Gain Amplifier</i>
PHY	<i>Physical</i> , referido a la capa física del modelo OSI
PLL	<i>Phase-Locked Loop</i>
PVT	<i>Process-Voltage-Temperature</i>
RF	<i>Radio Frequency</i>
RFID	<i>Radio Frequency Identification</i>
RVT	<i>Regular Voltage Threshold</i>
SIG	<i>Special Interest Group</i>
SR-OWC	<i>Short-Range Optical Wireless Communication</i>
TLR	<i>Topological Layout Rules</i>

ULV	<i>Ultra-Low Voltage</i>
UMC	<i>United Microelectronics Corporation</i>
VCO	<i>Voltage-Controlled Oscillator</i>
VCVS	<i>Voltage-Controlled Voltage Source</i>
VGA	<i>Variable-Gain Amplifier</i>
VPP	<i>Vertical Parallel Plate</i>
WirelessHART	<i>Wireless Highway Addressable Remote Transducer</i>
WPAN	<i>Wireless Personal Area Network</i>
WSN	<i>Wireless Sensor Network</i>
6LoWPAN	<i>IPv6 over Low-Power WPAN</i>

MEMORIA

Capítulo 1. Introducción

El rol de los transceptores de radiofrecuencia (RF) es vital en cualquier dispositivo de comunicaciones inalámbricas. En particular, el desarrollo de transceptores de bajo consumo para la banda Industrial, Científica y Médica (ISM) de 2.4 GHz ha recibido especial atención en los últimos años. Este interés está ligado a la creciente demanda de dispositivos inalámbricos de larga vida útil, bajo coste y reducida complejidad. De hecho, se espera que el mercado de dispositivos para redes de sensores inalámbricos (*Wireless Sensor Networks* o WSNs) crezca de forma considerable en los próximos años según ha sido revelado recientemente [1]. Este pronóstico indica que tendrá lugar una producción masiva de transceptores de bajo coste y bajo consumo en la próxima década.

Esta tendencia pone de manifiesto la necesidad de ofrecer conectividad a los dispositivos electrónicos y obtener información relevante del entorno. Este concepto, denominado Internet de las Cosas (*Internet of Things*, IoT) o Internet de todas las cosas (*Internet of Everything*, IoE) [2], [3], se apoya fundamentalmente en las WSNs. Estas redes se distinguen por poseer nodos con baterías de larga duración que adoptan topologías escalables, flexibles y sencillas [4]. Además, el consumo reducido es un requisito fundamental para lograr que los dispositivos posean una autonomía razonable. Asimismo, la escalabilidad y flexibilidad de las redes son características necesarias para facilitar las modificaciones de la red y extender la cantidad de dispositivos que la forman. A su vez, los nodos de las WSNs se caracterizan por su facilidad de uso (*user-friendly*), la capacidad de manejar fallos (robustez), la capacidad de operar en entornos hostiles (con muchas interferencias) y la operación sobre capas básicas del modelo OSI (control de acceso al medio o MAC y física o PHY). Teniendo en cuenta estas características, se pueden emplear las WSNs en un amplio rango de aplicaciones. Entre ellas, se pueden destacar el control industrial de procesos, la recolección de datos médicos, la monitorización de cultivos, la domótica y la automatización de edificios, entre otras [5].

A pesar de que existen varios estándares para las WSNs, el estándar IEEE 802.15.4 es uno de los estándares para comunicaciones inalámbricas más relevantes en la actualidad. Principalmente, las prestaciones de los dispositivos que regula este estándar se adecúan a los requisitos de bajo coste, reducida complejidad, prolongada vida útil y la posibilidad de interconectar una gran cantidad de elementos heterogéneos. Todas estas características lo convierten en uno de los mejores candidatos para ocupar el mercado de las redes de sensores.

1.1 Antecedentes

El transceptor es un elemento fundamental en cualquier sistema de comunicaciones y está compuesto por un transmisor y un receptor integrados en un mismo chip [6], [7]. Este elemento es el encargado de realizar el proceso de transmisión y recepción de señal al medio físico, a través del cual se produce la comunicación. Dada la naturaleza de este proceso, los transceptores están formados principalmente por sistemas analógicos. Cabe destacar que realizar las tareas del transceptor analógico de forma digital conllevaría un complicado diseño de Convertidores Analógico-Digitales (ADCs: *Analog to Digital Converters*) de ultra-elevada velocidad y precisión, cuyo consumo de potencia asociado sería excesivo. La causa de estas limitaciones tiene su origen en el proceso de muestreo y conversión de señal. Estos procesos trabajan a una frecuencia muy superior a la de la señal a tratar, con el fin de evitar problemas de *aliasing* y de recuperación de la señal original. Si bien es posible emplear elementos digitales en el transceptor, estos solamente se ocupan de controlar los circuitos principales o de procesar la señal en baja frecuencia. La función principal del transceptor es la de transformar señales eléctricas en perturbaciones electromagnéticas para emitirlas por un medio físico y/o transformar las perturbaciones electromagnéticas que viajan por dicho medio en señales eléctricas para poder procesarlas y así obtener información útil. Durante este proceso, es necesario modificar la señal realizando una serie de operaciones complejas como son la amplificación, el filtrado, la adaptación de impedancias o la mezcla de la señal de interés con la del oscilador local para modular su frecuencia. Por lo tanto, es posible diferenciar los bloques que forman el transceptor en función de la tarea que desempeñan en el proceso de transmisión/recepción de la señal.

El objetivo principal de este trabajo se centra en la implementación de uno de los bloques de la cadena de recepción, por lo que es de especial interés conocer la arquitectura de recepción del transceptor. De esta forma, el lector comprenderá la importancia de dicho elemento y su papel en el proceso de recepción de señal. El diagrama de bloques de un receptor típico se muestra en la Figura 1.1, donde se puede ver que la estructura está formada por una serie de elementos en cascada. Aunque los receptores pueden adoptar diferentes topologías, en la figura se ha representado un receptor de tipo *Low-IF*, formado por dos ramas (fase, I y cuadratura, Q) de señal entrante.

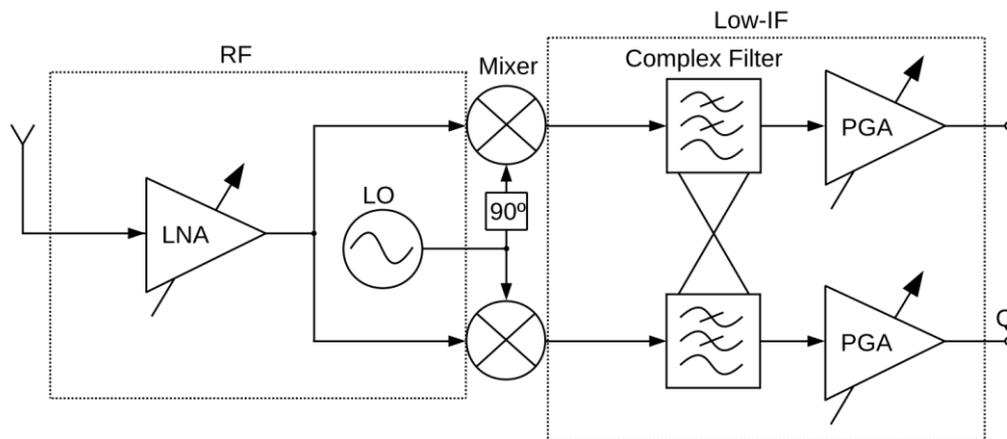


Figura 1.1. Diagrama de bloques de la arquitectura interna de un transceptor.

La estructura del receptor *Low-IF* se caracteriza por trasladar la señal de interés a frecuencias intermedias, con lo que se consigue reducir la influencia del ruido *flicker* y eliminar niveles de continua. Sin embargo, la arquitectura *Low-IF* presenta una desventaja a tener en cuenta, dado que requiere del uso de un filtro polifásico para eliminar la frecuencia imagen característica de este tipo de topologías. Como resultado, es necesario trabajar con dos ramas de señal para que el filtro pueda distinguir y eliminar la frecuencia imagen sin afectar a la señal de interés, puesto que se encuentran en la misma banda. A continuación de la antena de RF se sitúa un amplificador de bajo ruido (LNA: *Low Noise Amplifier*), encargado de realizar la adaptación de entrada para maximizar la transferencia de potencia y amplificar la señal entrante a la vez que se consigue una Figura de Ruido (NF: *Noise Figure*) mínima. Este elemento es crítico para la figura de ruido total del receptor, tal y como dicta la fórmula de Friis (la figura de ruido y ganancia del primer elemento gobiernan la figura de ruido total del sistema). Tras el LNA se sitúa el mezclador (*Mixer*), encargado de mezclar la señal recibida con la del oscilador local para trasladar la señal de interés a frecuencias intermedias. Para generar las ramas I y Q se desfasa la señal del oscilador en 90° para la rama I. Después del mezclador se sitúa el filtro polifásico, encargado de realizar la selección de canal y el filtrado de la frecuencia imagen. Finalmente, a continuación del filtro se encuentra el amplificador de ganancia programable (PGA: *Programmable Gain Amplifier*) que es objeto de estudio del presente trabajo.

El PGA es un elemento clave en el receptor, puesto que en él recae la tarea de acondicionar la señal para cumplir con los requisitos de entrada del ADC. Este amplificador se encarga de regular su ganancia para optimizar el nivel de señal que llega al ADC. Es importante destacar que el LNA y el mezclador emplean gran parte del área y potencia disponibles para el circuito,

por lo que el margen que se deja para el PGA y el filtro es muy restrictivo. A su vez, se espera que el PGA posea una serie de características mejoradas, como son: una adecuada adaptación de impedancias, un elevado rango dinámico, un comportamiento lineal, una elevada resistencia a variaciones de proceso-tensión-temperatura (PVT: *Process-Voltage-Temperature*), un control de ganancia lineal en decibelios (dB) y un comportamiento paso banda con rizado mínimo. Sumado a lo anterior hay que añadir que es deseable que los diferentes niveles de ganancia mantengan unas características uniformes para asegurar que la señal que llega al ADC sea lo más íntegra posible. Todas estas restricciones deben considerarse a la hora de seleccionar la estructura a implementar y realizar el diseño de los elementos que forman el PGA.

El flujo de diseño de transceptores, y por extensión el de circuitos integrados, se puede agrupar en cuatro fases principales [8]–[10]:

1. **Fase de diseño:** A partir de unas especificaciones dadas, se realizan una serie de cálculos antes de proceder a implementar el circuito a nivel de esquemático. A continuación, se realiza el diseño del circuito utilizando componentes reales de la tecnología elegida. Por último, se simula la respuesta del circuito y se verifica que se cumplan las especificaciones.
2. **Fase de *tape out*:** En esta fase se realiza la descripción física del circuito, es decir, se definen las máscaras del proceso de fabricación. Como resultado, se obtiene la vista del *layout* del circuito, formada por una serie de formas geométricas que representan los diferentes dispositivos. Seguidamente se verifica la descripción física y se procede a la extracción de parásitas del *layout*. Finalmente, se evalúa el comportamiento del circuito con parásitas y se compara el resultado con las especificaciones iniciales. Asimismo, en esta fase se suele hacer un estudio de cosecha o *yield* en el que se hace una previsión de la cantidad de chips que caerán dentro de las especificaciones en base a la dispersión y las tolerancias que admite un cierto proceso de fabricación.
3. **Fase de fabricación:** Se procede al envío de las máscaras a la fundidora (o *foundry*) para fabricar un prototipo del circuito.
4. **Fase de medida:** El flujo finaliza con la verificación de las prestaciones reales del chip. En esta fase se obtiene el circuito real y se procede a su evaluación y medida en la estación de puntas.

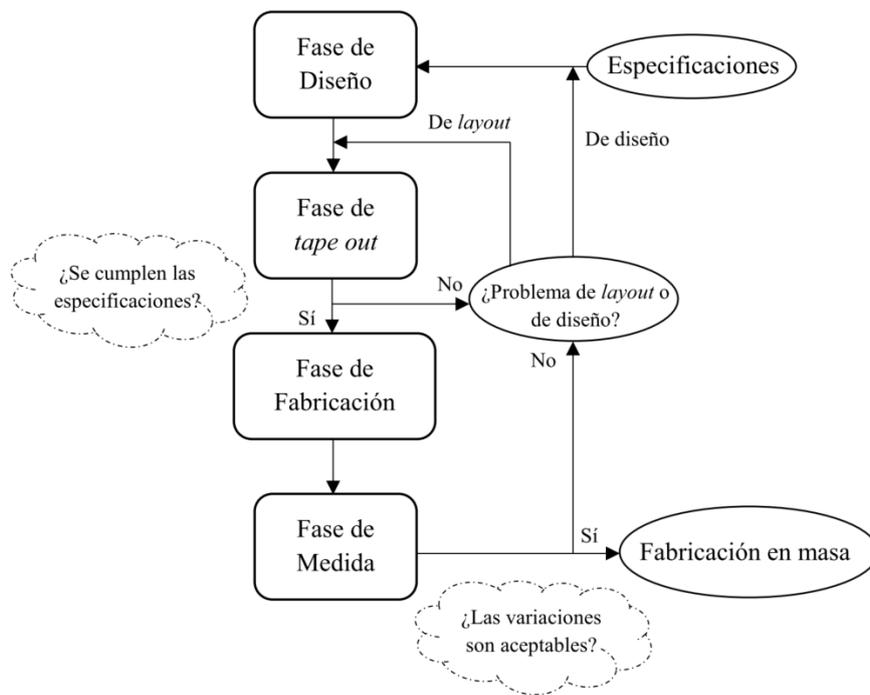


Figura 1.2. Diagrama de flujo de diseño de circuitos integrados.

El flujo de trabajo a seguir se muestra en la Figura 1.2. En este caso, a partir de las especificaciones del estándar IEEE 802.15.4 se realiza un primer diseño sobre esquemático, en el que se describe el circuito de forma simbólica. Una vez verificado que se cumplen las especificaciones, se procede a la fase de *tape out* en la que se describe el circuito a nivel físico. Este trabajo se centra principalmente en esta segunda fase. Si es previsible que un elevado porcentaje de circuitos cumplan con las especificaciones, se procede a fabricar el diseño. En el caso contrario, es posible que existan problemas de parásitas (problema de *layout*) o que el problema sea más severo y sea necesario rediseñar a nivel de esquemático. Algo parecido sucede en la toma de medidas, ya que es posible que muchos circuitos no cumplan las especificaciones y haya que rediseñar o volver a la fase de *tape out*. Si las medidas coinciden con lo esperado, o las variaciones son aceptables, se procede a la fabricación del circuito para obtener un producto final. En este caso, el objetivo es demostrar la validez de una nueva técnica de compensación, por lo que la fase final queda sujeta a que el diseño despierte interés en el mercado de las WSNs. Cabe mencionar que en algunos casos es posible retocar las especificaciones si resulta que son demasiado restrictivas y no hay otra alternativa. Sin embargo, al estar trabajando sobre un estándar internacional, la mayoría de las especificaciones son fijas.

El presente Trabajo Fin de Máster constituye una extensión de un Trabajo Fin de Grado realizado con anterioridad [11]. En dicho trabajo, se realizó el proceso de diseño sobre esquemático del PGA. En este trabajo se pretende introducir una técnica de compensación innovadora en el ámbito del diseño de circuitos integrados que fue tomada de [12], [13]. De esta forma, se pretende mejorar las prestaciones de los amplificadores en banda base reduciendo el área del circuito y logrando a la misma vez incrementar el producto ganancia por ancho de banda (GBW: *Gain Bandwidth*) del amplificador. El objetivo principal de este Trabajo Fin de Máster es realizar la implementación física del circuito diseñado previamente, realizando la descripción del circuito a nivel de *layout* en una tecnología CMOS estándar para su posterior fabricación y evaluación. Con ello se pretende verificar la efectividad de la técnica de compensación aplicada en el circuito.

1.2 Estándares para WSNs

Existe una amplia gama de estándares para las comunicaciones inalámbricas y las redes de sensores. Tanto es así que se ha destinado el grupo de trabajo IEEE 802.15 (*Institute of Electrical and Electronics Engineers*) [14] a tal propósito, de forma que se ha definido toda una familia de estándares para este ámbito.

En primer lugar, el estándar IEEE 802.15.1 se encarga de definir redes inalámbricas de área personal (WPANs: *Wireless Personal Area Networks*) que operan en la banda ISM. Este estándar fue adoptado por el Grupo de Interés Especial (SIG) Bluetooth [15], que fue extendido en 2009 para soportar Bluetooth *Low-Energy* (BLE). Dicho estándar se caracteriza por establecer 40 canales con un espaciado de 2 MHz y ofrecer una tasa binaria de 1 Mbps, con una potencia de transmisión máxima de 10 mW (10 dBm), logrando alcanzar una cobertura de unos 100 m. El tipo de modulación que emplea BLE es la *Frequency Shift Keying* Gaussiana (GFSK) y hace uso de una estrategia de saltos de frecuencia (*frequency hopping*) para mitigar posibles interferencias con otros dispositivos que operan sobre la misma banda. Adicionalmente, esta especificación define diferentes modos de operación para reducir el consumo de potencia. Gracias a todas estas características, actualmente BLE es uno de los competidores más importantes en el ámbito de las WSNs. En segundo lugar, el estándar IEEE 802.15.2 define una serie de aspectos relacionados con la coexistencia de WPANs con otros dispositivos inalámbricos que operan sobre bandas no reguladas (como la ISM), aunque su desarrollo lleva en “hibernación” desde el año 2011. Por su parte, la especificación de las capas PHY y MAC para WPANs de elevada tasa binaria (*High-Rate* WPANs o HR-WPANs) queda

recogida en el estándar IEEE 802.15.3. La topología de mallado (*mesh*) para WPANs viene definida por el estándar IEEE 802.15.5 y el estándar IEEE 802.15.6 detalla las redes médicas de área corporal (MBANs: *Medical Body Area Networks*). Recientemente, las comunicaciones inalámbricas ópticas de corto alcance (SR-OWCs: *Short Range Optical Wireless Communications*) y las comunicaciones *Peer Aware* (PAC) han sido introducidas en los estándares IEEE 802.15.7 e IEEE 802.15.8, respectivamente. Finalmente, el estándar de comunicaciones más relevante para las WSNs es el IEEE 802.15.4, que fue introducido con el fin de regular dispositivos de reducido consumo de potencia con una estructura sencilla y bajo coste [5]. Dicho estándar define las capas PHY y MAC de WPANs de reducida tasa binaria (*Low-Rate* WPANs o LR-WPANs [16]) que operan sobre la banda ISM de 2.4 GHz y constituye los fundamentos de otros estándares como ZigBee, ISA100.11a, WIA-PA, WirelessHART o 6LoWPAN. Cabe destacar que también existen otros estándares con mucho peso en el campo de las WSNs, como son las especificaciones SigFox o LoRA, que son protocolos privados. De las propuestas mencionadas, ZigBee es uno de los más interesantes, dado que ha sido optimizado para ser energéticamente eficiente y permite el mayor número de nodos conectados a la red (hasta 65000). En cualquier caso, las características más relevantes del estándar IEEE 802.15.4 se pueden resumir de la siguiente forma:

- ❖ Los dispositivos operan con una tasa de datos que varía de 20 a 250 Kbps dependiendo de la frecuencia en la que se esté trabajando.
- ❖ El estándar regula la banda de 868-868.8 MHz para Europa, la de 902-928 MHz para Norteamérica, la banda de 950-956 MHz para Japón, las bandas de 314-316 MHz, 430-434 MHz y 779-787 MHz para China y la banda de 2.4-2.4835 GHz para todo el mundo.
- ❖ El protocolo adopta un método de espectro ensanchado por secuencia directa (DSSS: *Direct Sequence Spread Spectrum*) y salto de frecuencia para mitigar interferencias. Este aspecto es crítico, dado que existen multitud de dispositivos con diferentes tecnologías (como BLE o IEEE 802.11 -Wi-Fi-) operando sobre la banda de 2.4 GHz. Por tanto, es necesario adoptar estrategias de coordinación en el dominio de la frecuencia para permitir una buena coexistencia [17].
- ❖ Se emplea una técnica de modulación con forma de medio seno denominada *Offset Quadrature Phase Shift Keying* (O-QPSK) que asegura que la señal modulada tenga una envolvente constante.

- ❖ El reparto de canales varía en función de la banda de trabajo, siendo el espaciado entre canales de 5 MHz y el ancho de canal de 2 MHz.
- ❖ En función de las características del entorno es posible alcanzar una distancia de entre 10 y 20 m en aplicaciones en interior o más de 1500 m en campo abierto dependiendo de la potencia de salida, que varía entre 1 y 100 mW (0 a 20 dBm), y de la banda en la que se opere.

Por todos estos motivos, el estándar IEEE 802.15.4 es un gran candidato para ocupar el mercado de las WSNs y el IoT. A su vez, para conseguir extender la duración de las baterías de los dispositivos, el diseño de ultra bajo consumo (*Ultra Low-Voltage* o ULV) se ha convertido en un tema ampliamente discutido [8], [9], [18], [19]. En este sentido, la tecnología CMOS continúa siendo la favorita a la hora de implementar dispositivos inalámbricos orientados al consumidor. La extremadamente alta densidad de integración, la reducción en el consumo de potencia y la elevada velocidad de trabajo, así como la reducción de los costes de fabricación hacen que esta tecnología sea líder en el ámbito del diseño de circuitos integrados.

1.3 Objetivos

El objetivo principal de este Trabajo Fin de Máster es el de obtener el *layout full-custom* de un amplificador de ganancia programable para un receptor que opere sobre el estándar IEEE 802.15.4. Para ello, se emplea la tecnología CMOS de 65 nm de la *foundry United Microelectronics Corporation* (UMC). Como objetivo secundario se plantea reducir al mínimo el área ocupada por el diseño. Es decir:

- O1.** Realizar el *layout full-custom* de un amplificador de ganancia programable.
- O2.** Reducir el área ocupada por el circuito al mínimo posible.

Igualmente, en este trabajo se trata de verificar la implementación de una técnica de compensación adaptativa que minimiza el uso de condensadores. Esta técnica se denomina compensación de fuente y permite sustituir la compensación convencional eficientemente. Una contribución importante de este TFM es que esta es la primera vez que se aplica dicha técnica a un diseño completamente diferencial con realimentación negativa en configuración inversora de forma eficiente.

1.4 Estructura del Documento

La estructura del documento está formada por 7 capítulos, cuyo contenido se detalla a continuación.

- **Capítulo 1.** Su contenido constituye una introducción sobre el alcance del proyecto. Se muestran los antecedentes del trabajo realizado y una breve discusión de los estándares para WSNs.
- **Capítulo 2.** En este capítulo se presta especial atención al estado del arte del proyecto. Se realiza una clasificación de los amplificadores de ganancia variable, presentando las diferentes configuraciones posibles de los mismos según su localización en un receptor.
- **Capítulo 3.** A lo largo del tercer capítulo se presenta un desglose de los componentes de la tecnología CMOS de 65 nm de la *foundry* UMC. Durante este estudio, se discuten aspectos fundamentales en la operación de los dispositivos, su implementación física y las restricciones que impone el proceso de fabricación.
- **Capítulo 4.** Su contenido constituye un repaso del circuito sobre esquemático a implementar. Se introduce el esquemático del PGA, describiendo detalladamente cada uno de los circuitos que lo forman y presentando los resultados obtenidos de las simulaciones iniciales.
- **Capítulo 5.** El *layout* completo del PGA se presenta a lo largo de este capítulo. Se desglosan los diferentes circuitos y se detallan aspectos relevantes del proceso de implementación física.
- **Capítulo 6.** La recopilación de los resultados de las simulaciones post-*layout* se encuentra en el sexto capítulo. Asimismo, se discuten los resultados obtenidos y se contrastan con los resultados esperados de las simulaciones iniciales.
- **Capítulo 7.** Este capítulo está dedicado a presentar una breve recopilación del trabajo realizado en este Trabajo Fin de Máster y mostrar una serie de conclusiones y líneas de trabajo futuro.
- **Anexos.** Al final del documento se incluye un Anexo correspondiente al *layout* completo del PGA realizado.

Capítulo 2. Estado del Arte

El rol de los amplificadores es vital en los sistemas de comunicación tanto digitales como analógicos. De hecho, se ha visto que la función del PGA en el proceso de recepción es fundamental para optimizar la conversión analógica-digital de la señal recibida. Sin embargo, a la hora de diseñar un PGA es posible encontrarse con una gran variedad de opciones de implementación.

Cabe destacar que los PGAs son un tipo particular de amplificadores de ganancia variable (VGAs: *Variable Gain Amplifiers*), por lo que a lo largo de este capítulo se realiza una discusión sobre los tipos de VGAs existentes. En primer lugar, se muestra una clasificación de los mismos de forma genérica y se introducen algunas decisiones de diseño críticas para el PGA desarrollado. Seguidamente se presenta una discusión de las diferentes topologías de los receptores que es posible encontrar en la bibliografía científica. Esta distinción se estudia en función del lugar que ocupa el VGA dentro de la cadena de recepción. Durante estas discusiones se mencionan aspectos clave en el diseño del PGA.

2.1 Amplificadores de Ganancia Variable

Los VGAs pueden categorizarse según la controlabilidad de su ganancia en dos grupos principales: los de control analógico y los de control digital. Estos últimos también son denominados amplificadores de ganancia programable (PGA). En el primer caso, la ganancia total se ajusta por medio de una señal analógica, mientras que, en el segundo caso, la ganancia se controla a través de una señal digital.

2.1.1 VGA con Control Analógico

Los VGAs con control analógico normalmente logran ajustar la ganancia a partir de variaciones en la polarización del circuito. A continuación, se enumeran algunas de las técnicas más empleadas para ajustar la ganancia de forma analógica, las cuales se muestran en la Figura 2.1.

1. Ajustar una resistencia de realimentación [20].
2. Ajustar la transconductancia de MOSFETs operando en saturación.
3. Ajustar la resistencia de carga del amplificador [21]–[25].

4. Ajustar una resistencia de fuente degenerada.
5. Aprovechar el efecto sustrato para modificar la transconductancia del MOSFET [18].

Cabe mencionar que existen muchas otras técnicas que el lector puede encontrar en la bibliografía científica [26], [27]. Este tipo de amplificadores pueden ofrecer un ajuste de ganancia continuo y una ocupación de área muy reducida, aunque el error entre niveles de ganancia suele ser mayor que en los PGAs.

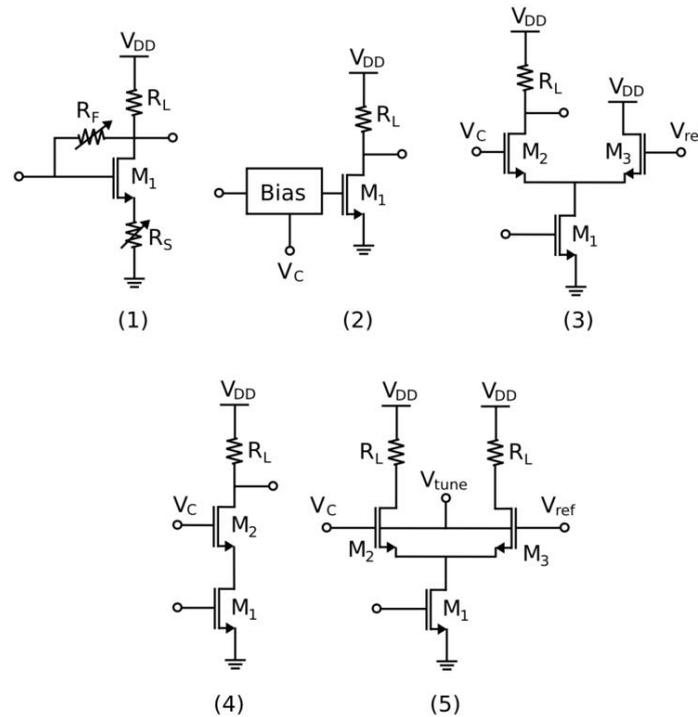


Figura 2.1. Técnicas de control de ganancia de forma analógica.

En la Figura 2.2 se puede ver un ejemplo interesante de un VGA con control analógico siguiendo la filosofía (3), que corresponde con el ajuste de carga del amplificador [24]. En este ejemplo, se adopta una estructura diferencial aplicando una técnica de impedancia negativa para mejorar el ancho de banda. El circuito consiste en un par diferencial con carga activa donde se realiza el control de ganancia a partir de la modificación de la tensión de control de la carga activa. Por lo tanto, al variar dicha tensión se logra variar el valor de la carga activa y, en consecuencia, se puede modificar la ganancia del amplificador. Para conseguir un comportamiento lineal en dB se polarizan los transistores M_1 y M_2 en la región sub-umbral mientras que los demás MOSFETs están en saturación (ver Sección 4.2.1 El Transistor MOS). Los transistores PMOS de la fuente de corriente (M_5 , M_6) se añaden para reducir la corriente de polarización de los transistores conectados en configuración de diodo (M_3 , M_4). Los transistores de acople cruzado (M_9 y M_{10}) y el condensador equivalen a generar una impedancia

negativa, efecto que es explotado para conseguir extender el ancho de banda del VGA. A su vez, se hace uso de una cadena de realimentación activa para extender aún más el ancho de banda. Esta situación se representa en la Figura 2.3.

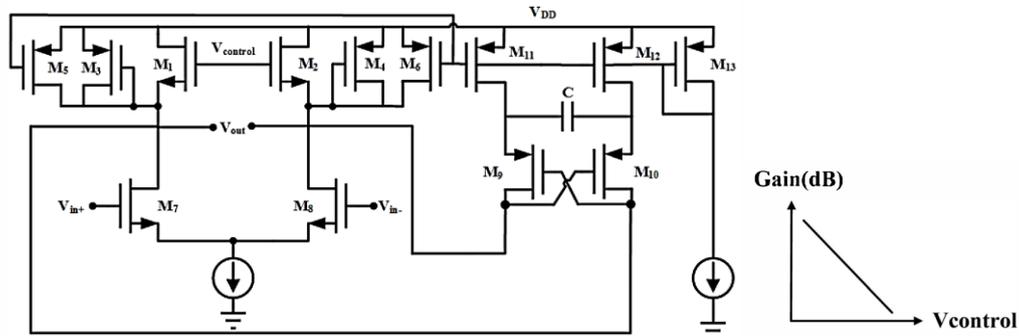


Figura 2.2. Ejemplo de un VGA con control de ganancia analógico, celda unitaria [24].

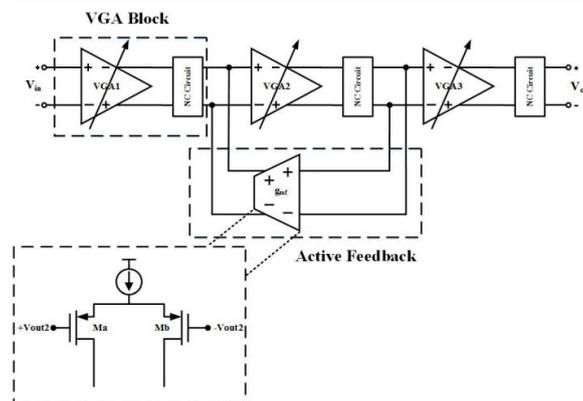


Figura 2.3. VGA con control analógico, principio de realimentación activa [24].

2.1.2 VGA con Control Digital

Normalmente, los PGAs hacen uso de bancos de resistencias y/o condensadores conmutables para modificar la ganancia [28]–[33], tal y como se muestra en la Figura 2.4. La técnica de realimentación negativa es la que gobierna en este tipo de amplificadores para realizar el ajuste de ganancia. Para obtener saltos uniformes el valor de las resistencias se puede calcular siguiendo la ecuación fundamental de un amplificador inversor. En este tipo de VGAs, la ganancia se regula de forma discreta por una señal de control digital (una secuencia de bits) que activa o desactiva uno o varios *switches*. Debido a esto, los PGAs tienen una resolución limitada. De hecho, para lograr una elevada resolución de ganancia sería necesario aumentar el número de bits de la palabra de control y, consecuentemente, aumentar el tamaño de la red de elementos conmutables. Por este motivo, se suele achacar un elevado consumo de área a los

PGAs. Sin embargo, es posible evitar la necesidad de utilizar palabras de control excesivamente largas si se seleccionan adecuadamente los pasos de ganancia necesarios. Asimismo, es posible mejorar la resolución de ganancia del cabezal de recepción si se combinan los pasos de ganancia del PGA con un LNA, mezclador o filtro de ganancia variable.

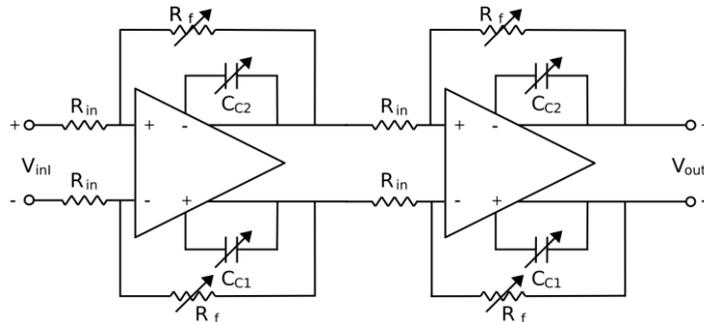


Figura 2.4. Estructura del VGA formada por dos etapas de ganancia con resistencias y condensadores conmutables.

Cabe resaltar que en este tipo de configuraciones suele estar presente una red de compensación formada por una serie de condensadores conmutables, cuyo papel es el de asegurar un ancho de banda constante para los distintos niveles de ganancia.

2.1.3 Decisiones de Diseño

En primer lugar, en este trabajo se decide implementar un PGA dado que consigue un menor error entre pasos de ganancia que los VGAs con control analógico y es posible alcanzar un buen compromiso entre la resolución y el área ocupada seleccionando adecuadamente los pasos de ganancia. A su vez, a la hora de seleccionar la topología del diseño, es necesario considerar las estructuras de salida asimétrica y de salida diferencial, teniendo en cuenta las ventajas y las desventajas de cada una [8], [20]. En la Figura 2.5 se muestra un amplificador inversor en forma asimétrica y diferencial. Aunque los amplificadores de salida asimétrica consumen aproximadamente la mitad de potencia y de espacio en el chip en comparación con las estructuras completamente diferenciales, también son más sensibles al ruido ambiente y de sustrato, así como a la variación en la tensión de alimentación. Como estos tipos de ruido afectan por igual a ambas líneas del amplificador, la estructura diferencial es capaz de rechazar el ruido en modo común. Esta es una de las características principales de los amplificadores, denominada relación de rechazo al modo común (*Common-Mode Rejection Ratio* o CMRR), y viene dada por la relación entre la ganancia en modo diferencial y la ganancia en modo común. Por lo tanto, la operación diferencial es preferible para sistemas ruidosos. Otras ventajas

importantes de los amplificadores diferenciales frente a los de salida asimétrica son: la obtención de un mayor rango de basculación de tensión, una mayor linealidad y un uso de circuitos de polarización más sencillos. Todas estas ventajas simplifican enormemente el diseño de sistemas de comunicación completos.

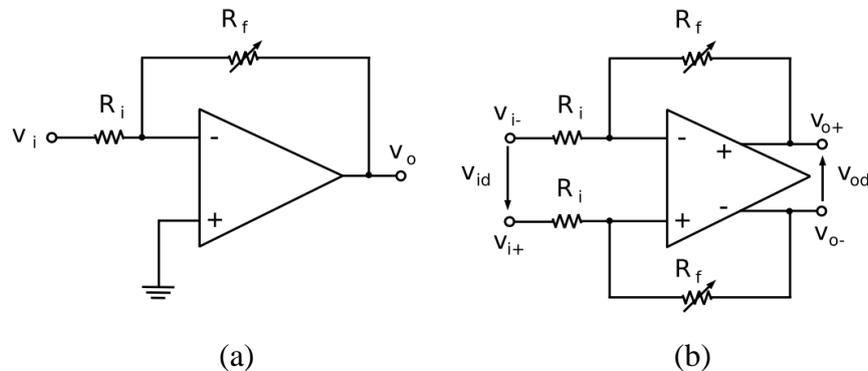


Figura 2.5. Realimentación negativa en configuración inversora: en modo asimétrico (a) y en modo diferencial (b).

En el diseño de circuitos completamente diferenciales, la tensión continua a la salida debe ser cuidadosamente ajustada. Dicha tensión puede degradar el rango dinámico del VGA y afectar a la polarización de las siguientes etapas. Por este motivo suele ser necesario incluir circuitos de realimentación en modo común (*Common-Mode Feedback* o CMFB), incrementando la complejidad del circuito. Aun así, la implementación de un circuito CMFB mejora la resistencia a variaciones PVT y elimina la necesidad de añadir redes de cancelación de *offsets* de continua, que suelen incluir capacidades de filtrado y por tanto aumentan el área ocupada por el circuito. Sin embargo, el circuito CMFB puede implementarse exclusivamente con transistores, resultando en un mejor uso del espacio disponible.

Otro aspecto importante en el diseño del VGA es la elección del número de etapas consecutivas en cascada [24]. Esta elección no es trivial, puesto que es necesario alcanzar un compromiso entre la ganancia total deseada, el área ocupada, el ancho de banda y el ruido del VGA. Es posible expresar la ganancia total de un amplificador con varias etapas de la forma:

$$A_{tot} = \prod_{i=1}^n A_i \quad (2.1)$$

donde A_i representa la ganancia de cada etapa. Por tanto, dada una secuencia de n etapas, cada una con la misma ganancia que la anterior y con un ancho de banda unitario BW_u , el ancho de banda total del sistema viene dado por la expresión (2.2). El valor de m en esta expresión es

igual a 2 para etapas de primer orden y a 4 para las de segundo orden [20]. Por lo tanto, para una ganancia total deseada A_{tot} , el producto ganancia por ancho de banda deseado de cada célula GBW_u puede expresarse como dicta la ecuación (2.3), donde el valor $GBW_{tot} = A_{tot} \cdot BW_{tot}$.

$$BW_{tot} = BW_u \cdot \sqrt[m]{2^{1/n} - 1} \quad (2.2)$$

$$GBW_u = \frac{GBW_{tot}}{A_{tot}^{(1-\frac{1}{n})} \cdot \sqrt[m]{2^{1/n} - 1}} \quad (2.3)$$

De la expresión (2.3) se deduce que para un producto GBW total determinado y un elevado número de etapas, el requisito de GBW unitario disminuye. Sin embargo, esta situación implica una reducción de ganancia de cada etapa, lo cual supone una rápida acumulación de ruido en el sistema. Por lo tanto, es necesario considerar el compromiso entre el número de etapas y la figura de ruido global del VGA. En este caso, se decide emplear un PGA de dos etapas para evitar una elevada figura de ruido y mantener un consumo de área razonable.

2.2 Formas de Integrar un VGA en un Receptor

Habitualmente, los VGAs se sitúan al final de la cadena de recepción precedidos por un filtro y un cabezal de recepción, que está compuesto por un amplificador de bajo ruido (*Low-Noise Amplifier* o LNA) y un mezclador (*Mixer*). Sin embargo, es posible distribuir los elementos del receptor en distinto orden según se persiga una determinada característica. Según cómo se dispongan estos elementos se pueden distinguir varias configuraciones, que serán discutidas a continuación. Aunque la estructura seleccionada en este caso es la del PGA, es posible distinguir las diferentes arquitecturas de forma genérica para cualquier tipo de VGA.

2.2.1 Ejemplo de un VGA y un Filtro para un Receptor *Zero-IF*

En este trabajo, el receptor en el que se integra el PGA es de tipo *Low-IF*. Para comprender la importancia de esta selección se presenta el siguiente ejemplo.

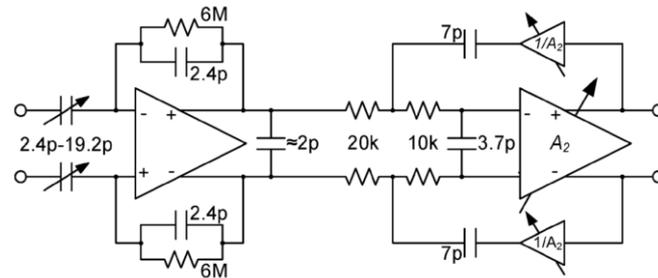


Figura 2.6. Amplificador en dos etapas [34].

Cuando el tipo de receptor implementado es *Zero-IF*, existe la posibilidad de diseñar un VGA tal y como se muestra en la Figura 2.6. En la primera etapa se emplea una configuración con reutilización de corriente, en la cual se implementa un filtro paso alto para eliminar los niveles de continua y el ruido *flicker*, problemas que no existen en los receptores *Low-IF* [34]. Por lo tanto, al utilizar esta configuración, desaparece la necesidad de incluir esta primera etapa. La segunda etapa constituye un filtro paso bajo de segundo orden en configuración *Sallen Key*, empleando un operacional con ganancia programable. Dicho amplificador está formado por un par diferencial con degeneración de fuente, en el que el control de ganancia se realiza mediante la variación del valor de una resistencia de degeneración. Sin embargo, en esta configuración es necesario reajustar los valores de las resistencias y capacidades del filtro para mantener la frecuencia de corte constante en cada nivel de ganancia. Para evitar este inconveniente, se añade una red de realimentación formada por un atenuador que se encarga de compensar los incrementos de ganancia del amplificador operacional. De igual forma, esta situación no ocurre en el caso del receptor *Low-IF*. Estos son los motivos principales por los que la estructura *Low-IF* es la preferida a la hora de realizar receptores para el estándar IEEE 802.15.4.

2.2.2 VGA después del Filtro

La estructura clásica consiste en situar el VGA al final de la cadena de recepción [7], como se muestra en la Figura 2.7. Esta es la más utilizada, sobre todo en los receptores de tipo *Low-IF* [32]–[35]. En este caso, el filtro se sitúa entre el VGA y el cabezal de recepción. Asimismo, la figura de ruido del VGA no es tan crítica puesto que es el último elemento del receptor y se ha incluido una etapa previa de filtrado.

Por lo general, el propio amplificador suele realizar un filtrado independiente de la etapa anterior para eliminar el posible ruido generado en bajas frecuencias (ruido *flicker*). De forma ocasional, también se incluye un filtro paso bajo para evitar problemas de *aliasing*.

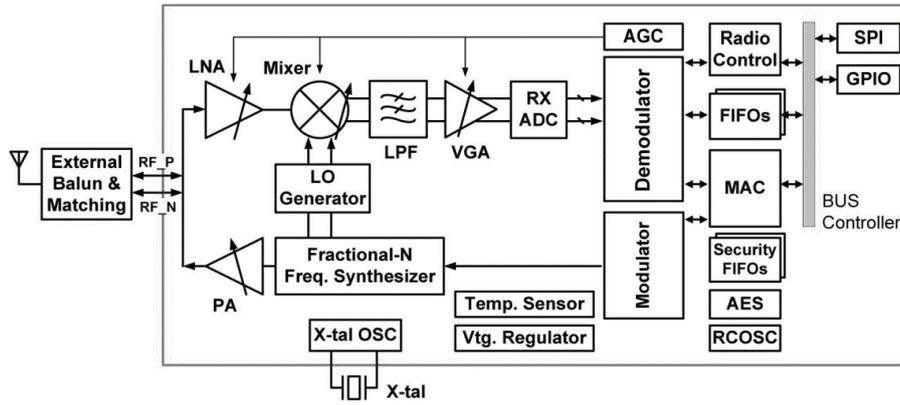


Figura 2.7. Ejemplo de una configuración con el VGA después del filtro [36].

2.2.3 VGA antes del Filtro

Otra alternativa menos común es la de situar el VGA entre el mezclador y la etapa de filtrado [19], [37], tal y como se puede ver en la Figura 2.8 con el amplificador denominado “IF Amp”. La particularidad de esta configuración es que la linealidad total de la banda está limitada por la linealidad del amplificador. En estos casos, cuando el nivel de señal recibida es bajo, la ganancia debe ser elevada. De esta manera, se evita que la variación de la ganancia del sistema influya en la sensibilidad del receptor.

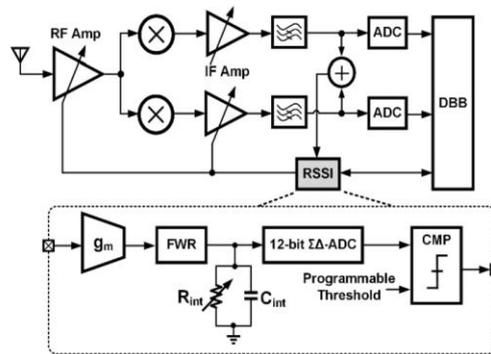


Figura 2.8. Ejemplo de configuración del VGA antes del filtro [37].

2.2.4 VGA entremezclado con Etapas de Filtrado

Otra práctica común es la de implementar receptores en los que se emplean etapas sucesivas de amplificación y filtrado. Como se ha mencionado anteriormente, la adición de múltiples etapas de amplificación provoca una rápida acumulación de ruido. Por este motivo, se adoptan topologías como ésta para mejorar la linealidad del receptor.

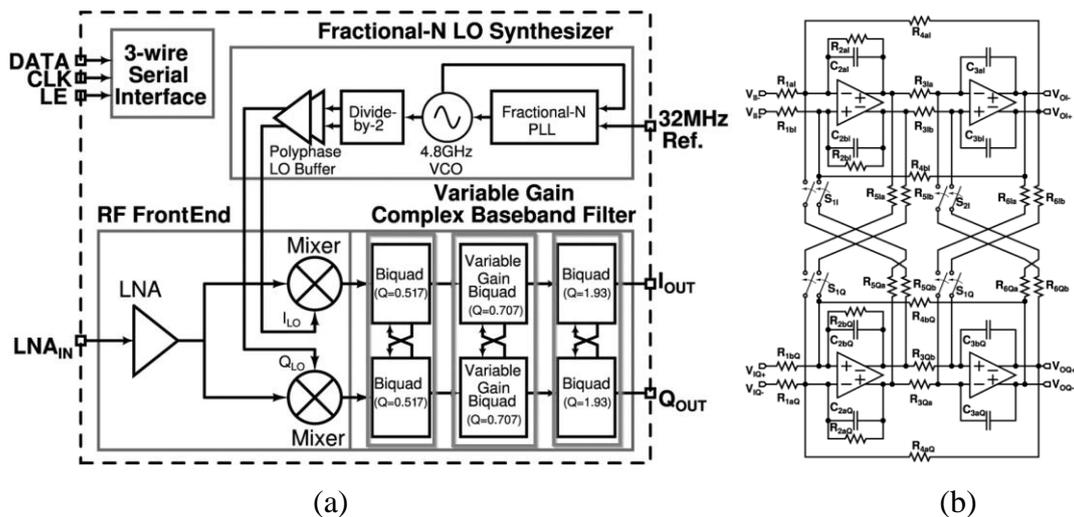


Figura 2.9. Configuración de un receptor con el VGA entre etapas de filtrado [18] (a) y la implementación del filtro paso-banda complejo (b).

En algunas ocasiones, se opta por colocar un filtro de selección de canal antes del amplificador y otro después del mismo. Esto tiene como objetivo mejorar la figura del ruido del sistema, tal y como se muestra en la Figura 2.9. Sin embargo, para que dicha solución sea efectiva se requiere un nivel de ruido muy bajo por parte del filtro, que suele venir asociado a un aumento en el consumo de potencia.

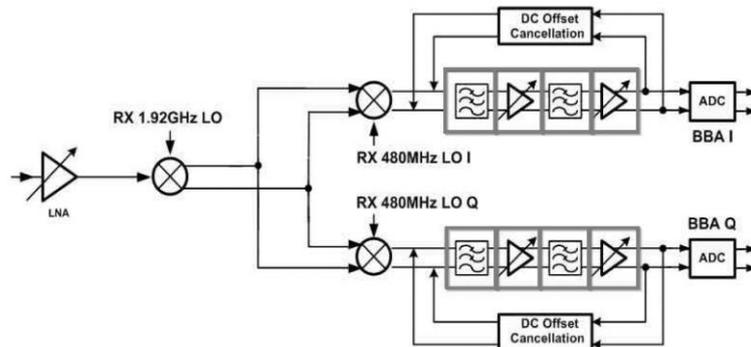


Figura 2.10. Configuración de un receptor con etapas de ganancia entrelazadas con etapas de filtrado [30].

En la Figura 2.10 se presenta otro ejemplo de una estructura con etapas de filtrado entremezcladas con etapas de amplificación para mejorar la figura de ruido y la linealidad del receptor [30].

2.2.5 VGA antes del Mezclador y el Filtro

En la Figura 2.11 se hace referencia a otra arquitectura empleada ocasionalmente en algunos receptores. En esta ocasión, se sitúa el VGA antes del mezclador y de filtro [38]. Para

emplear esta configuración, el circuito también se debe diseñar de tal forma que la figura de ruido sea lo más reducida posible.

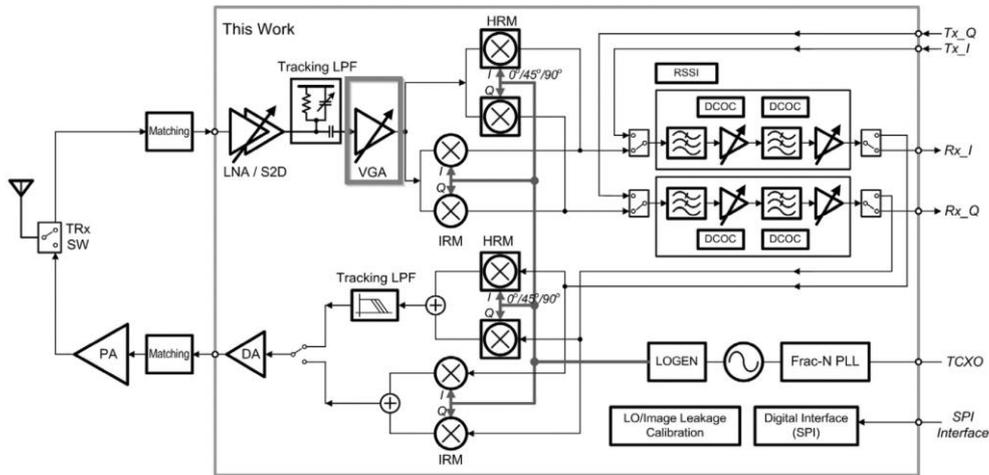


Figura 2.11. Configuración del VGA previo al filtro y al mezclador [38].

2.2.6 Etapas de Ganancia con Amplificadores en Serie

Tal y como se ha mencionado, es posible situar varias etapas de ganancia conectando varios amplificadores en serie. En este caso la ganancia no se ajusta, sino que se deja fija en cada etapa y se da la posibilidad de seleccionar la salida deseada mediante el uso de *switches*. Esta estructura es semejante a la estrategia que se sigue en algunos ADCs. Un ejemplo de este tipo de VGAs se muestra en la Figura 2.12. Esta estrategia será efectiva siempre y cuando se mantenga un área razonable y se minimice la figura de ruido del sistema.

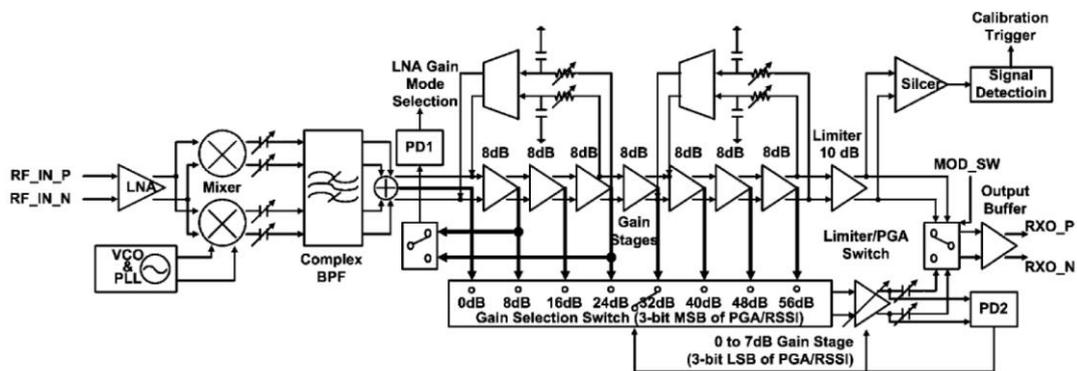


Figura 2.12. Configuración de un receptor con múltiples etapas de ganancia y un selector de la salida [39].

2.3 Conclusiones

En este capítulo, se ha visto que la estrategia del control de ganancia del VGA puede cambiar en función de los elementos que lo forman. Algunos emplean realimentación negativa, otros realizan cambios en la polarización del circuito o están compuestos por etapas sucesivas de ganancia fija y selectores de nivel de salida. A su vez, se han presentado las distintas configuraciones que el lector puede encontrar en la bibliografía científica a la hora de implementar un VGA en un receptor. Estas estructuras se diferencian por el lugar que ocupa el VGA. Cabe destacar que cada configuración posee diferentes ventajas e inconvenientes que la hacen más o menos adecuada para una determinada aplicación. En general, los ejemplos presentados en este capítulo pretenden dar una idea global de la importancia que tiene la función del VGA y los tipos de receptores que se pueden encontrar hoy en día.

A partir del estudio presentado, se concluye que la estructura de receptor *Low-IF* con el VGA al final de la cadena de recepción es la estructura más conveniente y la más usada en la bibliografía. Asimismo, se decide implementar un VGA con control digital, o PGA, puesto que el error de ganancia entre niveles es inferior frente a los de control analógico. Además, se puede alcanzar un compromiso entre resolución y área muy competitivo. Igualmente, el PGA permite establecer pasos fijos de ganancia con gran precisión y la resolución de ganancia puede ser definida conforme a los deseos del diseñador. A su vez, se opta por una estructura diferencial dado que ofrece múltiples ventajas frente a la estructura de salida asimétrica. Finalmente, el PGA está formado por dos etapas para mantener una figura de ruido y un consumo de área razonables.

Capítulo 3. Diseño a Nivel de Esquemático

En este capítulo se describe el circuito de partida del PGA a nivel de esquemático y cada uno de los elementos que lo forman. En primer lugar, se muestra la estructura completa del PGA y las características que presenta. Posteriormente, se desglosan los diferentes circuitos de los que está compuesto este bloque, entrando en los detalles de cada uno de ellos. Finalmente, se presenta una breve discusión sobre la técnica de compensación empleada.

Si el lector está familiarizado con el diseño de amplificadores, puede omitir gran parte de la información contenida en este capítulo, a excepción de los aspectos referentes a la implementación de la Resistencia Variable y la Compensación de Fuente. En cualquier caso, se ha resumido todo lo posible el contenido de este capítulo puesto que el verdadero objetivo es la implementación física y no la descripción del esquemático. Si se desea entrar en detalle en el proceso de diseño es posible encontrar el procedimiento completo en la memoria del Trabajo Fin de Grado que lo trata [11].

3.1 El Amplificador de Ganancia Programable (PGA)

La función principal del PGA es la de ajustar el nivel de señal a su salida para que el procesado de la señal en banda base sea óptimo. Cabe recordar que en este trabajo se opta por emplear un PGA con ajuste de ganancia de palabra digital principalmente debido a que existe un error entre pasos de ganancia menor que en los VGAs con control analógico. Para lograr una ganancia y linealidad elevadas y bajo nivel de ruido, se decide emplear dos etapas de amplificación y una topología completamente diferencial. Con la finalidad de obtener una elevada linealidad y un amplio rango dinámico, cada amplificador posee una red de realimentación negativa en configuración inversora. Asimismo, el ajuste de ganancia se realiza por medio del ajuste del valor de la red de realimentación, compuesta por una resistencia variable. De esta forma, la palabra de control determina el valor que toma este elemento. Tal y como se puede comprobar al consultar la teoría sobre amplificadores operacionales, el uso de realimentación negativa trae numerosas ventajas, entre las que se incluyen una elevada estabilidad y una menor sensibilidad a variaciones PVT.

El diagrama de bloques del PGA propuesto se muestra en la Figura 3.1. La implementación del PGA consiste en dos amplificadores operacionales completamente diferenciales en cascada para las ramas I y Q. Cabe resaltar que cada etapa actúa en configuración inversora, de modo

que la señal a la salida recupera la fase inicial. A su vez, no se incluyen varactores en este diseño gracias a la aplicación de la técnica de compensación de fuente.

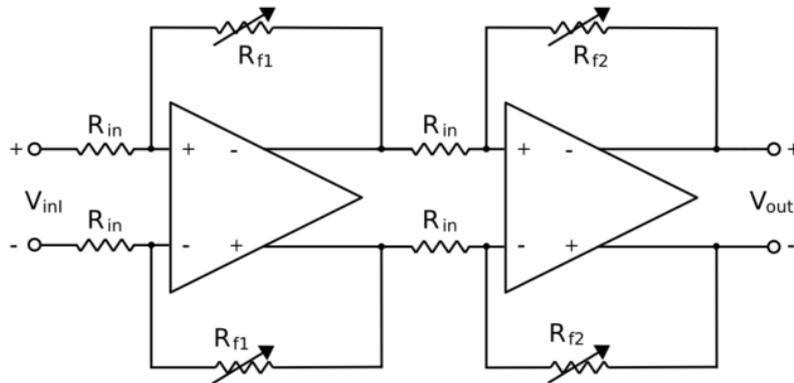


Figura 3.1. Diagrama de bloques de la arquitectura del PGA propuesto.

3.2 Amplificador Operacional de Transconductancia (OTA)

Cada etapa del PGA está formada por un Amplificador Operacional de Transconductancia (OTA). En ocasiones también se hace referencia a este circuito como amplificador operacional Miller de dos etapas. Es posible desglosar el OTA en función de las etapas que lo forman para estudiar el comportamiento de cada una de ellas con mayor detalle.

3.2.1 Fuente de Corriente

La fuente de corriente juega un papel fundamental a la hora de establecer la polarización del circuito y, por tanto, determina las prestaciones del circuito en pequeña señal. Por ello, se desea disponer de una fuente de corriente con unas características determinadas.

Tal y como se presenta en la Sección 4.2.1 El Transistor MOS, los MOSFETs por sí solos pueden emplearse como fuentes de corriente. Sin embargo, debido al efecto de modulación del canal, la corriente de saturación de los mismos no es uniforme, sino que presenta una ligera pendiente conforme aumenta V_{DS} . Este efecto se identifica con la resistencia del canal del MOSFET, es decir, su impedancia de salida [8]–[10]. Teóricamente, si se eleva la impedancia de salida de la fuente se consigue que la corriente que suministra varíe menos con los cambios en la tensión de salida (en este caso, V_{DS}). Con este fin, es posible implementar estructuras en cascodo. Por otro lado, el número de MOSFETs apilados debe ser razonable con la tensión de alimentación y la tensión umbral para asegurar que operen en saturación. Se puede demostrar

matemáticamente que solamente con dos MOSFETs la impedancia de salida de la fuente mejora ostensiblemente [11].

Por otro lado, para emplear un MOSFET como fuente de corriente basta con conectar la puerta de dos transistores y cortocircuitar el drenador y la puerta de uno de ellos para fijar su operación en la región de saturación y, a su vez, forzar que la tensión V_{GS} de ambos sea igual. En las fuentes de corriente formadas por transistores MOS no se suelen incluir resistencias, puesto que provocan una elevada sensibilidad a cambios en la alimentación del circuito, pudiendo perjudicar severamente el punto de operación de los dispositivos. Debido a que las V_{GS} se mantienen iguales, es posible regular la corriente que “copia” un transistor variando su relación de aspecto respecto al transistor dominante. Se puede demostrar que en estos casos se cumple la relación (3.1).

$$I_o = I_{ref} \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (3.1)$$

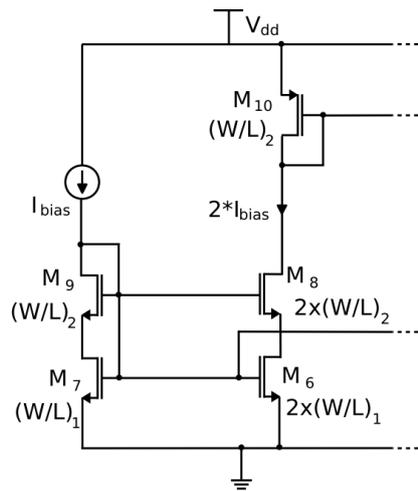


Figura 3.2. Espejo de corriente para el OTA diferencial.

En la Figura 3.2 se muestra el espejo de corriente empleado en el OTA, guiado por el principio que se acaba de comentar. Al establecer una relación de aspecto cuya magnitud es el doble que los MOSFETs de referencia, se duplica la corriente de la segunda rama. Con esto, se consigue elevar la corriente que circula por el transistor M_{10} , que actúa de referencia para los PMOS de la etapa de salida. Gracias a ello, se consigue elevar la ganancia de dicha etapa. Por su parte, la referencia de tensión ofrecida por los NMOS se emplea para polarizar el par diferencial y el circuito CMFB con una corriente igual a I_{bias} . Al establecer M_9 como transistor

dominante, se está elevando la tensión V_{GS} que “copian” los NMOS del par diferencial y el CMFB. La versatilidad de esta fuente de corriente radica en la posibilidad de ofrecer referencias de corriente tanto para los NMOS como para los PMOS, a costa de consumir algo más de corriente en la segunda rama. A pesar de ello, esta estructura es extremadamente eficiente.

3.2.2 Etapa de Entrada

La etapa de entrada del OTA está formada por el clásico amplificador diferencial, comúnmente denominado par diferencial, representado en la Figura 3.3. Se debe tener en cuenta que la tensión V_{GS} de los transistores M_1 y M_2 del par diferencial debe ser suficiente para mantener los transistores en zona lineal (óhmica) y así lograr una elevada linealidad. Igualmente, para elevar la ganancia del circuito se emplea una carga activa formada por un espejo de corriente (M_3 y M_4). El par diferencial es polarizado gracias al transistor M_5 , que se encarga de espejar la corriente de la fuente de referencia. De esta manera, la corriente I_{bias} se reparte entre las dos ramas del par diferencial. Este tipo de estructura se caracteriza por amplificar la diferencia entre las señales aplicadas en las puertas de los transistores M_1 y M_2 . Una de las ventajas del par diferencial es su elevada relación de rechazo al modo común, que lo convierte en un circuito muy robusto frente al ruido que aparece en sus entradas. Es necesario destacar que un par diferencial posee dos salidas, una inversora y otra no inversora, que se pueden tomar de los drenadores de M_1 y M_2 . Como se ha comentado anteriormente, el control de la carga activa se realiza de forma dinámica con un circuito de CMFB. Asimismo, los condensadores añadidos permiten aplicar la técnica de compensación de fuente, que será abordada en las secciones posteriores.

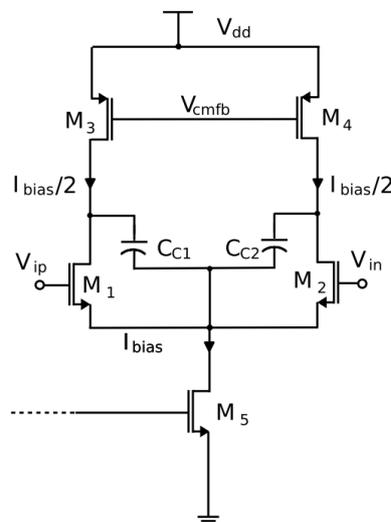


Figura 3.3. Etapa de entrada del OTA: par diferencial.

Si se estudia el comportamiento del par diferencial en pequeña señal, es posible concluir que la ganancia para una de sus salidas viene dada por la expresión (3.2) [11]. En esta expresión, g_{m1} corresponde a la transconductancia del transistor M_1 , r_{ds2} identifica la resistencia en pequeña señal del transistor M_2 y r_{ds4} a la de M_4 .

$$A_v = \frac{v_{out}}{v_{id}} = g_{m1}(r_{ds2} || r_{ds4}) \quad (3.2)$$

Para obtener el ancho de banda del par diferencial, es necesario tener en cuenta las capacidades parásitas de los MOSFET. Estas capacidades son las que introducen los polos de alta frecuencia y, por tanto, limitan la respuesta en frecuencia del OTA. Si se tienen en cuenta las capacidades parásitas, se obtiene la expresión (3.3), donde la capacidad C_2 representa el efecto de la contribución de todas las capacidades del modelo en pequeña señal del circuito [11].

$$\frac{v_{o1}}{v_{id}} = g_{m1}(r_{ds2} || r_{ds4}) \frac{1}{\left[1 + s \cdot \frac{1}{C_2(r_{ds2} || r_{ds4})}\right]} \quad (3.3)$$

3.2.3 Etapa de Salida

La etapa de salida del OTA está formada por un amplificador Clase A, que se caracteriza por el hecho de que los dos transistores que lo forman trabajan durante el ciclo completo de señal. En este caso, el amplificador se configura en salida simple en fuente común, tal y como se ve en la Figura 3.4. La señal de entrada V_{in} se conecta a la salida del par diferencial, mientras que la puerta del transistor M_2 se conecta al PMOS de la fuente de corriente para aportar una elevada corriente y mejorar la ganancia de este amplificador. Como etapa de salida, se espera que este circuito proporcione una elevada ganancia, mantenga una alta linealidad y dote al amplificador de una impedancia de salida reducida. Un aspecto importante del amplificador Clase A es el hecho de que solo permite alcanzar un 25% de eficiencia, idealmente.

En este caso, se puede demostrar que la ganancia del amplificador Clase A viene dada por la expresión (3.4).

$$A_v = \frac{v_o}{v_i} = -\frac{r_{ds1} || r_{ds2}}{\frac{1}{g_{m1}}} = -g_{m1}(r_{ds1} || r_{ds2}) \quad (3.4)$$

Como se desea trabajar con salida diferencial, será necesario añadir una etapa de salida para cada salida del par diferencial.

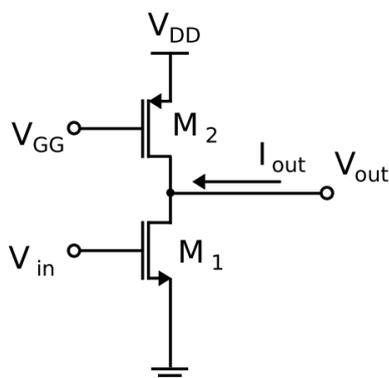


Figura 3.4. Etapa de salida del OTA: Amplificador Clase A.

3.2.4 Common-Mode Feedback

Al emplear una configuración completamente diferencial, se hace necesario introducir un circuito de realimentación en modo común (*Common-Mode Feedback* o CMFB), cuya estructura se puede observar en la Figura 3.5. Esta necesidad radica en la variación del nivel de continua en las salidas, denominada tensión en modo común o simplemente modo común. Dada la naturaleza de esta configuración, es posible que la tensión en modo común varíe respecto al valor deseado de $V_{DD}/2$, empeorando la basculación de tensión y la polarización de la siguiente etapa del PGA. Es posible encontrar varios tipos de circuitos CMFB. En ocasiones, se emplean circuitos de capacidades conmutadas (*switched-capacitors*).

En este caso, el CMFB consiste en un par diferencial similar al de la etapa de entrada. En primer lugar, gracias a la red formada por las resistencias R_1 y R_2 y los condensadores C_1 y C_2 , se toman las dos salidas del OTA y se obtiene el valor medio de la tensión en continua. De esta forma, se obtiene el modo común a la salida. Esta red se conecta a la entrada del transistor M_1 para amplificar la diferencia entre la tensión en modo común y la de referencia, conectada a la puerta de M_2 . En contraste con la etapa de entrada, en el CMFB los PMOS de la carga activa se conectan en configuración de diodo (drenador y puerta cortocircuitados). De este modo, se logra que operen en saturación y, por tanto, que posean una elevada impedancia de salida, aumentando así la ganancia del CMFB. Puesto que el drenador de M_3 es la salida no inversora del par, se toma este nodo como salida del CMFB, que será conectado a la carga activa de la etapa de entrada del OTA.

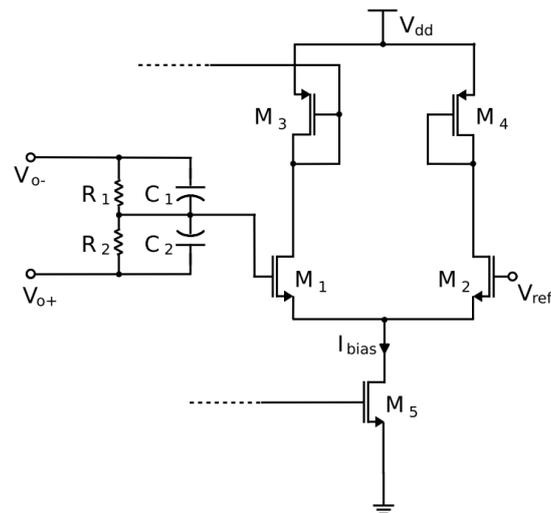


Figura 3.5. Circuito de realimentación en modo común o CMFB.

Todos los transistores del CMFB se diseñan con los mismos valores del par diferencial de entrada, dado que es necesario que sus dimensiones sean comparables para que el circuito sea efectivo. El motivo principal es que se desea que el CMFB sea un amplificador de elevada ganancia y que sea lo suficientemente rápido para corregir el modo común a la salida del OTA.

3.2.5 Circuito Completo

Si se interconectan las etapas anteriores, se obtiene el circuito completo del OTA mostrado en la Figura 3.6, cuya estructura está basada en la de [18]. Asimismo, el amplificador ha sido diseñado utilizando la metodología g_m/I_D [40], que aprovecha la relación entre la transconductancia (g_m), la corriente de drenador (I_D) y la corriente de drenador normalizada ($I_D/(W/L)$). Esta metodología de diseño ofrece una forma óptima de dimensionar los transistores en las diferentes regiones de operación del dispositivo atendiendo al rendimiento del circuito. De hecho, siguiendo esta metodología es posible aumentar la transconductancia de los MOSFETs manteniendo un consumo muy reducido.

En la Figura 3.6 se muestra el circuito completo formado por las diferentes etapas descritas anteriormente. El núcleo del OTA consiste en un par diferencial, con carga activa como etapa de entrada, formado por los transistores M_1 - M_4 . Las dimensiones de estos transistores se seleccionan con el objetivo de alcanzar un equilibrio entre las especificaciones y las características de los dispositivos. A su vez, para facilitar la conexión en cascada y obtener el máximo rango dinámico, la tensión en modo común se fija a 0.6 V ($V_{DD}/2$), dado que el circuito se alimenta con 1.2 V .

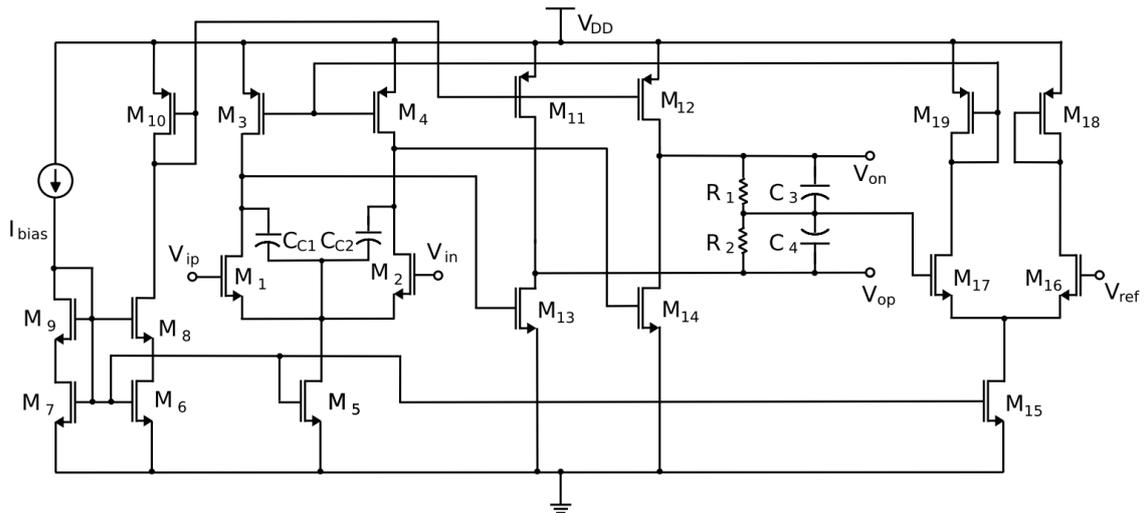


Figura 3.6. Esquemático del OTA completamente diferencial con compensación Miller de fuente.

La fuente de corriente de elevada impedancia de salida formada por los transistores M_6 - M_{10} se emplea para polarizar las diferentes etapas del OTA. Los MOSFET de la fuente de corriente están polarizados en inversión fuerte para asegurar un comportamiento de bajo ruido y elevada impedancia de salida. Como se ve en la Figura 3.6, el transistor M_5 copia la corriente de la fuente de corriente para polarizar el par diferencial, ya que M_7 y M_9 fijan la corriente de referencia. Con esta estructura se fija la caída de tensión V_{GS} de los transistores $M_{5,6,15}$ para que sea igual a la de M_7 , de forma que la corriente que circula por ellos cuando están en saturación debería ser igual a la de referencia cuando las dimensiones de los transistores son idénticas a las de M_7 . Como se ha explicado anteriormente, es posible obtener mayor o menor corriente variando las dimensiones de los transistores $M_{5,6,15}$. La corriente que fija M_5 se reparte entre las dos ramas del par diferencial, por lo que la operación del par depende de la corriente que sea capaz de aportar M_5 . Cualquier cambio en la tensión en modo común, en la V_{TH} de M_5 o en las parásitas del par diferencial puede forzar al transistor M_5 fuera de la región de saturación. Para evitar que esto ocurra, las dimensiones de los transistores M_1 - M_5 deben seleccionarse con precaución para asegurar un margen suficiente de tensión V_{DS} . Sin embargo, debido a la reducida tensión de alimentación y al tener apilados tres MOSFETs, el transistor M_5 no ha alcanzado el nivel de saturación deseado. Para controlar esta situación, la tensión de sustrato de los transistores M_1 , M_2 , M_5 y M_{15} - M_{17} (dado que el circuito de CMFB sufre la misma situación) se regula externamente en este caso, ya que modificando dicha tensión es posible aprovechar el efecto sustrato para ajustar la tensión umbral de los transistores. Asimismo, la corriente de referencia I_{bias} se ha dejado como un pin externo para tener un mayor control del circuito.

La etapa de salida consiste en un amplificador Clase A para cada salida del par diferencial (transistores M_{11} - M_{14}). Estos transistores se diseñan con una relación de aspecto elevada para incrementar la ganancia del OTA. Al tratarse de un circuito de salida diferencial, es necesario introducir un circuito CMFB. Este circuito se encarga de realizar el ajuste de tensión en modo común del OTA, que se logra amplificando la diferencia entre la tensión de referencia V_{ref} (que es de 0.6 V) y el valor medio de tensión continua en las salidas. La salida del CMFB se aplica en la puerta de los transistores M_3 y M_4 de la carga activa del par diferencial. Gracias al circuito CMFB, el OTA logra una mayor relación de rechazo al modo común (CMRR) y, por lo tanto, se hace más robusto frente al ruido que afecta a las entradas. El circuito CMFB está integrado por un par diferencial muy similar al que forma la etapa de entrada del OTA y lo forman los transistores M_{16} - M_{19} .

Finalmente, cada OTA tiene una red de compensación formada por los condensadores C_{C1} y C_{C2} para aplicar la técnica de compensación de fuente [12], [13]. Esta técnica de compensación adaptativa permite mejorar significativamente el producto GBW del OTA eliminando circuitería adicional innecesaria. La compensación se aplica eficientemente en este diseño al conectar las capacidades de compensación entre la fuente de los MOSFETs M_1 y M_2 y cada salida del par diferencial. Las capacidades de compensación son seleccionadas para cumplir con los requisitos de ancho de banda y margen de fase del PGA. El ancho de banda objetivo es de unos 10 MHz para cada nivel de ganancia. Asimismo, un margen de fase aceptable debería ser igual o mayor de 45° para asegurar un comportamiento estable y un tiempo de establecimiento rápido con sobre-impulso reducido.

3.2.5.1 Modificaciones Finales

El OTA fue diseñado para cumplir con las especificaciones del estándar IEEE 802.15.4. La mayoría de las restricciones definidas por la capa física de este estándar indican las características que deben tener el cabezal de recepción, el VCO y el filtro, puesto que detallan la relación de rechazo al canal adyacente, ancho y espaciado de canal, frecuencia de trabajo, etc. Las principales restricciones se obtienen del valor de la sensibilidad del receptor, puesto que el PGA contribuye en este parámetro gracias al ajuste de ganancia; mientras que el consumo, la capacidad de carga, los pasos de ganancia, etc., se toman del estudio del estado del arte. Tal y como se ha comentado anteriormente, la figura de ruido del PGA no es crítica debido a la estructura del receptor que se ha seleccionado. En la Tabla 3.1 se pueden ver las restricciones finales para la implementación del PGA.

Tabla 3.1. Especificaciones para el diseño del OTA.

A_v (dB)	>40
Margen de fase (°)	>60
GBW (MHz)	>50
V_{DD} (V)	0.6
V_{SS} (V)	-0.6
I_{DD} (mA)	<0.5
Capacidad de carga C_L (pF)	1

En contraste con el diseño realizado en [11], se han modificado algunas de las dimensiones de los MOSFETs que forman el OTA. En primer lugar, se han rediseñado los transistores de los amplificadores Clase A para estabilizar el nivel de continua a la salida, facilitando la operación del CMFB. Para ello, se ha aumentado al doble la anchura de los PMOS. Asimismo, debido a lo mencionado anteriormente en relación a la polarización del par diferencial, este se ha rediseñado para equilibrar la operación de los dispositivos y asegurar un margen suficiente de saturación para el transistor M_5 . A su vez, se han reducido a la mitad las relaciones de aspecto de todos los MOSFETs de la fuente de corriente para mantener un consumo de área razonable sin afectar significativamente a la operación del OTA. Las dimensiones de los dispositivos resultantes se muestran en la Tabla 3.2, donde las longitudes de los transistores se han fijado a 500 nm para el OTA.

Tabla 3.2. Valores y dimensiones de los componentes. Se muestra la anchura de los MOSFET, donde se ha omitido la longitud, es de 500 nm

OTA		Banco de resistencias	
$M_{1,2,16,17}$	10 μm	R_{in}	6 k Ω
$M_{3,4,18,19}$	10 μm	R_1	4.77 k Ω
$M_{5,15}$	1.5 μm	R_2	2.5 k Ω
M_6	4 μm	R_3	3.44 k Ω
M_7	2 μm	R_4	4.9 k Ω
M_8	20 μm	R_5	6.9 k Ω
$M_{9,14}$	10 μm	R_6	9.69 k Ω
$C_{C1,C2}$	125 fF	R_7	13.66 k Ω
$R_{1,2}$	60 k Ω	R_8	20 k Ω
$C_{3,4}$	50 fF	$M_{Nsw,Psw}$	4 $\mu\text{m}/60\text{nm}$

A partir del diseño realizado, gracias a la compensación de fuente, se logran los resultados que se presentan en la Tabla 3.3. Asimismo, la respuesta del OTA en lazo abierto se puede ver en la Figura 3.7. Se han añadido el CMRR y el *slew-rate* del mismo, puesto que son indicativos de la capacidad de rechazo frente a ruido común y la capacidad de inyección de corriente en la carga. De estos se puede destacar la obtención de una ganancia en lazo abierto de 53 dB y un ancho de banda de 3.63 MHz que indican un producto Ganancia por Ancho de Banda (GBW) total de 370 MHz. Cabe indicar que el margen de fase es insuficiente y dista del valor esperado, puesto que la compensación de fuente fue pensada para amplificadores con realimentación negativa. Finalmente, el consumo de potencia del OTA es de 176 μ W, dado que el circuito se alimenta a 1.2 V y requiere una corriente de polarización total de 147 μ A.

Tabla 3.3. Resultados del OTA completamente diferencial en lazo abierto

Ganancia (dB)	53
Ancho de banda a 3 dB (MHz)	3.63
Ganancia por ancho de banda (MHz)	370
Margen de fase (°)	10
Potencia disipada (mW)	0.176

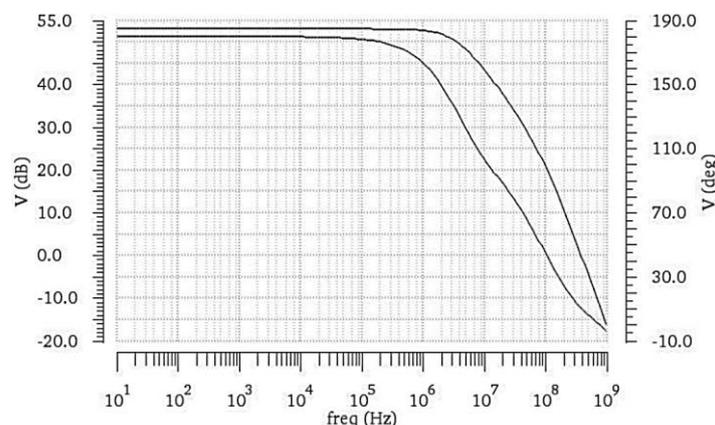


Figura 3.7. Respuesta en magnitud (línea superior) y fase (línea inferior) de la simulación del OTA en lazo abierto.

3.3 Resistencia Variable

Para conseguir el ajuste de ganancia del PGA se modifica el valor de las resistencias R_{f1} y R_{f2} de forma independiente, mientras la resistencia R_{in} permanece a un valor fijo de 6 k Ω (Figura 3.1). De esta forma, la ganancia de cada etapa se incrementa en pasos fijos de 3 dB desde 0 hasta 21 dB, logrando un total de 42 dB de ganancia para la configuración de máxima

ganancia. En el Trabajo Fin de Grado del cual se parte en este TFM [11], se empleó una resistencia de valor variable desarrollada a partir de un banco de resistencias formado por cada una de las resistencias necesarias para cada paso de ganancia. Dicho esquema es muy cómodo sobre esquemático, pero es posible desarrollar soluciones más elegantes para aprovechar mejor el espacio disponible en el chip. Por ello, se decide emplear una topología alternativa.

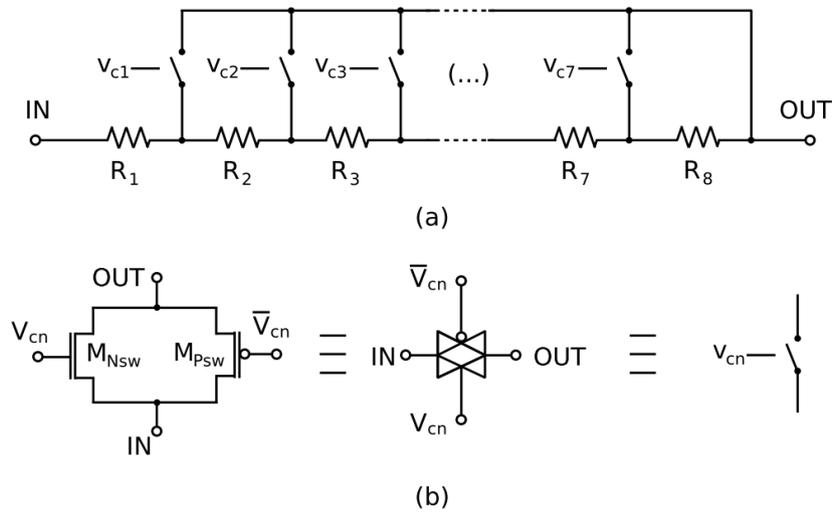


Figura 3.8. Esquemático de la resistencia variable (a) y las puertas de transmisión (b) empleadas para implementar los elementos de conmutación.

El esquema de la implementación de la resistencia variable se representa en la Figura 3.8 (a). Las ventajas de emplear esta estrategia son que solamente se activa un *switch* para cada nivel de ganancia y que el valor de la resistencia total es la suma de las resistencias activas, por lo que se aprovechan los valores de las resistencias anteriores para ir aumentando el valor resistivo de este elemento. Gracias a la aplicación de esta técnica, los valores de las resistencias necesarias son mínimos. Para calcular los valores de la resistencia de cada nivel de ganancia se emplea la expresión (3.5), derivada de la función de transferencia del amplificador inversor. Una vez obtenidos los valores necesarios, se hace un ajuste más preciso por medio de simulación. Los valores finales se resumen en la Tabla 3.2.

$$A_v(dB) = 20 \log \left(\frac{R_f}{R_i} \right) ; R_f = R_i \cdot 10^{A_v/20} \quad (3.5)$$

Para implementar los *switches* de la resistencia variable se ha decidido emplear puertas de transmisión, dadas las múltiples ventajas que estas introducen (principalmente, una reducida resistencia de paso y una mejor circulación de corriente). Su esquema se muestra en la Figura

3.8 (b). Es importante recalcar que, aunque con esta solución los valores de resistencias necesarias son mínimos, es necesario manejar siete tensiones de control para regular la resistencia. Esto se debe a que cada tensión corresponde a uno de los *switches* que, además, solamente recibirá una tensión VDD (ON) o GND (OFF). Para hacer un uso más coherente de pines para el circuito se ha decidido emplear un multiplexor, de forma que se pasa de usar siete pines a usar solamente tres. Este hecho es importante, puesto que el recuento de pines total del PGA se reduce de forma considerable.

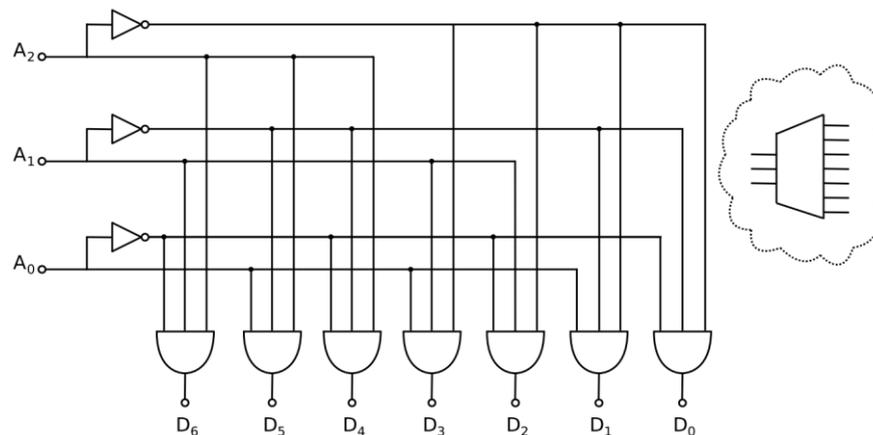


Figura 3.9. Esquemático del multiplexor de 3 entradas y 7 salidas full-custom.

El esquema del multiplexor se muestra en la Figura 3.9. Como solamente son necesarias siete salidas, es posible eliminar una puerta AND, dado que para el caso de máxima ganancia no debe activarse ninguno de los *switches*. En la configuración propuesta para el multiplexor, se ha hecho coincidir la palabra de control con los pasos de ganancia de cada etapa siendo 000 equivalente a una ganancia de 0 dB y 111 a una ganancia de 21 dB.

En la Figura 3.10 se muestra el esquemático de la puerta lógica AND, formada por una NAND y un inversor en cascada. La puerta NAND ha sido diseñada con una serie de requisitos básicos: ocupar la menor área posible, satisfacer una capacidad de carga de 150 fF y obtener unos tiempos de subida y bajada de 1 ns [41]. La capacidad de carga es suficiente para cubrir la capacidad de las puertas de los transistores de las puertas de transmisión (denominado *fan out*). Tras ajustar los transistores mediante simulación, los anchos obtenidos de los transistores tipo P son de 400 nm y los de tipo N de 200 nm, todos ellos con una longitud de 60 nm. Los resultados de la respuesta temporal de la AND pueden verse en la Figura 3.11.

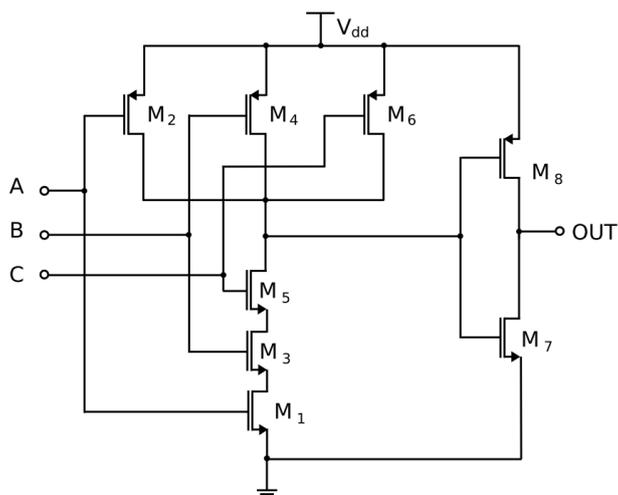


Figura 3.10. Esquemático de la puerta lógica AND de tres entradas, formada por una puerta NAND seguida de un inversor.

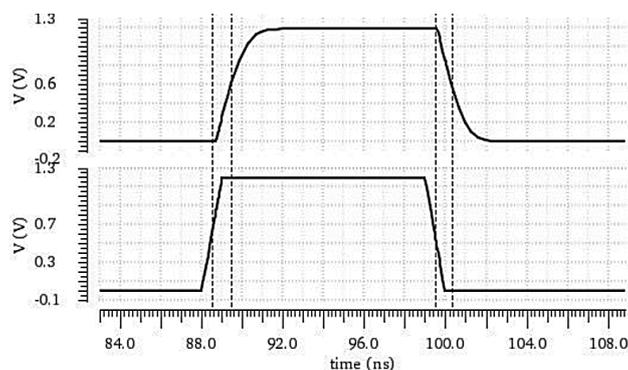


Figura 3.11. Simulación de la respuesta temporal de la puerta AND, elemento principal del multiplexor.

3.4 Técnica de Compensación del PGA

El esquema de compensación de fuente permite estabilizar la respuesta del OTA de forma adaptativa, logrando desplazar el polo dominante del circuito a la vez que aumenta la ganancia en lazo cerrado para extender el ancho de banda del amplificador. Por lo tanto, esta técnica mejora el producto GBW del OTA conforme aumenta la ganancia en lazo cerrado, permitiendo mantener un ancho de banda aproximadamente constante para los diferentes niveles.

3.4.1 Compensación por Polo Dominante (Miller)

La compensación de fuente es una versión mejorada de la compensación Miller, que consiste en establecer un polo dominante en baja frecuencia, el cual marca el ancho de banda

del circuito [8], [9]. Para ello, se suele conectar una capacidad de compensación entre la entrada y la salida de la segunda etapa del OTA tal y como se muestra en la Figura 3.12. Igualmente, se suele añadir una resistencia en serie para desplazar el cero del circuito a muy alta frecuencia y así evitar que empeore el margen de fase del OTA. El problema a la hora de implementar un PGA a partir de este principio radica en el compromiso ganancia-ancho de banda típico de los amplificadores operacionales que emplean este esquema de compensación. Sin embargo, si se desea mayor ganancia se pierde ancho de banda, y viceversa. De ahí la necesidad de variar el valor de la capacidad de compensación para extender el ancho de banda del PGA.

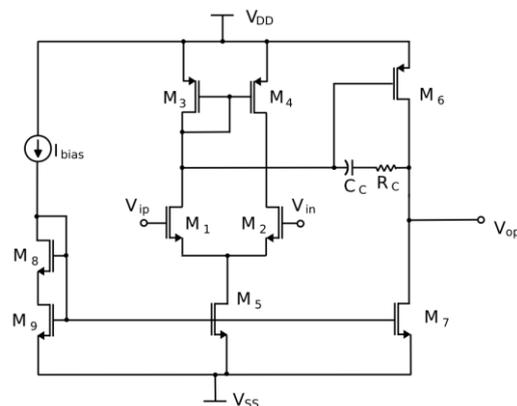


Figura 3.12. Esquema de un OTA Miller con compensación por polo dominante.

En la práctica, la relación de compromiso entre la ganancia y el ancho de banda en el amplificador operacional Miller convencional es el resultado del efecto Miller. Cabe recordar que el teorema de Miller permite sustituir un condensador conectado entre dos nodos por dos condensadores puestos a tierra en los nodos del condensador original. De esta forma, el polo dominante lo fija la capacidad de compensación cuyo factor de ganancia es $A_{MILLER} = 1 + |A_{II}|$. Este factor permanece constante independientemente de la ganancia en lazo cerrado G . Al emplear esta aproximación se reduce el ancho de banda, pero se proporciona un margen de fase adicional para ganancias elevadas, mientras que el polo de salida (o de alta frecuencia) f_{p2} permanece en una posición fija.

3.4.2 Compensación de Fuente

Una forma de mejorar el ancho de banda sin comprometer el margen de fase consiste en reducir el factor de multiplicación de Miller conforme la ganancia aumenta [12]. Para lograrlo, es posible trasladar la conexión del condensador de compensación de la salida del amplificador operacional a la salida del bloque de realimentación β como se muestra en la Figura 3.13.

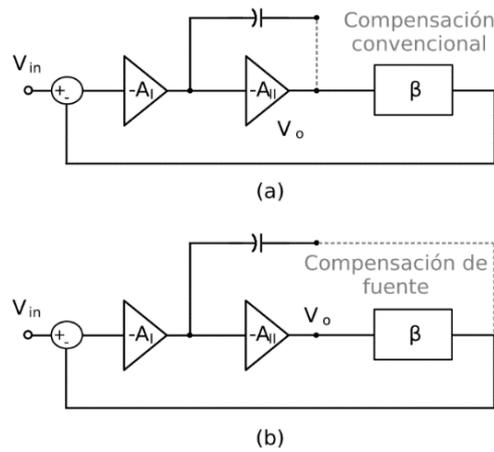


Figura 3.13. Compensación de un amplificador con realimentación tipo Miller (a) y esquema de compensación de fuente propuesto (b) [12].

En este caso, el valor del condensador Miller en el nodo de salida de la primera etapa se reduce en función de la ganancia a razón de la expresión (3.6). De este modo, esta técnica de compensación incrementa la frecuencia del polo dominante y el producto GBW del operacional. El ancho de banda resultante varía en función de la expresión (3.7).

$$C'_{MILLER} = (1 + |A_{II}|\beta)C_c = \left(1 - \frac{|A_{II}|}{G}\right)C_c \quad (3.6)$$

$$BW' = \frac{GBW}{1 + \frac{G}{|A_{II}|}} \quad (3.7)$$

Al considerar que el producto $GBW = G \cdot BW = f_{0dB}$, se puede ver que el ancho de banda BW' de un amplificador con compensación de fuente mejora con respecto al ancho de banda BW de un amplificador con la compensación Miller convencional de acuerdo con la expresión (3.8). Para ganancias típicas de valor $|A_{II}| \sim 50V/V$, el ancho de banda mejora en función de $G/|A_{II}|$. Cabe destacar que para $A_{II} \gg G$, el ancho de banda en lazo cerrado se puede aproximar siguiendo la expresión (3.9).

$$\frac{BW'}{BW} = \frac{G}{1 + \frac{G}{|A_{II}|}} \quad (3.8)$$

$$BW' \approx \frac{g_{m1}}{2\pi C_c} \approx GBW \quad (3.9)$$

Tal y como se puede comprobar en la expresión (3.9), se confirma que el ancho de banda BW' del amplificador con compensación de fuente permanece aproximadamente constante y es independiente de la ganancia en lazo cerrado G .

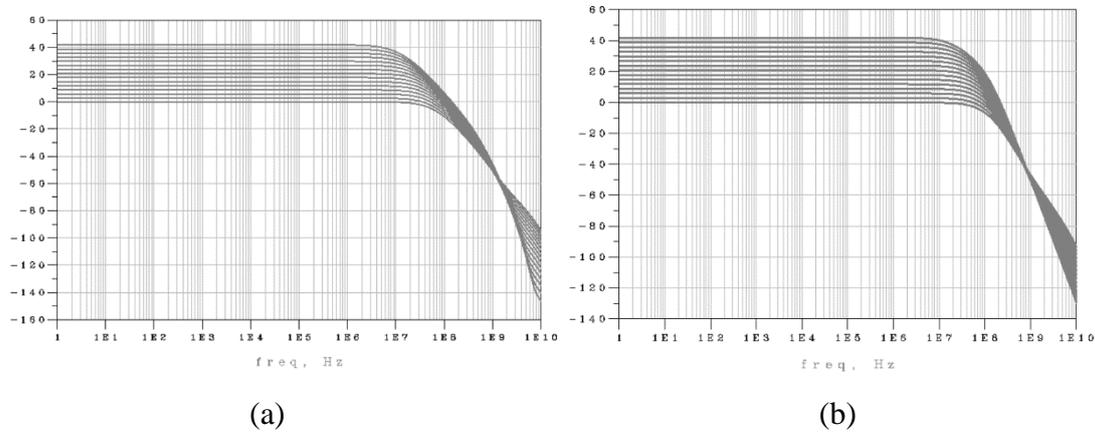


Figura 3.14. Respuestas en lazo cerrado para un amplificador operacional Miller convencional (a) y para un amplificador operacional con compensación de fuente con $A_{II} \gg G$ (b).

En la Figura 3.14 (a) se muestran las respuestas en lazo cerrado para un amplificador operacional con compensación Miller convencional, mientras que en la Figura 3.14 (b) se muestran las respuestas para el mismo amplificador con compensación de fuente cumpliendo con (3.9). En este último caso, el polo dominante de la respuesta en lazo cerrado del amplificador aumenta en proporción a la ganancia, de forma que el ancho de banda permanece constante. Como se puede ver en la figura, en la compensación de fuente la respuesta del PGA presenta una pendiente mayor debido a que el polo dominante y el polo que introduce el par diferencial se sitúan más cerca entre sí.

3.5 Resultados de Simulación del PGA Completo

Para simular la operación del PGA se conectan las dos etapas en cascada y se introduce una señal senoidal con un barrido en frecuencia para observar la respuesta en frecuencia de este circuito. Dicha respuesta se muestra en la Figura 3.15.

Los parámetros de mayor interés para el PGA son la ganancia, el ancho de banda y el margen de fase. Las resistencias de realimentación se controlan con la señal V_c para la primera etapa y V_{cn} para la segunda etapa. La recopilación de los resultados de simulación sobre esquemático del PGA completo se pueden observar en la Tabla 3.4.

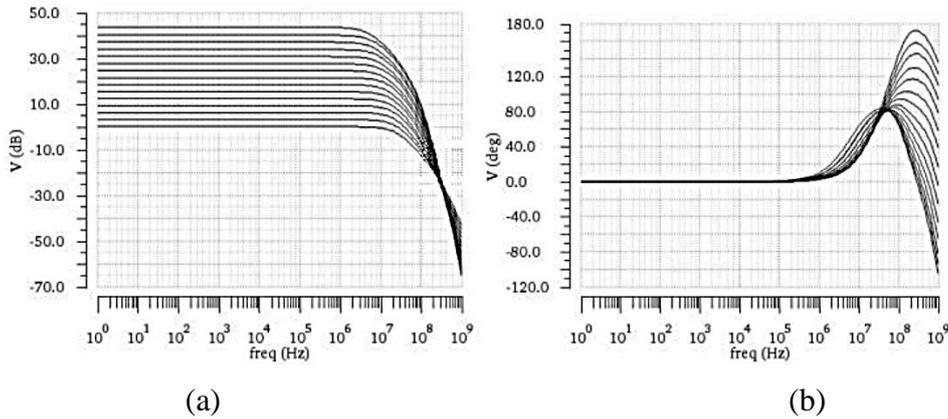


Figura 3.15. Respuesta en magnitud (a) y fase (b) del VGA completo.

Cabe destacar que la mejora que introduce la compensación de fuente se logra reduciendo el valor de los condensadores de compensación Miller a la mitad de su valor. Adicionalmente, dado que la compensación de fuente no requiere de ninguna resistencia de compensación, los valores de las resistencias empleadas para la realimentación se reducen $21 \text{ k}\Omega$ en total como resultado de la reducción de la impedancia de salida del OTA. Una de las desventajas que introduce esta técnica es el aumento del margen de fase de los diferentes niveles. Aunque se mantiene casi uniforme y en torno a los 100° , puede empeorar la velocidad de respuesta del OTA haciéndolo demasiado lento (respuesta sobre-amortiguada). Aun así, los resultados son mejores que los obtenidos con la técnica de compensación convencional.

3.6 Conclusiones

En este capítulo se ha presentado la estructura sobre esquemático de los diferentes elementos que forman el PGA. Se han desglosado las diferentes etapas que forman el núcleo del OTA, destacando los aspectos de diseño más relevantes y las decisiones tomadas a la hora de realizar la implementación, para finalmente presentar el circuito completo. Asimismo, se ha presentado la implementación de la resistencia variable y las modificaciones realizadas sobre el circuito de partida para hacerlo trasladable al ámbito del *layout*. En este sentido, se ha mostrado el nuevo esquema de la resistencia, compuesto por un conjunto de resistencias discretas conmutables mediante una serie de *switches*. Para controlar el valor de la resistencia variable, se ha presentado el diseño de un multiplexor 3 a 7 *full-custom* para esta aplicación. Gracias a esta topología, los valores resistivos necesarios son mínimos y el uso de pines del circuito se ha reducido drásticamente.

Tabla 3.4. Resultados de la simulación del PGA completo

<i>Vc</i>	<i>R_{f1} (kΩ)</i>	<i>Vcn</i>	<i>R_{f2} (kΩ)</i>	<i>Gain (dB)</i>	<i>PM (°)</i>	<i>BW (MHz)</i>
000	4.8	000	4.8	0.1	-157°	28.1
000	4.8	001	7.3	3.0	-110°	26.2
001	7.3	001	7.3	6.0	-95°	23.4
001	7.3	010	10.74	9.0	-86°	22.6
010	10.74	010	10.74	12.1	-82°	21.1
010	10.74	011	15.64	15.1	-81°	19.3
011	15.64	011	15.64	18.1	-85°	16.7
011	15.64	100	22.54	21.1	-89°	16.1
100	22.54	100	22.54	24.0	-93°	14.0
100	22.54	101	32.23	27.0	-105°	12.9
101	32.23	101	32.23	30.1	-108°	11.1
101	32.23	110	45.9	33.1	-116°	10.5
110	45.9	110	45.9	36.0	-122°	9.1
110	45.9	111	65.9	39.1	-128°	8.3
111	65.9	111	65.9	42.0	-133°	7.0

Capítulo 4. Estudio de la Tecnología CMOS UMC de 65 nm

A lo largo de este capítulo se presentan los elementos y reglas de diseño característicos de la tecnología *CMOS UMC 65 nm*. Este proceso se caracteriza por poseer dispositivos con una tensión de ruptura de 1.2 V y soporte de entradas/salidas de 1.8/2.5/3.3 V. Concretamente, se ha trabajado con la opción de metales definida por el programa Europractice de *IP8MITOFIU*. Esta tecnología se caracteriza por emplear una capa de polisilicio, 8 de metales (de los cuales uno es metal grueso y otro es metal ultra-grueso) y una longitud de puerta mínima de 60 nm para los MOSFETs.

Es posible distinguir diferentes elementos activos y pasivos que serán tratados a lo largo del capítulo. Sin embargo, en el *layout* del PGA solamente se han empleado transistores MOS, resistencias de elevado valor resistivo (desde varios k Ω a decenas de k Ω) y condensadores, por lo que los demás elementos de la tecnología serán tratados de forma superficial. Se indica al lector experimentado en diseño CMOS, o que haya trabajado con esta tecnología, que el presente capítulo contiene información básica sobre el funcionamiento, los parámetros, las reglas de diseño y la construcción de los componentes en esta tecnología.

En primer lugar, se muestran los elementos pasivos de la tecnología (resistencias, condensadores y bobinas) para introducir a continuación los elementos activos (transistores MOS y diodos). De estos últimos, se presta especial atención a los MOSFETs disponibles.

4.1 Elementos Pasivos

Los elementos pasivos son aquellos que no pueden aportar potencia a la señal que los atraviesa, simplemente la almacenan, la disipan o la liberan.

4.1.1 Resistencias

El elemento pasivo más común y sencillo es la resistencia. En la Figura 4.1 se puede ver el modelo de una resistencia integrada y los parámetros que la caracterizan. Estos elementos poseen un valor óhmico dependiente del valor resistivo del material y de sus dimensiones, cuyo valor viene dado por la expresión (4.1). La resistividad del material se define mediante el parámetro ρ (en $\Omega \cdot \text{cm}$) y el grosor del material se representa por la letra t (*thickness*), mientras que el ancho y largo de la resistencia vienen dados como W y L , respectivamente [8], [9]. Cabe destacar que, en procesos de fabricación de dispositivos de estado sólido, el grosor del material

se fija de forma que el diseñador solamente tiene control de las dimensiones W y L . Por tanto, el valor de la resistencia se determina como dicta la ecuación (4.2). En esta expresión, R_{\square} representa el valor de la resistencia por cuadrado (en inglés se denomina *sheet resistivity* cuya unidad es Ω/\square) y su valor viene fijado por el proceso de fabricación. Desde el punto de vista del *layout*, una resistencia tiene un valor determinado por el número de cuadrados multiplicado por R_{\square} . Cabe resaltar que cuando $L = W$ entonces la resistencia es cuadrada y tiene el valor R_{\square} .

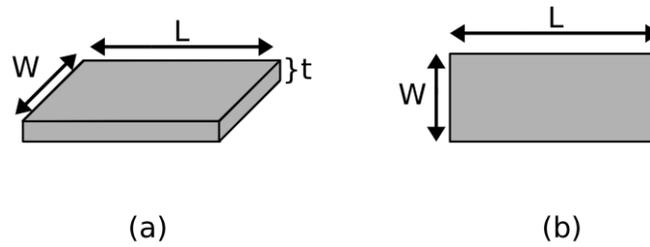


Figura 4.1. Vista en perspectiva de la resistencia integrada (a) y vista de layout (b).

$$R = \frac{\rho}{t} \cdot \frac{L}{W} \quad (\Omega) \quad (4.1)$$

$$R = R_{\square} \frac{L}{W} \quad (\Omega) \quad (4.2)$$

Un aspecto destacable de las resistencias (así como de los condensadores) en procesos CMOS es que sus valores varían en función de la tensión y la temperatura. Estos cambios se miden en ppm/°C (partes por millón por °C). Generalmente, los valores que puede tomar una resistencia se acotan entre un valor máximo y un valor mínimo, para un rango de temperatura y tensión aplicada a sus extremos. De la misma forma, el valor de este elemento puede cambiar debido al propio proceso de fabricación, que puede provocar desajustes en los valores de las resistencias integradas. Sin embargo, los fabricantes aseguran unos rangos o tolerancias que fijan un criterio para descartar o no obleas de una determinada remesa. En cualquier caso, es necesario tener en cuenta esta variación para realizar el estudio de las simulaciones *post-layout* del circuito.

4.1.1.1 Resistencias de la Tecnología

El proceso de fabricación CMOS UMC de 65 nm cuenta con una variada selección de componentes resistivos, por lo que es posible elegir el tipo de componente que mejor se adapte a unas condiciones concretas. Las resistencias disponibles en esta tecnología se dividen en:

- ❖ Resistencias de difusión N+ *Salicide* y *Non-salicide* (*self-aligned silicide* o siliciuro auto-alineado). Nombre de modelo: RSND_LL, RNND_LL.
- ❖ Resistencias de difusión P+ *Salicide* y *Non-salicide*. Nombre del modelo: RSPD_LL, RNPD_LL.
- ❖ Resistencias de polisilicio con dopaje N+ *Salicide* y *Non-salicide*. Nombre del modelo: RSNPO_LL, RNNPO_LL.
- ❖ Resistencias de polisilicio con dopaje P+ *Salicide* y *Non-salicide*. Nombre del modelo: RSPPO_LL, RNPPPO_LL.
- ❖ Resistencias de elevada resistencia (*High-Resistance* o HR) *Non-salicide*. Nombre del modelo: RNHR_LL.
- ❖ Resistencias de pozo tipo N (*N-Well*). Nombre del modelo: RSNWELL_LL
- ❖ Resistencias de Metal 1. Nombre del modelo: R_m1_LL
- ❖ Resistencias de Metal:
 - 1X, 2X, 4X y 6X. Esta nomenclatura se refiere al grosor del metal, siendo 2X el doble de grueso que 1X.
 - Modelos: R_1x_LL, R_2x_LL, R_4x_LL, R_6x_LL.

Las principales diferencias entre los modelos anteriores radican en la construcción, la precisión (%), el coeficiente de temperatura (ppm/°C), el coeficiente de tensión (ppm/V) y el valor resistivo por cuadrado (R_{\square}). Generalmente las resistencias están hechas de una barra resistiva con dos contactos, uno en cada extremo, situación representada por la Figura 4.2. Por lo tanto, el valor final de la resistencia viene dado por la ecuación (4.3).

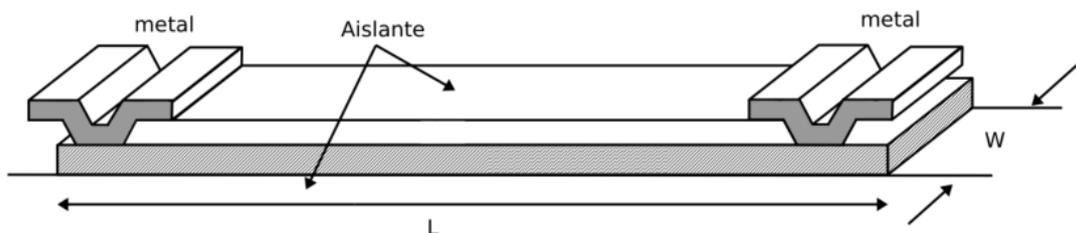


Figura 4.2. Vista de una resistencia integrada en perspectiva.

$$R = 2 \cdot R_{cont} + \frac{L}{W} R_{\square} \quad (\Omega) \quad (4.3)$$

El material de la sección resistiva puede ser un tramo de difusión, un tramo de pozo (o incluso una combinación de ambos), un tramo de polisilicio, todos ellos con diferentes dopajes, o simplemente un tramo de metal [10]. Las resistencias hechas de difusión suelen alcanzar unos valores resistivos de entre 10-100 Ω/\square , las resistencias de pozo tipo N tienen un valor de entre 1-5 $k\Omega/\square$, las resistencias de polisilicio alcanzan entre 100-500 Ω/\square y las de metal solamente alcanzan valores entre 30-100 $m\Omega/\square$. Asimismo, la precisión define la variabilidad del valor final de la resistencia debido al proceso de fabricación y suele ser del orden del 20%. Por otra parte, los coeficientes de temperatura y tensión indican la variabilidad del valor de la resistencia frente a cambios en dicha magnitud. En este sentido, las resistencias de difusión y las de polisilicio son de las más estables (500-1500 ppm/ $^{\circ}C$ y 100-200 ppm/V), mientras que las de pozo tipo N y las de metal varían significativamente su valor (4000 ppm/ $^{\circ}C$ y 8000 ppm/V).

Otro aspecto importante que no se ha mencionado es la diferencia entre las resistencias *salicide* y *non-salicide*, que proviene de *self-aligned silicide*. El silicio reacciona con muchos metales de elevada conductividad como el platino, el paladio, el titanio y el níquel para formar elementos de composición definida [8]. Estos siliciuros permiten formar contactos óhmicos de muy baja resistencia y, en algunos casos, barreras Schottky rectificadoras estables. Gracias a estas propiedades es posible emplear siliciuros para reducir las resistencias de ciertas regiones, como los contactos a los dispositivos. El prefijo *self-aligned* proviene del propio proceso de fabricación, que permite establecer espaciados de óxido antes de depositar el material conductivo. De esta forma, se provoca que el proceso sea auto-alineado, puesto que el siliciuro solamente se forma en las regiones donde no existe una capa de óxido.

Para el caso del PGA el componente de mayor interés es la resistencia de elevado valor resistivo *non-salicide* (RNHR_LL) que, como su nombre indica, permite obtener un valor resistivo muy elevado (unos pocos $k\Omega/\square$), ocupando un área relativamente pequeña. Asimismo, las resistencias HR se caracterizan por ser muy lineales (reducido coeficiente de tensión) y precisas. Las restricciones de estos componentes se muestran en la Tabla 4.1.

Tabla 4.1. Restricciones de las resistencias RNHR_LL (Resistance Non-salicide High Resistance)

<i>Restricciones</i>	
<i>Longitud (L)</i>	$1 \mu m < L < 20 \mu m$
<i>Ancho (W)</i>	$1 \mu m < W < 20 \mu m$
<i>Temperatura (T)</i>	$-55 \text{ }^{\circ}C \sim +125 \text{ }^{\circ}C$
<i>Densidad de corriente (J)</i>	$< 0.5 \text{ mA}/\mu m$

Sin embargo, como se verá en capítulos posteriores, finalmente es necesario emplear las resistencias RNHR de radiofrecuencia (RNHR_RF), puesto que la herramienta de extracción de parásitas presenta un problema severo a la hora de interpretar las resistencias RNHR_LL. Independientemente de las dimensiones de las resistencias, la extracción de valores siempre fija una anchura y una longitud por defecto. A causa de esta situación, las simulaciones dejan de ser fiables puesto que no es posible simular los valores deseados con sus parásitas correspondientes. Tras realizar varias pruebas, se ha concluido que las resistencias RNHR_RF sí permiten extraer adecuadamente los valores reales de las dimensiones de la resistencia y las parásitas asociadas.

El circuito equivalente de las resistencias es el mismo para todos los tipos de resistencia de la tecnología, aunque las ecuaciones que determinan el valor de cada componente varían según se trate de un tipo de resistencia u otro. Dicho circuito equivalente se muestra en la Figura 4.3. Las resistencias R_{poly1} y R_{poly2} indican los valores resistivos deseados de la resistencia integrada, mientras que C_{ox1} , C_{ox2} y C_{ox3} modelan la capacidad del óxido que forma parte de la resistencia. Asimismo, para representar la influencia del sustrato se emplea una red RC formada por las resistencias R_{s1} , R_{s2} , R_{s3} , C_{s1} , C_{s2} y C_{s3} .

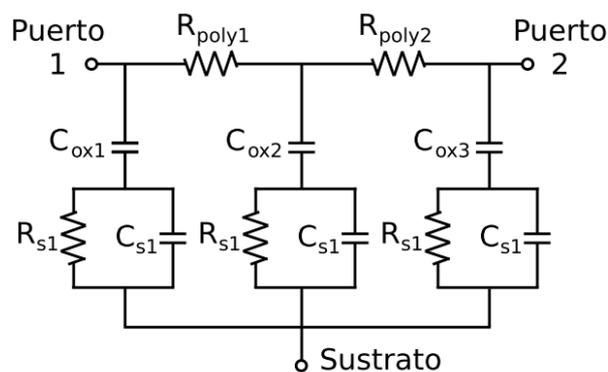


Figura 4.3. Circuito equivalente de una resistencia para la tecnología CMOS UMC de 65 nm.

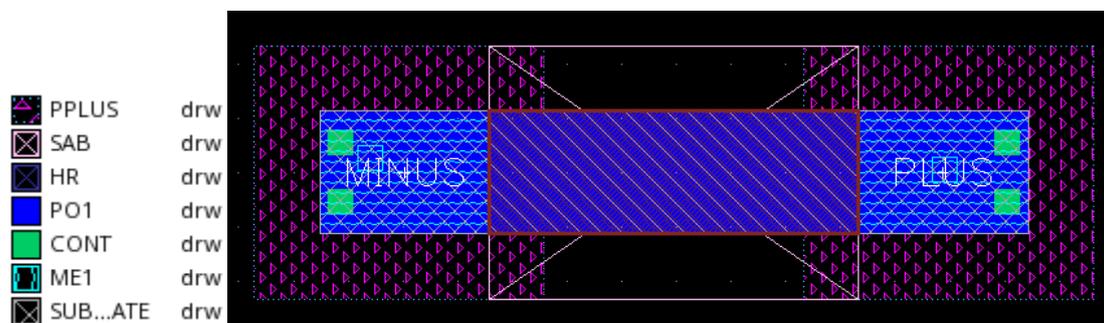


Figura 4.4. Layout de la resistencia RNHR_RF empleada en la implementación del VGA.

En la Figura 4.4 se muestra el *layout* de la resistencia RNHR_RF de la tecnología CMOS UMC de 65 nm. A su vez, a la izquierda aparece la leyenda con las capas principales de este elemento, donde se puede distinguir que el polisilicio se representa en azul marino, el metal1 en azul claro y los contactos en verde claro.

4.1.2 Condensadores

En los procesos de fabricación CMOS existen multitud de opciones a la hora de implementar condensadores [9], [10]. En esta tecnología se pueden distinguir los condensadores:

- ❖ MIMCAP: Metal-aislante-metal (MIM: *Metal-Insulator-Metal*), su esquema se muestra en la Figura 4.5. A diferencia de otros tipos de condensadores, los MIM se caracterizan por ser muy estables frente a variaciones de tensión (-20ppm/V) y temperatura (+40 ppm/C°) y presentar poca variabilidad de proceso ($\pm 10\%$). Asimismo, son escalables a diferentes valores capacitivos y se pueden situar en capas de metal elevadas para reducir la capacidad parásita con el sustrato de silicio [42].
- ❖ MOMCAP: Metal-óxido-metal, su esquema se muestra en la Figura 4.6. También se conocen como VPP (*Vertical Parallel Plate*) o condensador de flujo lateral. Es uno de los tipos de condensadores más usados debido su elevada densidad capacitiva, su reducida capacidad parásita y sus características de simetría. En contraste con los condensadores MIM, en este caso la precisión global es mucho menor ($\pm 30\text{-}40\%$) y presenta dificultades para calcular sus propiedades dependientes de frecuencia [43].

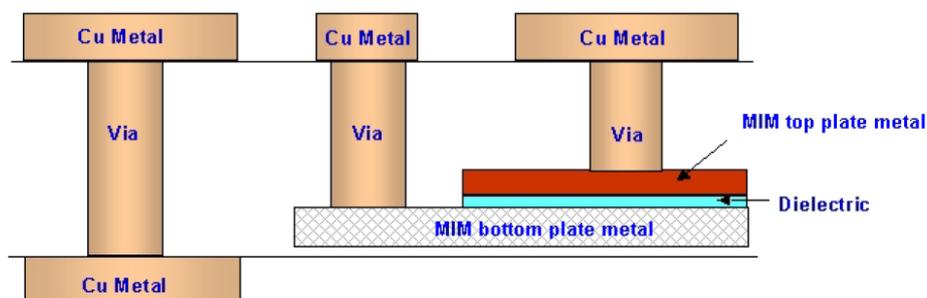


Figura 4.5. Condensador planar Metal-aislante-metal.

La capacidad de los condensadores MIM se calcula mediante la ecuación (4.4), donde ϵ_r es la permitividad relativa del dieléctrico que hay entre las placas, ϵ_0 es la permitividad del

vacío, A representa el área efectiva del condensador y d es la distancia entre las placas metálicas.

$$C = \frac{\epsilon_r \epsilon_0 A}{d} \quad (4.4)$$

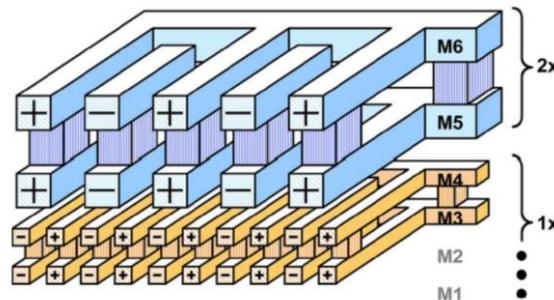


Figura 4.6. Condensador Metal-óxido-metal [43].

Por su parte, los condensadores MOM aprovechan el fenómeno de acoplamiento lateral capacitivo que se genera entre placas metálicas con la misma orientación. La desventaja principal de este tipo de condensadores es la dificultad de obtener valores concretos de capacidad [43], [44], es por ello que se ha decidido trabajar con condensadores tipo MIM.

4.1.2.1 Condensadores de la Tecnología

El condensador MIM de la tecnología CMOS UMC de 65nm empleado es el condensador $2.0\text{fF}/\mu\text{m}^2$. Los parámetros ajustables de dicho modelo son el ancho (W), el largo (L) y la multiplicidad (m). Modificando los valores de ancho y largo del condensador es posible obtener el valor capacitivo que se desee, puesto que estos parámetros afectan directamente al área efectiva del condensador. Por su parte, la multiplicidad simplemente indica el número de condensadores que se desea generar.

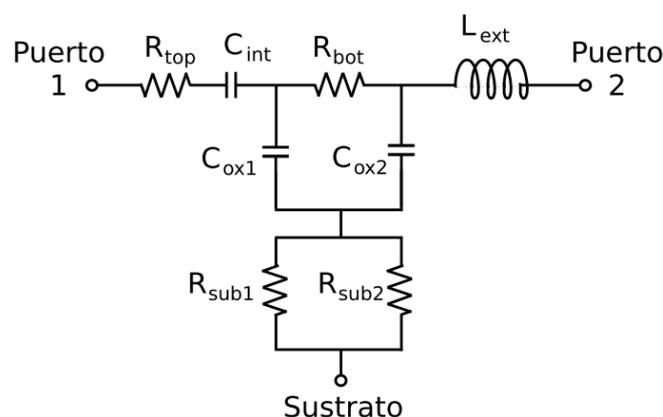


Figura 4.7. Circuito equivalente: condensador MIM $2.0\text{fF}/\mu\text{m}^2$ en la tecnología CMOS UMC 65 nm.

El circuito equivalente de los condensadores MIM de la tecnología se muestra en la Figura 4.7. En este circuito se aprecia que se ha modelado la capacidad interna (C_{int}), una resistencia superior e inferior (R_{top} , R_{bot}), una inductancia parásita en el contacto inferior (L_{ext}), dos capacidades de óxido ($C_{ox1,2}$) y dos resistencias a sustrato ($R_{sub1,2}$) [45].

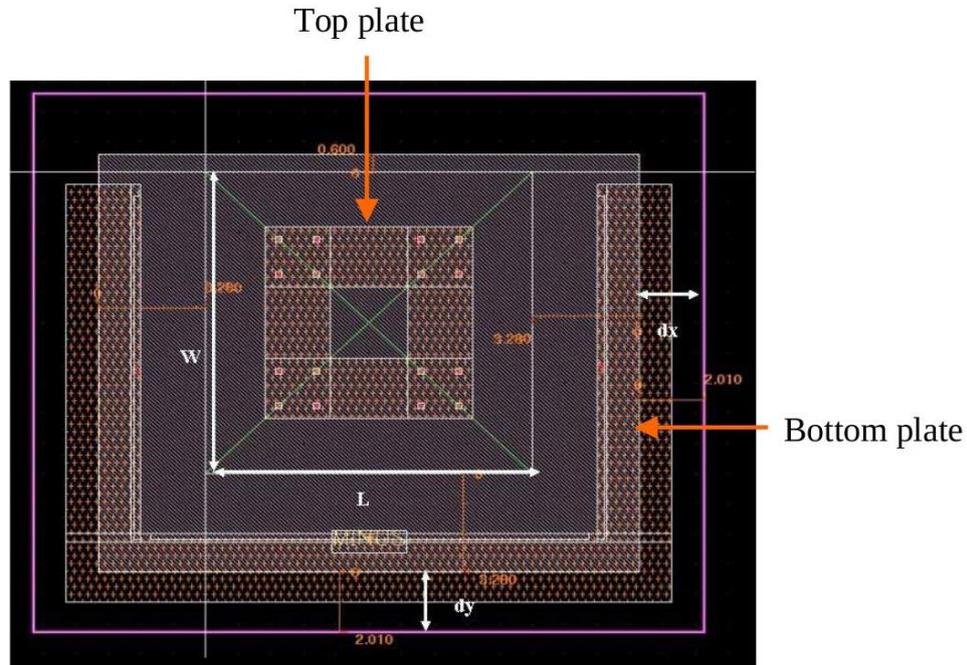


Figura 4.8. Layout de un condensador MIM $2.0fF/\mu m^2$ en la tecnología CMOS UMC de 65 nm. El color marrón claro corresponde al penúltimo metal del proceso (metal7).

El layout del condensador indicado se muestra en la Figura 4.8, generado a partir del asistente del kit de diseño en *Cadence Virtuoso® Layout Suite L*. En la figura se muestran las dimensiones y parámetros de estos elementos. Finalmente, las restricciones a la hora de dimensionar los condensadores MIM se muestran en la tabla Tabla 4.2.

Tabla 4.2. Restricciones del condensador MIM $2.0fF/\mu m^2$ en la tecnología CMOS UMC de 65 nm

Restricciones	
Longitud (L)	$5 \mu m < L < 100 \mu m$
Ancho (W)	$5 \mu m < W < 100 \mu m$
Opción de Metal	2~71
Relación de aspecto (W/L)	De 0.5 a 2
Rango de operación en frecuencia	< 20GHz
Rango de temperatura	-55 °C hasta +125 °C

4.1.3 Bobinas

Por lo general, una bobina integrada se implementa a partir de la definición de una espiral de pistas metálicas sobre un sustrato. En estos dispositivos, los extremos del mismo deberían quedar en los extremos del componente. Sin embargo, al contar solamente con dos dimensiones para implementar inductores integrados, es necesario acceder al extremo interior de la espiral a través de un segundo nivel de metal (terminal denominado *underpass*). Esta situación se refleja en la Figura 4.9.

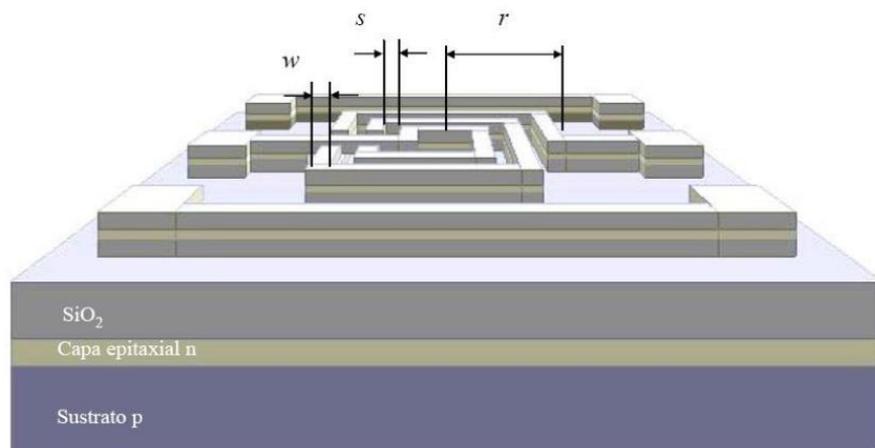


Figura 4.9. Esquema de un inductor integrado con forma cuadrada de espiral simple [46].

En dicha figura se aprecia la disposición de la pista *underpass* y los parámetros geométricos destacables del inductor integrado. El parámetro r determina el radio de la bobina, mientras que la anchura y separación entre pistas vienen determinadas por w y s , respectivamente [47], [48]. Una de las principales características de la bobina es el factor de calidad, que viene determinado por la ecuación (4.5). En esta expresión, el parámetro Y_{11} representa la admitancia de entrada con la salida del circuito cortocircuitada y viene dada por la expresión (4.6), obtenido de los parámetros Y (cuadripolos).

$$Q = \frac{\text{Im}(1/Y_{11})}{\text{Re}(1/Y_{11})} \quad (4.5)$$

$$Y_{11} = \left. \frac{I_1}{V_1} \right|_{V_2=0} \quad (4.6)$$

Es importante indicar que en el PGA no es necesario emplear inductores. Sin embargo, si se desea conocer más información sobre las características de estos elementos en la tecnología es posible encontrar dicha información en [45], [46].

4.1.4 Pads

Para poder medir un circuito integrado directamente sobre la oblea, se emplean estaciones de punta en las que es posible posar una serie de sondas sobre el chip para dar tensión (o corriente) y tomar distintas medidas. Este proceso no sería posible sin añadir antes algún elemento destinado a ofrecer una superficie de contacto para dichas sondas. Asimismo, cuando se encapsula un circuito integrado, es necesario conectar los pines del encapsulado con las señales de entrada/salida del chip, proceso conocido como *wire bonding*. Con el fin de acondicionar una superficie de contacto para estos elementos es necesario añadir un elemento adicional, el *pad*.

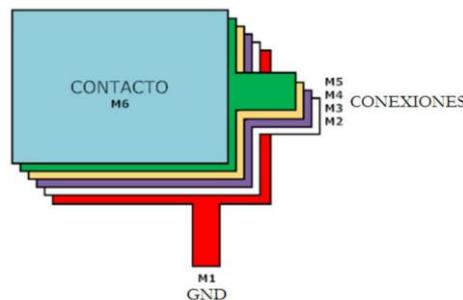


Figura 4.10. Representación por capas de un pad de contacto para un circuito integrado.

Un *pad* se construye a partir de la superposición de varias capas rectangulares metálicas que se interconectan entre sí con una serie de vías [8], situación representada en la Figura 4.10.

4.1.4.1 Pads de la Tecnología

En la tecnología UMC de 65 nm solamente existe un modelo de *pad*, que es el de RF. De hecho, en este proceso de fabricación sólo se permite ajustar el parámetro *Specified Index*, que define el número de capas metálicas de las que se compone el *pad*. Su circuito equivalente y esquema en esta tecnología se presentan en la Figura 4.11 y su *layout*, en la Figura 4.12.

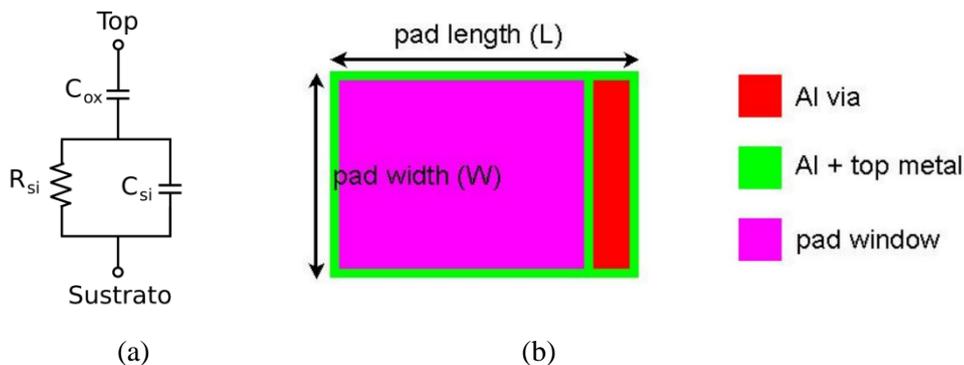


Figura 4.11. Circuito equivalente del pad de RF (a) y arquitectura del mismo en la tecnología (b).

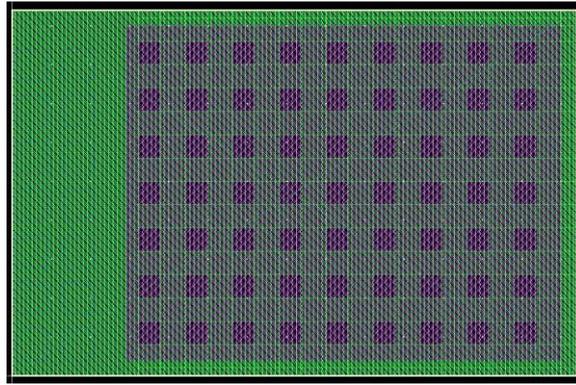


Figura 4.12. Layout del pad de RF generado con el asistente de Cadence Virtuoso® Layout Suite L.

En la Tabla 4.3 se muestran las restricciones de diseño del pad de RF para la tecnología. Como se puede comprobar, las dimensiones de este elemento vienen fijadas a determinados pasos.

Tabla 4.3. Restricciones de dimensionamiento de los pads de RF en tecnología CMOS UMC de 65 nm

Restricciones	
Longitud (L)	72 μm
Ancho (W)	47 μm / 56 μm / 150 μm
Rango de frecuencia	< 20 GHz

4.2 Elementos Activos

Los elementos activos son aquellos que permiten aportar potencia a los circuitos, es decir, producen alguna clase de ganancia. El elemento activo principal que se emplea en este trabajo es el MOSFET. Por tanto, esta sección se centra en la descripción de los modelos de los MOSFETs de la tecnología. Asimismo, se muestra un breve, pero detallado repaso de su funcionamiento.

4.2.1 El Transistor MOS

Los transistores MOS o MOSFETs (*Metal-Oxide-Semiconductor Field-Effect Transistor*) son dispositivos activos caracterizados por la existencia de dos tipos complementarios de transistores (de ahí el nombre de la tecnología CMOS o *Complementary MOS*) [8]–[10]. En primer lugar, los transistores tipo N (NMOS) se caracterizan por estar compuestos por la unión de tres regiones con dopajes N-P-N, donde el canal del transistor se forma en la región de tipo P. Por otro lado, los transistores tipo P (PMOS) se construyen de forma complementaria al unir

tres regiones P-N-P, donde el canal se forma en la región de tipo N. En estos dispositivos, se deposita sobre la región del canal una fina capa de material aislante (en este caso dióxido de silicio, SiO_2) y un contacto de puerta sobre el mismo. Un aspecto importante de los MOSFETs es que poseen cuatro terminales: la puerta, el drenador, la fuente y el sustrato. Estos terminales se suelen identificar con las letras G (*gate*), D (*drain*), S (*source*) y B (*body* o *bulk*), respectivamente. Normalmente, es necesario conectar el sustrato a una determinada tensión que asegure que los diodos parásitos de sustrato (formados por la unión de regiones PN) estén polarizados en inversa y no se produzcan corrientes de fuga. En la Figura 4.13 se muestra una representación de la sección de ambos tipos de transistores.

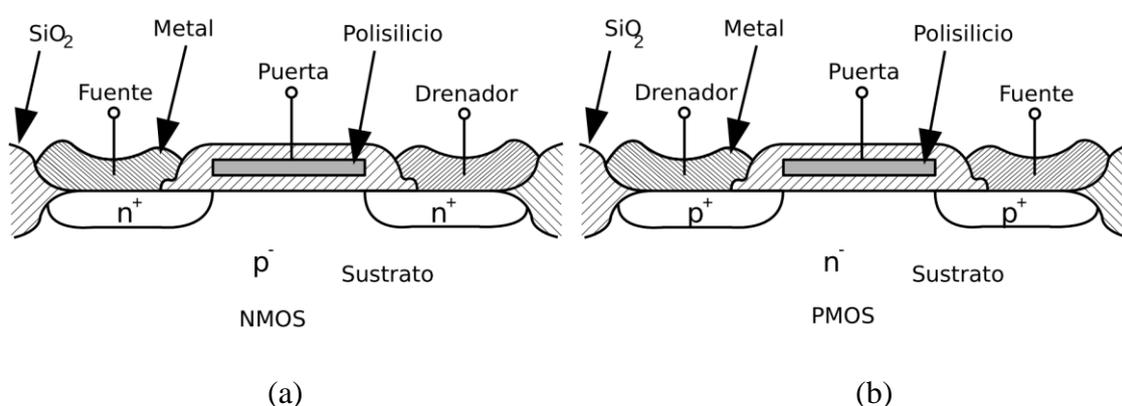


Figura 4.13. Sección de un transistor NMOS (a) y de un PMOS (b).

Las dimensiones principales del transistor MOS son el ancho W y el largo L . Estas magnitudes están representadas en la Figura 4.14, junto con el grosor de la capa de óxido (t_{ox}).

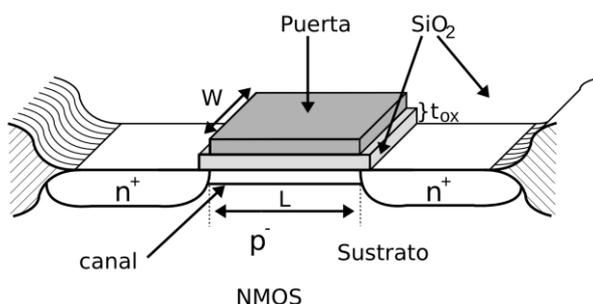


Figura 4.14. Dimensiones básicas del transistor MOS. Por comodidad, se ha seleccionado un tipo N.

La ventaja principal que presentan los MOSFET frente a los transistores bipolares es el hecho de que la puerta está aislada del canal, de forma que no fluye corriente alguna (idealmente) entre la puerta y el sustrato. Este hecho es lo que permite diseñar circuitos de reducido consumo en tecnologías CMOS. Asimismo, las características de la estructura y fabricación del transistor MOS han permitido continuar aumentando la densidad de integración

(es decir, el número de transistores por unidad de área) hasta alcanzar longitudes de puerta por debajo de los 10 nm con dispositivos como los FinFETs. De hecho, los procesos de fabricación CMOS han sido líderes en tecnología de dispositivos semiconductores durante varias décadas y se pronostica que continuarán ocupando una gran parte de este mercado durante al menos dos décadas más.

4.2.1.1 Principio de Operación

Para comprender el funcionamiento de los MOSFETs es necesario introducir antes la notación básica de tensiones y corrientes que los caracterizan, tal y como se muestra en la Figura 4.15. En general, cuando no se indica explícitamente la conexión del terminal de sustrato se asume que se ha conectado al terminal más negativo (GND o VSS) en los NMOS y al más positivo (VCC o VDD) en los PMOS. En la Figura 4.15 se puede distinguir que la corriente característica de los transistores MOS es la denominada corriente de drenador I_D , que fluye de drenador a fuente en los NMOS y de fuente a drenador en los PMOS. A su vez, la tensión que gobierna la operación de los transistores es la tensión puerta-fuente V_{GS} , que determina la corriente máxima que proporciona un transistor MOS en saturación. De igual forma, la tensión V_{DS} es de vital importancia puesto que condiciona la región de operación del MOSFET. Para trabajar con los transistores PMOS existen dos opciones, se pueden escribir los subíndices igual que en los NMOS y trabajar con magnitudes negativas o bien se pueden intercambiar los subíndices y trabajar con tensiones positivas, lo cual, se considera más intuitivo.

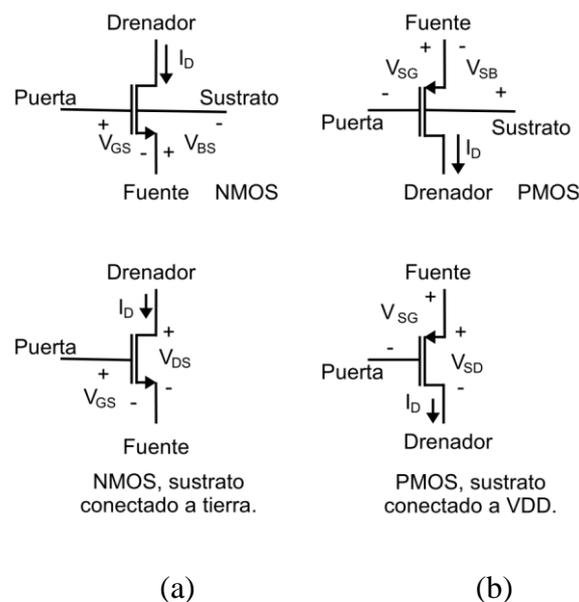


Figura 4.15. Notación básica de tensiones y corrientes en los NMOS (a) y los PMOS (b).

Antes de introducir las regiones de operación de los MOSFETs conviene destacar algunos aspectos clave de su funcionamiento. Un punto importante de estos dispositivos a resaltar es que el canal no se forma de manera abrupta, sino que, al ir aumentando la tensión de puerta de forma gradual, se atraen más cargas negativas hacia la región del canal. Para una tensión dada, la carga en la puerta del transistor es muy elevada y la concentración de portadores en la región del sustrato bajo el óxido se invierte. De esta forma, se crea una fina capa de material tipo N en canal de los NMOS o tipo P en los PMOS. Por este motivo, se dice que ha ocurrido una inversión de portadores en el canal o simplemente que el canal está invertido. En la Figura 4.16 (a) se puede observar la situación descrita.

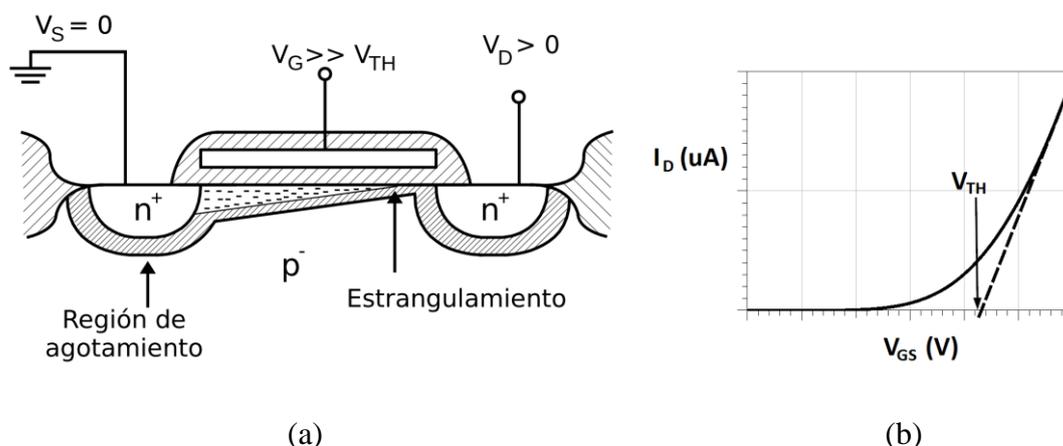


Figura 4.16. Formación del canal en un MOSFET y representación del estrangulamiento (a).

Identificación de la tensión umbral (b)

Dado que la atracción de cargas es gradual y la inversión de canal no es abrupta, es complicado establecer una tensión umbral V_{TH} (*threshold*). Sin embargo, para obtener su valor aproximado se suele representar una gráfica de la corriente de drenador frente a la tensión V_{GS} del transistor y se traza una recta tangente a la pendiente de subida, tal y como se muestra en la Figura 4.16 (b). En la Figura 4.16 (a) se puede observar que, al existir una concentración de portadores elevada, alrededor de la misma se forma una acumulación de cargas ionizadas denominada región de agotamiento o vaciamiento (*depletion*) de portadores.

En la Figura 4.16 (a), se puede apreciar otro importante efecto que surge cuando se trabaja con MOSFET. Cuando la diferencia de tensión entre la puerta y el drenador deja de ser muy grande, se atrae menor cantidad de cargas negativas en la zona del canal cercana al drenador. Por lo tanto, se dice que el canal está “estrangulado” cerca del drenador y su longitud efectiva disminuye. Cuando ocurre dicha situación el transistor está saturado. De forma similar a los transistores bipolares, los MOSFETs presentan tres regiones de operación, tal y como se puede ver en la Figura 4.17. El transistor MOS puede estar en:

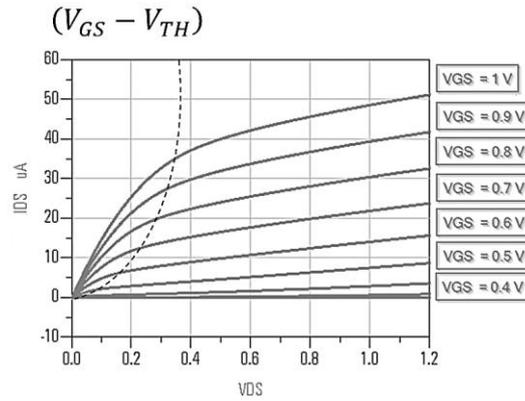


Figura 4.17. Curvas I_D frente a V_{DS} para diferentes valores de V_{GS} .

- ❖ **Zona de Corte:** ocurre cuando la tensión V_{GS} apenas es suficientemente elevada para que se forme la inversión del canal. Independientemente de la tensión V_{DS} aplicada, no fluye corriente por el MOSFET. Esta zona de operación también se da si el canal está formado, pero la V_{DS} no es suficiente como para que fluya corriente. En este caso la expresión que gobierna el funcionamiento del transistor viene dada como indica la ecuación (4.7).

$$I_D = 0; \quad \begin{cases} V_{GS} \leq V_{TH}; V_{DS} > 0 \\ \text{o bien} \\ V_{GS} > V_{TH}; V_{DS} \leq 0 \end{cases} \quad (4.7)$$

- ❖ **Zona Lineal:** tiene lugar cuando el canal está formado y además hay suficiente diferencia de tensión entre el drenador y la fuente como para que fluyan portadores. En este caso, para tensiones V_{DS} pequeñas, el comportamiento del transistor se puede aproximar por una expresión lineal. Por tanto, la relación que gobierna el MOSFET viene dada por la expresión (4.8), siendo μ_n la movilidad de los electrones y C_{ox} la capacidad del óxido bajo la puerta.

$$I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right]; \quad \begin{cases} V_{GS} \geq V_{TH} \\ V_{DS} > 0 \end{cases} \quad (4.8)$$

- ❖ **Zona de Saturación:** cuando ocurre el fenómeno de estrangulamiento del canal cerca del drenador, el MOSFET alcanza una corriente de drenador I_{Dsat} aproximadamente constante. En este caso, el comportamiento del transistor viene dado por la ecuación (4.9).

$$I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})^2; \quad \begin{cases} V_{GS} > V_{TH} \\ V_{DS} > (V_{GS} - V_{TH}) \end{cases} \quad (4.9)$$

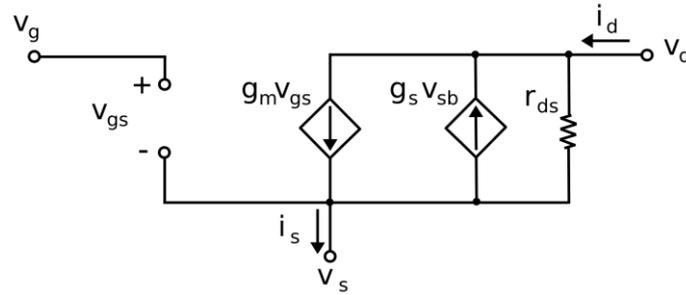


Figura 4.18. Modelo en pequeña señal para un transistor MOS.

4.2.1.2 Modelo en Pequeña Señal

A la hora de diseñar circuitos con MOSFETs es necesario trabajar con un modelo simplificado del mismo. Este se denomina modelo en pequeña señal y con él se busca representar la respuesta del MOSFET frente a pequeñas variaciones en las tensiones de polarización. El modelo empleado se puede ver en la Figura 4.18. En este caso, se dice que el transistor MOS se comporta como una fuente de corriente controlada por tensión, donde esta relación viene dada por g_m , que representa la transconductancia del transistor. El valor de este parámetro viene dado por la ecuación (4.10). De igual forma, la resistencia r_{ds} modela la resistencia del canal del transistor o lo que es lo mismo, su impedancia de salida cuando está en saturación. Este parámetro se calcula tal y como dicta la expresión (4.11). La segunda fuente de corriente modela el efecto sustrato o *body effect*, que hace variar la tensión umbral del transistor MOS. El parámetro λ representa el efecto de modulación de canal, responsable de la pendiente que aparece en la región de saturación de los MOSFET. Si el lector desea profundizar en lo relativo a este tema, es posible encontrar información detallada sobre estos efectos en multitud de referencias bibliográficas [8]–[10], [49], [50].

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) = \frac{\partial I_D}{\partial V_{GS}} \quad (4.10)$$

$$r_{ds} = \frac{1}{\lambda \cdot I_D} \quad (4.11)$$

Cabe destacar que el transistor MOSF está formado por una serie de uniones de regiones con diferentes dopajes, por lo que entre sus terminales se forman una serie de capacidades parásitas. Esta situación se observa en la Figura 4.19, donde los valores de dichas capacidades se pueden calcular siguiendo las instrucciones de la Tabla 4.4. En esta tabla se observan los diferentes valores en función de la región de operación del transistor. Las capacidades C_{GD0} y

C_{GS0} representan la capacidad asociada a la penetración de la difusión del drenador y la fuente bajo la puerta, C'_{ox} representa la capacidad del óxido bajo la puerta, C_{GB0} representa la capacidad de la extensión de polisilicio sobre la región del canal, C_{jd} representa la capacidad de la unión en el drenador y C_{js} indica la capacidad de la unión en la fuente [9].

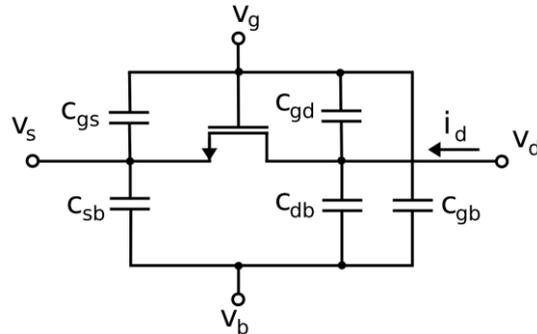


Figura 4.19. Modelo de capacidades parásitas del transistor MOS en pequeña señal.

Tabla 4.4. Capacidades del MOSFET

Capacidad	Corte	Lineal	Saturación
C_{gd}	$C_{GD0} \cdot W$	$\frac{1}{2} \cdot W \cdot L \cdot C'_{ox}$	$C_{GD0} \cdot W$
C_{db}	C_{jd}	C_{jd}	C_{jd}
C_{gb}	$C'_{ox}WL_{eff} + C_{GB0}L$	$C_{GB0} \cdot L$	$C_{GB0} \cdot L$
C_{gs}	$C_{GS0} \cdot W$	$\frac{1}{2} \cdot W \cdot L \cdot C'_{ox}$	$\frac{2}{3} \cdot W \cdot L \cdot C'_{ox}$
C_{sb}	C_{js}	C_{js}	C_{js}

4.2.1.3 Conducción Sub-umbral

Tal y como se observa en la Figura 4.16 (b), donde se representa el cálculo de la tensión umbral del MOSFET, cuando $V_{GS} \approx V_{TH}$ la corriente que circula por el canal dista de ser nula. En este caso, existe una débil capa de inversión en el canal, por lo que puede circular una pequeña corriente desde el drenador hacia la fuente. A su vez, cuando $V_{GS} < V_{TH}$ la corriente de drenador presenta una dependencia exponencial con V_{GS} . Este fenómeno recibe el nombre de conducción sub-umbral y puede ser generalizado para una V_{DS} mayor de unos 100 mV tal y como dicta la expresión (4.12).

$$I_D = I_0 \exp \frac{V_{GS}}{\xi V_T} \quad (4.12)$$

En esta expresión, I_0 es proporcional a la relación de aspecto del transistor, $\xi > 1$ es un factor de no idealidad y $V_T = kT/q$ con k siendo la constante de Boltzmann y q la carga del electrón [8].

4.2.1.4 MOSFETs de la Tecnología

La tecnología CMOS de la *foundry* UMC de 65 nm está compuesta por una amplia variedad de transistores MOS. En primer lugar, los transistores se dividen en dos grupos principales: los de banda base o *mixed-mode* y los de RF. Por otro lado, dentro de estos dos grupos se dispone de cuatro tipos de transistores: *Low Voltage Threshold* o LVT, *Regular Voltage Threshold* o RVT, *High Voltage Threshold* o HVT y *Native Voltage Threshold* o NVT. Esta variedad de transistores es debida a que en los procesos de fabricación de semiconductores es posible modificar la tensión umbral de los dispositivos, añadiendo implantaciones de dopantes en la región del canal. De esta forma, se obtienen los tres tipos de transistores modificados y el MOSFET NVT con tensión umbral sin modificar. Cabe destacar, que las diferencias en la tensión umbral afectan tanto a la velocidad de respuesta de los dispositivos como a las corrientes de fuga que sufren. De esta forma, los HVT son los más lentos, pero con menores corrientes de fuga y los LVT son los más rápidos, pero con mayores pérdidas. Asimismo, en esta tecnología es posible disponer de transistores de tipo N sobre pozo profundo de tipo N (*Deep N-Well*) para poder controlar por separado la tensión de sustrato de dicho transistor. Estos últimos se identifican con el acrónimo BPW. Los modelos de la tecnología reciben el nombre de la siguiente forma: N_BPW_12_LLHVTRF. Este transistor es un HVT de bajas pérdidas (*Low Leakage*) para RF con una tensión de ruptura de 1.2 V de tipo N sobre un *Deep N-Well*.

Tabla 4.5. Restricciones de los transistores MOS de la tecnología CMOS UMC de 65 nm

<i>Magnitud</i>	<i>Mínimo</i>	<i>Máximo</i>
<i>Longitud (L)</i>	60 nm	3 μ m
<i>Ancho (W)</i>	80 nm	10 μ m
V_{GS}	0 V	1.2 V
V_{DS}	0 V	1.2 V
V_{BS}	1.2 V	0 V

En este trabajo se realizaron pruebas con varios tipos de transistores, en particular los RVT y LVT. Al igual que con los elementos anteriores, los MOSFET también poseen una serie de restricciones que se han resumido en la Tabla 4.5.

En los transistores MOS es posible emplear las llamadas estructuras *multi-finger*. De hecho, los fabricantes aconsejan adoptar estas estructuras dadas las múltiples ventajas que aportan:

- ❖ Mejoran la flexibilidad en el *layout* de los transistores.
- ❖ En ocasiones disminuyen el área ocupada por el circuito.
- ❖ Reducen la resistencia de canal del MOSFET.
- ❖ Mejoran la precisión y el ajuste de dispositivos (*matching*).

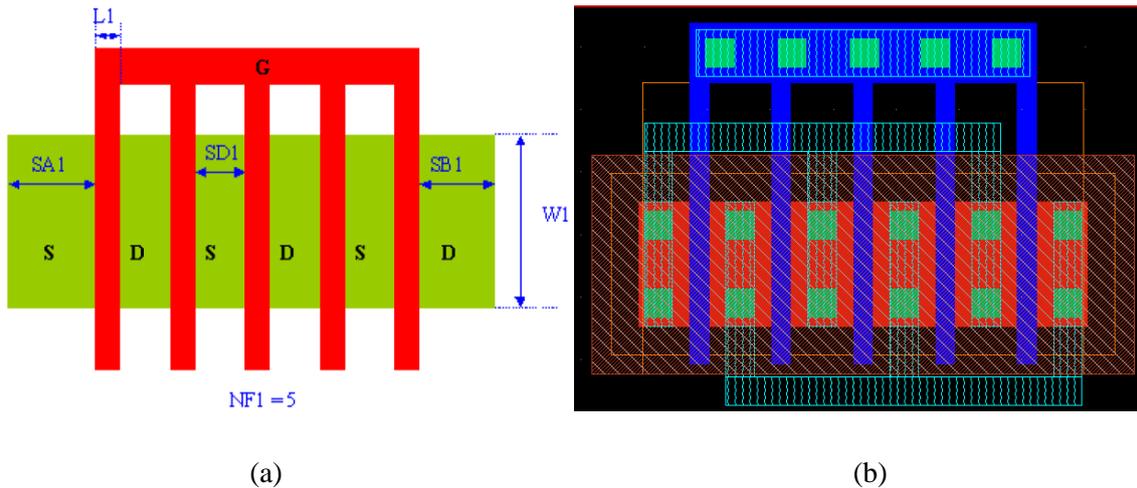


Figura 4.20. Diagrama de bloques de la estructura multifinger (a) y ejemplo del layout de un MOSFET multifinger (b).

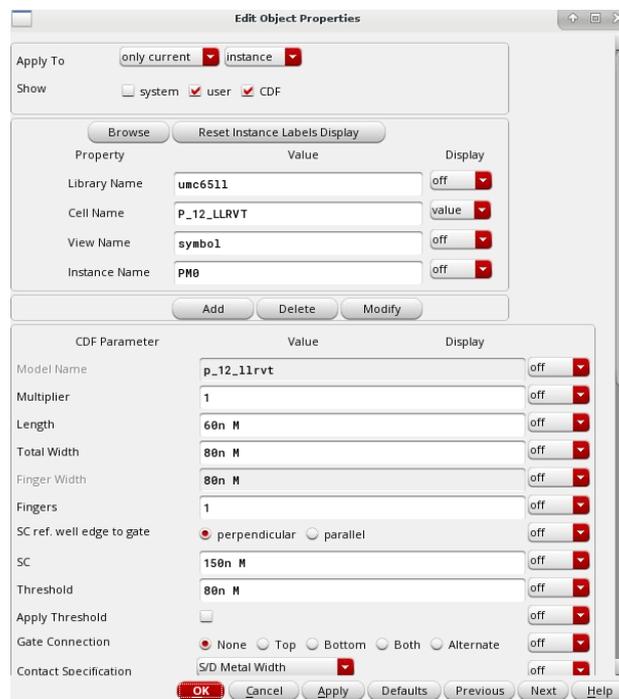


Figura 4.21. Parámetros del transistor MOS LVT en Cadence Virtuoso® Layout Suite L.

En la Figura 4.20 se muestra un ejemplo de una estructura *multi-finger* en la tecnología CMOS UMC de 65 nm con las dimensiones características del dispositivo. Asimismo, en la Figura 4.21 se muestra el asistente de la herramienta EDA (*Electronic Design Automation*) de Cadence para dimensionar un transistor LVT. En dicha figura se puede distinguir la longitud (*length*), el ancho total (*total width*), el número de *fingers* y otros parámetros de dimensionamiento.

4.2.2 Diodos

Un diodo es la unión de dos semiconductores formada por una región de tipo P y otra de tipo N. Un diodo tiene una gran variedad de funcionalidades, se pueden emplear para aislar eléctricamente una región semiconductor de otra, para protección frente a Descargas Electroestáticas (ESD), para crear capacidades de vaciamiento, capacidades de valor variable controlado por tensión, etc. En la Figura 4.22 se puede apreciar la formación de un diodo de unión PN.

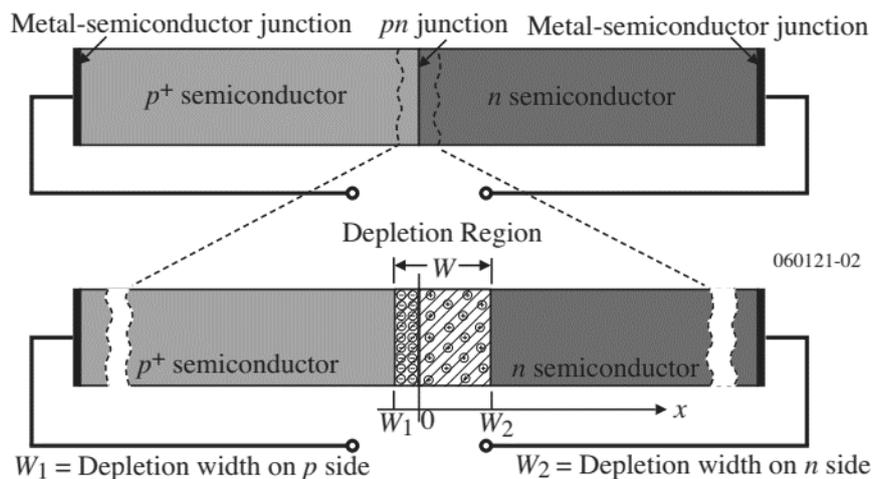


Figura 4.22. Diodo de unión PN [10].

Al poner en contacto dos regiones de distinto dopaje, se forma una región de vaciamiento de portadores denominada zona de carga espacial, esta situación se representa en la parte inferior de la Figura 4.22 [10]. Esta región aísla los dos semiconductores produciendo un campo eléctrico entre ambos. Al aplicar una diferencia de tensión positiva (en la región tipo N respecto a la región tipo P), la barrera de potencial se reduce. De esta forma, la zona de carga espacial se reduce, permitiendo la difusión de portadores de una región a otra, que crece de forma exponencial con el aumento de la corriente de polarización. Como resultado, la característica I-V del diodo presenta un aspecto semejante al de la Figura 4.23.

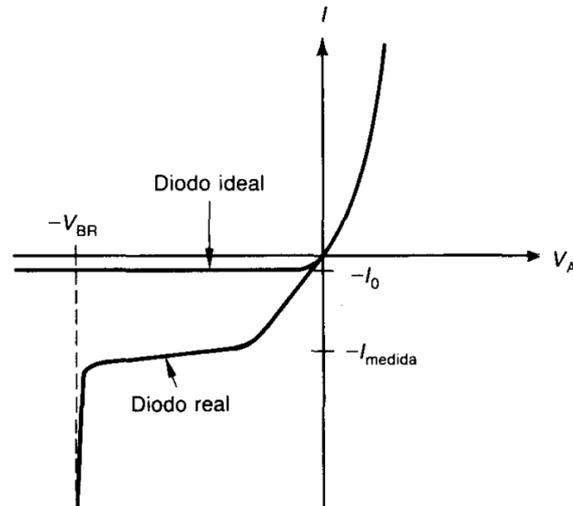


Figura 4.23. Gráfica I-V del diodo de unión PN[51].

Asimismo, al aplicar una tensión de polarización negativa, el valor del campo eléctrico en la zona de carga espacial aumenta. Cabe destacar que, a mayor campo eléctrico, mayor velocidad de desplazamiento de los portadores. Para un determinado valor de este campo eléctrico, los portadores aceleran a un valor energético suficientemente elevado para que se liberen pares electrón-hueco al colisionar con un átomo de la estructura cristalina. Este fenómeno se conoce como ruptura por avalancha. A su vez, es posible dopar fuertemente las regiones P y N de forma que la tensión de ruptura por avalancha sea muy elevada. En estos casos, se cumple la condición para que ocurra el fenómeno de efecto túnel, principio de operación de los diodos Zener [10].

4.2.2.1 Diodos de la tecnología

En la tecnología CMOS UMC de 65 nm se pueden distinguir los siguientes tipos de diodos de bajas pérdidas, cuyo *layout* se ha recogido en la Figura 4.24::

- ❖ DION: Diodo de difusión N+ sobre pozo tipo P.
- ❖ DIOP: Diodo de difusión P+ sobre pozo tipo N.
- ❖ DIONW: Diodo de pozo tipo N sobre sustrato tipo P.
- ❖ DIODNW: Diodo en un *Deep N-Well* sobre sustrato tipo P.
- ❖ DIODP: Diodo de pozo tipo P enterrado en un *Deep N-Well*.

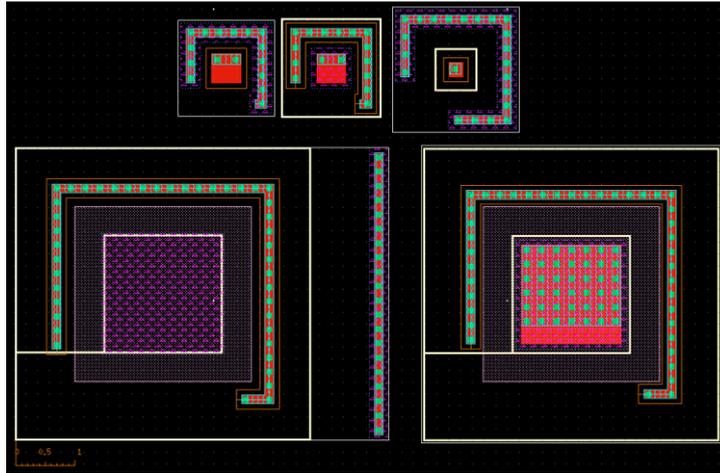


Figura 4.24. Diodos disponibles en la tecnología CMOS UMC de 65 nm. De izquierda a derecha y de arriba abajo: DION, DIOP, DIONW, DIODNW y DIODP. La referencia es de 1 μm .

Las restricciones para estos dispositivos se resumen en la Tabla 4.6.

Tabla 4.6. Restricciones de diseño para los diodos de la tecnología CMOS UMC de 65 nm

<i>Tipo de diodo</i>	<i>Magnitud</i>	<i>Mínimo</i>	<i>Máximo</i>
<i>DION</i>	<i>L y W</i>	<i>0.5 μm</i>	<i>20 μm</i>
<i>DIOP</i>	<i>L y W</i>	<i>0.5 μm</i>	<i>20 μm</i>
<i>DIONW</i>	<i>L y W</i>	<i>0.45 μm</i>	<i>-</i>
<i>DIODP</i>	<i>L y W</i>	<i>0.45 μm</i>	<i>-</i>
<i>DIODNW</i>	<i>L y W</i>	<i>3 μm</i>	<i>-</i>
<i>-</i>	<i>Temperatura</i>	<i>-55°C</i>	<i>+125°C</i>

4.3 Conclusiones

A lo largo del presente capítulo se han desglosado los elementos más relevantes de la tecnología CMOS UMC de 65 nm. Se ha puesto mayor énfasis en el estudio de las resistencias, condensadores y transistores ya que son los tres elementos principales del PGA diseñado. Para cada uno de los elementos se ha estudiado su principio de operación, sus parámetros más relevantes y las restricciones de diseño a las que están sometidos en la tecnología. A su vez, se ha presentado el circuito equivalente de cada uno de los elementos y las particularidades dentro de este proceso de fabricación. En la Tabla 4.7 se muestra un resumen de los elementos principales para este trabajo.

Tabla 4.7. Componentes principales de la tecnología CMOS UMC de 65 nm

Tipo de dispositivo	Nombre	Tipo de dispositivo	Nombre
Transistor	<i>N_12_LLHVT</i>	Resistencia	<i>RSND_LL</i>
Transistor	<i>P_12_LLHVT</i>	Resistencia	<i>RNDP_LL</i>
Transistor	<i>N_12_LLRTV</i>	Resistencia	<i>RSPD_LL</i>
Transistor	<i>P_12_LLRTV</i>	Resistencia	<i>RNNPO_LL</i>
Transistor	<i>N_12_LLLVT</i>	Resistencia	<i>RSNPO_LL</i>
Transistor	<i>P_12_LLLVT</i>	Resistencia	<i>RNPPO_LL</i>
Transistor	<i>N_12_LLNTV</i>	Resistencia	<i>RSPPO_LL</i>
Transistor	<i>P_12_LLNTV</i>	Resistencia	<i>RNHR_LL</i>
Transistor	<i>N_BPW_12_LLHVT</i>	Resistencia	<i>RSNWELL_LL</i>
Transistor	<i>P_BPW_12_LLHVT</i>	Resistencia	<i>R_m1_LL</i>
Transistor	<i>N_BPW_12_LLRTV</i>	Resistencia	<i>R_1x_LL</i>
Transistor	<i>P_BPW_12_LLRTV</i>	Resistencia	<i>R_2x_LL</i>
Transistor	<i>N_BPW_12_LLLVT</i>	Resistencia	<i>R_4x_LL</i>
Transistor	<i>P_BPW_12_LLLVT</i>	Resistencia	<i>R_6x_LL</i>
Transistor	<i>N_BPW_12_LLNTV</i>	Diodo	<i>DION_LL</i>
Transistor	<i>P_BPW_12_LLNTV</i>	Diodo	<i>DIOP_LL</i>
Condensador	<i>MIMCAP_20F_MM</i>	Diodo	<i>DIONW_LL</i>
PAD	<i>PAD_RF</i>	Diodo	<i>DIODP_LL</i>
Resistencia	<i>RNND_LL</i>	Diodo	<i>DIODNW</i>

Capítulo 5. Diseño a Nivel de *Layout*

Tras realizar el estudio de la estructura interna del PGA y los elementos que lo forman, se procede a realizar el *layout* del mismo. Este proceso consiste en definir las máscaras de fabricación del circuito integrado. Para localizar errores rápidamente y simplificar las simulaciones y el trabajo a realizar, se ha realizado en primer lugar el *layout* de cada uno de los circuitos por separado. Una vez obtenidos los circuitos y probado su funcionamiento por separado, se ensamblan todos ellos para obtener el PGA completo.

La herramienta de diseño empleada es *Cadence Virtuoso® Layout Suite L*, integrada en la versión IC6.1.7-64b.500.4 del software de *Cadence*. Asimismo, los modelos de los componentes empleados corresponden al proceso de fabricación CMOS de 65 nm de la *foundry* UMC. Con este software y la herramienta *Cadence Virtuoso® Analog Design Environment L* es posible realizar el *layout* completamente a medida, así como las simulaciones *post-layout* necesarias para verificar el funcionamiento de los circuitos.

A continuación, se presenta el desglose de los circuitos que componen el PGA completo. Primero, se presenta el OTA y cada una de sus etapas y posteriormente se muestra la resistencia variable. El capítulo finaliza con la presentación del PGA de una etapa.

5.1 Proceso de Diseño

El diseño sobre esquemático se realizó sobre la herramienta EDA *Advanced Design System* (ADS) de Keysight Technologies. Por tanto, el primer paso del proceso consiste en trasladar los circuitos de ADS a *Cadence*. Este paso es fundamental para asegurarse de que no existen errores en los *setups* de simulación ni diferencias en los resultados de ambas herramientas. En cualquier caso, las diferencias deberían ser despreciables. Para mantener una extensión razonable del documento se ha obviado este paso, ya que los resultados mostrados en el Capítulo 3 corresponden a las simulaciones tras el rediseño, el cual se realizó directamente en *Cadence*.

5.1.1 Conocimientos Previos

Antes de proceder a explicar el esquema de trabajo es necesario introducir brevemente una serie de conocimientos previos sobre el proceso de *layout*. Los procesos de fabricación CMOS actuales cuentan con más de 200 pasos distintos, que se pueden resumir en los siguientes:

1. Proceso de cristalización de una oblea para generar el tipo de sustrato deseado.
2. Fotolitografía o definición extremadamente precisa de las diferentes regiones del circuito.
3. Oxidación, implantación o, en general, adición de materiales a la oblea.
4. Eliminación o perfilado de materiales sobre la oblea.

Básicamente, el trabajo del ingeniero electrónico en este proceso se centra en el segundo paso: la fotolitografía. Para ello, se divide un *layout* en una serie de capas que representan las regiones que componen los dispositivos (difusión N+, P+, los pozos tipo N y tipo P, el polisilicio, los diferentes metales, las vías y contactos, etc), que serán empleadas en los diferentes pasos del proceso de fabricación. Por ejemplo, para implementar un MOSFET se realizan una serie de implantaciones sobre el sustrato para crear regiones de difusión con distintos dopajes, se genera una fina capa de óxido sobre el canal, se extiende el polisilicio en la misma región, se establecen ventanas de contactos de drenador y fuente, se deposita el metal 1, etc. De hecho, en la librería de la tecnología existen multitud de capas que a primera vista no parecen tener un significado físico, pero son necesarias para la generación de un determinado dispositivo. Un ejemplo podría ser una región de polisilicio donde no se desea depositar siliciuro para mantener un elevado valor resistivo (capa denominada *High resistance*).

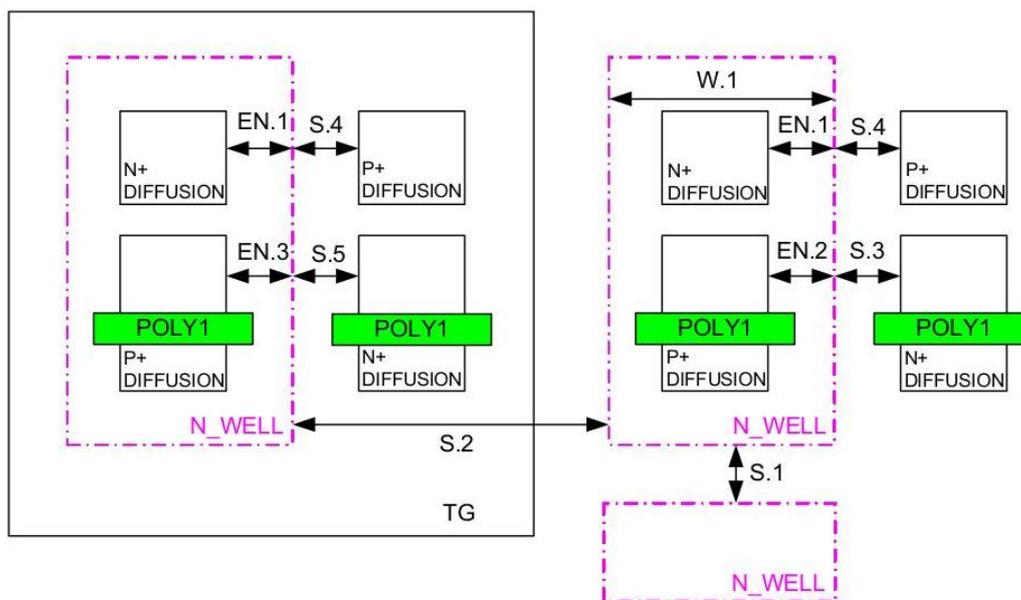


Figura 5.1. Ejemplo de definición de espaciado, contención y anchura mínimos.

Dadas las propiedades físicas de los materiales y del propio proceso de fabricación, es necesario seguir una serie de reglas de diseño que definen algunos parámetros que el diseñador no puede modificar. Estas reglas se denominan *Topological Layout Rules* (TLR) del proceso y permiten que los dispositivos y las interconexiones sean fabricados adecuadamente dentro de las tolerancias del proceso. Por ejemplo, el diseñador no puede modificar el espesor de los metales y del polisilicio o la penetración de una región activa en el sustrato. Prácticamente todas estas reglas se pueden clasificar dentro de cuatro grupos principales [8], [9], tres de los cuales se representan en la Figura 5.1.

- ❖ La anchura mínima suele definir a la propia tecnología (UMC 65 nm tiene una anchura mínima de puerta de 65 nm) y viene impuesta por la precisión de las máscaras litográficas. En la Figura 5.1 se puede ver la regla codificada como W.1, que representa la anchura del pozo tipo N.
- ❖ Para asegurar una definición adecuada de dispositivos, evitar cortocircuitos o que dos regiones interfieran entre sí, se definen una serie de reglas de espaciado, por ejemplo, las reglas S.1-S.5 de la figura.
- ❖ Igualmente, para asegurar que un dispositivo, un contacto o una región quede contenida en una geometría determinada (como un PMOS en un pozo tipo N) es necesario definir un espacio mínimo de contención. En la Figura 5.1, las reglas EN.1-EN.3 representan este caso.
- ❖ Finalmente, algunos elementos deben extenderse más allá de los bordes de un elemento, como el polisilicio sobresale ligeramente de las regiones del drenador y la fuente, por lo que es necesario definir las reglas de mínima extensión.

Otros efectos importantes son la electro-migración o el efecto antena. En materiales como el aluminio es posible que el paso de una corriente muy elevada con el tiempo produzca el desplazamiento de los átomos en la red del material que forma la pista, provocando que la pista quede cortada [8]. Para ello se define una densidad de corriente máxima que soportan las pistas, definida por el documento de *Process Electrical Design Rules* (EDR). A su vez, como los MOSFETs poseen una finísima capa de óxido entre el canal y la puerta, es posible que una descarga electrostática (ESD) de elevada magnitud supere la tensión de ruptura del óxido y produzca daños irreversibles en esta región, abriendo una ruta de corrientes de fuga de la puerta al canal. De hecho, como se generan dopajes a partir de la implantación de iones, es posible

que la acumulación de carga en las pistas de metal provoque este tipo de descargas sobre la puerta de los transistores. Por lo tanto, para evitarlo se pueden introducir pequeños diodos de protección o se pueden pasar las interconexiones a capas superiores de metal para aislar las puertas de los MOSFETs de este tipo de descargas.

5.1.2 Optimización del *layout*

A continuación, se mencionan algunos de los aspectos más importantes a la hora de realizar la implementación física del circuito:

- ❖ Evitar introducir pistas excesivamente largas, ya que producen elevadas capacidades parásitas.
- ❖ Evitar emplear elementos de dimensiones elevadas puesto que las variaciones de proceso pueden provocar diferencias con los resultados de simulación. Conviene segmentar los dispositivos para minimizar este problema.
- ❖ Los espacios vacíos entre dispositivos se deben rellenar con contactos a sustrato conectados a tierra para evitar que interfieran corrientes indeseadas en el circuito.
- ❖ Conviene sobredimensionar el ancho de las pistas ligeramente para asegurar que soporten la corriente esperada sin degradarse.
- ❖ Conviene emplear tantas vías o contactos como sea posible a la hora de realizar interconexiones, puesto que así se reduce la resistencia de la interconexión.
- ❖ Los MOSFETs deben emplear estructuras *multifinger* cuando sea posible para reducir la resistencia del canal.
- ❖ Dado que se trata de un circuito diferencial, las prestaciones dependen fundamentalmente de la simetría del circuito. Por ello, conviene que las rutas de ambas señales sean lo más simétricas posible para evitar que se produzcan *offsets* referidos a la entrada, que pueden degradar la sensibilidad del circuito.

5.1.3 Procedimiento

El flujo de trabajo seguido para este proyecto es:

1. Traslación de los circuitos de ADS a *Cadence*.
2. Realizar la descripción de *layout* de cada circuito siguiendo las reglas de diseño.

3. Verificación de las reglas de diseño (*Design Rule Check* o *DRC*), comparación de *layout* frente a esquemático (*Layout vs Schematic* o *LVS*) y extracción de parásitas del circuito.
4. Simulación sobre los *setups* anteriores de los circuitos extraídos, proceso denominado simulación *post-layout*.
5. Si los resultados no son adecuados, se estudia si es necesario retocar el *layout* o el esquemático.

5.2 *Layout* del OTA

El esquemático del OTA se ha subdividido en cuatro bloques: la fuente de corriente, la etapa de entrada, la etapa de salida y el circuito de CMFB. En la Figura 5.2 se presenta el esquemático resultante en *Cadence Virtuoso® Schematic Editor L*.

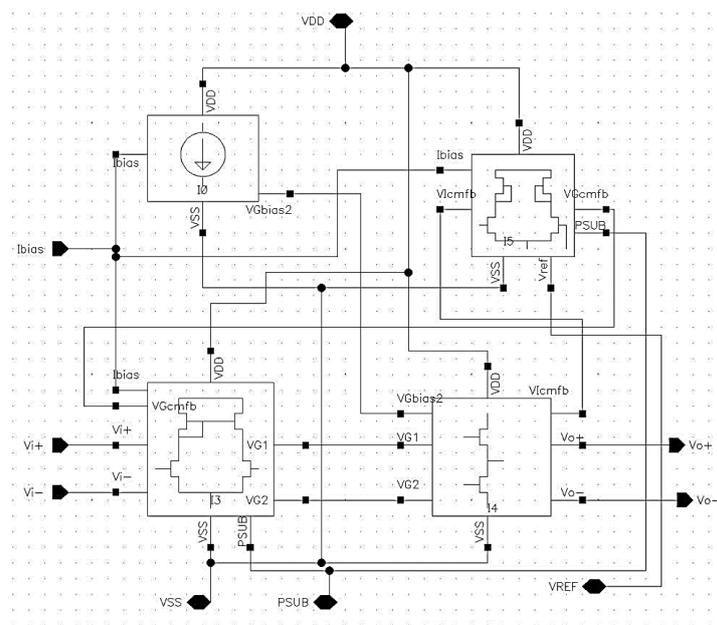


Figura 5.2. Esquemático del OTA separado por etapas.

En primer lugar, el circuito de la fuente de corriente posee una entrada denominada I_{bias} , puesto que se establece como un pin externo y además es el punto de polarización del espejo del par diferencial y el CMFB. También posee la salida V_{Gbias2} que polariza los PMOS del Clase A. De igual forma, el par diferencial tiene dos salidas, V_{G1} y V_{G2} , que son las entradas de los dos Clase A de la etapa de salida. Asimismo, recibe como entrada la señal de control del CMFB denominada V_{Gcmfb} . El circuito del amplificador Clase A ofrece al CMFB la señal del modo común a la salida V_{lcmfb} . Finalmente, como se menciona en el capítulo anterior, los NMOS del

par diferencial y el CMFB se han introducido en un pozo profundo tipo N para manejar el efecto sustrato y regular su tensión umbral externamente mediante el pin PSUB. A continuación, se muestran cada uno de los circuitos para terminar con el *layout* del OTA completo.

5.2.1 Fuente de Corriente

El circuito de la fuente de corriente se describe con detalle en el capítulo anterior y se puede ver representado en *Cadence* en la Figura 5.3. A su vez, el *layout* de este circuito se muestra en la Figura 5.4.

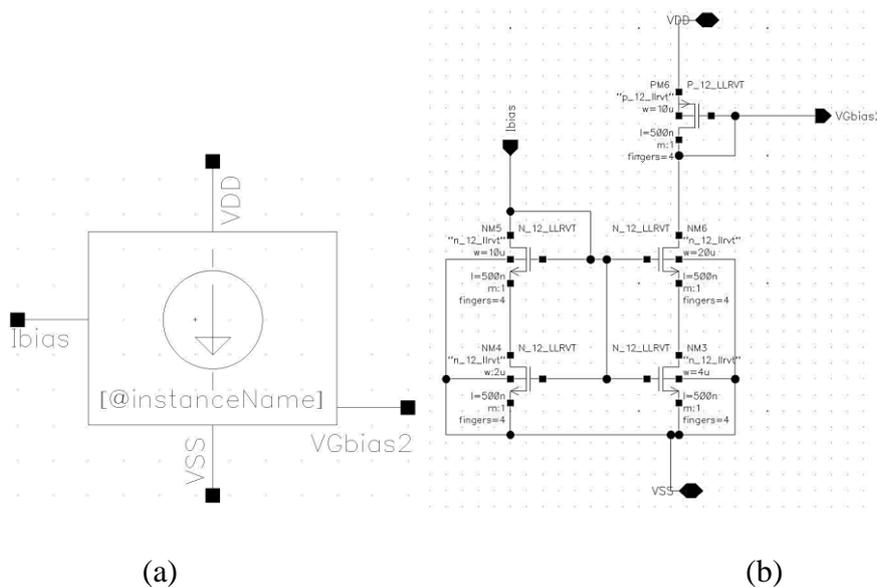


Figura 5.3. Símbolo (a) y esquemático (b) de la fuente de corriente en Cadence.

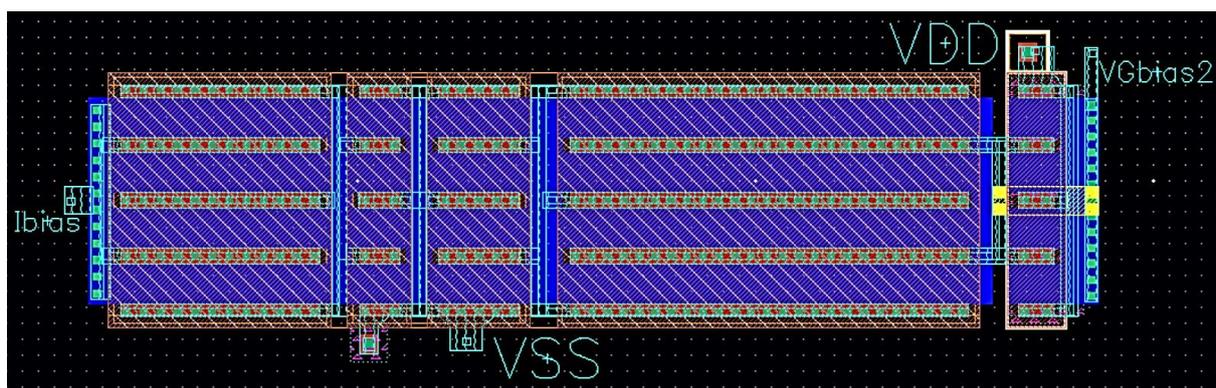


Figura 5.4. Layout de la fuente de corriente del OTA.

Como se puede apreciar, se emplean cuatro *fingers* para implementar los transistores. A su vez, se han unido las puertas de los NMOS compartiendo el polisilicio, que puede ser usado con este fin siempre y cuando sea para unir regiones cercanas. Esto se debe a que este material

es altamente resistivo y puede degradar el funcionamiento del circuito. A la izquierda de la Figura 5.4 se puede ver el pin de I_{bias} y a la derecha del todo el de V_{Gbias2} . El único transistor PMOS del circuito es el que se sitúa a la derecha en la figura, donde se puede ver en metal 2 (color amarillo) la conexión de la puerta con el drenador.

Una vez realizado el *layout*, es necesario ejecutar el *Design Rules Check* (DRC) para comprobar que no se han violado ninguna de las normas de diseño de la tecnología. Para este propósito disponemos de dos herramientas: *Assura*[®] *Physical Verification* (de *Cadence*[®]) y *Calibre*[®] (de *Mentor Graphics*). La herramienta *Assura* ha sido empleada para ejecutar la verificación de la mayoría de los circuitos, aunque otras pruebas, como las de efecto antena, fueron realizadas con la herramienta *Calibre*. Para ejecutar el DRC es necesario configurar los *Switches* del proceso, que son opciones que activan o desactivan grupos de reglas de diseño para que sean chequeadas según la implementación realizada. En la Figura 5.5 se aprecia la vista del asistente para ejecutar el DRC en *Cadence* con la herramienta *Assura*, donde se pueden seleccionar los diferentes *Switches* y la opción de metales empleada.

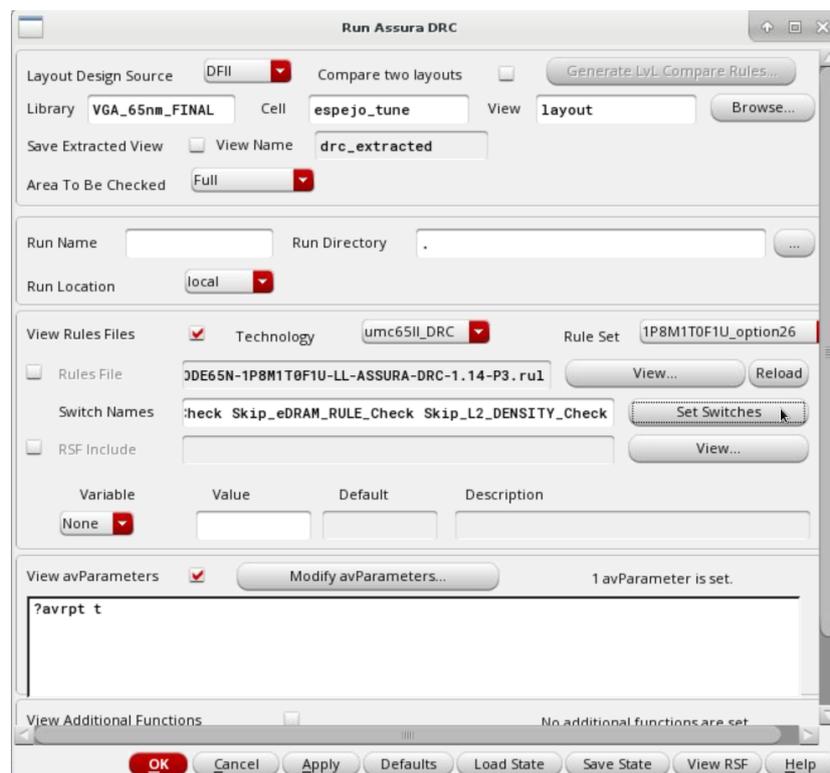


Figura 5.5. Vista del asistente de DRC de Assura en Cadence Virtuoso[®] Layout Suite L.

Una vez ejecutado el DRC se mostrará un mensaje en pantalla como el de la Figura 5.6, indicando que no se ha violado ninguna regla de diseño. Si hay alguna regla de diseño que no

se haya cumplido, aparecerá un asistente con el propósito de facilitar la tarea de localizar y corregir dichos errores.

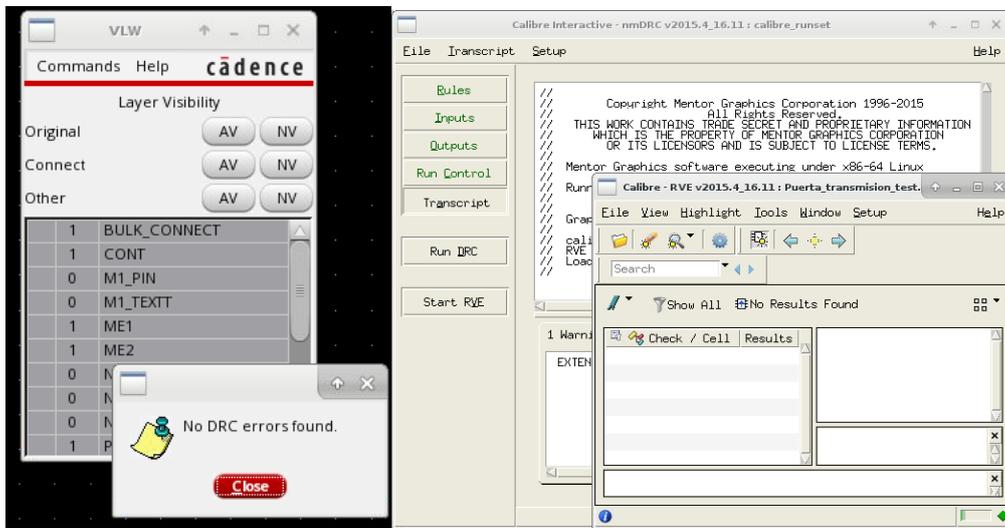


Figura 5.6. Mensaje de DRC correcto de Assura a la izquierda, mensaje de DRC correcto de Calibre a la derecha.

El siguiente paso del proceso es ejecutar un test LVS para que la herramienta de diseño compruebe que el *layout* y el esquemático coinciden. Es posible que este test falle si se da alguno de los siguientes puntos:

- no se generan adecuadamente los pines de entrada/salida y, por lo tanto, no coinciden,
- hay alguna conexión que ha sido implementada de forma incorrecta,
- existe algún cortocircuito o circuito abierto en alguna conexión,
- o si hay algún parámetro de los dispositivos que no coincide.

Al igual que para el DRC, a la hora de ejecutar el LVS es necesario configurar una serie de aspectos. Tras seleccionar los *switches* correspondientes y la opción de metales en la que se está trabajando, se ejecuta el LVS. Si el esquemático y el *layout* coinciden, aparecerá en pantalla un mensaje como el de la Figura 5.7 (en el caso de *Assura*). Si no es así, aparecerá el asistente de localización de errores o *mismatches* y será necesario corregir los defectos del circuito.

Por último, una vez pasado el DRC y el LVS correctamente, se procede a obtener la extracción de parásitas del circuito. Para ello, se emplea la herramienta *Cadence® Quantus™ Extraction Solution (Quantus QRC)*. En este caso, *Quantus QRC* se apoya en los resultados del test LVS para obtener la extracción de resistencias y capacidades

parásitas. Para ello se debe indicar qué parásitas se desea extraer y dar un nombre al archivo que se va a generar. Para cada caso, se obtiene una vista extraída donde la herramienta detecta los diferentes componentes de la tecnología empleados y asocia las resistencias y capacidades parásitas introducidas por las pistas, las vías, las interconexiones, superposiciones, etc.

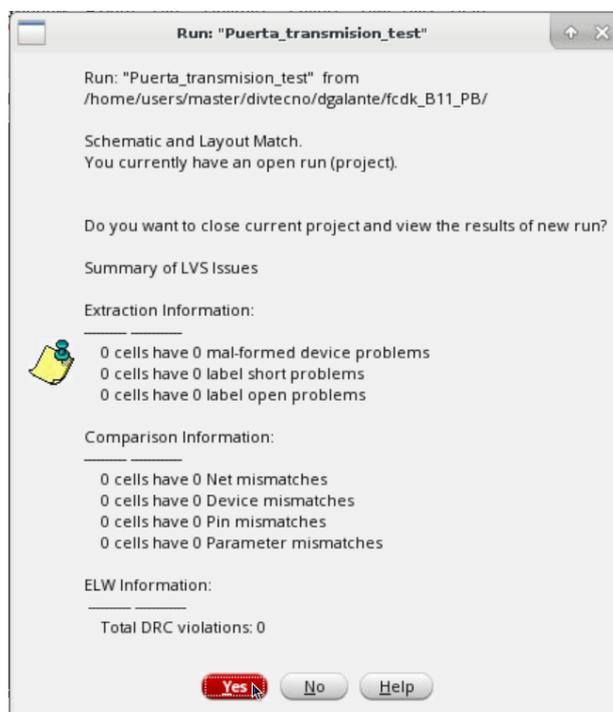


Figura 5.7. Mensaje de test de LVS correcto en Assura.

Cabe destacar que este procedimiento se ha seguido para absolutamente todos los circuitos que se describen a continuación. Esto consiste en un proceso iterativo, en el cual ha sido necesario ir corrigiendo errores de DRC y LVS a medida que se han realizado los distintos *layouts*. Sin embargo, para hacer más amena la lectura del documento, se han obviado estos pasos en el proceso de *layout* y se presentan directamente los resultados finales del procedimiento.

5.2.2 Etapa de Entrada

La etapa de entrada del OTA está compuesta por el par diferencial con carga activa representado en la Figura 5.8. Se puede apreciar que el contacto de sustrato de los NMOS del par se ha dejado como un pin externo, y los modelos de los transistores son los N_BPW_12_LLRTV que corresponden a los NMOS sobre *Deep N-Well*. A partir de este circuito se generan los diferentes componentes y se realizan las conexiones correspondientes para obtener la vista del *layout* de este circuito, que se presenta en la Figura 5.9. Los transistores

sobre *Deep N-Well* son los que quedan dentro del recuadro blanco, el NMOS de la izquierda es el transistor que copia la corriente de la fuente y los PMOS son los dos transistores de la derecha. En esta figura se aprecia claramente la consecuencia de emplear condensadores en un circuito integrado. El NMOS de la izquierda tiene unas dimensiones de $2.82 \mu\text{m} \times 3.2 \mu\text{m}$, mientras que un condensador ocupa $18.8 \mu\text{m} \times 16 \mu\text{m}$, que equivale a nueve veces su área.

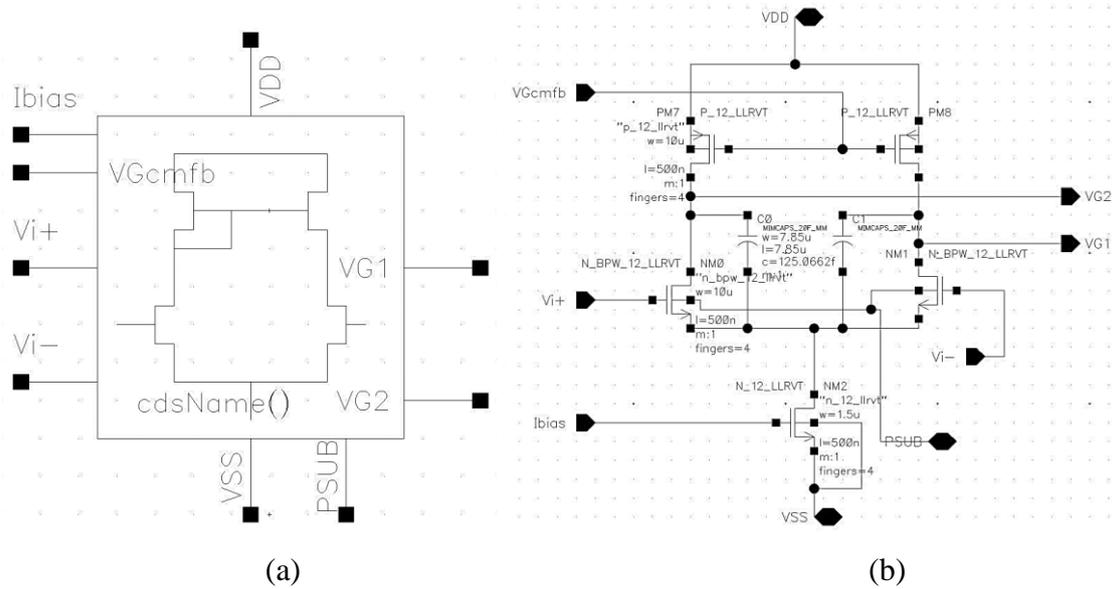


Figura 5.8. Símbolo (a) y esquemático (b) del par diferencial en Cadence.

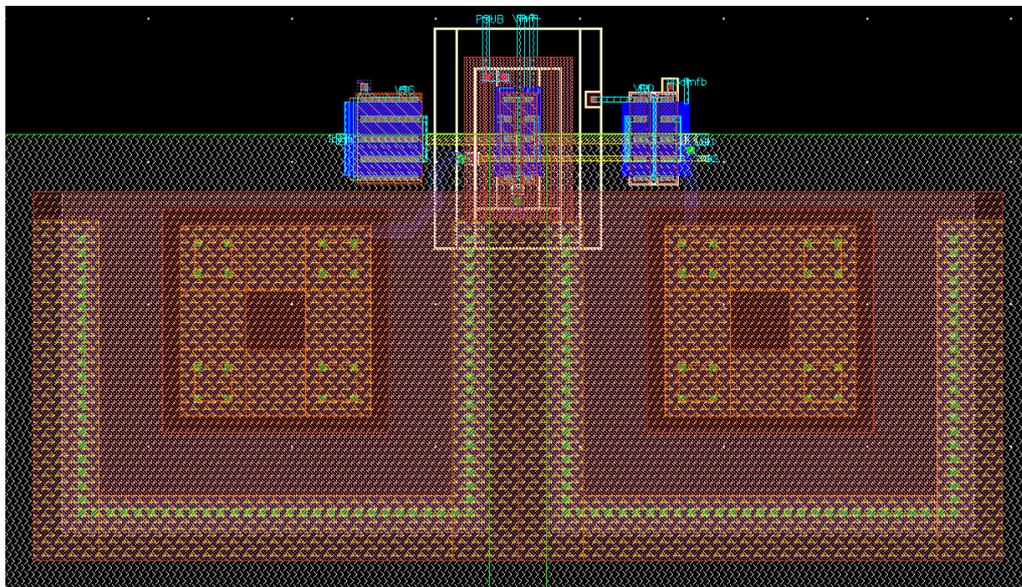


Figura 5.9. Layout del par diferencial, etapa de entrada del OTA.

Al igual que en el caso anterior, se procede a realizar los test de DRC y LVS y se obtiene la vista extraída de la etapa de entrada del OTA.

5.2.1 Etapa de salida

La etapa de salida del OTA se muestra en la Figura 5.10, donde se aprecian los dos amplificadores Clase A, cuya salida se conecta a la red resistiva-capacitiva de la derecha, encargada de medir la tensión en modo común para ofrecerla al CMFB. Se han puesto las resistencias del comparador dentro de un símbolo rectangular para poder segmentarlas manualmente en la vista de *layout*.

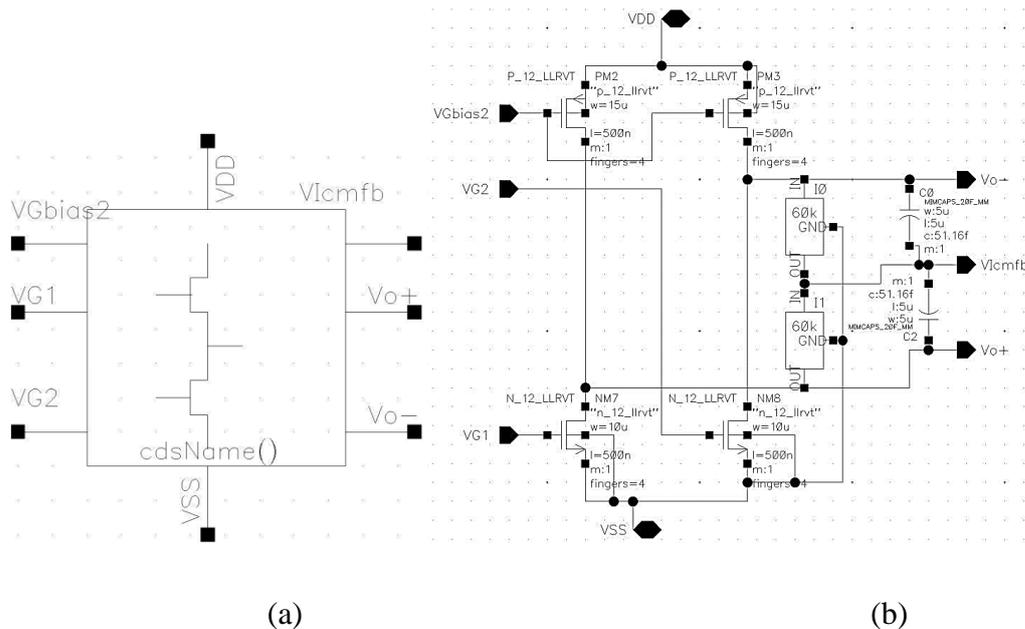


Figura 5.10. Símbolo (a) y esquemático (b) del amplificador Clase A en Cadence.

El *layout* de la etapa de salida se muestra en la Figura 5.11, donde se aprecia de nuevo el consumo de área que conlleva el uso de condensadores. En este caso, las capacidades seleccionadas son de 50 fF, que equivalen a unas dimensiones de 10 μm x 10 μm . Inmediatamente debajo de los dos condensadores se sitúan las dos resistencias RNHR_RF segmentadas de 60 k Ω . Se recuerda que las resistencias empleadas, tal como se indicó en el Capítulo 4, no son las RNHR_LL de señal mixta sino las de RF. Esto se debe a que la herramienta de extracción de componentes presenta un error a la hora de identificar las dimensiones de las RNHR_LL de señal mixta, lo cual conduce a error en las simulaciones de *Cadence*. Esto conlleva un trabajo adicional, ya que las RNHR_RF requieren de una segmentación a medida, mientras que las de banda base permitían segmentación automática gracias al asistente de *Cadence*. Debajo de las resistencias, se encuentran a la izquierda los dos NMOS y a la derecha los dos PMOS que constituyen el Clase A, interconectados en metal 1 (azul) y metal 2 (amarillo).

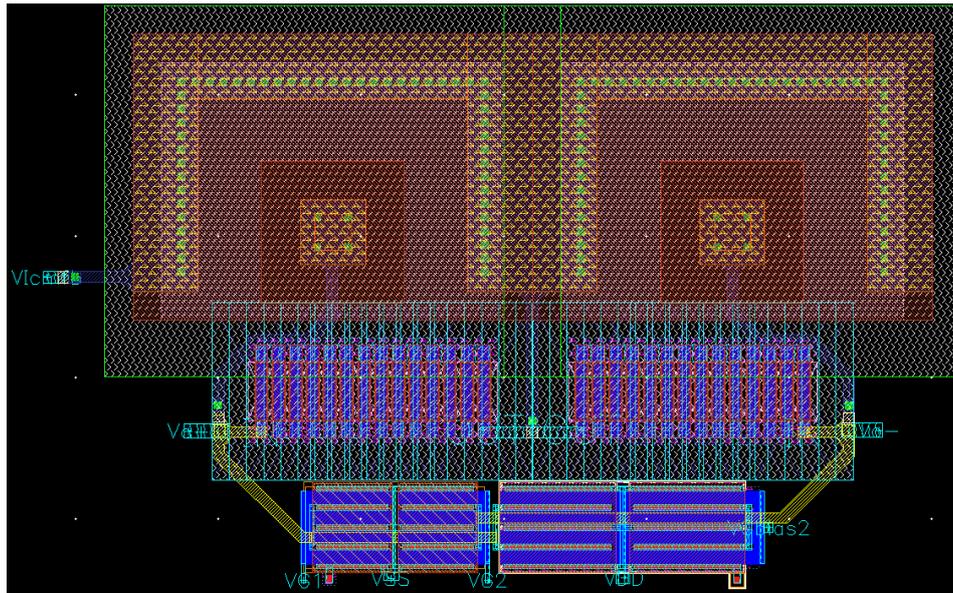


Figura 5.11. *Layout del amplificador Clase A, etapa de salida del OTA.*

5.2.1 CMFB

El circuito CMFB juega un papel fundamental ya que se encarga de realizar el ajuste del modo común a la salida del OTA. El esquemático de este elemento se presenta en la Figura 5.12, donde se puede observar de nuevo que la conexión del sustrato de los NMOS del par diferencial se ha conectado al pin PSUB para su control externo. Como ya se ha dicho anteriormente, las dimensiones de los MOS son idénticas a los de la etapa de entrada.

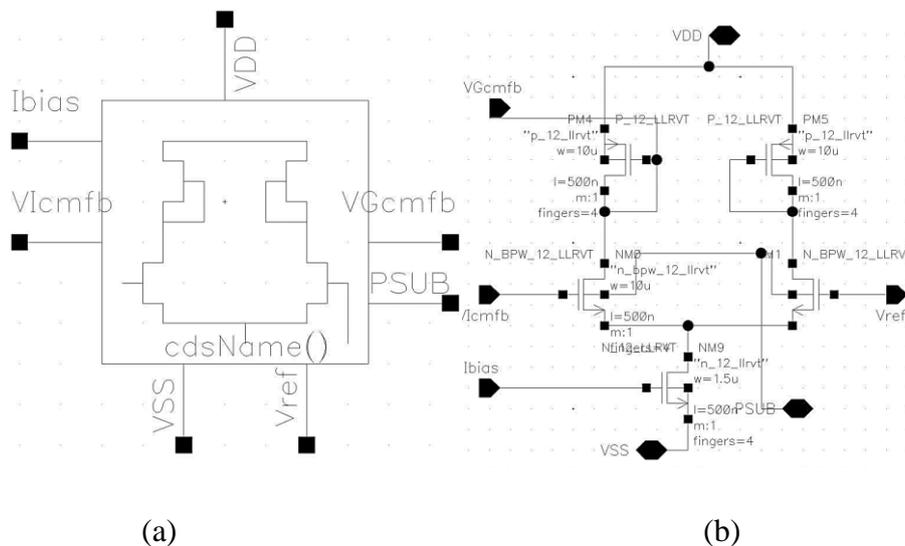


Figura 5.12. *Símbolo (a) y esquemático (b) del circuito CMFB en Cadence.*

En la Figura 5.13 se muestra el *layout* del circuito CMFB, que es prácticamente igual al par diferencial de entrada salvo por la ausencia de las capacidades de compensación y un ligero

matiz en la interconexión de los PMOS (drenador y puerta cortocircuitados). Asimismo, la entrada de uno de los NMOS, que se encuentran sobre un *Deep N-Well*, se conecta al pin V_{ref} . Este pin representa la tensión de 0.6 V que fija el modo común a la salida.

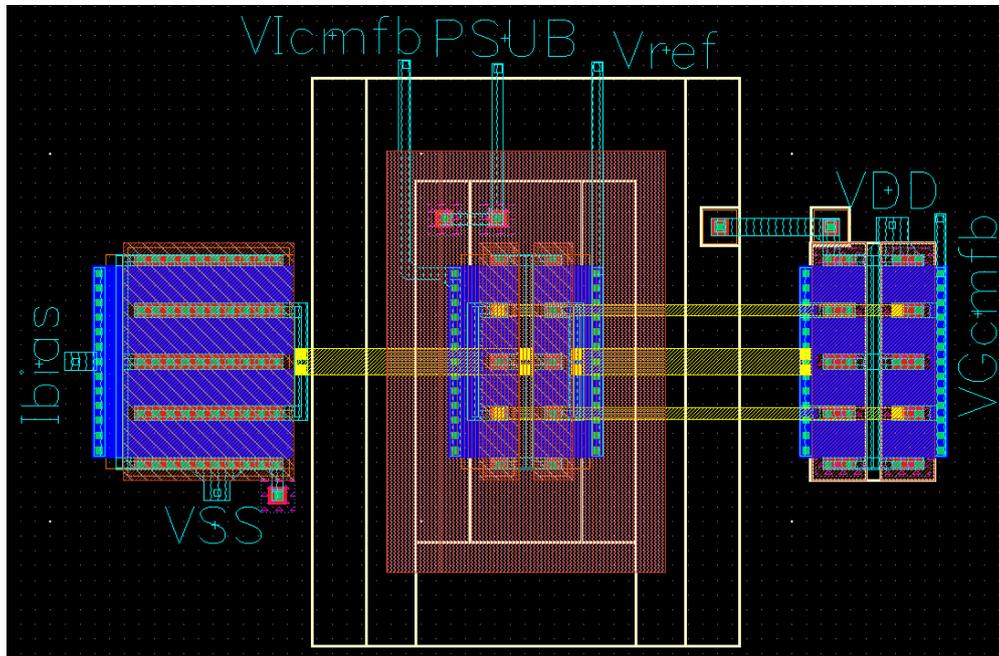


Figura 5.13. Layout del circuito CMFB.

5.2.2 OTA Completo

La vista del *layout* del OTA completo tiene el aspecto que se muestra en la Figura 5.14. Cabe destacar que, en este caso, se han introducido los NMOS del par diferencial y los del CMFB dentro del mismo pozo tipo N para manejar su V_{TH} de manera conjunta. Para ello es necesario dejar un margen significativo con otros dispositivos para que la formación del *Deep N-Well* no afecte negativamente a los mismo. Asimismo, al agrupar los NMOS de esta forma se reducen las posibles variaciones de proceso a la hora de generar los dispositivos.

La distribución que se ha seguido para realizar este *layout* es la siguiente: los MOSFET situados directamente a la izquierda del *Deep N-Well* son los de la fuente de corriente. Sobre estos, se sitúan los PMOS del Clase A y el de la fuente de corriente. A la derecha del *Deep N-Well* se encuentran los PMOS del par diferencial y el CMFB, mientras que en el extremo derecho se sitúan los NMOS de los amplificadores Clase A. Para este diseño se han realizado todas las interconexiones de los transistores en metal 1, 2 y 3, mientras que las interconexiones con los condensadores deben hacerse en metal 7 puesto que estos dispositivos se encuentran

en metales más elevados. A su vez, se han llevado todos los pines (menos los de la señal entrante) hacia la derecha pensando en la interconexión con la segunda etapa del PGA.

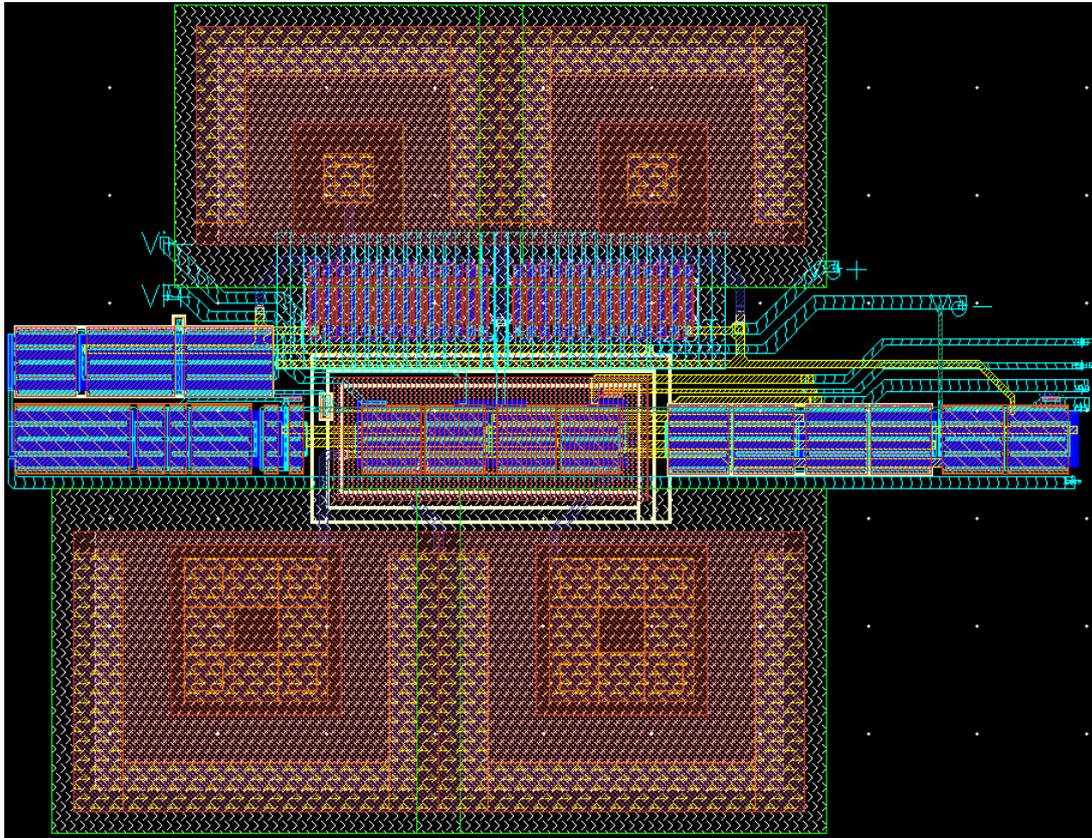


Figura 5.14. *Layout del OTA completo.*

5.3 *Layout* de la Resistencia Variable

Tal y como se ha visto en el Capítulo 3, la resistencia variable está formada por tres bloques principales: puertas de transmisión, una serie de resistencias en cascada y un multiplexor. A continuación, se presenta cada uno de estos bloques por separado, para concluir con el *layout* completo de la resistencia variable.

5.3.1 *Layout* de la Puerta de Transmisión

Una puerta de transmisión contiene dos transistores complementarios conectados en paralelo y un inversor conectado entre las puertas de ambos transistores, tal y como se muestra en la Figura 5.15. Asimismo, se puede ver el *layout* de este circuito en la Figura 5.16. Este elemento posee pines de alimentación, entrada, salida y tensión de control. Los dos transistores de la parte superior de la figura representan el inversor, que ha sido implementado con

componentes de dimensiones mínimas, mientras que los dos MOSFETs inferiores son los transistores de paso. Cabe recordar que la estructura de las puertas de transmisión posee unos transistores con $W = 4 \mu\text{m}$, $L = 60 \text{ nm}$ y 4 fingers, tanto para los NMOS como para los PMOS. Estas dimensiones se seleccionan con el fin de obtener una resistencia de paso R_{ON} reducida y que estos dispositivos afecten los menos posible al valor de la resistencia variable.

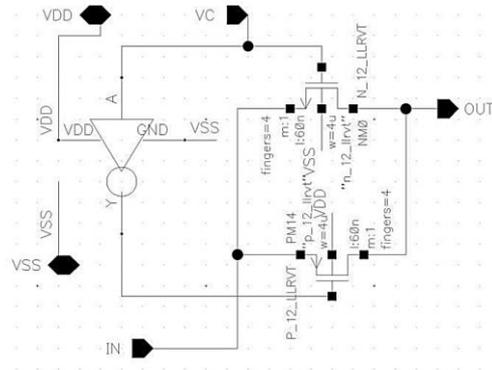


Figura 5.15. Esquemático de la puerta de transmisión.

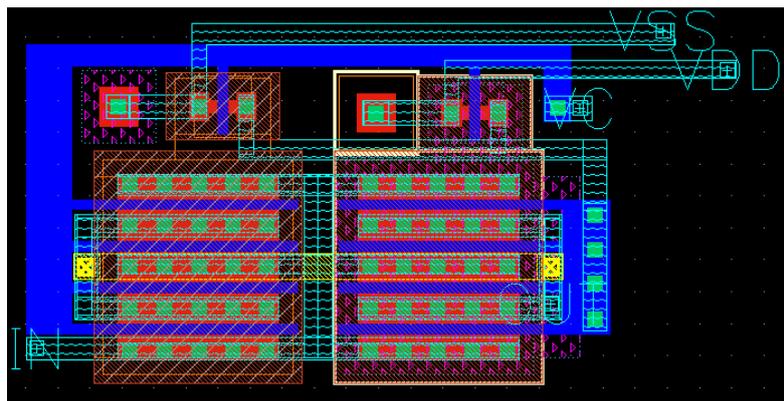


Figura 5.16. Layout de la puerta de transmisión.

5.3.2 Layout de las Resistencias

Al igual que en las resistencias del amplificador Clase A, en este caso la implementación física de las resistencias se ha realizado empleando modelos de polisilicio de elevado valor resistivo de RF (RNHR_RF), dado que estos elementos son los que mayor valor resistivo alcanzan empleando un consumo de área mínimo. Asimismo, todas ellas han sido segmentadas individualmente.

Partiendo del diseño sobre esquemático, los valores de las resistencias se resumen en la Tabla 5.1. Cabe destacar que la estructura consiste en situar 8 resistencias en serie con *switches*

(puertas de transmisión) intermedios que cortocircuitan cada resistencia con la salida. La idea es situar en serie todas las resistencias, donde la primera tiene el valor necesario para el primer nivel, la segunda es la diferencia entre la primera resistencia y la necesaria para el segundo nivel, y así hasta la octava resistencia.

Tabla 5.1. Valores de las resistencias seleccionadas

<i>Valor total de R_f ($k\Omega$)</i>	<i>R_i ($k\Omega$)</i>	<i>Switch activo</i>
4.8	4.8	1
7.3	2.5	2
10.74	3.44	3
15.64	4.9	4
22.54	6.9	5
32.23	9.69	6
45.9	13.67	7
65.9	20	(ninguno)

El *layout* de la resistencia variable sin el multiplexor se puede ver representado en la Figura 5.17. En esta figura se pueden ver las puertas de transmisión agrupadas en la parte superior y las resistencias segmentadas en la parte inferior interconectadas en metal 1. La alimentación y control de las puertas de transmisión se dejan por la parte superior del *layout* para incluir el multiplexor a continuación.

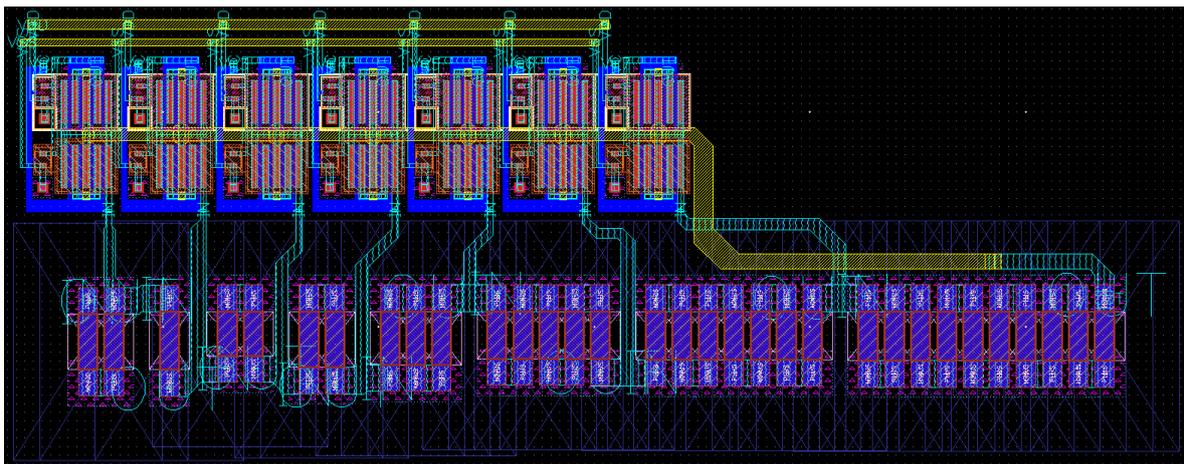


Figura 5.17. *Layout de la Resistencia Variable.*

5.3.1 Layout del Multiplexor

El multiplexor implementado es de tres entradas y siete salidas, puesto que solamente hay siete señales de control. Se puede ver el esquemático del multiplexor diseñado en la Figura 5.18 y su *layout* en la Figura 5.19. De forma semejante al esquemático, se han situado las puertas AND en la zona inferior del *layout* y los tres inversores en la parte superior del mismo. En este caso, se han aprovechado las diferentes capas de metal para realizar las interconexiones, que son visiblemente más complejas que en los casos anteriores.

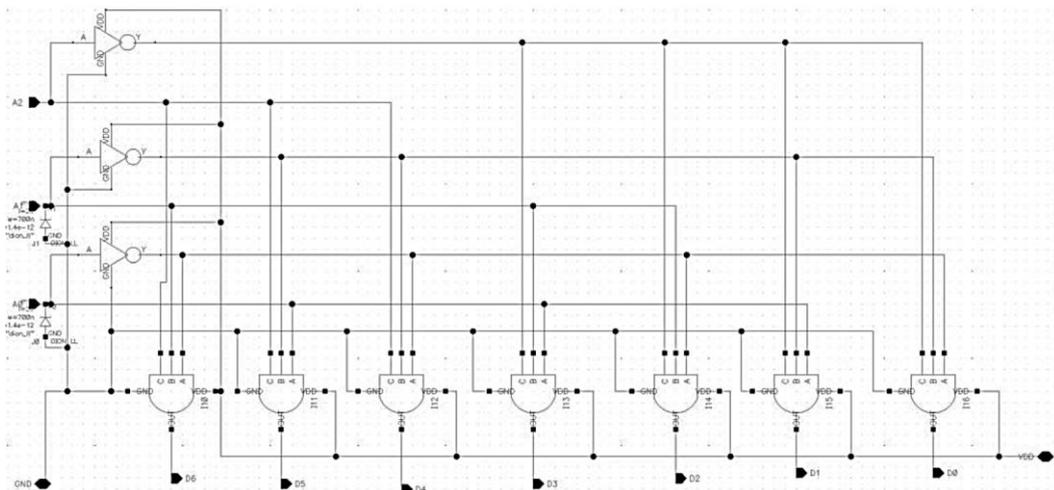


Figura 5.18. Esquemático del multiplexor 3 a 7 diseñado.

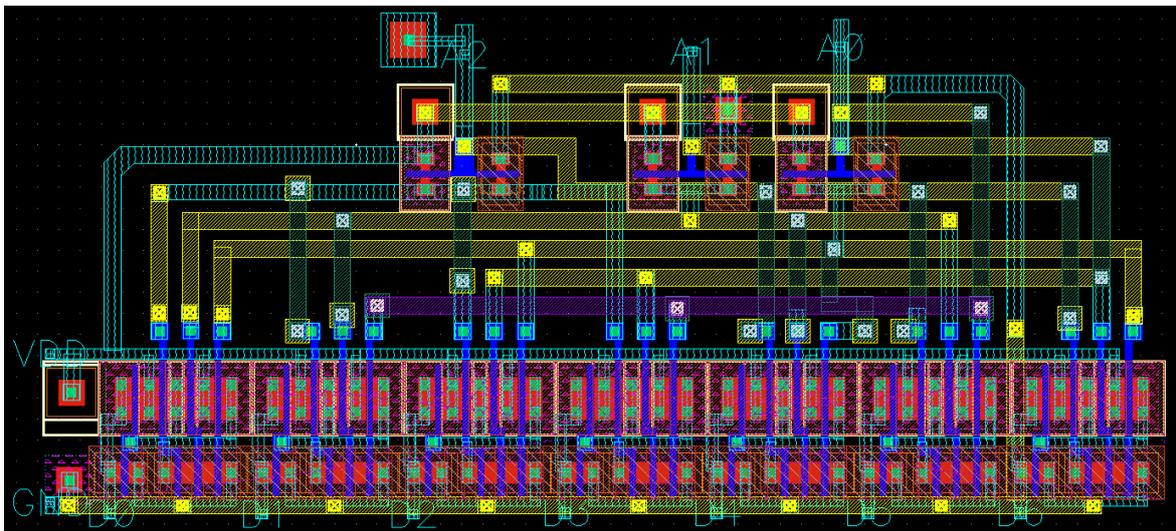


Figura 5.19. Layout del multiplexor 3 a 7.

Se han empleado las capas de metal 1 (azul claro), metal 2 (amarillo), metal 3 (verde oscuro) y metal 4 (violeta). Las puertas AND han sido eficientemente implementadas

empleando un área mínima, obteniendo unas dimensiones totales del multiplexor de 10.5 x 4.5 ($\mu\text{m} \times \mu\text{m}$).

5.4 *Layout* del PGA

Para implementar el PGA completo, se ha realizado en primer lugar la implementación de una etapa de amplificación. El contenido del esquemático de esta primera etapa se presenta en la Figura 5.20. En la parte superior de la figura se sitúa el multiplexor, cuyas señales de control son compartidas por las dos resistencias variables de realimentación, identificadas por la palabra TEST. Las resistencias se conectan entre las entradas y las salidas del OTA, el cual se muestra en el centro de la imagen con el símbolo de un triángulo y un número uno. A la entrada del OTA se encuentran las dos resistencias de 6 k Ω .

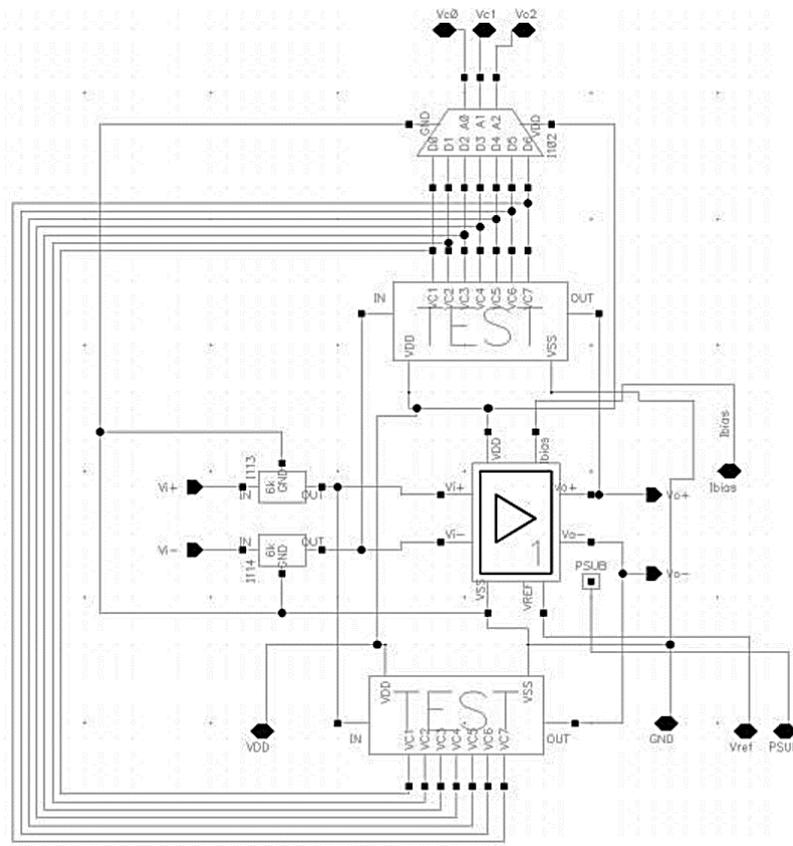


Figura 5.20. Esquemático de una etapa del PGA.

Siguiendo la estructura del esquemático de la primera etapa del PGA, el *layout* presenta una distribución similar. La principal diferencia es que se han situado ambas resistencias variables en la zona superior del *layout* para hacer más cortas las pistas que las unen al multiplexor. En la Figura 5.21 se puede ver el *layout* completo de una etapa del PGA. En la

esquina superior izquierda se encuentra el multiplexor y en los pines de entrada del OTA se aprecia que se han colocado las resistencias segmentadas de 6 k Ω . Asimismo, las entradas y salidas del OTA se han conectado a las resistencias variables con metal 1 y metal 2. Por lo general, el resto del *layout* lo ocupa principalmente el OTA que ya ha sido descrito anteriormente. Cabe resaltar que se han incluido dos contactos a sustrato en la parte superior del *layout*, en las zonas que dejan libres las resistencias variables. Siguiendo el principio presentado para el OTA, se han dejado casi todos los pines por el lado derecho de la vista para poder interconectar esta etapa con la siguiente.

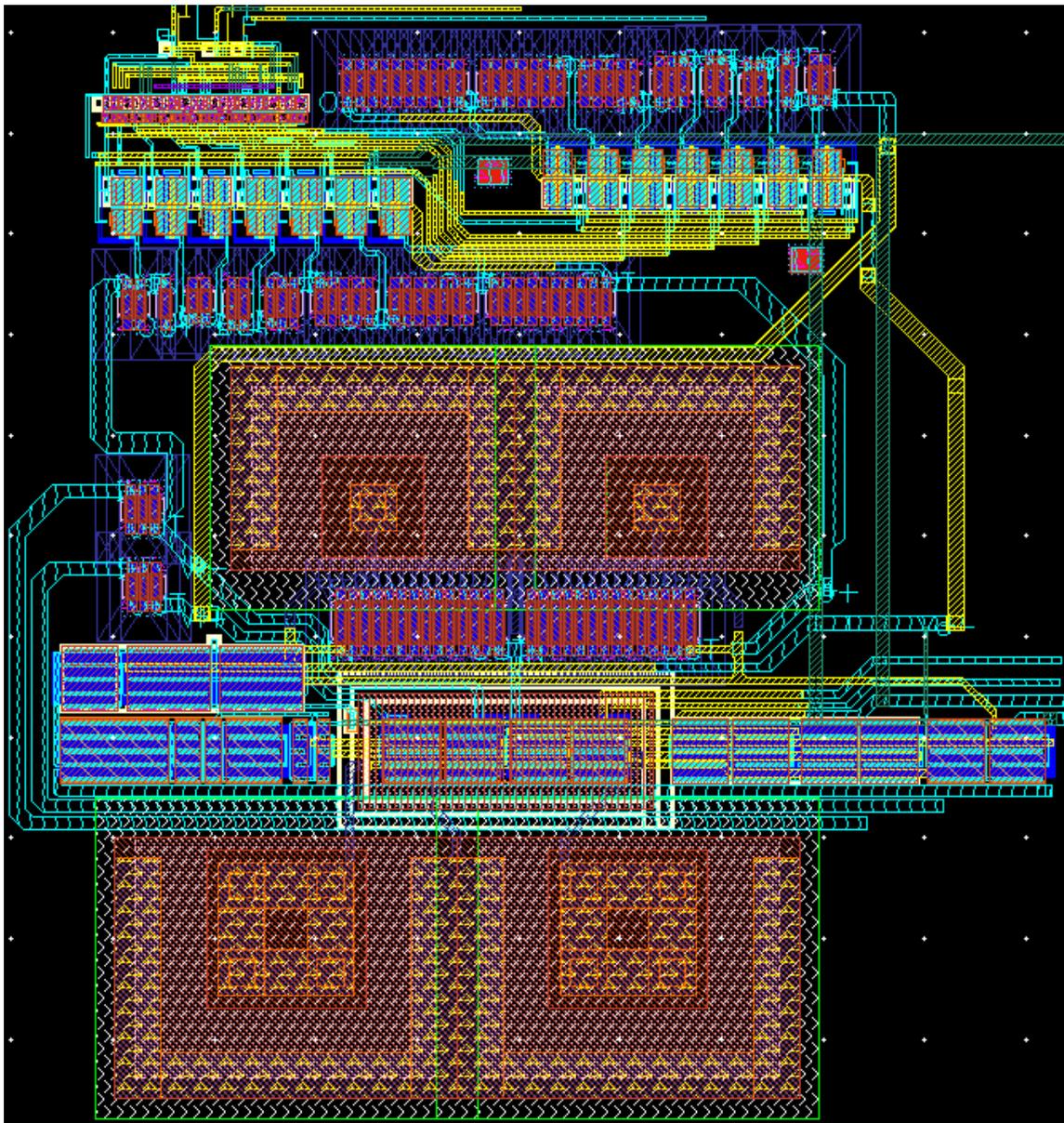


Figura 5.21. Layout de una etapa del PGA.

Con el fin de mostrar en detalle el *layout* del multiplexor y las resistencias, se presenta la Figura 5.22. En ella se pueden observar las interconexiones realizadas entre las salidas del multiplexor y las señales de control de las puertas de transmisión. A su vez, se pueden ver los contactos a sustrato mencionados en color rojo.

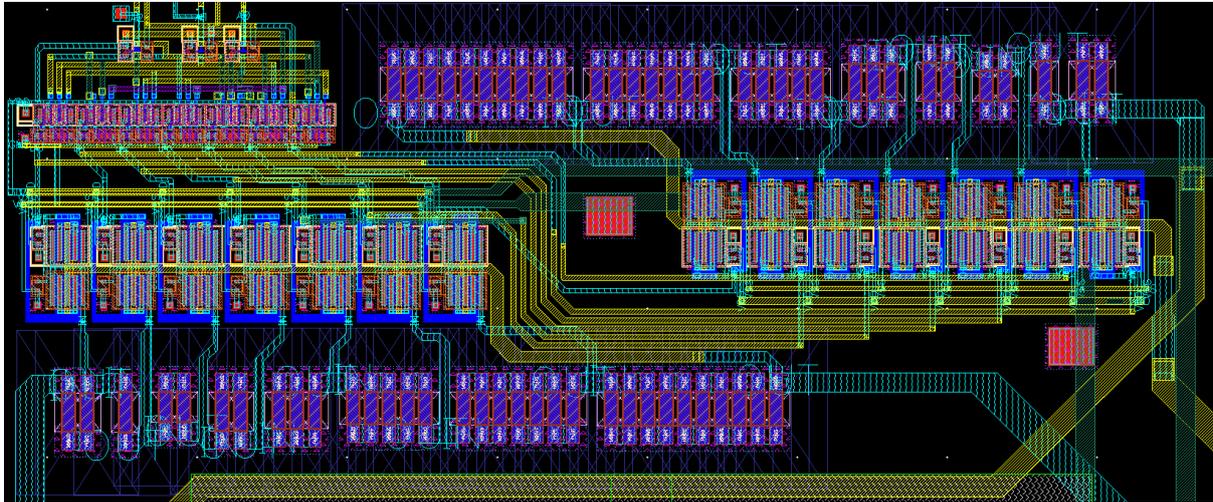


Figura 5.22. *Layout* de las resistencias y el multiplexor.

Para realizar el *layout* del PGA completo se introducen dos etapas en un mismo símbolo, tal y como se muestra en la Figura 5.23 (a). Dicho símbolo representa el PGA completo. En su interior, se han conectado las dos etapas siguiendo el esquema de la Figura 5.23 (b). Para ello, se conecta la salida de la primera etapa a la entrada de la segunda y se interconectan las señales de alimentación de las dos etapas.

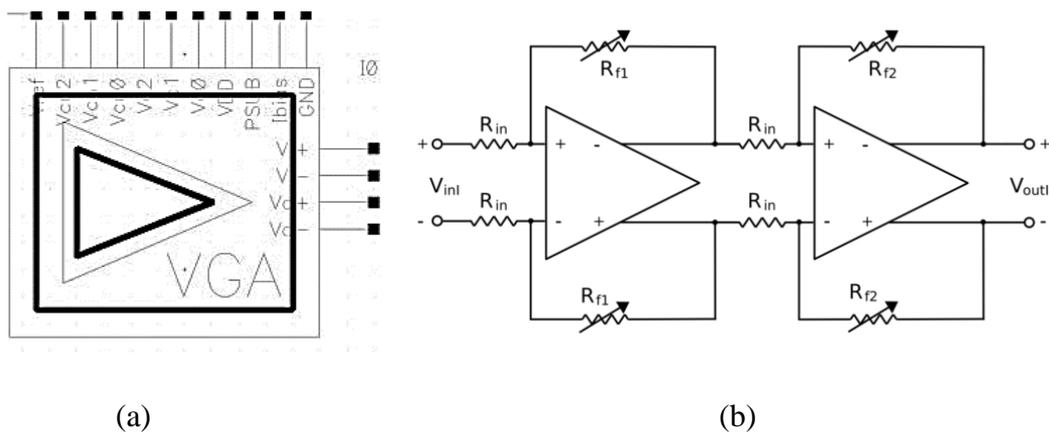


Figura 5.23. Símbolo del PGA completo (a) y diagrama de bloques del PGA propuesto (b).

Dado que se ha realizado el *layout* de una etapa, es posible generar la segunda etapa del PGA a partir de la primera y proceder a realizar las interconexiones que se acaban de comentar. Es decir, se ha replicado el *layout* de la primera etapa y se ha conectado la salida de la primera

con la entrada de la segunda. A continuación, se conectan las señales de polarización de las dos etapas y se sitúan todos los pines en una de las esquinas del *layout*. Esta decisión se toma debido a que el PGA se ha enviado a fabricar junto con otros tres circuitos, por lo que ha sido necesario repartir los pines disponibles. Este tema será abordado con mayor detalle en el Capítulo 6. Dado que el PGA opera en banda base, es mucho menos sensible a las parásitas que introducen los elementos físicos del *layout*. Por ello, los circuitos que operan en RF tienen prioridad a la hora de realizar la distribución del chip. El *layout* resultante de la implementación física del PGA se muestra en la Figura 5.24.

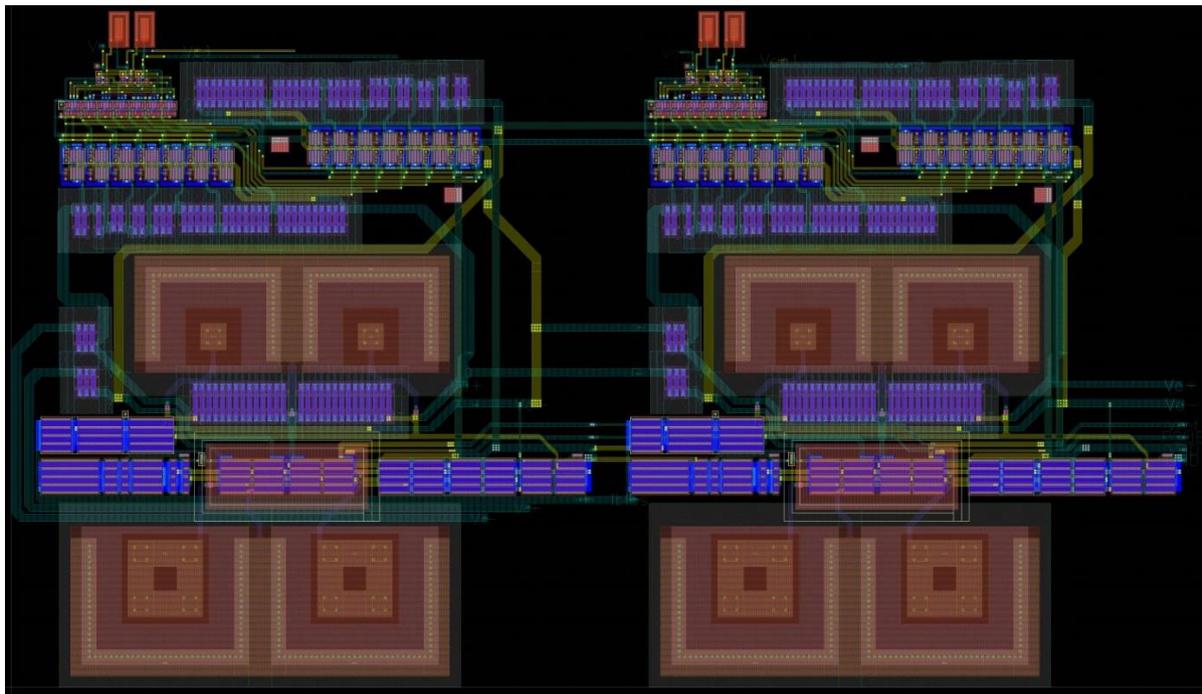


Figura 5.24. Layout del PGA completo formado por dos etapas.

5.5 Conclusiones

A lo largo del capítulo se han presentado una serie de conceptos previos sobre el procedimiento de *layout* y algunos aspectos clave para la comprensión del contenido de esta sección. A continuación, se han estudiado todos de los circuitos que forman el PGA de una etapa. Se comienza presentando el esquemático y el *layout* de los componentes del OTA y de la resistencia variable, para finalizar con el PGA completo. Cabe destacar que una etapa completa del PGA ocupa un total de 52×56 ($\mu\text{m} \times \mu\text{m}$), de los cuales, los condensadores consumen 35.7×15.5 ($\mu\text{m} \times \mu\text{m}$) y 30×11 ($\mu\text{m} \times \mu\text{m}$). Es decir, los condensadores consumen aproximadamente un 30 % del espacio total para una etapa del PGA. Si se hubiera realizado el

mismo diseño siguiendo la técnica tradicional de compensación por polo dominante, hubiera sido necesario duplicar el tamaño de los condensadores del par diferencial, con lo que el espacio que consumirían estos elementos llegaría a ser del orden del 40 % del total. Asimismo, gracias a la compensación de fuente, no ha sido necesario incluir varactores para regular el ancho de banda de los diferentes niveles de ganancia. Por este motivo, los resultados de área ocupada para este diseño son muy competitivos y claramente superiores a los diseños que emplean la técnica de compensación Miller.

Capítulo 6. Resultados de Simulación Post-layout

El presente Trabajo Fin de Máster forma parte de un proyecto de mayor alcance cuyo objetivo final es el de implementar un transceptor completo para el estándar IEEE 802.15.4. Este proyecto, denominado ComRAD (*Design of COMMunication circuits under RADiation*), persigue el estudio y la implementación de circuitos de comunicación resistentes a entornos de elevada radiación. Como parte de este proyecto se pretende realizar el diseño completo del receptor presentado en la Figura 6.1. En este caso, el objetivo es el de desarrollar el PGA completo, por lo que los circuitos del cabezal de recepción, el VCO y el filtro polifásico van más allá del alcance de este trabajo. Concretamente, el cabezal de recepción [46] y el VCO han sido implementados en la tecnología CMOS UMC de 65 nm y las máscaras del *layout* han sido enviadas a la *foundry* para ser fabricados junto con el PGA.

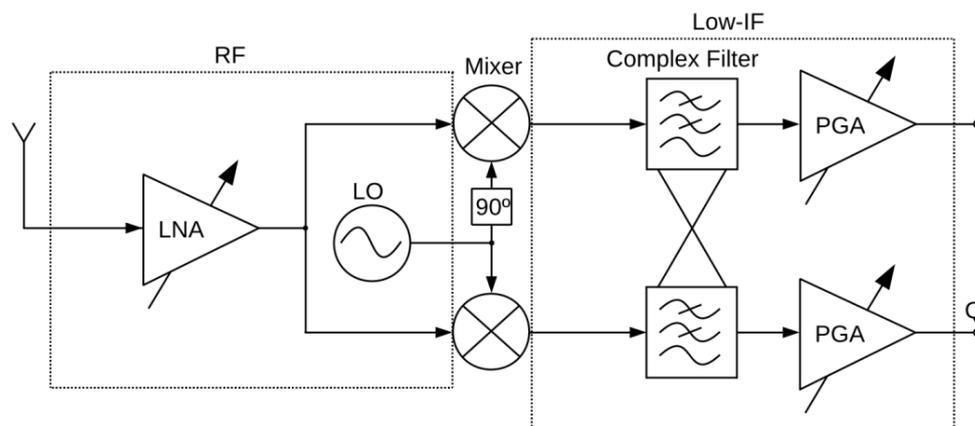


Figura 6.1. Diagrama de bloques de la arquitectura de un receptor.

A lo largo del capítulo se presentan los resultados de las simulaciones post-layout del PGA. En primer lugar, se muestran los resultados de simulación del OTA en lazo abierto, realizando una comparativa con los resultados de las simulaciones previas. A continuación, se introducen los resultados del PGA de una etapa que está formado por el OTA y las resistencias variables de realimentación. Finalmente, se estudian los resultados del PGA completo formado por dos etapas. Asimismo, al final del capítulo se presenta el circuito final enviado a la fundidora compuesto por el PGA, así como un cabezal de recepción y dos VCOs desarrollados por compañeros del grupo de trabajo.

6.1 OTA en Lazo Abierto

Siguiendo los pasos descritos en el capítulo anterior, se realizan los test de DRC y LVS sobre el *layout* del OTA para posteriormente obtener la extracción de parásitas del circuito con la herramienta *Quantus QRC*. De dicha extracción se obtiene un circuito donde se representan los dispositivos de la tecnología y las resistencias y capacidades parásitas asociadas a los diferentes elementos físicos del diseño, tal y como se puede ver en la Figura 6.2. En esta imagen se aprecian una serie de transistores definidos como NMOS de tipo RVT que corresponden a dos transistores de cuatro *fingers*, los cuales se han empleado en el *layout* del circuito. Asimismo, se muestran las capacidades y resistencias parásitas que aparecen en el circuito.

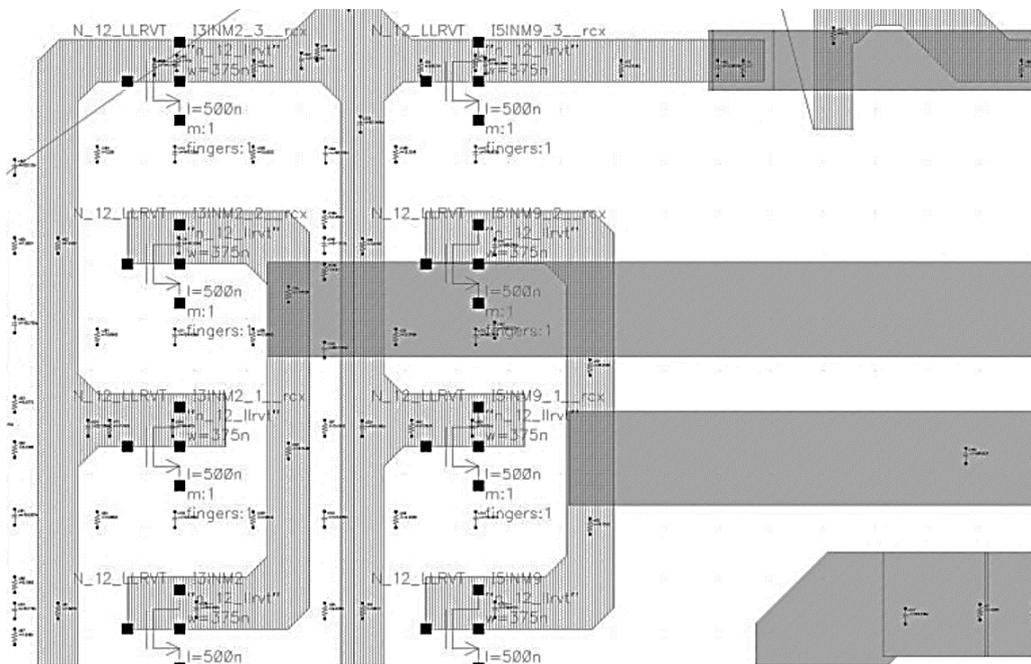


Figura 6.2. Ejemplo de extracción de parásitas de los transistores NMOS que polarizan el par diferencial y el CMFB del OTA.

En la Figura 6.3 se puede ver el *setup* de simulación desarrollado para obtener las prestaciones del OTA, donde se introduce la vista extraída del mismo. Para realizar este paso, es posible crear una vista de configuración con la herramienta *Cadence Virtuoso® Hierarchy Editor*, tal y como se puede ver en la Figura 6.4. Para ello, se debe seleccionar el componente denominado OTA y marcar la “vista a usar” con el nombre del fichero de la extracción de parásitas, en este caso, *av_extracted_RC*. Para realizar la simulación se introduce una señal de 1 V de amplitud con un barrido en frecuencia en un transformador de modo asimétrico a modo diferencial, que es el elemento denominado *balun* (*BALanced-to-UNbalanced*). Asimismo, se alimenta el circuito a 1.2 V y se establecen los valores de la corriente de polarización I_{bias} , el

sustrato de los NMOS (señal PSUB) y la tensión de referencia del CMFB (señal VREF). De nuevo, a la salida del OTA se pasa de modo diferencial a asimétrico para medir la salida del circuito.

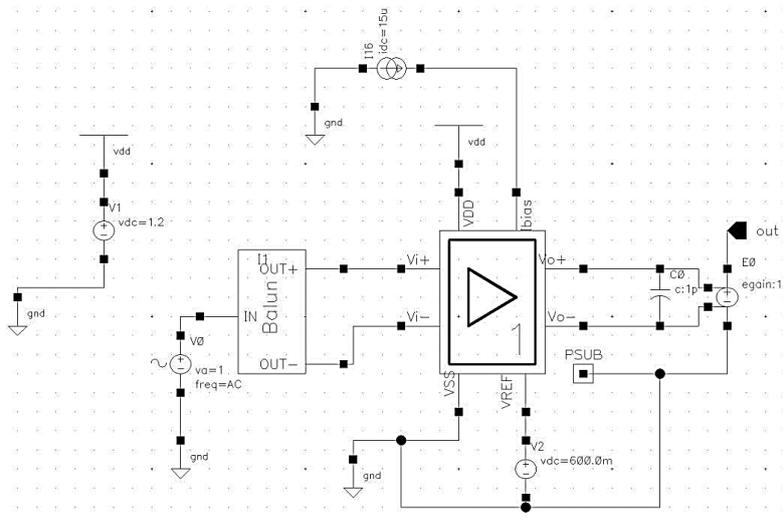


Figura 6.3. Esquemático de simulación de los parámetros del OTA en lazo abierto.

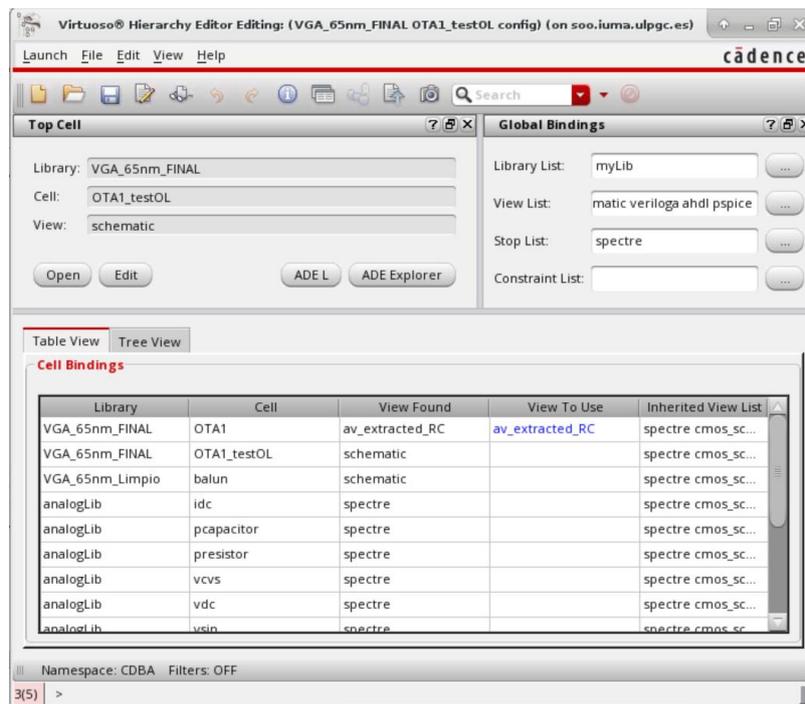


Figura 6.4. Configuración de la simulación post-layout mediante Cadence Virtuoso® Hierarchy Editor para emplear el circuito con parásitas extraídas.

La respuesta en frecuencia antes y después de realizar la simulación post-layout del OTA puede verse en la Figura 6.5 (a) y (b), respectivamente. Asimismo, los resultados de dicha simulación se recogen en la Tabla 6.1 junto con los resultados de la simulación inicial. Se puede

comprobar que las diferencias respecto a las simulaciones previas son prácticamente imperceptibles en la Figura 6.5. Sin embargo, a partir de la tabla se puede concluir que al aumentar la ganancia se ha reducido ligeramente el ancho de banda, lo cual era de esperar. Por otra parte, la reducción del producto GBW del OTA es más pronunciada. A su vez, el margen de fase no ha variado en absoluto y se ha reducido muy ligeramente el consumo del circuito, que es lo que causa la reducción del producto GBW.

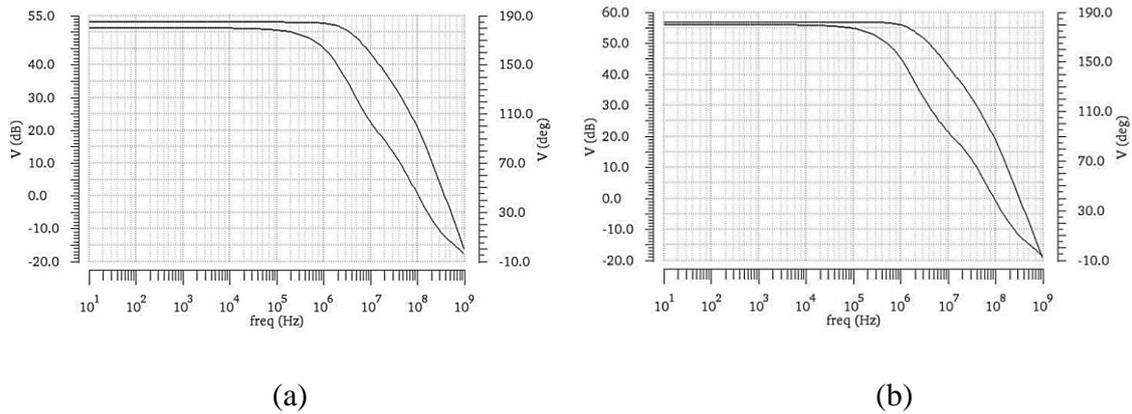


Figura 6.5. Respuesta en frecuencia del OTA en lazo abierto antes (a) y después de realizar el layout (b). Magnitud representada por la curva superior y fase representada por la curva inferior.

Tabla 6.1. Comparativa de los resultados de la simulación post-layout del OTA completamente diferencial en lazo abierto

<i>Parámetro</i>	<i>Especificaciones</i>	<i>Inicial</i>	<i>Post-layout</i>
Ganancia (dB)	>40	53.0	56.8
Ancho de banda a 3 dB (MHz)	---	3.63	2.03
Ganancia por ancho de banda (MHz)	>50	370	330
Margen de fase (°)	>45	10	10
Potencia disipada (mW)	<i>Lo menor posible</i>	0.176	0.167
CMRR (dB)	<i>Lo mayor posible</i>	265	112
Slew-rate (V/μs)	<i>Lo mayor posible</i>	45	42
Área ocupada (μm²)	<i>Lo menor posible</i>	---	35.7 x 38.4

Uno de los aspectos más importantes del diseño realizado es que el área ocupada es extremadamente reducida, teniendo en cuenta los resultados obtenidos. Más adelante se presenta una comparativa del PGA implementado con el estado del arte actual donde se muestra la importancia de este punto.

Otros parámetros importantes del comportamiento del OTA son el CMRR y el *slew-rate*. El CMRR da la relación de rechazo al modo común, es decir, indica la capacidad del OTA de rechazar una señal común aplicada a sus entradas. Este parámetro es de especial interés puesto que es un indicador de lo robusto que es el circuito frente al ruido, e idealmente debe ser muy elevado para que la diferencia entre la señal de interés y el ruido sea de varios órdenes de magnitud. Para calcularlo, es necesario simular la ganancia del OTA al aplicar una señal senoidal idéntica a sus entradas y aplicar la expresión (6.1). Dado que las rutas de la señal entrante no son idénticas, se puede apreciar que el CMRR empeora significativamente respecto al valor inicial, aunque se recuerda que 100 dB equivalen a una atenuación de 10^{-5} . Por su parte, el *slew-rate* es un parámetro que mide la capacidad del amplificador de seguir las variaciones de entrada de la señal [8], [9]. En este caso, el OTA ha sido diseñado para cubrir una capacidad de carga de 1 pF y la corriente máxima de inyección en la carga es de aproximadamente 42 μ A, por lo que su valor se obtiene siguiendo la ecuación (6.2).

$$\text{CMRR} = 20 \log \left| \frac{A_{diff}}{A_{cm}} \right| = A_{diff}(\text{dB}) - A_{cm}(\text{dB}) = 112 \text{ dB} \quad (6.1)$$

$$\text{SR} = \frac{dV_o}{dt} = \frac{I_L}{C_L} = \frac{42 (\mu\text{A})}{1 (\text{pF})} = 42 \left(\frac{\text{V}}{\mu\text{s}} \right) \quad (6.2)$$

6.2 PGA de una Etapa

Es importante observar el comportamiento del PGA de una etapa, puesto que técnicamente esta es la celda unitaria del PGA completo y su estudio puede facilitar la comprensión del circuito final. Al igual que para el caso anterior, se introduce el circuito con las parásitas extraídas del PGA de una etapa en el *setup* de simulación que se muestra en la Figura 5.23. El circuito completo se ha introducido en un mismo símbolo, el cual se puede identificar por las siglas VGA. Los pines de control se dejan por la parte superior izquierda, los de polarización por la parte superior derecha y las entradas/salidas por el lado derecho. De la misma manera que en el caso del OTA, la entrada se transforma a modo diferencial mediante el uso de un *balun* y la salida se convierte a modo asimétrico mediante una fuente de tensión controlada por tensión (VCVS: *Voltage Controlled Voltage Source*). A su vez, para poder controlar la polarización se han establecido diferentes variables de diseño para gestionar la alimentación, la tensión y la corriente de referencia, las tensiones de control de la resistencia, etc.

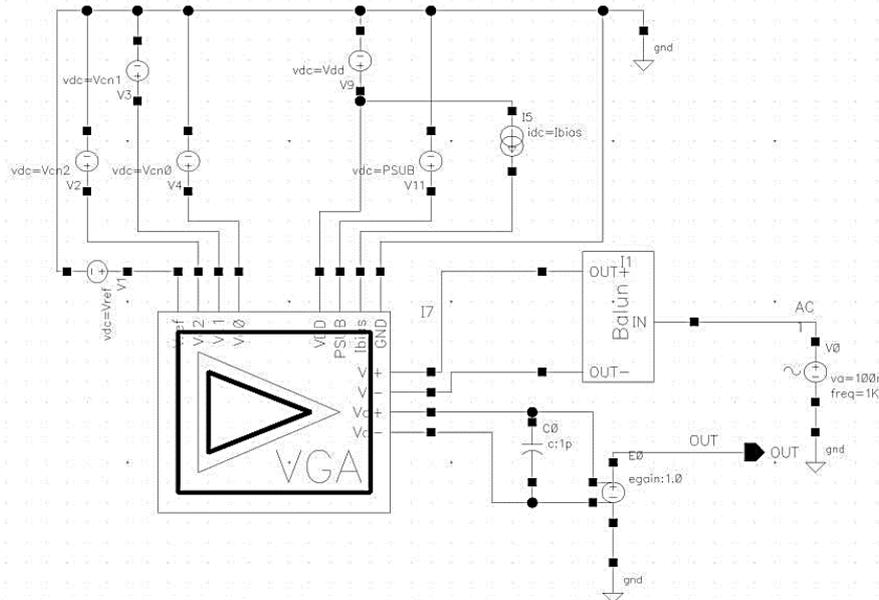


Figura 6.6. Setup de simulación del PGA de una etapa para la simulación post-layout.

Para obtener los resultados, se introduce una señal senoidal de 1 V de amplitud con un barrido en frecuencia y se ajustan las tensiones de control para obtener los diferentes niveles. En la Figura 6.7 se pueden ver los resultados de la simulación inicial y en la Figura 6.8 se pueden ver los resultados de la simulación post-layout. Aunque a simple vista no se aprecian muchas diferencias, en la Tabla 6.2, donde se resumen los resultados obtenidos, se puede comprobar que efectivamente hay una diferencia significativa.

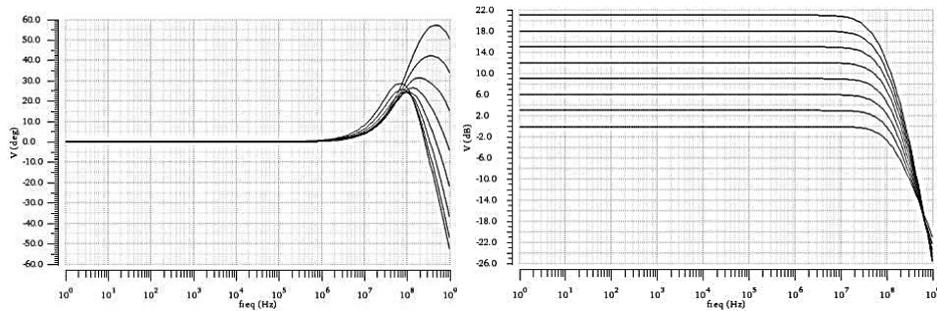


Figura 6.7. Resultados de la simulación inicial del PGA de una etapa.

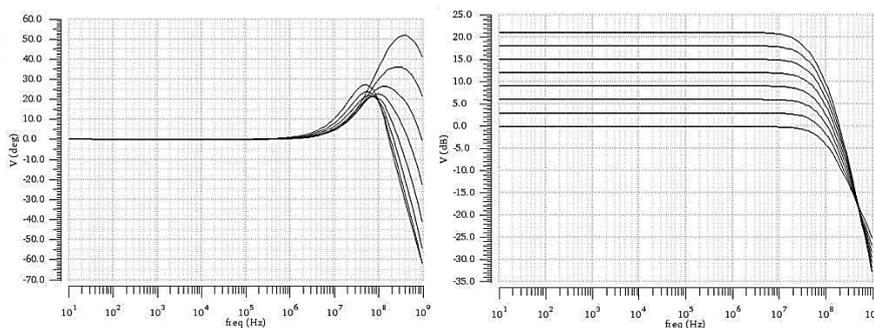


Figura 6.8. Resultados de simulación post-layout del PGA de una etapa.

Tabla 6.2. Resultados de la simulación inicial y post-layout (PL) del PGA de una etapa

<i>Vc</i>	<i>Gain (dB)</i>		<i>PM (°)</i>		<i>BW (MHz)</i>		<i>GBW(MHz)</i>	
	<i>Inic.</i>	<i>PL</i>	<i>Inicial</i>	<i>PL</i>	<i>Inicial</i>	<i>PL</i>	<i>Inicial</i>	<i>PL</i>
000	0.1	-0.2	125°	130°	112.7	86.9	79.4	63.2
001	3.0	2.9	150°	155°	98.6	76.6	100.0	74.7
010	6.0	5.9	149°	154°	87.9	68.5	141.5	110.2
011	9.0	8.9	155°	158°	78.0	61.0	177.0	135.3
100	12.1	12.0	160°	165°	68.7	53.8	204.6	158.5
101	15.1	15.0	167°	172°	59.7	47.0	228.9	173.8
110	18.1	18.0	175°	178°	51.1	40.5	246.2	189.5
111	21.1	21.0	180°	175°	43.6	34.7	265.1	202.4

Cabe destacar que el nivel de continua que se establece por el *balun* es de gran importancia para el circuito y puede afectar a su operación. De los resultados obtenidos se puede destacar que la ganancia se ha reducido ligeramente en todos los casos en torno a 0.1 dB. Estos resultados eran esperables debido a la influencia que tienen las resistencias parásitas de los componentes del circuito. Sin embargo, los resultados son especialmente destacables dado que se puede afirmar que el PGA de una etapa presenta un error de ganancia de ± 0.1 dB en los diferentes niveles, excepto en el nivel de mínima ganancia que es de ± 0.2 dB. Asimismo, se observa que el margen de fase apenas ha cambiado, si bien ha aumentado unos grados en todos los casos. De la misma manera, se ha perdido entre 10 y 20 MHz de ancho de banda entre los niveles de máxima y mínima ganancia. Finalmente, tal y como es de esperar, la disminución del ancho de banda se refleja directamente en la reducción del producto GBW.

6.3 PGA de dos Etapas

El estudio del PGA de una etapa da una idea inicial del comportamiento del PGA completo. Sin embargo, los resultados de ancho de banda y margen de fase todavía pueden variar significativamente al conectar la segunda etapa, tal y como se ha estudiado en el Capítulo 2. En la Figura 6.9 se puede ver el esquemático de simulación final, donde se han incluido las dos etapas del PGA en el mismo símbolo.

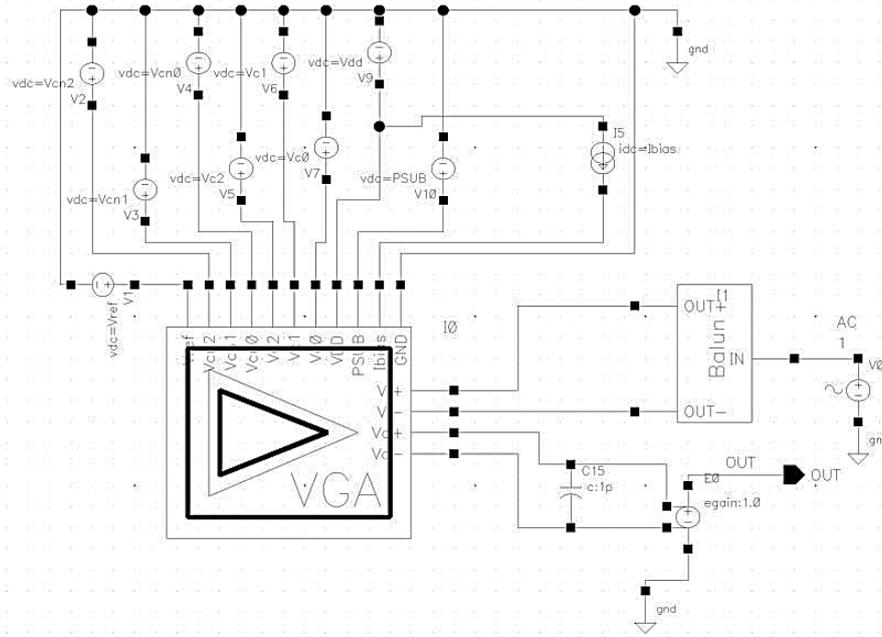


Figura 6.9. Esquemático de la simulación completa del PGA completamente diferencial con compensación de fuente.

Al igual que en los casos anteriores, es necesario emplear un balun y una fuente de tensión controlada por tensión para transformar las señales de asimétrico a diferencial, y viceversa. De la misma forma, se han mantenido las variables de control y de polarización para realizar los barridos y controlar el ajuste de ganancia. A continuación, se presentan los diferentes niveles del PGA en magnitud y fase directamente sobre la simulación post-layout en la Figura 6.10. Para obtener los diferentes parámetros de los niveles, se simulan uno a uno para medir el ancho de banda, producto GBW y el margen de fase. En la Figura 6.11 se representa el caso de máxima ganancia y la recopilación de los resultados se muestra en la Tabla 6.3.

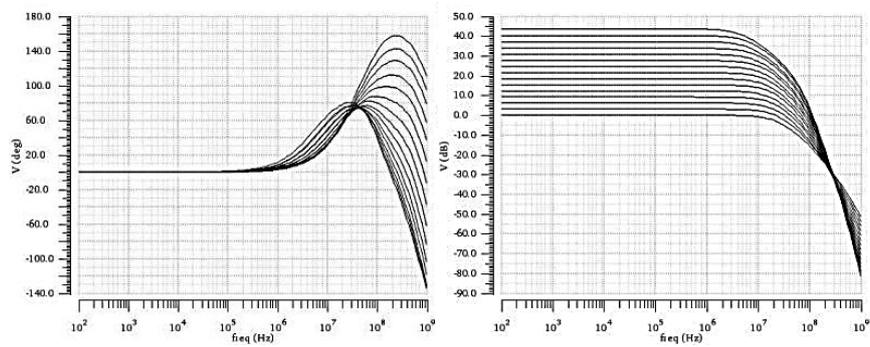


Figura 6.10. Magnitud y fase de la respuesta en frecuencia del PGA completo.

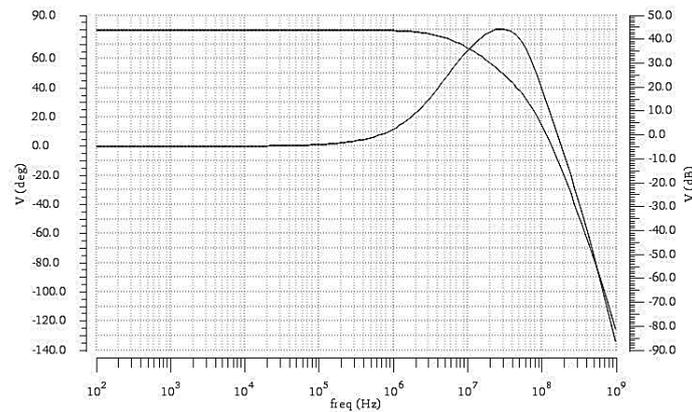


Figura 6.11. Magnitud y fase para el caso de máxima ganancia del PGA completo.

Si comparamos los resultados de esta tabla con los de la Tabla 3.4, se observa un pequeño incremento de la ganancia. Esto se debe a dos razones principales. La primera es el uso de las resistencias RNHR_RF frente a las RNHR_LL, las cuales tienen un valor resistivo ligeramente diferente. Por otro lado, al unir las dos etapas, la impedancia de salida del primer OTA afecta a la impedancia que ve a la entrada el segundo OTA, lo cual hace que también varíe la ganancia. Para corregir esto bastaría con ajustar ligeramente los valores de las resistencias. Sin embargo, esto no ha sido posible porque, tal y como se ha comentado anteriormente, el PGA desarrollado en este TFM se ha enviado a fabricar junto con otros dos circuitos diseñados por otros compañeros dentro del grupo de trabajo. Concretamente, se han fabricado a través de Europractice, para lo cual existen unas fechas concretas en las que se envían los circuitos a fábrica. Por ello, con el fin de tener los diseños en la fecha límite, no ha sido posible realizar este ajuste.

Como se puede apreciar en la Tabla 6.3, los valores de ganancia post-*layout* son bastante similares a los de las simulaciones de esquemático, aunque no se puede decir lo mismo del ancho de banda. Se puede observar que, como consecuencia de la extracción de parásitas, se pierde parte del ancho de banda y, por tanto, el producto GBW también se ve afectado negativamente.

Tabla 6.3. Comparativa de resultados de la simulación inicial y la simulación post-layout del PGA completo

<i>Vc</i>	<i>Gain (dB)</i>		<i>PM (°)</i>		<i>BW (MHz)</i>		<i>GBW(MHz)</i>	
	<i>Inic.</i>	<i>PL</i>	<i>Inicial</i>	<i>PL</i>	<i>Inicial</i>	<i>PL</i>	<i>Inicial</i>	<i>PL</i>
000_000	0.2	0.1	-160°	-168°	27.0	23.1	27.0	23.1
000_001	3.3	3.2	-113°	-119°	25.8	21.8	25.8	22.6
001_001	6.4	6.3	-97°	-103°	22.9	19.5	39.8	33.3
001_010	9.4	9.3	-87°	-96°	22.1	18.8	53.5	44.2
010_010	12.4	12.4	-84°	-93°	19.5	16.7	63.6	52.3
010_011	15.4	15.4	-84°	-95°	18.9	16.1	77.9	63.0
011_011	18.5	18.5	-87°	-98°	16.2	14.0	85.1	69.3
011_100	21.5	21.6	-92°	-103°	15.6	13.5	98.0	79.2
100_100	24.7	24.7	-97°	-108°	13.1	11.4	106.4	84.4
100_101	27.7	27.7	-105°	-117°	12.6	10.1	117.6	92.1
101_101	30.9	30.9	-110°	-123°	10.3	9.0	123.5	96.9
101_110	33.9	34.0	-119°	-132°	9.8	8.6	132.3	103.5
110_110	37.2	37.3	-125°	-137°	7.7	6.8	137.6	107.4
110_111	40.2	40.3	-132°	-145°	7.4	6.5	145.6	113.0
111_111	43.7	43.7	-137°	-149°	5.6	5.0	150.5	116.4

6.4 Encapsulado

Tras haber realizado las simulaciones y los test pertinentes, se procede a conectar los diferentes pines del circuito con los del encapsulado elegido. En este caso, el PGA se envía a fabricar junto con un cabezal de recepción y dos VCOs diseñados por dos compañeros del grupo de trabajo para aprovechar el espacio disponible. En la Figura 6.12 se observa la interconexión de los *pads* con los pines del circuito. Estos *pads* son de 62 μm x 72 μm y la distancia de centro a centro entre *pads* es de 124 μm, tal y como dictan las reglas de diseño de la tecnología.

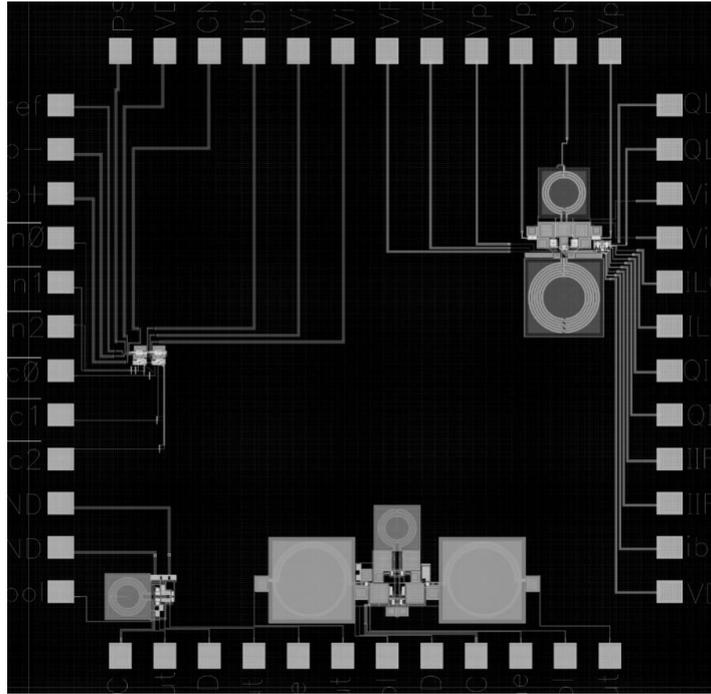


Figura 6.12. Interconexión de las entradas/salidas de los circuitos con los pads del chip.

El circuito de la derecha es el cabezal de recepción [46], los circuitos de la parte inferior son los dos VCOs y el circuito de la izquierda es el PGA. Como se comentó anteriormente, el cabezal de recepción y los VCOs son prioritarios a la hora de establecer su posición en el chip puesto que operan en frecuencias más elevadas que el PGA. Por este motivo, los circuitos son más sensibles a las parásitas introducidas por las pistas y deben situarse lo más cerca posible de los pines de entrada/salida. De hecho, las capacidades e inductancias parásitas de los *pads* y los hilos de oro empleados en el proceso de *wire bonding* pueden degradar el funcionamiento de estos circuitos. Como resultado, el espacio libre para situar el PGA corresponde con la esquina superior izquierda de la Figura 6.12. En esta figura se ve el contraste entre el área que ocupan los VCOs y el cabezal de recepción con el área ocupada por el PGA. Asimismo, se puede destacar que durante el enrutado de las entradas/salidas del PGA se ha tratado de mantener una longitud de las pistas similar para las señales V_{i+} , V_{i-} , V_{o+} y V_{o-} . Esto es de vital importancia ya que, al tratarse de un circuito diferencial, el retardo introducido por estas pistas puede ser significativo para la operación del circuito.

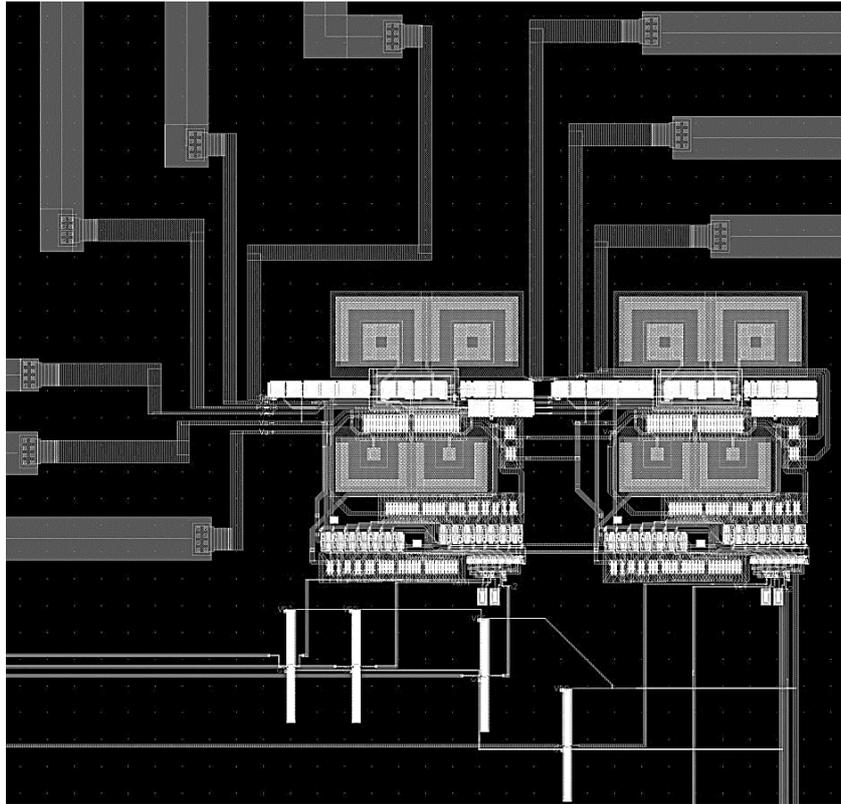


Figura 6.13. Enrutado del PGA completo con los pads.

Como se puede apreciar en la Figura 6.13, también se han incluido inversores entre los *pads* y las señales de control de la resistencia variable (parte inferior de la imagen). Para justificarlo es necesario comprender el denominado efecto antena. Como se mencionó de forma superficial en el capítulo anterior, las tecnologías de precisión nanométrica emplean un tipo de perfilado denominado *plasma etching*, que permite realizar una eliminación de materiales sobrantes extremadamente precisa. A diferencia de los procesos húmedos o de inmersión en soluciones químicas denominados *wet etching*, en estos procesos es posible que se acumulen pequeñas cargas electrostáticas en los diferentes metales del proceso. Dado que las puertas de los MOSFETs poseen una fina capa de óxido que las separa del canal, al conectar dichas puertas a largos tramos de metal es muy probable que la carga acumulada exceda el valor de la tensión de ruptura de la puerta y atraviese el óxido dañando los dispositivos. Como los multiplexores poseen transistores de muy reducidas dimensiones que deben ir conectados a los *pads* (que son multitud de capas de metales de muy elevadas dimensiones), se ha decidido emplear inversores con unas relaciones de aspecto muy grandes para actuar como buffers y proteger a los multiplexores de estas descargas. A su vez, se han incluido algunos diodos de protección en las puertas de algunos de los MOSFETs del multiplexor que tenían interconexiones con tramos de metal de gran longitud. Esta situación se puede ver representada en la Figura 6.14.

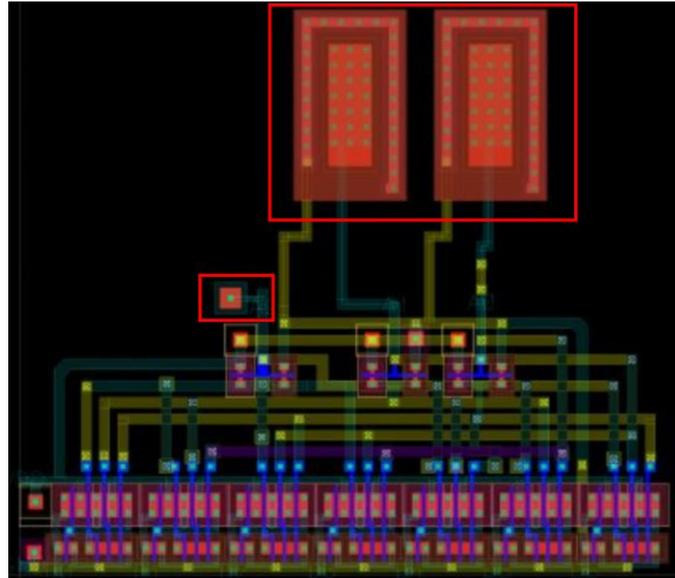


Figura 6.14. Layout del multiplexor con los diodos incluidos.

Para ofrecer soporte al chip, se ha decidido emplear el encapsulado CLCC (*Ceramic Leadless Chip Carrier*) de 68 patillas. El área de este encapsulado es de 1.805 mm x 1.805 mm. Se seleccionó este tipo de empaquetado porque ofrece un número de pines adecuado para la implementación de los circuitos presentados y permite la posibilidad de realizar el encapsulado con la opción de tapa cerrada con cinta (*taped*). Este aspecto es fundamental para poder abrir el chip sin dañarlo y realizar medidas de los circuitos en condiciones de elevada radiación. Por otra parte, es necesario indicar al fabricante cómo realizar la interconexión de los pines del circuito integrado con las patillas del empaquetado (*wire bonding*), esta situación se representa en la Figura 6.15.

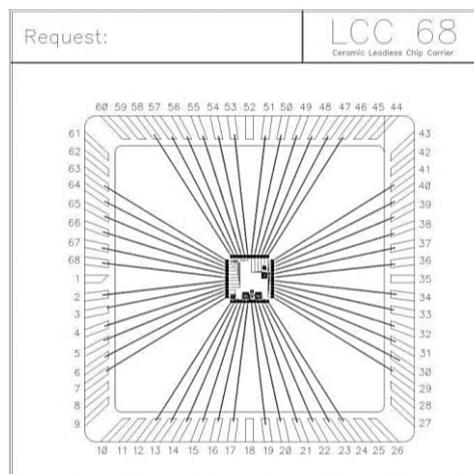


Figura 6.15. Esquema de interconexión de los pines del circuito con las patillas del encapsulado CLCC 68.

6.5 Conclusiones

A lo largo de este capítulo se han presentado las diferentes simulaciones post-*layout* que verifican el comportamiento del PGA diseñado. Se ha comenzado por introducir las simulaciones del OTA en lazo abierto, después se ha verificado el funcionamiento del PGA de una etapa y se ha finalizado con el PGA completo de dos etapas. Se concluye que efectivamente se ha cumplido con los objetivos del presente Trabajo Fin de Máster al realizar la implementación completa del PGA diferencial con compensación de fuente en tecnología CMOS UMC de 65 nm para el estándar IEEE 802.15.4. A su vez, se ha presentado el circuito integrado resultante del trabajo realizado, que ha sido enviado para su fabricación y posterior toma de medidas conforme a las indicaciones del programa Europractice.

De los resultados obtenidos a lo largo del capítulo se puede destacar que ha sido acertado rediseñar el par diferencial del PGA, puesto que, si se hubiera realizado el *layout* del circuito inicial, habrían aparecido problemas durante la fase de simulación. Asimismo, gracias a la decisión de dejar una serie de pines de control externo del circuito (V_{ref} , PSUB, I_{bias}) es posible mejorar las características finales del PGA o realizar pruebas sobre su funcionamiento. Por ejemplo, es posible aumentar el valor de la corriente de polarización I_{bias} para incrementar la ganancia del PGA siempre que se considere el aumento del consumo que ello conlleva.

Capítulo 7. Conclusiones

En este capítulo final, se desglosan una serie de conclusiones extraídas de la realización del presente Trabajo Fin de Máster. Se comienza el capítulo dando una visión global del trabajo realizado, revisando los aspectos clave de la implementación del PGA y de los resultados obtenidos. A continuación, se muestra una comparativa del circuito implementado con algunas soluciones similares del estado del arte actual para recalcar los resultados obtenidos y mostrar al lector la importancia de los objetivos alcanzados. Finalmente, se presentan una serie de líneas futuras de trabajo que podrían formar parte de una ampliación del trabajo realizado.

7.1 Resumen del Trabajo Realizado

El objetivo de este trabajo, tal y como se ha mencionado en varias ocasiones, es el de realizar la implementación física y la verificación de un amplificador de ganancia variable completamente diferencial con compensación de fuente. Este diseño se ha realizado como parte del proyecto ComRAD, donde el amplificador forma parte de un receptor completo para el estándar IEEE 802.15.4. Para la implementación del circuito, se ha seleccionado una tecnología estándar como es el proceso de fabricación CMOS de 65 nm de la *foundry* UMC. Como objetivo secundario se plantea reducir al máximo posible el área ocupada del circuito. El trabajo realizado se puede resumir en los siguientes puntos:

- ❖ Se ha realizado una introducción al ámbito del proyecto, situando el contexto del mismo y realizando una breve discusión y justificación del estándar de comunicaciones inalámbricas seleccionado, así como de los antecedentes del proyecto.
- ❖ Asimismo, se ha discutido el estado del arte de los VGAs discutiendo las diferentes topologías existentes y las opciones a la hora de integrarlo en un receptor.
- ❖ Se ha presentado un estudio completo de los componentes de la tecnología CMOS UMC de 65 nm empleados en la implementación del PGA diseñado.
- ❖ Como parte de la presentación del circuito sobre esquemático, se ha realizado una presentación de los componentes del PGA y se ha completado el rediseño de las dimensiones de los transistores MOS del OTA para mejorar su funcionamiento.

- ❖ Seguidamente, se ha introducido al lector en el proceso de *tape out* de circuitos integrados y se han discutido los *layouts* de los diferentes bloques que componen el PGA.
- ❖ Partiendo de las implementaciones físicas del circuito, se ha hecho un estudio de las prestaciones de los circuitos tras la extracción de parásitas.

Cumpliendo con los objetivos de este TFM, se ha realizado la implementación de un PGA de dos etapas basado en un OTA con realimentación negativa en configuración inversora. El diseño es completamente diferencial y emplea una técnica de compensación adaptativa denominada compensación de fuente, la cual permite mejorar el producto GBW del amplificador permitiendo aumentar el ancho de banda de todos los niveles de forma significativa. A la hora de realizar el *layout*, se han tenido en cuenta las reglas de diseño de la tecnología CMOS UMC de 65 nm. Asimismo, para verificar el PGA se han realizado una serie de simulaciones sobre el mismo, teniendo en cuenta las resistencias y capacidades parásitas del circuito.

En general, es prácticamente imposible lograr unas prestaciones iguales a las de las simulaciones iniciales sobre esquemático. Los resultados siempre presentan una serie de variaciones respecto al esquemático ya que en las simulaciones *post-layout* se tienen en cuenta las resistencias y capacidades parásitas del circuito. De hecho, lo mismo ocurre entre el diseño simulado con parásitas y el chip fabricado debido a las variaciones inherentes al proceso de fabricación. Teniendo esto en cuenta, se considera que los resultados alcanzados cumplen con las especificaciones fijadas al inicio del proyecto y las variaciones *post-layout* son tolerables.

7.1.1 Recopilación de los Resultados

Los resultados finales se recogen en la Tabla 7.1. La implementación final del PGA presenta una ganancia de entre 0 y 43.7 dB con unos pasos de ganancia de aproximadamente 3.1 dB. Dado que se ha realizado un rediseño del OTA y se presentaron problemas durante el proceso de extracción de componentes, el ajuste de la segunda etapa queda pendiente dado que en caso contrario se superaría la carga de trabajo que le corresponde al presente TFM. Por tanto, en el PGA completo los diferentes niveles de ganancia varían considerablemente. En cualquier caso, aunque los niveles no han sido ajustados con precisión, la variación respecto al *layout* es de tan solo ± 0.1 dB. Se ha visto que el ancho de banda se reduce conforme aumenta la ganancia. Sin embargo, el producto GBW de las diferentes configuraciones aumenta

proporcionalmente. Los resultados obtenidos no demuestran que con la técnica empleada el ancho de banda se mantenga constante, pero sí se cubre el ancho de banda mínimo deseado y se consigue ahorrar espacio en el circuito integrado. Si se deseara aumentar el ancho de banda mínimo bastaría con modificar los valores de las capacidades de compensación. Gracias a la técnica de compensación empleada, no ha sido necesario incluir varactores en el PGA. Asimismo, el margen de fase para todos los niveles es superior a 93° , asegurando la estabilidad del PGA diseñado. Antes de introducir el consumo es necesario recalcar que el PGA se incorpora a un receptor formado por dos ramas de señal (I y Q). Por este motivo, el consumo se duplica respecto a lo que se ha visto en el capítulo anterior. Lo mismo ocurre con el área ocupada.

Tabla 7.1. Recopilación de los resultados obtenidos para el PGA completo.

<i>Parámetro</i>	<i>Especificaciones</i>	<i>Post-layout</i>
<i>Ganancia (dB)</i>	<i>0 a 42</i>	<i>0 a 43.7</i>
<i>Pasos de ganancia (dB)</i>	<i>3</i>	<i>3.1</i>
<i>Error de ganancia (dB)</i>	<i>± 0.3</i>	<i>$\pm 0.1^*$</i>
<i>Ancho de banda a 3 dB mínimo (MHz)</i>	<i>5</i>	<i>5</i>
<i>Ganancia por ancho de banda máx. (MHz)</i>	<i>> 50</i>	<i>116.4</i>
<i>Margen de fase ($^\circ$)</i>	<i>> 45</i>	<i>$> 93^\circ$</i>
<i>Potencia disipada (mW)</i>	<i>Lo menor posible</i>	<i>0.334</i>
<i>CMRR (dB)</i>	<i>Lo mayor posible</i>	<i>112</i>
<i>Slew-rate (V/μs)</i>	<i>Lo mayor posible</i>	<i>42</i>
<i>Área ocupada (mm²)</i>	<i>Lo menor posible</i>	<i>4574.6</i>

*Este error es respecto al esquemático con las resistencias de RF, no respecto a las especificaciones originales.

Al igual que se discute en el estudio del OTA en lazo abierto, el CMRR y el *slew-rate* son dos características fundamentales de los amplificadores y, en este caso, tienen un valor de 112 dB y 42 V/ μ s, respectivamente.

En la Figura 7.1 se presenta un estudio de los componentes del PGA para indicar el consumo de área asociado a cada uno de ellos. Por su parte, el multiplexor ocupa un total de $67 \mu\text{m}^2$, la resistencia variable completa ocupa $637.75 \mu\text{m}^2$, la resistencia y el condensador que forman el comparador del CMFB presentan un área de $502.37 \mu\text{m}^2$ y los condensadores del par diferencial de 125 fF ocupan $570.5 \mu\text{m}^2$. Si se representa cada uno de estos componentes en porcentaje respecto al total se tiene una ocupación del 3%, 27.9%, 22.2% y 25%,

respectivamente. El restante 25% se reparte entre los MOSFETs y espacio que no ha sido ocupado.

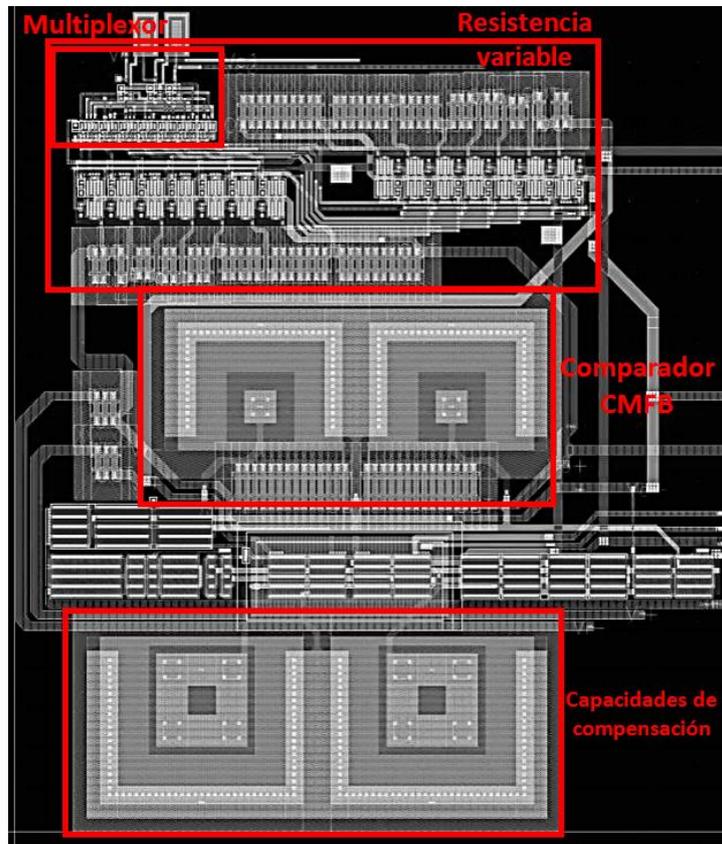


Figura 7.1. Estudio del área del PGA de una etapa.

Finalmente, un estudio interesante sobre el PGA es el de la variabilidad de la ganancia y el ancho de banda en función de la palabra de control. Esto se puede ver reflejado en la Figura 7.2.

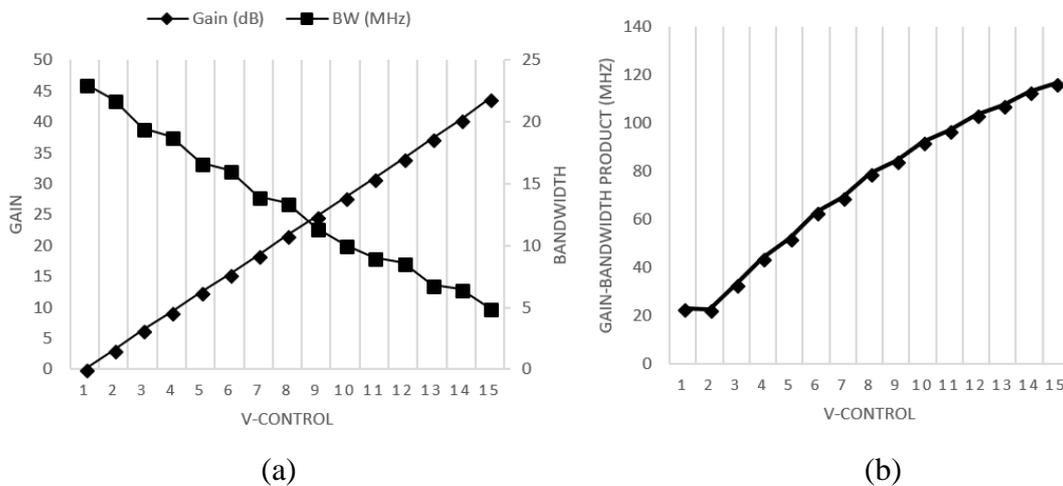


Figura 7.2. Gráfico de ganancia y ancho de banda en función de la palabra de control (a) y producto GBW en función de la palabra de control (b).

En esta última figura se aprecia que el ancho de banda varía entre 5 y 25 MHz para un rango de ganancia de 43.7 dB, que es un resultado destacable. Sin embargo, el producto GBW para los diferentes niveles presenta una curva cuyo valor se reduce para los niveles de máxima ganancia.

7.1.2 Comparativa con el Estado del Arte

A continuación, se muestra una recopilación de los resultados obtenidos y una comparativa con algunos trabajos del estado del arte actual. Con el fin de abarcar varias soluciones, se han seleccionado dos VGAs con control digital y dos VGAs con control analógico. Se han incluido trabajos realizados sobre la misma tecnología, o alguna similar, a la empleada en el trabajo actual y con unas especificaciones parecidas a las de este trabajo. Cabe destacar que en los trabajos [52], [53] y [28] el área es prohibitiva respecto al trabajo actual puesto que en los mismos se han empleado redes de capacidades conmutadas para mejorar el ancho de banda o redes de cancelación de *offsets* para eliminar niveles de continua. Dado que estas soluciones emplean una gran cantidad de condensadores integrados, el área ocupada crece significativamente. En cualquier caso, la ventaja de la técnica empleada en este trabajo es precisamente que se evita la necesidad de emplear dichas soluciones. De igual forma, en estas soluciones se han empleado entre tres y seis etapas de amplificación, además de circuitos de control automático de ganancia (ACG). En contraste, en este trabajo solamente se emplean dos etapas de amplificación y el circuito de ACG no ha sido implementado. De ahí el consumo de potencia tan elevado de las otras propuestas. A su vez, los trabajos [27] y [28] muestran una ganancia muy elevada que conlleva un consumo de potencia superior a este trabajo al necesitar una mayor inyección de corriente para elevar la transconductancia de los MOSFETs. En un caso ideal, se debería comparar directamente el propio VGA sin tener en cuenta circuitos adicionales, pero es complicado acceder a esta información ya que en la bibliografía científica se suele presentar el resultado final de la implementación en un receptor completo.

Tabla 7.2. Comparativa del trabajo realizado con otras soluciones del estado del arte

Parámetro	[52]	[53]	[27]	[28]	<i>Este Trabajo</i>
Regulación de ganancia (dB)	-1.4 a 30.2	3 a 21.6	50	0 a 65	0 a 43.7
Pasos de Ganancia (dB)	0.5	2.2	continuo	continuo	~3.1
Error de ganancia (dB)	±0.1	---	±0.5	±1	±0.1
Ancho de banda mínimo (MHz)	3	10	15	3.8	5
Alimentación (V)	1.8	1.8	1.2	1.2	1.2
Potencia disipada (mW)	35	2.8	2.2	11.5	0.334
Tecnología	180 nm	180 nm	65 nm	180 nm	65 nm
Área ocupada (μm²)	250000	190000	10000	750000	2740

Respecto a las propuestas presentadas en la tabla, el trabajo actual se sitúa dentro de lo esperado en lo que al ancho de banda se refiere. El consumo es reducido respecto a estos trabajos, pero habría que considerar qué parte del consumo es debido exclusivamente al VGA y qué parte a los circuitos de control de ganancia, cancelación de *offsets*, etc. Lo mismo ocurre con el área, aunque la ventaja de la compensación de fuente probablemente siga haciendo que este trabajo sea muy superior en este sentido. Cabe mencionar que los VGAs analógicos presentan un mayor error de ganancia, tal y como era de esperar. Asimismo, se destaca la implementación de VGAs en tecnología de 0.18 μm, puesto que su coste es menor que la tecnología de 65 nm. En general, se puede concluir que el trabajo realizado es competitivo sobre todo en ocupación de área y en consumo de potencia. En cuanto al control y error de ganancia, así como en ancho de banda, el trabajo realizado está dentro de la media.

7.2 Líneas Futuras

Es posible mejorar el trabajo realizado en diferentes aspectos que se resumen a continuación:

- ❖ En primer lugar, es posible aplicar diferentes técnicas de *layout* sobre la implementación realizada para mejorar la simetría de las líneas de señal y aumentar el CMRR y, por tanto, el comportamiento frente a ruido. Este estudio podría mejorar la relación de rechazo al modo común y mejorar las parásitas del circuito completo.
- ❖ En segundo lugar, dado que no ha sido posible ajustar la segunda etapa del PGA sería posible ajustar esta segunda etapa para mejorar la precisión de los niveles de ganancia del circuito.

- ❖ Para mejorar el ancho de banda mínimo del PGA es posible aumentar el valor de las capacidades de compensación, puesto que las especificaciones fijadas inicialmente eran de 10 MHz. En cualquier caso, para ello sería necesario retocar el *layout* del PGA.
- ❖ Como el filtro polifásico no ha sido implementado, parte del trabajo futuro podría ser el desarrollo del filtro para posteriormente realizar la construcción del receptor completo.
- ❖ Otro posible trabajo futuro sería el desarrollo de un circuito de control automático de ganancia.
- ❖ Dado que la técnica de compensación de fuente no permite ajustar el margen de fase de la respuesta en lazo cerrado del PGA con precisión, sería posible estudiar alguna alternativa que permita mejorar este aspecto.
- ❖ Para cumplir con el objetivo del proyecto ComRAD, se deberían realizar pruebas sobre los circuitos fabricados en ambientes de elevada radiación.
- ❖ Finalmente, queda pendiente la toma de medidas del circuito para su posterior publicación, quedando demostrada la efectividad de la técnica de compensación en amplificadores para circuitos de comunicaciones inalámbricas.

Como comentario final, cabe mencionar que en el PGA desarrollado se ha dejado el control de la tensión de sustrato de los NMOS del par diferencial del OTA como un pin externo. Sin embargo, es posible implementar un control dinámico de esta tensión, tal y como se realiza en [18]. En este trabajo se implementa un pequeño amplificador que toma la tensión V_{GS} de un transistor por el que circula una corriente de referencia para corregir la tensión de sustrato y asegurar una tensión umbral que mantenga los NMOS operado en el punto de polarización adecuado.

Bibliografía

- [1] IEEE, “The International Roadmap for Devices and Systems (IRDS): 2017 Edition: Executive Summary,” 2017.
- [2] S. Al-Sarawi, M. Anbar, K. Alieyan, and M. Alzubaidi, “Internet of Things (IoT) Communication Protocols: Review,” *8th Int. Conf. Inf. Technol.*, pp. 685–690, 2017.
- [3] L. Atzori, A. Iera, and G. Morabito, “Understanding the Internet of Things: definition, potentials, and societal role of a fast evolving paradigm,” *Ad Hoc Networks*, vol. 56, pp. 122–140, 2017.
- [4] IEC - International Electrotechnical Commission, “Internet of Things: Wireless Sensor Networks Executive summary,” p. 78, 2014.
- [5] IEEE, “IEEE Standard for Low-Rate Wireless Networks,” *IEEE Std 802.15.4-2015 (Revision IEEE Std 802.15.4-2011)*, pp. 1–709, 2016.
- [6] J. del Pino, “Arquitectura de Transmisores y Receptores.” IUMA, pp. 1–29, 2017.
- [7] B. Razavi, *RF Microelectronics*, Second. Prentice Hall Communications Engineering and Emerging Technologies Series, 2012.
- [8] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Second. University of California, Los Angeles: McGraw-Hill Education, 2017.
- [9] R. J. Baker, *CMOS Circuit Design, Layout & Simulation*, Third. New Jersey: John Wiley & Sons, 2010.
- [10] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Third. New York: Oxford University Press, 2012.
- [11] D. Galante, “Diseño de un VGA para un Receptor para el Estándar IEEE 802.15.4 en Tecnología CMOS UMC de 65 nm,” University of Las Palmas de Gran Canaria, 2017.
- [12] J. Ramírez-angulo, E. Mirazo, J. Lemus, A. Diaz-sanchez, and A. Lopez-martín, “Source Compensated Miller Op-amps: A Simple Method to Enhance Amplifier’s Bandwidth at no Cost,” vol. 2, no. 1, pp. 2–5, 2010.

-
- [13] J. M. Algueta-miguel *et al.*, “A Simple Miller Compensation With Essential Bandwidth Improvement,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 25, no. 11, pp. 3186–3192, 2017.
- [14] IEEE Standards Association, “IEEE 802.15 Working Group for Wireless Specialty Networks (WSN).” [Online]. Available: <http://www.ieee802.org/15/>. [Accessed: 22-Apr-2018].
- [15] Bluetooth Special Interest Group, “Bluetooth Core Specification Version 5.0,” no. December, p. 2684, 2016.
- [16] U. Raza, P. Kulkarni, and M. Sooriyabandara, “Low Power Wide Area Networks: An Overview,” *IEEE Commun. Surv. Tutorials*, vol. 19, no. 2, pp. 855–873, 2017.
- [17] R. Natarajan, P. Zand, and M. Nabi, “Analysis of Coexistence between IEEE 802.15.4, BLE and IEEE 802.11 in the 2.4 GHz ISM Band,” *IECON 2016 - 42nd Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 1–8, 2016.
- [18] A. Balankutty, S. Member, S. Yu, Y. Feng, P. R. Kinget, and S. Member, “A 0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications,” *IEEE J. Solid-State Circuits*, vol. 45, no. 3, pp. 538–553, 2010.
- [19] N. Stanić, A. Balankutty, P. R. Kinget, and Y. Tsvividis, “A 2.4-GHz ISM-Band Sliding-IF Receiver With a 0.5-V Supply,” *IEEE J. Solid-State Circuits*, vol. 43, no. 5, pp. 1138–1145, 2008.
- [20] Y. Wang *et al.*, “Design of a Low Power , Inductorless Wideband Variable-Gain Amplifier for High-Speed Receiver Systems,” *IEEE Trans. Circuits Systems*, vol. 59, no. 4, pp. 696–707, 2012.
- [21] H. Q. Nguyen, H. L. Vu, L. D. Tran, and C. M. Nguyen, “Implementation of a CMOS analog linear VGA,” *7th Int. Conf. Integr. Circuit, Des. Verif. Implement.*, no. Icdv, pp. 35–40, 2017.
- [22] H. Liu, X. Zhu, C. C. Boon, X. Yi, and L. Kong, “A 71 dB 150 μ W Variable-Gain Amplifier in 0.18 μ m CMOS Technology,” *IEEE Microw. Wirel. Components Lett.*, vol. 25, no. 5, pp. 334–336, 2015.

- [23] H. Liu, X. Zhu, C. C. Boon, and X. He, “Cell-Based Variable-Gain Amplifiers With Accurate dB-Linear Characteristic in 0.18 μm CMOS Technology,” *IEEE J. Solid-State Circuits*, vol. 50, no. 2, pp. 586–596, 2015.
- [24] M. Dongi and M. Jalali, “A Wideband CMOS VGA with dB-Linear Gain Based on Active Feedback and Negative Capacitance,” *2017 25th Iran. Conf. Electr. Eng. ICEE 2017*, no. ICEE 2017, pp. 506–510, 2017.
- [25] H. Liu *et al.*, “A Wideband Analog-Controlled Variable-Gain Amplifier with dB-Linear Characteristic for High-Frequency Applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 2, pp. 33–540, 2016.
- [26] C. Liu *et al.*, “A 5-Gb / s Automatic Gain Control Amplifier,” *IEEE J. Solid-State Circuits*, vol. 47, no. 6, pp. 1323–1333, 2012.
- [27] I. Choi, H. Seo, and B. Kim, “Accurate dB-Linear Variable Gain Amplifier With Gain Error Compensation,” *IEEE J. Solid-State Circuits*, vol. 48, no. 2, pp. 456–464, 2013.
- [28] H. Elwan, A. Tekin, and K. Pedrotti, “A Low-Noise Analog Baseband in 65nm CMOS,” *Proc. Cust. Integr. Circuits Conf.*, pp. 2–5, 2010.
- [29] J. Lee, B. Han, J. H. Lim, S. S. Ahn, J. K. Kim, and T. Cho, “A Reconfigurable Analog Baseband for Single-chip, Saw-less, 2G/3G/4G Cellular Transceivers with Carrier Aggregation,” *Proc. - 2014 IEEE Asian Solid-State Circuits Conf. A-SSCC 2014*, pp. 9–12, 2015.
- [30] I. Kwon, Y. Eo, S.-S. Song, K. Choi, H. Lee, and K. Lee, “A Fully Integrated 2.4GHz Low IF CMOS Transceiver for IEEE 802.15.4,” *IEEE Radio Freq. Integr. Circuits Symp.*, pp. 164–167, 2007.
- [31] J. Lim *et al.*, “A Fully Integrated 2.4 GHz IEEE 802.15.4 Transceiver for Zigbee Applications,” *Proc. Asia-Pacific Microw. Conf.*, pp. 15–18, 2006.
- [32] L. Zhang *et al.*, “A Reconfigurable Sliding-IF Transceiver for 400 MHz/2.4 GHz IEEE 802.15.6/ZigBee WBAN Hubs With Only 21% Tuning Range VCO,” *IEEE J. Solid-State Circuits*, vol. 48, no. 11, pp. 1–12, 2013.
- [33] Y. Il Kwon, S. G. Park, T. J. Park, K. S. Cho, and H. Y. Lee, “An Ultra Low-Power

- CMOS Transceiver Using Various Low-Power Techniques for LR-WPAN Applications,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 59, no. 2, pp. 324–336, 2012.
- [34] J. Masuch, M. Delgado-restituto, and S. Member, “A 1.1-mW-RX 81.4-dBm Sensitivity CMOS Transceiver for Bluetooth Low Energy,” *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 4, pp. 1660–1673, 2013.
- [35] A. Siligaris *et al.*, “A 65-nm CMOS Fully Integrated Transceiver Module for 60-GHz Wireless HD Applications,” *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 3005–3017, 2011.
- [36] J. Gil *et al.*, “A Fully Integrated Low-Power High-Coexistence 2.4-GHz ZigBee Transceiver for Biomedical and Healthcare Applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 62, no. 9, pp. 1879–1889, 2014.
- [37] B. Xia and N. Qi, “Low-power 2.4 GHz ZigBee transceiver with inductor-less radio-frequency front-end for Internet of things applications,” *IET Circuits, Devices Syst.*, vol. 12, no. 2, pp. 209–214, 2017.
- [38] J. Kim, S. J. Lee, S. Kim, J. O. Ha, Y. S. Eo, and H. Shin, “A 54-862-MHz CMOS Transceiver for TV-Band White-Space Device Applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 59, no. 4, pp. 966–977, 2011.
- [39] A. Cruz Ramón, “Diseño de un Amplificador de Ganancia Programable para un Receptor IEEE 802.15.4 en Tecnología CMOS 0.18 μm ,” 2016.
- [40] P. Jespers, *the Gm/Id Methodology, a Sizing Tool for Low-Voltage Analog Cmos Circuits*. 2010.
- [41] J. F. López, “Técnicas de Diseño de Circuitos Integrados a Medida.” IUMA, Las Palmas de Gran Canaria, p. 38, 2017.
- [42] Y. Raskin, A. Feiningstein, M. Gutman, and E. Shauly, “Metal-Insulator-Metal (MIM) Capacitors for Mixed Signal/CMOS, PM and RFCMOS Applications,” *TowerJazz Tech. J.*, vol. 5, no. April 2014, pp. 30–41, 2014.
- [43] M. Ershov, “MOM capacitor simulation challenges and solutions,” *Silicon Front.*

- Technol.*, 2009.
- [44] P.-Y. Chiu and M.-D. Ker, “Metal-layer capacitors in the 65 nm CMOS process and the application for low-leakage power-rail ESD clamp circuit,” *Microelectron. Reliab.*, vol. 54, pp. 64–70, 2014.
- [45] M. J. Sicilia, “Diseño de un Cabezal de Recepción para 802.15.4 Mediante Técnicas de Reutilización de Corriente,” University of Las Palmas de Gran Canaria, 2018.
- [46] J. Y. González, “Implementación Física y Verificación de un Cabezal de Recepción para estándar IEEE 802.15.4 en Tecnología CMOS 65 nm,” University of Las Palmas de Gran Canaria, 2018.
- [47] V. H. García, K. S. L., P. R., G. A., and del Pino J., “A Wideband Active Feedback LNA with a Modified 3D Inductor,” *Microw. Opt. Technol. Lett.*, vol. 52, no. 7, pp. 1561–1567.
- [48] J. del Pino, “Dispositivos Activos,” 2017.
- [49] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design*, Second. John Wiley & Sons, 2012.
- [50] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Fifth. John Wiley & Sons, 2009.
- [51] G. W. Neudeck, *El diodo PN de unión*, Second. Purdue University: Addison-Wesley Iberoamericana, 1993.
- [52] T. B. Kumar, K. Ma, K. S. Yeo, and W. Yang, “A 35-mW 30-dB gain control range current mode linear-in-decibel programmable gain amplifier with bandwidth enhancement,” *IEEE Trans. Microw. Theory Tech.*, vol. 62, no. 12, pp. 3465–3475, 2014.
- [53] H. Kim, Y. Park, H. Yang, and S. Kim, “A Constant Bandwidth Switched-Capacitor Programmable-Gain Amplifier Utilizing Adaptive Miller Compensation Technique,” pp. 249–252.

ANEXO I

-

Layout del PGA

