



Máster en Tecnologías de Telecomunicación

Trabajo Fin de Máster

Plataforma FPGA PCI Express para aplicaciones Big Data

Irene González Crespo

Pedro Pérez Carballo, Antonio Núñez Ordóñez

Julio 2018

Resumen:

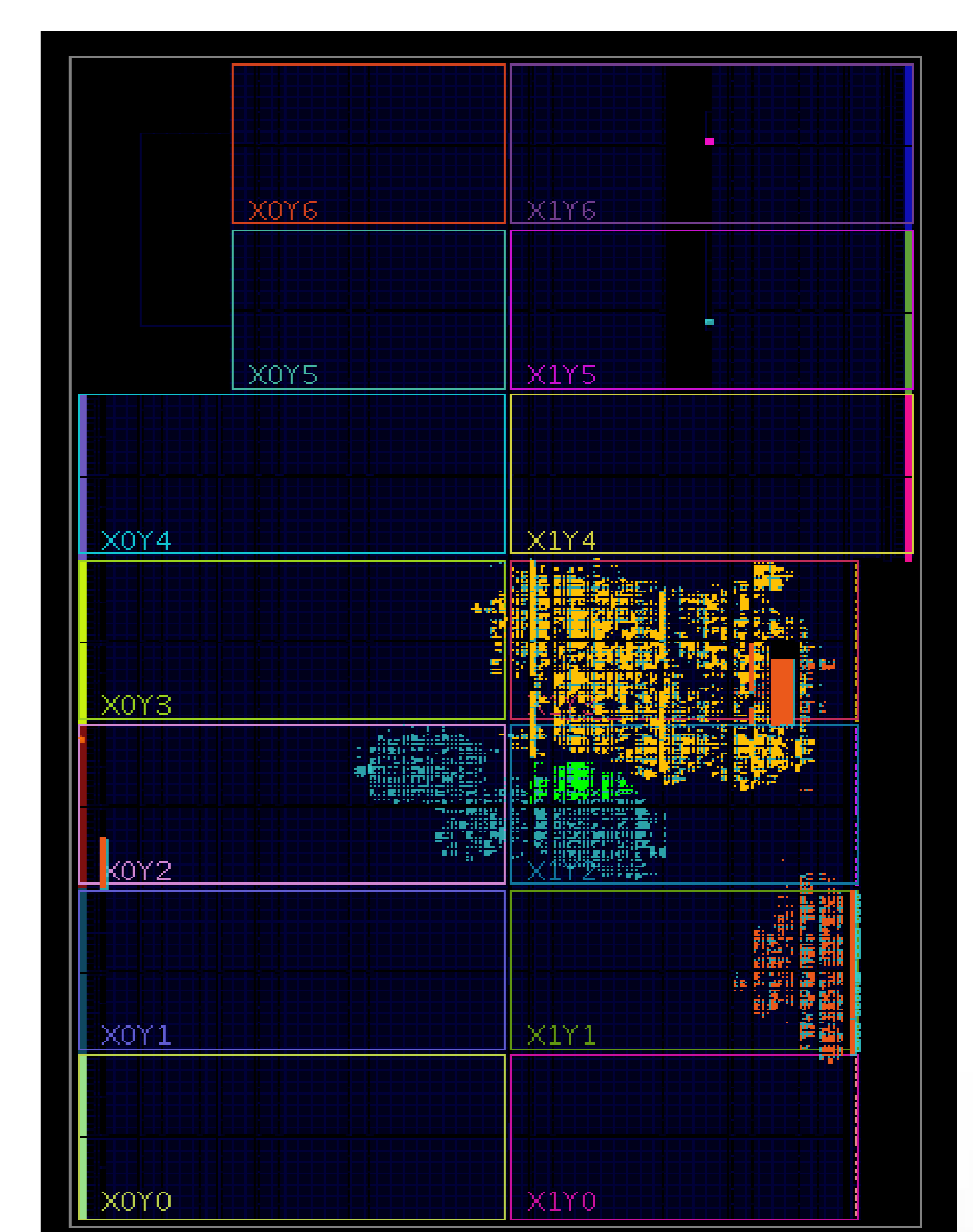
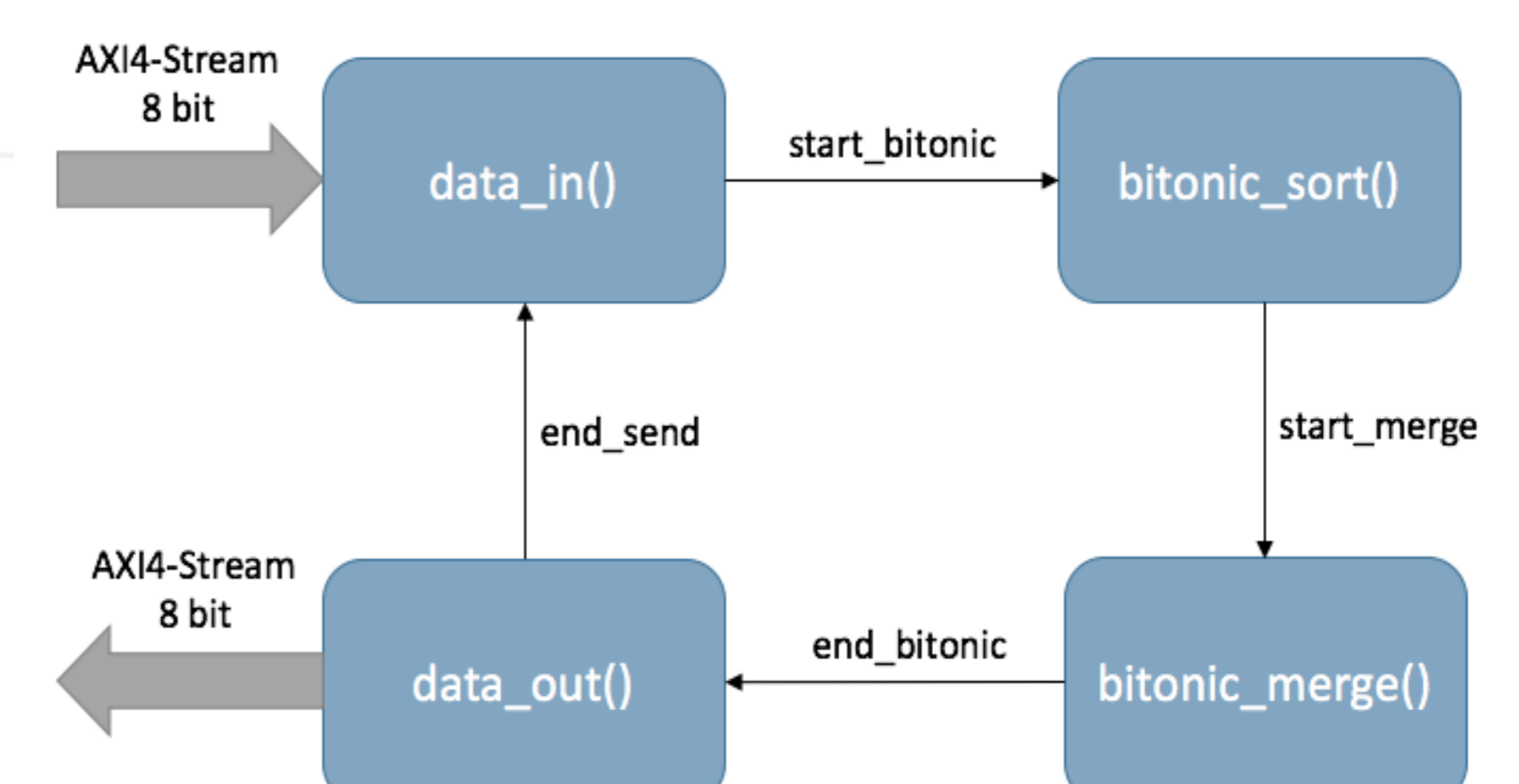
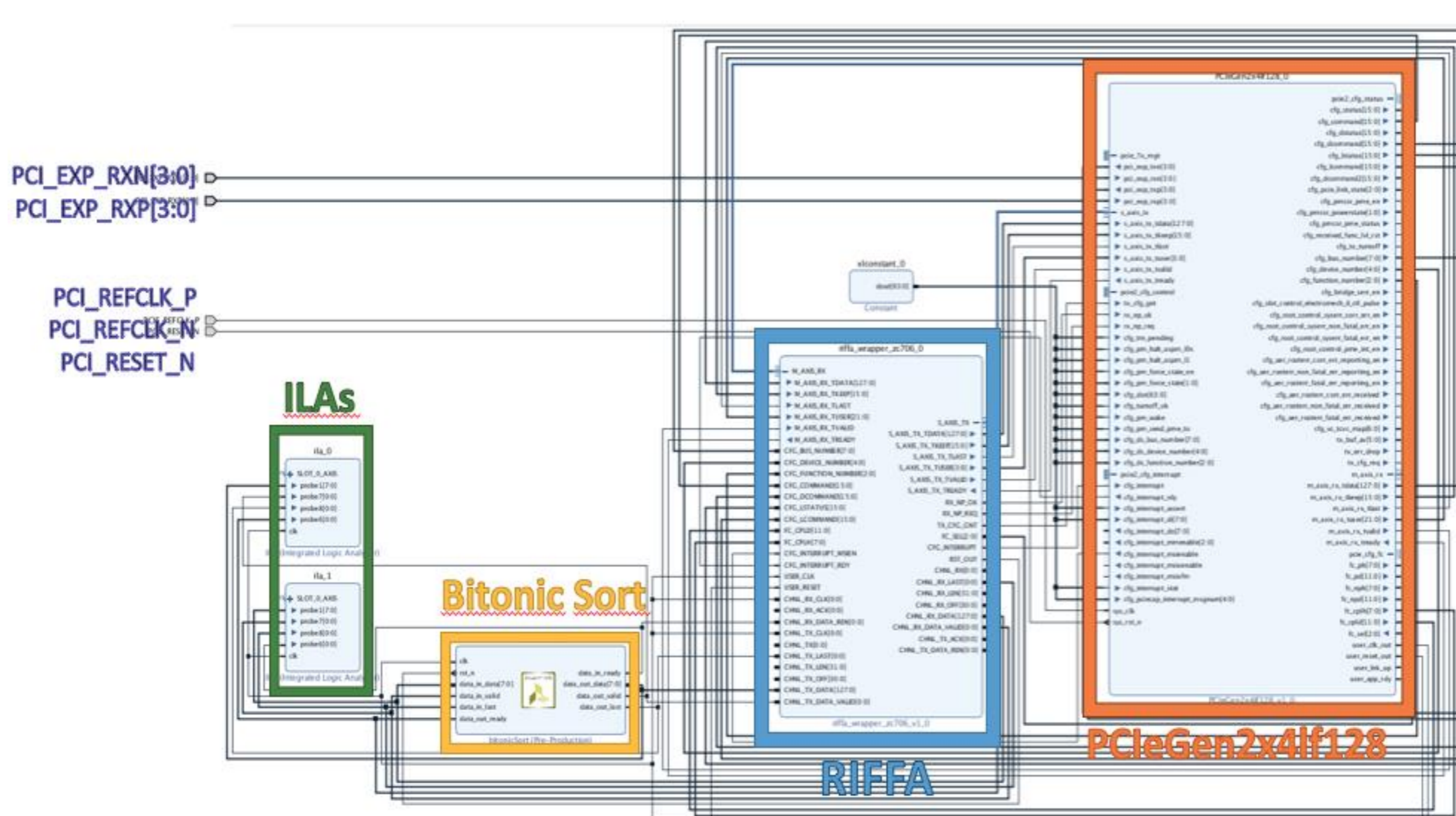
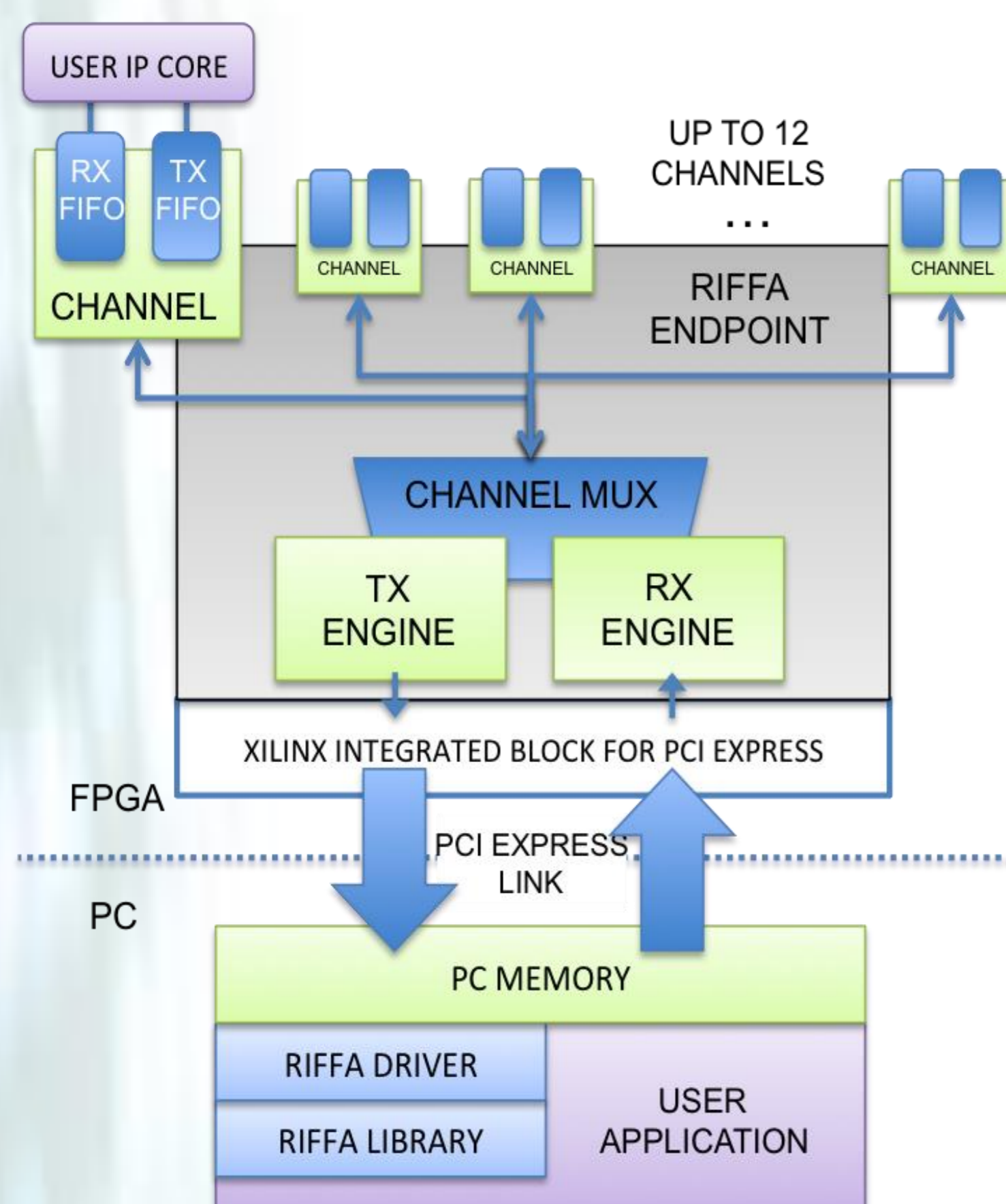
- Este Trabajo Fin de Máster se enmarca en la utilización de FPGAs para acelerar el procesamiento de datos bajo un paradigma Big Data, tratando de cubrir dos aspectos de interés: la interfaz de datos con el *host* y la ordenación de los datos para un acelerador hardware *MapReduce*.
- Se ha implementado en la FPGA un bloque interfaz para el bus de comunicaciones PCI Express para facilitar una comunicación rápida, eficaz y eficiente entre la placa de prototipado FPGA y el *host* controlador del sistema.
- Se han estudiado diferentes alternativas para la realización de un clasificador de datos apto para aplicaciones de Big Data. Se ha realizado su implementación en la FPGA desde SystemC, permitiendo trabajar con datos en tiempo real.
- Se integran los bloques para validar su funcionamiento sobre la placa de desarrollo de Xilinx ZC706.

Interfaz PCIe

- La conexión PCIe se realiza utilizando RIFFA (Reusable Integration Framework for FPGA Accelerators), marco de integración reusable dirigido a aceleradores FPGA.
- Permite integrar de forma sencilla y eficiente el bus de comunicaciones PCI Express entre un *host* CPU y una FPGA para alcanzar hasta un 97% del ancho de banda disponible en una conexión PCI Express.
- La implementación de RIFFA sobre Zynq, con un ancho de interfaz AXI de 128 bit y de 64 bit, presenta un consumo de potencia inferior a 1,9 W en ambos casos.

Bitonic Sorting:

- Se ha decidido hacer uso de un algoritmo de *Bitonic Sorting* debido a que es adecuado para su implementación hardware sobre FPGA, presentando buena capacidad de paralelismo y soportando una buena escalabilidad en los datos.
- Para poder incluir el clasificador de *Bitonic Sorting* dentro de la estructura *MapReduce*, se requiere de una entrada y una salida AXI4-Stream de 8 bit.
- Se ha utilizado un flujo de diseño basado en síntesis de alto nivel desde SystemC usando Vivado HLS.
- Los recursos utilizados son bastante reducidos: 3.218 LUTs (1,47%), 217 LUTRAMs (0,31%), 3.876 Flip-Flops (0,89%), 3 BRAMs (0,55%) y 1 BUFG (3,13%).



Sistema final:

- El sistema final implementado incluyen un IP de gestión PCIe basado en RIFFA y un IP de clasificación basado en *Bitonic Sorting*, los bloques de buses y el bloque PS para validar el sistema.
- Se ha desarrollado un conjunto de funciones para el PS ARM Cortex A9 para enviar datos al bloque RIFFA y al bloque *Bitonic Sort*. Igualmente se dispone de una aplicación en el *host* para enviar datos al bloque PCIe y verificar el funcionamiento del sistema.
- El consumo de la plataforma final es de 1,672 W, obteniendo así un sistema de bajo consumo de potencia.
- Los recursos utilizados para ello son 9559 LUTs (4,37%), 467 LUTRAMs (0,66%), 15547 Flip-Flops (3,56%), 30 BRAMs (5,50%), 5 IOs (1,38%), 4 GTs (25,00%), 7 BUFGs (21,88%), 1 MMCM (12,50%) y 1 PCIe (100%).

Conclusiones:

- Las ventajas de implementar el bus de comunicaciones PCI Express proporciona sobre la FPGA un sistema con alto ancho de banda y bajo consumo de potencia, permitiendo la implementación de aplicaciones con un alto rendimiento de la plataforma.
- Cabe destacar que el algoritmo de clasificación desarrollado en SystemC permite flexibilidad, adaptabilidad y portabilidad.
- La implementación de un algoritmo de clasificación, como es *Bitonic Sorting*, proporciona un sistema que facilita el procesamiento y la distribución de datos.
- La reusabilidad del diseño y la maximización de la frecuencia de funcionamiento son dos objetivos de este proyecto, ya que se pueden integrar de forma conjunta el bus de comunicaciones PCI Express y el clasificador, o utilizarse de forma separada para una gran variedad de aplicaciones.

