



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

DISEÑO DE UN RECEPTOR DE “WAKE-UP” PARA WSN BASADO EN LA ARQUITECTURA “UNCERTAIN-IF”

Autor: Emilio Torres Armas

Tutores: Dr. Francisco Javier del Pino Suárez
Dr. Sunil Lalchand Khemchandani
Dailos Ramos Valido

Fecha: Julio 2016



t +34 928 451 086 | iuma@iuma.ulpgc.es
f +34 928 451 083 | www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

DISEÑO DE UN RECEPTOR DE “WAKE-UP” PARA WSN BASADO EN LA ARQUITECTURA “UNCERTAIN-IF”

HOJA DE FIRMAS

Alumno: Emilio Torres Armas Fdo.:

Tutor: Dr. Francisco Javier del Pino Suárez Fdo.:

Tutor: Dr. Sunil Lalchand Khemchandani Fdo.:

Tutor: Dailos Ramos Valido Fdo.:

Fecha: Julio 2016



t +34 928 451 086 | iuma@iuma.ulpgc.es
f +34 928 451 083 | www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

DISEÑO DE UN RECEPTOR DE “WAKE-UP” PARA WSN BASADO EN LA ARQUITECTURA “UNCERTAIN-IF”

HOJA DE EVALUACIÓN

Calificación:

Presidente:

Fdo.:

Secretario:

Fdo.:

Vocal:

Fdo.:

Fecha:

Julio 2016



Agradecimientos

Con esta memoria llego al final de un camino que nunca pensé en recorrer y sin embargo aquí estoy. Quiero darles las gracias a todas aquellas personas que me han apoyado en cada paso de este recorrido, muy especialmente a las siguientes personas:

A mis tutores, Javier, Sunil y Dailos, porque sin su gran dedicación y ayuda constante este trabajo no hubiese sido posible.

A mis padres, por la educación y valores que me han inculcado.

A mi hermana, Edu y Daniela, porque pase lo que pase ahí están siempre.

A Paco, Juanjo, Yessica, Richard, Hugo y Alejandra, porque las tardes y noches de risas han sido fundamentales para despajar la mente y reponer fuerzas.

Y muy especialmente a Paloma, porque sin su apoyo nunca hubiese recorrido este camino, porque por muy complicadas que parezcan las cosas, ella siempre lo ve posible.

Y como no, a Paula, porque aunque su llegada haya hecho un poco más duro este recorrido, queda compensando infinitamente cada vez que veo su sonrisa.

A Paula.

Índice

| | |
|---|-----------|
| Capítulo 1: Introducción..... | 1 |
| 1.1 Objetivo | 4 |
| 1.2 Estructura de la memoria | 5 |
| Capítulo 2: Redes de Sensores Inalámbricas..... | 7 |
| 2.1 Introducción a las redes de sensores inalámbricas | 7 |
| 2.2 Descripción de las redes de sensores inalámbricas | 9 |
| 2.3 Características de las redes de sensores inalámbricas..... | 11 |
| 2.4 Requisitos para la implementación de una red de sensores inalámbrica..... | 13 |
| 2.5 Introducción al esquema <i>Rendezvous</i> | 14 |
| 2.6 Control del ciclo de trabajo de las redes de sensores inalámbricas | 17 |
| 2.7 Resumen | 18 |
| Capítulo 3: Receptores <i>Wake-Up</i> | 21 |
| 3.1 Clasificación de receptores <i>wake-up</i> | 21 |
| 3.2 Consideraciones de diseño | 23 |
| 3.2.1 Sistema de Integración del receptor <i>wake-up</i> en el nodo sensor..... | 23 |
| 3.2.2 Entorno de red | 24 |
| 3.2.3 Optimización de la potencia activa..... | 25 |
| 3.3 Ventajas de los receptores <i>wake-up</i> | 25 |
| 3.3.1 Conservación de energía | 26 |
| 3.3.2 Comportamiento dinámico | 26 |
| 3.3.3 Mínimo <i>Overhead</i> | 26 |
| 3.3.4 Reducción de la escucha inactiva | 27 |
| 3.4 Retos del diseño de un receptor <i>wake-up</i> | 27 |
| 3.4.1 Problema de cobertura..... | 27 |
| 3.4.2 Retardo..... | 27 |
| 3.4.3 Coste y complejidad del <i>hardware</i> | 28 |
| 3.4.4 Alta escucha inactiva en los receptores <i>wake-up Range-Based</i> | 28 |

| | |
|---|-----------|
| 3.5 Arquitecturas típicas en los receptores <i>wake-up</i> | 28 |
| 3.5.1 Receptor de <i>Tuned-IF</i> | 29 |
| 3.5.2 Arquitectura basada en el ciclo de trabajo | 30 |
| 3.5.3 Receptor Heterodino | 31 |
| 3.5.4 Receptor de <i>Sliding-IF</i> | 32 |
| 3.5.5 Receptor de <i>Tuned-IF</i> con Doble Muestreo | 34 |
| 3.5.6 Receptor de <i>Uncertain-IF</i> | 35 |
| 3.6 Resumen..... | 37 |
| Capítulo 4: Diseño del <i>Layout</i> de los componentes del receptor <i>wake-up</i>..... | 39 |
| 4.1 Arquitectura <i>Uncertain-IF</i> | 40 |
| 4.2 Introducción al diseño de <i>layout</i> | 43 |
| 4.3 Generación de la señal OOK..... | 46 |
| 4.4 Diseño del detector de envolvente | 48 |
| 4.4.1 Simulación del Esquemático de <i>Cadence</i> | 49 |
| 4.4.2 Simulación del <i>Layout</i> de <i>Cadence</i> | 55 |
| 4.5 Diseño del Mezclador | 61 |
| 4.5.1 Simulación del Esquemático de <i>Cadence</i> | 63 |
| 4.5.1.1 Simulación de Parámetros S | 65 |
| 4.5.1.2 Simulación <i>Harmonic Balance</i> | 67 |
| 4.5.2 Simulación del <i>Layout</i> de <i>Cadence</i> | 70 |
| 4.5.2.1 Simulación de Parámetros S | 72 |
| 4.5.2.2 Simulación <i>Harmonic Balance</i> | 78 |
| 4.6 Diseño de la etapa amplificadora..... | 80 |
| 4.6.1 Simulación del Esquemático de <i>Cadence</i> de las Diferentes Etapas Amplificadoras..... | 83 |
| 4.6.1.1 Esquemático del Amplificador con Fuente Simple..... | 83 |
| 4.6.1.2 Esquemático del Amplificador con Fuente Doble | 88 |
| 4.6.2 Simulación del <i>Layout</i> de <i>Cadence</i> de las Diferentes Etapas Amplificadoras..... | 94 |
| 4.6.2.1 <i>Layout</i> del Amplificador con Fuente Simple | 94 |
| 4.6.2.2 <i>Layout</i> del Amplificador con Fuente Doble | 98 |
| 4.6.3 Simulación del Amplificador de Cinco Etapas | 102 |
| 4.6.3.1 Simulación del Esquemático del Amplificador de Cinco Etapas | 103 |

| | |
|---|------------|
| 4.6.3.2 Simulación del <i>Layout</i> del Amplificador de Cinco Etapas | 108 |
| 4.6.3.2.1 Primer <i>Layout</i> Diseñado del Amplificador de Cinco Etapas | 108 |
| 4.6.3.2.2 Segundo <i>Layout</i> Diseñado del Amplificador de Cinco Etapas | 111 |
| 4.6.3.2.3 <i>Layout</i> Definitivo del Amplificador de Cinco Etapas | 113 |
| 4.6.4 Simulación del Amplificador de Tres Etapas | 116 |
| 4.6.4.1 Simulación del Esquemático del Amplificador de Tres Etapas..... | 116 |
| 4.6.4.2 Simulación del <i>Layout</i> del Amplificador de Tres Etapas | 121 |
| 4.7 Resumen | 124 |
| Capítulo 5: Diseño del Receptor <i>Wake-up</i> | 127 |
| 5.1 Etapa amplificadora y detector de envolvente | 127 |
| 5.1.1 Amplificador de Tres Etapas y Detector de Envolvente | 128 |
| 5.1.1.1 Simulación del Esquemático de <i>Cadence</i> | 128 |
| 5.1.1.2 Simulación del <i>Layout</i> de <i>Cadence</i> | 133 |
| 5.1.2 Amplificador de Cinco Etapas y Detector de Envolvente | 137 |
| 5.1.2.1 Simulación del Esquemático de <i>Cadence</i> | 137 |
| 5.1.2.2 Simulación del <i>Layout</i> de <i>Cadence</i> | 142 |
| 5.2 Conexión completa del receptor | 145 |
| 5.2.1 Receptor <i>Wake-up</i> completo..... | 145 |
| 5.2.1.1 Simulación del Esquemático de <i>Cadence</i> | 145 |
| 5.2.1.2 Simulación del <i>Layout</i> de <i>Cadence</i> | 150 |
| 5.2.2 Receptor de <i>Wake-up</i> con <i>Pads</i> de Medida..... | 154 |
| 5.2.2.1 Simulación del Esquemático de <i>Cadence</i> | 155 |
| 5.2.2.2 Simulación del <i>Layout</i> de <i>Cadence</i> | 160 |
| 5.3 Resumen | 162 |
| Capítulo 6: Conclusiones | 165 |
| 6.1 Conclusiones..... | 165 |
| 6.2 Líneas futuras..... | 172 |
| Pliego de Condiciones | 173 |
| Condiciones Generales | 173 |
| Equipamiento <i>Hardware</i> | 173 |

Índice

| | |
|--|------------|
| Equipamiento <i>Software</i> | 173 |
| Presupuesto | 175 |
| P.1 Tarifa de honorarios por tiempo empleado..... | 175 |
| P.2 Amortización de recursos materiales..... | 176 |
| P2.1 Amortización del material <i>hardware</i> | 176 |
| P2.2 Amortización del material <i>software</i> | 177 |
| P.3 Costes de Fabricación..... | 178 |
| P.4 Material fungible | 178 |
| P.5 Costes de edición | 179 |
| P.6 Presupuesto total | 179 |
| Bibliografía..... | 181 |
| Anexos | 185 |

Índice de Figuras

| | |
|---|----|
| Figura 1.1: Diagrama de bloques de un nodo sensor con receptor <i>wake-up</i> | 4 |
| Figura 2.1: Diagrama de bloques de un nodo. | 10 |
| Figura 3.1: Clasificación de los receptores <i>wake-up</i> | 23 |
| Figura 3.2: Diagrama de bloques de un nodo con receptor <i>wake-up</i> | 24 |
| Figura 3.3: Arquitectura del receptor de <i>Tuned-IF</i> | 29 |
| Figura 3.4: Arquitectura basada en el ciclo de trabajo. | 30 |
| Figura 3.5: Arquitecturas del receptor heterodino: a) Superheterodino, b) Homodino. ... | 31 |
| Figura 3.6: Diagrama de bloques del sintetizador de frecuencia. | 32 |
| Figura 3.7: Arquitectura del receptor de <i>Sliding-IF</i> | 33 |
| Figura 3.8: Mezclador normal y mezclador de sub-muestreo. | 34 |
| Figura 3.9: Arquitectura de <i>Tuned-IF</i> con doble muestreo. | 35 |
| Figura 3.10: Arquitectura del receptor <i>Uncertain-IF</i> | 36 |
| Figura 4.1: Evolución de la señal. | 42 |
| Figura 4.2: Generación de la señal OOK. | 47 |
| Figura 4.3: Simulación de la señal OOK. | 47 |
| Figura 4.4: Esquemático del detector de envolvente. | 49 |
| Figura 4.5: Esquemático del detector de envolvente en ADS. | 50 |
| Figura 4.6: Esquemático del detector de envolvente en <i>Cadence</i> | 51 |
| Figura 4.7: Símbolo del detector de envolvente. | 52 |
| Figura 4.8: Instanciación del detector de envolvente en ADS. | 53 |
| Figura 4.9: Resultados del esquemático de <i>Cadence</i> en ADS. | 54 |
| Figura 4.10: <i>Layout</i> del detector de envolvente en <i>Cadence</i> | 55 |
| Figura 4.11: <i>Layout</i> de los transistores del detector de envolvente. | 56 |
| Figura 4.12: Instanciación del símbolo extraído del detector de envolvente en ADS. | 58 |
| Figura 4.13: Resultado del <i>layout</i> de <i>Cadence</i> en ADS. | 59 |
| Figura 4.14: Resultado final del <i>layout</i> de <i>Cadence</i> en ADS. | 60 |
| Figura 4.15: Funcionamiento del mezclador. | 61 |

| | |
|--|----|
| Figura 4.16: Esquemático del mezclador. | 62 |
| Figura 4.17: Esquemático del mezclador en ADS..... | 63 |
| Figura 4.18: Esquemático del mezclador en <i>Cadence</i> | 64 |
| Figura 4.19: Símbolo del mezclador..... | 65 |
| Figura 4.20: Instanciación del esquemático del mezclador de <i>Cadence</i> en ADS, simulación de parámetros S. | 66 |
| Figura 4.21: Resultado de la simulación de parámetros S del esquemático de <i>Cadence</i> en ADS. | 67 |
| Figura 4.22: Instanciación del esquemático del mezclador de <i>Cadence</i> en ADS, simulación <i>Harmonic Balance</i> | 68 |
| Figura 4.23: Resultado de la simulación <i>Harmonic Balance</i> del esquemático de <i>Cadence</i> en ADS. | 69 |
| Figura 4.24: Consumo del esquemático del mezclador de <i>Cadence</i> en ADS. | 70 |
| Figura 4.25: <i>Layout</i> del mezclador en <i>Cadence</i> | 71 |
| Figura 4.26: <i>Layout</i> de los transistores del mezclador..... | 72 |
| Figura 4.27: Instanciación del extraído del mezclador en ADS, simulación de parámetros S. | 73 |
| Figura 4.28: Resultado de la simulación de parámetros S del extraído de <i>Cadence</i> en ADS. | 74 |
| Figura 4.29: Resultado inicial de la simulación de parámetros S del extraído de <i>Cadence</i> en ADS. | 75 |
| Figura 4.30: Vía de 3x3 entre bobina y condensador y pista de 5µm..... | 76 |
| Figura 4.31: Vía de 25x25 y contacto a sustrato. | 76 |
| Figura 4.32: Resultados de la simulación de parámetros S obtenidos con pistas de 5 µm y vías grandes. | 77 |
| Figura 4.33: Instanciación del extraído del mezclador de <i>Cadence</i> en ADS, simulación <i>Harmonic Balance</i> | 78 |
| Figura 4.34: Resultado de la simulación <i>Harmonic Balance</i> del extraído de <i>Cadence</i> en ADS. | 79 |
| Figura 4.35: Consumo del extraído del mezclador de <i>Cadence</i> en ADS. | 80 |
| Figura 4.36: Estructura básica del amplificador diferencial. | 81 |

| | |
|--|-----|
| Figura 4.37: Esquemático de la etapa amplificadora. | 82 |
| Figura 4.38: Esquemático del amplificador con fuente simple en ADS. | 84 |
| Figura 4.39: Esquemático del amplificador con fuente simple en ADS. | 85 |
| Figura 4.40: Símbolo del amplificador con fuente simple..... | 86 |
| Figura 4.41: Instanciación del esquemático del amplificador de fuente simple de <i>Cadence</i> en ADS..... | 86 |
| Figura 4.42: Ganancia del esquemático de <i>Cadence</i> en ADS del amplificador con fuente simple..... | 87 |
| Figura 4.43: Consumo del esquemático del amplificador con fuente simple..... | 88 |
| Figura 4.44: Esquemático del amplificador con fuente doble en ADS. | 89 |
| Figura 4.45: Esquemático del amplificador con fuente doble en <i>Cadence</i> | 90 |
| Figura 4.46: Símbolo del amplificador con fuente doble. | 91 |
| Figura 4.47: Instanciación del esquemático del amplificador de fuente doble de <i>Cadence</i> en ADS..... | 92 |
| Figura 4.48: Ganancia del esquemático de <i>Cadence</i> en ADS del amplificador con fuente doble..... | 93 |
| Figura 4.49: Consumo del esquemático del amplificador con fuente doble. | 93 |
| Figura 4.50: <i>Layout</i> del amplificador con fuente simple. | 94 |
| Figura 4.51: <i>Layout</i> de los transistores del amplificador con fuente simple. | 95 |
| Figura 4.52: Instanciación del extraído del amplificador con fuente simple en ADS..... | 96 |
| Figura 4.53: Ganancia del extraído de <i>Cadence</i> en ADS del amplificador con fuente simple. | 97 |
| Figura 4.54: Consumo del extraído del amplificador con fuente simple. | 98 |
| Figura 4.55: <i>Layout</i> del amplificador con fuente doble. | 99 |
| Figura 4.56: <i>Layout</i> de los transistores del amplificador con fuente doble..... | 100 |
| Figura 4.57: Instanciación del extraído del amplificador con fuente doble en ADS. | 101 |
| Figura 4.58: Ganancia del extraído de <i>Cadence</i> en ADS del amplificador con fuente doble. | 101 |
| Figura 4.59: Consumo del extraído del amplificador con fuente doble..... | 102 |
| Figura 4.60: Esquemático del amplificador de cinco etapas en <i>Cadence</i> | 104 |
| Figura 4.61: Símbolo del amplificador de cinco etapas..... | 105 |

| | |
|--|-----|
| Figura 4.62: Instanciación del esquemático del amplificador de cinco etapas en ADS. ... | 106 |
| Figura 4.63: Ganancia y ancho de banda del esquemático de <i>Cadence</i> en ADS del amplificador con cinco etapas..... | 107 |
| Figura 4.64: Consumo del esquemático de <i>Cadence</i> en ADS del amplificador con cinco etapas..... | 107 |
| Figura 4.65: Primer diseño del amplificador de cinco etapas..... | 109 |
| Figura 4.66: Instanciación del extraído del amplificador de cinco etapas en ADS. | 110 |
| Figura 4.67: Ganancia y ancho de banda del primer <i>Layout</i> del amplificador con cinco etapas..... | 111 |
| Figura 4.68: Segundo diseño del amplificador de cinco etapas..... | 112 |
| Figura 4.69: Ganancia y ancho de banda del segundo <i>Layout</i> del amplificador con cinco etapas..... | 113 |
| Figura 4.70: <i>Layout</i> definitivo del amplificador de cinco etapas. | 114 |
| Figura 4.71: Rediseño del <i>Layout</i> de los transistores..... | 114 |
| Figura 4.72: Ganancia y ancho de banda del <i>Layout</i> definitivo del amplificador de cinco etapas..... | 115 |
| Figura 4.73: Consumo del <i>Layout</i> definitivo del amplificador con cinco etapas. | 116 |
| Figura 4.74: Esquemático del amplificador de tres etapas en <i>Cadence</i> | 117 |
| Figura 4.75: Símbolo del amplificador de tres etapas..... | 118 |
| Figura 4.76: Instanciación del esquemático del amplificador de tres etapas en ADS. | 119 |
| Figura 4.77: Ganancia y ancho de banda del esquemático del amplificador de tres etapas. | 120 |
| Figura 4.78: Consumo del esquemático del amplificador de tres etapas..... | 121 |
| Figura 4.79: <i>Layout</i> del amplificador de tres etapas..... | 122 |
| Figura 4.80: Ganancia y ancho de banda del <i>Layout</i> del amplificador de tres etapas. | 123 |
| Figura 4.81: Consumo del <i>Layout</i> del amplificador de tres etapas..... | 123 |
| Figura 5.1: Esquemático del amplificador de tres etapas y el detector de envolvente en <i>Cadence</i> | 129 |
| Figura 5.2: Símbolo del amplificador de tres etapas y el detector de envolvente en <i>Cadence</i> | 130 |

| | |
|---|-----|
| Figura 5.3: Instanciación del amplificador de tres etapas y detector de envolvente de <i>Cadence</i> en ADS..... | 131 |
| Figura 5.4: Resultados de la simulación del esquemático del amplificador de tres etapas y el detector de envolvente. | 132 |
| Figura 5.5: <i>Layout</i> del amplificador de tres etapas y el detector de envolvente..... | 134 |
| Figura 5.6: Señales de entrada del amplificador. | 135 |
| Figura 5.7: Salida del detector de envolvente..... | 135 |
| Figura 5.8: Resultados de la simulación del extraído del amplificador de tres etapas y el detector de envolvente. | 136 |
| Figura 5.9: Esquemático del amplificador de cinco etapas y el detector de envolvente en <i>Cadence</i> | 138 |
| Figura 5.10: Símbolo del amplificador de cinco etapas y el detector de envolvente en <i>Cadence</i> | 139 |
| Figura 5.11: Instanciación del amplificador de cinco etapas y detector de envolvente de <i>Cadence</i> en ADS..... | 140 |
| Figura 5.12: Resultados de la simulación del esquemático del amplificador de tres etapas y el detector de envolvente..... | 141 |
| Figura 5.13: <i>Layout</i> del amplificador de cinco etapas y el detector de envolvente. | 143 |
| Figura 5.14: Resultados de la simulación del extraído del amplificador de cinco etapas y el detector de envolvente. | 144 |
| Figura 5.15: Esquemático del receptor <i>Wake-Up</i> en <i>Cadence</i> | 146 |
| Figura 5.16: Símbolo del receptor <i>Wake-Up</i> en <i>Cadence</i> | 147 |
| Figura 5.17: Instanciación del receptor de <i>Wake-Up</i> de <i>Cadence</i> en ADS..... | 148 |
| Figura 5.18: Resultados de la simulación del esquemático del receptor <i>Wake-Up</i> | 149 |
| Figura 5.19: <i>Layout</i> del receptor <i>Wake-Up</i> | 150 |
| Figura 5.20: Entradas del receptor <i>Wake-Up</i> | 151 |
| Figura 5.21: Salida del receptor <i>Wake-Up</i> | 152 |
| Figura 5.22: Resultados de la simulación del extraído del receptor <i>Wake-Up</i> | 153 |
| Figura 5.23: Receptor <i>Wake-Up</i> y <i>pads</i> de medida. | 154 |
| Figura 5.24: Esquemático del receptor final. | 156 |
| Figura 5.25: Símbolo del receptor final. | 157 |

| | |
|--|-----|
| Figura 5.26: Instanciación del receptor final de <i>Cadence</i> en ADS..... | 158 |
| Figura 5.27: Resultados de la simulación del esquemático del receptor final..... | 159 |
| Figura 5.28: <i>Layout</i> del receptor final. | 160 |
| Figura 5.29: Resultados de la simulación del extraído del receptor final. | 161 |
| Figura 6.1: Nodo sensor sin receptor <i>Wake-Up</i> | 168 |
| Figura 6.2: Nodo sensor con <i>WuR</i> pasivo..... | 168 |
| Figura 6.3: Nodo sensor con receptor <i>Wake-Up Uncertain-IF</i> | 169 |

Índice de tablas

| | |
|---|-----|
| Tabla 4.1: Resumen de los componentes del receptor | 124 |
| Tabla 5.1: Resultados del receptor | 163 |
| Tabla 6.1: Resumen del diseño realizado | 166 |
| Tabla 6.2: Comparativa de distancia entre nodos sensores..... | 169 |
| Tabla 6.3: Consumos de cada uno de los nodos sensores | 170 |
| Tabla 6.4: Vida de la batería para distintos nodos | 171 |
| Tabla P.1: Tarifa de honorarios por tiempo empleado | 176 |
| Tabla P.2: Costes de recursos <i>hardware</i> | 177 |
| Tabla P.3: Costes de recursos <i>software</i> | 177 |
| Tabla P.4: Coste total de los recursos materiales..... | 178 |
| Tabla P.5: Coste de fabricación | 178 |
| Tabla P.5: Coste total..... | 179 |

Capítulo 1

Introducción

Las redes de sensores inalámbricas o *Wireless Sensor Networks (WSNs)* se presentan como una de las tecnologías más prometedoras de las que existen actualmente, teniendo multitud de campos de aplicación. Dentro de estos campos de aplicación se incluyen funciones de control industrial, monitorización de grandes áreas, automatización del hogar, aplicaciones militares, etc. [1].

Las redes de sensores basan su funcionamiento en la utilización de un conjunto de dispositivos conocidos como nodos sensores. Estos nodos suelen ser elementos de bajo coste y consumo, distribuidos con el propósito de recabar información de su entorno, procesarla localmente y comunicarla a través de enlaces inalámbricos hasta un nodo central de coordinación. Los nodos actúan como parte de la infraestructura de comunicaciones al reenviar los mensajes transmitidos por los nodos más alejados hacia el centro de coordinación.

Uno de los aspectos claves para el desarrollo de esta tecnología es la autonomía de los nodos sensores que componen la red, dado que por norma general suelen estar alimentados mediante baterías. Es por ello que una de las principales líneas de investigación que se puede encontrar en este área es la reducción del consumo de potencia en las comunicaciones entre los nodos.

Se ha comprobado que el componente dentro de la arquitectura del nodo que mayor consumo de potencia presenta es el transceptor radio, llegando a darse casos en los que el consumo de potencia del transceptor de radio mientras realiza la escucha del canal en vacío, puede llegar a ser incluso mayor que el consumo debido a la transmisión de información. Con el fin de reducir este consumo, los nodos pueden hacer uso de un receptor *wake-up* de ultra bajo consumo o *WuR*. Este receptor será el único elemento activo dentro del nodo, siendo el encargado de permanecer a la escucha del canal, decodificar la señal recibida y discernir si se ha de despertar al nodo, en base a la identificación obtenida tras la decodificación. De esta forma el resto de la electrónica del nodo se mantiene apagada, a la espera de recibir una señal de activación por parte del *WuR*.

Normalmente un nodo sensor que posea un receptor de *wake-up* tiene dos caminos desde la antena: el primero para llevar a cabo el procesado de la señal de *wake-up* y el segundo para realizar la comunicación con el resto de los nodos. Para ello tras la antena ha de haber un *switch* capaz de conmutar entre estas dos vías. Antes de entrar en modo inactivo, el microcontrolador del nodo sensor fija el *switch* de forma que todas las señales entrantes pasen por el receptor de *wake-up*.

El *WuR* debe tener la capacidad de rechazar las señales de *wake-up* falsas, ya que estas pueden hacer que un nodo se despierte innecesariamente, con el gasto de energía que esto conlleva. En una red de sensores inalámbrica la aparición de señales falsas suele ser frecuente, debido a la gran cantidad de dispositivos que hay transmitiendo en las inmediaciones de la red, por lo tanto, es necesario que la arquitectura de bajo consumo

diseñada sea capaz de distinguir las falsas señales de *wake-up* para evitar despertar a los nodos de forma innecesaria.

A la salida del *WuR* se ha de conectar a un circuito capaz de verificar la validez de la señal entregada por el receptor de *wake-up*. El diseño realizado para este Trabajo Fin de Máster (TFM) se ha llevado a cabo de forma que cumpla las especificaciones del circuito AS3933 de AMS [2], que será el circuito responsable de validar la señal recibida desde el receptor *wake-up* y en caso de que esta sea válida, se encargará de interrumpir al microcontrolador del nodo sensor sacándolo de su modo inactivo y despertando al dispositivo. Al despertar el nodo, su microcontrolador conmutará el *switch*, quedando de esta forma el nodo listo para la recepción o envío de datos.

La generación de la señal de *wake-up* se hace a partir de una señal de baja frecuencia (0,5-4 kbps) correspondiente al identificador del nodo a despertar. Esta señal modula a una portadora de alta frecuencia (125 kHz) obteniéndose una señal OOK (*On-Off Keying*). El AS3933 es capaz de recibir esta señal y determinar si el identificador es correcto o no. Sin embargo, en nuestro caso, para utilizar la misma antena que la radio principal, esta señal es modulada nuevamente con una portadora de 868 MHz, de forma que en el receptor se tiene que producir el proceso de demodulación correspondiente. Esto es llevado a cabo por el circuito de *wake-up* a diseñar.

En la Figura 1.1 se muestran todos los elementos de los que consta un nodo sensor con un receptor de *wake-up*. Tal y como se muestra en esta figura a la entrada del *WuR* llega la señal de 868 MHz y a la salida se obtiene la señal de 125 kHz, con esta señal el AS3933 es capaz de determinar si se ha de despertar al nodo.

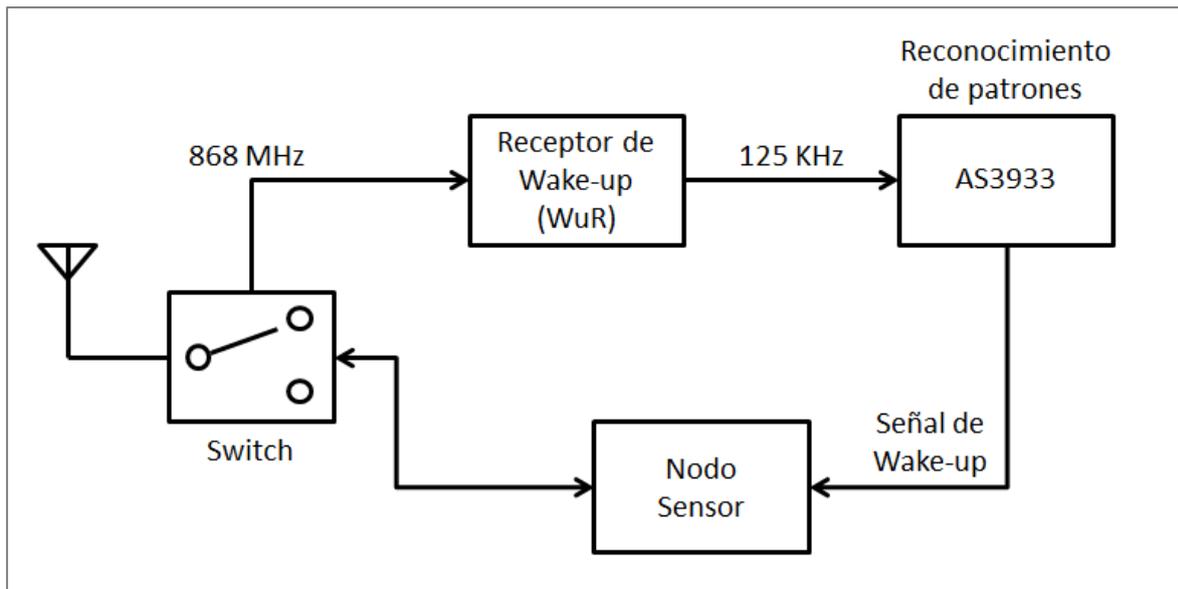


Figura 1.1: Diagrama de bloques de un nodo sensor con receptor *wake-up*.

1.1 Objetivo

Este Trabajo Fin de Máster es la continuación del Trabajo Fin de Grado titulado “Diseño de un receptor de *Wake-up* para redes de sensores inalámbricos mediante el uso de un mezclador de bajada” [3] realizado por el mismo alumno. En este TFG se llevaba a cabo el diseño a nivel de esquemático de un receptor de *Wake-up* de muy bajo consumo para una red de sensores inalámbricos, de forma que todos los elementos del nodo sensor se encontrarían en estado inactivo, salvo dicho receptor, que sería el único componente activo dentro del nodo. Este circuito permite recibir y decodificar los comandos de activación y despertar al resto del nodo si fuese necesario. Idealmente esta técnica permitiría optimizar el consumo de energía de la red de sensores, consiguiendo con ello prolongar su vida útil.

Con este Trabajo Fin de Máster se pretende realizar el diseño a nivel de *layout* del esquemático obtenido en el Trabajo Fin de Grado mencionado anteriormente, mediante

el uso de la herramienta *software Cadence* [4] de *Cadence Design Systems*. Tras la realización del *layout* se comprobará mediante simulación el comportamiento real del circuito diseñado, para posteriormente pasar al proceso de fabricación.

Para el desarrollo de este TFM, el diseño se realiza usando la tecnología CMOS de 65 nm suministrada por la empresa UMC [5], en concreto transistores “*High V_{TH}* ” (HVT) específicos para aplicaciones de radiofrecuencia.

Para la realización de este trabajo se definen una serie de tareas que comienzan con el estudio teórico preliminar acerca de las redes de sensores y las distintas arquitecturas existentes para los receptores de *wake-up*. Posteriormente se pasará el diseño obtenido en el TFG que estaba realizado con la herramienta *software Advanced Design System (ADS)* de *Keysight Technologies* [6] a *Cadence*.

Cadence es un paquete *software* que permite realizar diseños tanto a nivel de esquemático como a nivel de *layout* y las distintas simulaciones asociadas a cada uno de los diseños. Esta herramienta no solo permite realizar el *layout full-custom* del circuito, sino, que además, permite hacer las simulaciones *post-layout*.

Cadence da la posibilidad de instanciar los diseños realizados en otra herramienta de simulación como puede ser ADS, mediante el uso de *RFIC Dynamic Link*. Para la realización de este proyecto se ha optado por instanciar los elementos diseñados en *Cadence* en ADS pues ya se tenían los bancos de simulaciones creados.

1.2 Estructura de la memoria

Esta memoria ha sido dividida en seis capítulos más el pliego de condiciones y el presupuesto que comprende el TFM.

En el presente capítulo se ha pretendido ofrecer una visión general sobre la situación actual de las redes de sensores inalámbricas, así como la finalidad y objetivos planteados para este Trabajo Fin de Máster.

En el capítulo 2 se profundiza en el estudio de las redes de sensores inalámbricas, viendo sus principales características, parámetros que las definen y los requisitos para su implementación.

Una vez conocidas las principales características de las redes de sensores, en el capítulo 3 se entra a estudiar los receptores *wake-up*, viendo las clasificaciones existentes, las consideraciones a tener en cuenta durante su diseño, las ventajas y retos que presenta el uso de estos dispositivos y las arquitecturas más utilizadas a la hora de diseñar este tipo de receptores.

Posteriormente, en el capítulo 4, y partiendo del diseño obtenido en el TFG, se comienza a trabajar con la herramienta *software Cadence*, inicialmente se trasladan los esquemáticos de ADS a *Cadence* para acto seguido realizar los diseños a nivel de *layout* de cada una de las etapas que conforman el *WuR* por separado.

En el capítulo 5, se realiza el diseño final del receptor *wake-up* tras llevar a cabo la unión de cada una de las etapas que lo componen y se verifican los resultados obtenidos en la simulación.

Finalmente, en el capítulo 6, se presentan las principales conclusiones a las que se han llegado durante la realización de este Trabajo Fin de Máster tras realizar todo el diseño y se presentan una serie de posibles líneas futuras a estudiar.

Para cerrar esta memoria se presentan el pliego de condiciones y el presupuesto total de este TFG detallando los costes tanto materiales como de mano de obra.

Capítulo 2

Redes de Sensores Inalámbricas

En este capítulo, se presenta una breve introducción sobre las redes de sensores inalámbricas o *WSN*, así como distintos conceptos asociados y sus fundamentos teóricos. De esta forma, se obtendrá una visión general de las distintas tecnologías asociadas a las redes de sensores.

2.1 Introducción a las redes de sensores inalámbricas

Durante los últimos años las redes de comunicaciones han experimentado un gran crecimiento y, en especial, las comunicaciones inalámbricas, debido en gran medida a los continuos avances tecnológicos. Gracias a dichos avances ha sido posible desarrollar sensores electrónicos de bajo coste, consumo reducido, de escaso tamaño y con un amplio campo de aplicaciones. Estos avances han llevado a la aparición de las redes de sensores inalámbricas, la cuales han sido consideradas como una de las tecnologías más prometedoras del futuro.

A continuación se presentan algunos ejemplos de áreas de aplicación de las redes de sensores inalámbricas:

- Aplicaciones militares:

Las primeras investigaciones sobre la aplicación de las redes de sensores inalámbricas fueron dentro de los escenarios militares. Tener conocimiento en tiempo real del campo de batalla es esencial para el control, el dominio y la toma de decisiones. Características como la facilidad de despliegue, el bajo coste, la tolerancia a fallos o que no sea necesaria la intervención humana las hacen muy interesantes para aplicar en el ámbito militar.

- Aplicaciones en la agricultura:

Las redes de sensores tienen una gran repercusión dentro de la agricultura, ya que gracias a ellas se puede realizar un control y medición de distintos parámetros, tales como humedad de la tierra, control de la cantidad de agua y fertilizante que necesitan las plantas, etc. Conocer y controlar estos parámetros será de gran ayuda para optimizar la producción y la calidad de la cosecha.

- Aplicaciones medioambientales:

El uso de las WSN permite el control de múltiples variables medioambientales, como: temperatura, humedad, inundaciones o actividad sísmica entre otras. El conocimiento de estas variables por parte de expertos puede ayudar a prevenir desastres naturales o situaciones de emergencia.

- Aplicaciones domóticas:

Dado su bajo coste, la rapidez de despliegue y su tamaño, la hacen una tecnología ideal para automatizar el hogar a un precio razonable. Con la implantación de este tipo de redes en el hogar se pretende emplear estas soluciones para labores de seguridad del hogar, eficiencia energética o control de electrodomésticos.

- Aplicaciones en automoción:

Las redes de sensores ofrecen un amplio abanico de posibilidades dentro del mundo de la automoción, ya que se puede hacer uso de estas redes para el control de los distintos sistemas que se pueden encontrar en un vehículo actual, que engloban desde la seguridad de los pasajeros hasta el confort.

- Aplicaciones en medicina:

En la actualidad se dispone de distintos tipos de sensores inalámbricos que ayudan a monitorizar de forma remota y discreta parámetros vitales de los pacientes, consiguiendo de esta forma mejorar notablemente la calidad de vida de las personas que tengan que estar bajo vigilancia médica.

Las redes de sensores han ido aumentando en importancia durante los últimos tiempos, ya que están consideradas como una parte importante en la evolución de Internet hacia el “Internet de las cosas”, lo que hará que se disponga de una red de objetos cotidianos interconectados entre ellos.

2.2 Descripción de las redes de sensores inalámbricas

Como ya se ha visto, una red de sensores inalámbrica está conformada por un conjunto de dispositivos autónomos de bajo coste y consumo, distribuidos con el propósito de recabar información de su entorno. Estos dispositivos se conocen con el nombre de nodos sensores. La arquitectura básica de un nodo dispone de los siguientes elementos [7]:

- Microcontroladores de bajo consumo, con una capacidad limitada de procesado.

- Memorias de datos y programa que lo dotan de cierta capacidad de almacenamiento.
- Un transceptor de radio-frecuencia.
- Una fuente de alimentación, normalmente baterías.
- Una serie de sensores y/o actuadores.

En la Figura 2. se muestran los principales bloques que componen un nodo sensor, estos elementos han sido mencionados en las líneas anteriores.

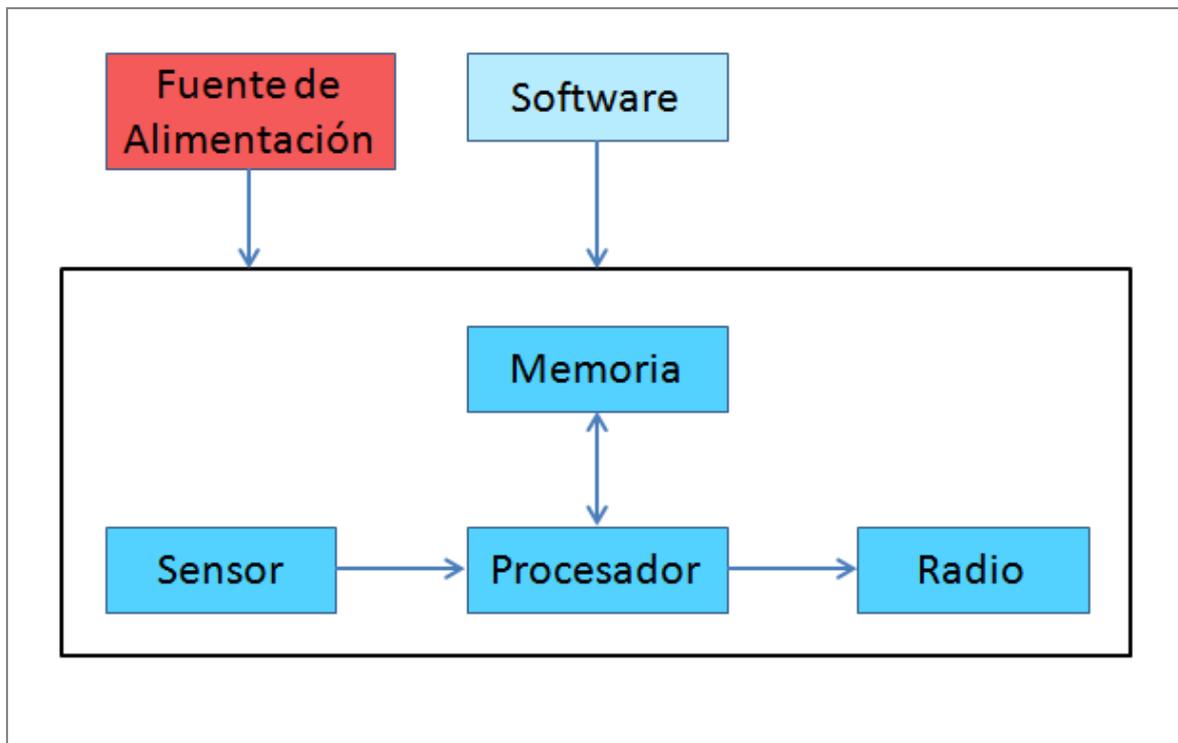


Figura 2.1: Diagrama de bloques de un nodo.

Las redes de sensores inalámbricas están compuestas por un gran número de estos nodos densamente desplegados en una amplia zona sin una topología determinada, en la que cada nodo funciona de forma autónoma, sin punto central de control (o punto de acceso) y recogiendo la información del medio físico que les rodea.

Este tipo de redes son autónomas, capaces de comunicarse entre sí y recoger y distribuir datos de su hábitat. Con estas características, las redes de sensores inalámbricas son capaces de generar información de fácil acceso y de gran calidad sobre el entorno físico que les rodea.

Existen tres tipos básicos de nodos dentro de una red de sensores inalámbrica:

- Sensores: Estos nodos recogen datos del entorno.
- Actuadores: Son los encargados de llevar a cabo acciones para cambiar el medio.
- Controladores: Tienen una mayor capacidad de procesamiento, por lo que se les podría considerar como el cerebro de la red.

También puede haber nodos compuestos, estos serían capaces de llevar a cabo más de una de las funciones descritas anteriormente.

2.3 Características de las redes de sensores inalámbricas

Las redes de sensores inalámbricas pueden ser vistas como una categoría especial de las tradicionales redes *ad-hoc*, debido a su topología aleatoria. Una red *ad-hoc*, es una red inalámbrica descentralizada, en la que cada nodo está preparado para reenviar la información al resto de nodos y que carece de un punto de acceso que gestione las comunicaciones entre los nodos.

Las principales características de las redes de sensores inalámbricas son las siguientes:

- Despliegue tipo *Ad-hoc*, aunque a diferencia de una red *ad-hoc* tradicional, en las *WSNs* el número de nodos puede ser varios órdenes de magnitud superior.
- No se utiliza una infraestructura de red. Una red de sensores no tiene necesidad alguna de infraestructura para poder operar, ya que son los propios nodos los que funcionan como emisores, receptores o incluso *routers*.
- Los nodos han de ser extremadamente pequeños, variando su tamaño desde los micrómetros hasta milímetros.
- Los nodos de la *WSN* suelen estar densamente desplegados.
- Los nodos sensores deben ser económicos y limitados en capacidad de cálculo y memoria.
- Los nodos poseen un reducido consumo de energía. Estas redes suelen funcionar con baterías y tienen una larga autonomía de funcionamiento. Pueden operar sin mantenimiento meses o incluso años.
- Se utilizan tecnologías inalámbricas de corto alcance, el encaminamiento entre dos nodos no adyacentes se realiza haciendo uso de los nodos intermedios que haya en el camino.
- Topología dinámica, estas redes tienen la capacidad de restaurarse, es decir, que si se avería un nodo, la red hallará una vía alternativa para hacer llegar los paquetes de datos a su destino. De esta forma se garantiza la viabilidad de la red a pesar de que haya algunos nodos que dejen de estar operativos.

Conociendo estas características, los investigadores pueden desarrollar técnicas que incluyan un gran abanico de protocolos, mejorando y optimizando con ello el funcionamiento de las redes de sensores.

2.4 Requisitos para la implementación de una red de sensores inalámbrica

Para que estas redes puedan ser fabricadas de forma viable, el *hardware* del nodo y la implementación deben de estar optimizados para cumplir con los siguientes requisitos:

- Bajo coste: La eficacia de la red depende en gran medida de una alta densidad, lo que conlleva el uso de un gran número de nodos. Dichos nodos han de ser de muy bajo coste para que sea factible realizar un despliegue a gran escala con unos costes económicos aceptables.
- Bajo consumo: En redes con un gran número de nodos, la sustitución de la batería de los nodos es muy complicada, altamente costosa y en algunos casos inviable. Por ello los nodos han de presentar un consumo muy bajo para que sean capaces de trabajar durante largos periodos de tiempo sin que se les agote la batería.
- Pequeño tamaño: El tamaño de los elementos que componen la red ha de ser pequeño para lograr que pasen inadvertidos en el entorno donde se estén usando.

Cada uno de estos tres factores se entrelazan entre si, es evidente que una reducción en el tamaño conlleva también a una reducción en el coste o que una reducción en consumo puede tener asociada una reducción en el tamaño de los dispositivos.

La reducción del consumo de energía es clave para alcanzar los objetivos de la tecnología inalámbrica. En ese sentido se ha visto que, de las distintas funciones que puede realizar el nodo, la comunicación inalámbrica es la que produce un mayor

consumo, por lo tanto, es prioritario reducir la energía dedicada a la comunicación entre los nodos inalámbricos.

Una forma de reducir el consumo de energía y con ello prolongar la duración de las baterías es optimizando el ciclo de trabajo. Para lograrlo se activaría la electrónica del nodo durante cortos periodos de tiempo, de manera que el nodo pueda realizar las funciones que tiene asignadas, pasando posteriormente a modo de espera. Al estar el nodo en modo espera durante los periodos de inactividad del mismo se consigue que el consumo se vea reducido de manera importante.

En este caso aparece un problema, y es ¿cuándo deben despertar los nodos? Es necesaria la existencia de un método que controle el ciclo de trabajo y gestione que dos nodos contiguos se activen en el mismo intervalo de tiempo para permitir la comunicación. En la literatura asociada a las redes de sensores inalámbricas este término se denomina *Rendezvous*.

2.5 Introducción al esquema *Rendezvous*

Como ya se ha comentado anteriormente, uno de los factores más limitantes en las redes de sensores inalámbricas es la energía, debido principalmente al uso de baterías como método de alimentación de los nodos sensores. Si a esto se le añade que por norma general las redes de sensores están formadas por un alto número de nodos, los cuales suelen estar dispersos por un área muy extensa, la sustitución de las baterías de los nodos se hace una tarea prácticamente imposible. Debido a esto, y con el fin de asegurar la durabilidad del sistema, cada nodo tiene que funcionar con un nivel de potencia mínimo y al mismo tiempo conseguir un rendimiento aceptable. Es por ello que es de crucial importancia que los nodos operen con un consumo de potencia tan bajo como sea posible.

En el funcionamiento de los nodos sensores inalámbricos existen varias causas que provocan pérdida de energía:

- Monitorización Inactiva: Este fenómeno se produce cuando un nodo comienza a escuchar el canal, en previsión de la llegada de algún paquete. El consumo de energía dedicado a la escucha del canal es tan alto como la recepción de un paquete, independientemente de que finalmente se reciban o no paquetes.
- Colisión: Una colisión de paquetes lleva asociada una retransmisión de estos paquetes, como es lógico, esta retransmisión lleva asociado un gasto adicional de energía.
- Paquetes de control: La transmisión y la recepción de paquetes de control generan un gasto de energía.
- Overhearing: Esta situación se produce cuando un nodo envía un paquete, todos los nodos vecinos reciben como mínimo la cabecera del paquete para poder identificar si son el receptor. Esta recepción de datos genera un consumo de energía en vano.

En una red de sensores inalámbrica, el tráfico de paquetes generalmente es muy bajo, del orden de unos pocos paquetes por segundo, con una baja carga de información a intercambiar entre los nodos. El tamaño típico de los paquetes de datos suele estar en torno a los 500 *bits* o menos, este tamaño es aún más pequeño cuando hablamos de paquetes de control.

Con estas particularidades en el tráfico, los nodos pasan la mayor parte del tiempo monitorizando el canal de forma inútil, siendo la monitorización inactiva la principal causa de consumo improductivo de energía en las redes de sensores inalámbricas.

Teniendo en cuenta este detalle, una de las formas más sencillas para reducir el consumo de energía en cada nodo al mínimo consiste en apagar los nodos siempre que

sea posible, consiguiendo de esta forma reducir el tiempo de escucha inactiva. Para ello se hace necesario organizar los tiempos de encendido y apagado de los nodos para comunicarse.

El esquema *Rendezvous* no sólo se encarga de la comunicación entre los nodos, sino que además, incluye funciones tradicionales de los protocolos de control de acceso al medio (MAC), como la planificación del tiempo de acceso al canal o el evitar y resolver colisiones. Este esquema se puede ver como una clase especial de protocolo, con un alcance más amplio que los protocolos MAC, siendo su objetivo principal lograr una alta eficiencia energética, a costa de un mayor pero asumible retardo en las comunicaciones.

Hay tres categorías principales en los esquemas *Rendezvous*:

- Esquema síncrono: Todos los nodos de una zona se despiertan de forma síncrona a una hora establecida para llevar a cabo la comunicación.
- Esquema asíncrono: Los nodos origen se encargan de establecer la comunicación, despertando a los nodos destino.
- Esquema pseudo-asíncrono: El nodo origen espera a que el nodo destino despierte para realizar la comunicación.

Los esquemas *Rendezvous* han sido diseñados con dos propósitos principales:

- Soportar el comportamiento encendido/apagado de los nodos.
- Conseguir una mayor eficiencia energética, mejorando el consumo de los nodos. Siendo este su objetivo más importante.

A pesar de que su principal objetivo es la eficiencia energética, los esquemas *Rendezvous* deben lograr un rendimiento aceptable en otros aspectos, una de las limitaciones más importantes en la redes de sensores inalámbricas es la latencia, ya que

inevitablemente apagar los nodos, aumenta la latencia de los paquetes. Es importante tener cuidado y no permitir que la latencia de estos esquemas exceda la tolerancia de la red.

2.6 Control del ciclo de trabajo de las redes de sensores inalámbricas

Como ya se ha visto existen varias maneras de resolver el problema del control del ciclo de trabajo haciendo uso de los distintos esquemas *Rendezvous*.

En las redes síncronas, un reloj de referencia global se mantiene en cada nodo a lo largo de la red. Con este reloj, el protocolo puede asignar *slots* de tiempo de comunicación para cada nodo. El problema de las redes síncronas es que puede resultar complicado mantener y distribuir el reloj en la red. Por otro lado, la energía utilizada para distribuir y mantener la sincronización puede ser significativa.

Otro tipo de protocolo para controlar el ciclo de trabajo, es el pseudo-asíncrono, en el cual se evita el uso de un tiempo de referencia. En este protocolo se usa un temporizador para activar el receptor periódicamente con el fin de monitorizar el canal para la comunicación. En caso de no recibir señal, el nodo se apaga. Cuando el nodo emisor quiere comenzar una comunicación envía de manera repetida peticiones de transmisión, a la espera de que el receptor se active y reciba la solicitud.

Aunque mediante el uso de este método se evita la necesidad de sincronización entre los nodos, se gasta energía de forma significativa tanto en el receptor como en el transmisor.

Existe una relación entre el consumo de potencia media y la latencia de red. Con el objetivo de reducir la latencia, el protocolo debe de estar ajustado para el nodo receptor, con el fin de monitorizar el canal con mayor frecuencia, aumentando de esta forma el ciclo de trabajo y la potencia media.

Una alternativa al protocolo pseudo-síncrono se basa en un *wake-up* asíncrono. Este método añade un receptor auxiliar a cada nodo, llamado receptor *wake-up* (*WuR*), cuya única función es la de escuchar continuamente el canal para detectar solicitudes de comunicación, o señales *wake-up*.

El *WuR* controla de forma eficaz el ciclo de trabajo basándose en las peticiones de comunicación, sustituyendo el temporizador usado en el protocolo pseudo-síncrono, de forma que el receptor *wake-up* puede responder de manera inmediata a las solicitudes de comunicación reduciendo la latencia notablemente. Debido a que el *WuR* monitoriza el canal de forma continua, su consumo energético debe de ser muy bajo.

El control del ciclo de trabajo mediante el uso de *wake-up* asíncrono es una alternativa atractiva a los protocolos síncrono y pseudo-síncrono para muchos escenarios de red, especialmente en aquellos en los cuales se exige una latencia baja.

2.7 Resumen

En este capítulo se han visto los fundamentos de las redes de sensores inalámbricas, su modo de funcionamiento, problemas y posibles soluciones asociadas a ellos. También se han visto otros conceptos como el esquema *Rendezvous* o el control del ciclo de trabajo en las redes de sensores inalámbricas y se ha introducido el término de receptor *wake-up*.

En el siguiente capítulo se profundizará un poco más sobre los receptores *wake-up* viendo sus principales características, clasificación y arquitecturas más habituales.

Capítulo 3

Receptores Wake-Up

En el capítulo anterior se estudiaron una serie de conceptos básicos sobre las redes de sensores, su funcionamiento y características. También se introdujo el concepto de receptor *wake-up*.

En este capítulo se profundizará en el estudio de los receptores *wake-up*, viendo la clasificación existente en la actualidad, las arquitecturas típicas y las ventajas y retos que plantean su diseño [8] [9].

3.1 Clasificación de receptores *wake-up*

Cuando se habla de receptores *wake-up* se puede hacer una clasificación en base a diversas consideraciones, como pueden ser:

- Fuente de energía: Dependiendo de las fuentes de energía utilizadas, los receptores *wake-up* se pueden clasificar como *pasivos*, donde el circuito *wake-up* recibe la alimentación desde una fuente externa, o como *activos* en los cuales hace uso de una batería interna.
- Tipo de señal wake-up: Las señales *wake-up* pueden ser señales de *radiofrecuencia* o *acústicas*. Existen receptores *wake-up* acústicos que son activados mediante el uso de señales sonoras externas. Por otro lado aparecen los *wake-up* radio, en este caso el receptor se activa mediante señales de radiofrecuencia, que suelen ser emitidas por sensores adyacentes.
- Canal wake-up: Existe otra clasificación en base al tipo de canal del que se haga uso, que puede ser un *canal compartido* o *independiente*. En el caso del canal compartido la señal *wake-up* se envía por el mismo canal usado para las comunicaciones entre los nodos. En caso contrario se dice que el canal es independiente. Este canal independiente puede disponer de múltiples canales capaces de despertar a diversos nodos utilizando la división en frecuencia.
- Especificación del nodo destino: La señal *wake-up* puede ser un simple tono *wake-up* o una secuencia de *bits*. Si todos los nodos reciben el mismo tono *wake-up*, el esquema se denomina *Range-Based wake-up*, dicho esquema se usa para multidifusión. Por otro lado, la señal *wake-up* puede consistir en una secuencia de *bits* que especifique la dirección del nodo destino, en este caso hablamos de *Identity-Based wake-up*. Para esta situación tras la recepción de una señal *wake-up* los nodos han de comprobar si la secuencia enviada va dirigida a ellos, y en caso de ser así, el nodo destino despierta.

En la Figura 3.1 se muestra un resumen de las distintas clasificaciones a las que se ha hecho referencia en las líneas anteriores.

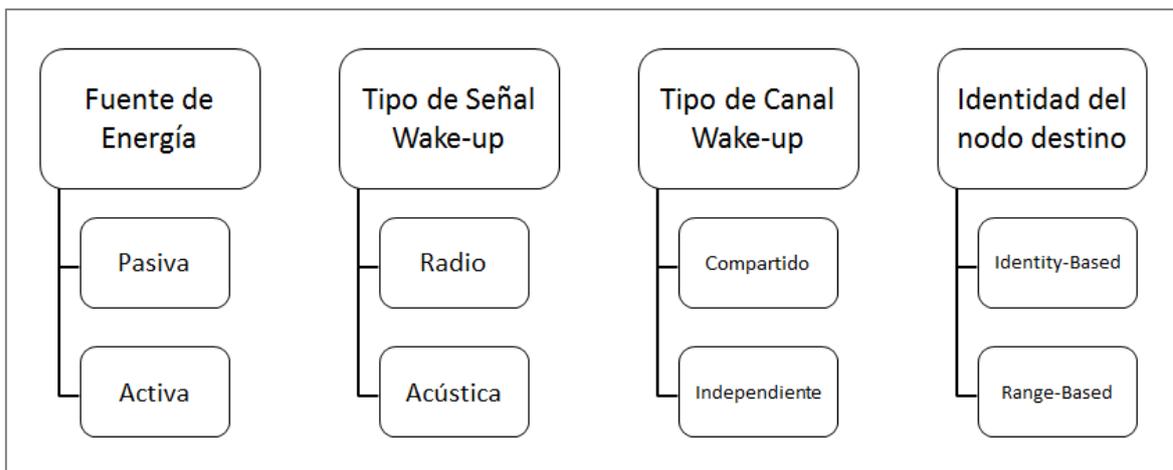


Figura 3.1: Clasificación de los receptores *wake-up*.

3.2 Consideraciones de diseño

A la hora de diseñar un receptor *wake-up* es necesario considerar las especificaciones del diseño y su funcionalidad. Las especificaciones y la implementación del *WuR* dependerán en gran medida del campo de aplicación.

3.2.1 Sistema de Integración del receptor *wake-up* en el nodo sensor

A nivel del sistema, el receptor *wake-up* debe quedar plenamente integrado con el resto de la electrónica existente en el nodo. Mientras el nodo está en modo latente, la mayor parte de la electrónica permanecerá apagada, salvo el receptor *wake-up* y cualquier circuito de gestión de energía necesario. En la Figura 3.2 se muestra el diagrama de bloques para los nodos que poseen un receptor *wake-up*.

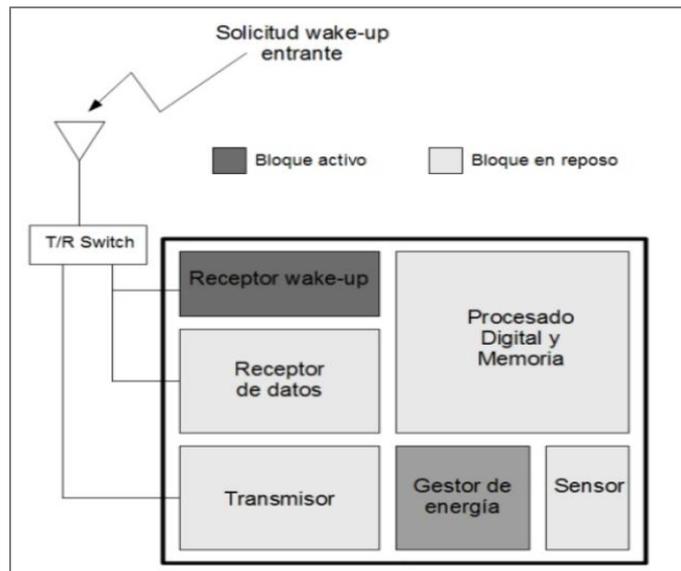


Figura 3.2: Diagrama de bloques de un nodo con receptor *wake-up*.

Desde el punto de vista de la integración, se buscará reducir los elementos *hardware*, para ello se persigue que el *WuR* comparta la antena con los bloques inalámbricos. Dicha antena debe ser capaz de recibir señales desde el mismo transmisor usado para las comunicaciones de datos entre los nodos, sin necesidad de un transmisor *wake-up* alternativo. Es por ello que el receptor *wake-up* hará uso de una frecuencia de portadora y un esquema de modulación similares a los del transceptor de datos principal.

3.2.2 Entorno de red

Los receptores *wake-up* de los nodos sensores van a funcionar en entornos de red muy densos. Debido a esto, el *WuR* debe ser robusto al tráfico existente en la red y evitar las señales *wake-up* destinadas a los nodos vecinos. Los principales parámetros de interés para este tipo de receptores serían: la probabilidad de detección y la probabilidad de falsas señales de *wake-up*. Una detección perdida significa que el transmisor deberá reenviar la solicitud *wake-up*, incrementando el consumo y la latencia. El caso de una falsa señal de *wake-up* también representa una pérdida de energía, ya que se despierta al nodo sin necesidad.

3.2.3 Optimización de la potencia activa

A diferencia de un receptor de propósito general, en el *WuR* el objetivo principal de diseño debe ser la optimización de la potencia activa.

Como ya se ha visto, el receptor *wake-up* está continuamente escuchando el canal en busca de peticiones de comunicación y por ello no puede aprovechar las ventajas del ciclo de trabajo explicadas en el capítulo anterior.

A la hora de comunicarse un receptor *wake-up* debe ser capaz de hacerlo a través del mismo rango de frecuencias que el transceptor de datos, consiguiendo de esta forma compartir la antena.

Para lograr una optimización de la potencia activa la señal *wake-up* está compuesta por una secuencia de *bits* específicos, de manera que, haciendo uso de esos *bits*, se realiza un *wake-up* selectivo entre los nodos existentes en la red, evitando con ello falsas señales provocadas por la comunicación de nodos adyacentes.

El consumo de energía depende, no solamente de la potencia del transceptor principal, sino también de las condiciones de tráfico de la red y la latencia deseada según la aplicación del nodo.

3.3 Ventajas de los receptores *wake-up*

En este punto se enumerarán una serie de ventajas que se obtienen al hacer uso de los receptores *wake-up* dentro de las redes de sensores inalámbricas.

3.3.1 Conservación de energía

La mayor parte de gasto de energía dentro de las redes de sensores inalámbricas es debida a la monitorización inactiva, producida por las escuchas periódicas del canal por parte del nodo, independientemente de que se produzca la comunicación de datos.

El uso de un receptor *wake-up* es una solución muy eficiente desde el punto de vista energético, ya que el receptor está continuamente escuchando el canal con un consumo muy bajo, despertando a los nodos únicamente cuando la comunicación vaya dirigida a ellos. Gracias al uso del *WuR* se consigue reducir el gasto inútil de energía, prolongado de esta manera la durabilidad de las baterías.

3.3.2 Comportamiento dinámico

Los receptores *wake-up* permiten un ciclo de trabajo y una comunicación *Rendezvous* dinámica, esto quiere decir que permiten modificar sus parámetros para adaptarlos a las necesidades y localización de la red, haciendo de esta forma que la red sea más eficiente.

3.3.3 Mínimo Overhead

Overhead o sobrecarga es la pérdida del ancho de banda a causa de la información adicional, algo que lleva asociado un mayor consumo de energía. A diferencia de los esquemas *Rendezvous* síncrono y pseudo-síncrono el uso del receptor *wake-up* reduce la sobrecarga debida a la sincronización de los nodos. Esto es debido a que el *WuR* usa un esquema puramente asíncrono.

3.3.4 Reducción de la escucha inactiva

Haciendo uso de receptores *wake-up Identity-Based* se reduce considerablemente la escucha inactiva ya que solo se despertarán los nodos destino, siendo estos los únicos que escucharán el canal a la espera de una comunicación de datos.

3.4 Retos del diseño de un receptor *wake-up*

A continuación se verán una serie de dificultades que se presentan a la hora de llevar a cabo el diseño de un receptor *wake-up*.

3.4.1 Problema de cobertura

Surge un problema de cobertura cuando existe un área que no está cubierta por la red de sensores, estos espacios sin cubrir pueden ser debidos a la aleatoriedad de la implantación de la red, a fallos en algunos nodos o interferencias. La existencia de estas áreas sin cubrir provoca una reducción en la funcionalidad y prestaciones de la red, ya que cubrir grandes áreas de sombra requiere más datos de comunicación y por lo tanto mayor consumo de energía.

3.4.2 Retardo

El impacto del retardo de extremo a extremo puede ser importante cuando el número de saltos entre nodos es grande. Según para que aplicaciones el retardo puede ser un factor importante a tener en cuenta para el correcto funcionamiento de la red.

3.4.3 Coste y complejidad del *hardware*

El uso de un canal *wake-up* independiente en los *WuR*, lleva asociado consigo un aumento de la complejidad y también del coste del *hardware* de los nodos sensores. El uso de una radio independiente suele aumentar el gasto en un 15%, esto es especialmente importante cuando son empleados varios canales *wake-up*.

3.4.4 Alta escucha inactiva en los receptores *wake-up Range-Based*

En los esquemas *wake-up Range-Based*, todos los nodos escuchan la señal de *wake-up* para pasar a estado activo. Debido a que todos los nodos adyacentes al emisor se despiertan en cada transmisión, la escucha inactiva puede aumentar con respecto a otros protocolos. Para evitar este problema, es preferible hacer uso de los receptores *wake-up Identity-Based*.

3.5 Arquitecturas típicas en los receptores *wake-up*

Para que un receptor *wake-up* trabaje con un consumo de energía mínimo es necesario diseñarlo eligiendo la arquitectura adecuada. Como ya se ha visto en el apartado anterior, a parte de las restricciones energéticas, el receptor debe cumplir con otra serie de especificaciones.

Se verá a continuación las arquitecturas más utilizadas a la hora de diseñar un receptor *wake-up*.

3.5.1 Receptor de *Tuned-IF*

Esta arquitectura es la más simple de todas, consta de un amplificador de bajo ruido (LNA) a la entrada, un detector de envolvente y un amplificador de banda base. El funcionamiento de este diseño es sencillo: El LNA amplifica la señal recibida desde otros nodos, esta suele ser una señal de RF débil y de alta frecuencia. Posteriormente el detector de envolvente demodula la señal amplificada, en esta señal se encuentran los códigos que activarán al receptor correspondiente. Por último el amplificador de banda base amplifica la señal demodulada [10].

En la Figura 3.3 se muestra la arquitectura de este receptor.

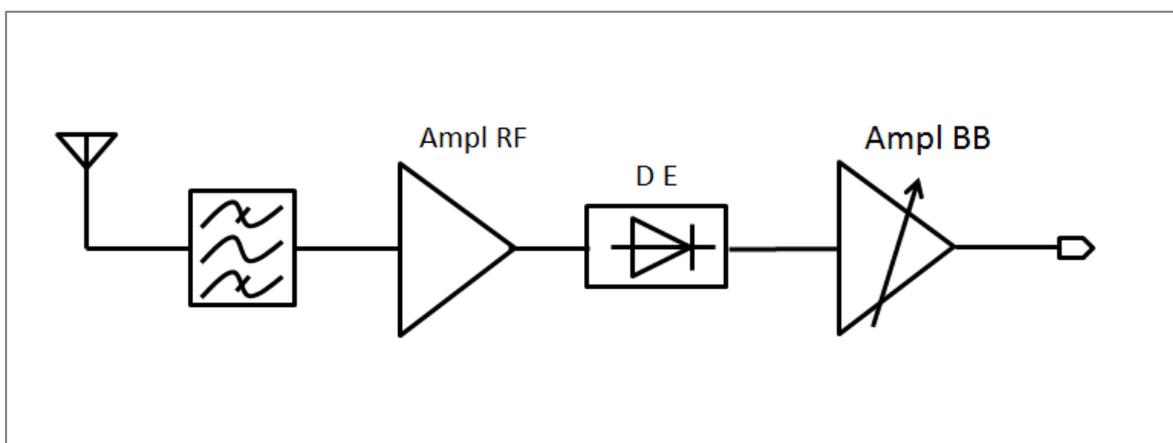


Figura 3.3: Arquitectura del receptor de *Tuned-IF*.

El problema que presenta esta arquitectura es que la sensibilidad obtenida no suele ser demasiado buena, debido a la sencillez de los elementos que la componen.

Este tipo de receptor está siempre a la escucha del canal, existe otra arquitectura donde el receptor pasa a estado inactivo, despertando cada cierto tiempo para escuchar el canal y determinar si hay alguna transmisión a la espera. A continuación se explica dicha arquitectura.

3.5.2 Arquitectura basada en el ciclo de trabajo

Este tipo de arquitectura hace uso del ciclo de trabajo para reducir el consumo de potencia, a diferencia de la arquitectura anterior.

Las arquitecturas basadas en el ciclo de trabajo pueden tener componentes con un alto consumo de potencia, pero como cada bloque está activo durante un pequeño periodo de tiempo, el consumo de potencia se ve reducido notablemente [11].

A continuación se presenta en la Figura 3.4 un ejemplo de este tipo de arquitecturas basadas en el ciclo de trabajo.

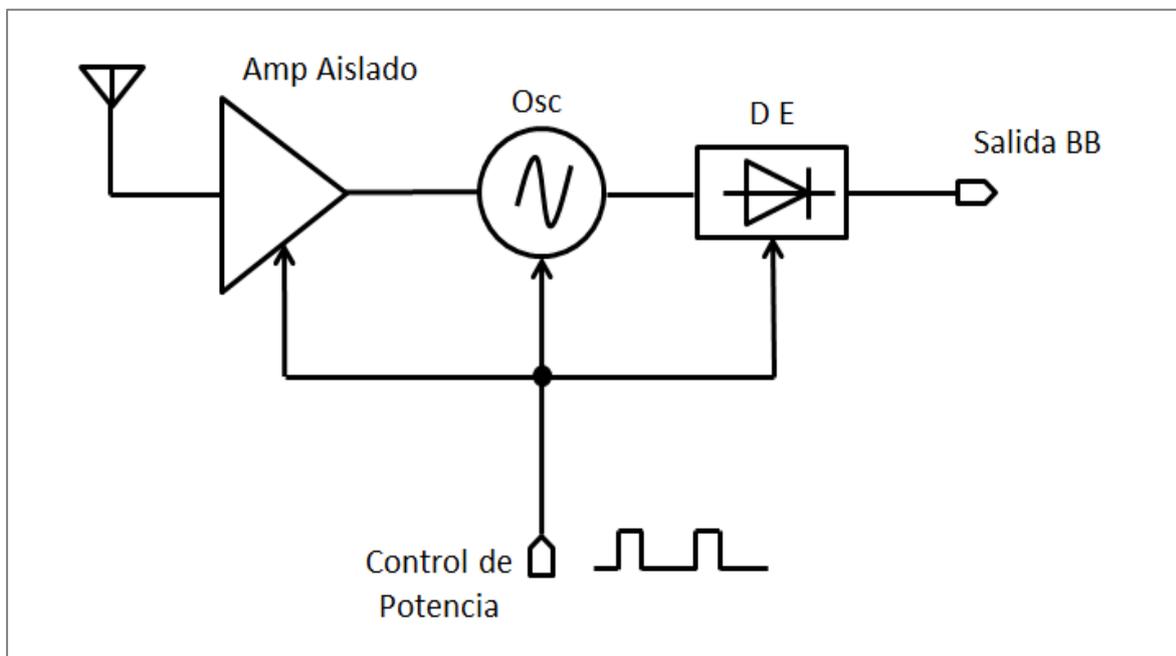


Figura 3.4: Arquitectura basada en el ciclo de trabajo.

El principal problema que presentan este tipo de arquitecturas es que pueden afectar a la latencia de la red, tal y como se vio en el capítulo anterior.

Existen otras arquitecturas donde se hace uso de conversiones de frecuencia, este tipo de arquitecturas se verán en los siguientes puntos.

3.5.3 Receptor Heterodino

La arquitectura básica del receptor heterodino consta de un amplificador de bajo ruido al inicio de la cadena, seguido de uno o dos mezcladores, obviamente serán necesarios tantos sintetizadores de frecuencia (osciladores locales) como mezcladores sean usados. La frecuencia intermedia (IF) resultante de la salida de la etapa mezcladora se lleva a un amplificador y posteriormente se pasa por un convertidor analógico-digital (ADC).

Si el receptor dispone de dos etapas mezcladoras recibe el nombre de receptor superheterodino, si por el contrario dispone solo de una conversión de frecuencia entonces estamos hablando de un receptor homodino. En la Figura 3.5 se muestran ambas arquitecturas.

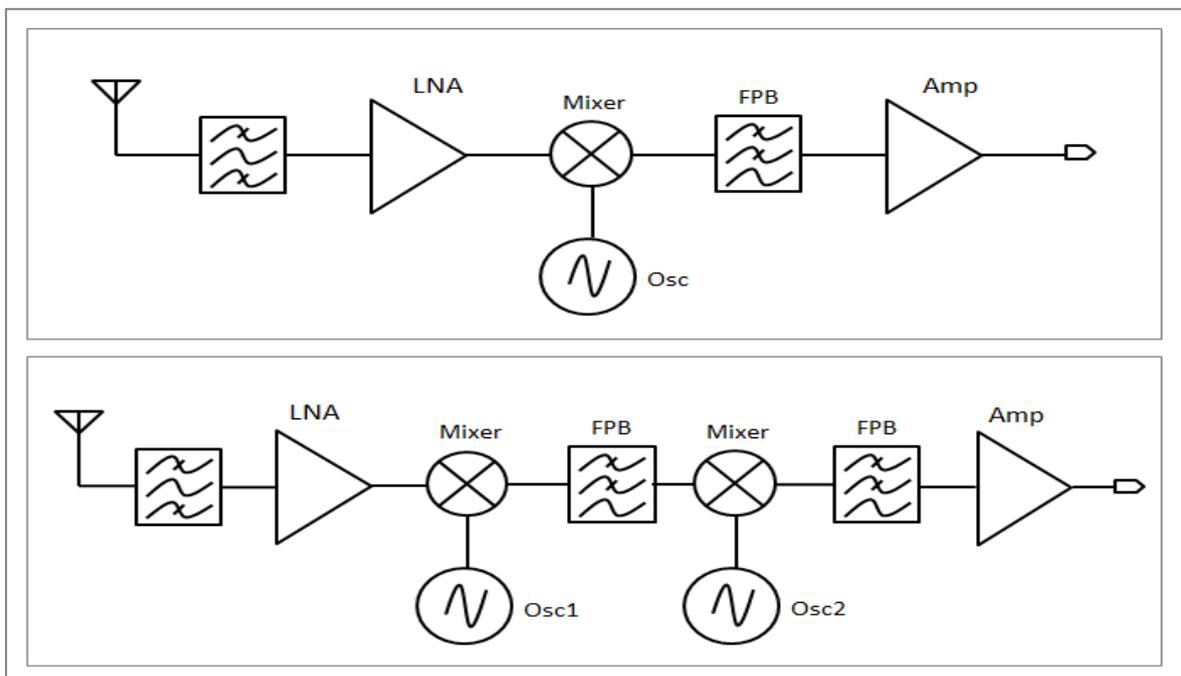


Figura 3.5: Arquitecturas del receptor heterodino: a) Superheterodino, b) Homodino.

El problema que presenta esta arquitectura es que es muy complicado conseguir un bajo consumo de potencia debido al alto consumo que presentan los bloques que la componen, especialmente los sintetizadores de frecuencia, ya que suelen trabajar con una frecuencia fija, haciendo uso normalmente de bucles de enganche para lograrlo. Todo esto hace que sea necesaria mucha electrónica y consecuentemente toda esta electrónica conlleva un aumento del consumo.

En la Figura 3.6 se muestra un diagrama de bloques de la electrónica que suele llevar asociada el sintetizador de frecuencia.

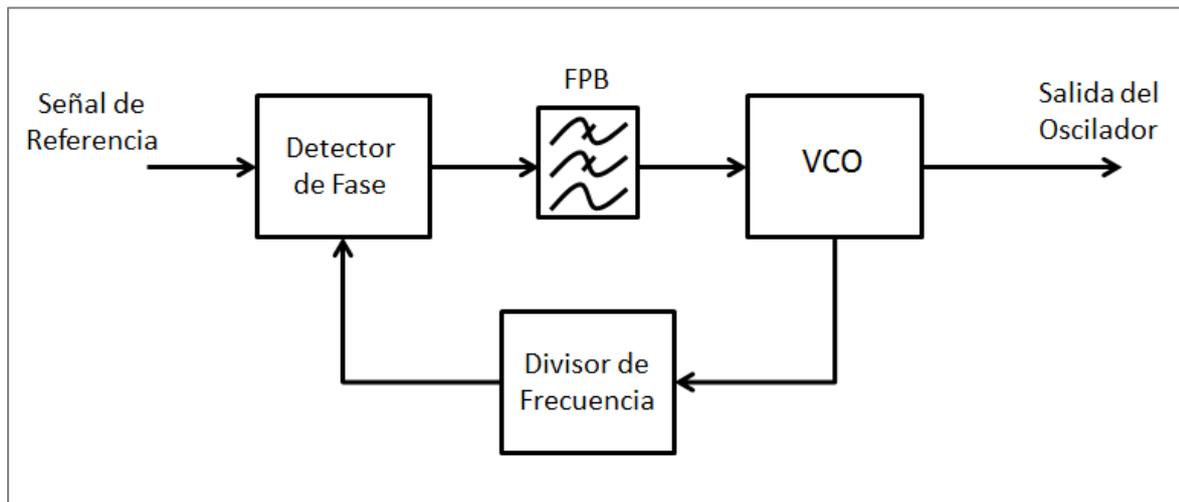


Figura 3.6: Diagrama de bloques del sintetizador de frecuencia.

3.5.4 Receptor de *Sliding-IF*

Esta arquitectura deriva de la configuración básica del receptor heterodino. Al igual que en el caso de un receptor superheterodino, esta arquitectura presenta dos etapas de conversión de frecuencia y a diferencia del receptor heterodino básico, este diseño presenta una frecuencia intermedia variable. Esta arquitectura posee un único oscilador local y mediante el uso de un divisor se genera un segundo LO que será usado

por la segunda etapa mezcladora. Un buen análisis del funcionamiento de esta arquitectura se puede encontrar en la referencia [12].

Recibe el nombre de *Sliding-IF* debido a que la frecuencia intermedia es variable ya que la frecuencia del segundo oscilador local, no está fijada, sino que depende de la frecuencia del primero.

La ventaja que presenta esta arquitectura es que mediante la reutilización de un único oscilador local se ahorra parte de la electrónica correspondiente a un superheterodino consiguiendo igualmente una doble conversión de frecuencia.

En la Figura 3.7 se muestra la arquitectura de este tipo de receptores.

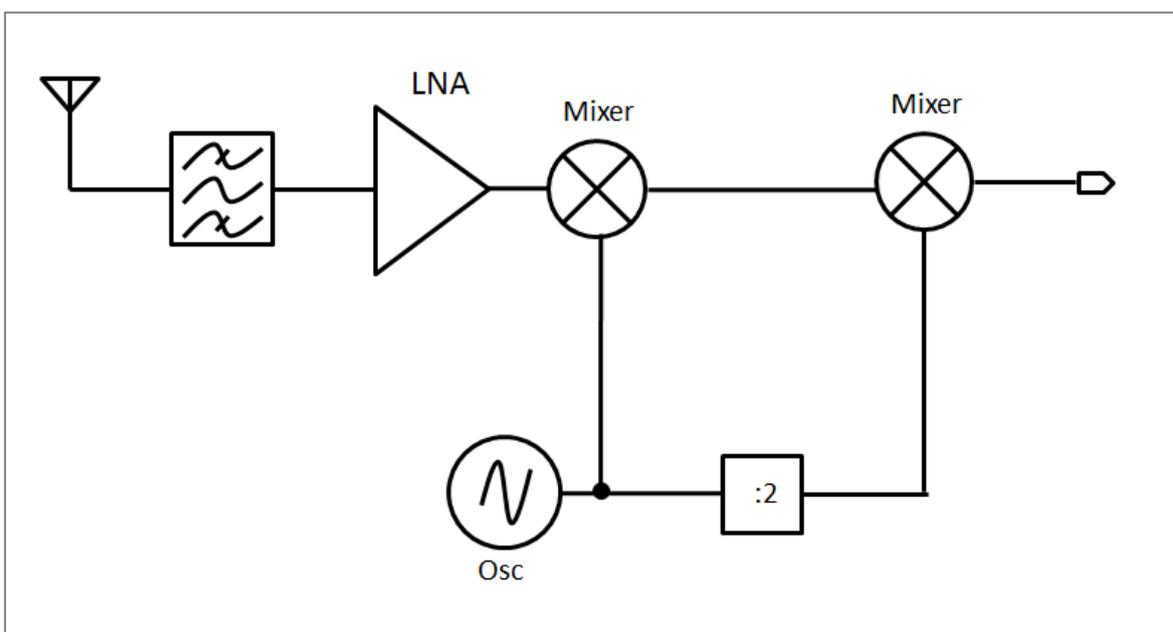


Figura 3.7: Arquitectura del receptor de *Sliding-IF*.

3.5.5 Receptor de *Tuned-IF* con Doble Muestreo

Existe otra arquitectura, que se podría ver como un receptor superheterodino, pero que a diferencia de este, no hace uso de mezcladores, sino que en su lugar usa circuitos de muestreo y retención. En este caso la bajada en frecuencia se realiza muestreando la señal de RF [13].

En la Figura 3.8 se muestra la diferencia entre un mezclador convencional y un mezclador por sub-muestreo, pudiéndose observar que el resultado logrado finalmente es el mismo.

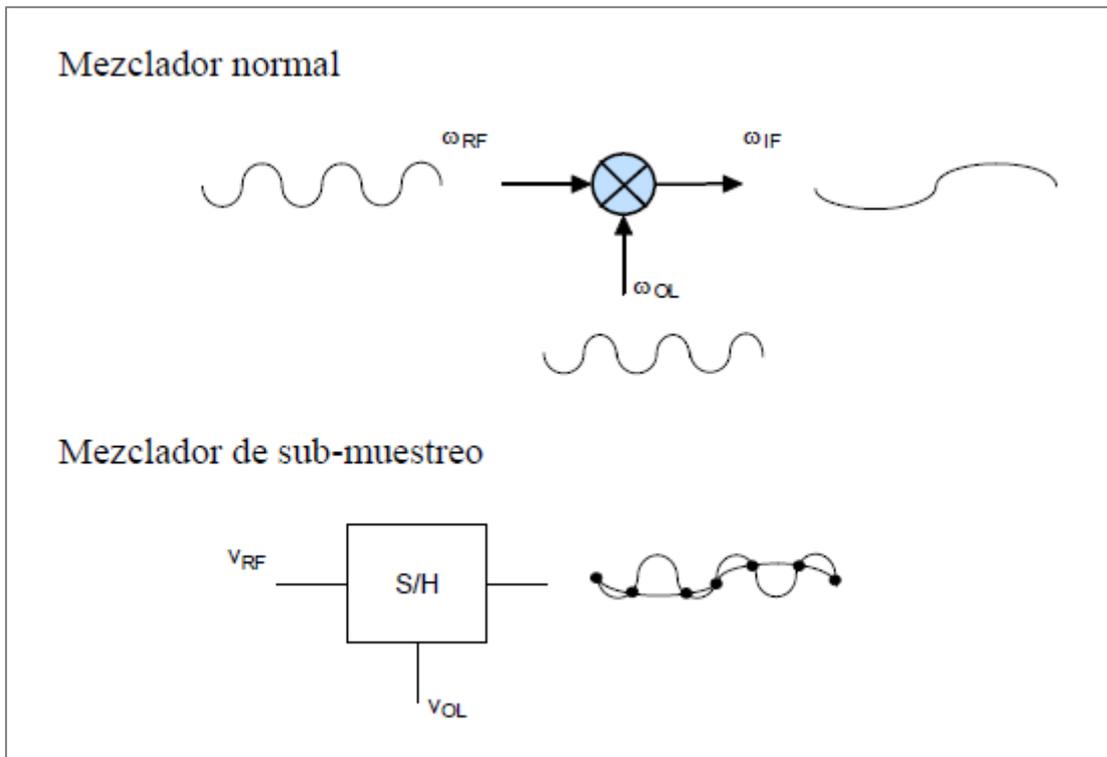


Figura 3.8: Mezclador normal y mezclador de sub-muestreo.

En la Figura 3.9 se muestra el diagrama de bloques de este receptor. La señal recibida pasa por un muestreo inicial, efectuándose una primera bajada en frecuencia. La lógica de control asociada ha de estar diseñada de tal forma que dicha bajada evite el

ruido *flicker*. Posteriormente la señal resultante se pasa por un amplificador de bajo ruido y un detector de envolvente. La señal obtenida llega al amplificador de banda base para finalmente pasar por un segundo muestreador que dará como resultado la señal deseada en banda base.

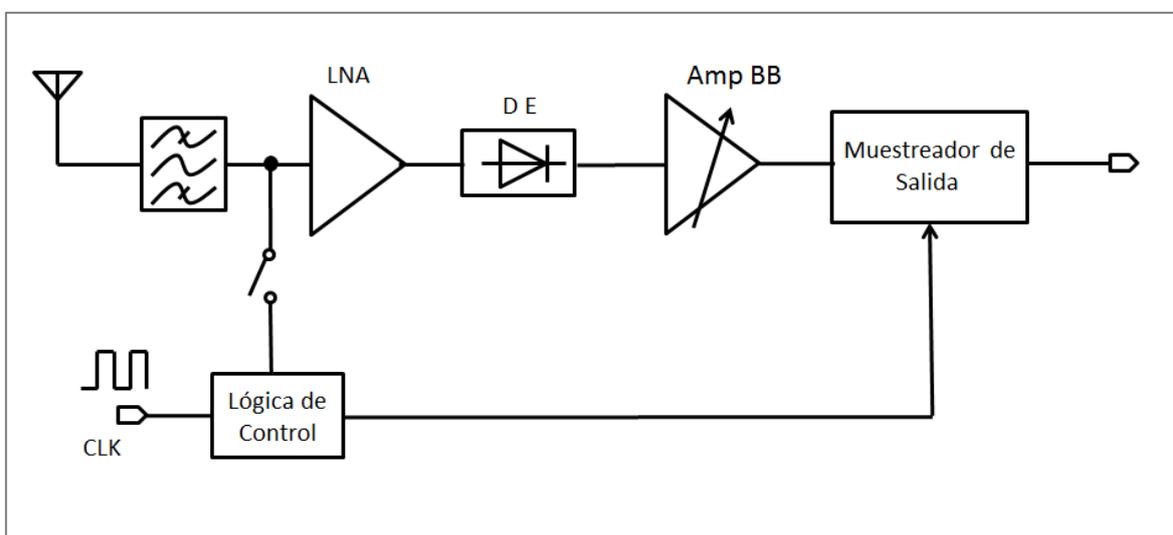


Figura 3.9: Arquitectura de *Tuned-IF* con doble muestreo.

Esta arquitectura presenta la ventaja de que se reduce la electrónica necesaria en el caso de hacer uso de osciladores locales, aunque hay que añadir cierta lógica de control para la señal muestreadora. Por otro lado, presenta el problema de que a alta tasa de datos, no se obtienen buenos resultados en cuanto a sensibilidad se refiere.

3.5.6 Receptor de *Uncertain-IF*

El principal problema de las arquitecturas anteriores es el consumo asociado al oscilador local, ya que para que este tenga una frecuencia fija, como ya se ha explicado anteriormente, por lo general utiliza un bucle de enganche de fase. Para solventar este problema aparece la arquitectura de *Uncertain-IF*. Dicha arquitectura está considerada una de las más ingeniosas dentro de los receptores *wake-up* [14].

En esencia, la arquitectura es muy similar a la del receptor heterodino. Consta de unos resonadores con un alto factor de calidad para el filtrado de la entrada, un mezclador, un oscilador local en *free-running* (sin bucle de enganche) y un amplificador de IF. El ancho de banda del amplificador de IF tras la etapa mezcladora debe de estar dentro del rango de variación del oscilador local. Por último, un detector de envolvente convierte la señal de IF amplificada a banda base.

La diferencia existente es que en este caso la frecuencia intermedia no es fija, dicha frecuencia puede variar dentro de un rango definido mediante el oscilador sin bucle de enganche. A pesar de tener una IF variable esta arquitectura presenta más ventajas que inconvenientes. En primer lugar se consigue reducir notablemente el consumo en el oscilador local ya que no tiene bucle de enganche. Por otro lado, amplificar la señal en baja frecuencia también reduce de forma significativa el consumo y mejora el rendimiento de todo el receptor.

En la Figura 3.10 se puede ver la arquitectura de este receptor.

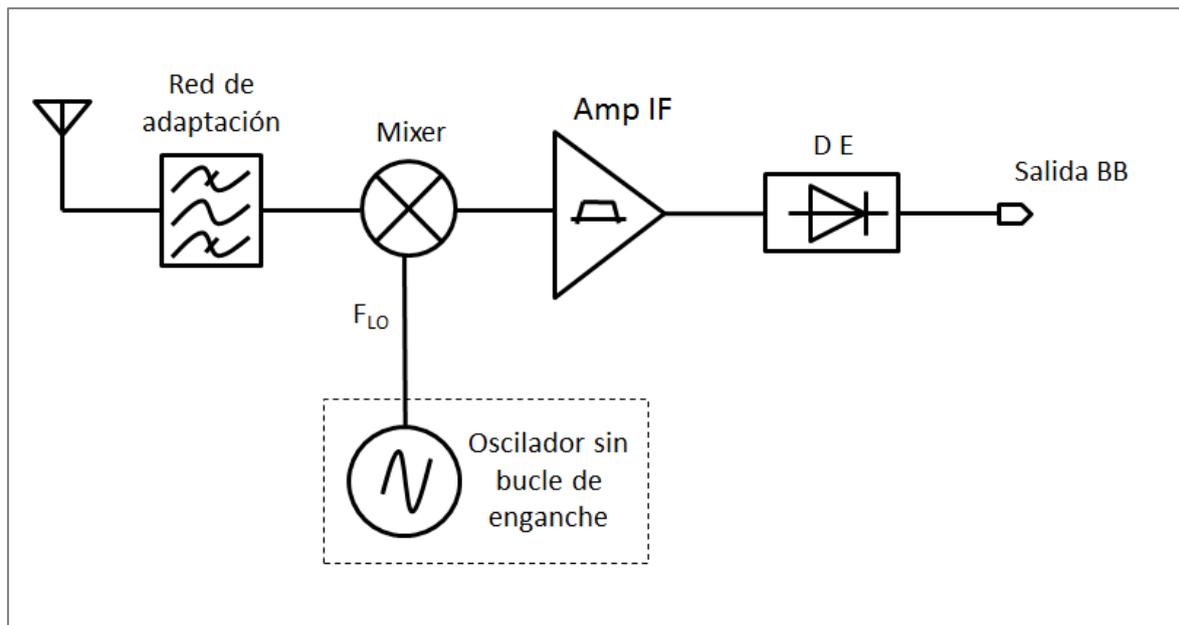


Figura 3.10: Arquitectura del receptor *Uncertain-IF*.

Debido a las ventajas que presenta esta arquitectura frente a otras de las que se han explicado a lo largo de este apartado, se ha decidido hacer uso de esta última arquitectura para la realización de este TFM.

3.6 Resumen

Durante este capítulo se han visto las distintas clasificaciones existentes para los receptores *wake-up*, las consideraciones que se han de tener en cuenta a la hora de realizar su diseño, las ventajas que aportan este tipo de receptores al ser usados dentro de las redes de sensores inalámbricas, así como los principales retos que aparecen cuando se decide diseñar un receptor *wake-up*. También se han visto las arquitecturas más usadas a la hora de diseñar un receptor *wake-up*.

En el siguiente capítulo se comenzará con la fase de diseño de *layout* del receptor *wake-up* propuesto para la realización de este TFM, para ello se hará uso de una arquitectura *Uncertain-IF*. Se partirá del diseño a nivel de esquemático en ADS disponible en el TFG al que se ha hecho referencia a lo largo de esta memoria. Estos esquemáticos se pasarán en primer lugar a *Cadence* para a partir de ellos realizar el diseño de los distintos *layouts* y sus simulaciones.

Capítulo 4

Diseño del Layout de los componentes del receptor wake-up

En el capítulo anterior se estudiaron en mayor detalle los receptores *wake-up*, viendo las distintas clasificaciones existentes, las ventajas e inconvenientes que presentan y las arquitecturas más usuales que existen actualmente a la hora de realizar el diseño de un *WuR*.

En este capítulo se comienza explicando más en profundidad la arquitectura *Uncertain-IF*, ya que esta arquitectura es la que se ha elegido para la realización del receptor de *wake-up*. Seguidamente se da una introducción sobre el diseño de *layouts*, entendiéndose por diseño a nivel de *layout* a la definición de los distintos planos de fabricación que conforman el circuito integrado. Tras esto se pasa a comentar como se ha generado la señal OOK con la que trabaja el *WUR* y posteriormente se procede a realizar el diseño del *layout* de cada uno de los componentes del receptor. Como ya se ha comentado se parte de los esquemáticos en ADS disponibles en el TFG “Diseño de un

receptor de *wake-up* para redes de sensores inalámbricas mediante un mezclador de bajada” [3].

Para facilitar la comprobación del correcto funcionamiento del *WuR* se va a realizar el *layout* de cada elemento del receptor por separado, verificando que los resultados se corresponden con los esperados, para posteriormente realizar el ensamblado de todos los componentes conformando así el *WuR* definitivo. En primer lugar se realiza el diseño del detector de envolvente [15] [16], una vez se tenga este diseño finalizado, se pasa a diseñar el mezclador con la red de adaptación. Por último se trabaja en el diseño de la etapa amplificadora.

La metodología seguida ha sido la de pasar cada uno de los esquemáticos de las distintas etapas de ADS [17] [18] [19] a *Cadence*, comparar los resultados de los esquemáticos en ambas herramientas y a continuación pasar al diseño del *layout* y comprobar el comportamiento de cada uno de los componentes del receptor de manera independiente a nivel de *layout*.

Los diseños obtenidos en *Cadence* se instancian en la herramienta de diseño *Advanced Design System (ADS)* [20] para realizar las distintas simulaciones y comprobar que el funcionamiento de cada una de las etapas es el esperado y se asemeja a los resultados obtenidos a nivel de esquemático.

4.1 Arquitectura *Uncertain-IF*

En los siguientes párrafos se explicarán los principios de funcionamiento de la arquitectura seleccionada. También se verán las ventajas que posee, dichas ventajas la hacen ser una arquitectura idónea para utilizar en el diseño de receptores *wake-up*. Por otro lado se presentan los problemas que se pueden encontrar.

Como ya se comentó anteriormente, la arquitectura *Uncertain-IF* va a estar compuesta por una red de adaptación a la entrada, que aparte de llevar a cabo la adaptación de impedancia, realizará al mismo tiempo una función de filtrado, un mezclador, una etapa amplificadora y un detector de envolvente diferencial.

En las siguientes líneas se procede a explicar el principio de funcionamiento de la arquitectura *Uncertain-IF*:

- La señal de entrada es en primer lugar filtrada para eliminar posibles interferencias y frecuencias no deseadas mediante el uso de una red pasiva que aparte de llevar a cabo la adaptación de impedancia también hará las veces de filtro.
- Posteriormente la señal resultante ya filtrada se pasa por un mezclador donde la frecuencia del oscilador local (LO) no está completamente fijada. De hecho, el LO solo debe garantizar que su frecuencia trabaje en torno a un ancho de banda definido sobre la frecuencia de RF.
- Seguidamente se conecta con una etapa amplificadora, la cual se diseña para amplificar dentro del ancho de banda posible en el que puede estar situada la señal de IF a la salida del mezclador en base al rango de frecuencia que presenta el oscilador local.
- En último lugar la señal amplificada se pasa por un detector de envolvente con el que se obtiene la señal en banda base.

En la Figura 4.1 se puede observar de manera gráfica las distintas transformaciones por las que pasa la señal de entrada.

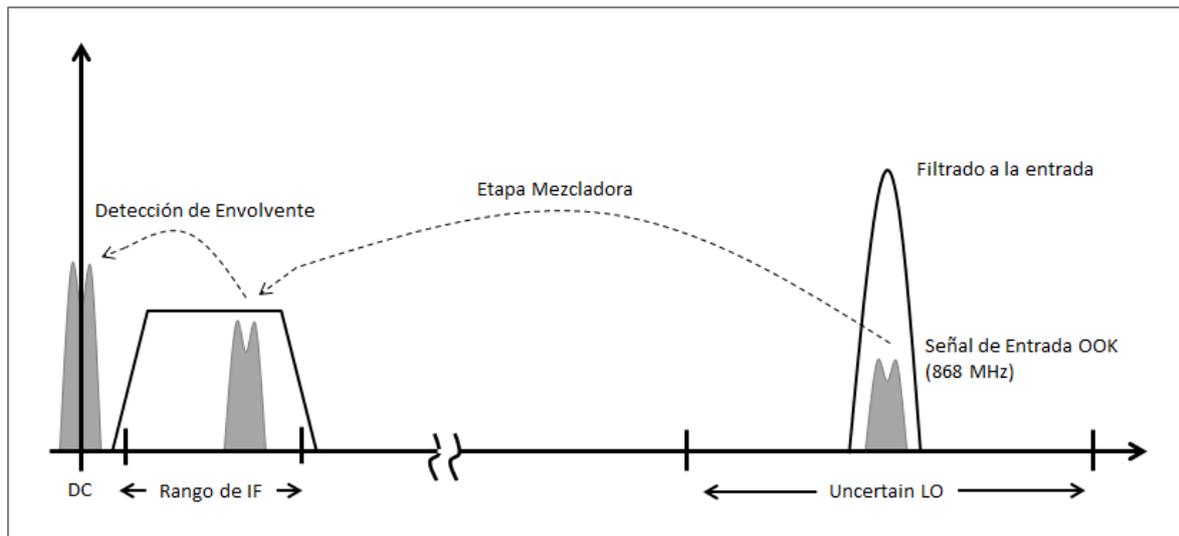


Figura 4.1: Evolución de la señal.

Para el diseño de receptores *wake-up* el uso de la arquitectura *Uncertain-IF* presenta algunas ventajas con respecto a otras arquitecturas vistas en el capítulo anterior. Seguidamente se explican dichas ventajas:

- Las especificaciones de ruido de fase y precisión de frecuencia no son excesivamente estrictas. Simplemente es necesario ajustar el oscilador local dentro de un rango de frecuencia deseado. Esto es posible ya que el detector de envolvente no se ve afectado por esta variación de frecuencia.
- La amplificación de la señal se puede realizar sobre la señal obtenida a la salida del mezclador en lugar de realizarla sobre la señal de RF a la entrada. Al amplificar sobre la señal de IF en lugar de la señal de RF se logra un ahorro de energía considerable y una mejora del rendimiento del receptor.

Esta arquitectura también presenta una serie de dificultades, estas se mencionan seguidamente:

- Este tipo de arquitectura es susceptible a las interferencias. Si una señal no deseada no es filtrada a la entrada puede ser mezclada y detectada por el

detector de envolvente. Es por ello que el filtro a la entrada ha de ser preciso para mejorar la robustez a interferencias.

- Es necesario tener en cuenta la relación que existe entre la variación de la frecuencia del LO y el ancho de banda de IF. Es conveniente llegar a un compromiso entre estos dos factores, ya que hacer un oscilador local sin bucle de enganche cuya frecuencia de salida se mantenga cerca de la frecuencia del canal es más costoso que si se deja que su frecuencia varíe mucho más con respecto a la misma, pero en este caso el ancho de banda requerido para la etapa amplificadora sería menor, consiguiendo un menor consumo.
- Por otro lado, hay que evitar que la frecuencia del oscilador local coincida con la frecuencia de RF, ya que en ese caso la señal pasaría directamente a banda base sin pasar por la etapa amplificadora y no se tendría la envolvente necesaria para despertar al AS3933. En caso de que ambas frecuencias coincidiesen, el oscilador debe llevar a cabo un proceso de resintonización.

Como ya se ha mencionado esta arquitectura permite reducir notablemente el consumo del receptor, que como sabemos es un objetivo principal a conseguir, es por ello que la hacen una arquitectura muy interesante para ser usada en el diseño de receptores *WuR*.

4.2 Introducción al diseño de *layout*

Para la realización del *layout* se hará uso de la herramienta *Virtuoso* integrada dentro del *software Cadence*. Esta herramienta a su vez integra la herramienta de verificación física *Assura* [21] con la que se podrán llevar a cabo los procesos de verificación de reglas de diseño (DRC) y verificación *Layout Versus Schematic* (LVS). Esto

va a permitir, no sólo realizar el *layout full-custom* del circuito, sino además, hacer las simulaciones *post-layout*. [22]

Desde la herramienta *Cadence* se pueden crear símbolos de los distintos circuitos que se vayan generando, tanto a nivel de esquemático, como una vez generado el *Layout* a nivel de componentes parásitos. Estos símbolos se instanciarán en ADS mediante la herramienta *RFIC Dynamic Link* para posteriormente realizar la simulación en ADS debido a la mayor sencillez de esta última herramienta a la hora de realizar los test.

Para generar el *layout* correctamente deben cumplirse una serie de reglas que dependen de la tecnología empleada, como pueden ser: la distancia entre los distintos elementos, ángulos que forman las pistas, densidad de corriente que pueden pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de las pistas, etc.

Así mismo, es necesario tener en cuenta otra serie de aspectos para obtener un comportamiento óptimo del diseño a realizar. Estos aspectos están centrados en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se explicarán a continuación:

- El sustrato se ha de conectar al potencial más negativo.
- Se debe buscar la máxima simetría entre los componentes haciendo uso de la técnica del centroide común. Con esta técnica se logra que dos elementos iguales se vean afectados del mismo modo por las dispersiones que se puedan producir durante el proceso de fabricación.
- Se evitarán los ángulos inferiores a 45º en las pistas.
- A la hora de hacer uso de pistas de poli-silicio, estas han de ser lo más cortas posibles, debido a que presentan una gran resistencia que puede afectar al comportamiento del circuito.

- Las pistas de poli-silicio, metal 1, metal 2 y metal 3 han de tener un ancho definido en función del flujo de corriente que circula a través de ellas.

A lo largo del diseño, se ha optado por sobredimensionar las pistas de manera que se eviten posibles roturas. Las pistas de alimentación se sobredimensionan aprovechando al máximo los espacios vacíos, de esta forma estas pistas generan una capacidad parasita alta que es útil para filtrar cualquier ruido procedente de las propias líneas de alimentación. En el caso de las pistas que transportan señales de radiofrecuencia, se busca que esta capacidad parasita sea lo más baja posible para que no influya sobre dichas señales, por ello estas pistas no han sido sobredimensionadas más de lo necesario.

Durante el proceso de fabricación del circuito, los componentes se pueden ver afectados por una serie de dispersiones del propio proceso de fabricación. Dichas dispersiones dependen, principalmente, de la posición del circuito dentro de la oblea. Estas dispersiones siempre actúan de forma lineal y en una dirección determinada. Existen distintos tipos de dispersiones, a continuación se nombran los más relevantes:

- Variación del espesor en la capa de óxido: afecta, principalmente, a las capacidades parasitas de los transistores del circuito.
- Variación en el número de impurezas: modifica el valor de la transconductancia, es decir, afecta a la movilidad de los electrones.
- Variación del tamaño de los transistores: afecta a la transconductancia, a las capacidades parasitas y a las resistencias de los transistores.

Una precaución adicional que se ha de tomar durante la realización de un *layout*, es que a la hora de hacer uso de vías para pasar de un metal a otro, se ha de evitar hacer uso de una única vía, esto es debido a que si esa vía falla, esto puede repercutir negativamente en el funcionamiento de todo el circuito. Es por ello, que siempre que sea posible se hará uso de más de una vía para pasar de un metal a otro.

4.3 Generación de la señal OOK

La señal utilizada para despertar al nodo es una señal OOK (*On-Off Keying*). Esta señal se genera a partir de una portadora con una frecuencia de 868 MHz y una señal moduladora de 125 kHz. La generación de la señal OOK con estas características es debida a las siguientes consideraciones:

- La antena del nodo trabaja a una frecuencia de 868 MHz y para que no sea necesario el uso de una segunda antena en el nodo, el receptor *wake-up* ha de trabajar a la misma frecuencia que se usa para la transmisión de datos.
- Al hacer uso del AS3933 como correlador *Identity-Based*, la frecuencia moduladora se ha de encontrar en un rango entre 5 kHz y 150 kHz. Siendo la señal usada para este TFM de 125 kHz.

Antes de comenzar con el diseño de los distintos componentes que conforman el receptor de *wake-up*, se ha creado un esquemático con el que es posible genera la señal OOK para de esta forma poder realizar las distintas simulaciones que sean necesarias. En la Figura 4.2 se muestra el esquemático utilizado para crear la señal OOK y en la Figura 4.3 se pueden ver los resultados obtenidos tras la simulación [23].

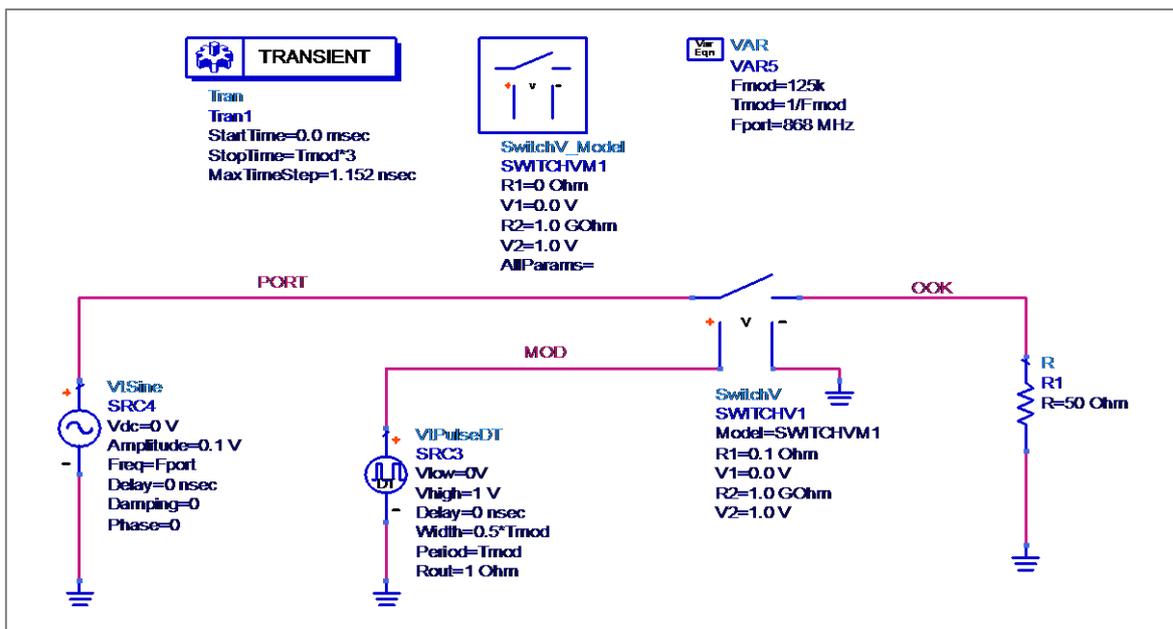


Figura 4.2: Generación de la señal OOK.

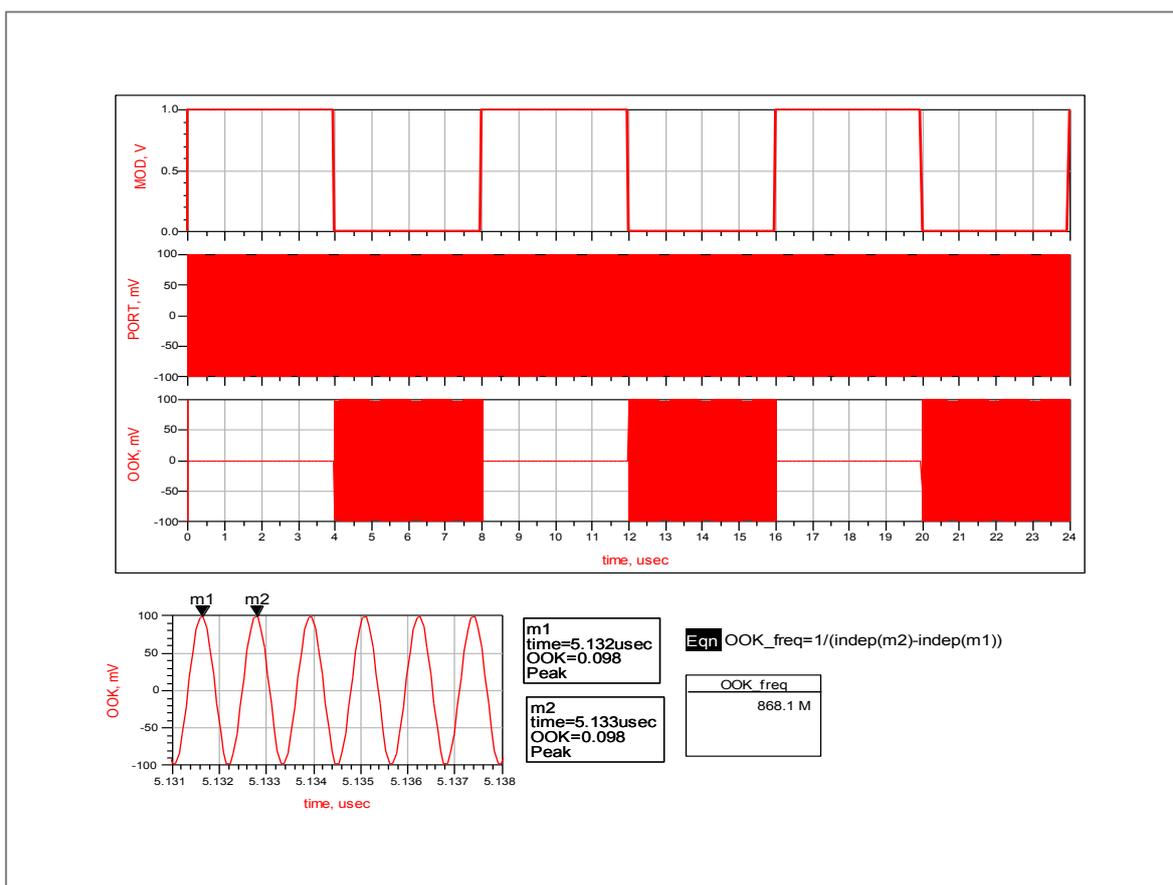


Figura 4.3: Simulación de la señal OOK.

En la Figura 4.3 se puede ver la señal moduladora de 125 kHz, la portadora de 868 MHz y la modulación OOK resultante. En la gráfica final de la Figura 4.3 se mide la frecuencia de la envolvente, dando como resultado los 868 MHz esperados.

4.4 Diseño del detector de envolvente

Un detector de envolvente es un circuito al cual le llega una señal de alta frecuencia a la entrada y a la salida devuelve la envolvente de esta señal de entrada. En la arquitectura *Uncertain-IF* el detector de envolvente es el último paso por el que pasa la señal y es necesario pues es en esta envolvente donde se encuentra la información que interesa recibir.

Para el diseño de esta etapa se hace uso de un detector de envolvente diferencial, el circuito en cuestión se muestra en la Figura 4.4. Cuando al circuito le entra por las puertas de los transistores M1 y M2 la señal, a la salida aparece la suma de ambas señales, dando como resultado la envolvente de la señal.

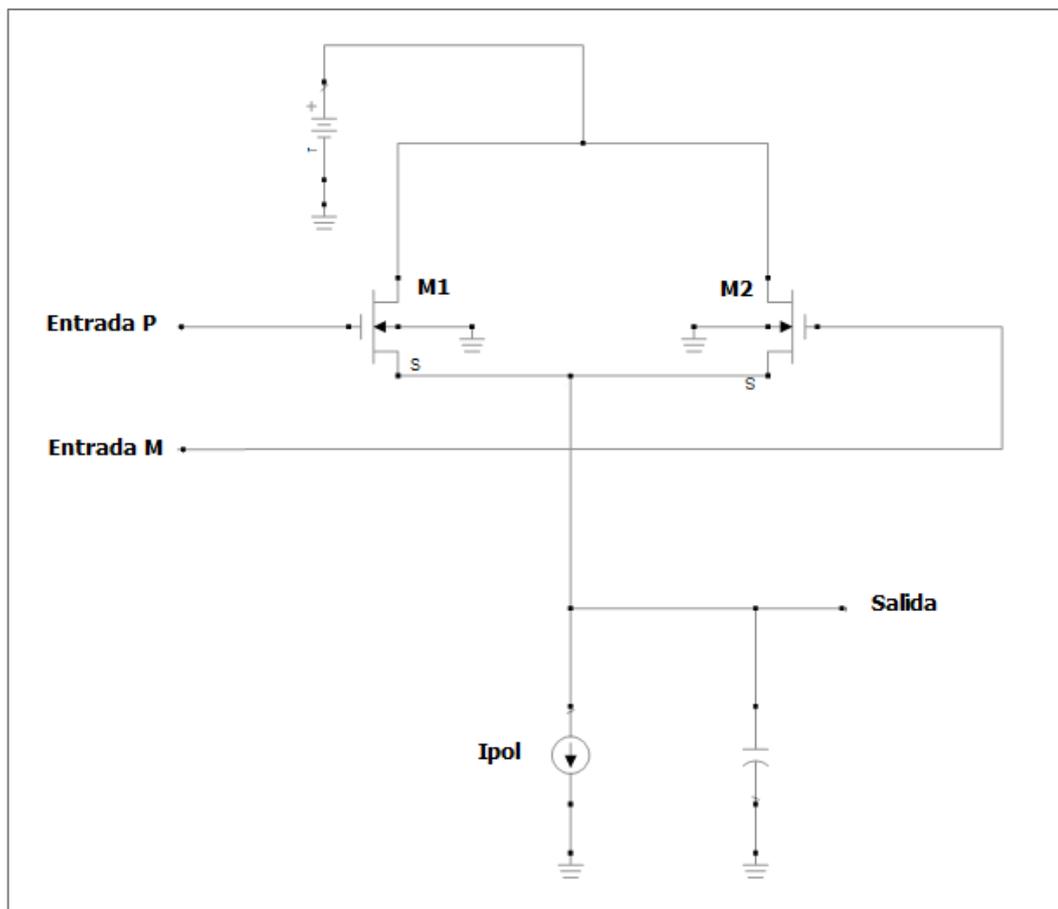


Figura 4.4: Esquemático del detector de envolvente.

4.4.1 Simulación del Esquemático de *Cadence*

En la Figura 4.4 se mostraba la estructura básica de la que se partía inicialmente, a continuación en la Figura 4.5 se muestra el esquemático diseñado en ADS en el TFG mencionado con anterioridad. Este esquemático se lleva a *Cadence*, para posteriormente realizar el *layout* de este componente.

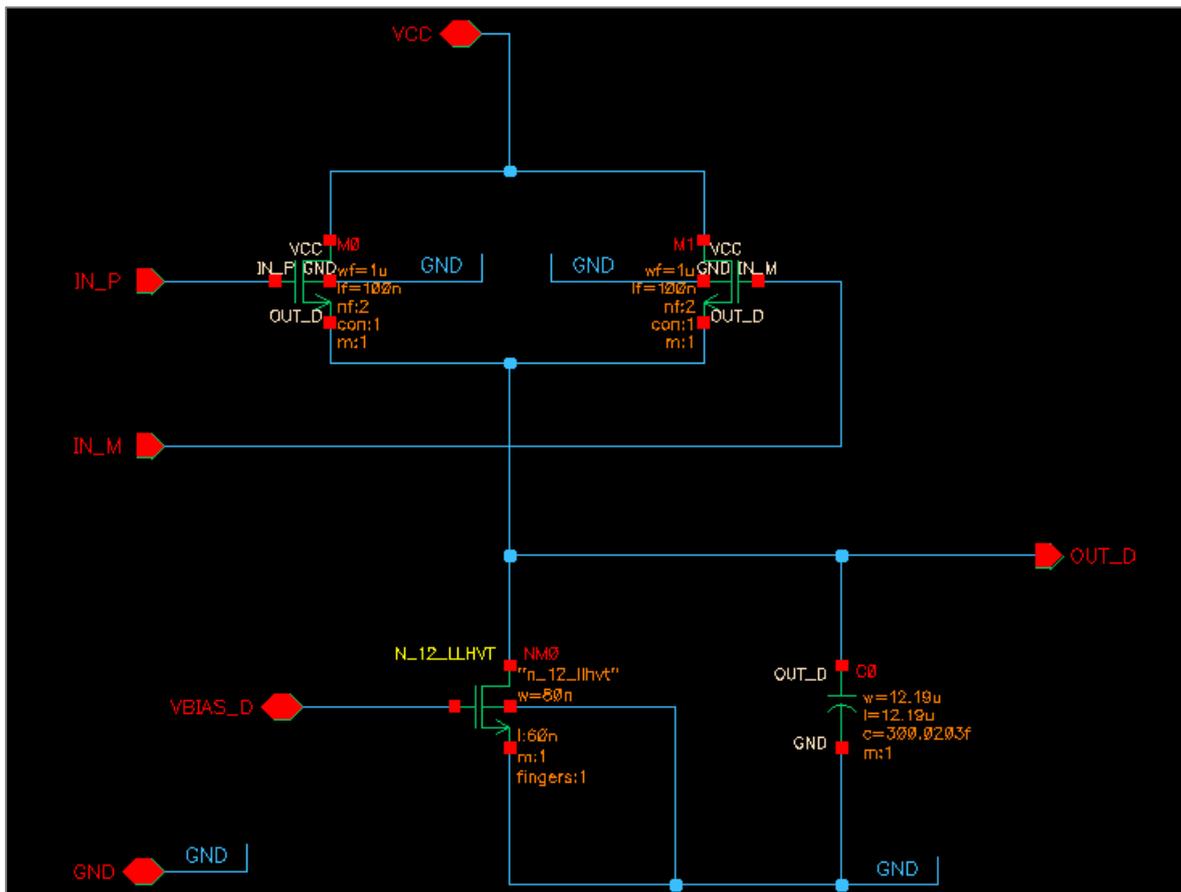


Figura 4.6: Esquemático del detector de envolvente en *Cadence*.

Una vez que se ha pasado el diseño a *Cadence* se genera un símbolo, este símbolo será el que se instancie a través de la herramienta *RFIC Dynamic Link* para poder realizar las distintas simulaciones. El símbolo generado se muestra en le Figura 4.7.

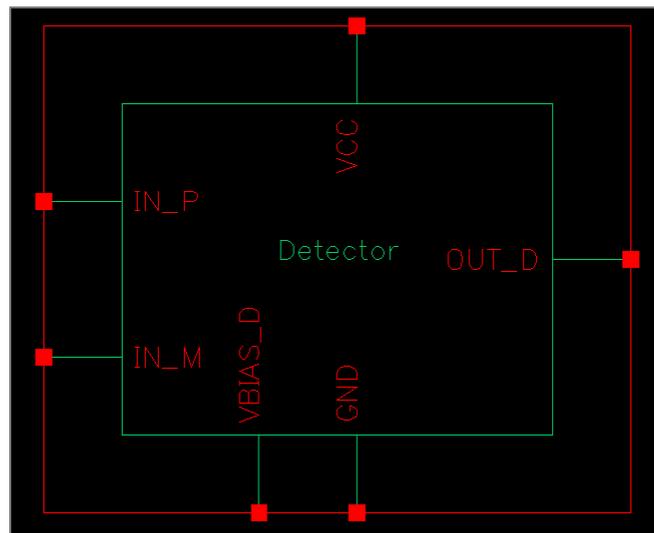


Figura 4.7: Símbolo del detector de envolvente.

Con el esquemático y el símbolo generado, se proceden a hacer las simulaciones en ADS. Se comprueba que el comportamiento del esquemático sea el similar al obtenido durante las simulaciones realizadas en el TFG de partida. El circuito utilizado para realizar estas simulaciones se muestra en la Figura 4.8. En esta figura se puede ver la instanciación del símbolo del detector de envolvente, a parte para la realización de la simulación, al ser un detector diferencial ha sido necesario hacer uso de un balun que proporciona la misma señal en ambas entradas del detector pero desfasadas.

A la salida del detector de envolvente se conecta una resistencia de 2 M Ω , que es la resistencia que presenta el circuito que iría conectado a la salida del *WuR*, el AS3933. Al añadir esa resistencia se podrá comprobar que el nivel obtenido a la salida del receptor de *wake-up* es suficiente para despertar al AS3933, este dispositivo necesita una tensión de pico de 113 μ V para activarse.

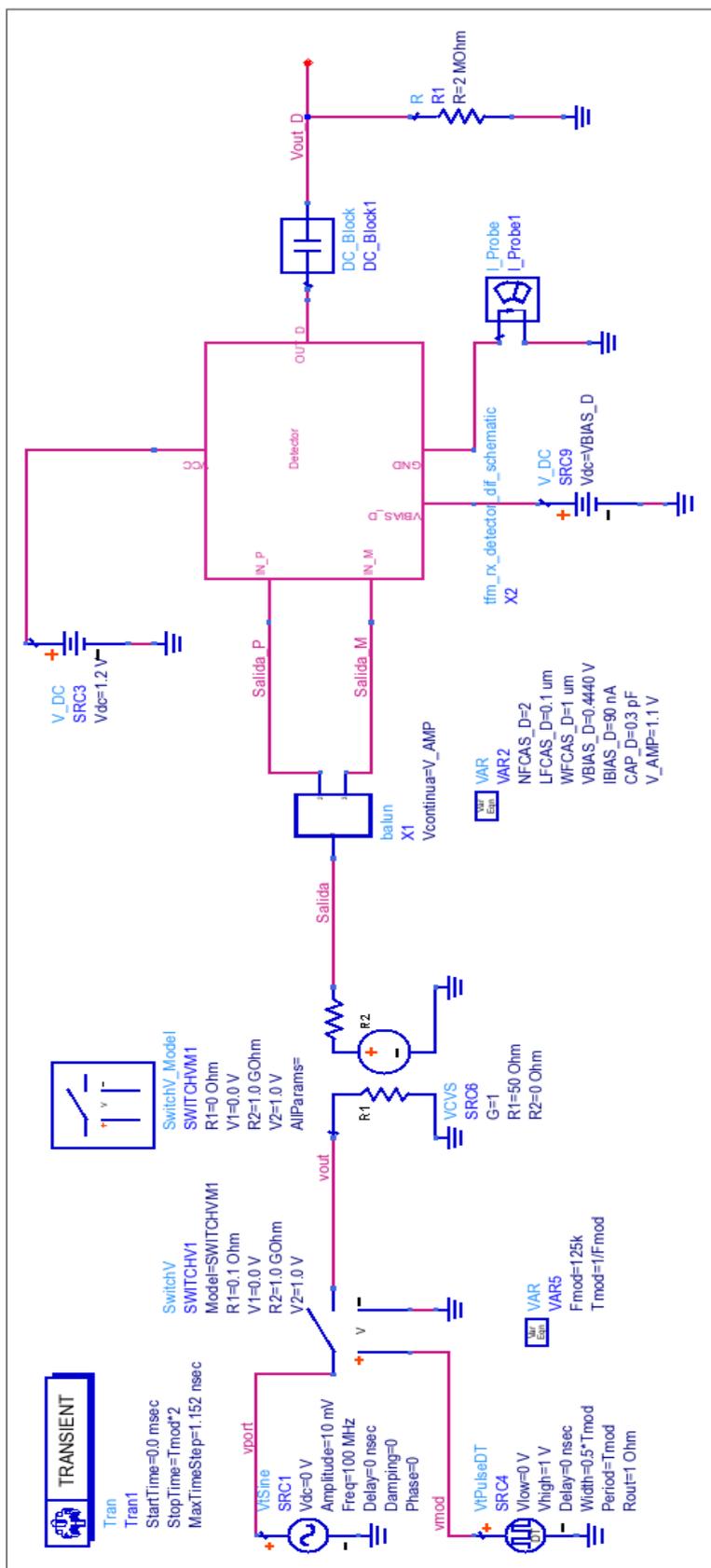


Figura 4.8: Instanciación del detector de envoltura en ADS.

Con el circuito a simular diseñado se procede a realizar las simulaciones para comprobar su funcionamiento. En la Figura 4.9 se muestran los resultados obtenidos.

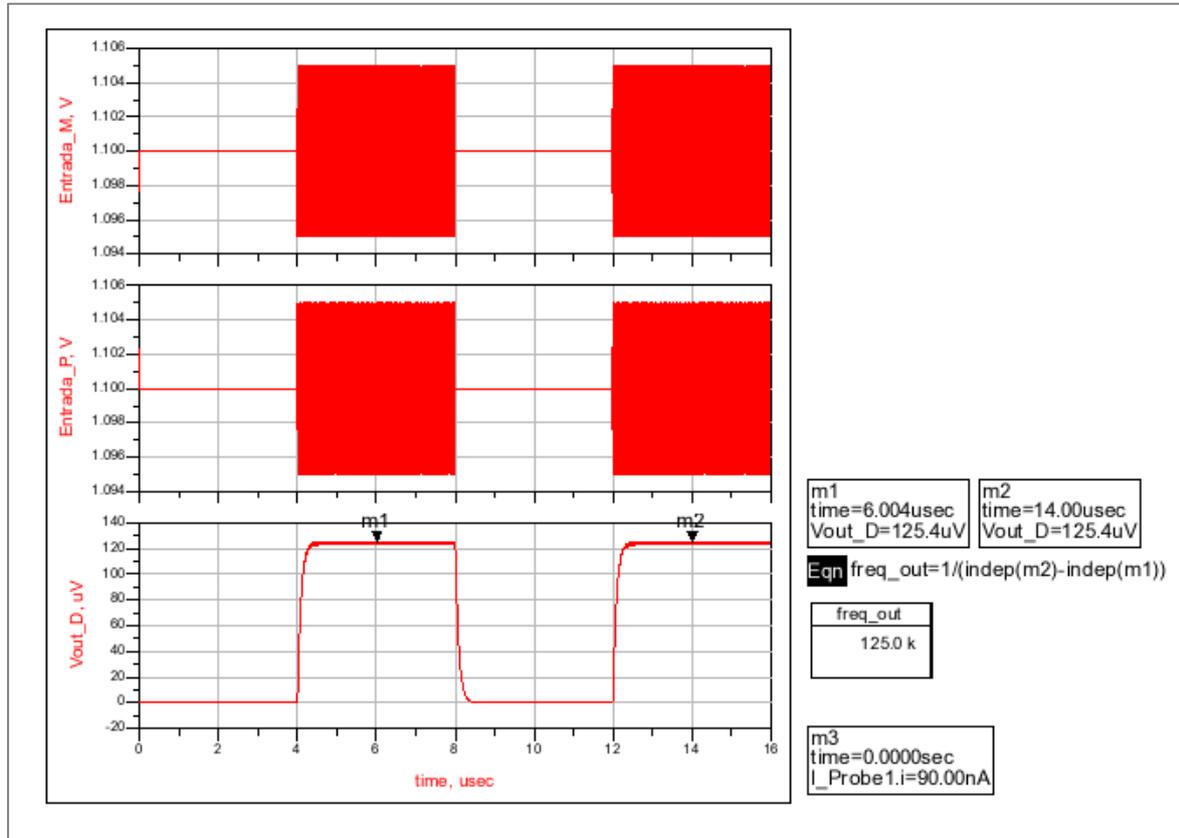


Figura 4.9: Resultados del esquemático de *Cadence* en ADS.

Observando los resultados obtenidos, se comprueba que a la salida del detector de envoltorio se obtiene la señal de 125 kHz deseada, con un nivel suficiente como para que el AS3933 se active al recibir dicha señal. En los resultados presentados también se puede ver el consumo que presenta este módulo, este consumo corresponde a unos 90 nA. Estos resultados se encuentran dentro de los valores esperados.

Tras comprobar que el comportamiento del esquemático en *Cadence* está dentro de los valores deseados, se pasa a la realización del *layout* y comprobación del comportamiento del circuito a este nivel.

4.4.2 Simulación del *Layout* de Cadence

Una vez se ha comprobado que el esquemático del circuito presenta el comportamiento deseado, el siguiente paso a realizar es diseñar el circuito a nivel de *layout*. Como se comentó con anterioridad, para la realización de este *layout* se han de tener en consideración las reglas impuestas por la tecnología utilizada. En la Figura 4.10 se muestra el diseño obtenido para el detector de envolvente.

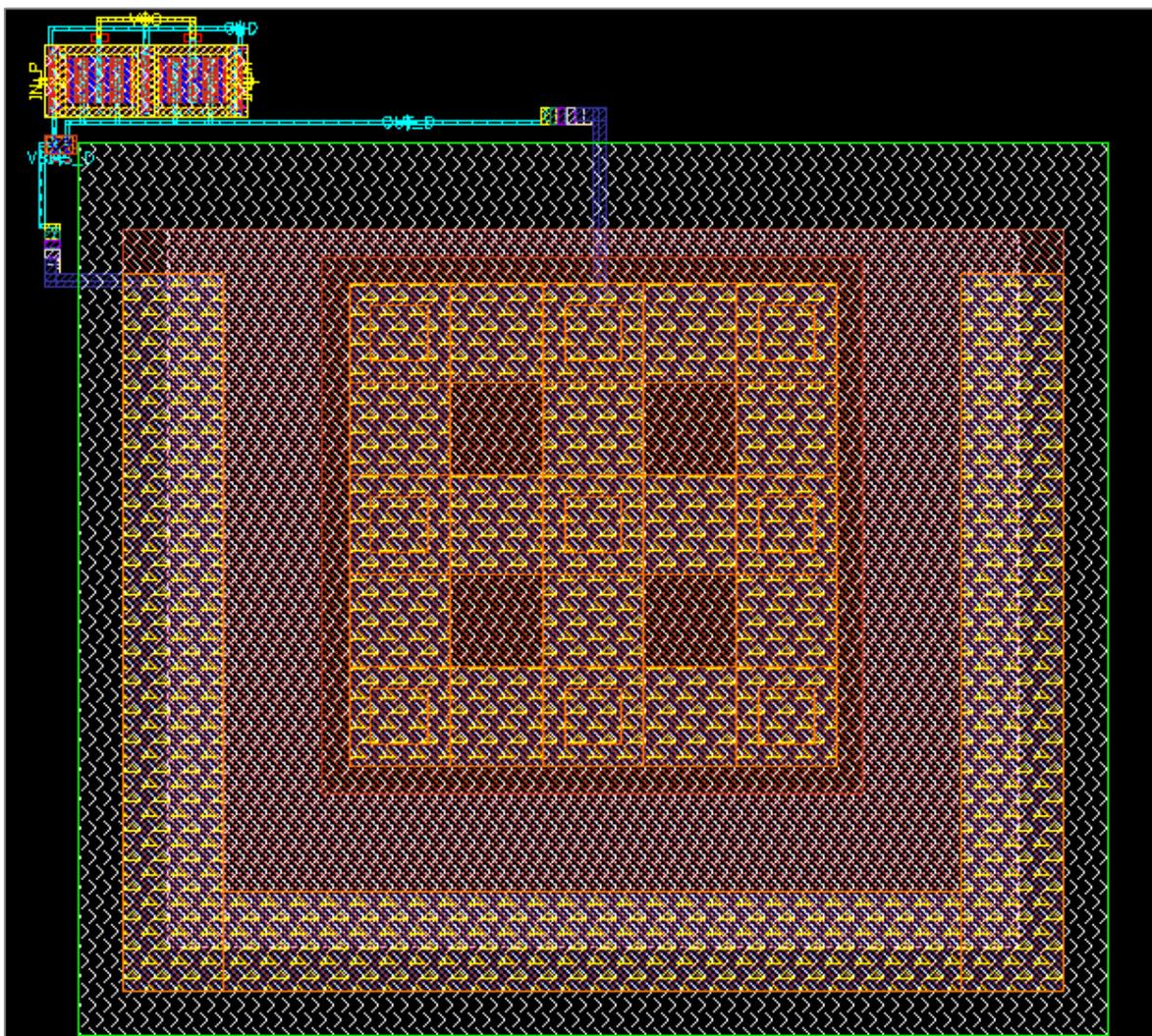


Figura 4.10: *Layout* del detector de envolvente en Cadence.

A continuación en la Figura 4.11 se muestra con mayor detalle la parte formada por los transistores, donde se podrán ver las distintas señales o tensiones que se utilizan en este elemento.

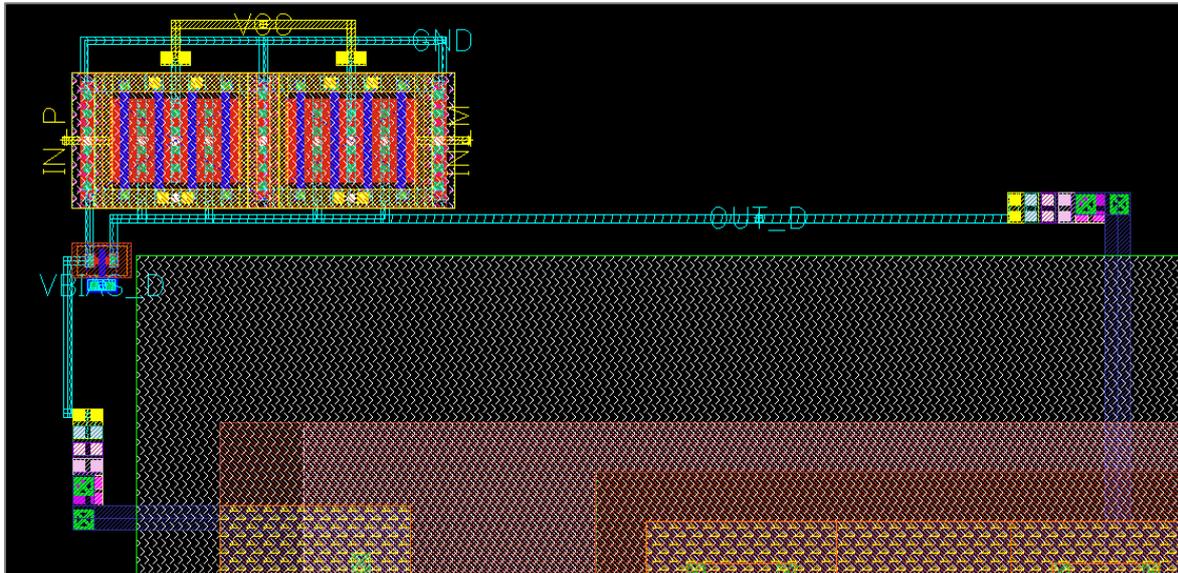


Figura 4.11: Layout de los transistores del detector de envolvente.

Ya con el diseño del *layout* finalizado, se hace uso de la herramienta *Assura* y se verifica en primer lugar que el *layout* cumple con las reglas de diseño mediante la herramienta DRC. Si no hay ningún error, se pasa a comprobar que el *layout* corresponde con el esquemático del circuito bajo diseño, haciendo uso de la herramienta LVS. Por último, si el *layout* se corresponde con el esquemático, se procede a realizar la extracción de los componentes parásitos del diseño, para a continuación realizar una instanciación en ADS de este circuito, donde se tendrán en cuenta los elementos parásitos que posea el diseño.

En este punto se instancia en ADS el símbolo del detector de envolvente obtenido tras la extracción de los elementos parásitos. El circuito que se obtiene en ADS es exactamente el mismo al que se veía en la Figura 4.8 con la única diferencia de que si se presta atención al símbolo instanciado, en su denominación aparece la palabra

“extracted”, de esta forma se sabe que al realizar la simulación se tendrán en cuenta tanto las resistencias como las capacidades parasitas que presente el diseño. En la Figura 4.12 se muestra el circuito a simular, donde se puede ver como en el símbolo instanciado aparece la palabra *“extracted”*.

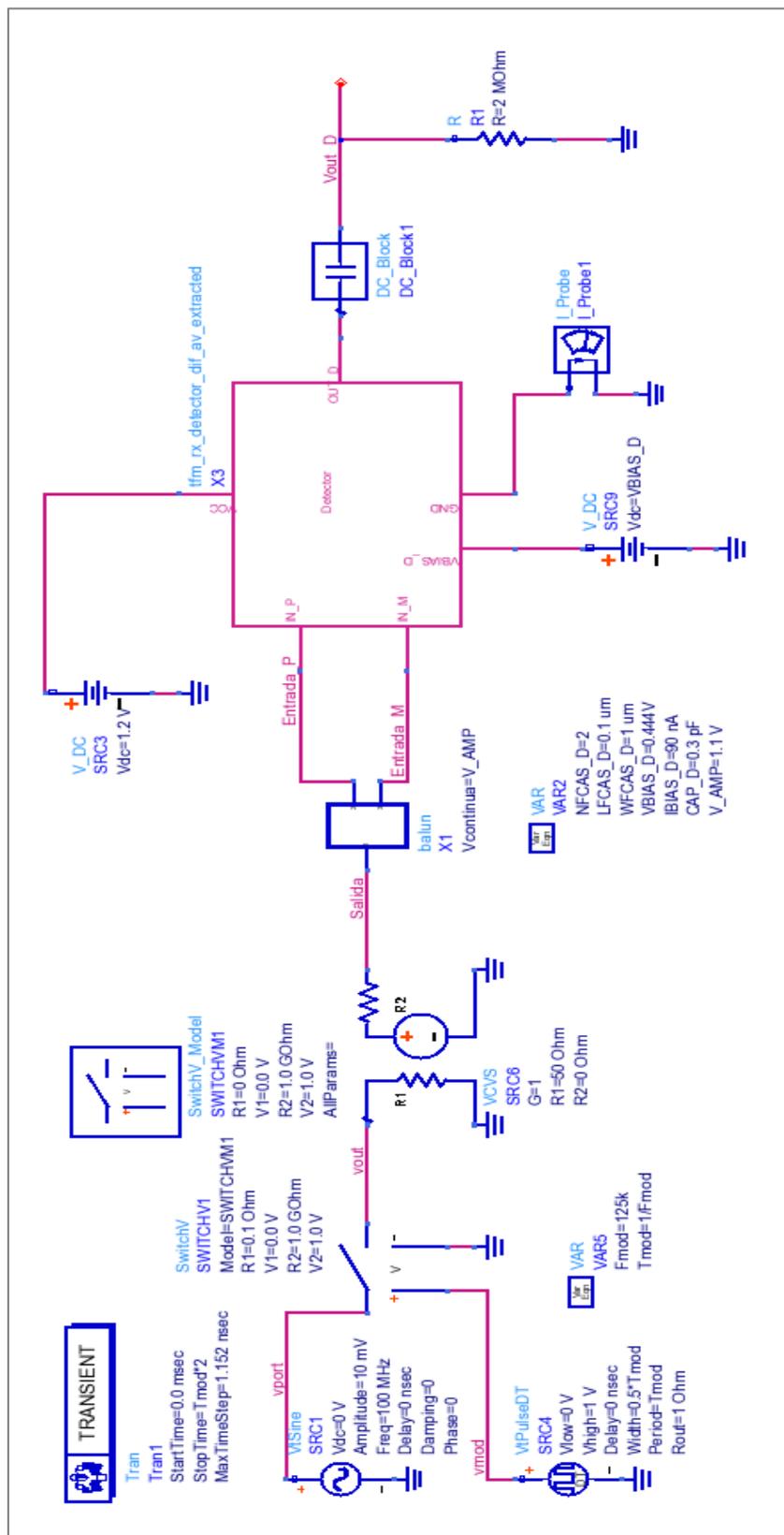


Figura 4.12: Instanciación del símbolo extraído del detector de envoltura en ADS.

Se procede a realizar la simulación del *layout* del detector de envoltente. Tal y como se ha mencionado anteriormente, en esta simulación la herramienta tendrá en cuenta los efectos que introducen los elementos parásitos del circuito. Los resultados se presentan en la Figura 4.13.

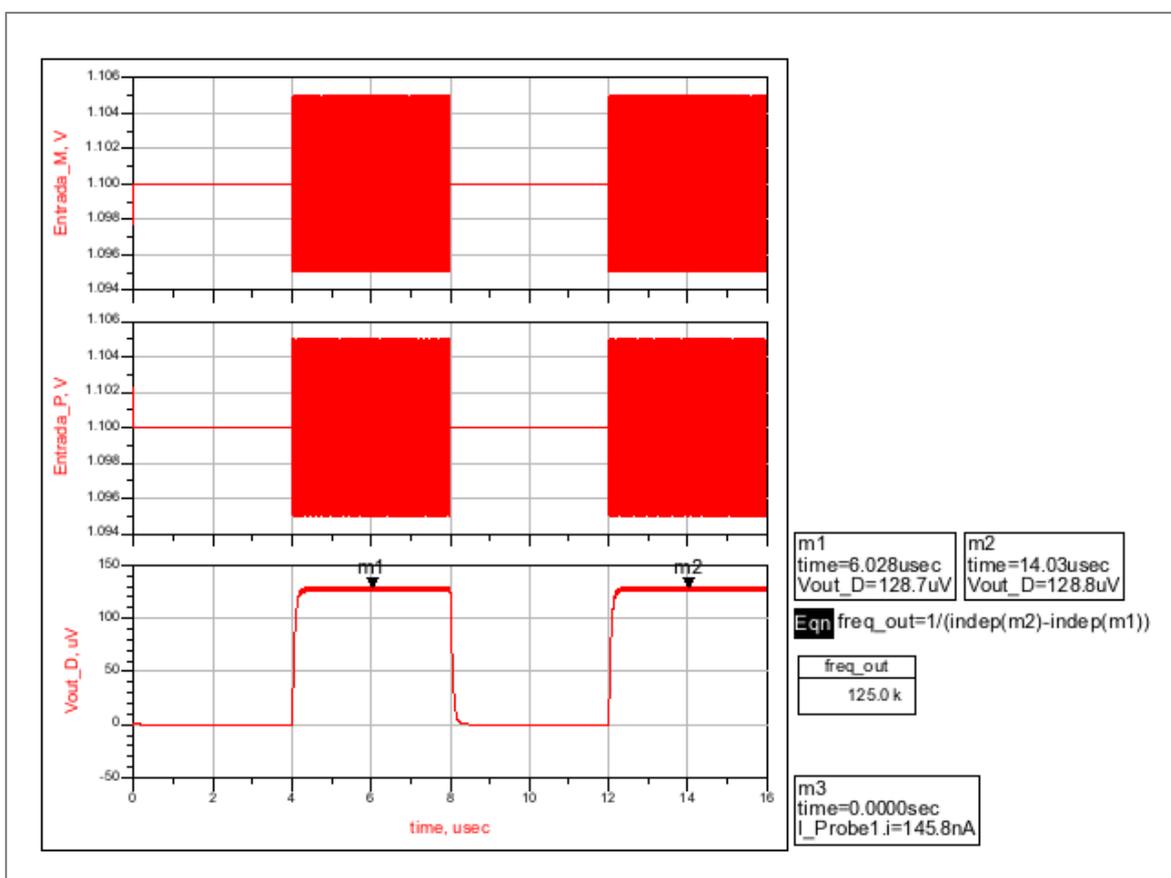


Figura 4.13: Resultado del *layout* de Cadence en ADS.

Si se comparan los resultados obtenidos en esta simulación, con los que se presentaban en la Figura 4.9, se puede apreciar que el nivel de la señal que se obtiene a la salida ha mejorado, pues antes se obtenía un nivel de 125 μV aproximadamente, mientras que en esta segunda simulación, la señal de salida del detector tiene un nivel superior a los 128 μV . La segunda diferencia que se observa, es que el consumo del detector ha aumentado notablemente, pues se ha pasado de un consumo de 90 nA que se tenía en el esquemático, a un consumo de 145 nA. Este aumento es debido al efecto

que introducen los componentes parásitos. Como es lógico interesa mantener el consumo lo más próximo al que se obtenía con el esquemático, en este caso la forma más fácil de reducir el consumo es disminuir la tensión de polarización del detector de envolvente, es por ello que el nivel de tensión de la señal de polarización pasa de 0,444 V a 0,421 V. En la Figura 4.14 se muestran los resultados obtenidos con este nuevo nivel de tensión, donde se ve como los resultados obtenidos son muy próximos a los conseguidos con la simulación del esquemático del detector de envolvente.

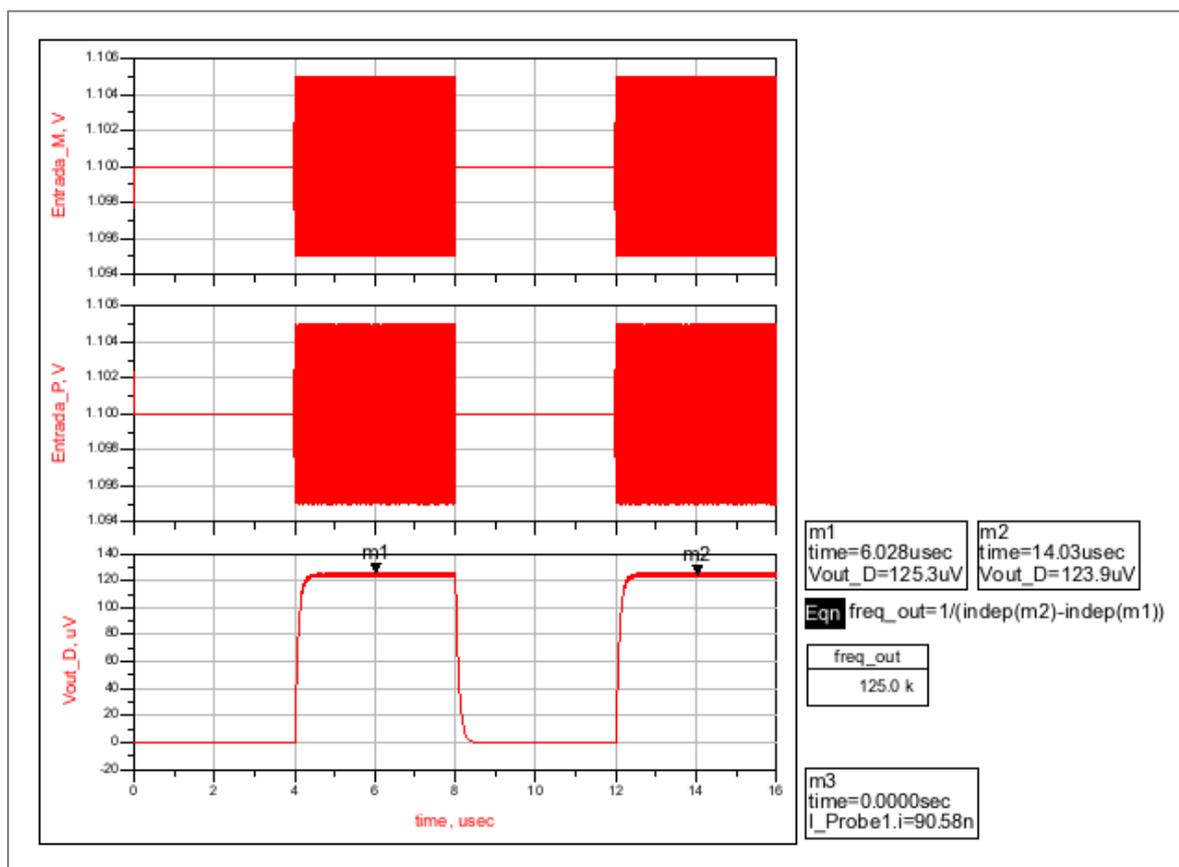


Figura 4.14: Resultado final del layout de Cadence en ADS.

Con esta última simulación se da por finalizado el diseño del layout del detector de envolvente, este diseño puede no ser definitivo, ya que una vez que se vaya uniendo las distintas etapas puede ser necesario modificar este diseño para poder realizar el conexasiónado.

4.5 Diseño del Mezclador

Un mezclador no es más que un circuito capaz de trasladar en frecuencia la señal que recibe a la entrada, manteniendo la amplitud relativa de sus componentes espectrales. La frecuencia de entrada conocida como RF se traslada hasta una frecuencia deseada llamada frecuencia intermedia (IF). Para que esta operación sea posible se mezcla con una señal con una frecuencia conocida, esta señal se conoce como oscilador local (LO).

En la Figura 4.15 se muestra la operación descrita anteriormente, donde se puede ver como el espectro de la señal original centrado en W_{RF} se desplaza hasta quedar centrado en W_{IF} . La frecuencia de IF viene dada por la Ecuación 4.1.

$$W_{IF} = W_{RF} - W_{LO} \quad (\text{Ecuación 4.1})$$

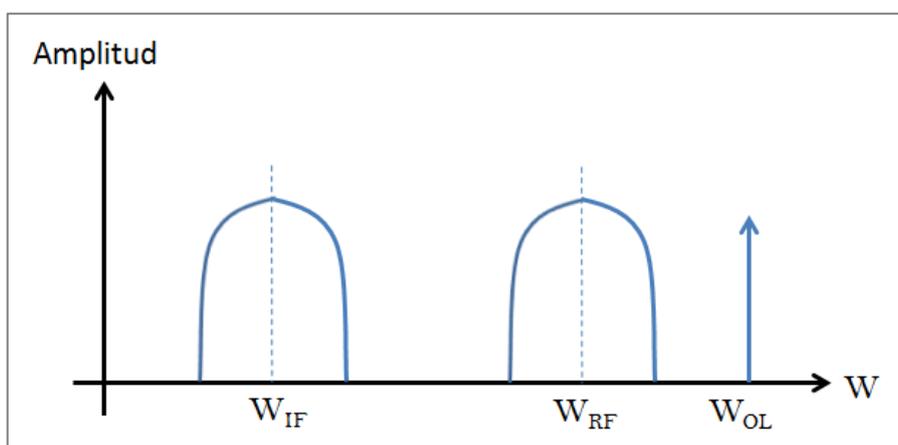


Figura 4.15: Funcionamiento del mezclador.

El mezclador que se diseñó durante el TFG de referencia fue diseñado con el objetivo de maximizar la ganancia de conversión y reducir en la medida de lo posible su consumo. Para ello se optó por hacer uso de una configuración de doble puerta acompañado de un circuito tanque para centrar la frecuencia de trabajo. En esta

topología se inyecta la señal de RF a la puerta del primer transistor (M1), mientras que en la puerta del transistor M2 se introduce la señal del oscilador local, obteniendo en el drenador de este transistor la señal con la frecuencia intermedia deseada. En la Figura 4.16 se muestra la configuración que se va a usar.

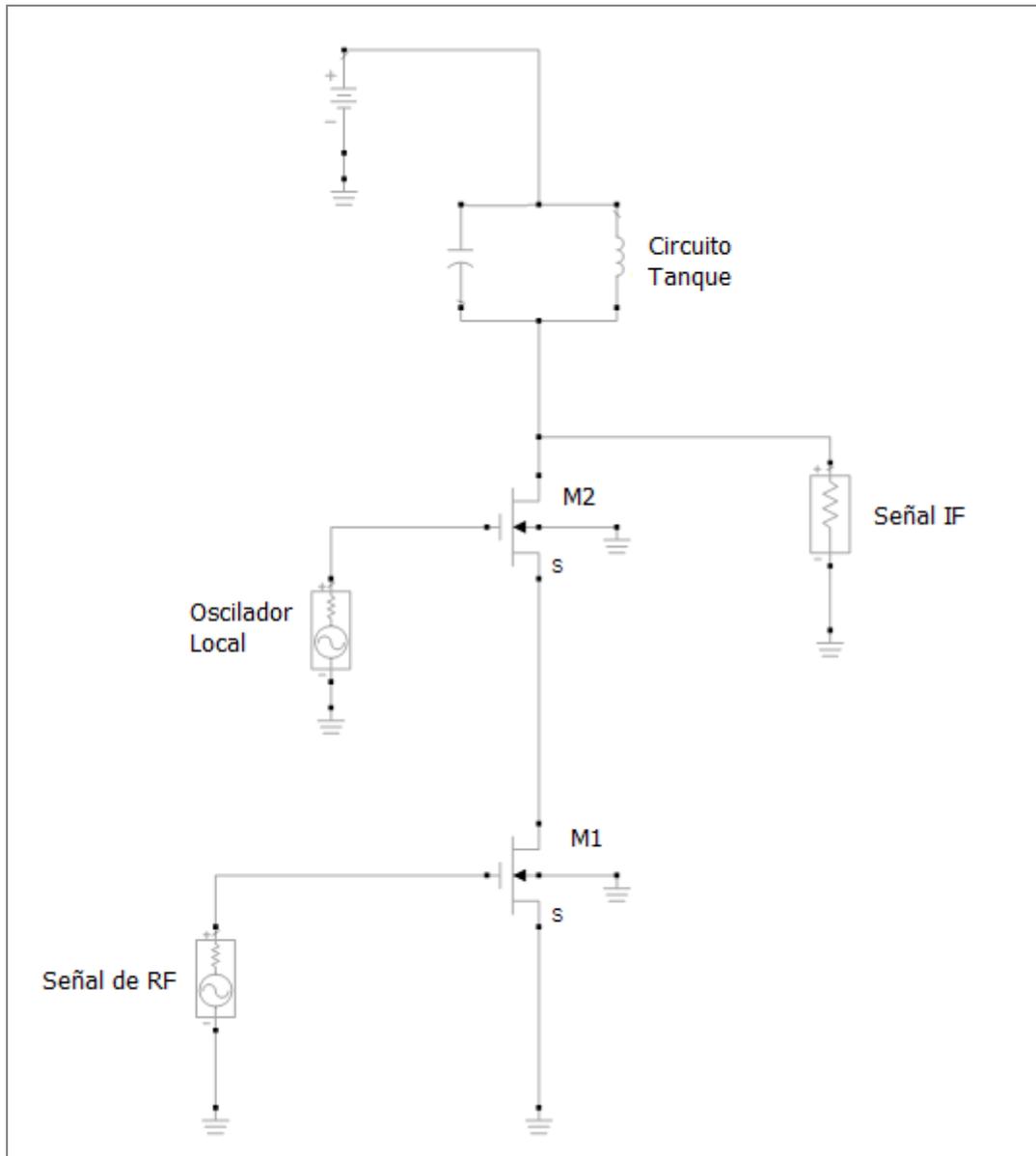


Figura 4.16: Esquemático del mezclador.

4.5.1 Simulación del Esquemático de *Cadence*

En la Figura 4.17 se muestra el esquemático final que se diseñó en el Trabajo Fin de Grado. Al igual que se realizó con el detector de envolvente, este diseño se trasladará a *Cadence* y se comprobará si el comportamiento sigue siendo el mismo que el obtenido en la simulación de ADS realizada en el TFG.

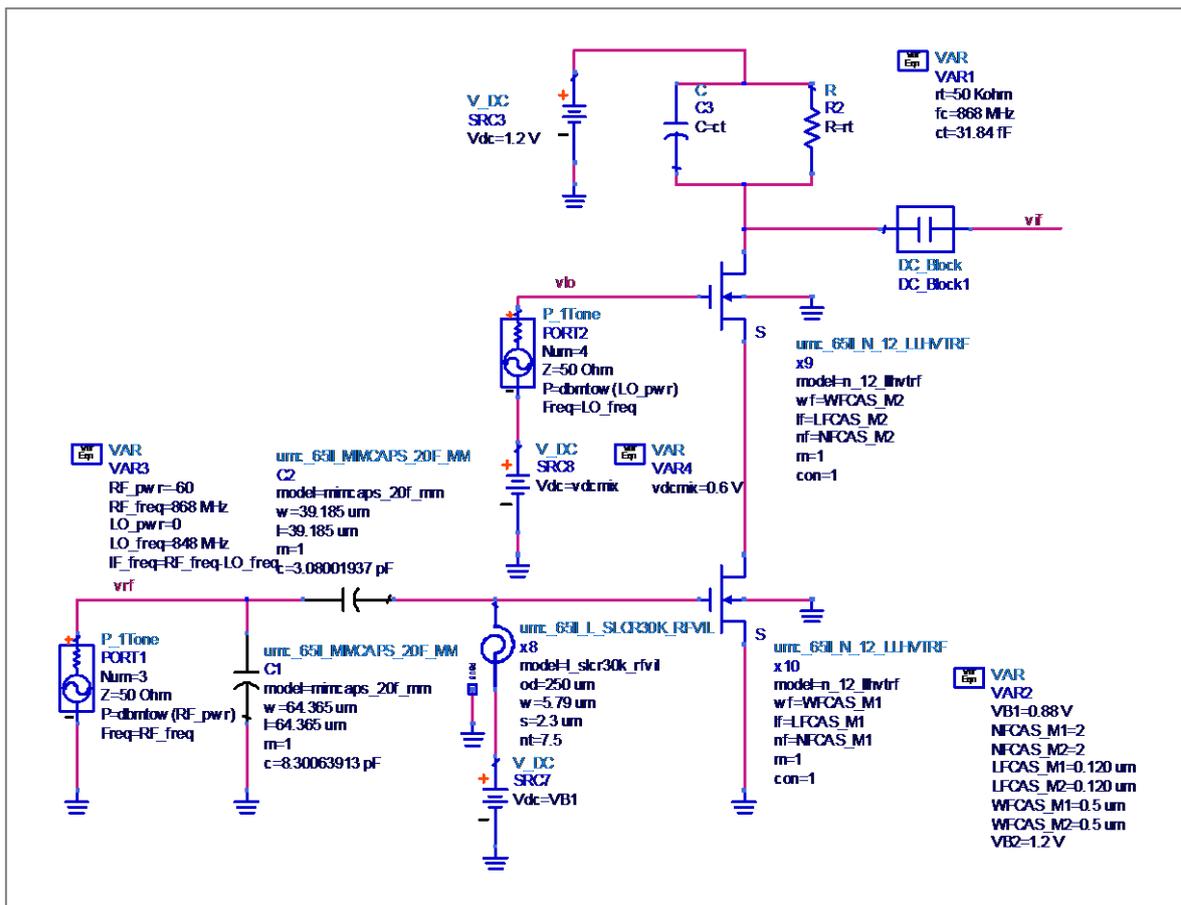


Figura 4.17: Esquemático del mezclador en ADS.

Con el diseño del mezclador en ADS, el siguiente paso es llevar este esquemático a *Cadence*, el circuito resultante se muestra en la Figura 4.18.

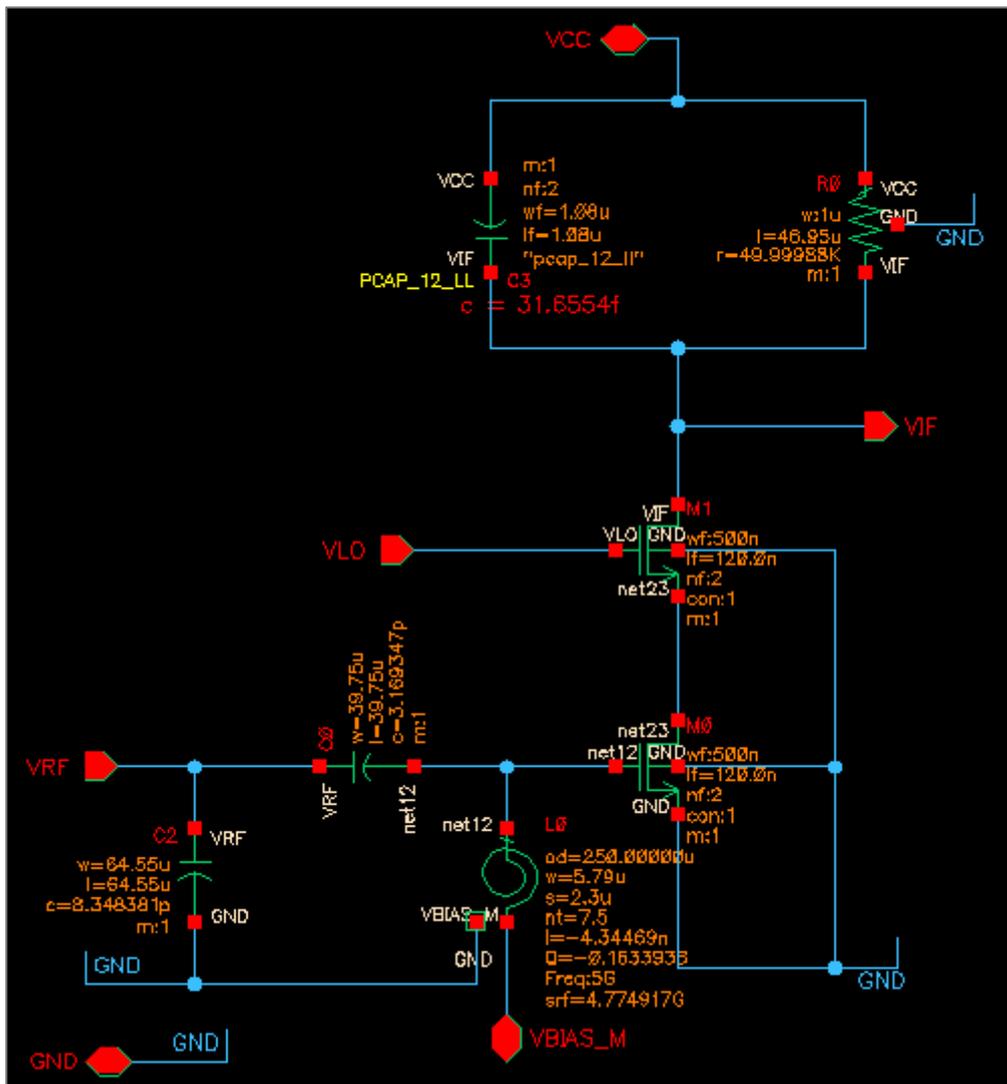


Figura 4.18: Esquemático del mezclador en Cadence.

De igual forma que en caso del detector de envolvente, a partir del esquemático se puede generar un símbolo, este símbolo será el que se instancie en ADS para realizar las simulaciones. El símbolo se muestra en la Figura 4.19.

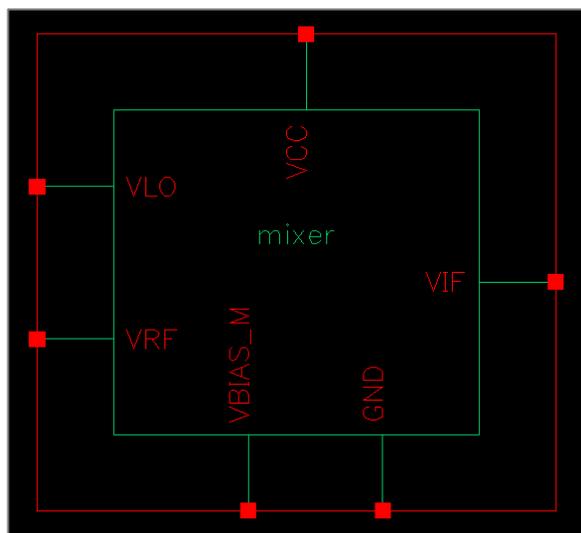


Figura 4.19: Símbolo del mezclador.

A continuación se exponen los resultados de las distintas simulaciones llevadas a cabo con el mezclador.

4.5.1.1 Simulación de Parámetros S

En primer lugar se procede a comprobar que la adaptación de impedancia sigue siendo correcta, para ello se realiza una simulación de parámetros S en ADS mediante la instanciación del símbolo del mezclador. El circuito utilizado para esta simulación se muestra en la Figura 4.20, donde se aprecia que el símbolo instanciado corresponde al esquemático pues así lo especifica la herramienta en dicho símbolo.

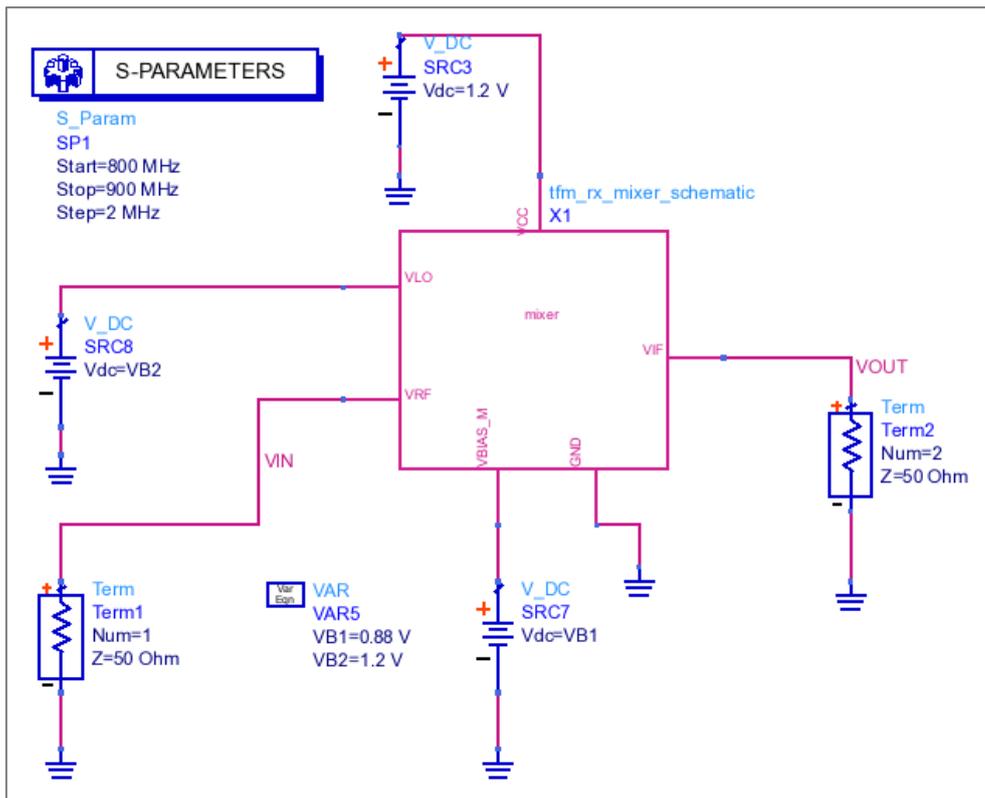


Figura 4.20: Instanciación del esquemático del mezclador de *Cadence* en ADS, simulación de parámetros S.

Se muestra ahora la adaptación de impedancia que se ha logrado haciendo uso del esquemático de *Cadence*. En la Figura 4.21 se pueden ver los resultados obtenidos.

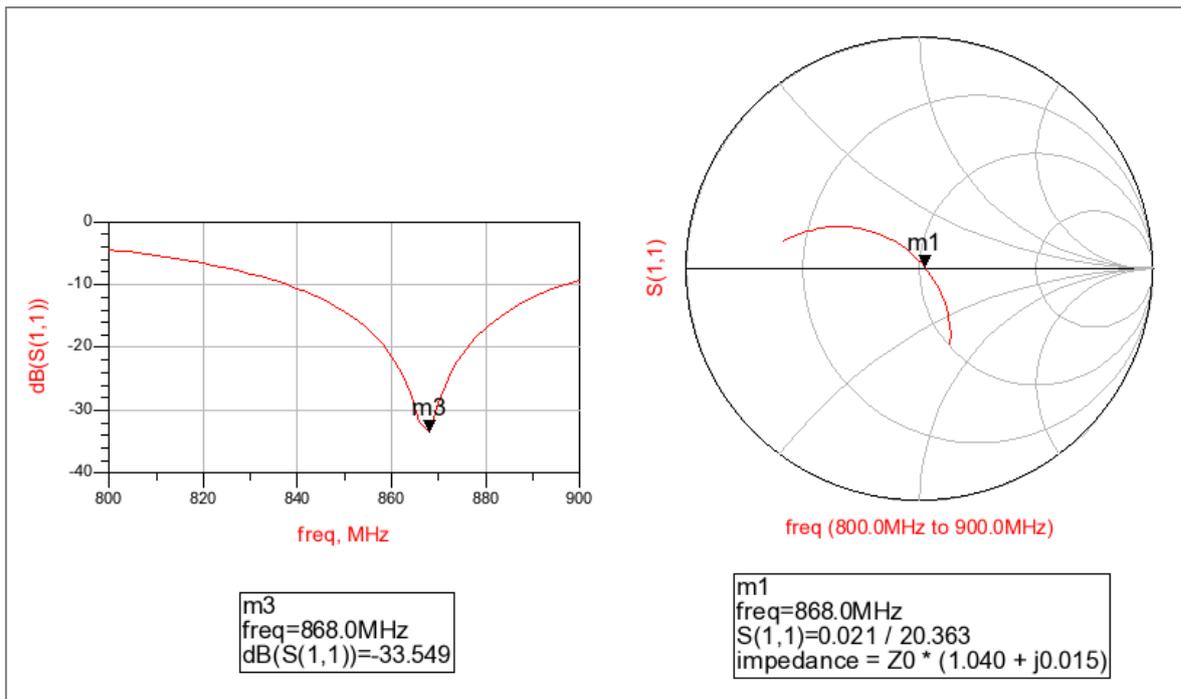


Figura 4.21: Resultado de la simulación de parámetros S del esquemático de Cadence en ADS.

Si se presta atención a los resultados obtenidos la adaptación de impedancia que se logra con el circuito diseñado está muy próxima al centro de la carta de *Smith*, algo que indica que la adaptación de impedancia obtenida es buena.

4.5.1.2 Simulación *Harmonic Balance*

Habiendo comprobado que la adaptación de impedancias es correcta el siguiente punto a realizar es verificar que el mezclador funciona realmente como tal, para ello se realiza una simulación *Harmonic Balance*, este tipo de simulación es la idónea para circuitos de RF. El circuito utilizado para esta simulación se muestra en la Figura 4.22. Si se compara con el presentado en la Figura 4.20, se observa que se cambia el tipo de simulación y también las entradas al mezclador, donde ya se ponen las señales correspondientes a la entrada de RF y del LO. Las frecuencias utilizadas para la simulación son las siguientes, la señal de RF tiene la frecuencia de 868 MHz correspondiente a la frecuencia a la que trabaja el receptor, para las simulaciones la frecuencia del oscilador

local se ha fijado a 848 MHz, por lo que la frecuencia de salida del mezclador corresponde a 20 MHz.

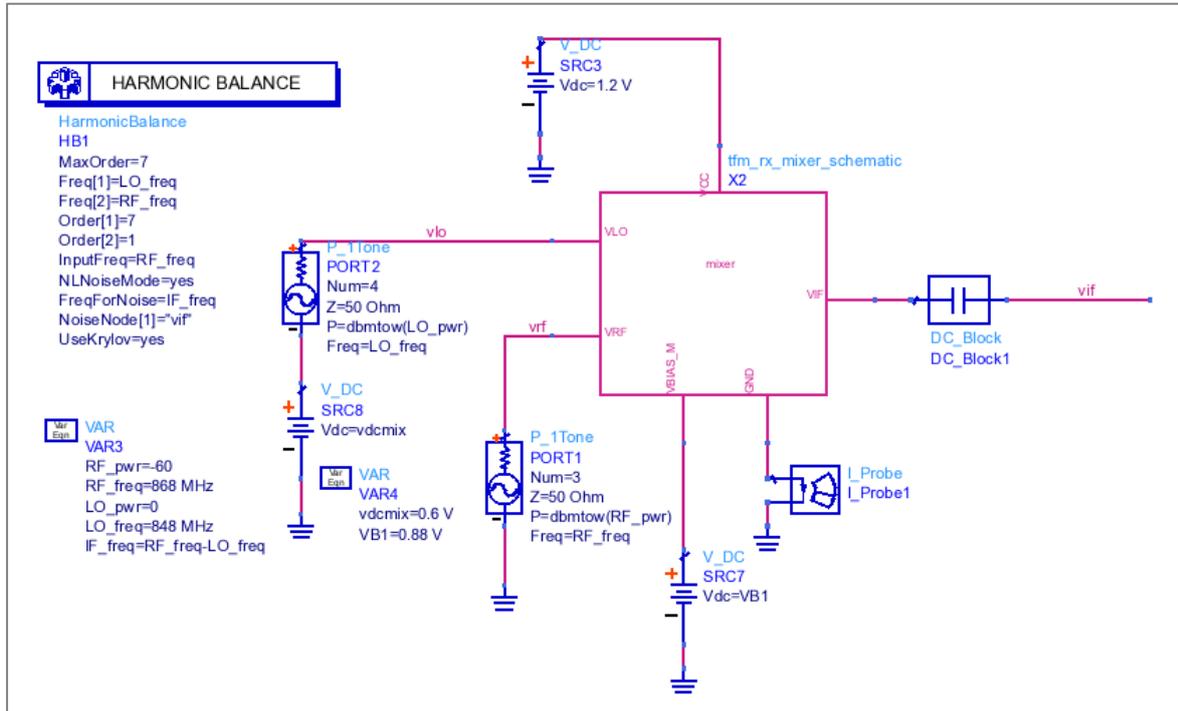


Figura 4.22: Instanciación del esquemático del mezclador de *Cadence* en ADS, simulación *Harmonic Balance*.

En la siguiente imagen (Figura 4.23) se presentan los resultados obtenidos de esta simulación.

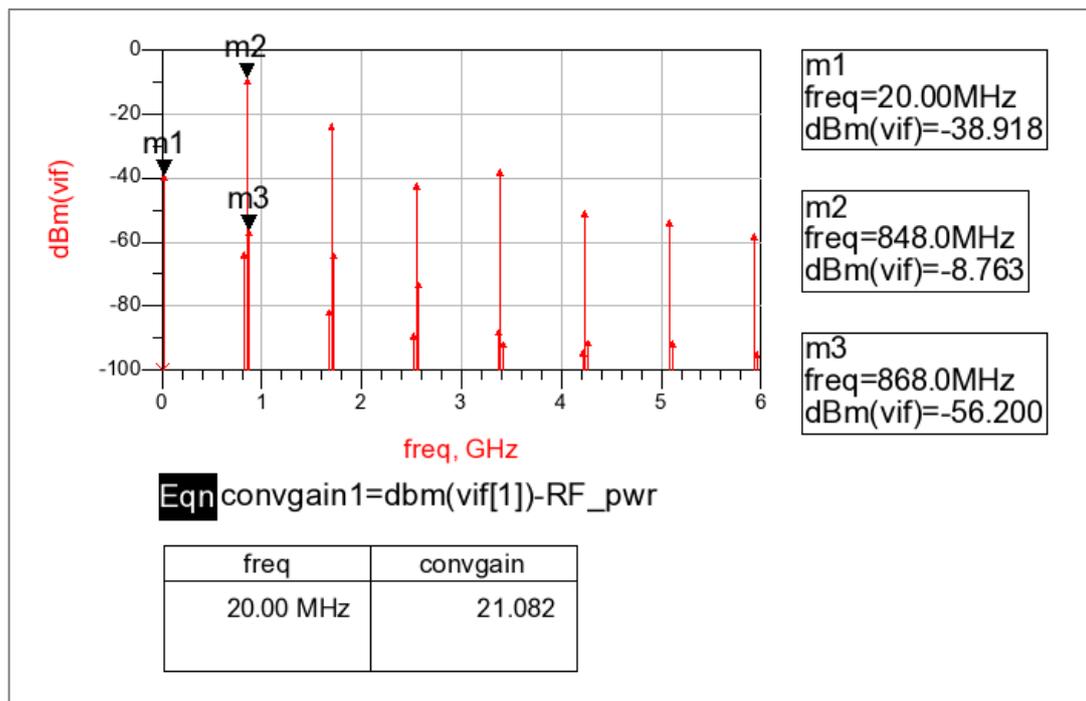


Figura 4.23: Resultado de la simulación Harmonic Balance del esquemático de Cadence en ADS.

Según los resultados obtenidos, el mezclador presenta una ganancia de conversión de 21 dB. En la Figura 4.23 también se puede ver una representación espectral de la salida del mezclador, donde se puede observar como en la salida de IF se obtiene un valor de aproximadamente -39 dBm, algo lógico pues este valor corresponde al nivel de entrada de la señal de RF menos la ganancia de conversión.

Haciendo uso del mismo circuito usado para la simulación *Harmonic Balance* (Figura 4.22) pero cambiando el tipo de simulación a Transitoria se puede hallar el consumo del mezclador. Este consumo es de 14,09 uA tal y como se muestra en la Figura 4.24.

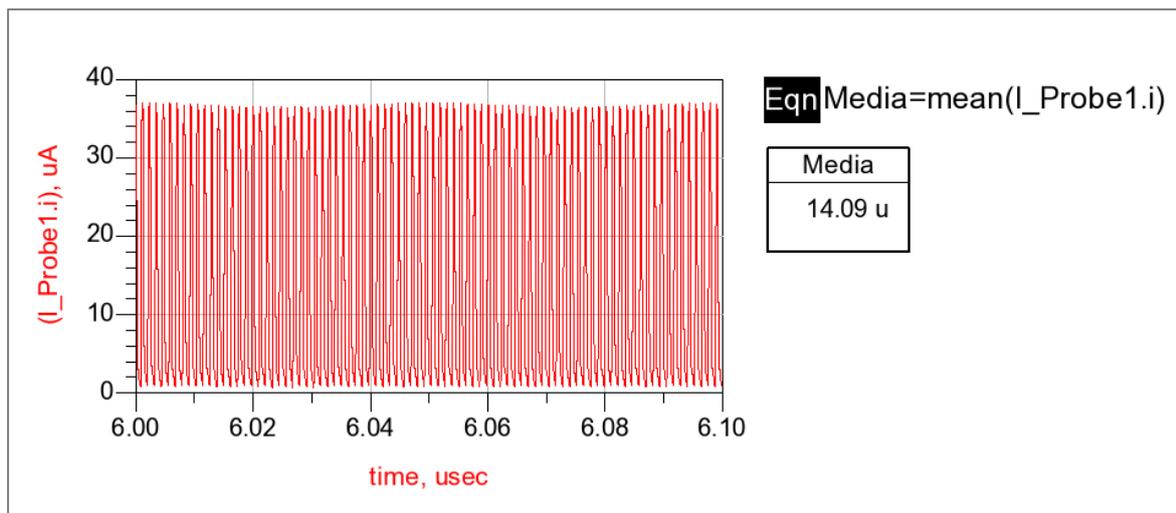


Figura 4.24: Consumo del esquemático del mezclador de Cadence en ADS.

Con todas estas simulaciones realizadas se concluye que el circuito a nivel de esquemático presenta los siguientes resultados, se obtiene una ganancia de conversión de 21 dB y un consumo de unos 14,1 μA . Dando estos resultados por buenos, se procede a realizar el *layout* del esquemático y realizar nuevamente todas las simulaciones para comprobar cómo afectan los elementos parásitos a los resultados obtenidos.

4.5.2 Simulación del Layout de Cadence

Finalizadas las simulaciones a nivel de esquemático del mezclador se pasa a desarrollar el diseño a nivel de *layout*. El diseño final del mezclador se presenta en la Figura 4.25, a lo largo de este apartado se irán comentando en paralelo a las simulaciones los distintos problemas que han aparecido durante la realización del diseño.

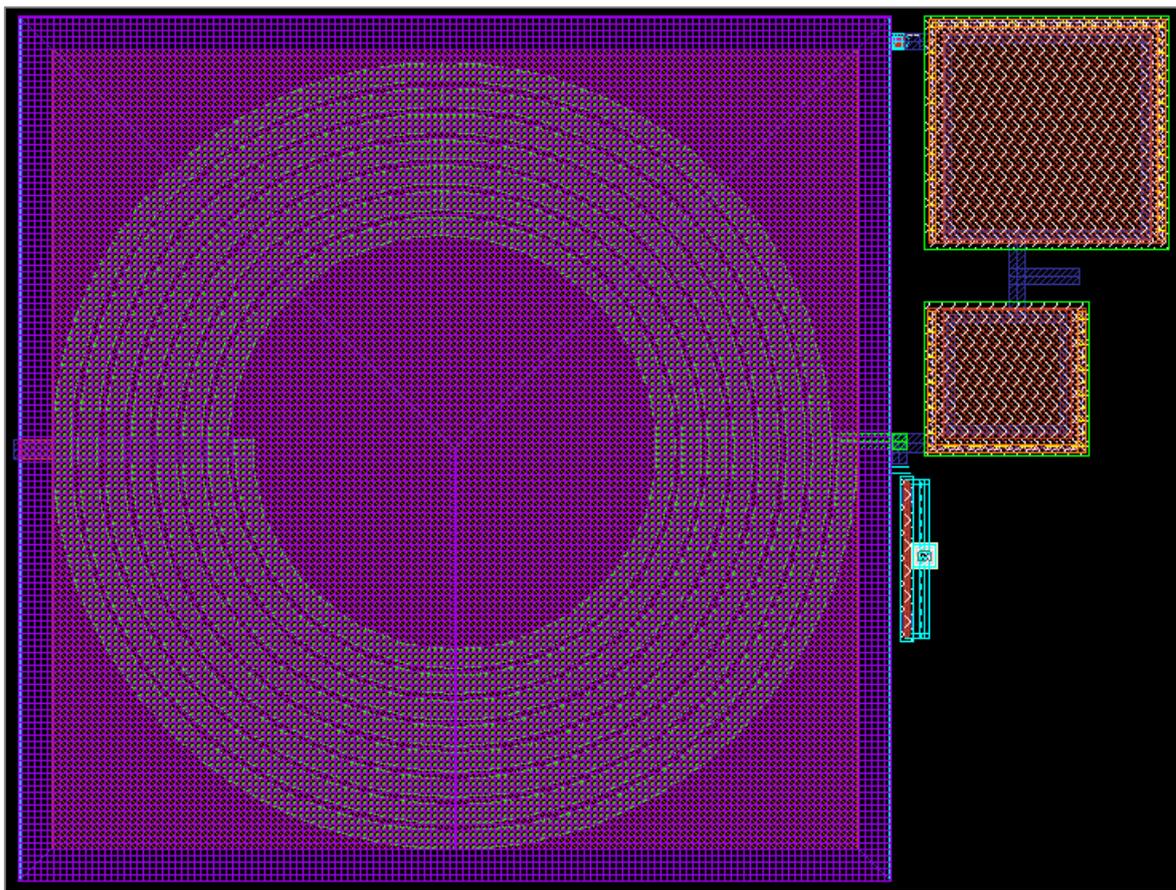


Figura 4.25: *Layout del mezclador en Cadence.*

En la imagen anterior se ven claramente los condensadores y la bobina que conforman la red de adaptación de impedancia y el circuito tanque. Debido a que estos componentes son bastante más grandes que los transistores que conforman el mezclador estos no se aprecian, por ello se ha optado por realizar una ampliación de estos elementos que pueden ser de mayor interés. Los transistores se muestran en la Figura 4.26.

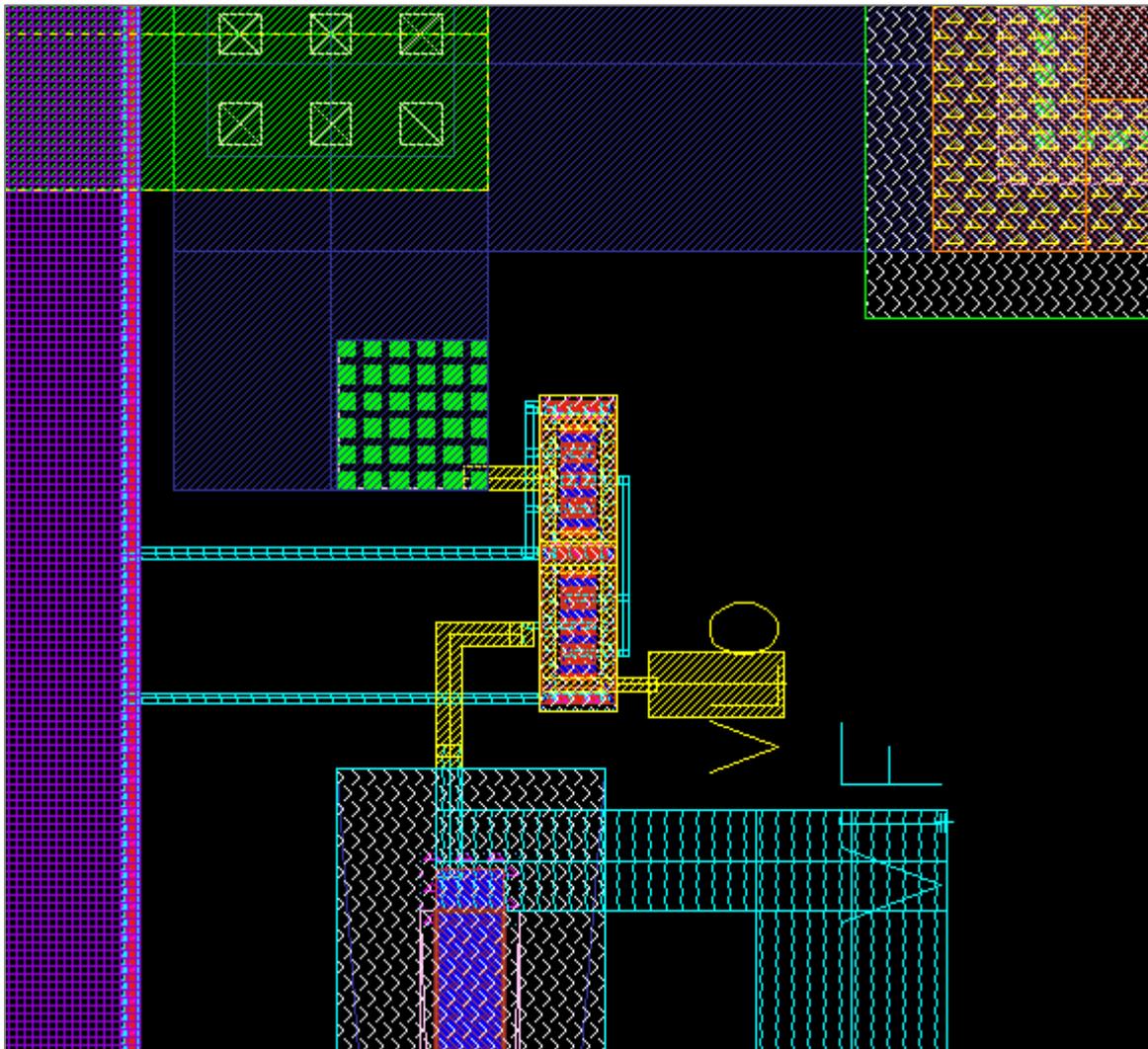


Figura 4.26: *Layout de los transistores del mezclador.*

Observando la Figura 4.26 se aprecia la entrada del oscilador local y la salida de IF. La entrada de RF se encuentra ubicada entre los dos condensadores de la red de adaptación. Con el diseño del *layout* finalizado se pasa a realizar las simulaciones pertinentes.

4.5.2.1 Simulación de Parámetros S

En primer lugar se procede al igual que se hizo con el esquemático a realizar la simulación de los parámetros S para comprobar la adaptación de impedancia. En la Figura

4.27 se muestra el circuito en ADS utilizado para realizar esta simulación. Este circuito es exactamente el mismo que el de la Figura 4.20 salvo por el símbolo que se instancia que corresponde a la extraído de los componentes parásitos del diseño, tal y como se aprecia en la imagen.

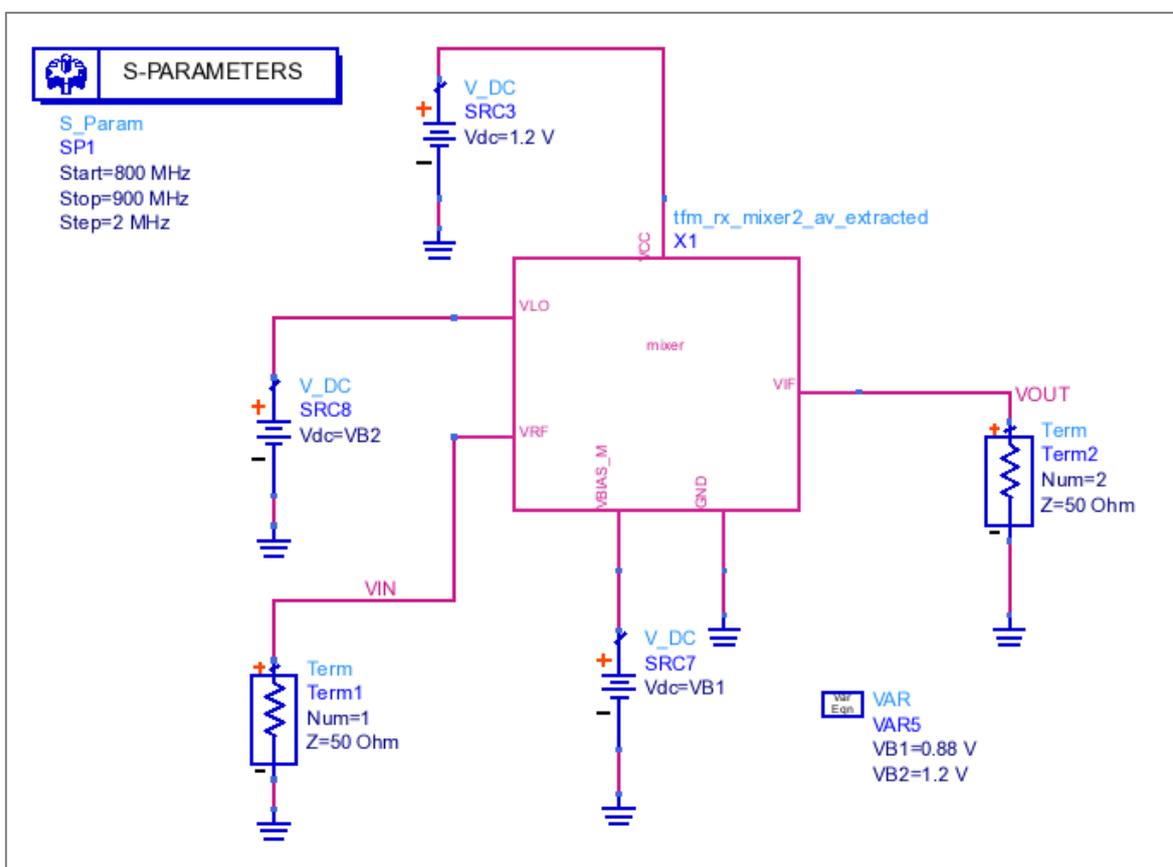


Figura 4.27: Instanciación del extraído del mezclador en ADS, simulación de parámetros S.

Los resultados obtenidos de esta simulación se muestran en la siguiente imagen (Figura 4.28). Una vez se hayan presentado los resultados se explicará cómo se han obtenido pues este punto fue el principal problema que presentó el diseño del *layout* del mezclador.

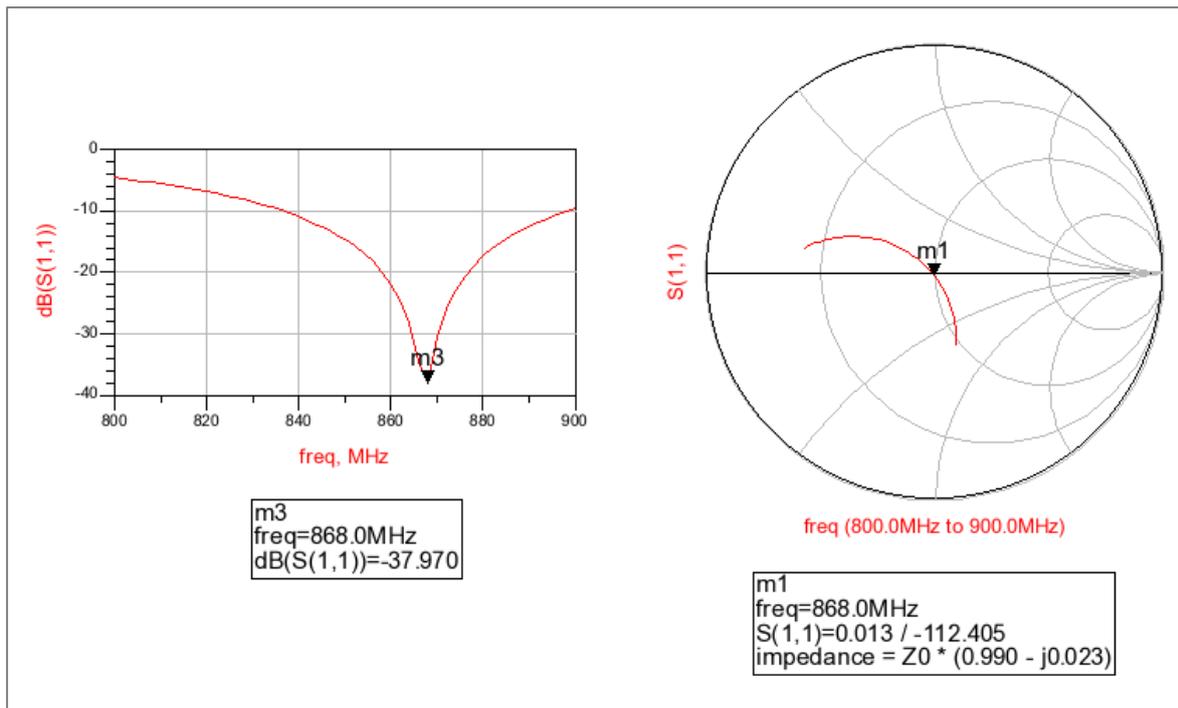


Figura 4.28: Resultado de la simulación de parámetros S del extraído de Cadence en ADS.

Como se puede observar en la figura, la adaptación ha mejorado ligeramente con respecto a la que se obtenía con el esquemático. Aunque tal y como se comentó anteriormente ha sido necesario un rediseño para lograr estos resultados. A continuación se muestra el resultado que se logró inicialmente al realizar la primera simulación (Figura 4.29).

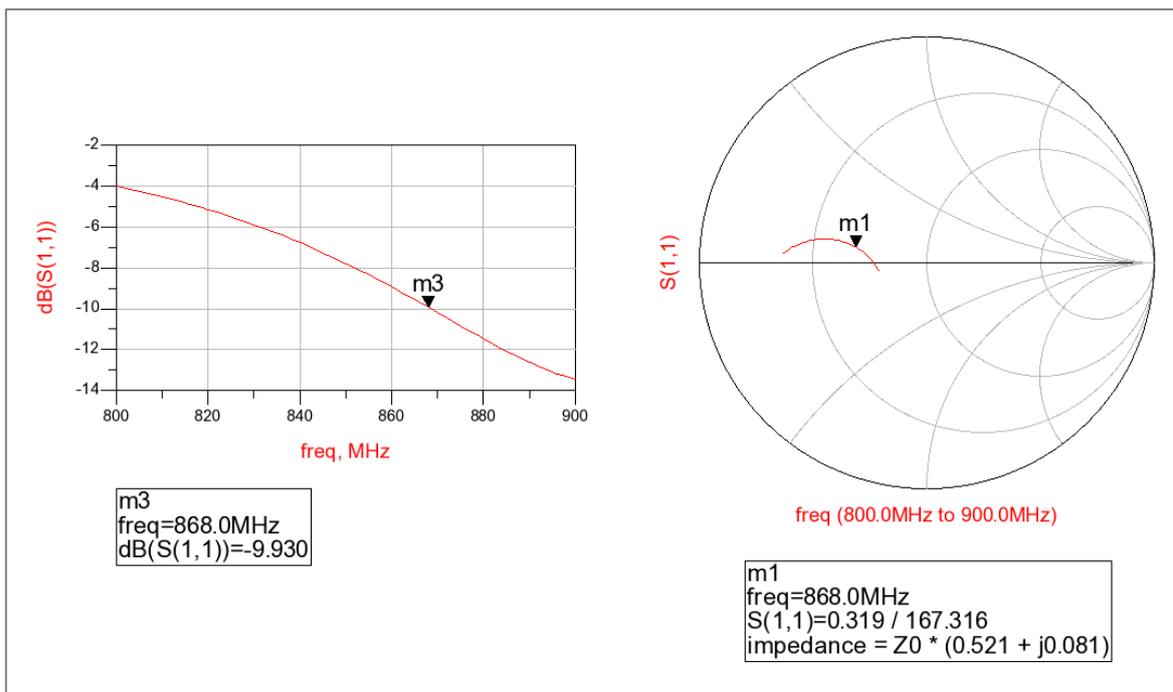


Figura 4.29: Resultado inicial de la simulación de parámetros S del extraído de Cadence en ADS.

En estos resultados se puede advertir como la impedancia está lejos del punto de máxima adaptación y además si se compara con los resultados que se habían obtenido en el caso del esquemático (Figura 4.21) difieren notablemente de estos últimos. Esto es debido al efecto de los componentes parásitos del diseño. Tras realizar diversas pruebas se toma la decisión de variar el tamaño de las pistas de señales y de las distintas vías que hay en el diseño, a parte se añade un contacto a sustrato de gran tamaño. Los resultados presentados en la Figura 4.29 corresponden con un tamaño de pistas de $1 \mu\text{m}$ y una vía de 2x2 contactos.

Según se va aumentando el ancho de las pistas y el tamaño de las vías los resultados obtenidos se van acercando más a los deseados. Finalmente se aumenta el ancho de las pistas hasta los $5 \mu\text{m}$ y se usan vías de más de 10x10 contactos, salvo una de las vías que unen la bobina y el condensador que se ha puesto de 3x3. Todo esto se puede ver en la Figura 4.30 donde se aprecia la vía de 3x3 con una pista de $5 \mu\text{m}$ y Figura 4.31 donde se muestra la vía de 25x25 junto con el contacto a sustrato.

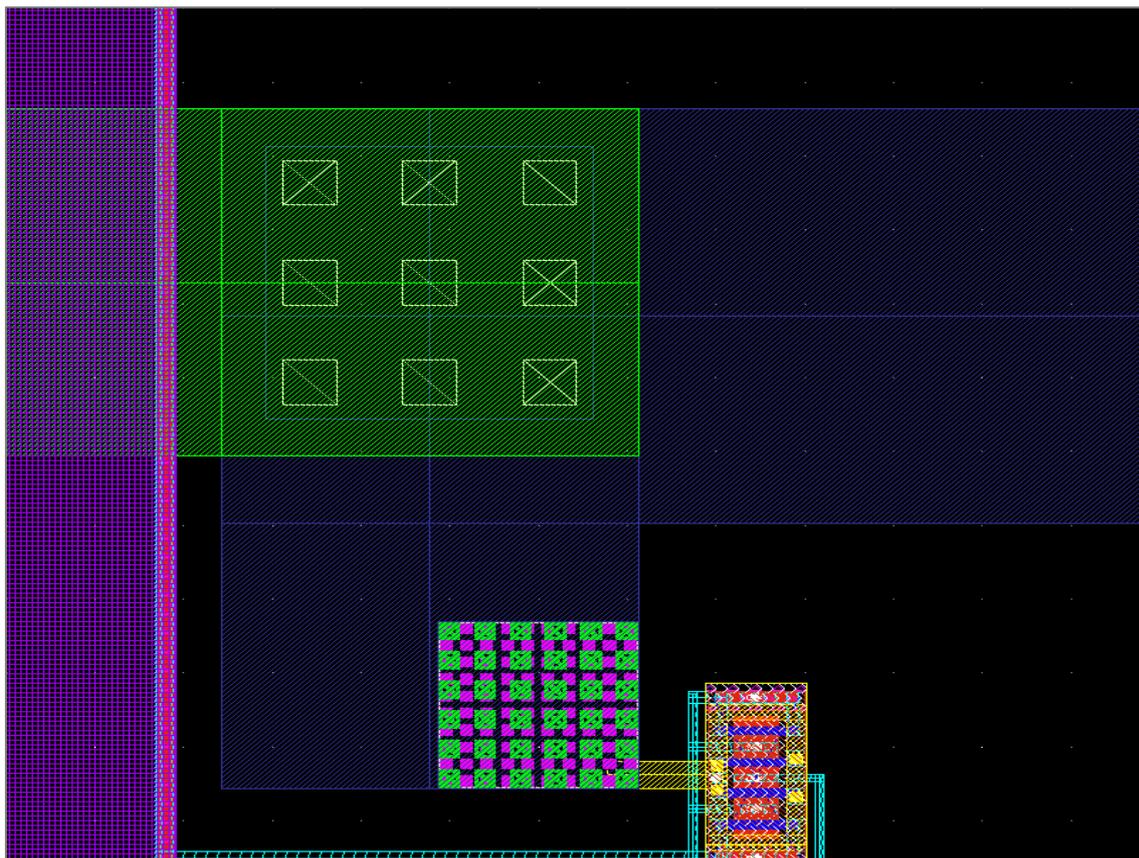


Figura 4.30: Vía de 3x3 entre bobina y condensador y pista de 5µm.

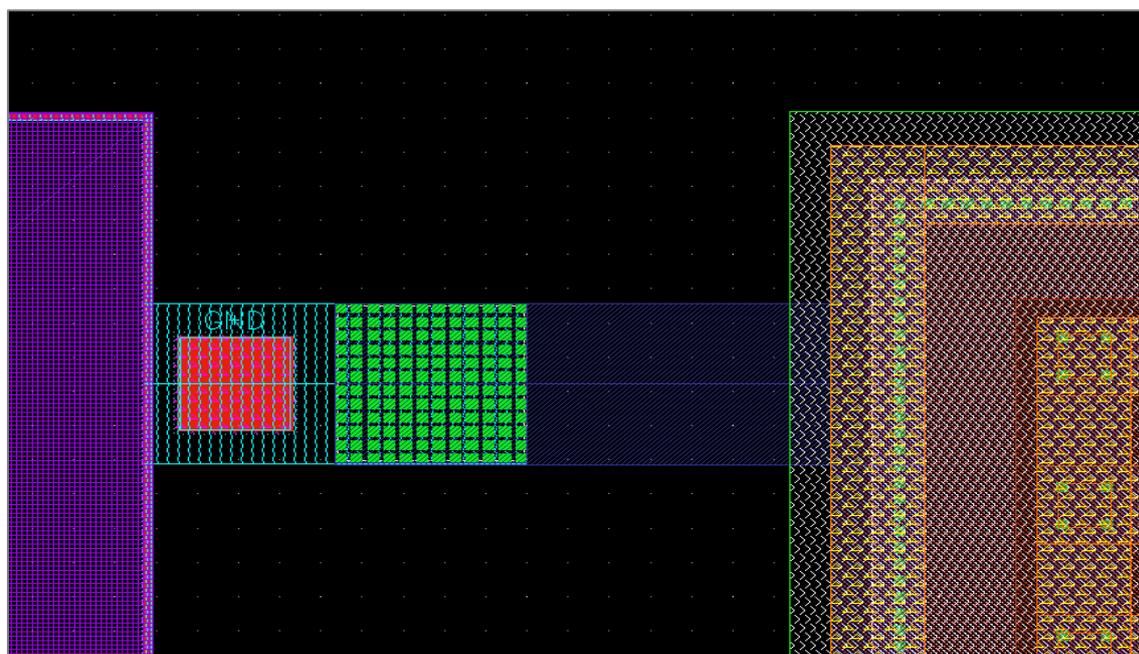


Figura 4.31: Vía de 25x25 y contacto a sustrato.

Con estas modificaciones se llega a los siguientes resultados (Figura 4.32)

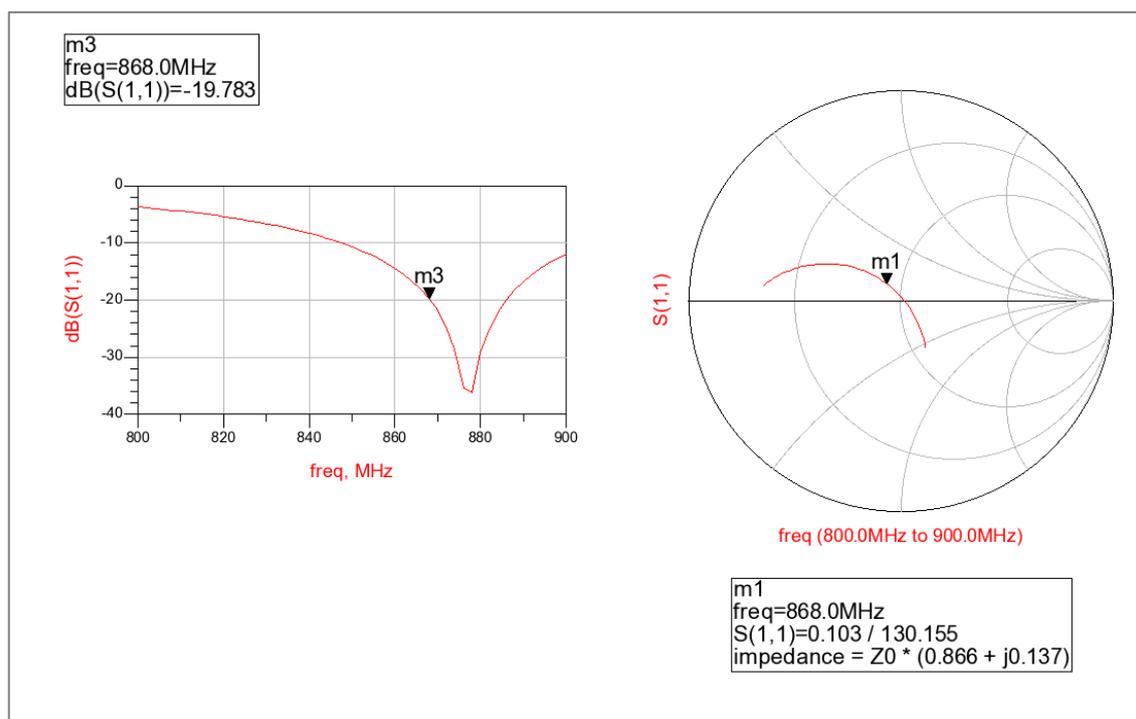


Figura 4.32: Resultados de la simulación de parámetros S obtenidos con pistas de 5 μm y vías grandes.

Una vez que se ha llegado hasta este punto en la carta de *Smith*, para acabar de ajustar la adaptación se hace un barrido de los condensadores que conforman la red de adaptación buscando nuevos valores que acerquen aún más la adaptación al centro de la carta. Si se observa la Figura 4.17, donde se presentaba el esquemático en ADS que se usaba de punto de partida para la realización de este TFM, el valor de los condensadores de la red de adaptación eran los siguientes, el condensador más próximo a la entrada de RF tenía un valor de 8,30 pF, mientras que el segundo condensador, el más próximo a la bobina, su valor era de 3,8 pF. Tras el barrido final que se realizó, el primer condensador acaba con un valor de aproximadamente 8,35 pF y el segundo condensador tiene un valor de unos 3,17 pF. Con estos valores de condensadores y el tamaño de pistas y de vías indicados se logran finalmente los resultados de adaptación presentados en la Figura 4.28.

Teniendo nuevamente la adaptación de impedancia ajustada, se procede a continuación a realizar la simulación de *Harmonic Balance* para ver cómo se comporta el diseño de *layout* realizado.

4.5.2.2 Simulación *Harmonic Balance*

Con el diseño a nivel de *layout* adaptado se pasa a realizar la simulación *Harmonic Balance*. Como en casos anteriores el circuito será el mismo que se utilizó para la simulación del esquemático, salvo que la instanciación será la del modelo extraído, con lo que se tendrán en cuenta los efectos parásitos tal y como se pudo comprobar en el apartado anterior. En la Figura 4.33 se muestra el circuito utilizado para esta simulación, donde se puede ver que el símbolo instanciado desde *Cadence* corresponde con la extracción de parámetros parásitos.

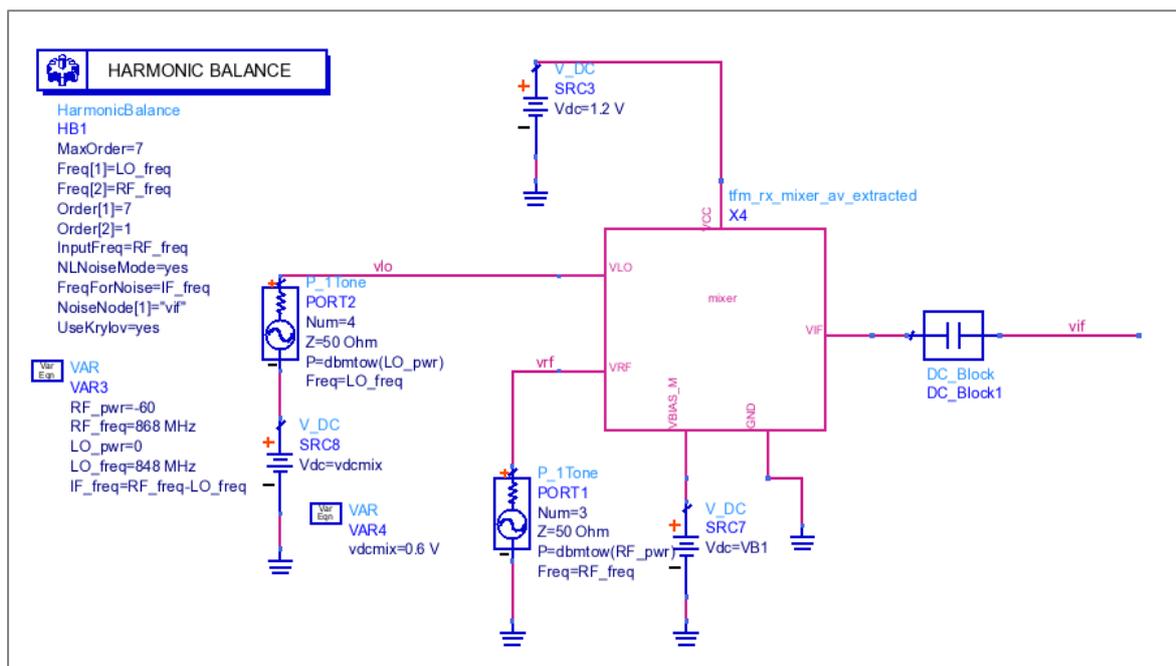


Figura 4.33: Instanciación del extraído del mezclador de *Cadence* en *ADS*, simulación *Harmonic Balance*.

Seguidamente se presentan los resultados a los que se ha llegado tras la simulación del *Harmonic Balance*. Estos se pueden ver en la Figura 4.34, donde se puede observar que se mantiene una ganancia de conversión de 20,717 dB, muy próxima a la obtenida con el esquemático. También se aprecia en la imagen espectral que el nivel que se obtiene en la salida de IF es el esperado.

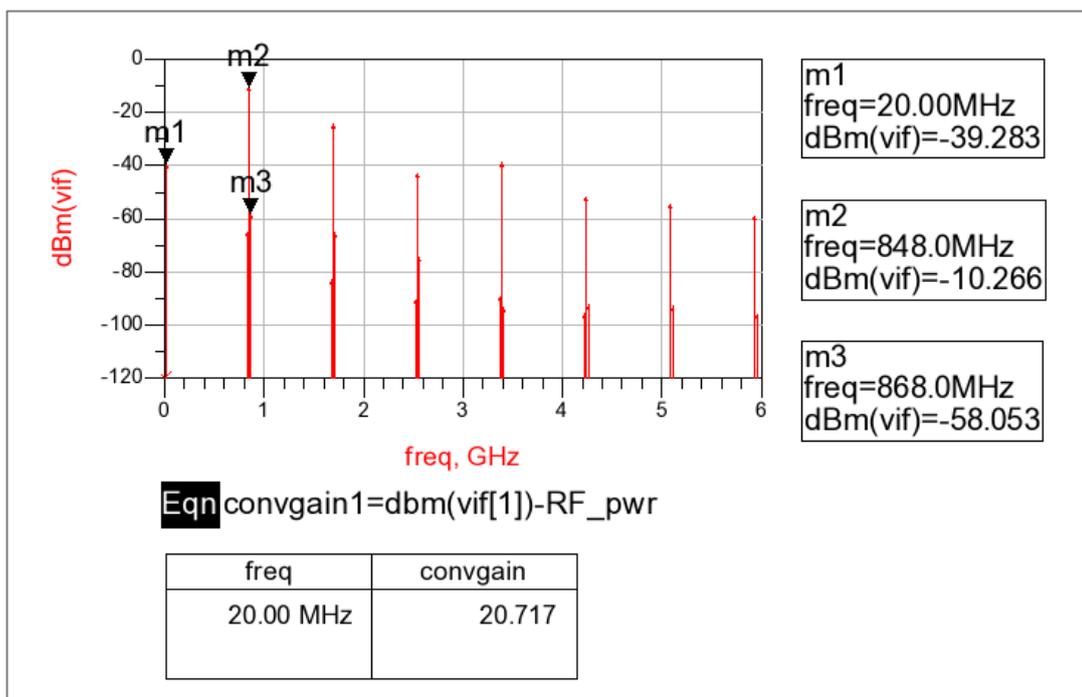


Figura 4.34: Resultado de la simulación Harmonic Balance del extraído de Cadence en ADS.

Por último, haciendo uso del mismo circuito de la Figura 4.33, pero con una simulación transitoria se comprueba que el consumo del mezclador no haya variado demasiado con respecto a los valores obtenidos con el esquemático. Los resultados de consumo se muestran en la Figura 4.35.

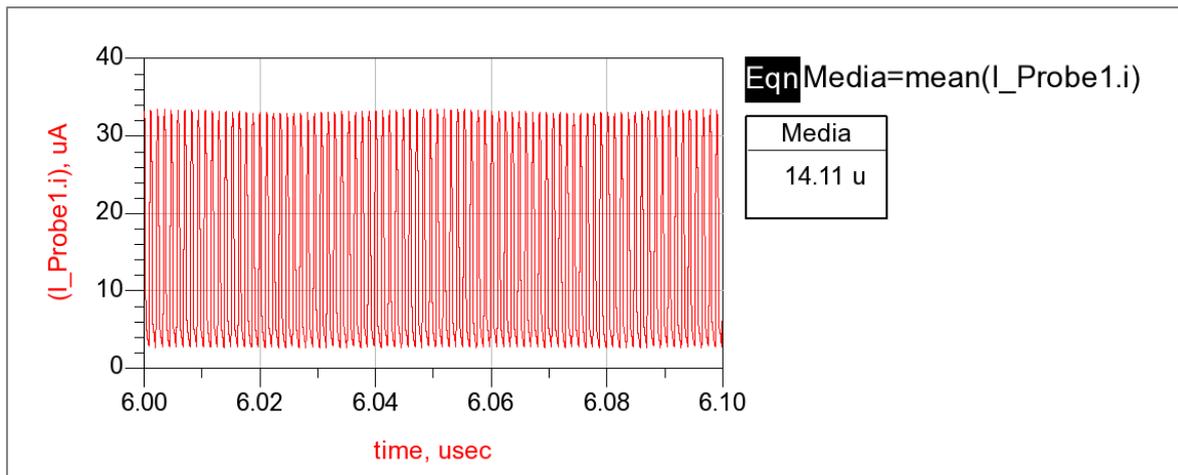


Figura 4.35: Consumo del extraído del mezclador de Cadence en ADS.

Si se comparan con los resultados obtenidos durante la simulación del esquemático del mezclador, se ve que el consumo se mantiene prácticamente sin variación. Esto indica que los elementos parásitos no están afectando al consumo de forma notable, algo que suele ser habitual.

Con la comprobación del consumo del mezclador se da por terminado el diseño a nivel de *layout*. Este diseño será una referencia a utilizar pues según se vayan uniendo las distintas etapas que conforman el receptor puede ser necesario llevar a cabo modificaciones para lograr el comportamiento deseado. Con el mezclador finalizado se continúa con el diseño del amplificador.

4.6 Diseño de la etapa amplificadora

Para el diseño de esta etapa se ha decidido hacer uso de amplificadores diferenciales. Un aspecto característico de este tipo de diseños es la simetría de sus componentes, es por ello que los transistores han de ser completamente idénticos.

La configuración típica para este tipo de amplificadores está formada por dos transistores que comparten la misma conexión de fuente, a través de la cual se inyecta una corriente para polarizar a dichos transistores. Cada una de las puertas corresponde a cada una de las entradas diferenciales, mientras que los drenadores son las salidas del amplificador [24].

En la Figura 4.36 se muestra la estructura básica del amplificador diferencial explicada anteriormente.

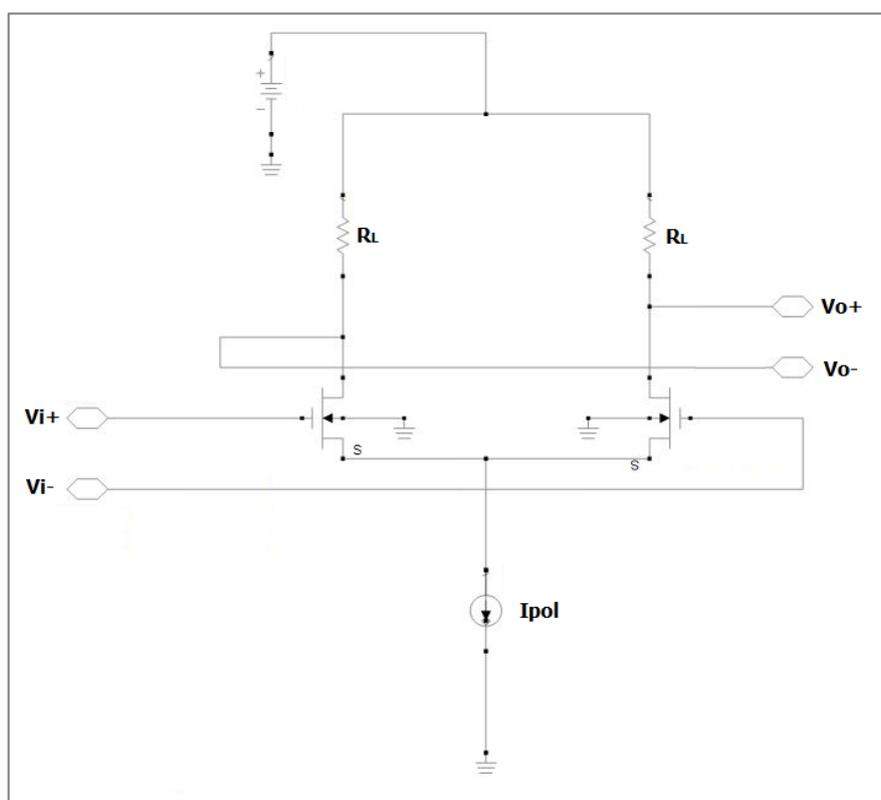


Figura 4.36: Estructura básica del amplificador diferencial.

Tal y como se ha comentado, la etapa amplificadora ha de trabajar en un ancho de banda que se encuentre dentro de la posible variación que pueda sufrir la frecuencia intermedia a la salida del mezclador, y a la vez maximizar la ganancia y disminuir en la medida de lo posible el consumo.

Para lograr limitar el ancho de banda de la etapa amplificadora y conseguir maximizar la ganancia con el menor consumo posible, se ha hecho uso de cinco etapas amplificadoras, de ellas, las etapas impares presentan una fuente de corriente independiente en cada rama y las etapas pares presentan una única fuente de corriente común a ambos transistores. En la Figura 4.37 se muestra un esquemático de la etapa amplificadora.

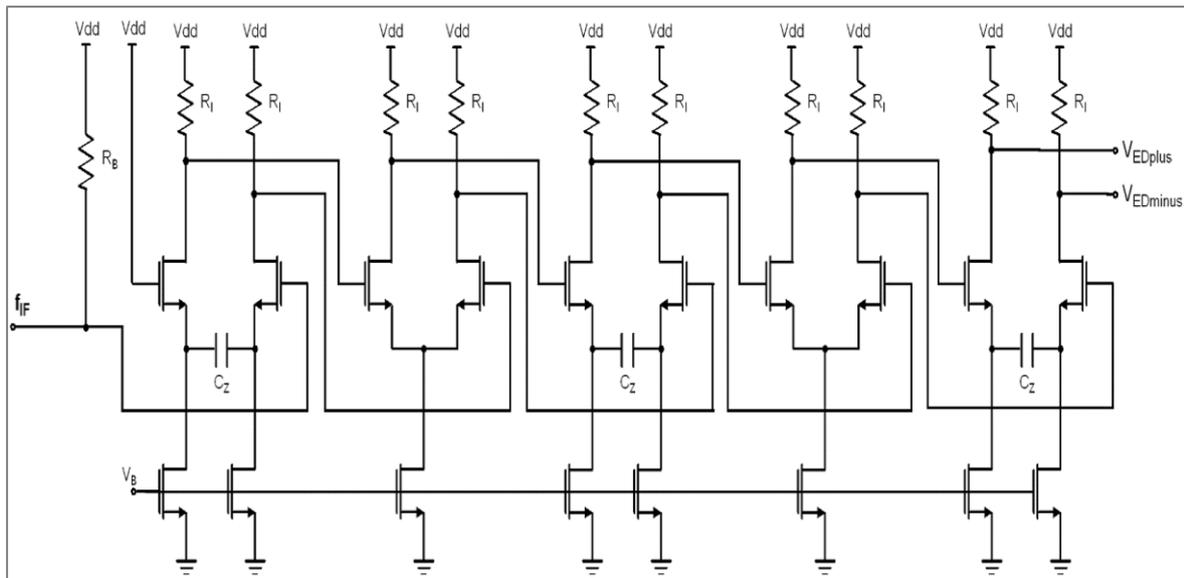


Figura 4.37: Esquemático de la etapa amplificadora.

Tal y como se puede observar en la Figura 4.37, las etapas impares constan de una fuente de corriente conectada a cada fuente del transistor. Las fuentes del transistor se unen mediante el uso de un condensador, este condensador será el encargado de limitar el ancho de banda para las frecuencias bajas.

Las etapas pares estarán compuestas por un amplificador diferencial con una única fuente de corriente común a las fuentes de los dos transistores, tal y como se vio en la explicación inicial de este componente.

Como ya se ha mencionado, el cero que introduce el condensador de las etapas impares limita el ancho de banda para las bajas frecuencias. Por otro lado la limitación de las altas frecuencias viene dada por el propio diseño de los amplificadores en base al tamaño de los transistores y los valores de la resistencia de carga.

Para las simulaciones de la etapa amplificadora se hará uso de una simulación en AC, este tipo de análisis realiza un estudio en pequeña señal del circuito. Con esta simulación obtenemos valores como la ganancia de tensión o corriente, los valores de ruido y el resto de parámetros que se pueden ver durante un estudio en pequeña señal de un circuito.

4.6.1 Simulación del Esquemático de Cadence de las Diferentes Etapas Amplificadoras

Tal y como se ha venido realizando durante todo este documento, se procederá a trasladar el esquemático obtenido en el TFG a *Cadence*, para posteriormente instanciarlo en ADS y realizar las simulaciones pertinentes.

4.6.1.1 Esquemático del Amplificador con Fuente Simple

El esquemático de partida que se había obtenido durante la realización del Trabajo Fin de Grado en ADS se presenta en la Figura 4.38. Como ya se había explicado, esta estructura presenta una fuente de corriente común a ambos transistores y se usará en las etapas pares del amplificador final.

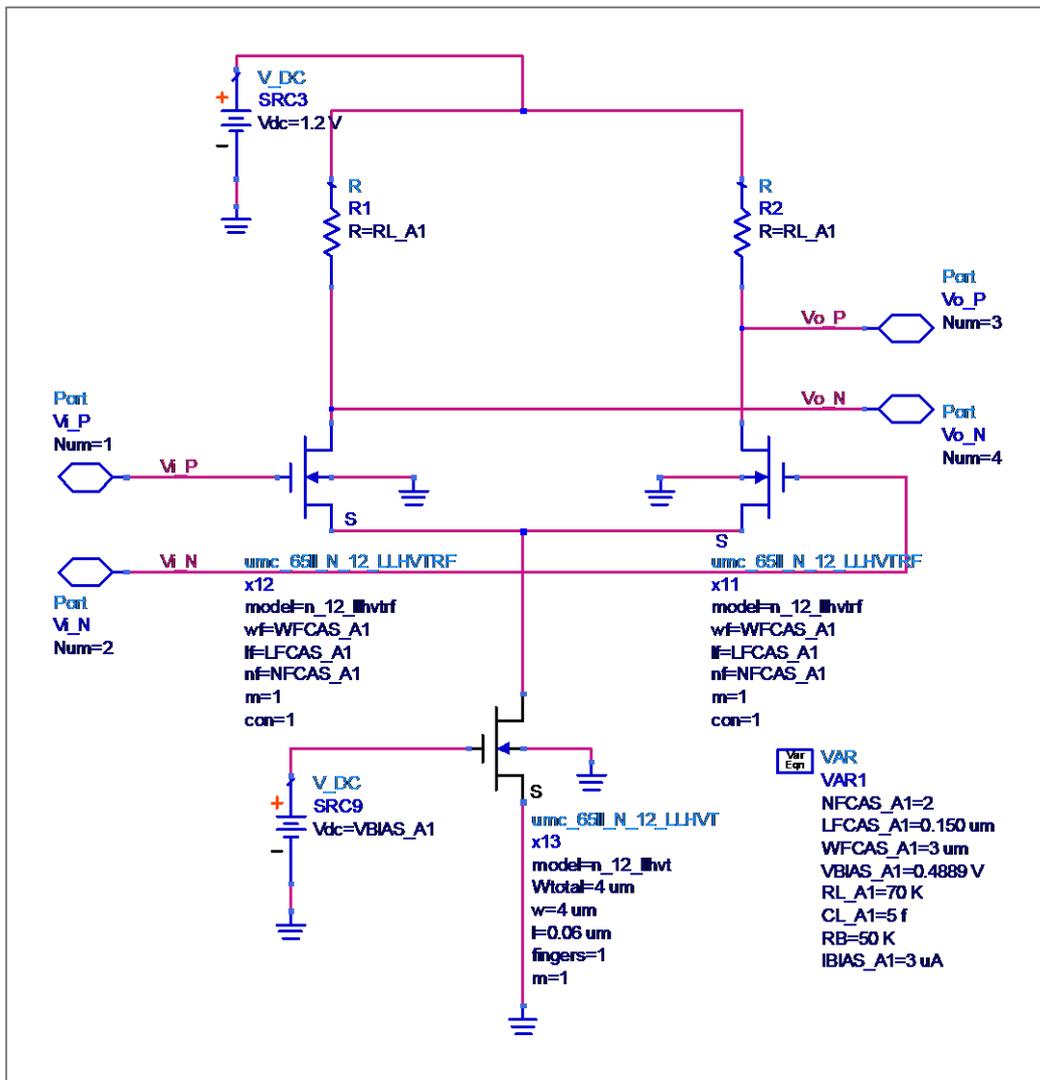


Figura 4.38: Esquemático del amplificador con fuente simple en ADS.

El diseño de la Figura 4.38 se traslada a *Cadence*, el circuito resultante se muestra en la Figura 4.39. Comparando ambos circuitos se observa una diferencia en el diseño en las resistencias de carga, esto es debido a que en *Cadence* se hace uso de resistencias reales propias de la tecnología, además ha sido necesario hacer uso de cinco resistencias en serie para alcanzar el mismo valor que se tenía en ADS, ya que las resistencias de la tecnología están limitadas a un valor máximo.

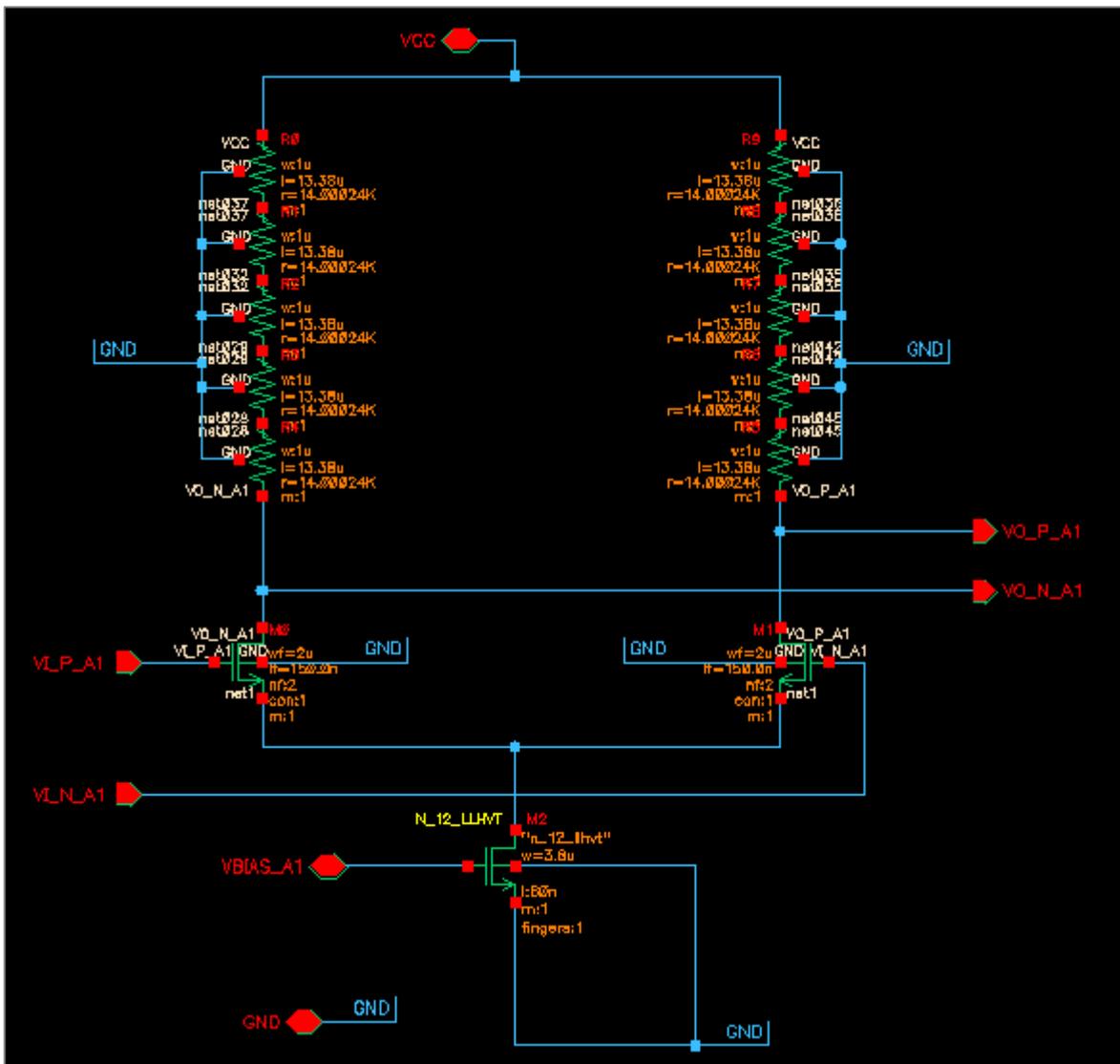


Figura 4.39: Esquemático del amplificador con fuente simple en ADS.

Ya con el esquemático realizado en *Cadence* se pasa a generar el símbolo que se usará para las simulaciones en ADS. Este símbolo se puede ver en la Figura 4.40.

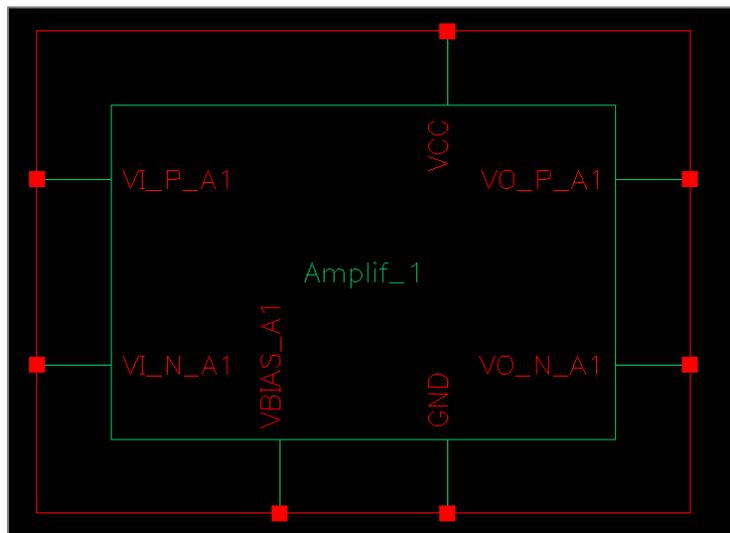


Figura 4.40: Símbolo del amplificador con fuente simple.

Con el esquemático y el símbolo generados se pasan a realizar la simulación de AC para comprobar la ganancia que se obtiene. Para esta simulación se hace uso del circuito de la Figura 4.41.

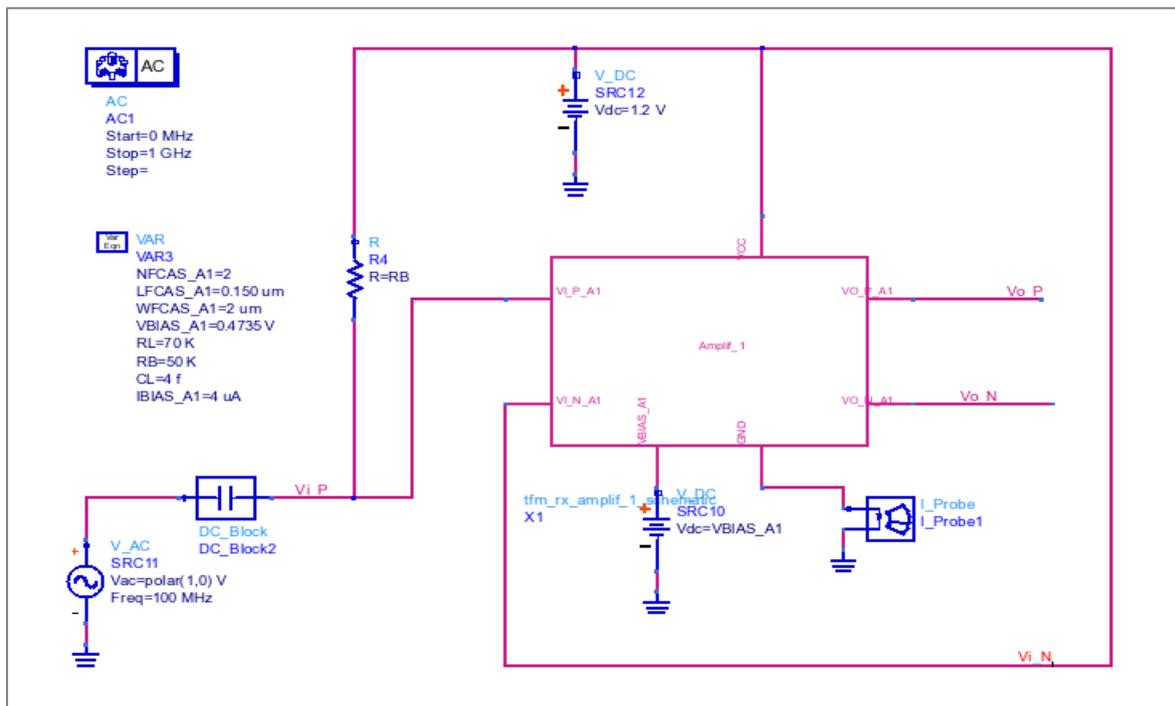


Figura 4.41: Instanciación del esquemático del amplificador de fuente simple de Cadence en ADS.

Los resultados obtenidos se presentan en la Figura 4.42, donde se puede ver la ganancia obtenida en esta etapa, en la imagen superior de la figura se representa la ganancia en una escala lineal, mientras que en el caso de la imagen inferior se muestra la ganancia en escala logarítmica, de esta forma se puede ver la limitación que tiene esta etapa a frecuencias altas. Prestando atención a los resultados se puede ver que la ganancia obtenida con esta etapa es de 8,13 dB.

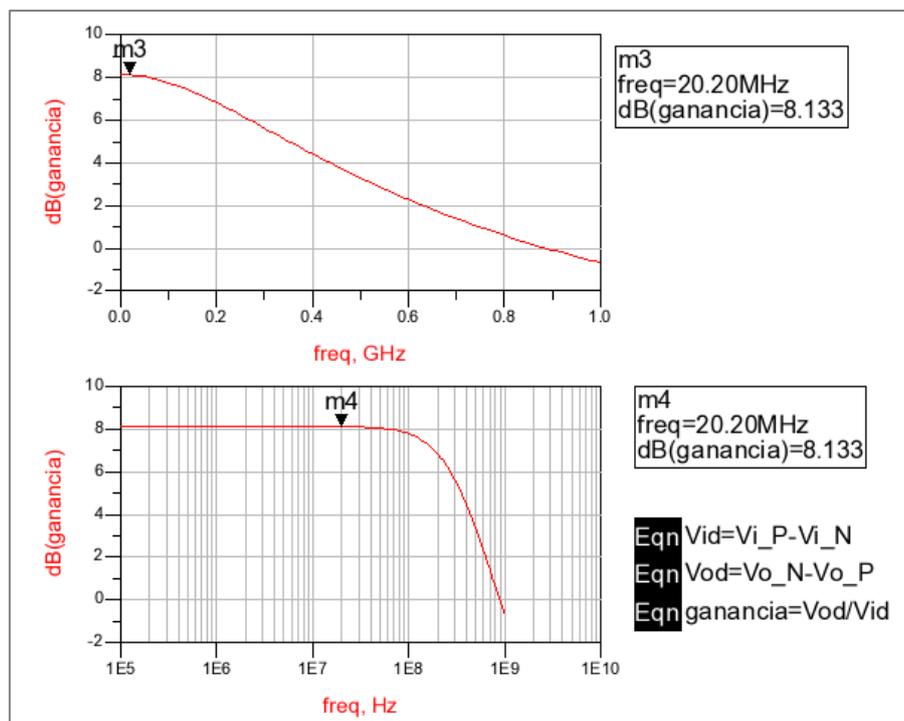


Figura 4.42: Ganancia del esquemático de Cadence en ADS del amplificador con fuente simple.

Una vez que se ha obtenido la ganancia de esta primera etapa, mediante un análisis en DC haciendo uso del mismo circuito de la Figura 4.41 se obtiene el consumo de esta etapa, este consumo se muestra en la Figura 4.43 y corresponde a unos 3,68 μ A.

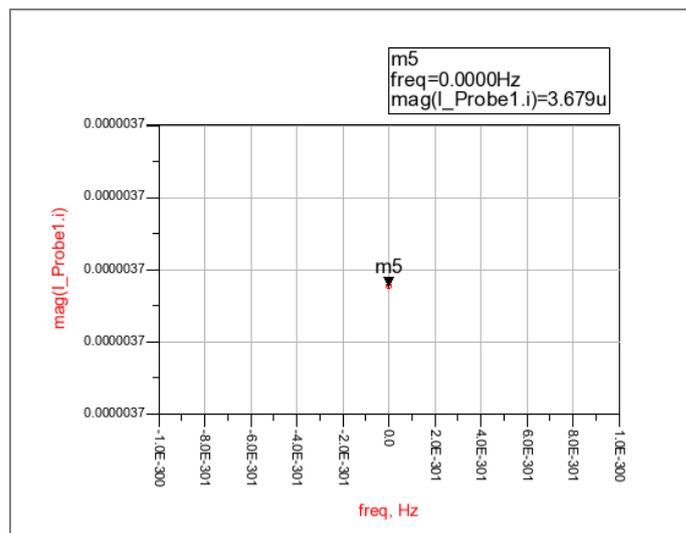


Figura 4.43: Consumo del esquemático del amplificador con fuente simple.

Con los datos de la ganancia y el consumo obtenidos se da por finalizada la simulación de esta etapa amplificadora y se continúa con la simulación del siguiente amplificador.

4.6.1.2 Esquemático del Amplificador con Fuente Doble

A continuación se muestra el esquemático del que se va a partir, que corresponde con el obtenido en el TFG (Figura 4.44), este circuito será el que se traslade a *Cadence* para posteriormente realizar la simulación.

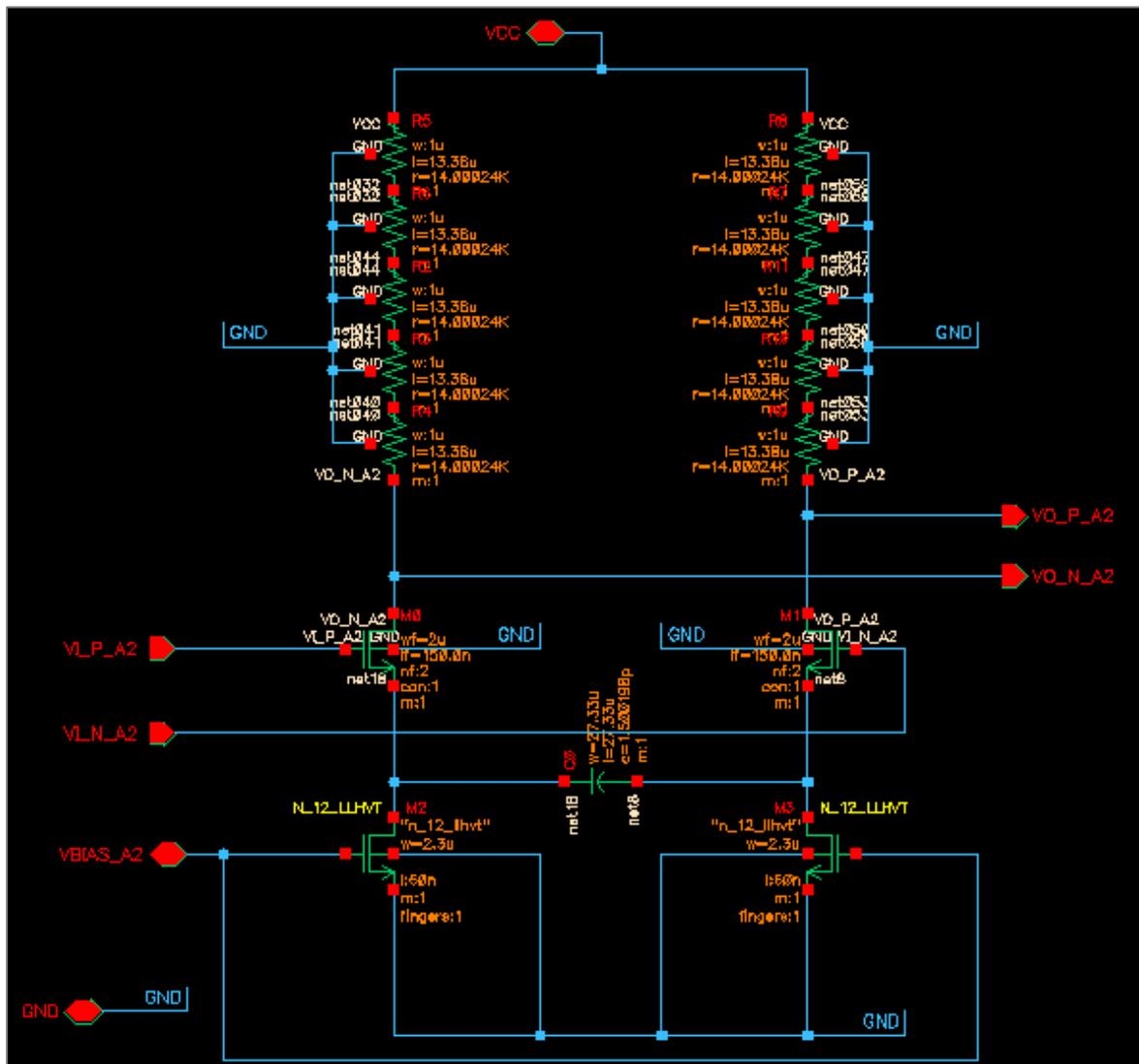


Figura 4.45: Esquemático del amplificador con fuente doble en Cadence.

Con el esquemático realizado se genera el símbolo que se utilizará para realizar las simulaciones en ADS. Este símbolo se puede ver en el Figura 4.46.

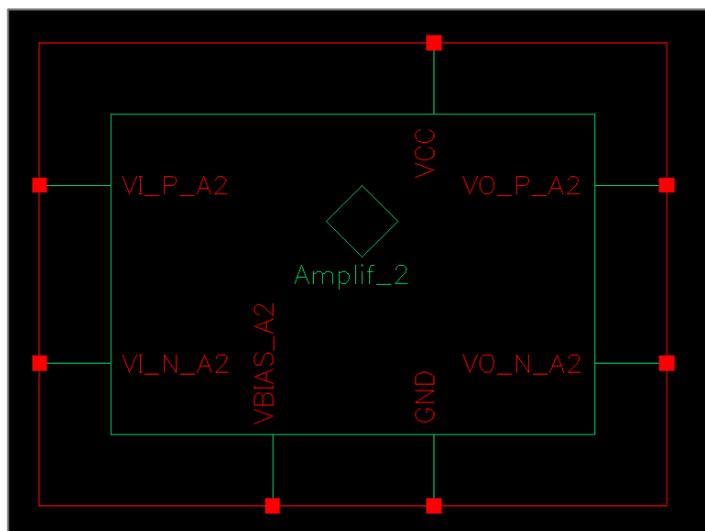


Figura 4.46: Símbolo del amplificador con fuente doble.

En este punto se comienzan con la simulaciones del segundo amplificador, para ello se instancia el símbolo en ADS y se realiza una simulación en AC que indicará la ganancia que se obtiene con esta etapa, posteriormente se realiza una simulación en DC con la que se tendrá el consumo de esta etapa. En la Figura 4.47 se muestra el circuito utilizado en ADS para realizar ambas simulaciones, donde se puede ver la instanciación del amplificador de *Cadence*.

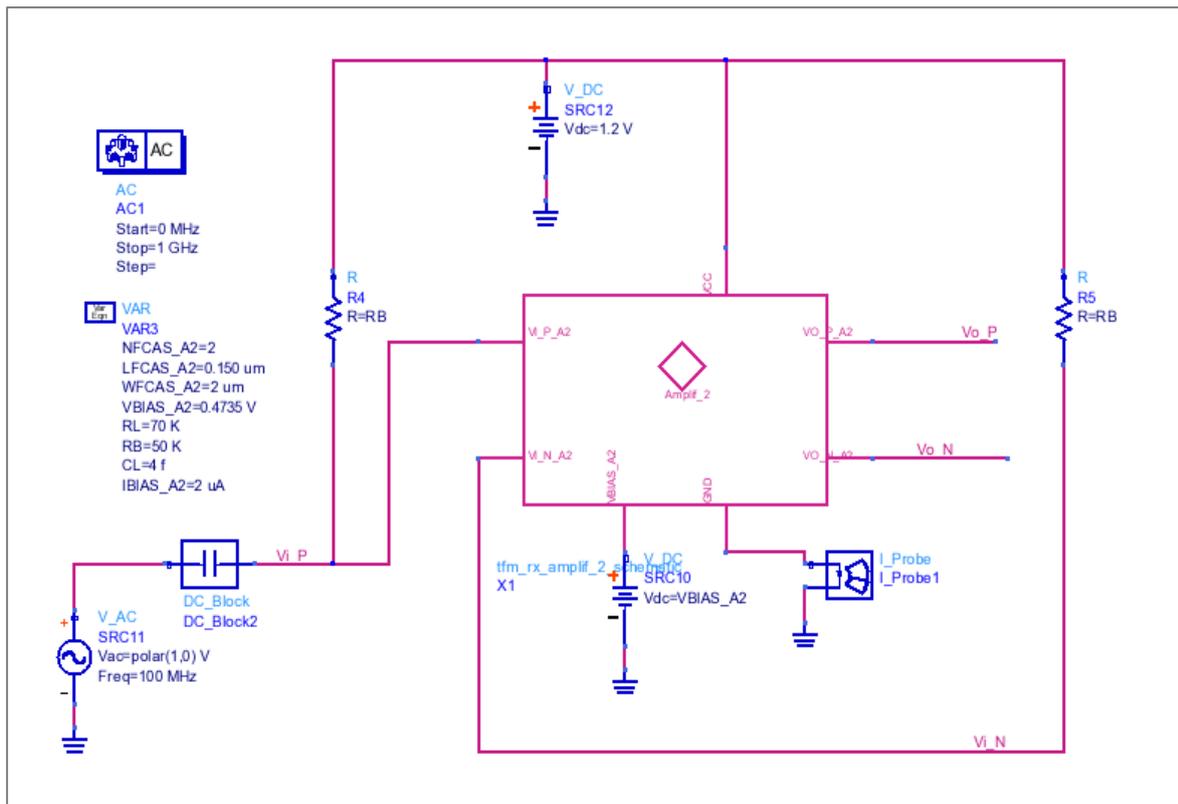


Figura 4.47: Instanciación del esquemático del amplificador de fuente doble de Cadence en ADS.

En la Figura 4.48 se muestran los resultados de la ganancia aportada por esta etapa amplificadora. En estos resultados se observa que la ganancia obtenida es de 7,9 dB. Además se aprecia en los resultados a escala logarítmica el efecto del cero que introducen los condensadores a baja frecuencia.

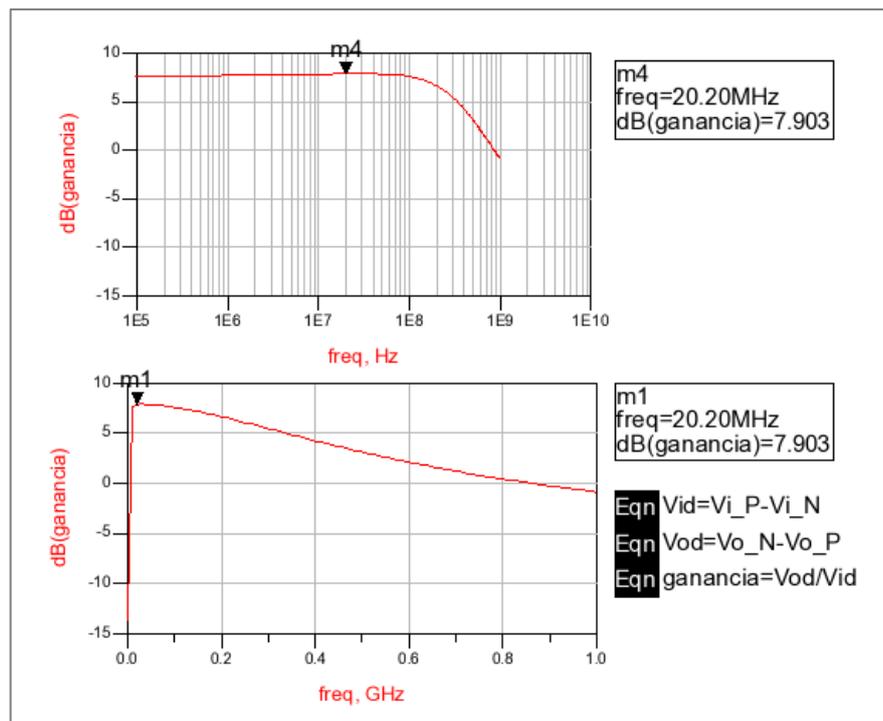


Figura 4.48: Ganancia del esquemático de *Cadence* en ADS del amplificador con fuente doble.

Haciendo uso del mismo circuito se realiza una simulación en DC para comprobar el consumo que tiene esta etapa, este consumo se muestra en la Figura 4.49 y tal y como se puede ver es de 3,65 μ A.

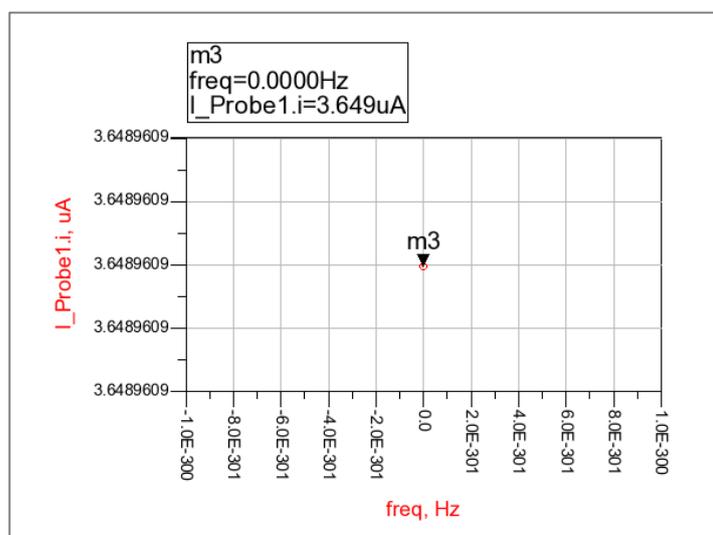


Figura 4.49: Consumo del esquemático del amplificador con fuente doble.

Con la simulación en DC se da por terminada la simulación de esta segunda etapa amplificadora. El siguiente paso será el diseño de los *layouts* de ambas etapas y comprobar su comportamiento.

4.6.2 Simulación del *Layout* de Cadence de las Diferentes Etapas Amplificadoras

A continuación se procede a diseñar los *layouts* de las dos etapas amplificadoras, para posteriormente realizar las mismas simulaciones que se han realizado en el caso de los esquemáticos, para de esta forma ver cómo afectan los elementos parásitos al funcionamiento de ambas etapas.

4.6.2.1 *Layout* del Amplificador con Fuente Simple

Partiendo del esquemático que se tenía en la Figura 4.39 se realiza el diseño del *layout*, el diseño final que se ha obtenido para esta etapa se muestra en la Figura 4.50.

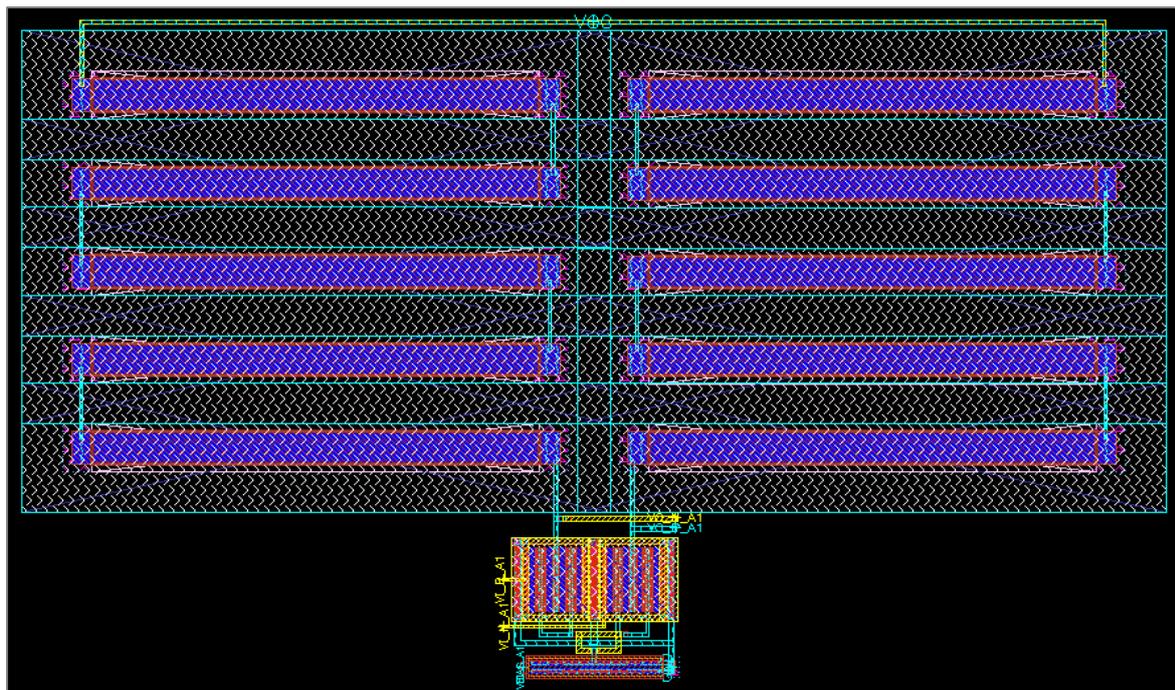


Figura 4.50: *Layout* del amplificador con fuente simple.

Con el fin de mostrar los puntos donde se encuentran las señales de entrada y salida de la etapa amplificadora se realiza una ampliación de la imagen centrándose en esa zona en cuestión. Estos detalles se pueden apreciar en la Figura 4.51.

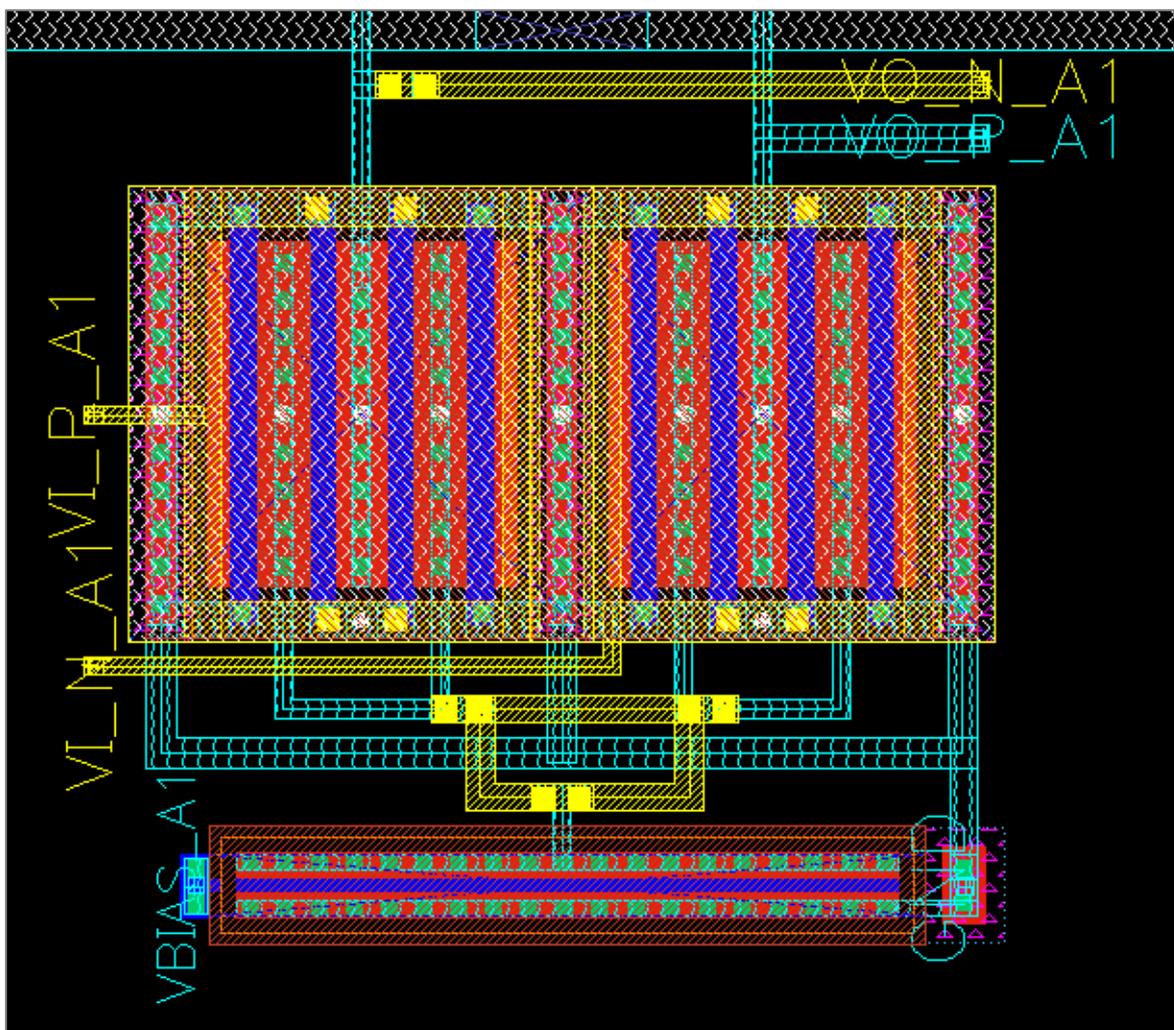


Figura 4.51: *Layout* de los transistores del amplificador con fuente simple.

Con el diseño del *layout* terminado se procede a realizar las simulaciones del diseño, de la misma forma que se hizo para el caso del esquemático, se llevará a cabo una simulación en AC para ver la ganancia que se obtiene con el *layout* y posteriormente mediante una simulación en DC se comprobará si el consumo de la etapa ha variado. El circuito usado para las simulación se muestra en la Figura 4.52 donde se puede ver como se instancia el símbolo “*extracted*” del amplificador con fuente simple.

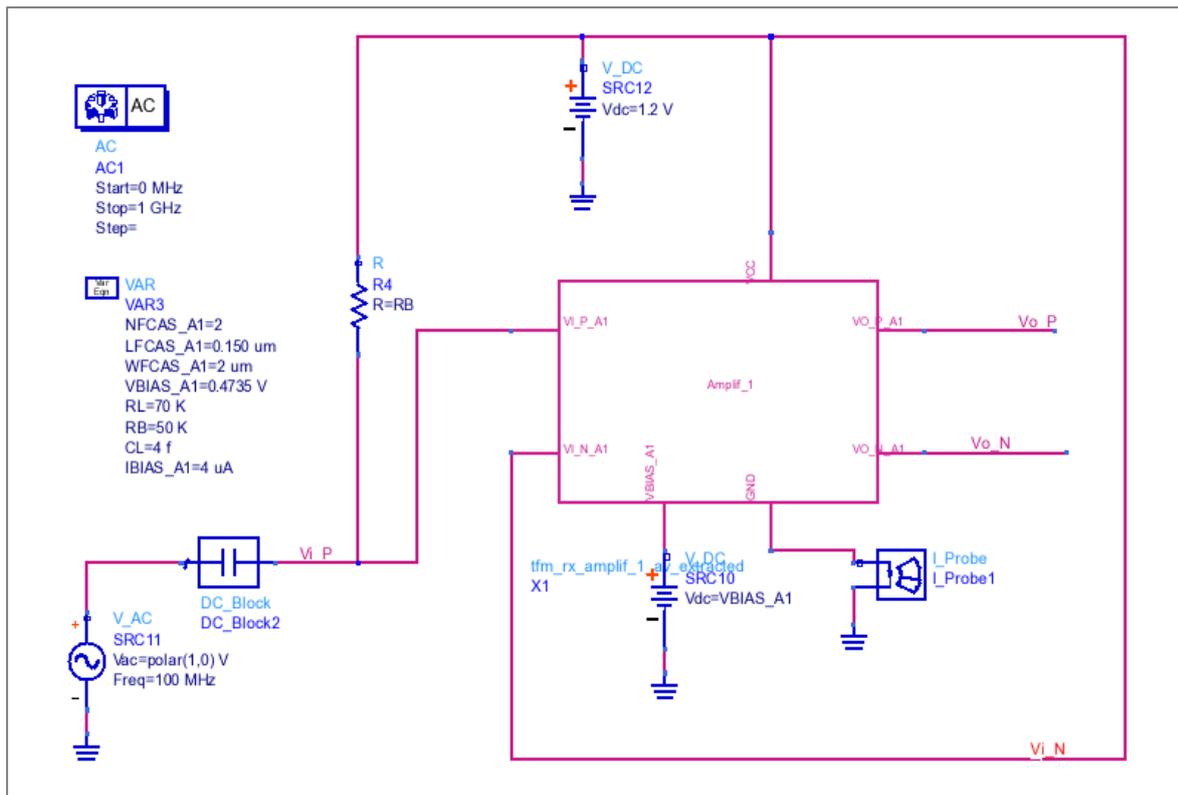


Figura 4.52: Instanciación del extraído del amplificador con fuente simple en ADS.

Los resultados de la simulación en AC se muestran en la Figura 4.53, donde se nota que la ganancia con respecto al esquemático ha aumentado ligeramente, esto es debido al efecto de las capacidades parásitas, siendo la ganancia obtenida de unos 8,4 dB.

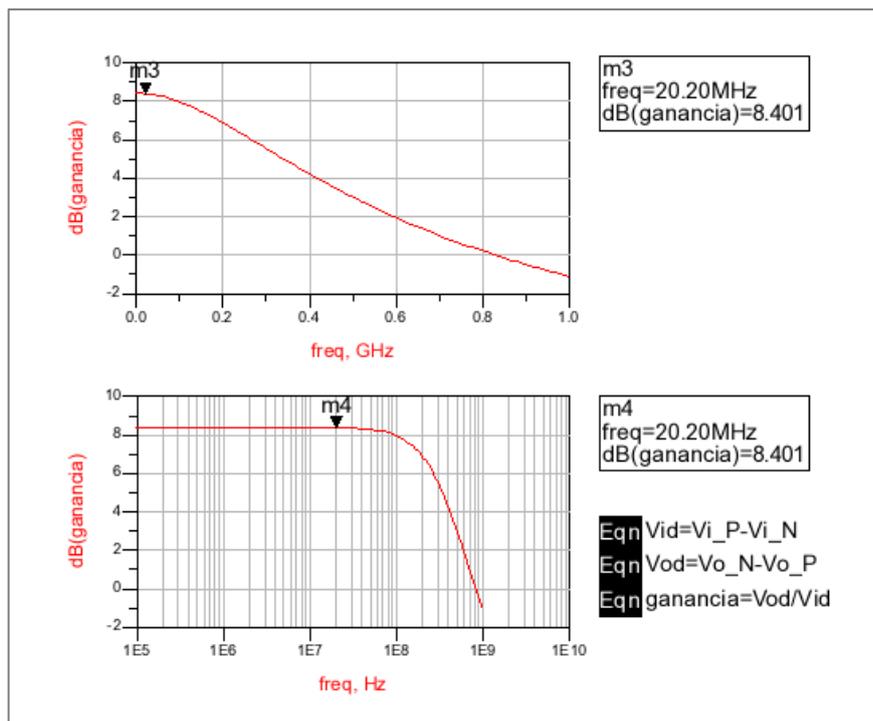


Figura 4.53: Ganancia del extraído de *Cadence* en ADS del amplificador con fuente simple.

Por ultimo haciendo una simulación en DC se comprueba el consumo del amplificador con fuente simple, este consumo tal y como se puede observar en la Figura 4.54 corresponde a 3,9 μ A. Lógicamente al obtener mayor ganancia también se tiene un mayor consumo, es por ello que este consumo es algo mayor que en el caso del esquemático.

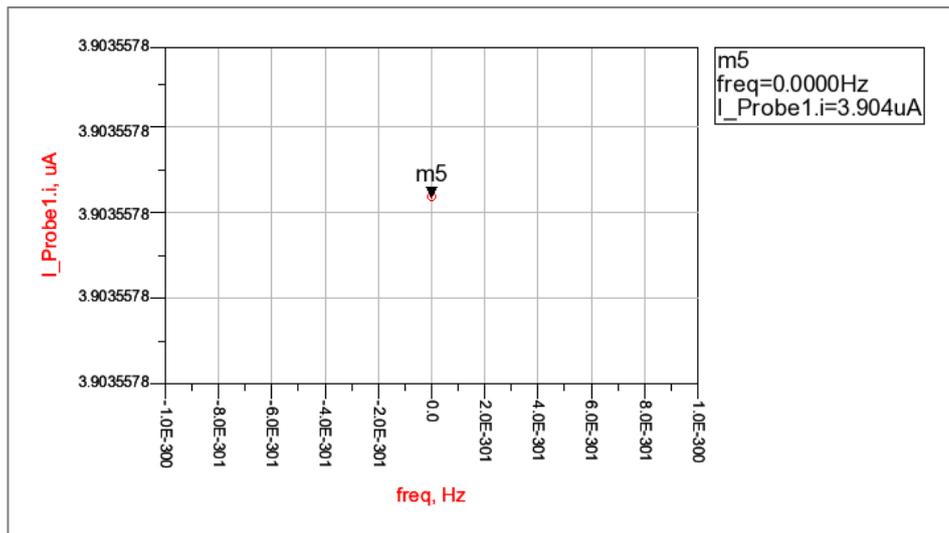


Figura 4.54: Consumo del extraído del amplificador con fuente simple.

Con estos resultados se terminan con las simulaciones con esta etapa amplificadora y se continúa con la simulación de la siguiente etapa.

4.6.2.2 Layout del Amplificador con Fuente Doble

Para el diseño del *layout* de esta etapa se parte del esquemático que se mostraba en la Figura 4.45. El *layout* obtenido se muestra en la Figura 4.55.

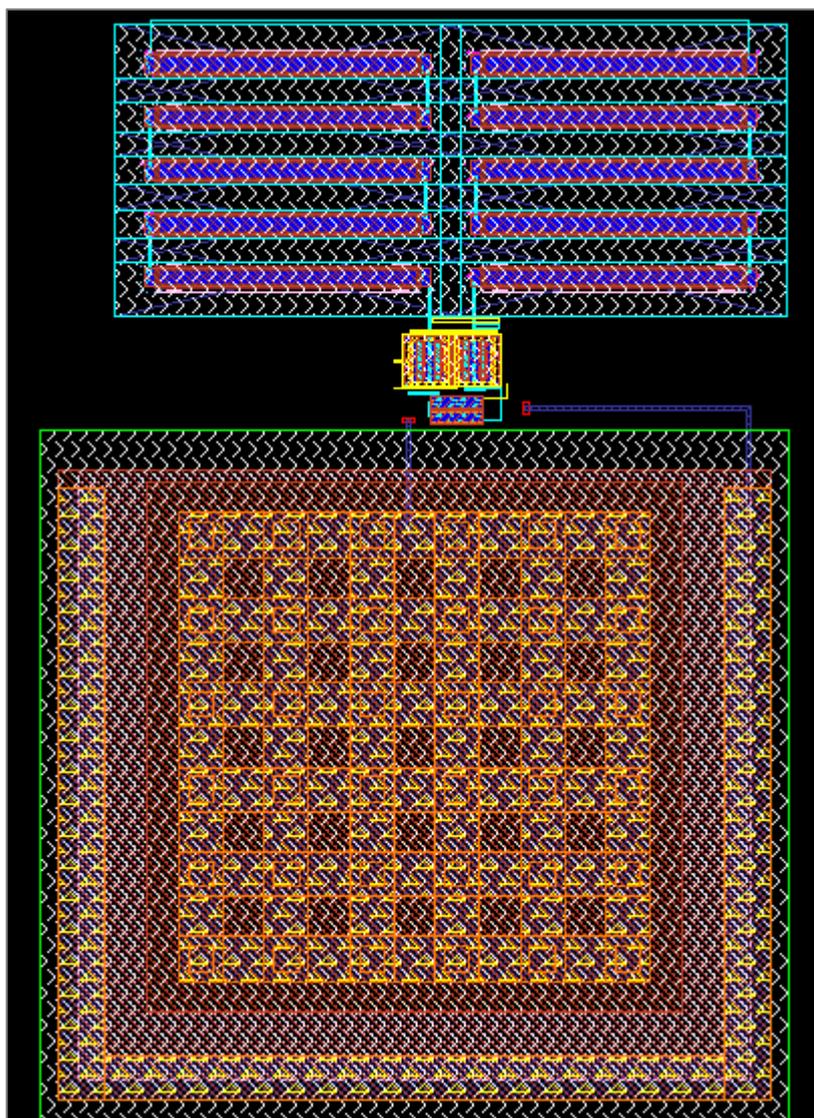


Figura 4.55: *Layout* del amplificador con fuente doble.

Si se compara este último *layout* con el de la etapa amplificadora anterior (Figura 4.50) se puede ver como la gran diferencia entre ambos corresponde a la existencia del condensador que une ambas fuentes de corriente. En la Figura 4.56 se muestra el área de los transistores que es donde se encuentran las entradas y salidas de la etapa amplificadora.

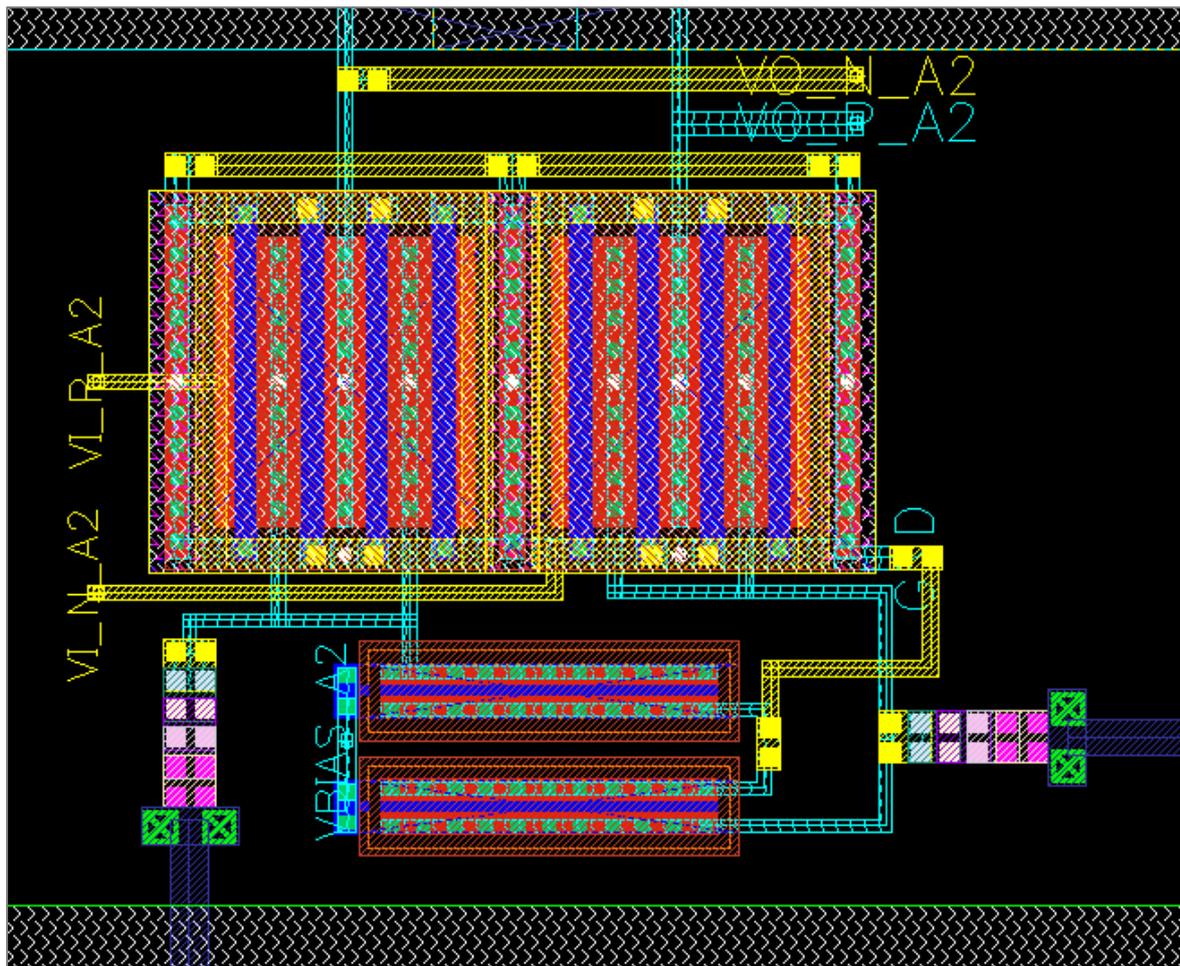


Figura 4.56: Layout de los transistores del amplificador con fuente doble.

El siguiente paso es instanciar el símbolo de la extracción de los elementos parásitos en ADS, el circuito resultante se muestra en la Figura 4.57, este circuito será válido tanto para la simulación en AC como para la simulación en DC.

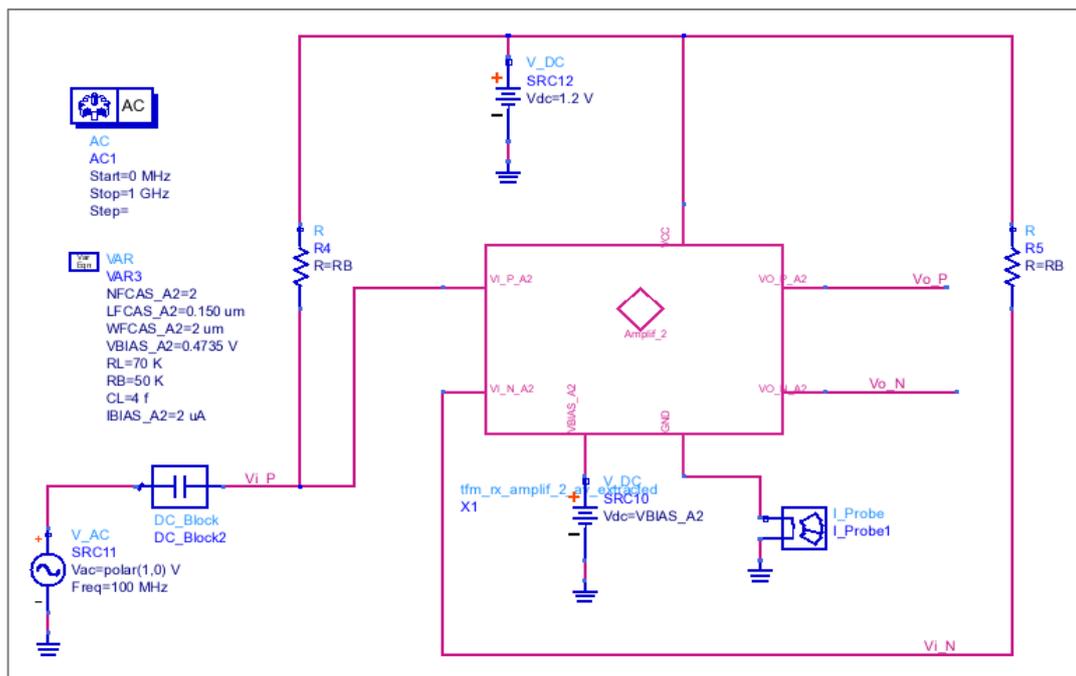


Figura 4.57: Instanciación del extraído del amplificador con fuente doble en ADS.

En la Figura 4.58 se muestra la ganancia obtenida tras la simulación de AC.

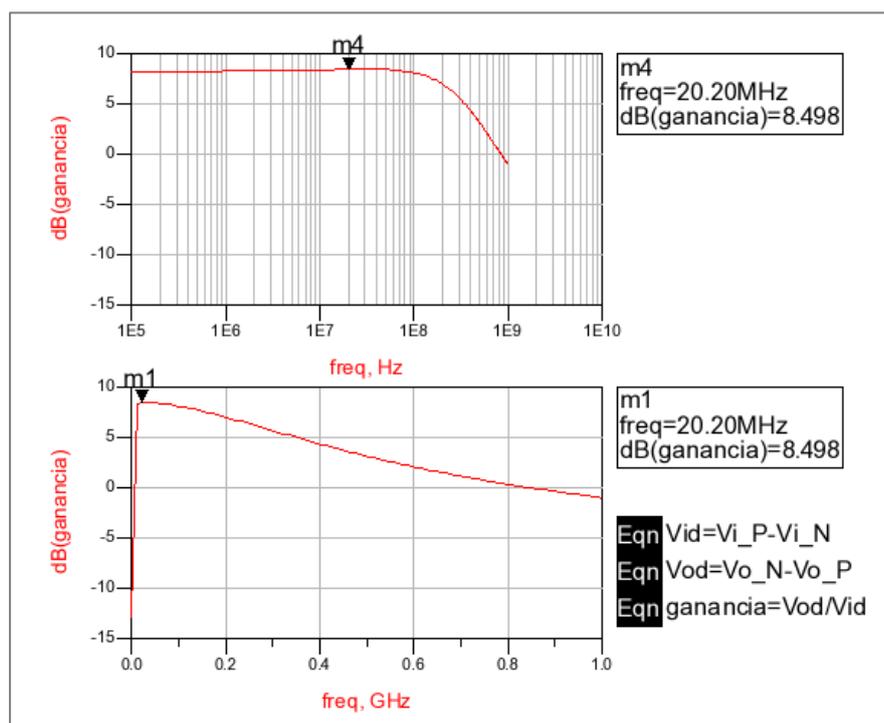


Figura 4.58: Ganancia del extraído de Cadence en ADS del amplificador con fuente doble.

De la misma forma que pasaba con el amplificador anterior, se puede ver que debido al efecto de los elementos parásitos la ganancia de esta etapa también ha aumentado, consiguiendo una ganancia final muy próxima a los 8,5 dB. Este aumento de la ganancia posiblemente también lleve asociado un aumento del consumo del amplificador. El consumo de esta etapa se puede ver en la Figura 4.59, siendo este consumo de unos 4 μ A.

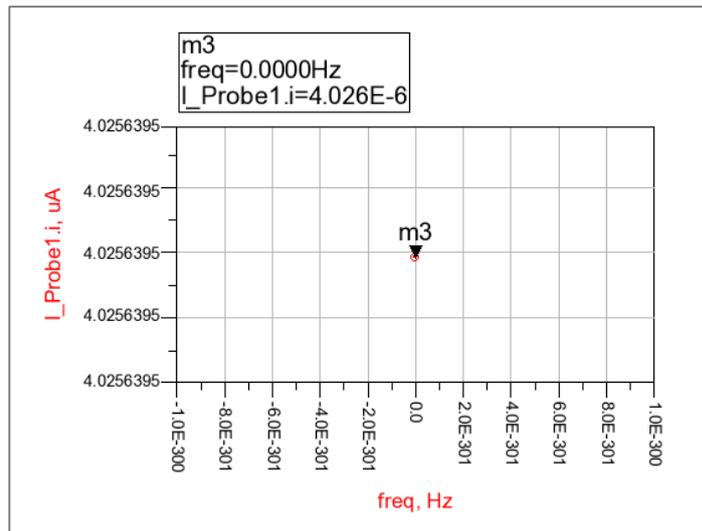


Figura 4.59: Consumo del extraído del amplificador con fuente doble.

Con las simulaciones de ambas etapas realizadas, el siguiente paso es conformar el amplificador de 5 etapas que se presentaba en la Figura 4.37, este proceso se explicará en el siguiente apartado.

4.6.3 Simulación del Amplificador de Cinco Etapas

En este punto se comienza con la simulación del amplificador completo que se va a usar en el diseño final. Se parte del esquemático que se mostraba en la Figura 4.37 y se comenzará como siempre realizando la simulación a nivel esquemático para posteriormente realizar la simulación del *layout* con sus componentes parásitos.

4.6.3.1 Simulación del Esquemático del Amplificador de Cinco Etapas

El primer paso será realizar la unión de las distintas etapas amplificadoras para conformar el amplificador final que se utilizará en el receptor de *wake-up*, el esquemático resultante en *Cadence* se muestra en la Figura 4.60, donde ya se pueden ver todas las etapas unidas.

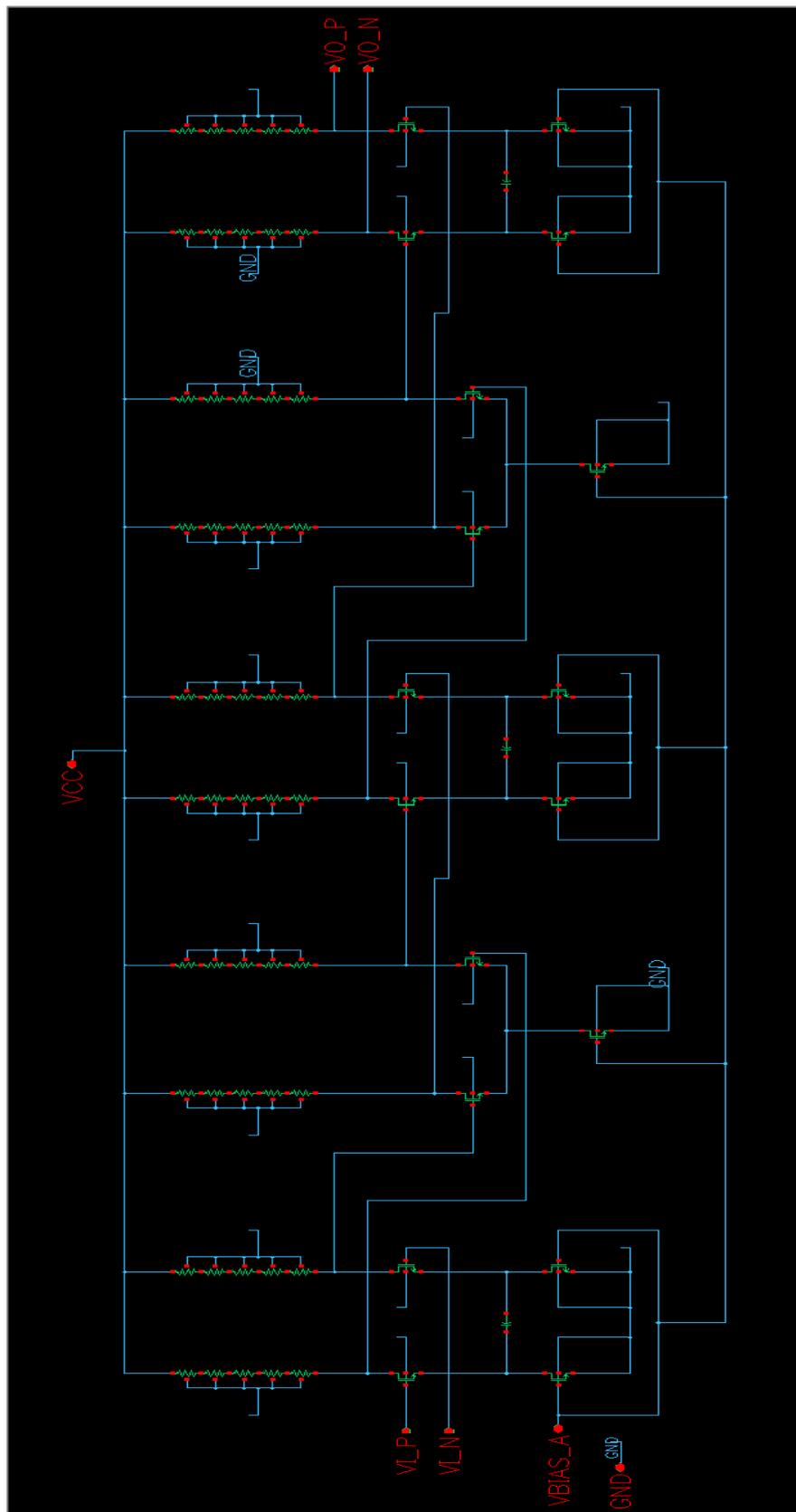


Figura 4.60: Esquemático del amplificador de cinco etapas en Cadence.

Una vez que se tiene el esquemático de *Cadence* se puede generar el símbolo que se utilizará para la instanciación en ADS, este símbolo se muestra en la Figura 4.61. Como se puede ver este símbolo solo presenta una tensión de polarización, esto se debe a que se ha puesto la misma tensión de polarización a los dos tipos de amplificadores que forman la etapa amplificadora final, de ahí que una sola señal de polarización sea suficiente.

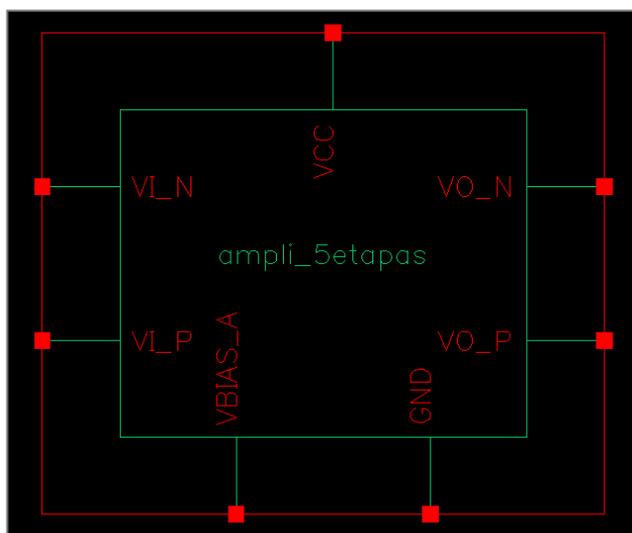


Figura 4.61: Símbolo del amplificador de cinco etapas.

Se procede ahora a realizar la simulación del amplificador de cinco etapas, para ello se hará uso del circuito presentado en la Figura 4.62, donde vemos que se ha instanciado el esquemático del amplificador completo en ADS.

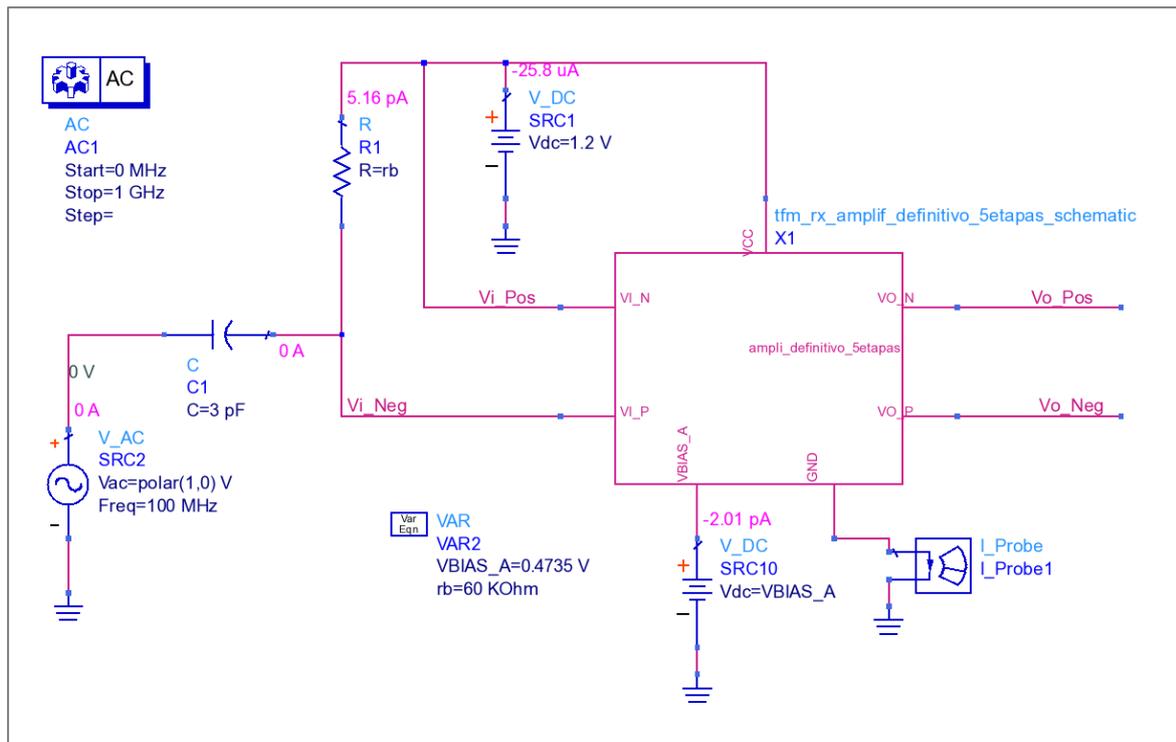


Figura 4.62: Instanciación del esquemático del amplificador de cinco etapas en ADS.

La ganancia obtenida tras realizar una simulación en AC es de 35,39 dB para una frecuencia de unos 20 MHz, que es la frecuencia utilizada para las simulaciones del mezclador. Además de los resultados obtenidos se deduce que el ancho de banda del amplificador es de unos 77,6 MHz. Los resultados comentados se presentan en la Figura 4.63.

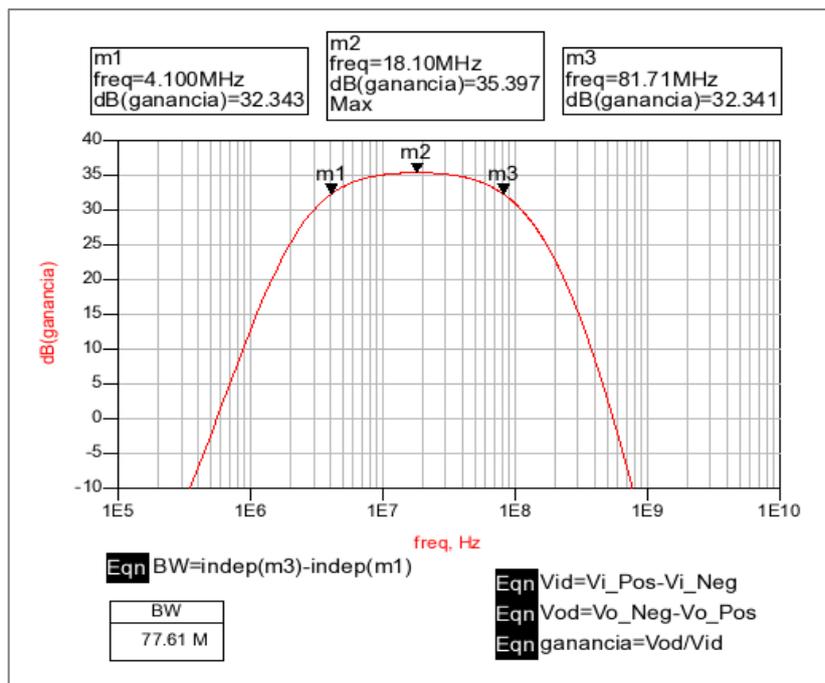


Figura 4.63: Ganancia y ancho de banda del esquemático de Cadence en ADS del amplificador con cinco etapas.

Para comprobar cuanto es el consumo que presenta el amplificador completo se efectúa una simulación de DC, tras esta simulación se comprueba que el consumo de las cinco etapas de amplificación es de 15,81 μ A. Los resultados referentes al consumo se muestran en la Figura 4.64.

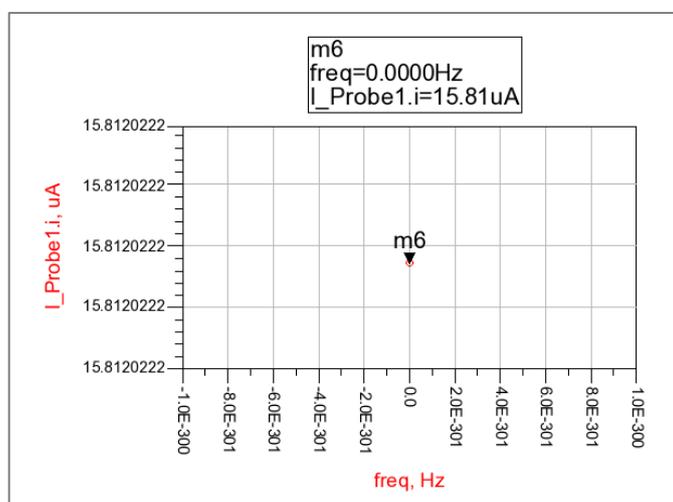


Figura 4.64: Consumo del esquemático de Cadence en ADS del amplificador con cinco etapas.

Una vez que ha comprobado el funcionamiento del diseño a nivel de esquemático se pasa a realizar el *layout* del mismo. Este proceso se explica en el siguiente apartado.

4.6.3.2 Simulación del *Layout* del Amplificador de Cinco Etapas

A la hora de realizar el *layout* del amplificador ha sido necesario realizar distintos diseños, ya que en el caso de este elemento la influencia de los elementos parásitos afectaba considerablemente al ancho de banda del amplificador. Se mostrarán los distintos diseños realizados con los resultados obtenidos para cada diseño, en el orden en el que fueron realizados.

4.6.3.2.1 Primer *Layout* Diseñado del Amplificador de Cinco Etapas

En un primer momento en el diseño de esta etapa se decidió hacer uso de la consideración de diseño de buscar la máxima simetría posible, por ello se parearon aquellas etapas que eran iguales. El diseño logrado se muestra en la Figura 4.65.

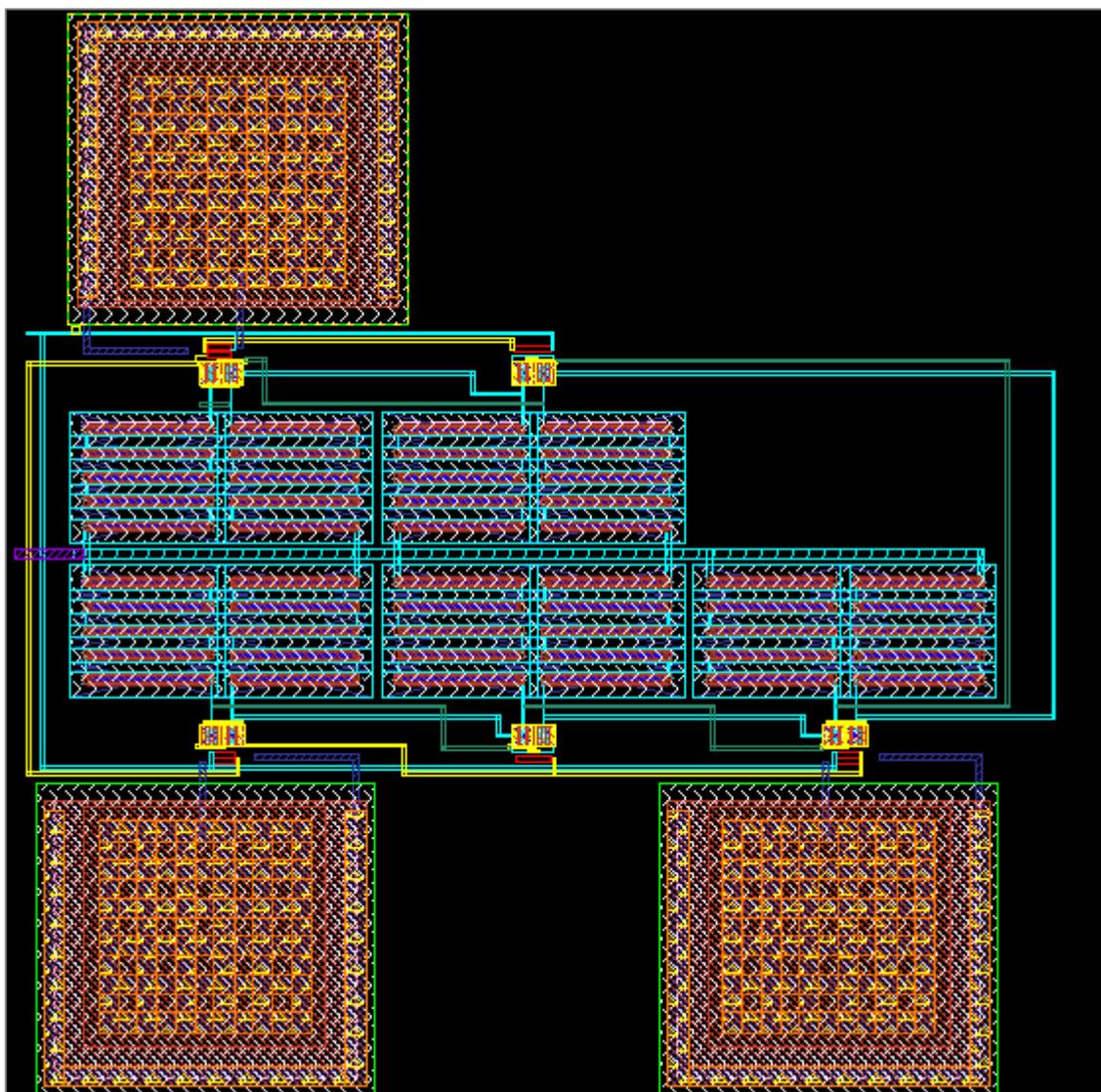


Figura 4.65: Primer diseño del amplificador de cinco etapas.

La instanciación en ADS se presenta en la Figura 4.66. Este circuito se usará en el resto de simulación con los diferentes *layouts*, simplemente se sustituirá en cada simulación el símbolo que se instancia desde *Cadence*.

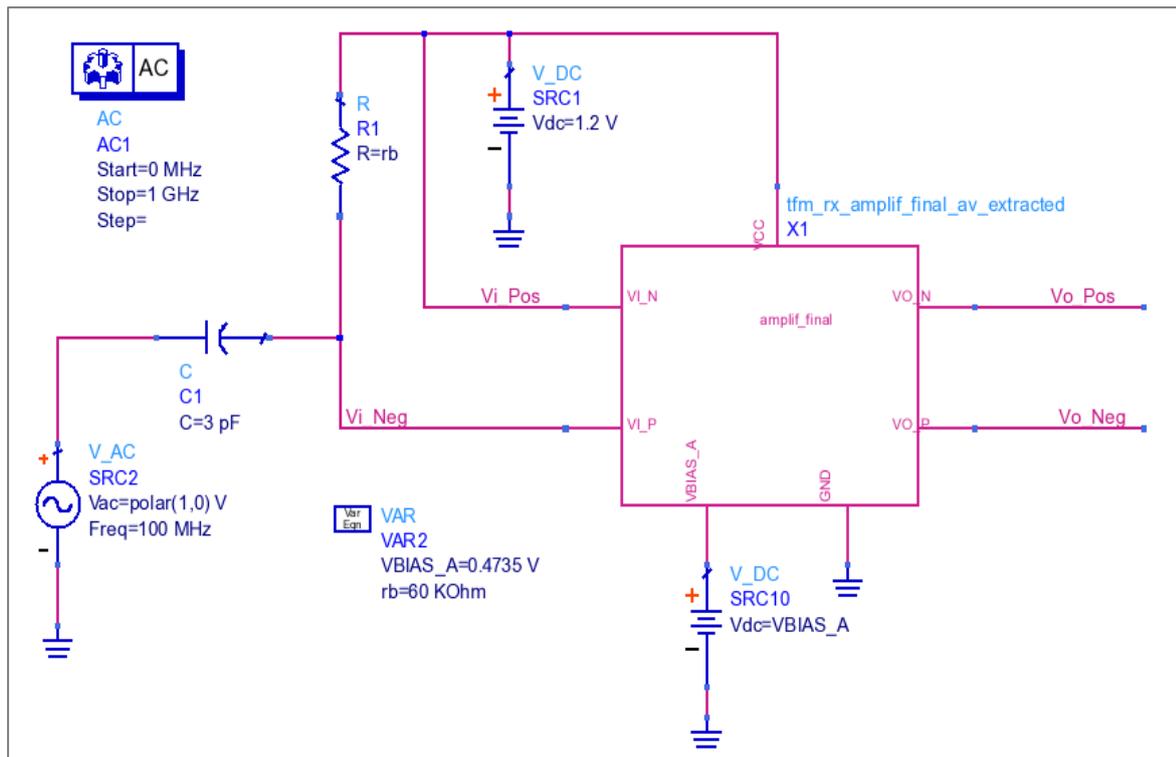


Figura 4.66: Instanciación del extraído del amplificador de cinco etapas en ADS.

A pesar de tener en cuenta la consideración de la búsqueda de simetría de los elementos que existen en el amplificador los resultados obtenidos respecto al ancho de banda están lejos de los que se obtuvieron en el esquemático. Estos resultados se muestran en la Figura 4.67.

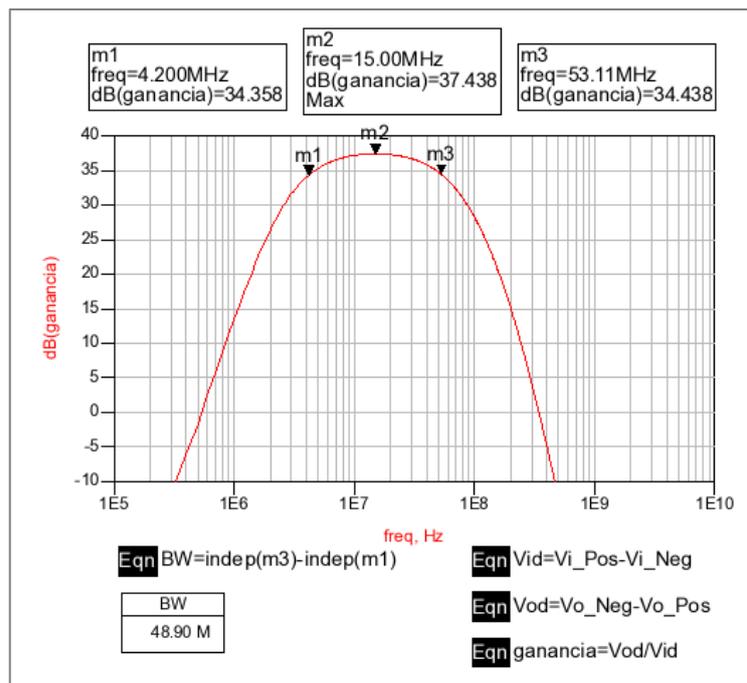


Figura 4.67: Ganancia y ancho de banda del primer *Layout* del amplificador con cinco etapas.

Prestando atención a los resultados obtenidos se aprecia que el ancho de banda del amplificador ha disminuido de casi 78 MHz a unos 48 MHz, por este motivo se decide por un replanteo del diseño del *layout* del amplificador.

4.6.3.2.2 Segundo *Layout* Diseñado del Amplificador de Cinco Etapas

Con este segundo diseño se opta por colocar todos los amplificadores en serie, y se aumenta el número de resistencias de cargas, manteniendo el mismo valor final, esto implica que el valor de cada resistencia se disminuye, lo que implica disminuir el área que ocupan. El diseño obtenido se muestra en la Figura 4.68

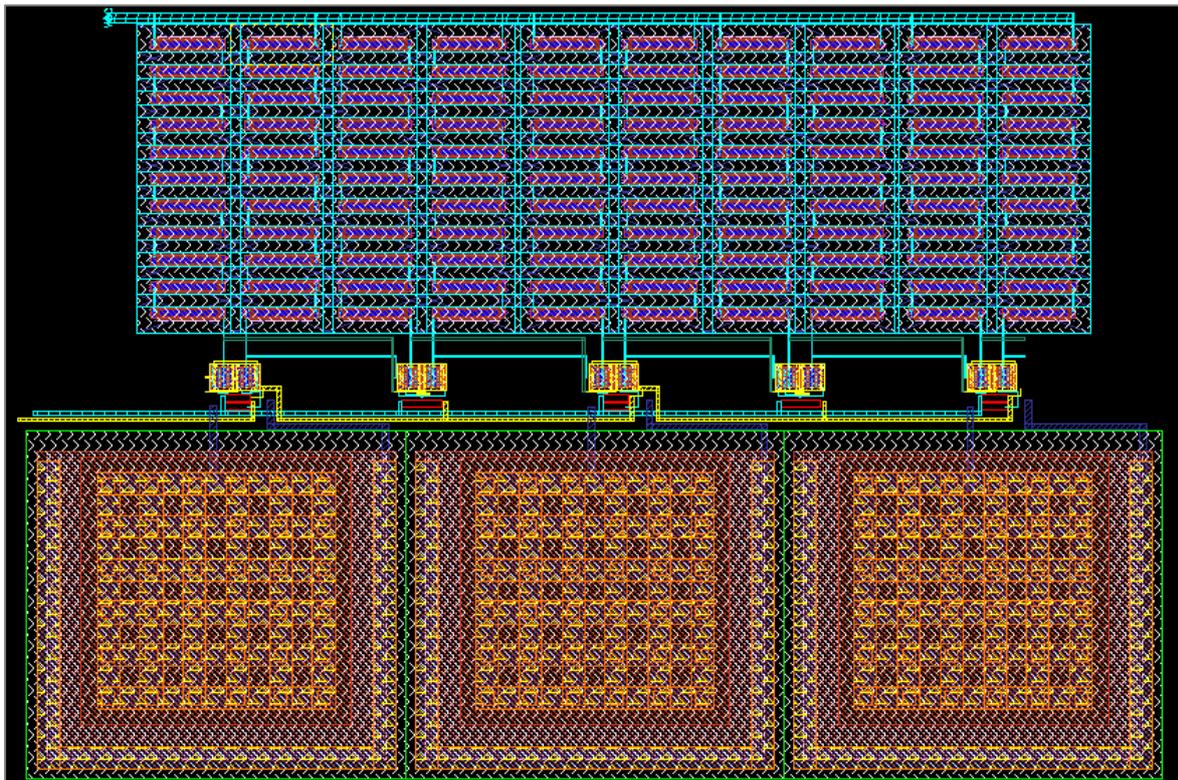


Figura 4.68: Segundo diseño del amplificador de cinco etapas.

Los resultados obtenidos con este segundo *layout* se muestran en la Figura 4.69.

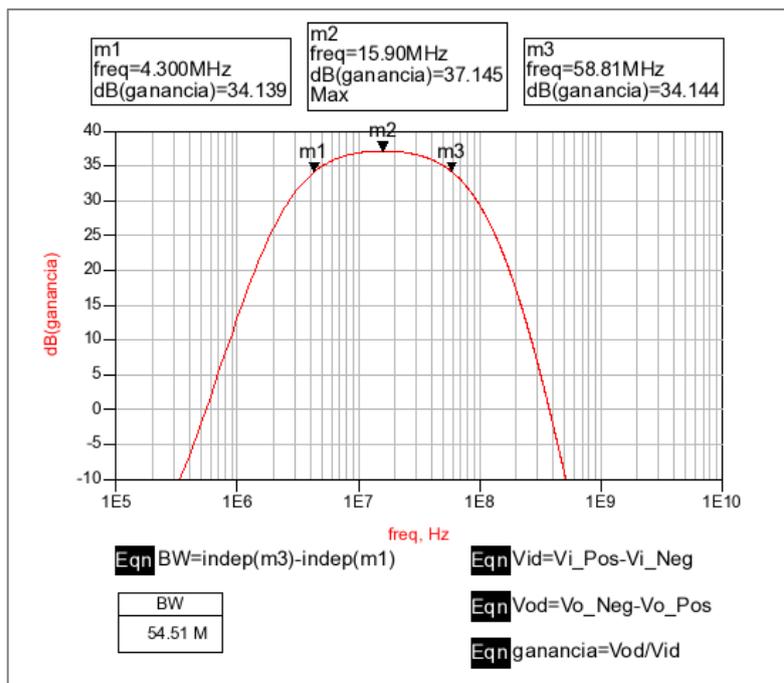


Figura 4.69: Ganancia y ancho de banda del segundo *Layout* del amplificador con cinco etapas.

Con este segundo diseño se ha mejorado algo los resultados del ancho de banda, pero se siguen considerando muy alejados del nivel obtenido en el esquemático, por ello se hace otro diseño más.

4.6.3.2.3 *Layout* Definitivo del Amplificador de Cinco Etapas

Para hacer este último diseño, se intenta ajustar el ancho de las resistencias al mismo ancho de los condensadores, se rehacen las pistas de unión de los transistores y se disminuyen los espacios entre pistas. El diseño final obtenido se muestra en la Figura 4.70

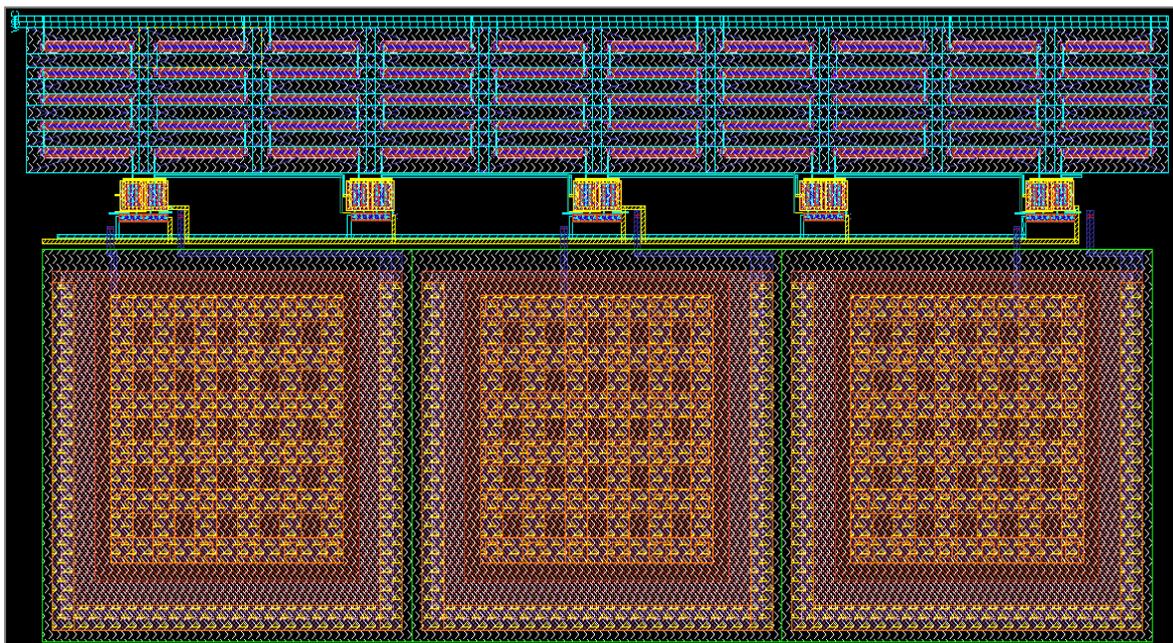


Figura 4.70: *Layout* definitivo del amplificador de cinco etapas.

Con el fin de mostrar las modificaciones realizadas en las pistas que unen a los transistores se muestra una ampliación de las dos primeras etapas (Figura 4.71), si se compara esta imagen con las imágenes 4.51 y 4.56 se puede ver como se han disminuido los espacios entre pistas y se han eliminado conexiones que no eran necesarias.

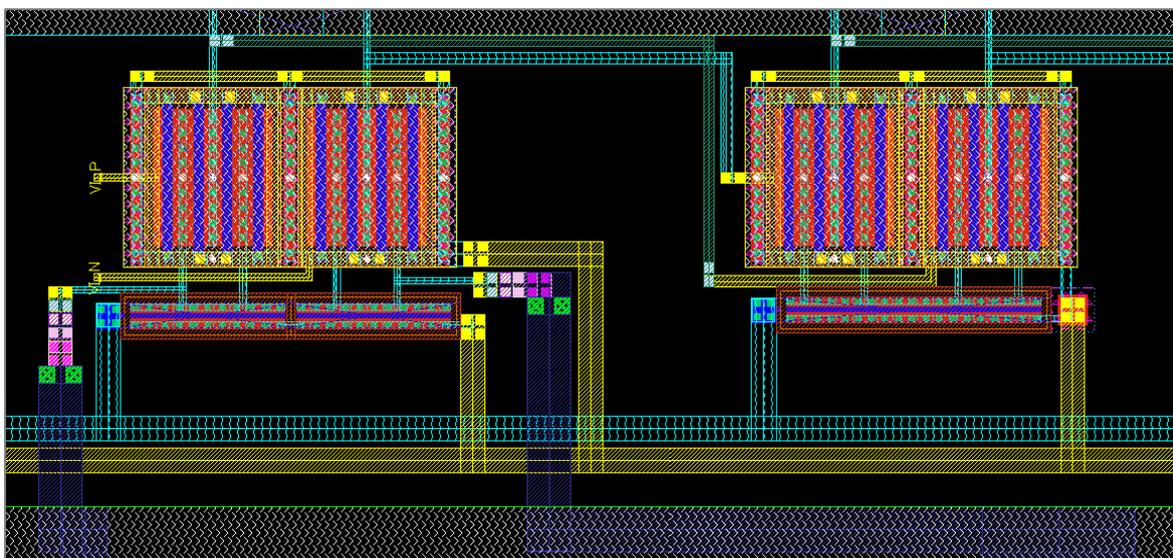


Figura 4.71: Rediseño del *Layout* de los transistores.

En la siguiente figura se muestran los resultados obtenidos con este último *layout*. Tal y como se muestra en la Figura 4.72 los resultados obtenidos de ancho de banda son mejores que en los dos casos anteriores, es por ello que este será el diseño definitivo que se utilice.

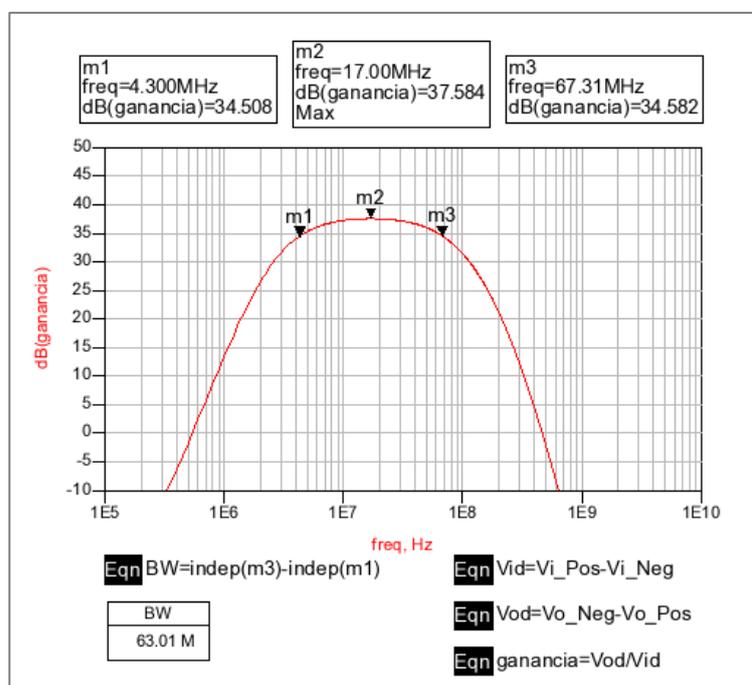


Figura 4.72: Ganancia y ancho de banda del *Layout* definitivo del amplificador de cinco etapas.

El consumo que presenta el amplificador es de 17 μ A, tal y como se muestra en la Figura 4.73.

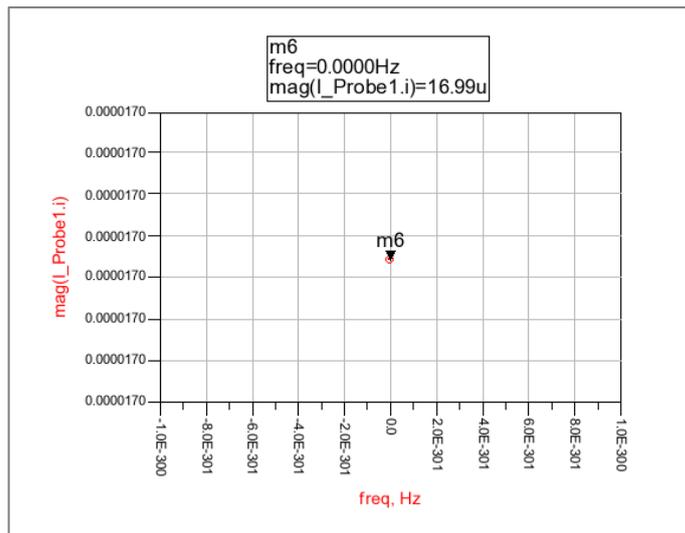


Figura 4.73: Consumo del *Layout* definitivo del amplificador con cinco etapas.

Con los resultados obtenidos, se baraja la opción de reducir el número de etapas del amplificador para intentar mejorar el ancho de banda. Se diseña un nuevo amplificador que consta solo de tres etapas. Esto se explicará a continuación.

4.6.4 Simulación del Amplificador de Tres Etapas

Para intentar mejorar el ancho de banda del amplificador, se va a probar a realizar un diseño que conste de tres etapas amplificadoras, hay que tener en cuenta que al disminuir el número de etapas se disminuye la ganancia, para compensar esta pérdida de ganancia se puede aumentar la tensión de polarización y ver cómo afecta al comportamiento. Se comienza con la simulación del esquemático.

4.6.4.1 Simulación del Esquemático del Amplificador de Tres Etapas

En la Figura 4.74 se muestra el esquemático del amplificador conformado por tres etapas, es la misma estructura que se mostraba en el amplificador de cinco etapas eliminando las dos últimas.

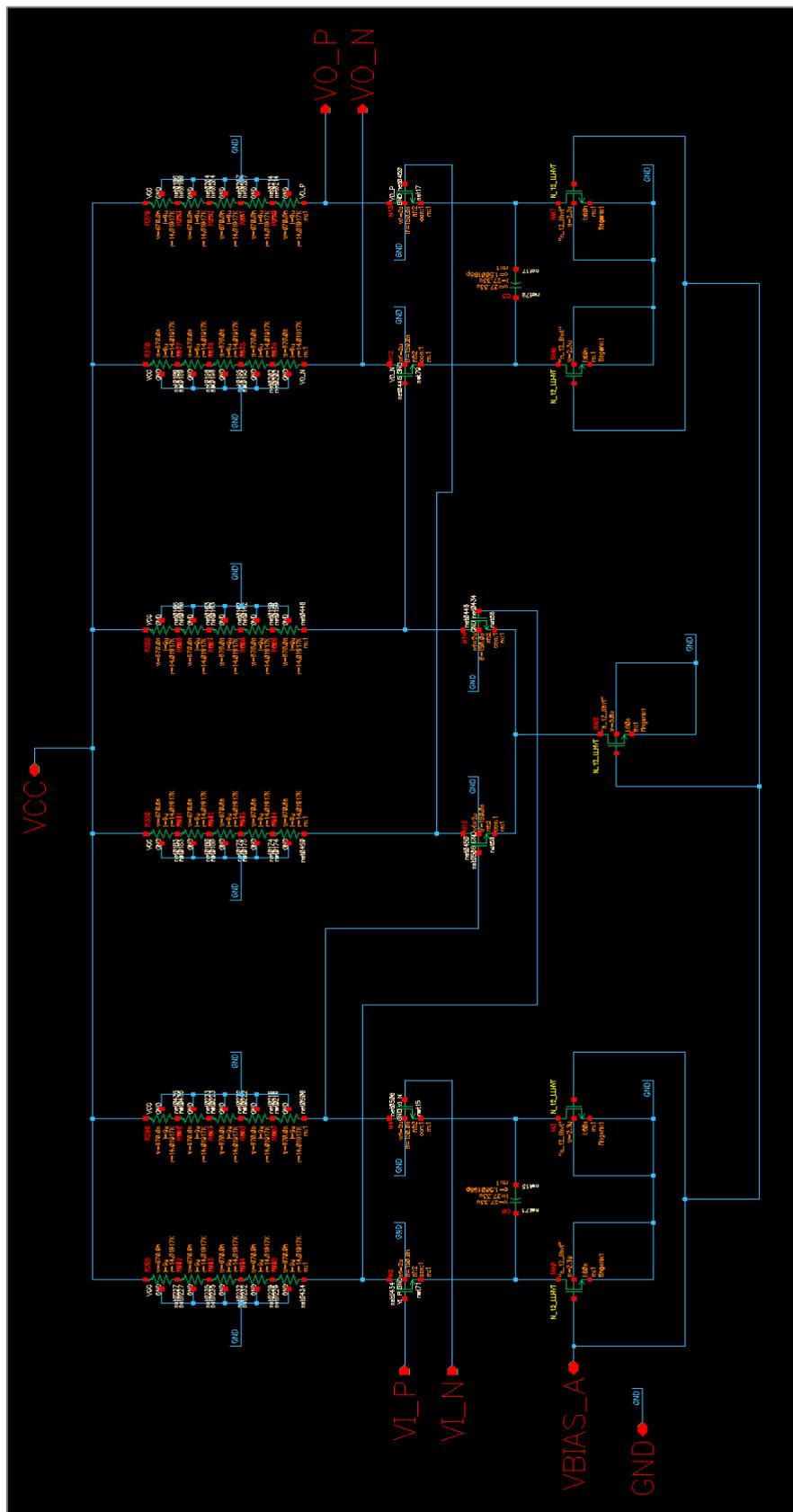


Figura 4.74: Esquemático del amplificador de tres etapas en Cadence.

A partir del esquemático se genera el símbolo correspondiente, símbolo que se utilizara para las distintas simulaciones que se realicen en ADS. El símbolo se muestra en la Figura 4.75.

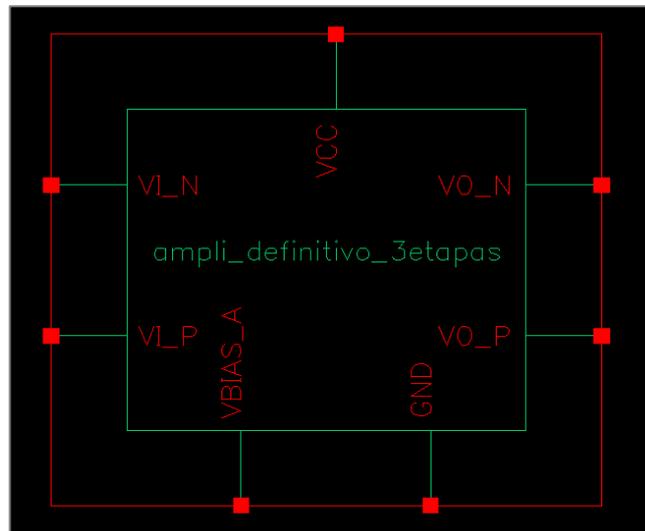


Figura 4.75: Símbolo del amplificador de tres etapas.

Se procede a comprobar el comportamiento de este segundo amplificador diseñado. El circuito de ADS que se va a utilizar se presenta en la Figura 4.76.

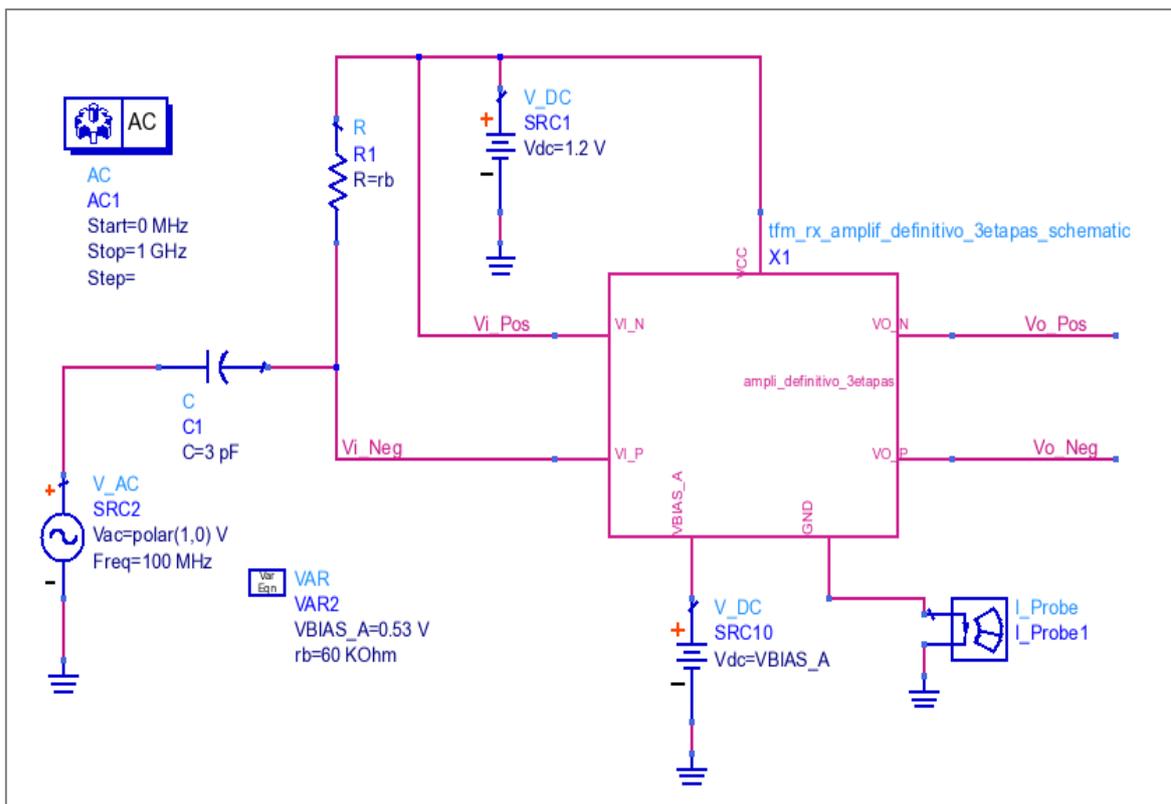


Figura 4.76: Instanciación del esquemático del amplificador de tres etapas en ADS.

Si en el amplificador de cinco etapas la tensión de polarización utilizada era de 0,4735 V, para este amplificador se hace uso de una tensión de 0,53 V. Con esta subida de tensión se pretende equiparar la ganancia con el amplificador de cinco etapas a costa de un mayor consumo. La ganancia y el ancho de banda obtenidos de muestran en la Figura 4.77 y el consumo se puede ver en la Figura 4.78.

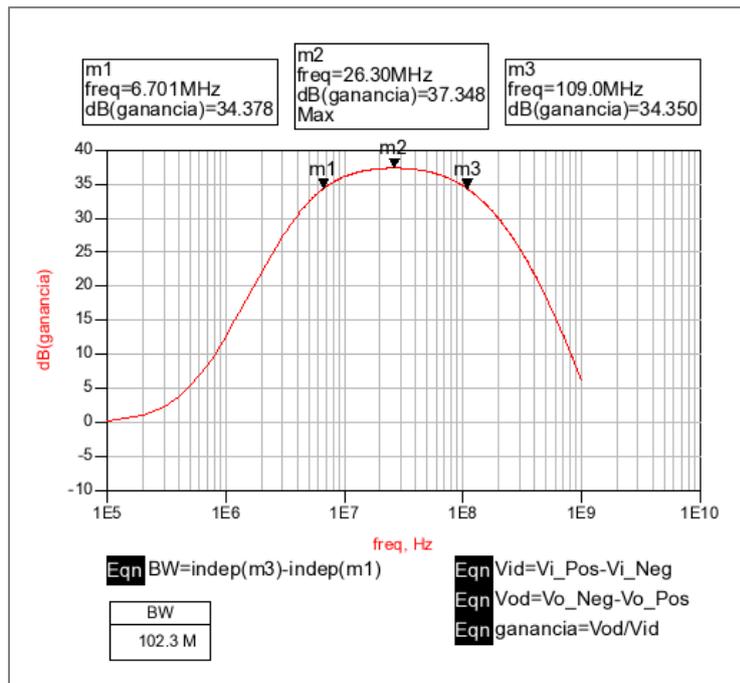


Figura 4.77: Ganancia y ancho de banda del esquemático del amplificador de tres etapas.

En la imagen anterior vemos que se consigue una ganancia de 37 dB y un ancho de banda de 102 MHz, hemos mejorado el ancho de banda manteniendo la ganancia, ahora falta comprobar el coste en consumo que presenta esta solución. A continuación se muestra el consumo del amplificador, como era de esperar este consumo es bastante mayor que en el caso del amplificador de cinco etapas debido al aumento de la tensión de polarización, el consumo de obtenido es de 24,7 μ A.

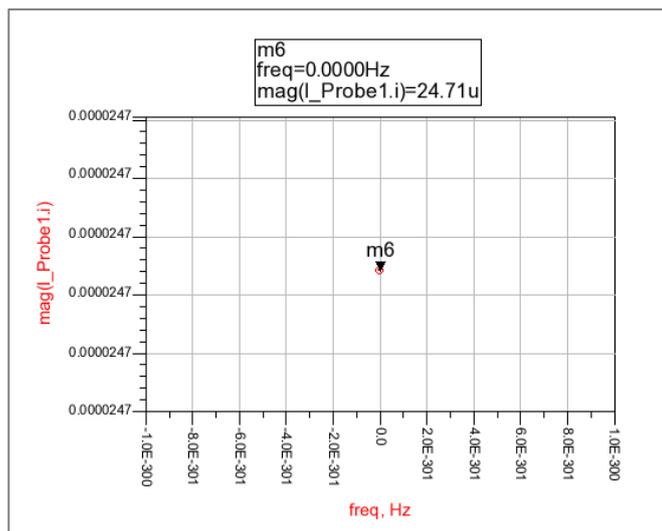


Figura 4.78: Consumo del esquemático del amplificador de tres etapas.

La siguiente simulación que se va a realizar es ver cómo se comporta el amplificador a nivel de *layout*, donde como ya se ha visto en simulaciones anteriores los elementos parásitos tiene una gran relevancia.

4.6.4.2 Simulación del *Layout* del Amplificador de Tres Etapas

Para la realización de este *layout* se ha mantenido la estructura de diseño utilizada en el *layout* definitivo de cinco etapas, es decir se han ajustado las resistencias en la medida de lo posible al tamaño de los condensadores y se minimiza los huecos entre pistas. El *layout* se muestra en la Figura 4.79.

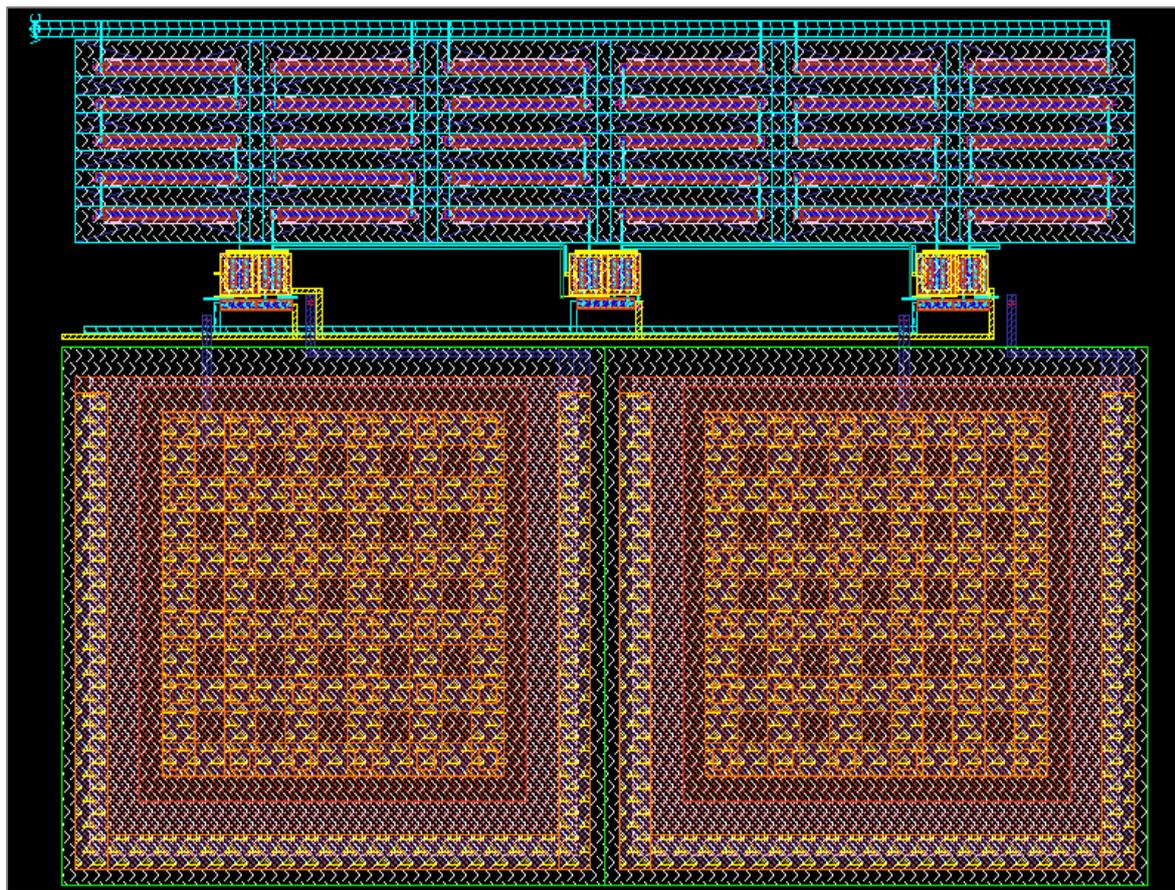


Figura 4.79: *Layout* del amplificador de tres etapas.

A continuación se muestran los resultados obtenidos tras la simulación del extraído de este último *layout*. La ganancia del amplificador y el ancho de banda del amplificador de tres etapas se muestran en la Figura 4.80.

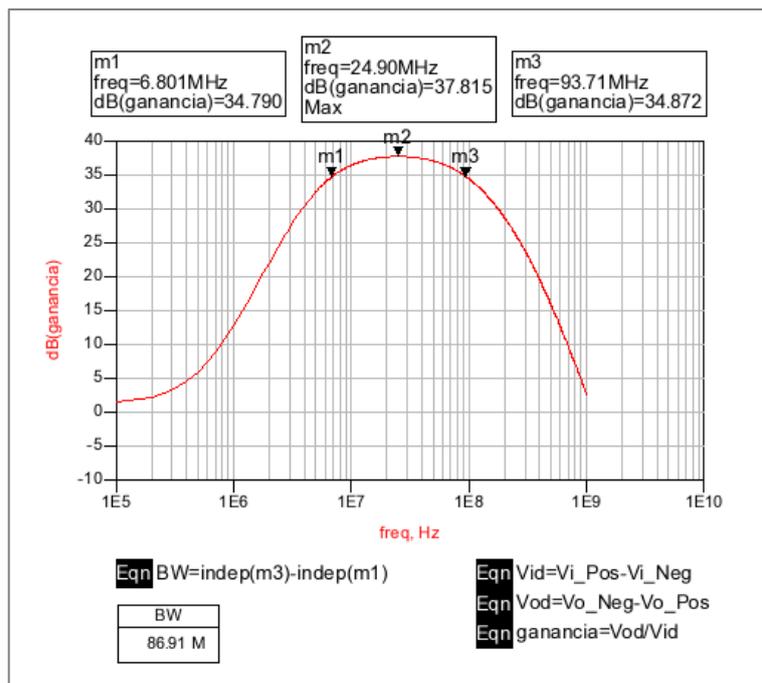


Figura 4.80: Ganancia y ancho de banda del *Layout* del amplificador de tres etapas.

Tal y como se ve en la imagen en el caso del *layout* la ganancia obtenida se mantiene en torno a los 37 dB, pero el ancho de banda se reduce hasta los 87 MHz aproximadamente. En la siguiente figura se presenta el consumo que tiene esta etapa amplificadora (Figura 4.81).

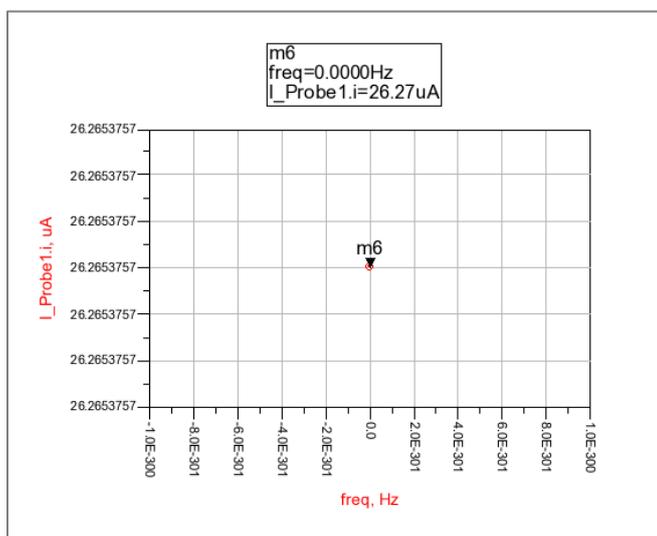


Figura 4.81: Consumo del *Layout* del amplificador de tres etapas.

Según aparece en la imagen anterior el consumo total de la etapa amplificadora de tres etapas es de 26 μA con una tensión de polarización de 0,53 voltios.

Con esta última simulación se dan por finalizadas las simulaciones de cada una de las etapas que conforman el receptor.

4.7 Resumen

A lo largo de este capítulo se ha profundizado un poco más en la arquitectura a diseñar, se ha dado una pequeña introducción al diseño de *layouts* y también se ha visto de forma detallada el diseño de cada etapa que conforma el *WuR*, así como cada una de las distintas simulaciones realizadas para asegurar que el resultado final sea el esperado.

En la Tabla 4.1 se presenta un resumen con los parámetros más importantes a nivel de *layout* de cada una de las etapas diseñadas.

Tabla 4.1: Resumen de los componentes del receptor

| Detector de Envolvente | |
|------------------------|---------|
| Consumo de Corriente | 90,5 nA |

| Mezclador | |
|------------------------|---------------------|
| Ganancia de Conversión | 20,71 dB |
| Consumo de Corriente | 14,11 μA |

| Amplificador Tres Etapas | |
|--------------------------|---------------------|
| Ganancia | 37,58 dB |
| Ancho de Banda | 87 MHz |
| Consumo en Potencia | 26,27 μA |

| Amplificador Cinco Etapas | |
|---------------------------|------------|
| Ganancia | 37,82 dB |
| Ancho de Banda | 63 MHz |
| Consumo en Potencia | 17 μ A |

En el siguiente capítulo se procede a unir cada una de las etapas para formar el receptor *wake-up* y se realizarán todas las simulaciones necesarias para confirmar que el diseño es viable para su fabricación y uso.

Capítulo 5

Diseño del Receptor Wake-up

En el capítulo anterior se vio el diseño paso a paso de los *layouts* del detector de envolvente, el mezclador y el amplificador que componen la arquitectura del receptor *wake-up* a diseñar.

En el presente capítulo se procederá a unir cada una de estas etapas y realizar las simulaciones necesarias para verificar el correcto funcionamiento del receptor *wake-up* propuesto para este TFM.

5.1 Etapa amplificadora y detector de envolvente

En primer lugar se va a realizar la unión de la etapa amplificadora y el detector de envolvente. A la salida del detector se ha puesto la resistencia de 2 M Ω que vería el detector debido al AS3933. Una vez hecho esto se ha realizado una simulación en régimen transitorio para ver el comportamiento en el tiempo de las señales implicadas.

Como se tienen dos diseños distintos de la etapa amplificadora se pasarán a simular ambos diseños para ver la viabilidad de los mismos.

5.1.1 Amplificador de Tres Etapas y Detector de Envolvente

En primer lugar se comprobará si con el amplificador de tres etapas es suficiente para lograr la señal necesaria para activar al AS3933.

5.1.1.1 Simulación del Esquemático de Cadence

El esquemático de estos dos circuitos se muestra en la Figura 5.1, donde se puede ver como se conecta a la salida del amplificador el detector de envolvente.

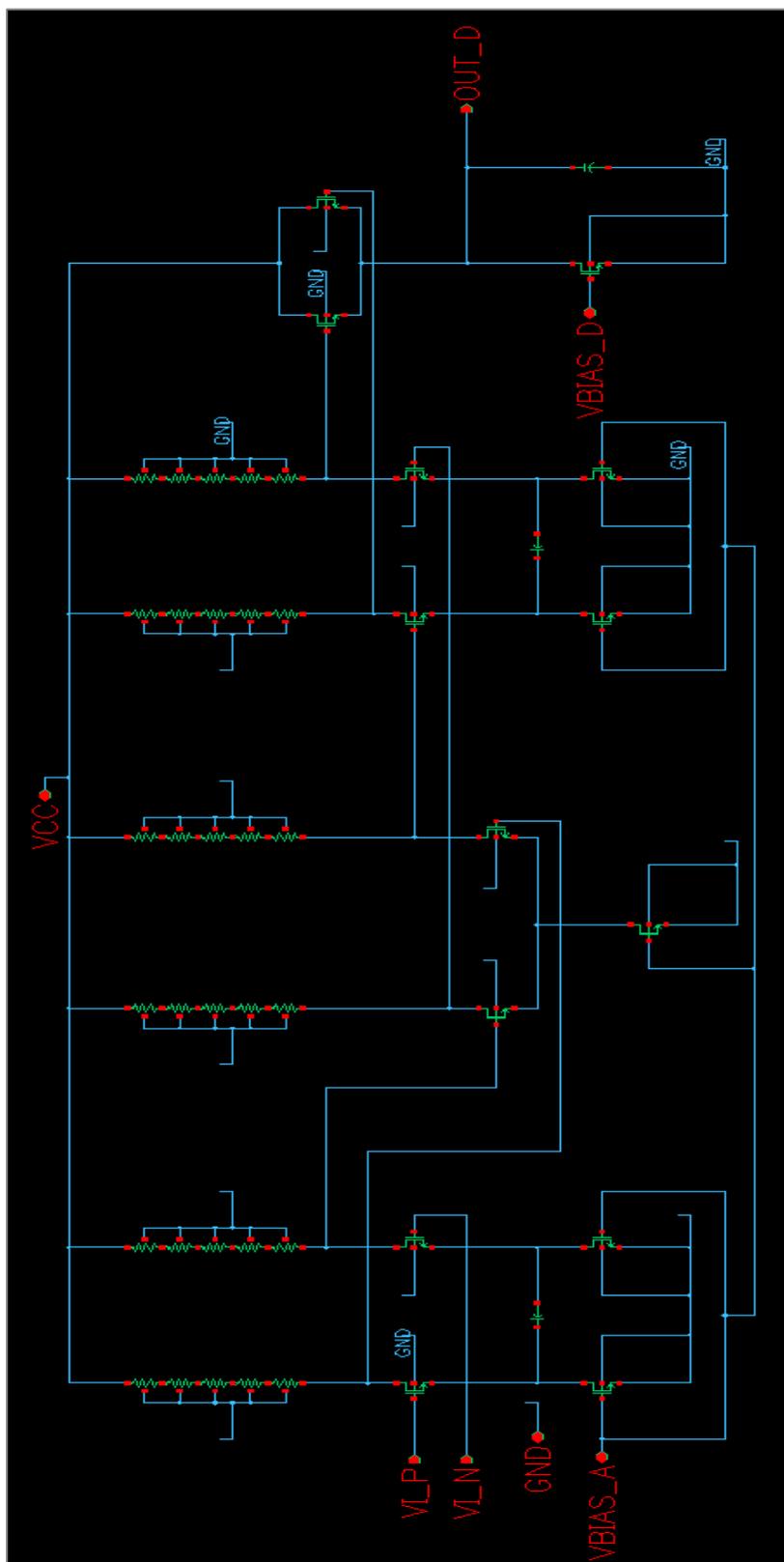


Figura 5.1: Esquemático del amplificador de tres etapas y el detector de envolvente en *Cadence*.

A partir de este esquemático se genera el símbolo con el que se realizarán las simulaciones en ADS. Dicho símbolo se presenta en la Figura 5.2.

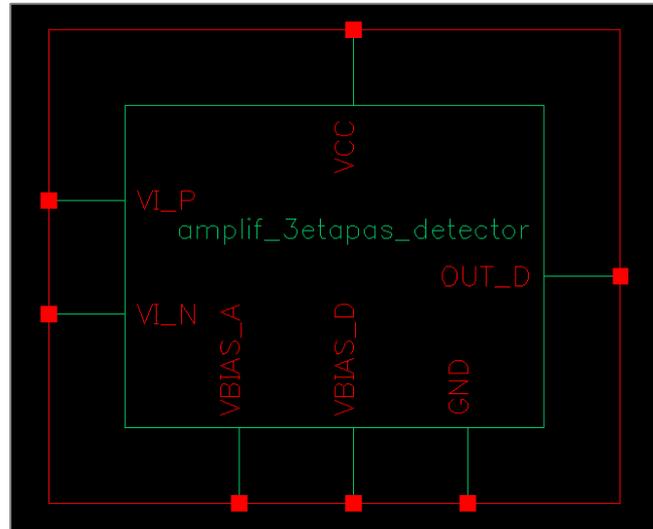


Figura 5.2: Símbolo del amplificador de tres etapas y el detector de envolvente en *Cadence*.

A continuación se comienzan con las simulaciones en ADS, al querer comprobar el correcto funcionamiento del amplificador con el detector de envolvente el tipo de simulación que se debe realizar es una simulación en transitorio, para ello se hará uso del circuito que se presenta en la Figura 5.3, en este circuito se aprecia como a la salida del detector se conecta la resistencia de 2 M Ω equivalente a la resistencia del AS3933.

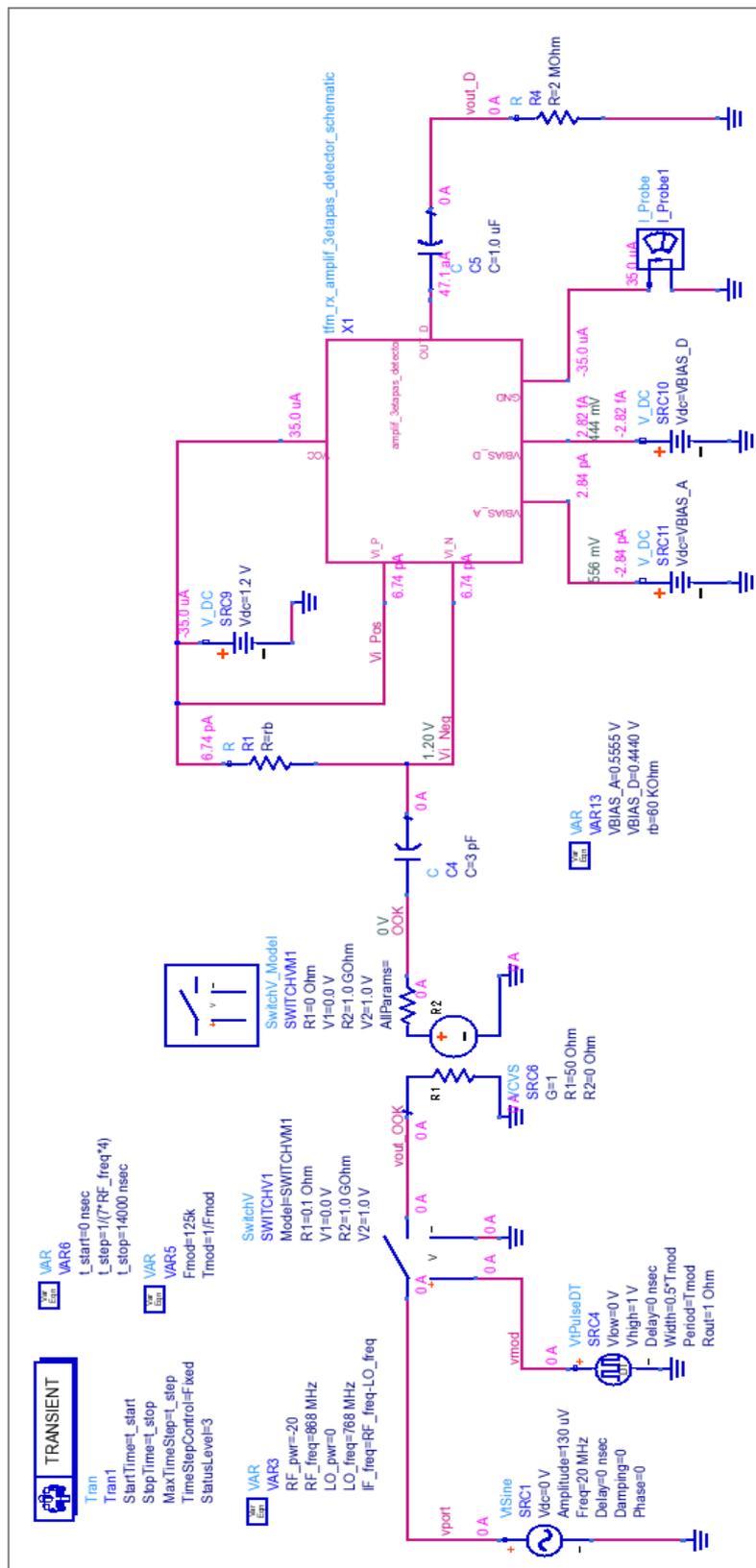


Figura 5.3: Instanciación del amplificador de tres etapas y detector de envoltura de Cadence en ADS.

Según los resultados que se muestran en la Figura 5.4, con el amplificador de tres etapas se alcanza el nivel necesario para activar al AS3933, a costa eso sí, de un mayor consumo, pues es necesario que la tensión de polarización sea mucho mayor para conseguir el mismo nivel de ganancia que se obtenía con el amplificador de cinco etapas. En los valores obtenidos se observa que a la salida del detector se tiene una señal de 116 μV , señal suficiente para despertar al correlador, para lograr este valor a la salida en necesario aplicar una tensión de polarización de 0,5555 V al amplificador, con lo que el consumo total es de 35 μA .

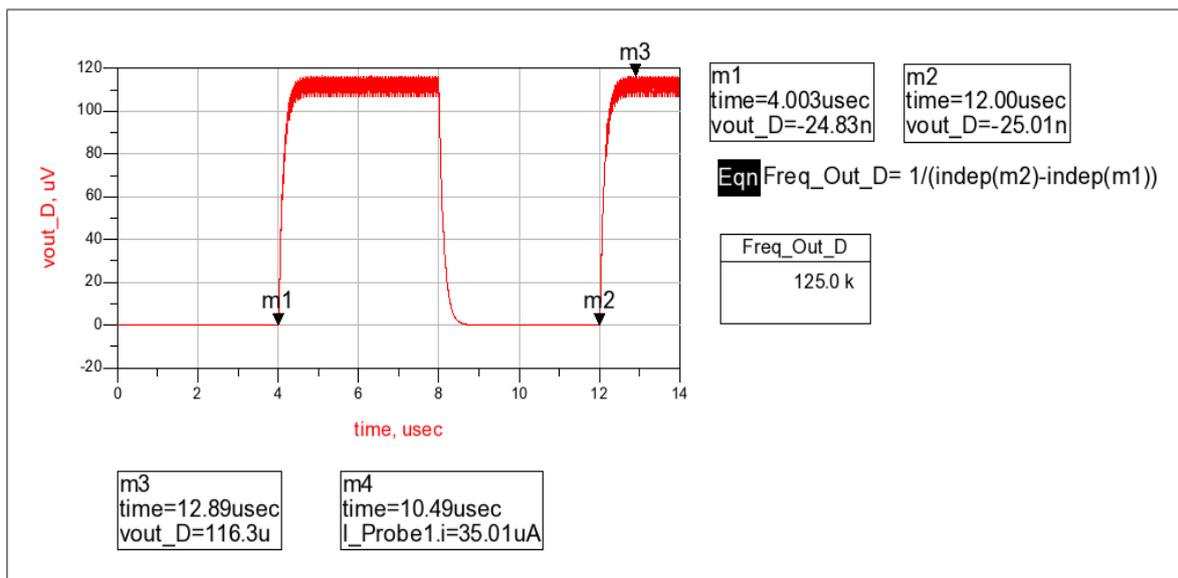


Figura 5.4: Resultados de la simulación del esquemático del amplificador de tres etapas y el detector de envoltente.

Visto que el esquemático anterior alcanza los niveles necesarios para activar al AS3933, el siguiente paso es comprobar el funcionamiento de este conjunto a nivel de layout.

5.1.1.2 Simulación del *Layout* de Cadence

Ahora se pasa a verificar el comportamiento de este circuito a nivel de *layout*, a partir del esquemático que se presentaba en la Figura 5.1 y usando como referencia los *layouts* mostrados en el Capítulo 4 del amplificador y del detector de envolvente se realiza el diseño del *layout* para esta etapa. Este diseño se muestra en la Figura 5.5

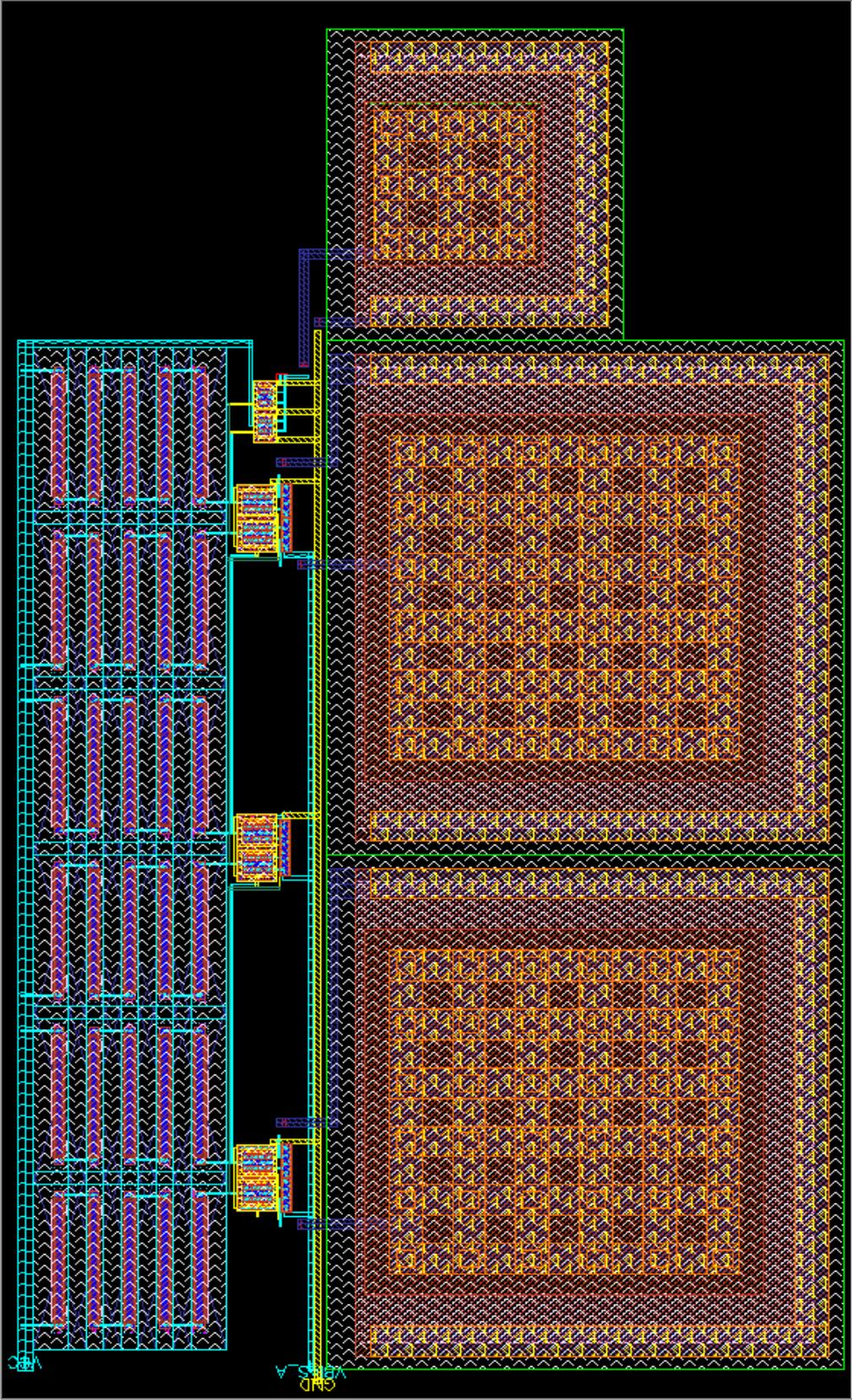


Figura 5.5: Layout del amplificador de tres etapas y el detector de envolvente.

A continuación se muestran en las siguientes figuras, Figura 5.6 y Figura 5.7, por donde entran las señales al amplificador y la salida del detector de envolvente, ya que debido al tamaño del *layout* no es posible apreciarlo en la imagen anterior.

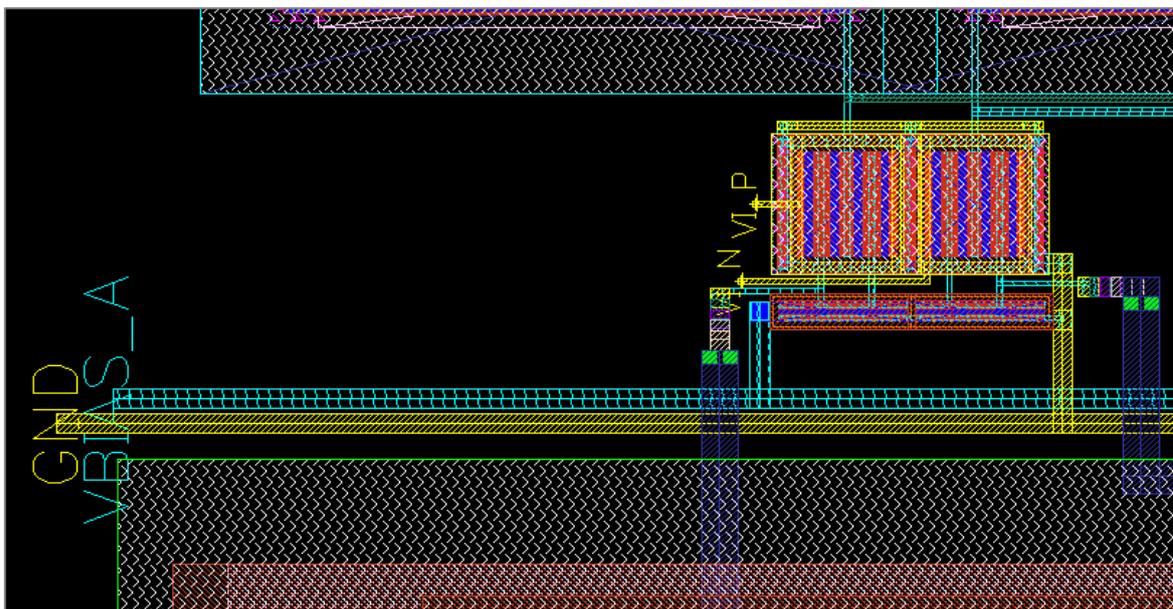


Figura 5.6: Señales de entrada del amplificador.

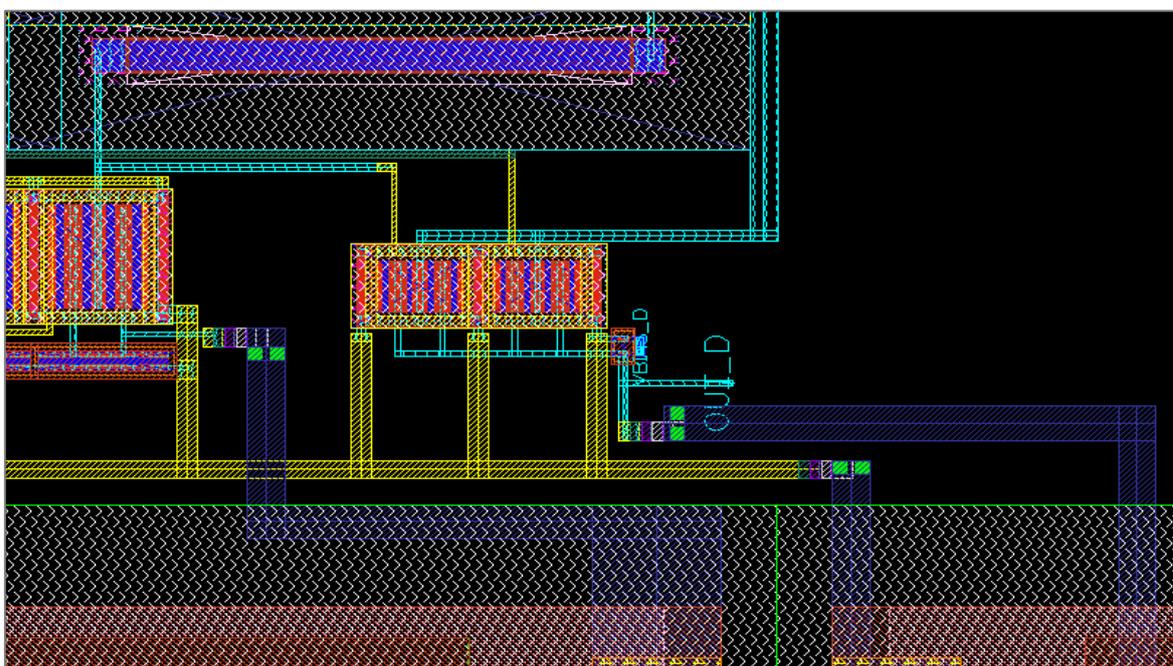


Figura 5.7: Salida del detector de envolvente.

Con el *layout* diseñado, se realizan las verificaciones de DRC y LVS y posteriormente se realiza la extracción de los parámetros parásitos, ya con la extracción ejecutada se instancia el símbolo extraído en ADS y se realizan las simulaciones. El circuito a utilizar es el mismo que se presentaba en la Figura 5.3 cambiando el símbolo del esquemático por el extraído, es por ello que no se repite esta imagen. Los resultados de la simulación se muestran en la Figura 5.8.

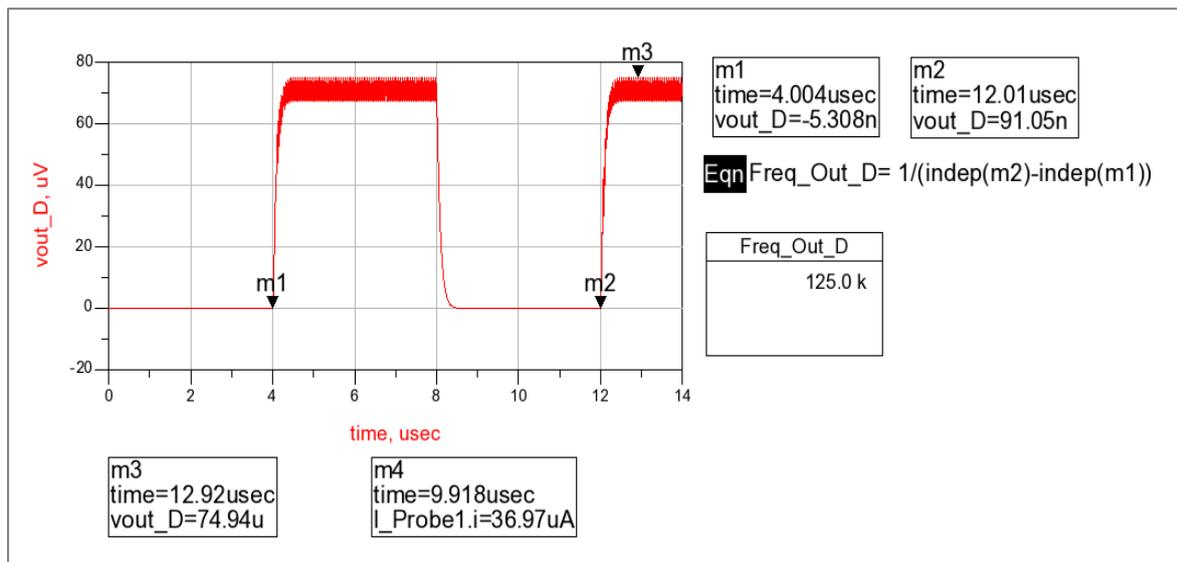


Figura 5.8: Resultados de la simulación del extraído del amplificador de tres etapas y el detector de envolvente.

Observando los resultados obtenidos se aprecia como para el circuito bajo estudio, cuando se pasa del esquemático al *layout* no se consigue tener a la salida una señal de al menos los $113 \mu V$ necesarios para despertar al AS3933. Es por ello que el diseño con el amplificador de tres etapas se descarta para ser usado en este TFM, ello no implica que este diseño no sea válido para ser usado en otras aplicaciones o con otro tipo de correladores que presenten un menor nivel de activación.

Se pasa ahora a comprobar el funcionamiento del amplificador de cinco etapas con el detector de envolvente.

5.1.2 Amplificador de Cinco Etapas y Detector de Envolvente

Se ha visto que el diseño en el que el amplificador disponía de tres etapas se ha tenido que descartar para ser usado en este Trabajo Fin de Máster, ahora se procede a ver el comportamiento del diseño con el amplificador de cinco etapas.

5.1.2.1 Simulación del Esquemático de *Cadence*

En primer lugar se va a mostrar el esquemático realizado en *Cadence*, donde se puede ver que el amplificador consta de las cinco etapas que se han comentado y a la salida de este se encuentra el detector de envolvente. El diseño en cuestión se muestra en la Figura 5.9.

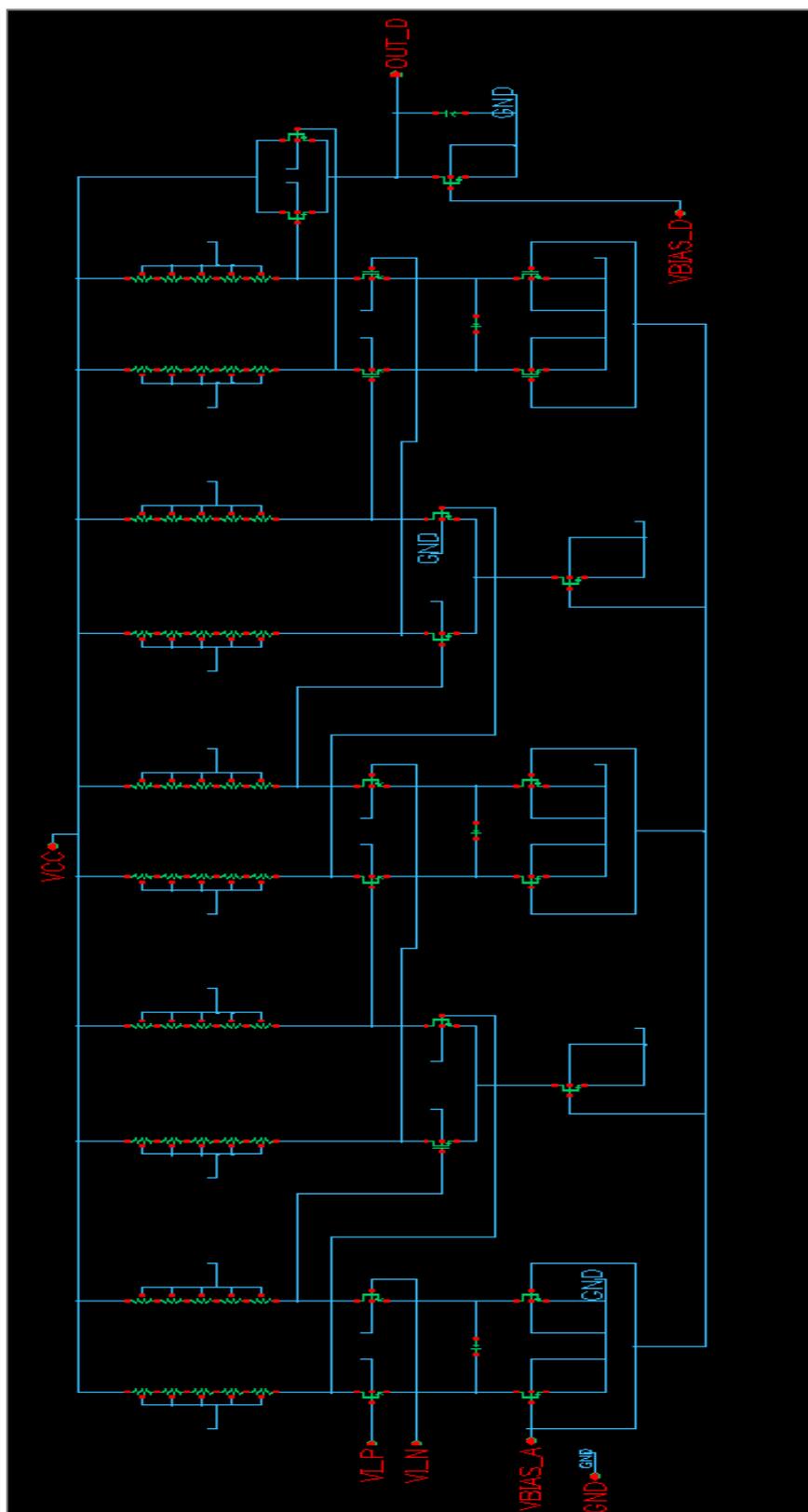


Figura 5.9: Esquemático del amplificador de cinco etapas y el detector de envolvente en Cadence.

A partir del esquemático se genera el símbolo de estos dos elementos, este símbolo se puede ver en la Figura 5.10.

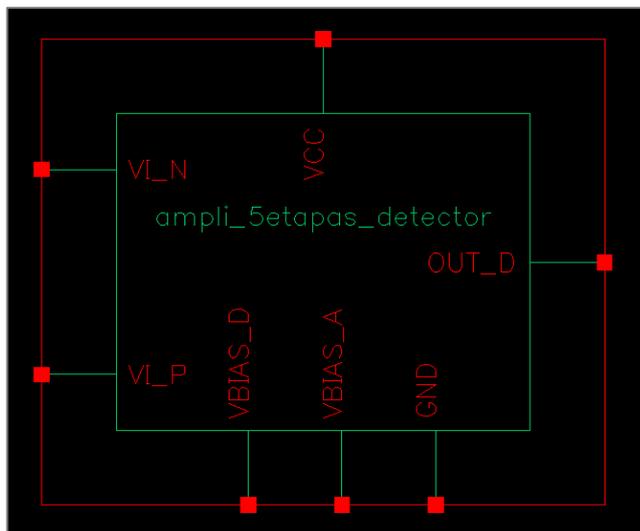


Figura 5.10: Símbolo del amplificador de cinco etapas y el detector de envolvente en Cadence.

A continuación se lleva este símbolo a ADS y se realizan aquellas simulaciones necesarias para verificar el correcto comportamiento del circuito. En la Figura 5.11 se muestra el circuito que se va a utilizar en ADS para llevar a cabo estas simulaciones.

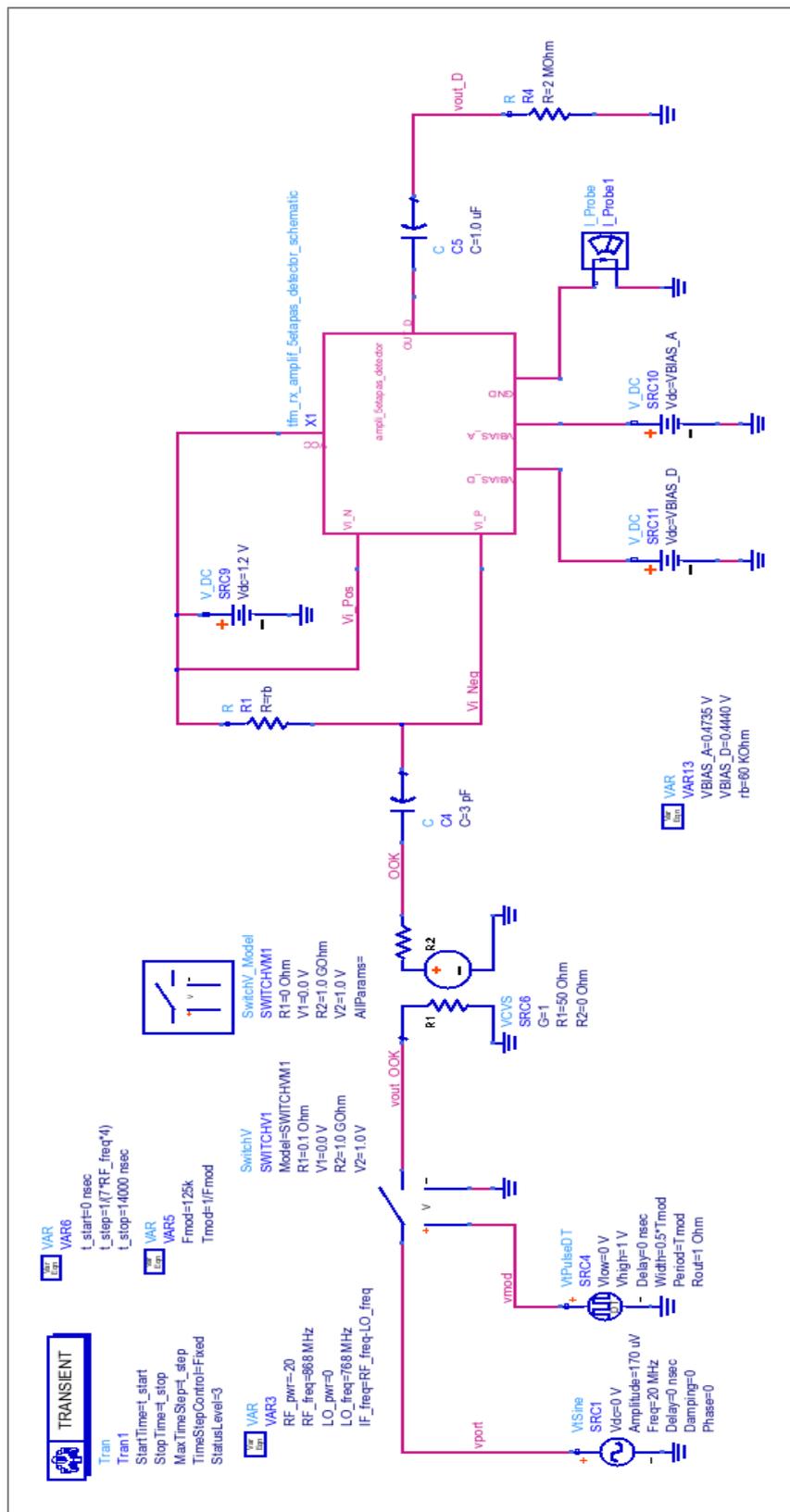


Figura 5.11: Instanciación del amplificador de cinco etapas y detector de envoltura de Cadence en ADS.

En la imagen que se presenta tras las siguientes líneas (Figura 5.12) se muestran los resultados de la simulación de esquemático anterior, de estos resultados se deduce que el amplificador de cinco etapas con el detector de envolvente es capaz de presentar a la salida una señal con nivel suficiente como para hacer funcionar al AS3933, ya que obtenemos a la salida de este bloque una señal con una amplitud de 126 μV . Por otro lado vemos que el bloque completo de amplificador y detector de envolvente tiene un consumo mínimo de aproximadamente 16 μA .

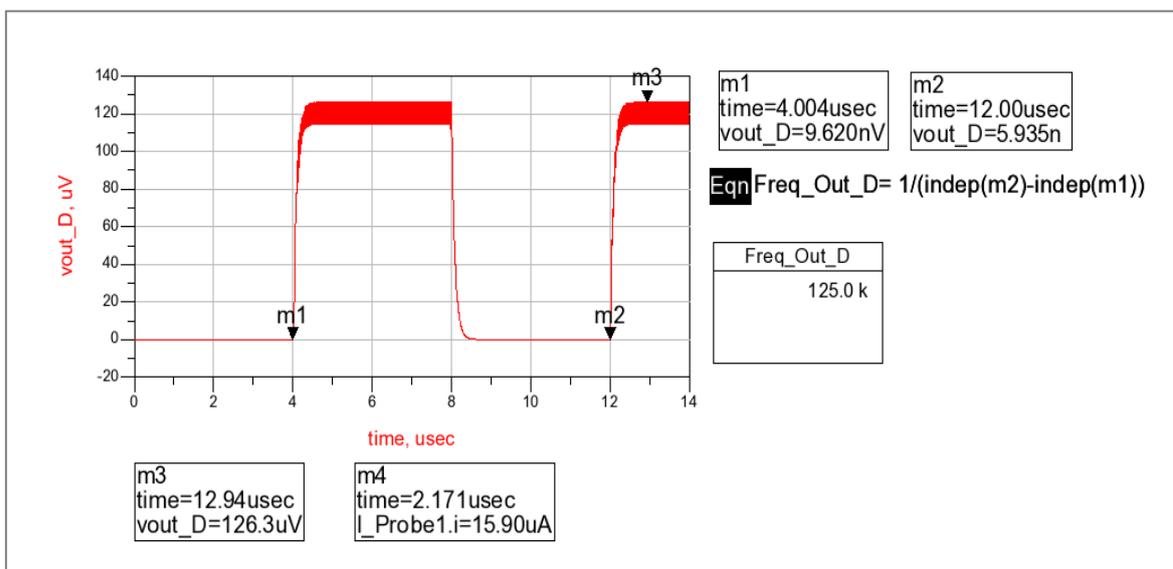


Figura 5.12: Resultados de la simulación del esquemático del amplificador de tres etapas y el detector de envolvente.

Tras realizar las simulaciones a nivel de esquemático, ahora se procede a comprobar el correcto funcionamiento de ambas etapas a nivel de *layout*, pues como ya se vio en el caso del amplificador de tres etapas puede que a nivel de *layout* no cumpla con las especificaciones necesarias.

5.1.2.2 Simulación del *Layout* de Cadence

De la misma forma que se ha realizado en otras ocasiones, una vez que se tiene el esquemático de ambas etapas se pasa a realizar el *layout* de las mismas, el *layout* resultante se puede ver en la Figura 5.13. Si se compara este *layout* con el de la Figura 5.5, se puede observar que la única diferencia es el número de etapas que conforman al amplificador.

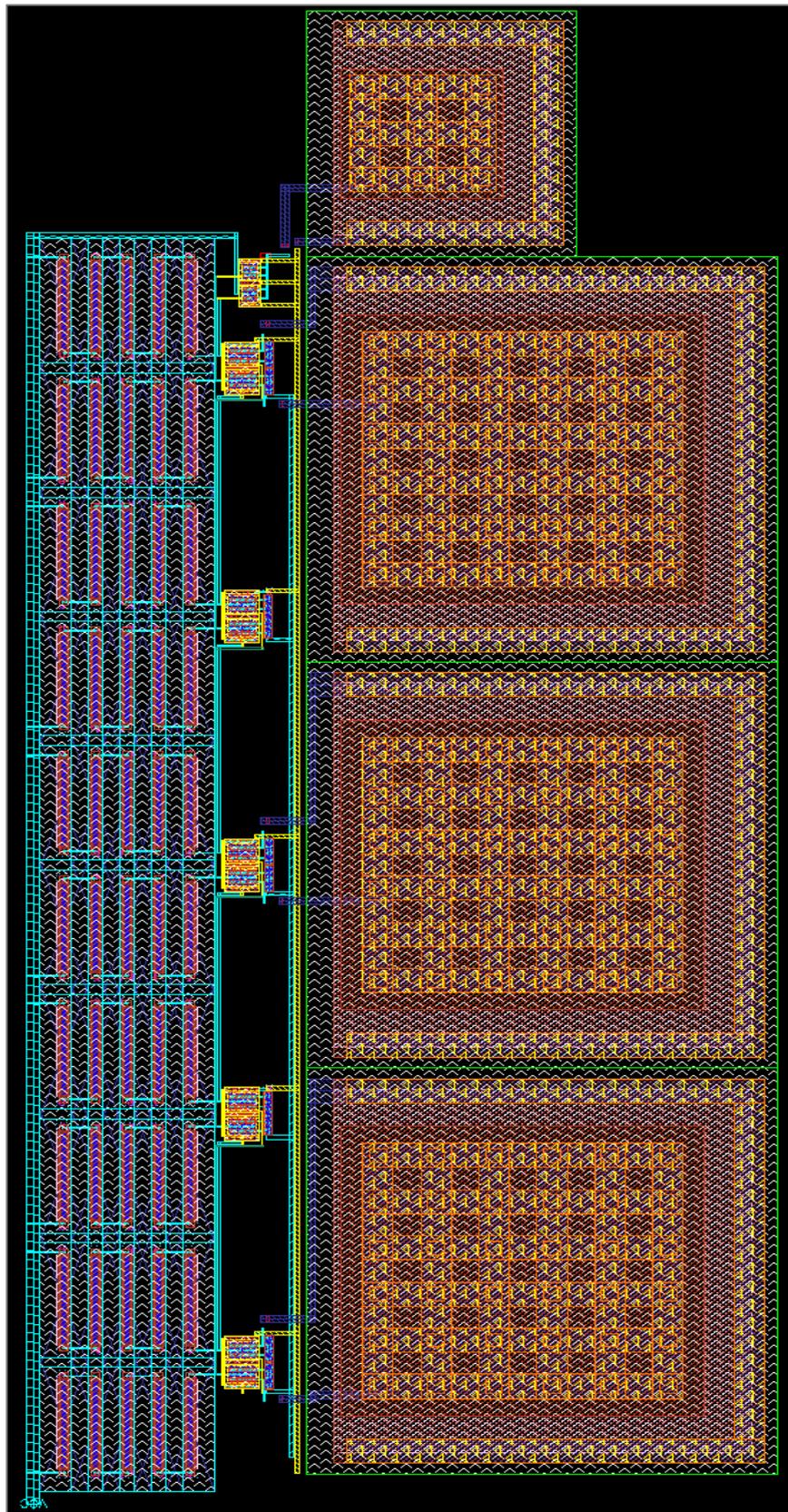


Figura 5.13: *Layout* del amplificador de cinco etapas y el detector de envolvente.

Las entradas del amplificador y la salida del detector de envolvente siguen estando ubicadas según se mostró en las Figuras 5.6 y 5.7 respectivamente. En cuanto al circuito en ADS para realizar las simulaciones, es el mismo que se vio en la Figura 5.11, con el cambio del bloque que se importa desde *Cadence*, que correspondería con el extraído del diseño y que la tensión de polarización del detector de envolvente es de 0,421 V que corresponde con el nivel que se fijó en el Capítulo 4 para el *layout* del detector.

Con todos estos datos se pasa ahora a ver los resultados obtenidos de la simulación de este último *layout* y ver si los efectos de los elementos parásitos son tan perjudiciales como resultaron serlo en el caso del amplificador de tres etapas. Los resultados se muestran en la Figura 5.14.

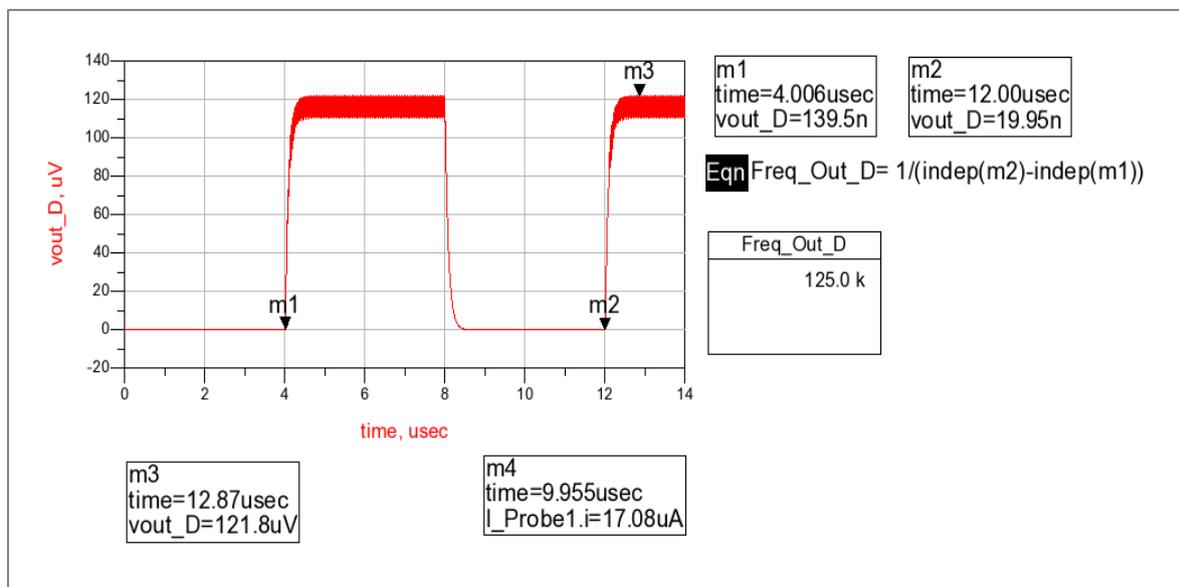


Figura 5.14: Resultados de la simulación del extraído del amplificador de cinco etapas y el detector de envolvente.

A diferencia de lo que pasaba cuando se hacía uso del amplificador de tres etapas, en este caso si se alcanzan los niveles de salida que se requieren para que el AS3933 comience a trabajar, ya que a la salida se obtiene una señal cercana a los $122 \mu V$ de pico. Además se aprecia como el consumo sigue siendo bastante bajo estando en torno a los $17 \mu A$.

Con todos los resultados vistos durante este apartado de la memoria, se llega a la conclusión de que el conjunto amplificador y detector de envolvente que se debe usar para el diseño final es el que está compuesto por el amplificador de cinco etapas. El siguiente paso a realizar será unir a estas dos etapas el mezclador.

5.2 Conexión completa del receptor

A lo largo de este apartado se explicará la unión del mezclador con las dos etapas expuestas anteriormente y se comprobará su funcionamiento tanto a nivel de esquemático como de *layout*.

5.2.1 Receptor *Wake-up* completo

El procedimiento que se va a seguir para explicar el conexionado del receptor es el mismo que se ha seguido hasta ahora, en primer lugar se verán los resultados que se obtienen del diseño a nivel de esquemático, para posteriormente ver el comportamiento a nivel de *layout*.

5.2.1.1 Simulación del Esquemático de *Cadence*

A nivel de esquemático, se conecta la salida del mezclador a la entrada del amplificador, tal y como se puede ver en la Figura 5.15. Este circuito es el receptor de *wake-up* que se pretendía diseñar.

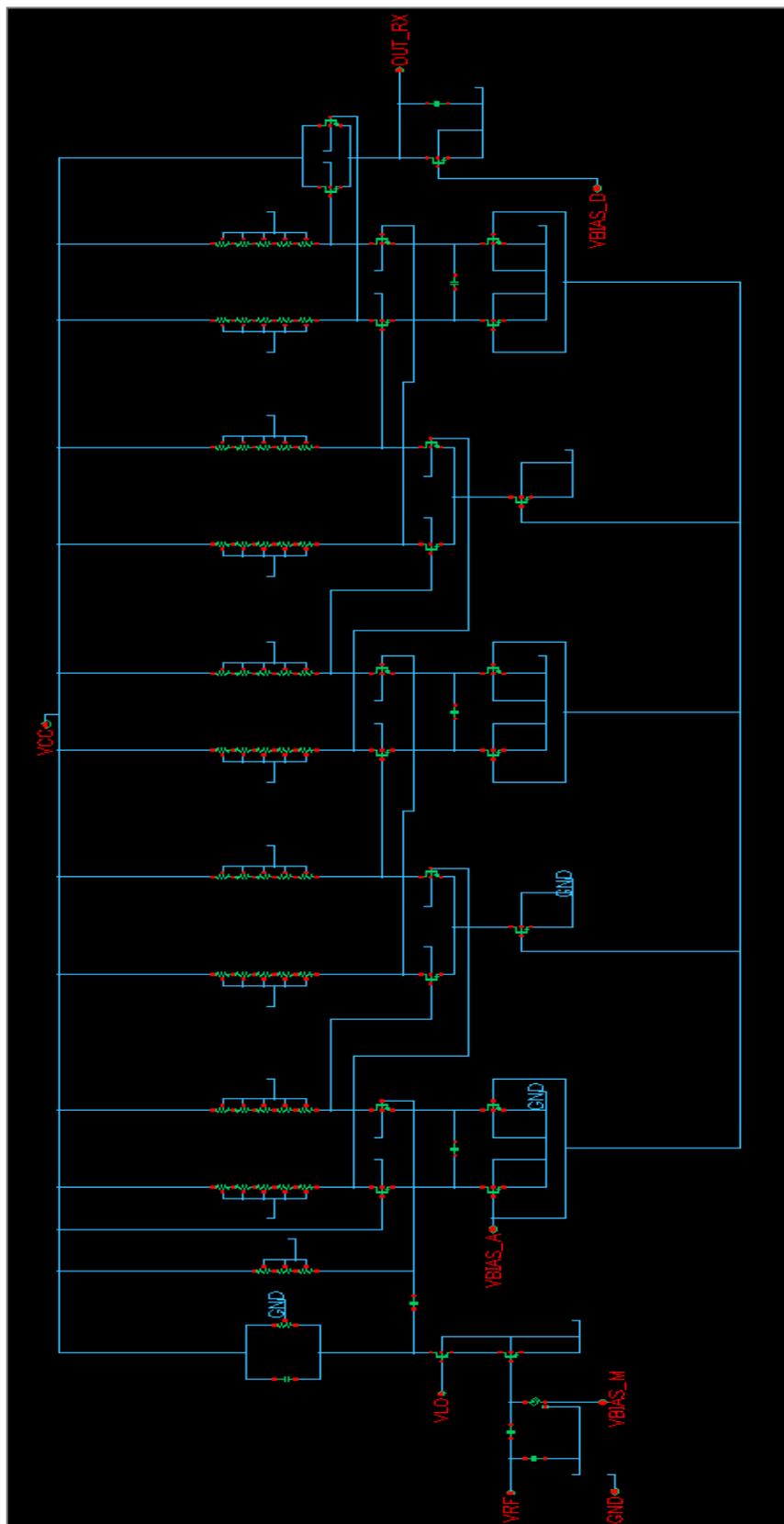


Figura 5.15: Esquemático del receptor Wake-Up en Cadence.

En base al esquemático, se genera el símbolo que se va a utilizar en ADS, como se puede ver este símbolo tiene entradas para cada una de las tensiones de polarización además de las señales de RF y LO. El símbolo se muestra en la Figura 5.16.

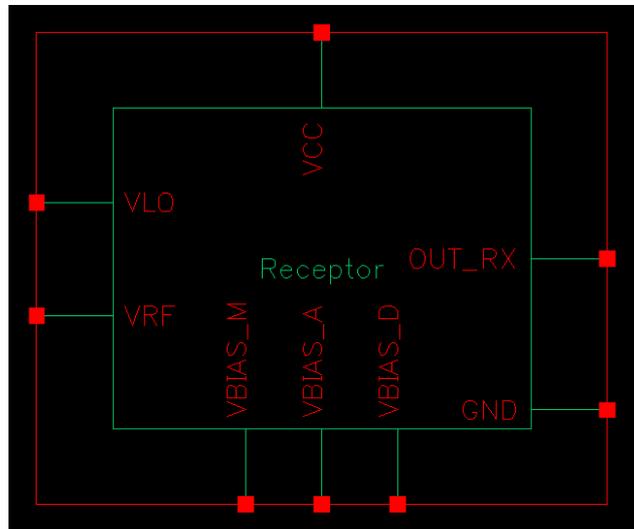


Figura 5.16: Símbolo del receptor *Wake-Up* en Cadence.

Una vez que se tiene el esquemático y el símbolo, se pueden llevar a cabo las simulaciones en ADS. Como se quiere ver la señal de salida del receptor en el dominio del tiempo se realiza una simulación en transitorio. El circuito que va a usar para realizar la simulación es el que se presenta en la Figura 5.17.

Tras la simulación los resultados obtenidos son los que se muestran en la Figura 5.18, según estos resultados se puede ver que a la salida del receptor se obtiene la señal de 125 kHz que se estaba buscando con un nivel de 123,6 μV que permiten activar al AS3933, por lo que a nivel esquemático el circuito diseñado cumple con las especificaciones necesarias para ser usado en el campo requerido. Además, tal y como se muestra en los resultados el circuito completo presenta un consumo de solo 37,9 μA .

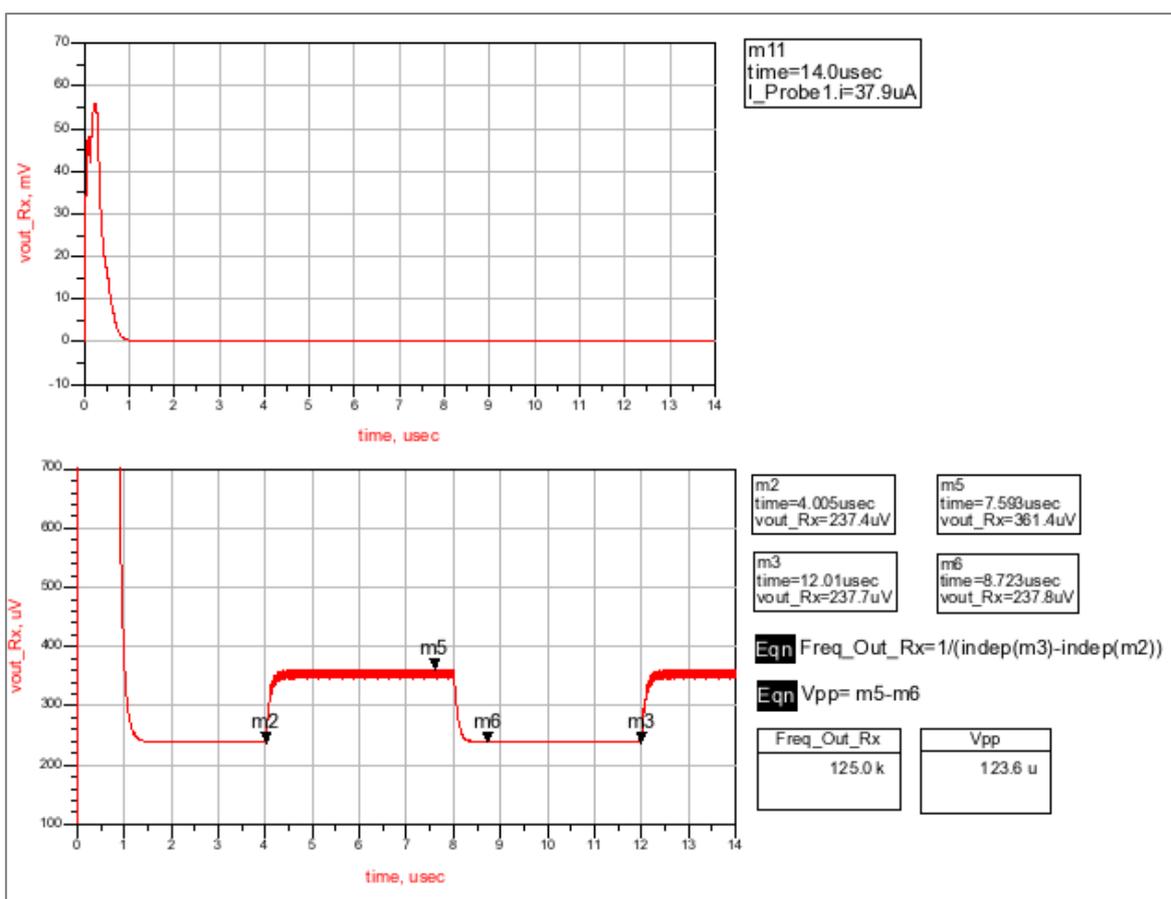


Figura 5.18: Resultados de la simulación del esquemático del receptor *Wake-Up*.

Ahora se comprobará que a nivel de diseño de *layout* el receptor siga cumpliendo sus funciones.

5.2.1.2 Simulación del *Layout* de Cadence

En primer lugar se muestra el *layout* que se ha diseñado, el conjunto del amplificador y el detector de envolvente siguen el diseño que ya se había explicado anteriormente, salvo aquellos cambios que han sido necesarios para poder hacer el conexionando con el mezclador. En la Figura 5.19 se muestra el *layout* completo del receptor.

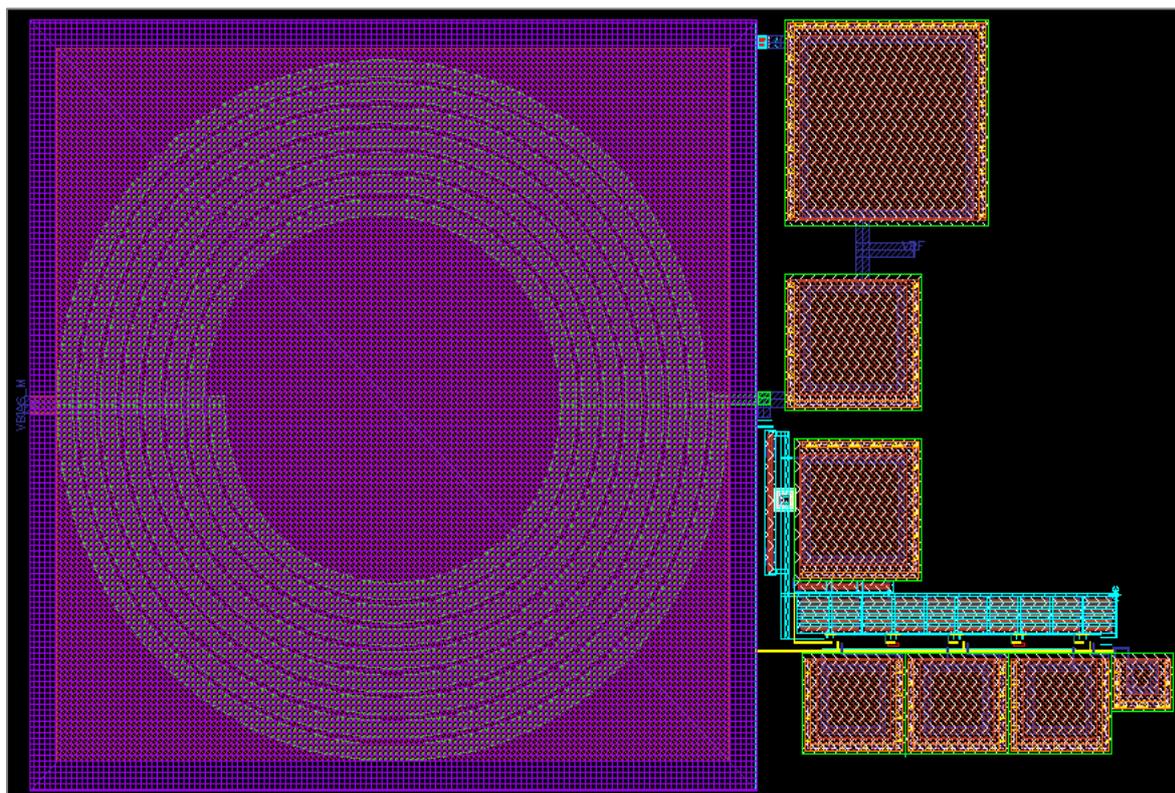


Figura 5.19: *Layout* del receptor *Wake-Up*.

De la misma forma que se hizo con el circuito anterior, se muestran aquellos puntos de mayor interés, en la Figura 5.20 se muestran dónde están las señales de entrada del mezclador.

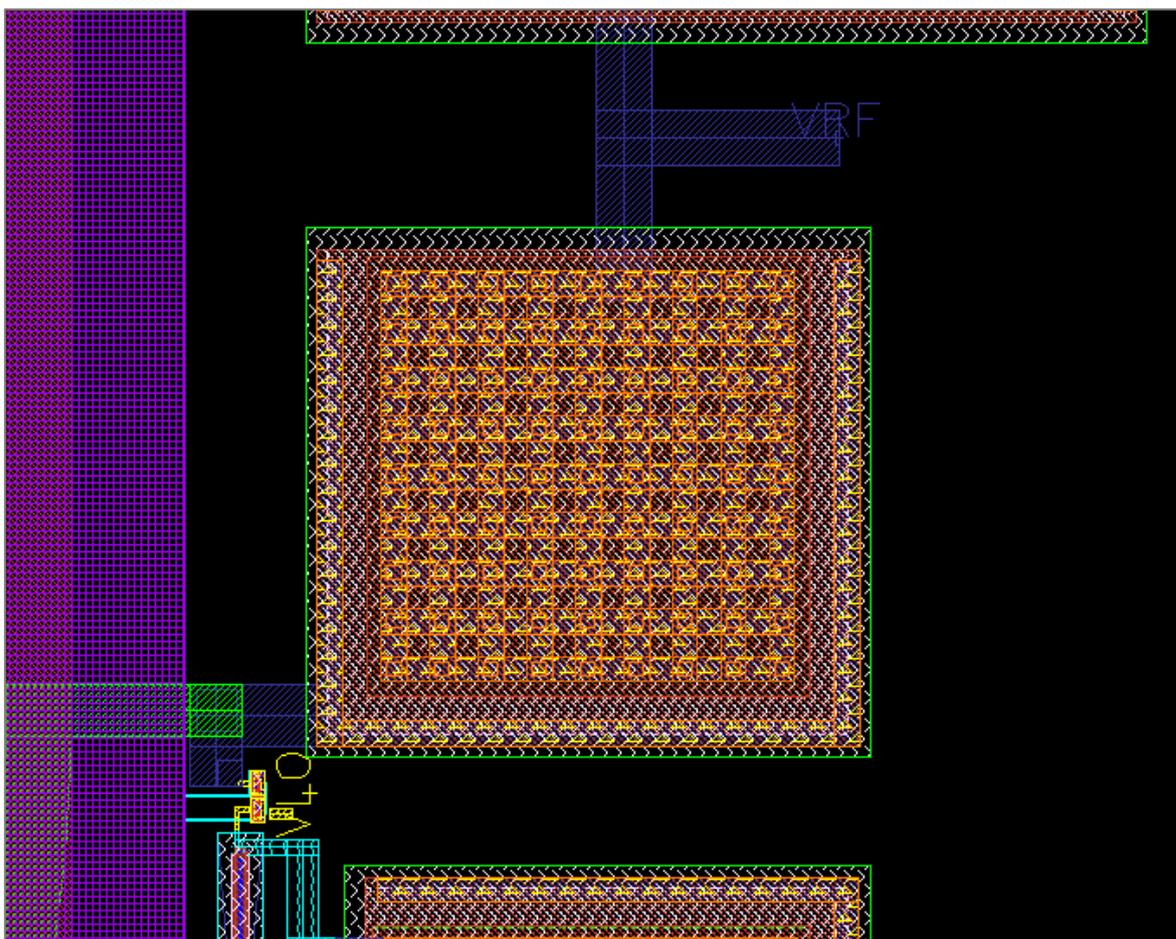


Figura 5.20: Entradas del receptor *Wake-Up*.

Mientras que en la Figura 5.21 se puede ver la señal de salida del receptor, esta señal será la que reciba el AS3933 y donde se encuentre la información que identifica al nodo.

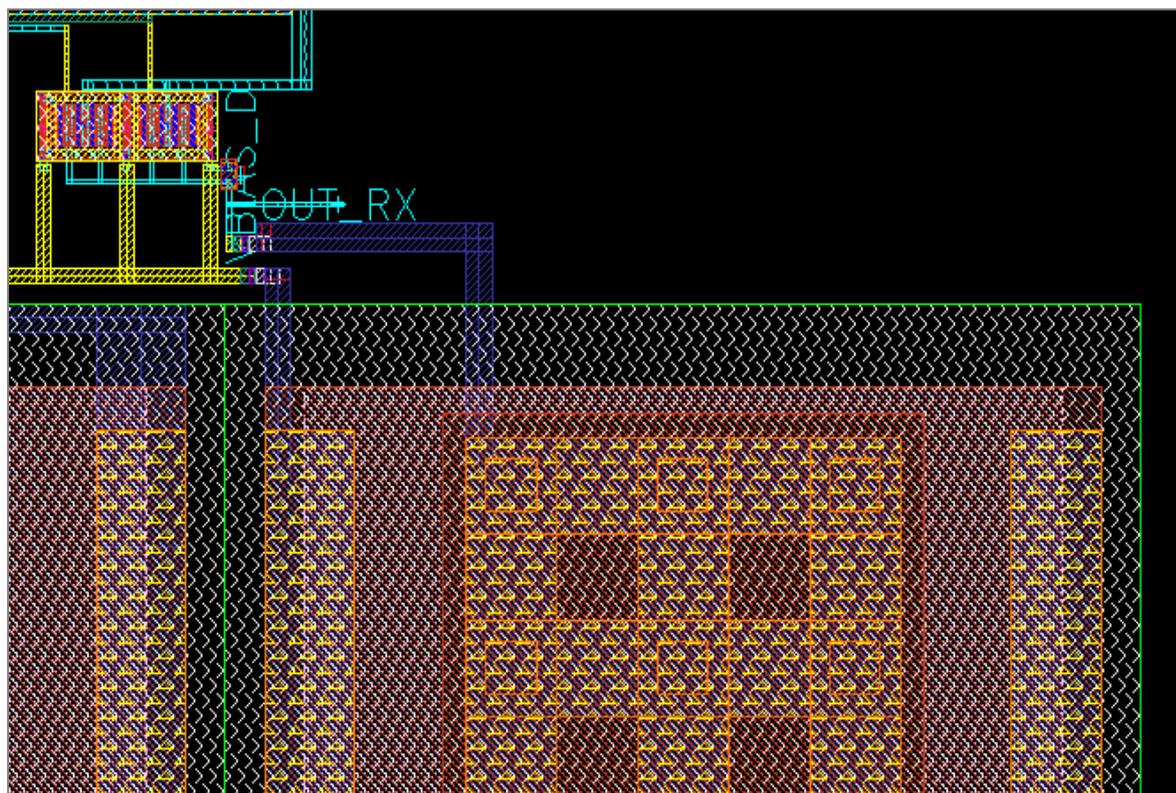


Figura 5.21: Salida del receptor *Wake-Up*.

Como ya ha sucedido en casos anteriores, el circuito a utilizar en ADS es el mismo de la Figura 5.17, teniendo en cuenta que el símbolo en este caso es el símbolo resultante de la extracción de los parámetros parásitos, es por ello que no se repite el circuito a utilizar. Los resultados de la simulación se muestran en la Figura 5.22.

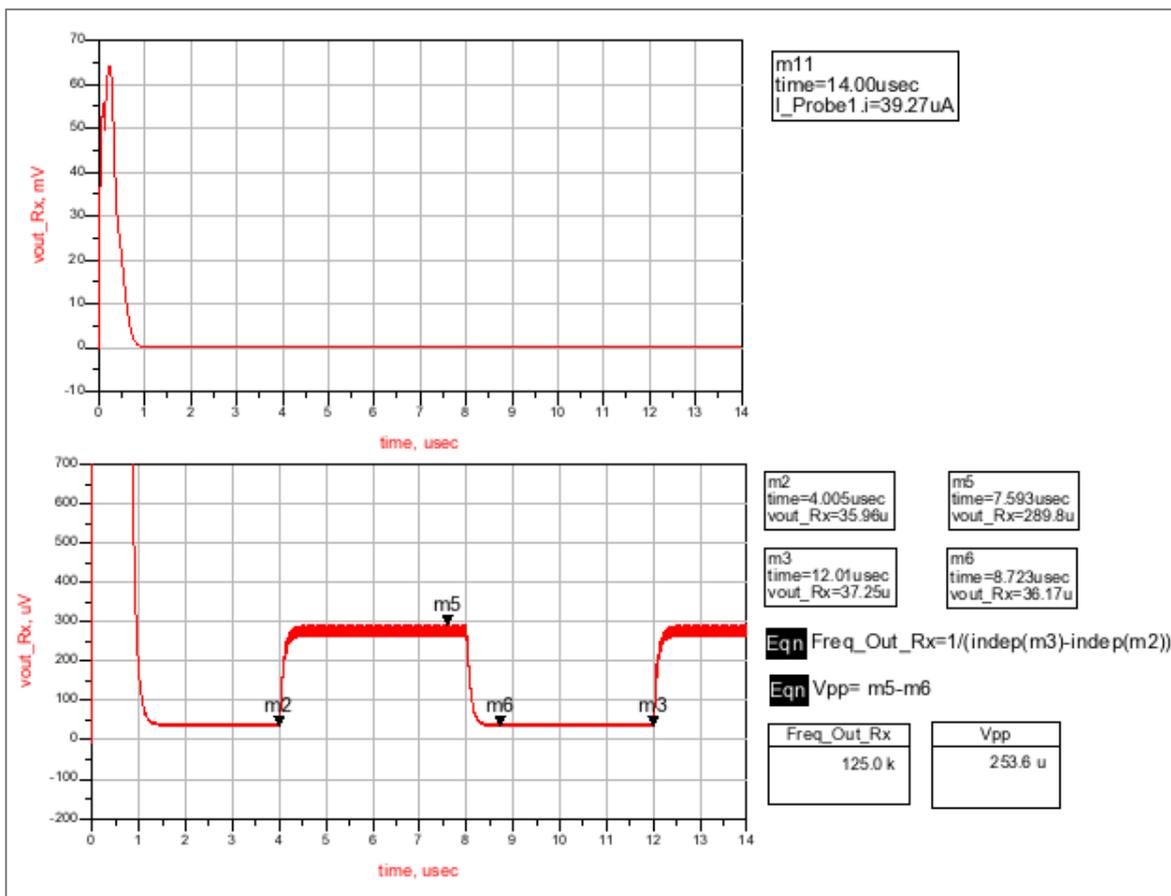


Figura 5.22: Resultados de la simulación del extraído del receptor *Wake-Up*.

Observando los resultados es posible ver como el diseño sigue cumpliendo las especificaciones necesarias para usarlo como receptor de *wake-up*. Prestando atención a estos datos se observa como a la salida se mantiene la señal de 125 kHz con un nivel de 253 μV . En cuanto al consumo, se aprecia cómo se mantiene muy próximo al obtenido para el caso del esquemático, siendo dicho consumo de 39,27 μA .

Con estos resultados se da por finalizado el diseño del receptor como tal, pero el diseño no está aún del todo acabado. Como se pretende realizar medidas sobre el diseño haciendo uso de una estación de puntas es necesario introducir los *pads* de medida, este proceso se explicará a continuación.

5.2.2 Receptor de Wake-up con Pads de Medida

Para poder llevar a cabo las medidas sobre el circuito es necesario introducir puntos de medida, también denominados *pads*. Según el número de señales y de tensiones que presenta el diseño y las puntas de las que se dispone en el laboratorio se ha decidido hacer uso de tres conjuntos de *pads*, el primero formado por tres *pads* en configuración señal, *GND*, señal, el segundo conjunto también formado por tres *pads* con una configuración *GND*, señal, *GND* y por ultimo un conjunto de cinco *pads* donde se conectaran todas las tensiones. En la Figura 5.23 se puede ver la configuración de *pads* utilizada.

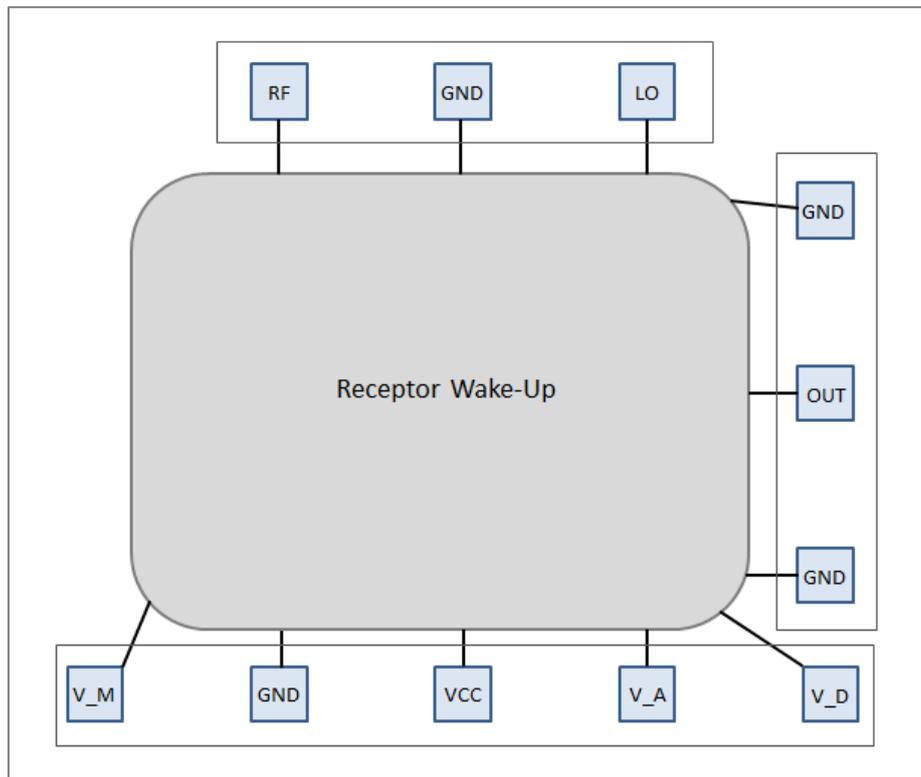


Figura 5.23: Receptor Wake-Up y pads de medida.

Se pasa ahora a realizar las distintas simulaciones ya con los *pads* en el diseño.

5.2.2.1 Simulación del Esquemático de *Cadence*

El esquemático es prácticamente el mismo que el mostrado en la Figura 5.15, salvo por el hecho de que se han añadido los *pads*, es necesarios añadirlos al esquemático pues de no hacerlo la daría errores durante la comprobación LVS. En la Figura 5.24 se muestra el esquemático en cuestión.

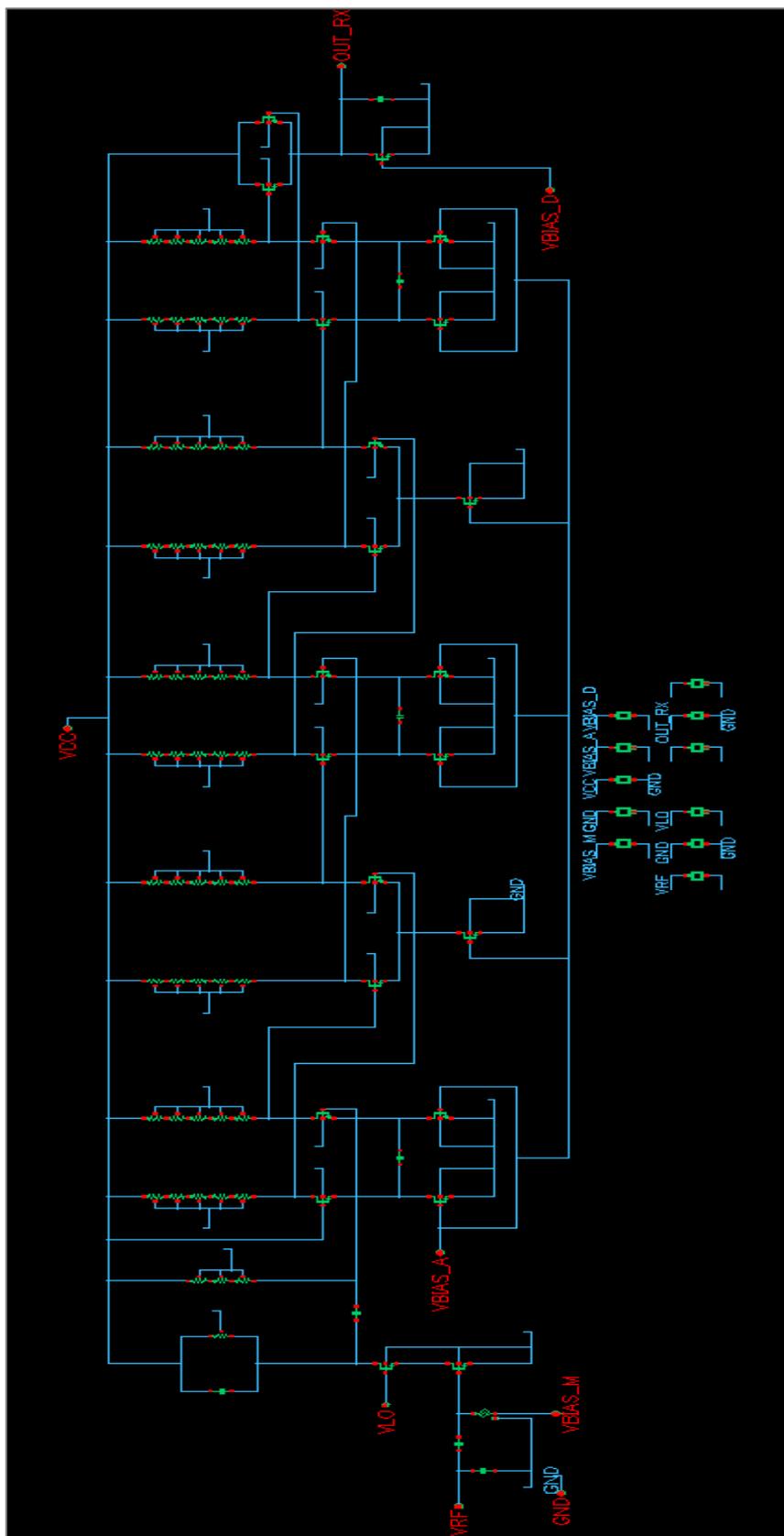


Figura 5.24: Esquemático del receptor final.

Con este esquemático se genera el símbolo para las simulaciones en ADS, este símbolo se muestra en la Figura 5.25.

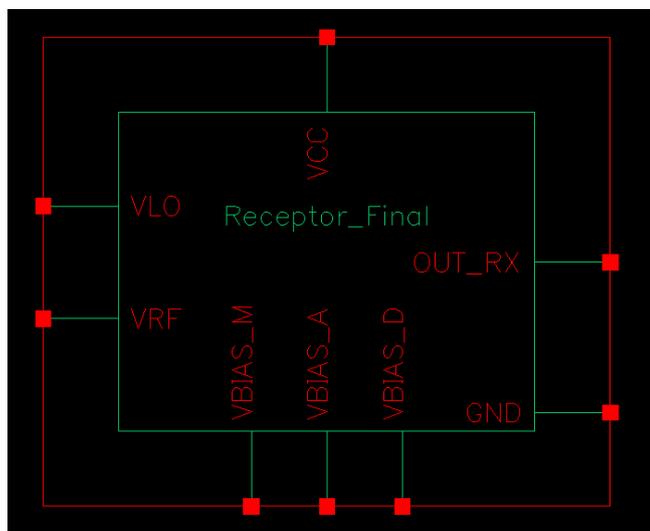


Figura 5.25: Símbolo del receptor final.

Este símbolo se lleva a ADS y se realiza la simulación transitoria pertinente, en principio a nivel de esquemático la simulación no debería sufrir modificación con respecto al esquemático del receptor sin los *pads*, ya que para esta simulación no se tienen en cuenta los elementos parásitos. El circuito utilizado para la simulación se presenta en la Figura 5.26.

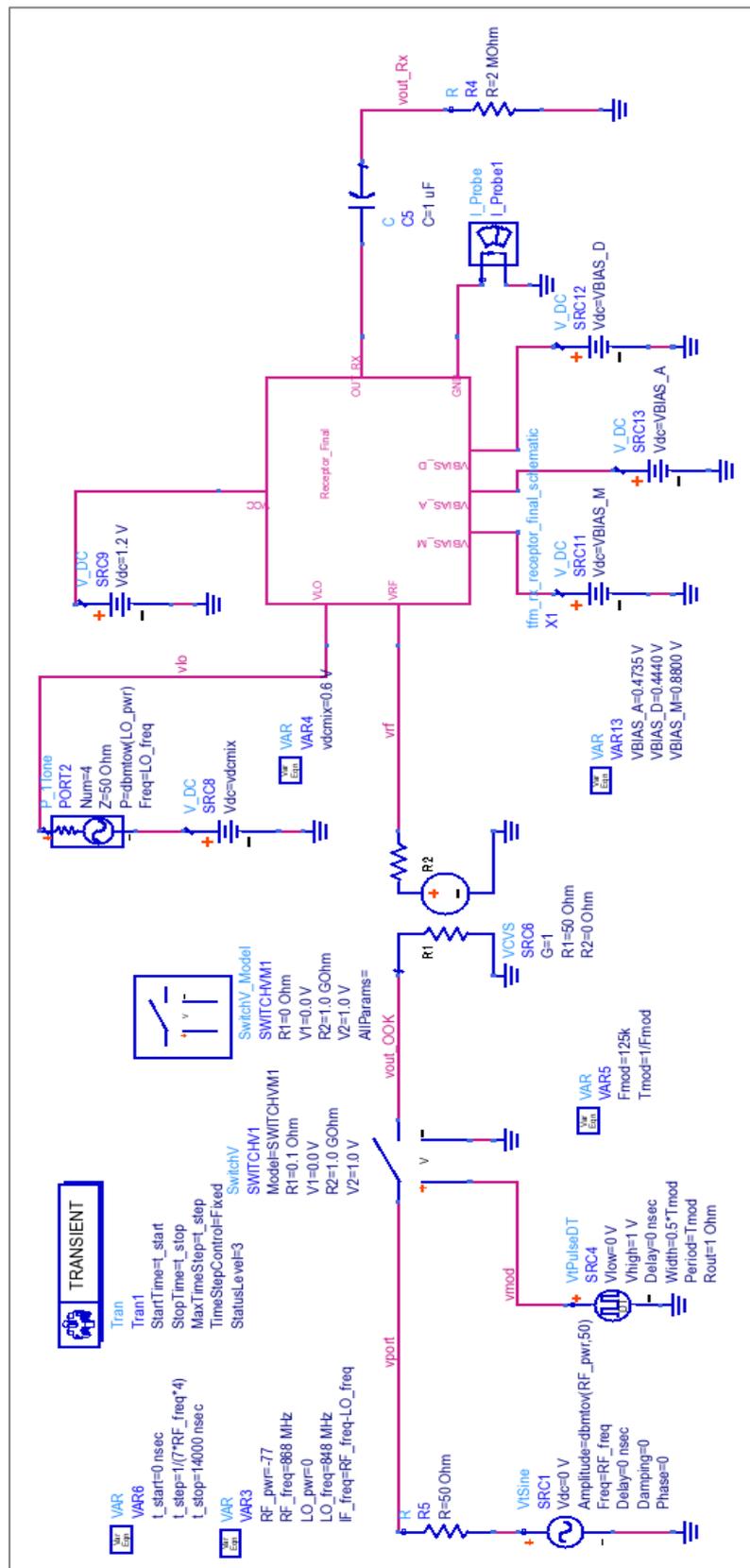


Figura 5.26: Instanciación del receptor final de Cadence en ADS.

Una vez se tiene el circuito de ADS hecho se procede a realizar la simulación, los resultados de esta simulación se presentan en la Figura 5.27.

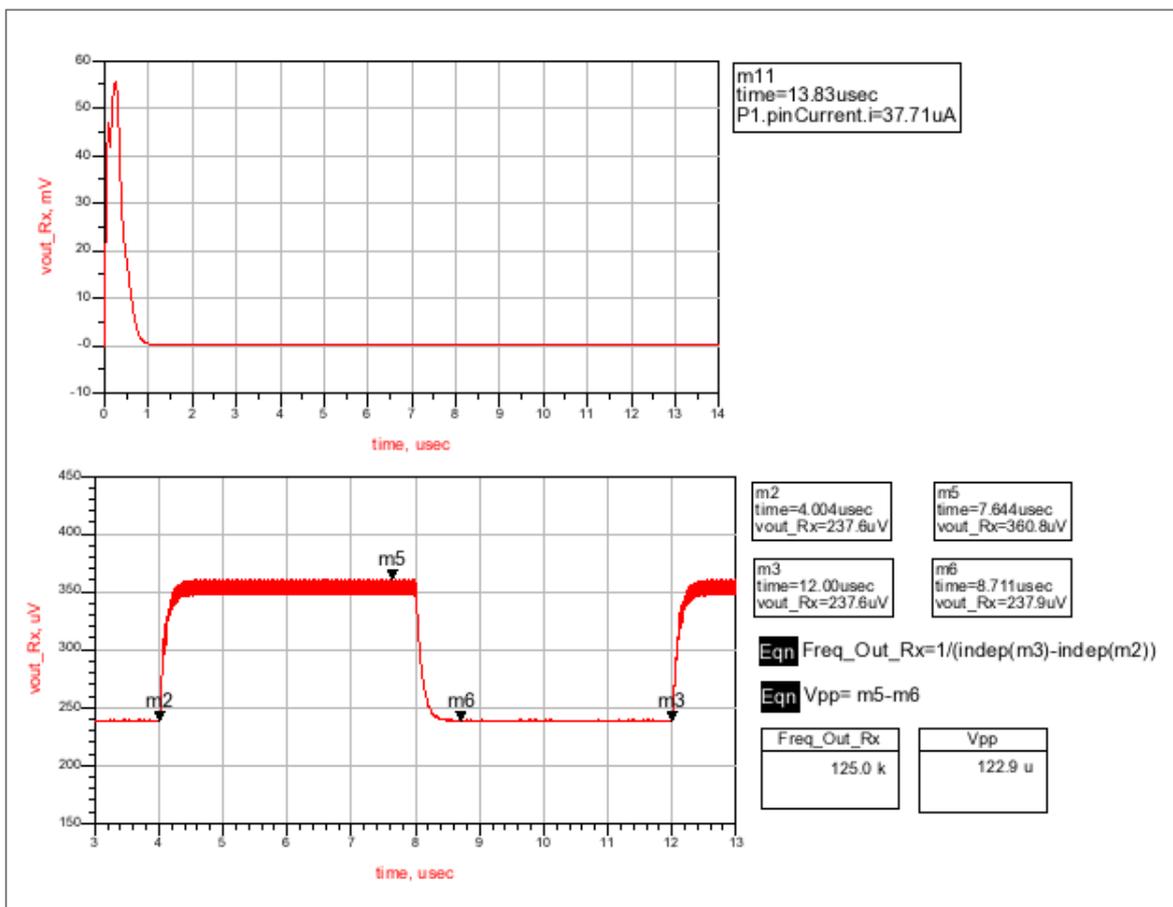


Figura 5.27: Resultados de la simulación del esquemático del receptor final.

Como se puede apreciar en la figura y tal como era de esperar, los resultados son prácticamente los mismo a los que se obtenía en el caso del receptor sin los *pads*, en este caso se tiene a la salida una señal de $122,9 \mu\text{V}$ de pico, suficiente para el que correlador se active y el consumo se mantiene entorno a los $37,7 \mu\text{A}$.

Tras esta simulación se pasa ahora a ver cómo afecta a la simulación del *layout* la inclusión de los *pads* de medida.

5.2.2.2 Simulación del *Layout* de Cadence

Se procede ahora a realizar la simulación del extraído obtenido a partir del *layout*, en este caso los *pads* de medida y las pistas necesarias para su conexionado tendrán efecto sobre la salida del receptor. A parte de los *pads* en este último *layout* se han incluido contactos a sustrato en toda la superficie vacía del dado, ya que como se explicó en el apartado de introducción al *layout* el sustrato se ha de conectar al potencial más negativo, además estos contactos a sustrato ayudan a que si existe alguna corriente de fuga esta vaya a tierra. En la Figura 5.28 se muestra el diseño final.

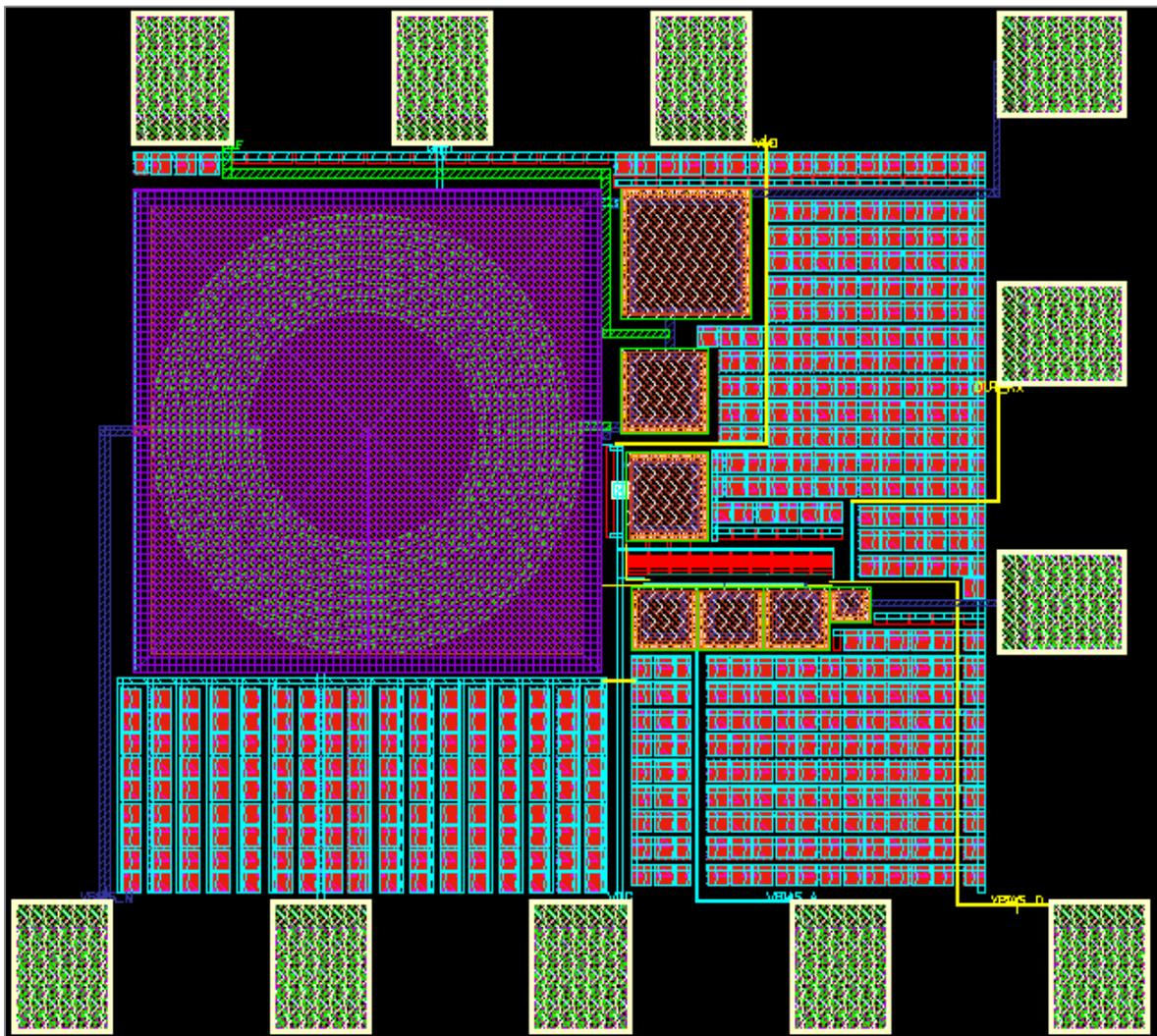


Figura 5.28: *Layout* del receptor final.

Las señales de entrada y salida y las tensiones de polarización se han llevado a cada uno de los *pads*, de esta forma haciendo uso de la estación de puntas una vez que este el circuito fabricado se podrán realizar las medidas necesarias para comprobar el comportamiento real del receptor diseñado.

El circuito utilizado en ADS para realizar la simulación es el mismo utilizado en la Figura 5.26, con la variación únicamente del nivel de la señal de entrada de RF que en el caso del esquemático se tenía una entrada de -77 dBm y para el caso del *layout* se hace uso de una entrada de -78 dBm. Este nivel será la sensibilidad del receptor y esta mejora es debida al efecto de las capacidades parásitas que introducen los *pads* de medida. En la Figura 5.29 se muestran los resultados de esta última simulación.

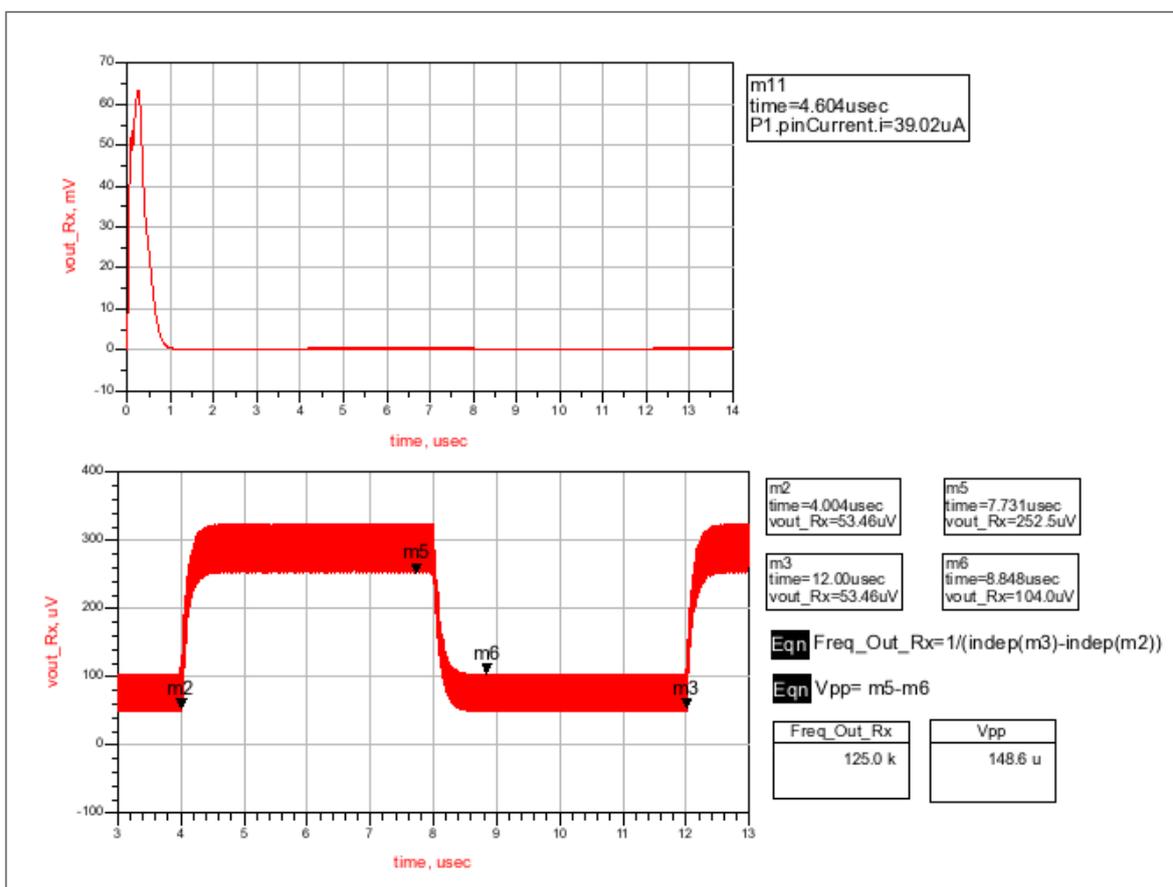


Figura 5.29: Resultados de la simulación del extraído del receptor final.

De esta última simulación se obtienen los resultados finales del receptor, donde se puede ver que a la salida del receptor se recibe la señal de 125 kHz que se estaba buscando con un nivel suficientemente alto como para activar al AS3933, este nivel es de 148,6 μV , muy por encima de los 113 μV que necesita el AS3933 para activarse. Según estos resultados el consumo final que presenta el receptor es de 39 μA con una sensibilidad de -78 dBm tal y como se comentó anteriormente.

El tamaño del dado a fabricar es de 567 μm de largo y 656 μm de ancho, con estas medidas se obtiene un área total de 0,37 mm^2 , es importante conocer el área a fabricar pues es un parámetro que va a influir en el coste final.

Con esta simulación se dan por finalizado el diseño del receptor de *wake-up* planteado como Trabajo Fin de Máster.

5.3 Resumen

Tras todas las simulaciones realizadas, tanto a cada una de las etapas de forma independiente, como ya una vez conectadas formando el *WuR*, se puede concluir que el receptor se comporta cumpliendo las especificaciones necesarias para ser usado en redes de sensores inalámbricas a nivel de simulación. El siguiente paso será proceder a su fabricación y comprobar mediante una estación de punta su comportamiento real.

A continuación en la Tabla 5.1 se presentan los datos más importantes logrados tras las simulaciones realizadas.

Tabla 5.1: Resultados del receptor

| Receptor <i>Wake-Up</i> | |
|-----------------------------------|--------------|
| Consumo en corriente del receptor | 39 μ A |
| Tensión de Alimentación | 1,2 V |
| Consumo del receptor | 46,8 μ W |
| Sensibilidad | -78 dBm |

Con esta última tabla se da por finalizada la etapa de diseño del receptor *wake-up*.

Capítulo 6

Conclusiones

Una vez se ha realizado el diseño del *layout* y simulación de cada una de las etapas que conforman el receptor *wake-up* y la posterior unión de todas ellas para conformar el *WuR* completo y comprobar el correcto funcionamiento del diseño, se procede a exponer las principales conclusiones extraídas de la realización de este Trabajo Final de Máster.

6.1 Conclusiones

El objetivo principal de este Trabajo Final de Máster ha sido diseñar un receptor *wake-up* para redes de sensores inalámbricas que sea capaz de despertar a un nodo sensor cuando este recibe una señal portadora de 868 MHz modulada mediante una señal de 125 kHz y una codificación correspondiente a la dirección del nodo que se desea despertar.

Para lograr la reducción del consumo necesaria para este tipo de receptores se ha hecho uso de la arquitectura *Uncertain-IF* y transistores CMOS HVT de 65 μm de la empresa UMC.

La arquitectura en cuestión está compuesta por una red de adaptación, un mezclador encargado de realizar una primera bajada de la frecuencia de la señal de RF de 868 MHz a una frecuencia de IF que va desde los 4,3 MHz hasta los 67,3 MHz. La señal de IF resultante, tras pasar por una etapa amplificadora llega a un detector de envolvente donde se obtiene la portadora de 125 kHz necesaria para despertar al AS3933.

Se han realizado todas las simulaciones necesarias del *layout* diseñado para garantizar el correcto funcionamiento del receptor.

A continuación, en la Tabla 6.1 se presenta un resumen con los datos obtenidos durante todo el proceso de diseño y simulaciones de cada una de las etapas de manera independiente, así como el resultado final logrado para el receptor de *wake-up* diseñado.

Tabla 6.1: Resumen del diseño realizado

| Mezclador | |
|------------------------|---------------------|
| Ganancia de Conversión | 21,71 dB |
| Consumo de Corriente | 14,11 μA |
| Consumo en Potencia | 16,93 μW |

| Amplificador | |
|----------------------|--------------------|
| Ganancia | 37,58 dB |
| Consumo de Corriente | 17 μA |
| Consumo en Potencia | 20,4 μW |
| Ancho de Banda | 63 MHz |

| Detector de Envoltante | |
|------------------------|----------|
| Consumo de Corriente | 90,5 nA |
| Consumo en Potencia | 108,6 nW |

| Receptor | |
|----------------------|--------------|
| Consumo del Receptor | 46,8 μ W |
| Sensibilidad | -78 dBm |

Con todos los datos obtenidos se va a proceder a realizar una comparativa entre un nodo sensor sin receptor de *wake-up*, un nodo sensor con receptor *wake-up* pasivo y un nodo sensor con el receptor de *wake-up* diseñado durante este TFG. Para llevar a cabo dicha comparativa se parte de los datos obtenidos en un proyecto fin de carrera previo al trabajo actual [25].

Según el proyecto fin de carrera mencionado, la electrónica completa del nodo estaría compuesta por:

- Antena.
- *Switch* ADG918 [26].
- *WuR*.
- Transceptor CC1101 de *Texas Instruments* [27].
- AS3933 de AMS [2].
- Microcontrolador MSP430 de *Texas Instruments* [28].

Los parámetros que se van a comparar serán la distancia máxima entre nodos y el tiempo de vida de la batería. Antes de comenzar con la comparativa se muestran las distintas estructuras a comparar, en primer lugar se presenta un nodo sensor sin receptor

wake-up (Figura 6.1), seguido del nodo con un *WuR* pasivo (Figura 6.2) y para finalizar se muestra la estructura del receptor diseñado en este TFM (Figura 6.3).

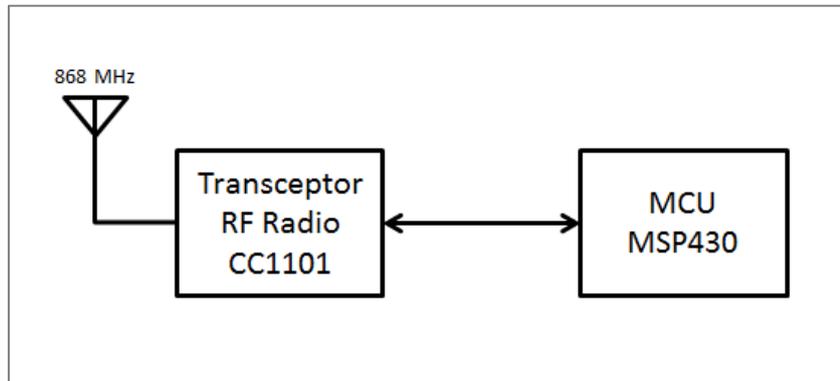


Figura 6.1: Nodo sensor sin receptor *Wake-Up*.

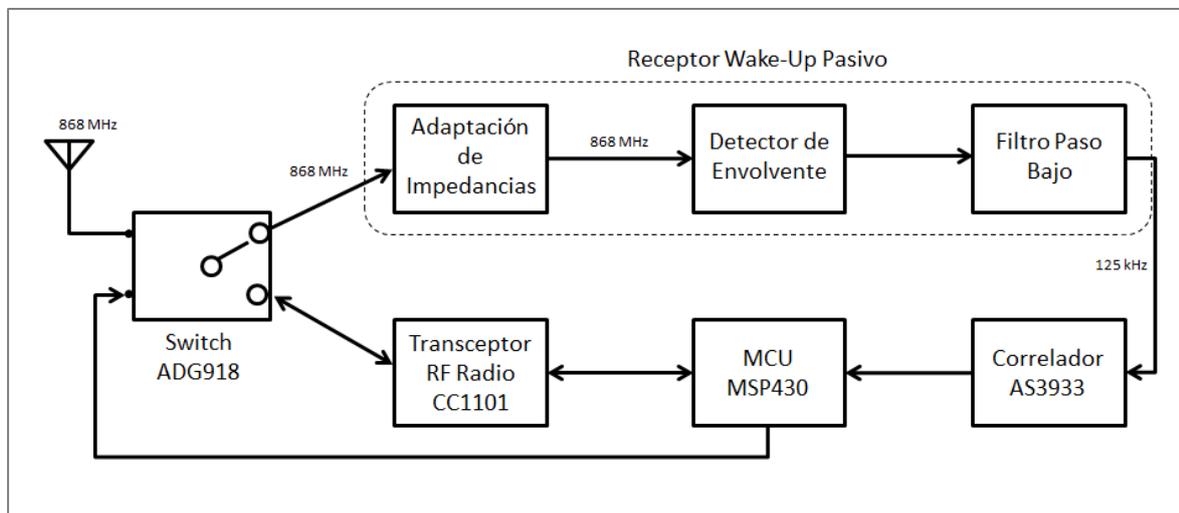


Figura 6.2: Nodo sensor con *WuR* pasivo.

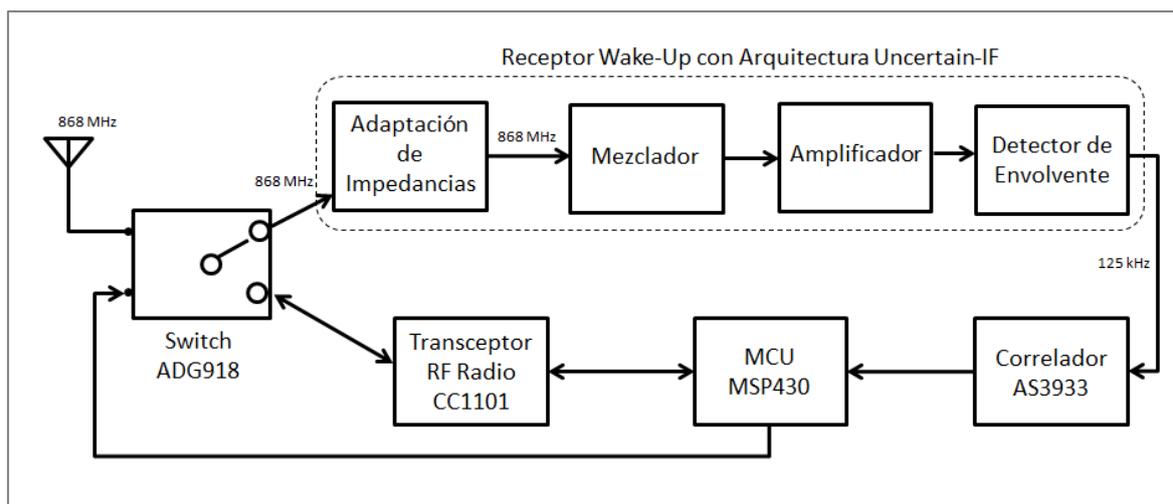


Figura 6.3: Nodo sensor con receptor *Wake-Up Uncertain-IF*.

En primer lugar se lleva a cabo la comparativa de la distancia entre los nodos sensores. En la Tabla 6.2 se presentan los resultados, según los valores de sensibilidad obtenidos para cada uno de los distintos tipos de nodos sensores.

Hay que tener en cuenta que la frecuencia de trabajo es 868 MHz y que la ganancia de las antenas de transmisión y recepción es de 2 dBi. Para realizar el cálculo de la distancia se hace uso de una calculadora on-line la cual permite estimar la distancia en el espacio libre [29]. Mencionar que estos cálculos son ideales, lo correcto sería fabricar cada una de las configuraciones y realizar medidas en varios entornos.

Tabla 6.2: Comparativa de distancia entre nodos sensores

| Nodo Sensor | Sensibilidad | Distancia Máxima entre Nodos |
|-----------------------------|--------------|------------------------------|
| Sin <i>WuR</i> | -112 dBm | 17.354 m |
| Con <i>WuR</i> Pasivo | -40 dBm | 4,36 m |
| Con <i>WuR Uncertain-IF</i> | -78 dBm | 346,3 m |

A continuación se lleva a cabo una comparativa de la duración de la batería de cada uno de los nodos en cuestión. Para ello se ha de tener en cuenta el consumo total de cada una de las partes que componen a los nodos según la configuración que se vaya a utilizar. Todos estos datos se muestran en la Tabla 6.3.

Tabla 6.3: Consumos de cada uno de los nodos sensores

| Nodo Sensor | Consumo del WuR | Consumo Oscilador Local | AS3933 | MSP340 | CC1101 | ADG918 | Total |
|----------------------|-----------------|-------------------------|-------------|-------------|--------|-----------|---------------|
| Sin WuR | N/A* | N/A* | N/A* | 340 μ A | 15 mA | N/A* | 15,34 mA |
| Con WuR Pasivo | 0 μ A | N/A* | 1,7 μ A | 0,1 μ A | 200 nA | 1 μ A | 3 μ A |
| Con WuR Uncertain-IF | 46,8 μ A | 20 μ A | 1,7 μ A | 0,1 μ A | 200 nA | 1 μ A | 69,60 μ A |

*N/A: No aplica.

La diferencia de consumos que se aprecia tanto en el microcontrolador MSP340 como en el transceptor CC1101 entre los distintos nodos es debida a que en el caso del nodo que no posee receptor *wake-up* tanto el microcontrolador como el transceptor están en todo momento activos. Por el contrario para el caso de los nodos que poseen WuR ese consumo es muy inferior debido a que estos elementos se encuentran en modo inactivo.

El consumo del oscilador local se ha estimado tomando como referencia una publicación que presenta un diseño muy similar al llevado a cabo durante este TFM [30].

Para hallar la duración de las baterías en estado de reposo, se ha decidido que el nodo sensor se alimente con una pila CR2477 de 950 mAh. Suponiendo que se dispone de la carga completa de la pila y que el tiempo máximo de vida de la pila en reposo se expresa como $T_{vidarep}$, este se puede calcular haciendo uso de la Ecuación 6.1.

$$T_{vidarep} = \frac{950 \text{ mAh} \cdot \text{días} \cdot \text{años}}{\text{Consumo} \cdot 24 \text{ horas} \cdot 365 \text{ días}} \quad (\text{Ecuación 6.1})$$

En la Tabla 6.4 se muestran los resultados obtenidos para la vida de la batería de los nodos sensores en estado de reposo para cada una de las configuraciones que se están comparando. Estos cálculos son ideales y no incluyen la transmisión de datos ni la autodescarga de la pila. Los valores de vida de la batería son estimados, la tabla muestra una comparativa orientativa entre las distintas configuraciones.

Tabla 6.4: Vida de la batería para distintos nodos

| Nodo Sensor | Consumo | Vida de la batería |
|-----------------------------|----------|--------------------|
| Sin <i>WuR</i> | 15,34 mA | 2,58 días |
| Con <i>WuR</i> Pasivo | 3 μA | 36 años |
| Con <i>WuR Uncertain-IF</i> | 69,60 μA | 1,6 años |

Observando los resultados obtenidos durante las comparativas realizadas, se puede concluir que es necesario llegar a un compromiso entre el consumo y la sensibilidad de los nodos sensores, ya que estos factores influirán directamente tanto en la durabilidad de la batería como en la distancia máxima entre los nodos sensores.

El *WuR* diseñado durante este TFM presenta una distancia máxima entre nodos de aproximadamente 347 metros con una duración de la batería en estado de reposo superior al año y medio. Si se comparan estos resultados con alguno de los otros dos nodos vistos durante este estudio, se aprecia que los otros dos nodos presentan o bien una deficiencia en cuanto a distancia entre los nodos como es el caso del *WuR* pasivo, o

una duración de la vida útil de los nodos sensores que lo hacen inviable, como puede ser cuando el nodo sensor no tiene un receptor de *wake-up*.

Se puede concluir que los objetivos marcados al inicio de este Trabajo Fin de Máster se han alcanzado, habiéndose diseñado un receptor de *wake-up* de bajo consumo y con una sensibilidad adecuada para redes de sensores inalámbricas.

Mencionar que este TFM forma parte de una línea de investigación de más envergadura llevada a cabo por la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA) de la Universidad de Las Palmas de Gran Canaria (ULPGC) enmarcada dentro del proyecto denominado CERES-BACO (Circuitos Electrónicos para Redes Inalámbricas Sensoriales de Ultra Bajo Consumo) TEC2011-28724-C03-02.

6.2 Líneas futuras

Durante la realización de este proyecto se han visto las siguientes líneas futuras:

- Fabricación y posterior medida del receptor de *wake-up* mediante una estación de puntas.
- Diseño y simulación tanto a nivel de esquemático como a nivel de *layout* del bloque formado por el oscilador sin bucle de enganche, así como toda la electrónica necesaria para el correcto funcionamiento con el receptor de *wake-up*.
- Integración del oscilador en el diseño del receptor *wake-up*.
- Realización del *layout* del receptor con el oscilador, fabricación y verificación del comportamiento real frente a los resultados obtenidos.

Pliego de Condiciones

Condiciones Generales

Los requisitos necesarios para evaluar el correcto funcionamiento del diseño llevado a cabo son los siguientes:

Equipamiento *Hardware*

- Ordenador portátil con procesador *Intel Core i7 2,9 GHz*, 8 Gb de RAM y 500 Gb de disco duro.
- Servidores del Instituto Universitario de Microelectrónica Aplicada.

Equipamiento *Software*

- Sistema Operativo *Windows 8*.
- *Software Advanced Design System* de *Keysight Technologies*.
- *Software Cadence*.
- *Process Design Kit* de la Tecnología CMOS de 65 nm de UMC.

Presupuesto

El presupuesto realizado para este TFM comprende los costes correspondientes al equipamiento y al trabajo que han sido necesarios llevar a cabo para la ejecución del mismo.

Los conceptos que se abordarán en la elaboración de este presupuesto son los siguientes:

- Tarifa de honorarios por tiempo empleado.
- Amortización de recursos materiales.
- Material fungible.
- Edición de la documentación.
- Presupuesto total.

P.1 Tarifa de honorarios por tiempo empleado

En este punto se contabilizan los gastos asociados a mano de obra según salario correspondiente a la hora de un ingeniero. El cálculo de los honorarios se ha estimado tomando como referencia el precio/hora de mercado, que tras consultar diferentes presupuestos de varias compañías se ha estimado en unos 20 €/h.

Esta estimación se ha realizado como consecuencia de una circular del Ministerio de Economía y Hacienda recordando que por una directiva europea los baremos orientativos de honorarios publicados en los Colegios de Ingenieros deben ser eliminados [31].

El tiempo dedicado para la realización de este TFM ha sido de 300 horas durante un periodo de 8 meses, equivalente a 10 horas semanales.

Con todo lo expuesto, en la Tabla P.1 se presenta un resumen con los gastos derivados en ingeniería para este TFM:

Tabla P.1: Tarifa de honorarios por tiempo empleado

| | Horas Laborales | Coste Hora (€) | Coste Total (€) |
|-----------|-----------------|----------------|-----------------|
| Honorario | 300 | 20 | 6.000,00 |
| | | Total (€) | 6.000,00 |

P.2 Amortización de recursos materiales

En este apartado se consideran tanto el *hardware* como el *software* que se ha utilizado en la elaboración de este TFM.

A continuación se presenta un desglose del coste de los recursos *hardware* y *software*.

P2.1 Amortización del material *hardware*

Para llevar a cabo este TFM se ha hecho uso:

- Ordenador portátil *Windows 8 (Intel Core i7 2,9 GHz) 64 bits*.
- Periféricos: ratón e impresora.

Tabla P.2: Costes de recursos *hardware*

| Material | Valor de Adquisición (€) | Valor Residual (€) | Tiempo de Utilización (Meses) | Amortización (€) |
|--------------------|--------------------------|--------------------|-------------------------------|------------------|
| Ordenador Portátil | 580 | 0 | 4 | 580,00 |
| | | | TOTAL (€) | 580,00 |

P2.2 Amortización del material *software*

Las herramientas *software* utilizadas durante la realización de este Trabajo Fin de Grado son:

- Sistema Operativo *Windows 8*.
- *Microsoft Office 2010*.
- *Advanced Design System*.
- *Cadence*.

Tabla P.3: Costes de recursos *software*

| Material | Tipo de Licencia | Coste (€) |
|-------------------------------|---------------------|-----------|
| <i>Cadence</i> | Universitaria | 1.500,00 |
| <i>Advanced Design System</i> | Universitaria | 3.200,00 |
| <i>Microsoft Office 2010</i> | Hogar y Estudiantes | 120,00 |
| <i>Windows 8</i> | Universitaria | 59,99 |
| | TOTAL (€) | 4.879,99 |

A continuación se muestran en la Tabla P.4 el coste total asociado a la amortización de los recursos materiales.

Tabla P.4: Coste total de los recursos materiales

| Descripción | Coste (€) |
|--------------------------|-----------------|
| Recursos <i>Hardware</i> | 580,00 |
| Recursos <i>Software</i> | 4.879,99 |
| TOTAL (€) | 5.459,99 |

P.3 Costes de Fabricación

En este punto se incluyen los costes derivados de la fabricación [32]. Como ya se había visto el tamaño del circuito es de 0,37 mm². En la Tabla P.5 se muestran estos costes en detalle

Tabla P.5: Coste de fabricación

| Descripción | Área (µm ²) | Precio por chip de 1875 µm x 1875 µm (€) | Coste de Fabricación (€) |
|-------------------------|-------------------------|--|--------------------------|
| Receptor <i>Wake-Up</i> | 371.952 | 10.630 | 1.125,00 |
| | | TOTAL (€) | 1.125,00 |

P.4 Material fungible

Este apartado abarca los costes relacionados con consumibles derivados del desarrollo del Trabajo Fin de Grado, tales como: impresiones de documentación, dispositivos de almacenamiento, CDs, etc.

El gasto en material fungible se estima en unos **100 €**.

P.5 Costes de edición

Los costes de edición asociados a este TFM incluyen folios, impresión y encuadernación de la memoria de este trabajo.

El coste total de edición del TFM asciende a **200 €**.

P.6 Presupuesto total

El coste total de este Trabajo Fin de Máster, desglosado en cada uno de los ítems anteriores, se resume en la Tabla P.5:

Tabla P.5: Coste total

| Descripción | Coste (€) |
|--|-----------|
| Tarifa de honorarios por tiempo empleado | 6.000,00 |
| Amortización de recursos materiales | 5.459,99 |
| Costes de Fabricación | 1.125,00 |
| Material fungible | 100,00 |
| Costes de edición | 200,00 |
| Presupuesto antes de impuestos | 12.884,99 |
| Presupuesto total (7% IGIC) | 13.786,94 |

Presupuesto

D. Emilio Torres Armas declara que el Trabajo Fin de Máster, “DISEÑO DE UN RECEPTOR DE WAKE-UP PARA WSN BASADO EN LA ARQUITECTURA UNCERTAIN-IF”, asciende a un total de: **13.786,94 €**.

Las Palmas de Gran Canaria, a 29 de Julio de 2016.

Fdo.: Emilio Torres Armas

Bibliografía

[1] Grupo de Investigación EDMANS, “Redes inalámbricas de sensores: teoría y aplicación práctica” Universidad de La Rioja, 2009.

[2] Web oficial de AMS, [Consulta en línea] Disponible en <<http://ams.com/eng/Wake-up-receiver/AS3933>>

[3] Emilio Torres Armas, “Diseño de un receptor de *Wake-up* para redes de sensores inalámbricas mediante el uso de un mezclador de bajada”, Trabajo Fin de Grado EITE, Universidad de Las Palmas de Gran Canaria, 2015.

[4] Website oficial *Cadence*, [Consulta en línea] Disponible en <<http://www.Cadence.com>>.

[5] Web oficial de UMC, [Consulta en línea] Disponible en <www.umc.com>.

[6] Web oficial de Keysight Technologies, [Consulta en línea] Disponible en <www.keysight.com>.

[7] D. Ramos-Valido, H. García-Vázquez, Sunil L. Khemchandani, J. del Pino, C. Luján-Martínez, Guillermo Bistué, “A high sensitivity and low power envelope detector for wireless sensor nodes”, XXIX Design of Circuits and Integrated Systems Conference (DCIS), 2014.

[8] Costin Marian Soava, Trabajo Fin de Carrera: “Diseño e implementación de un circuito de low-power *wake-up* radio para redes de sensores inalámbricos”, Universidad Politécnica de Cataluña, Enero 2013.

[9] Fikre Tsigabu Gebreyohannes “Design of Ultra-Low Power *Wake-Up* Receiver in 130nm CMOS Technology”.

[10] N. Pletcher, J. M. Rabaey, “Ultra-Low Power *Wake-Up* Receivers for Wireless Sensor Networks”, Ph.D. Dissertation, University of California, Berkeley, 2008.

[11] X. Yu, Jeong-Seon Lee, C. Shu and Sang-Gug Lee, “A 53mW Super-Regenerative Receiver for 2.4GHz *Wake-up* Application”, in IEEE Asia-Pacific Microwave Conference, 2008.

[12] B. Razavi, RF Microelectronics, 2^a ed. Prentice Hall, 2011.

[13] W. Huang, S. Rampu, X. Wang, G. Dolmans and H. d. Groot, “A 2.4GHz/915MHz 51 microWatt *Wake-Up* Receiver with Offset and Noise Suppression”, in IEEE International Solid State Circuits Conference, 2010, San Francisco, CA.

[14] N. M. Pletcher, S. Gambini and J. Rabaey, “A 2GHz 52 microWatt *wake-up* receiver with -72dBm sensitivity using *Uncertain-IF* architecture”, in IEEE Journal of Solid State Circuits Conference, February 2008, San Francisco, CA.

[15] Li, Richard C. H., *RF Circuit Design*, Second Edition, John Wiley & Sons, Inc., 2012. ISBN: 978-1-118-30990-2.

[16] F. Javier del Pino, Apuntes de la asignatura: “Electrónica de Comunicaciones”, Universidad de Las Palmas de Gran Canaria, 2014.

[17] Agilent EESof EDA Advanced Design System, “Circuit Design Cookbook 2.0”, Agilent Technologies.

[18] Agilent Technologies, “Advanced Design System 2008 – Advanced Design System Quick Start”.

[19] Agilent Technologies, “Advanced Design System 1.5”, [Consulta en línea] Disponible en <<http://cp.literature.agilent.com/litweb/pdf/ads15/manuals.htm>>

[20] Agilent Technologies, “Getting Started with *RFIC Dynamic Link*”, [Consulta en línea] Disponible en <http://cp.literature.agilent.com/litweb/pdf/ads2008/dynInkug/ads2008/Getting_Started_with_RFIC_Dynamic_Link.html>

[21] Website oficial *Cadence*, [Consulta en línea] Disponible en <<http://www.Cadence.com/products/mfg/apv/pages/default.aspx>>.

[22] UMC, “Foundry Design Kit (FDK) User Guide”.

[23] Gerb Ulrich Gamm, Mathias Sippel, Milos Kostic and Leonhard M. Reindl, “Low Power *Wake-up* Receiver for Wireless Sensor Nodes”, [Consulta en línea] Disponible en <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=5706778&ta=1>

[24] Cristina Núñez Domínguez, Proyecto Fin de Carrera: “Diseño de un amplificador operacional en 65nm CMOS para aplicaciones de bajo voltaje y alta velocidad”, Universidad Carlos III de Madrid, 2011.

[25] Anderson Manuel Rocha, Proyecto Fin de Carrera: “Diseño de un circuito *wake-up* para redes de sensores inalámbricas”, Universidad de Las Palmas de Gran Canaria, 2013.

[26] Web Analog Devices, [Consulta en línea] Disponible en <http://www.analog.com/media/en/technical-documentation/data-sheets/ADG918_919.pdf>

[27] Web oficial de Texas Instruments, [Consulta en línea] Disponible en <<http://www.ti.com/product/cc1101>>

[28] Web oficial de Texas Instruments, [Consulta en línea] Disponible en <<http://www.ti.com/ww/en/launchpad/launchpads-msp430.html>>

[29] Iulian Rosu, YO3DAX/VA3IUL, [Consulta en línea] Disponible en <<http://www.qsl.net/pa2ohh/jsffield.htm>>

[30] Nathan M. Pletcher, Simone Gambini and Jan Rabaey, "A 52 μ W *Wake-Up* Receiver with 72 dBm Sensitivity Using an *Uncertain-IF* Architecture", in IEEE International Solid State Circuits Conference, 2009.

[31] Colegio Oficial de Graduados e Ingenieros Técnicos de Telecomunicación de Canarias [Consulta en línea] Disponible en <<http://coitt.es/res/libredocs/Honorarios.pdf>>

[32] Web oficial de Europractice, [Consulta en línea] Disponible en <http://www.europractice-ic.com/general_runschedule_minisic.php>

Anexos

A 46.8 μW wake-up receiver for WSN with -78 dBm sensitivity using uncertain-IF architecture

Emilio Torres Armas, Dailos Ramos-Valido, Sunil L. Khemchandani and J. del Pino.
Institute for Applied Microelectronics (IUMA), Departamento de Ingeniería Electrónica y Automática
Universidad de Las Palmas de Gran Canaria
Las Palmas de Gran Canaria, Spain

Abstract—This paper presents an 868 MHz wake-up radio using uncertain-IF architecture for wireless sensor network. It is designed to receive data modulated with on-off-keying in UMC 65nm CMOS technology and employs uncertain-IF architecture to reduce the oscillator design constraints and reduce power consumption. The wake-up radio consists of a single-ended dual-gate mixer, a five stage IF-amplifier and a differential envelope detector biased in weak inversion. The wake-up radio has been designed with a trade-off between sensitivity and power consumption. The obtained sensitivity and power consumption is -78 dBm and 46.8 μW , respectively, with 1.2 V power supply.

Keywords—*component: uncertain-IF, IF amplifier, wake-up, low power, envelope detector.*

I. INTRODUCTION

Gradually, things around us have sensors that communicate with each other. In this context, Wireless Sensor Networks (WSN) play a major role in the advent of the so called Internet of Things (IoT) with applications in fields such as smart buildings, medicine and health care, precision agriculture, industrial process control, military, disaster relief operations, intelligent buildings or bridges. Typically, WSNs are composed of a large number of minimal capacity sensing, computing, and communicating devices and various types of actuators operating in a complex and noisy real-time environment. Their hardware should be power-efficient, small, inexpensive, and reliable to maximize node lifetime, add flexibility, facilitate data collection and minimize the need for maintenance. Lifetime is particularly critical for most applications, and its key limiting factor is the energy consumption of the nodes. This paper deals with this issue and focuses on extending the node battery life thanks to the use of low-power wake-up radios.

In WSNs, periodic wake-up is a convenient mean to avoid idle listening to the channel and to prolong the node lifetime. In this paper we propose going one-step further adding a wake-up receiver to the node. The node will have two radios, one main radio which transfers raw-data from sensors to the WSN, and a wake-up radio which is an ultra-low power radio intended to activate the main radio only when it is ready to transmit or when the node receives a wake-up signal from the network [1]. Using this two radio terminal configuration, the main radio, which typically is very power consuming, remains

turned off most of the time and only turns on when it is necessary to transmit.

In this work, we present the design of a wake-up radio for WSNs using uncertain-IF architecture. The paper is organized as follows. Section II gives an overview of the node block diagram, including the description of the two terminal radio and the uncertain-IF architecture used in the wake-up radio. This radio is composed of one active mixer, one IF amplifier, and one envelope detector. The design of these circuits is explained in Section III. The simulation results of the circuit are reported in Section IV and finally some conclusions are given in Section V.

II. RECEIVER ARCHITECTURE

The main components of the wireless sensor node are the microcontroller, the transceiver, the battery and the sensors. As shown in Figure 1, a solution to reduce the power consumption of the node is to incorporate a wake-up radio. The wake-up radio is composed of a mixer with input matching network, a set of IF amplifiers, a differential envelope detector to demodulate the input signal and a pattern recognizer

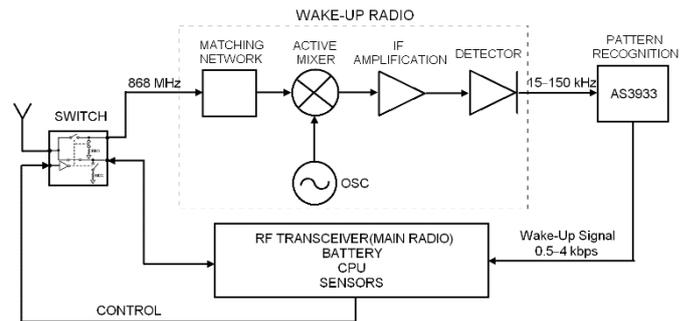


Figure 1. Block diagram of a wireless sensor node.

Thus, the node has two receiving paths: one for processing a wake-up signal and other for communicating with the other nodes. Which path is activated depends on the antenna switch, situated directly behind the antenna. It is controlled via an output port of the microcontroller. The wake-up radio listens continuously the input signal to detect the node addressed bit sequence. In case of a valid wake-up signal and a positive correlation of the sent address with an internal saved bit

sequence, the correlator interrupts the microcontroller from its sleep mode. When entering active mode the controller toggles the antenna switch and can establish a regular communication link with the nodes main radio.

The correlator used in this paper is the AS3933 from AMS [2]. This circuit accepts a low frequency wake-up (0.5-4 kbps) signal modulated on a high frequency carrier (15-150 kHz). In order to use the same antenna than the main radio, this carrier is modulated again with an 868 MHz carrier.

The wake-up radio uses the uncertain-IF architecture [4]-[6] to downconvert the 868 MHz signal to an undefined IF frequency which can be in the interval between 4.3 to 67.3 MHz using a free running oscillator (LO) and a mixer (see Figure 2). The proposed architecture use a free running LO instead of a PLL to reduce considerably the power consumption, Frequency variation of the LO simply becomes visible as IF frequency variation, to which the envelope detector is insensitive.

The performance of this architecture is similar to any downconversion receiver but with considerably increased gain before envelope detection, improving the sensitivity compared to wake-up receivers using only RF gain or passive detectors [7].

However, as any downconversion receiver, the main drawback of the uncertain-IF architecture is its susceptibility to interferers, therefore, a narrow and accurate RF bandpass or very selective matching network at the input is required to improve robustness to interferers.

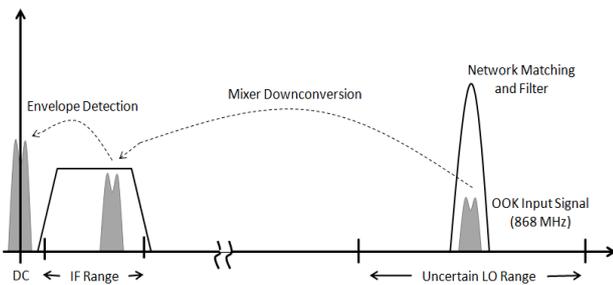


Figure 2. Uncertain IF frequency.

An important frequency planning consideration is the trade-off between LO accuracy and IF bandwidth. If the LO

can be tuned very close to the channel frequency, the required bandwidth of the IF amplifier can be narrowed and its power reduced proportionately. If the LO is kept within a smaller frequency range, the vulnerability to oscillator frequency drift increase [6]. As shown in Figure 2, for this implementation, an IF bandwidth of about 63 MHz is chosen to maximize tolerance of LO frequency drift, without requiring excessive power in the IF amplifier.

III. CIRCUIT DESIGN

The simplified schematic of the wake-up radio is shown in Figure 3 and it is composed of a single-ended active mixer with an input matching network to maximize the power transfer from the antenna, a five stage cascade IF amplifier with 4.3 MHz to 67.3 MHz frequency range, and a differential detector working in weak inversion.

A. Mixer

The input matching network consists of two capacitors C_{M1} and C_{M2} , and an inductor, L_{M1} . It must supply a stable impedance matching similar to the antenna (50Ω) at the desired frequency band (868 MHz).

The mixer is designed to achieve minimum power consumption, maximum conversion gain and minimum LO drive requirements. As shown in Figure 3, a single-ended dual gate configuration is used as a mixer because the LO port can be driven from a single-ended oscillator, reducing in this way the wake-up radio power consumption. The dual-gate mixer is simply a cascade connection of two NMOS transistors in series, M1 and M2. This configuration is well suited to CMOS since the drain and source of the two devices can be shared thus reducing capacitance at this node by a factor of two.

The input signal is fed to the gate of M1, which is in common source and the f_{LO} signal is connected to the gate of transistor M2. The f_{RF} signal varies the drain-source current of M1, and the switching operation of M2 multiplies this variation by the f_{LO} signal coming from the local oscillator. Then the signals are multiplied obtaining an IF signal in M2 drain.

The load network, composed of R_L and C_L , acts as a low-pass filter. f_{RF} and f_{LO} feedthrough to IF, which are intrinsic to the single-balanced design, are filtered by the load network and the IF amplifier stages, before arriving at the envelope detector.

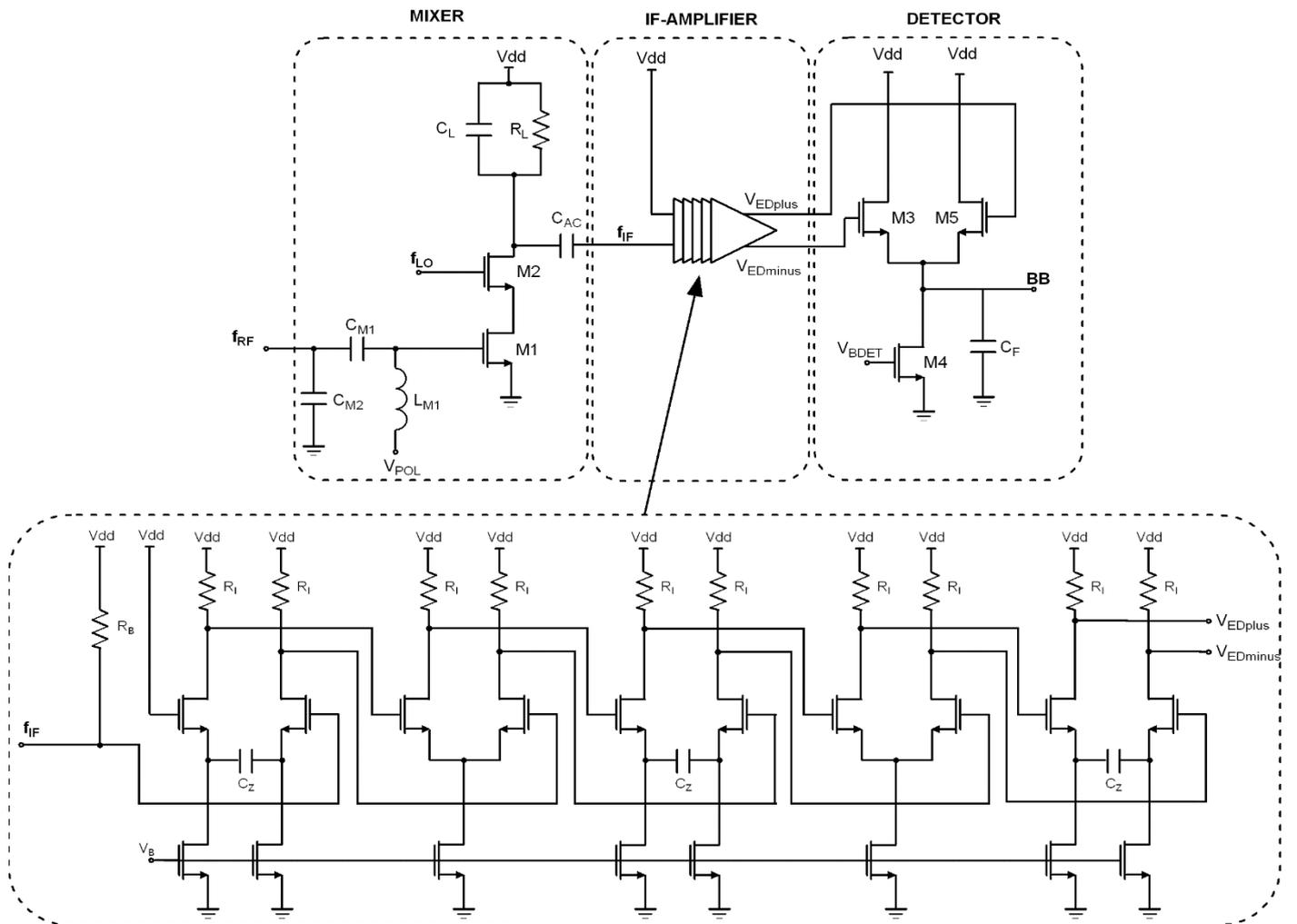


Figure 3. Wake-up radio simplified schematic.

B. IF Amplifier

The IF amplifier must provide a gain for 67 MHz bandwidth approximately. A differential amplifier with resistive loads has been used to meet the wideband specification. The typical configuration for this type of amplifiers is composed of two transistors that share the same source connection, whereby a current is applied to bias the transistors. The input of each stage is the gate of the transistors, while the drains are the amplifier outputs. As shown in Figure 3, the use of identical stages and resistive loads simplifies biasing and allows simple DC coupling between stages.

To achieve the required bandwidth and maximize the gain with the lowest power consumption, we have used five stages. The odd stages have an independent current source in each branch and the even stages have a single current source common to both transistors. The bias currents of all five stages are matched and controlled simultaneously via a single voltage (V_B), which is common to all stages.

In the odd stages, the tail current source is split into two branches with a coupling capacitor C_Z of 1.5 pF, introducing a

zero at DC in the differential transfer function [6]. On the other hand, the transistor size and the load resistor condition the high frequency limitation.

C. Envelope Detector

The envelope detector is shown in Figure 3 and has a differential configuration. For signals inside the detector's baseband bandwidth, the differential topology rejects the differential mode, but common mode signals pass through.

M3 and M5 are biased in weak inversion to reduce the power consumption and generate an output that is an exponential function of the input voltage [8][9]. For CMOS analog circuits, when the transistors operate in weak inversion region, gm/I_D ratio is higher compared to strong inversion, hence the minimum power consumption can be achieved due to the small quiescent current at the expense of large silicon area and slow speed. When MOS transistors operate in strong inversion, however, although good frequency response and small area are obtained, non-optimum larger power is consumed, and $V_{DS}(\text{sat})$ is high [10].

M4 is working as a current source to drive M3 and M5. The output impedance of the detector with capacitor C_F form a 125 kHz low pass filter.

The output of the detector is connected to the AS3933, which can detect a minimum signal of $80 \mu\text{V}_{\text{rms}}$ ($113 \mu\text{V}_p$) and has an input impedance of $2 \text{ M}\Omega$.

IV. SIMULATION RESULTS

The circuits were implemented with Cadence using UMC CMOS 65 nm technology and simulated in Advanced Design System (ADS) through RFIC Dynamic Link. A complete layout of the wake up radio can be shown in Figure 4. Figure 5 shows the wake-up receiver output, which is a 125 kHz frequency signal and with $148.6 \mu\text{V}_{\text{peak}}$, enough to drive the AS3993.

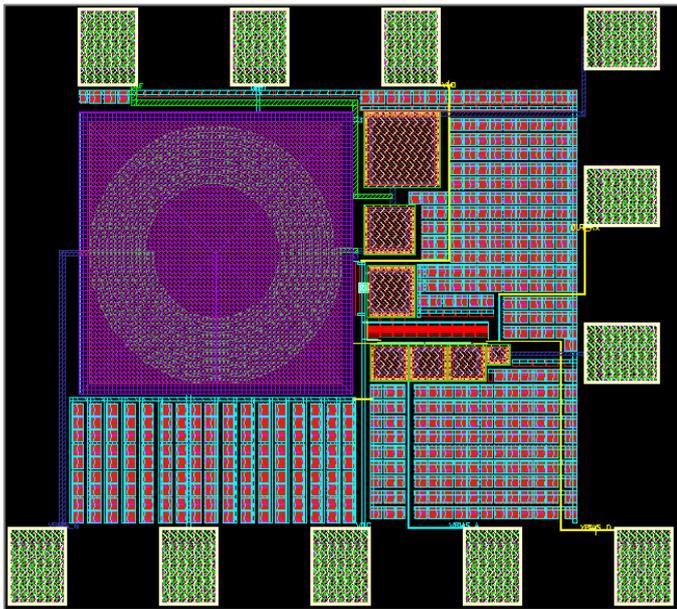


Figure 4. Wake-up radio layout.

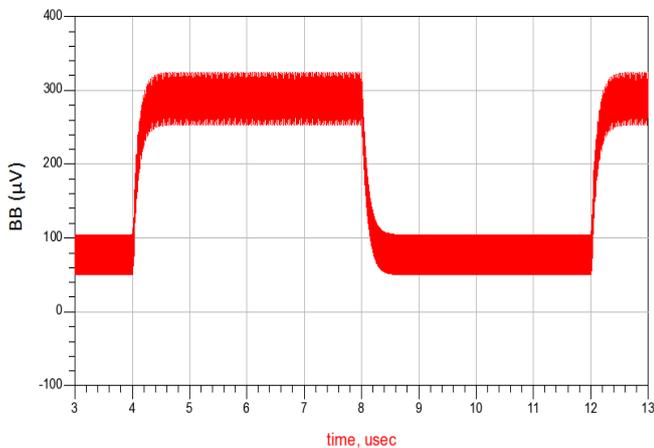


Figure 5. Receiver output.

Table I summarizes the wake-up radio performance and compares the results with [6]. The obtained values are similar, but in this work the sensitivity has been improved at the expense of increased power consumption.

Table I. Summary results

| Parameter | [6] | This work |
|-------------------|------------------|--------------------|
| Supply voltage | 0.5 V | 1.2 V |
| Carrier frequency | 2 GHz/OOK | 868 MHz/OOK |
| Power Cons. | 32 μW | 46.8 μW |
| Data rate | 100/200 kbps | 0.5-4 kbps |
| Sensitivity | -72/-70 dBm | -78 dBm |

V. CONCLUSIONS

In this work, a wake-up radio for WSN has been designed to extend the battery life of a node. The radio architecture use an uncertain-IF architecture with an IF frequency from 4.3 to 67.3 MHz. Using this architecture, a free running oscillator instead of a PLL is used, decreasing the radio power consumption. The circuit was implemented in UMC CMOS 65 nm process and it is composed of a mixer, a five-stage cascade differential amplifier and a detector biased in weak inversion. Complete simulation of the wake-up receiver has been done obtaining a sensitivity of -78 dBm with a power consumption of $46.8 \mu\text{W}$ with a 1.2 V power supply. The circuits have been designed to optimize power consumption and sensitivity.

ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Science and Innovation (TEC2011-28724-C03-02 and TEC2011-28357-C02-02).

REFERENCES

- [1] I. Demirkol, C. Ersoy, and E. Onur, "Wake-up receivers for wireless sensor networks: benefits and challenges," *IEEE Wireless Communications*, vol. 16, no. 4, pp. 88–96, 2009.
- [2] Austriamicrosystems, "AS3933 – Programmable 3D low power LF wake-up receiver." [Online] <http://www.ams.com/eng/Wake-upreceiver/AS3933>. Last visited 11.3.2014.
- [3] E. Torres-Armas, D. Ramos-Valido, S.L. Khemchandani, J. del Pino, "Diseño de un receptor de wake-up para redes de sensores inalámbricas mediante el uso de un mezclador de bajada." Universidad de las Palmas de Gran Canaria. Junio 2015.
- [4] S. Ikeda, S. Lee, H. Ito, S. Yonezawa, Y. Fang, M. Takayasu, T. Hamada, Y. Ishikawa, H. Ito, N. Ishihara, and K. Masu, "A 0.5-V 5.8-GHz Ultra- Low-Power RF Transceiver for Wireless Sensor Network in 65 nm CMOS," *IEEE Radio Frequency Integrated Circuits Symp.*, Jun. 2014.
- [5] J. Lee, J. Kim, S. Han, and S. Lee, "ULP Receiver Design Methodologies for Wireless Sensor Network Applications," in *Asia-Pacific Microwave Conference Proceedings*, Seoul, 2013, pp. 92–94.
- [6] N. Pletcher, S. Gambini, and J. Rabaey, "A 52 W wake-up receiver with 72 dBm sensitivity using an uncertain-IF architecture," *IEEE J. Solid-State Circuits*, vol. 44, no. 1, pp. 269–280, Jan. 2009.
- [7] M. S. Durante and S. Mahlkecht, "An ultra low power wakeup receiver for wireless sensor nodes," in *Proc. of the 3rd International Conference on Sensor Technologies and Applications*, 2009, pp. 167–170.
- [8] D. Ramos-Valido, H. Garcia-Vazquez, S.L. Khemchandani, J. del Pino, C. Lujan-Martinez, and G Bistue. "A high sensitivity and low power

envelope detector for wireless sensor nodes,” in *Conference on Design of Circuits and Integrated Circuits (DCIS)*, Madrid, 2014, pp. 1–4.

- [9] E. A. Vittoz and J. Fellrath, “CMOS analog integrated circuits based on weak inversion operation,” *IEEE J. Solid-State Circuits*, vol. 12, pp. 224–231, June 1977.
- [10] S. Yan and E. Sanchez-Sinencio, “Low Voltage Analog Circuit Design Techniques: A Tutorial,” *Institute of Electronics, Information and Communication Engineers Transaction on Analog Integrated Circuits and Systems*, Vol. E00-A, pp. 1-17, February 2000.

