



Máster de Tecnologías de Telecomunicación

Trabajo Fin de Máster

Diseño e Implementación mediante Síntesis de Alto Nivel de un IP para el filtrado y clasificación de paquetes TCP/IP

Benjamín Vega del Pino

Pedro P. Carballo, Antonio Núñez Ordóñez

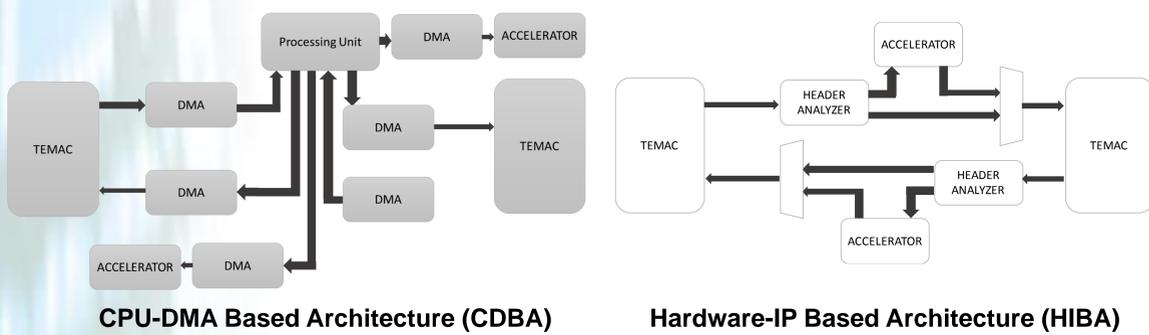
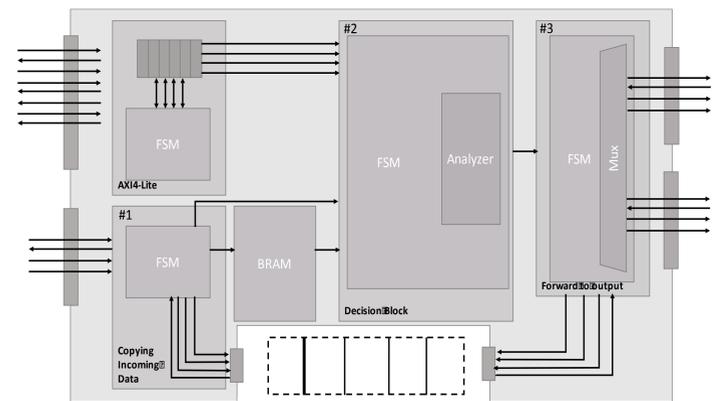
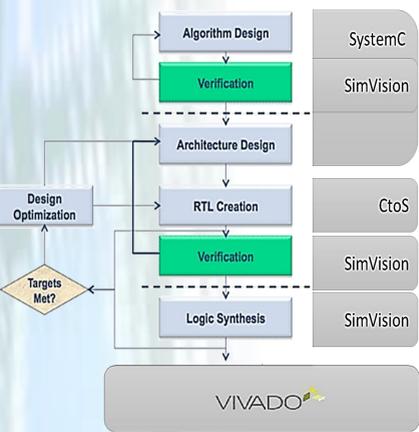
Julio de 2016

Resumen:

- En este TFM se ha modelado, sintetizado e implementado un bloque IP que realiza tareas de captura y clasificación de paquetes TCP/IP.
- La integración de este bloque en el sistema permite prescindir de la CPU para realizar esta tarea en sistemas de DPI para seguridad en redes.
- El bloque diseñado lleva a cabo la labor de comunicar dos interfaces de red para permitir el flujo entrante y saliente del sistema y además redirecciona paquetes que cumplen el criterio de análisis a un sistema de inspección más detallado. El criterio de análisis es configurable por el usuario atendiendo a los valores de los campos de cabecera de la capa de enlace y de la capa de red.
- En el TFM se propone una arquitectura de sistemas DPI cuyo objetivo es que el paquete sea capturado y analizado en el sistema hardware.
- Esta arquitectura tiene la ventaja de que aumenta el ancho de banda del sistema DPI, haciéndolo apto para redes de alta velocidad tales como fibra óptica.

Metodología de diseño

- La metodología de diseño del bloque incluye un conjunto heterogéneo de herramientas integradas con el criterio de máxima calidad de resultados (**QoR**).
- El modelado del bloque se ha realizado en SystemC que permite tener un control detallado sobre la planificación de las tareas y implementación de las interfaces.
- La síntesis de alto nivel se ha realizado en CtoS, con control por el diseñador en la fase de planificación.
- La síntesis lógica de Synplify ofrece mejores resultados frente a los obtenidos por Vivado.



Descripción del bloque IP

- El bloque está compuesto por **tres procesos** y un módulo de comunicación que gestiona el bus AXI-Lite
- **Proceso 1.** Recepción de los datos a través de AXI4-Stream y almacenarlos en una FIFO externa.
- **Proceso 2.** Análisis de paquete una vez se ha recibido los *flits* necesarios para el análisis de la cabecera. El análisis se basa en la comparación de los valores de la cabecera con los valores de los registros del AXI4-Lite.
- **Proceso 3.** Retransmisión del paquete almacenado en la FIFO por la interfaz Ethernet de salida o lo envía a un bloque que realice un análisis más complejo en función del resultado del análisis inicial.

Comparación de arquitecturas

- La **medida de la latencia** ha sido tomada haciendo uso de un contador hardware en el sistema de procesamiento y usando bloques de depuración tales como Integrated Logic Analyzer (ILA) en la FPGA.
- Estas medidas determinan la **latencia** desde que se **recibe un paquete** en la interfaz de red **TEMAC** hasta que este es redireccionado bien a la **interfaz de red** saliente o al **bloque acelerador** para una inspección más compleja del paquete.
- La medida de la **potencia consumida** se ha realizado haciendo uso del Xilinx Power Estimator.
- Para la estimación de potencia se ha tenido en cuenta la tecnología utilizada, la **frecuencia de reloj** en el sistema y los recursos utilizados en la **FPGA**.

Conclusión

- La integración de este bloque en un sistema DPI ha permitido **reducir la latencia** medida desde la captura del paquete hasta su redirección a la interfaz de salida o al bloque IP que realiza las tareas de DPI.
- La aceleración del proceso de toma de decisión sobre el paquete es de más de dos ordenes de magnitud, ampliando el throughput del sistema hasta un máximo de **14 Gbps**.

