



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### Implementación Física y Verificación de un Cabezal de Recepción para el Estándar IEEE 802.15.4 en Tecnología CMOS 0.18 $\mu\text{m}$

Autor: Sergio Mateos Angulo  
Tutor(es): Dr. Francisco Javier del Pino Suárez  
Dr. Sunil Lalchand Khemchandani  
Fecha: Junio 2016



t +34 928 451 086  
f +34 928 451 083

iuma@iuma.ulpgc.es  
www.iuma.ulpgc.es

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### Implementación Física y Verificación de un Cabezal de Recepción para el Estándar IEEE 802.15.4 en Tecnología CMOS 0.18 $\mu\text{m}$

## HOJA DE FIRMAS

**Alumno/a:** Sergio Mateos Angulo Fdo.:

**Tutor/a:** Dr. Francisco Javier del Pino Suárez Fdo.:

**Tutor/a:** Dr. Sunil Lalchand Khemchandani Fdo.:

**Fecha: Junio 2016**



t +34 928 451 086  
f +34 928 451 083

iuma@iuma.ulpgc.es  
www.iuma.ulpgc.es

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### Implementación Física y Verificación de un Cabezal de Recepción para el Estándar IEEE 802.15.4 en Tecnología CMOS 0.18 $\mu\text{m}$

#### HOJA DE EVALUACIÓN

Calificación: .....

Presidente

Fdo.:

Secretario

Fdo.:

Vocal

Fdo.:

Fecha: Junio 2016



t +34 928 451 086  
f +34 928 451 083

iuma@iuma.ulpgc.es  
www.iuma.ulpgc.es

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria



# Índice

---

1.	Introducción .....	15
1.1.	Objetivos .....	19
1.2.	Estructura de la memoria .....	19
2.	Estado del arte.....	23
2.1.	Redes de sensores inalámbricos .....	23
2.2.	Estándar IEEE 802.15.4 .....	25
2.2.1.	Aplicaciones .....	26
2.3.	Tipos de arquitectura.....	28
2.3.1.	Receptor heterodino simple .....	29
2.3.2.	Receptor superheterodino .....	31
2.3.3.	Receptor homodino .....	33
2.3.3.1.	Receptor Cero-IF .....	33
2.3.3.2.	Receptor Low-IF.....	36
2.4.	Arquitectura del cabezal de recepción diseñado .....	37
3.	Estudio de la tecnología .....	39
3.1.	Resistencias .....	39
3.1.1.	Construcción.....	39
3.1.2.	Resistencias en la tecnología UMC 0.18 $\mu\text{m}$ .....	40
3.1.3.	Resistencias optimizadas para RF en la tecnología UMC 0.18 $\mu\text{m}$ ...	41
3.2.	Condensadores .....	43
3.2.1.	Construcción.....	43
3.2.2.	Condensadores en la tecnología UMC 0.18 $\mu\text{m}$ .....	43
3.2.3.	Condensadores optimizados para RF en la tecnología UMC 0.18 $\mu\text{m}$	44
3.3.	Bobinas.....	47

3.3.1.	Construcción.....	47
3.3.2.	Funcionamiento .....	47
3.3.3.	Modelo de la bobina .....	49
3.3.4.	Bobinas en la tecnología UMC 0.18 $\mu\text{m}$ .....	50
3.4.	El Transistor MOSFET .....	51
3.4.1.	Construcción.....	51
3.4.2.	Funcionamiento .....	52
3.4.3.	Modelo de pequeña señal .....	54
3.4.4.	Transistores MOSFET en la tecnología UMC 0.18 $\mu\text{m}$ .....	57
3.4.5.	Transistores MOSFET optimizados para RF en tecnología UMC 0.18 $\mu\text{m}$	58
3.5.	Pads .....	60
3.5.1.	Construcción.....	60
3.5.2.	Pads en la tecnología UMC 0.18 $\mu\text{m}$ .....	60
3.6.	Lista de componentes .....	62
4.	Diseño a nivel de esquemático.....	65
4.1.	Arquitectura del cabezal de recepción diseñado .....	65
4.2.	Amplificador de bajo ruido (LNA) .....	66
4.2.1.	Estructura del amplificador de bajo ruido .....	66
4.3.	Mezclador.....	71
4.3.1.	Conceptos teóricos de un mezclador .....	71
4.3.2.	Estructura del mezclador .....	73
4.4.	Amplificador de transimpedancia (TIA).....	75
4.4.1.	Estructura del amplificador de transimpedancia .....	75
5.	Diseño a nivel de <i>layout</i> .....	81
5.1.	Proceso de diseño .....	81
5.2.	<i>Layout</i> del LNA.....	83
5.2.1.	Esquemático del LNA en Cadence.....	83



5.2.2.	Simulación del esquemático del LNA con <i>Dynamic Link</i> .....	85
5.2.3.	Diseño del <i>layout</i> del LNA.....	87
5.2.4.	Simulaciones <i>post-layout</i> del LNA .....	89
5.3.	<i>Layout</i> del mezclador .....	93
5.3.1.	Esquemático del mezclador en Cadence .....	93
5.3.2.	Simulación del esquemático del mezclador con <i>Dynamic Link</i> .....	94
5.3.3.	Diseño del <i>layout</i> del mezclador .....	96
5.3.4.	Simulaciones <i>post-layout</i> del mezclador .....	97
5.4.	<i>Layout</i> del TIA .....	98
5.4.1.	Esquemático del TIA en Cadence .....	98
5.4.2.	Simulación del esquemático del TIA con <i>Dynamic Link</i> .....	100
5.4.3.	Diseño del <i>layout</i> del TIA .....	102
5.4.4.	Simulaciones <i>post-layout</i> del TIA .....	104
5.5.	<i>Layout</i> del cabezal de recepción.....	104
6.	Resultados de simulaciones .....	109
6.1.	Simulaciones <i>post-layout</i> del cabezal de recepción .....	109
6.1.1.	Ganancia y figura de ruido .....	111
6.1.2.	Respuesta en frecuencia .....	114
6.1.3.	Adaptación de entrada .....	115
6.1.4.	Linealidad .....	117
6.1.5.	Consumo de potencia .....	118
7.	Conclusiones .....	121
8.	Bibliografía .....	127

## Índice de Figuras

---

<b>Figura 1-1.</b> Diagrama de bloques de un transceptor. ....	16
<b>Figura 1-2.</b> Rechazo de señales en la banda de 2.4 GHz. ....	17
<b>Figura 1-3.</b> Estructura del cabezal de recepción. ....	18
<b>Figura 2-1.</b> Tecnologías inalámbricas. ....	24
<b>Figura 2-2.</b> Arquitectura del protocolo. ....	25
<b>Figura 2-3.</b> Bandas de frecuencia y canales del estándar 802.15.4. ....	26
<b>Figura 2-4.</b> Aplicaciones de ZigBee. ....	27
<b>Figura 2-5.</b> Diagrama de bloques de un receptor heterodino simple. ....	29
<b>Figura 2-6.</b> Problema de la frecuencia imagen. ....	29
<b>Figura 2-7.</b> Implementación de un filtro de rechazo de imagen. ....	30
<b>Figura 2-8.</b> Problema de mitad de IF. ....	31
<b>Figura 2-9.</b> Diagrama de bloques de un receptor superheterodino. ....	31
<b>Figura 2-10.</b> Etapas de filtrado en un receptor superheterodino. ....	32
<b>Figura 2-11.</b> Receptor superheterodino para sistemas digitales. ....	32
<b>Figura 2-12.</b> Diagrama de bloques de un receptor homodino. ....	33
<b>Figura 2-13.</b> Receptor homodino para sistemas digitales. ....	33
<b>Figura 2-14.</b> Receptor cero-IF. ....	34
<b>Figura 2-15.</b> Problema de DC offset. ....	34
<b>Figura 2-16.</b> Ejemplo del efecto de la asimetría en una constelación QPSK. ....	35
<b>Figura 2-17.</b> Distorsión de segundo orden. ....	35
<b>Figura 2-18.</b> Diagrama de bloques de un receptor Low-IF. ....	36
<b>Figura 2-19.</b> Filtro polifásico como solución al problema de la frecuencia imagen. ....	37
<b>Figura 2-20.</b> Estructura del cabezal de recepción. ....	38
<b>Figura 3-1.</b> Parámetros de una resistencia. ....	39
<b>Figura 3-2.</b> Cuadro de diálogo de Cadence de ajuste de parámetros de resistencias. ....	40
<b>Figura 3-3.</b> Circuito equivalente de una resistencia. ....	41
<b>Figura 3-4.</b> <i>Layout</i> de una resistencia del tipo RNHR_RF. ....	42
<b>Figura 3-5.</b> <i>Layout</i> de una resistencia del tipo RNNPO_RF. ....	42
<b>Figura 3-6.</b> Construcción de un condensador. ....	43

<b>Figura 3-7.</b> Cuadro de diálogo de Cadence de ajuste de parámetros de condensador. .....	44
<b>Figura 3-8.</b> Circuito equivalente del condensador MIMCAPM_RF.....	45
<b>Figura 3-9.</b> <i>Layout</i> de condensadores del tipo MICAPM_RF. ....	46
<b>Figura 3-10.</b> Sección transversal del <i>layout</i> de un condensador MICAPM_RF. ....	46
<b>Figura 3-11.</b> Modelo de una bobina cuadrada simple. ....	47
<b>Figura 3-12.</b> Campos eléctricos y magnéticos en un inductor integrado. ....	49
<b>Figura 3-13.</b> Modelo clásico de un inductor espiral integrado. ....	49
<b>Figura 3-14.</b> Cuadro de diálogo de Cadence de ajuste de parámetros de bobinas. ...	50
<b>Figura 3-15.</b> <i>Layout</i> de una bobina del tipo L_SLCR20K_RF. ....	51
<b>Figura 3-16.</b> Sección transversal de transistores MOS. ....	52
<b>Figura 3-17.</b> Transistor MOSFET tipo n en corte. ....	52
<b>Figura 3-18.</b> Transistor MOSFET tipo n en zona óhmica.....	53
<b>Figura 3-19.</b> Transistor MOSFET tipo n en zona de saturación. ....	54
<b>Figura 3-20.</b> Modelo simplificado de pequeña señal de un transistor MOSFET.....	55
<b>Figura 3-21.</b> Modelo completo de pequeña señal de un transistor MOSFET.....	56
<b>Figura 3-22.</b> Cuadro de diálogo de Cadence de ajuste de parámetros de un transistor MOSFET. ....	57
<b>Figura 3-23.</b> Circuito equivalente de los transistores optimizados para RF N/P. ....	58
<b>Figura 3-24.</b> <i>Layout</i> de un transistor MOSFET para RF.....	59
<b>Figura 3-25.</b> Representación de un <i>pad</i> . ....	60
<b>Figura 3-26.</b> Cuadro de diálogo de Cadence de ajuste de parámetros de un PAD_RF. .....	61
<b>Figura 3-27.</b> Circuito equivalente de un PAD_RF.....	61
<b>Figura 3-28.</b> <i>Layout</i> de un <i>pad</i> para RF. ....	62
<b>Figura 4-1.</b> Estructura del cabezal de recepción. ....	65
<b>Figura 4-2.</b> Estructura del LNA. ....	67
<b>Figura 4-3.</b> Ganancia y NF en función de $V_{ctr}$ . ....	68
<b>Figura 4-4.</b> Ganancia, NF y S (1,1) del LNA diseñado. ....	69
<b>Figura 4-5.</b> Diseño del LNA. ....	70
<b>Figura 4-6.</b> Diagrama de bloques de un mezclador ideal.....	71
<b>Figura 4-7.</b> Estructura del mezclador. ....	74
<b>Figura 4-8.</b> Diseño del mezclador. ....	75

<b>Figura 4-9.</b> Estructura del TIA.....	76
<b>Figura 4-10.</b> Estructura de los inversores del TIA.....	77
<b>Figura 4-11.</b> Esquemático de los inversores del TIA.....	78
<b>Figura 4-12.</b> Esquemático del TIA.....	79
<b>Figura 5-1.</b> Esquemático del LNA en Cadence.....	84
<b>Figura 5-2.</b> Setup de simulación del esquemático del LNA usando <i>ADS Dynamic Link</i> . .....	86
<b>Figura 5-3.</b> Resultados de simulación del esquemático del LNA de Cadence. ....	86
<b>Figura 5-4.</b> <i>Layout</i> del LNA.....	87
<b>Figura 5-5.</b> <i>Layout</i> del transistor M2 y las resistencias R0 y R2. ....	88
<b>Figura 5-6.</b> <i>Layout</i> del nodo de salida del LNA.....	89
<b>Figura 5-7.</b> Resultados de simulación <i>post-layout</i> del LNA. Ganancia, NF y S (1,1). .....	90
<b>Figura 5-8.</b> Resultados de simulación <i>post-layout</i> del LNA. Ganancia, NF y S (1,1). Extraído sólo resistencias.....	90
<b>Figura 5-9.</b> Resultados de simulación <i>post-layout</i> del LNA. Ganancia, NF y S (1,1). Extraído sólo capacidades.....	91
<b>Figura 5-10.</b> Resultados de simulación <i>post-layout</i> del LNA. Ganancia, NF y S (1,1). $C_2=1.4$ pF. ....	92
<b>Figura 5-11.</b> Esquemático del mezclador con Cadence. ....	93
<b>Figura 5-12.</b> <i>Setup</i> de simulación del mezclador utilizando <i>ADS Dynamic Link</i> . ...	95
<b>Figura 5-13.</b> <i>Layout</i> del mezclador. ....	96
<b>Figura 5-14.</b> Esquemático del TIA en Cadence. ....	98
<b>Figura 5-15.</b> Esquemático de los inversores del TIA en Cadence. ....	99
<b>Figura 5-16.</b> <i>Setup</i> de simulación del mezclador utilizando <i>ADS Dynamic Link</i> . .	101
<b>Figura 5-17.</b> <i>Layout</i> del TIA. ....	102
<b>Figura 5-18.</b> <i>Layout</i> de los inversores del TIA. ....	103
<b>Figura 5-19.</b> Esquemático del TIA en Cadence. ....	105
<b>Figura 5-20.</b> <i>Layout</i> del cabezal de recepción.....	106
<b>Figura 6-1.</b> <i>Setup</i> de simulación del cabezal de recepción utilizando <i>ADS Dynamic Link</i> . ....	110
<b>Figura 6-2.</b> Ganancia y NF para toda la banda del estándar 802.15.4. ....	111
<b>Figura 6-3.</b> NF para un canal. ....	112

<b>Figura 6-4.</b> NF máxima frente a la potencia de entrada de un receptor para el estándar 802.15.4.....	114
<b>Figura 6-5.</b> Rechazo imagen. ....	115
<b>Figura 6-6.</b> Respuesta en frecuencia del receptor. ....	115
<b>Figura 6-7.</b> Adaptación de entrada. ....	116
<b>Figura 6-8.</b> Punto de intercepción $IIP_3$ del receptor para simulación de esquemático. ....	117
<b>Figura 6-9.</b> Punto de intercepción $IIP_3$ del receptor para simulación <i>post-layout</i> . .	118

## Índice de Tablas

---

<b>Tabla 2-I.</b> Características de ZigBee.....	27
<b>Tabla 2-II.</b> Especificaciones del estándar IEEE 802.15.4 para receptores de RF.....	28
<b>Tabla 3-I.</b> Capacidades de la zona de óxido de un transistor MOSFET .....	57
<b>Tabla 3-II.</b> Componentes de la tecnología UMC 0.18 $\mu\text{m}$ CMOS .....	62
<b>Tabla 5-I.</b> Resultados de simulación del esquemático del mezclador de Cadence ...	94
<b>Tabla 5-II.</b> Resultados de simulación <i>post-layout</i> del mezclador de Cadence .....	97
<b>Tabla 5-III.</b> Resultados de simulación del esquemático del TIA de Cadence .....	100
<b>Tabla 5-IV.</b> Resultados de simulación <i>post-layout</i> del TIA de Cadence .....	104
<b>Tabla 6-I.</b> Ganancia y NF del receptor para distintas configuraciones. Simulación del esquemático.....	113
<b>Tabla 6-II.</b> Ganancia y NF del receptor para distintas configuraciones. Simulación <i>post-layout</i> .....	113
<b>Tabla 7-I.</b> Resultados de simulaciones del cabezal de recepción .....	122
<b>Tabla 7-II.</b> Comparación del cabezal de recepción diseñado con otros modelos ...	123

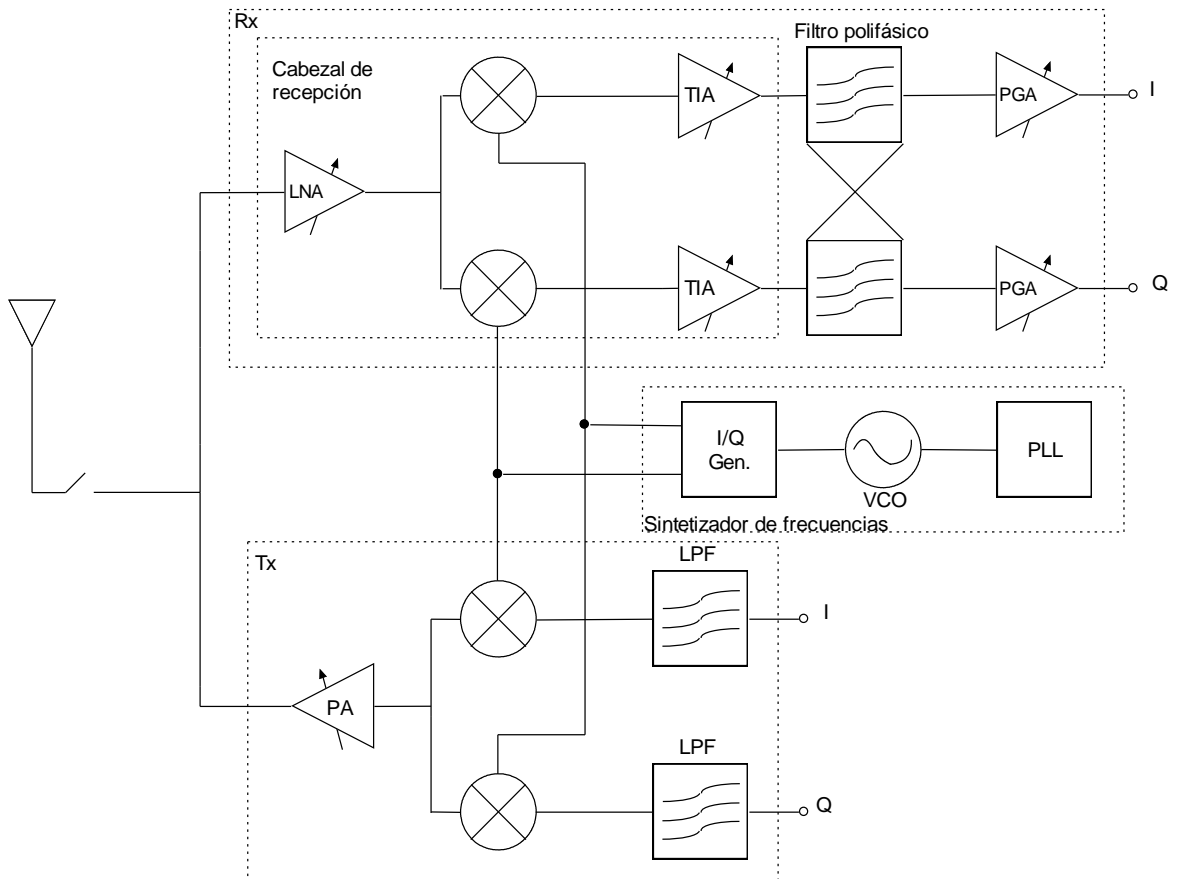
# Capítulo 1

---

## 1. Introducción

El desarrollo de transceptores CMOS (*Complementary Metal Oxide-Semiconductor*) de baja potencia para la banda de 2,4 GHz ha recibido especial atención en los últimos años debido a la demanda de dispositivos de bajo coste y el deseo de que posean baterías de larga vida útil. A pesar de la existencia de estándares como Bluetooth o IEEE 802.11 que operan en esta banda, el estándar IEEE 802.15.4 satisface la demanda de bajo coste y bajo consumo en el desarrollo de transceptores de baja tasa binaria. El estándar IEEE 802.15.4 permite trabajar en tres bandas de frecuencia: en la banda de 868 MHz para Europa, en la banda de 915 MHz en América y en la banda de 2,4 GHz a nivel global. La tasa de datos del estándar varía desde los 20 a los 250 kb/s en función de la banda en la que se opere. En cuanto a las aplicaciones de este estándar, se pueden nombrar una gran cantidad de ellas, como pueden ser la automoción, la domótica, aplicaciones industriales, sistemas médicos, aplicaciones comerciales, etc. Para estas aplicaciones, la batería debería durar entre varios meses y un año sin ser reemplazada [1].

Un transceptor se puede dividir en varios bloques claramente diferenciados. En primer lugar, hay dos bloques principales como son el receptor y el transmisor. Dentro de cada uno de estos bloques se puede distinguir un bloque denominado cabezal. El cabezal (de recepción o de transmisión) trabaja en la frecuencia de RF (Radio Frecuencia) y es el encargado de adaptar la señal tras ser recibida, o para ser transmitida. Tras el cabezal se encuentra la etapa de filtrado, que permite al receptor o al transmisor quedarse con la banda de frecuencia deseada. Por otra parte, dentro de un transceptor se encuentra el sintetizador de frecuencias. Este bloque incluye el oscilador local que genera la señal necesaria para convertir la señal de entrada a una frecuencia determinada, a través de un mezclador. En la **Figura 1-1** se muestra el diagrama de bloques de un transceptor, en el cuál se pueden apreciar los distintos elementos que se han mencionado.



**Figura 1-1.** Diagrama de bloques de un transceptor.

Este trabajo fin de máster se centra en el cabezal de recepción, el cual corresponde a la primera etapa de un receptor, donde se adapta la señal de entrada para su posterior tratamiento. Típicamente, un cabezal de recepción en un circuito de radiofrecuencia como el que se ha diseñado, está compuesto por una serie de elementos. El primero de estos elementos es el amplificador de bajo ruido (LNA: *Low Noise Amplifier*), que es el encargado de adaptar la señal que proviene de la antena de recepción y amplificarla, introduciendo el menor ruido posible. El siguiente elemento es el mezclador, que es el encargado de mezclar la señal de entrada con una señal generada por el oscilador local con el fin de llevar la señal desde una frecuencia de entrada (generalmente alta) a una frecuencia de trabajo (en los receptores, esta frecuencia es menor que la de entrada). Por último, se encuentran los amplificadores y filtros de procesamiento de señal en banda base.

Por otra parte, el estándar 802.15.4 presenta un buen rechazo frente a señales próximas a la señal deseada, tal y como se muestra en la **Figura 1-2**. Este rechazo es considerablemente mejor que en otras tecnologías de radiofrecuencia (WLAN, GSM,



WCDMA, etc.) y las especificaciones del filtro de rechazo imagen son menos restrictivas. Como consecuencia, en la literatura se encuentran un gran número de receptores para el estándar 802.15.4 que implementan una arquitectura low-IF [1]-[4].

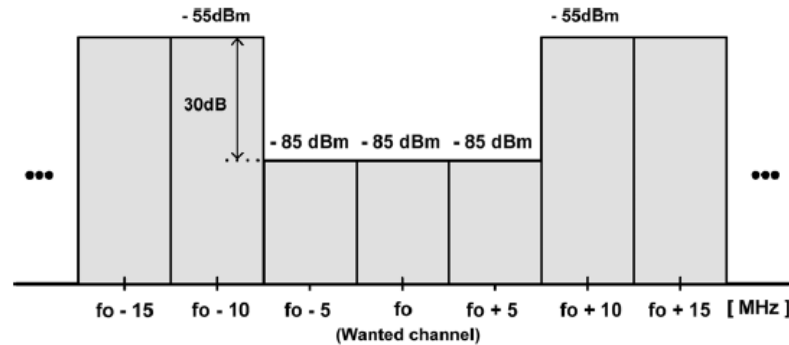


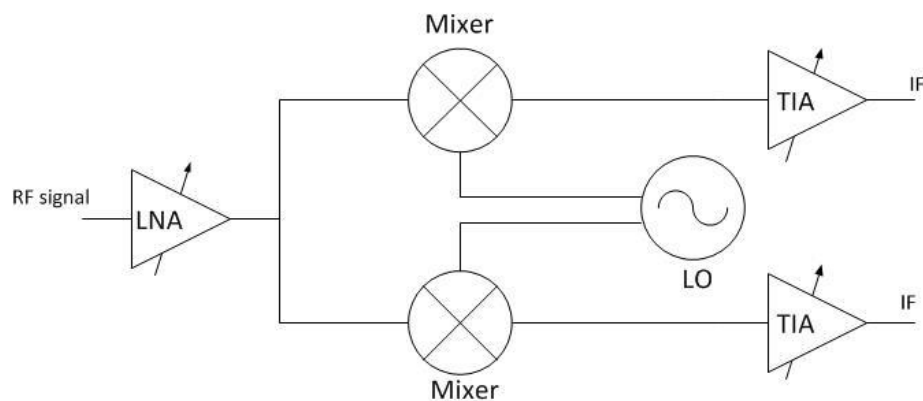
Figura 1-2. Rechazo de señales en la banda de 2.4 GHz.

El proceso de desarrollo de un transceptor integrado CMOS de radiofrecuencia consta de cuatro partes principales: en primer lugar, el diseño del transceptor a nivel de esquemático, en segundo lugar la creación del *layout*, previo a la fabricación, posteriormente se fabrica el transceptor en un circuito integrado y, por último, la toma de medidas del transceptor, una vez ha sido fabricado. Dicho de otra manera, una vez se ha realizado el diseño a nivel de esquemático y se han realizado las simulaciones pertinentes para comprobar el correcto funcionamiento del mismo, se pasa a realizar el *layout* a partir del esquemático. Esto supone el primer paso en el proceso de fabricación puesto que consiste en convertir el diseño (esquemático) en una representación física del mismo. Es decir, el *layout* es necesario para poder fabricar el transceptor ya que a partir de sus especificaciones se crean las diversas máscaras a emplear en el proceso de fabricación. Por tanto, una vez se tiene el *layout*, se realizan simulaciones *post-layout* y se comprueba que los resultados obtenidos corresponden con los obtenidos en la simulación. Por último, se manda a fabricar el transceptor y se realizan medidas al circuito fabricado para comprobar las prestaciones reales del circuito.

En este proyecto se realizará el *layout*, y las simulaciones *post-layout* correspondientes, partiendo de un cabezal de recepción para el estándar IEEE 802.15.4 ya diseñado [5],[6]. Cabe destacar que si bien en este trabajo fin de máster se va a realizar el *layout* del cabezal de recepción, este no se fabricará hasta que no se hayan diseñado el resto de componentes del transceptor. A fecha de redacción de este trabajo fin de máster, dentro del grupo de trabajo se han diseñado algunos circuitos como el filtro polifásico o el

amplificador de ganancia programable, además del transmisor. Sin embargo, estos circuitos aún están en fase de diseño a nivel de esquemático. Es decir, se mandará a fabricar el *chip* una vez se haya realizado el diseño de *layout* del transceptor completo. Es por esto por lo que, tal y como se comentará más adelante, no se han incluido los *pads* que permitan introducir las señales de entrada y medir las señales de salida. Este paso se realizará cuando se tenga el *layout* del transceptor completo y se sepa con seguridad cuántas señales de entrada y salida se tienen.

En cuanto a la estructura del cabezal de recepción, en la **Figura 1-3** se muestra un diagrama de bloques del mismo [5].



**Figura 1-3.** Estructura del cabezal de recepción.

Como se puede observar, el cabezal de recepción consta de tres partes principales. La primera corresponde al amplificador de bajo ruido o LNA (*Low Noise Amplifier*). La función del LNA es la de amplificar la señal de RF entrante (señal de radiofrecuencia) introduciendo el menor ruido posible, así como la de adaptar la señal que proviene de la antena. En segundo lugar se sitúan los mezcladores que están controlados por un oscilador local y cuya función es la de bajar la frecuencia de la señal a la frecuencia deseada, es decir, a la frecuencia intermedia (IF: *Intermediate Frequency*). En este caso, al ser un receptor del tipo de conversión a baja frecuencia (*Low-IF*), la señal de trabajo será de frecuencia baja. Por último se encuentran los amplificadores de transimpedancia (TIA: *Trans-Impedance Amplifier*) que convierten la señal de corriente en señal de tensión aportando ganancia en este proceso.

Por otra parte, este trabajo fin de máster forma parte de un proyecto de investigación científica coordinado entre el Instituto Universitario de Microelectrónica Aplicada (IUMA), el Grupo de Ingeniería Electrónica de la Universidad de Sevilla y el Centro de Estudios e Investigaciones Técnicas de Gipuzkoa (CEIT). Este proyecto de título “Diseño de circuitos de comunicaciones para alta radiación ambiental (ComRad)”, tiene como objetivo

desarrollar el primer dispositivo que permita el despliegue de redes de sensores inalámbricos en entornos de alta radiación ambiental [7]. En el grupo de trabajo ya se han empezado a realizar pruebas de análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, se han realizado unas pruebas preliminares en el LNA diseñado en este trabajo fin de máster.

## 1.1. Objetivos

El objetivo de este proyecto es obtener el *layout* de un cabezal de recepción basado en la arquitectura low-IF para el estándar IEEE 802.15.4 usando la tecnología CMOS 0.18  $\mu\text{m}$ . Además, se realizarán simulaciones *post-layout* para comprobar el correcto funcionamiento del diseño realizado. Por otra parte, al tratarse de un circuito integrado se desea que nuestro cabezal de recepción ocupe el menor área posible.

Para ello se utiliza la herramienta software *Virtuoso* de Cadence y se realizan las simulaciones con el software *Advanced Design System (ADS)* de la empresa Keysight, utilizando el *ADS Dynamic Link*. De esta manera, se realiza una comunicación entre Cadence y ADS, pudiendo simular los *layout* de los circuitos integrados, desarrollados en Cadence, con las librerías de simulación de ADS [8].

Para poder utilizar los distintos componentes de la tecnología CMOS 0.18  $\mu\text{m}$  es necesario instalar la librería o kit de diseño (*Design Kit*) de UMC correspondiente.

## 1.2. Estructura de la memoria

Esta memoria está dividida en siete capítulos y dos anexos, además de una lista bibliográfica con las referencias consultadas durante el desarrollo del trabajo fin de máster y la elaboración de esta memoria.

En este primer capítulo se ha realizado una introducción con los antecedentes de este trabajo, y se definen los objetivos marcados para este trabajo fin de máster.

En el capítulo 2 se realiza un estudio del estado del arte de receptores de radiofrecuencia para el estándar IEEE 802.15.4. En primer lugar se estudian las características principales de una red de sensores y las ventajas que estas presentan. Este capítulo se centra en el estándar IEEE 802.15.4 puesto que el cabezal de recepción que se ha diseñado está basado en este estándar. Además, se explican las distintas arquitecturas de receptores de radiofrecuencia que existen. Posteriormente, se presentan las características básicas de cada

una de ellas y se comentan las ventajas y desventajas que presentan, para justificar la elección de la arquitectura más conveniente para el cabezal de recepción diseñado. Por último, se describe la arquitectura de receptor elegida, apoyándose en las conclusiones sacadas tras realizar el estudio de las distintas arquitecturas.

En el capítulo 3 se realiza un estudio de la tecnología *UMC 0.18  $\mu\text{m}$  1P6M Salicide Mixed Mode/RF CMOS* de la fundidora *United Microelectronics Corporation (UMC)*, que es la que se ha utilizado en el diseño del cabezal de recepción. En este estudio se comenzará con una descripción teórica de los dispositivos, para posteriormente analizar los distintos modelos para cada componente. Por último, se estudiarán los componentes que han sido optimizados para radiofrecuencia y que, por tanto, serán de especial interés para este proyecto.

En el capítulo 4 se describen los distintos circuitos que han sido diseñados, los cuales forman el cabezal de recepción. En primer lugar se muestra la topología del amplificador de bajo ruido, explicando las ventajas y desventajas de dicha topología. En segundo lugar se describe la estructura del mezclador que se ha diseñado. Por último, al igual que para los otros dos circuitos mencionados, se explica la estructura de los amplificadores de transimpedancia presentes en el cabezal de recepción.

El capítulo 5 describe el siguiente paso en el proceso de fabricación: el diseño a nivel de *layout*. Tal y como se ha visto anteriormente, en este paso se definen las máscaras o planos de fabricación del circuito integrado. En este caso, se ha realizado un diseño de *layout* para cada circuito que compone el cabezal de recepción, para posteriormente unirlos y realizar el *layout* del cabezal de recepción al completo. Por tanto, este capítulo comenzará con la exposición del *layout* del amplificador de bajo ruido. Posteriormente se abordará el diseño de *layout* del mezclador y de los amplificadores de transimpedancia. Por último, se muestra el *layout* del cabezal de recepción. Además, en cada caso se comentarán las distintas decisiones de diseño que se han ido tomando durante el desarrollo del trabajo.

El capítulo 6 se centra en el análisis de los resultados obtenidos a la hora de simular el funcionamiento del cabezal de recepción, tanto a nivel de esquemático como tras realizar el *layout*. En estas simulaciones se incluye un filtro polifásico al final del cabezal de recepción diseñado, el cual es imprescindible para el correcto funcionamiento del receptor. El diseño del filtro polifásico no entra dentro del alcance de este proyecto y por ello se ha incluido un filtro polifásico diseñado por otro compañero dentro del grupo de trabajo. Por tanto, se muestran los resultados obtenidos, centrándose en los parámetros típicos de un receptor de

RF, comparando los resultados obtenidos en la simulación del esquemático con los obtenidos en las simulaciones *post-layout*.

En el capítulo 7 se comentan las conclusiones que se pueden extraer de este trabajo fin de máster. Además, se presenta un resumen de los resultados obtenidos con el fin de compararlos con los obtenidos en otras soluciones de este tipo que han sido desarrolladas. En este capítulo también se definen las líneas futuras de este trabajo.

En cuanto a los anexos que se incluyen al final de esta memoria de trabajo fin de máster, el primero de ellos muestra un artículo científico (*paper*) desarrollado en inglés, conjuntamente con otro compañero y los tutores, acerca del cabezal de recepción diseñado, así como del filtro polifásico que se incluye. Este artículo fue presentado en la XXX Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: *Design of Circuits and Integrated Systems*). En el segundo anexo se puede encontrar un artículo científico desarrollado en el grupo de trabajo en el cual se explica el análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, el circuito que se ha analizado es el LNA que se encuentra en el cabezal de recepción diseñado.



# Capítulo 2

---

## 2. Estado del arte

Este capítulo se centra en el estudio de las características principales de una red de sensores. En concreto, se estudiará el estándar IEEE 802.15.4 sobre el cual se implementa la tecnología ZigBee. Además, se estudiarán los distintos tipos de arquitectura que se podrían implementar para diseñar un receptor de radiofrecuencia. En este estudio, se comentarán las ventajas y desventajas de cada una de las arquitecturas descritas para poder elegir la arquitectura más conveniente. Por último se comentará la arquitectura que se ha elegido para realizar el diseño del receptor.

### 2.1. Redes de sensores inalámbricos

Una red de sensores inalámbricos se puede definir como una red con numerosos dispositivos distribuidos espacialmente, utilizada para monitorizar distintas condiciones ambientales o físicas, como la temperatura, presión, humedad, etc.[9]. En los últimos años ha proliferado el uso de estas redes frente a las redes cableadas utilizadas hasta entonces. Una de las grandes ventajas de las redes inalámbricas, la cual ha propiciado este crecimiento, es la posibilidad de un despliegue rápido de los sensores sin la necesidad de instalar grandes longitudes de cableado. Además, las redes inalámbricas poseen un alto grado de flexibilidad con respecto a las redes cableadas.

Estas ventajas han propiciado el auge de este tipo de redes en aplicaciones industriales de forma que, para cada aplicación en concreto se deberá elegir qué tecnología utilizar en función de cómo se ajusten las especificaciones de dicha tecnología a los requisitos de la aplicación en cuestión. Tal y como se muestra en la **Figura 2-1**, hay varias tecnologías que se pueden usar para aplicaciones de redes inalámbricas.

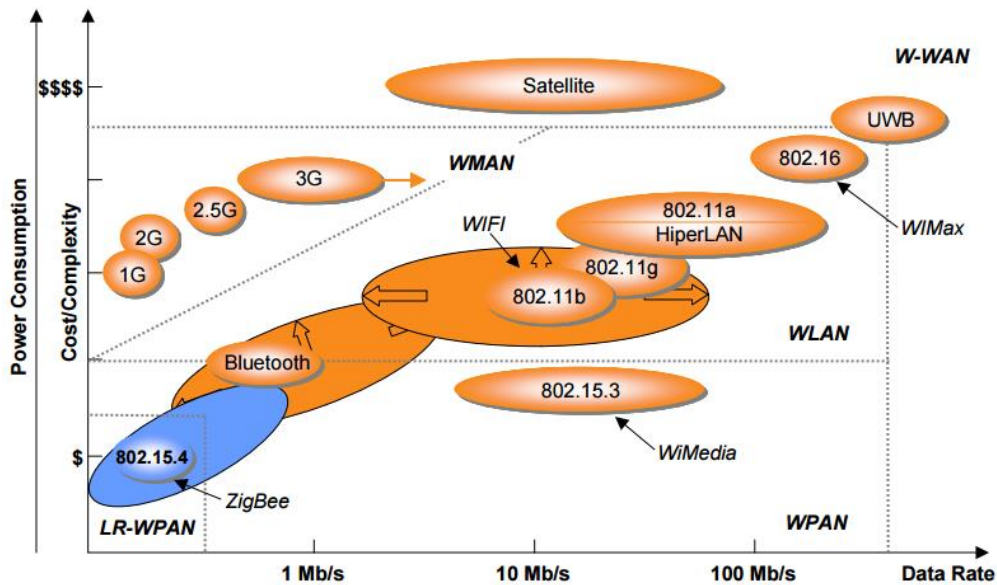


Figura 2-1. Tecnologías inalámbricas.

Como se puede observar, en la **Figura 2-1** se representan las distintas tecnologías inalámbricas existentes en función de la tasa binaria, de la potencia consumida y del coste. En la parte inferior se muestran las redes inalámbricas de área personal (WPAN: *Wireless Personal Area Network*) que se caracterizan por su bajo consumo de potencia y por su bajo coste. En la esquina inferior izquierda se muestra un caso especial de este tipo de redes, las redes de baja tasa de datos (LR-WPAN: *Low Rate Wireless Personal Area Network*). A medida que se aumentan tanto la potencia consumida como el coste, se entra en el rango de las redes inalámbricas de área local (WLAN: *Wireless Local Area Network*). Las redes inalámbricas de área metropolitana (WMAN: *Wireless Metropolitan Area Network*) se diferencian de las WLAN en que la tasa de datos máxima es menor. Por último, para una tasa de datos y potencia consumida elevados, existen las redes inalámbricas de área extensa (WWAN: *Wireless Wide Area Network*).

En este trabajo, al desear implementar un receptor de bajo consumo, y al no ser necesaria una tasa binaria elevada, se ha optado por usar la tecnología ZigBee basada en el estándar IEEE 802.15.4.



## 2.2. Estándar IEEE 802.15.4

En este apartado se analizarán las principales características del estándar IEEE 802.15.4 centrándonos en los parámetros que afectan al diseño del cabezal de recepción. Este estándar fue desarrollado por el grupo de trabajo 802.15 perteneciente al *Institute of Electrical and Electronics Engineers*. Este grupo de trabajo está especializado en redes inalámbricas de área personal. En concreto, este estándar fue desarrollado por el subgrupo 4 de este grupo de trabajo. El estándar 802.15.4 define el nivel físico y el control de acceso al medio de redes LR-WPAN [10].

Por otro lado, este estándar define las dos primeras capas, la capa física y la de enlace, del protocolo OSI (*Open Systems Interconnect*). Sobre el estándar se basan varias tecnologías, como por ejemplo ZigBee, cuyo objetivo es el de dar una solución completa construyendo los niveles superiores del protocolo. En la **Figura 2-2** se muestra en rojo la capa física, en naranja la capa de enlace -que se divide en la subcapa de control de enlace lógico (LLC: *Logical Link Control*) y la subcapa de control de acceso al medio (MAC: *Media Access Control*)- y en gris las capas superiores (las capas de red, transporte, sesión, presentación y aplicación según el modelo OSI). Como se puede observar, tal y como se ha comentado, la capa física y la capa de enlace las gobierna el estándar 802.15.4 mientras que las capas superiores están controladas por ZigBee, u otra tecnología similar.

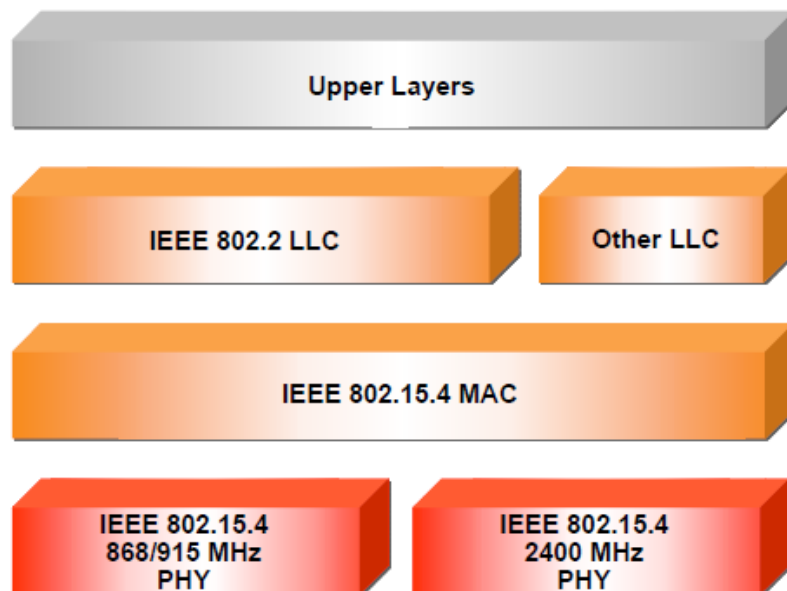





Figura 2-2. Arquitectura del protocolo.

En cuanto a las características principales, en primer lugar, cabe destacar que el estándar puede operar en tres bandas de frecuencia distintas. Estas bandas se encuentran a 868 MHz (sólo en Europa), a 915 MHz (en América) y a 2.4 GHz de forma global. Estas bandas de frecuencia cuentan con 1, 10 y 16 canales, respectivamente (ver **Figura 2-3**). Además, la tasa de datos varía entre los 20 y los 250 kb/s en función de la banda en la que se trabaje [11].

	Channel	Center Frequency (MHz)	Availability
868 MHz Band	0	868.3	 Europe
915 MHz Band	1	906	 Americas
	2	908	
	3	910	
	4	912	
	5	914	
	6	918	
	7	918	
	8	920	
	9	922	
	10	924	
2.4 GHz Band	11	2405	 World Wide
	12	2410	
	13	2415	
	14	2420	
	15	2425	
	16	2430	
	17	2435	
	18	2440	
	19	2445	
	20	2450	
	21	2455	
	22	2460	
	23	2465	
	24	2470	
	25	2475	
	26	2480	

**Figura 2-3.** Bandas de frecuencia y canales del estándar 802.15.4.

### 2.2.1. Aplicaciones

Como ya se ha comentado, la tecnología ZigBee se basa en el estándar IEEE 802.15.4 que ha sido descrito. El uso de esta tecnología se realiza principalmente en aplicaciones que requieran muy bajo consumo y una baja transmisión de datos. Por tanto, puede utilizarse para realizar control industrial, albergar sensores empotrados, recolectar datos médicos o en aplicaciones domóticas. En la **Figura 2-4** se muestran algunas de las múltiples aplicaciones de esta tecnología.



Figura 2-4. Aplicaciones de ZigBee.

En la **Tabla 2-I** se muestra un resumen de las características más importantes de la tecnología ZigBee.

Tabla 2-I. Características de ZigBee

	ZigBee
<b>Bandas de frecuencia</b>	2.4 GHz, 868/915 MHz
<b>Tasa de transferencia</b>	250 kbps (2.4 GHz) 40 kbps (915 MHz) 20 kbps (868 MHz)
<b>Número de canales</b>	16 (2.4 GHz) 10 (915 MHz) 1 (868 MHz)
<b>Rango de nodos internos</b>	10m-100m
<b>Número de dispositivos</b>	255/65535
<b>Requisitos de alimentación</b>	Muy baja- años de batería
<b>Arquitecturas</b>	Estrella, árbol y malla
<b>Complejidad</b>	Simple

Por otra parte, en la **Tabla 2-II** se muestran las especificaciones del estándar IEEE 802.15.4 para receptores de radiofrecuencia [1].

**Tabla 2-II.** Especificaciones del estándar IEEE 802.15.4 para receptores de RF

Parámetros	Especificaciones
Consumo de potencia [mW]	El menor posible
Ganancia del receptor [dB]	$>30$ (FE <sup>1</sup> ) $[-20,65]$ (BB <sup>2</sup> )
Variación de ganancia [dB]	$65$ (FE <sup>1</sup> + BB <sup>2</sup> )
NF [dB]	$<15.5$
Rechazo imagen [dBc]	$>20$
IIP <sub>3</sub> [dBm]	$>-32$ para máxima ganancia $>-10$ para ganancia mínima
Sensibilidad [dB]	$-85$

FE<sup>1</sup>: Front-End o Cabezal de RF

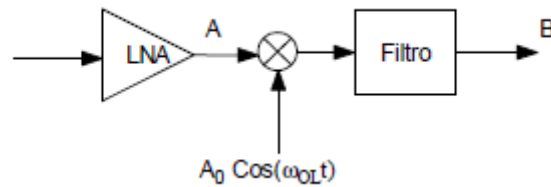
BB<sup>2</sup>: Banda Base

### 2.3. Tipos de arquitectura

En los siguientes apartados se abordará el estudio de la arquitectura del receptor que se ha diseñado. En primer lugar se comentarán distintos tipos de arquitectura que se podrían implementar para diseñar un receptor de radiofrecuencia. Además, se comentarán las ventajas y desventajas de cada una de las arquitecturas descritas para poder elegir la arquitectura más conveniente. Por último se comentará la arquitectura que se ha elegido para realizar el diseño del receptor.

### 2.3.1. Receptor heterodino simple

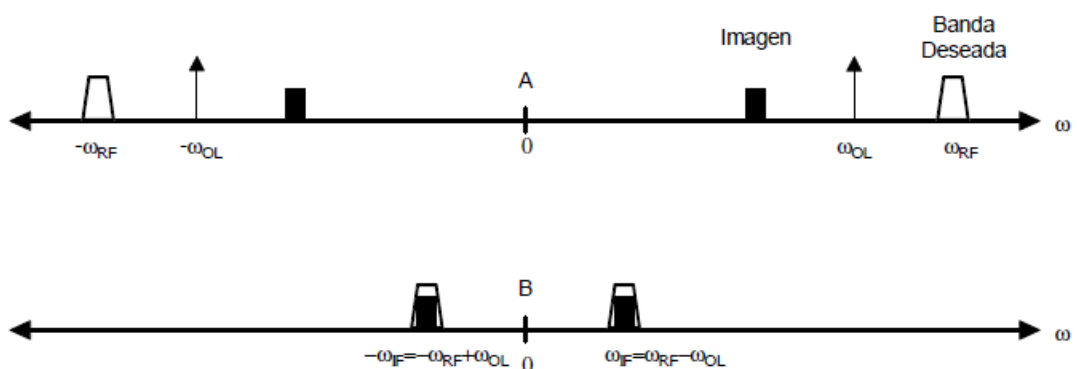
La primera arquitectura de receptor que se va a analizar es la conocida como heterodino simple. El diagrama de bloques de esta arquitectura se muestra en la **Figura 2-5**.



**Figura 2-5.** Diagrama de bloques de un receptor heterodino simple.

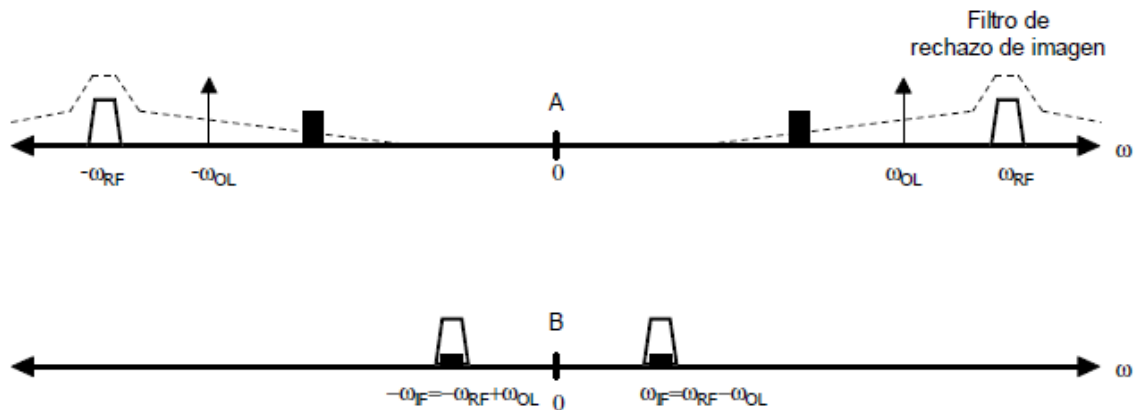
Como se puede observar, se trata de una arquitectura bastante simple. La señal de radiofrecuencia (RF) entrante se amplifica mediante un amplificador de bajo ruido (LNA: *Low Noise Amplifier*). Posteriormente, la señal amplificada se mezcla con la señal que proviene del oscilador local para bajar la señal a frecuencia intermedia (IF: *Intermediate Frequency*). Por último, esta señal pasa por un filtro paso banda para quedarnos con la porción del espectro que nos interesa, que en este caso estará en función de la frecuencia del oscilador local.

Sin embargo, esta arquitectura presenta varios inconvenientes o desventajas. El principal problema que aparece al implementar esta arquitectura es el problema de la frecuencia imagen. Esto sucede cuando la frecuencia de la señal imagen mezclada con la frecuencia del oscilador local da como resultado el valor de la frecuencia intermedia. En la **Figura 2-6** se puede observar este fenómeno.



**Figura 2-6.** Problema de la frecuencia imagen.

Para solventar este problema, es necesario implementar un filtro de rechazo de imagen que permita minimizar la aparición de la frecuencia imagen en la frecuencia intermedia deseada, tal y como se muestra en la **Figura 2-7**.



**Figura 2-7.** Implementación de un filtro de rechazo de imagen.

Sin embargo, al incluir un filtro de rechazo de imagen surge el problema del compromiso entre sensibilidad y selectividad. La sensibilidad se mide en función del rechazo a la frecuencia imagen mientras que la selectividad se mide en función del filtrado del canal. En el caso de que la frecuencia intermedia sea de un valor alto, se puede conseguir una buena sensibilidad pero a costa de tener una mala selectividad ya que es más complicado realizar un buen filtrado de canal. Al contrario, en el caso de que la frecuencia intermedia tenga un valor pequeño, la sensibilidad será mala pero se tendrá una buena selectividad.

Otro problema que presenta esta arquitectura es el problema de mitad de IF. Este problema surge cuando la frecuencia imagen se encuentra a una frecuencia equidistante entre la frecuencia de RF entrante y la frecuencia del oscilador local. Esto provocará que aparezca una distorsión de segundo orden en la frecuencia de IF, tal y como se muestra en la **Figura 2-8**.

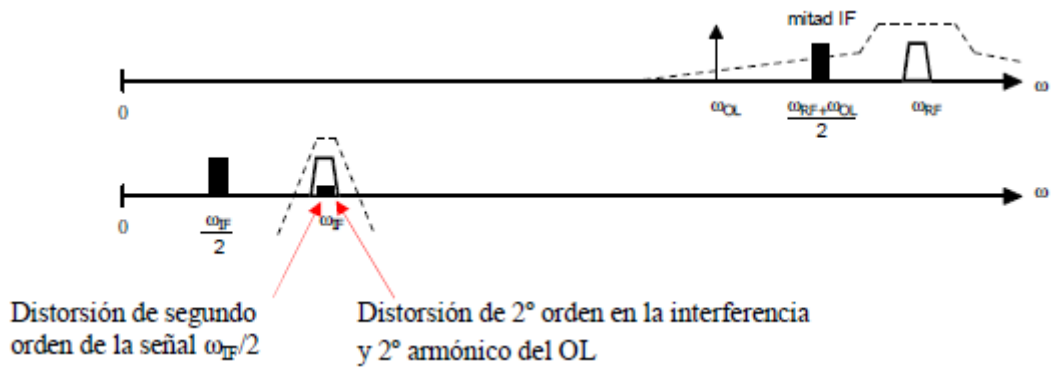


Figura 2-8. Problema de mitad de IF.

Para solventar este problema se deberá minimizar la distorsión de segundo orden tanto de la señal de RF como de la señal IF, así como minimizar el segundo armónico en el oscilador mediante un ciclo de trabajo (duty-cycle) del 50 % [12].

### 2.3.2. Receptor superheterodino

El receptor superheterodino (también conocido como Dual IF) es el más utilizado en la actualidad debido a que aporta un rendimiento alto y estable. Se emplea en equipos de radio, televisión, sistemas de radar, telefonía móvil y sistemas de comunicaciones en general. En la **Figura 2-9** se muestra el diagrama de bloques de esta arquitectura de receptor.

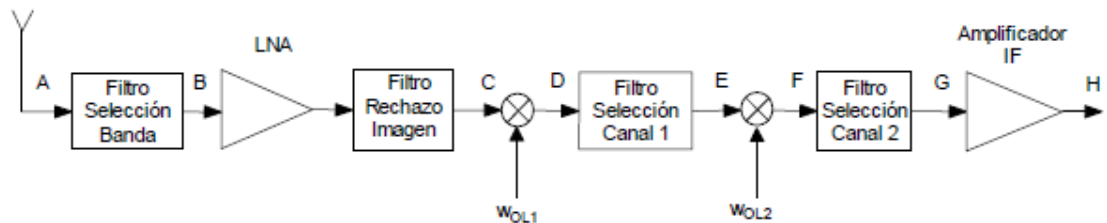


Figura 2-9. Diagrama de bloques de un receptor superheterodino.

Como se puede observar, en esta arquitectura se requiere el uso de más de un mezclador lo que resulta en un mayor consumo y una mayor complejidad en el diseño del receptor. Además, esta arquitectura también presenta el problema de la frecuencia imagen por lo que es necesario utilizar filtros de rechazo de imagen, aumentando el área del receptor. Por otro lado, esta arquitectura mejora el compromiso entre sensibilidad y selectividad ya que se incluyen dos etapas de mezcla o conversión. Para ello se usa una primera frecuencia intermedia alta para alcanzar el nivel de rechazo de imagen deseado, es decir, obtener una buena sensibilidad. En segundo lugar se utiliza una segunda frecuencia intermedia baja con el objetivo de alcanzar una selectividad adecuada. En la **Figura 2-10** se muestran los

distintos pasos de filtrado que se realizan en la cadena de recepción de este tipo de arquitectura.

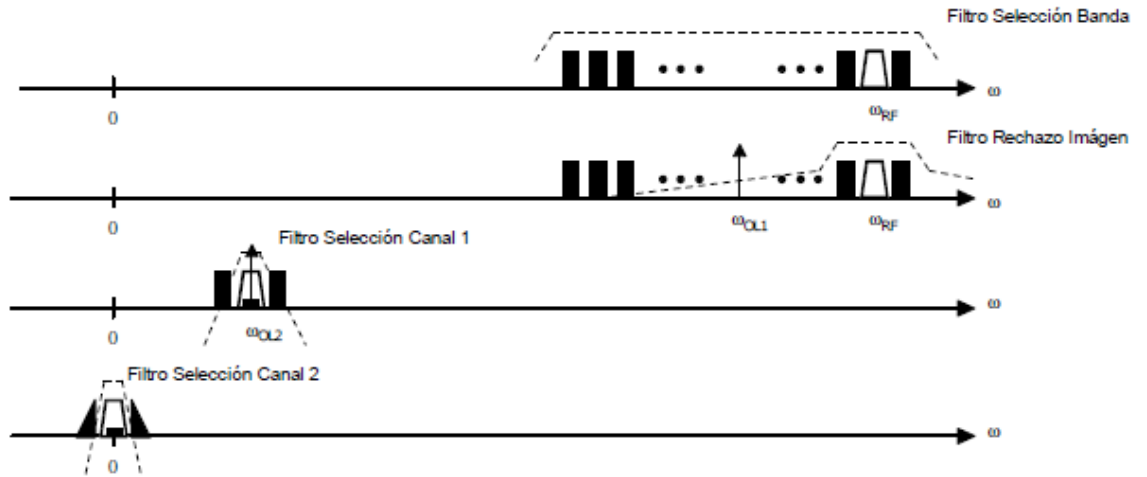


Figura 2-10. Etapas de filtrado en un receptor superheterodino.

Otra ventaja que presenta esta arquitectura es que permite repartir la ganancia entre la etapa de RF y la IF, lo que reduce el riesgo de que se produzcan inestabilidades. Esto es especialmente ventajoso en aplicaciones en las que se requiera una ganancia elevada, puesto que es posible incluir una mayor cantidad de etapas de amplificación [13]. Sin embargo, se puede afirmar que este tipo de receptor no es el más idóneo para aplicaciones de bajo coste y bajo consumo [1].

Para aplicaciones que requieran de un sistema digital, se debe diferenciar entre fase y cuadratura. Para ello es necesario utilizar dos mezcladores para obtener ambos canales, es decir, la amplitud y la fase de la envolvente compleja de la señal. Esto se debe a que las dos bandas laterales del espectro de RF contienen información diferente y si se solapan al realizar una mezcla, no es posible recuperar dicha información. En la **Figura 2-11** se muestra la estructura de un receptor superheterodino para sistemas digitales.

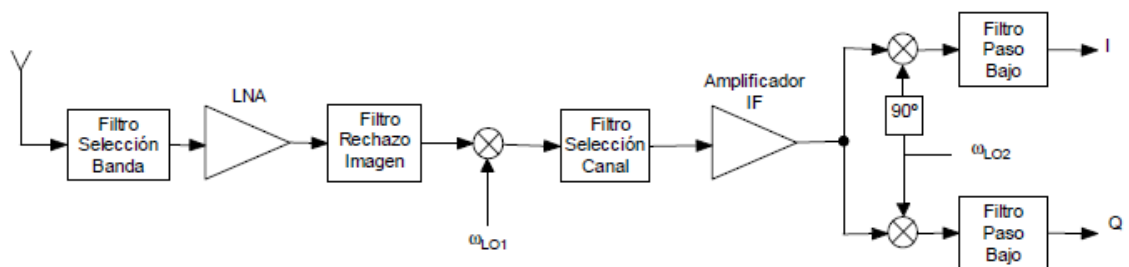
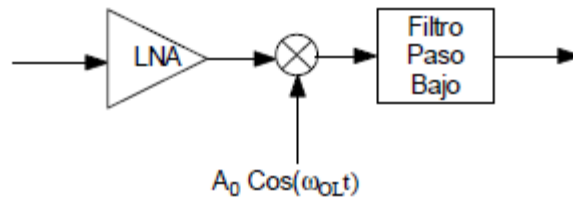


Figura 2-11. Receptor superheterodino para sistemas digitales.



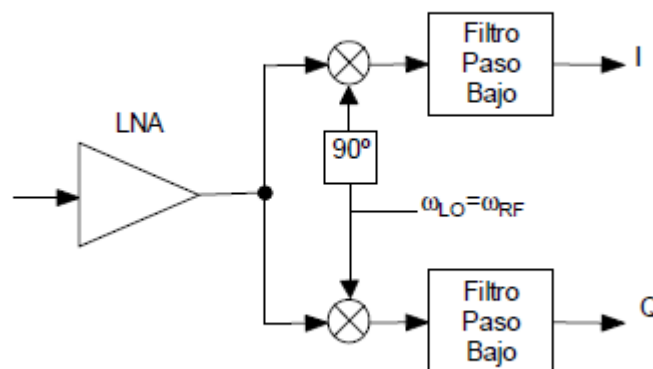
### 2.3.3. Receptor homodino

Este tipo de receptor también es conocido como receptor de conversión directa y se puede diferenciar, a su vez, en dos subtipos: receptor Cero-IF y receptor *Low-IF*. En la **Figura 2-12** se puede observar el diagrama de bloques de un receptor homodino o de conversión directa.



**Figura 2-12.** Diagrama de bloques de un receptor homodino.

Al igual que en el receptor superheterodino, en el receptor homodino se debe diferenciar entre fase y cuadratura para aplicaciones en sistemas digitales. En la **Figura 2-13** se muestra el diagrama de bloques de un receptor homodino para sistemas digitales.



**Figura 2-13.** Receptor homodino para sistemas digitales.

#### 2.3.3.1. Receptor Cero-IF

Este tipo de receptor destaca porque, en este caso, la frecuencia intermedia está situada en 0 Hz. Para ello, la señal de RF se mezcla con una señal del oscilador local de la misma frecuencia. Por tanto, la frecuencia intermedia se encuentra en banda base. En la **Figura 2-14** se muestra este procedimiento.

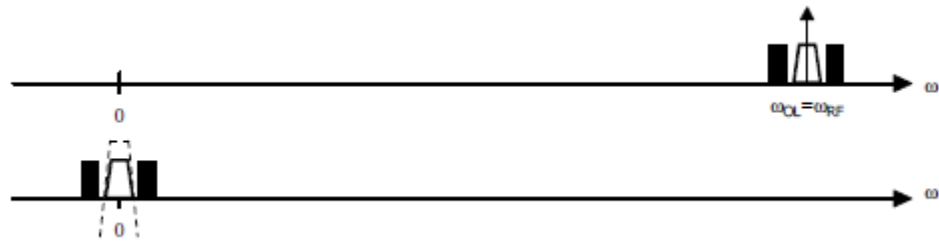


Figura 2-14. Receptor cero-IF.

Las principales ventajas de esta arquitectura son, en primer lugar, que se trata de una arquitectura bastante simple y se evita el problema de la frecuencia imagen. Esto supone un menor coste en área ya que no son necesarios filtros de rechazo de imagen. Otra ventaja de esta arquitectura es que se utiliza un filtro paso bajo en lugar de un filtro paso banda. Estos últimos son de implementación más compleja, por tanto, al usar los primeros, la simplicidad del receptor es mayor.

Sin embargo, esta arquitectura presenta una serie de desventajas que se deben tener en cuenta a la hora de implementar esta arquitectura en un receptor de radiofrecuencia. La principal desventaja es la de la aparición de tensiones de continua no deseadas (*DC offset*). Esto es especialmente problemático al estar trabajando en banda base, donde aparecen las tensiones de continua. Si estas tensiones aparecen en los bloques siguientes pueden corromper la señal o saturar el circuito. Estas tensiones pueden aparecer tanto por las fugas del oscilador local hacia la entrada o viceversa, desde la entrada hacia el oscilador local. Esto se muestra en la **Figura 2-15**.

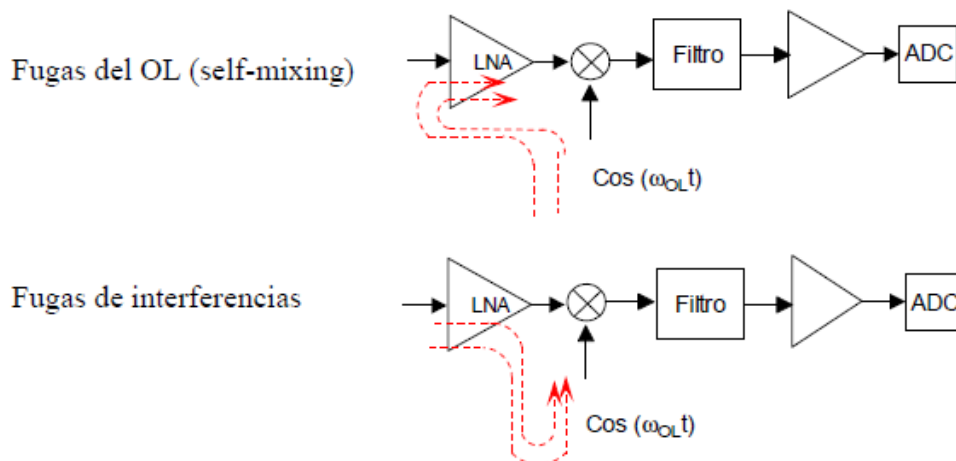
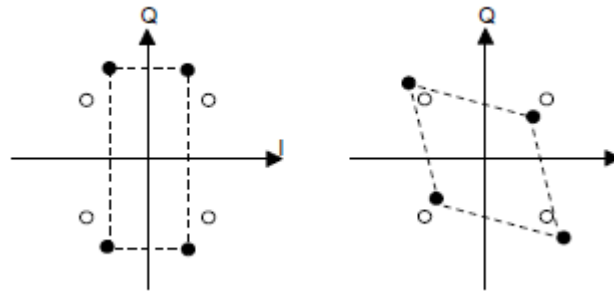


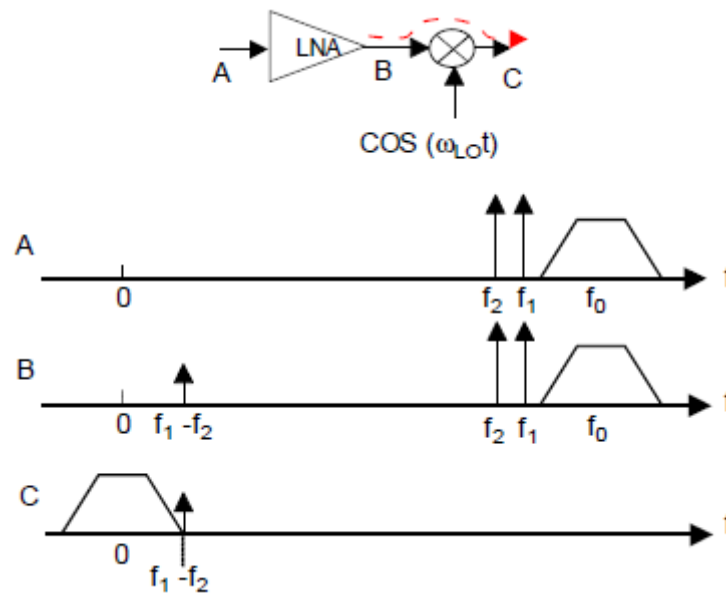
Figura 2-15. Problema de DC offset.

Otra de las principales desventajas de esta arquitectura es la asimetría entre la fase y la cuadratura. Esto se produce puesto que en la generación de las señales en cuadratura, los caminos no son iguales. En la **Figura 2-16** se muestra un ejemplo del efecto de la asimetría en una constelación QPSK. En este caso se puede observar como hay tanto error de amplitud como error de fase.



**Figura 2-16.** Ejemplo del efecto de la asimetría en una constelación QPSK.

La distorsión de segundo orden es otro de los inconvenientes de utilizar la arquitectura cero-IF. Esta se produce cuando los armónicos de segundo orden de la señal de entrada aparecen en la frecuencia intermedia, pudiendo corromper la señal. Esto afecta directamente a la linealidad del receptor, empeorándola ostensiblemente. En la **Figura 2-17** se ilustra este efecto.



**Figura 2-17.** Distorsión de segundo orden.

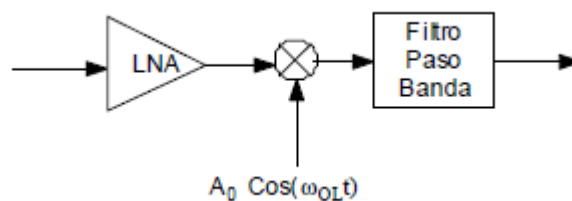
Entre los inconvenientes de esta arquitectura también cabe destacar el problema del ruido *flicker*. Este tipo de ruido se caracteriza porque su densidad espectral de potencia

aumenta a bajas frecuencias [12]. Por tanto, al estar trabajando en banda base en esta arquitectura, este ruido es un factor a tener en cuenta.

Las fugas del oscilador local hacia la entrada es otra de las desventajas de este tipo de arquitectura. Estas fugas pueden provocar interferencias en las bandas de los otros receptores.

### 2.3.3.2. Receptor Low-IF

Esta arquitectura es parecida a la cero-IF, con la diferencia de que en este caso la frecuencia intermedia es de un valor bajo, sin llegar a los 0 Hz. En otras palabras, se trabaja en bajas frecuencias pero no en banda base. Por tanto, en lugar de filtros paso bajo se utilizan filtros paso banda (de baja frecuencia). En la **Figura 2-18** se muestra el diagrama de bloques de un receptor con esta arquitectura.



**Figura 2-18.** Diagrama de bloques de un receptor Low-IF.

Las principales ventajas de esta arquitectura son, en primer lugar, que se trata de una arquitectura bastante simple y, en segundo lugar, que se minimizan los problemas del *DC offset* y el ruido *flicker*.

Por el contrario, en esta arquitectura se agravan los problemas del rechazo a la frecuencia imagen. Para solucionarlo se implementa un filtro polifásico que distinga entre la fase y la cuadratura, tal y como se muestra en la **Figura 2-19**.

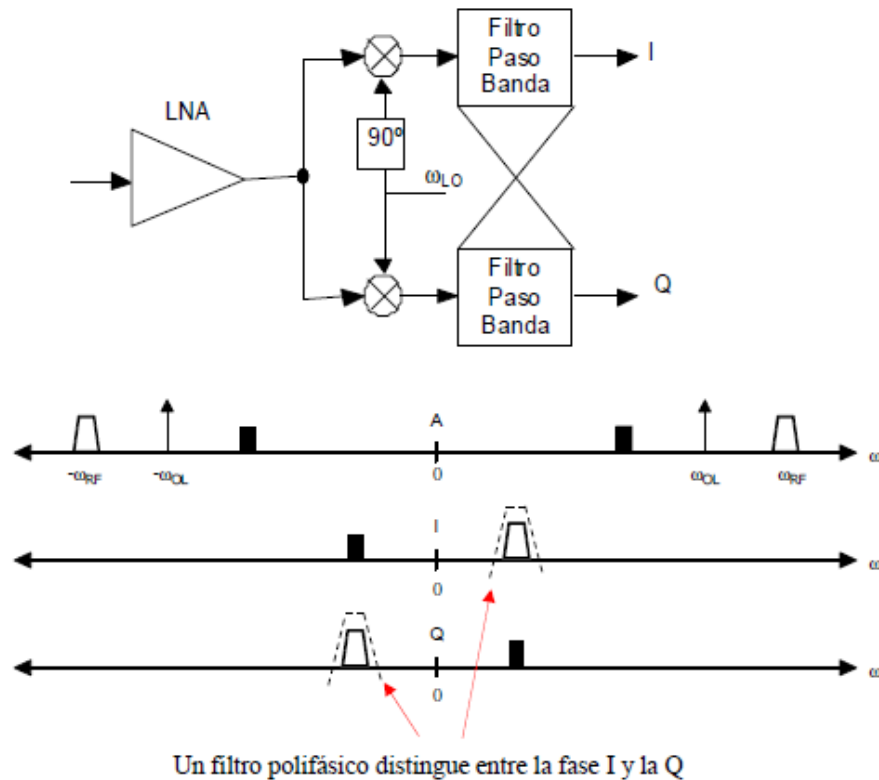
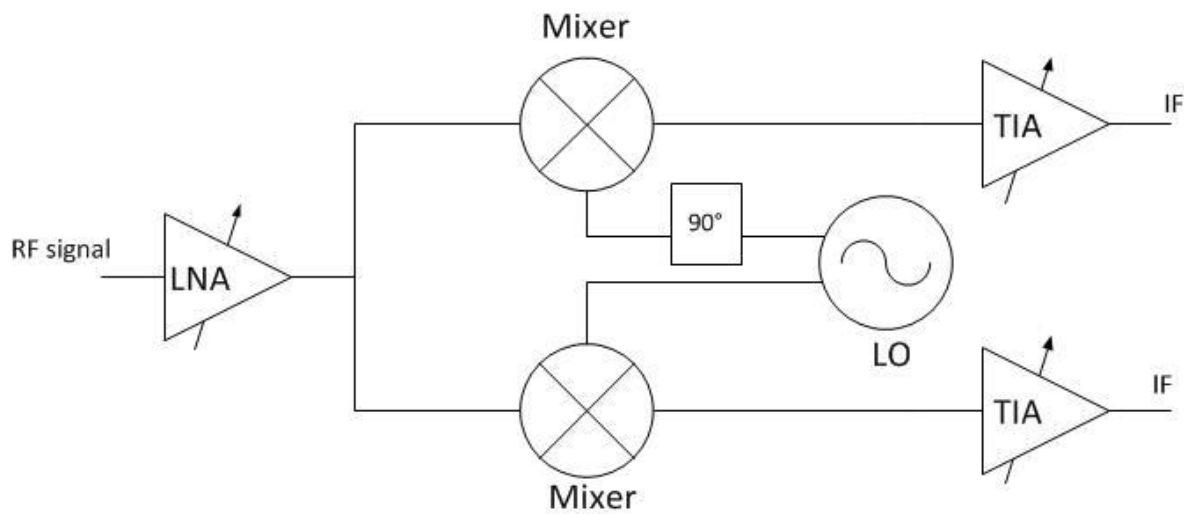


Figura 2-19. Filtro polifásico como solución al problema de la frecuencia imagen.

## 2.4. Arquitectura del cabezal de recepción diseñado

Una vez analizadas las distintas arquitecturas posibles de un receptor de radiofrecuencia, y analizadas las ventajas y desventajas de cada una, se ha optado por una arquitectura de receptor de conversión directa del tipo *Low-IF*. Como se ha analizado en el apartado anterior, la arquitectura de receptor superheterodino no es la más adecuada para aplicaciones de bajo coste y bajo consumo y, por tanto, queda descartada para este caso. Si se deseara utilizar una arquitectura de cero-IF, sería necesario implementar filtros complejos con realimentación para eliminar problemas como el nivel de continua introducido. Por tanto, por simplicidad a la hora de diseñar los filtros en un futuro, se ha optado por la arquitectura de conversión a baja frecuencia (*Low-IF*). Además, como ya se ha comentado, esta arquitectura minimiza los problemas del ruido *flicker*.

En cuanto a la estructura del cabezal de recepción, en la **Figura 2-20** se muestra un diagrama de bloques del cabezal que se ha diseñado.



**Figura 2-20.** Estructura del cabezal de recepción.

Como se puede observar, el cabezal de recepción consta de tres partes principales. La primera corresponde al amplificador de bajo ruido o LNA. La función del LNA es la de amplificar la señal de RF entrante introduciendo el menor ruido posible así como la de adaptar la señal que proviene de la antena. En segundo lugar se sitúan los mezcladores que están controlados por un oscilador local y cuya función es la de bajar la frecuencia de la señal a la frecuencia deseada, es decir, a la frecuencia intermedia. En este caso, al ser un receptor del tipo de conversión a baja frecuencia, la señal de trabajo será de frecuencia baja. Por último se encuentran los amplificadores de transimpedancia (TIA: Trans-Impedance Amplifier) que convierten la señal de corriente en señal de tensión.

Este cabezal de recepción será integrado posteriormente en un receptor completo, el cual deberá tener un filtro polifásico a la salida de los amplificadores de transimpedancia para resolver el problema de la frecuencia imagen. Sin embargo, el diseño del filtro polifásico queda fuera del alcance de este proyecto.

## 3. Estudio de la tecnología

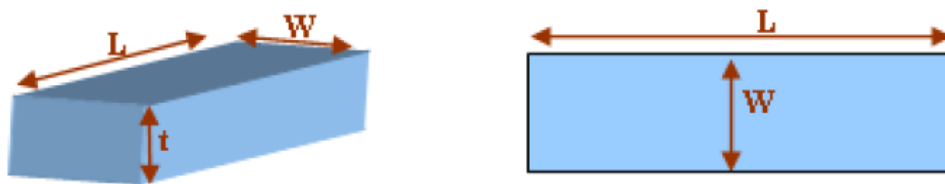
En este capítulo se presenta una visión general de la tecnología *UMC 0.18 μm 1P6M Salicide Mixed Mode/RF CMOS* de la fundidora United Microelectronics Corporation (UMC). Esta tecnología consta de seis metales, siendo la última capa de metal la de mayor espesor y mayor conductividad. Esto permite mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, los transistores que se utilizan son del tipo MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor), siendo la longitud de puerta mínima en esta tecnología de 0.18 μm. Además, la tecnología UMC 0.18 μm ofrece una amplia librería de componentes pasivos [14].

En este estudio se comenzará con una descripción teórica de los dispositivos, para posteriormente analizar los distintos modelos para cada componente. Por último, se estudiarán los componentes que han sido optimizados para radio frecuencia y que, por tanto, serán de especial interés para este proyecto.

### 3.1. Resistencias

#### 3.1.1. Construcción

El valor óhmico de una resistencia integrada depende fundamentalmente del valor resistivo del material. En la **Figura 3-1** se muestra un modelo de una resistencia integrada y los parámetros que influyen en el valor óhmico.



**Figura 3-1.** Parámetros de una resistencia.

Partiendo de la **Figura 3-1**, el valor de la resistencia se obtiene a partir de la ecuación (3.1):

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (3.1)$$

Siendo  $\rho$  y  $t$  la resistividad y el espesor del material, y  $L$  y  $W$  la longitud y la anchura de la pista, respectivamente.

En procesos de fabricación de dispositivos basados en semiconductores, el espesor de las capas de material resistivo permanece constante, por lo que el valor de la resistencia puede determinarse mediante la ecuación (3.2):

$$R = R_{square} \cdot \frac{W}{L} \quad (3.2)$$

Siendo  $R_{square}$  la resistencia por cuadrado, que es igual al cociente entre la resistividad y el espesor del material.

### 3.1.2. Resistencias en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  presenta una amplia gama de resistencias: RNHR, RNNP0, RNPP0, etc. La elección del tipo de resistencia a utilizar se basa en el valor resistivo que se pretenda integrar. En la **Figura 3-2** se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros de las resistencias.

CDF Parameter	Value	Display
Model Name	rnhr_rf	off
Width	2.0u M	off
Length	3.94u M	off
Resistance	2.002075K Ohms	off
Multiplier	1	off
Rsh (ohm/sq)	1039	off
Rend (ohm-um)	0.00012	off
delta Width (um)	-4.3e-08	off
delta Length (um)	-4e-07	off

**Figura 3-2.** Cuadro de diálogo de Cadence de ajuste de parámetros de resistencias.



Teniendo en cuenta la ecuación (3.2), para obtener el valor resistivo deseado se deben variar tanto el ancho como la longitud de la pista.

### 3.1.3. Resistencias optimizadas para RF en la tecnología UMC 0.18 $\mu\text{m}$

En este apartado se estudiarán las resistencias optimizadas para radiofrecuencia que son RNHR\_RF y RNNPO\_RF/RNPPPO\_RF. Durante la simulación de estos tipos de resistencias se utiliza el mismo circuito equivalente, si bien las ecuaciones que determinan los valores de los componentes que configuran dicho modelo varían en función del tipo de resistencia[15]. En la **Figura 3-3** se muestra el circuito equivalente de una resistencia en la tecnología UMC 0.18 $\mu\text{m}$  CMOS.

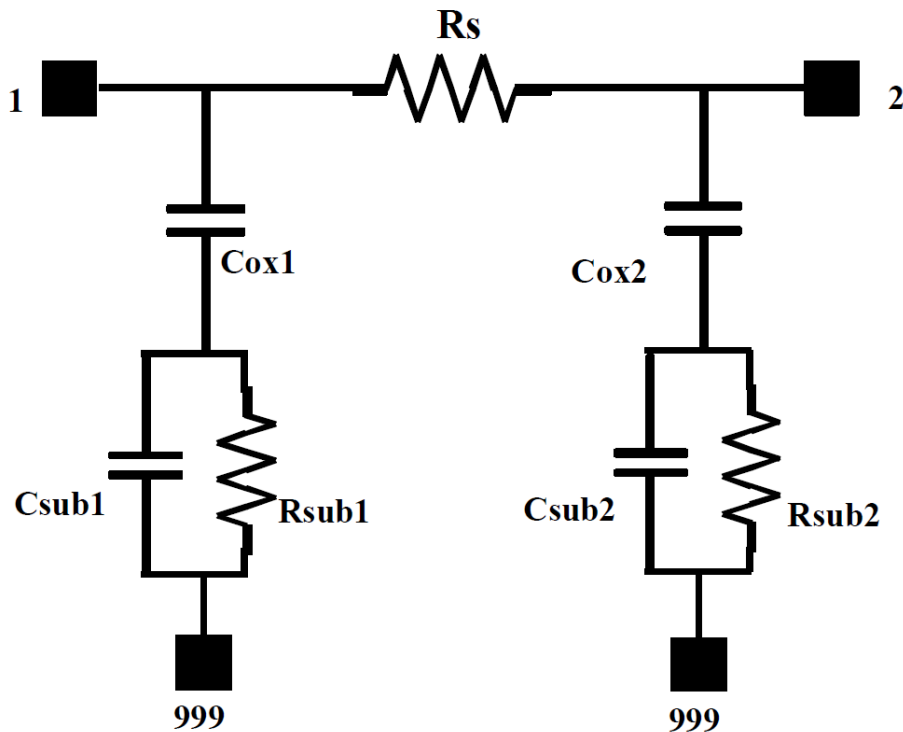


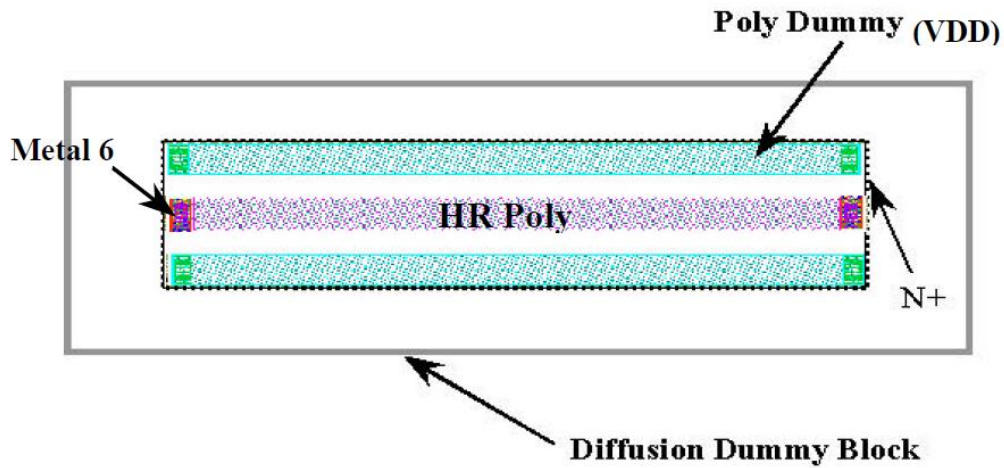
Figura 3-3. Circuito equivalente de una resistencia.

En la **Figura 3-3**, la resistencia  $R_s$  representa el valor resistivo deseado para la resistencia integrada. Por otra parte, la capacidad asociada al óxido de la resistencia se representa con los condensadores  $C_{ox1}$  y  $C_{ox2}$ . Por último, la influencia del sustrato ha sido modelada utilizando una red RC ( $R_{sub}$  y  $C_{sub}$ ).

Las características principales de estos tipos de resistencia son:

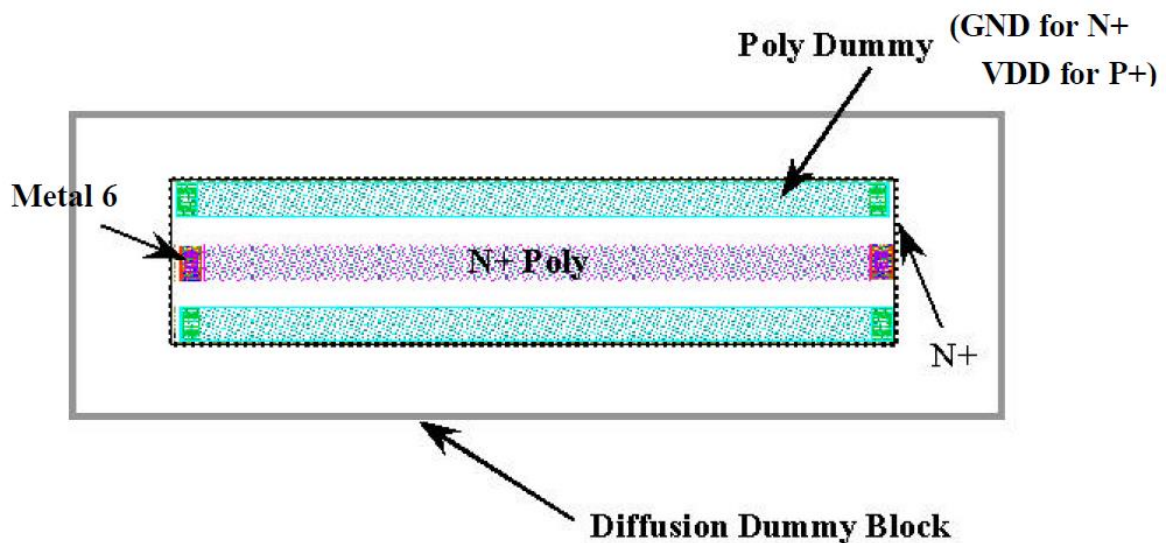
- El rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.
- El ancho de pista debe ser mayor a 2  $\mu\text{m}$ .
- La relación entre el largo y el ancho de la pista debe ser menor a 10.

En la **Figura 3-4** se muestra el *layout* típico de una resistencia RNHR\_RF, generada a partir del asistente que presenta el *kit* de diseño de la tecnología.



**Figura 3-4.** *Layout* de una resistencia del tipo RNHR\_RF.

En la **Figura 3-5** se muestra el *layout* de una resistencia del tipo RNNPO\_RF, generada a partir del asistente que presenta el *kit* de diseño de la tecnología.



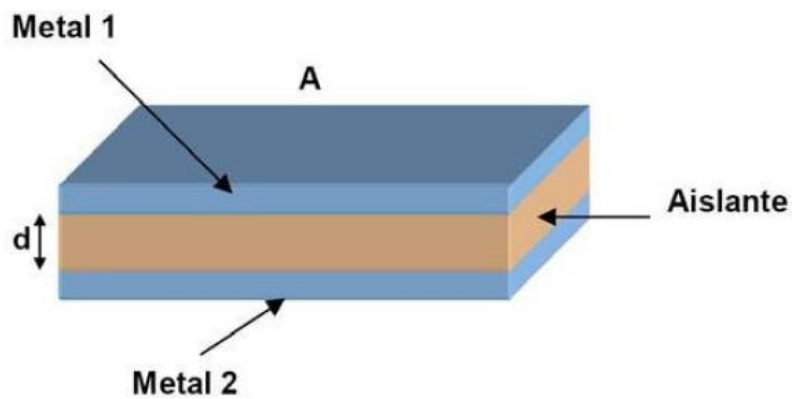
**Figura 3-5.** *Layout* de una resistencia del tipo RNNPO\_RF.

La principal diferencia entre estos dos tipos de resistencias, optimizados para RF, radica en el hecho que las RNHR\_RF permiten alcanzar unos valores resistivos más altos debido al uso de un polisilicio altamente resistivo (HR: *High Resistive*).

## 3.2. Condensadores

### 3.2.1. Construcción

En sistemas integrados, la implementación de condensadores se reduce a la construcción de dos capas planas de metal, separadas por una capa de material aislante. En la **Figura 3-6** se muestra un esquema de la construcción de un condensador integrado.



**Figura 3-6.** Construcción de un condensador.

A partir de la **Figura 3-6** se puede calcular el valor de la capacidad del condensador mediante la ecuación (3.3):

$$C = \frac{\epsilon_r \cdot \epsilon_0 \cdot A}{d} \quad (3.3)$$

Siendo  $\epsilon_r$  la permitividad relativa del material dieléctrico entre las placas metálicas,  $\epsilon_0$  la permitividad del vacío,  $A$  el área efectiva y  $d$  la distancia entre placas metálicas.

### 3.2.2. Condensadores en la tecnología UMC 0.18 $\mu\text{m}$

En esta tecnología se dispone de cuatro tipos de condensadores: NCAP\_MM, PCAP\_MM, MIMCAPM\_RF y MIMCAPS\_MM. La elección de un tipo de condensador a utilizar se basa en el valor capacitivo que se pretenda integrar. En la **Figura 3-7** se muestra el cuadro de diálogo donde se ajustan los parámetros de diseño del condensador.

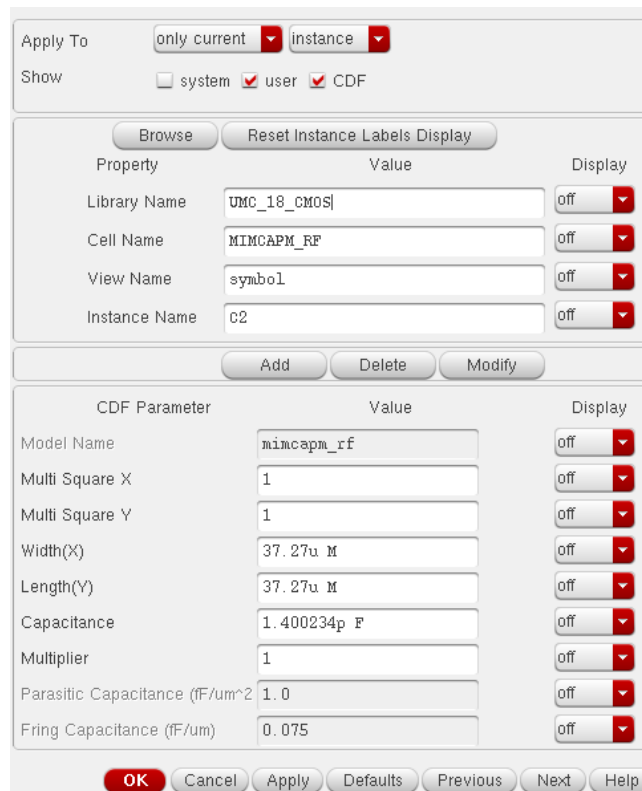
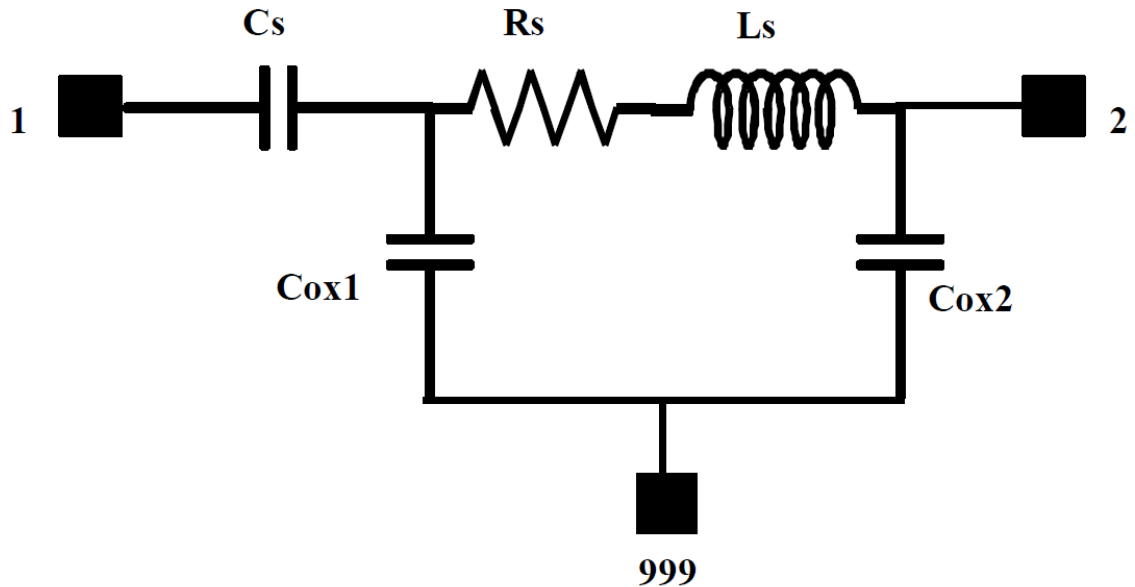


Figura 3-7. Cuadro de diálogo de Cadence de ajuste de parámetros de condensador.

En este caso, se muestra el cuadro de diálogo de Cadence de ajuste de parámetros de un condensador del tipo MIMCAPM\_RF. Teniendo en cuenta que el valor capacitivo del condensador está directamente relacionado con las dimensiones del condensador, variando el ancho y la longitud del condensador se puede obtener el valor capacitivo deseado. Además, para este tipo de condensador los parámetros *Multi Square X* y *Multi Square Y* indican el número de bloques o *fingers* horizontales y verticales, respectivamente.

### 3.2.3. Condensadores optimizados para RF en la tecnología UMC 0.18 $\mu\text{m}$

Este apartado se centra en el tipo de condensador optimizado para RF, el MIMCAPM\_RF. Este condensador se basa en un diseño modular que parte de un bloque o *finger* del condensador, el cual es replicado hasta obtener el valor capacitivo deseado. En la **Figura 3-8** se muestra el circuito equivalente del condensador MICAPM\_RF de la tecnología UMC 0.18  $\mu\text{m}$  CMOS: Este condensador es del tipo *Metal-Insulator-Metal* (MIM).



**Figura 3-8.** Circuito equivalente del condensador MIMCAPM\_RF.

Tal y como se puede observar, el valor capacitivo deseado se representa con el condensador  $C_s$ . En cuanto a  $R_s$  y  $L_s$ , representan la resistencia e inductancia parásitas. Por último, la capacidad parásita que aparece entre el metal de menor nivel y el óxido se modela con los condensadores  $C_{ox1}$  y  $C_{ox2}$ .

Las características principales de este tipo de condensador son:

- El rango de frecuencias de operación va desde los 100 MHz hasta los 10 GHz.
- El tamaño mínimo del condensador es de  $10\ \mu\text{m} \times 10\ \mu\text{m}$ .
- Existe una limitación entre el ancho ( $W$ ) y la longitud ( $L$ ) del transistor. Esta limitación se modela con la ecuación (3.4).

$$1 \leq \frac{L \cdot n_x}{W \cdot n_y} \leq 6 \quad (3.4)$$

Donde  $n_x$  y  $n_y$  son el número de bloques o *fingers* horizontales y verticales, respectivamente.

En la **Figura 3-9** se muestra el *layout* de condensadores del tipo MIMCAPM\_RF, generado a partir del asistente que presenta el *kit* de diseño de la tecnología.

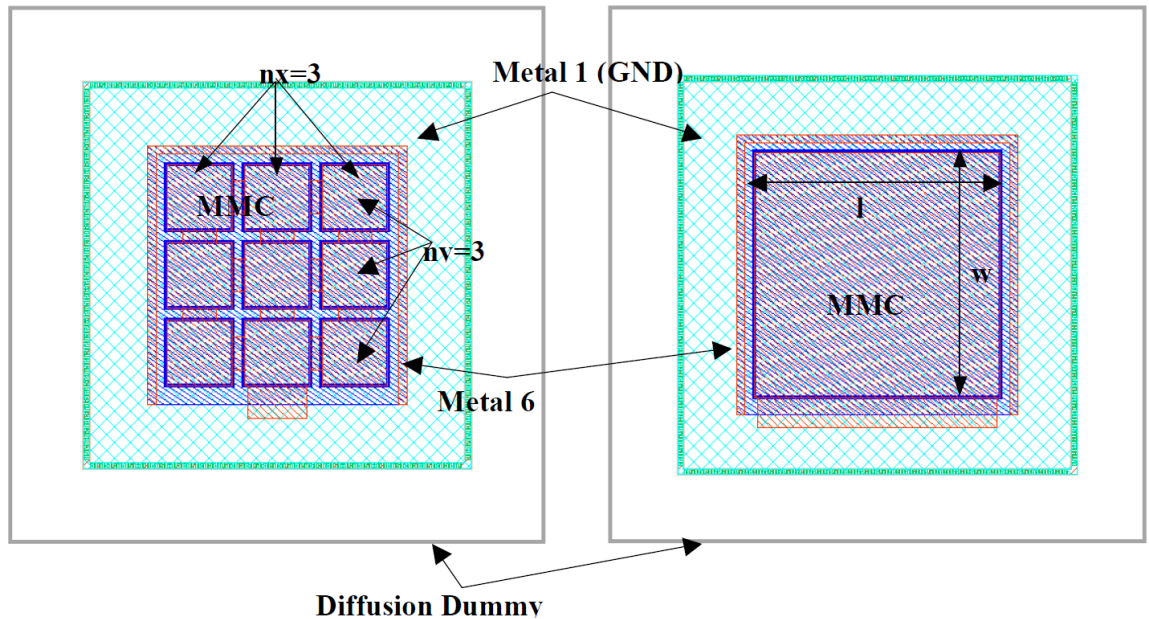


Figura 3-9. Layout de condensadores del tipo MICAPM\_RF.

Si se observa detenidamente la **Figura 3-9**, en la parte izquierda de la misma se muestra un condensador en el que se tiene tres bloques horizontales y tres verticales. Por otra parte, en la parte derecha de la **Figura 3-9** se muestra un condensador con un único bloque. El primer tipo de condensador se denomina *Multi-Rectangle* (MR), mientras que el segundo tipo se denomina *Single-Rectangle* (SR).

En la **Figura 3-10** se muestra una representación de la sección transversal de un condensador del tipo MIMCAPM\_RF.

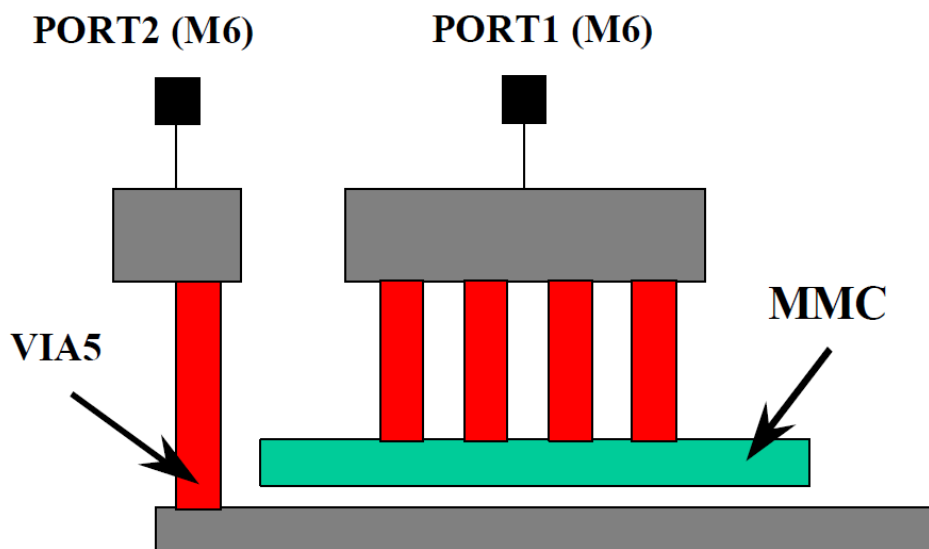


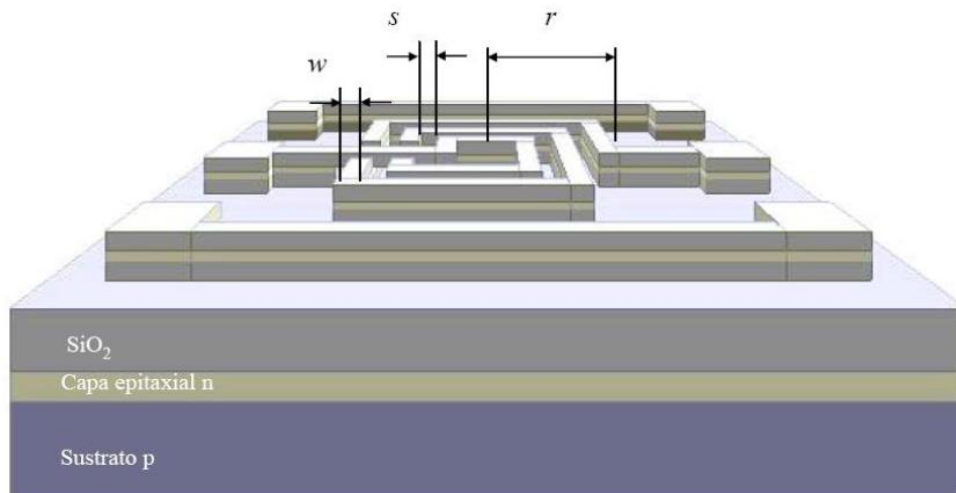
Figura 3-10. Sección transversal del layout de un condensador MICAPM\_RF.

Como se puede observar en la **Figura 3-10**, el puerto 1 se conecta a la placa conductora superior del condensador, mientras que el puerto 2 se conecta a la placa inferior. Ambos puertos están fabricados con la capa de metal superior, que se corresponde con el Metal6 en esta tecnología.

### 3.3. Bobinas

#### 3.3.1. Construcción

Típicamente, un inductor integrado se diseña generando una espiral con pistas metálicas sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de al menos dos niveles de metal para poder acceder a este terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se le conoce como *underpass* o *cross-under*. En la **Figura 3-11** se muestra una bobina espiral cuadrada simple, donde se puede apreciar la disposición del *underpass*, además de los parámetros geométricos más importantes de una bobina. Concretamente, se muestra el radio ( $r$ ), la anchura ( $w$ ) y la separación entre pistas ( $s$ ).



**Figura 3-11.** Modelo de una bobina cuadrada simple.

#### 3.3.2. Funcionamiento

Un inductor se caracteriza principalmente por su factor de calidad, cuyo valor se calcula con la ecuación (3.5):

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3.5)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio suele ser bastante deficiente debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados sigue siendo objeto de investigación, sin embargo, los fenómenos físicos causantes de la degradación de la misma han sido identificados. Los fenómenos más relevantes están asociados a las pérdidas en el sustrato, pérdidas en los metales por su alta resistividad, además de las pérdidas causadas por el efecto pelicular (*skin effect*) y por las corrientes de torbellino (*eddy currents*) [16]. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espiral, aparecen campos eléctricos y magnéticos como los que se muestran en la **Figura 3-12**:

- El campo magnético  $B(t)$  está originado por la corriente de alterna que circula por las espirales. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y en las pistas de la espiral. Teniendo en cuenta que este campo magnético atraviesa el sustrato y las pistas de la espira, se inducen *eddy currents* en ambas.
- $E_1(t)$  es el campo eléctrico en las pistas de la espiral. Produce la corriente de conducción a la cual están asociadas unas pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$  es el campo eléctrico entre las pistas de la espiral y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$  es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato, además de pérdidas óhmicas en el sustrato.
- $E_4(t)$  es el campo eléctrico que aparece entre la espiral y el *underpass*. Este campo genera una capacidad parásita en paralelo a la bobina.



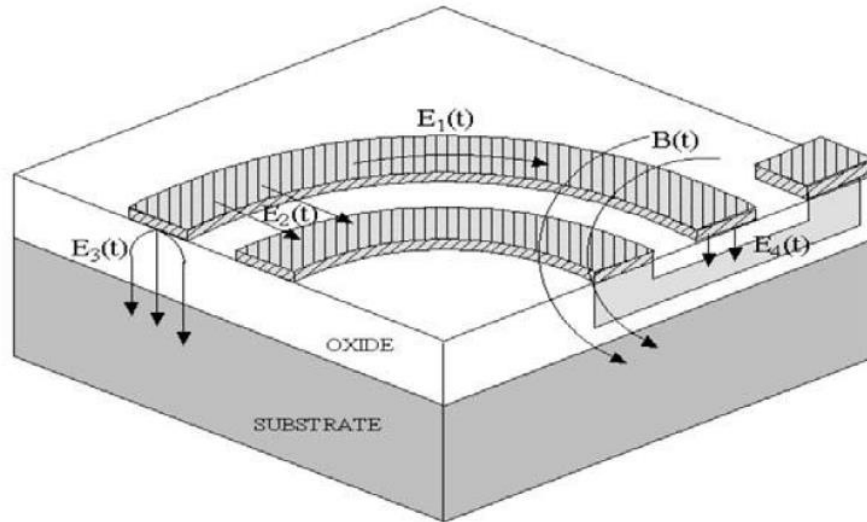


Figura 3-12. Campos eléctricos y magnéticos en un inductor integrado.

### 3.3.3. Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la **Figura 3-13**.

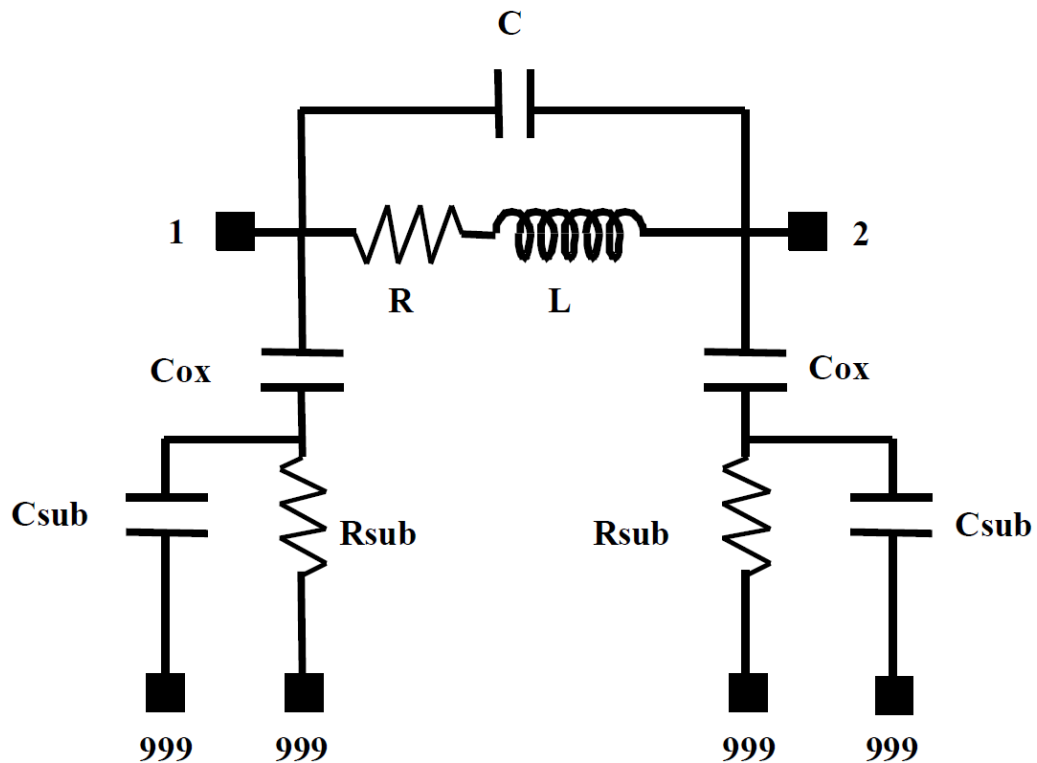


Figura 3-13. Modelo clásico de un inductor espiral integrado.

En la **Figura 3-13** se puede observar que en serie con la inductancia deseada  $L$ , aparece una resistencia  $R$  que representa las pérdidas óhmicas generadas por  $E_1(t)$  (ver **Figura 3-12**). El condensador  $C$  modela el acoplamiento capacitivo generado por  $E_2(t)$  y  $E_4(t)$ . El resto

de elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores  $C_{ox}$  representan las capacidades que aparecen entre la espiral y el sustrato, mientras que los condensadores  $C_{sub}$  representan las capacidades parásitas asociadas al sustrato. Por último, las resistencias  $R_{sub}$  modelan las pérdidas óhmicas del sustrato.

### 3.3.4. Bobinas en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología de UMC 0.18  $\mu\text{m}$  dispone de un único modelo de bobina integrada, el L\_SLCR20K\_RF. En la **Figura 3-14** se muestra el cuadro de diálogo en el que se pueden ajustar los parámetros de la bobina.

Property	Value	Display
Library Name	UMC_18_CMOS	off
Cell Name	L_SLCR20K_RF	off
View Name	symbol	off
Instance Name	L2	off

CDF Parameter	Value	Display
Model Name	l_slcr20k_rf	off
Diameter	203.000000u M	off
Width	20u M	off
Turn Number	2.5	off
Inductance	2.58712n H	off

**Figura 3-14.** Cuadro de diálogo de Cadence de ajuste de parámetros de bobinas.

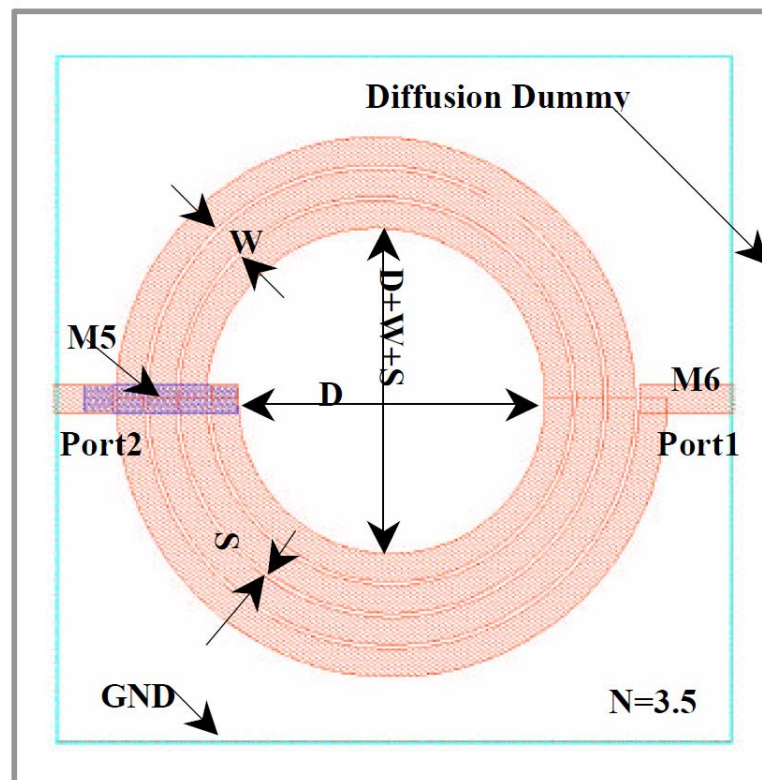
Para obtener el valor de inductancia deseado, se varían los parámetros geométricos de la bobina. Concretamente, los parámetros que se varían son el ancho de la pista, el diámetro de la bobina y el número de vueltas de la espira.

Las características principales de este tipo de bobinas son:

- El rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.
- El rango de valores de inductancia efectivos está entre 1 y 12 nH a la frecuencia de 300 MHz.
- El ancho de la capa de metal superior debe tener un valor entre 6 y 20  $\mu\text{m}$ .

- El diámetro interior de la bobina debe estar en un rango entre 126 y 238  $\mu\text{m}$ .
- El número de vueltas debe estar entre 1.5 y 5.5, con pasos de 1. Es decir, solo puede tomar los siguientes valores: 1.5, 2.5, 3.5, 4.5, 5.5.
- El espacio entre las pistas metálicas está fijado a 2  $\mu\text{m}$ .
- El espesor de la capa de metal superior es de 20 KA.

En la **Figura 3-15** se muestra el *layout* de una bobina del tipo L\_SLCR20K\_RF, generada a partir del asistente que presenta el *kit* de diseño de la tecnología.



**Figura 3-15.** *Layout* de una bobina del tipo L\_SLCR20K\_RF.

### 3.4.El Transistor MOSFET

#### 3.4.1. Construcción

En la **Figura 3-16** se muestra una sección transversal de dos transistores MOS, uno tipo n y el otro tipo p. En el caso del transistor tipo n, el surtidor (S: *Source*) y el drenador (D: *Drain*) se construyen sobre difusiones n+, sobre un sustrato p. Por otra parte, en el transistor tipo p el surtidor y el drenador están formados con difusiones tipo p+ sobre un pozo n. Tanto en el transistor tipo n como en el transistor tipo p, la puerta (G: *Gate*) está aislada del sustrato mediante una capa de óxido de silicio ( $\text{SiO}_2$ ). Además, en el caso de transistor tipo n, el sustrato se debe conectar a la tensión más negativa para eliminar los

diodos rectificadores que aparecen en las uniones del surtidor y el drenador. En el caso de un transistor tipo p, el sustrato se debe conectar a la tensión más positiva.

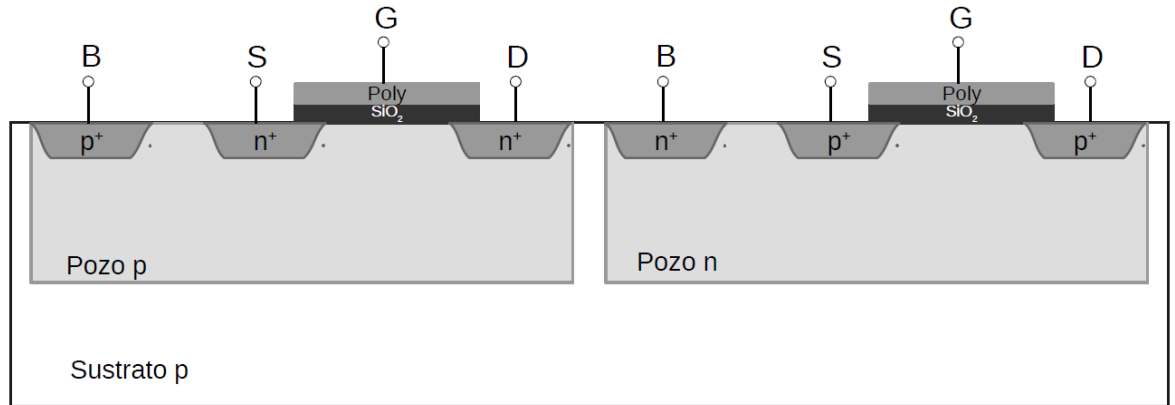


Figura 3-16. Sección transversal de transistores MOS.

### 3.4.2. Funcionamiento

En la **Figura 3-17** se muestra un MOSFET tipo n al cual se le aplican tensiones externas. Suponiendo que la tensión entre la puerta y el surtidor es nula ( $V_{GS}$ ), y la tensión entre el drenador y el surtidor es positiva ( $V_{DS}$ ), no circulará corriente entre los terminales de drenador y surtidor. En esta situación se dice que el transistor MOSFET se encuentra en corte.

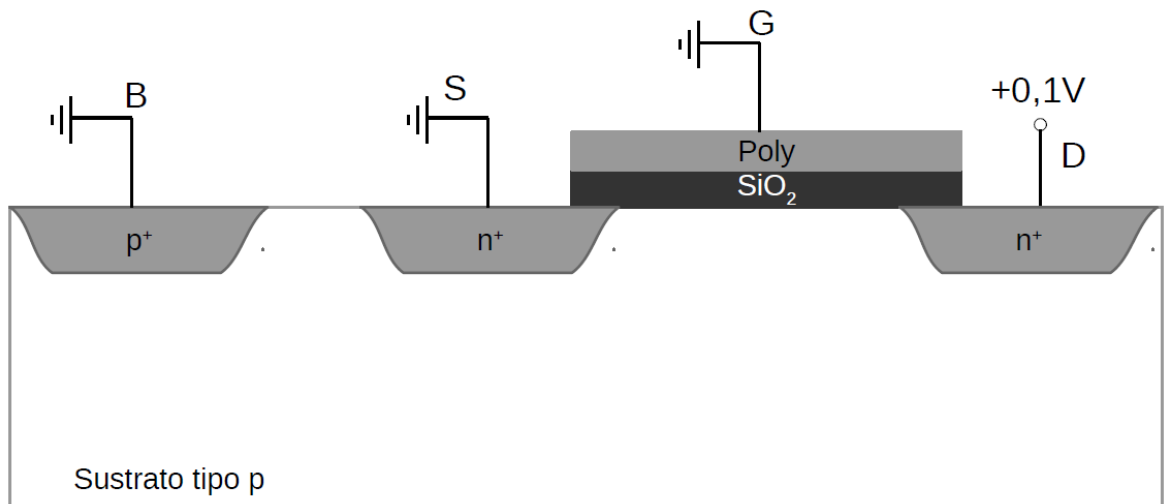
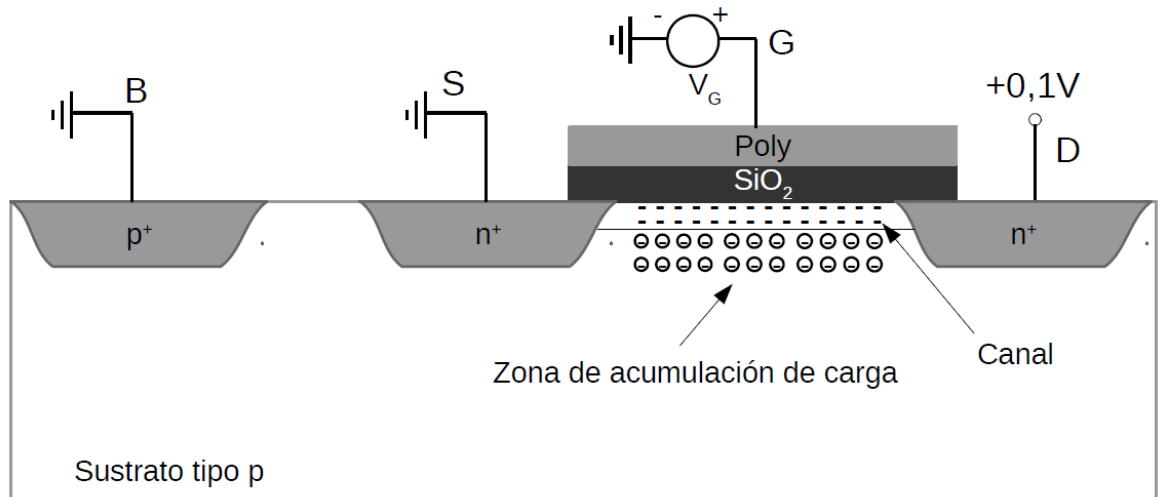


Figura 3-17. Transistor MOSFET tipo n en corte.

A medida que se aumenta la tensión  $V_{GS}$ , los huecos que se encuentran en el sustrato p son repelidos por la puerta, dejando iones negativos en su lugar. De esta manera se crea una región de enriquecimiento o de acumulación de carga. Si  $V_{GS}$  sigue aumentando, se ensanchará la zona de acumulación de carga y, por tanto, aumenta el potencial de la interfaz

óxido-silicio. Cuando este potencial alcanza una tensión umbral ( $V_{TH}$ ), los electrones fluyen desde el surtidor al drenador. De esta forma se crea bajo la puerta el canal entre el surtidor y el drenador. En este caso, se dice que el transistor se encuentra en la región de triodo o zona óhmica. La **Figura 3-18** muestra un transistor MOSFET tipo n cuando se encuentra en zona óhmica.



**Figura 3-18.** Transistor MOSFET tipo n en zona óhmica.

En la zona óhmica, la ecuación (3.6) determina la corriente de drenador del MOSFET:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3.6)$$

Donde:

- $\mu_n$  es la movilidad de los electrones.
- $C_{ox}$  es la capacidad de óxido de la puerta por unidad de área.
- $L$  es la longitud del canal del transistor ( $\mu\text{m}$ ).
- $W$  es el ancho del canal del transistor ( $\mu\text{m}$ ).

Como ya se ha comentado anteriormente, cuando el valor de  $V_{GS}$  es mayor que  $V_{TH}$ , la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de  $I_D$ . Sin embargo, si se mantiene  $V_{GS}$  constante y sólo se aumenta el nivel de  $V_{DS}$ , la corriente de drenador alcanza un nivel de saturación cuando su valor es superior a  $V_{GS} - V_{TH}$ . Esta saturación se debe a un estrechamiento del canal (*pinch-off*), tal y como se muestra en la **Figura 3-19**.

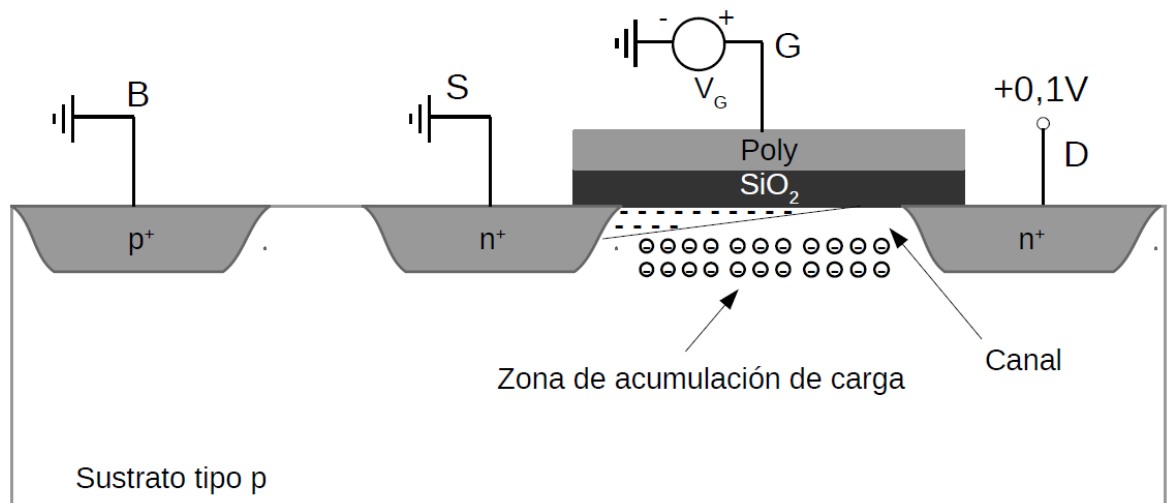


Figura 3-19. Transistor MOSFET tipo n en zona de saturación.

En esta situación la corriente de drenador se calcula con la ecuación(3.7):

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (3.7)$$

De la misma manera que se ha analizado el transistor MOSFET tipo n, el transistor tipo p mantiene las mismas ecuaciones. Sin embargo, en el caso del tipo p el sentido de la corriente  $I_D$  es contrario al caso del tipo n. Esto se debe a que en un tipo p los huecos son mayoritarios y fluyen en el sentido contrario a los electrones [17].

### 3.4.3. Modelo de pequeña señal

En la **Figura 3-20** se muestra el modelo simplificado de pequeña señal de un transistor MOSFET.

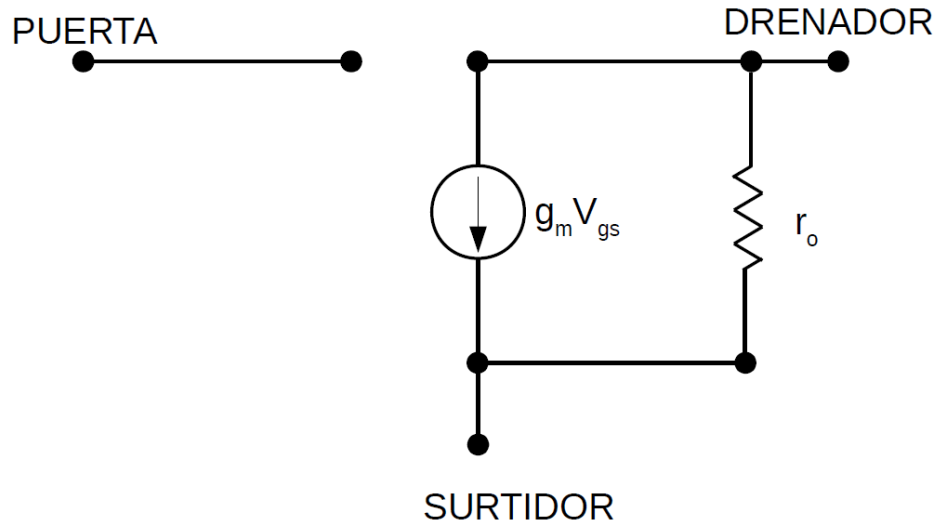


Figura 3-20. Modelo simplificado de pequeña señal de un transistor MOSFET.

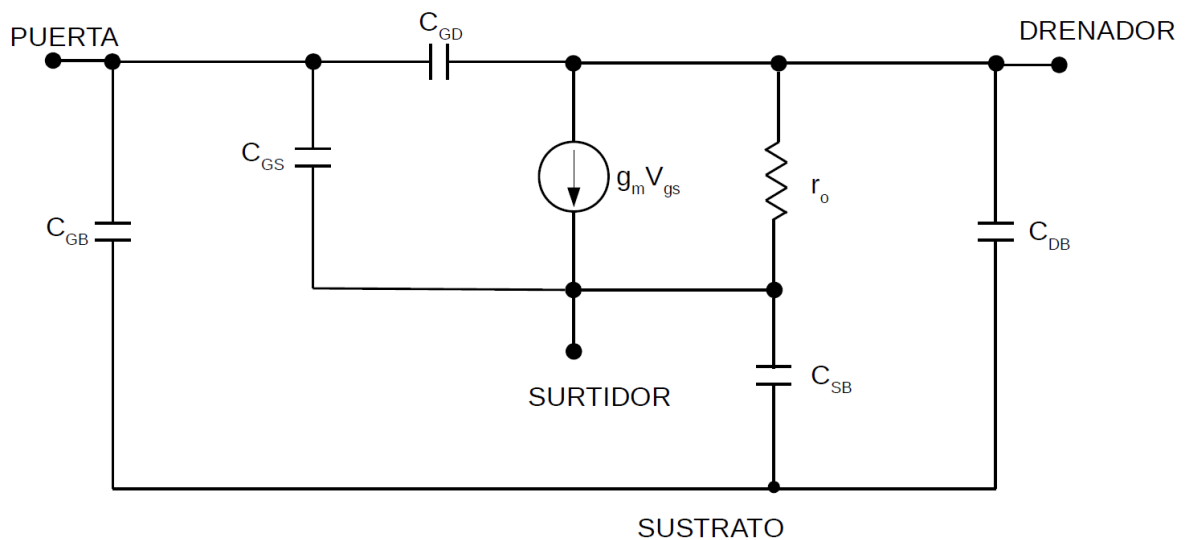
Donde:

- $r_o$  representa la parte real de la impedancia de salida del transistor.
- $g_m$  es la transconductancia del transistor y se calcula según la ecuación (3.8).

$$g_m = K \cdot \frac{W}{L} \cdot (V_{GS} + V_T) \quad (3.8)$$

Donde K es la constante de transconductancia del transistor.

Sin embargo, en el modelo simplificado no se han tenido en cuenta las capacidades parásitas, las cuales pueden ser de dos tipos: capacidades de la zona de carga espacial y capacidades de la zona del óxido. En la **Figura 3-21** se muestra el modelo completo en pequeña señal de un transistor MOSFET.



**Figura 3-21.** Modelo completo de pequeña señal de un transistor MOSFET.

En cuanto a las capacidades de la zona de carga espacial, éstas se producen en las uniones PN debido a la presencia de cargas en las zonas N y P con igual magnitud pero con polaridad de carga opuesta. Estas capacidades vienen dadas por las ecuaciones (3.9) y (3.10).

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_0}\right)^m} \quad (3.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_0}\right)^m} \quad (3.10)$$

Donde:

- $C_{DB0}$  y  $C_{SB0}$  son las densidades de la capacidad de la unión cuando la polarización es nula.
- $V$  es la tensión directa de la unión.
- $\Psi_0$  es la barrera de potencial.
- $m$  es la constante dependiente de la unión.

En cuanto a las capacidades en la zona del óxido, éstas aparecen entre dos zonas conductoras separadas por óxido, cada una sometida a una tensión distinta. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- $C_{GB}$ : Capacidad de óxido entre puerta y sustrato.
- $C_{SG}$ : Capacidad de óxido entre surtidor y puerta.
- $C_{GD}$ : Capacidad de óxido entre puerta y drenador.

El valor de estas capacidades depende de la región de trabajo del transistor. En la **Tabla 3-I** se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo de un transistor MOSFET.



**Tabla 3-I.** Capacidades de la zona de óxido de un transistor MOSFET

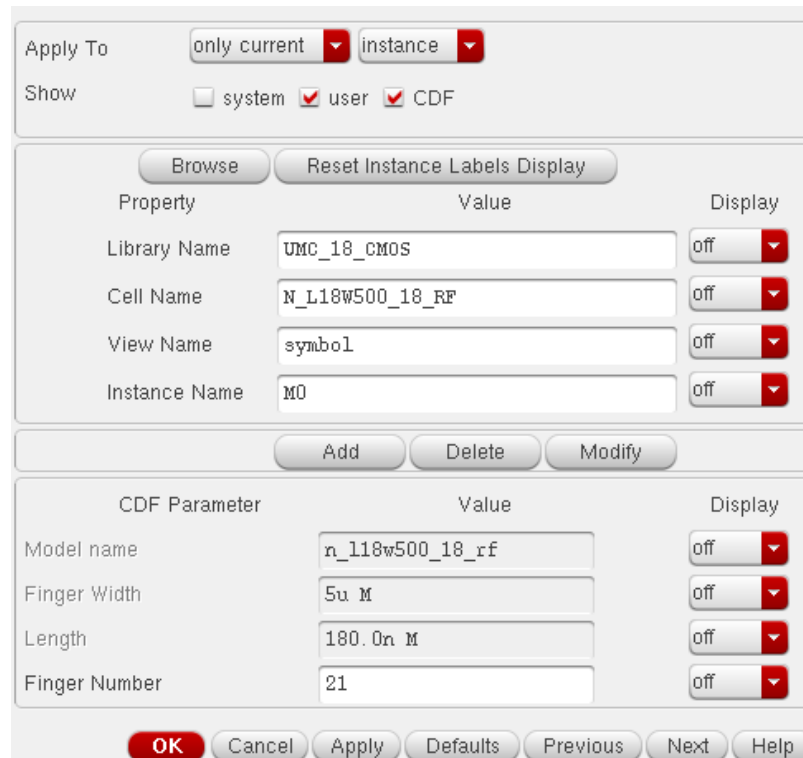
Capacidad	Corte	Óhmica	Saturación
$C_{GD}$	$C_{ox}L_dW$	$C_{ox}L_dW+0.5 C_{ox}LW$	$C_{ox}L_dW$
$C_{GS}$	$C_{ox}L_dW$	$C_{ox}L_dW+0.5 C_{ox}LW$	$C_{ox}L_dW+0.66C_{ox}LW$
$C_{GB}$	$C_{ox}W$	0	0

En la **Tabla 3-I**, los parámetros implicados en las expresiones son:

- $C_{ox}$ : capacidad de puerta por unidad de área.
- $L_d$ : distancia de difusión lateral que se produce bajo la puerta.
- $L$ : longitud del canal del transistor.
- $W$ : Ancho de canal del transistor.

### 3.4.4. Transistores MOSFET en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  CMOS dispone de múltiples modelos de transistores MOSFET: N\_L18W500\_18\_RF, P\_L34W500\_33\_RF, P\_LV\_33\_MM, etc. En la **Figura 3-22** se muestra el cuadro de diálogo donde se ajustan los parámetros del transistor MOSFET.



**Figura 3-22.** Cuadro de diálogo de Cadence de ajuste de parámetros de un transistor MOSFET.

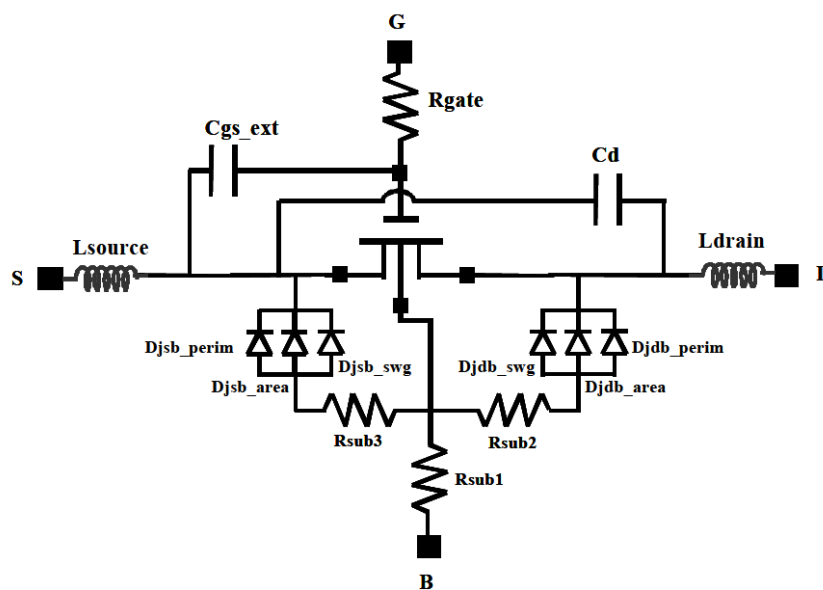
En este cuadro de diálogo se pueden variar los distintos parámetros del transistor. Los parámetros que se pueden modificar difieren según el tipo de transistor. En la **Figura 3-22** el transistor que se está modificando es el N\_L18W500\_18\_RF. En este tipo de transistor no se puede modificar ni el ancho ni la longitud de la puerta, sino únicamente el número de *fingers*.

### 3.4.5. Transistores MOSFET optimizados para RF en tecnología UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  CMOS dispone de hasta ocho modelos de transistores MOSFET optimizados para RF [15]. Cuatro de estos modelos deben ser polarizados con una tensión de 1.8 V y los otros cuatro con una tensión de 3.3 V. En este apartado se analizarán los modelos que son polarizados con una tensión de 1.8 V.

Los cuatro modelos que son polarizados con 1.8 V se pueden distinguir en dos tipos. Además, en cada tipo se tiene un transistor tipo n y uno tipo p. El primer tipo de transistor (N\_L18W500\_18\_RF/ P\_L18W500\_18\_RF) tiene una longitud de puerta fija en 0.18  $\mu\text{m}$  y un ancho de *finger* fijo de 5  $\mu\text{m}$ . En cuanto al número de *fingers*, se puede variar entre 5 y 21. El segundo tipo de transistor (N\_PO7W500\_18\_RF/ P\_PO78W500\_18\_RF) tiene un número de *fingers* fijo de 7 y un ancho de *fingers* fijo de 5  $\mu\text{m}$ . La longitud de puerta se puede variar entre 0.2  $\mu\text{m}$  y 0.5  $\mu\text{m}$ .

Todos los tipos de transistores de la tecnología optimizados para RF comparten el mismo modelo, el cual se muestra en la **Figura 3-23**.



**Figura 3-23.** Circuito equivalente de los transistores optimizados para RF N/P.

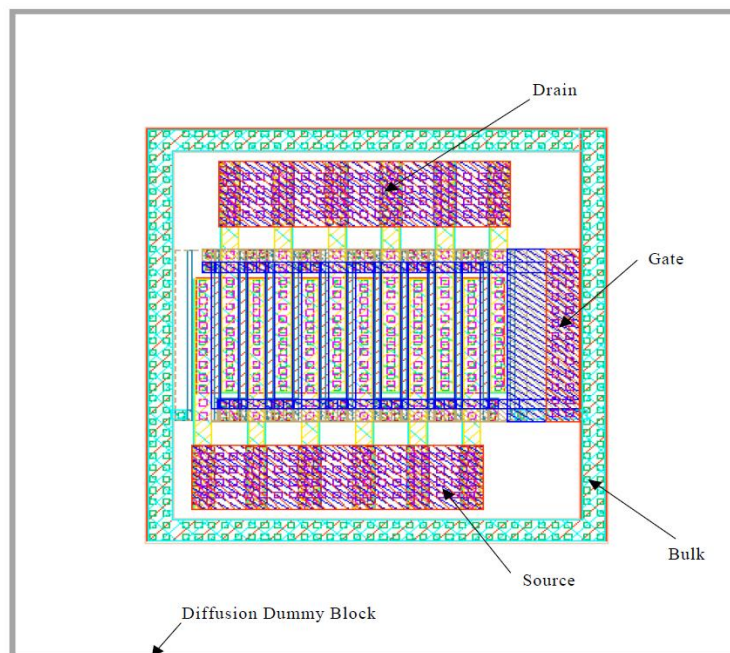
A continuación se muestran la descripción de los distintos elementos parásitos que aparecen en la **Figura 3-23**:

- $R_{gate}$  modela de la resistencia de puerta.
- $R_{sub1}$ ,  $R_{sub2}$  y  $R_{sub3}$  modelan las pérdidas del sustrato.
- $D_{jdb\_area}$  y  $D_{jdb\_perim}$  modelan la capacidad de la unión drenador-surtidor.
- $D_{jdb\_swg}$  y  $D_{jsb\_swg}$  modelan la capacidad por unidad de longitud de la unión drenador-surtidor.
- $C_d$  y  $C_{gs\_ext}$  representa la capacidad total equivalente entre el drenador, puerta y surtidor.
- $L_{source}$  y  $L_{drain}$  modelan el efecto de las inductancias parásitas.

Las características de estos transistores son:

- El rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.
- El rango de efectivo de tensiones es:  $|V_g| = 0.6-1.8$  V,  $|V_d| = 0-1.8$  V.
- El rango de la longitud de puerta es:  $0.18 \mu\text{m} - 0.5 \mu\text{m}$ .
- El rango del ancho total de la puerta es:  $25 \mu\text{m} - 105 \mu\text{m}$ .
- Rango del número de *fingers*: 5-21.

En la **Figura 3-24** se muestra el *layout* de un transistor MOSFET para RF, generado a partir del asistente que presenta el *kit* de diseño de la tecnología.



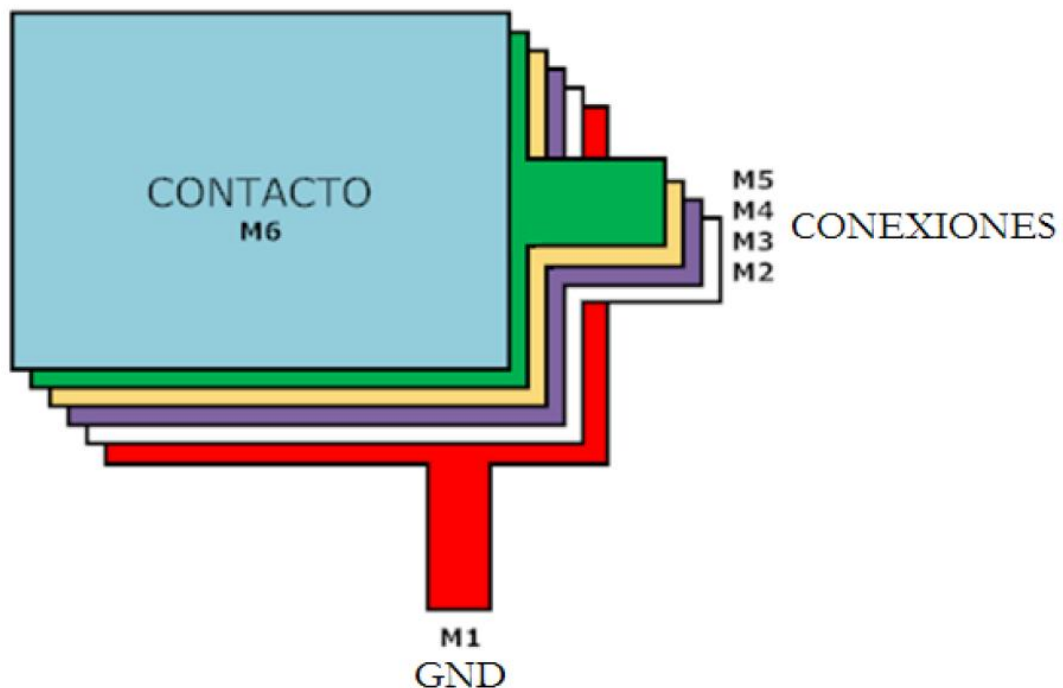
**Figura 3-24.** Layout de un transistor MOSFET para RF.

En la **Figura 3-24** se pueden diferenciar las distintas partes del transistor: el surtidor (*Source*), el drenador (*Drain*), la puerta (*Gate*) y el sustrato (*Bulk*). Se puede observar que en este caso se muestra un transistor con 5 *fingers*.

### 3.5. Pads

#### 3.5.1. Construcción

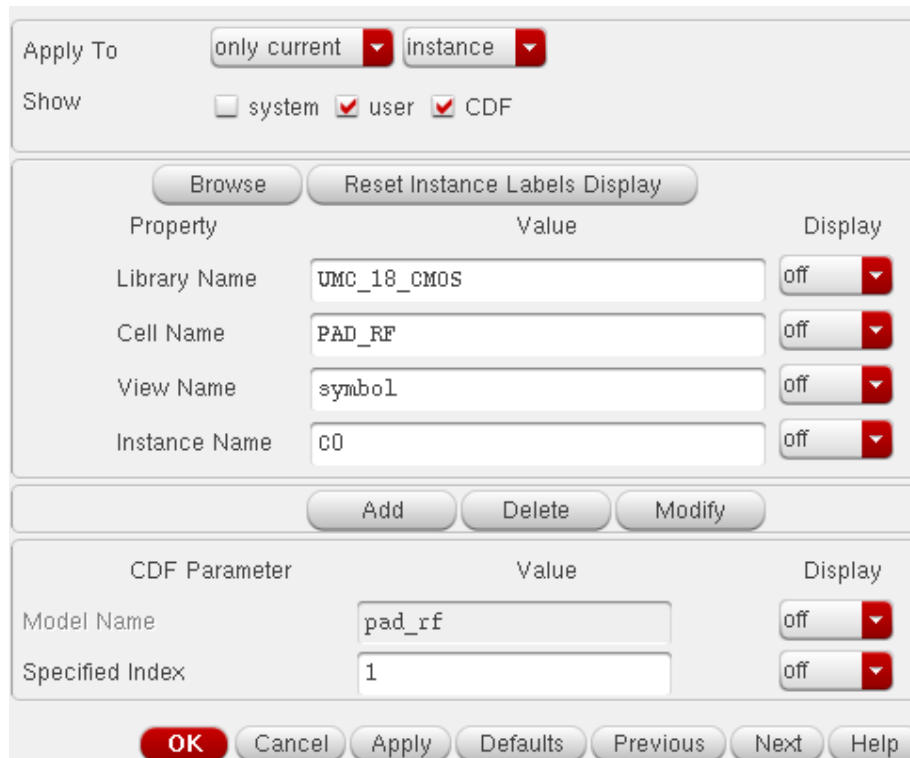
Los *pads* proporcionan una interfaz entre un circuito integrado y el entorno externo. Estos componentes permiten realizar la conexión entre los nodos del circuito integrado con elementos externos, para lo cual se colocan los *pads* en el perímetro del circuito [17]. De esta forma se puede alimentar el circuito, así como introducir y extraer señales. Un *pad* se basa en la superposición de varias capas rectangulares metálicas, interconectadas entre sí con las correspondientes vías. En la **Figura 3-25** se muestra una representación de un *pad* como el que se ha descrito.



**Figura 3-25.** Representación de un *pad*.

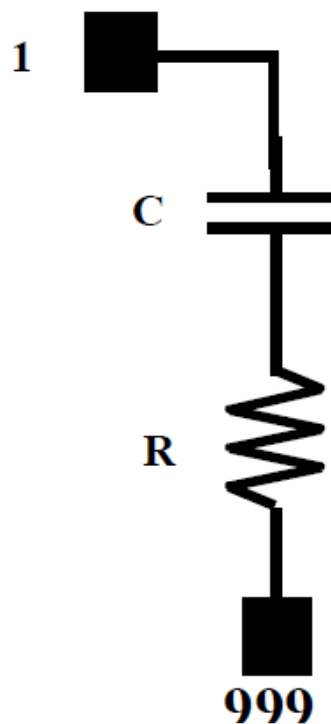
#### 3.5.2. Pads en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  dispone de un único modelo de *pad*: el PAD\_RF. En la **Figura 3-26** se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros del *pad*.



**Figura 3-26.** Cuadro de diálogo de Cadence de ajuste de parámetros de un PAD\_RF.

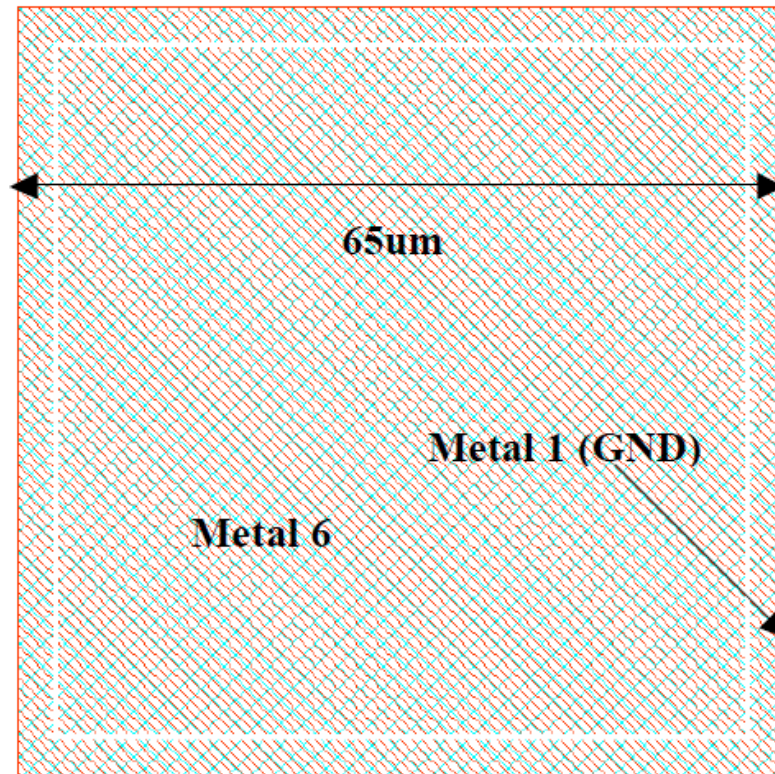
En esta tecnología, sólo se permite variar el parámetro *Specified Index*, el cual define el número de capas metálicas interconectadas. Por otra parte, en la **Figura 3-27** se muestra el circuito equivalente de un *pad* en la tecnología UMC 0.18  $\mu\text{m}$ .



**Figura 3-27.** Circuito equivalente de un PAD\_RF.

En la **Figura 3-27** se muestran la capacidad y la resistencia parásita que aparecen en un *pad* de RF. En este caso, C representa la capacidad entre la capa de metal superior y tierra, mientras que R representa las pérdidas del camino a tierra en la banda de RF.

En la **Figura 3-28** se muestra el *layout* de un *pad* para RF, generado a partir del asistente que presenta el *kit* de diseño de la tecnología.



**Figura 3-28.** *Layout* de un *pad* para RF.

### 3.6. Lista de componentes

A continuación se muestra la lista completa de los componentes de los que dispone la tecnología UMC 0.18  $\mu\text{m}$  CMOS.

**Tabla 3-II.** Componentes de la tecnología UMC 0.18  $\mu\text{m}$  CMOS

Tipo de dispositivo	Nombre del dispositivo	Tipo de dispositivo	Nombre del dispositivo
Transistor MOS	N_18_MM	Transistor BJT	PNP_V50X50_MM
Transistor MOS	N_33_MM	Transistor BJT	PNP_V100X100_MM
Transistor MOS	P_18_MM	Diodo	DION_MM
Transistor MOS	P_33_MM	Diodo	DIOP_MM

<b>Transistor MOS</b>	N_BPW_18_MM	<b>Diodo</b>	DIONW_MM
<b>Transistor MOS</b>	N_BPW_33_MM	<b>Resistencia</b>	RNRHR1000_MM
<b>Transistor MOS</b>	N_LV_18_MM	<b>Resistencia</b>	RNNPO_MM
<b>Transistor MOS</b>	N_LV_33_MM	<b>Resistencia</b>	RNPPO_MM
<b>Transistor MOS</b>	P_LV_18_MM	<b>Resistencia</b>	RNNPO_RF
<b>Transistor MOS</b>	P_LV_33_MM	<b>Resistencia</b>	RNPPO_RF
<b>Transistor MOS</b>	N_ZERO_18_MM	<b>Resistencia</b>	RNHR_RF
<b>Transistor MOS</b>	N_ZERO_33_MM	<b>Varactor</b>	VARDIOP_RF
<b>Transistor MOS</b>	N_L18W500_18_RF	<b>Varactor</b>	VARMIS_18_RF
<b>Transistor MOS</b>	N_L34W500_33_RF	<b>Capacidad</b>	MIMCAPM_RF
<b>Transistor MOS</b>	N_PO7W500_18_RF	<b>Capacidad</b>	MIMCAPS_MM
<b>Transistor MOS</b>	N_PO7W500_33_RF	<b>Capacidad</b>	NCAP_MM
<b>Transistor MOS</b>	P_L18W500_18_RF	<b>Capacidad</b>	PCAP_MM
<b>Transistor MOS</b>	P_L34W500_33_RF	<b>Inductor</b>	L_SLCR20K_RF
<b>Transistor MOS</b>	P_PO7W500_18_RF	<b>Pad</b>	PAD_RF
<b>Transistor MOS</b>	P_PO7W500_33_RF		





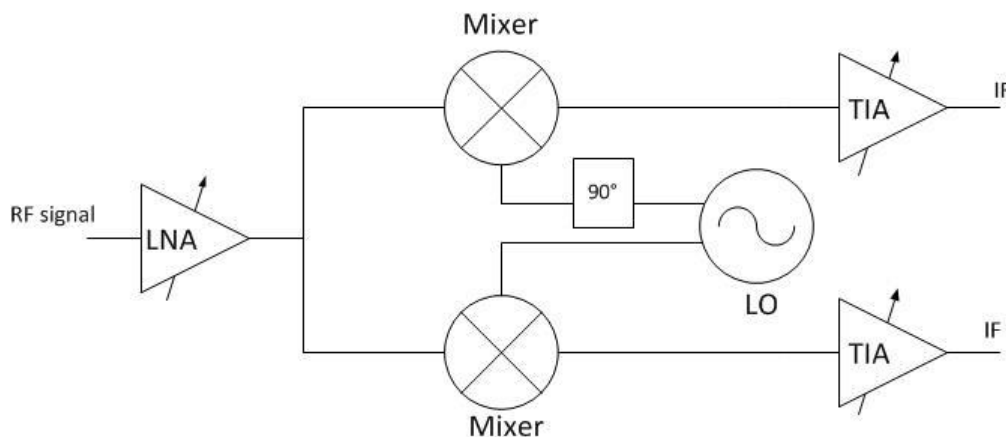
## 4. Diseño a nivel de esquemático

En este capítulo se describirá el diseño del cabezal de recepción a nivel de esquemático. Este diseño fue realizado anteriormente [5] y es del cual se parte para realizar el diseño de *layout*, que es objeto de este trabajo fin de máster. En primer lugar se explicará el diseño del cabezal de recepción, que tal y como se ha explicado anteriormente, se trata de un receptor de conversión directa del tipo Low-IF. Posteriormente se describirán los distintos circuitos que componen el cabezal de recepción, empezando por el LNA. Tras este se explicará la estructura del mezclador, que se encarga de trasladar la señal de radiofrecuencia a una frecuencia intermedia deseada. Por último, se describirá la estructura del amplificador de transimpedancia que amplifica la señal que sale del mezclador.

### 4.1. Arquitectura del cabezal de recepción diseñado

Tal y como se ha visto anteriormente, el cabezal de recepción diseñado implementa una arquitectura de conversión a baja frecuencia (*Low-IF*). Esta arquitectura posee una serie de ventajas, tal y como se han comentado en el capítulo 2, que hacen que esta arquitectura sea utilizada en un gran número de receptores para el estándar IEEE 802.15.4 [1]-[4].

En cuanto a la estructura del cabezal de recepción, en la **Figura 4-1** se muestra un diagrama de bloques del cabezal que se ha diseñado.



**Figura 4-1.** Estructura del cabezal de recepción.

Como se puede observar, el cabezal de recepción consta de tres partes principales. La primera corresponde al amplificador de bajo ruido o LNA. La función del LNA es la de amplificar la señal de RF entrante introduciendo el menor ruido posible así como la de

adaptar la señal que proviene de la antena. En segundo lugar se sitúan los mezcladores que están controlados por un oscilador local y cuya función es la de bajar la frecuencia de la señal a la frecuencia deseada, es decir, a la frecuencia intermedia. En este caso, al ser un receptor del tipo de conversión a baja frecuencia, la señal de trabajo será de frecuencia baja (2.5 MHz). Por último se encuentran los amplificadores de transimpedancia (TIA: Trans-Impedance Amplifier) que convierten la señal de corriente en señal de tensión.

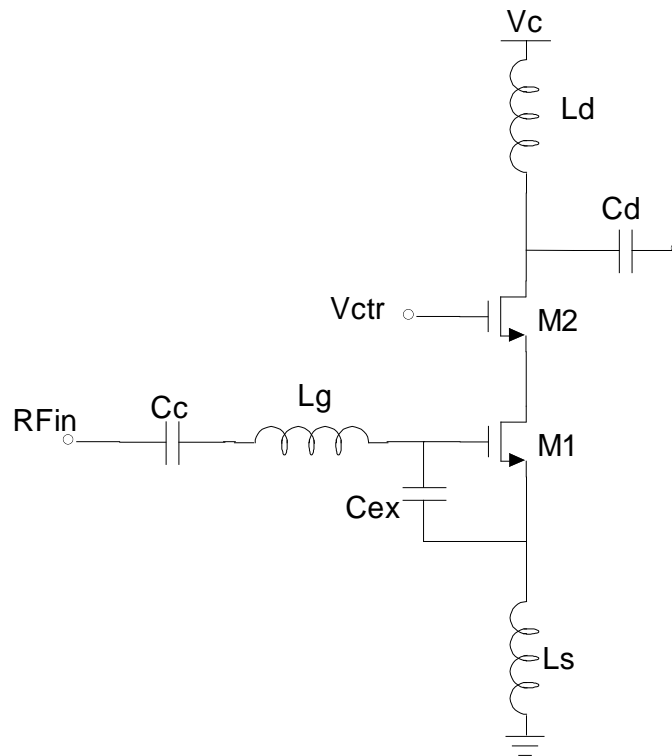
Este cabezal de recepción será integrado posteriormente en un receptor completo, el cual deberá tener un filtro polifásico a la salida de los amplificadores de transimpedancia para resolver el problema de la frecuencia imagen. Sin embargo, el diseño del filtro polifásico queda fuera del alcance de este proyecto.

## **4.2. Amplificador de bajo ruido (LNA)**

### **4.2.1. Estructura del amplificador de bajo ruido**

La función principal del LNA es la de amplificar la señal de RF entrante introduciendo el menor ruido posible. Además, al ser la primera etapa de la cadena de recepción, cumple la función de adaptar la señal que viene de la antena. Teniendo esto en cuenta, un LNA se caracteriza por su baja figura de ruido (NF: *Noise Figure*) y una ganancia lo suficientemente alta para reducir la aportación de la NF en las siguientes etapas de la cadena de recepción. Un LNA también se caracteriza por su alta linealidad, lo cual permite trabajar con señales de entrada de alta frecuencia y con interferencias. Cabe destacar que un LNA debe tener una impedancia de entrada de  $50\text{-}\Omega$  para una correcta adaptación, ya sea directamente con la antena o con algún componente adicional (un filtro de selección de canal o un conmutador entre transmisor y receptor, por ejemplo).

Entre las distintas topologías que se pueden escoger para diseñar un LNA, en este proyecto se ha optado por una topología de cascodo con degeneración inductiva. Esta topología se caracteriza por tener salida asimétrica, por su alta ganancia, bajo ruido y un buen aislamiento entre la entrada y la salida [12]. Las principales razones por las que se ha escogido esta topología son, en primer lugar, que la corriente en continua disipada es menor que en una topología diferencial y, en segundo lugar, porque la linealidad (en concreto el  $\text{IIP}_2$ ) no es crítica para el estándar 802.15.4 en comparación con otras tecnologías inalámbricas [2]. En la **Figura 4-2** se muestra un esquemático de la topología utilizada.



**Figura 4-2.** Estructura del LNA.

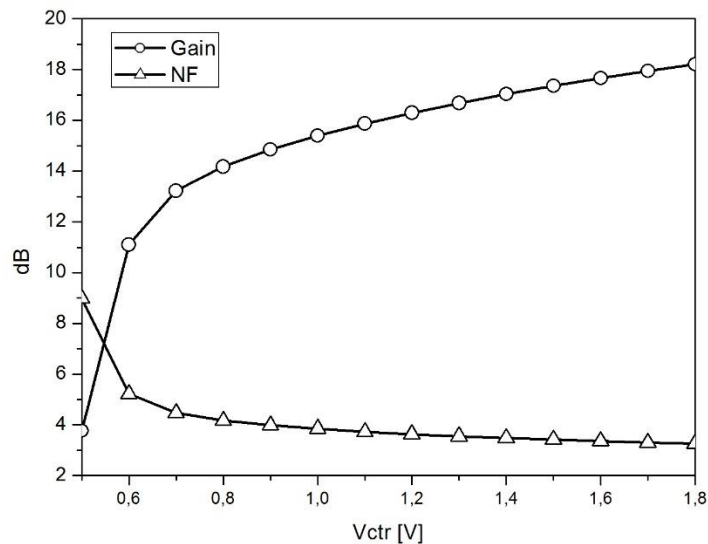
Al usar una topología con degeneración inductiva es posible obtener simultáneamente bajo ruido y buena adaptación de entrada. Esto se debe a que al incluir la bobina  $L_s$  se genera una parte real en la impedancia de entrada lo cual disminuye las diferencias entre la impedancia de entrada óptima para bajo ruido y la impedancia del propio LNA. Si no se incluyera una degeneración, la impedancia de entrada no tendría parte real y, por ello, en ese caso habría discrepancias con la impedancia óptima para bajo ruido. Sin embargo, surge un problema al implementar la bobina de degeneración, y es que bajo condiciones de bajo consumo se necesita una bobina de un valor de inductancia elevado para conseguir simultáneamente bajo ruido y una buena adaptación de entrada. Esto significaría que la figura de ruido mínimo ( $NF_{\min}$ ) sería bastante elevada. Para solventar este problema se ha incluido el condensador  $C_{ex}$ , tal y como se muestra en la **Figura 4-2**. El incluir este condensador permite utilizar una bobina  $L_s$  de bajo valor de inductancia para obtener simultáneamente bajo ruido y buena adaptación de entrada.

La impedancia de entrada del LNA se puede definir como:

$$Z_{in} = s \cdot (L_s + L_g) + \frac{1}{s \cdot C_t} + \frac{g_M \cdot L_s}{C_t} \quad (4.1)$$

En (3.1), la variable  $C_t$  hace referencia a la capacidad que existe entre la puerta y el surtidor del transistor M1. En este caso, esta capacidad sería la suma de  $C_{gs}$  y  $C_{ex}$ . Como se puede comprobar, el incluir el condensador  $C_{ex}$  modifica la parte imaginaria de la impedancia de entrada. Esto permite usar valores de inductancia menores en las bobinas  $L_s$  y  $L_g$ . También se reducen las resistencias parásitas, mejorando así la figura de ruido del LNA.

Por otra parte, en este LNA se permite la regulación de ganancia. Para ello se varía la tensión en la puerta del transistor M2 mediante la tensión  $V_{ctr}$ . El circuito está alimentado con la tensión  $V_c$  que tiene un valor de 1.8 V. La tensión  $V_{ctr}$  se varía entre 0.5 V y 1.8 V para obtener menor o mayor ganancia. En la **Figura 4-3** se muestran los resultados de ganancia y figura de ruido en función de  $V_{ctr}$ .

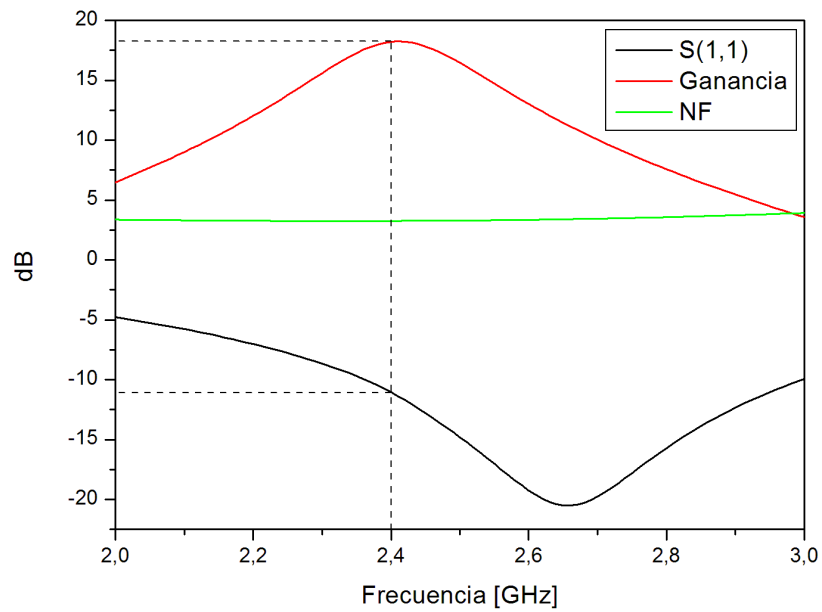


**Figura 4-3.** Ganancia y NF en función de  $V_{ctr}$ .

Como se puede observar, a medida que se incrementa el valor de la tensión  $V_{ctr}$ , la ganancia aumenta mientras que la figura de ruido disminuye. En concreto, la ganancia varía entre 4 y 18 dB, mientras que el ruido varía entre 9 y 3 dB aproximadamente.

En cuanto a las prestaciones de este circuito, en la **Figura 4-4** se muestran la ganancia y la figura de ruido del mismo, para el modo de máxima ganancia. Como se puede observar, la ganancia tiene un valor de unos 18 dB mientras que la figura de ruido está en torno a los 3 dB. Estos valores son los que se obtienen a 2.4 GHz, que es la frecuencia de trabajo. Además, se muestra la adaptación de entrada del circuito. En este caso, se puede observar

que el parámetro  $S_{11}$ , que muestra la adaptación de entrada, tiene un valor de -11 dB en los 2.4 GHz.



**Figura 4-4.** Ganancia, NF y S (1,1) del LNA diseñado.

En la **Figura 4-5** se muestra el esquemático del amplificador de bajo ruido generado con la herramienta *Advanced Design System* (ADS).

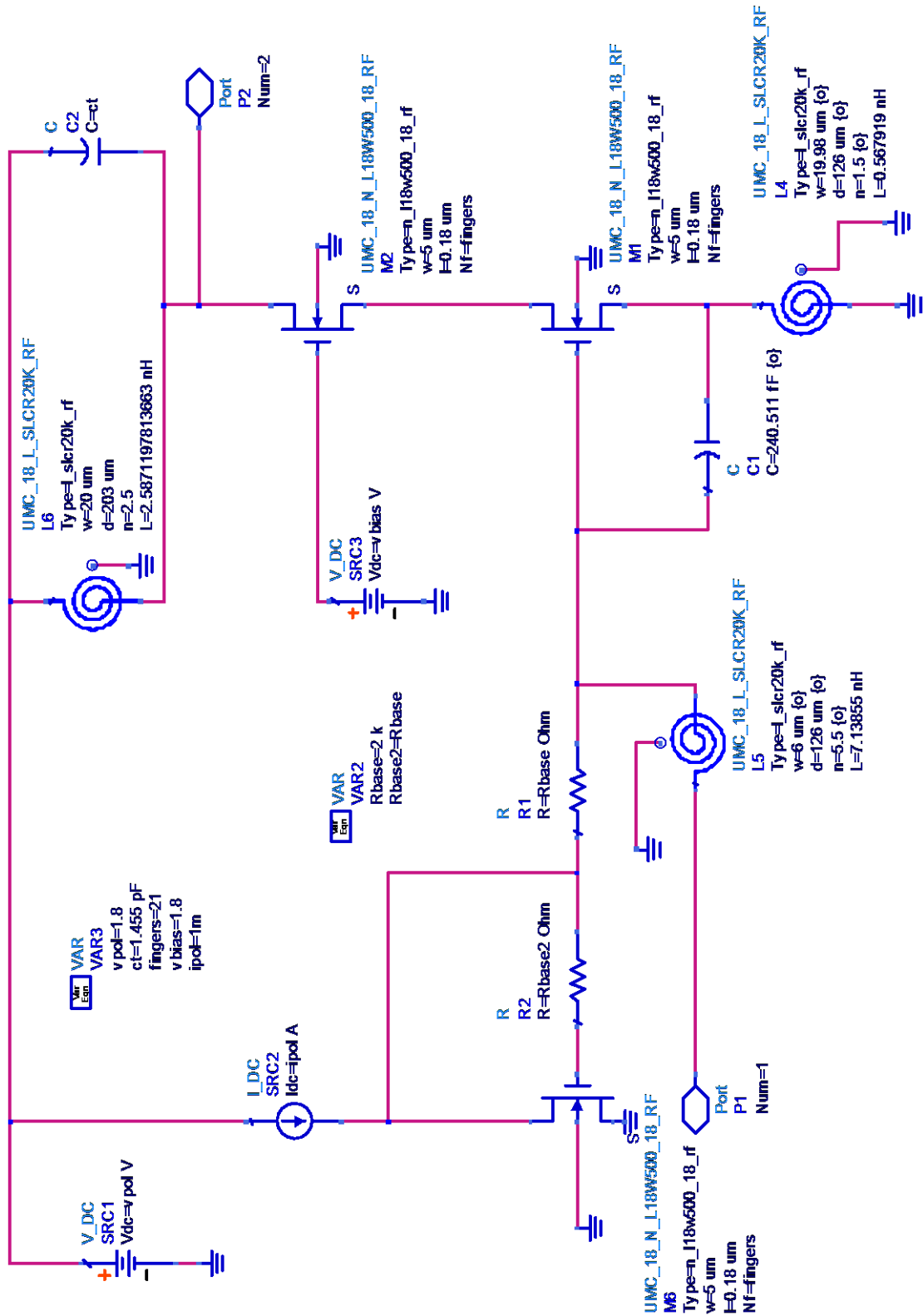


Figura 4-5. Diseño del LNA.

### 4.3. Mezclador

#### 4.3.1. Conceptos teóricos de un mezclador

El mezclador es el circuito encargado de coger la señal entrante de RF, una vez ha sido amplificada por el LNA, y trasladarla a la frecuencia intermedia deseada. Esto se realiza sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.). En este caso, la señal de RF se encuentra a una frecuencia de 2.4 GHz, mientras que la frecuencia intermedia es de 2.5 MHz. Por tanto, el mezclador es el encargado de trasladar la señal desde los 2.4 GHz a los 2.5 MHz. Este tipo de mezclador se denomina “*down-conversion*” ya que se pasa de una frecuencia más alta a una más baja. Es por ello que este tipo de mezclador se encuentra en los receptores. Por otro lado, existen los mezcladores de “*up-conversion*” que realizan la operación contraria, es decir, se pasa de una frecuencia baja a una más elevada. Este tipo de mezclador es característico de los transmisores.

Para trasladar la señal de una frecuencia a otra, un mezclador de frecuencias le suma o resta a la banda de frecuencia de la señal RF un valor de frecuencia constante denominado frecuencia del oscilador local. A la salida del mezclador se obtiene la señal en la frecuencia intermedia deseada.

El mezclador ideal está formado por un multiplicador y un filtro paso banda, aunque en un receptor se puede emplear un filtro paso bajo, tal y como se muestra en la **Figura 4-6**.

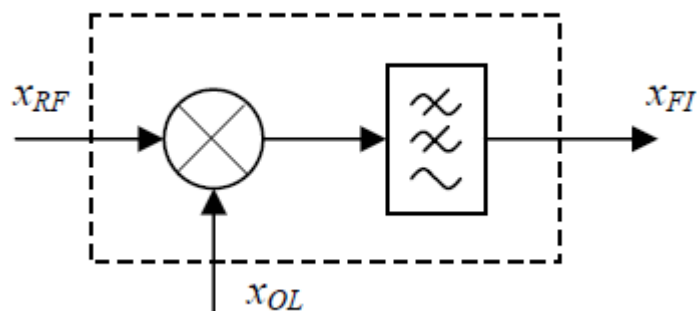


Figura 4-6. Diagrama de bloques de un mezclador ideal.

La señal de RF entrante se puede escribir como:

$$x_{RF} = g(t) \cdot \cos(\omega_{RF} t) \tag{4.2}$$

Y la señal del oscilador local como:

$$\chi_{OL} = A \cdot \cos(\omega_{OL} t) \quad (4.3)$$

Por tanto, a la salida del mezclador se obtiene:

$$\begin{aligned} \chi_{RF} \cdot \chi_{OL} &= A \cdot g(t) \cdot \cos(\omega_{RF} t) \cdot \cos(\omega_{OL} t) \\ \chi_{RF} \cdot \chi_{OL} &= \frac{1}{2} A \cdot g(t) \cdot [\cos(\omega_{RF} + \omega_{OL})t + \cos(\omega_{RF} - \omega_{OL})t] \end{aligned} \quad (4.4)$$

Y después del filtro paso bajo se obtiene la señal de frecuencia intermedia:

$$\chi_{FI} = \frac{1}{2} A \cdot g(t) \cdot \cos(\omega_{RF} - \omega_{OL})t = \frac{1}{2} A \cdot g(t) \cdot \cos(\omega_{FI} t) \quad (4.5)$$

Por lo tanto, el mezclador realiza una operación claramente no lineal. El principal parámetro de un mezclador es la ganancia de conversión, que se puede definir como la relación entre la amplitud de la señal de FI (Frecuencia Intermedia) y la amplitud de la señal de RF. Así mismo, hay otros parámetros que también definen el comportamiento del mezclador como son la figura de ruido, el margen dinámico, el aislamiento entre puertos, etc.[12].

Los mezcladores se pueden clasificar en dos tipos dependiendo de si los elementos que lo forman son activos (BJT, MOSFET) o pasivos (diodos o MOSFET actuando como resistencias no lineales). Los primeros tienen ganancia de conversión superior a la unidad, mientras que los segundos poseen menor ruido y mayor margen dinámico.

Los mezcladores en los que las frecuencias  $\omega_{OL}$  y  $\omega_{RF}$  no aparecen antes del filtro de salida se denominan doblemente balanceados, si aparece una de las dos frecuencias se denominan balanceados respecto a la que no aparece, y si aparecen ambas se denominan no balanceados [18].

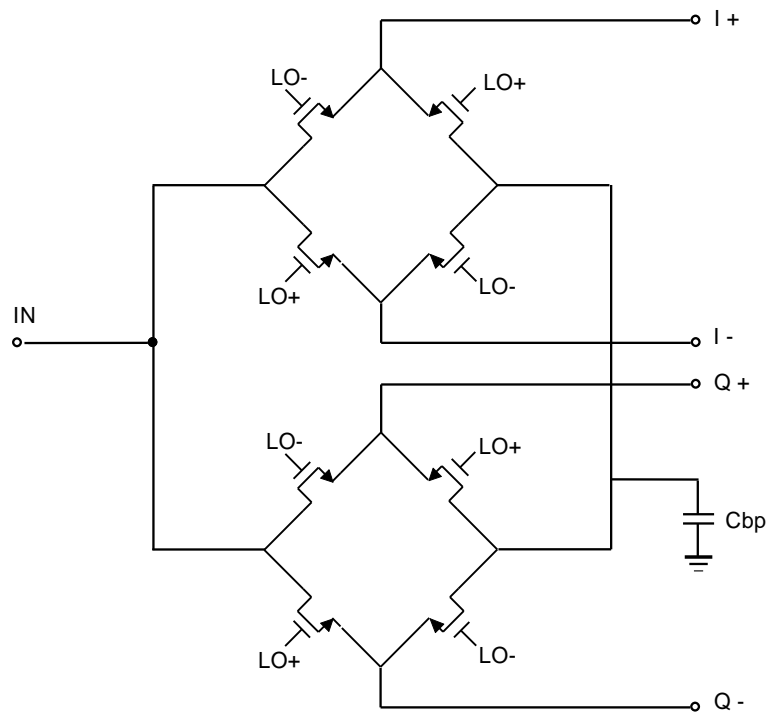


### 4.3.2. Estructura del mezclador

Para este cabezal de recepción se ha optado por utilizar un mezclador pasivo doble balanceado. Las principales razones por las cuales se ha decidido implementar este tipo de mezclador son, en primer lugar, que no disipa corriente de continua. Esto significa que, al no pasar corriente de continua por los transistores, la contribución del ruido *flicker* se minimiza [19]. Además, este tipo de mezclador tiene una linealidad bastante alta y reduce las fugas del oscilador local hacia la entrada.

Este mezclador se trata de un circuito con entrada y salida diferencial. Una de las entradas está conectada a la salida del LNA mientras que la otra entrada está conectada a tierra a través del condensador  $C_{bp}$ , tal y como se muestra en la **Figura 4-7**. De esta forma se mantienen las ventajas de un circuito diferencial como son la minimización de la distorsión de segundo orden y las fugas del oscilador local. Es cierto que existe una cierta penalización en la ganancia del receptor, si bien esta es despreciable [2].

El mezclador diferencia entre fase y cuadratura y, por tanto, tiene una rama diferenciada para cada una. Realmente, un mezclador en cuadratura se puede considerar como dos mezcladores cuyas entradas del oscilador local están desfasadas 90 grados. Cada una de estas ramas tiene salida diferencial, a la cual se conectará un amplificador de transimpedancia o TIA. Además, al tratarse de un mezclador pasivo, no es necesario que posea una fuente de alimentación.



**Figura 4-7.** Estructura del mezclador.

En este circuito, la mezcla de señales se realiza mediante la conmutación de los transistores. Los transistores CMOS se caracterizan por ser buenos conmutadores. Por tanto, el tamaño de los transistores es un parámetro clave a tener en cuenta para obtener las mejores prestaciones del mezclador. La señal del oscilador local es otro parámetro clave en el funcionamiento del mezclador. Especialmente influyente es el nivel de continua en dicha señal proveniente del oscilador local.

Cabe destacar que existe una relación de compromiso entre el ruido del mezclador y la ganancia del LNA, la cual se debe tener en cuenta a la hora de dimensionar los transistores que actúan como conmutadores en el mezclador. Como ya se comentó en el apartado en el que se trataba la estructura del LNA, este circuito tiene un tanque que actúa como circuito resonante. La frecuencia de resonancia (de 2.4 GHz en este caso) se consigue modificando la bobina y el condensador que forman el tanque. Además, la inductancia de la bobina disminuye si la capacidad de conmutación del mezclador aumenta. Esto hace que la ganancia del LNA sea menor debido a que la impedancia de carga es menor.

En la **Figura 4-8** se muestra el mezclador diseñado con la herramienta ADS.

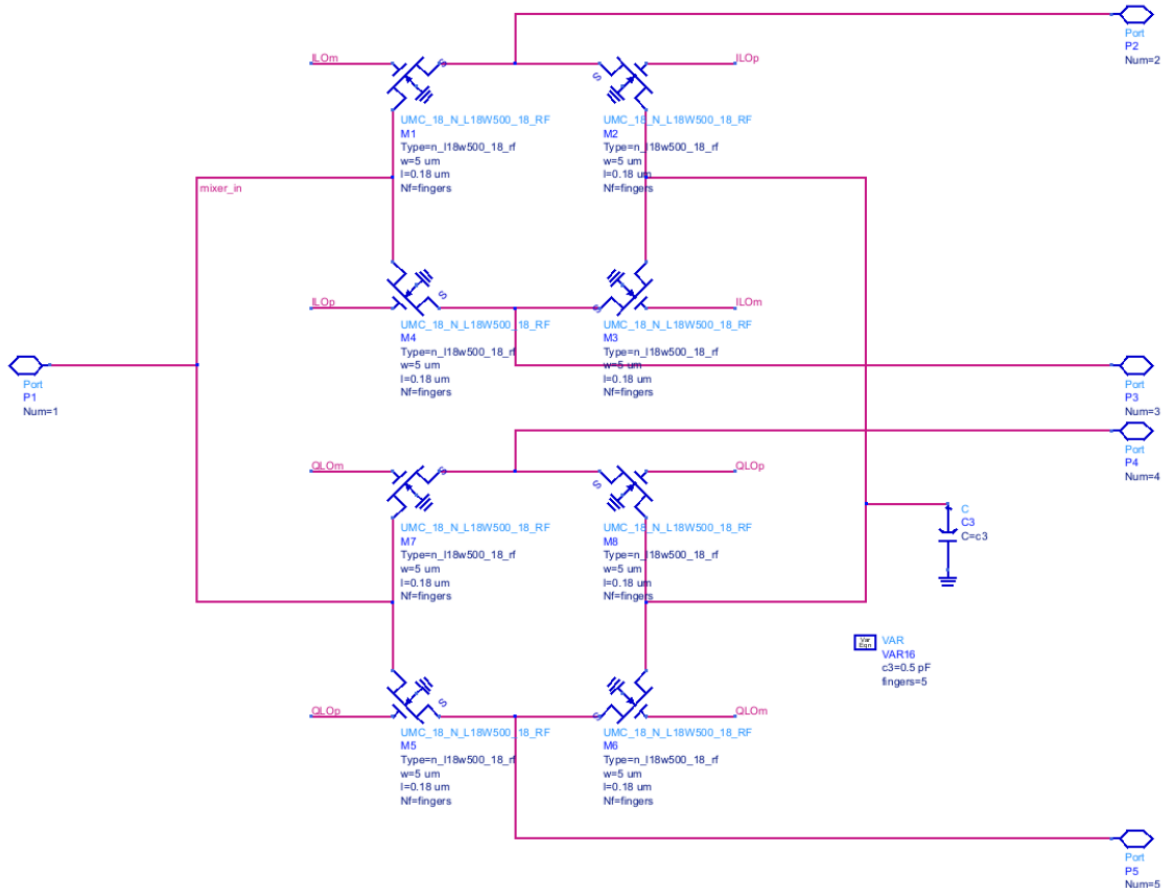


Figura 4-8. Diseño del mezclador.

## 4.4. Amplificador de transimpedancia (TIA)

### 4.4.1. Estructura del amplificador de transimpedancia

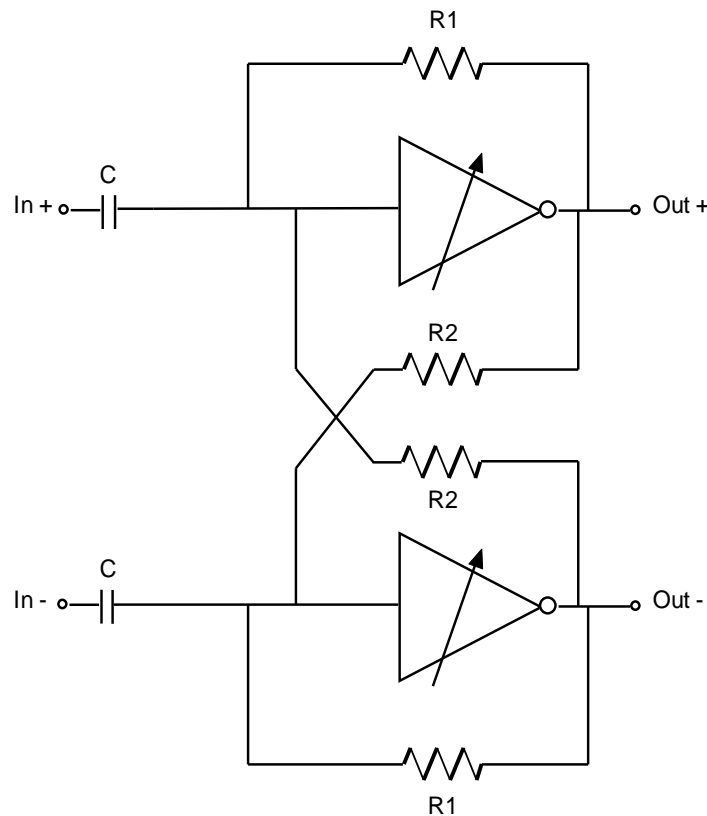
En general, se pueden distinguir cuatro tipos de amplificadores en función de la señal de entrada que se desea amplificar (tensión o corriente) y la señal de salida (tensión o corriente).

El amplificador de tensión, como su propio nombre indica, se encarga de amplificar una señal de tensión a la entrada y suministrar una señal de tensión a la salida. Por otro lado, el amplificador de corriente, amplifica una señal de corriente a la entrada y proporciona una señal de corriente a la salida. En cuanto al amplificador de transconductancia, éste amplifica una señal de tensión a la entrada y proporciona una señal de corriente a la salida. Por último, el amplificador de transimpedancia es el encargado de amplificar una señal de corriente a la entrada y proporcionar una señal de tensión a la salida. Éste último tipo de amplificador es el que se ha incluido en el cabezal de recepción a la salida del mezclador. Esto se debe a que a la salida del mezclador existe una señal de corriente y los filtros que se incluyen en un receptor de RF trabajan con señales de tensión. Además, como ya se ha comentado

anteriormente, el mezclador pasivo doble balanceado que se ha diseñado no posee ganancia y, por tanto, es necesaria la presencia de un TIA que compense esta carencia.

Para este proyecto, se ha optado por realizar un amplificador de transimpedancia basado en inversores. Se ha incluido un amplificador para cada una de las dos ramas del mezclador (fase y cuadratura). Cada amplificador está constituido por dos inversores en paralelo y una red de realimentación resistiva. En la **Figura 4-9** se muestra la estructura del TIA, en la que se puede apreciar que se trata de un circuito con entrada y salida diferencial. Cabe destacar que para mantener la estabilidad de tensión en modo común, se utilizan las resistencias R1 y R2. Estas resistencias producen una resistencia efectiva equivalente a la que se muestra en (4.6).

$$\frac{R_1 R_2}{R_2 - R_1} \quad (4.6)$$



**Figura 4-9.** Estructura del TIA.

La resistencia efectiva constituida por las resistencias R1 y R2, junto con el condensador C forma un filtro paso alto. Este filtro permite eliminar los niveles de continua (*DC offsets*)

producidos por el mezclador. El aumentar el valor de la resistencia equivalente permite utilizar una capacidad C de menor tamaño [20]. Esto se traduce en una reducción tanto del ruido producido como del área del circuito.

En cuanto a la ganancia del amplificador, ésta se puede modificar variando la transconductancia de los inversores. El valor de la resistencia efectiva también influye en la ganancia del circuito, tal y como se muestra en (4.7).

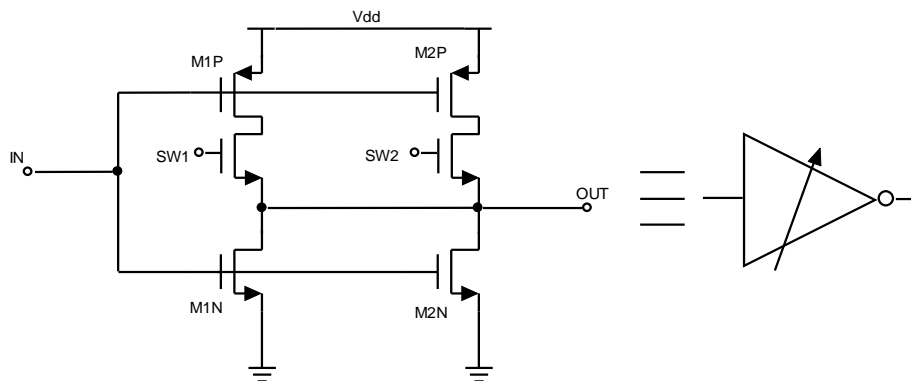
$$A_v = \frac{V_{out}}{V_{in}} = 1 - (g_{MN} + g_{MP}) \frac{R_1 \cdot R_2}{R_2 - R_1} \quad (4.7)$$

Para variar la transconductancia de los inversores, se puede modificar el tamaño de los transistores que lo forman. Sin embargo, tal y como se puede observar en (4.8), la relación de aspecto de un transistor no es lo único que influye en su transconductancia. También afecta la tensión  $V_{GS}$  y por tanto, se debe de tener en cuenta.

$$g_m = K \cdot \frac{W}{L} \cdot (V_{GS} + V_T) \quad (4.8)$$

En esta expresión, K es la constante de transconductancia del transistor, W la anchura, L la longitud,  $V_{GS}$  la tensión entre la puerta y el surtidor y  $V_T$  la tensión umbral del transistor.

En la **Figura 4-10** se muestra cómo es la estructura de cada inversor. Como se puede apreciar, está formado por dos ramas inversoras en paralelo, cada una controlada por un interruptor (*switch*). Esto permite que el TIA tenga la función de control de ganancia.

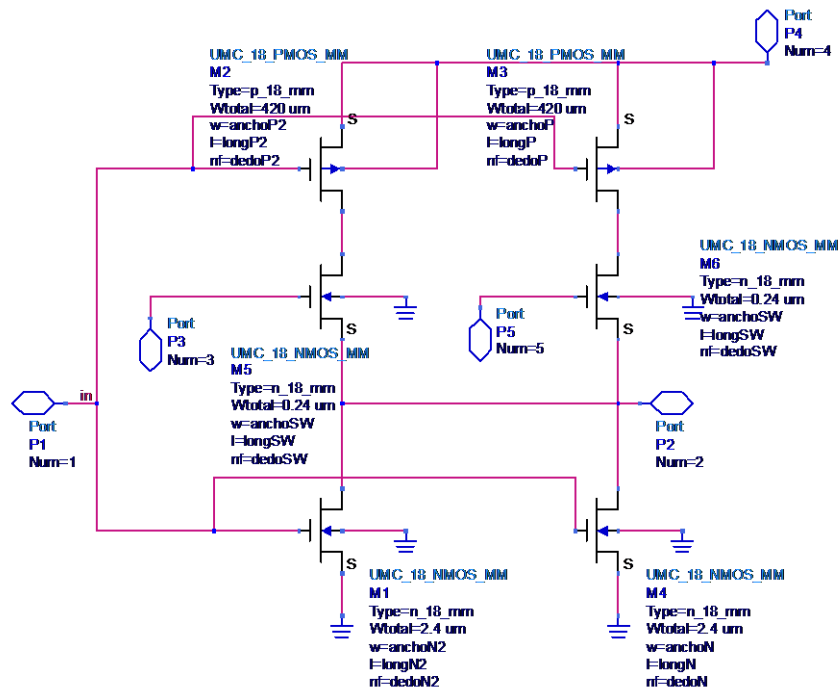


**Figura 4-10.** Estructura de los inversores del TIA.

Como se puede observar, para ambas ramas, en la parte superior se coloca un transistor p-MOS mientras que en la parte inferior se sitúa un transistor n-MOS, siguiendo la estructura típica de un inversor. El inversor está diseñado para que los transistores de una de las ramas tengan un tamaño dos veces mayor que los de la otra rama. De esta forma, al activar una

rama (mediante los *switch*) u otra, se obtendrá una ganancia máxima o una mínima. Teniendo en cuenta que, como se ha comentado anteriormente, el LNA también tiene una función de control de ganancia, el cabezal de recepción tendrá cuatro ganancias posibles. Estas cuatro ganancias irán en función de si, tanto el LNA como el TIA, actúan en modo de ganancia máxima o mínima.

En la **Figura 4-11** se muestra el esquemático de los inversores diseñados con la herramienta ADS. En la **Figura 4-12** se muestra el esquemático del amplificador de transimpedancia, compuesto por los inversores y la red de realimentación resistiva.



**Figura 4-11.** Esquemático de los inversores del TIA.

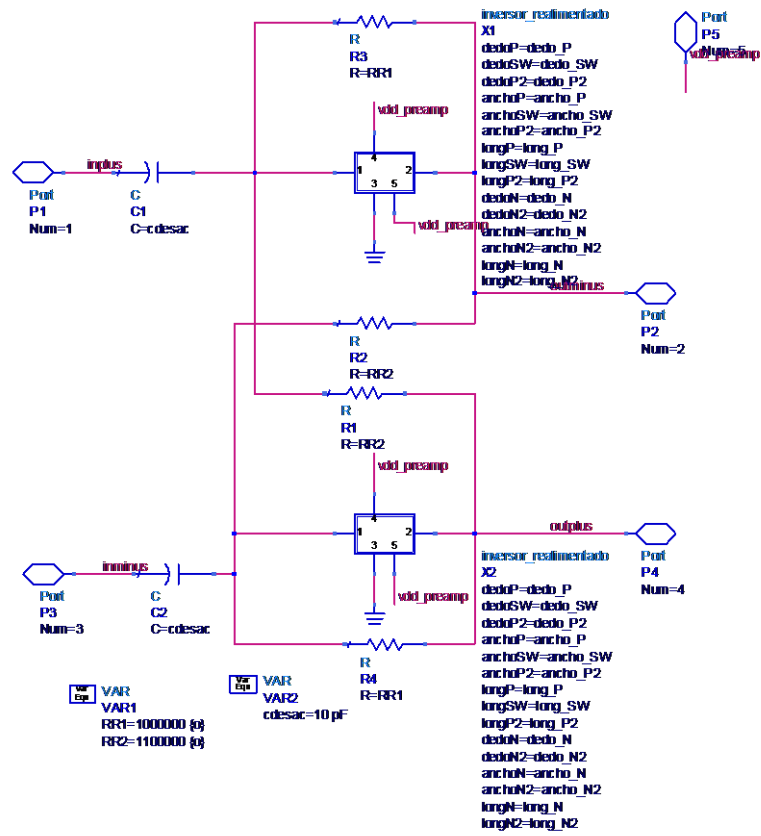


Figura 4-12. Esquemático del TIA.





# Capítulo 5

---

## 5. Diseño a nivel de *layout*

En el capítulo anterior se han descrito los circuitos que componen el cabezal de recepción previamente diseñado. En este capítulo se trata el siguiente paso en el proceso de fabricación: el diseño a nivel de *layout*. Tal y como se ha visto anteriormente, en este paso se definen las máscaras o planos de fabricación del circuito integrado. En este caso, se ha realizado un diseño de *layout* para cada circuito, para posteriormente unirlos y realizar el *layout* del cabezal de recepción al completo. Por tanto, este capítulo comenzará con la exposición del *layout* del amplificador de bajo ruido. Posteriormente se abordará el diseño de *layout* del mezclador y de los amplificadores de transimpedancia. Por último, se muestra el *layout* del cabezal de recepción. Además, en cada caso se comentarán las distintas decisiones de diseño que se han ido tomando durante el desarrollo del trabajo.

### 5.1. Proceso de diseño

Para la realización del *layout* se ha utilizado la herramienta *Virtuoso*, la cual está integrada dentro del software Cadence. Concretamente, se ha utilizado la versión IC6.1.5.500.6 con la tecnología UMC 0.18  $\mu\text{m}$  CMOS. Esta herramienta nos permite realizar el *layout* de manera *full-custom*, es decir, un diseño a medida. Este software también permite realizar simulaciones *post-layout*. Sin embargo, al tener las plantillas de simulación ya diseñadas en el software *Advanced Design System* (ADS), de la empresa Keysight, se ha utilizado el *ADS Dynamic Link*. De esta manera, se realiza una comunicación entre Cadence y ADS, pudiendo simular los *layout* de los circuitos integrados, desarrollados en Cadence, con las librerías de simulación de ADS [8].

A la hora de realizar el diseño de *layout*, se deben tener en cuenta una serie de reglas de diseño que varían en función de la tecnología que se emplee. Algunas de estas reglas de diseño son: la distancia entre distintos elementos, ángulos, densidad de corriente que puede soportar las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, anchos de pistas, etc.

De manera complementaria, se deben considerar una serie de aspectos que permiten optimizar el diseño. Estos aspectos buscan minimizar la influencia de las posibles

dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se muestran a continuación [14]:

- Las inductancias se deben situar lo más cerca posible (cumpliendo las reglas de diseño) para minimizar el efecto de las resistencias en serie que aparecen por la conexión hasta el nodo común de alimentación o de tierra.
- Se debe intentar no utilizar pistas excesivamente largas ya que introducen capacidades parásitas.
- En algunos casos, debido a la tecnología, se deben agrupar distintos componentes para obtener el valor deseado. Por ejemplo, en el diseño de los amplificadores de transimpedancia se deseaba implementar unas resistencias con un valor resistivo demasiado grande para lo que permite la tecnología. Para solucionar este problema se han agrupado varias resistencias en serie hasta alcanzar el valor resistivo deseado.
- Los espacios vacíos que quedan entre los distintos componentes se han llenado con contactos a sustrato, que están conectados a tierra. Con ello se evita que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son derivadas al sustrato, cuyo potencial es cero.
- En los *layouts* diseñados, se ha optado por sobredimensionar las pistas para asegurar que son capaces de soportar el flujo de corriente que fluye por ellas.
- De manera similar, en el caso de querer pasar de una capa de metal a otra, se ha utilizado más de una vía de unión para asegurar que sean capaces de soportar el flujo de corriente.

Por otra parte, a continuación se muestra el proceso de diseño o el flujo de trabajo realizado:

- Pasar los diseños a nivel de esquemático (los cuales se tienen en ADS) a la herramienta de Cadence. Este paso es necesario para posteriormente poder realizar la comparación entre el *layout* y el esquemático y ver que coinciden.
- Realizar el diseño a nivel de *layout*, siguiendo las reglas de diseño de la tecnología y teniendo en cuenta los aspectos comentados anteriormente.
- Pasar el DRC (*Design Rule Checker*) que analiza el *layout* diseñado en busca de errores de diseño en función de las reglas que proporciona la tecnología. Cabe destacar que es una buena práctica pasar el DRC varias veces a medida que se realiza el *layout*, para evitar la acumulación de posibles errores.

- Cuando se haya comprobado que el *layout* no tiene ningún error de diseño, es decir, que se respetan las reglas de diseño de la tecnología, se pasa a realizar una comparación entre el *layout* y el esquemático. Para ello se utiliza el LVS (*Layout vs Schematic*), con el cual se comprueba que los distintos componentes tienen los mismos valores y las conexiones entre ellos son iguales en ambos casos.
- Una vez se ha comprobado que efectivamente el *layout* y el esquemático coinciden, se realiza un extraído de las resistencias y capacidades parásitas que se han introducido con las conexiones metálicas entre los distintos elementos. Esto nos dará una visión más aproximada de las prestaciones del circuito cuando sea fabricado ya que en la simulación a nivel de esquemático no se tienen en cuenta las pérdidas que puedan ser ocasionadas por las resistencias y capacidades parásitas. Para ello se utiliza el QRC que precisamente calcula las resistencias y capacidades parásitas introducidas por las pistas y las vías de unión.
- Utilizando el *ADS Dynamic Link*, realizar las simulaciones *post-layout*, teniendo en cuenta las resistencias y capacidades parásitas calculadas por el QRC.

## 5.2. *Layout* del LNA

### 5.2.1. Esquemático del LNA en Cadence

Tal y como se ha comentado anteriormente, el primer paso para realizar el *layout* de un circuito consiste en pasar el esquemático del circuito, que se tiene en ADS, al software *Virtuoso* de Cadence. En la **Figura 5-1** se muestra el esquemático del LNA con el software de Cadence.

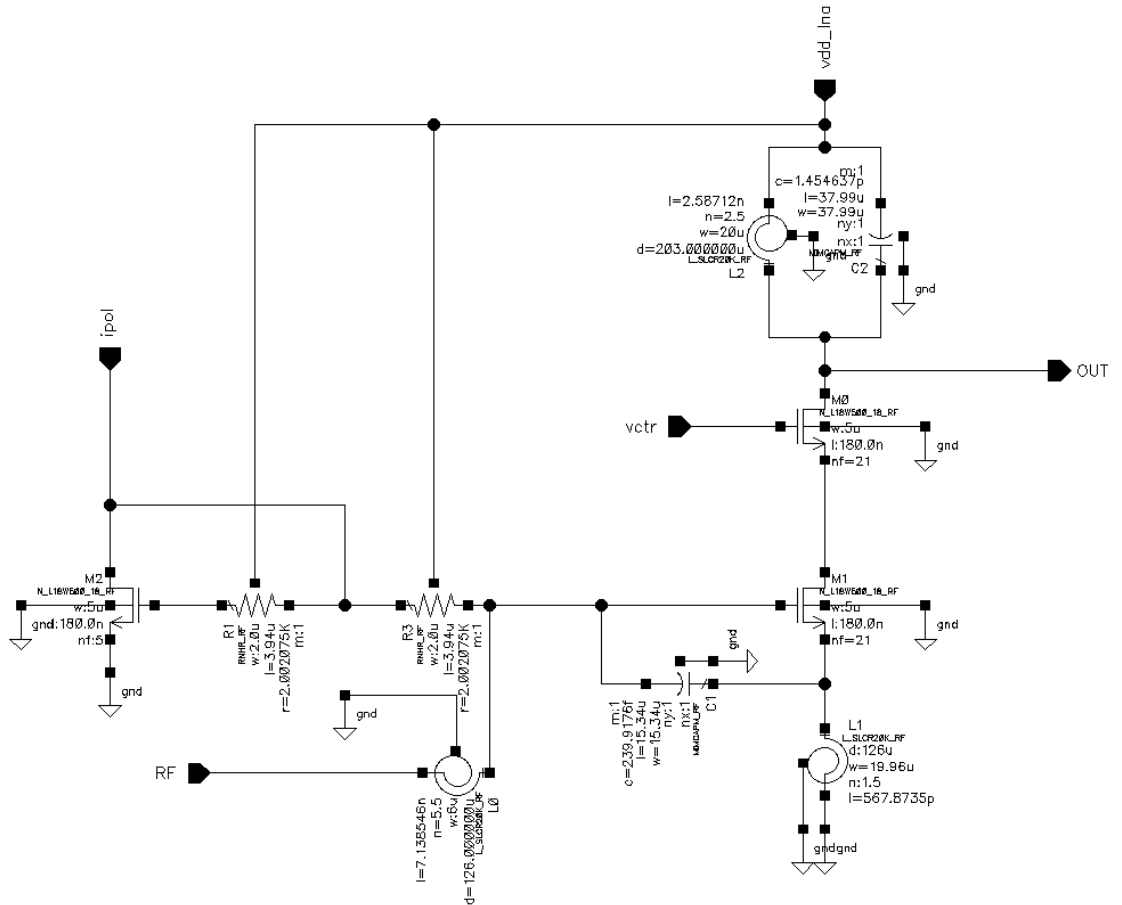


Figura 5-1. Esquemático del LNA en Cadence.

Cabe destacar que se ha introducido una mejora en el LNA respecto al diseño previamente. Esta mejora se refiere al tamaño del transistor M2 que actúa como espejo de corriente para realizar la polarización del circuito. En el LNA diseñado anteriormente, tanto el transistor M2 como el M1 tenían el mismo tamaño, y las resistencias el mismo valor resistivo. Sin embargo, si se reduce el tamaño del transistor M2, se puede utilizar una corriente de polarización menor, reduciendo así el consumo [17]. Esto se puede apreciar en la ecuación (5.1):

$$I_{out} = \frac{(W/L)_1}{(W/L)_2} I_{REF} \quad (5.1)$$

Donde  $I_{REF}$  se refiere a la corriente de polarización que circula por el drenador del transistor M2 e  $I_{out}$  se refiere a la corriente que circula por el drenador del transistor M1.

En este caso se desea mantener la misma corriente de salida para que no cambien las prestaciones del LNA. Por tanto, como al disminuir la relación de aspecto del transistor M2 va a aumentar el cociente, se debe disminuir la corriente de polarización consecuentemente.

Teniendo esto en cuenta, el transistor M2 ha pasado de tener 21 *fingers* a tener 5 *fingers*, mientras que la corriente de polarización se ha calculado que debe bajar de 1 mA a 0.25 mA. De esta manera se reduce el consumo del circuito, tal y como se verá más adelante en el capítulo 6.

Por otra parte, en la **Figura 5-1** se puede observar que los transistores, los condensadores, las resistencias y las bobinas incluidas son los modelos propios de la tecnología UMC 0.18  $\mu\text{m}$  CMOS. Concretamente, las bobinas son del modelo L\_SLCR20K\_RF, las resistencias son del modelo RNHR\_RF, los transistores del modelo N\_L18W500\_18\_RF y los condensadores del modelo MIMCAPM\_RF. La elección de cada uno de estos modelos se justifica a continuación:

- Bobina L\_SLCR20K\_RF: Tal y como se ha visto en el capítulo 3, la tecnología dispone de un único modelo de bobina.
- Resistencias RNHR\_RF: En el diseño del LNA se necesitan resistencias de 2 k $\Omega$ . Este modelo es el único capaz de llegar a estos valores ya que se fabrican con polisilicio altamente resistivo.
- Transistores N\_L18W500\_18\_RF: En este caso necesitamos transistores de tipo n alimentados con 1.8 V. Para ello se pueden utilizar dos modelos de la tecnología: N\_L18W500\_18\_RF y N\_PO7W500\_18\_RF. Para este diseño se ha optado por utilizar el primero ya que permite una mayor libertad en el diseño al poder variar el número de *fingers* entre 5 y 21. Por el contrario, en el modelo N\_PO7W500\_18\_RF el número de *fingers* es fijo y la longitud de puerta sólo se puede variar entre 0.2 y 0.5  $\mu\text{m}$ .
- Condensador MIMCAPM\_RF: La tecnología sólo proporciona este modelo de condensador para RF.

### 5.2.2. Simulación del esquemático del LNA con *Dynamic Link*

Una vez se ha realizado el esquemático del amplificador de bajo ruido, se pasa a realizar las simulaciones correspondientes para comprobar su correcto funcionamiento. Para ello, tal y como se ha comentado anteriormente, se ha utilizado el *ADS Dynamic Link* que permite comunicar Cadence con ADS. En la **Figura 5-2** se muestra el *setup* de simulación del esquemático del LNA diseñado en Cadence.

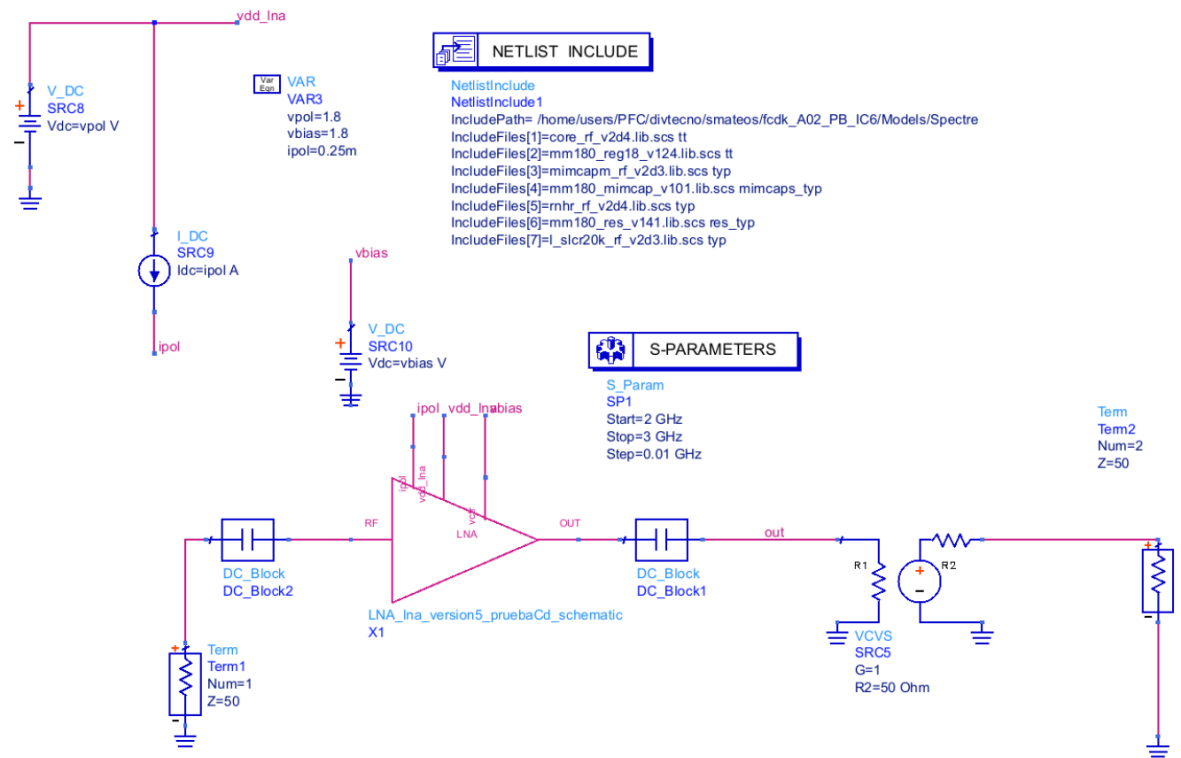


Figura 5-2. Setup de simulación del esquemático del LNA usando ADS Dynamic Link.

En este caso se ha realizado una simulación de parámetros S para calcular la ganancia, la figura de ruido (NF: Noise Figure) y la adaptación de entrada ( $S_{11}$ ). En la Figura 5-3 se muestran los resultados obtenidos.

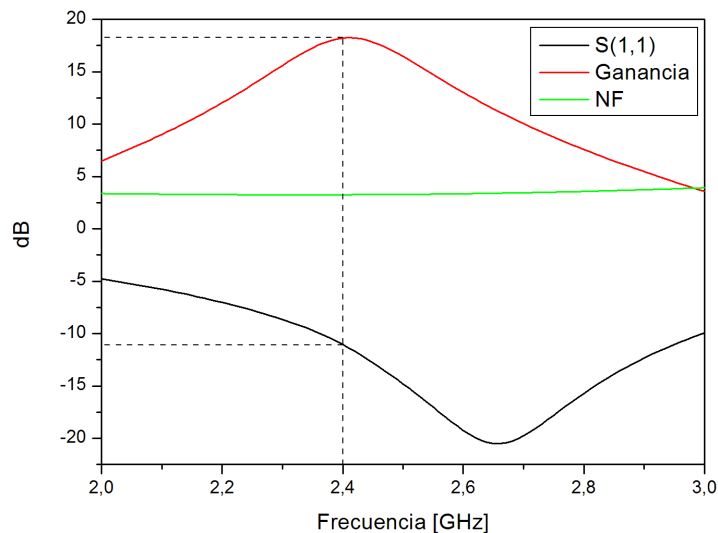


Figura 5-3. Resultados de simulación del esquemático del LNA de Cadence.

Como se puede observar, los resultados obtenidos son de aproximadamente 18 dB de ganancia, 3 dB de NF y -11 dB de adaptación de entrada. Estos resultados son prácticamente idénticos a los obtenidos en el diseño a nivel de esquemático usando ADS, como era de esperar.

### 5.2.3. Diseño del *layout* del LNA

Una vez se ha realizado el diseño a nivel de esquemático y se han realizado las simulaciones pertinentes para comprobar el correcto funcionamiento del mismo, se pasa a realizar el *layout* respetando las reglas de diseño de la tecnología. En la **Figura 5-4** se muestra el *layout* del LNA que se ha realizado.

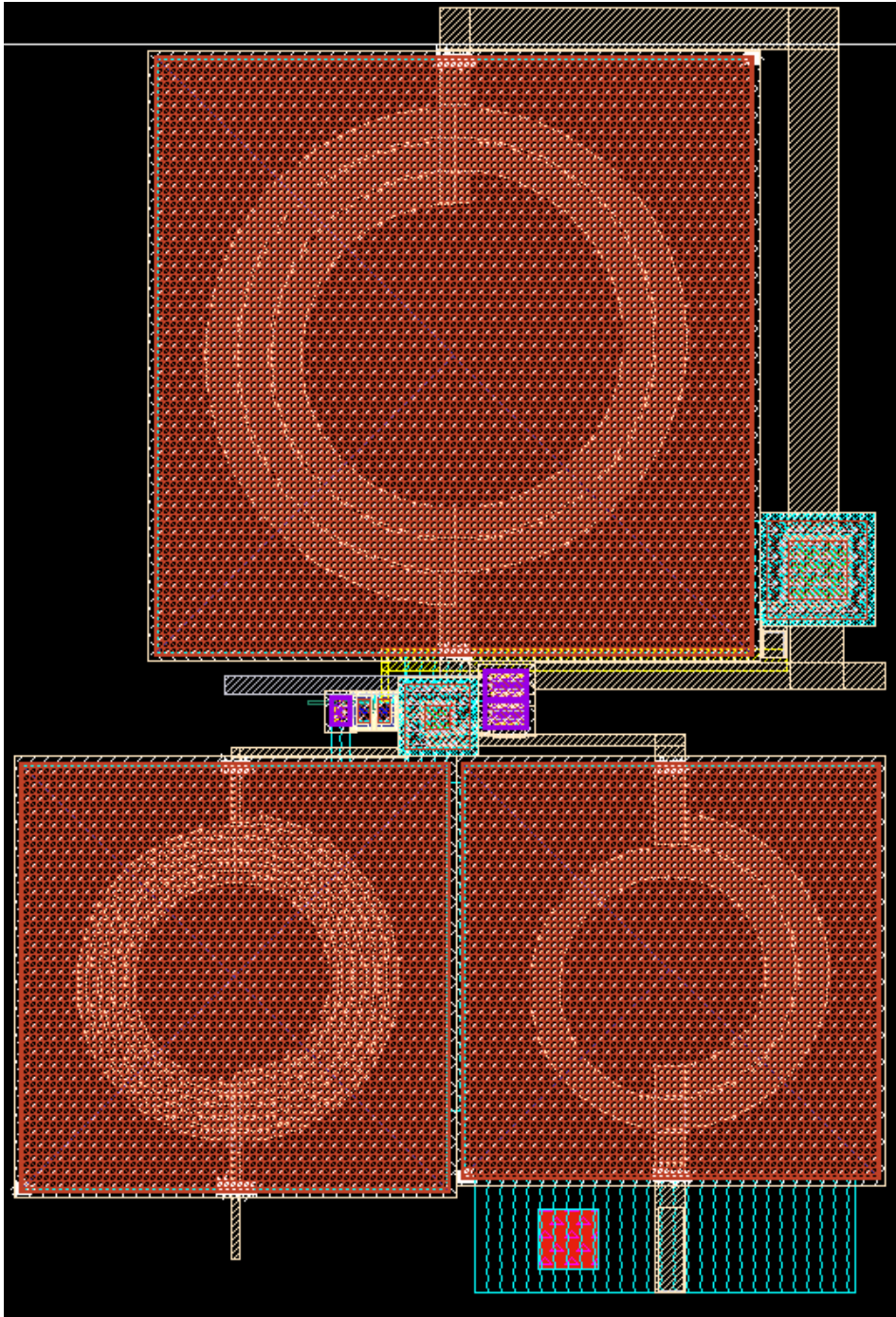
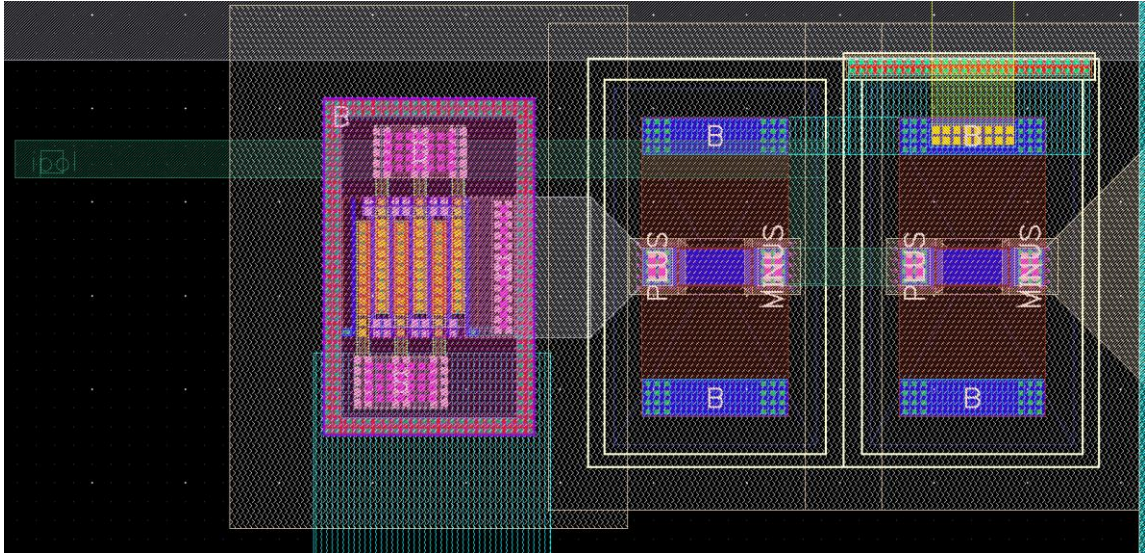


Figura 5-4. *Layout* del LNA.

Como se puede observar, los elementos que más área ocupan son las tres bobinas que se incluyen en el diseño, tal y como era de esperar.

En la **Figura 5-5** se muestra la conexión del transistor M2 del modelo N\_L18W500\_18\_RF, que actúa como espejo de corriente, con las resistencias del modelo RNHR\_RF.

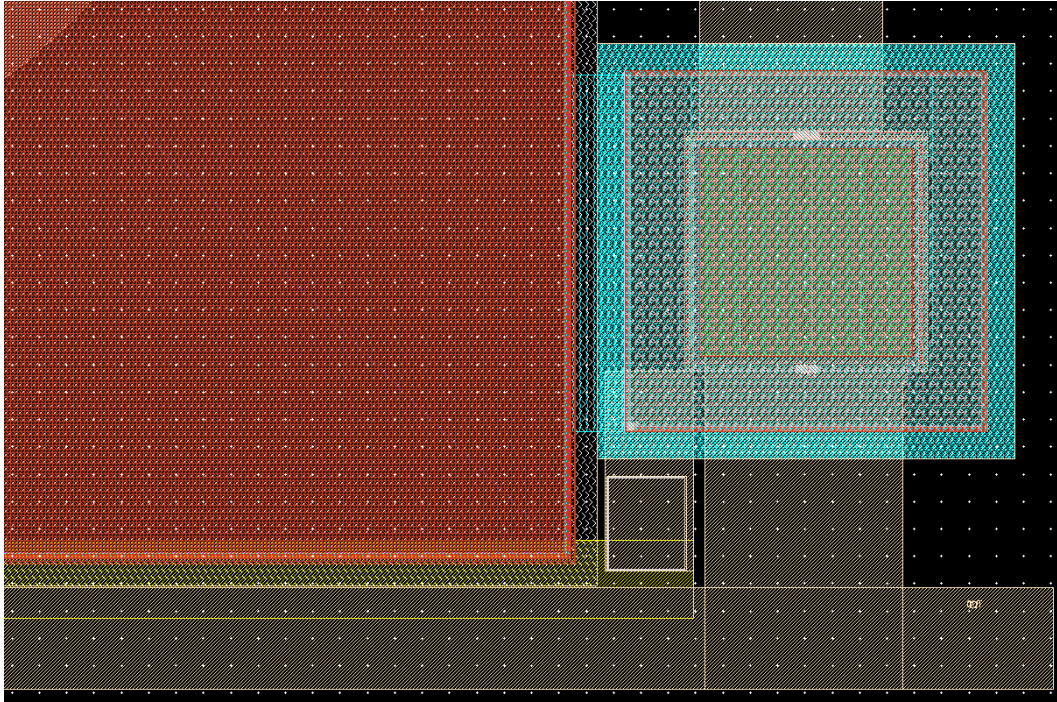


**Figura 5-5.** Layout del transistor M2 y las resistencias R0 y R2.

Como se puede observar, el transistor se encuentra a la izquierda de la **Figura 5-5** y consta de 5 *fingers*. El transistor se conecta a una de las resistencias a través de la puerta (G: Gate).

Por otra parte, en la **Figura 5-6** se muestra el nodo de salida del amplificador. En este nodo se aprecia la conexión entre la bobina  $L_2$  y el condensador  $C_2$  que forman el tanque que hace que el amplificador resuene a la frecuencia deseada de 2.4 GHz.



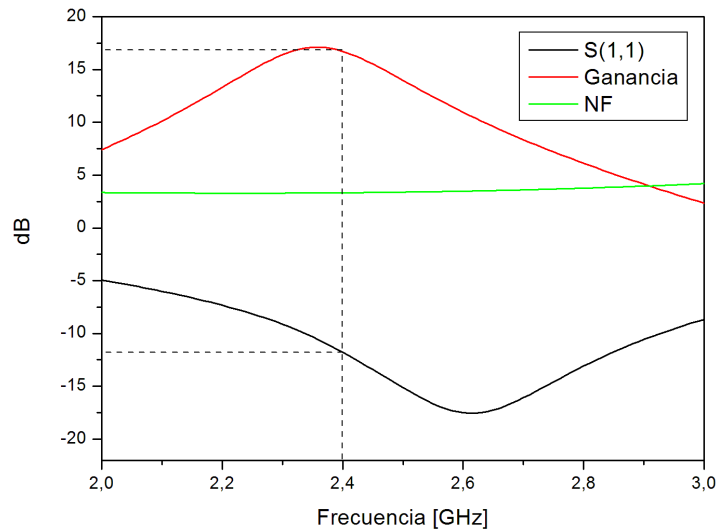


**Figura 5-6.** *Layout* del nodo de salida del LNA.

En la parte derecha de la **Figura 5-6** se muestra el condensador del modelo MIMCAPM\_RF, mientras que a la izquierda se muestra una parte de la bobina que forma el tanque. Además, en la parte superior se puede ver la pista que va hacia la tensión de alimentación.

#### **5.2.4. Simulaciones *post-layout* del LNA**

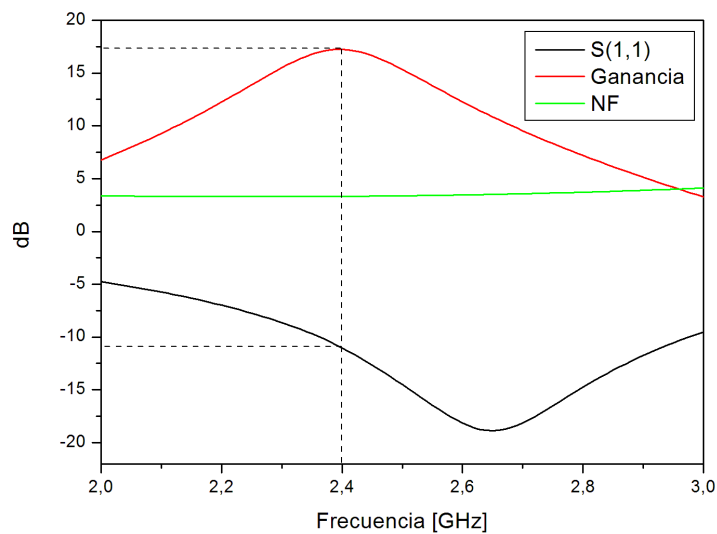
Una vez se ha realizado el *layout* del circuito se debe pasar el DRC para comprobar que se han cumplido las reglas de diseño y el LVS para comprobar que el *layout* y el esquemático coinciden. Después de pasar el DRC y el LVS, se obtiene el extraído de las resistencias y capacidades parásitas y se realizan las simulaciones *post-layout*. En la **Figura 5-7** se muestran los resultados de simulación *post-layout* obtenidos.



**Figura 5-7.** Resultados de simulación *post-layout* del LNA. Ganancia, NF y S (1,1).

Como se puede observar, la ganancia ha disminuido (desde 18 dB hasta algo menos de 17 dB), mientras que la NF se mantiene prácticamente igual. Además, se puede observar como la respuesta del amplificador ya no está centrada en los 2.4 GHz deseados. Para averiguar la influencia de las resistencias y capacidades parásitas en estos resultados se ha realizado un extraído de cada uno por separado. Es decir, en primer lugar se ha realizado un extraído únicamente de las resistencias y, posteriormente, se ha realizado un extraído sólo de las capacidades parásitas.

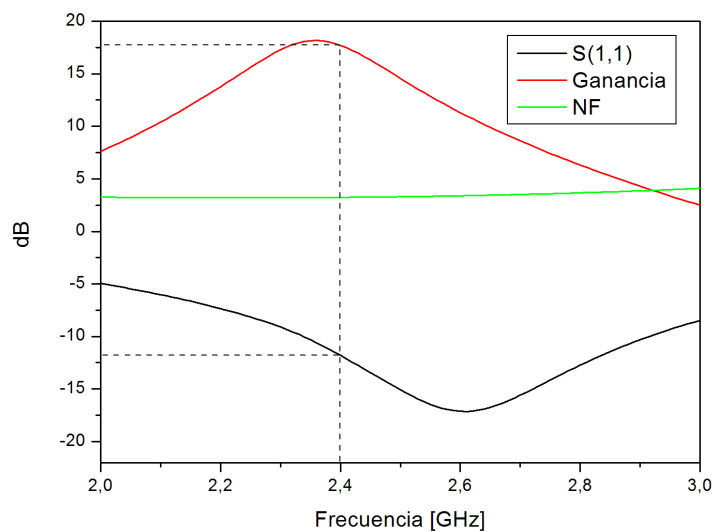
En la **Figura 5-8** se muestran los resultados de simulación *post-layout* tras realizar un extraído de únicamente las resistencias parásitas, sin contemplar las capacidades parásitas que pudieran introducir las pistas.



**Figura 5-8.** Resultados de simulación *post-layout* del LNA. Ganancia, NF y S (1,1). Extraído sólo resistencias.

Como se puede observar, en este caso la respuesta del LNA vuelve a estar centrada en los 2.4 GHz deseados, lo cual indica que lo que ha causado el desplazamiento en frecuencia son las capacidades parásitas contempladas en el caso anterior. Además, se puede observar que la ganancia ha disminuido frente a los resultados obtenidos en el esquemático, mientras que la figura de ruido ha aumentado ligeramente y la adaptación de entrada apenas ha variado su valor.

Para comprobar que efectivamente las capacidades parásitas son la causa del desplazamiento en frecuencia, se ha realizado un extraído en el cual únicamente se tienen en cuenta las capacidades, mientras que se obvian las resistencias parásitas. En la **Figura 5-9** se muestran los resultados de simulación *post-layout* para este caso.



**Figura 5-9.** Resultados de simulación *post-layout* del LNA. Ganancia, NF y S (1,1). Extraído sólo capacidades.

Como se puede observar, en este caso la respuesta del LNA está desplazada con respecto a los 2.4 GHz deseados y, por tanto, se puede afirmar que la suposición planteada anteriormente es correcta. Es decir, las capacidades parásitas son la causa del desplazamiento en frecuencia. Además, se puede observar que en este caso la ganancia es mayor y la figura de ruido menor con respecto a los casos en los que se contemplan las resistencias parásitas. En este caso, en el que sólo se contemplan las capacidades parásitas, la máxima ganancia es prácticamente 18 dB y la figura de ruido es de 3.2 dB. Por tanto, se puede afirmar que la pérdida de ganancia y el aumento de la NF se deben a las resistencias parásitas introducidas por las pistas metálicas.

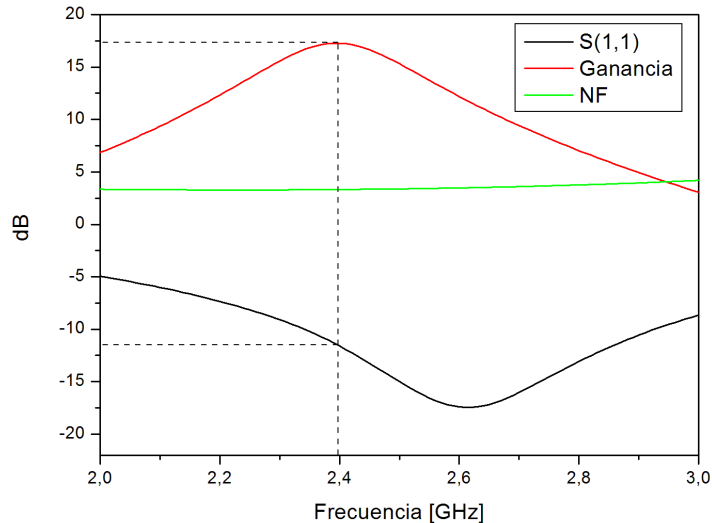
Para arreglar el problema de desplazamiento en frecuencia de la respuesta del LNA, causado por las capacidades parásitas, se ha modificado el valor del condensador  $C_2$  del tanque del amplificador. Para ello se realizó un barrido de distintos valores del condensador

para averiguar qué valor hace que la respuesta esté centrada en 2.4 GHz cuando se tienen en cuenta las capacidades parásitas. El valor calculado de  $C_2$  es de 1.4 pF, es decir, ligeramente inferior al valor de 1.455 pF calculado en el esquemático. El valor obtenido es coherente teniendo en cuenta que la frecuencia de resonancia de un circuito LC es inversamente proporcional al valor del condensador [17], tal y como se muestra en (5.2):

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (5.2)$$

Por tanto, teniendo en cuenta que las capacidades parásitas aumentan la capacidad total del circuito y bajan la frecuencia de resonancia, al bajar el valor del condensador  $C_2$ , se disminuye la capacidad total del circuito y se aumenta la frecuencia de resonancia (hasta llegar a los 2.4 GHz en este caso).

Tras realizar el cambio del condensador  $C_2$ , este se debe modificar tanto en el esquemático como en el *layout*, y volver a realizar el procedimiento explicado anteriormente: esquemático, simulación del esquemático, *layout* y simulaciones *post-layout*. En la **Figura 5-10** se muestran los resultados de simulación *post-layout* obtenidos tras cambiar el valor del condensador y contemplando tanto las resistencias como las capacidades parásitas.



**Figura 5-10.** Resultados de simulación *post-layout* del LNA. Ganancia, NF y S (1,1).  $C_2=1.4$  pF.

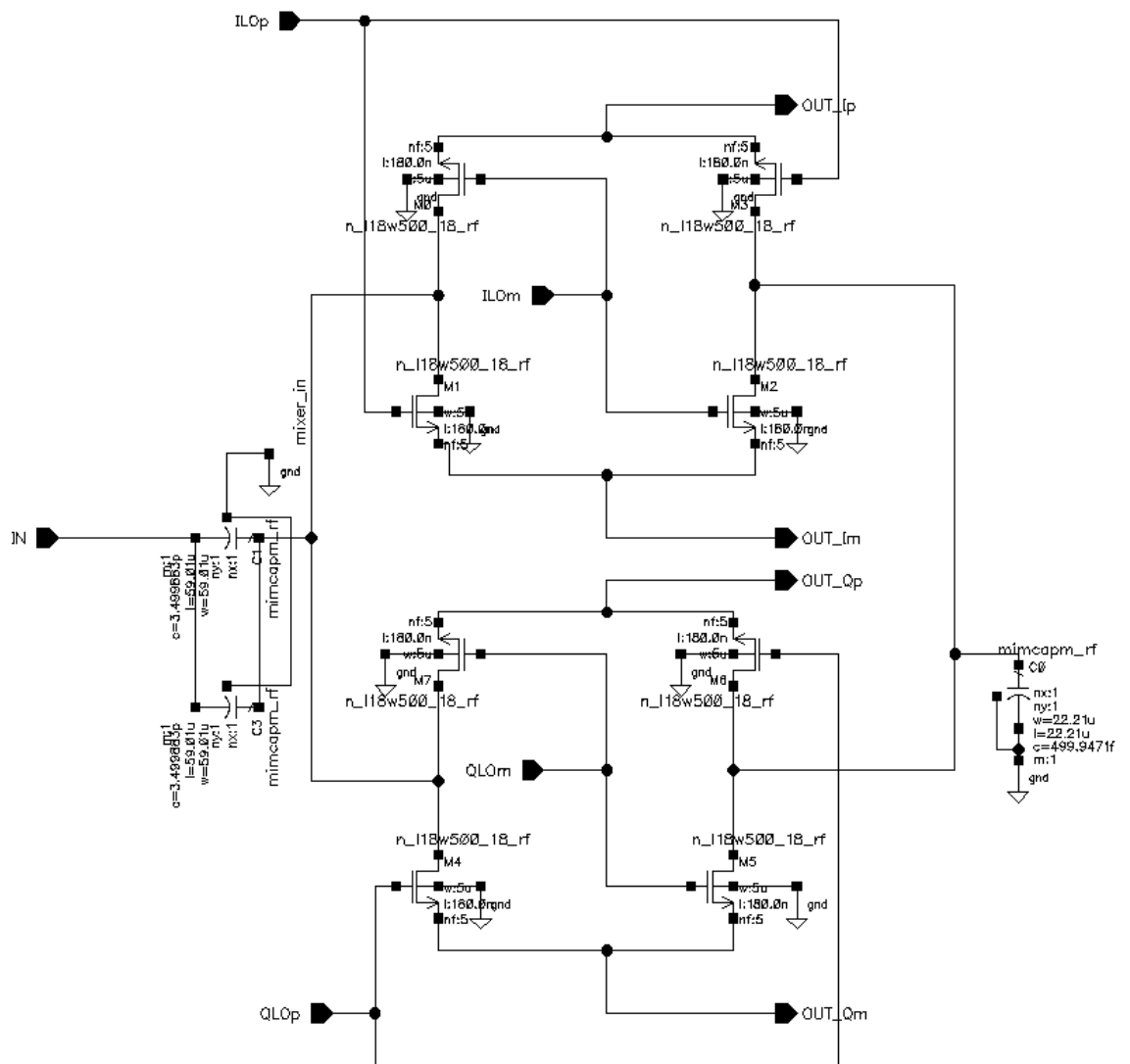
Como se puede observar, la respuesta en frecuencia del LNA está centrada en los 2.4 GHz deseados. En cuanto a la ganancia, se obtiene un valor de prácticamente 17 dB, lo cual supone una pérdida de aproximadamente 1 dB respecto a lo obtenido en la simulación del esquemático. Tal y como se ha explicado anteriormente, esto se debe a que en la simulación del esquemático no se tienen en cuenta las resistencias parásitas introducidas por las

conexiones metálicas. De la misma manera, la NF ha aumentado ligeramente (3.2 dB en esquemático frente a los 3.4 dB obtenidos en la simulación *post-layout*). Por otra parte, la adaptación de entrada ha mejorado ligeramente ya que en este caso se han obtenido -12 dB frente a los -11 dB obtenidos en la simulación del esquemático.

### 5.3. *Layout* del mezclador

#### 5.3.1. Esquemático del mezclador en Cadence

De la misma manera que se ha realizado para el amplificador de bajo ruido, el primer paso para realizar el *layout* del mezclador consiste en pasar el esquemático de ADS a Cadence. En la **Figura 5-11** se muestra el esquemático diseñado con Cadence.



**Figura 5-11.** Esquemático del mezclador con Cadence.

Como se puede observar, los transistores utilizados son del mismo modelo que los utilizados en el LNA, es decir, los transistores N\_L18W500\_18\_RF. De la misma manera, los condensadores utilizados son los del modelo MIMCAPM\_RF.

Cabe destacar que el condensador de desacoplo a la entrada del mezclador, que permite desacoplar la señal que proviene del LNA, tiene un valor ideal de 7 pF. Sin embargo, la tecnología no permite construir condensadores del tipo MIMCAPM\_RF tan grandes. Es por esto por lo que se ha optado por colocar dos condensadores de 3.5 pF en paralelo.

En este caso, los transistores tienen 5 *fingers* puesto que aunque la ganancia es menor, se consigue la mínima NF [5].

Por otra parte, el condensador  $C_0$  conecta una de las entradas del mezclador a tierra, manteniendo así las ventajas de un circuito diferencial a la vez que se conecta el circuito con un LNA asimétrico.

### 5.3.2. Simulación del esquemático del mezclador con *Dynamic Link*

Una vez se ha realizado el esquemático del mezclador, se pasa a realizar las simulaciones correspondientes para comprobar su correcto funcionamiento utilizando el *ADS Dynamic Link*. En la **Figura 5-12** se muestra el *setup* de simulación del esquemático del mezclador diseñado en Cadence.

Para realizar las simulaciones del esquemático, el mezclador se ha incluido dentro del *setup* de simulación que se tenía para la simulación a nivel de esquemático del cabezal de recepción en ADS. A la entrada del mezclador se ha conectado el LNA diseñado y a la salida se ha conectado un TIA para cada rama. Además, se ha incluido un filtro polifásico que sería el siguiente elemento en la etapa de recepción tras el cabezal. Para calcular la ganancia y la NF se ha realizado una simulación de balance de armónicos. Los resultados obtenidos se muestran en la **Tabla 5-I**.

**Tabla 5-I.** Resultados de simulación del esquemático del mezclador de Cadence

Frecuencia [MHz]	Ganancia [dB]	NF [dB]
2.5	44.7	10.3

Comparando los resultados obtenidos, con los resultados en esquemático en ADS, se puede observar que tanto la ganancia como la NF tienen prácticamente el mismo valor, como era de esperar. Por tanto, se puede afirmar que el esquemático del mezclador que se ha realizado en Cadence está funcionando correctamente.

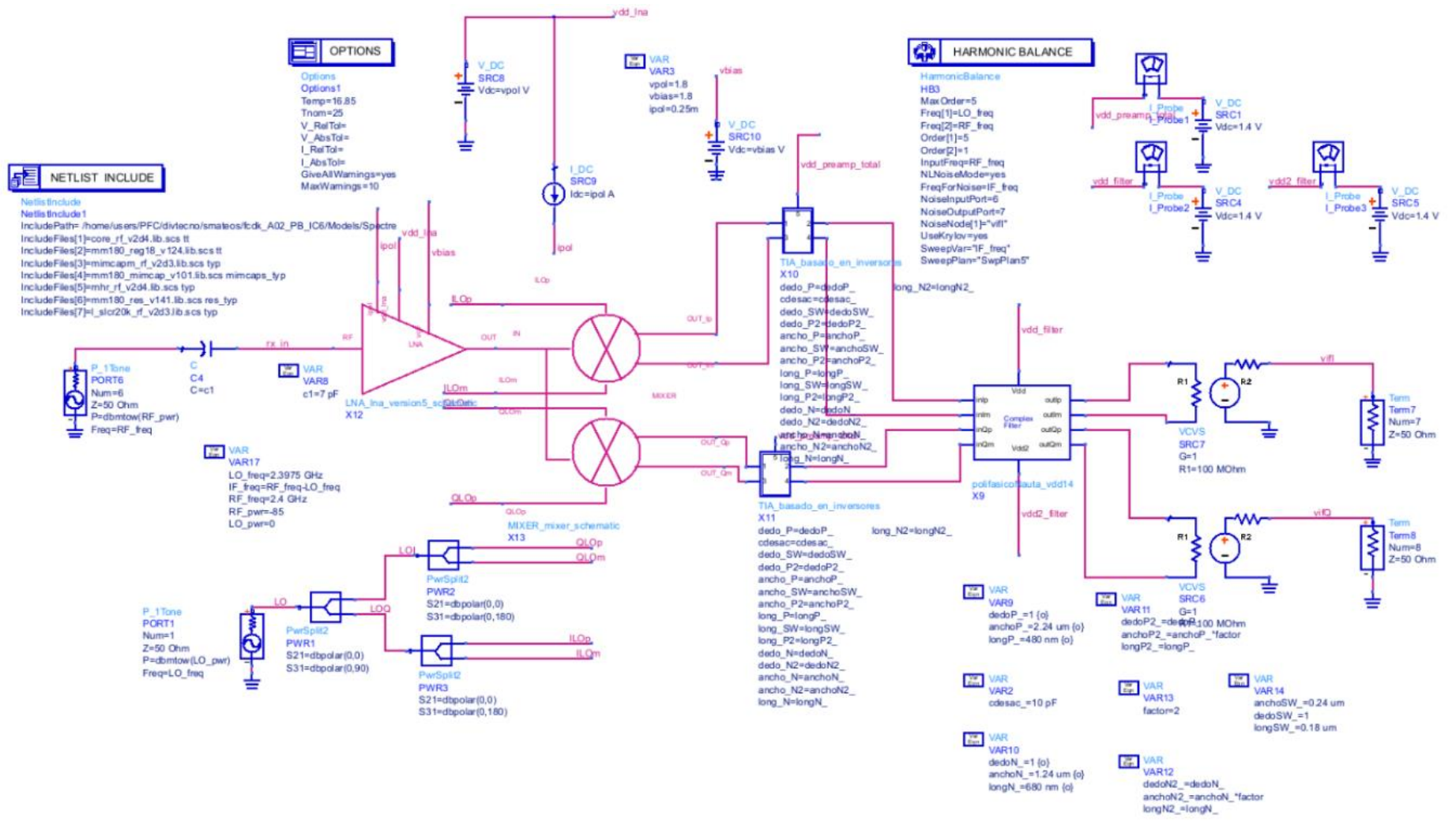
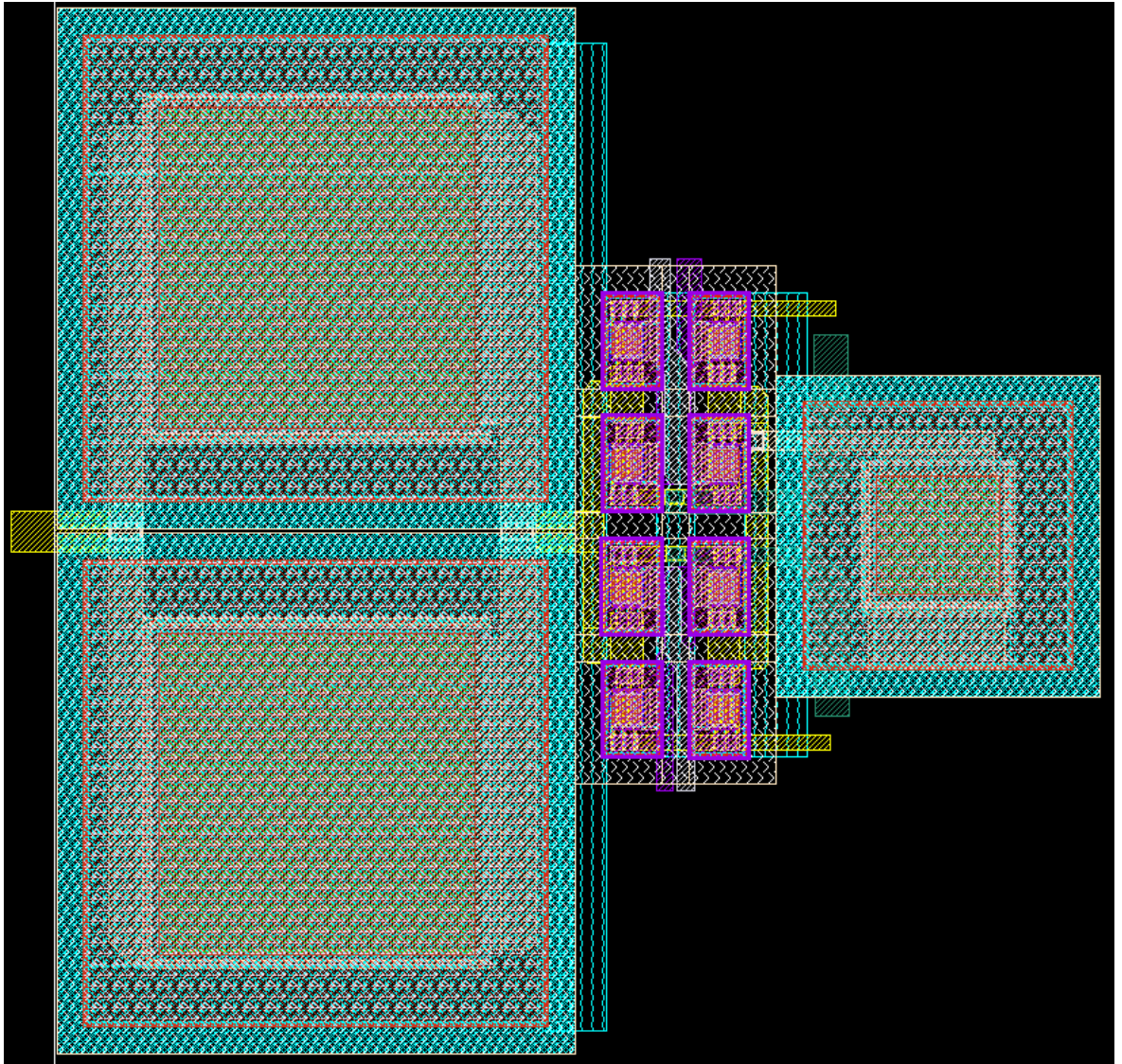


Figura 5-12. Setup de simulación del mezclador utilizando ADS Dynamic Link.

### 5.3.3. Diseño del *layout* del mezclador

Una vez se ha realizado el diseño a nivel de esquemático y se han realizado las simulaciones pertinentes para comprobar el correcto funcionamiento del mismo, se pasa a realizar el *layout* respetando las reglas de diseño de la tecnología. En la **Figura 5-13** se muestra el *layout* del mezclador que se ha realizado.



**Figura 5-13.** *Layout* del mezclador.

En la parte izquierda de la **Figura 5-13** se pueden observar los condensadores de desacoplo entre el LNA y el mezclador. Tal y como se ha comentado anteriormente, el valor ideal del condensador de desacoplo es de 7 pF, pero la tecnología no permite construir condensadores tan grandes por lo que se han incluido dos condensadores de 3.5 pF en paralelo. En la parte central de la **Figura 5-13** se muestran los ocho transistores que componen el mezclador (cuatro para la rama I y cuatro para la rama Q). Cada uno de estos



transistores tiene un número de *fingers* de 5, ya que de esta manera se obtiene la menor NF posible a costa de una ligera pérdida de ganancia [5]. Además, se pueden ver las pistas que irían conectadas a los pines correspondientes a la señal del oscilador local. Por último, a la derecha de la **Figura 5-13** se puede ver el condensador de 0.5 pF que conecta una de las entradas del mezclador a tierra. Como es lógico, este condensador es considerablemente de menor tamaño que los condensadores de desacoplo.

#### 5.3.4. Simulaciones *post-layout* del mezclador

Una vez se ha realizado el *layout* del circuito se debe pasar el DRC para comprobar que se han cumplido las reglas de diseño y el LVS para comprobar que el *layout* y el esquemático coinciden. Después de pasar el DRC y el LVS, se realiza el extraído de las resistencias y capacidades parásitas y se realizan las simulaciones *post-layout*.

En la Tabla 5-II se muestran los resultados de las simulaciones *post-layout* del mezclador, utilizando el mismo *setup* de simulación que para el caso de la simulación del esquemático.

**Tabla 5-II.** Resultados de simulación *post-layout* del mezclador de Cadence

Frecuencia [MHz]	Ganancia [dB]	NF [dB]
2.5	44.3	10.7

Como se puede observar, la ganancia ha disminuido ligeramente y la NF ha aumentado debido a las resistencias parásitas no contempladas en la simulación del esquemático. Sin embargo, el cambio no es considerable (44.7 dB frente a 44.3 dB en ganancia y 10.3 dB frente 10.7 dB en NF).

## 5.4. Layout del TIA

### 5.4.1. Esquemático del TIA en Cadence

De manera similar a los apartados anteriores, el primer paso consiste en pasar el esquemático, del que se dispone en ADS, a Cadence. En la **Figura 5-14** se muestra el esquemático del TIA en Cadence.

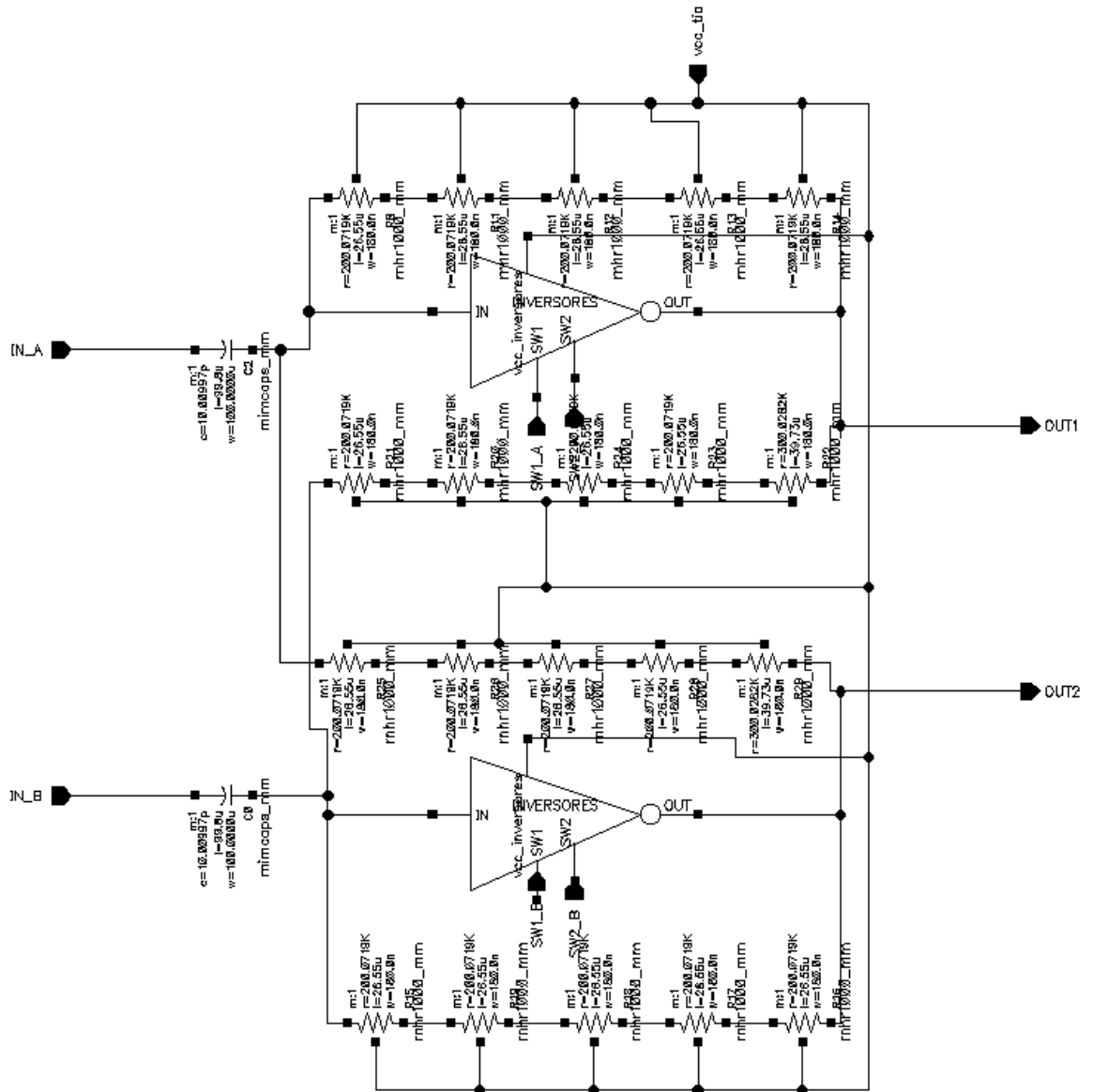
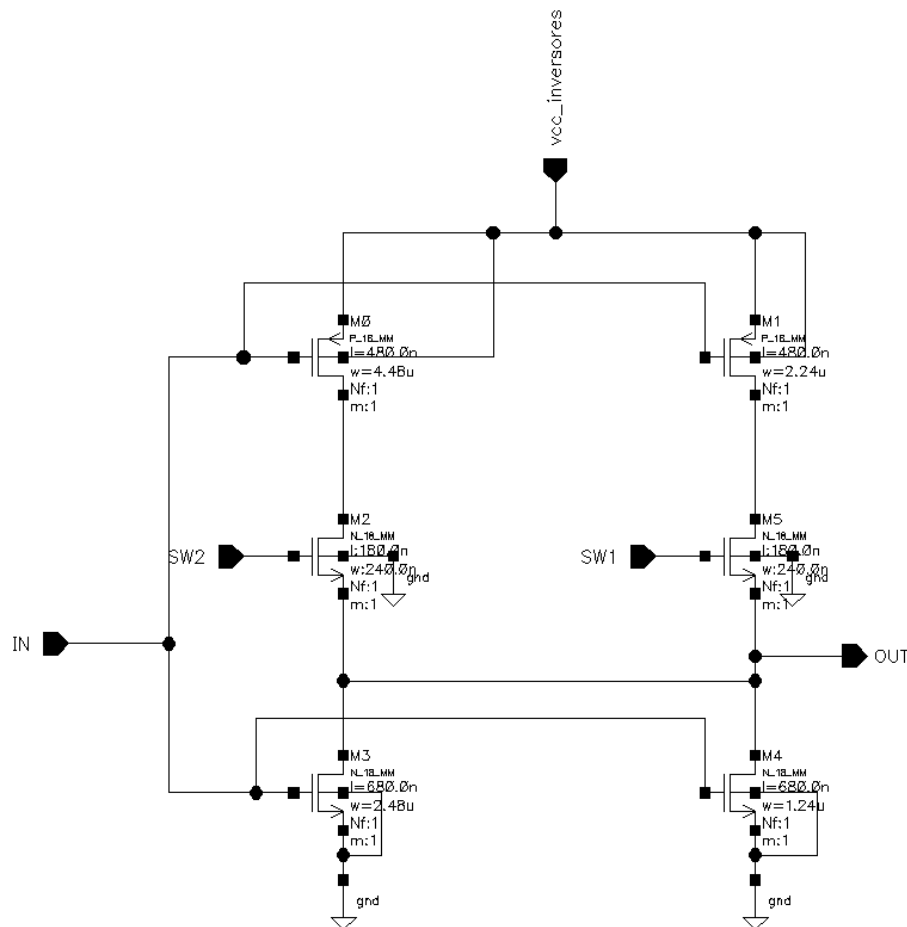


Figura 5-14. Esquemático del TIA en Cadence.

En la **Figura 5-14** se puede observar que en este caso los componentes utilizados ya no son de RF, sino de modo mixto (MM: *Mixed Mode*). Este es el caso de las resistencias y los condensadores que son del modelo RNHR1000\_MM y MIMCAPS\_MM, respectivamente. En ambos casos se ha optado por estos modelos ya que eran los únicos que

permitían construir componentes con el valor deseado. Por ejemplo, los condensadores de desacoplo entre el mezclador y el TIA tienen un valor de 10 pF. El modelo MIMCAPS\_MM es el único de la tecnología con el que se puede obtener un condensador de dicho valor. En cuanto a las resistencias que forman la red de realimentación resistiva, éstas tienen un valor de 1 MΩ y 1.1 MΩ [5]. Teniendo esto en cuenta, se optó por utilizar el modelo RNHR1000\_MM que está fabricado con polisilicio de alta resistividad. Sin embargo, ni siquiera con este modelo de resistencia se consiguió llegar a los valores óhmicos deseados. Es por eso por lo que se han colocado varias resistencias en serie hasta llegar a los 1 MΩ y 1.1 MΩ deseados. Para el caso de 1 MΩ se han colocado cinco resistencias de 200 kΩ en serie, mientras que para el caso de 1.1 MΩ se han colocado cuatro resistencias de 200 kΩ y una de 300 kΩ en serie.

En cuanto a los inversores, tal y como se ha comentado anteriormente, están compuestos por dos ramas inversoras de distinto tamaño en las que activando una rama u otra se puede variar entre una ganancia máxima y una ganancia mínima. En la **Figura 5-15** se muestra el esquemático de un inversor de los que componen el TIA.



**Figura 5-15.** Esquemático de los inversores del TIA en Cadence.

Como se puede observar, los transistores utilizados son del modelo N\_18\_MM para los transistores tipo n y del modelo P\_18\_MM para los transistores tipo p. Cabe destacar que los transistores de la rama de la izquierda tienen un ancho de puerta del doble que los transistores de la rama de la derecha, permitiendo así la función de control de ganancia. Además, este circuito está alimentado a 1.4 V, a diferencia del LNA que está alimentado a 1.8 V. La razón de que la alimentación de este circuito sea diferente a la del resto de componentes del receptor es que, tanto el TIA como el filtro polifásico que se encuentra justo detrás de él, serán alimentados a través de un circuito de regulación de tensión. Este circuito será el encargado de regular la respuesta en frecuencia del conjunto formado por el TIA y el filtro mediante el ajuste de la tensión de alimentación que se aplica a dichos circuitos. De esta manera se compensan las variaciones en la respuesta en frecuencia del receptor debido a las dispersiones en el proceso de fabricación y a las variaciones de la tensión de alimentación [2].

#### 5.4.2. Simulación del esquemático del TIA con *Dynamic Link*

Una vez se ha realizado el esquemático del TIA, se pasa a realizar las simulaciones correspondientes para comprobar su correcto funcionamiento utilizando el *ADS Dynamic Link*. En la **Figura 5-16** se muestra el *setup* de simulación del esquemático del TIA diseñado en Cadence.

Como se puede observar, el *setup* es el mismo que se ha utilizado para la simulación del esquemático del mezclador, pero cambiando los amplificadores de transimpedancia de cada rama. En el caso anterior, los TIA que se incluían en el *setup* eran los que se habían diseñado previamente con ADS, mientras que ahora se han incluido los diseñados en Cadence. Los resultados obtenidos se muestran en la **Tabla 5-III**.

**Tabla 5-III.** Resultados de simulación del esquemático del TIA de Cadence

Frecuencia [MHz]	Ganancia [dB]	NF [dB]
2.5	44.7	10.3

Como se puede observar, tanto la ganancia como la NF apenas han variado con respecto al caso anterior, por lo que se puede afirmar que el esquemático del TIA con Cadence está funcionando como se esperaba.

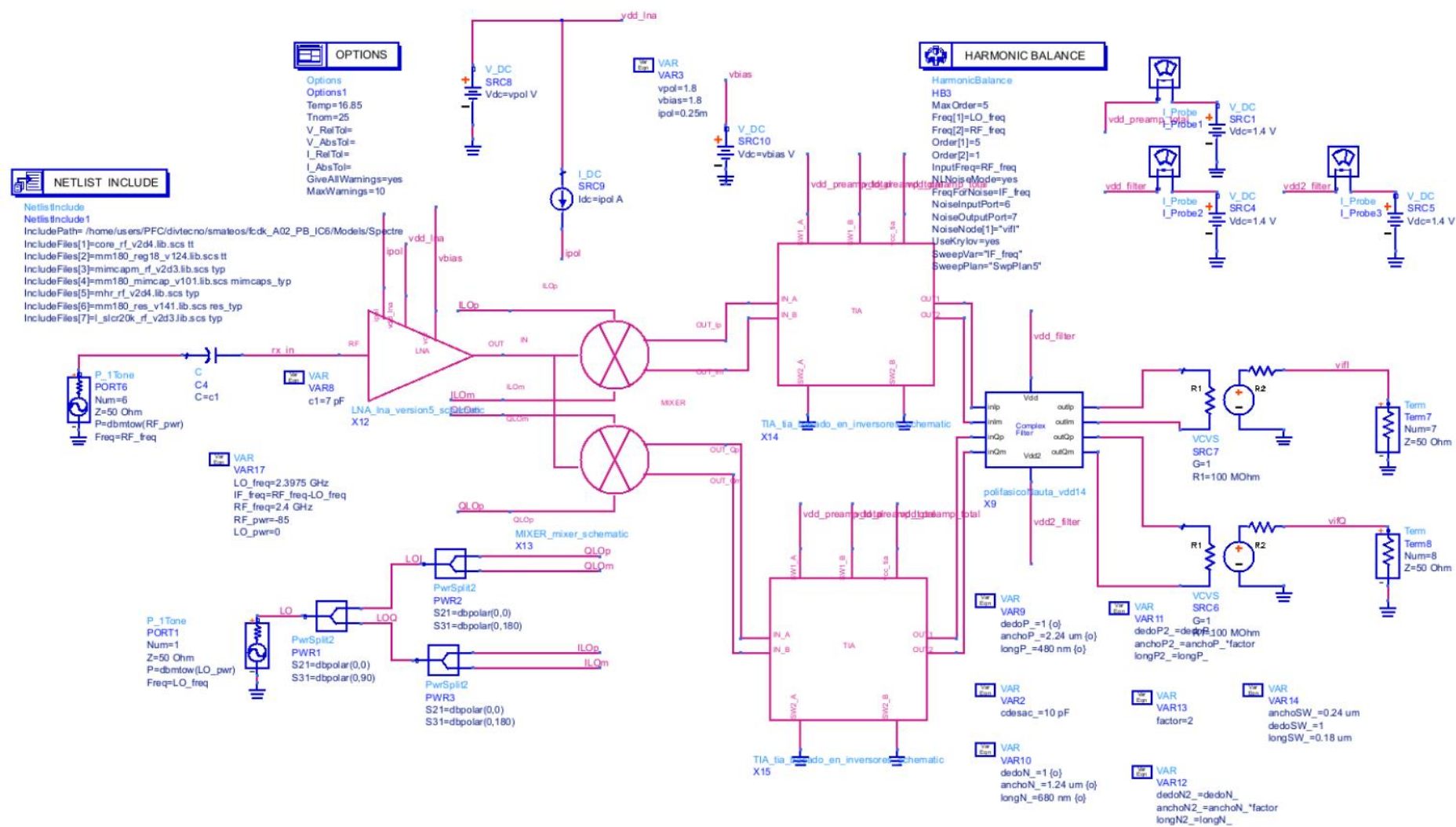
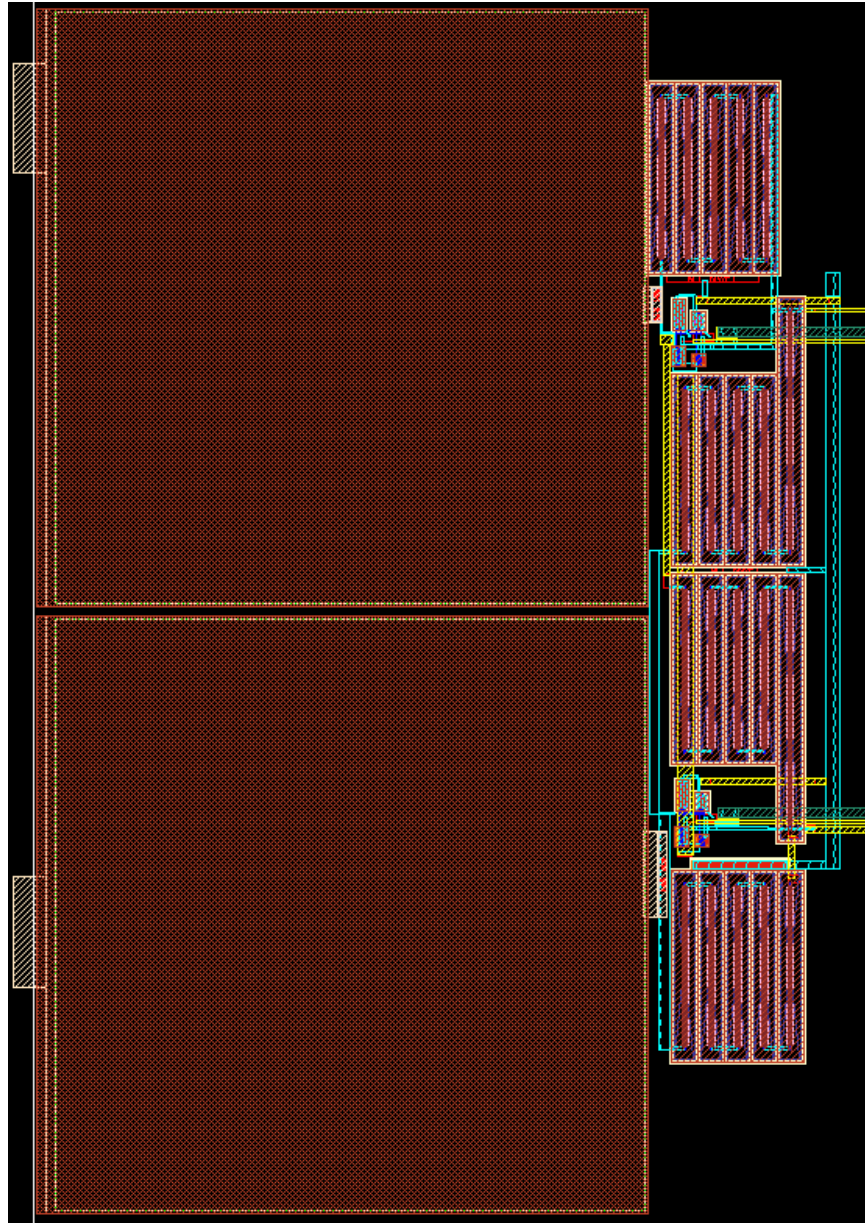


Figura 5-16. Setup de simulación del mezclador utilizando ADS Dynamic Link.

### 5.4.3. Diseño del *layout* del TIA

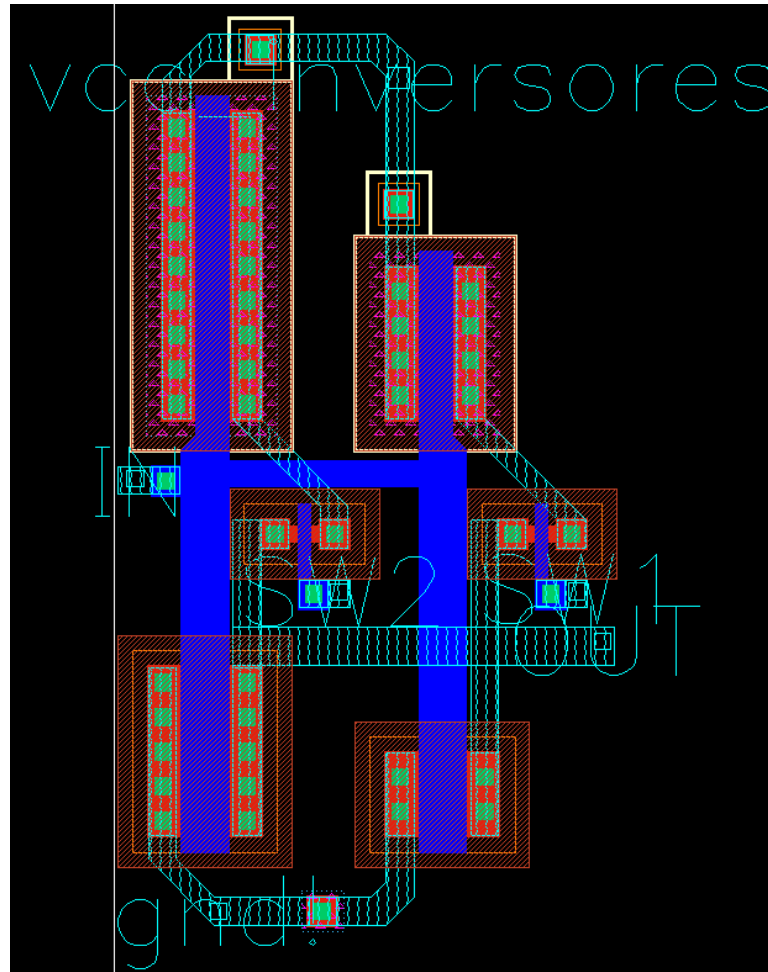
Una vez se ha realizado el diseño a nivel de esquemático y se han realizado las simulaciones pertinentes para comprobar el correcto funcionamiento del mismo, se pasa a realizar el *layout* respetando las reglas de diseño de la tecnología. En la **Figura 5-17** se muestra el *layout* del TIA que se ha realizado.



**Figura 5-17.** *Layout* del TIA.

En la parte izquierda de la **Figura 5-17** se pueden ver los condensadores de desacoplo de entrada. Como es lógico, estos condensadores ocupan mucha área debido a que son condensadores de 10 pF. En la parte derecha se muestran las distintas agrupaciones de resistencias en serie para obtener las resistencias de 1 M $\Omega$  y 1.1 M $\Omega$ . También se pueden

ver los dos inversores que forman el TIA. En la **Figura 5-18** se muestra uno de los inversores del TIA con mayor detalle.



**Figura 5-18.** *Layout* de los inversores del TIA.

Como se puede observar, cada inversor está formado por dos ramas inversoras en las que cada una está controlada por un transistor actuando como *switch*. En la **Figura 5-18** se aprecia claramente que los transistores de la rama de la izquierda son más grandes que los de la rama de la derecha. Cabe destacar que en este caso las puertas de los transistores del inversor se conectan mediante la capa de polisilicio. Esto se puede hacer porque las distancias no son muy grandes, puesto que la capa de polisilicio crea resistencias perjudiciales para el comportamiento del circuito si se utiliza en pistas demasiado largas [21].

#### 5.4.4. Simulaciones *post-layout* del TIA

Una vez se ha realizado el *layout* del circuito se debe pasar el DRC para comprobar que se han cumplido las reglas de diseño y el LVS para comprobar que el *layout* y el esquemático coinciden. Después de pasar el DRC y el LVS, se realiza el extraído de las resistencias y capacidades parásitas y se realizan las simulaciones *post-layout*.

En la **Tabla 5-IV** se muestran los resultados de las simulaciones *post-layout* del TIA, utilizando el mismo *setup* de simulación que para el caso de la simulación del esquemático.

**Tabla 5-IV.** Resultados de simulación *post-layout* del TIA de Cadence

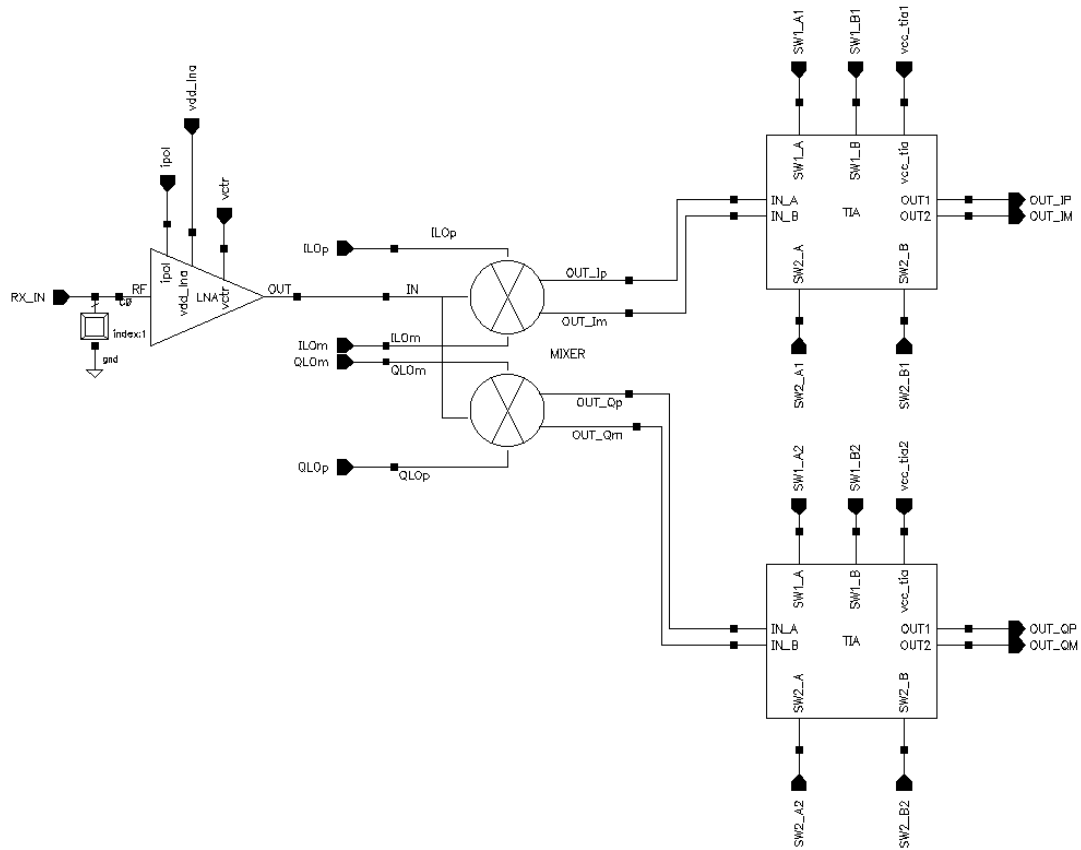
Frecuencia [MHz]	Ganancia [dB]	NF [dB]
2.5	44.3	10.6

Como se puede observar, la ganancia ha bajado y la NF ha aumentado ligeramente. Sin embargo, la variación entra dentro de lo esperado por lo mismo que ya se ha comentado en los circuitos anteriores con respecto a las pérdidas introducidas por las pistas metálicas.

#### 5.5. *Layout* del cabezal de recepción

Una vez se ha realizado el *layout* de cada uno de los circuitos que componen el cabezal de recepción, se pasa a juntar y conectar todos los circuitos. De la misma manera que se ha hecho individualmente para cada uno de los circuitos, primero se ha pasado el esquemático de ADS a Cadence. En la **Figura 5-19** se muestra el esquemático del cabezal de recepción en Cadence.

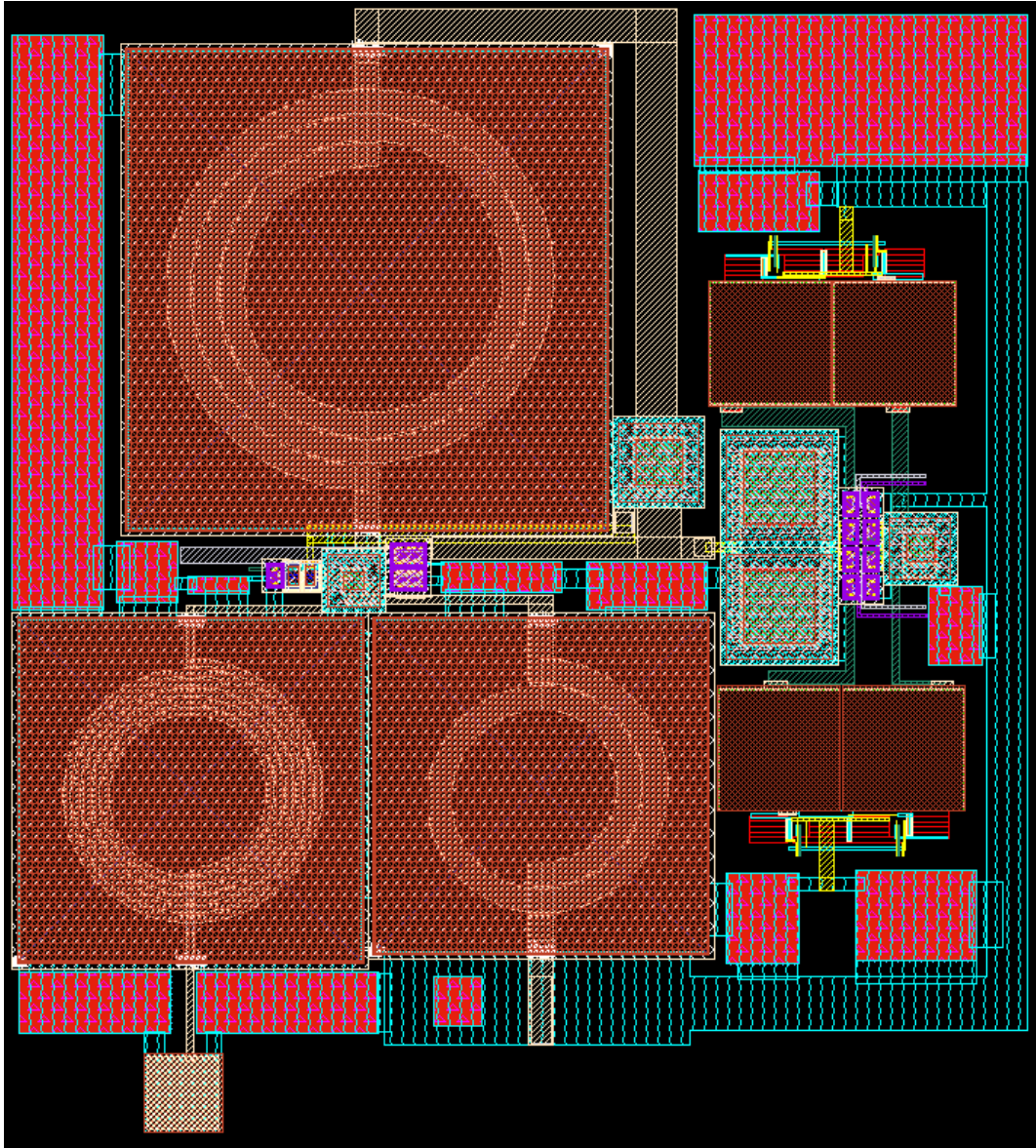




**Figura 5-19.** Esquemático del TIA en Cadence.

Como se puede observar, se han conectado los circuitos que componen el cabezal de recepción. El primer elemento es el LNA, seguido del mezclador en cuadratura. Además, se coloca un TIA para cada rama, es decir, uno para la rama I y otro para la rama Q. Cabe destacar que se ha incluido un *pad* a la entrada, a través del cual se introduce la señal de RF en el circuito. Como ya se ha comentado anteriormente, este cabezal de recepción se incluirá dentro de un transceptor, por lo cual carece de sentido incluir el resto de *pads* hasta que no se tenga el *layout* del transceptor completo. Sin embargo, como el *pad* de RF se sabe que va a ser incluido en el diseño final a la entrada del LNA, se ha decidido incluirlo para analizar el impacto del *pad* en los resultados de simulación del cabezal.

En la **Figura 5-20** se muestra el *layout* del cabezal de recepción que se ha diseñado.



**Figura 5-20.** Layout del cabezal de recepción.

Como se puede observar, el circuito que más área ocupa es el LNA debido a las bobinas. Si se deseara reducir el área del circuito, se podría implementar alguna de las bobinas de manera externa mediante la técnica de *wire bonding*. Esta técnica consiste en implementar las bobinas con los cables de oro que realizan la conexión entre el circuito integrado y el encapsulado. Sin embargo, esto supondría un problema debido a la mala repetitividad de estas bobinas. Además, con esta técnica se desperdician patillas del encapsulado [12]. En definitiva, como las restricciones del estándar respecto a la NF no son muy estrictas, se ha optado por integrar las bobinas.

Por otra parte, se puede observar en la **Figura 5-20** que en los espacios libres se han incluido contactos a sustrato, que están conectados a tierra. Con ello se evita que corrientes

indeseadas interfieran en el funcionamiento del circuito, ya que son derivadas al sustrato, cuyo potencial es cero.

En la **Figura 5-20** se puede apreciar una pista bastante larga que va desde la parte inferior al lado derecho del cabezal. Esta pista representa la tierra del circuito y está implementada con el metal de menor nivel (Metal1). Sin embargo, esta conexión es provisional ya que cuando se incluyan el resto de circuitos del transceptor y se realice el *layout* final, no será necesaria. En el *layout* final del transceptor se colocarán varios *pads* de tierra alrededor del circuito y, por tanto, las distintas conexiones a tierra se realizarán con el *pad* de tierra más cercano, sin necesidad de incluir pistas tan largas.

En la parte inferior de la **Figura 5-20** se puede ver el *pad* de la señal de RF, que como ya se ha comentado es el único que se ha implementado para estudiar su influencia en el funcionamiento del circuito.

Los resultados de las simulaciones *post-layout* y el análisis de los resultados obtenidos se muestran en el capítulo 6 en detalle.



## 6. Resultados de simulaciones

En este capítulo se analizará el funcionamiento del cabezal de recepción al completo. Para ello se ha incluido el *layout* del cabezal de recepción en el *setup* de simulación que ya se tenía en ADS [5]. Además, para comprobar el funcionamiento del propio receptor, se ha añadido un filtro polifásico tras el cabezal de recepción. El diseño del filtro polifásico no entraba dentro del alcance de este proyecto, por ello se ha incluido un filtro polifásico desarrollado por otro compañero dentro del grupo de trabajo [22]. Teniendo esto en cuenta, en este capítulo se muestran los resultados de simulación del cabezal de recepción, contemplando las resistencias y capacidades parásitas asociadas a las pistas metálicas. Las simulaciones se han realizado centrándose en los parámetros típicos de un receptor de RF como son la ganancia, la figura de ruido, el consumo o la linealidad.

### 6.1. Simulaciones *post-layout* del cabezal de recepción

Para obtener los resultados, se ha seguido el mismo procedimiento que para cada circuito individualmente. Es decir, una vez se ha realizado el *layout* del circuito se debe pasar el DRC para comprobar que se han cumplido las reglas de diseño y el LVS para comprobar que el *layout* y el esquemático coinciden. Después de pasar el DRC y el LVS, se realiza el extraído de las resistencias y capacidades parásitas y se realizan las simulaciones *post-layout*.

En este caso, se han utilizado los *setup* de simulación que ya se tenían en ADS para simular el diseño del cabezal de recepción a nivel de esquemático. Como generador de señal se ha incluido un generador de tonos de una potencia igual a -85 dBm, centrada en 2.4 GHz. Esto se ha decidido así puesto que la sensibilidad de un receptor para el estándar IEEE 802.15.4 está definida a ese valor. Es decir, el valor mínimo de potencia a la entrada para que el receptor funcione correctamente es de -85 dBm. A continuación, se conecta el extraído del *layout* del cabezal de recepción que se pretende simular. En la **Figura 6-1** se puede observar el *setup* de simulación con el filtro polifásico añadido.

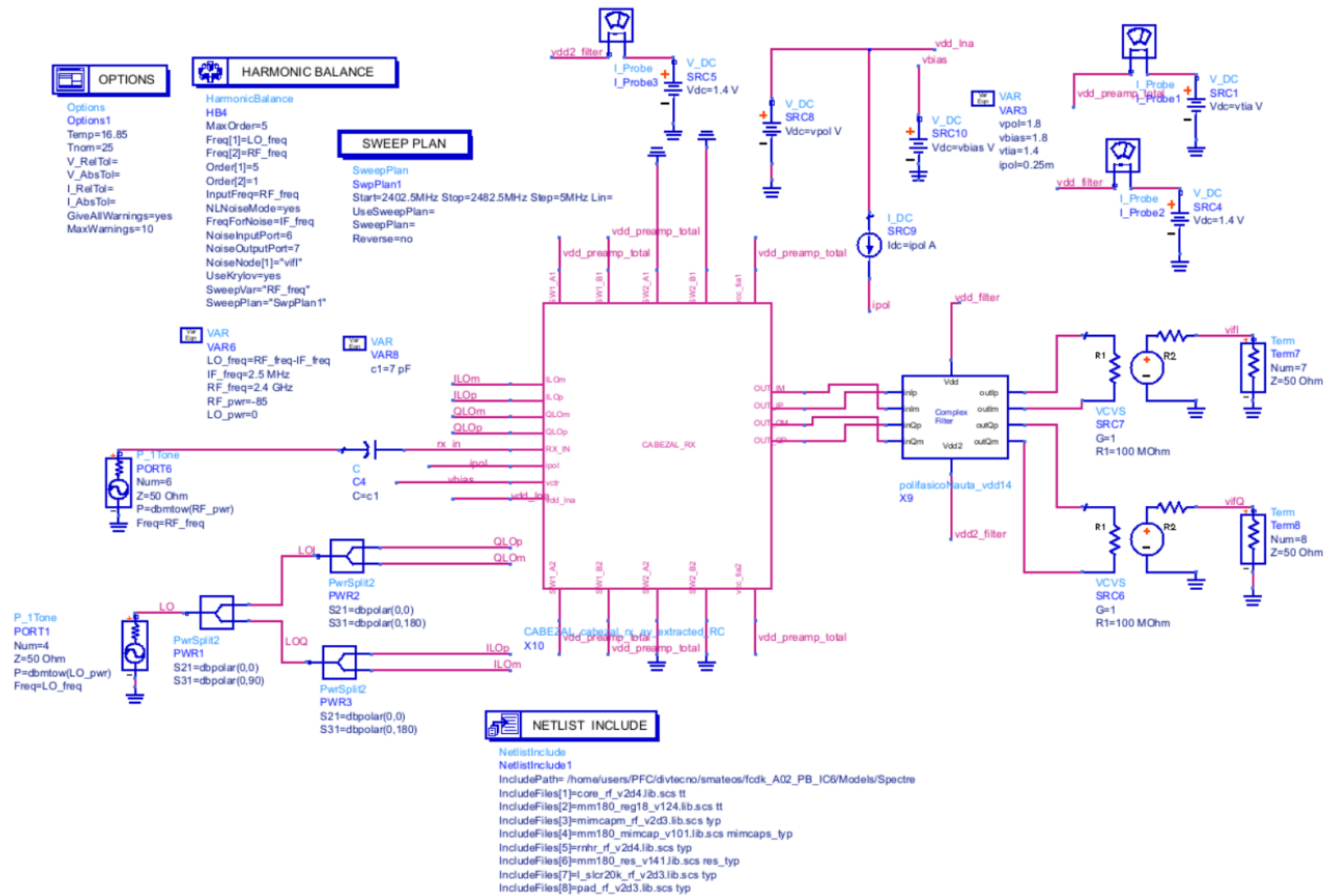
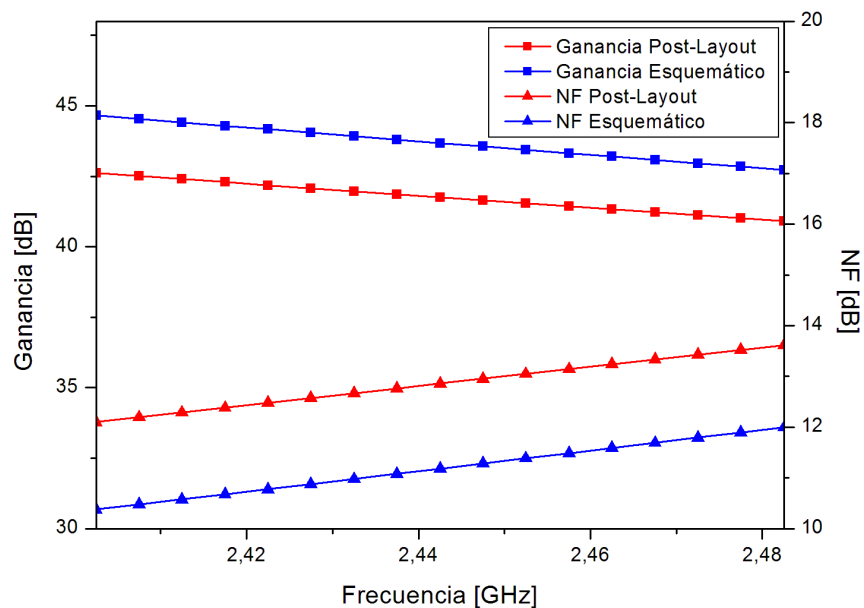


Figura 6-1. Setup de simulación del cabezal de recepción utilizando ADS Dynamic Link.

### 6.1.1. Ganancia y figura de ruido

En primer lugar, se realizaron las simulaciones correspondientes para hallar la ganancia y la figura de ruido del receptor. Se puede argumentar que son los dos parámetros más importantes a la hora de diseñar un receptor de RF para tecnologías inalámbricas. En aplicaciones de tecnología inalámbrica existen interferencias que dificultan la comunicación. Por ello, es importante que el circuito diseñado tenga una buena ganancia, que amplifique la señal, y produzca poco ruido.

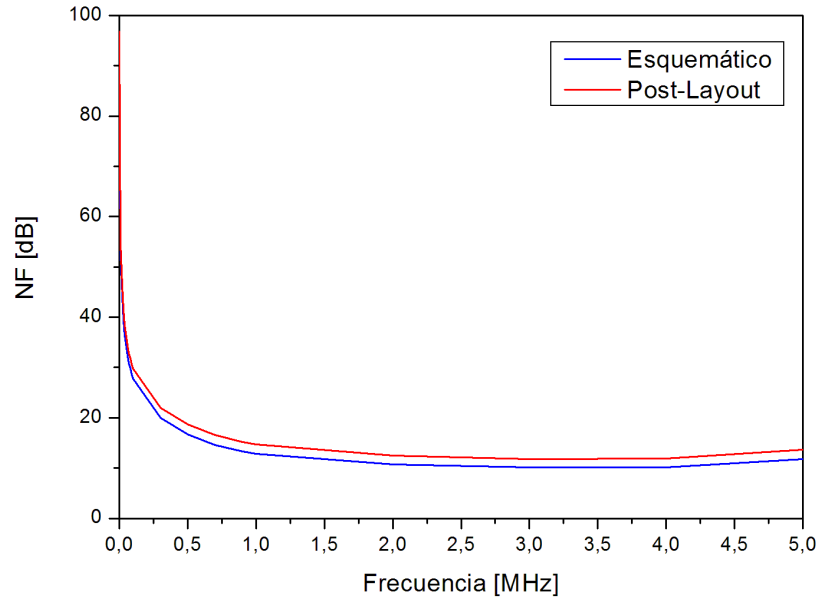
Teniendo esto en cuenta, en primer lugar se halló tanto la ganancia como la NF para toda la banda de frecuencia del estándar 802.15.4, que va desde los 2.4 GHz hasta los 2.4835 GHz. Para ello se realizó una simulación de balance de armónicos (*Harmonic Balance*). En este caso, se realizó un barrido de la frecuencia RF de entrada para toda la banda y se tomaron los datos de simulación en el centro de cada canal. En la **Figura 6-2** se muestran los resultados obtenidos.



**Figura 6-2.** Ganancia y NF para toda la banda del estándar 802.15.4.

En color azul se muestran los resultados obtenidos para la simulación del esquemático, mientras que en rojo se muestran las simulaciones *post-layout* del cabezal de recepción. Como se puede observar, la ganancia ha disminuido en torno a 2 dB, mientras que la NF ha aumentado aproximadamente 1.8 dB. Como ya se ha comentado anteriormente, esto se debe a que en las simulaciones a nivel de esquemático no se tienen en cuenta las capacidades y resistencias parásitas introducidas por las pistas metálicas. Por otra parte, se puede ver que tanto la ganancia como la NF varían a lo largo de toda la banda.

En cuanto al valor obtenido de la NF en un único canal, este se muestra representado en la **Figura 6-3**. Para obtener estos datos, se realizó una simulación de balance de armónicos. Sin embargo, a diferencia de en el caso anterior, el barrido de la frecuencia RF entrante se realizó para un solo canal, concretamente para el primer canal.



**Figura 6-3.** NF para un canal.

Se puede observar como la NF es prácticamente constante hasta que hay un repunte debido al ruido *flicker*, tanto para el caso de la simulación del esquemático como para la simulación *post-layout*. Como ya se ha comentado anteriormente, el ruido *flicker* aparece a frecuencias bajas. Sin embargo, en este caso este ruido aparece por debajo de los 250 kHz, por lo que no es problemático. Esto se debe a que al usar un mezclador pasivo doble balanceado, el impacto del ruido *flicker* se minimiza bastante. Además, se puede observar que en la simulación *post-layout* se obtiene una NF de aproximadamente 2 dB mayor que en el caso de la simulación del esquemático.

Como ya se ha comentado, tanto el LNA como el TIA poseen una función de control de ganancia. Concretamente, ambos circuitos pueden variar entre una ganancia máxima y una ganancia mínima, lo que resulta en que el receptor posee cuatro modos de ganancia. El LNA, varía su ganancia gracias a la tensión de control  $V_{\text{ctr}}$ , tal y como se explicó en el apartado de estructura del LNA. En cuanto al TIA, la función de control de ganancia de este circuito se implementa con los interruptores que activan o desactivan cada rama del inversor. Una de las ramas tiene los transistores que realizan la función de inversión con un tamaño el doble de grande que la otra rama. Por tanto, activando una rama u otra se obtendrá una ganancia máxima o mínima. En la **Tabla 6-I** se muestra la ganancia total y la NF total del



receptor en función de la aportación del LNA y el TIA, en la simulación del esquemático. Como se puede observar, la ganancia total varía entre 5.7 y 44.7 dB, mientras que la NF lo hace entre 10.3 y 43 dB.

**Tabla 6-I.** Ganancia y NF del receptor para distintas configuraciones. Simulación del esquemático

Ganancia del LNA [dB]	Ganancia del TIA [dB]	Ganancia del Receptor [dB]	NF del Receptor [dB]
4	1	5.7	43
18	1	21	28
4	24	29	25
18	24	44.7	10.3

De la misma manera, en la **Tabla 6-II** se muestra la ganancia total y la NF total del receptor, en función de la aportación del LNA y el TIA, en la simulación *post-layout*. Como se puede observar, la ganancia total varía entre 3.8 y 42.7 dB, mientras que la NF lo hace entre 12 y 45 dB.

**Tabla 6-II.** Ganancia y NF del receptor para distintas configuraciones. Simulación *post-layout*

Ganancia del LNA [dB]	Ganancia del TIA [dB]	Ganancia del Receptor [dB]	NF del Receptor [dB]
2.6	1	3.8	45
17.2	1	19	30
2.6	24	27.4	26.7
17.2	24	42.7	12

Comparando los resultados obtenidos en simulación *post-layout* (**Tabla 6-II**) frente a los obtenidos en simulación de esquemático (**Tabla 6-I**), se observa que en todos los casos la ganancia baja aproximadamente 2 dB y la NF aumenta aproximadamente 1.8 dB.

Se puede apreciar que la NF aumenta considerablemente cuando se implementan configuraciones de baja ganancia. Sin embargo, estos valores elevados se encuentran dentro de los aceptables por el estándar 802.15.4 ya que a medida que aumenta la potencia de entrada, también lo hace la NF máxima admisible [23]. Esto se puede apreciar en la **Figura 6-4**, donde se muestra la NF máxima para que un receptor basado en el estándar 802.15.4 funcione correctamente, frente a la potencia de entrada. Según el estándar, la potencia de la señal de entrada puede variar entre un valor mínimo de -85 dBm (este valor marca la

sensibilidad del receptor) y un valor máximo de  $-20$  dBm. Por tanto, la NF máxima admisible variará entre 15.5 y 78 dB. Es decir, cuando la potencia de entrada es baja, es necesario utilizar la máxima ganancia posible y, por tanto, el ruido debe ser el menor posible. Por otra parte, a medida que se incrementa la potencia de entrada, no es necesario utilizar el modo de ganancia máxima y las condiciones de la NF no son tan restrictivas.

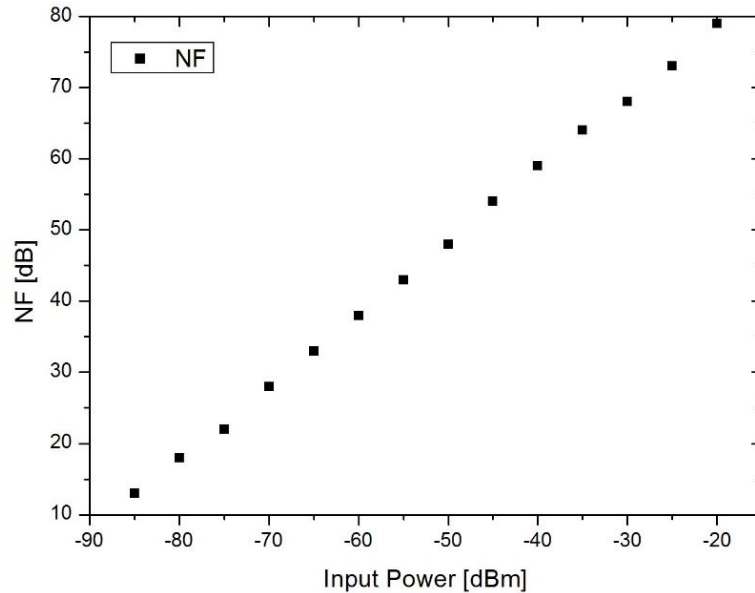


Figura 6-4. NF máxima frente a la potencia de entrada de un receptor para el estándar 802.15.4.

### 6.1.2. Respuesta en frecuencia

Con el análisis de frecuencia del receptor se puede comprobar si el receptor está trabajando en la frecuencia deseada. Además, se puede calcular el rechazo imagen que consiste en calcular la diferencia de ganancia entre el centro del canal (frecuencia IF) y la frecuencia donde se encuentra la señal imagen. En la **Figura 6-5** se ve claramente las dos frecuencias en las que se calcula la ganancia ( $\omega_{FI}$  y  $-\omega_{FI}$ , que están a una distancia de  $2\omega_{FI}$  la una de la otra).

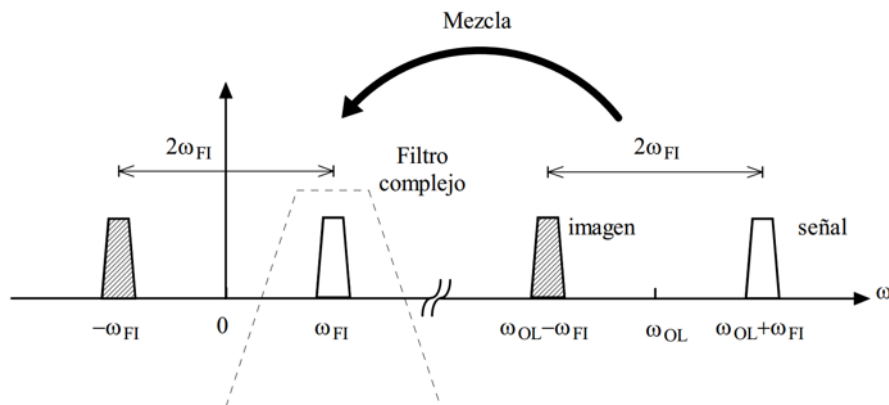


Figura 6-5. Rechazo imagen.

En la **Figura 6-6** se muestra la respuesta en frecuencia del receptor, tanto para la simulación del esquemático como para la simulación *post-layout*.

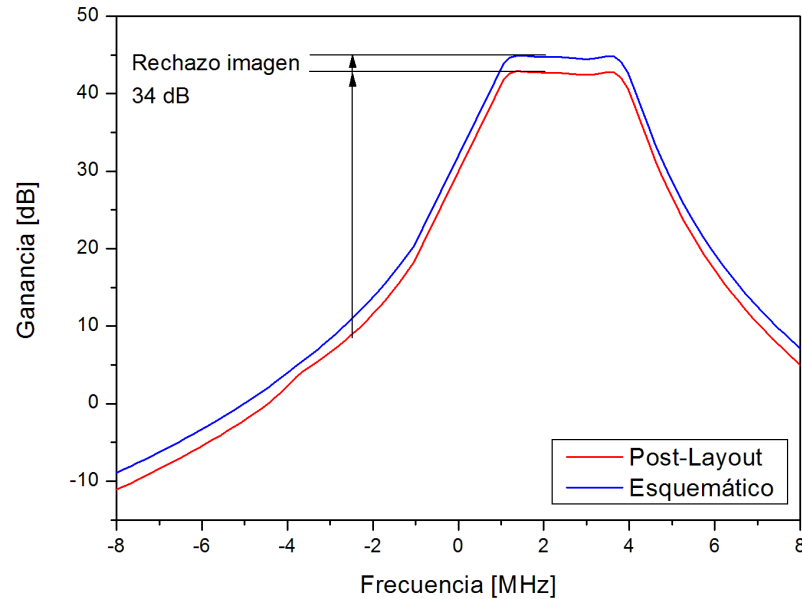


Figura 6-6. Respuesta en frecuencia del receptor.

Como era de esperar, la ganancia en la simulación del esquemático es 2 dB superior a la simulación *post-layout*. Sin embargo, la señal está centrada en 2.5 MHz y tiene un ancho de banda de 3 MHz, cumpliendo así las especificaciones del estándar. Además, el rechazo imagen se mantiene a 34 dB en ambos casos, ya que es el filtro polifásico el encargado de rechazar la imagen [22].

### 6.1.3. Adaptación de entrada

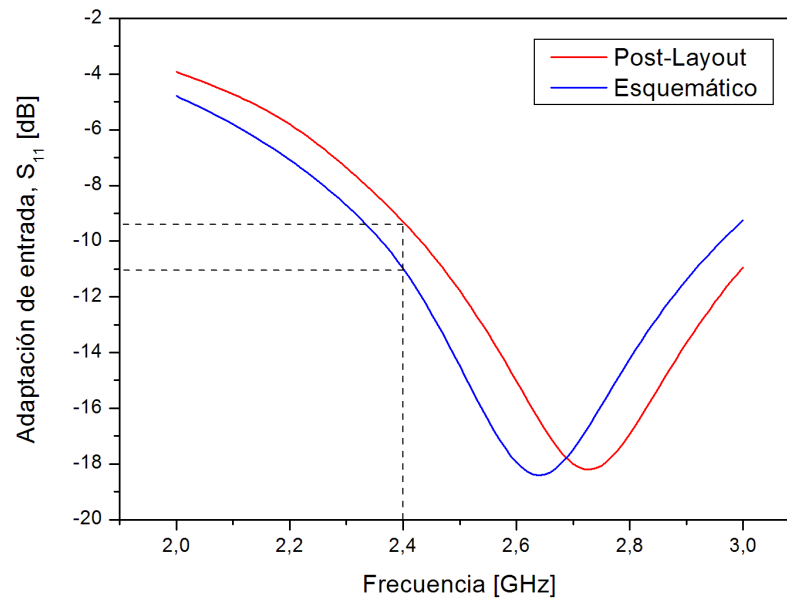
Una característica importante en un receptor de RF es la adaptación de entrada. Ésta es llevada a cabo por el LNA, puesto que es el primer elemento del cabezal de recepción. Es común que el LNA vaya conectado directamente a la antena, aunque a veces se implementa un filtro de selección de canal antes. De cualquier manera, el LNA debe adaptar la señal entrante para que el cabezal de recepción pueda funcionar correctamente.

Para hallar la adaptación de entrada, se ha calculado el parámetro  $S_{11}$  que representa la adaptación de entrada de un circuito de RF. Según la teoría, el parámetro  $S_{11}$  indica el grado de adaptación de la impedancia de entrada [12]. Si la entrada está adaptada significa que no debería haber potencia reflejada, y por tanto,  $S_{11}=0+j0$ . Este parámetro se puede definir con la siguiente expresión:

$$S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0} \quad (6.1)$$

En (6.1) el parámetro  $b_1$  corresponde a la potencia de la onda reflejada y  $a_1$  corresponde a la potencia de la onda incidente. Por tanto, se trata de la relación entre la potencia reflejada en el puerto 1 y la potencia incidente en dicho puerto.

En este caso, se ha obtenido una adaptación de entrada calculada a 2.4 GHz de -11 dB para el caso de la simulación del esquemático y -9.3 dB para la simulación *post-layout*, tal y como se muestra en la **Figura 6-7**.



**Figura 6-7.** Adaptación de entrada.

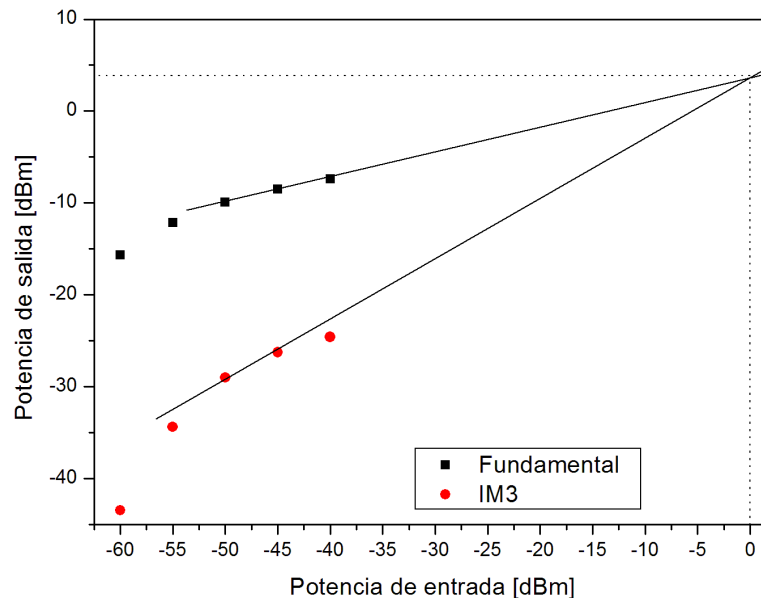
Como se puede observar, la adaptación de entrada ha empeorado tras las simulaciones *post-layout*. En el capítulo 4 se vio que en las simulaciones *post-layout* del LNA, la adaptación de entrada se mantenía prácticamente igual que en la simulación de esquemático. Sin embargo, tal y como se ha comentado anteriormente, en el cabezal de recepción se ha incluido un *pad* de RF para ver su influencia en el mismo. En el capítulo 3 se comentó que un *pad* de la tecnología UMC 0.18  $\mu\text{m}$  está modelado como un condensador y una resistencia. Este condensador es el que provoca el desplazamiento en frecuencia que se aprecia en la **Figura 6-7**, provocando a su vez una peor adaptación de entrada. Para corregir este problema se debería modificar la red de adaptación de entrada. Sin embargo, tal y como se ha comentado, el resto de *pads* se introducirán cuando se tenga el transceptor completo. Por tanto, se ha decidido que se modificará la red de adaptación de entrada una vez se hayan incluido el resto de *pads* y se sepa cómo afectan al circuito.

### 6.1.4. Linealidad

Por último, se estudió la linealidad del receptor, que es un parámetro clave en circuitos de RF. La linealidad de un receptor se basa, por definición, en que a la salida haya la menor distorsión posible. Un dispositivo se considera lineal si la señal a la salida sólo difiere de la entrada en un factor de ganancia y en un retardo de tiempo.

Para hallar la linealidad del receptor se halló el IIP<sub>3</sub>. Este es el punto de intercepción de 3º orden y se trata de un punto teórico. Se trata de una extrapolación del punto donde se cruzan las curvas que representan la señal fundamental y la señal producto de la distorsión de tercer orden.

Para hallar el IIP<sub>3</sub> se aplican dos tonos a la entrada, se varía la potencia de entrada y se mide la potencia de la señal de salida y la de los productos de intermodulación. De esta forma, se pueden generar las curvas de la potencia de salida tanto de la señal fundamental como de la señal producto de la distorsión de tercer orden, lo cual permite hallar el punto de intercepción. En este caso se ha obtenido, en la simulación del esquemático, un IIP<sub>3</sub> de aproximadamente 0 dBm cuando se aplican a la entrada dos tonos espaciados 500 kHz con respecto al centro del canal, tal y como se muestra en la **Figura 6-8**. En cuanto a la simulación *post-layout*, en la **Figura 6-9** se puede observar que se ha obtenido un IIP<sub>3</sub> de 2.5 dBm aproximadamente. Esta mejora en la linealidad se debe a que al tener menor ganancia, la señal no se satura tanto.



**Figura 6-8.** Punto de intercepción IIP<sub>3</sub> del receptor para simulación de esquemático.

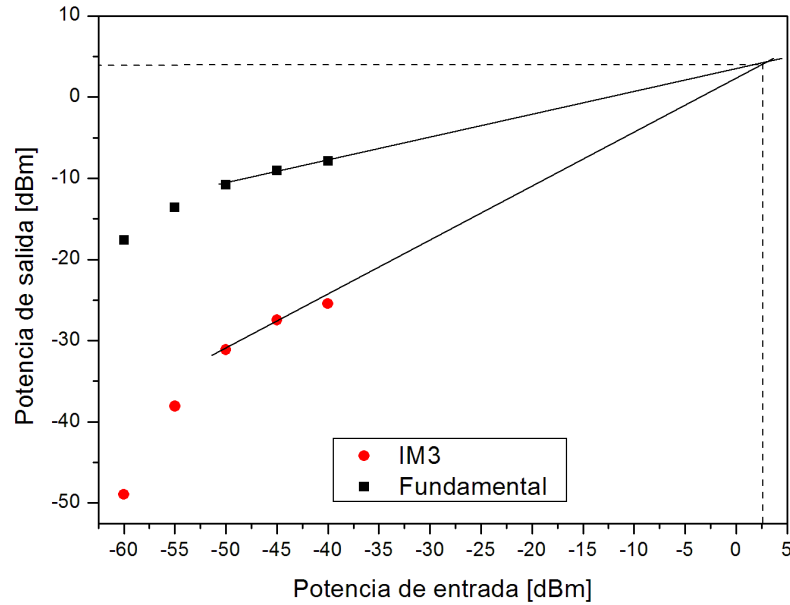


Figura 6-9. Punto de intercepción IIP<sub>3</sub> del receptor para simulación *post-layout*.

En aplicaciones de RF, interesa que el valor del IIP<sub>3</sub> sea lo más alto posible ya que eso significa que el circuito deja de ser lineal para un valor de potencia de entrada elevado. Por tanto, el circuito será lineal para un mayor rango de potencia de entrada.

### 6.1.5. Consumo de potencia

Por último, se tomaron medidas del consumo del cabezal de recepción. Para ello, se calculó el consumo de cada uno de los elementos por separado y se sumaron para obtener el consumo total. Para hallar este consumo se aplica la fórmula que dice que la potencia es igual a la tensión por la intensidad de corriente (6.2). Sabiendo la tensión de alimentación, con medir la corriente que entra al circuito ya es posible calcular el consumo de potencia.

$$P = V \cdot I \quad (6.2)$$

En primer lugar, para el LNA, teniendo en cuenta que la tensión de alimentación es de 1.8V y que la corriente que entra al circuito es de 1.70mA, la potencia consumida para este circuito es de:

$$P_{\text{LNA}} = 1.8\text{V} \cdot 1.70\text{mA} = 3.06\text{mW} \quad (6.3)$$

Para el mezclador, al ser del tipo pasivo, no consume potencia y por tanto, no se tiene en cuenta. En cuanto al TIA, la tensión de alimentación es de 1.4V y la corriente consumida es de 60 $\mu\text{A}$ . Por ello, la potencia consumida por el TIA es de:

$$P_{TIA} = 1.4V \cdot 60\mu A = 0.084mW \quad (6.4)$$

Por último, el filtro polifásico está alimentado con 1.4V y tiene una corriente de entrada de 0.8mA. Por tanto, la potencia consumida es de:

$$P_{\text{filtro}} = 1.4V \cdot 0.85mA = 1.19mW \quad (6.5)$$

Una vez se ha obtenido el consumo de potencia de cada uno de los elementos del cabezal de recepción, el consumo de potencia total se obtiene como la suma de la potencia consumida por los elementos que lo componen. Por tanto, la potencia total consumida es de:

$$P_{\text{total}} = 3.06mW + 0.084mW + 1.19mW = 4.334mW \quad (6.6)$$





# Capítulo 7

---

## 7. Conclusiones

En este capítulo se comentan las conclusiones que se pueden extraer de este trabajo fin de máster. Además, se presenta un resumen de los resultados obtenidos con el fin de compararlos con los obtenidos en otras soluciones de este tipo que se pueden encontrar en la literatura.

Una vez se han realizado tanto las simulaciones a nivel de esquemático como las simulaciones *post-layout*, es el momento de analizar los resultados obtenidos y extraer las conclusiones pertinentes.

Tal y como se ha explicado en la introducción de esta memoria de trabajo fin de máster, el objetivo principal del mismo es el de obtener el *layout* de un cabezal de recepción basado en la arquitectura low-IF para el estándar IEEE 802.15.4 usando la tecnología CMOS 0.18  $\mu\text{m}$ . Se deseaba comprobar que el diseño de *layout* mantenía el correcto funcionamiento que se tenía en el diseño a nivel de esquemático, cumpliendo las especificaciones del estándar.

En este trabajo fin de máster se ha realizado el diseño a nivel de *layout* de un cabezal de recepción ya diseñado. Este cabezal de recepción tiene una arquitectura del tipo Low-IF, que posee una serie de ventajas para aplicaciones de bajo coste y bajo consumo como, por ejemplo, la minimización del ruido *flicker*. El cabezal diseñado está compuesto por varios circuitos o elementos, donde cada uno cumple una función en la cadena de recepción. En primer lugar se encuentra el amplificador de bajo ruido o LNA. Se trata del circuito encargado de adaptar la señal de RF entrante y amplificarla, eso sí, introduciendo el menor ruido posible al circuito. En cuanto al mezclador, se ha optado por un mezclador en cuadratura pasivo doble-balanceado. Por último, los amplificadores de transimpedancia o TIA que se han diseñado, convierten la señal en corriente, que sale del mezclador, en señal de tensión. Para ello se ha optado por una estructura basada en inversores con realimentación resistiva. Los inversores que forman dicho amplificador tienen dos ramas inversoras utilizando transistores CMOS de la tecnología UMC 0.18  $\mu\text{m}$ .

A la hora de realizar el diseño de *layout*, se han tenido cuenta una serie de reglas de diseño que define la tecnología UMC 0.18  $\mu\text{m}$  CMOS. Además, como ya se ha comentado, en las simulaciones *post-layout* se tienen en cuenta las resistencias y capacidades parásitas debido a las pistas metálicas utilizadas para la conexión de los distintos componentes que

forman los circuitos del cabezal de recepción. Es por esto por lo que los resultados de simulación de esquemático varían con respecto a los obtenidos en las simulaciones *post-layout*. Generalmente, es bastante complicado obtener las mismas prestaciones que las obtenidas en la simulación de esquemático debido a las pérdidas ocasionadas por las resistencias y capacidades parásitas. Por tanto, el objetivo es obtener unos resultados que satisfagan las especificaciones del estándar y se acerquen lo máximo posible a los resultados obtenidos en las simulaciones a nivel de esquemático.

Teniendo esto en cuenta, en la **Tabla 7-I** se muestran tanto los resultados obtenidos en simulaciones de esquemático como las obtenidas en las simulaciones *post-layout* frente a las especificaciones del estándar IEEE 802.15.4.

**Tabla 7-I.** Resultados de simulaciones del cabezal de recepción

Parámetros	Especificaciones	Resultados del esquemático	Resultados <i>post-layout</i>
Consumo de potencia [mW]	El menor posible	4.334	4.334
Ganancia del receptor [dB]	>30 (FE <sup>1</sup> )	44.7 (FE)	42.7
Variación de ganancia [dB]	65 (FE <sup>1</sup> + BB <sup>2</sup> )	39 (FE)	38.9
NF [dB]	<15.5	10.3	12
Rechazo imagen [dBc]	>20	34	34
IIP <sub>3</sub> [dBm]	>-32 para máxima ganancia	0 para máxima ganancia	2.5 para máxima ganancia
Sensibilidad [dB]	-85	-85	-85

FE<sup>1</sup>: *Front-End* o Cabezal de RF

BB<sup>2</sup>: Banda Base

Si se comparan los resultados obtenidos en simulaciones a nivel de esquemático con los obtenidos en simulaciones *post-layout*, se puede apreciar un rendimiento ligeramente peor, si bien se siguen cumpliendo las especificaciones del estándar. Además, los resultados obtenidos en simulación del esquemático son ideales ya que no se contemplan las pérdidas ocasionadas por las resistencias y capacidades parásitas inherentes a las pistas de conexión.

Por tanto, se puede concluir que los resultados obtenidos en las simulaciones *post-layout*, los cuales se acercan más a los resultados que se obtendrán en las medidas del circuito una vez se fabrique, presentan un rendimiento adecuado para este tipo de circuito.

Por otro lado, para obtener una visión más global de los resultados obtenidos y del rendimiento del receptor diseñado, se ha realizado una comparación con otras soluciones propuestas para circuitos de este tipo, la cual se muestra en la **Tabla 7-II**. Los otros modelos con los que se ha comparado el cabezal diseñado son soluciones propuestas anteriormente para el mismo estándar y con las mismas tecnologías. En [1], el modelo solo incluye el LNA y el mezclador en cuadratura. En [2] y [4], además del cabezal de recepción, se ha incluido un amplificador de ganancia programable (PGA: *Programmable Gain Amplifier*). Estas diferencias se deben tener en cuenta a la hora de comparar los resultados obtenidos en cada caso.

**Tabla 7-II.** Comparación del cabezal de recepción diseñado con otros modelos

Referencia	[2] (LNA+MIX+ TIA+PGA)	[1] (LNA+MIX)	[4] (LNA+MIX +PGA)	Este trabajo: Esquemático (LNA+MIX+ TIA)	Este trabajo: <i>Post-Layout</i> (LNA+MIX+ TIA)
Tecnología CMOS [ $\mu\text{m}$ ]	0.18	0.18	0.18	0.18	0.18
Ganancia [dB]	86	30	-	44.7	42.7
NF [dB]	8.5	7.3	<10	10.3	12
IIP <sub>3</sub> [dB]	-8	-8	>-15	0	2.5
Consumo de potencia [mW]	12.63	6.3	10.8	4.334	4.334

Como se puede observar, todos los modelos que se muestran han sido diseñados con tecnología CMOS de 0.18  $\mu\text{m}$ . El cabezal de recepción diseñado es el que tiene mejor linealidad entre los modelos que se comparan (2.5 dBm frente -8 dBm en el mejor de los casos).

En cuanto a la ganancia, nuestro cabezal se encuentra en un punto intermedio con respecto a las otras soluciones. Sin embargo, esto tiene sentido ya que en [1] simplemente se implementan un LNA y un mezclador en cuadratura mientras que en [2] y [4] existe un PGA que hace que sus ganancias sean considerablemente mayores.

Respecto a la NF, nuestro cabezal de recepción presenta un valor superior al resto de modelos presentados, si bien se mantiene dentro de las especificaciones del estándar.

En cuanto al consumo de potencia, el cabezal diseñado presenta un consumo considerablemente menor que el resto de modelos. Si se compara con los circuitos presentados en [2] y [4], esto es lógico puesto que nuestro cabezal no incluye el PGA, mientras que en los otros receptores sí está incluido. Sin embargo, dentro del grupo de trabajo y como objeto de un trabajo fin de grado, está en fase de diseño un PGA que se estima que consume unos 2.5 mW. Es decir, se puede afirmar que nuestro receptor seguiría siendo mucho más eficiente que estos receptores. Por tanto, se puede concluir que los resultados obtenidos cumplen las especificaciones del estándar siendo además unos resultados altamente competitivos frente a los encontrados en la literatura.

Por otra parte, relacionado con este trabajo fin de máster se ha publicado un artículo científico en el cual se describe la estructura del cabezal de recepción diseñado, así como el filtro polifásico que se ha incluido para realizar las distintas simulaciones. Este artículo fue presentado en la XXX Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: *Design of Circuits and Integrated Systems*). En el Anexo 1 se muestra el artículo que se menciona. Además, tal y como se ha mencionado anteriormente, este trabajo fin de máster forma parte de un proyecto de investigación que tiene como objetivo desarrollar el primer dispositivo que permita el despliegue de redes de sensores inalámbricos en entornos de alta radiación ambiental [7]. En el grupo de trabajo ya se han empezado a realizar pruebas de análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, se han realizado unas pruebas preliminares en el LNA diseñado en este trabajo fin de máster. Con los resultados de este análisis se ha escrito un artículo científico que ha sido enviado a la XXXI Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: *Design of Circuits and Integrated Systems*). A fecha de redacción de la memoria de este trabajo fin de máster, el artículo aún se encuentra en fase de revisión. En el Anexo 2 se muestra el artículo que se menciona.

Por último, como líneas futuras de trabajo a raíz de este trabajo fin de máster, el siguiente paso correspondería diseñar los circuitos que faltan para componer un transceptor de

radiofrecuencia, como por ejemplo, el oscilador local y el PLL (*Phase-Locked Loop*) correspondiente. Una vez se tengan todos los diseños a nivel de esquemático, se debe realizar el diseño a nivel de *layout* de estos circuitos para poder integrarlos con el cabezal de recepción diseñado en este trabajo fin de máster. Posteriormente, se debería diseñar el encapsulado y mandar a fabricar el transceptor completo para poder realizar las medidas oportunas para comprobar las prestaciones reales del circuito.



## 8. Bibliografía

---

- [1] Trung-Kien Nguyen, Vladimir Krizhanovskii, Jeongseon Lee, Seok-Kyun Han, Sang-Gug Lee, Nae-Soo Kim, and Cheol-Sig Pyo, “A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- $\mu\text{m}$  CMOS Technology,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 12, December 2006.
- [2] Liu Weiyang, Chen Jingjing, Wang Haiyong, and Wu Nanjian, “A low power 2.4 GHz transceiver for ZigBee applications,” *Journal of Semiconductors*, vol.34, no.8, Aug. 2013.
- [3] Ajay Balankutty, Shih-An Yu, Yiping Feng, and Peter R. Kinget, “0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications,” *IEEE Journal of Solid-State*, vol. 45, no. 3, Mar 2010.
- [4] Ilku Nam, Kyudon Choi, Joonhee Lee, Hyok-Kyu Cha, Bo-Ik Seo, Kuduck Kwon, and Kwyro Lee, “A 2.4-GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18- $\mu\text{m}$  CMOS for IEEE 802.15.4 WPAN applications ,” *IEEE Transactions on Microwaves Theory and Techniques*, vol.55, no.4, Apr 2007.
- [5] Sergio Mateos Angulo, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Diseño de un cabezal de recepción para el estándar IEEE 802.15.4 en tecnología CMOS 0.18  $\mu\text{m}$ ”, ULPGC, Julio 2015.
- [6] S. Mateos-Angulo, D. Mayor-Duarte, S.L. Khemchandani and J. del Pino, “A Low-Power Fully Integrated CMOS RF Receiver for 2.4-GHz-band IEEE 802.15.4 Standard”, XXX Conference on Design of Circuits and Integrated Systems, 2015
- [7] Javier del Pino, Sunil Lalchand Khemchandani, “Diseño de circuitos de comunicaciones para alta radiación ambiental (ComRad)”, Instituto Universitario de

Microelectrónica Aplicada de la Universidad de Las Palmas de Gran Canaria, Grupo de Ingeniería Electrónica de la Universidad de Sevilla, Centro de Estudios e Investigaciones Técnicas de Gipuzkoa, Proyectos, Memoria Científico-Técnica de Proyectos Coordinados, Ministerio de Economía y Competitividad, 2015.

- [8] Agilent Technologies, “RFIC Dynamic Link User’s Guide”, Marzo 2001.
- [9] Chi Cho Nayibe, Tibaudiza Burgos Diego Alexander, Aparicio Zafra Laura Cristina, Caro Ortiz Luis Miguel, “Redes de Sensores Inalámbricos”, Universidad Autónoma de Bucaramanga [en línea]. Disponible en:  
<[http://www.researchgate.net/profile/Diego\\_Tibaduiza\\_Burgos/publication/267214014\\_Red\\_de\\_sensores\\_inalámbricos/links/5451077a0cf24884d886f4e9.pdf](http://www.researchgate.net/profile/Diego_Tibaduiza_Burgos/publication/267214014_Red_de_sensores_inalámbricos/links/5451077a0cf24884d886f4e9.pdf)>  
>
- [10] Anderson Manuel Rocha, Sunil Lalchand Khemchandani, Dailos Badel Ramos Valido, “Implementación de un sistema de sensorización remota con Arduino”, ULPGC, Julio 2014.
- [11] Dr. José A. Gutierrez, “IEEE Std. 802.15.4: Enabling pervasive wireless sensor networks”, Eaton Corporation, 2005.
- [12] Javier del Pino, “Apuntes de la Asignatura: Electrónica de Comunicación”, ULPGC, 2014.
- [13] Ramón López La Valle, Pedro A. Roncagliolo, Martín Hurtado, “Cabezal de radiofrecuencia de un receptor GNSS multibanda”, Universidad Nacional de La Plata, 2014, [en línea]. Disponible en:  
<[http://sedici.unlp.edu.ar/bitstream/handle/10915/39144/Documento\\_completo.pdf?sequence=1](http://sedici.unlp.edu.ar/bitstream/handle/10915/39144/Documento_completo.pdf?sequence=1)>.
- [14] Sergio Rosino Rincón, Francisco Javier del Pino, Sunil Lalchand Khemchandani, “Diseño de un LNA para UWB tipo cascode doblado en tecnología CMOS 0.18  $\mu\text{m}$ ”, ULPGC, Julio 2011.



- [15] UMC United Microelectronics Corporation, “UMC 0.18mm 1P6M SALICIDE Mixed-Mode/RF CMOS MODEL”, Rev. 2.2, Marzo 2002.
- [16] Javier del Pino, "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [17] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, Mc Graw Hill International Edition, Jun. 2001.
- [18] E. García Moreno, “Apuntes Sistemas Electrónicos de Comunicación”, UIB, 2007 [en línea]. Disponible en:  
<[http://www.uib.cat/depart/dfs/GTE/education/telematica/sis\\_ele\\_comunicacio/Apuntes/Capitulo%205.pdf](http://www.uib.cat/depart/dfs/GTE/education/telematica/sis_ele_comunicacio/Apuntes/Capitulo%205.pdf)>
- [19] Bao Kuan, Fan Xiangning, Li Wei, and Wang Zhigong, “A wideband current-commutating passive mixer for multi-standard receivers in a 0.18 $\mu$ m CMOS,” Journal of Semiconductors, vol.34, no.1, Jan. 2013.
- [20] Guthrie B, Hughes J, Sayers T, et al. A CMOS gyrator low-IF filter for a dual-mode Bluetooth/ZigBee transceiver. IEEE J Solid-State Circuits, 2005, 40(9).
- [21] José Joaquín Sarabia Muñoz, Francisco Javier del Pino Suárez, Dailos Ramos Valido, “Diseño de un detector de fase integrado con eliminación de la zona muerta”, ULPGC, Julio 2012.
- [22] Daniel Mayor Duarte, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Diseño de un filtro polifásico para un receptor IEEE 802.15.4 en Tecnología CMOS 0.18  $\mu$ m”, Junio 2016.

- [23] Aaron V. Do, Chirn Chye Boon, Manh Anh Do, Kiata Seng Yeo, and Alper Cabuk, “An Energy-Aware CMOS Receiver Front end for Low-Power 2.4-GHz Applications,” *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 57, no. 10, October 2010.

# Anexo 1

---

# A Low-Power Fully Integrated CMOS RF Receiver for 2.4-GHz-band IEEE 802.15.4 Standard

S. Mateos-Angulo, D. Mayor-Duarte, S.L. Khemchandani and J. del Pino  
Institute for Applied Microelectronics (IUMA), Departamento de Ingeniería Electrónica y Automática  
Universidad de Las Palmas de Gran Canaria  
Las Palmas de Gran Canaria, Spain

**Abstract**—This paper presents a low power 2.4 GHz receiver front-end for 2.4-GHz-band IEEE 802.15.4 standard in 0.18  $\mu\text{m}$  CMOS technology. This receiver adopts a low-IF architecture and comprises a variable gain single-ended low-noise amplifier (LNA), a quadrature passive mixer, a variable gain transimpedance amplifier (TIA) and a complex filter for image rejection. The receiver front-end achieves 42 dB voltage conversion gain, 10.3 dB noise figure (NF), 28 dBc image rejection and -5 dBm input third-order intercept point (IIP3). It only consumes 5.5 mW.

**Index terms:** RF front end, CMOS RFIC, IEEE 802.15.4 receiver, low-noise amplifier (LNA), passive quadrature mixer, complex filter.

## I. INTRODUCTION

The last decade has seen the rise of CMOS as the choice technology in consumer-based wireless applications. Full system integration continues to be a topic of interest in this research field in order to minimize both the cost and the form-factor of wireless transceivers. In the interests of longer battery life, ultra-low power design has recently become a hot topic for applications such as wireless personal area networks (WPAN), and wireless sensor nodes. The IEEE 802.15.4 standard has been specifically designed to cater to this demand. This standard operates in the 868 MHz/915 MHz/2.4 GHz Industrial, Scientific and Medical (ISM) bands with a data rate varying from 20 to 250 kb/s depending on the operating frequency band. This paper describes the design and implementation of a low-power fully integrated CMOS RF receiver for 2.4-GHz-band IEEE 802.15.4 standard. The receiver architecture is discussed in Section II. The RF receiver circuit designs are explained in Section III. Section IV summarizes the experimental results of the implemented receiver and, finally, some conclusions are given in Section V.

## II. RECEIVER ARCHITECTURE

Direct conversion architectures (Zero-IF and Low-IF) are known for their suitability for making radios in a single chip. Zero-IF receivers directly down-convert the RF input signal to baseband thus needing only a few components. However, some drawbacks appear: dc offset,  $1/f$  noise, I/Q mismatch, even order distortion and local oscillator (LO) leakage. Alternatively, the low-IF architecture does not exhibit either a severe dc offset or  $1/f$  noise but still possesses the drawback of a restricted image rejection which is carried out by a complex filter. The order of this filter depends on the blocking profile imposed to the receiver.

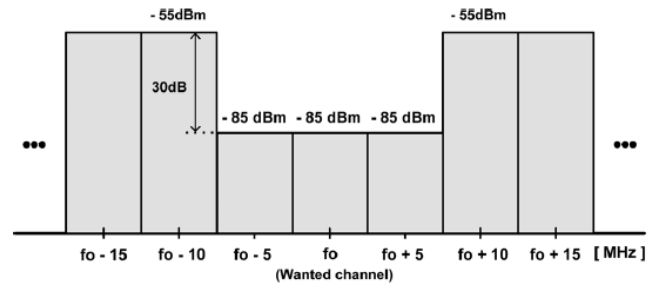


Figure 1. Blocking profile in the 2.4-GHz band for ZigBee radio.

Figure 1 shows the blocking profile in the 2.4-GHz band for the IEEE 802.15.4 standard. In this case, the interferers surrounding the desired signal are relatively weak compared with the environment of other radio technologies, (WLAN, GSM, WCDMA, etc.) and the specifications of the image rejection filter are very loose. As a consequence, a number of IEEE 802.15.4 receivers in the literature use a low-IF receiver architecture [1]-[4].

The proposed receiver architecture is shown in Figure 2. The RF input signal is amplified by a LNA and down-converted by a current-mode I/Q mixer. Then, the output current signal is converted to voltage by a transimpedance amplifier (TIA) and filtered by a complex filter to improve the image rejection performance and sensitivity.

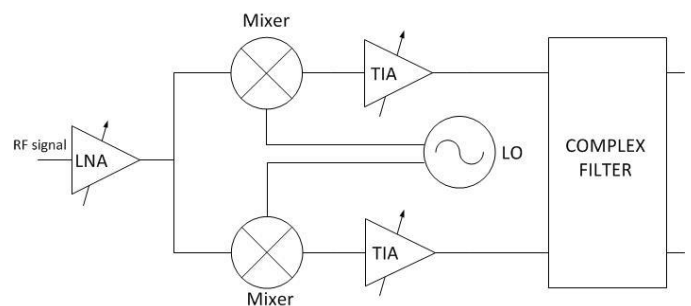


Figure 2. System architecture of the proposed receiver.

## III. CIRCUITS DESIGNS

### A. Low Noise Amplifier

The main goals of the LNA are low noise figure (NF), high gain to sufficiently reduce the NF contribution of the subsequent

stages, and high linearity to accommodate high input signal and strong interferences. In addition, the LNA should have a 50-Ω input impedance to match with the output impedance of the off-chip components such as RF bandpass filter or T/R switch. Figure 3 shows the schematic of the LNA. A single-ended topology has been chosen because it dissipates lower dc current than a differential one and the required input second-order intercept point (IIP2) performance of the IEEE 802.15.4 standard is not as high compared with other wireless communications standards [4].

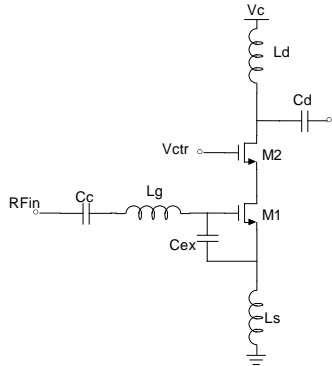


Figure 3. Schematic of the Low-Noise Amplifier.

As shown in Figure 3, an inductive degenerated cascode LNA topology is used. This topology is known to provide high gain, low noise and high input/output isolation. In order to achieve simultaneously low noise and input matching, the inductive degeneration technique is used. The addition of  $L_s$  generates a real part at the input impedance which reduces the discrepancy between the optimum noise impedance and the LNA input impedance. This is due to the fact that the optimum noise impedance has a real part while without degeneration there is no real part at the input impedance. However, under low power consumption the value needed of this inductance to obtain both noise and input matching is very large. This results in a minimum achievable noise figure of the LNA significantly higher than its  $NF_{min}$ . This can be solved by including the capacitor  $C_{ex}$  as it is shown in Figure 3. By adding this capacitance, one can use lower values of the inductance  $L_s$  to achieve simultaneous noise and input matching. The input impedance of the LNA is given by:

$$Z_{in} = s \cdot (L_s + L_g) + \frac{1}{s \cdot C_t} + \frac{g_M \cdot L_s}{C_t} \quad (1)$$

where  $C_t$  is the total capacitance between the gate and the source of M1, i.e.  $C_{gs} + C_{ex}$ . From (1) it can be seen that by including the capacitor  $C_{ex}$  the imaginary part of the input impedance changes, allowing smaller values for  $L_s$  and  $L_g$ . This also reduces the parasitic resistance, thus improving the noise figure of the LNA.

In this design, the inductors  $L_s$ ,  $L_g$  and  $L_d$  are implemented on-chip in order to reduce the off-chip components. This can be done because the noise figure required by the standard is relaxed.

In this topology, the gain control function is implemented by adjusting the bias voltage  $V_{ctr}$ .

### B. Downconversion Mixer

Figure 4 shows the schematic of the downconversion mixer. A passive double-balanced mixer has been chosen because it dissipates no dc current, provides high linearity and reduces the LO leakage. Also, as no dc current flows through the transistors, the  $1/f$  noise contribution from the mixers is minimized [5].

The output of the LNA is connected to one terminal of the differential input of the mixer via the coupling capacitor  $C_d$ , while the second input terminal of the mixer is connected to ac ground through the bypass capacitor  $C_{bp}$ . This approach maintains most of the advantages of the differential circuitry such as the second-order distortion and the LO leakage, with a negligible gain penalty [1].

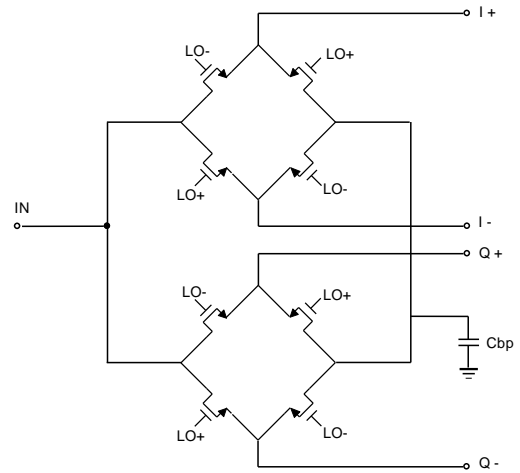


Figure 4. Schematic of the downconversion mixer.

There are two parameters that can be modified in this mixer to obtain the best possible performance: the device size and the LO signal characteristics. When low noise performance is desired, the width of the transistors should be large enough to provide a low on-resistance. Also, there is a tradeoff between the mixer noise performance and the gain of the LNA, which has to be considered when sizing the switches. The LNA has a load impedance which is a parallel resonance circuit that consists of a parasitic capacitance and an output inductor. In this case, the inductance must be decreased if the switch capacitance increases. This has to be done so that the resonance frequency doesn't change. However, this will decrease the gain of the LNA due to the lower load impedance. Also, the dc level of the LO signal will affect the mixer performance because it controls the switching performance.

### C. Transimpedance Amplifier

The current signal from the mixer is converted to voltage by a TIA. As it can be seen in Figure 5, this amplifier consists of two inverters in parallel (Figure 6) and resistive feedback loops. In order to maintain common-mode voltage stability, the resistors  $R_1$  and  $R_2$  are used. These resistors produce an effective resistance for differential signals of  $R_1 R_2 / (R_2 - R_1)$ . The

elimination of the dc offsets produced by the mixer is carried out by a high pass filter formed by this effective resistance and the capacitor C. The increased value of this effective resistance allows the input blocking capacitor to be smaller and, as a consequence, both the noise and area are reduced. In (2) the voltage gain of the amplifier is shown.

$$A_v = \frac{V_{out}}{V_{in}} = 1 - (g_{MN} + g_{MP}) \frac{R_1 \cdot R_2}{(R_2 - R_1)} \quad (2)$$

As it can be seen, by adjusting the  $g_M$  of the inverters the voltage gain can be changed.

To allow the TIA to operate at high and low gain modes, the switches SW1 and SW2 are used in the inverters.

#### D. Balanced third-order complex filter

The IEEE 802.15.4 standard requires 0 dB rejection at the adjacent channel (5 MHz) and 30 dB rejection at the alternate channel (10 MHz). This can be accomplished by a Butterworth third order gm-C complex filter. The main advantage of this topology is that the inherent insertion loss of passive filters can be compensated by the transconductance of the input stage. Also, a good trade-off in terms of power, operating frequency and noise can be achieved [6][7].

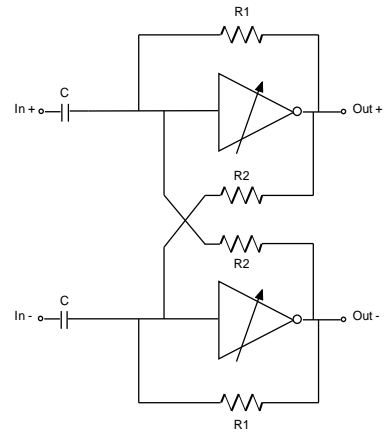


Figure 5. Schematic of the TIA.

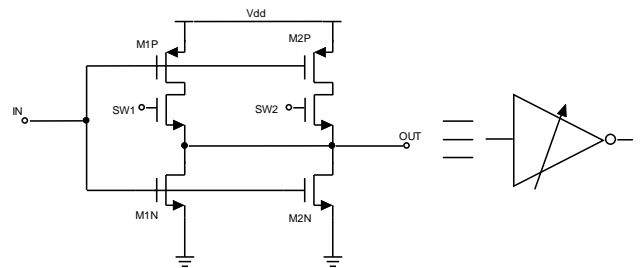


Figure 6. Inverter used in the TIA.

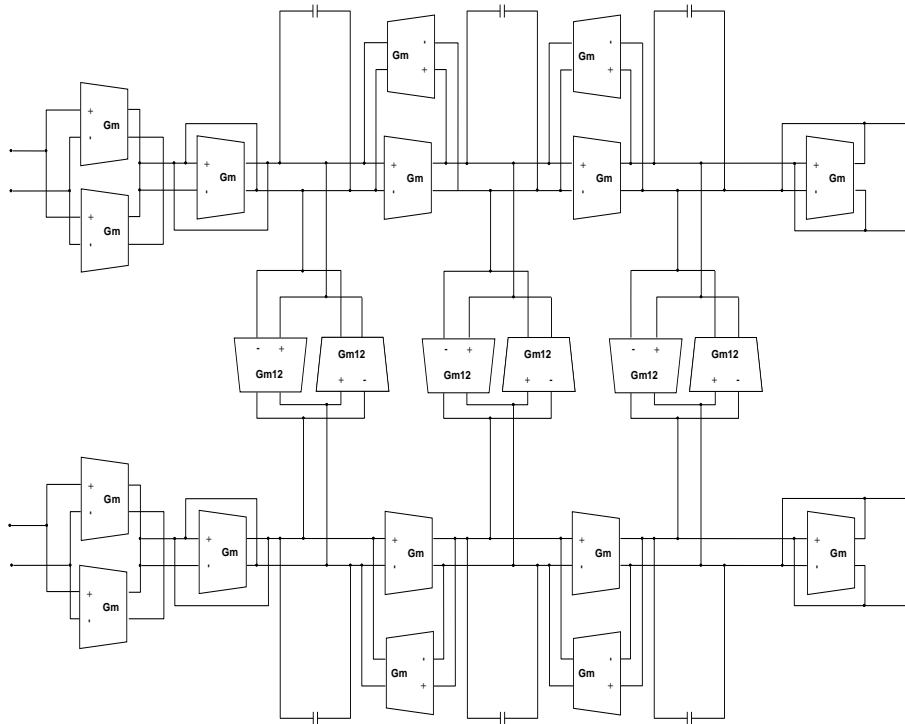


Figure 7. Schematic of the complex filter.

The topology of the complex filter is shown in Figure 7. It consists of two Butterworth third order gm-C low-pass filters for the I and Q paths and two crossing extra signal paths per integrator to transform the low-pass prototypes to their band-pass complex counterparts.

In order to reduce the power consumption, inverter based transconductors have been used in the I and Q paths (Figure 8.b). The main issue with this kind of transconductors is the difficulty of setting the dc levels. To maintain the output common mode voltage stability, Nautas' transconductors (Figure 8.a) have been used in the crossing signal paths that connects the I and Q branches [8]. In this type of transconductors, inverters Inv3, Inv4, Inv5 and Inv6 are used to maintain common-mode stability and enhance dc gain. Common-mode stability follows if the common-mode gain ( $A_{CM}$ ) is less than unity. On the other hand, if the width of the transistors in Inv4 and Inv5 are designed slightly smaller than those of Inv3 and Inv6 the differential mode gain ( $A_{DM}$ ) is boosted [9].

The frequency response of this filter is shown in Figure 9. As a consequence of both, dispersions in the process of fabrication and variations of the voltage power supply, this frequency response may suffer variations. These deviations can be compensated by controlling the voltage supply of the transconductors with a tuning circuit that controls the voltage supply of both the TIAs and the complex filter transconductors. For this reason those circuits have been designed to work with a 1.4 V voltage supply instead of 1.8 V, which is the voltage supply for the rest of the receiver. In the Nautas' transconductors the voltages  $V_{dd}$  and  $V_{dd}'$  are used for F-tuning and Q-tuning, respectively.

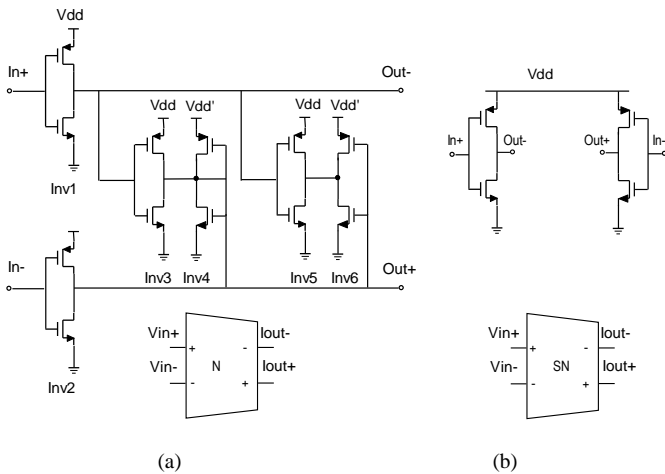


Figure 8. (a) Nauta's Transconductor (b) Simplified Nauta's transconductor.

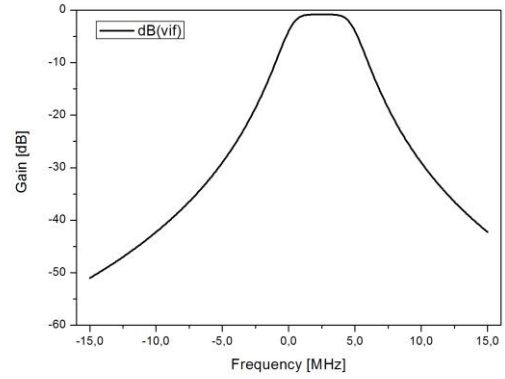


Figure 9. Complex filter frequency response

#### IV. SIMULATION RESULTS

The proposed receiver is implemented in a standard 0.18  $\mu\text{m}$  CMOS technology and simulated using Advanced Design System (ADS) software. The total power consumption of the receiver is 5.5 mW – 2.39 mA at 1.8V for the LNA, 60  $\mu\text{A}$  at 1.4 V for the mixer&TIA, and 0.8 mA at 1.4 V for the complex filter.

The input matching of the receiver is shown in Figure 10. It can be observed that for 2.4 GHz the input matching is below -10 dB.

The gain and NF for the entire IEEE 802.15.4 standard band are shown in Figure 11. The noise figure varies from 10.3 dB to 12 dB over the whole band while the gain is almost constant with a value around 42 dB.

The simulated value of the receiver's NF for one channel is shown in Figure 12. The simulation shows a constant value of 10.3 dB approximately, with a high rise at low frequencies due to the  $1/f$  noise. On the other hand, Figure 13 shows the frequency response of the receiver. As can be seen, the maximum gain is over 42 dB and the image rejection of the adjacent channel is 28 dB.

The LNA has a maximum gain of 18 dB and a minimum gain of 4 dB. This is controlled by the LNA's control voltage  $V_{ctr}$ . As shown in Figure 14, as  $V_{ctr}$  increases, the gain also increases, while the NF decreases. In addition, the TIA has a high gain mode of 24 dB and a low gain mode of 1 dB. This is achieved thanks to the switches included in each inverter. In Table I, the total gain and NF of the receiver are shown depending on the gains of the LNA and the TIA. The total gain can be varied from 5 to 42 dB while the NF changes between 10.3 and 43 dB. This increase of the NF at low gains is acceptable because, as the input power increases, so does the tolerable NF. This can be seen in Figure 15, where the tolerable system NF of an IEEE 802.15.4 receiver versus the received signal power is shown [10]. According to the standard, the input signal ranges from a minimum value of -85 dBm (sensitivity) and a maximum value of -20 dBm, which imposes a maximum NF ranging from 15.5 to 78 dB.

Table I Receiver Gain and Noise Figure for different gain setups

LNA gain [dB]	TIA gain [dB]	Receiver Gain [dB]	Receiver NF [dB]
4	1	5	43
18	1	19	28
4	24	28	25
18	24	42	10.3

Finally, the simulated value of the third-order input intercept point (IIP<sub>3</sub>) at high gain mode is shown in Figure 16. A -5 dBm IIP<sub>3</sub> is obtained when two tones at 500 kHz offset from the center of the designed channel are applied at the input.

Table II compares the presented receiver to previously reported IEEE 802.15.4 receivers. It shows that our results are in line with the state-of-the-art of low-power/low-cost front-end receivers.

## V. CONCLUSIONS

A 802.15.4 receiver front-end for 2.4-GHz-band consuming a dc power of 5.5 mW is reported in 0.18- $\mu$ m CMOS. The receiver adopts a low-IF architecture and comprises a variable gain single-ended LNA, a quadrature passive mixer, a variable gain TIA and a complex filter for image rejection. The receiver shows 42 dB conversion gain with 37 dB gain variation, 10.3 dB NF, 28 dBc image rejection and -5 dBm input (IIP<sub>3</sub>). The achieved performance exceeds the requirements of 802.15.4, yet performs favorably in terms of high level of integration and low power consumption.

## ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Science and Innovation (TEC2011-28724-C03-02 and TEC2011-28357-C02-02).

## REFERENCES

- [1] Liu Weiyang, Chen Jingjing, Wang Haiyong, and Wu Nanjian, "A low power 2.4 GHz transceiver for ZigBee applications," *Journal of Semiconductors*, vol.34, no.8, Aug. 2013.
- [2] Trung-Kien Nguyen, Vladimir Krizhanovskii, Jeongseon Lee, Seok-Kyun Han, Sang-Gug Lee, Nae-Soo Kim, and Cheol-Sig Pyo, "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- $\mu$ m CMOS Technology," *IEEE Transactions on Microwaves Theory and Techniques*, vol.54, no.12, Dec. 2006.
- [3] Ajay Balankutty, Shih-An Yu, Yiping Feng, and Peter R. Kinget, "0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications," *IEEE Journal of Solid-State*, vol. 45, no. 3, Mar 2010.
- [4] Ilku Nam, Kyudon Choi, Joonhee Lee, Hyok-Kyu Cha, Bo-Ik Seo, Kuduck Kwon, and Kwiro Lee, "A 2.4-GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18- $\mu$ m CMOS for IEEE 802.15.4 WPAN applications," *IEEE Transactions on Microwaves Theory and Techniques*, vol.55, no.4, Apr 2007.
- [5] Bao Kuan, Fan Xiangning, Li Wei, and Wang Zhigong, "A wideband current-commutating passive mixer for multi-standard receivers in a 0.18  $\mu$ m CMOS," *Journal of Semiconductors*, vol.34, no.1, Jan. 2013.
- [6] Brian Guthrie, John Hughes, Tony Sayers, and Adrian Spencer, "A CMOS Gyrator Low-IF Filter for a Dual-Mode Bluetooth/ZigBee," *IEEE Journal of Solid-State Circuits*, vol.40, no. 9, Sep. 2005.
- [7] Trinidad Sánchez-Rodríguez, Ramón G. Carvajal, Sunil Lalchand Khemchandani, Javier Del Pino, Jaime Ramírez-Angulo, and Antonio López-Martín, "Low-Power Complex Filter for WLAN Applications," XXII Conference on Design of Circuits and Integrated Systems.

- [8] Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," *IEEE Journal of Solid-State Circuits*, vol.27, no.2, Feb 1992.
- [9] Carlos Muñoz-Montero, Ramón González-Carvajal, and Alejandro Díaz-Sánchez, "A Nauta's transconductor with continuous-time offset compensation," *Conference: XIV IBERCHIP Workshop*, At Puebla, Mexico, Jan. 2008.
- [10] Aaron V. Do, Chirn Chye Boon, Manh Anh Do, Kiata Seng Yeo, and Alper Cabuk, "An Energy-Aware CMOS Receiver Front end for Low-Power 2.4-GHz Applications," *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 57, no. 10, October 2010.

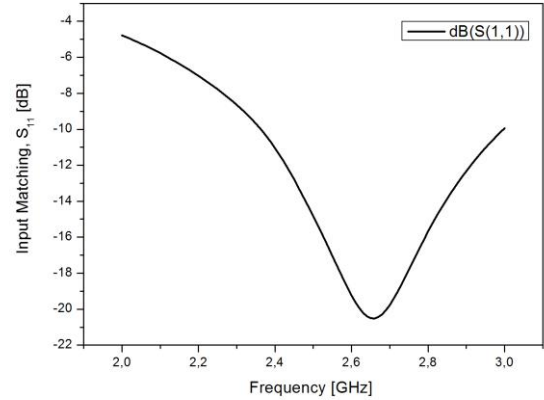


Figure 10. Input matching for the receiver

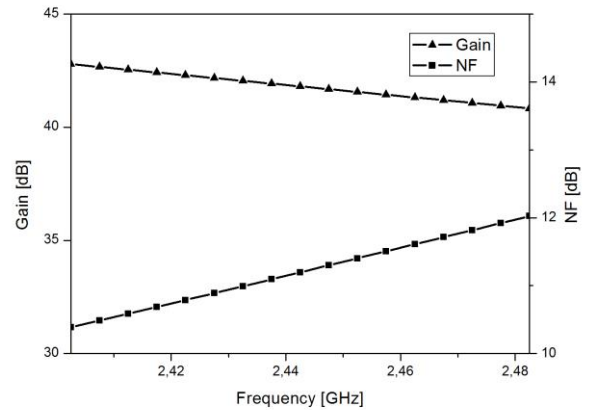


Figure 11. Simulated Gain and NF of the receiver over the entire ISM-band

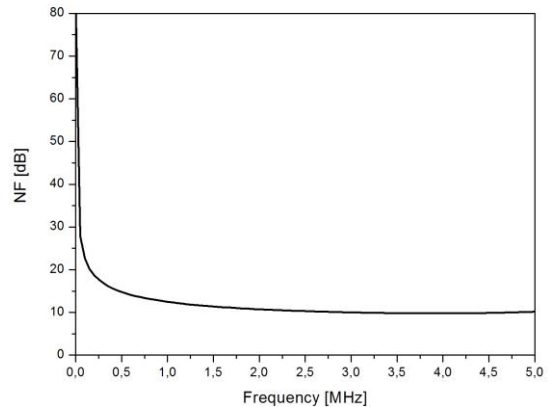


Figure 12. Simulated NF of the receiver



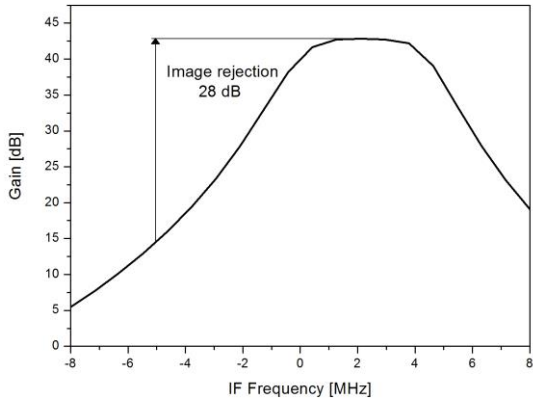


Figure 13. Simulated frequency response of the receiver

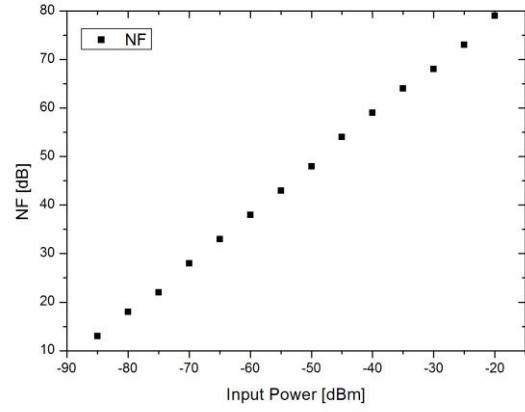


Figure 15. Tolerable NF versus receive input power for the IEEE 802.15.4 standard

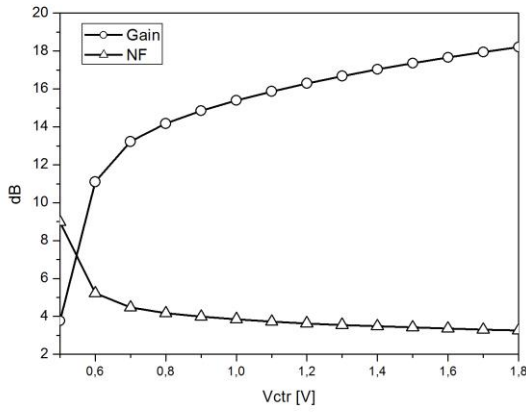


Figure 14. Simulated Gain and NF depending on  $V_{ctr}$

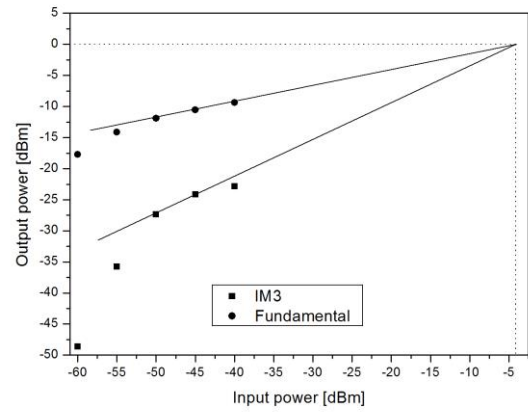


Figure 16. Simulated IIP<sub>3</sub> of the receiver

Table II Performance Comparison of 2.4 GHz IEEE 802.15.4 Front-End Receivers

	[1]	[2]	[3]	[4]	This Work
Technology CMOS [nm]	180	180	90	180	180
Voltage Gain [dB]	86	30	67	-	42
NF [dB]	8.5	7.3	16	<10	10.3
IIP3 [dB]	-8	-8	-10.5	>-15	-5
Power dissipation [mW]	12.63	6.3	10	10.8	5.5
Architecture	Low-IF: LNA+MIX +FIL+PGA	Low-IF: LNA+MIX	Low-IF: LNA+MIX +FIL+PGA	Low-IF: LNA+MIX+FI L+PGA	Low-IF: LNA+MIX +FIL

LNA: Low Noise Amplifier  
MIX: Mixer  
FIL: Complex Filter  
PGA: Programmable Gain Amplifier

# Anexo 2

---

# Single-Event Effects Sensitivity Analysis of a 0.18 $\mu$ m CMOS Low-Noise Amplifier

S. Mateos-Angulo, D. Mayor-Duarte, M. San Miguel-Montesdeoca, S.L. Khemchandani and J. del Pino

Institute for Applied Microelectronics (IUMA), Departamento de Ingeniería Electrónica y Automática  
Universidad de Las Palmas de Gran Canaria  
Las Palmas de Gran Canaria, Spain

**Abstract**—This paper investigates Single Event Effects (SEE) in a 0.18  $\mu$ m CMOS 2.4 GHz Low Noise Amplifier (LNA). The recovery time and maximum output voltage peak were analysed when an energetic particle strikes the most critical nodes of the circuit. This study facilitates the understanding of transient propagation in LNAs and suggests several radiation hardening approaches to reduce SEE sensitivity at transistor level.

**Index terms:** SET, CMOS, low-noise amplifier (LNA), recovery time, voltage peak, quality factor.

## I. INTRODUCTION

Nowadays, radiation tolerance in circuits is one of the most relevant topics in the field of microelectronic systems design. The interaction of heavy particles with analog components in high-radiation environments generates large transients that could propagate to other areas of the circuit. These effects are significant in circuits that are used in many applications, such as space-intended devices, medical and military equipment, nuclear plant control systems, etc. [1]

The progressive decrease of CMOS transistor size over the years has increased the probability of faults when the circuits are exposed to ion radiation. These faults are generated when an energetic particle strikes a sensitive region in an integrated circuit. The resulting electron-hole pair generation caused by these strikes can produce transient pulses that could modify the logical state of the struck circuit node. This temporary voltage or current disturbance at a circuit node is called a Single-Event Transient or SET [2].

High-frequency circuits are known to be less tolerant against SETs. This effect, also called Pulse Induced Propagation Broadening (PIPB), has been mainly analysed in digital circuits. However, this phenomenon is also a threat to analog and mixed-signal circuits [3][4]. The topology of the circuit has an influence on the effect of SETs, changing the width of the transient pulse. Because of this, each design requires a thorough study.

This paper is focused on the study of SETs on Low Noise Amplifiers (LNA).

The theoretical concept behind SETs is described in Section II. Section III introduces the LNA design where the SET simulations are performed and Section IV is devoted to analyse the recovery time and maximum output voltage peak when an energetic particle strikes the most critical nodes of the circuit. Finally, some conclusions are given in Section V.

## II. SINGLE-EVENT TRANSIENTS

SETs are caused when a semiconductor device is struck by an energetic particle, provoking transient voltage disturbances. These perturbations can propagate to storage elements and induce logic-level variations, producing Single-Event Upsets (SEUs). The band-pass features of the device determine the propagation of this events, and only sufficiently large SETs will be able to cause state changes. The size of the circuits affects the way these transient events deteriorate the circuit's performance.

The practical way to analyse the effect of SETs in circuits is to perform transient simulations, despite the time required for this kind of studies. These simulations give a sense of the way the circuit's parameters are affected without needing to carry out experimental measurements using heavy-ion or laser strike.

In CMOS circuits, the effects of SETs are usually simulated with a current source connected at the Drain of the transistors [5]. This source, shown in Figure 1, generates a pulse in which the amplitude and width can be modified. When this source is added to the schematic, a transient simulation is run in order to evaluate the influence of the current pulse. To do so, the instant and nodes where the impact strikes must be specified.

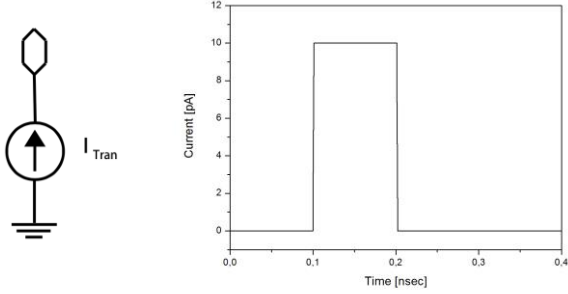


Figure 1. Pulse injected by the current source.

### III. LOW-NOISE AMPLIFIER

The main design goals of an LNA are low noise figure (NF), high gain to sufficiently reduce the NF contribution of the subsequent stages, and high linearity to accommodate high input signal and strong interferences. In addition, the LNA should have a 50- $\Omega$  input impedance to match with the output impedance of the off-chip components such as RF bandpass filter or T/R switch.

Figure 2 shows the schematic of a conventional inductive degenerated cascode LNA topology [6]. This topology is known to provide high gain, low noise and high input/output isolation. In order to achieve simultaneously low noise and input matching, the inductive degeneration technique is used. The addition of  $L_s$  generates a real part at the input impedance which reduces the discrepancy between the optimum noise impedance and the LNA input impedance. This is due to the fact that the optimum noise impedance has a real part while without degeneration there is no real part at the input impedance. However, under low power consumption, the value needed of this inductance to obtain both noise and input matching is very large. This results in a minimum achievable noise figure of the LNA significantly higher than its  $NF_{min}$ . This can be solved by including the capacitor  $C_{ex}$  as it is shown in Figure 2. By adding this capacitance, one can use lower values of the inductance  $L_s$  to achieve simultaneous noise and input matching.

The input impedance of the LNA is given by:

$$Z_{in} = s \cdot (L_s + L_g) + \frac{1}{s \cdot C_t} + \frac{g_M \cdot L_s}{C_t}$$

where  $C_t$  is the total capacitance between the gate and the source of  $M_1$ , i.e.  $C_{gs} + C_{ex}$ . From the above equation, it can be seen that by including the capacitor  $C_{ex}$  the imaginary part of the input impedance changes, allowing smaller values for  $L_s$  and  $L_g$ . This also reduces the parasitic resistance, thus improving the noise figure of the LNA.

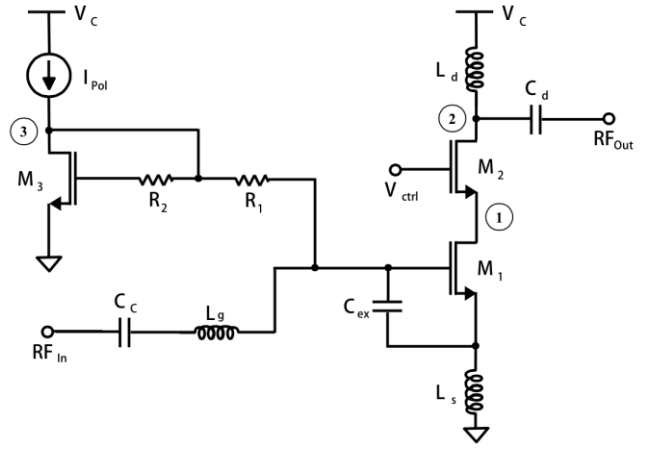


Figure 2. Schematic of the Low-Noise-Amplifier.

### IV. SIMULATION ANALYSIS

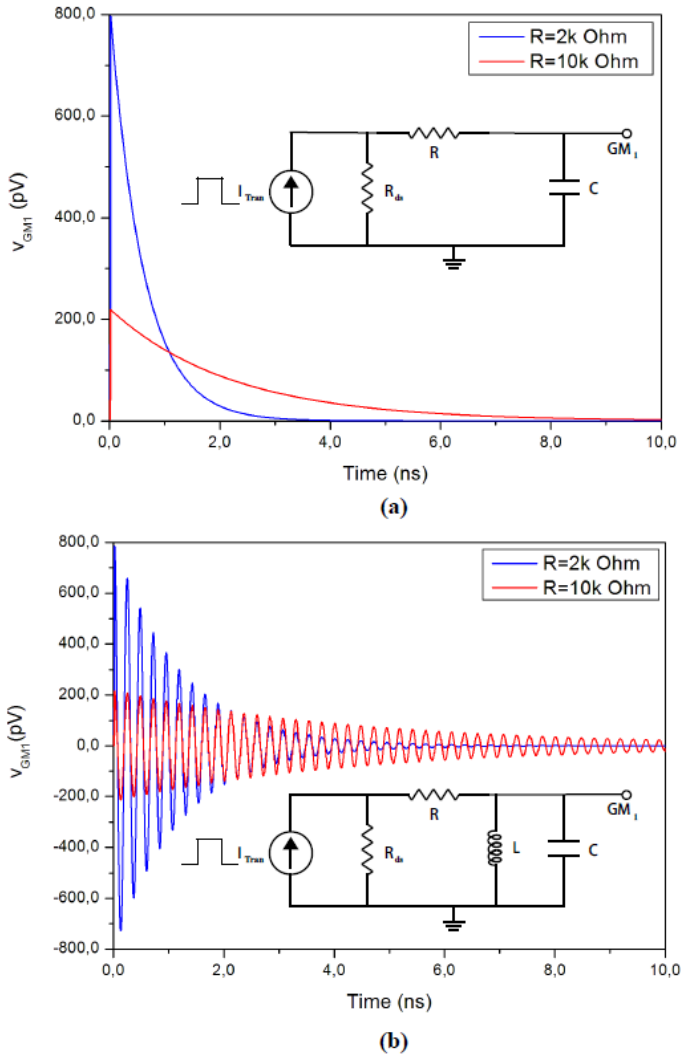
This section studies the influence of SETs on the LNA described in section III. This influence was analysed in nodes 1, 2 and 3 of the circuit shown in Figure 2, which correspond to the Drains of transistors  $M_1$ ,  $M_2$  and  $M_3$ , respectively. Table I shows the recovery time and the maximum voltage peak at the output when applying the current pulses at these nodes.

Table I. Recovery time and maximum voltage peak at the output when applying current pulses at different nodes

Node	Recovery Time (s)	Maximum voltage peak (V)
1	7.11n	988.48p
2	1.88n	3.67n
3	7.425n	882.49p

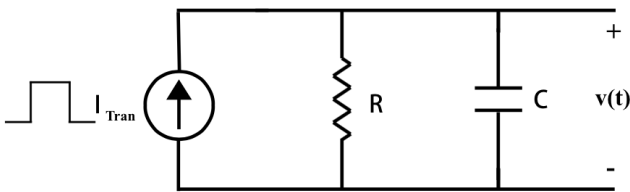
When a current pulse is applied at the Drain of transistor  $M_3$ , the recovery time is longer than in the other cases. Figure 3 (a) shows the transient response of the simplified equivalent circuit at node 3, for different values of resistance. In the simplified equivalent circuit,  $R_{ds}$  is the drain to source resistance of  $M_3$  and  $R$  and  $C$  are the equivalent resistance and capacitance of this node, respectively. If the input matching inductor is taken into account, the transient response of the equivalent circuit becomes like that shown in Figure 3 (b). As it can be seen, although an increase in  $R$  implies an increase in the time constant of this node, the voltage peak at  $M_1$  gate is lower. This translates into a lower peak at the output of the LNA and, as a consequence, a shorter recovery time. This means that, from the SET point of view, the current mirror

resistances should be as large as possible in order to reduce the recovery time at the output signal.



**Figure 3.** Transient response for different values of resistance: (a) No input matching inductor (b) Input matching inductor.

When applying the current pulse at the Drain of  $M_1$ , the equivalent circuit seen at this node is a simple RC parallel circuit (Figure 4), where  $R$  is the output resistance of transistor  $M_1$  and  $C$  is the gate to source capacitance of transistor  $M_2$ .



**Figure 4.** RC equivalent circuit seen at the Drain of transistor  $M_1$ .

In this case, the response of the circuit to a pulse is directly dependent of the time constant of this node. In order to reduce the time constant, either the resistance or the capacitance should be lowered. To do so, transistors

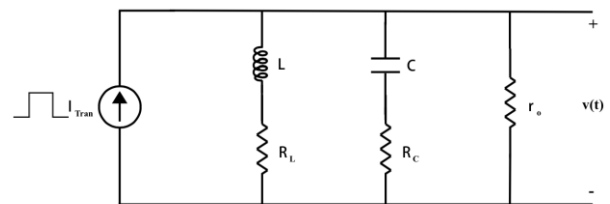
$M_1$  and  $M_2$  must be modified. However, varying the size of  $M_1$  isn't advisable since the gain and noise figure of the LNA strongly depend on this transistor. On the other hand, the influence of transistor  $M_2$  on the LNA performance is lower. *Table II* shows the recovery time for three different  $M_2$  transistor sizes. As it can be seen, the recovery time is slightly smaller when the transistor  $M_2$  is smaller. However, the gain of the LNA decreases and the noise figure slightly increases. With this results, it can be stated that there is a trade-off between the recovery time and the gain and noise figure of the LNA. As a consequence,  $M_2$  size should be chosen depending on the tolerable gain and NF penalty.

*Table II. Results for different sizes of transistor  $M_2$*

$W (M_2)$ ( $\mu\text{m}$ )	Recovery Time (ns)	Maximum voltage peak (nV)	Gain (dB)	Noise Figure (dB)
25	3.099	2.19	15.65	3.55
65	3.51	1.37	17.73	3.39
105	3.97	1.15	18.40	3.41

Finally, Table I shows that the maximum voltage peak at the output is larger when the current pulse is applied at the Drain of transistor  $M_2$ . This is due to the fact that, although the current peak is larger in the Drain of  $M_1$ , the impedance at the Drain of  $M_2$  is larger and the resulting output voltage will be larger [7].

As seen in the previous section, conventional low-noise amplifiers (LNAs) use a parallel LC resonator (or LC tank) as a frequency selective load. The gain of an LNA is proportional to the transistor's transconductance ( $g_m$ ) and the tuned circuit's impedance at resonance ( $R_{\text{tank}}$ ). This impedance is determined by the quality factor ( $Q_{\text{tank}}$ ) of this resonant LC tank, which is limited by the losses in the inductor and the capacitor. As a consequence, an actual LC tank is usually modelled as shown in Figure 5, where  $R_L$  and  $R_C$  are the parasitic series resistance of the inductor and capacitor, respectively. Resistance  $r_o$  is the resistance seen at the Drain of  $M_2$ .



**Figure 5.** Equivalent circuit seen at the Drain of  $M_2$ .

When the tank is made with ideal inductors and capacitors, the gain of the LNA does not change when the inductance and capacitance is modified keeping the resonant frequency constant. This is because, ideally, there are no parasitic resistances. However, when real components are included, their parasitic resistances have an impact on the LNA performance.

In order to analyse the effects of real components, the values of the inductance and the capacitance that constitute the tank were modified, keeping the resonance frequency constant. The inductors range from 1nH to 10nH and were designed using the model provided by the UMC 0.18 $\mu$ m CMOS technology to obtain maximum quality factor at 2.4GHz. For each of these inductors, the capacitor which makes the tank resonate at the desired 2.4 GHz frequency was calculated. Under these conditions, both the small signal and transient performance of the circuit were analysed.

Figure 6 shows the gain and the Noise Figure of the LNA for different inductance values. As the inductance rises the gain increases and the NF drops. This is explained by the fact that the quality factor of the tank ( $Q_{\text{tank}}$ ) increases as the inductance increases, as it can be seen in Figure 7.

This result is against the commonly held argument that, as integrated circuit processes are inherently better suited to making capacitors than inductors, the  $Q_{\text{tank}}$  is usually limited by the losses in the inductor [8]. However, as Figure 7 indicates,  $Q_{\text{tank}}$  does not follow the same shape as  $Q_L$ .

On the other hand, Figure 8 shows the recovery time and the maximum voltage peak at the LNA output. In this case, it can be stated that there is a strong relationship between the recovery time and  $Q_L$ .

In light of these results, one may assume that it would be desirable to use high inductance values, which means having a good performance both in gain and NF and a short recovery time. However, high inductances mean a small capacitance and, as shown in Figure 8, the smaller the capacitance, the bigger the peak value.

As a conclusion, when designing the inductor included in the tank circuit, there is a trade-off between the recovery time and the voltage peak observed at the output. The bigger the inductance, the shorter recovery time and the better the small signal performance, but the larger the voltage peak.

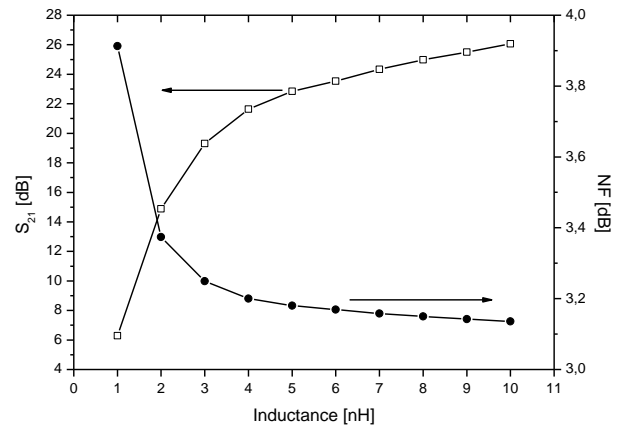


Figure 6. Gain and NF for different inductance values

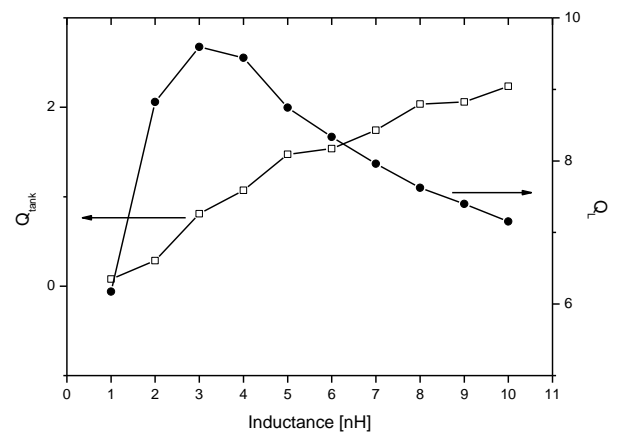


Figure 7.  $Q_{\text{tank}}$  (tank quality factor) and  $Q_L$  (maximum inductor quality factor) for different inductance values.

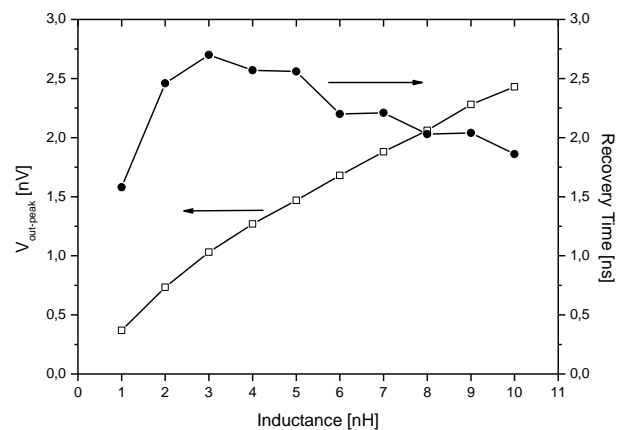


Figure 8. Recovery time and maximum voltage peak at the LNA output for different inductance values

## V. CONCLUSION

The influence of SETs in a conventional low noise amplifier was investigated. These effects can result in the corruption of multiple bits of the received data. The recovery time and maximum voltage peak value of the output signal were analysed when a current pulse was applied at the most critical nodes of the circuit. Several radiation hardening approaches were studied, searching for the reduction of peak transient magnitudes and recovery times observed at the output signal. As a future work, this study envisions to integrate the LNA into a complete receiver front-end and to test the data integrity to see if the information is corrupted.

## ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Economy and Competitiveness (TEC2015-71072-C03-01).

## REFERENCES

- [1] F. Márquez, F. Muñoz, F.R. Palomo, L. Sanz, E. López-Murillo, M.A. Aguirre, and A. Jiménez, "Automatic Single Event Effects Sensitivity Analysis of a 13-Bit Successive Approximation ADC", *IEEE Transactions on Nuclear Science*, vol. 62, no. 4, Aug. 2015.
- [2] G.I. Wirth, M.G. Vieira and F.G. Lima Kastensmidt, "Accurate and computer efficient modelling of single event transients in CMOS circuits", *IET Circuits Devices Syst.*, vol.1, no.2, pp. 137-142, 2007.
- [3] J.M. Mogollón, F.R. Palomo, M.A. Aguirre, J. Napoles, H. Guzmán, and E. García, "TCAD simulations on CMOS propagation induced pulse broadening effect: Dependence analysis on the threshold voltage," *IEEE Transaction on Nuclear Science*, vol. 57, no. 4, pp. 1908-1914, Aug. 2010.
- [4] L.W. Massengil and P.W. Tuinenga, "Single-event transient pulse propagation in digital CMOS," *IEEE Transaction on Nuclear Science*, vol. 55, no. 6, pp. 2861-2871, Dec. 2008.
- [5] Henil, Langalia, Sarthak Lad, Mangesh Lolge and Surendra Rathod, "Analysis of two-stage CMOS Op-Amp for Single-Event Transients," *International Conference on Communication, Information & Computing Technology*, 2012.
- [6] Sergio Mateos-Angulo, Daniel Mayor-Duarte, Sunil Lalchand Khemchandani, Javier del Pino, "A low-power fully integrated CMOS RF receiver for 2.4-GHz-band IEEE 802.15.4 Standard", *XXX Conference on Design of Circuits and Integrated Systems*, 2015.
- [7] Ickhyun Song, Seungwoo Jung, Nelson E. Lourenco, Uppili S. Raghunathan, Zachary E. Fleetwood, Saed Zeinolabedinzadeh, Tikurete B. Gebremariam, Nicholas J.-H. Roche, Ani Khachatrian, Stephen P. Buchner, Joseph S. Melinger, Jeffrey H. Warner, Pauline Paki-Amouzou, and John D. Cressler, "Design of Radiation-Hardened RF Low-Noise Amplifiers Using Inverse-Mode SiGe HBTs", *IEEE Transactions on Nuclear Science*, vol. 61, no.6, Dec. 2014.
- [8] Ben Walter Cook, "Low Energy RF Transceiver Design," *Electrical Engineering and Computer Sciences*, University of California at Berkeley, 2007.