



# Máster de Tecnologías de Telecomunicación

## Trabajo Fin de Máster

### Diseño de un Desfasador Programable para Antenas de Tipo Array

Darío Alemán Ortiz

Dr. Sunil Lalchand Khemchandani, Mario San Miguel Montesdeoca

Enero 2020

#### Resumen

- El objetivo del presente trabajo de fin de máster es diseñar un desfasador activo programable de 8 bits para aplicaciones de antenas tipo phased array. Este circuito está diseñado para operar en la banda de frecuencia que va desde 27.5 a 30 GHz y se ha implementado con la tecnología SiGe\_1K5PAx de Global Foundries.
- El desfasador tiene una estructura de fase de suma vectorial, generando cambios de fase de 360°. Además, consta de un generador de cuadratura conformado por un filtro polifásico. Del mismo modo, consta de un amplificador basado en una célula de Gilbert, en el que hay que tener en cuenta la corriente del *Digital/Analog Converter* (DAC), que actuará como espejo de corriente para la dicha red.

#### Diseño a Nivel Esquemático

- En primer lugar, se ha diseñado el filtro polifásico de primer orden. Seguidamente, se ha abordado el diseño del desfasador. La implementación de este circuito se ha llevado a cabo en tres partes: se diseñó el desfasador utilizando valores de corriente ideales, se implementó el espejo de corriente por separado y, por último, se diseñó el desfasador completo a falta de los DACs. Finalmente, se ha procedido a realizar el diseño de un DAC para sustituir las fuentes de corriente ideales que se habían integrado.

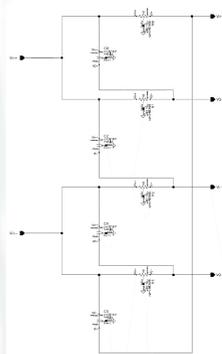


Figura 1. Filtro polifásico de primer orden.

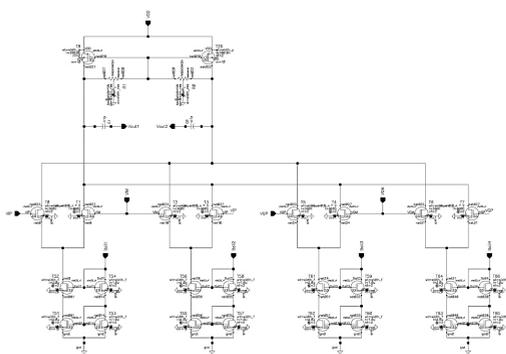


Figura 2. Desfasador incluyendo espejos de corriente.

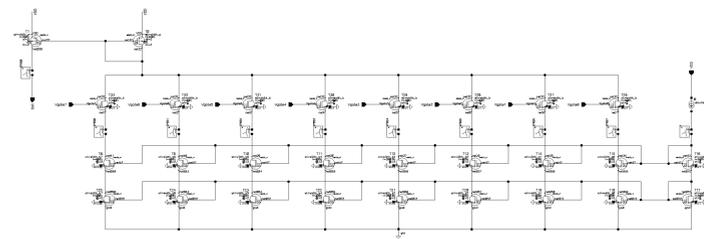


Figura 3. DAC.

#### Simulación del Desfasador Completo

- Una vez implementado de manera satisfactoria el filtro polifásico, el desfasador y el DAC, para concluir con el diseño se ha procedido a simular el desfasador completo incluyendo el DAC. Para ello, se ha empleado el *setup* de simulación que se muestra. A partir de este se han obtenido los distintos desfases para los cuatro cuadrantes teniendo en cuenta los valores de corriente generados por el DAC y el paso de fase (5.625°) establecido en las especificaciones.

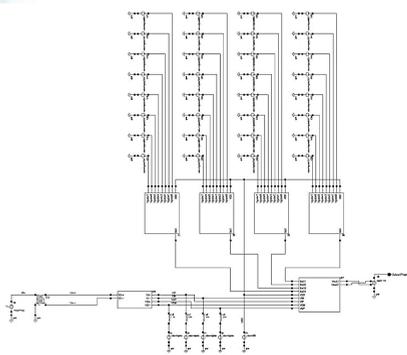


Figura 4. *Setup* de simulación del desfasador completo.

Tabla 1. Corrientes del primer y tercer cuadrante.

Simulación Desfasador Completo (1° y 3° Cuadrante)																					
DAC Inaz						DAC Inaz						Resultados Phase									
B7	B6	B5	B4	B3	B2	B1	B0	B7	B6	B5	B4	B3	B2	B1	B0	Inaz (µA)	Ref (µA)	Error Inaz	Phase (°)	Ref (°)	Phase Error
1	1	0	1	0	1	0	1	1	0	0	0	0	0	0	0	1000	999.603	0.397	0	0	0.31122
1	1	0	1	0	0	1	1	1	0	0	0	0	0	0	0	991.7	991.527	0.173	0	0	0.30256
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	978.9	980.815	1.915	0	0	0.1132
1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	961.8	961.481	0.319	0	0	0.63381
1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	41.25	38.519	2.731	17.50881	16.875	0.63381
1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	68.12	67.516	0.604	22.59175	22.5	0.09175
1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	180.6	171.019	9.581	27.6983	29.125	0.1267
1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	180.6	176.144	4.456	33.89419	33.75	0.14419
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	284	285.385	1.385	39.34496	39.375	0.03004
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	55.2	55.242	0.042	44.758	44.758	0.00000
0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	636.7	634.629	2.068	50.6884	50.625	0.06344
0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	779.1	778.336	0.764	56.3694	56.25	0.0594
0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	130.3	131.295	0.995	61.9444	61.875	0.0694
0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	78.66	76.6542	2.0058	67.1621	67.5	0.3179
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	957.6	959.2424	0.6424	73.22161	73.125	0.09639
0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	18.82	20.1541	1.3341	79.2948	78.75	0.4548
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	6.803	7.22079	0.41779	84.51682	84.375	0.14182
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1.627	0	1.627	89.68878	90	0.31122

Tabla 2. Corrientes del segundo y cuarto cuadrante.

Simulación Desfasador Completo (2° y 4° Cuadrante)																					
DAC Inaz						DAC Inaz						Resultados Phase									
B7	B6	B5	B4	B3	B2	B1	B0	B7	B6	B5	B4	B3	B2	B1	B0	Inaz (µA)	Ref (µA)	Error Inaz	Phase (°)	Ref (°)	Phase Error
1	1	0	1	0	1	0	1	1	0	0	0	0	0	0	0	1000	999.603	0.397	0	0	0.31122
1	1	0	1	0	0	1	1	1	0	0	0	0	0	0	0	991.7	991.527	0.173	0	0	0.30256
1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	978.9	975.81	3.091	0	0	0.1132
1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	949	951.009	2.009	0	0	0.4142
1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	914.6	913.051	1.549	0	0	0.2393
1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	89.12	86.849	2.271	112.7361	112.5	0.2393
1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	953.9	954.546	0.646	0	0	0.0444
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1145.5	1145.454	0.046	118.294	118.125	0.0444
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	240	238.16	1.84	123.8307	123.75	0.0807
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	384.7	383.026	1.674	129.4998	129.375	0.0348
0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	617.4	616.974	0.426	0	0	0.03004
0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	432.1	431.981	0.119	0	0	0.04423
0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	289.4	271.185	1.709	1	0	0.07266
0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	165.7	165.716	0.016	1	0	0.1677
0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	99.5	101.005	1.505	1	0	0.15816
0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	62.81	60.3987	2.4113	1	0	0.40102
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	35.76	34.2266	1.5214	1	0	0.101
0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1.627	1.627	0	157.9898	157.5	0.4898
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	6.803	6.803	0	168.1041	168.75	0.6459
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1.627	1.627	0	180	180	0

#### Conclusiones

En el presente trabajo de fin de máster, se ha abordado el diseño a nivel esquemático de un desfasador programable para antenas de tipo array. Para ello, se han utilizado tanto los softwares de diseño ADS como Cadence, al igual que se ha hecho uso en ambos de componentes de la tecnología SiGe\_1K5PAx de la fundidora GlobalFoundries. El desfasador programable ha de cumplir con los requisitos de diseño establecidos, pues existe la posibilidad de abordar en un futuro el diseño a nivel *layout*, la fabricación y la toma de medidas de este.

