



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA  
Instituto Universitario de Microelectrónica Aplicada  
Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### DISEÑO DE UN DESFASADOR PROGRAMABLE PARA ANTENAS DE TIPO ARRAY

Autor: Darío Alemán Ortiz  
Tutor(es): Dr. Sunil Lalchand Khemchandani  
Mario San Miguel Montesdeoca  
Fecha: Enero 2020



t +34 928 451 150  
+34 928 451 086  
f +34 928 451 083

e: [iuma@iuma.ulpgc.es](mailto:iuma@iuma.ulpgc.es)  
w: [www.iuma.ulpgc.es](http://www.iuma.ulpgc.es)

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA  
Instituto Universitario de Microelectrónica Aplicada  
Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### DISEÑO DE UN DESFASADOR PROGRAMABLE PARA ANTENAS DE TIPO ARRAY

#### HOJA DE FIRMAS

**Alumno/a:** Darío Alemán Ortiz Fdo.:

**Tutor/a:** Dr. Sunil Lalchand Khemchandani Fdo.:

**Tutor/a:** Mario San Miguel Montesdeoca Fdo.:

**Fecha:** Enero 2020



t +34 928 451 150  
+34 928 451 086  
f +34 928 451 083

e: [iuma@iuma.ulpgc.es](mailto:iuma@iuma.ulpgc.es)  
w: [www.iuma.ulpgc.es](http://www.iuma.ulpgc.es)

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria





# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### DISEÑO DE UN DESFASADOR PROGRAMABLE PARA ANTENAS DE TIPO ARRAY

## HOJA DE EVALUACIÓN

Calificación: .....

**Presidente** Félix Tobajas Guerrero Fdo.:

**Secretario** Fernando de la Puente Arrate Fdo.:

**Vocal** Francisco Javier del Pino Suárez Fdo.:

**Fecha: Enero 2020**



t +34 928 451 150  
+34 928 451 086  
f +34 928 451 083

e: [iuma@iuma.ulpgc.es](mailto:iuma@iuma.ulpgc.es)  
w: [www.iuma.ulpgc.es](http://www.iuma.ulpgc.es)

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria



# Índice

Capítulo 1. Introducción.....	-1-
1.1. Estado del Arte.....	-1-
1.1.1. Antenas de Tipo <i>Phased Array</i> .....	-1-
1.1.2. Desfasadores Electrónicos.....	-3-
1.2. Estudio de la Tecnología.....	-5-
1.3. Objetivo del Trabajo de Fin de Máster.....	-7-
1.4. Estructura de la Memoria.....	-8-
Capítulo 2. Estudio Teórico del Desfasador Programable.....	-9-
2.1. Desfasadores Digitales y Continuos.....	-9-
2.1.1. Efecto de Cuantificación de Fase.....	-10-
2.2. Desfasador Activo de Suma Vectorial.....	-13-
2.2.1. Teoría de Operación.....	-13-
2.2.2. Generación de Cambios de Fase de 360°.....	-15-
2.3. Generador de Cuadratura.....	-15-
2.3.1. Filtros Polifásicos RC.....	-16-
2.3.2. Filtros de Paso Total en Cuadratura.....	-19-
2.3.3. Efecto de la Capacidad de Carga.....	-22-
2.4. Red de Amplificadores y Combinadores.....	-26-
2.5. DAC de Corriente.....	-27-
Capítulo 3. Diseño a Nivel Esquemático del Desfasador Programable.....	-29-
3.1. Diseño del Filtro Polifásico de Primer Orden.....	-29-
3.1.1. Elección del Condensador.....	-29-
3.1.2. Elección de la Resistencia.....	-30-
3.1.3. Filtro Polifásico de Primer Orden.....	-31-
3.1.4. Resultados de la simulación del filtro polifásico en Cadence.....	-34-
3.2. Diseño del Desfasador.....	-40-
3.2.1. Desfasador sin Espejo de Corriente.....	-40-
3.2.2. Espejo de Corriente.....	-46-
3.2.3. Desfasador.....	-48-
3.3. Diseño del DAC.....	-57-
3.3.1. Simulación del Desfasador.....	-57-
3.3.2. Configuración de los Bits.....	-59-
3.3.3. DAC.....	-59-
3.3.4. Corrientes generadas por el DAC.....	-69-
3.3.5. Simulación del Desfasador Completo.....	-74-

Capítulo 4. Conclusiones.....	-87-
4.1. Resultados y Conclusiones.....	-87-
4.2. Líneas Futuras de Trabajo.....	-89-
Bibliografía.....	-93-
Presupuesto.....	-99-
Anexo I.....	-107-
A1.1 Condensadores.....	-107-
A1.1.1 Especificaciones de Diseño de los Condensadores.....	-107-
A1.1.2 Diseño de los Condensadores.....	-108-
A1.2 Resistencias.....	-108-
A1.2.1 Especificaciones de Diseño de las Resistencias.....	-109-
A1.2.2 Diseño de las Resistencias.....	-109-
A1.2.3 Geometría de las Resistencias.....	-113-
A1.3 Transistores.....	-114-
A1.3.1 Tablas de Referencia de Parámetros del Modelo.....	-115-
A1.3.2 Reducción de Longitud y Ancho del Canal.....	-116-

# Índice de figuras

Figura 1.1. Antena de tipo phased array.....	-2-
Figura 1.2. Corte de la tecnología.....	-6-
Figura 2.1. Progresión de fase cuantificada de 3 bits.....	-11-
Figura 2.2. Patrón de intensidad del haz en el espacio $u$ .....	-11-
Figura 2.3. Nivel del Lóbulo de Cuantificación.....	-13-
Figura 2.4. Diagrama de bloques de un desfasador de suma vectorial.....	-14-
Figura 2.5. Implementación de un desfasador de suma vectorial $360^\circ$ .....	-15-
Figura 2.6. Filtro polifásico de primer orden ideal.....	-16-
Figura 2.7. Desfase de los terminales del filtro polifásico de primer orden ideal.....	-17-
Figura 2.8. Adaptación de entrada del filtro polifásico de primer orden ideal.....	-17-
Figura 2.9. Pérdidas por inserción del filtro polifásico de primer orden ideal.....	-17-
Figura 2.10. Representación de $V_{in}$ y $V_{I+}$ del filtro polifásico de primer orden ideal.....	-18-
Figura 2.11. Filtro polifásico de segundo orden.....	-18-
Figura 2.12. Pérdidas de inserción del filtro polifásico de segundo orden.....	-19-
Figura 2.13. Desfase de los terminales del filtro polifásico de segundo orden.....	-19-
Figura 2.14. Filtro de paso total en cuadratura.....	-20-
Figura 2.15. Redes I y Q de terminación única.....	-20-
Figura 2.16. Red diferencial en cuadratura.....	-21-
Figura 2.17. Red en cuadratura reducida.....	-21-
Figura 2.18. Filtro de paso total en cuadratura ideal.....	-21-
Figura 2.19. Pérdidas por inserción del filtro de paso total en cuadratura ideal.....	-22-
Figura 2.20. Desfase de los terminales del filtro de paso total en cuadratura ideal.....	-22-
Figura 2.21. Filtro en cuadratura con capacidad de carga.....	-23-
Figura 2.22. Filtro en cuadratura completo.....	-23-
Figura 2.23. Filtro de paso total en cuadratura ideal con $R_L$ .....	-24-
Figura 2.24. Desfase de los terminales del filtro de paso total en cuadratura ideal con $R_L$ .....	-24-
Figura 2.25. Adaptación de entrada del filtro de paso total en cuadratura ideal con $R_L$ .....	-24-
Figura 2.26. Pérdidas por inserción del filtro de paso total en cuadratura ideal con $R_L$ .....	-25-
Figura 2.27. Representación de $V_{in}$ y $V_{I+}$ del filtro de paso total en cuadratura ideal con $R_L$ .....	-25-
Figura 2.28. Red del amplificador de ganancia variable.....	-26-
Figura 2.29. Red simplificada del amplificador de ganancia variable.....	-27-
Figura 2.30. Esquema del DAC de corriente.....	-28-

Figura 3.1. Setup de simulación del condensador del filtro polifásico de primer orden real.....	-29-
Figura 3.2. Factor de calidad y capacidad del condensador del filtro polifásico de primer orden real.....	-30-
Figura 3.3. Setup de simulación de la resistencia del filtro polifásico de primer orden real.....	-30-
Figura 3.4. Filtro polifásico de primer orden real.....	-31-
Figura 3.5. Desfase de los terminales del filtro polifásico de primer orden real.....	-32-
Figura 3.6. Adaptación de entrada del filtro polifásico de primer orden real.....	-32-
Figura 3.7. Pérdidas por inserción del filtro polifásico de primer orden real.....	-33-
Figura 3.8. Representación de $V_{in}$ y $V_{I+}$ del filtro polifásico de primer orden real.....	-33-
Figura 3.9. Factor de calidad y capacidad del condensador del filtro polifásico de primer orden real rediseñado.....	-34-
Figura 3.10. Setup de simulación de la resistencia del filtro polifásico de primer orden real rediseñado.....	-34-
Figura 3.11. Filtro polifásico de primer orden en Cadence.....	-36-
Figura 3.12. Desfase de los terminales del filtro polifásico de primer orden en Cadence.....	-37-
Figura 3.13. Adaptación de entrada del filtro polifásico de primer orden en Cadence.....	-38-
Figura 3.14. Pérdidas por inserción del filtro polifásico de primer orden en Cadence.....	-38-
Figura 3.15. Representación de $V_{in}$ y $V_{I+}$ del filtro polifásico de primer orden en Cadence.....	-39-
Figura 3.16. Desfasador sin espejo de corriente.....	-41-
Figura 3.17. Setup de simulación del desfasador sin espejo de corriente.....	-43-
Figura 3.18. Simulación DC del desfasador sin espejo de corriente.....	-45-
Figura 3.19. Espejo de corriente.....	-46-
Figura 3.20. Setup de simulación del espejo de corriente.....	-47-
Figura 3.21. Punto de operación del espejo de corriente.....	-48-
Figura 3.22. Desfasador incluyendo los dobles espejos de corriente.....	-49-
Figura 3.23. Setup de simulación del desfasador.....	-51-
Figura 3.24. Simulación DC del desfasador.....	-54-
Figura 3.25. Fases del primer cuadrante.....	-55-
Figura 3.26. Fases del segundo cuadrante.....	-55-
Figura 3.27. Fases del tercer cuadrante.....	-56-
Figura 3.28. Fases del cuarto cuadrante.....	-56-
Figura 3.29. DAC.....	-60-
Figura 3.30. Setup de simulación del DAC.....	-63-
Figura 3.31. Simulación DC del DAC.....	-65-
Figura 3.32. Setup de simulación del desfasador completo.....	-77-
Figura 3.33. Amplitud de fase para $45^\circ$ [ $^\circ$ ].....	-80-

Figura 3.34. Amplitud de fase para 45° [dB].....	-81-
Figura 3.35. Amplitud de fase para 51°.....	-81-
Figura 3.36. Amplitud de las pérdidas por inserción del desfasador completo.....	-82-
Figura 3.37. Adaptación de entrada del desfasador completo.....	-83-
Figura 3.38. Pérdidas por inserción del desfasador completo.....	-83-
Figura 3.39. Aislamiento del puerto de salida del desfasador completo.....	-84-
Figura 3.40. Fases de 45° para el rango de temperaturas del desfasador completo.....	-84-
Figura 3.41. Representación de Vin y OutputPhase del desfasador completo.....	-85-
Figura AI.1. Ejemplo de layout para el condensador MOS.....	-107-
Figura AI.2. Ejemplo de layout para las resistencias respc, opndres y oppdres.....	-110-
Figura AI.3. Ejemplo de layout para la resistencia silres.....	-111-
Figura AI.4. Ejemplo de layout para la resistencia balres.....	-111-
Figura AI.5. Ejemplo de layout para la resistencia respe.....	-112-
Figura AI.6. Ejemplo de layout para la resistencia respcserp.....	-113-



# Índice de tablas

Tabla 1. Especificaciones del desfasador a implementar.....	-7-
Tabla 2. Corrientes ideales obtenidas del desfasador.....	-58-
Tabla 3. Codificación de los 8 bits del DAC.....	-59-
Tabla 4. Cálculo de las configuraciones de bits para la corriente $I_{TAIL3}$ .....	-67-
Tabla 5. Simulación de las configuraciones de bits calculadas para la corriente $I_{TAIL3}$ .....	-68-
Tabla 6. Corrientes generadas por el DAC.....	-69-
Tabla 7. Corrientes del primer y tercer cuadrante obtenidas del desfasador completo.....	-78-
Tabla 8. Corrientes del segundo y cuarto cuadrante obtenidas del desfasador completo.....	-79-
Tabla 9. Fases de $45^\circ$ para el rango de temperaturas del desfasador completo.....	-85-
Tabla 10. Comparativa entre especificaciones y resultados.....	-88-
Tabla P.1. Factor de corrección por horas empleadas.....	-100-
Tabla P.2. Precios y costes de amortización del <i>hardware</i> empleado.....	-101-
Tabla P.3. Precios y costes de amortización del <i>software</i> empleado.....	-101-
Tabla P.4. Presupuesto según trabajo tarifado y costes de amortización.....	-102-
Tabla P.5. Presupuesto según trabajo tarifado, amortización y redacción del trabajo.....	-103-
Tabla P.6. Costes de material fungible.....	-104-
Tabla P.7. Presupuesto con impuestos incluidos.....	-104-
Tabla AI.1. Especificaciones del condensador.....	-108-
Tabla AI.2. Parámetros de la ecuación de diseño MOSCAP.....	-108-
Tabla AI.3. Especificaciones de diseño de las resistencias.....	-109-
Tabla AI.4. Parámetros de las ecuaciones de diseño de las resistencias.....	-113-
Tabla AI.5. Dimensiones mínimas para el diseño de las resistencias.....	-113-
Tabla AI.6. Parámetros de referencia – Modelos NFET/NFETI, PFET, NFET33/NFET33I y PFET33.....	-115-
Tabla AI.7. Parámetros de referencia – Modelos NFETC/NFETCI y PFETC.....	-115-
Tabla AI.8. Reducción de longitud y ancho del canal.....	-116-



# Lista de acrónimos

ATPS	Analog – Type Phase Shifter (Desfasador de Tipo Analógico)
DAC	Digital/Analog Converter (Conversor Digital/Analógico)
DC	Direct Current (Corriente Continua)
DTPS	Digital – Type Phase Shifter (Desfasador de Tipo Digital)
FF	Fast NMOS, Fast PMOS (NMOS Rápido, PMOS Rápido)
FFF	Functional Fast NMOS, Fast PMOS (Funcional NMOS Rápido, PMOS Rápido)
FS	Fast NMOS, Slow PMOS (NMOS Rápido, PMOS Lento)
GaAs	Gallium Arsenide (Arseniuro de Galio)
GF	GlobalFoundries (Fundidora de semiconductores)
IC	Integrated Circuits (Circuitos Integrados)
IoT	Internet of Things (Internet de las Cosas)
LNA	Low Noise Amplifier (Amplificador de Bajo Ruido)
NMOS	Negative – Channel Metal – Oxide Semiconductor (Canal Negativo Metal – Óxido – Semiconductor)
NQS	Non – Quasi Static (No Cuasi Estático)
PA	Power Amplifier (Amplificador de Potencia)
PAA	Phased Array Antennas (Antenas Phased Array)
PAE	Power Added Efficiency (Eficiencia de Potencia Añadida)
PDK	Process Design Kit (Kit de Diseño de Proceso)
PMOS	Positive – Channel Metal – Oxide Semiconductor (Canal Positivo Metal – Óxido – Semiconductor)
PPF	Polyphase Filters (Filtros Polifásicos)
QAF	RLC Quadrature All-Pass Filters (Filtros de Paso Total en Cuadratura)
RF	Radio Frequency (Radio Frecuencia)
S/D	Source/Drain (Fuente/Drenador)
SF	Slow NMOS, Fast PMOS (NMOS Lento, PMOS Rápido)
SiGe	Silicon Germanium (Germanio de Silicio)
SLL	Side-Lobe Level (Nivel de Lóbulos Laterales)
SS	Slow NMOS, Slow PMOS (NMOS Lento, PMOS Lento)
SSF	Functional Slow NMOS, Slow PMOS (Funcional NMOS Lento, PMOS Lento)
STI	Shallow Trench Isolation (Aislamiento de Foso Superficial)
TFM	Trabajo de Fin de Máster
TT	Typical – Typical (Típico – Típico)
VCVS	Voltage Controlled Voltage Source (Fuente de Tensión Controlada por Tensión)
VGA	Variable Gain Amplifier (Amplificador de Ganancia Variable)
WLAN	Wireless Local Area Network (Red de Área Local Inalámbrica)



# Parte I. Memoria



# Capítulo 1. Introducción

En este capítulo se describe el estado en el que se encuentra el campo del diseño de desfasadores electrónicos en la actualidad, pues el desfasador programable objeto del presente trabajo se clasifica dentro de este área. Para ello, en primer lugar se realiza un análisis del estado actual y la funcionalidad de las antenas tipo *phased array* o *Phased Array Antennas* (PAA), puesto que estas serán la aplicación principal para la que se empleará el desfasador. Seguidamente, se realiza una breve introducción a la banda Ka para a continuación señalar los usos que se le da a esta, pues es la banda de operación del diseño que compete al presente trabajo. Finalmente, se lleva a cabo una descripción de la tecnología SiGe\_1K5PAx, que es la empleada para la realización del diseño.

## 1.1. Estado del Arte

### 1.1.1. Antenas de Tipo *Phased Array*

Actualmente, las antenas parabólicas predominan en el campo de las comunicaciones vía satélite, tanto para transmisión como para recepción. Sin embargo, este tipo de antenas presentan algunas limitaciones, como pueden ser su forma, peso y dimensiones, lo que dificulta su integración en instalaciones, tanto fijas como móviles. Parte de esta dificultad de integración se debe a que este tipo de antenas son poco aerodinámicas, lo que provoca que su implantación en vehículos sea complicada. Asimismo, la implementación de estos sistemas en vehículos en movimiento ostenta también cierto grado de dificultad a la hora de establecer y mantener la conexión con los satélites, dado que es necesario el uso de motores complejos y pesados que deben compensar el movimiento del vehículo para realizar un apuntamiento preciso.

Ahora bien, teniendo en cuenta esta problemática, surgen las antenas tipo *phased array*, como la que se puede observar en la Figura 1.1. Estas antenas planas se caracterizan por tener la capacidad de poder apuntar a los satélites de forma electrónica, pudiendo así mantener la comunicación con los satélites de manera constante y eliminando, por tanto, los problemas que se nos encontrábamos en las antenas parabólicas. Asimismo, este tipo de antenas tienen la ventaja de poder implementarse tanto en sistemas de comunicación fijos como móviles, del mismo modo que en sistemas en tiempo real. Se ha de tener en cuenta que, con la implantación de los sistemas de comunicaciones 5G, se requieren antenas de comunicaciones móviles que posean direccionamiento dinámico con el fin de obtener máxima eficiencia en la comunicación entre dispositivos. Las antenas tipo *phased array* también se pueden utilizar en radares de altas prestaciones debido a la capacidad que ostentan de apuntar electrónicamente a diferentes direcciones utilizando varios haces o *beams* [1].



Figura 1.1. Antena de tipo *phased array*.

Las antenas *phased array* emplean un gran número de desfasadores con el fin de controlar la dirección del haz electrónico. Por tanto, el coste, el tamaño y el método de integración de dichos desfasadores son factores significativos en el proceso de diseño [2]. Los desfasadores se utilizan ampliamente en aplicaciones de antenas tipo *phased array*, en las que se utiliza un campo de polarización externo para controlar la fase de inserción de manera analógica [3]. Sin embargo, los grandes campos de polarización, producidos por grandes imanes externos, aumentan considerablemente las dimensiones y el peso de estos *arrays*.

Como consecuencia, cuando se integra una antena tipo *phased array*, uno de los objetivos principales consiste en que el control de fase, ya sea digital o analógico, del desfasador diseñado permita la realización del escaneo del haz principal (*main beam*) sin requerir un circuito de control complejo o imanes voluminosos. Habitualmente, es necesario realizar múltiples simulaciones de gran complejidad para optimizar los distintos parámetros de la antena antes de fabricar el prototipo.

Con el rápido desarrollo de este tipo de antenas y las tecnologías de ondas milimétricas y de microondas, los desfasadores que pueden ajustarse *in-situ* y de forma dinámica son de gran interés [4]. Los desfasadores de ferrito [5] y los desfasadores de diodo PIN [6] son dos desfasadores típicos que pueden aplicarse en los campos mencionados. Sin embargo, están limitados por la capacidad de manejo de potencia del ferrito y del semiconductor respectivamente [7][8], y no pueden utilizarse directamente en aplicaciones de alta potencia. Por consiguiente, para implementaciones de este tipo se hace uso de los desfasadores electrónicos.

La implementación de los desfasadores electrónicos de radiofrecuencia (del inglés *Radio Frequency*, RF) se lleva a cabo mediante cambios de fase de frecuencia variable, velocidades de sintonización lenta y anchos de banda de operación limitados. Como alternativa, se encuentran los desfasadores fotónicos de RF, los cuales pueden manipular la fase de la señal introducida utilizando técnicas y dispositivos fotónicos, teniendo un gran potencial en aplicaciones de PAA para anchos de banda y rangos de sintonía de fase amplios. En comparación con los métodos electrónicos existentes, que tienen limitaciones inherentes en términos de ancho de banda y rango de cambio de fase, el desfasador fotónico de RF tiene ventajas tales como gran ancho de banda de operación, bajas pérdidas de transmisión, altas frecuencias, peso ligero, inmunidad a interferencias electromagnéticas, al igual que proporciona características tales como un amplio rango de cambio de fase y posibilidad de reconfiguración [9]. Sin embargo, debido al precio, tamaño y control que ostenta este tipo de desfasadores, en este trabajo se llevará a cabo la implementación de un desfasador electrónico.

### **1.1.2. Desfasadores Electrónicos**

El desfasador es un componente esencial para la implementación de sistemas de formación de haz en las antenas tipo *phased array*, puesto que permite ajustar la fase de cada elemento radiante de la antena y, de esa forma, dirigir el haz de la misma. En general, los desfasadores se pueden clasificar como analógicos o digitales, dependiendo de la manera de realizar el cambio de fase y el tipo de señal de control aplicada, que puede ser tanto analógica como digital. El desfasador también puede clasificarse como activo o pasivo, dependiendo de los componentes que se utilicen en su diseño y de la polarización del circuito. En general, los desfasadores digitales presentan unas pérdidas por inserción altas y un cambio de fase discontinuo [10]. Por el contrario, en los desfasadores activos analógicos, el cambio de fase diferencial varía de forma continua por el cambio de capacitancia de la puerta de los transistores [11]. Para superar los problemas derivados del pequeño cambio de fase que se produce en el desfasador analógico, se proponen los desfasadores híbridos. El desfasador híbrido está compuesto por un *Analog-Type Phase Shifter* (ATPS) y un *Digital-Type Phase Shifter* (DTPS) [12]. Sin embargo, en este trabajo se llevará a cabo la implementación de un desfasador digital.

Como se comentó anteriormente, el desfasador es un elemento clave en los sistemas de conformación de haz. Tradicionalmente, estos sistemas se han implementado utilizando líneas de transmisión conmutadas [13], líneas híbridas acopladas de 90° [14] y líneas periódicas cargadas [15]. Sin embargo, aunque estos enfoques distribuidos pueden lograr auténticos retardos de tiempo a lo largo de las secciones de línea, sus tamaños físicos los hacen poco prácticos para la generación del desfase para múltiples elementos radiantes en

un único circuito integrado o IC (del inglés *Integrated Circuit*), especialmente por debajo de las frecuencias de la banda Ka ( $\leq \sim 30$  GHz).

Las migraciones de las redes distribuidas previamente comentadas a configuraciones de elementos agrupados (*lumped-elements*), como líneas de transmisión sintéticas con varactores e inductores variables [16][17], acopladores híbridos agrupados con cargas de reflexión [18] o las topologías combinadas de filtros paso bajo agrupados y filtros paso alto [19] permiten reducir las dimensiones físicas de los desfasadores alcanzando un rendimiento razonable. Sin embargo, para alcanzar mayores niveles de precisión en la fase a lo largo del ancho de banda de operación, el tamaño de las redes pasivas agrupadas crece en exceso, principalmente como consecuencia de los diversos inductores utilizados *on-chip*, lo cual no es adecuado para sistemas integrados de antenas tipo *phased array*, donde la separación entre elementos radiantes (y, por consiguiente, entre los circuitos integrados) es un factor crítico.

Asimismo, en la mayoría de los casos, las relaciones entre la señal de control (voltaje o corriente) y la fase de salida de los desfasadores pasivos agrupados no es lineal, lo que hace que el diseño de los circuitos de control sea bastante complejo [20]. Los desfasadores pasivos por sí mismos pueden lograr una buena linealidad sin consumir corriente continua, pero sus grandes pérdidas de inserción requieren la integración de un amplificador para compensar dichas pérdidas. Este amplificador normalmente precisa de más de dos etapas de ganancia en el caso de altas frecuencias ( $> \sim 10$  GHz), lo cual no compensa la buena linealidad y baja disipación de potencia que presentan los desfasadores pasivos.

Como alternativa a los desfasadores pasivos se encuentran los desfasadores activos, en los que las fases diferenciales se pueden obtener mediante transistores en lugar de redes pasivas. De esta forma, se alcanzan altos niveles de integración con una ganancia y precisión aceptables, un control de fase digital fino y un consumo limitado de potencia. Si bien los desfasadores activos se pueden clasificar en varias categorías, como en desfasadores sin fin [21], programables [22], cartesianos [23] o rotadores de fase [24], el principio subyacente para todos los casos es la interpolación de las componentes en fase y cuadratura (I/Q) de la señal de entrada para sintetizar la fase requerida. Las diferentes ponderaciones de amplitud entre las entradas I y Q dan como resultado diferentes fases. Por tanto, los bloques básicos que componen un desfasador activo típico son una red de generación I/Q, un sumador analógico y circuitos de control que establecen las diferentes ponderaciones de amplitud de las entradas I y Q en el sumador analógico para obtener los desfases necesarios [25].

Actualmente, los desfasadores electrónicos que se usan para antenas de tipo *phased array* tienen una estructura de fase de suma vectorial (*vector sum*), pudiendo generar cambios

de fase de 360°. Para ello, constan de un generador de cuadratura conformado por filtros polifásicos RC y filtros de paso total en cuadratura, al igual que se tienen en cuenta los efectos de las capacidades de carga. Del mismo modo, constan de dos amplificadores basados en célula de Gilbert, en los que hay que tener en cuenta la corriente del *Digital/Analog Converter* (DAC), que actuará como espejo de corriente para la dicha red [26]. Es a través de esta variación de corriente en los amplificadores cómo se consigue la variación de la fase. Este circuito y su funcionamiento se explicará en detalle en el Capítulo 2.

## 1.2. Estudio de la Tecnología

*GlobalFoundries* (GF) es una *foundry* de origen americano, que inicialmente surgió como una escisión de la rama de fabricación de AMD en 2009 y se expandió con las adquisiciones de Chartered Semiconductor en 2010 y de IBM en 2015. Actualmente, está controlada por el Emirato de Abu Dhabi y cuenta con 11 *foundries* repartidas por todo el mundo. GF está especializada en la fabricación de circuitos en tecnologías CMOS y BiCMOS. En los últimos años, han ampliado su cartera de tecnologías de *Silicon Germanium* (SiGe), diseñadas para funcionar en aplicaciones celulares y Wi-Fi con rendimiento optimizado y potencia superior a las tecnologías CMOS, al igual que en dispositivos y hardware móviles cada vez más sofisticados.

Los procesos 5PAx y 1K5PAx de GF son las últimas adiciones a la familia de tecnologías de SiGe de GF, compuesta también por 5PAe y 1KW5PAe. Los cuatro procesos componen una familia que proporciona un rendimiento significativo, facilidad de integración y precio asumible para los clientes que actualmente utilizan alternativas basadas en *Gallium Arsenide* (GaAs). Hoy en día, hay más de tres mil millones de amplificadores de potencia SiGe fabricados en todo el mundo con esta familia de tecnologías, y GF ha invertido recientemente en capacidad de fabricación adicional para abordar el crecimiento previsto en el sector móvil. Las ofertas más recientes, 5PAx y 1K5PAx, están optimizadas para satisfacer las rigurosas demandas de los estándares móviles en evolución como 802.11ac, que exige un rendimiento de datos tres veces más rápido que la generación anterior de estándares. Estos procesos permiten implementar amplificadores de potencia (del inglés *Power Amplifiers*, PA), amplificadores de bajo ruido (del inglés *Low Noise Amplifiers*, LNA) y circuitos de conmutación optimizados para eficiencia energética, figura de ruido y pérdidas de inserción mejoradas, lo que permite implementar soluciones Wi-Fi y celulares de próxima generación más eficientes en consumo de potencia y que permiten un acceso más rápido a los datos y conexiones ininterrumpidas [27].

El diseño del desfasador electrónico objeto del presente Trabajo Fin de Máster se realizó utilizando el proceso 1k5PAx SiGe de GF. El proceso SiGe 1k5PAx, al igual que su predecesor 1KW5PAe, está construido sobre un sustrato de alta resistividad y está optimizado

para maximizar la integración y el rendimiento de los circuitos. Este proceso cuenta con *switches* de RF con un *Ron-Coff* aproximadamente un 15% superiores a los de 1KW5PAe. Al igual que con este proceso, el proceso 1k5PAx presenta un factor forma (del inglés *form-factor*) reducido que permite la implementación de múltiples circuitos, como amplificadores de potencia, *switches* de RF y LNAs, en un solo chip.

El proceso cuenta con seis capas de metal para implementar interconexiones, resistencias de película metálica y condensadores MIM. Las líneas de transmisión *microstrip* pueden realizarse utilizando la capa superior, mientras que una de las capas metálicas inferiores se puede utilizar para la implementación del plano de tierra. En la Figura 1.2 se muestra el corte de la tecnología, con sus distintas capas. Como se puede observar, el sustrato de Silicio de alta resistividad es bastante grueso (300µm). A continuación, en el Anexo I, se procederá al análisis de los modelos de los componentes del kit de diseño, a fin de tener un buen manejo de los mismos de cara al diseño del circuito objeto del presente TFM.



Figura 1.2. Corte de la tecnología.

### 1.3. Objetivo del Trabajo de Fin de Máster

En el presente trabajo se realiza el diseño de un desfasador activo programable de 8 bits para aplicaciones de antenas tipo *phased array* de banda Ka (27 – 40 GHz). Concretamente, este circuito está diseñado para operar en la banda de frecuencia que va desde 27.5 a 30 GHz, rango utilizado habitualmente en los *gateways* de los sistemas terrenos para transmisiones a constelaciones de mini-satélites de baja órbita (OneWeb [28], Telesat [29], Starlink de SpaceX [30], Proyecto Kuiper de Amazon [31]) [32]. El circuito será implementado con la tecnología SiGe\_1K5PAx de Global Foundries.

Los requisitos que debe cumplir el desfasador a diseñar se recogen en la Tabla 1. Como ya se había comentado anteriormente, el rango de frecuencia de operación va desde los 27.5 a los 30 GHz. Asimismo, se pretende que el desfasador a diseñar permita tener un control de fase de 0 a 360° en pasos de 5.625°. Para ello, teóricamente serían necesarios 6 bits de control, puesto que  $360^\circ/2^6$  pasos = 5.625°/paso. Sin embargo, sería ideal si se pudiera hacer el paso más fino, para lo que sería necesario añadir uno o dos bits de control adicionales, pudiendo así tener un paso de 2.8125° ( $360^\circ/2^7$  pasos) o 1.40625° ( $360^\circ/2^8$  pasos). Además, se espera que el desfase entre los extremos de la banda de trabajo sea inferior a 3°, para poder tener una respuesta en fase lo más lineal posible. Al igual que con la fase, se espera que la respuesta en ganancia a través de la banda tenga una variación inferior a 1 dB. Finalmente, se desea que el desfasador opere correctamente en un rango de temperaturas comercial (de -40 a 85°C), que su aislamiento en la salida sea de 24 dB y que la adaptación en la entrada y la salida del circuito sea inferior a -12 dB.

Tabla 1. Especificaciones del desfasador a implementar.

Parámetro	Mín.	Tip.	Máx.	Unidades
Rango de frecuencia	27.5	--	30	GHz
Rango de fase	0	--	360	°
Precisión/Paso de control de fase	1.40625	--	5.625	°
Error de fase en toda la banda de frecuencia	--	--	5	°
Planitud de amplitud para cambio de fase	--	--	1	dB
Planitud de ganancia @ Banda entera	--	--	2	dB
Pérdidas de retorno Entrada/Salida	--	--	-12	dB
Aislamiento del puerto de salida	24	--	--	dB
Rango de temperatura	-40	--	85	°C

En los siguientes capítulos se irán analizando los distintos requisitos y se abordará el diseño con el objetivo de cumplir con las especificaciones que se han fijado.

## 1.4. Estructura de la Memoria

En primer lugar, en la Parte I del presente documento se recoge y organiza toda la información referente a la memoria en cuatro capítulos. En el presente capítulo se ha realizado un análisis del estado del arte tanto de las antenas de tipo *phased array* como de los desfasadores electrónicos, al igual que se estudia la tecnología SiGe 1k5PAX. Del mismo modo, se comenta el objetivo del Trabajo de Fin de Máster (TFM) y se desglosa la estructura de este documento. En el Capítulo 2 se describe en detalle la arquitectura utilizada para el correcto funcionamiento del desfasador. Los detalles de la implementación, circuitos específicos a nivel esquemático y resultados experimentales se describen en el Capítulo 3. Para el diseño de los circuitos necesarios se han utilizado dos programas de diseño de circuitos integrados, como son *Virtuoso* de la compañía *Cadence* y *Advanced Design System* (ADS), de *Keysight*. Las conclusiones obtenidas del desarrollo del presente TFM se exponen en el Capítulo 4.

En la Parte II se muestra la Bibliografía consultada para la elaboración del TFM. En la Parte III se analiza el Presupuesto y para ello se realiza el cálculo del coste de la elaboración del TFM. Finalmente, en el Anexo I se analizan los modelos de los componentes del kit de diseño, a fin de tener un buen manejo de los mismos de cara al diseño del circuito objeto del presente TFM.

## Capítulo 2. Estudio Teórico del Desfasador Programable

En este capítulo se estudian los tipos de desfasadores electrónicos existentes, con el objetivo de seleccionar el más apropiado para el diseño. Para ello, se tiene en cuenta el efecto de cuantificación de fase presente en estos. Del mismo modo, se explica la teoría de operación del desfasador de suma vectorial y la generación de los cambios de fase de 360°.

Por otra parte, se presenta el estudio a nivel teórico del desfasador programable, comenzando con los tipos de filtros que se pueden implementar para el diseño del generador de cuadratura, al igual que el efecto que ejerce la capacidad de carga en el mismo. A continuación, se aborda el diseño de la red de amplificadores y combinadores encargada de generar los distintos desfases de la señal. Finalmente, se comenta el diseño del DAC de corriente necesario para garantizar el correcto funcionamiento del desfasador.

### 2.1. Desfasadores Digitales y Continuos

Tal y como se comentó de forma resumida en el Capítulo 1, los desfasadores programables se suelen clasificar atendiendo a la señal de control empleada en dos grandes grupos: continuos o digitales.

Los desfasadores continuos [33][34][35] se pueden configurar para proporcionar un desplazamiento de fase continuo, utilizando una señal de control de entrada analógica (como una tensión continua). Este tipo de circuitos son capaces de realizar cambios de fase y patrones de dirección de haz con precisión infinita. Por lo tanto, el patrón de *array* no presenta los efectos de errores de cuantificación de fase. Sin embargo, algunos desfasadores analógicos muestran respuestas no lineales a la tensión de control, lo que dificulta su implementación en un bucle de control. Además, algunas implementaciones requieren un amplio rango de tensión de control (> 20 V), lo cual no es deseable para aplicaciones que requieren una alta densidad de integración y bajo voltaje [35].

Por otra parte, los desfasadores digitales son capaces de proporcionar valores de desplazamiento de fase cuantificados a partir de una entrada digital [36][37][25]. Un desfasador digital de Nb-bits tiene estados de fase de  $2^{Nb}$  con un paso de fase progresivo igual al que recoge la ecuación 2.1:

$$\Delta\phi_s = \frac{2\pi}{2^{Nb}} \quad (2.1)$$

Los desfasadores digitales están diseñados para proporcionar valores de desplazamiento de fase fijos con una incertidumbre menor a  $\frac{1}{2}\Delta\phi_s$ . A diferencia de los desfasadores continuos, no están sujetos a errores de fase debido a la no-linealidad entre el desplazamiento de fase y la señal de control. Además, su integración en sistemas integrados de señal mixta es más sencilla y, en muchos casos, pueden funcionar en aplicaciones de muy bajo voltaje. El efecto adverso de las implementaciones de desfasadores digitales es que conducen a errores de cuantificación en la fase progresiva. En la siguiente sección se realizará una explicación de este fenómeno.

### 2.1.1. Efecto de Cuantificación de Fase

Si se considera un array lineal de  $N$  elementos con un desplazamiento de fase progresivo  $\Delta\phi$  entre los elementos radiantes de dicho array, el cambio de fase genera un haz principal que apunta en la dirección  $u_0 = \sin(\theta_0)$ . Idealmente, el patrón de campo largo normalizado del array se puede expresar como se recoge en la ecuación 2.2.

$$F(u) = \frac{1}{N} \sum_{n=-\frac{N-1}{2}}^{\frac{N-1}{2}} e^{jn\left(\frac{2\pi}{\lambda}du_0 - \Delta\phi\right)} \quad (2.2)$$

Supongamos en el transmisor se implementan desfasadores digitales con pasos de fase  $\Delta\phi_s$ . Si el cambio de fase progresivo requerido es igual al paso de fase del desfasador (es decir,  $\Delta\phi = \Delta\phi_s$ ), entonces el patrón de campo será el mismo que el que se muestra en la ecuación 2.2. En el caso en el que  $\Delta\phi \leq \Delta\phi_s$ , el cambio de fase real aplicado a cada elemento se redondeará al estado de fase más cercano. Mailloux [38] demostró que el resultado es un patrón de campo equivalente generado por  $m$  sub-arrays con  $M$  elementos cada uno, donde  $N = m \cdot M$ . Estos sub-arrays no deseados son grupos de elementos que tienen una progresión de fase igual al desfasador cuantificada ( $\Delta\phi_s$ ) y están espaciados una distancia  $M \times d$ . Como es probable que en la distancia  $M \times d$  hayan contenidas varias longitudes de onda, los sub-arrays generarán un número de lóbulos de cuantificación en una dirección,  $\theta_q$ , establecido por la ecuación 2.3.

$$\theta_q = \sin^{-1}\left(\frac{\Delta\phi_s}{kMd}\right) \quad (2.3)$$

El nivel del lóbulo de cuantificación es la diferencia entre la ganancia en el pico del lóbulo de cuantificación y el haz principal. El patrón general de la antena se puede representar como el producto del patrón de ganancia debido a los  $M$  elementos en el sub-array ( $F_{sa}$ ), y el factor de array de los  $m$  sub-arrays ( $AF_{sa}$ ) que crean estos lóbulos de cuantificación.

Para ilustrar este hecho, consideraremos un desfaseador de 3 bits que puede proporcionar desplazamientos de fase progresivos con pasos de fase de  $45^\circ$ . Suponiendo que este desfaseador se utiliza en una aplicación que requiera una fase progresiva de  $15^\circ$ , como se muestra en la Figura 2.1, se formarán sub-arrays de tamaño  $M = 3$  debido a la cuantificación. El efecto sobre el patrón de intensidad para un array lineal que consta de  $N = 30$  elementos se muestra en la Figura 2.2. Los principales lóbulos de cuantificación generados a partir del segundo término de la ecuación 2.4 están en  $U = -0.5, 0.85$ . Si se usa el sistema descrito como transmisor, se violarán los requisitos de nivel de potencia de lóbulos laterales y, si se usa como receptor, introducirá ruido e interferencias dentro del canal.

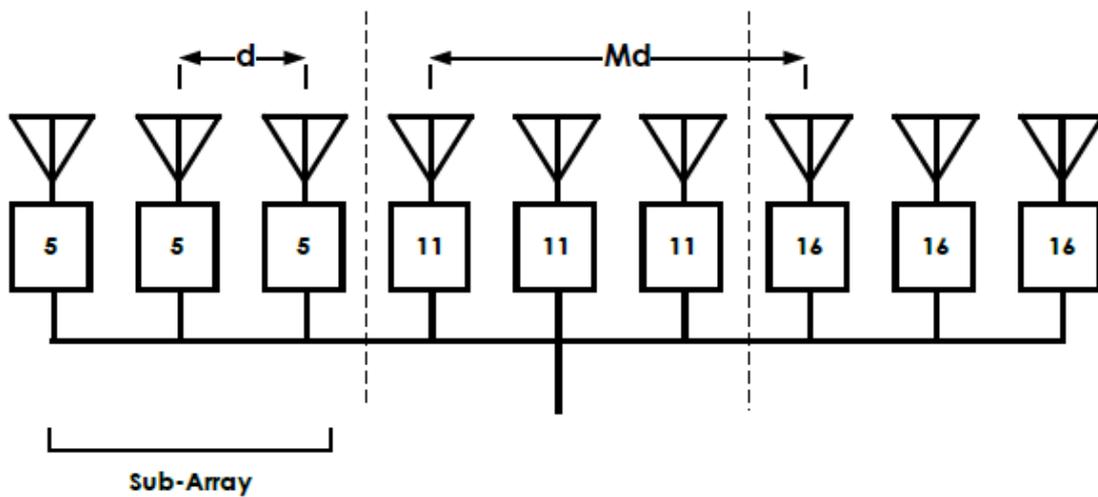


Figura 2.1. Progresión de fase cuantificada de 3 bits.

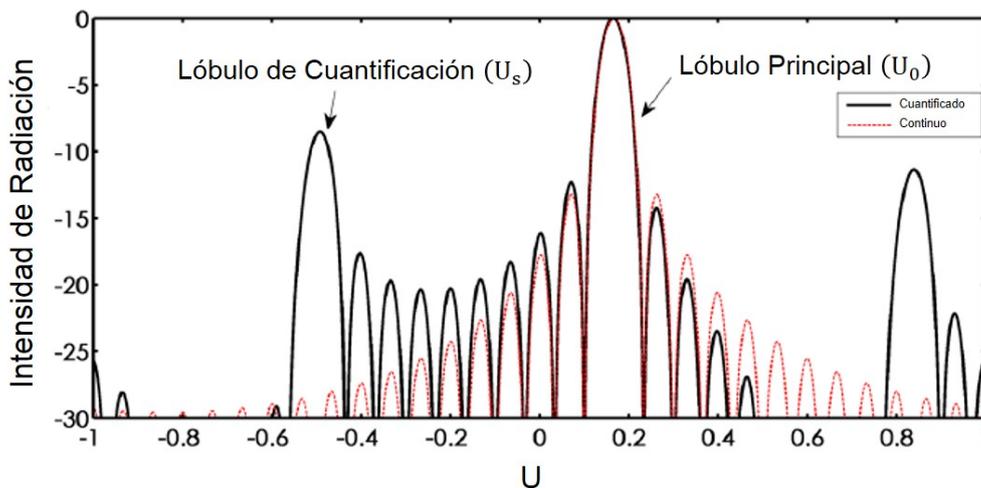


Figura 2.2. Patrón de intensidad del haz en el espacio  $u$ .

$$F(u) = AF_{sa}(Z) F_{sa}(z)$$

(2.4)

$$F(u) = \left\{ \frac{1}{m} \sum_{p=\frac{m-1}{2}}^{\frac{m-1}{2}} e^{jp\left(\frac{2\pi}{\lambda} Mdu_0 - \Delta\phi\right)} \right\} \left\{ \frac{1}{M} \sum_{p=\frac{M-1}{2}}^{\frac{M-1}{2}} e^{jp\left(\frac{2\pi}{\lambda} du_0 - \Delta\phi_s\right)} \right\}$$

El fallo presente en el ejemplo que se ha descrito consiste en que hay un nivel del lóbulo de cuantificación en el peor caso, ya que los sub-arrays generados a partir del error de cuantificación están correlados. Esto ocurre cuando el cambio de fase deseado es un múltiplo entero del paso de fase del desfasador.

Entonces, en el peor de los casos, los sub-arrays se forman a partir de  $M = \frac{\Delta\phi_s}{\Delta\phi_0}$  elementos uniformes separados a una distancia  $d$ , de forma que los sub-arrays están separados una distancia  $Md$ . El trabajo realizado inicialmente por Miller [39] y luego por Mailloux [38] utilizó este supuesto para obtener la expresión del nivel del lóbulo de cuantificación que se muestra la ecuación 2.5.

$$QL(\text{dB}) = -20 \log \left[ \frac{1}{M \sin\left(\left(p + \frac{1}{2N_b}\right) \frac{\pi}{M}\right)} \right] + 9.94 - 6.02N_b \quad (2.5)$$

En esta expresión,  $N_b$  es el número de bits del desplazador de fase digital y  $p = \pm 1, \pm 2, \dots$  es el índice de los lóbulos de cuantificación en la región visible del patrón de radiación. El lóbulo apuntará en la dirección correspondiente a la fase  $\Delta\phi_s$  en el espacio  $u$  de la manera que se recoge en la ecuación 2.6:

$$u_{QL} = \sin(\theta_{QL}) = \frac{\lambda}{2\pi d} \Delta\phi_s \quad (2.6)$$

La Figura 2.3 muestra que los lóbulos de cuantificación pueden ser tan altos como -4 dB para valores pequeños de  $M$ . Por lo tanto, para los sistemas de comunicación satélite, es importante contar con algoritmos de formación de haz que puedan maximizar el número de *sub-arrays* aplicando valores de desplazamiento de fase no correlacionados a los elementos. Para valores grandes de  $M$ , el límite superior para el nivel del lóbulo de cuantificación se estima tal como muestra la ecuación 2.7.

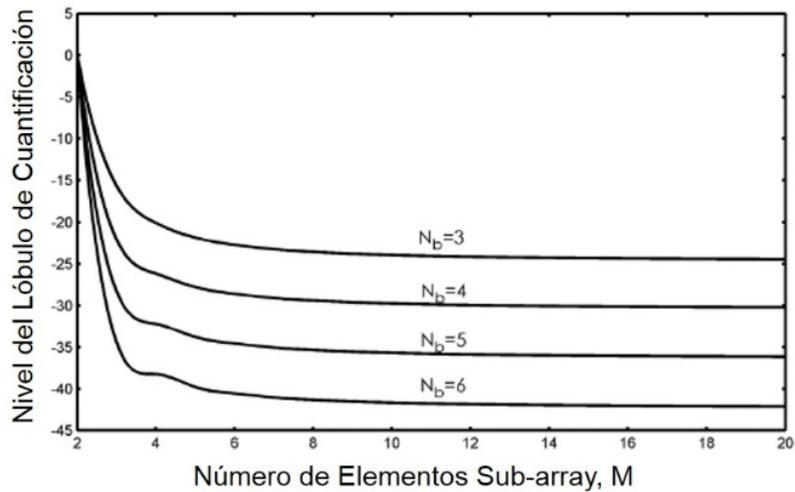


Figura 2.3. Nivel del Lóbulo de Cuantificación.

$$QL(\text{dB}) < -20 \log M + 9.94 - 6.02N_b \quad (2.7)$$

Teniendo en cuenta los valores mostrados en la Figura 2.3, el número de bits para el desfasador se puede elegir según los requisitos del transceptor. Para cumplir con un *Side-Lobe Level* (SLL) o nivel de lóbulos laterales  $> 30$  dB, se requiere un desfasador de 5 bits o superior.

## 2.2. Desfasador Activo de Suma Vectorial

### 2.2.1. Teoría de Operación

Los desfasadores de suma vectorial o también llamados moduladores vectoriales (del inglés, *vector modulator*) son una implementación popular de los desfasadores digitales en circuitos integrados [40][41][42]. Un desfasador de suma vectorial crea una variación de fase combinando una versión en fase y otra en cuadratura de una misma señal con pesos variables. En la Figura 2.4 se muestra el diagrama de bloques de un desfasador de suma vectorial. Cabe señalar que el requisito principal para que este circuito opere correctamente consiste en que  $V_{iQ}$  esté desfasado  $90^\circ$  con respecto a  $V_{iI}$ . Por tanto, la diferencia de fase de la señal de salida con respecto a la de entrada ( $\theta_0$ ) puede ser arbitraria.

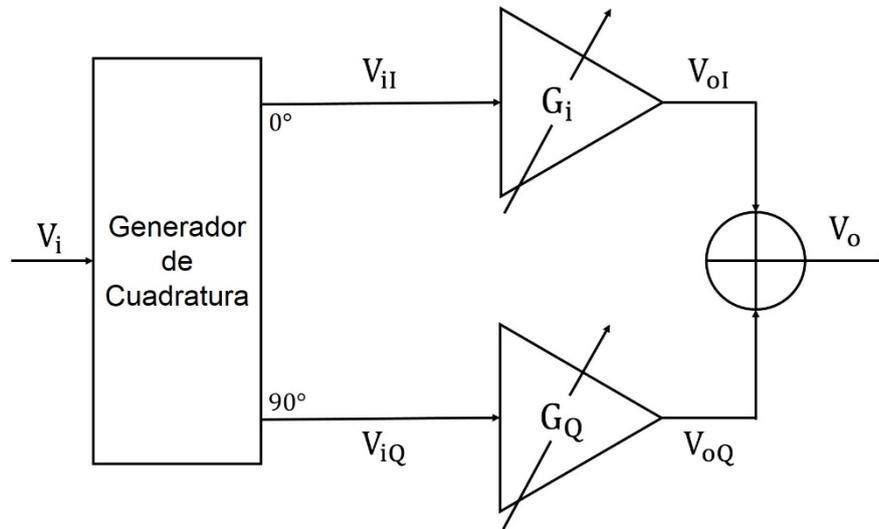


Figura 2.4. Diagrama de bloques de un desfaseador de suma vectorial.

La magnitud de la salida es la suma vectorial de los componentes en fase y en cuadratura, tal y como se observa en la ecuación 2.8.

$$|V_o| = \sqrt{\left(\frac{1}{\sqrt{2}}G_I e^{j\theta_0}\right)^2 + \left(\frac{1}{\sqrt{2}}G_Q e^{j\theta_0}\right)^2} |V_i| \quad (2.8)$$

$$|V_o| = \frac{1}{\sqrt{2}} \left[ \sqrt{G_I^2 + G_Q^2} \right] |V_i|$$

La expresión que describe la fase de la señal de salida se presenta en la ecuación 2.9.

$$\angle V_o = \tan^{-1}\left(\frac{\frac{1}{\sqrt{2}}G_Q}{\frac{1}{\sqrt{2}}G_I}\right) + \theta_0 + \angle V_i = \tan^{-1}\left(\frac{G_Q}{G_I}\right) + \theta_0 + \angle V_i \quad (2.9)$$

A partir de la ecuación 2.9 es posible extraer la conclusión de que la fase relativa de la salida se puede controlar variando las ganancias  $G_I$  y  $G_Q$ , tal y como se muestra en la ecuación 2.10:

$$\phi = \tan^{-1}\left(\frac{G_Q}{G_I}\right) \quad (2.10)$$

Sin embargo, en la ecuación 2.8 se observa que existe una dependencia de ganancia relativa entre  $G_I$  y  $G_Q$ . Para obtener una ganancia constante en la salida del circuito, la elección de  $G_I$  y  $G_Q$  debe restringirse de modo que la suma vectorial de sus valores no exceda un círculo unitario.

## 2.2.2. Generación de Cambios de Fase de 360°

La arquitectura explicada hasta ahora solo es capaz de llevar a cabo un cambio de fase de 90°. Para atravesar todo el círculo unitario, se realiza una modificación simple agregando dos amplificadores más que operan en contrafase. En la Figura 2.5.a se puede observar la inclusión de los amplificadores de ganancia negativa para seleccionar el cuadrante en el círculo unitario en el que se opera. El análisis de ganancia y error de fase para el generador de cuadratura sigue siendo el mismo que se comentaba en el apartado anterior.

Para minimizar los errores de ganancia/fase entre cuadrantes, es conveniente implementar todos los amplificadores utilizando la misma arquitectura. En trabajos anteriores, se han empleado diferentes configuraciones para implementar los amplificadores de ganancia negativa [43]. Sin embargo, en la implementación diferencial que se muestra en la Figura 2.5.b se usa el mismo amplificador, pero la polaridad de sus entradas se invierte, por lo que se ha elegido esta última configuración.

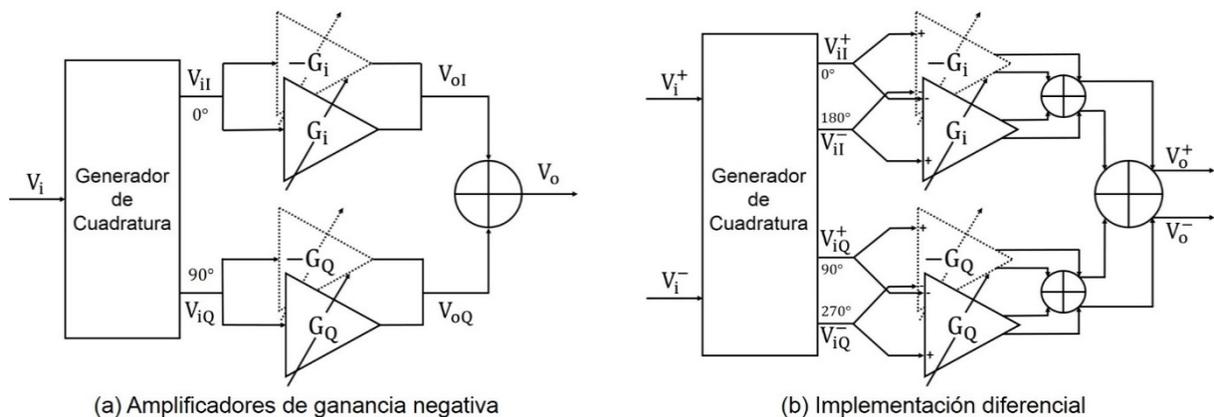


Figura 2.5. Implementación de un desfasador de suma vectorial 360°.

En las distintas subsecciones que se encuentran a continuación se procede a la explicación en mayor detalle de los distintos circuitos que componen el desfasador de suma vectorial.

## 2.3. Generador de Cuadratura

El generador de cuadratura es el circuito encargado de la generación de dos pares de salidas diferenciales en fase y cuadratura a partir de una entrada diferencial. Dos implementaciones típicas de los generadores de cuadratura son los filtros polifásicos RC o *RC Polyphase Filters* (PPF) y los filtros de paso total en cuadratura RLC o *RLC Quadrature All-Pass Filters* (QAF). A continuación, se procederá a la explicación de cada uno.

### 2.3.1. Filtros Polifásicos RC

Este tipo de filtro polifásico se usa ampliamente en arquitecturas de recepción de rechazo de imagen [44] y se construye a partir de redes RC-CR que generan dos voltajes con fases de  $45^\circ$  y  $-45^\circ$  a una frecuencia central, de forma que el desfase total entre salidas es de  $90^\circ$ . La frecuencia de corte de este tipo de circuito se recoge en la ecuación 2.11. Como se puede observar, es la misma que un circuito RC genérico.

$$\omega_c = \frac{1}{RC} \quad (2.11)$$

En la Figura 2.6 se observa el esquema de un filtro polifásico de primer orden diseñado con componentes ideales ( $C = 77.96$  fF y  $R = 71 \Omega$ ) y simulado en el software ADS para una frecuencia central de  $28.75$  GHz ( $f_c = 28.75$  GHz). En este caso, para generar la señal de entrada diferencial, se utiliza un balun ideal. Debido al tamaño excesivo que puede presentar un circuito de estas características y la complejidad de las simulaciones electromagnéticas necesarias para su diseño, se estima que este componente será externo y no es objeto del presente trabajo.

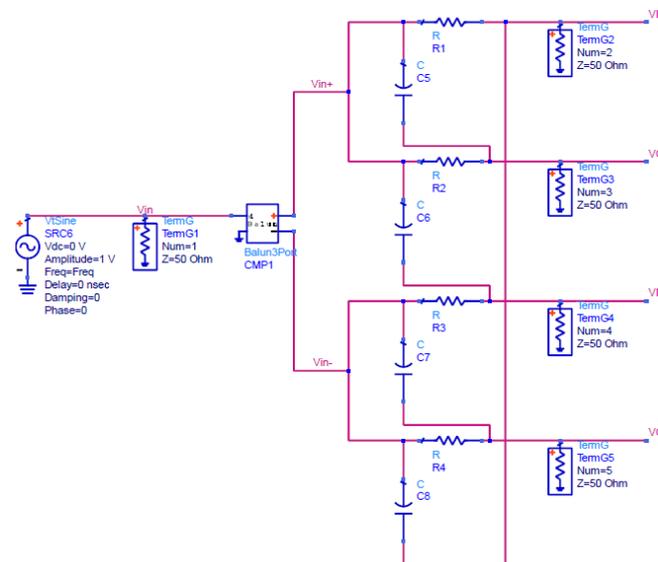


Figura 2.6. Filtro polifásico de primer orden ideal.

En la Figura 2.6 se visualiza la respuesta transitoria del filtro polifásico de primer orden ideal que se muestra. Este se ha diseñado con los componentes de la tecnología citados anteriormente y cuyos valores se han hallado en el apartado anterior ( $C = 77.96$  fF y  $R = 71 \Omega$ ). El filtro se ha simulado en el software ADS para  $f_c = 28.75$  GHz. Como se puede observar en la Figura 2.7, se mantiene el desfase de  $180^\circ$  entre los terminales  $2(V_{I+})-4(V_{I-})$  y  $3(V_{Q+})-5(V_{Q-})$ , aspecto fundamental para corroborar el correcto funcionamiento del filtro polifásico de primer orden.

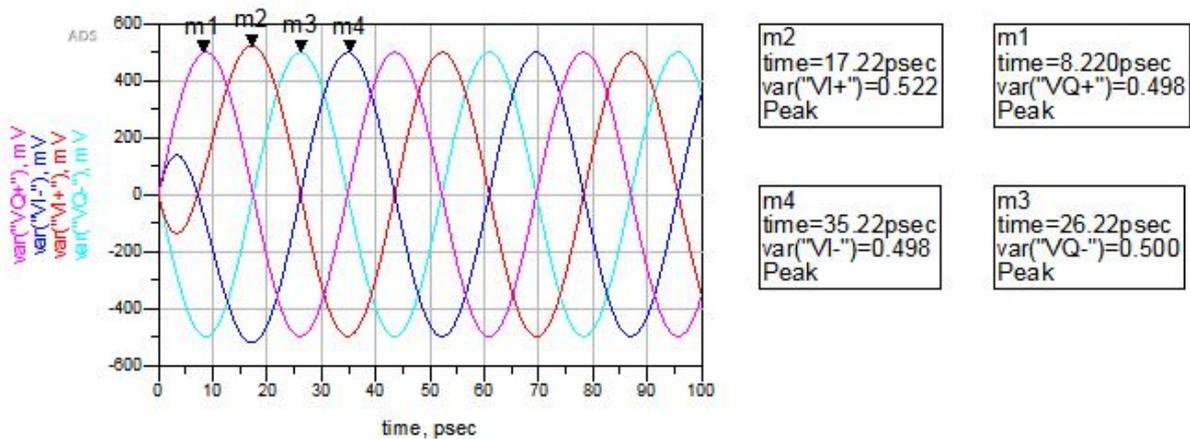


Figura 2.7. Desfase de los terminales del filtro polifásico de primer orden ideal.

Aparte de la simulación transitoria, también se realizó una simulación de parámetros S del circuito diseñado. En la Figura 2.8 se aprecia la adaptación de entrada del filtro (-7.655 dB). En la Figura 2.9 se muestra como las pérdidas por inserción de este a la frecuencia central de la banda son de -10.666 dB.

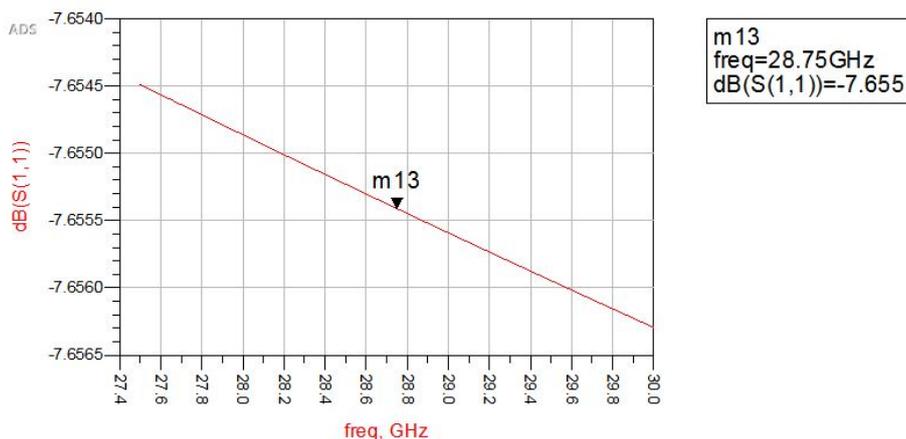


Figura 2.8. Adaptación de entrada del filtro polifásico de primer orden ideal.

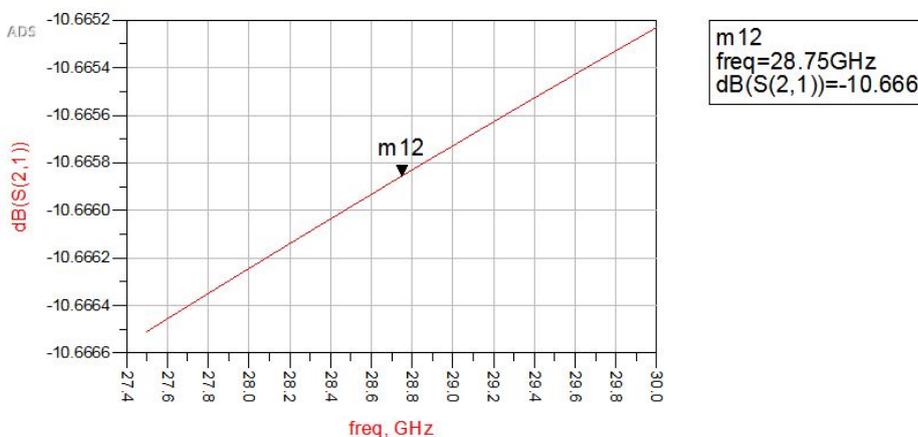


Figura 2.9. Pérdidas por inserción del filtro polifásico de primer orden ideal.

Por otra parte, hemos de tener en cuenta la ganancia en tensión del filtro polifásico de primer orden ideal. Este parámetro lo hemos calculado, en primer lugar, representando la

señal de entrada  $V_{in}$ , al igual que una de las salidas, por ejemplo,  $V_{I+}$ . En la Figura 2.10 se muestran las curvas señales. Seguidamente, hallamos los puntos máximos de ambas señales y los introducimos en la ecuación 2.12, obteniendo la ganancia en tensión del filtro.

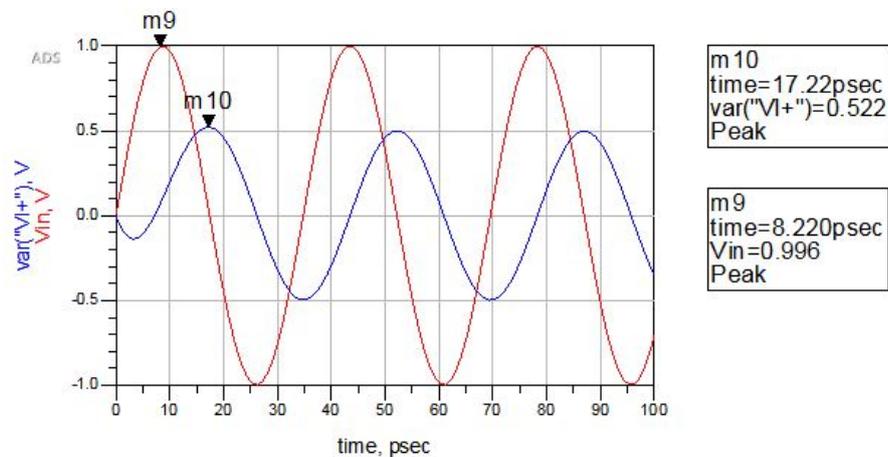


Figura 2.10. Representación de  $V_{in}$  y  $V_{I+}$  del filtro polifásico de primer orden ideal.

$$\text{Ganancia en tensión} = 20 \cdot \log\left(\frac{m_{10}}{m_9}\right) = 20 \cdot \log\left(\frac{0.522}{0.996}\right) = -5.611 \text{ dB} \quad (2.12)$$

Es posible llevar a cabo la implementación de filtros polifásicos de orden superior mediante la conexión en cascada de redes de primer orden. El filtro polifásico de segundo orden que se presenta en la Figura 2.11 se diseña con componentes ideales y se simula también en el software ADS para  $f_c = 28.75 \text{ GHz}$ .

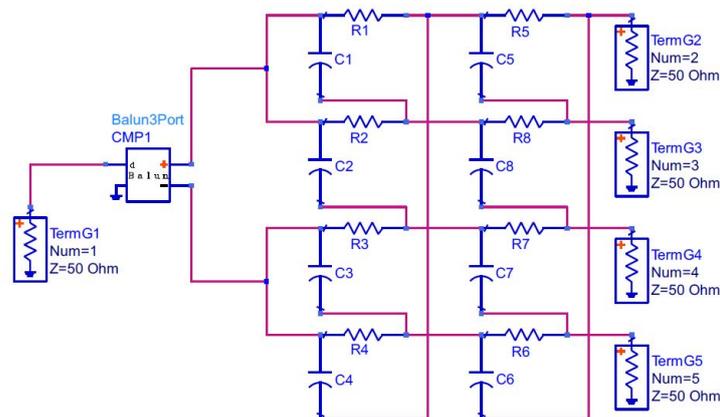


Figura 2.11. Filtro polifásico de segundo orden.

Las pérdidas de inserción en función de la frecuencia de operación se muestran en la Figura 2.12, al igual que en la Figura 2.13 se puede apreciar que se sigue manteniendo el desfase de  $180^\circ$  entre los terminales 2–4 y 3–5, el cual verifica el funcionamiento óptimo del filtro polifásico de segundo orden.

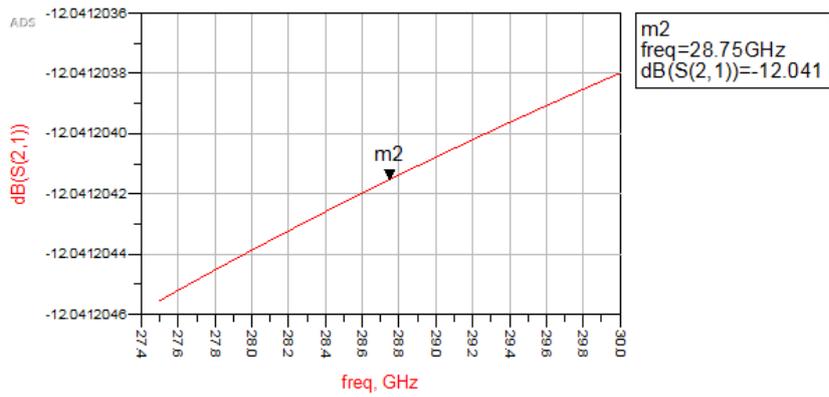


Figura 2.12. Pérdidas de inserción del filtro polifásico de segundo orden.

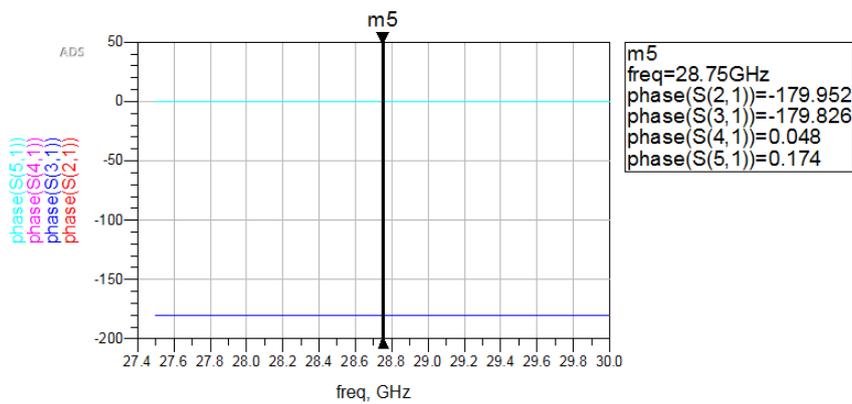


Figura 2.13. Desfase de los terminales del filtro polifásico de segundo orden.

El inconveniente de usar filtros polifásicos de orden superior es la pérdida de inserción que viene asociada a las resistencias en cascada. El PPF de segundo orden agrega una pérdida adicional de casi 2 dB en comparación con el de primer orden. La compensación de esta pérdida en etapas posteriores puede conllevar un aumento en el consumo de potencia total del sistema, así como un incremento en el área total del diseño, al ser necesaria una o varias etapas de amplificación.

### 2.3.2. Filtros de Paso Total en Cuadratura

Una alternativa al filtro polifásico es el filtro de paso total en cuadratura o *Quadrature All-pass Filter* (QAF) [40]. El esquema del QAF se muestra en la Figura 2.14.a y se redibuja en la Figura 2.14.b para mostrar la red diferencial I y Q. Para analizar este filtro, consideraremos las versiones de terminación única que se muestran en la Figura 2.15.a y Figura 2.15.b.

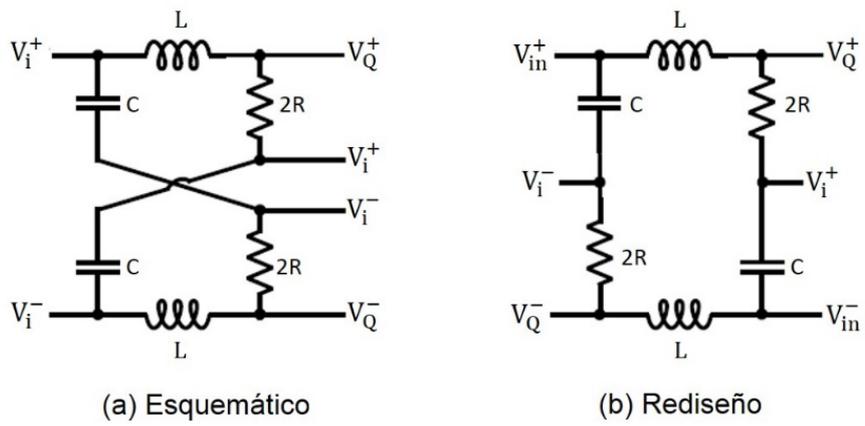


Figura 2.14. Filtro de paso total en cuadratura.

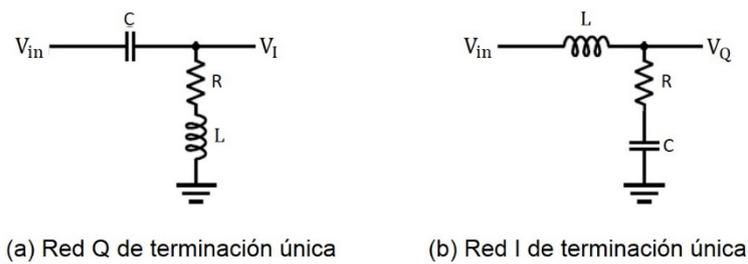


Figura 2.15. Redes I y Q de terminación única.

La combinación de las redes de terminación única en una red diferencial se muestra en la Figura 2.16. Sin embargo, si  $L$  y  $C$  se eligen tal como dispone la ecuación 2.13, entonces las impedancias de la bobina y el condensador son iguales en  $\omega_c$ , es decir,  $X_C = -X_L$ . Siguiendo esta lógica,  $L$  y  $C$  son redundantes y se pueden eliminar del esquemático mostrado en la Figura 2.16 para formar el esquema reducido mostrado en la Figura 2.17.

$$R = \sqrt{\frac{L}{C}} \quad (2.13)$$

$$\omega_c = \frac{1}{\sqrt{LC}}$$

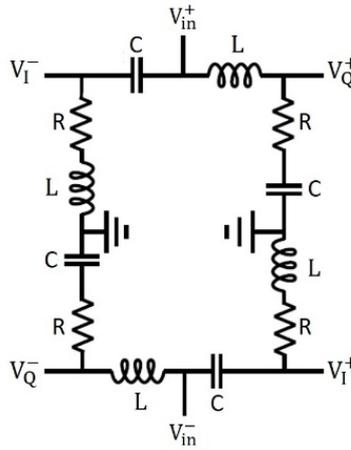


Figura 2.16. Red diferencial en cuadratura.

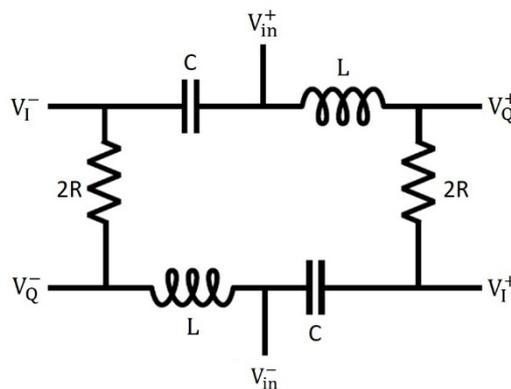


Figura 2.17. Red en cuadratura reducida.

En base a este planteamiento, se ha implementado el filtro de paso total en cuadratura que se muestra en la Figura 2.18. Este circuito se ha diseñado con componentes ideales, cuyos valores se han calculado utilizando la ecuación 2.11 ( $L = 276.79 \text{ pF}$ ,  $C = 110.7 \text{ fF}$ ,  $R/2 = 50 \Omega$ ), y se ha simulado en el software ADS para  $f_c = 28.75 \text{ GHz}$ .

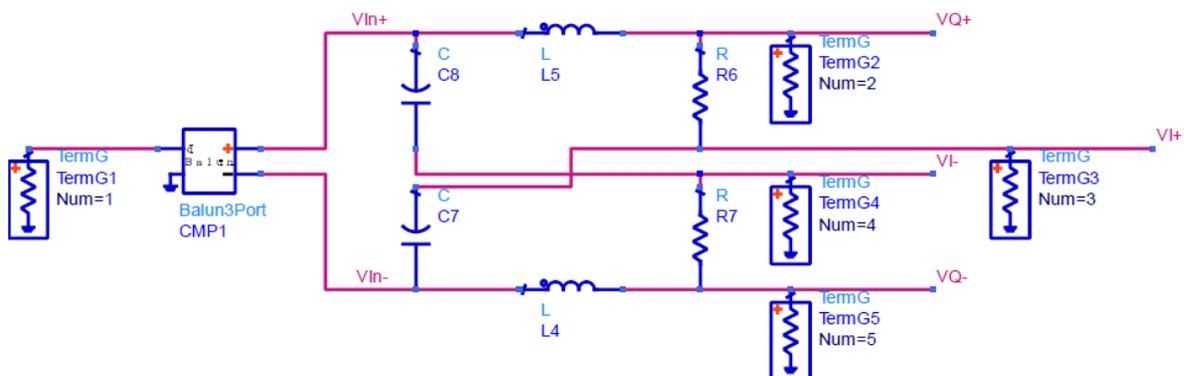


Figura 2.18. Filtro de paso total en cuadratura ideal.

Como se puede observar en la Figura 2.19, este filtro presenta unas pérdidas de inserción en función de la frecuencia de operación de  $-6.989 \text{ dB}$ . Esto supone una mejora de casi  $6 \text{ dB}$  en cuanto a las pérdidas por inserción del filtro polifásico de segundo orden. Del

mismo modo, en la Figura 2.20 se aprecia cómo se sigue manteniendo el desfase de  $180^\circ$  entre los terminales 2 ( $V_{Q+}$ )–5 ( $V_{Q-}$ ) y 3 ( $V_{I+}$ )–4 ( $V_{I-}$ ), aspecto fundamental para corroborar el correcto funcionamiento del filtro de paso total en cuadratura. El inconveniente está en el error de ganancia en cuadratura (la diferencia existente entre  $V_I$  y  $V_Q$ ), el cual no estaba presente en el caso del filtro polifásico [26].

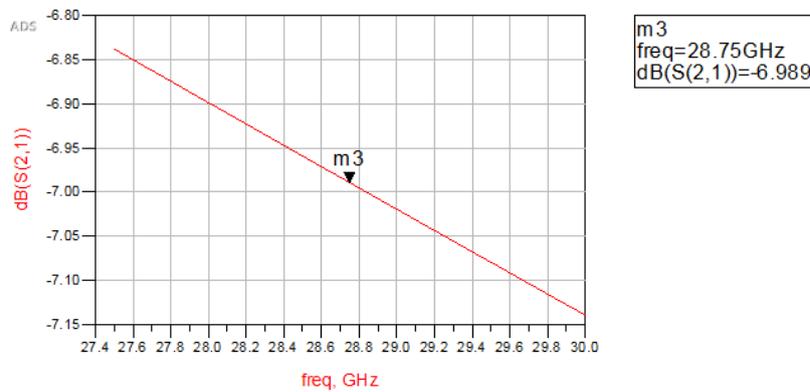


Figura 2.19. Pérdidas por inserción del filtro de paso total en cuadratura ideal.

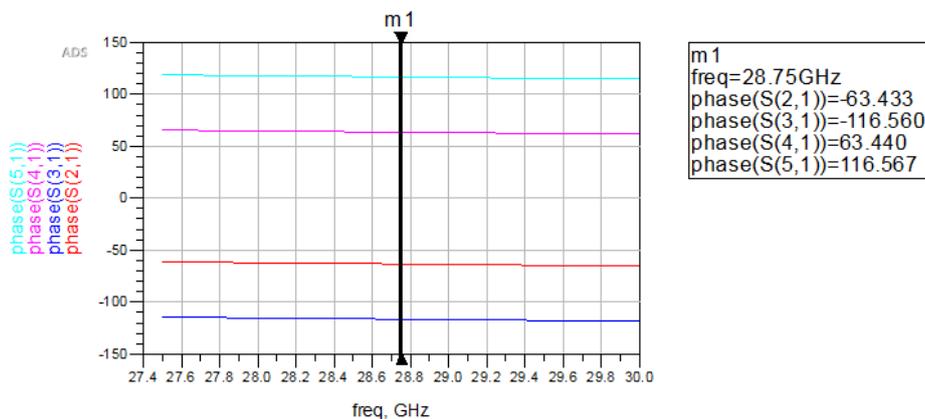


Figura 2.20. Desfase de los terminales del filtro de paso total en cuadratura ideal.

### 2.3.3. Efecto de la Capacidad de Carga

El generador de cuadratura está conectado a un conjunto de amplificadores de ganancia variable o *Variable Gain Amplifiers* (VGA), que se implementan utilizando transistores que conforman pares diferenciales de fuente común. Como resultado, el filtro de cuadratura ve una capacidad de carga  $C_L$ , compuesta por la capacidad de puerta-fuente ( $C_{gs}$ ) y la capacidad de Miller ( $C_{gd} (1 - A_v)$ ). En la Figura 2.21 se muestra la representación de  $C_L$  en el diagrama del filtro. El impacto de  $C_L$  en la respuesta del filtro depende del valor que tenga  $C$ , el cual es significativo a 28.75 GHz.

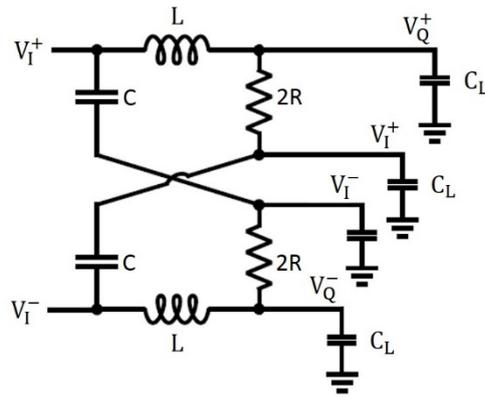


Figura 2.21. Filtro en cuadratura con capacidad de carga.

Este fenómeno agrega un polo adicional en la respuesta en frecuencia del filtro [40], cambiando la respuesta a frecuencias más bajas y aumentando el error de fase en la banda de interés. Esto se puede solucionar modificando el valor de  $L$  y  $C$  para corregir el offset de frecuencia.

Por otra parte, el error de ganancia se produce debido a que la capacidad de carga aumenta el factor de calidad cargado ( $Q$  cargado) de la red  $I$  (en paralelo con la rama  $R$ - $C$ ) y amortigua el factor de calidad de la red  $Q$  (en paralelo con la rama  $R$ - $L$ ). Para reequilibrar la ganancia entre ambas ramas, se usa el filtro de cuadratura final que se presenta en la Figura 2.22. Como se observa, se agrega una resistencia en serie con el inductor para amortiguar la  $Q$  cargada de la red  $I$  sin afectar a la red  $Q$  [26].

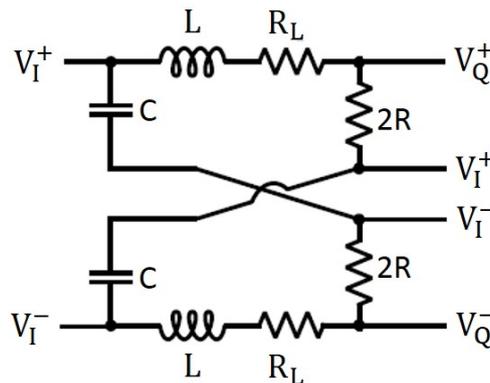


Figura 2.22. Filtro en cuadratura completo.

En base a este planteamiento, se ha implementado el filtro de paso total en cuadratura que se muestra en la Figura 2.23. Para la resistencia  $R_L$  citada anteriormente hemos utilizado una resistencia real que se ha simulado en el software ADS para  $f_c = 28.75$  GHz y su valor ( $R_L = 100 \Omega$ ) se ha calculado realizando un barrido de valores mediante una simulación de tipo *transient* cuyo objetivo es seguir manteniendo el desfase de  $180^\circ$  entre los terminales  $2(V_{Q+})-5(V_{Q-})$  y  $3(V_{I+})-4(V_{I-})$ , aunque el desfase de  $90^\circ$  entre los terminales  $3(V_{I+})-2(V_{Q+})$  y

$4(V_{I-}) - 5(V_{Q-})$  no se cumple, tal como se observa en la Figura 2.24. Del mismo modo en la Figura 2.25 se aprecia la adaptación de entrada del filtro  $-7.634$  dB, al igual que en la Figura 2.26 se muestra como las pérdidas por inserción de este han aumentado al introducir la resistencia  $R_L$ , ostentando un valor de  $-14.624$  dB.

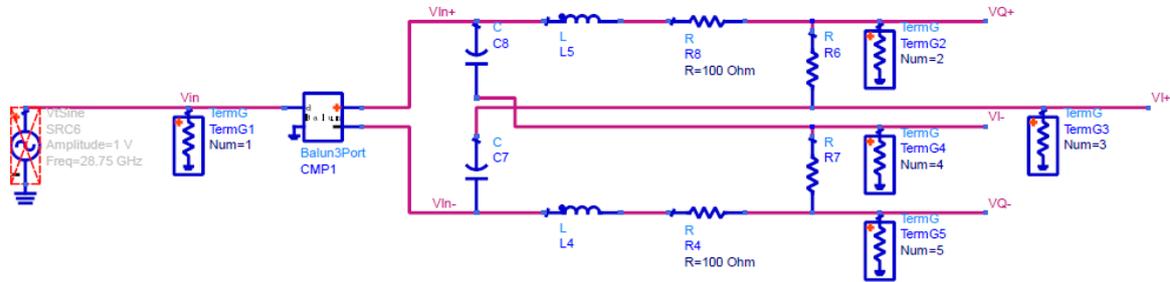


Figura 2.23. Filtro de paso total en cuadratura ideal con  $R_L$ .

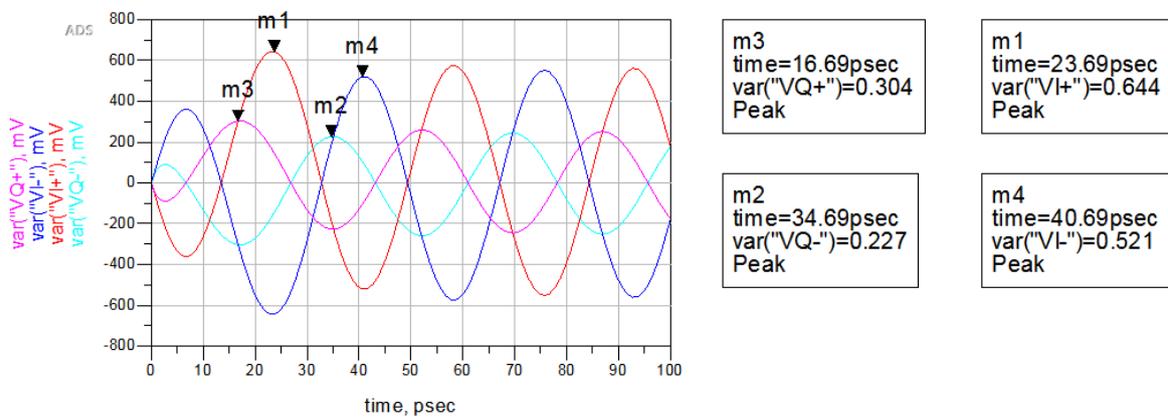


Figura 2.24. Desfase de los terminales del filtro de paso total en cuadratura ideal con  $R_L$ .

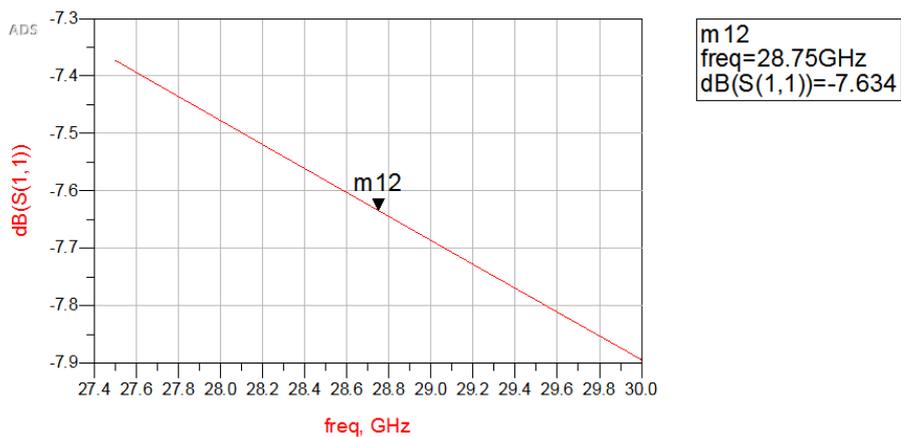


Figura 2.25. Adaptación de entrada del filtro de paso total en cuadratura ideal con  $R_L$ .



Figura 2.26. Pérdidas por inserción del filtro de paso total en cuadratura ideal con  $R_L$ .

Por otra parte, hemos de tener en cuenta la ganancia en tensión del filtro de paso total en cuadratura ideal con  $R_L$ . Este parámetro lo hemos calculado, en primer lugar, representando la señal de entrada  $V_{in}$ , al igual que una de las salidas, por ejemplo,  $V_{I+}$ . Aunque, hemos de tener en cuenta que la salida  $V_{Q+}$  tendrá una amplitud menor y, por tanto, más pérdidas. En la Figura 2.27 se muestran las curvas señales. Seguidamente, hallamos los puntos máximos de ambas señales y los introducimos en la ecuación 2.14 obteniendo la ganancia en tensión del filtro.

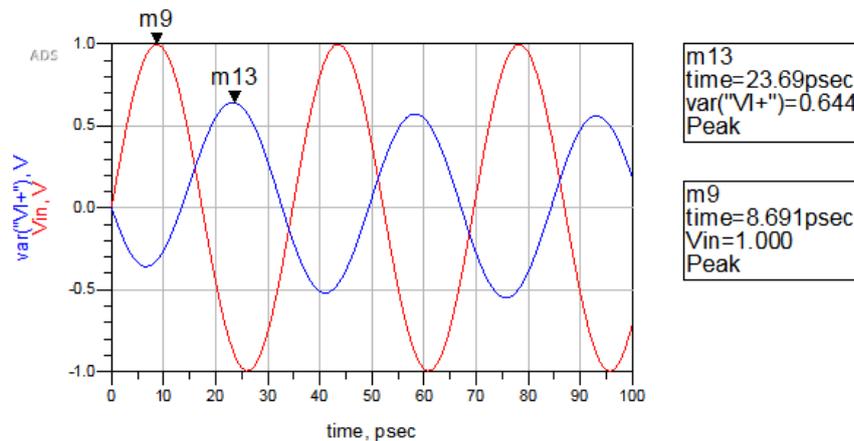


Figura 2.27. Representación de  $V_{in}$  y  $V_{I+}$  del filtro de paso total en cuadratura ideal con  $R_L$ .

$$\text{Ganancia en tensión} = 20 \cdot \log\left(\frac{m_{13}}{m_9}\right) = 20 \cdot \log\left(\frac{0.644}{1}\right) = -3.822 \text{ dB} \quad (2.14)$$

Debido al empeoramiento en los resultados del filtro de paso total en cuadratura ideal con  $R_L$  y puesto que la utilización de bobinas para su implementación implicaría emplear un gran espacio en la fabricación del desfasador, se ha optado por implementar el generador de cuadratura utilizando un filtro polifásico de primer orden. Esta decisión viene motivada por el hecho de que los resultados ideales de este son significativamente mejores que los del filtro de paso total en cuadratura ideal con  $R_L$  y no es necesario hacer uso de bobinas para su implementación.

## 2.4. Red de Amplificadores y Combinadores

En la Figura 2.28 se puede ver un esquema detallado del desfaseador. En este esquema podemos ver como el filtro polifásico de primer orden comentado en la sección anterior iría conectado a la entrada de la red de amplificadores diferenciales basados en células de Gilbert ( $M_1$  y  $M_2$ ,  $M_3$  y  $M_4$ ,  $M_5$  y  $M_6$ ,  $M_7$  y  $M_8$ ), cuyas fuentes de corriente son  $M_9 - M_{12}$  y su carga activa está compuesta por los transistores  $M_{P1}$  y  $M_{P2}$ . Las salidas de los pares diferenciales están conectadas al búfer de salida formado por el par  $M_{BUFF1}$  y  $M_{BUFF2}$ . Finalmente, la salida del circuito se entrega al siguiente circuito de la cadena a través de una red de adaptación.

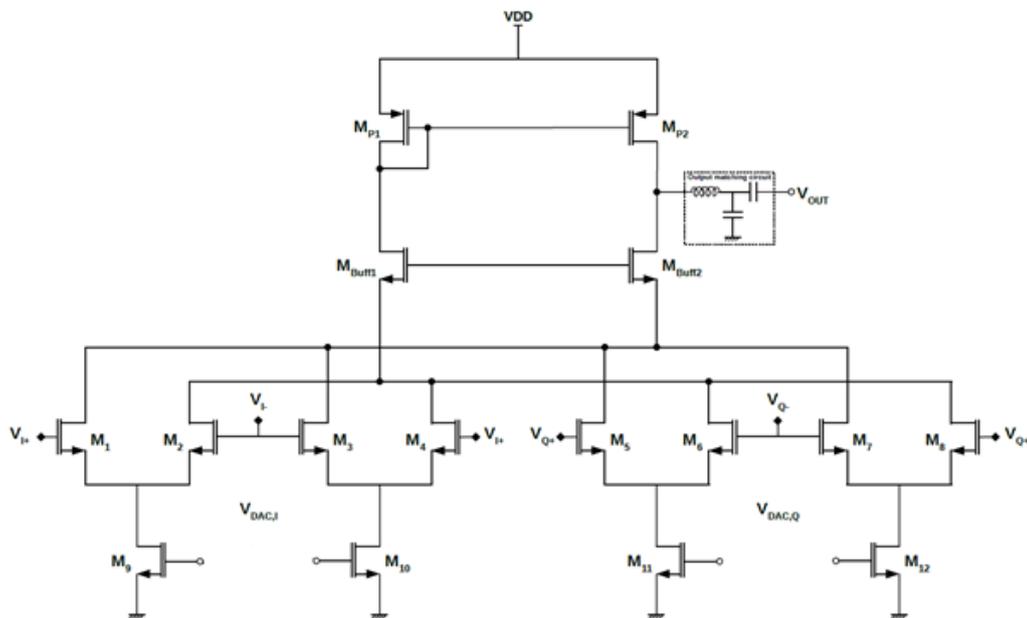


Figura 2.28. Red del amplificador de ganancia variable.

Para acceder a los cuatro cuadrantes del círculo unitario, solo se habilita uno de los pares diferenciales a la vez. En este caso, el control se implementa mediante la aplicación de una tensión en la puerta o terminal *gate* de los amplificadores de fase ( $M_9$  y  $M_{10}$ ), al igual que en los amplificadores de cuadratura ( $M_{11}$  y  $M_{12}$ ). Por ejemplo, para acceder al primer cuadrante, los amplificadores positivos tanto de I como de Q se activan, por lo que  $M_9$  y  $M_{11}$  se conectan a la tensión de polarización,  $V_{DAC,I}$  y  $V_{DAC,Q}$  respectivamente, mientras que los amplificadores negativos ( $M_{10}$  y  $M_{12}$ ) se conectan a tierra. La ganancia de cada amplificador se controla variando las tensiones de polarización  $V_{DAC,I}$  y  $V_{DAC,Q}$ .

El cambio de fase en esta topología se realiza gracias a la corriente  $I_{TAIL}$  que pasa por cada rama. Para comprender mejor cómo funciona el circuito, consideraremos el esquema simplificado que se muestra en la Figura 2.29, donde las fuentes de corriente han sido reemplazadas por fuentes ideales y las cargas activas han sido reemplazadas por resistencias.

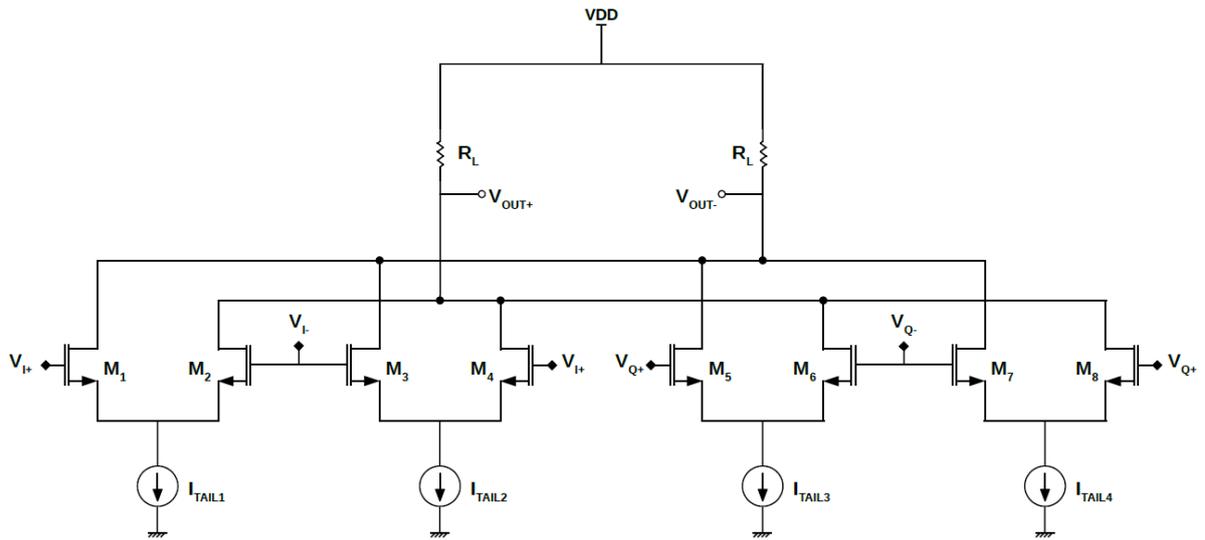


Figura 2.29. Red simplificada del amplificador de ganancia variable.

Si, por ejemplo, queremos proporcionar una señal de salida que esté en el primer cuadrante (fase entre  $0^\circ$  y  $90^\circ$ ), debemos conducir la corriente a través de  $I_{TAIL1}$  e  $I_{TAIL3}$  y mantener  $I_{TAIL2}$  e  $I_{TAIL4}$  en 0 mA. Variando sus valores y garantizando que la magnitud de la suma de ambas corrientes sea constante proporcionará diferentes cambios de fase [45].

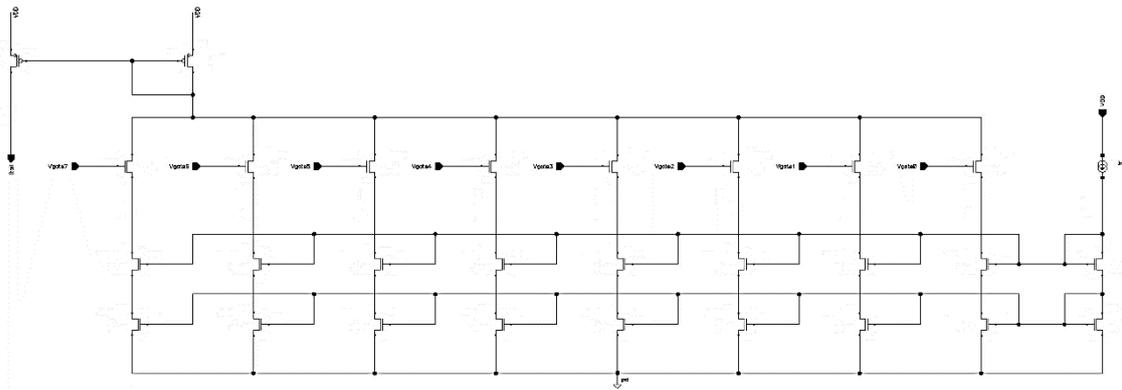
La ganancia general del desfase se puede variar al aumentar la corriente de polarización ( $I_{TAIL}$ ) o al cambiar la relación  $W/L$  (ancho-largo) del transistor. Por otro lado, para minimizar el consumo de energía se utiliza una corriente de cola (del inglés *tail current*) baja. Esto tendrá un impacto directo en la ganancia, pero se puede variar  $W/L$  para aumentar la ganancia general, aunque esto aumentará el efecto de carga capacitiva en la salida del generador de cuadratura que se comentó en la sección anterior.

## 2.5. DAC de Corriente

El DAC de corriente está diseñado para permitir un control digital de 8 bits de los cambios de fase. Este circuito actúa como espejo de corriente del circuito comentado anteriormente, y es el encargado de proporcionar las distintas corrientes de cola que dan lugar a los distintos desfases. Por ello, los bits de control deben dimensionarse de acuerdo con las restricciones de fase que se recogen en la ecuación 2.15.

$$\text{Phase} = \tan^{-1} \left( \sqrt{\frac{I_{TAIL1}}{I_{TAIL3}}} \right) \quad (2.15)$$

Para poder proporcionar las corrientes de cola necesarias para cada paso de fase, la fuente de corriente debe diseñarse cuidadosamente. Para ello, se implementará la arquitectura que se muestra en la Figura 2.30.



**Figura 2.30. Esquema del DAC de corriente.**

En esta arquitectura los transistores deben tener el tamaño correcto para proporcionar las corrientes de cola necesarias. El principio de funcionamiento de este circuito es sencillo: El generador de corriente situado a la derecha del esquemático (rama de referencia del DAC) establece una corriente de cola constante que se divide entre las ramas I y Q. La corriente de cola luego pasa a través de una serie de transistores NMOS (*Negative-channel Metal-Oxide Semiconductor*) controlados por una tensión  $V_{gate}$  que va asociada a cada uno de los 8 bits que conforman el DAC. En esta topología, el control del cuadrante del círculo unitario se establece utilizando la lógica combinacional que da lugar a las diferentes configuraciones de bits que se implementan con la activación o desactivación los transistores NMOS mediante la aplicación o no de la tensión  $V_{gate}$  en ellos. Debido al hecho de que las corrientes necesarias tienen valores muy específicos, cada rama de bit está conectada a varios transistores conectados en paralelo para regular el flujo de corriente. En la izquierda del esquemático (rama de salida del DAC) se sitúa un espejo de corriente formado por transistores PMOS (*Positive-channel Metal-Oxide Semiconductor*), que serán los encargados de realizar la copia de la corriente procedente de las ramas de bits con el fin de garantizar el correcto funcionamiento del circuito.

Con respecto a las pérdidas de esta arquitectura, es demasiado temprano en la fase de diseño como para garantizar un valor fijo, pero según varias fuentes bibliográficas y nuestros análisis, se espera que las pérdidas de este circuito sean de alrededor de 10-12 dB. Sin embargo, estas pérdidas serán compensadas fácilmente por los siguientes circuitos del conformador de haz (del inglés *beamformer*), el VGA y el PA. Debido a esto, el objetivo principal del desplazador de fase consiste en proporcionar los pasos necesarios de desplazamiento de fase con una variación mínima en la banda de frecuencias de interés. Con el análisis realizado se ha comprobado que el desfasador se puede implementar utilizando un proceso SiGe, ya que cuenta con los transistores necesarios para ello. En el siguiente capítulo se realizará el diseño a nivel de esquemático del desfasador programable.

## Capítulo 3. Diseño a Nivel Esquemático del Desfasador Programable

En este capítulo se explica el proceso de diseño del desfasador programable con la tecnología SiGe\_1K5PAx, así como el estudio de su respuesta para corroborar su correcto funcionamiento.

En primer lugar, se muestra el diseño del filtro polifásico de primer orden utilizado para implementar el generador de cuadratura, justificando la elección de los componentes empleados para su implementación y mostrando los resultados obtenidos. A continuación, se presenta el diseño del desfasador en sí mismo, siguiendo un procedimiento similar al utilizado en el circuito anterior. Finalmente, se comenta el diseño del DAC utilizado para la implementación del desfasador, así como los resultados del desfasador completo.

### 3.1. Diseño del Filtro Polifásico de Primer Orden

A la hora de realizar el diseño del filtro polifásico de primer orden que se muestra en la Figura 2.6 del Apartado 2.3.1 con componentes reales, se ha de lograr que los valores de dichos componentes en alta frecuencia sean lo más parecidos posible a los de los componentes ideales. En las subsecciones que se desarrollan a continuación se justifica la elección de los componentes utilizados.

#### 3.1.1. Elección del Condensador

Para llevar a cabo una correcta elección del condensador, se utiliza el *setup* de simulación implementado en el software ADS que se muestra en la Figura 3.1. Con este *setup* y realizando una simulación de parámetros S en el rango de frecuencias de interés, es posible obtener el valor nominal del condensador con el que se consigue la capacidad del condensador ideal para la banda de interés.

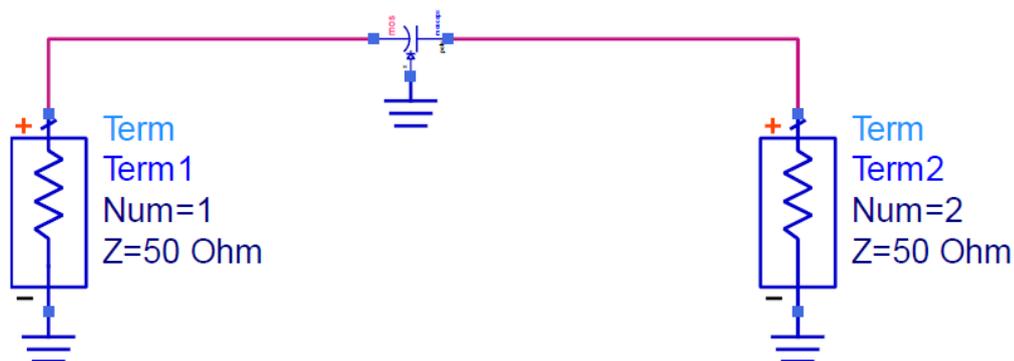


Figura 3.1. *Setup* de simulación del condensador del filtro polifásico de primer orden real.

El condensador empleado para el diseño de este circuito es el *moscapx*, cuyo modelo es proporcionado por el kit de diseño de la tecnología y ya fue descrito en el Apartado 1.2 del Capítulo 1. En la Figura 3.2 (a) se observa que, aplicando la ecuación que se muestra, con este modelo se obtiene un factor de calidad de 15.508 en la frecuencia de operación  $f_c = 28.75$  GHz. De igual forma, en la Figura 3.2 (b) se muestra que para dicha frecuencia, aplicando la ecuación que se observa, se consigue un valor real de capacidad de 77.92 fF, el cual se ajusta al valor ideal calculado anteriormente. Es preciso indicar que el valor de capacidad que muestra el modelo del condensador no coincide con el valor obtenido al simularlo. Por ejemplo, en este caso el valor indicado del condensador ha de ser 55.17 fF con *length* = 6  $\mu\text{m}$  y *width* = 7.1  $\mu\text{m}$  para obtener el valor real previamente citado. Como se puede observar, se ha tratado de conseguir que el condensador sea lo más cuadrado y compacto posible para facilitar su integración en un futuro diseño a nivel de *layout*.

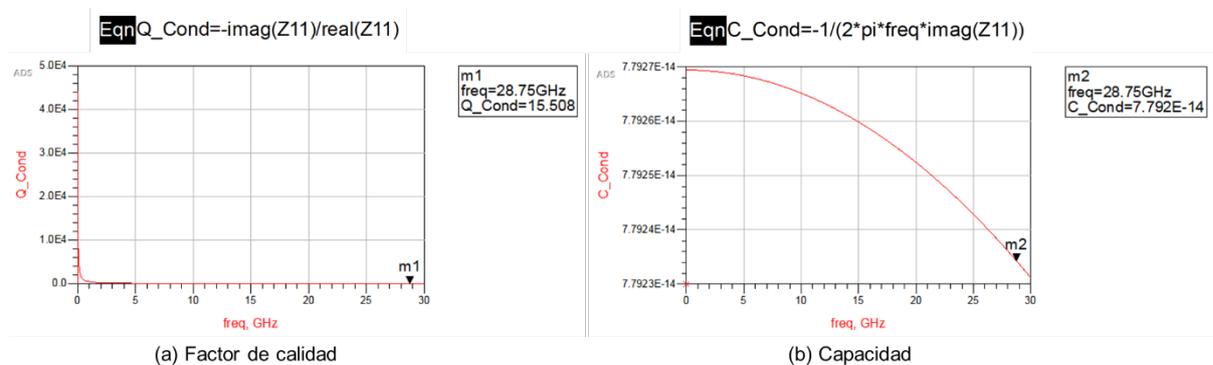


Figura 3.2. Factor de calidad y capacidad del condensador del filtro polifásico de primer orden real.

### 3.1.2. Elección de la Resistencia

Para llevar a cabo una correcta elección de la resistencia, se utilizará el *setup* de simulación implementado en el software ADS que se muestra en la Figura 3.3. Con este *setup* y una simulación en continua (DC), se comprueba que el valor indicado en el modelo de la resistencia *opndresx* del PDK se ajusta al valor real que se desea obtener. Para ello, se obtiene mediante simulación la corriente que circula por la resistencia al conectarla a una fuente de tensión continua de 1 V.

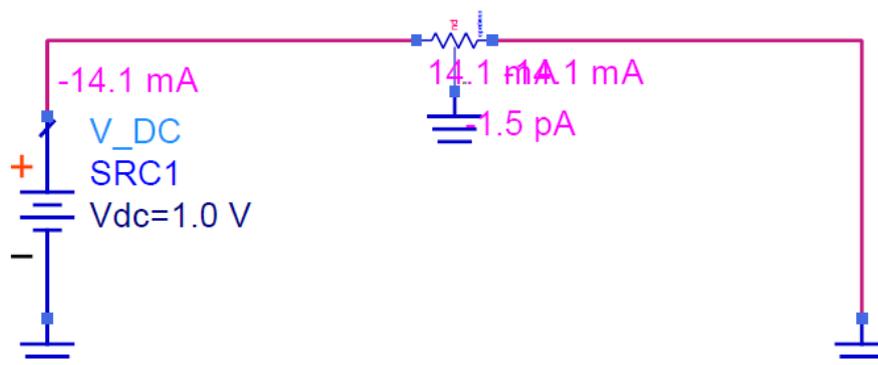


Figura 3.3. Setup de simulación de la resistencia del filtro polifásico de primer orden real.

De este modo, utilizando la ley de Ohm se extrae el valor de la resistencia, ya que tanto la tensión como la corriente son conocidas. Al introducir en la ecuación 3.1 los valores indicados en la Figura 3.3, se comprueba que el valor real de la resistencia se ajusta al valor ideal calculado anteriormente. Al igual que en el caso del condensador, es preciso indicar que el valor de resistencia introducido en el modelo no se corresponde exactamente con el obtenido en la simulación. En este caso, el valor indicado de la resistencia ha de ser  $71.217 \Omega$  con  $length = 2 \mu\text{m}$  y  $width = 2.74 \mu\text{m}$  para obtener el valor real citado. De nuevo, se ha tratado de conseguir una resistencia lo más compacta y cuadrada posible.

$$R = \frac{V}{I} = \frac{1 \text{ V}}{14.1 \text{ mA}} = 70.92 \Omega \quad (3.1)$$

### 3.1.3. Filtro Polifásico de Primer Orden

Una vez elegidos los componentes de la tecnología SiGe\_1K5PAx que se usan en la implementación del filtro polifásico de primer orden, se simula el circuito que se muestra en la Figura 3.4, donde se observa el diseño a nivel esquemático del filtro configurado con los componentes reales elegidos.

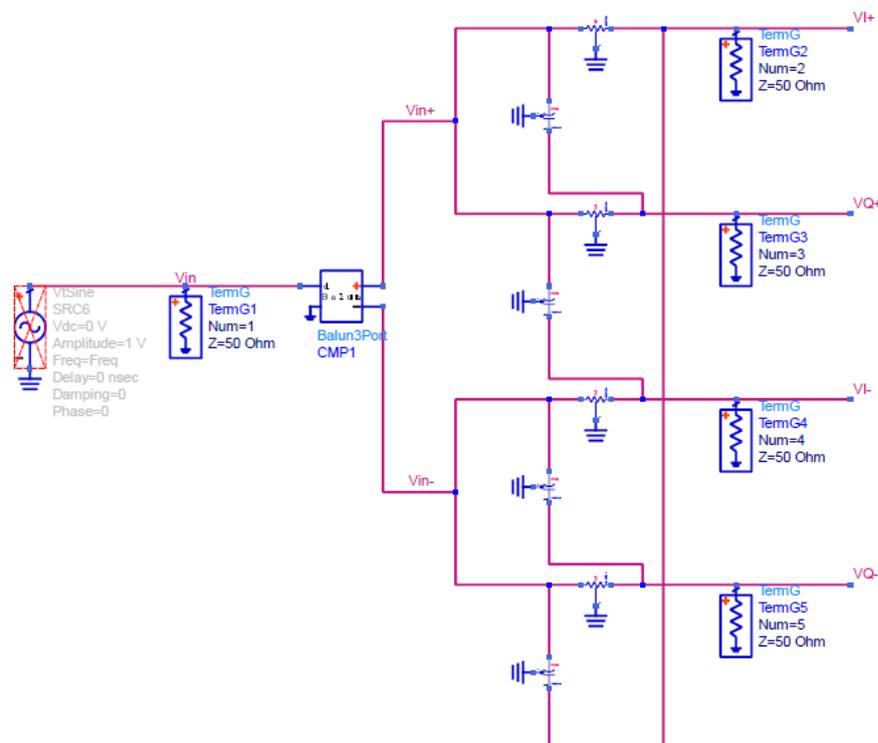
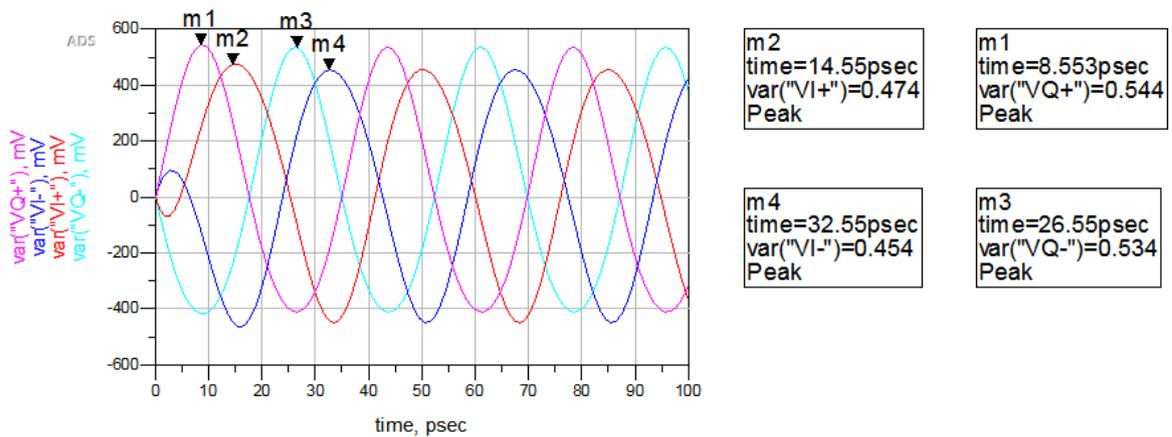


Figura 3.4. Filtro polifásico de primer orden real.

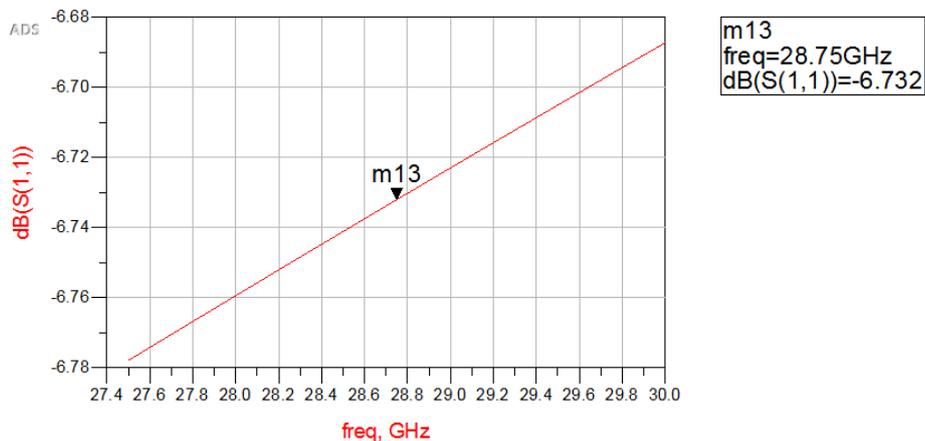
En la Figura 3.4 se visualiza la respuesta transitoria del filtro polifásico de primer orden real que se muestra. Este se ha diseñado con los componentes de la tecnología citados anteriormente y cuyos valores se han hallado en el apartado anterior ( $C = 77.92 \text{ fF}$  y  $R = 70.92 \Omega$ ). El filtro se ha simulado en el software ADS para  $f_c = 28.75 \text{ GHz}$ . Como se puede observar

en la Figura 3.5, se mantiene el desfase de  $180^\circ$  entre los terminales  $2(V_{I+})-4(V_{I-})$  y  $3(V_{Q+})-5(V_{Q-})$ , aspecto fundamental para corroborar el correcto funcionamiento del filtro polifásico de primer orden real.



**Figura 3.5. Desfase de los terminales del filtro polifásico de primer orden real.**

Aparte de la simulación transitoria, también se realizó una simulación de parámetros S del circuito diseñado. En la Figura 3.6 se aprecia como la adaptación de entrada del filtro ( $-6.732$  dB) se ha reducido con respecto a la obtenida en el capítulo anterior con elementos ideales. Sin embargo, en la Figura 3.7 se muestra como las pérdidas por inserción de este han aumentado debido a la introducción de componentes reales, ostentando un valor de  $-11.975$  dB.



**Figura 3.6. Adaptación de entrada del filtro polifásico de primer orden real.**



Figura 3.7. Pérdidas por inserción del filtro polifásico de primer orden real.

Por otra parte, hemos de tener en cuenta la ganancia en tensión del filtro polifásico de primer orden real. Para el cálculo de este parámetro, en primer lugar se ha representado la señal de entrada  $V_{in}$ , al igual que una de las salidas, en este caso  $V_{I+}$ . En la Figura 3.8 se muestran las curvas señaladas. Seguidamente, se hallaron los puntos máximos de ambas señales y se introdujeron en la ecuación 3.2, obteniendo la ganancia en tensión del filtro. En este caso, la señal de salida pierde  $-6.4844\text{dB}$  con respecto a la entrada. Como se puede observar, las pérdidas de este circuito son inferiores a las del filtro de paso total en cuadratura ideal con  $R_L$ , aún con la introducción de componentes reales. En vista de este hecho, se puede afirmar que la elección de topología ha sido correcta, puesto que tener unas pérdidas superiores en este circuito forzaría la introducción de más etapas de ganancia en la salida del desfasador para compensar dichas pérdidas.

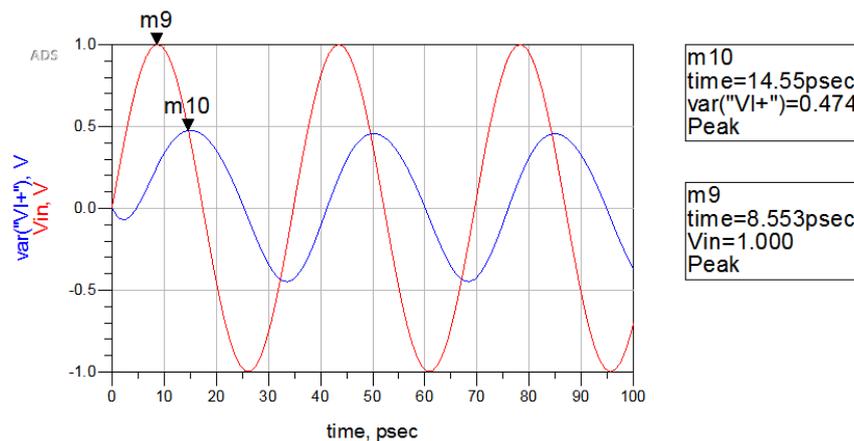


Figura 3.8. Representación de  $V_{in}$  y  $V_{I+}$  del filtro polifásico de primer orden real.

$$\text{Ganancia en tensión} = 20 \cdot \log\left(\frac{m_{10}}{m_9}\right) = 20 \cdot \log\left(\frac{0.474}{1}\right) = -6.4844 \text{ dB} \quad (3.2)$$

### 3.1.4. Resultados de la simulación del filtro polifásico en Cadence

Una vez llevado a cabo el diseño preliminar con componentes reales del filtro polifásico RC en el software de simulación ADS, se realizó la comprobación del correcto funcionamiento del circuito en el software Cadence. De esta forma, una vez comprobado que el circuito opera de forma adecuada, se dejará todo preparado para su futuro diseño a nivel de *layout*. Es necesario destacar que suelen existir diferencias en los modelos de los componentes entre una herramienta y otra. Por este motivo, fue necesario realizar ciertos ajustes en los parámetros de los componentes que componen el filtro para que los resultados se ajustaran a los resultados obtenidos en las simulaciones realizadas en el Apartado 3.1.3.

En primer lugar, se modificaron los parámetros del condensador. En la Figura 3.9 (a) se observa que con este modelo se obtiene un factor de calidad de 11.730 y en la Figura 3.9 (b) se muestra un valor real de capacidad de 104.2 fF para la frecuencia de operación  $f_c = 28.75$  GHz. Para obtener estos resultados, fue necesario indicar en el modelo que la capacidad del condensador ha de ser 77.01 fF y fijar  $length = 8 \mu\text{m}$  y  $width = 7.48 \mu\text{m}$ .

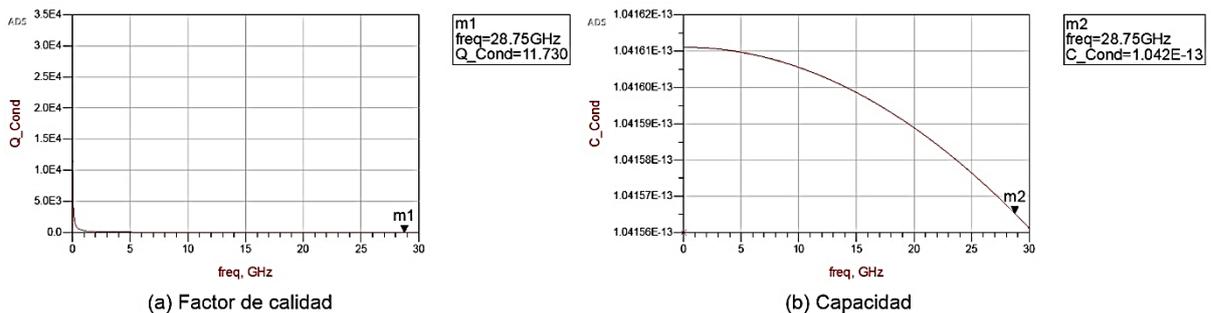


Figura 3.9. Factor de calidad y capacidad del condensador del filtro polifásico de primer orden real rediseñado.

En segundo lugar, se modificaron los parámetros de la resistencia. Para ello, se realizó el procedimiento comentado en el apartado anterior, obteniendo la corriente que circula por la resistencia que se muestra en la Figura 3.10.

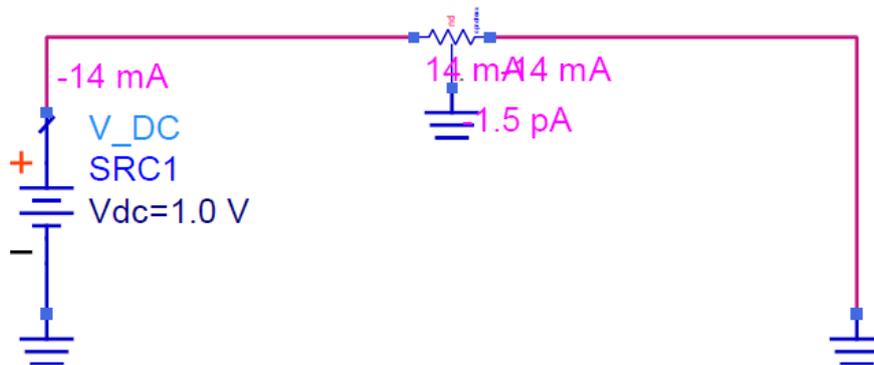


Figura 3.10. Setup de simulación de la resistencia del filtro polifásico de primer orden real rediseñado.

De este modo, se aplicó la ecuación 3.3, obteniendo el valor de resistencia de 71.42Ω. Para obtener este valor, fue necesario fijar el valor de la resistencia del modelo a 70.696 Ω y fijar *length* = 2 μm y *width* = 2.76 μm para obtener el valor real citado.

$$R = \frac{V}{I} = \frac{1 \text{ V}}{14 \text{ mA}} = 71.42 \text{ } \Omega \quad (3.3)$$

Una vez llevado a cabo el reajuste de los valores de los componentes reales, en la Figura 3.11 se muestra el esquemático del filtro polifásico RC de primer orden implementado en el software Cadence.

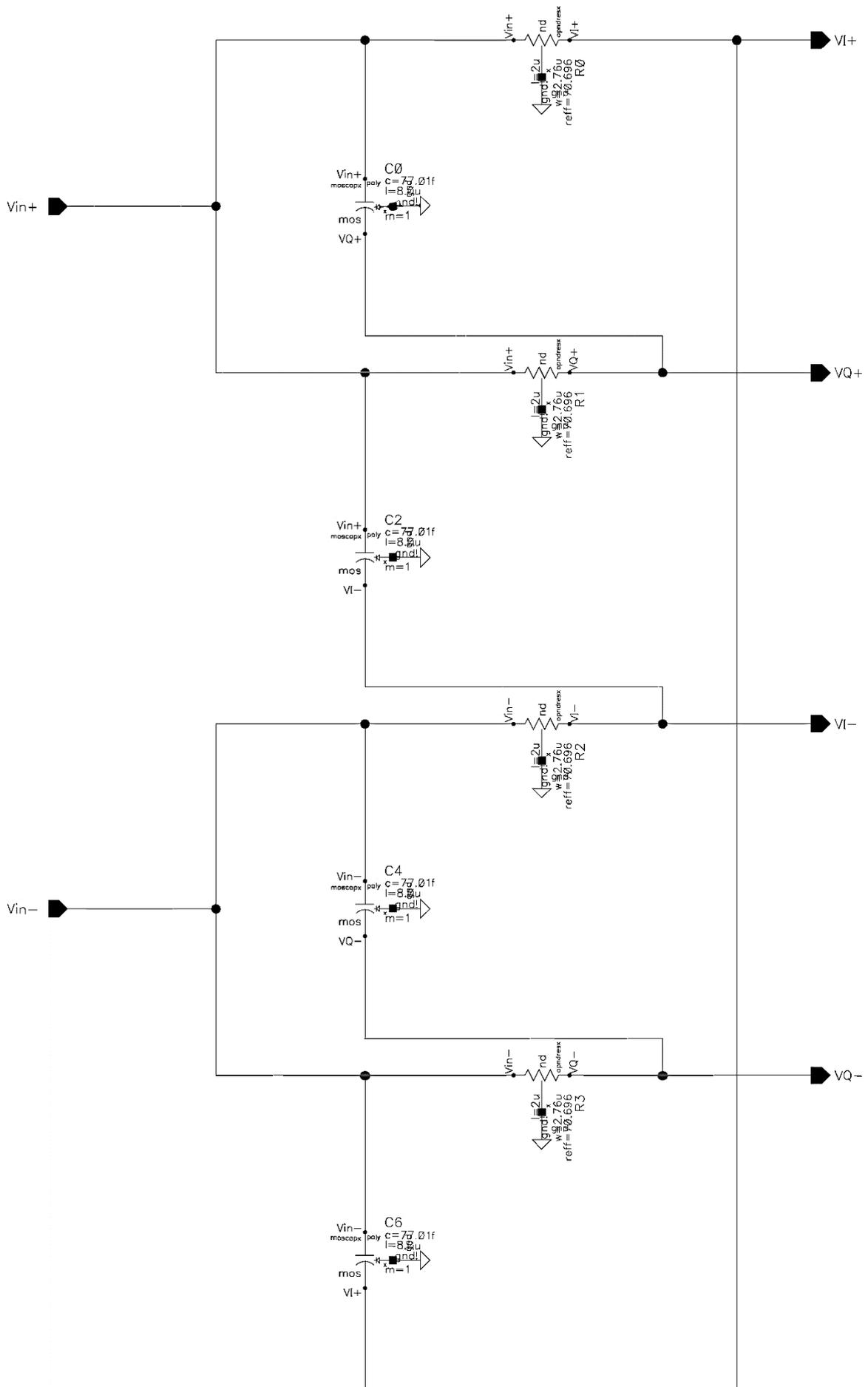
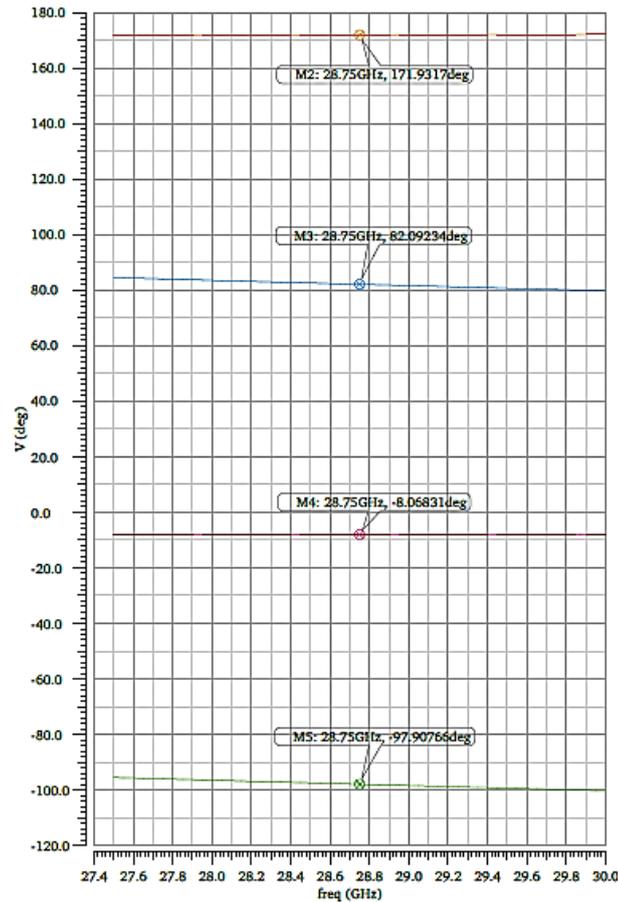


Figura 3.11. Filtro polifásico de primer orden en Cadence.

Para comprobar el correcto funcionamiento del circuito, se realizó una simulación de corriente alterna o AC. En la Figura 3.12 se observa que se sigue manteniendo el desfase de  $180^\circ$  entre los terminales M2 ( $V_{I+}$ )–M4 ( $V_{I-}$ ) y M3 ( $V_{Q+}$ )–M5 ( $V_{Q-}$ ) que componen el filtro. Asimismo, se observa el desfase de  $90^\circ$  entre M2 ( $V_{I+}$ ) y M3 ( $V_{Q+}$ ), así como el de los terminales M4 ( $V_{I-}$ ) y M5 ( $V_{Q-}$ ), demostrándose que las señales de fase y cuadratura se han generado correctamente.



**Figura 3.12. Desfase de los terminales del filtro polifásico de primer orden en Cadence.**

De igual forma, se realizó una simulación de parámetros S del circuito., En la Figura 3.13 se aprecia que la adaptación de entrada obtenida es de  $-7.996$  dB, y en la Figura 3.14 se puede observar que las pérdidas por inserción del filtro son de  $-12.216$  dB, resultados que serán fundamentales para continuar posteriormente con el diseño del desfasador y las etapas de amplificación necesarias para compensar dichas pérdidas.

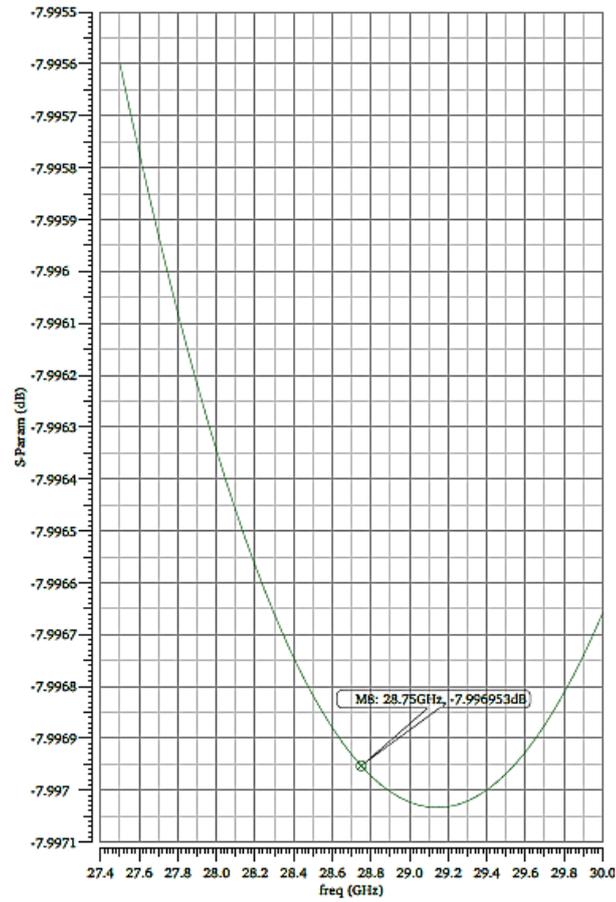


Figura 3.13. Adaptación de entrada del filtro polifásico de primer orden en Cadence.

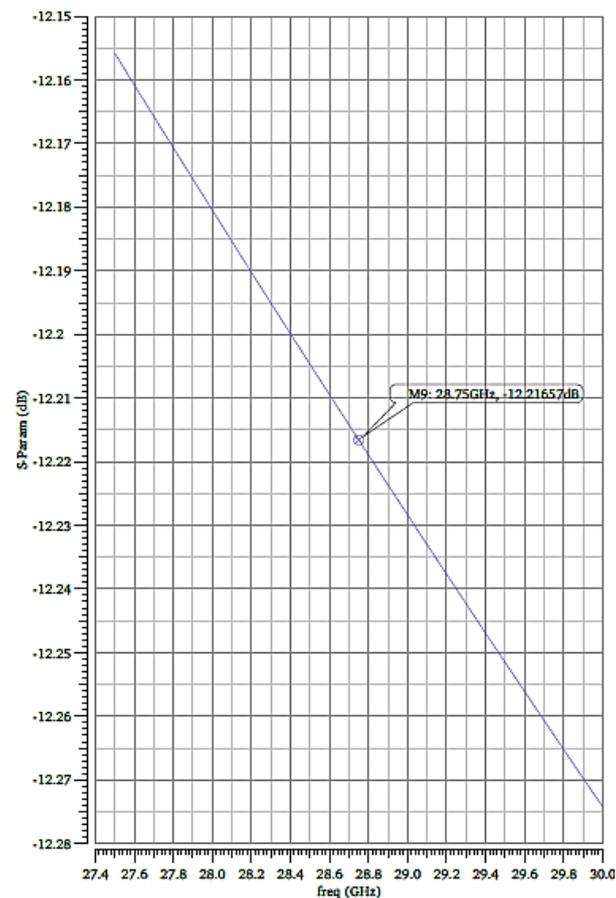


Figura 3.14. Pérdidas por inserción del filtro polifásico de primer orden en Cadence.

Los resultados obtenidos en la Figura 3.13 y Figura 3.14 están en concordancia con los mostrados en el apartado anterior con el software ADS, con ligeras discrepancias causadas por el reajuste de los parámetros. Aun así, se sigue cumpliendo con las especificaciones establecidas para el generador de cuadratura.

Finalmente, es necesario calcular la ganancia en tensión del filtro polifásico de primer orden. Este parámetro ha sido calculado mediante una simulación AC en la cual se representa la señal de entrada  $V_{in}$  y una de las salidas del circuito,  $V_{I+}$ . En la Figura 3.15 se muestran ambas señales. Como se puede observar, ambas señales presentan un nivel prácticamente constante en toda la banda de interés. En la frecuencia central de la banda ( $f_c = 28.75$  GHz), el valor de la ganancia en tensión del circuito obtenido tras aplicar la ecuación 3.4 es de  $-8.427$  dB. Es necesario destacar que las pérdidas han aumentado ligeramente con respecto a las simulaciones realizadas en ADS en el apartado 3.1.3 debido a las diferencias existentes entre los modelos de los componentes de Cadence y ADS, lo cual provoca ligeras variaciones en los resultados obtenidos.

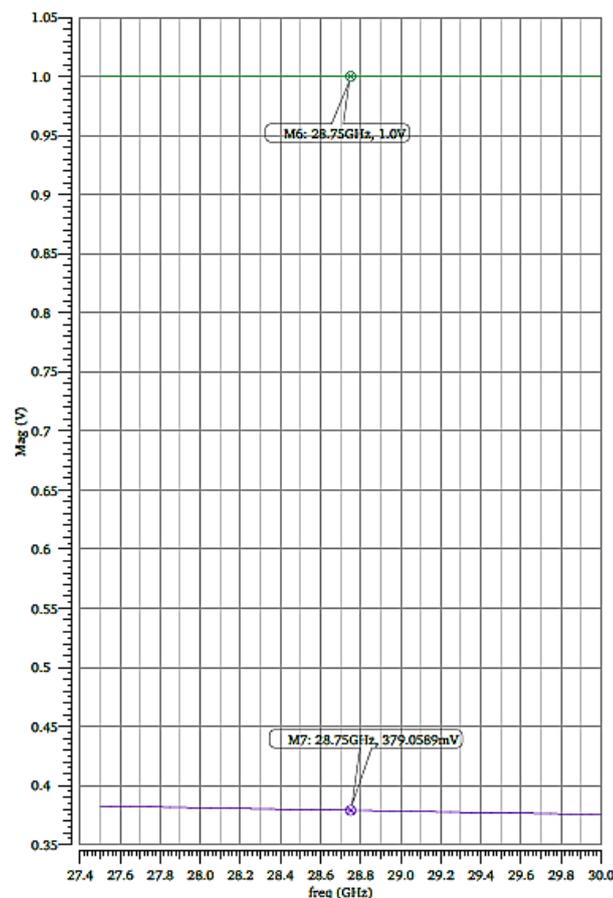


Figura 3.15. Representación de  $V_{in}$  y  $V_{I+}$  del filtro polifásico de primer orden en Cadence.

$$\text{Ganancia en tensión} = 20 \cdot \log\left(\frac{m7}{m6}\right) = 20 \cdot \log\left(\frac{0.379}{1}\right) = -8.427 \text{ dB} \quad (3.4)$$

## **3.2. Diseño del Desfasador**

Una vez implementado el filtro polifásico RC de primer orden de manera satisfactoria y dando por concluido el diseño del generador de cuadratura, se comenzó con el diseño del desfasador. La implementación de este circuito se llevó a cabo en tres partes.

En primer lugar, se diseñó el desfasador utilizando valores de corriente ideales, sin tener en cuenta el espejo de corriente necesario para copiar las corrientes que proporcionan los DACs. Este diseño es análogo al mostrado en la Figura 2.29. Una vez obtenidos los valores de corriente ideales que garantizan los cambios de fase necesarios, se implementó el espejo de corriente por separado para asegurar que la copia de corriente entre las ramas se realiza de forma adecuada. Por último, se diseñó el desfasador completo a falta de los DACs, y se presentan los resultados obtenidos en las simulaciones realizadas. El diseño se ha llevado a cabo directamente en el software Cadence y con componentes reales con el fin de ahorrar tiempo ya que el proceso de diseño es iterativo y bastante costoso de realizar en cuanto al tiempo computacional empleado en las diferentes simulaciones. Del mismo modo, se ha de lograr que los valores de dichos componentes en alta frecuencia sean lo más precisos posible para lograr unos resultados lo más ajustados posible a las especificaciones. En las subsecciones que vienen a continuación se justifica la elección de los componentes utilizados.

### **3.2.1. Desfasador sin Espejo de Corriente**

Como se comentó anteriormente, el primer paso para implementar el desfasador es diseñarlo utilizando fuentes de corriente ideales. Para ello, se colocan en el esquemático los componentes necesarios (transistores NMOS y PMOS, resistencias, condensadores y fuentes de corriente ideales), de forma que se forme la estructura mostrada en la Figura 3.16.

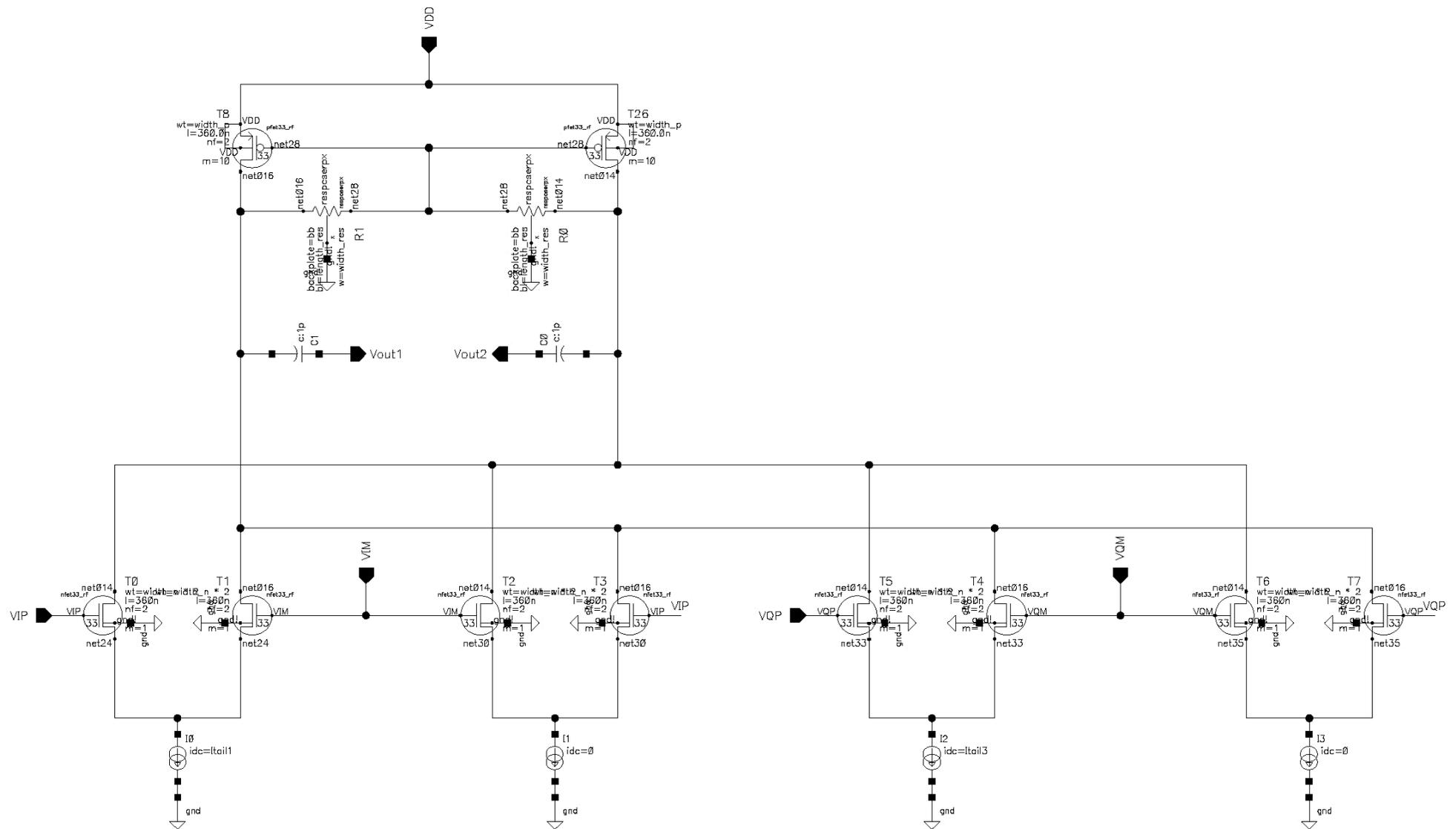


Figura 3.16. Desfasador sin espejo de corriente.

A continuación, se detallan las consideraciones de diseño y se señalan los modelos elegidos y las dimensiones que ostentan cada uno de los componentes de la tecnología SiGe\_1K5PAx que conforman el desfaseador con fuentes de corriente ideales mostrado en la Figura 3.16.

La tensión de alimentación (VDD) proporcionada para que el desfaseador opere correctamente ha de ser de 3,3 V.

Para la implementación de la carga activa del desfaseador se ha seleccionado el modelo de transistor tipo P *pfet33\_rf*. Este modelo ha sido elegido dado que es el único que cubre el ancho de banda para el que se pretende implementar el desfaseador (27.5 GHz – 30 GHz). Para dimensionar correctamente la carga activa, los transistores tipo P deben tener las siguientes dimensiones: *length* = 360 nm, *width* = 10  $\mu$ m, número de *fingers* = 2 y multiplicidad = 10.

En cuanto a las resistencias de la carga activa, el modelo seleccionado es el *respcserpx*. Este modelo ha sido elegido dado que es el único que proporciona el valor de resistividad necesario para el correcto funcionamiento de la carga activa. El valor de estas resistencias es de 5.982 K $\Omega$ , con una *length* = 3.5  $\mu$ m y *width* = 360 nm.

Para desacoplar las salidas del circuito, se han empleado un par de condensadores ideales con capacidad de 1pF. Estos condensadores se deberán reemplazar más adelante por condensadores reales.

Los transistores tipo N utilizados para generar los cambios de fase son del modelo *nfet33\_rf*, proporcionado por el PDK. Este modelo ha sido elegido debido a que es el único que cubre el ancho de banda para el que se pretende implementar el desfaseador (27.5 GHz – 30 GHz). Las dimensiones de los transistores tipo N han de ser: *length* = 360 nm, *width* = 2  $\mu$ m, número de *fingers* = 2 y multiplicidad = 1.

Todos los componentes se han seleccionado con el objetivo de que al variar las fuentes de corriente mostradas en la Figura 3.16 entre 0 y 1 mA se puedan conseguir variaciones de fase entre 0 y 90° en los cuatro cuadrantes que componen el círculo unitario. Con el objetivo de verificar el correcto funcionamiento del circuito diseñado hasta el momento, se implementa el *setup* mostrado en la Figura 3.17.

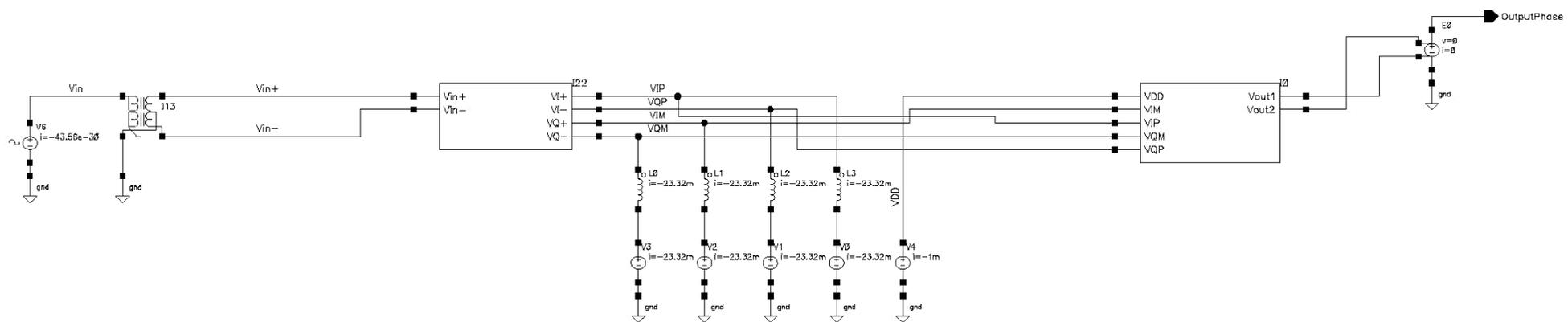


Figura 3.17. Setup de simulación del desfasador sin espejo de corriente.

En el *setup* de simulación que se muestra en la Figura 3.17 se puede observar que la señal de entrada  $V_{in}$  se conecta a un *balun* ideal para generar la señal de entrada diferencial ( $V_{in+}$  y  $V_{in-}$ ). Como se comentó en el Capítulo 2, este componente se considera externo al diseño realizado. Las señales de entrada diferenciales se introducen en el filtro polifásico RC de primer orden diseñado anteriormente para generar las componentes en fase y cuadratura ( $V_{I+}$ ,  $V_{I-}$ ,  $V_{Q+}$  y  $V_{Q-}$ ). A cada salida del filtro polifásico se conecta una fuente de tensión de 1.65 V a través de un *DC feed* de 1nH para evitar que la señal alterna se vaya a tierra. La tensión DC introducida se utiliza para polarizar las puertas de los transistores del desfasador mostrado en la Figura 3.16. Posteriormente, las señales de salida diferenciales del desfasador se combinan idealmente mediante una *Voltage Controlled Voltage Source* (VCVS) con el objetivo de tener una señal asimétrica en la que se pueda observar la variación de fase.

El objetivo que se persigue en esta primera parte de diseño es lograr que el desfasador realice el desfase de la señal de entrada al variar las 4 fuentes de corriente. Para verificar que se cumple esta premisa, en primer lugar se ha realizado una simulación en continua sobre el *setup* mostrado en la Figura 3.17. En esta simulación, solo se ha activado una de las fuentes de corriente, fijando su valor al máximo (1mA). El resto de fuentes de corriente se mantuvieron a 0mA. Una vez realizada dicha simulación, se representó el punto de operación del desfasador, obteniendo las corrientes y tensiones que se presentan en la Figura 3.18. Como se puede observar, la corriente de 1mA fijada se distribuye por el circuito de forma correcta, habiendo una corriente de 500 $\mu$ A en el drenador de cada transistor tipo P de la carga activa. De esta forma, se comprueba que el dimensionamiento de los transistores y el resto de componentes se ha realizado correctamente. Cabe destacar que esta simulación se ha realizado de forma iterativa a medida que se iban variando los distintos parámetros de diseño del circuito hasta obtener el funcionamiento deseado. Por tanto, no se trata de una cuestión trivial, puesto que se han de llevar a cabo numerosas simulaciones con el fin de conseguir que la corriente se reparta uniformemente por el circuito. Además, se ha de tener en cuenta que las dimensiones de los componentes citados anteriormente han de establecerse dentro de los valores estándares establecidos para el proceso de fabricación seleccionado.

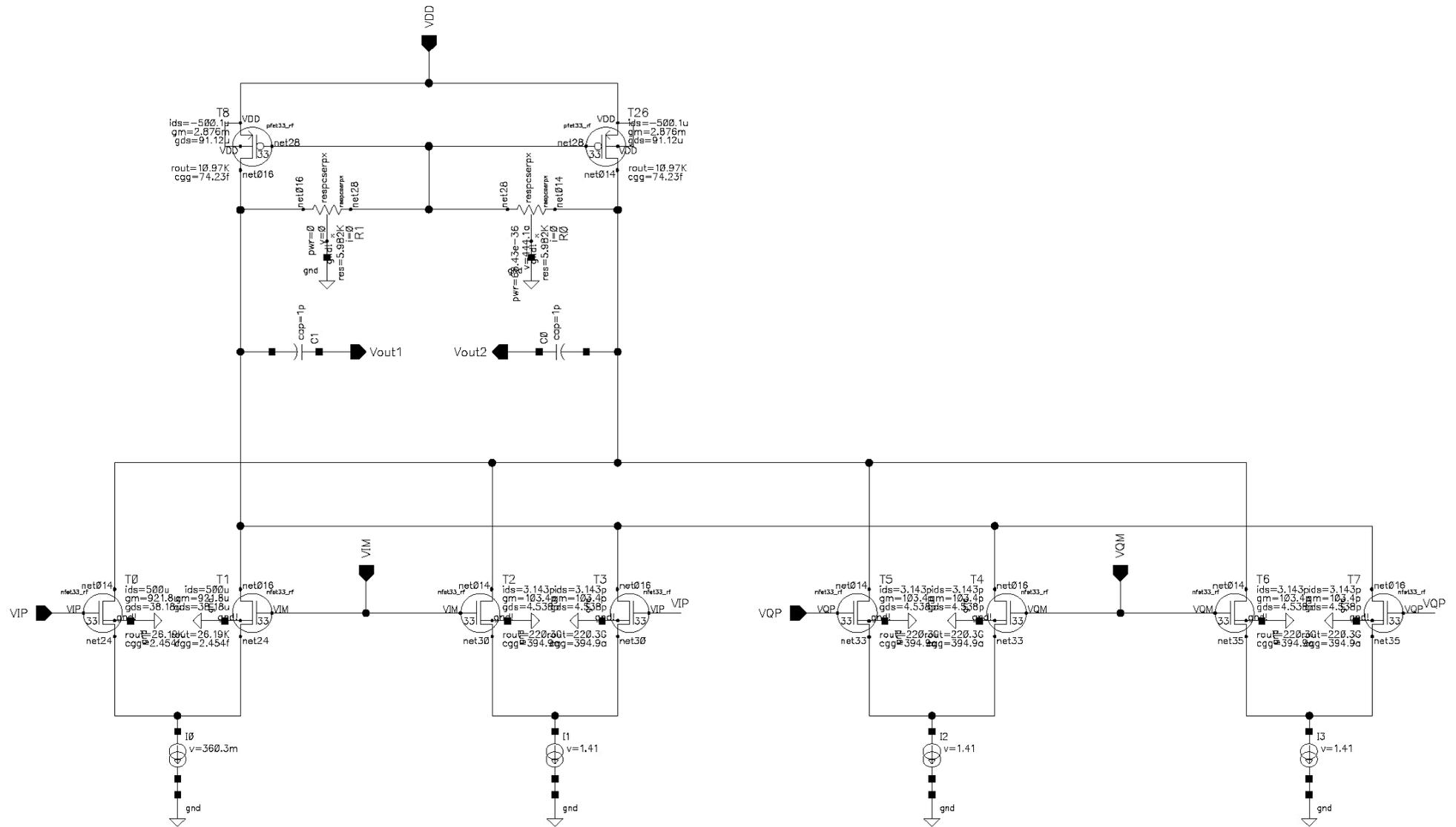


Figura 3.18. Simulación DC del desfasador sin espejo de corriente.

### 3.2.2. Espejo de Corriente

El segundo paso para implementar el desfasador consiste en el diseño de los espejos de corriente que se utilizarán para copiar las corrientes de control en el desfasador. Para ello, se utilizó la simulación DC realizada en el apartado anterior para obtener la caída de tensión (360.3mV) en el punto en el que se introducía la fuente de corriente ideal que se encontraba activa. Este valor se introduce en la fuente de tensión mostrada en la Figura 3.19. De esta forma, se pudo diseñar el doble espejo de corriente encargado de realizar la copia de corriente en cada uno de los 4 pares de transistores del desfasador. Se ha realizado un diseño de doble espejo de corriente ya que la copia de corriente es mejor que si se utiliza un espejo simple [26].

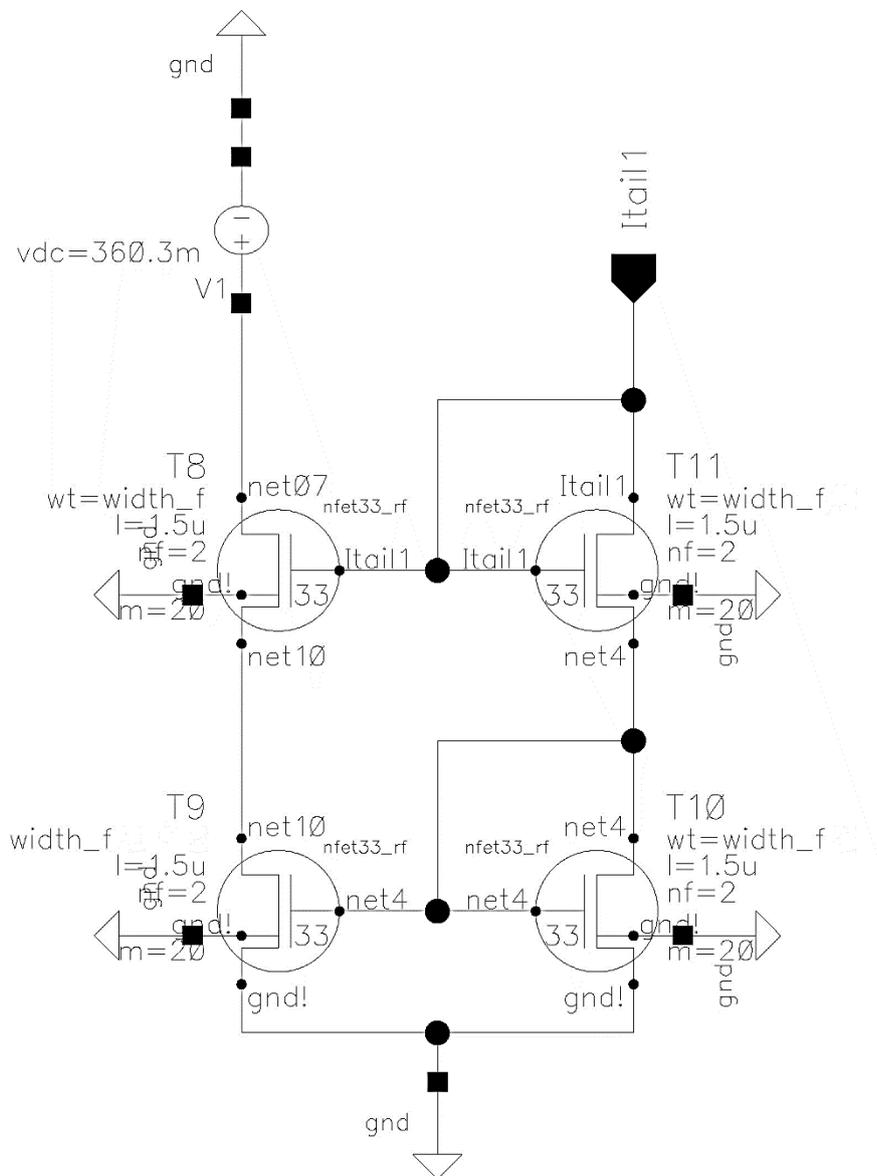


Figura 3.19. Espejo de corriente

Para garantizar que la copia de corriente sea lo más perfecta posible en la banda de interés, se han utilizado transistores tipo N del modelo *nfet33\_rf*. Las dimensiones fijadas para estos transistores son las siguientes: *length* = 1.5  $\mu\text{m}$ , *width* = 10  $\mu\text{m}$ , número de *fingers* = 2 y multiplicidad = 20. Si bien es cierto que el ancho y la multiplicidad elegidos hacen que los transistores del espejo de corriente sean algo grandes, estos tienen que aguantar corrientes de hasta 1mA, lo cual justifica su tamaño.

Con el fin de verificar que el doble espejo de corriente copia de forma correcta la corriente máxima de 1 mA suministrada por la fuente de corriente ideal, se ha de simular el espejo de corriente empleando el *setup* que se observa en la Figura 3.20.



**Figura 3.20. Setup de simulación del espejo de corriente.**

En el *setup* de simulación que se muestra en a Figura 3.20 se puede visualizar como en la parte la inferior izquierda se sitúa una fuente de tensión de 3.3 V encargada de suministrar la tensión necesaria a la fuente de corriente para que genere a su vez una corriente de 1 mA que circulará por la rama derecha del espejo de corriente y que tendremos que copiar en la rama izquierda.

Para comprobar que el circuito funciona como se espera, la rama de transistores tipo N de la izquierda del doble espejo de corriente debe tener el mismo valor de corriente que la que circula por la rama derecha. Para ello, se realiza una simulación en continua haciendo uso del *setup* de la Figura 3.20. Este proceso es iterativo, puesto que se variaron los tamaños de los transistores del espejo de corriente hasta alcanzar los valores comentados anteriormente. Con dichos valores, se obtienen los resultados mostrados en la Figura 3.21, donde se observa el punto de operación de los transistores que componen el espejo de corriente. En dicho circuito se comprueba que por la rama izquierda del

espejo de corriente circulan  $970.6\mu\text{A}$  de la corriente total que se suministra por la rama derecha (1 mA). No se ha podido ajustar más este valor al ideal, puesto que los transistores tipo N están dimensionados para que circule la máxima corriente por ellos y no es posible alcanzar un valor más alto que el citado. Como la diferencia con respecto al valor esperado es mínima, se considera correcto el resultado obtenido.

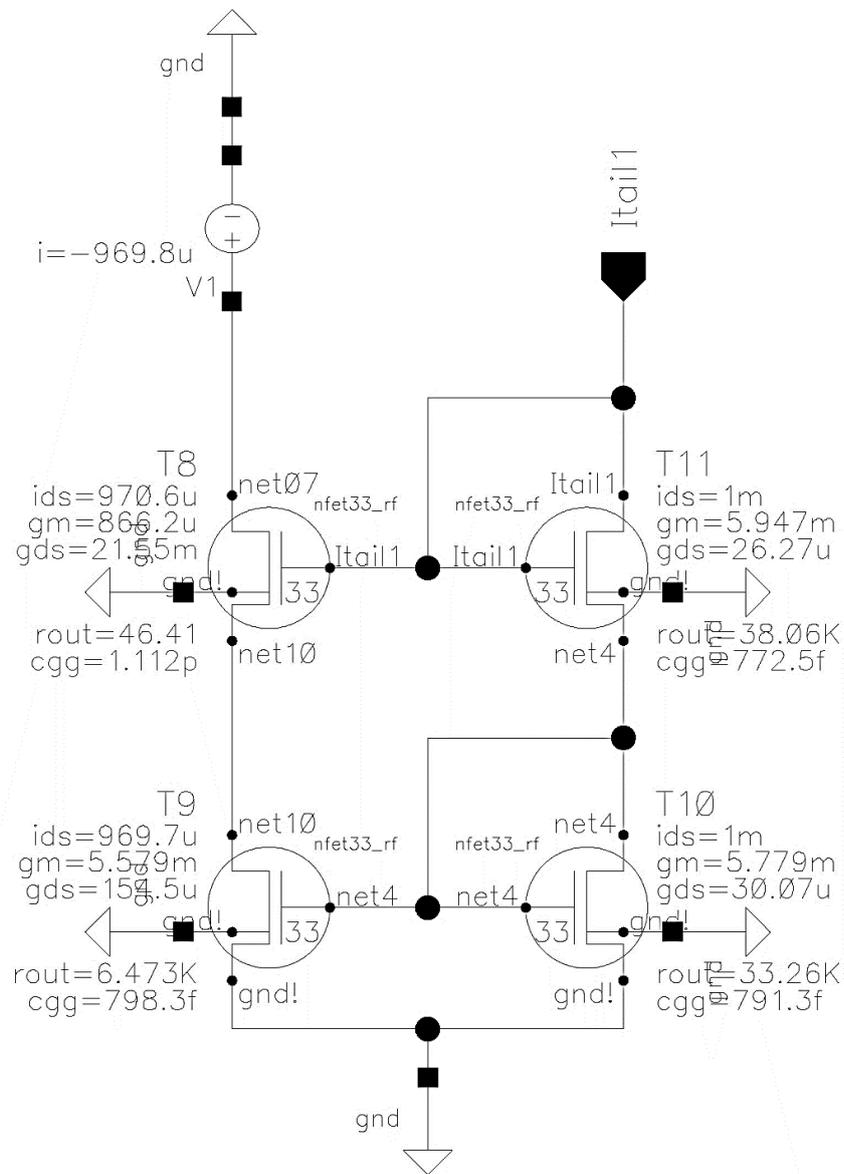


Figura 3.21. Punto de operación del espejo de corriente.

### 3.2.3. Desfasador

El tercer y último paso para implementar el desfasador a falta de reemplazar las fuentes de corriente ideales por DACs consiste en combinar el desfasador presentado en el Apartado 3.2.2 y el doble espejo de corriente. Para ello, se conectó el circuito del desfasador sin espejo de corriente que se muestra la Figura 3.16 a cuatro dobles espejos de corriente como el la Figura 3.19, obteniendo el desfasador que se presenta en la Figura 3.22.

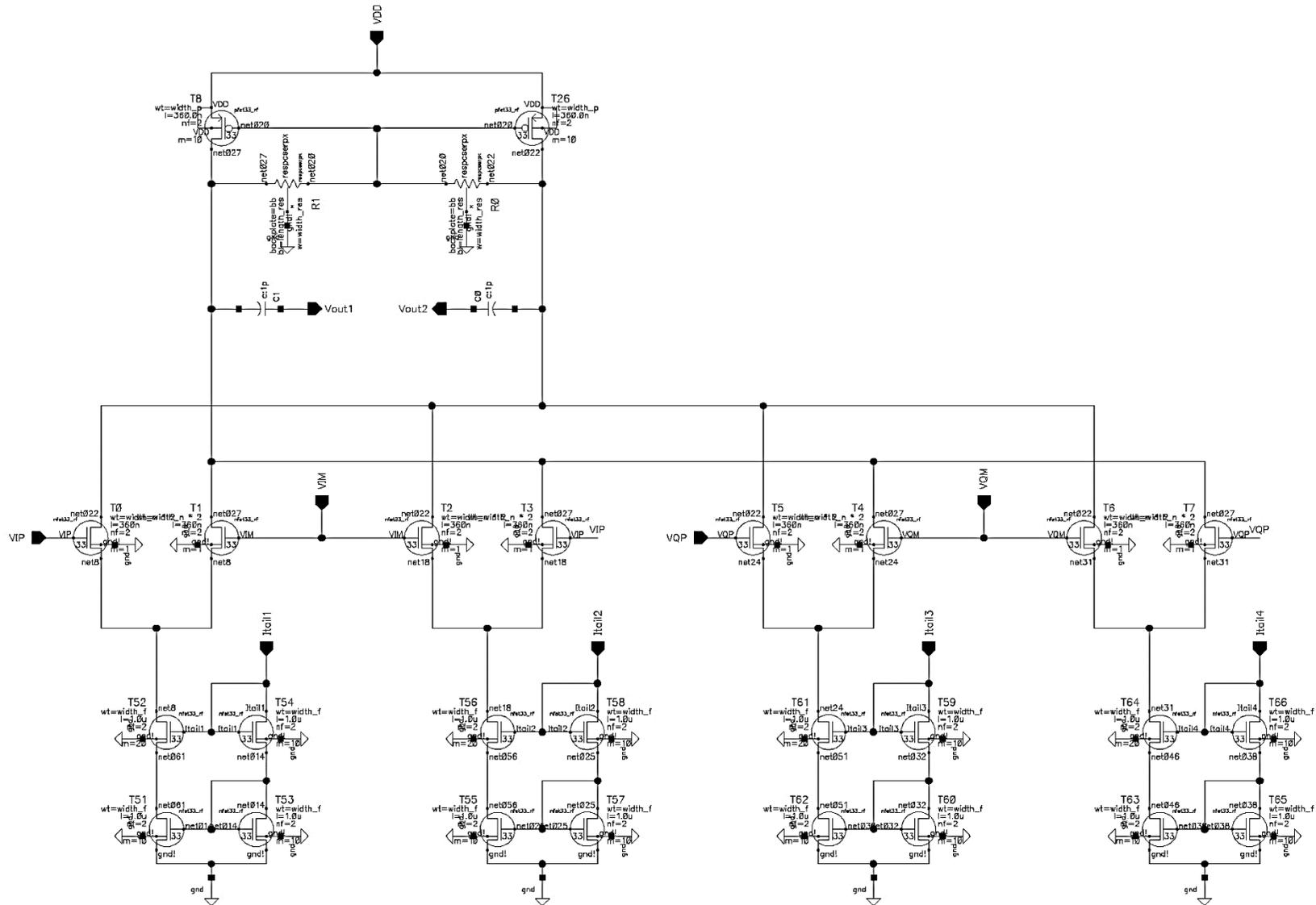


Figura 3.22. Desfasador incluyendo los dobles espejos de corriente.

Con el fin de comprobar que este desfasador funcionaba de forma correcta, se creó un símbolo para el nuevo desfasador y se montó el setup mostrado en la Figura 3.23, el cual es muy similar al ya presentado en la Figura 3.17.

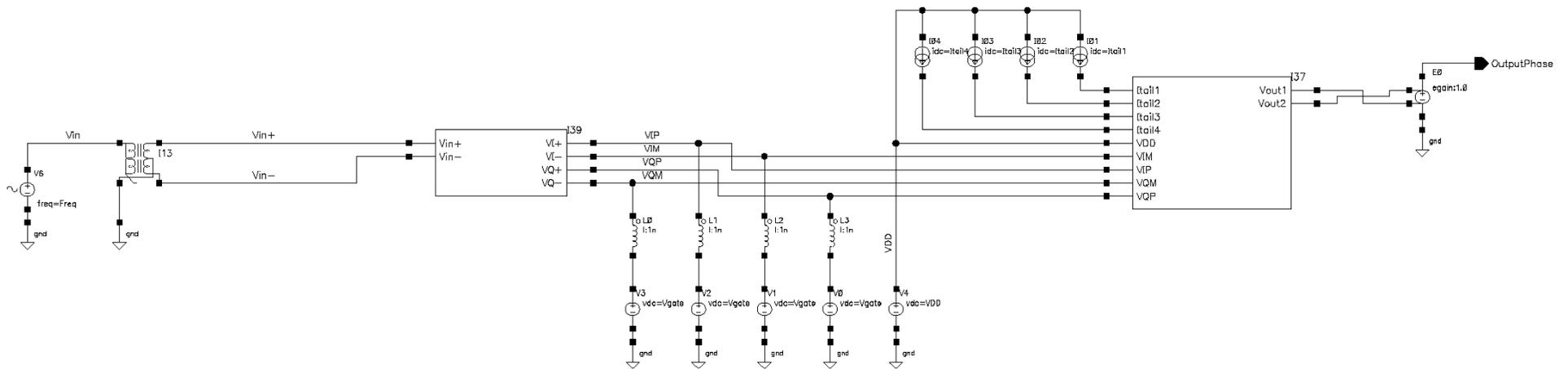


Figura 3.23. *Setup* de simulación del desfaseador.

En este *setup* de simulación se pueden visualizar el símbolo del desfaseador incluyendo los dobles espejos de corriente mostrados en la Figura 3.22. Del mismo modo, se observan en la parte superior derecha del esquemático cuatro fuentes de corriente que son las encargadas de hacer las veces de DAC y proporcionar las corrientes necesarias al espejo de corriente del desfaseador para su correcto funcionamiento. Por otra parte, las salidas del desfaseador se han conectado a una VCVS de ganancia 1 para obtener una señal de salida asimétrica.

El objetivo que se persigue en esta última parte de diseño es comprobar que se siguen manteniendo los valores de corriente señalados en los apartados 3.2.1 y 3.2.2, al igual que lograr que el desfaseador proporcione las diferentes fases de salida para cada uno de los cuatro cuadrantes garantizando el correcto funcionamiento del desfaseador a falta de la implementación del DAC. Para ello, se ha de variar la corriente de las fuentes de corriente ideales citadas anteriormente. La combinación de estas corrientes en el desfaseador produce los cambios de fase en la señal de salida, la cual se encontrará en uno de los cuatro cuadrantes dependiendo de las fuentes utilizadas en cada momento, tal y como se detalla a continuación:

- Primer cuadrante ( $0^\circ - 90^\circ$ ): Combinación de las fuentes de corriente  $I_{TAIL1}$  e  $I_{TAIL3}$ .  $I_{TAIL2}$  e  $I_{TAIL4}$  se mantienen en *OFF* (0A).
- Segundo cuadrante ( $90^\circ - 180^\circ$ ): Combinación de las fuentes de corriente  $I_{TAIL2}$  e  $I_{TAIL3}$ .  $I_{TAIL1}$  e  $I_{TAIL4}$  se mantienen en *OFF* (0A).
- Tercer cuadrante ( $180^\circ - 270^\circ$  ó  $-90^\circ - -180^\circ$ ): Combinación de las fuentes de corriente  $I_{TAIL2}$  e  $I_{TAIL4}$ .  $I_{TAIL1}$  e  $I_{TAIL3}$  se mantienen en *OFF* (0A).
- Cuarto cuadrante ( $270^\circ - 360^\circ$  ó  $-90^\circ - 0^\circ$ ): Combinación de las fuentes de corriente  $I_{TAIL1}$  e  $I_{TAIL4}$ .  $I_{TAIL2}$  e  $I_{TAIL3}$  se mantienen en *OFF* (0A).

Para garantizar que el cambio de fase no produce cambios en la amplitud de la señal de salida y que esta se mantiene constante, se ha buscado que las combinaciones de valores entre los pares de fuentes de corriente activas sumen 1 mA. De esta forma, si por ejemplo  $I_{TAIL1}$  tiene una corriente de 250  $\mu$ A,  $I_{TAIL3}$  proporcionará una corriente de 750  $\mu$ A, y la fase de la señal de salida se encontrará en el primer cuadrante.

En la Figura 3.24 se observa el punto de operación en DC del desfaseador incluyendo los dobles espejos de corriente, en el que se puede visualizar como en el caso de fijar una corriente  $I_{TAIL1}=1$  mA y todas las demás a 0 mA (salida en el 1er cuadrante), la corriente que entra al desfaseador desde el espejo de corriente es ligeramente inferior a las estimadas en los apartados 3.2.1 y 3.2.2. Esta diferencia se debe a la integración de ambos circuitos en uno solo.

Por otra parte, en la Figura 3.25, Figura 3.26, Figura 3.27 y Figura 3.28 se presentan las fases de salida del desfasador obtenidas al realizar una simulación AC con un barrido de  $I_{TAIL1}$ ,  $I_{TAIL3}$ ,  $I_{TAIL2}$  e  $I_{TAIL4}$ , respectivamente. Las corrientes se han variado entre 0 y 1 mA y su corriente “complementaria” para cada cuadrante se ha barrido según la relación  $I_{COMPx}=1mA-I_{TAILx}$ , siendo  $I_{TAILx}$  la corriente barrida en cada caso. De esta forma, se han obtenido todos los posibles valores de fase en cada cuadrante. Es necesario destacar que, por los efectos parásitos de los transistores que componen el desfasador, ha sido necesario aplicar un *offset* de  $-2.6146^\circ$  a todos los resultados obtenidos. En vista de los resultados obtenidos, se ha demostrado el correcto funcionamiento del desfasador y se puede proceder al diseño del DAC, que será el encargado de proporcionar los distintos valores de  $I_{TAIL}$  necesarios para cumplir con los requisitos establecidos en el Capítulo 1.

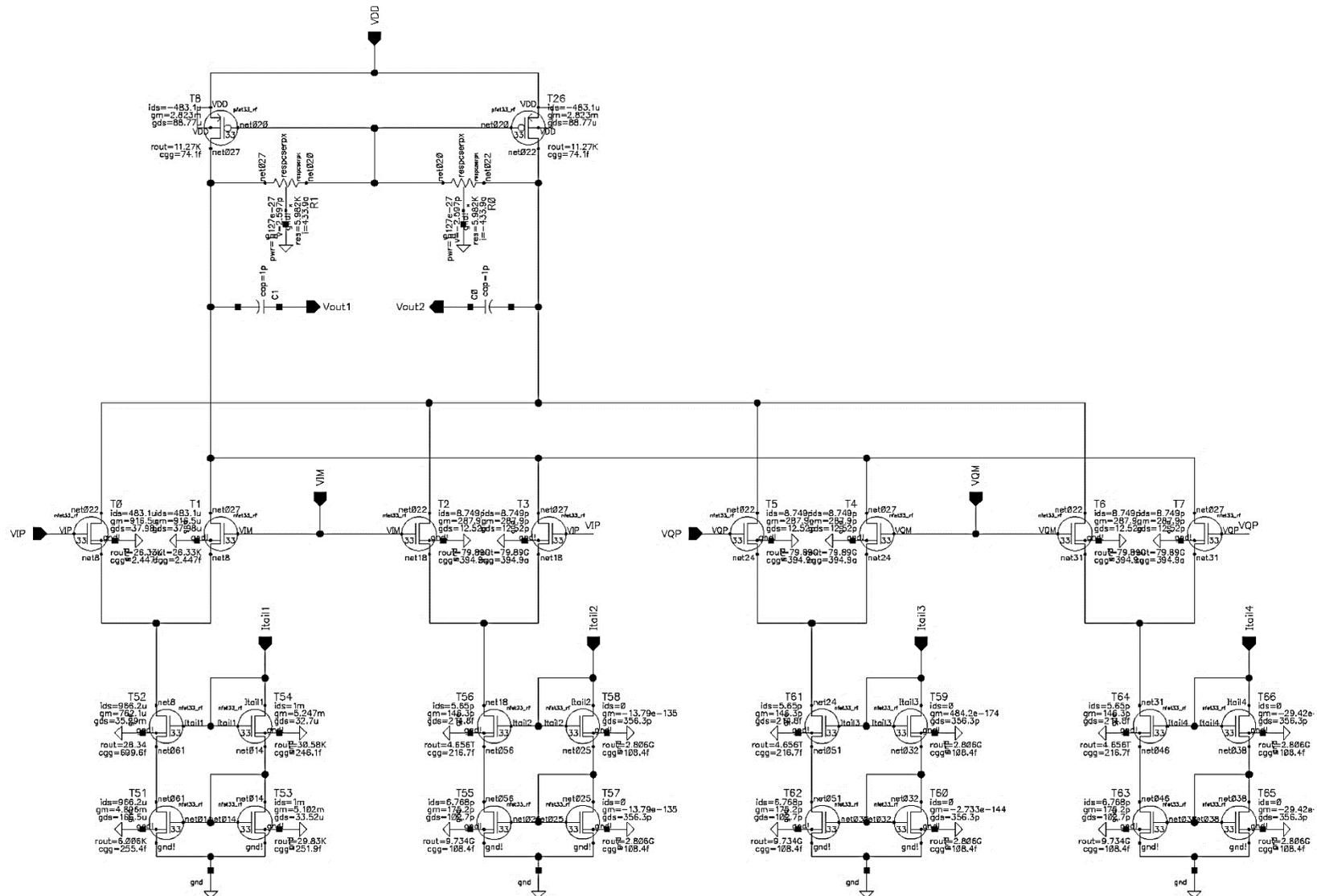


Figura 3.24. Simulación DC del desfaseador.

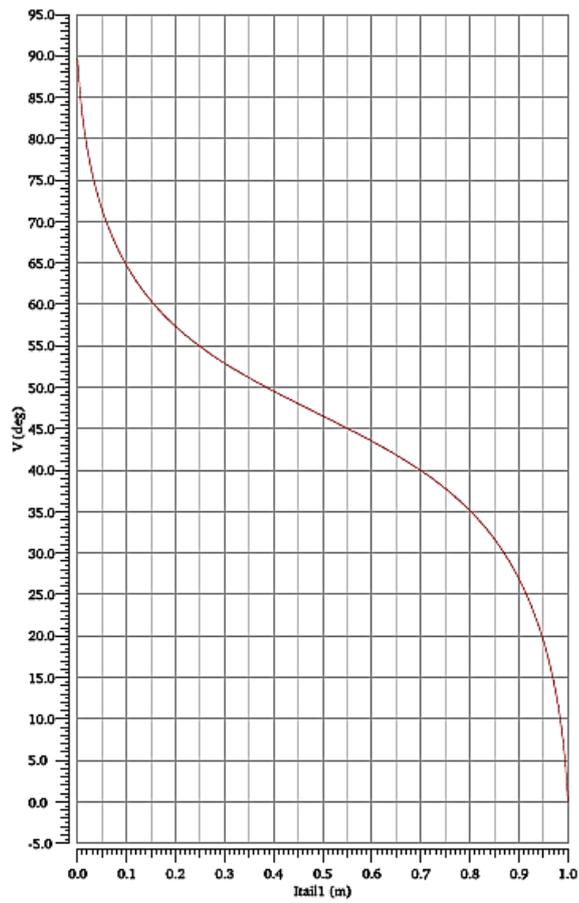


Figura 3.25. Relación entre las fases del primer cuadrante e  $l_{TAIL1}$ .

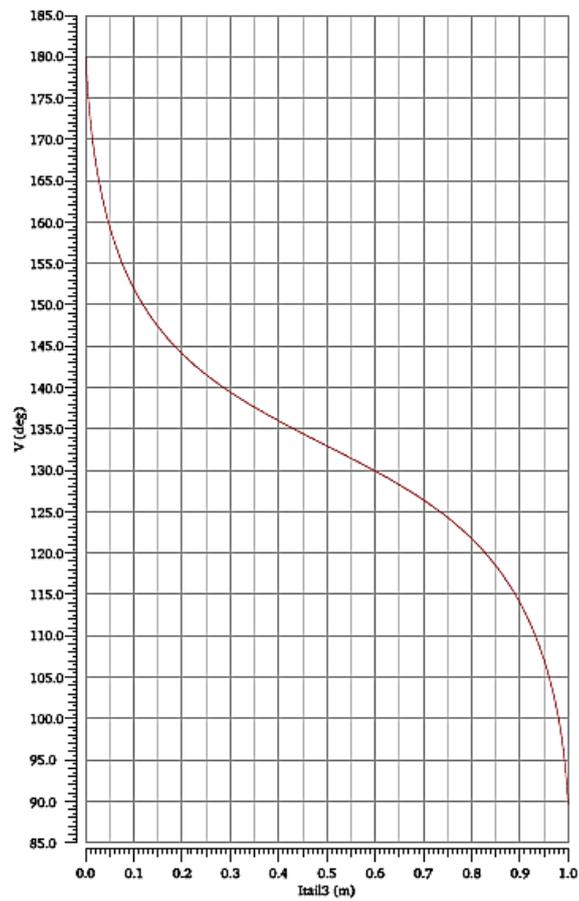


Figura 3.26. Relación entre las fases del segundo cuadrante e  $l_{TAIL3}$ .



Figura 3.27. Relación entre las fases del tercer cuadrante e  $l_{TAIL2}$ .



Figura 3.28. Relación entre las fases del cuarto cuadrante e  $l_{TAIL4}$ .

### **3.3. Diseño del DAC**

Una vez implementado el desfasador de manera satisfactoria y dando por concluido el diseño del mismo, se procedió a realizar el diseño de un DAC para sustituir las fuentes de corriente ideales que se habían integrado anteriormente en el circuito para conseguir los valores de fase necesarios. En este caso, se ha implementado un DAC de 8 bits para introducir en el desfasador las corrientes necesarias mediante distintas combinaciones de bits, con un rango de variación de 0 a 1 mA.

#### **3.3.1. Simulación del Desfasador**

En primer lugar, haciendo uso de las gráficas obtenidas en el apartado anterior, se obtuvieron los valores de las corrientes ideales que proporcionaban los distintos pasos de fase para los 4 cuadrantes, teniendo en cuenta el paso de fase de  $5.625^\circ$  establecido en las especificaciones. Los distintos valores obtenidos se recogen en la Tabla 2.

Tabla 2. Corrientes ideales obtenidas del desfasador.

Simulación Desfasador											
1° Cuadrante			2° Cuadrante			3° Cuadrante			4° Cuadrante		
Phase (°)	I <sub>TAIL1</sub> (mA)	I <sub>TAIL3</sub> (mA)	Phase (°)	I <sub>TAIL3</sub> (mA)	I <sub>TAIL2</sub> (mA)	Phase (°)	I <sub>TAIL2</sub> (mA)	I <sub>TAIL4</sub> (mA)	Phase (°)	I <sub>TAIL4</sub> (mA)	I <sub>TAIL1</sub> (mA)
0	1	0	90	0,999603	0,000397	180	1	0	270	0,999603	0,000397
5,625	0,992932	0,007068	95,625	0,991157	0,008843	185,625	0,992932	0,007068	275,625	0,991157	0,008843
11,25	0,980815	0,019185	101,25	0,97581	0,02419	191,25	0,980815	0,019185	281,25	0,97581	0,02419
16,875	0,961481	0,038519	106,875	0,951009	0,048991	196,875	0,961481	0,038519	286,875	0,951009	0,048991
22,5	0,932484	0,067516	112,5	0,913051	0,086949	202,5	0,932484	0,067516	292,5	0,913051	0,086949
28,125	0,888985	0,111015	118,125	0,854546	0,145454	208,125	0,888985	0,111015	298,125	0,854546	0,145454
33,75	0,821856	0,178144	123,75	0,76184	0,23816	213,75	0,821856	0,178144	303,75	0,76184	0,23816
39,375	0,714615	0,285385	129,375	0,616974	0,383026	219,375	0,714615	0,285385	309,375	0,616974	0,383026
45	0,552242	0,447758	135	0,431981	0,568019	225	0,552242	0,447758	315	0,431981	0,568019
50,625	0,365971	0,634029	140,625	0,271185	0,728815	230,625	0,365971	0,634029	320,625	0,271185	0,728815
56,25	0,221664	0,778336	146,25	0,165716	0,834284	236,25	0,221664	0,778336	326,25	0,165716	0,834284
61,875	0,131295	0,868705	151,875	0,101005	0,898995	241,875	0,131295	0,868705	331,875	0,101005	0,898995
67,5	0,0760542	0,9239458	157,5	0,0603987	0,9396013	247,5	0,0760542	0,9239458	337,5	0,0603987	0,9396013
73,125	0,0417576	0,9582424	163,125	0,0342286	0,9657714	253,125	0,0417576	0,9582424	343,125	0,0342286	0,9657714
78,75	0,0201541	0,9798459	168,75	0,0173053	0,9826947	258,75	0,0201541	0,9798459	348,75	0,0173053	0,9826947
84,375	0,00722079	0,99277921	174,375	0,00658644	0,99341356	264,375	0,00722079	0,99277921	354,375	0,00658644	0,99341356
90	0	1	180	4,47618E-08	0,99999996	270	0	1	360	4,47618E-08	0,99999996

### 3.3.2. Configuración de los Bits

Una vez obtenidas las corrientes ideales con las que se conseguían los valores de fase requeridos, se establecieron los valores de corriente que proporcionaría cada bit del DAC. Para ello, se seleccionó una corriente de referencia ( $I_{REF}$ ) de 19  $\mu A$ , valor aproximado que tiene  $I_{TAIL3}$  para el caso de desfase 11.25°. Se ha elegido este valor como referencia debido a que para comprobar el correcto funcionamiento del DAC se llevó a cabo una prueba con esta corriente, pero se podría haber seleccionado cualquier otro valor de cualquier otra de las corrientes señaladas en la Tabla 2. De cara a una futura implementación de este circuito, la referencia de corriente se proporcionará mediante un pad externo del circuito utilizando una fuente de precisión o se implementará con una resistencia correctamente caracterizada y una tensión fija. Una vez seleccionada la referencia de corriente, la codificación de los 8 bits del DAC se muestra en la Tabla 3.

Tabla 3. Codificación de los 8 bits del DAC.

Bits							
B0	B1	B2	B3	B4	B5	B6	B7
$I_{REF}/4$ ( $\mu A$ )	$I_{REF}/2$ ( $\mu A$ )	$I_{REF}$ ( $\mu A$ )	$2 I_{REF}$ ( $\mu A$ )	$4 I_{REF}$ ( $\mu A$ )	$8 I_{REF}$ ( $\mu A$ )	$16 I_{REF}$ ( $\mu A$ )	$32 I_{REF}$ ( $\mu A$ )
4,75	9,5	19	38	76	152	304	608

### 3.3.3. DAC

Una vez elegido el valor de corriente asociado a cada bit, se trató de conseguir que el DAC proporcionara dichos valores de la forma más ajustada posible, con el fin de garantizar el correcto funcionamiento de este. En la Figura 3.29 se muestra el DAC diseñado.

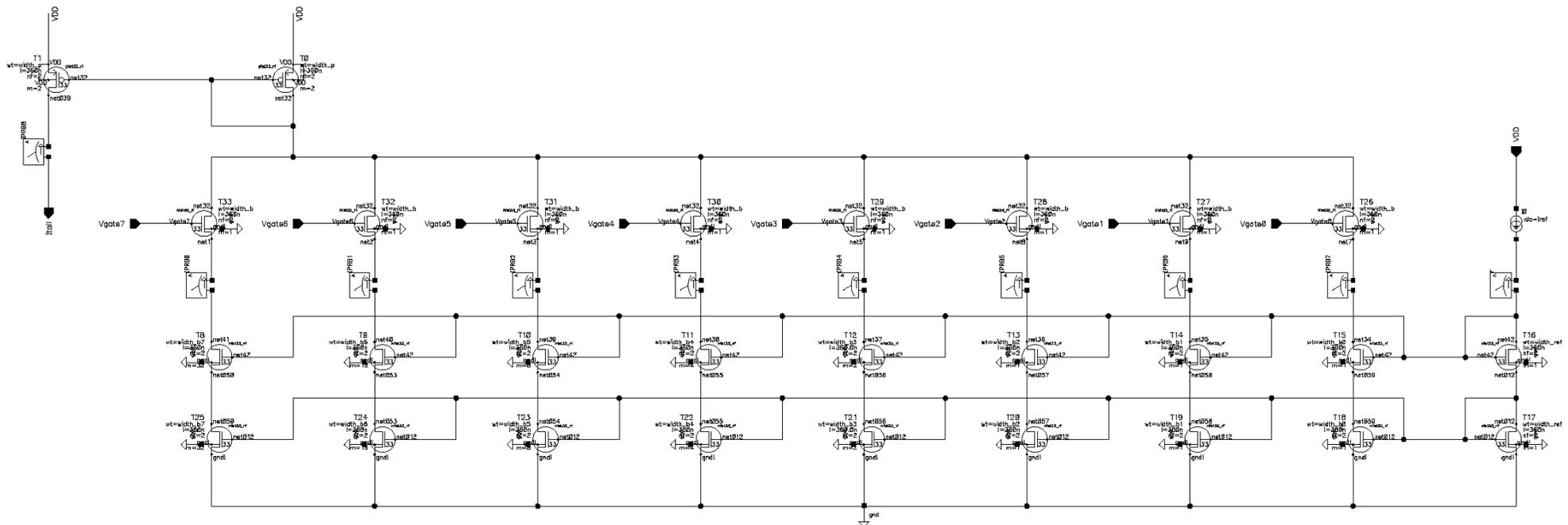


Figura 3.29. DAC.

Como se puede observar en el esquemático, la referencia de corriente ( $I_{REF}$ ) se introduce por la parte derecha del diagrama. En este caso, se ha utilizado una fuente de corriente ideal conectada a VDD, pero, como se conectó anteriormente, esta referencia vendría dada de forma externa en un posible futuro *layout*. Posteriormente,  $I_{REF}$  se copia utilizando un doble espejo de corriente implementado con transistores NMOS (*nfet33\_rf*) a las distintas ramas del DAC. Las dimensiones de los dos transistores NMOS utilizados en la rama de referencia son  $length = 360$  nm,  $width = 10$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 1. Como cada rama del DAC se corresponde con un bit del mismo y cada bit debe proporcionar un valor de corriente distinto, ha sido necesario obtener las dimensiones del espejo utilizado en cada rama por separado para las que se obtiene el valor objetivo. Por ello, las dimensiones de los transistores tipo N de cada rama se detallan a continuación:

- Transistores del espejo de corriente del Bit 0:  $length = 360$  nm,  $width = 1.1$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 1.
- Transistores del espejo de corriente del Bit 1:  $length = 360$  nm,  $width = 4.39$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 1.
- Transistores del espejo de corriente del Bit 2:  $length = 360$  nm,  $width = 10.04$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 1.
- Transistores del espejo de corriente del Bit 3:  $length = 360$  nm,  $width = 10.05$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 2.
- Transistores del espejo de corriente del Bit 4:  $length = 360$  nm,  $width = 10.06$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 4.
- Transistores del espejo de corriente del Bit 5:  $length = 360$  nm,  $width = 10.07$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 8.
- Transistores del espejo de corriente del Bit 6:  $length = 360$  nm,  $width = 10.09$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 16.
- Transistores del espejo de corriente del Bit 7:  $length = 360$  nm,  $width = 10.17$   $\mu$ m, número de *fingers* = 2 y multiplicidad = 32.

Para la conmutación del bit en cada rama, se han utilizado transistores NMOS (*nfet33\_rf*) como *switches*. Para ello, se conectaron los transistores a una tensión de puerta independiente para cada rama. De esta forma, cuando se fija una tensión de 1.65V (estado “ON”) en uno de los transistores, se deja pasar la corriente por dicha rama. Si, por el contrario, la tensión de puerta del

*switch* se fija a 0V (estado “OFF”), no circulará corriente por la rama. Todos estos *switches* se han dimensionado con *length* = 360 nm, *width* = 10 μm, número de *fingers* = 2 y multiplicidad = 1 para garantizar un correcto funcionamiento del circuito.

Una vez dimensionados los dobles espejos de corriente de cada rama y los *switches* para activarlas, se dimensionó el espejo de corriente con transistores tipo P (*pfet33\_rf*) que se puede observar en el esquemático. En el surtidor del transistor de la derecha se concentra la corriente resultante de la suma de los distintos bits activos, que es copiada hacia el desfasador. Como estos transistores aguantarán corrientes ligeramente por encima de 1mA en el peor de los casos, se han dimensionado de forma que puedan aguantar estas corrientes. Para ello, sus dimensiones son *length* = 360 nm, *width* = 10 μm, número de *fingers* = 2 y multiplicidad = 2.

Con el fin de verificar el correcto funcionamiento del DAC diseñado, se ha utilizado el *setup* que se observa en la Figura 3.30.

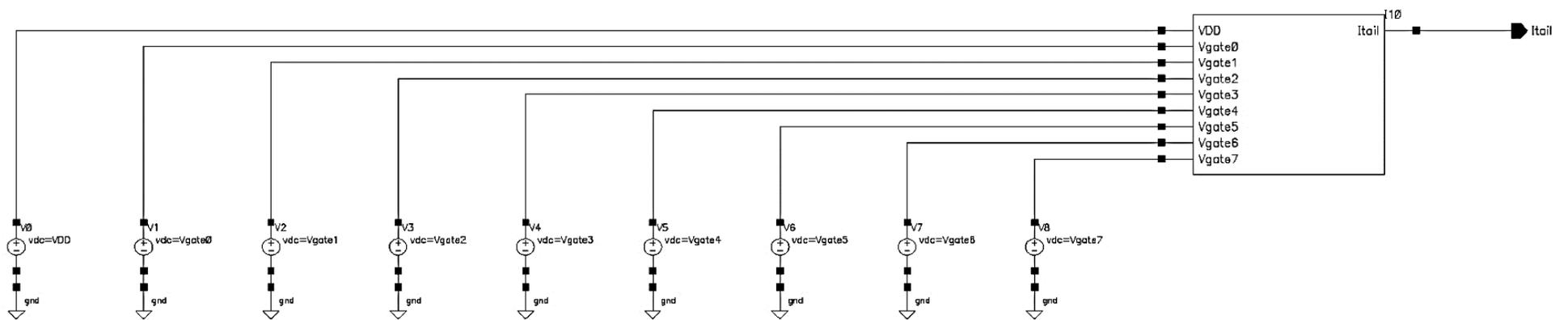


Figura 3.30. Setup de simulación del DAC.

En el *setup* de simulación que se muestra en a Figura 3.30 se pueden observar en la parte inferior las ocho fuentes de tensión encargadas de proporcionar la tensión de control en cada rama del DAC. Del mismo modo, el generador de tensión que se encuentra a la izquierda del esquemático es el encargado de proporcionar la tensión VDD mencionada anteriormente.

El objetivo que se persigue con este diseño, como se ha mencionado anteriormente, es lograr que por cada rama de bit del DAC circule el valor de corriente establecido en la Tabla 3. Para ello, se realizaron simulaciones en continua de forma iterativa en la que se fueron variando uno a uno los valores de los componentes en el esquemático que se muestra en la Figura 3.29 hasta lograr la meta deseada. Por tanto, no se trata de una cuestión trivial, puesto que se han de llevar a cabo numerosas simulaciones con el fin de que las corrientes se ajusten lo más posible a los valores ideales. Además, hemos de tener en cuenta que las dimensiones de los componentes citados anteriormente han de establecerse dentro de los estándares establecidos por los procesos de fabricación normales.

En la Figura 3.31 se observa el punto de operación del circuito tras realizar la simulación tipo DC, en el que se puede visualizar como por cada rama de bit circula la corriente establecida en la Tabla 3, aunque al estar todos los transistores en “ON” se produce un pequeño desajuste en las corrientes que hace que su valor no sea exacto. Sin embargo, el ajuste de los mismos se ha realizado individualmente, por lo que se da por bueno el resultado dado que en ningún caso estarán todas las ramas activas de forma simultánea.

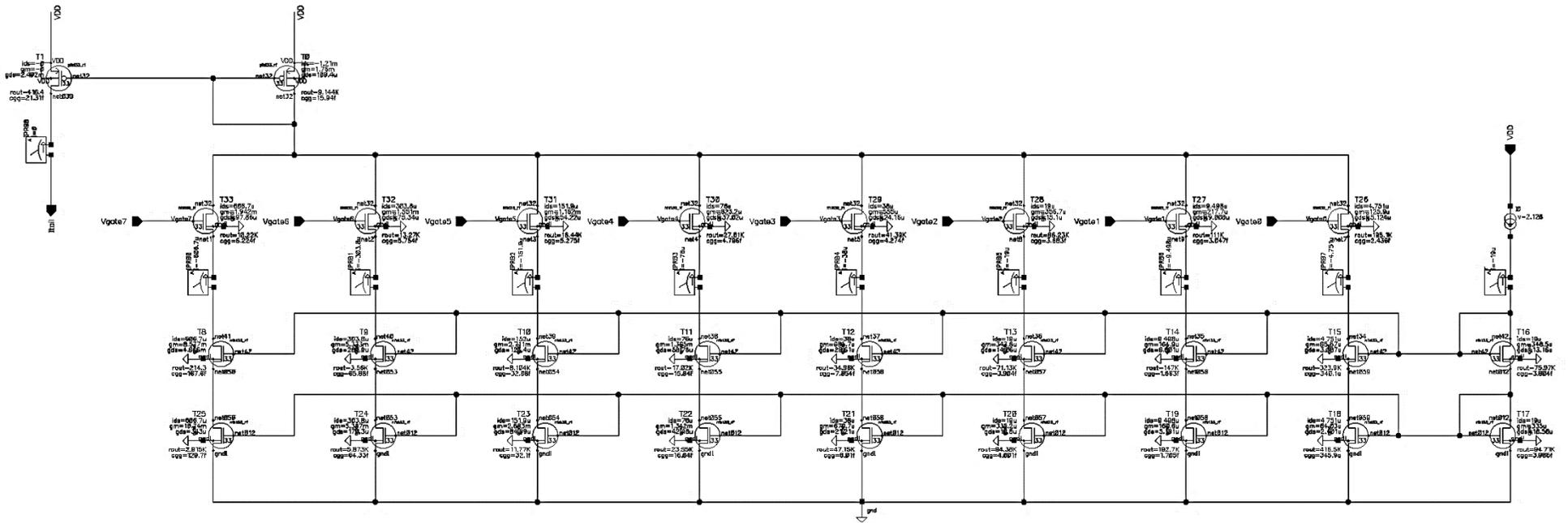


Figura 3.31. Simulación DC del DAC.

Una vez comprobado que las distintas ramas del DAC eran capaces de proporcionar las distintas corrientes establecidas en la Tabla 3, se procedió a constatar que mediante combinaciones del DAC se podían conseguir los valores de la corriente  $I_{TAIL3}$  mostrados en la Tabla 2. En la Tabla 4 se recogen los cálculos teóricos realizados, mientras que en la Tabla 5 se muestran los resultados reales. Como se puede observar, los valores se ajustan bastante bien a los calculados anteriormente, por lo que se dio por concluido el diseño del DAC y se procedió a la verificación final del diseño, que consiste en analizar los resultados de la integración de los DACs y el desfasador.

Tabla 4. Cálculo de las configuraciones de bits para la corriente  $I_{TAIL3}$ .

Cálculo Teórico $I_{TAIL3}$									
B7	B6	B5	B4	B3	B2	B1	B0	$I_{TAIL}$ obtenida ( $\mu A$ )	Valor ideal a alcanzar ( $\mu A$ )
0	0	0	0	0	0	0	1	4,75	7,068
0	0	0	0	0	1	0	0	19	19,185
0	0	0	0	1	0	0	0	38	38,519
0	0	0	0	1	1	1	0	66,5	67,516
0	0	0	1	0	1	1	1	109,25	111,015
0	0	1	0	0	1	1	0	180,5	178,144
0	0	1	1	1	1	0	0	285	285,385
0	1	0	1	1	1	1	0	446,5	447,758
1	0	0	0	0	1	1	0	636,5	634,029
1	0	1	0	0	1	0	0	779	778,336
1	0	1	1	0	1	1	1	869,25	868,705
1	1	0	0	0	0	1	0	921,5	923,9458
1	1	0	0	1	0	1	0	959,5	958,2424
1	1	0	0	1	1	1	0	978,5	979,8459
1	1	0	1	0	0	0	1	992,75	992,77921
1	1	0	1	0	0	1	0	997,5	1000

Tabla 5. Simulación de las configuraciones de bits calculadas para la corriente  $I_{TAIL3}$ .

Simulación $I_{TAIL3}$									
B7	B6	B5	B4	B3	B2	B1	B0	$I_{TAIL}$ ( $\mu A$ )	Referencia ( $\mu A$ )
0	0	0	0	0	0	0	1	6,803	4,75
0	0	0	0	0	1	0	0	24,56	19
0	0	0	0	1	0	0	0	46,71	38
0	0	0	0	1	1	1	0	78,66	66,5
0	0	0	1	0	1	1	1	125,2	109,25
0	0	1	0	0	1	1	0	200,5	180,5
0	0	1	1	1	1	0	0	308,2	285
0	1	0	1	1	1	1	0	469,6	446,5
1	0	0	0	0	1	1	0	653,8	636,5
1	0	1	0	0	1	0	0	788	779
1	0	1	1	0	1	1	1	871,3	869,25
1	1	0	0	0	0	1	0	918,9	921,5
1	1	0	0	1	0	1	0	953,3	959,5
1	1	0	0	1	1	1	0	970,4	978,5
1	1	0	1	0	0	0	1	983,2	992,75
1	1	0	1	0	0	1	0	987,4	997,5

### 3.3.4. Corrientes generadas por el DAC

Una vez concluido el diseño del DAC, se procedió a simular todas las configuraciones de bits posibles para hallar todas las corrientes generadas por el DAC en el rango de 0 a 1 mA establecido. Para ello, se utilizó el *setup* de simulación que se muestra en la Figura 3.30 y se simularon una a una las diferentes configuraciones de bits. En la Tabla 6 se recogen los resultados obtenidos. Llevar a cabo estas simulaciones fue fundamental para implementar el desfasador completo que se mostrará a continuación.

Tabla 6. Corrientes generadas por el DAC.

Simulación DAC								
B7	B6	B5	B4	B3	B2	B1	B0	I <sub>TAIL</sub> (µA)
0	0	0	0	0	0	0	0	1,627
0	0	0	0	0	0	0	1	6,803
0	0	0	0	0	0	1	0	12,94
0	0	0	0	0	0	1	1	18,82
0	0	0	0	0	1	0	0	24,56
0	0	0	0	0	1	0	1	30,2
0	0	0	0	0	1	1	0	35,75
0	0	0	0	0	1	1	1	41,25
0	0	0	0	1	0	0	0	46,71
0	0	0	0	1	0	0	1	52,11
0	0	0	0	1	0	1	0	57,48
0	0	0	0	1	0	1	1	62,81
0	0	0	0	1	1	0	0	68,12
0	0	0	0	1	1	0	1	73,4
0	0	0	0	1	1	1	0	78,66
0	0	0	0	1	1	1	1	83,9
0	0	0	1	0	0	0	0	89,12
0	0	0	1	0	0	0	1	94,32
0	0	0	1	0	0	1	0	99,5
0	0	0	1	0	0	1	1	104,7
0	0	0	1	0	1	0	0	109,8
0	0	0	1	0	1	0	1	115
0	0	0	1	0	1	1	0	120,1
0	0	0	1	0	1	1	1	125,2
0	0	0	1	1	0	0	0	130,3
0	0	0	1	1	0	0	1	135,4
0	0	0	1	1	0	1	0	140,4
0	0	0	1	1	0	1	1	145,5
0	0	0	1	1	1	0	0	150,6
0	0	0	1	1	1	0	1	155,6
0	0	0	1	1	1	1	0	160,6
0	0	0	1	1	1	1	1	165,7
0	0	1	0	0	0	0	0	170,6
0	0	1	0	0	0	0	1	175,6

0	0	1	0	0	0	1	0	180,6
0	0	1	0	0	0	1	1	185,6
0	0	1	0	0	1	0	0	190,6
0	0	1	0	0	1	0	1	195,6
0	0	1	0	0	1	1	0	200,5
0	0	1	0	0	1	1	1	206,5
0	0	1	0	1	0	0	0	210,5
0	0	1	0	1	0	0	1	215,4
0	0	1	0	1	0	1	0	220,3
0	0	1	0	1	0	1	1	225,3
0	0	1	0	1	1	0	0	230,2
0	0	1	0	1	1	0	1	235,1
0	0	1	0	1	1	1	0	240
0	0	1	0	1	1	1	1	244,9
0	0	1	1	0	0	0	0	249,8
0	0	1	1	0	0	0	1	254,7
0	0	1	1	0	0	1	0	259,6
0	0	1	1	0	0	1	1	264,5
0	0	1	1	0	1	0	0	269,4
0	0	1	1	0	1	0	1	274,3
0	0	1	1	0	1	1	0	279,1
0	0	1	1	0	1	1	1	284
0	0	1	1	1	0	0	0	288,8
0	0	1	1	1	0	0	1	293,7
0	0	1	1	1	0	1	0	298,5
0	0	1	1	1	0	1	1	303,4
0	0	1	1	1	1	0	0	308,2
0	0	1	1	1	1	0	1	313
0	0	1	1	1	1	1	0	317,8
0	0	1	1	1	1	1	1	322,7
0	1	0	0	0	0	0	0	327,3
0	1	0	0	0	0	0	1	332,2
0	1	0	0	0	0	1	0	336,9
0	1	0	0	0	0	1	1	341,7
0	1	0	0	0	1	0	0	346,5
0	1	0	0	0	1	0	1	351,3
0	1	0	0	0	1	1	0	356,1
0	1	0	0	0	1	1	1	360,9
0	1	0	0	1	0	0	0	365,7
0	1	0	0	1	0	0	1	370,4
0	1	0	0	1	0	1	0	375,2
0	1	0	0	1	0	1	1	380
0	1	0	0	1	1	0	0	384,7
0	1	0	0	1	1	0	1	389,5
0	1	0	0	1	1	1	0	394,2
0	1	0	0	1	1	1	1	399
0	1	0	1	0	0	0	0	403,7
0	1	0	1	0	0	0	1	408,4

0	1	0	1	0	0	1	0	413,2
0	1	0	1	0	0	1	1	417,9
0	1	0	1	0	1	0	0	422,6
0	1	0	1	0	1	0	1	427,3
0	1	0	1	0	1	1	0	432,1
0	1	0	1	0	1	1	1	436,8
0	1	0	1	1	0	0	0	441,5
0	1	0	1	1	0	0	1	446,2
0	1	0	1	1	0	1	0	450,9
0	1	0	1	1	0	1	1	455,6
0	1	0	1	1	1	0	0	460,3
0	1	0	1	1	1	0	1	464,9
0	1	0	1	1	1	1	0	469,6
0	1	0	1	1	1	1	1	474,3
0	1	1	0	0	0	0	0	478,9
0	1	1	0	0	0	0	1	483,6
0	1	1	0	0	0	1	0	488,3
0	1	1	0	0	0	1	1	492,9
0	1	1	0	0	1	0	0	497,6
0	1	1	0	0	1	0	1	502,2
0	1	1	0	0	1	1	0	506,9
0	1	1	0	0	1	1	1	511,5
0	1	1	0	1	0	0	0	516,2
0	1	1	0	1	0	0	1	520,8
0	1	1	0	1	0	1	0	525,5
0	1	1	0	1	0	1	1	530,1
0	1	1	0	1	1	0	0	534,7
0	1	1	0	1	1	0	1	539,3
0	1	1	0	1	1	1	0	544
0	1	1	0	1	1	1	1	548,6
0	1	1	1	0	0	0	0	553,2
0	1	1	1	0	0	0	1	557,8
0	1	1	1	0	0	1	0	562,4
0	1	1	1	0	0	1	1	567
0	1	1	1	0	1	0	0	571,6
0	1	1	1	0	1	0	1	576,2
0	1	1	1	0	1	1	0	580,8
0	1	1	1	0	1	1	1	585,4
0	1	1	1	1	0	0	0	590
0	1	1	1	1	0	0	1	594,6
0	1	1	1	1	0	1	0	599,1
0	1	1	1	1	0	1	1	603,7
0	1	1	1	1	1	0	0	608,3
0	1	1	1	1	1	0	1	612,9
0	1	1	1	1	1	1	0	617,4
0	1	1	1	1	1	1	1	622
1	0	0	0	0	0	0	0	626,6
1	0	0	0	0	0	0	1	631,2

1	0	0	0	0	0	1	0	635,7
1	0	0	0	0	0	1	1	640,3
1	0	0	0	0	1	0	0	644,8
1	0	0	0	0	1	0	1	649,3
1	0	0	0	0	1	1	0	653,8
1	0	0	0	0	1	1	1	658,4
1	0	0	0	1	0	0	0	662,9
1	0	0	0	1	0	0	1	667,4
1	0	0	0	1	0	1	0	671,9
1	0	0	0	1	0	1	1	676,4
1	0	0	0	1	1	0	0	680,9
1	0	0	0	1	1	0	1	685,4
1	0	0	0	1	1	1	0	689,9
1	0	0	0	1	1	1	1	694,4
1	0	0	1	0	0	0	0	698,9
1	0	0	1	0	0	0	1	703,4
1	0	0	1	0	0	1	0	707,9
1	0	0	1	0	0	1	1	712,4
1	0	0	1	0	1	0	0	716,9
1	0	0	1	0	1	0	1	721,3
1	0	0	1	0	1	1	0	725,8
1	0	0	1	0	1	1	1	730,3
1	0	0	1	1	0	0	0	734,7
1	0	0	1	1	0	0	1	739,2
1	0	0	1	1	0	1	0	743,7
1	0	0	1	1	0	1	1	748,1
1	0	0	1	1	1	0	0	752,6
1	0	0	1	1	1	0	1	757
1	0	0	1	1	1	1	0	761,5
1	0	0	1	1	1	1	1	765,9
1	0	1	0	0	0	0	0	770,3
1	0	1	0	0	0	0	1	774,7
1	0	1	0	0	0	1	0	779,1
1	0	1	0	0	0	1	1	783,5
1	0	1	0	0	1	0	0	788
1	0	1	0	0	1	0	1	792,4
1	0	1	0	0	1	1	0	796,8
1	0	1	0	0	1	1	1	801,2
1	0	1	0	1	0	0	0	805,6
1	0	1	0	1	0	0	1	810,1
1	0	1	0	1	0	1	0	814,4
1	0	1	0	1	0	1	1	818,8
1	0	1	0	1	1	0	0	823,2
1	0	1	0	1	1	0	1	827,6
1	0	1	0	1	1	1	0	832
1	0	1	0	1	1	1	1	836,4
1	0	1	1	0	0	0	0	840,8
1	0	1	1	0	0	0	1	845,2

1	0	1	1	0	0	1	0	849,5
1	0	1	1	0	0	1	1	853,9
1	0	1	1	0	1	0	0	858,3
1	0	1	1	0	1	0	1	862,6
1	0	1	1	0	1	1	0	867
1	0	1	1	0	1	1	1	871,3
1	0	1	1	1	0	0	0	875,7
1	0	1	1	1	0	0	1	880,1
1	0	1	1	1	0	1	0	884,4
1	0	1	1	1	0	1	1	888,7
1	0	1	1	1	1	0	0	893,1
1	0	1	1	1	1	0	1	897,4
1	0	1	1	1	1	1	0	901,7
1	0	1	1	1	1	1	1	906,1
1	1	0	0	0	0	0	0	910,3
1	1	0	0	0	0	0	1	914,6
1	1	0	0	0	0	1	0	918,9
1	1	0	0	0	0	1	1	923,2
1	1	0	0	0	1	0	0	927,5
1	1	0	0	0	1	0	1	931,8
1	1	0	0	0	1	1	0	936,1
1	1	0	0	0	1	1	1	940,4
1	1	0	0	1	0	0	0	944,7
1	1	0	0	1	0	0	1	949
1	1	0	0	1	0	1	0	953,3
1	1	0	0	1	0	1	1	957,6
1	1	0	0	1	1	0	0	961,8
1	1	0	0	1	1	0	1	966,1
1	1	0	0	1	1	1	0	970,4
1	1	0	0	1	1	1	1	974,6
1	1	0	1	0	0	0	0	978,9
1	1	0	1	0	0	0	1	983,2
1	1	0	1	0	0	1	0	987,4
1	1	0	1	0	0	1	1	991,7
1	1	0	1	0	1	0	0	995,9
1	1	0	1	0	1	0	1	1000

### 3.3.5. Simulación del Desfasador Completo

Una vez implementado de manera satisfactoria el desfasador (apartado 3.2.3) y el DAC (apartado 3.3.3), para concluir con el diseño se procedió a simular el desfasador completo incluyendo el DAC.

El objetivo que se buscaba alcanzar en esta parte final del diseño era obtener los distintos desfases para los cuatro cuadrantes teniendo en cuenta los valores de corriente generados por el DAC recogidos en la Tabla 6 y el paso de fase ( $5.625^\circ$ ) establecido en las especificaciones. Para ello, se simuló el desfasador completo empleando el *setup* que se observa en la Figura 3.32, donde se puede observar que en la parte superior del esquemático se sitúan los cuatro DACs que sustituyen a las cuatro fuentes de corriente presentes en el desfasador diseñado anteriormente.

Como resultado de las simulaciones del desfasador completo, en la Tabla 7 y Tabla 8 se muestran las corrientes obtenidas para el primer y segundo cuadrante puesto que, como se puede observar en la Tabla 2, los valores de primer cuadrante son iguales a los del tercero y los del segundo son iguales a los del cuarto. En la Tabla 7 y Tabla 8 se pueden apreciar los errores de corriente y fase existentes entre el desfasador sin DAC y el desfasador completo simulado. Dado que estos errores no son significativamente grandes y cumplimos con las especificaciones establecidas inicialmente, se puede afirmar que se consigue el objetivo del paso de fase especificado.

Por otra parte, para seguir comprobando el cumplimiento de las especificaciones, se ha calculado el error de fase en toda la banda de frecuencia (27.5 – 30GHz) del desfasador. Para ello, se ha realizado una simulación AC en la que se obtiene una fase para  $44.9605^\circ$  en la frecuencia central (28.75GHz), tal como se muestra en la Figura 3.33. Se ha escogido esta fase dado que es un valor intermedio de fase que puede ejemplificar perfectamente el funcionamiento del desfasador. Una vez hallada la fase, se ha obtenido la fase de la señal de salida en los extremos de la banda (27.5GHz y 30GHz) y se ha obtenido la diferencia de fase tal como se recoge en la ecuación 3.5, obteniendo un Error de Fase en la Banda de Frecuencia (EFBF) de  $4.93^\circ$ .

Seguidamente, se ha calculado la planitud de amplitud para cambio de fase del desfasador. Para ello, se ha llevado a cabo una simulación AC en la que se representan la amplitud de fase para  $50.6484^\circ$  y la amplitud de fase para  $44.9605^\circ$ , es decir, la fase en  $45^\circ$  y su paso siguiente  $51^\circ$ . Una vez simuladas ambas fases, tal como se observa en la Figura 3.34 y Figura 3.35 respectivamente, se ha calculado la amplitud de estas para luego hallar su diferencia, tal como se recoge en la ecuación 3.6, obteniendo una Planitud de Amplitud para Cambio de Fase (PACF) de  $-0.0072$  dB. Este resultado demuestra que la amplitud de la señal se mantiene prácticamente constante al variar la fase.

Del mismo modo, se ha calculado la planitud de ganancia (del inglés *gain flatness*) del desfasador para la banda completa. Para ello, se ha realizado una simulación de parámetros S en la que se representa la amplitud de las pérdidas por inserción del desfasador. Una vez halladas las pérdidas, tal como se muestra en la Figura 3.36, se ha calculado la amplitud de estas, tal como se recoge en la ecuación 3.7, obteniendo una Planitud de Ganancia para Banda Entera (PGBE) de -1.4277 dB.

A continuación, se calcularon las pérdidas de retorno entrada/salida del desfasador. Para ello, se ha llevado a cabo una simulación de parámetros S en la que se representan la adaptación de entrada (Figura 3.37) y las pérdidas por inserción (Figura 3.38) del desfasador en la frecuencia central de la banda ( $f_c = 28.75$  GHz). Hemos de tener en cuenta para la entrada el balun ideal y para la salida la fuente VCVS ideal, por lo que se obtienen unas pérdidas de retorno entrada/salida de -7.8660 dB y -27.1454 dB respectivamente.

Además, se ha hallado el aislamiento del puerto de salida del desfasador. Para ello, se ha realizado una simulación de parámetros S en la que se representa la adaptación del puerto de salida en la frecuencia central de la banda ( $f_c = 28.75$  GHz), tal como se observa en la Figura 3.39, pero sin tener en cuenta la fuente VCVS puesto que al ser ideal introduce unas pérdidas mayores. Se obtiene, por tanto, un aislamiento del puerto de salida de -67.7695 dB.

En adición, se han hallado las fases para  $44.9605^\circ$  (o lo que es lo mismo,  $45^\circ$ ) para el rango de temperaturas en el que opera el desfasador. Para ello, se ha llevado a cabo una simulación AC en la que se representan las fases obtenidas para las temperaturas de -40, 25 y  $85^\circ\text{C}$  para todas las posibles configuraciones de los transistores utilizados en los diseños: *Typical-Typical* (TT), *Functional Fast NMOS*, *Fast PMOS* (FFF), *Functional Slow NMOS*, *Slow PMOS* (SSF), *Fast NMOS*, *Slow PMOS* (FS), *Slow NMOS*, *Fast PMOS* (SF), *Fast NMOS*, *Fast PMOS* (FF) y *Slow NMOS*, *Slow PMOS* (SS). Los resultados obtenidos se muestran en la Figura 3.40 y se recogen en la Tabla 9. Como se puede observar, las diferencias no son significativas, lo cual demuestra que el circuito puede funcionar correctamente en un rango de temperaturas bastante amplio y en distintos supuestos.

Para concluir con las simulaciones, se ha hallado la ganancia en tensión del desfasador. Este parámetro ha sido calculado mediante una simulación AC en la cual se representa la señal de entrada *Vin* y la salida del circuito, *OutputPhase*. En la Figura 3.41 se muestran ambas señales. Como se puede observar, las señales presentan un nivel prácticamente constante en toda la banda de interés. En la frecuencia central de la banda ( $f_c = 28.75$  GHz), el valor de la ganancia en tensión del circuito obtenido tras aplicar la ecuación 3.8 es de -25.4908 dB.

Finalmente, en el Capítulo 4 se recogen todos los resultados obtenidos a lo largo del proceso de diseño.

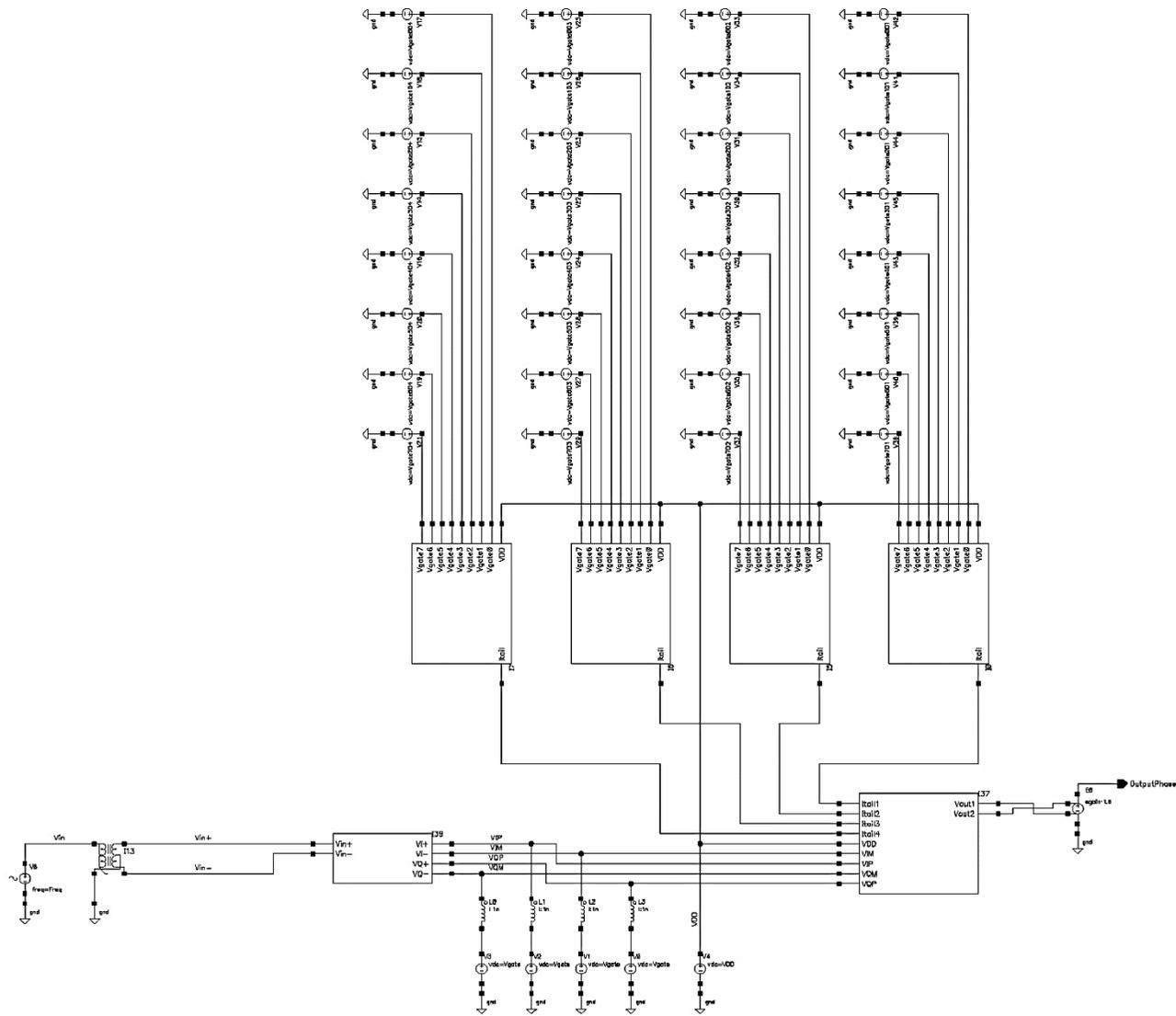


Figura 3.32. Setup de simulación del desfasador completo.

Tabla 7. Corrientes del primer y tercer cuadrante obtenidas del desfasador completo.

Simulación Desfasador Completo (1° y 3° Cuadrante)																								
DAC I <sub>TAIL1</sub>											DAC I <sub>TAIL3</sub>									Resultados Phase				
B7	B6	B5	B4	B3	B2	B1	B0	I <sub>TAIL</sub> (μA)	Ref (μA)	Error I <sub>TAIL1</sub>	B7	B6	B5	B4	B3	B2	B1	B0	I <sub>TAIL</sub> (μA)	Ref (μA)	Error I <sub>TAIL3</sub>	Phase (°)	Ref (°)	Phase Error
1	1	0	1	0	1	0	1	1000	1000	0	0	0	0	0	0	0	0	0	1,627	0	1,627	38,046u	0	38,046u
1	1	0	1	0	0	1	1	991,7	992,932	1,232	0	0	0	0	0	0	1	6,803	7,068	0,265	5,5714	5,625	0,0536	
1	1	0	1	0	0	0	0	978,9	980,815	1,915	0	0	0	0	0	0	1	18,82	19,185	0,365	11,13688	11,25	0,11312	
1	1	0	0	1	1	0	0	961,8	961,481	0,319	0	0	0	0	0	1	1	41,25	38,519	2,731	17,50881	16,875	0,63381	
1	1	0	0	0	1	0	1	931,8	932,484	0,684	0	0	0	0	1	1	0	0	68,12	67,516	0,604	22,59175	22,5	0,09175
1	0	1	1	1	0	1	1	888,7	888,985	0,285	0	0	0	1	0	1	0	0	109,8	111,015	1,215	27,9983	28,125	0,1267
1	0	1	0	1	1	0	0	823,2	821,856	1,344	0	0	1	0	0	0	1	0	180,6	178,144	2,456	33,89419	33,75	0,14419
1	0	0	1	0	0	1	1	712,4	714,615	2,215	0	0	1	1	0	1	1	1	284	285,385	1,385	39,34496	39,375	0,03004
0	1	1	1	0	0	0	0	553,2	552,242	0,958	0	1	0	1	1	0	0	1	446,2	447,758	1,558	45	45	0,0395
0	1	0	0	1	0	0	0	365,7	365,971	0,271	1	0	0	0	0	0	1	0	635,7	634,029	1,671	50,6484	50,625	0,0234
0	0	1	0	1	0	1	0	220,3	221,664	1,364	1	0	1	0	0	0	1	0	779,1	778,336	0,764	56,3094	56,25	0,0594
0	0	0	1	1	0	0	0	130,3	131,295	0,995	1	0	1	1	0	1	1	0	867	868,705	1,705	61,9444	61,875	0,0694
0	0	0	0	1	1	1	0	78,66	76,0542	2,6058	1	1	0	0	0	0	1	1	923,2	923,9458	0,7458	67,1821	67,5	0,3179
0	0	0	0	0	1	1	1	41,25	41,7576	0,5076	1	1	0	0	1	0	1	1	957,6	958,2424	0,6424	73,22161	73,125	0,02839
0	0	0	0	0	0	1	1	18,82	20,1541	1,3341	1	1	0	1	0	0	0	0	978,9	979,8459	0,9459	79,2048	78,75	0,4548
0	0	0	0	0	0	0	1	6,803	7,22079	0,41779	1	1	0	1	0	0	1	1	991,7	992,77921	1,07921	84,51682	84,375	0,14182
0	0	0	0	0	0	0	0	1,627	0	1,627	1	1	0	1	0	1	0	1	1000	1000	0	89,68878	90	0,31122

Tabla 8. Corrientes del segundo y cuarto cuadrante obtenidas del desfasador completo.

Simulación Desfasador Completo (2° y 4° Cuadrante)																								
DAC I <sub>TAIL3</sub>											DAC I <sub>TAIL2</sub>									Resultados Phase				
B7	B6	B5	B4	B3	B2	B1	B0	I <sub>TAIL</sub> (μA)	Ref (μA)	Error I <sub>TAIL3</sub>	B7	B6	B5	B4	B3	B2	B1	B0	I <sub>TAIL</sub> (μA)	Ref (μA)	Error I <sub>TAIL2</sub>	Phase (°)	Ref (°)	Phase Error
1	1	0	1	0	1	0	1	1000	999,603	0,397	0	0	0	0	0	0	0	0	1,627	0,397	1,23	89,68878	90	0,31122
1	1	0	1	0	0	1	1	991,7	991,157	0,543	0	0	0	0	0	0	1	6,803	8,843	2,04	94,64241	95,625	0,98259	
1	1	0	0	1	1	1	1	974,6	975,81	1,21	0	0	0	0	0	1	0	0	24,56	24,19	0,37	101,3657	101,25	0,1157
1	1	0	0	1	0	0	1	949	951,009	2,009	0	0	0	0	1	0	0	0	46,71	48,991	2,281	106,4608	106,875	0,4142
1	1	0	0	0	0	0	1	914,6	913,051	1,549	0	0	0	1	0	0	0	0	89,12	86,949	2,171	112,7393	112,5	0,2393
1	0	1	1	0	0	1	1	853,9	854,546	0,646	0	0	0	1	1	0	1	1	145,5	145,454	0,046	118,1294	118,125	0,0044
1	0	0	1	1	1	1	0	761,5	761,84	0,34	0	0	1	0	1	1	1	0	240	238,16	1,84	123,8307	123,75	0,0807
0	1	1	1	1	1	1	0	617,4	616,974	0,426	0	1	0	0	1	1	0	0	384,7	383,026	1,674	129,4098	129,375	0,0348
0	1	0	1	0	1	1	0	432,1	431,981	0,119	0	1	1	1	0	0	1	1	567	568,019	1,019	135	135	0,01423
0	0	1	1	0	1	0	0	269,4	271,185	1,785	1	0	0	1	0	1	1	1	730,3	728,815	1,485	140,69766	140,625	0,07266
0	0	0	1	1	1	1	1	165,7	165,716	0,016	1	0	1	0	1	1	1	1	836,4	834,284	2,116	146,26677	146,25	0,01677
0	0	0	1	0	0	1	0	99,5	101,005	1,505	1	0	1	1	1	1	0	1	897,4	898,995	1,595	152,03316	151,875	0,15816
0	0	0	0	1	0	1	1	62,81	60,3987	2,4113	1	1	0	0	0	1	1	1	940,4	939,6013	0,7987	157,09898	157,5	0,40102
0	0	0	0	0	1	1	0	35,75	34,2286	1,5214	1	1	0	0	1	1	0	1	966,1	965,7714	0,3286	162,724	163,125	0,401
0	0	0	0	0	0	1	1	18,82	17,3053	1,5147	1	1	0	1	0	0	0	1	983,2	982,6947	0,5053	168,1041	168,75	0,6459
0	0	0	0	0	0	0	1	6,803	6,58644	0,21656	1	1	0	1	0	0	1	1	991,7	993,41356	1,71356	174,1312	174,375	0,2438
0	0	0	0	0	0	0	0	1,627	4,47618E-05	1,62695524	1	1	0	1	0	1	0	1	1000	999,999955	0,000045	180	180	0

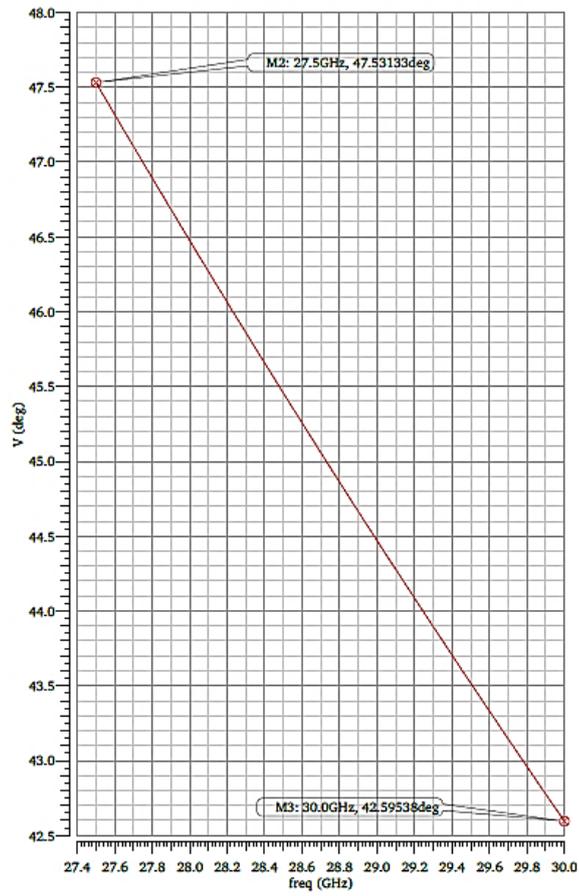


Figura 3.33. Amplitud de fase para 45° [°].

$$E_{FBF} = m_2 - m_3 = 47.53133 - 42.59538 = 4.93595^\circ \quad (3.5)$$

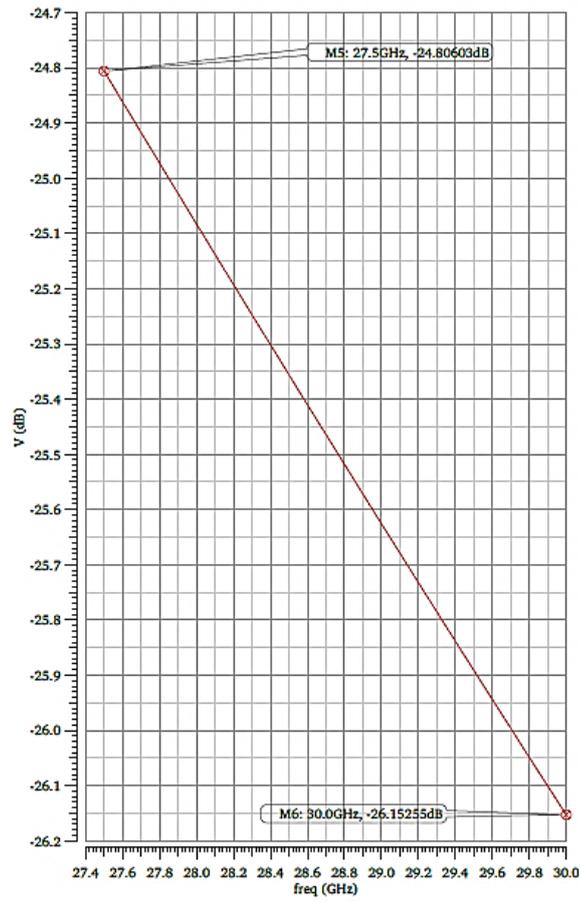


Figura 3.34. Amplitud de la señal con fase  $45^\circ$  [dB].

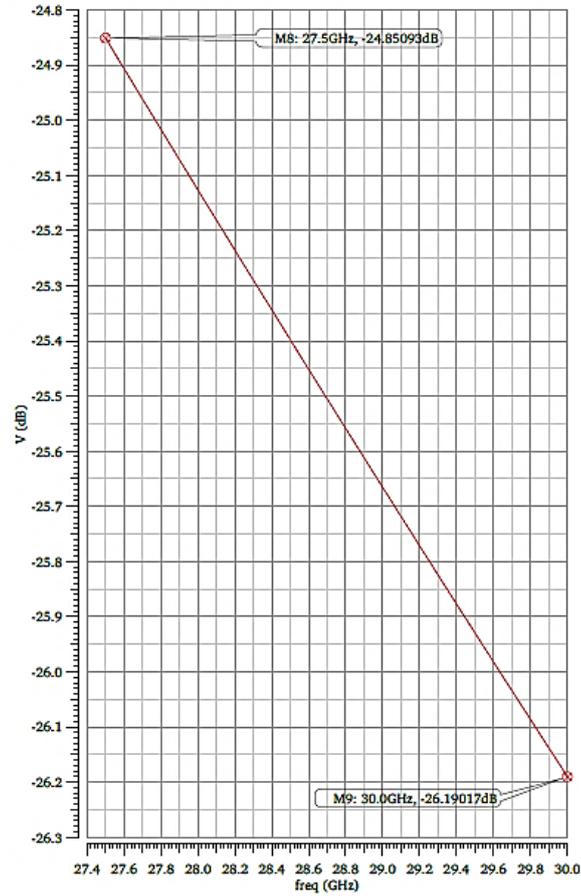


Figura 3.35. Amplitud de la señal con fase  $51^\circ$ .

$$\begin{aligned}
 \text{PACF} &= (m6 - m5) - (m9 - m8) = \\
 &= [(-26.15255) - (-24.80603)] - [(-26.19017) - (-24.85093)] = \\
 &= -0.00728 \text{ dB} \\
 &\quad (3.6)
 \end{aligned}$$

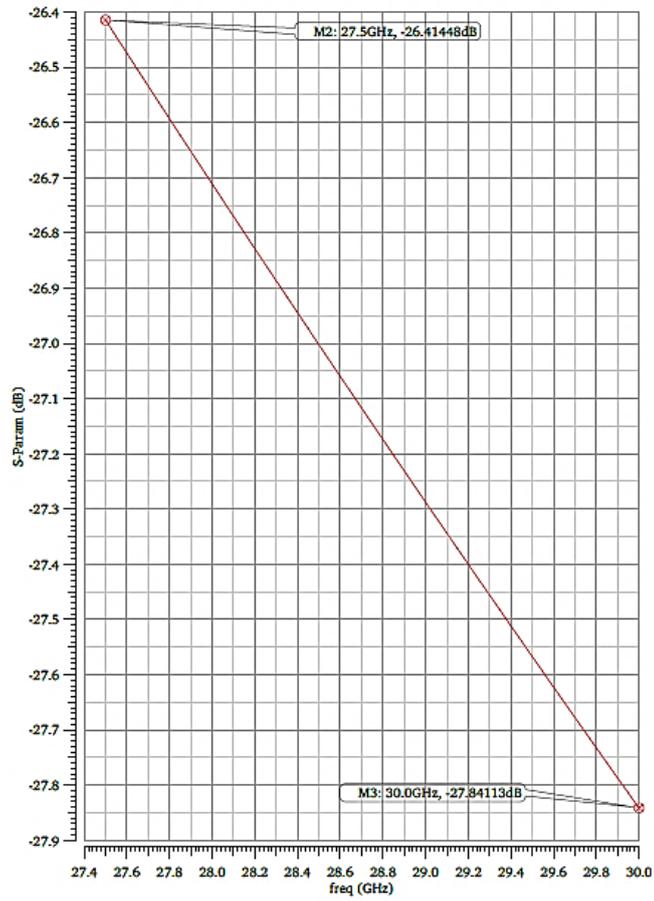


Figura 3.36. Amplitud de las pérdidas por inserción del desfasador completo.

$$\text{PGBE} = m3 - m2 = [(-27.84113) - (-26.41448)] = -1.42665 \text{ dB} \quad (3.7)$$

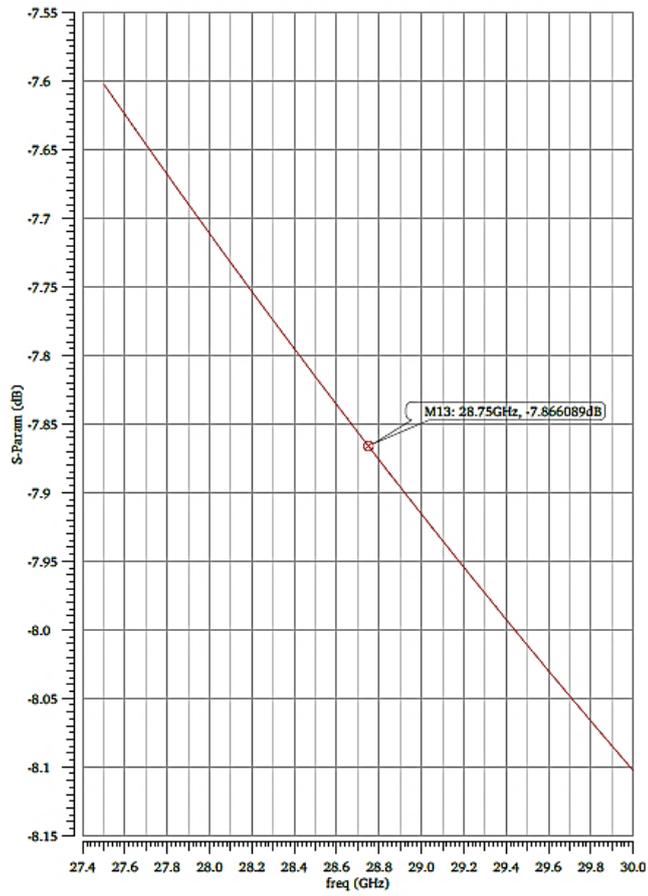


Figura 3.37. Adaptación de entrada del desfasador completo.

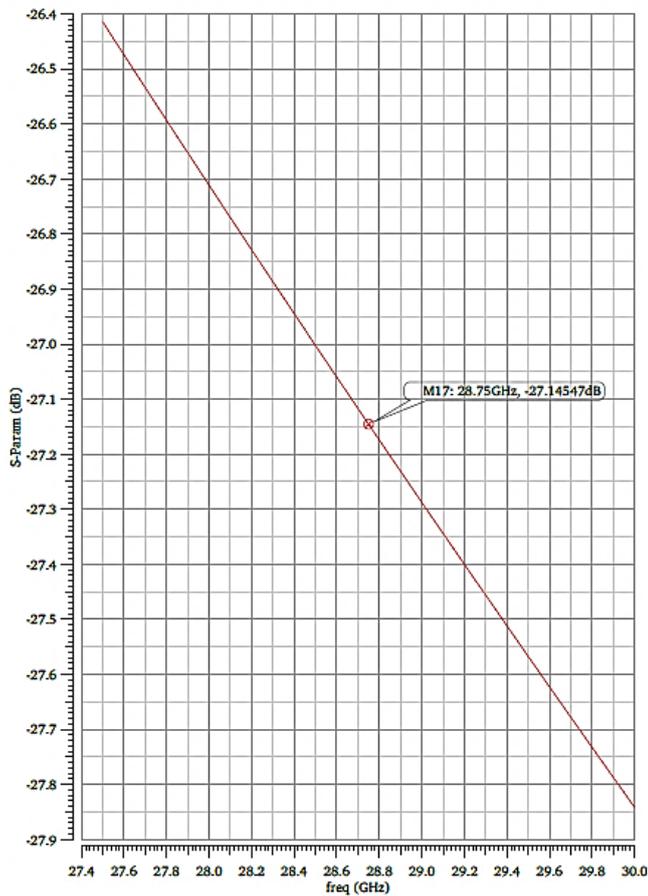


Figura 3.38. Pérdidas por inserción del desfasador completo.

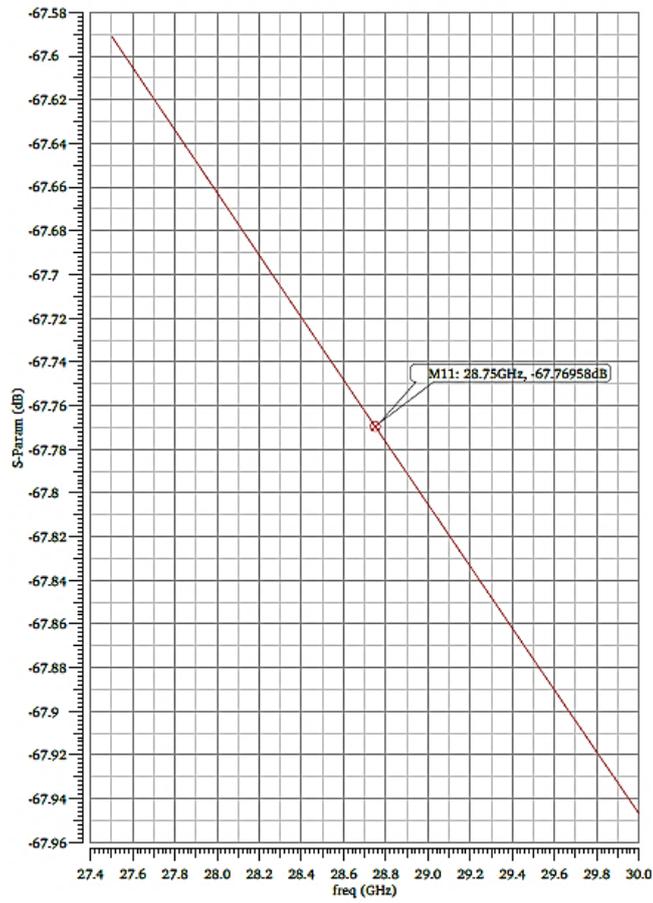


Figura 3.39. Aislamiento del puerto de salida del desfasador completo.

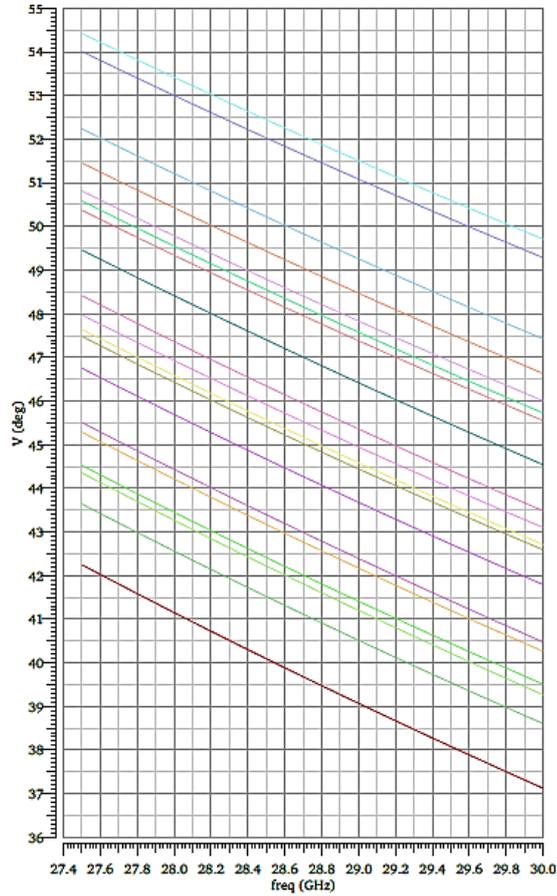


Figura 3.40. Fases de 45° para el rango de temperaturas del desfasador completo.

Tabla 9. Fases de 45° para el rango de temperaturas del desfasador completo.

Modelos							
Temp	TT	FFF	SSF	FS	SF	FF	SS
-40°C	48.95086°	51.9768°	45.90948°	49.73937°	48.06143°	51.55644°	46.90762°
25°C	45.07304°	48.30972°	41.82502°	45.84841°	44.16937°	47.86012°	42.889°
85°C	43.9075°	45.4294°	38.4544°	42.66699°	41.01355°	44.92793°	39.57683°

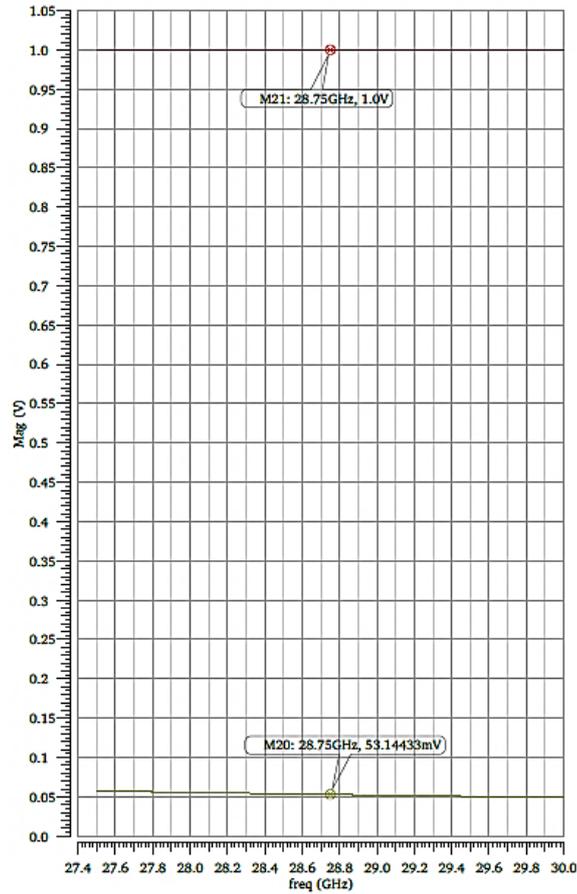


Figura 3.41. Representación de Vin y OutputPhase del desfasador completo.

$$Ganancia\ en\ tensión = 20 \cdot \log\left(\frac{m20}{m21}\right) = 20 \cdot \log\left(\frac{0.05314433}{1}\right) = -25.491\ dB \quad (3.8)$$



## Capítulo 4. Conclusiones

En este último capítulo se lleva a cabo un resumen de todo el trabajo realizado y las conclusiones que se han obtenido al respecto. Para ello, se muestran los resultados obtenidos de las simulaciones, a partir de los cuales se puede constatar el cumplimiento de los objetivos de este Trabajo de Fin de Máster. Por último, se enumeran las posibles líneas de trabajo futuras que se podrían desarrollar a partir del presente trabajo.

### 4.1. Resultados y Conclusiones

En el presente Trabajo de Fin de Máster, se ha abordado el diseño a nivel esquemático de un desfasador programable para antenas de tipo *array*. Para ello, se han utilizado tanto los softwares de diseño ADS como Cadence, al igual que se ha hecho uso en ambos de la tecnología SiGe\_1K5PAx de la fundidora *GlobalFoundries*. El desfasador ha de cumplir con los requisitos de diseño recogidos en la Tabla 1.

Lo primero que se abordó fue el estudio del estado del arte en el que se encuentran tanto los desfasadores electrónicos como las antenas de tipo *phased array*. Para ello, se definieron el concepto de desfasador, el desarrollo de los desfasadores electrónicos y la estructura del presente trabajo. Del mismo modo, se presentaron la problemática de las antenas parabólicas, el desarrollo de las antenas tipo *phased array* y la integración de los desfasadores electrónicos en este tipo de antenas. Seguidamente, se llevó a cabo un segundo estudio con el fin de examinar la tecnología SiGe\_1K5PAx utilizada para implementar el desfasador. Para ello, se analizaron los distintos componentes utilizados en el diseño.

A continuación, se abordó un tercer estudio que abarca el diseño a nivel teórico del desfasador programable. Para ello, se presentaron, en primer lugar, los requisitos que debe cumplir el desfasador, del mismo modo que se definieron los desfasadores digitales y continuos, al igual que el efecto de cuantificación de fase que se ha de tener en cuenta en estos. Posteriormente, se examinó en profundidad el desfasador activo de suma vectorial. Para ello, se definió la teoría de operación, del mismo modo que la generación de cambios de fase de  $0^\circ$  a  $360^\circ$  de este. Seguidamente, se analizó el generador de cuadratura, que puede estar compuesto por filtros polifásicos RC o filtros de paso total en cuadratura, para los cuales hay que tener en cuenta el efecto de la capacidad de carga. Finalmente, como últimos puntos de este tercer estudio, se observó en profundidad la red de amplificadores y combinadores, del mismo modo que el DAC de corriente que conforma el desfasador.

Una vez concluido el diseño a nivel teórico, se procedió a implementar el diseño a nivel esquemático del desfasador programable. Para ello, se comenzó, en primer lugar, seleccionando los condensadores y las resistencias que integran el filtro polifásico de primer orden, al igual que se presentaron los resultados obtenidos en las simulaciones de este en el software Cadence. Posteriormente, se llevó a cabo el diseño del desfasador en tres fases: el desfasador sin espejo de corriente, el espejo de corriente y el desfasador con espejo de corriente. Seguidamente, se implementó el DAC. Para ello, se simuló en primer lugar el desfasador y se determinaron los bits necesarios para el diseño del DAC. Una vez hecho esto, se obtuvieron las corrientes generadas por el mismo para, finalmente, obtener las simulaciones de corriente del desfasador completo.

Con el fin de dejar constancia del cumplimiento de los requisitos a lo largo de todo el proceso de diseño, en la Tabla 10 se recogen los resultados del desfasador obtenidos al concluir el procedimiento llevado a cabo. En esta tabla se realiza una comparativa entre las especificaciones requeridas para la implementación del desfasador programable y el diseño completo de este mostrado en la Figura 3.32. Además, en la Tabla 7 y Tabla 8 recogidas en el apartado 3.3.5 del Capítulo 3 se puede visualizar como los resultados de las simulaciones reflejan que las corrientes generadas por el desfasador completo son similares a las obtenidas en la simulación del desfasador sin DAC, lo cual denota el desarrollo satisfactorio del diseño.

**Tabla 10. Comparativa entre especificaciones y resultados.**

Parámetro	Especificaciones			Desfasador Completo	Unidades
	Mín.	Tip.	Máx.	Resultados	
Rango de frecuencia	27.5	--	30	27.5 – 30	GHz
Rango de fase	0	--	360	0 – 360	°
Precisión/Paso de control de fase	1.40625	--	5.625	1.40625 – 5.625	°
Error de fase en toda la banda de frecuencia	--	--	5	4.93595	°
Planitud de amplitud para cambio de fase	--	--	1	-0.00728	dB
Planitud de ganancia @ Banda entera	--	--	2	-1.42665	dB
Adaptación de Entrada/Salida ( $S_{11}$ )	--	--	-12	-7.8660/-27.1454	dB
Aislamiento del puerto de salida	--	-24	--	-67.7695	dB
Rango de temperatura de operación	-40	--	85	-40 – 25 – 85	°C

## 4.2. Líneas Futuras de Trabajo

En vista de lo expuesto a lo largo del presente documento, se puede afirmar que los objetivos planteados al comienzo de este Trabajo Fin de Máster se han cumplido. Sin embargo, hay más líneas de trabajo que se pueden abordar en un futuro como pueden ser las que se enumeran a continuación:

- Diseño a nivel *layout* del desfasador programable

Una continuación del presente TFM podría ser la de llevar a cabo mediante el software Cadence el diseño a nivel de *layout* del desfasador programable para antenas de tipo *array* diseñado en este trabajo teniendo en cuenta las reglas de diseño de la tecnología SiGe\_1K5PAx.

- Fabricación del desfasador programable

Otra ampliación del trabajo podría ser la fabricación del desfasador programable para antenas de tipo *array* cumpliendo con el proceso de fabricación establecido por la empresa elegida, como pueden ser su integración en el *chip*, el encapsulado de este o el control de errores llevado a cabo por el fabricante.

- Toma de medidas del desfasador programable

Ligada a los puntos anteriores, otra posible continuación del TFM podría ser la toma de medidas del desfasador programable ya fabricado para comprobar si los resultados hallados en las simulaciones se siguen manteniendo en las medidas y, por tanto, cumpliendo los requisitos de diseño establecidos.



## Parte II. Bibliografía



# Bibliografía

- [1] Market Pulse Report, "*Internet of Things (IoT)*", United Kingdom, 2017.
- [2] R. C. Hansen, "*Phased array antennas*", New York: Wiley, 1998.
- [3] S. I. Sheikh and M. R. Ali, "*Beam squint using integrated gyrotropic phase shifter*", Appl. Comput. Electromagn. Soc. J., vol. 23, no. 2, June 2008.
- [4] Y. M. Yang, C. W. Cheng, B. L. Qian, "*A novel phase shifter for Ku – band high power microwave applications*", IEEE Trans. Plasma Sci, vol. 42, no.1 pp. 51 – 54, 2014.
- [5] S. I. M. Sheikh, A. A. P. Gibson, M. Basorrah, G. Alhulwah, K. Alanizi, M. Alfarsi, and J. Zafar, "*Analog/digital ferrite phase shifter for phased array antennas*", IEEE Antennas and Wireless Propagation Letters, vol. 9, pp. 319, 2010.
- [6] M. C. Scardelletti, G. E. Ponchak, and N. C. Varaljay, "*MEMS, Ka – band single – pole double – throw switch for switched line phase shifters*", IEEE APS, San Antonio, TX, pp. 2 – 5, June 2002.
- [7] H. Wilhelm and V. Aulock, "*Handbook of microwave ferrite materials*", New York and London: Academic Press, 1965.
- [8] N. Amitay and B. Glance, "*Switching performance of a 12 GHz p – i – n phase shifter/driver module for satellite communication phased array*", IEEE Trans. communications, vol. 29, no. 1, pp.46 – 50, 1981.
- [9] Minasian, R. A., Chan, E. H. W. and Yi, X., "*Microwave photonic signal processing*", Optics Express, vol. 21, no. 19, pp. 22918 – 22936, 2013.
- [10] D. W. Kang, H. D. Lee, C. H. Kim, and S. Hong, "*Ku – band MMIC phase shifter using a parallel resonator with 0.18  $\mu\text{m}$  CMOS technology*", IEEE Transactions on Microwave Theory and Techniques, vol. 54, no. 1, pp. 294 – 301, January 2006.
- [11] A. Safarian, L. Zhou, and P. Heydari, "*CMOS distributed active power combiners and splitters for multi – antenna UWB beamforming transceivers*", IEEE Journal of Solid – State Circuits, vol. 42, no. 7, pp. 1481 – 1491, July 2007.
- [12] W. G. Kim, J. P. Thakur, H. Y. Yu, S. S. Choi and Y. H. Kim, "*Ka – band hybrid phase shifter for analog phase shift range extension using 0.13  $\mu\text{m}$  CMOS technology*", IEEE Gwang – Ju Institute of Science and Technology, pp. 603 – 606, 2010.
- [13] R. P. Coats, "*An octave – band switched – line microstrip 3 – b diode phase shifter*", IEEE Trans. Microw. Theory Tech., vol. MTT-21, no. 7, pp. 444 – 449, July 1973.

- [14] J. P. Srarski, "Optimization of the matching network for a hybrid coupler phase shifter", IEEE Trans. Microw. Theory Tech., vol. MTT-25, no. 8, pp. 662 – 666, August 1977.
- [15] F. L. Opp and W. F. Hoffman, "Design of digital loaded – line phase shift networks for microwave thin – film applications", IEEE J. Solid – State Circuits, vol. SSC – 3, no. 2, pp. 124 – 130, June 1968.
- [16] F. Ellinger, H. Jackel, and W. Bachtold, "Varactor – loaded transmission – line phase shifter at C – band using lumped elements", IEEE Trans. Microw. Theory Tech., vol. 51, no. 4, pp. 1135 – 1140, April 2003.
- [17] T. M. Hancock and G. M. Rebeiz, "A 12 – GHz SiGe phase shifter with integrated LNA", IEEE Trans. Microw. Theory Tech., vol. 53, no. 3, pp. 977 – 983, March 2005.
- [18] F. Ellinger, R. Vogt, and W. Bachtold, "Ultracompact reflective – type phase shifter MMIC at C – band with 360 phase – control range for smart antenna combining", IEEE J. Solid – State Circuits, vol. 37, no. 4, pp. 481 – 486, April 2002.
- [19] C. F. Campbell and S. A. Brown, "A compact 5 – bit phase – shifter MMIC for K – band satellite communication systems", IEEE Trans. Microw. Theory Tech., vol. 48, no. 12, pp. 2652 – 2656, December 2000.
- [20] M. I. Skolnik, "Introduction to RADAR Systems", 3rd ed. New York: McGraw-Hill, 2001.
- [21] N. Imai and H. Ichikawa, "One – chip endless phase shifter IC's for space diversity combiner", IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 43, no. 4, pp. 281 – 288, April 1996.
- [22] M. Chua and K. W. Martin, "1 GHz programmable analog phase shifter for adaptive antennas", Proc. IEEE Custom Integrated Circuits Conf., 1998, pp. 71 – 74.
- [23] P. S. Wu, H. Y. Chang, M. D. Tsai, T. W. Huang, and H. Wang, "New miniature 15 – 20 GHz continuous phase/amplitude control MMICs using 0.18  $\mu\text{m}$  CMOS technology", IEEE Trans. Microw. Theory Tech., vol. 54, no. 1, pp. 10 – 19, January 2006.
- [24] A. Natarajan, A. Komijani, X. Guan, A. Babakhani, Y. Wang, and A. Hajimiri, "A 77 GHz phased – array transmitter with local LO – path phase – shifting in silicon", IEEE Int. Solid – State Circuits Conf. Dig. Tech. Papers, pp. 639 – 648, 2006.
- [25] K. J. Koh and G. Rebeiz, "0.13  $\mu\text{m}$  CMOS phase shifters for X –, Ku –, and K – band phased arrays", IEEE Journal of Solid – State Circuits, vol. 42, no. 11, pp. 2535 – 2546, November 2007.

- [26] S. Ituah, "*High frequency receiver front – end module for active antenna applications*", Thesis presented to the University of Waterloo, pp. 36 – 58, 2015.
- [27] E. McGill, "*GlobalFoundries broadens SiGe power amplifier portfolio, enhancing RF performance and efficiency for wireless devices*", GlobalFoundries, March 2016.
- [28] M. Harris, "*Tech giants race to build orbital internet*", IEEE Spectrum, vol. 55, no. 6, pp. 10 – 11, June 2018.
- [29] N. A. K. Beigi, W. Tang, M. R. Soleymani, H. Ghaneharian, V. Leung and A. Shoamanesh, "*Capacity enhancement and interference management for interactive satellite networks*", EIT, 36th International Communications Satellite Systems Conference, pp. 1 – 6, 2018.
- [30] Y. D. Bromberg, P. Grace and L. Réveillère, "*Starlink – Runtime interoperability between heterogeneous middleware protocols*", IEEE, 31st International Conference on Distributed Computing Systems, pp. 446 – 455, 2011.
- [31] A. Boyle, "*Amazon to offer broadband access from orbit with 3,236-satellite 'Project Kuiper' constellation*", GeekWire, April 2019.
- [32] I. Portillo, B. G. Cameron and E. F. Crawley, "*A technical comparison of three low earth orbit satellite constellation systems to provide global broadband*", Massachusetts Institute of Technology, 69th International Astronautical Congress, pp. 1 – 11, October 2018.
- [33] B. Biglarbegan, M. R. Nezhad – Ahmadi, M. Fakharzadeh, and S. Safavi – Naeini, "*A wideband 90degree, continuous phase shifter for 60GHz phased array transceiver in 90nm cmos technology*", European Microwave Integrated Circuits (EuMIC) Conference, pp. 479 – 482, September 2009.
- [34] T. Hancock and G. Rebeiz, "*A 12GHz sige phase shifter with integrated LNA*", IEEE Transactions on Microwave Theory and Techniques, vol. 53, no. 3, pp. 97783, March 2005.
- [35] B. Acikel, T. R. Taylor, P. J. Hansen, J. S. Speck, and R. York, "*A new high performance phase shifter using  $ba/sub x/sr/sub 1 - x/tio3$  thin films*", IEEE Microwave and Wireless Components Letters, vol. 12, no. 7, pp. 237 – 239, July 2002.
- [36] C. Andricos, I. Bahl, and E. Griffin, "*C – band 6 – bit GAAS monolithic phase shifter*", IEEE Transactions on Microwave Theory and Techniques, vol. 33, no. 12, pp. 1591 – 1596, December 1985.

- [37] M. Meghdadi, M. Azizi, M. Kiani, A. Medi, and M. Atarodi, "A 6-bit CMOS phase shifter for s-band", IEEE Transactions on Microwave Theory and Techniques, vol. 58, no. 12, pp. 3519 – 3526, December 2010.
- [38] R. Mailloux, "Array grating lobes due to periodic phase, amplitude, and time delay quantization", IEEE Transactions on Antennas and Propagation, vol. 32, no. 12, pp. 1364 – 1368, December 1984.
- [39] C. Miller, "Minimizing the effects of phase quantization errors in an electronically scanned array", Symposium on Electronically Scanned Array Techniques and Applications, 1963.
- [40] K. J. Koh and G. Rebeiz, "A 0.13um CMOS digital phase shifter for k-band phased arrays", IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 383 – 386, June 2007.
- [41] J. Wu, J. Kao, J. kuo, K. Kao, and K. Lin, "A 60-GHz single-ended-to-differential vector sum phase shifter in CMOS for phased-array receiver", IEEE MTT – S International Microwave Symposium Digest (MTT), pp. 1 – 1, June 2011.
- [42] P. S. Wu, H. Y. Chang, M. D. Tsai, T. W. Huang, and H. Wang, "New miniature 15 – 20GHz continuous-phase/amplitude control mmics using 0.18um CMOS technology", IEEE Transactions on Microwave Theory and Techniques, vol. 54, no. 1, pp. 10 – 19, January 2006.
- [43] H. Erkens, R. Wunderlich, and S. Heinen, "A comparison of two RF vector-sum phase shifter concepts", German Microwave Conference, pp. 1 – 5, March 2009.
- [44] F. Behbahani, Y. Kishigami, J. Leete, and A. Abidi, "CMOS mixers and polyphaser filters for large image rejection", IEEE Journal of Solid – State Circuits, vol. 36, no. 6, pp. 873 – 887, June 2001.
- [45] M. San Miguel and D. Mayor Duarte, "Beamformer topology analysis", eScan – ESA preliminary antenna design, Ref. CTGUK-ESA-PhaseShifter-002, April 2019.

## Parte III. Presupuesto



# Presupuesto

En esta sección se recogen los gastos generados por el presente Trabajo de Fin de Máster. En este presupuesto se tratarán los siguientes conceptos:

1. Trabajo tarifado por tiempo empleado.
2. Amortización del material:
  - a. Amortización del material *hardware* empleado.
  - b. Amortización del material *software* empleado.
3. Redacción de la documentación.
4. Costes de fabricación.
5. Derechos de visado del COITT.
6. Gastos de tramitación y envío.

## P.1 Trabajo Tarifado por Tiempo Empleado

Este concepto cubre los gastos de mano de obra según el salario correspondiente a la hora de un Trabajo de Fin de Máster en Tecnologías de la Telecomunicación. Para ello, se ha seguido el cálculo que recomienda el Colegio Oficial de Ingenieros de Telecomunicación mediante la siguiente ecuación:

$$H = C \cdot H_n \cdot 14,48 + C \cdot H_e \cdot 20,27 \quad (\text{€})$$

Siendo:

- $H$ : Honorarios totales por el tiempo dedicado.
- $C$ : Factor de corrección según las horas trabajadas.
- $H_n$ : Horas normales trabajadas dentro de la jornada laboral.
- $H_e$ : Horas especiales trabajadas.

Asimismo, en la Tabla P.1 se muestran los valores que toma el factor de corrección por horas de trabajo.

**Tabla P.1. Factor de corrección por horas empleadas.**

<b>Horas empleadas</b>	<b>Factor de corrección</b>
Hasta 36 horas	1,00
Desde 36 a 72 horas	0,90
Desde 72 a 108 horas	0,80
Desde 108 a 144 horas	0,70
Desde 144 a 180 horas	0,65
Desde 180 a 360 horas	0,60
Desde 360 a 510 horas	0,55

Se estima que para la realización del presente TFM se ha invertido un total de 510 horas normales y que se han empleado 190 horas especiales. Por tanto, el factor de corrección a aplicar es de 0,55 en las horas normales y de 0,60 en las horas especiales. Teniendo en cuenta estos datos, el coste total por horas trabajadas será de:

$$H = 0,55 \cdot 510 \cdot 14,48 + 0,60 \cdot 190 \cdot 20,27 = 6.372,42 \text{ €}$$

La tarifa por tiempo dedicado, libre de impuestos, asciende a SEIS MIL TRESCIENTOS SETENTA Y DOS EUROS CON CUARENTA Y DOS CÉNTIMOS.

## **P.2 Amortización del Inmovilizado Material**

En este concepto se toman en consideración tanto la amortización de los recursos *hardware* como *software* empleados en la ejecución del TFM.

El coste de amortización se calcula para un periodo de 3 años utilizando un sistema de amortización lineal, en el que se presume que el inmovilizado material se deprecia de forma constante a lo largo de su vida útil. La cuota de amortización anual se establece mediante la fórmula:

$$\text{Cuota anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Número de años de vida útil}}$$

### **P.2.1 Amortización del Material *Hardware***

Debido a que el tiempo de elaboración de este TFM ha sido de diez meses y, por tanto, inferior a los 3 años estipulados anteriormente, los costes serán calculados como los derivados del tiempo de utilización de 10 meses.

El *hardware* que se ha necesitado para este proyecto y sus costes se muestran en la Tabla P.2.

**Tabla P.2. Precios y costes de amortización del *hardware* empleado.**

<b>Elementos</b>	<b>Valor de adquisición</b>	<b>Valor residual</b>	<b>Coste de amortización</b>
Ordenador portátil Acer Aspire V5-572PG	710,00 €	20,00 €	69,00 €
Torre Acer, pantalla Acer, pantalla Philips, teclado y ratón Acer	1100,00 €	20,00 €	108,00 €
<b>Total</b>	<b>1.800,00 €</b>	<b>40,00 €</b>	<b>177,00 €</b>

El coste total del material *hardware* asciende a CIENTO SETENTA Y SIETE EUROS CON CERO CÉNTIMOS.

## **P.2.2 Amortización del Material *Software***

El material *software* utilizado precisaba de licencia para su uso y para el cálculo de los costes de amortización, se consideró los costes derivados del uso durante 10 meses al igual que con el material *hardware*.

En la Tabla P.3 se muestran los recursos *software* empleados para la elaboración del TFG, así como su coste.

**Tabla P.3. Precios y costes de amortización del *software* empleado.**

<b>Elementos</b>	<b>Valor de adquisición</b>	<b>Valor residual</b>	<b>Coste de amortización</b>
Sistema Operativo Windows 8.1	0,00 €	0,00 €	0,00 €
Sistema Operativo Windows 10	0,00 €	0,00 €	0,00 €
Paquete Microsoft Office 2016	100,00 €	2,00 €	9,80 €
Licencia Anual ADS 2016	2.070,85 €	500,00 €	157,09 €
Licencia Anual Cadence	2.153,73 €	300,00 €	185,37 €
<b>Total</b>	<b>4.324,58 €</b>	<b>802,00 €</b>	<b>342,47 €</b>

El coste total del material *software* asciende a TRESCIENTOS CUARENTA Y DOS EUROS CON CUARENTA Y SIETE CÉNTIMOS.

### P.3 Redacción del Trabajo

El coste de redacción de este TFM será del 7% del presupuesto de ejecución, por lo que se calcula mediante la ecuación:

$$R = 0,07 \cdot P \quad (\text{€})$$

Siendo:

- R: Honorarios por la redacción del trabajo.
- P: Presupuesto.

El valor del presupuesto P, se calcula sumando los costes de todos los conceptos anteriores. En la Tabla P.4 se refleja el cálculo de dicho valor. Teniendo en cuenta estos datos:

$$R = 0,07 \cdot 6.891,89 = 482,43 \text{ €}$$

El coste de redacción asciende a la cantidad de CUATROCIENTOS OCHENTA Y DOS EUROS CON CUARENTA Y TRES CÉNTIMOS.

Tabla P.4. Presupuesto según trabajo tarifado y costes de amortización.

Concepto	Coste
Trabajo tarifado por tiempo empleado	6.372,42 €
Amortización del material <i>hardware</i>	177,00 €
Amortización del material <i>software</i>	342,47 €
<b>Total (P)</b>	<b>6.891,89 €</b>

### P.4 Derechos de Visado del COITT

En 2014 el COITT estableció que, para proyectos técnicos de carácter general, los derechos de visado se calculan mediante la ecuación:

$$V = 0,0035 \cdot P \cdot C \quad (\text{€})$$

Siendo:

- $V$ : Coste de visado del trabajo.
- $P$ : Presupuesto del proyecto.
- $C$ : Coeficiente reductor en función del presupuesto.

El valor del presupuesto  $P$  se obtiene sumando todos los conceptos anteriores. El resultado de esta suma se muestra la Tabla P.5. Por otro lado, el coeficiente reductor  $C$  tiene como valor la unidad, ya que el presupuesto es inferior a 30.050,00 €.

Por tanto, aplicando los valores indicados se obtiene:

$$V = 0,0035 \cdot 7.374,32 \cdot 1 = 25,81 \text{ €}$$

El coste por derechos de visado asciende a la cantidad de VEINTICINCO EUROS CON OCHENTA Y UN CÉNTIMOS.

**Tabla P.5. Presupuesto según trabajo tarifado, amortización y redacción del trabajo.**

Concepto	Coste
Trabajo tarifado por tiempo empleado	6.372,42 €
Amortización del material <i>hardware</i>	177,00 €
Amortización del material <i>software</i>	342,47 €
Redacción del trabajo	482,43 €
<b>Total (P)</b>	<b>7.374,32 €</b>

## **P.5 Gastos de Tramitación y Envío**

Los gastos de tramitación y envío están establecidos en SEIS EUROS CON CERO CÉNTIMOS por cada documento enviado de forma telemática.

## **P.6 Material Fungible**

En la realización de este TFM se han empleado además otros materiales que quedan englobados como material fungible. En la Tabla P.6 se muestra una lista de ellos y su precio.

**Tabla P.6. Costes de material fungible.**

<b>Material</b>	<b>Coste</b>
Impresión	40,00 €
Encuadernación	6,00 €
Póster	20,00 €
<b>Total</b>	<b>66,00 €</b>

El coste del material fungible empleado asciende a la cantidad de SESENTA Y SEIS EUROS CON CERO CÉNTIMOS.

## **P.7 Aplicación de Impuestos**

La elaboración del presente TFM está gravada por el Impuesto General Indirecto Canario, I.G.I.C., en un 6.5%. En la Tabla P.7 se muestra el cálculo del presupuesto con los impuestos incluidos.

**Tabla P.7. Presupuesto con impuestos incluidos.**

<b>Concepto</b>	<b>Coste</b>
Trabajo tarifado por tiempo empleado	6.372,42 €
Amortización del material <i>hardware</i>	177,00 €
Amortización del material <i>software</i>	342,47 €
Redacción del trabajo	482,43 €
Derechos de visado del COITT	25,81 €
Gastos de tramitación y envío	6,00 €
Material fungible	66,00 €
<b>Total (sin IGIC)</b>	<b>7.472,13 €</b>
<b>IGIC (6.5%)</b>	<b>485.69 €</b>
<b>TOTAL</b>	<b>7957.81 €</b>

El presupuesto total del trabajo “*Diseño de un desfasador programable para antenas de tipo array*” asciende a SIETE MIL NOVECIENTOS CINCUENTA Y SIETE EUROS CON OCHENTA Y UN CÉNTIMOS.

Anexo



# Anexo I

En el presente anexo se procederá al análisis de los modelos de los componentes del kit de diseño, a fin de tener un buen manejo de los mismos de cara al diseño del circuito objeto del presente TFM.

## AI.1 Condensadores

La tecnología SiGe 1k5PAX proporciona un modelo de condensador MOS. El modelo de condensador admite dimensiones variables tanto para ancho como para largo. Las formas permisibles de los condensadores incluyen cuadrados y rectángulos. Hay que tener en cuenta que cualquier otro diseño de condensador irregular no es compatible.

Tal como se observa en la Figura AI.1, la sección transversal vertical del condensador MOS contiene una placa superior de polisilicio (PC) que está silicificada para ayudar a reducir la resistencia parásita. La placa posterior permite a este condensador exhibir sensibilidad de bajo voltaje (VCC).

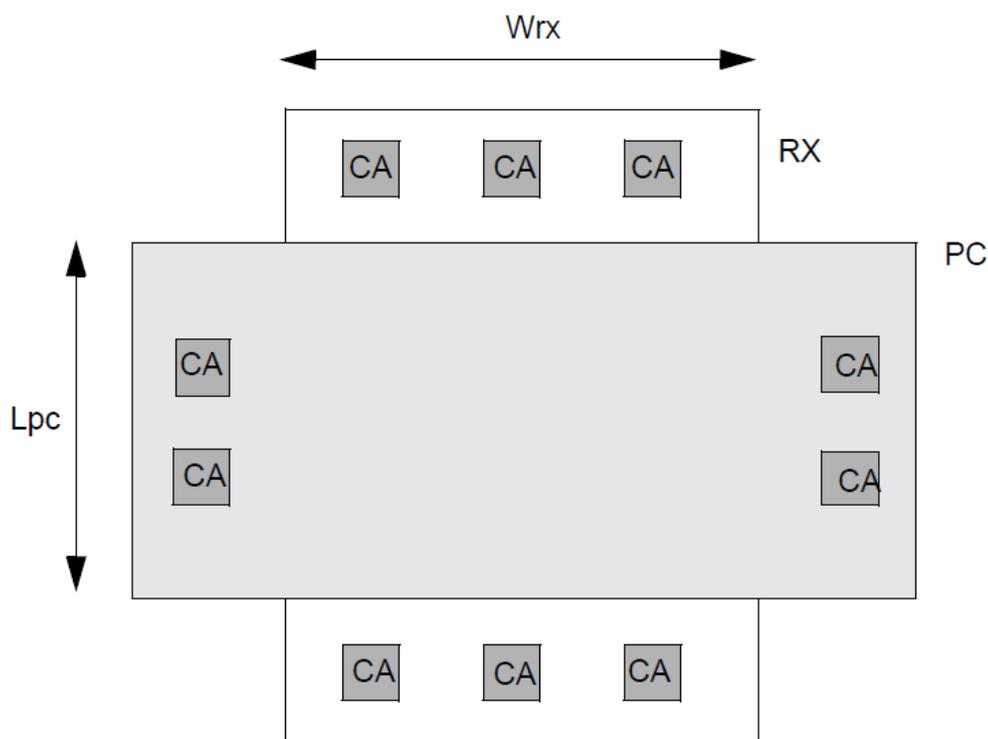


Figura AI.1. Ejemplo de layout para el condensador MOS.

### AI.1.1 Especificaciones de Diseño de los Condensadores

La Tabla AI.1 recoge las especificaciones que se pueden usar como guía en las aplicaciones que usan el *moscap* de la tecnología SiGe 1k5PAX.

Tabla AI.1. Especificaciones del condensador.

Dispositivo	Capacitancia del Área (0V, 25°C)	Dependencia de la Temperatura		Limitación de Voltaje
MOSCAP	$C_A=1.27\text{fF}/\mu\text{m}^2$	TCC1=18ppm/°C	TCC2=0.04ppm/°C <sup>2</sup>	$-5.0\text{V} \leq V_{\text{PC-RT}} \leq 5.0\text{V}^1$

1. 5.0V ± 10% Fuente de alimentación

## AI.1.2 Diseño de los Condensadores

El valor nominal de la capacitancia del condensador MOS a 25°C y 0V se muestra en la ecuación AI.1:

$$C_N = (C_A \cdot L_{\text{PC}} \cdot W_{\text{RX}}) + (C_P \cdot 2 \cdot W_{\text{RX}}) \text{ fF} \quad (\text{AI.1})$$

En esta ecuación,  $C_A$  es la capacitancia por área comentada en la Tabla AI.1. El resto de parámetros se obtienen como se indica en la Tabla AI.2.

Tabla AI.2. Parámetros de la ecuación de diseño MOSCAP.

$L_{\text{PC}} = L_{\text{Diseño}} + dL + pc_{\text{comp}} \mu\text{m}$	$dL = -0.03 \pm 0.03 \mu\text{m}$	$pc_{\text{comp}} = 0.05 \mu\text{m}$
$W_{\text{RX}} = W_{\text{Diseño}} + dW \mu\text{m}$	$dW = -0.05 \pm 0.13 \mu\text{m}$	$C_p = 0.09 \text{ fF}/\mu\text{m}$

## AI.2 Resistencias

La tecnología SiGe 1k5PAX proporciona los siguientes tipos de resistencias: una resistencia de polisilicio P+ (*respc*), una resistencia de polisilicio silicificada (*silres*), una resistencia de polisilicio silicificada implementada sobre una capa de óxidogruesa/delgada (*balres/balres33*), una resistencia polisilicio LDD P+ PE (*respe*), una resistencia difusa N+ (*opndres*), una poliresistencia *Serpentine* P+ (*respcserp*) y una resistencia difusa P+ (*oppdres*). Las resistencias de polisilicio comentadas, exceptuando las *balres* no se pueden colocar sobre óxido fino (RX).

Al igual que en el caso de los condensadores, las geometrías de resistencia soportadas incluyen cuadrados y rectángulos. Otras formas irregulares utilizadas en otros procesos, como los huesos de perro (del inglés, *dog bones*) o las formas de L, no son compatibles, a excepción de la resistencia tipo *poly serpentine* P+ PCELL (*respcserp*). Los modelos incluidos en el PDK permiten al diseñador seleccionar cualquier relación de aspecto (longitud/ancho) que proporcione una resistencia de tamaño físico óptimo para una situación de diseño en particular y que produzca un valor resistivo específico. Las resistencias *opndres*, *oppdres*, *respc* y *respe* están diseñadas con OP. La longitud de la máscara OP determinará el valor nominal de la resistencia (las regiones no cubiertas por OP son silicificadas). El

dispositivo *silres* proporciona una baja resistencia de lámina (del inglés, *low sheet resistance*) para estabilizar circuitos destinados a la amplificación. La longitud del dispositivo se define como la longitud OP y el espaciado de CA a CA define la longitud del dispositivo *silres*. La resistencia de estabilización de alta corriente o *balres* también ofrece una resistencia de lámina baja. En comparación con *silres*, *balres* tiene una mejor capacidad de disipación de calor debido a la ausencia de *Shallow Trench Isolation* (STI) debajo del óxido de la puerta y tiene contactos pertenecientes a la capa metálica *CABAR* para una mejor distribución de la corriente.

## AI.2.1 Especificaciones de Diseño de las Resistencias

Las especificaciones que se muestran en la Tabla AI.3 se pueden usar como guía en las aplicaciones que usan las resistencias de la tecnología SiGe 1k5PAX.

Tabla AI.3. Especificaciones de diseño de las resistencias.

Especificación	<i>opndres</i>	<i>oppdres</i>	<i>silres</i>	<i>balres</i>	<i>respcserp</i>	<i>respc</i>	<i>respe</i>
Resistencia de lámina (0V, 25°C)	70 Ω/cuadro	98 Ω/cuadro	2.5 Ω/cuadro	2.75 Ω/cuadro	220 Ω/cuadro	220 Ω/cuadro	3000 Ω/cuadro
Coefficiente de voltaje <sup>1</sup> (ppm por voltio)	1095	750	0	0	0	0	-380
Resistencia final	26.5 Ω-μm	43 Ω-μm	2.0 Ω-μm	1.5 Ω-μm	109 Ω-μm	45 Ω-μm	45 Ω-μm
Coefficiente de temperatura (% por °C)	tc1 0.011	tc1 -0.18	tc1 0.23	tc1 0.27	tc1 -0.2	tc1 -0.2	Rbn_tc1 0.02 Rend_tc1 -0.2
Límite de voltaje	≤9.0 V	≤9.0 V	≤11.0 V	≤3.3 V (SG) ≤5.0 V (DG)	≤11.0 V	≤11.0 V	≤11.0 V
Límite de corriente <sup>2</sup>	1 mA/μm	1 mA/μm	1.8 mA/μm	3.6 mA/μm	0.5 mA/μm	0.5 mA/μm	0.1 mA/μm
<b>Nota:</b>							
1. Cambio en la resistencia a partir de 0 voltios de polarización de la resistencia promedio.							
2. Límite máximo de corriente instantánea para cada tipo de resistencia. Por encima de esas corrientes, el material de la resistencia puede dañarse instantáneamente.							

## AI.2.2 Diseño de las Resistencias

Los modelos *respc* y resistencia difusa (N y P) definen la longitud de la resistencia como la longitud de la forma OP y tienen una regla de espaciado mínimo para la colocación de los contactos. El modelo *silres* define la longitud de la resistencia como la distancia entre los contactos de CA y supone que hay cuatro filas de vías en cada extremo con una regla de

espaciado mínimo de conexión. Los modelos *balres* y *balres33* definen la longitud de la resistencia como la distancia entre los contactos pertenecientes a la capa metálica CABAR y suponen que hay tres filas de vías en cada extremo con una regla de espaciado mínimo de tierra. La Figura Al.2, Figura Al.3, Figura Al.4, Figura Al.5 y Figura Al.6 muestran ejemplos de diagramas de diseño.

La ecuación Al.2 muestra el cálculo del valor nominal de resistencia a 25°C y 0V para los modelos de la Figura Al.2 (resistencias *respc*, *opndres* y *oppdres*), Figura Al.3 (resistencia *silres*) y Figura Al.4 (resistencia *balres*):

$$R_{\text{nom}} = \left( R_s \cdot \frac{L}{W} \right) + \left( \frac{2 \cdot R_{\text{end}}}{W} \right) \text{ k}\Omega \quad (\text{Al.2})$$

donde:

$R_s$  = Resistencia de lámina (kΩ/cuadro).

$R_{\text{end}}$  = Resistencia final (kΩ-μm).

$L$  =  $L_{\text{OP}}$  (μm).

$L_{\text{OP}}$  = Longitud de diseño (Longitud OP/Espacio entre contactos) (μm).

$W$  =  $W_D + dw$  (μm).

$W_D$  = Ancho de diseño (Ancho PC) (μm).

Los valores para los parámetros de la ecuación anterior se muestran en la Tabla Al.4.

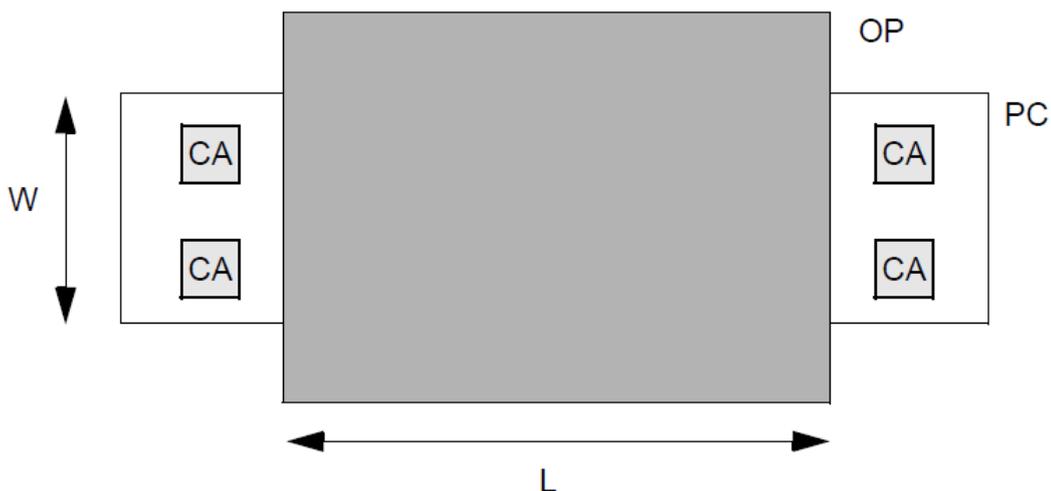


Figura Al.2. Ejemplo de layout para las resistencias *respc*, *opndres* y *oppdres*.

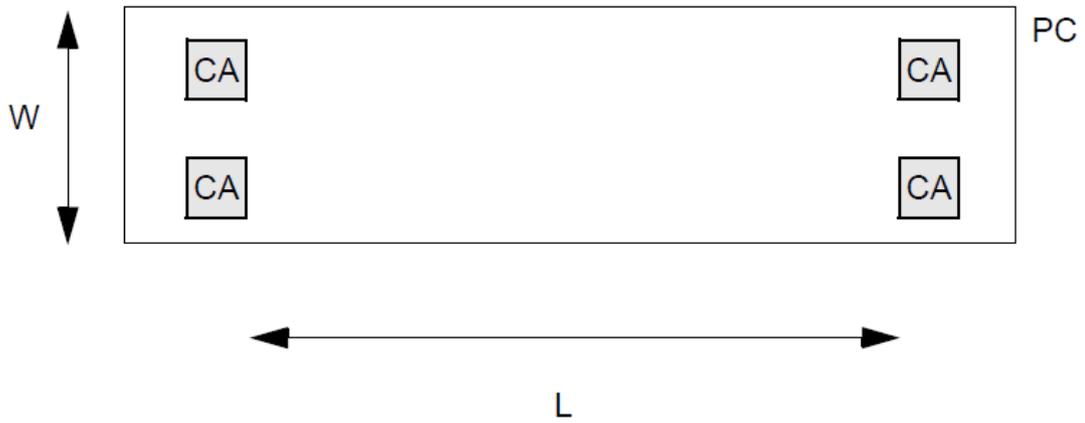


Figura Al.3. Ejemplo de layout para la resistencia *silres*.

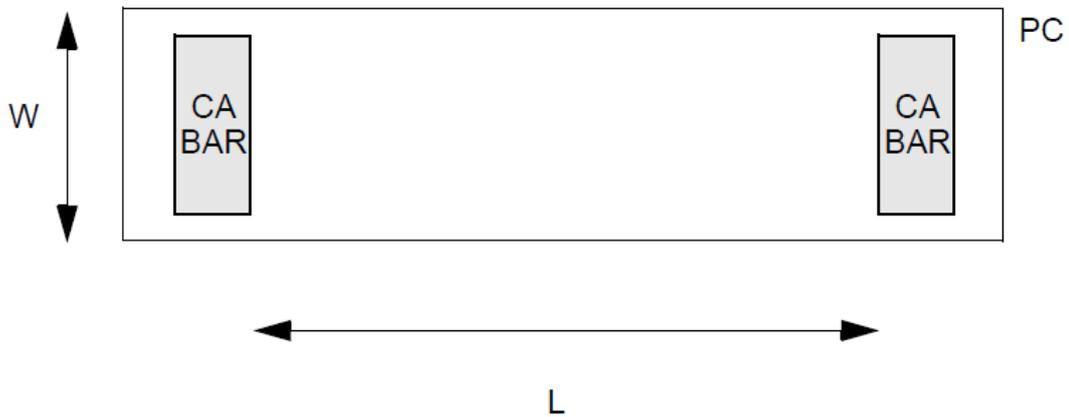


Figura Al.4. Ejemplo de layout para la resistencia *balres*.

Para el caso del modelo de la Figura Al.5 (resistencia *respe*), el valor nominal de resistencia a 25°C y 0V se obtiene aplicando la ecuación Al.3.

$$R_{\text{nom}} = \left( R_s \cdot \frac{L - (2 \cdot L_{\text{bn}})}{W} \right) + \left( 2 \cdot \frac{R_{\text{bn}} \cdot L_{\text{bn}}}{W} \right) + \left( \frac{2 \cdot R_{\text{end}}}{W} \right) \text{ k}\Omega \quad (\text{Al.3})$$

donde:

$R_s$  = Resistencia de lámina (kΩ/cuadro).

$R_{\text{end}}$  = Resistencia final (kΩ-μm).

$L$  =  $L_{\text{OP}}$  (μm).

$L_{\text{OP}}$  = Longitud de diseño (Longitud OP/Espacio entre contactos) (μm).

$W$  =  $W_D + dw$  (μm).

$W_D$  = Ancho de diseño (Ancho PC) (μm).

$R_{\text{bn}}$  = Resistencia P+ (kΩ/cuadro).

$L_{\text{bn}}$  = Longitud OP solapada por BN (μm).

Los valores para los parámetros de la ecuación anterior se muestran en la Tabla Al.4.

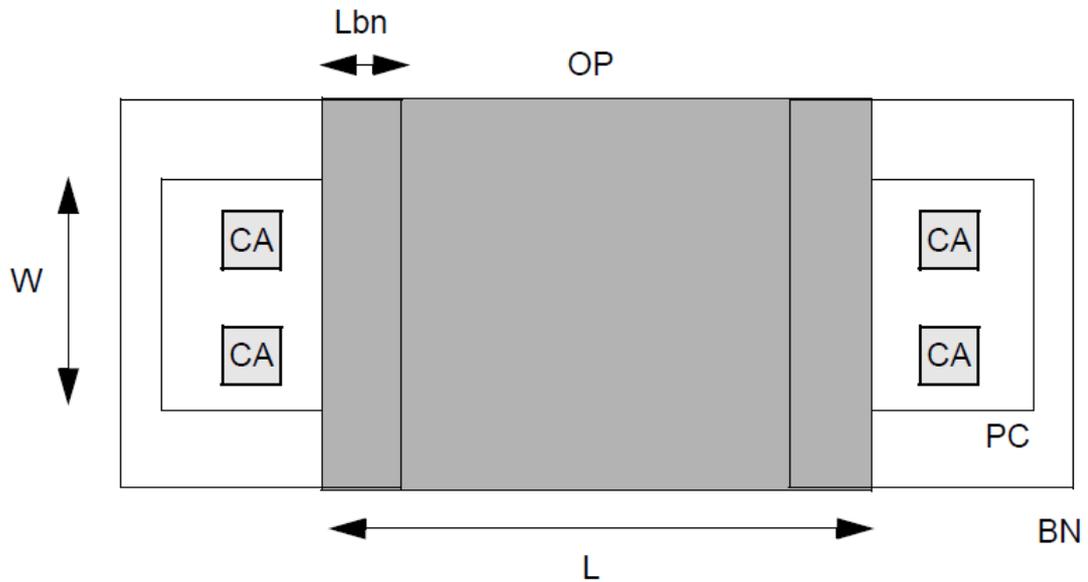


Figura AI.5. Ejemplo de layout para la resistencia *respc*.

Finalmente, para el modelo de la Figura AI.6 (resistencia *respcserp*), el cálculo de su valor nominal a 25°C y 0V se realiza aplicando la ecuación AI.4.

$$R_{\text{nom}} = \frac{R_s}{W} (N(bL - 2W) + bs(N - 1) + 2(W + 0.5 \mu\text{m})) + 0.82R_s(N - 1) + 2R_{\text{end}} \text{ k}\Omega \quad (\text{AI.4})$$

donde:

$R_s$  = Resistencia de lámina (k $\Omega$ /cuadro).

$R_{\text{end}}$  = Resistencia final (k $\Omega$ ).

$N$  = Número de barra presentes en la resistencia.

$bs$  = Espacio entre las barras ( $\mu\text{m}$ ).

$bL$  = Longitud de cada barra ( $\mu\text{m}$ ).

$W = W_D + dw$  ( $\mu\text{m}$ ).

$W_D$  = Ancho de diseño ( $\mu\text{m}$ ).

Los valores para los parámetros de la ecuación anterior se muestran en la Tabla AI.4.

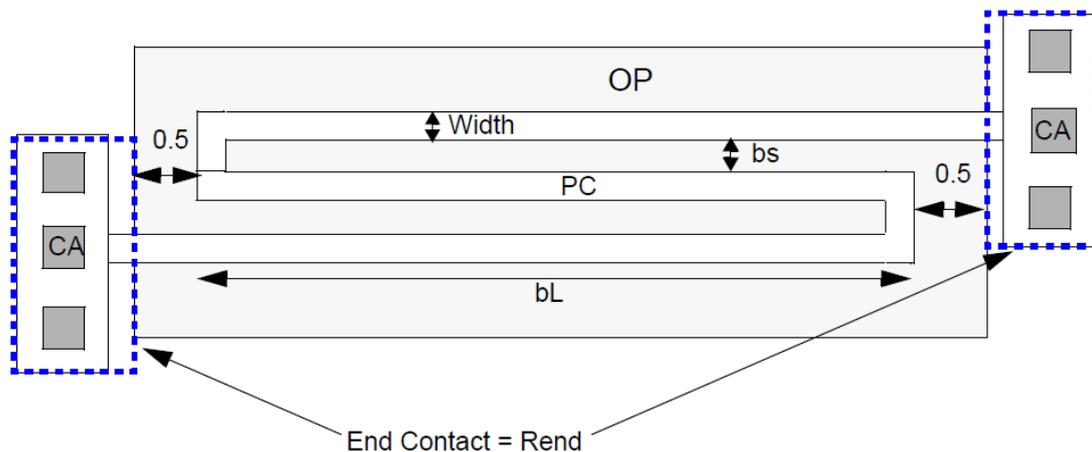


Figura AI.6. Ejemplo de layout para la resistencia *respcserp*.

Tabla AI.4. Parámetros de las ecuaciones de diseño de las resistencias.

Parámetros de resistividad	<i>opndres</i>	<i>oppdres</i>	<i>silres</i>	<i>balres</i>	<i>respcserp</i>	<i>respc</i>	<i>respe</i>
<b>Rs (kΩ/□)</b>	0.070	0.098	0.0025	0.00275	0.220	0.220	3.0
<b>Rend (kΩ-μm)</b>	0.0265	0.043	0.002	0.0015	0.109 <sup>2</sup>	0.045	0.045
<b>Rbn (kΩ/□)</b>	n/a <sup>1</sup>	n/a <sup>1</sup>	0.220				
<b>dw (μm)</b>	-0.03	-0.07	-0.11	-0.11	-0.051	-0.06	-0.06
<b>Lbn (μm)</b>	n/a <sup>1</sup>	n/a <sup>1</sup>	0.48				

**Nota:**

- Una región P+ (BN) no silicificada tiene efecto solo en la resistencia de polisilicio PE (*respe*).
- La Rend para la resistencia *poly serpentine* P+ (*respcserp*) es un valor fijado en kΩ, no en kΩ-μm.

### AI.2.3 Geometría de las Resistencias

Las dimensiones mínimas permitidas para cada modelo de resistencia se muestran en la Tabla AI.5. Se recomienda que las resistencias sean más grandes que las longitudes y anchuras mínimas para mejorar la tolerancia.

Tabla AI.5. Dimensiones mínimas para el diseño de las resistencias.

Dimensiones en el layout	<i>opndres</i>	<i>oppdres</i>	<i>silres</i>	<i>balres</i>	<i>respcserp</i>	<i>respc</i>	<i>respe</i>
<b>Ancho (μm)</b>	1.36	1.36	1.36	2.08	0.36	1.00	1.0
<b>Longitud (μm)</b>	2.0	2.0	2.0	2.0	2.0	2.0	2.5

## Al.3 Transistores

La tecnología SiGe 1k5PAX proporciona los siguientes tipos de transistores MOSFET: los DC NFET y DC PFET (ambos pudiendo operar tanto con una polarización de 3.3 V como 5 V) y los RF NFET y RF PFET.

Los modelos DC incluyen las siguientes características:

- Un término de resistencia del sustrato extrínseco dependiente del diseño definido por el usuario (*rsx*).
- Esquina fija o esquina definida por el usuario y opciones de simulación específicas de obleas.
- Modelado de ionización por impacto, muy útil para la estimación del comportamiento de los transistores en entornos con alta radiación ambiental.
- Discrepancia del dispositivo en función del voltaje umbral y beta.

Los modelos DC NFET y DC PFET se han implementado en el kit de diseño con un formato que incluye posibles desajustes de dispositivos y resistencias extrínsecas. Los valores predeterminados para los parámetros de geometría de difusión *Source/Drain* (S/D) AD, PD, AS, PS, NRS y NRD se encuentran por defecto a cero. Con estos valores predeterminados, el área S/D y las capacidades perimetrales de STI no se agregarán al circuito durante la simulación. Si los modelos se invocan desde el entorno de Cadence, estos parámetros de geometría se pasarán como valores estimados o extraídos para el *layout* en la biblioteca de Cadence, proporcionando resultados más similares a los que se obtendrán una vez fabricado el circuito.

Los modelos RF incluyen las siguientes características adicionales:

- Una resistencia de puerta extrínseca que consta de dos términos para tener en cuenta tanto la resistencia de canal similar al modelo *Non – Quasi Static* (NQS) como la resistencia distribuida de las puertas en ambos extremos.
- Las células RF tienen un anillo de contacto de sustrato fijo alrededor de los dispositivos. El modelo utilizará un cálculo de resistencia de sustrato escalable para modelar el efecto de la resistencia del sustrato.

- Cuando se utilizan células RF, el modelo también tiene en cuenta los efectos parásitos debidos al cableado dentro del límite de la celda. Esta resistencia y capacitancia de cableado se agregan de manera apropiada a cada dispositivo y son específicas de los diseños de RF. Como estos parásitos del cableado están incluidos en el modelo para los diseños de RF, el programa de extracción no extrae elementos parásitos de las celdas de RF. Esto se hace para evitar un recuento doble de los efectos parásitos.

### AI.3.1 Tablas de Referencia de Parámetros del Modelo

Los parámetros de referencia de los distintos modelos de transistor se muestran en la Tabla AI.6 y Tabla AI.7.

Tabla AI.6. Parámetros de referencia – Modelos NFET/NFETI, PFET, NFET33/NFET33I y PFET33.

Parámetro	NFET/NFETI	PFET	NFET33/NFET33I	PFET33
Longitud del canal	0.50 – 10 $\mu\text{m}$	0.50 – 10 $\mu\text{m}$	0.36 – 10 $\mu\text{m}$	0.36 – 10 $\mu\text{m}$
Ancho del canal	0.50 – 10 $\mu\text{m}$			
Polarización de la tensión de puerta	(0,-5.0) V	(0,-5.0) V	(0,-3.3) V	(0,-3.3) V
Back Bias	(0,-2.5) V	(0,-2.5) V	(0,-2.5) V	(0,-2.5) V
Temperatura	-40, 25, 125 $^{\circ}\text{C}$			

Tabla AI.7. Parámetros de referencia – Modelos NFETC/NFETCI y PFETC.

Parámetro	NFETC/NFETCI	PFETC
Longitud del canal	0.50 – 10 $\mu\text{m}$	0.50 – 10 $\mu\text{m}$
Ancho del canal	1.60 – 10 $\mu\text{m}$	1.60 – 10 $\mu\text{m}$
Polarización de la tensión de puerta	0 – 5.0 V	0 – -5.0 V
Back Bias	0 – -2.5 V	0 – 2.5 V
Temperatura	-40, 25, 125 $^{\circ}\text{C}$	-40, 25, 125 $^{\circ}\text{C}$

### AI.3.2 Reducción de Longitud y Ancho del Canal

Los valores  $\Delta L$  y  $\Delta W$  especificados en la Tabla AI.8 representan los términos de reducción de longitud y ancho de canal utilizados en los modelos que se muestran.

Tabla AI.8. Reducción de longitud y ancho del canal.

Parámetro	Unidad	NFET, NFETI, NFETC, NFETCI	PFET, PFETC	NFET33CI, NFET33I, NFET33CI	PFET33
$\Delta L^1$	$\mu\text{m}$	$0.10 \pm 0.04$	$0.05 \pm 0.03$	$0.05 \pm 0.045$	$0.04 \pm 0.045$
$\Delta W^2$	$\mu\text{m}$	$0.19 \pm 0.08$	$0.18 \pm 0.08$	$0.19 \pm 0.08$	$0.18 \pm 0.08$
<b>Nota:</b> 1. Las tolerancias incluyen variación de chip cruzado. 2. Las tolerancias no incluyen variación entre chips.					

El ingeniero proyectista

Fdo.: Darío Alemán Ortiz  
En Las Palmas de Gran Canaria a 31 de enero de 2020