

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO DE FIN DE GRADO

DISEÑO DE UN SINTETIZADOR DE FRECUENCIAS PARA EL ESTÁNDAR IEEE 802.15.4 EN TECNOLOGÍA CMOS 0.18 μm

TITULACIÓN: Grado en Ingeniería en Tecnologías de la
Telecomunicación
MENCIÓN: Sistemas Electrónicos
AUTOR: Victoria Díez Acereda
TUTOR: Dr. Francisco Javier del Pino Suárez
COTUTOR: Dr. Sunil Lalchand Khemchandani
FECHA: Julio 2017

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO DE FIN DE GRADO

DISEÑO DE UN SINTETIZADOR DE FRECUENCIAS PARA EL ESTÁNDAR 802.15.4 EN TECNOLOGÍA CMOS 0.18 μm

HOJA DE FIRMAS

Alumno

Fdo.: Victoria Díez Acereda

Tutor

Tutor

Fdo.: Dr. Francisco Javier del Pino Suárez

Fdo.: Dr. Sunil Lalchand Khemchandani

Fecha: Julio 2017

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO DE FIN DE GRADO

DISEÑO DE UN SINTETIZADOR DE FRECUENCIAS PARA EL ESTÁNDAR 802.15.4 EN TECNOLOGÍA CMOS 0.18 μm

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Fdo.:

Vocal

Secretario/a

Fdo.:

Fdo.:

Fecha: Julio 2017

AGRADECIMIENTOS

Este proyecto se lo dedico a mi familia por todo el apoyo que me han brindado durante todos estos años. Pero sobre todo a mis padres por su apoyo incondicional, su paciencia y por costearme esta carrera. Gracias a ellos, soy quien soy.

Un agradecimiento también a todos los compañeros que he conocido a lo largo de la carrera y a los que ahora puedo llamar amigos, porque sin ellos, este camino no habría sido el mismo.

Gracias también a mis amigos, que siempre me han apoyado y me han ayudado en los momentos más difíciles.

Mil gracias a mis tutores, Sunil y Javier, por su paciencia, su apoyo, y su atención constante en este proyecto. Gracias a ellos, este proyecto ha salido adelante.

A mi prima Raquel, gracias por corregirme todo este documento para que no hubiese ningún error ortográfico o de expresión.

A todos, muchas gracias.

Tabla de contenidos

TABLA DE CONTENIDOS	I
ÍNDICE DE FIGURAS	V
ÍNDICE DE TABLAS	VIII
ACRÓNIMOS	IX
MEMORIA	XII
1. INTRODUCCIÓN	13
1.1. Objetivos.....	15
1.2. Estructura de la memoria.....	15
2. REDES DE SENSORES	17
2.1. Introducción	17
2.2. Estándar IEEE 802.15.4	19
2.3. Tipos de dispositivos	22
2.4. Topologías de red.....	23
2.5. Seguridad	24
2.6. Aplicaciones	24
2.7. Arquitectura para la cadena de recepción	25
2.7.1. Receptor de conversión directa	25
2.8. Especificaciones para el sintetizador.....	26
2.9. Resumen	26
3. LAZOS ENGANCHADOS EN FASE Y SINTETIZADORES	27
3.1. Introducción	27
3.2. Estudio de un PLL ideal.....	29
3.2.1. Detector de fase ideal	29
3.2.2. Filtro del bucle.....	29
3.2.3. VCO ideal.....	30
3.2.4. Funciones de transferencia del lazo	30
3.3. Especificaciones.....	31
3.3.1. Márgenes de enganche	31
3.3.2. Respuesta en régimen permanente	33
3.3.3. Respuesta en régimen transitoria	34
3.3.4. Filtrado del ruido de fase.....	34

3.4.	Influencia del filtro.....	38
3.4.1.	PLL de orden 1	38
3.4.2.	PLL de orden 2 tipo 1	39
3.4.3.	PLL de orden 2 tipo 2.....	41
3.5.	Conceptos básicos de los sintetizadores de frecuencia	44
3.5.1.	Sintetizador básico.....	45
3.5.2.	Configuraciones de los sintetizadores.....	47
3.5.2.1.	Sintetizador con divisor programable	47
3.5.2.2.	Sintetizador con divisores fijo y programable	47
3.5.2.3.	Sintetizador con divisor de doble módulo	48
3.5.2.4.	Sintetizador con mezclador	49
3.6.	Ruido de fase en sintetizadores	50
3.7.	Diseño del sintetizador	52
3.7.1.	Frecuencias a generar por el estándar IEEE 802.15.4	52
3.7.2.	Frecuencias a generar por el sintetizador	52
3.7.3.	Estructura del sintetizador.....	54
3.8.	Resumen	55
4.	DISEÑO DEL SINTETIZADOR.....	57
4.1.	Oscilador controlado por tensión	57
4.1.1.	Introducción	57
4.1.2.	Parámetros característicos	60
4.1.3.	Clasificación.....	62
4.1.4.	Especificaciones del VCO.....	62
4.1.5.	Elección de la arquitectura.....	63
4.1.6.	Diseño del VCO	64
4.1.6.1.	Diseño del amplificador de resistencia negativa	64
4.1.6.2.	Diseño del tanque.....	69
4.1.6.3.	Diseño final del VCO	74
4.2.	Comparador de fase-frecuencia y bomba de carga.....	77
4.2.1.	Detector de fase.....	77
4.2.1.1.	Multiplicador analógico	78
4.2.1.2.	Detector digital de onda cuadrada.....	79
4.2.1.3.	Detector digital biestable	80

4.2.1.4.	Detector digital de fase-frecuencia	81
4.2.1.5.	Diseño del PFD	83
4.2.2.	Bomba de carga.....	87
4.2.2.1.	Diseño de la bomba de carga.....	88
4.2.3.	Unión del PFD y la bomba de carga	89
4.3.	Filtro de bucle	92
4.3.1.	Diseño del filtro	92
4.4.	Divisor rápido.....	95
4.4.1.	Introducción	95
4.4.2.	Divisores rápidos	98
4.4.2.1.	Latch tipo CML	98
4.4.2.2.	Divisor basado en latch CML.....	99
4.4.3.	Diseño del divisor entre dos.....	100
4.4.3.1.	Divisor Etapa Latch	101
4.4.3.2.	Buffer de salida hacia mezclador.....	107
4.4.3.3.	Buffer del divisor programable.....	110
4.5.	Resumen	113
5.	SINTETIZADOR COMPLETO	115
5.1.	Introducción.....	115
5.2.	Simulación de la respuesta del bucle	116
5.3.	Simulación de la respuesta transitoria.....	118
5.4.	Simulación del ruido de fase.....	121
5.5.	Resumen	125
6.	CONCLUSIONES	127
6.1.	Conclusiones del trabajo	127
6.2.	Líneas futuras.....	129
	PRESUPUESTO	130
7.	PRESUPUESTO.....	131
7.1.	Trabajo tarifado por tiempo empleado.....	131
7.2.	Amortización del inmovilizado material.....	132
7.2.1.	Amortización del material hardware	132
7.2.2.	Amortización del material software	133
7.3.	Redacción del trabajo.....	134

7.4.	Derechos de visado del COITT	134
7.5.	Gastos de tramitación y envío	135
7.6.	Material fungible	135
7.7.	Aplicación de impuestos y coste total	136
	BIBLIOGRAFÍA	138
8.	REFERENCIAS	139

Índice de figuras

Figura 1.1. Diagrama de bloques de un transceptor	14
Figura 2.1. Tecnologías inalámbricas	18
Figura 2.2. Arquitectura del protocolo	19
Figura 2.3. Canalización del estándar 802.15.4.....	20
Figura 2.4. Estructura del paquete de datos el estándar 802.15.4.....	20
Figura 2.5. Intercambio del flujo de tramas	21
Figura 2.6. Topologías de red. (a) Estrella, (b) Árbol y (c) Malla	23
Figura 2.7. Aplicaciones de Zigbee	24
Figura 2.8. Diagrama de bloques de un receptor Cero-IF.....	25
Figura 3.1. Diagrama de bloques de un PLL	29
Figura 3.2. Relación de los márgenes de enganche y mantenimiento	32
Figura 3.3. Relación espectral del ruido de fase	36
Figura 3.4. PLL de orden 1	38
Figura 3.5. PLL orden 2 tipo 1	40
Figura 3.6. PLL orden 2 tipo 2	41
Figura 3.7. Respuesta en frecuencia de un PLL tipo 2 orden 2	42
Figura 3.8. Influencia de ξ en el ancho de banda	43
Figura 3.9. Ancho de banda de ruido.....	43
Figura 3.10. Respuesta un salto de frecuencia de un PLL de orden 2 tipo 2	44
Figura 3.11. Diagrama de bloques de un sintetizador básico.....	45
Figura 3.12. Diagrama de bloques de un sintetizador con divisor programable	47
Figura 3.13. Diagrama de bloques de un sintetizador con divisores fijo y programable	48
Figura 3.14. Diagrama de bloques de un sintetizador con divisor de doble módulo	49
Figura 3.15. Diagrama de bloques de un sintetizador con mezclador.....	50
Figura 3.16. Fuentes de ruido de un sintetizador	50
Figura 3.17. Esquema básico de un sintetizador con detector de fase-frecuencia y bomba de carga	54
Figura 4.1. Circuito realimentado.....	58
Figura 4.2. Circuito para estudiar la estabilidad.....	59
Figura 4.3. Circuito estable.....	59
Figura 4.4. Circuito inestable	60
Figura 4.5. Ejemplo de curva características de varactores integrados	61
Figura 4.6. Arquitectura del VCO.....	63
Figura 4.7. Circuito diferencial con transistores NMOS.....	64
Figura 4.8. Impedancia de entrada del par diferencial con transistores NMOS	65
Figura 4.9. Circuito diferencial doble cruzado con transistores MM	65
Figura 4.10. Espejo de corriente	66

Figura 4.11. Impedancia de entrada del par diferencial doble cruzado con transistores MM	67
Figura 4.12. Circuito diferencial doble cruzado con transistores RF.....	68
Figura 4.13. Impedancia de entrada del amplificador de resistencia negativa con transistores de RF.....	69
Figura 4.14. Configuración del tanque	69
Figura 4.15. Esquema varactor DIOP con $C_{m\acute{a}x}$	70
Figura 4.16. Resultados de la simulación del varactor DIOP con $C_{m\acute{a}x}$	71
Figura 4.17. Esquema varactor DIOP con $C_{m\grave{a}n}$	71
Figura 4.18. Resultados de la simulación del varactor DIOP con $C_{m\grave{a}n}$	72
Figura 4.19. Esquema varactor MIS con $C_{m\acute{a}x}$	72
Figura 4.20. Resultados de la simulación del varactor MIS con $C_{m\acute{a}x}$	73
Figura 4.21. Esquema del varactor MIS con $C_{m\grave{a}n}$	73
Figura 4.22. Resultados de la simulación del varactor MIS con $C_{m\grave{a}n}$	74
Figura 4.23. Esquema diseño final con varactores MIS	75
Figura 4.24. Resultados de la simulación final con varactores DIOP.....	76
Figura 4.25. Esquema final del VCO.....	76
Figura 4.26. Simulación de los resultados finales del VCO	77
Figura 4.27. Tipos de detectores de fase	78
Figura 4.28. Diagrama de estados de un PFD	82
Figura 4.29. Circuito Inversor	84
Figura 4.30. Esquemático de la puerta nand2.....	85
Figura 4.31. Esquemático de la puerta nand3.....	85
Figura 4.32. Esquemático de la puerta nand4.....	86
Figura 4.33. Símbolo del circuito de simulación del PFD	86
Figura 4.34. Simulación del PFD y valor de K_d	87
Figura 4.35. Esquema de la bomba de carga	88
Figura 4.36. Esquemático en ADS de la bomba de carga	89
Figura 4.37. PFD con CP.....	90
Figura 4.38. Simulación de la respuesta del PFD+CP y valor de K_d	90
Figura 4.39. Resultado de la simulación del PFD con CP, señal V adelantada con R.....	91
Figura 4.40. Resultado de la simulación del PFD con CP, señal V retrasada con R.....	91
Figura 4.41. Resultado de la simulación del PFD con CP, señal V en fase con R.....	92
Figura 4.42. Esquema del filtro de orden 3.....	93
Figura 4.43. Generación de las señales I-Q.....	96
Figura 4.44. Generación de las señales I-Q con VCO acoplados.....	96
Figura 4.45. Generación de las señales I-Q con filtro polifásico	97
Figura 4.46. Generación de las señales I-Q con un divisor entre dos.....	97
Figura 4.47. Esquema general de un CML	98
Figura 4.48. Esquema del Latch CML.....	99

<i>Figura 4.49. Configuración del divisor con CML</i>	100
<i>Figura 4.50. Estructura del divisor</i>	100
<i>Figura 4.51. Esquema para la salida del VCO</i>	101
<i>Figura 4.52. Esquema del latch con transistores MM</i>	102
<i>Figura 4.53. Resultado de la simulación del latch con transistores MM</i>	103
<i>Figura 4.54. Esquema del latch con transistores de RF</i>	105
<i>Figura 4.55. Resultados de la simulación del latch con transistores RF</i>	105
<i>Figura 4.56. Circuito inversor con transistores RF y MM</i>	106
<i>Figura 4.57. Resultados de la simulación del inversor con transistores RF y MM</i>	106
<i>Figura 4.58. Simulación del desfase en el divisor</i>	107
<i>Figura 4.59. Esquema del buffer de salida hacia el mezclador</i>	109
<i>Figura 4.60. Resultado de la simulación del latch con el buffer de salida hacia el mezclador</i>	110
<i>Figura 4.61. Conversor de CML a CMOS</i>	110
<i>Figura 4.62. Esquema del conversor de CML a CMOS</i>	112
<i>Figura 4.63. Resultados de la simulación del conversor de CML a CMOS</i>	113
<i>Figura 5.1. Esquema de la respuesta del sistema para bucle cerrado</i>	116
<i>Figura 5.2. Esquema de la respuesta del sistema para bucle abierto</i>	116
<i>Figura 5.3. Esquema de la respuesta del sistema en frecuencia</i>	116
<i>Figura 5.4. Resultado de la simulación del margen de fase del sistema</i>	117
<i>Figura 5.5. Resultados finales del margen de fase</i>	118
<i>Figura 5.6. Esquema para la simulación transitoria del sintetizador</i>	119
<i>Figura 5.7. Resultado de la simulación transitoria</i>	120
<i>Figura 5.8. Tensión de control de la simulación transitoria del sintetizador</i>	120
<i>Figura 5.9. Corriente de salida de la simulación transitoria del sintetizador</i>	120
<i>Figura 5.10. Esquema para calcular el ruido de fase del PFD+CP</i>	121
<i>Figura 5.11. Resultados de la simulación del ruido de fase del PFD+CP</i>	122
<i>Figura 5.12. Esquema del ruido de fase del sintetizador</i>	123
<i>Figura 5.13. Resultado del ruido de fase del sintetizador con contribución del VCO</i>	123
<i>Figura 5.14. Resultado de la simulación del ruido de fase de todos los componentes del sintetizador</i>	124

Índice de tablas

<i>Tabla 2.1. Resumen de las características principales del estándar 802.15.4</i>	22
<i>Tabla 2.2. Especificaciones del estándar para el sintetizador</i>	26
<i>Tabla 3.1. Respuesta de un PLL de orden 1</i>	39
<i>Tabla 3.2. Respuesta de un PLL de orden 2 tipo 1</i>	40
<i>Tabla 3.3. Respuesta de un PLL de orden 2 tipo 2</i>	41
<i>Tabla 3.4. Frecuencias centrales de cada banda del estándar IEEE 802.15.4.</i>	52
<i>Tabla 3.5. Frecuencias a generar por el sintetizador</i>	53
<i>Tabla 3.6. Valores del divisor programable</i>	55
<i>Tabla 4.1. Especificaciones del VCO</i>	62
<i>Tabla 4.2. Dimensiones finales de los transistores que componen el espejo de corriente del amplificador de resistencia negativa</i>	67
<i>Tabla 4.3. Dimensiones de los transistores de RF del amplificador de resistencia negativa</i>	68
<i>Tabla 4.4. Valores de los componentes del tanque</i>	70
<i>Tabla 4.5. Dimensiones de los transistores del detector de fase-frecuencia</i>	84
<i>Tabla 4.6. Dimensiones de los transistores de la bomba de carga</i>	89
<i>Tabla 4.7. Parámetros para calcular el filtro</i>	93
<i>Tabla 4.8. Valores de los componentes del filtro</i>	95
<i>Tabla 4.9. Dimensiones de los transistores de la salida del VCO</i>	101
<i>Tabla 4.10. Dimensiones de los transistores que forman el espejo de corriente del latch</i>	103
<i>Tabla 4.11. Dimensiones de los componentes que forman el latch con transistores MM</i>	104
<i>Tabla 4.12. Ángulos de desfase del divisor</i>	107
<i>Tabla 4.13. Dimensiones de los componentes del buffer de salida hacia el mezclador</i>	108
<i>Tabla 4.14. Dimensiones de los transistores del buffer de salida hacia el mezclador</i>	111
<i>Tabla 5.1. Valores finales de los componentes del filtro</i>	118
<i>Tabla 5.2. Valores de los componentes del ruido del VCO</i>	122
<i>Tabla 5.3. Valores del ruido de fase total del sintetizador</i>	124
<i>Tabla 7.1. Costes de amortización del hardware</i>	133
<i>Tabla 7.2. Costes de amortización del software</i>	133
<i>Tabla 7.3. Presupuesto de los costes de redacción del TFG</i>	134
<i>Tabla 7.4. Presupuesto con el visado del COITT</i>	135
<i>Tabla 7.5. Costes del material fungible</i>	135
<i>Tabla 7.6. Presupuesto total del Trabajo Fin de Grado</i>	136

ACRÓNIMOS

ACK.....	<i>Acknowledgement</i>
ADS.....	<i>Advance Design System</i>
BPSK.....	<i>Binary Phase Shift Keying</i>
CML.....	<i>Current-Mode Logic</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CP	<i>Charge Pump</i>
CSMA/CA.....	<i>Carrier Sense Multiple Access with Collision Avoidance</i>
CTS	<i>Clear To Send</i>
DIFS.....	<i>Distributed Inter-Frame Space</i>
DK	<i>Design Kit</i>
FFD	<i>Full Function Device</i>
IEEE	<i>The Institute of Electrical and Electronics Engineers</i>
LLC.....	<i>Logical Link Control</i>
LR-WPAN.....	<i>Low Rate-Wireless Personal Area Network</i>
MAC	<i>Media Access Control</i>
MIS.....	<i>Metal Insulator Semiconductor</i>
MM	<i>Mixed Mode</i>
NMOS	<i>Negative-channel Metal-Oxide Semiconductor</i>
O-QPSK	<i>Offset Quadrature Phase Shift Keying</i>
PDN.....	<i>Pull-Down Network</i>
PFD	<i>Phase Frequency Detector</i>
PHY	<i>Physical Layer</i>
PLL.....	<i>Phase Locked Loop</i>
PLO	<i>Phase Locked Oscillator</i>
PPF	<i>Polyphase Filter, Polyphase Filter</i>
QPSK	<i>Quadrature Phase Shift Keying</i>
RF	<i>Radiofrecuencia</i>
RFD.....	<i>Reduced Function Device</i>

RTS	<i>Request To Send</i>
SIFS	<i>Short Inter-Frame Space</i>
VCO	<i>Voltage Controller Oscillator</i>
WLAN	<i>Wireless Local Area Network</i>
WMAN	<i>Wireless Metropolitan Area Network</i>
WPAN	<i>Wireless Personal Area Network</i>
WSN	<i>Wireless Sensor Network</i>

MEMORIA

Capítulo 1.

1.Introducción

Hoy en día se han desarrollado un gran número de transceptores CMOS de baja potencia para la banda de 2,4 GHz debido a que se pretende mejorar la vida útil de las baterías. Con ello se consigue que los dispositivos posean una mayor independencia y sean de bajo coste. Existen estándares que trabajan en la banda de 2,4 GHz como el *Bluetooth* y el estándar IEEE 802.11. Sin embargo, el que mejor se adecua a estas especificaciones es el IEEE 802.15.4 el cual define el nivel físico y de control de acceso al medio de redes inalámbricas de área personal con tasas bajas de transmisión de datos. Este cumple con las características de bajo consumo y coste; además, permite la conexión de un mayor número de nodos y tiene una mayor eficiencia energética. El estándar posee principalmente tres bandas de frecuencias (868 MHz, 915 MHz y 2,4 GHz) y su tasa de datos va desde los 20 hasta los 250 kb/s, dependiendo de la banda en la que se trabaje. En cuanto a las aplicaciones, abarca un gran número de ellas: la automoción, medicina, aplicaciones industriales, domótica, aplicaciones comerciales, etc. Por ello, para este tipo de aplicaciones la vida útil de las baterías debe ser de entre meses o años sin tener la necesidad de reemplazarla [1]-[3].

Un transceptor está formado por distintos bloques (ver Figura 1.1). Se observan dos bloques principales: el receptor y el transmisor. También se puede observar otro bloque diferenciador como el sintetizador de frecuencias, que está formado por un bucle enganchado en fase que genera una señal de salida fija y cuya frecuencia coincide con la señal de entrada; un oscilador controlado por tensión que genera las frecuencias del oscilador local y un generador de señal de fase y cuadratura que van hacia el mezclador del cabezal de recepción.

Este trabajo se centra en el diseño de un sintetizador de frecuencias. Estos están formados por diferentes bloques; uno de ellos, como ya se explicó anteriormente, es el oscilador controlado por tensión (VCO: *Voltage Controller Oscillator*), le sigue el detector de fase-frecuencia (PFD: *Phase Frequency Detector*), que genera una señal de salida proporcional a la diferencia de fase de las señales de entrada. Posteriormente está la bomba de carga (CP: *Charge Pump*), que proporciona una ganancia para una diferencia de fase en la entrada del dispositivo. A continuación, está el filtro de bucle. Es un bloque muy importante para el sintetizador, pues de él depende la estabilidad del todo el sintetizador. Por último, está el divisor rápido que tiene que ser capaz de dividir el rango de frecuencias en el que se trabaja.

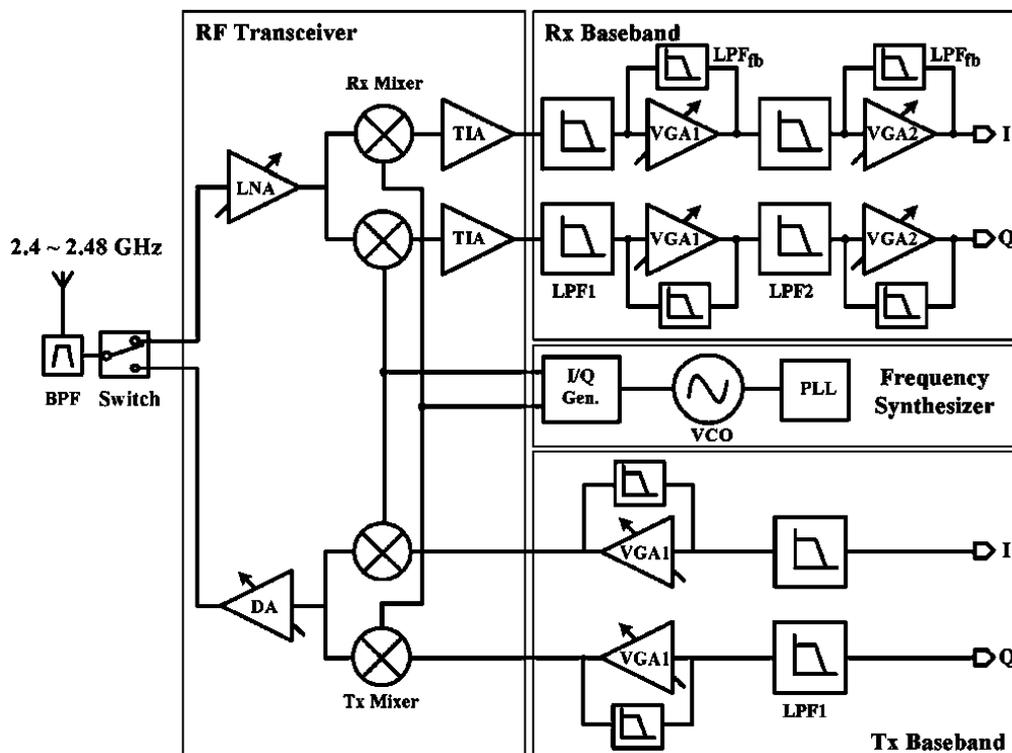


Figura 1.1. Diagrama de bloques de un transceptor

1.1. Objetivos

El objetivo de este trabajo fin de grado es obtener un sintetizador de frecuencias para el estándar IEEE 802.15.4 utilizando la tecnología CMOS 0,18 μm de la fundidora UMC. Se busca que este sintetizador cumpla con las especificaciones del estándar.

Para llevar a cabo el proyecto se utilizó la herramienta software ADS (*Advance Design System*) de la empresa *Keysight*. Esta herramienta es ampliamente utilizada para el diseño de circuitos de RF puesto que es un instrumento muy potente, posee muchas librerías y también muchas opciones de simulación. Por eso, el ADS es la herramienta idónea para la realización de este trabajo fin de grado.

Para poder utilizar la tecnología CMOS de 0,18 μm se tuvo que instalar el kit de diseño (DK: *Design Kit*) de UMC.

1.2. Estructura de la memoria

Esta memoria consta de 6 capítulos. En el primer capítulo se introducen los antecedentes y los objetivos marcados para este trabajo fin de grado. En el segundo, se realiza un estudio de las redes de sensores inalámbricas, y se muestran sus principales ventajas. Este capítulo se centra en el estándar IEEE 802.15.4 ya que el sintetizador a diseñar tiene que cumplir con sus especificaciones.

En el tercer capítulo se realiza una pequeña descripción teórica de los bucles enganchados en fase, se estudian sus conceptos básicos y las características de las distintas partes que la forman. Seguidamente, se iniciará el estudio de los sintetizadores de frecuencia y sus distintas configuraciones y se comentarán las ventajas y desventajas de cada una de ellas. Con posterioridad, se realizará un estudio de la influencia del ruido de fase en los sintetizadores. Por último, se muestran las características que debe cumplir el sintetizador a diseñar y la arquitectura elegida para ello.

En el capítulo 4 se comenzará el diseño del sintetizador. En primer lugar, se hace un estudio de los osciladores controlados por tensión, y posteriormente se elige la topología a implementar, exponiendo sus ventajas y desventajas. Además, se explican las decisiones de diseño tomadas y el proceso seguido. En segundo lugar, se realiza el diseño del detector de fase-frecuencia y la bomba de carga y, al

igual que en el caso anterior, se realiza un estudio de estos bloques y se describe la arquitectura escogida para después realizar su implementación describiendo el proceso seguido. En tercer lugar, se realiza el diseño del filtro de bucle en donde se elige la topología a implementar y se calculan sus parámetros principales, para después realizar su diseño describiendo los procesos seguidos. Y, por último, se acomete el diseño del divisor rápido, en el que se realiza un estudio de los mismos. Se explica la estructura elegida y el proceso de diseño llevado a cabo.

El capítulo 5 se centra en el análisis de los resultados obtenidos al simular el sintetizador completo.

Finalmente, en el capítulo 6, se comentan las conclusiones obtenidas del trabajo realizado. Además, se presenta un resumen de los resultados obtenidos con el fin de compararlos con otros trabajos desarrollados. En este capítulo, también se presentan las líneas futuras de este trabajo.

Capítulo 2.

2. Redes de sensores

Este capítulo comienza con una breve introducción a las redes de sensores. A continuación, se estudian las principales características del estándar IEEE 802.15.4 en el que se basa la tecnología Zigbee. A continuación, se analiza la arquitectura del receptor para reducir el área y obtener el máximo nivel de integración.

2.1. Introducción

En los últimos años, las redes de comunicaciones han tenido un gran auge debido a los avances tecnológicos. De esta forma, se han podido desarrollar dispositivos electrónicos de menor tamaño, consumo y coste y que se comunican sin necesidad de cables, haciéndolas más flexibles puesto que no dependen del cableado. Gracias a estas características, surgieron las redes de sensores inalámbricas (WSN: *Wireless Sensor Network*) que son una red de diminutos dispositivos, autónomos y distribuidos físicamente que se utilizan para monitorizar y con la capacidad de almacenar y comunicar datos en una red de forma inalámbrica.

Debido a esas ventajas, se produjo un auge de estas redes en aplicaciones industriales, que provocan el desarrollo de nuevas tecnologías como el *Bluetooth* o *Zigbee*. Se debe elegir la tecnología a utilizar en función de las especificaciones de la aplicación.

Las redes de sensores inalámbricas se pueden clasificar según la tasa binaria, la potencia consumida y el compromiso entre el coste y la complejidad de diseño. Como se puede observar en la Figura 2.1, en la parte inferior de la gráfica se encuentran las redes de área personal (WPAN: *Wireless Personal Area Network*), que son de bajo coste y baja potencia consumida. En esa misma parte, están las redes de baja tasa binaria (LR-WPAN: *Low Rate-Wireless Personal Area Network*). Se trata de un caso particular de las WPAN. Si se va aumentando la potencia consumida o la tasa binaria, se entra en la región caracterizada por las redes de área local (WLAN: *Wireless Local Area Network*) y si sigue aumentando se llega a las redes de área metropolitana (WMAN: *Wireless Metropolitan Area Network*). La diferencia entre una red y otra es que las de área metropolitana tienen menor tasa de datos que las de área local.

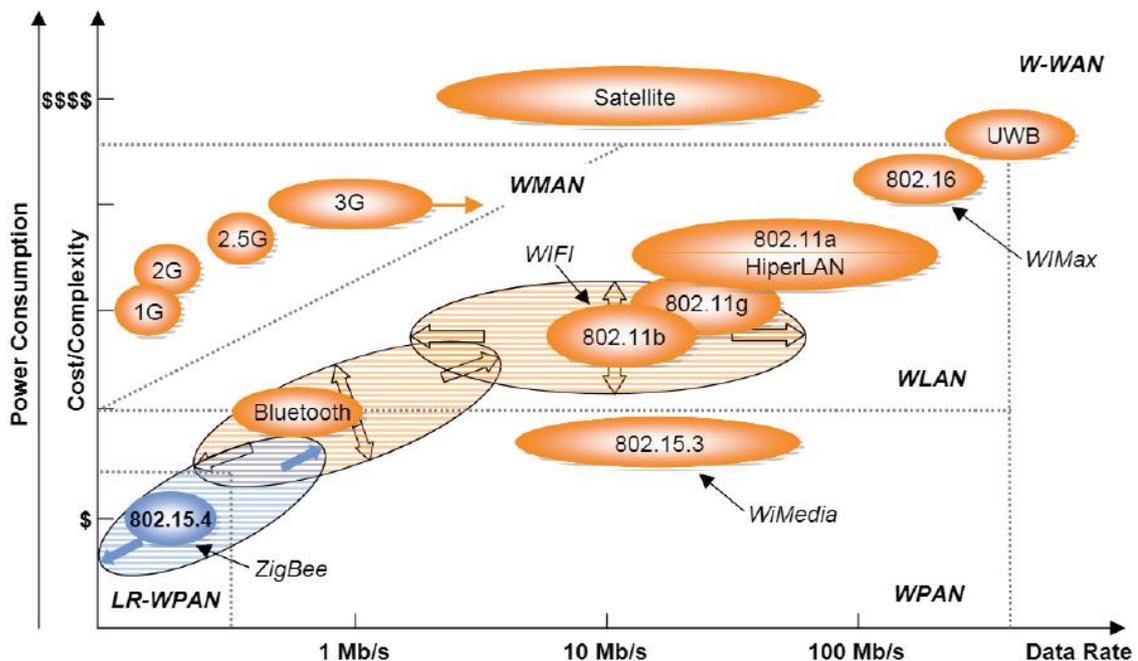


Figura 2.1. Tecnologías inalámbricas

En este trabajo se desea implementar un sintetizador de frecuencias de bajo consumo de potencia, por ello se ha optado por estándar IEEE 802.15.4 basado en la tecnología Zigbee [4].

2.2. Estándar IEEE 802.15.4

En este apartado se tratarán las características principales del estándar en el que estará basado el diseño del sintetizador. El estándar IEEE 802.15.4 fue desarrollado por el grupo de trabajo 802.15 del Institute of Electrical and Electronics Engineers especializados en las redes de área personal, más concretamente por el subgrupo 4. Este estándar define la capa física (PHY: *Physical Layer*) y la capa de enlace de datos de las redes LR-WPAN [5].

La arquitectura del protocolo se muestra en la Figura 2.2 en donde se observa que tanto la capa física como la de enlace siguen el protocolo OSI. Sobre el estándar se basan varias tecnologías entre ellas: Zigbee, que construye los niveles superiores del protocolo. De la Figura 2.2 se puede ver que las capas inferiores están definidas por el estándar y mientras que las más altas están reservadas para la tecnología Zigbee u otros grupos similares. También se ve que la capa de enlace de datos está dividida en dos subcapas, la de control de acceso lógico (LLC: *Logical Link Control*) que está basado en el estándar 802.2 y la subcapa de control de acceso al medio (MAC: *Media Access Control*) que controla el acceso a los canales.

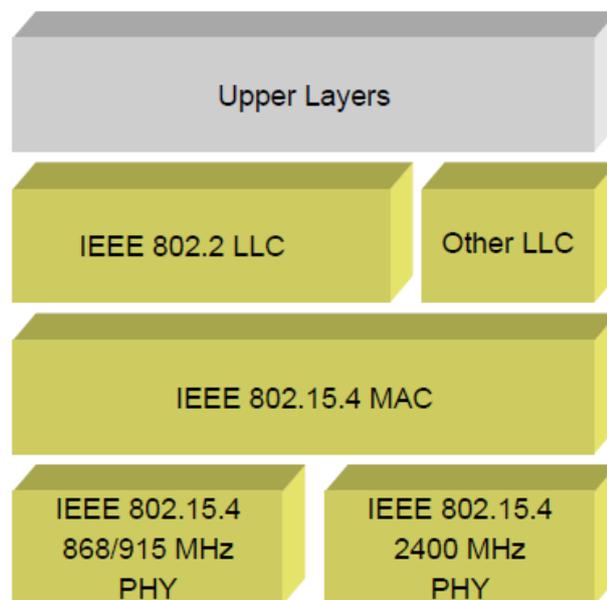


Figura 2.2. Arquitectura del protocolo

En cuanto a la capa física el estándar trabaja en tres bandas de frecuencias diferentes con 27 canales. Estas bandas son a 868 MHz para Europa, a 915 MHz para América y 2,4GHz a nivel global. El canal 0 se encuentra en la frecuencia de

los 868,0 a 868,6 MHz y posee una velocidad de datos de 20 kbps. Los canales del 1 al 10 en la frecuencia de los 902,0 a 928,0 MHz y cada canal posee una velocidad de datos de 40 kbps. Los canales del 11 al 26 se encuentran en el rango de los 2,4 a 2,4835 GHz, y poseen una velocidad de datos de 250 kbps. La frecuencia central para los canales del 1 al 10 es de 2 MHz, mientras que los que van del 11 al 26 poseen una frecuencia central de 5 MHz. La canalización del estándar se puede observar en la Figura 2.3 [6].

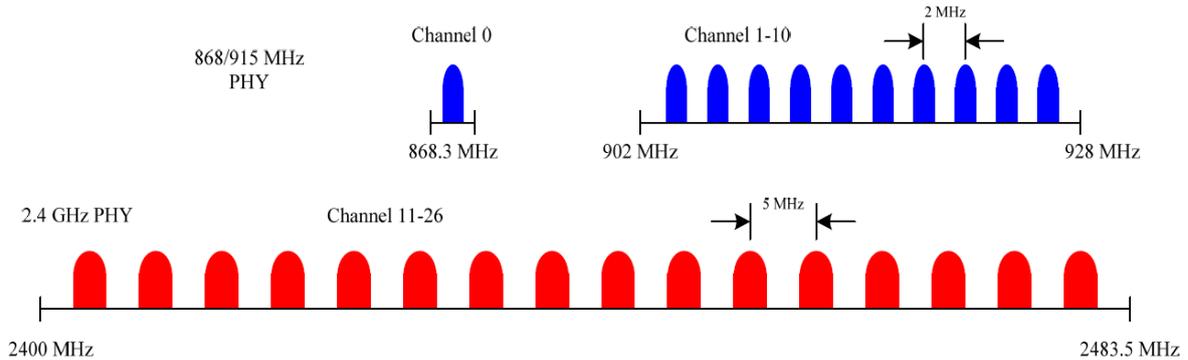


Figura 2.3. Canalización del estándar 802.15.4

Los canales que van desde el 0 hasta el 10 utilizan una modulación BPSK (*Binary Phase Shift Keying*) en el que la fase de la portadora puede tomar dos valores. Mientras que a partir del canal 11 tienen una modulación O-QPSK (*Offset-Quadrature Phase Shift Keying*), el cual es de una variante de la modulación por desplazamiento de fase de cuadratura (QPSK: *Quadrature Phase Shift Keying*). La modulación O-QPSK se trata de modulación digital en el que las mayores variaciones de amplitud se producen con una fase de 180° .

Por lo que la sensibilidad del receptor debe ser mayor de -92 dBm para los canales del 0 al 10 y de unos -85 dBm desde el canal 11 en adelante. El rango de alcance puede llegar a ser desde los 10 hasta los 75 metros. El tamaño de la trama de datos de la capa física está limitado a 127 bytes.

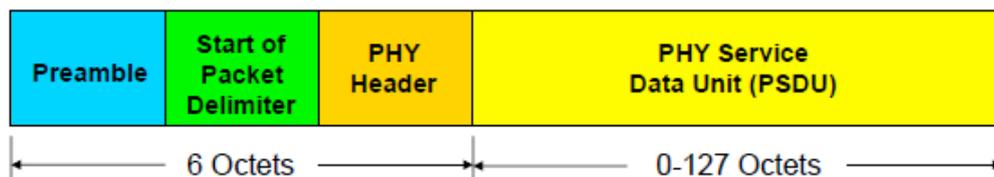


Figura 2.4. Estructura del paquete de datos del estándar 802.15.4

En cuanto a la estructura del paquete de datos mostrada en la Figura 2.4, se diferencian dos partes. La primera parte que corresponde a la cabecera, compuesta

por 32 bits de sincronización, 8 bits de inicio del paquete y otros 8 bits indicando el tamaño de los datos enviados. Y, por otra parte, se pueden enviar entre 0 y 1016 bits de datos.

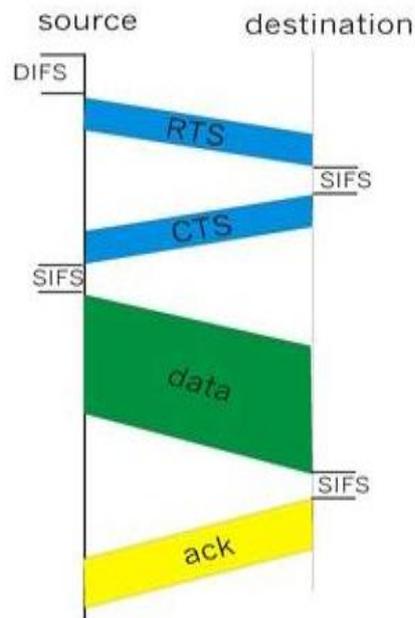


Figura 2.5. Intercambio del flujo de tramas

Por otro lado, el estándar utiliza la técnica de acceso múltiple por detección de portadora (CSMA/CA: *Carrier Sense Multiple Access with Collision Avoidance*) para que no se produzcan colisiones entre las distintas estaciones de trabajo que deseen acceder a un mismo canal. Para realizar la transmisión, la estación que desee transmitir primero debe escuchar el canal. Si éste está vacío durante tiempo, denominado DIFS (*Distributed Inter-Frame Space*), se envía la trama entera de datos. En caso contrario, se inicia un temporizador aleatorio que va descontando el tiempo con canal libre. Cuando el temporizador ha terminado, se transmiten los datos. En cambio, para la recepción, si al receptor le han llegado los datos, éste envía una trama de reconocimiento (ACK: *Acknowledgement*) una vez transcurrido un tiempo SIFS (*Short Inter-Frame Space*), el cual dura menos que el DIFS debido a que el ACK es prioritario con respecto a las tramas de datos (ver Figura 2.5).

Cuando las tramas son muy largas, el protocolo CSMA/CA permite reservar los canales para evitar que se produzcan colisiones. En estos casos, el emisor envía una trama RTS (*Request To Send*) a la estación base para solicitar permiso para enviar una trama y reservar el canal. Seguidamente, la estación base envía una trama CTS (*Clear To Send*) indicando al emisor que dispone el canal para enviar los datos. Esta trama llega a todos los nodos de la red, por lo que todos los

los nodos saben que ese canal está siendo utilizado por otro nodo. De esta manera se evitan las colisiones, sin embargo, provoca un mayor retardo en la transmisión. Por eso, sólo se utiliza para tramas de gran longitud [7].

En la Tabla 2.1 se muestra un resumen de las principales características del estándar.

Tabla 2.1. Resumen de las características principales del estándar 802.15.4

Estándar	IEEE 802.15.4
Frecuencia de trabajo	868MHz, 915 MHz, 2,4GHz
Tasa de transferencia	250 kbps (2,4 GHz) 40 kbps (915 MHz) 20 kbps (868 MHz)
Número de canales	16 (2,4 GHz) 10 (915 MHz) 1 (868 MHz)

2.3. Tipos de dispositivos

El estándar posee dos tipos de dispositivos según su funcionalidad. Por un lado, están los FFD (*Full Function Device*) que funcionan para cualquier topología, y puede actuar como un coordinador, router o dispositivo final. Además, se puede comunicar con otro dispositivo de la red. Por otro lado, están los RFD (*Reduced Function Device*) sólo funcionan con una topología en estrella. Por tanto, sólo se puede realizar la comunicación con el coordinador, esto hace que sea simple de implementar y puede portarse únicamente como dispositivo final.

Dentro del estándar existen tres tipos de nodos que se encuentran en una red Zigbee. Éstos son [8]:

- **Coordinador:** Sólo puede existir uno por red. Este dispositivo es el encargado de iniciar la formación de red y también coordina las transmisiones que se producen en la red. Es un dispositivo de función completa porque necesita mucha capacidad de cómputo y memoria.
- **Router:** Es el encargado del enrutamiento de saltos múltiples de los mensajes. Con ellos se puede extender la cobertura de la red y crear rutas adicionales de datos. Puede haber más de un router en una misma red. Es un dispositivo de tipo FFD.

- **Dispositivo final:** Es el elemento más básico de la red y no realiza ninguna tarea de enrutamiento. Se encarga de comunicarse con un nodo del router o con el coordinador. Son dispositivos de funcionalidad reducida.

2.4. Topologías de red

Las topologías que soporta Zigbee son aquellas que usa el estándar para la transferencia de datos. Éstas pueden ser [9]:

- **Topología en estrella:** Un dispositivo FFD toma el rol de coordinador de la red y se convierte en el centro de ésta y, por tanto, se tiene que conectar con los demás dispositivos haciendo un círculo. Por ello, todos los mensajes pasan por el coordinador. La desventaja de esta topología es que el rango de la red está limitado al rango de transmisión del coordinador y no permite la comunicación entre los dispositivos finales.
- **Topología en malla:** También se trata de un dispositivo FFD, formada por un nodo coordinador y con nodos router que se utilizan para ampliar la red. Es una topología no jerárquica en el que los dispositivos se pueden comunicar entre sí. La ventaja de esta topología reside en que si un nodo o camino deja de funcionar, la comunicación se sigue manteniendo.
- **Topología en árbol:** Se trata de una variante de la topología malla. En esta topología pueden existir varios dispositivos FFD y los RFD pueden actuar como dispositivo final conectado a un nodo único.

En la Figura 2.6 se muestran las distintas topologías comentadas anteriormente.

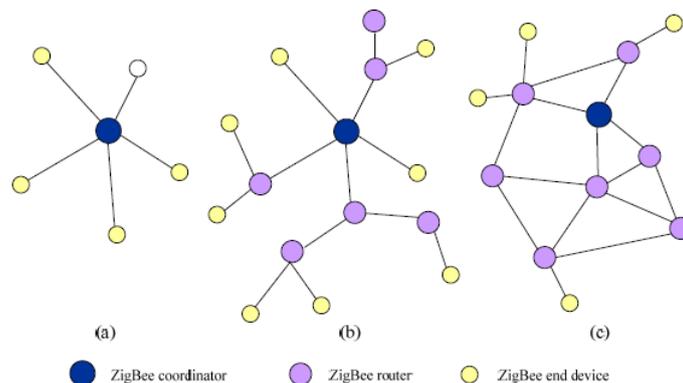


Figura 2.6. Topologías de red. (a) Estrella, (b) Árbol y (c) Malla

2.5. Seguridad

La seguridad en la transmisión de datos mediante redes inalámbricas de sensores es fundamental. Zigbee utiliza el modelo de seguridad de la subcapa MAC del estándar, que posee cuatro servicios de seguridad.

- **Control de accesos:** El dispositivo mantiene una lista de los dispositivos que forman en la red.
- **Datos encriptados:** Se utiliza una encriptación con un código 128 bits que pueden asociarse a una red o a un enlace.
- **Integración de tramas:** Se protegen los datos para que puedan ser modificados por otros.
- **Secuencias de refresco:** Se comprueba que las tramas no hayan sido reemplazadas por otras.

2.6. Aplicaciones

El ámbito de aplicación de la tecnología Zigbee es muy amplio. Ésta está basada en el estándar IEEE 802.15.4 y se utiliza en aquellas aplicaciones que demanden un bajo consumo de potencia y así como una baja transmisión de datos. Por ello, su presencia en aplicaciones de domótica o medicina es elevada puesto que cumple con sus necesidades, pero también se utiliza esta tecnología para aplicaciones industriales. En la Figura 2.7 se muestran los principales grupos de aplicación en las que se utiliza esta tecnología.

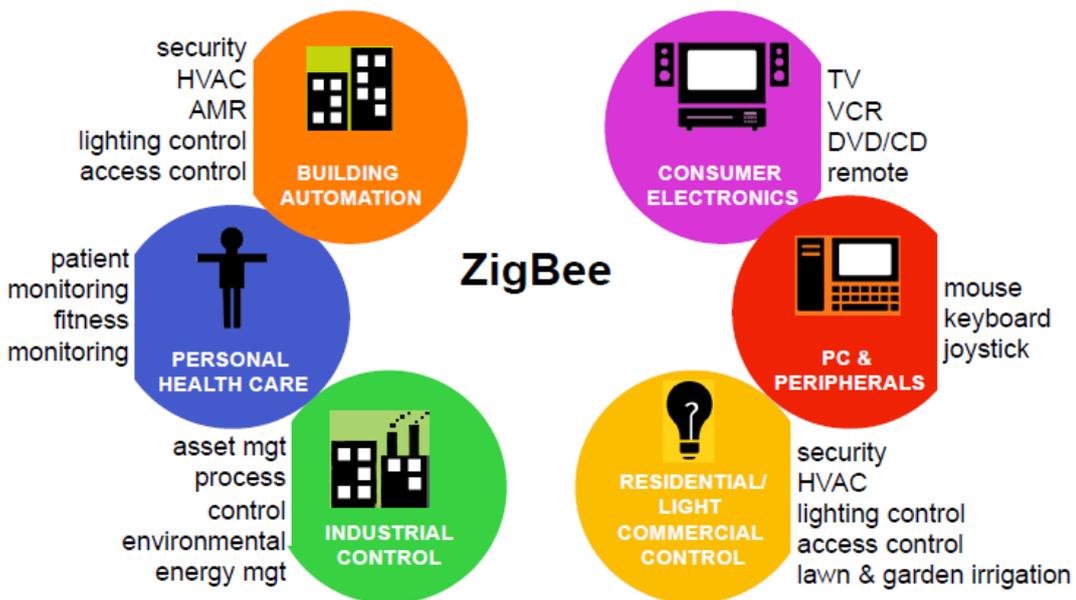


Figura 2.7. Aplicaciones de Zigbee

2.7. Arquitectura para la cadena de recepción

En este apartado se realiza un análisis de la arquitectura que se adopta para implementar la cadena de recepción. Se hace un estudio de la arquitectura de recepción de conversión directa, en donde se presentarán las ventajas e inconvenientes que presenta.

2.7.1. Receptor de conversión directa

El diagrama de bloques de este receptor se puede observar en la Figura 2.8. En esta arquitectura la conversión se realiza en una etapa de conversión y se resuelven los problemas que pueda haber con la frecuencia imagen [10].

Las ventajas que presenta este receptor son:

- No hay problemas con la frecuencia imagen porque la intermedia es nula y la del oscilador es igual a la frecuencia de RF. No necesita un filtro de frecuencia imagen.
- Al poseer un reducido número de componentes, la eficiencia aumenta, por tanto, este receptor es totalmente integrable en un chip.

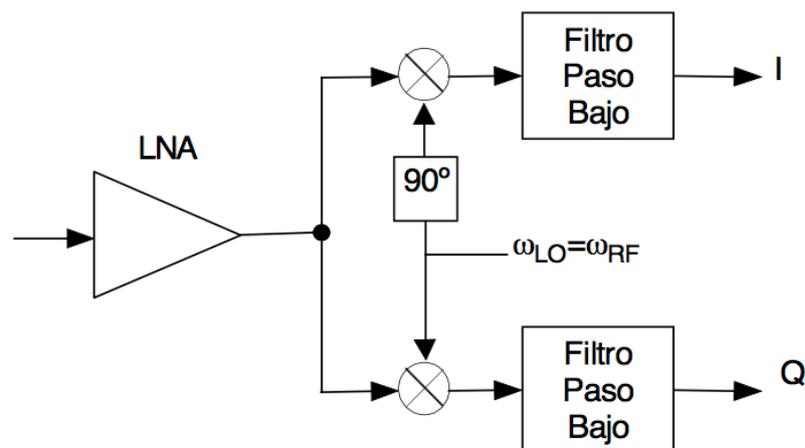


Figura 2.8. Diagrama de bloques de un receptor Cero-IF

Sin embargo, también presenta algunos inconvenientes como, por ejemplo:

- Aparece un *offset* en DC a la salida del filtro paso-bajo provocando que el rango de la señal disminuya. Este *offset* aparece debido a que parte de la señal que proviene del oscilador va hacia el mezclador por la entrada de RF sumándose con la señal proveniente del LNA. Esto se produce porque el aislamiento entre los puertos del mezclador no es infinito. Posteriormente, esta señal se vuelve a mezclar con el oscilador local que al ser filtrada aparece como un nivel de continua a

la salida. A este efecto se le denomina como automezclado o *self-mixing*.

- Para realizar la demodulación I/Q el oscilador necesita un desplazamiento de 90° . Este desplazamiento produce una variación de amplitud del oscilador local, lo que se traduce como una variación de amplitud entre el oscilador local utilizado para la señal Q y la I , provocando un error en la constelación en la señal demodulada.
- También puede producir distorsiones de segundo orden. Sin embargo, esto se puede evitar utilizando ecuaciones diferenciales
- El ruido *flicker* ($1/f$) a baja frecuencia es muy elevado debido a que la señal de RF se traslada de forma directa a frecuencia cero.
- Las fugas del oscilador local también pueden provocar que se generen interferencias en las bandas de otros receptores.

2.8. Especificaciones para el sintetizador

Una vez realizado el estudio de las características principales del estándar y de la arquitectura del receptor, se han fijado las especificaciones que debe cumplir el sintetizador. Para realizar el diseño del sintetizador se utiliza la banda de operación de 2,4 GHz y el ruido de fase no debe superar -102 dBc/Hz a 3,5 MHz [11]. En la Tabla 2.2 se encuentran resumidas estas especificaciones.

Tabla 2.2. Especificaciones del estándar para el sintetizador

Frecuencias a generar	$2405 \text{ MHz} + 5 (N - 11) \text{ MHz}; N = 11, \dots, 26$
Ruido de fase	-102 dBc/Hz para un <i>offset</i> de 3,5 MHz

2.9. Resumen

En este capítulo se ha realizado una descripción detallada del estándar 802.15.4, prestando especial atención a las especificaciones técnicas. También se realizó el estudio del receptor que se va a utilizar. La elección de dicho receptor implica un bajo consumo de potencia y área, así como una mayor integración. Por tanto, se concluye que las características principales sobre los que se debe dirigir el diseño son las bandas de frecuencias y el ruido de fase.

Capítulo 3.

3. Lazos enganchados en fase y sintetizadores

Este capítulo trata sobre el estudio de los lazos enganchados en fase, en donde se explicarán los distintos componentes que lo forman, se tratarán las especificaciones básicas de los PLL y se hará un estudio de los distintos tipos de PLL que existen. Posteriormente, se realizará un estudio de los sintetizadores de frecuencia y las diferentes configuraciones que pueden darse. También se estudiará de la influencia del ruido de fase en éstos. Por último, se expondrán las características que debe cumplir el sintetizador a diseñar.

3.1. Introducción

Los lazos enganchados en fase (PLL: *Phase Locked Loop*) son dispositivos electrónicos que utilizan una realimentación de fase para que esta y la frecuencia de la señal de un oscilador coincida con la de referencia.

El PLL se conoce desde 1923. Sin embargo, en esos años no había la tecnología suficiente para poder llevar a cabo su implementación. Por ello, la primera referencia de estos surge en 1932, pero su uso fue restringido por la

complejidad que presentaban y sus altos costes. Alrededor de los años 60 se produjo la utilización de los PLL de forma masiva porque se pudo integrar todo el circuito en un único chip [12].

Hoy en día el PLL está presente en muchas aplicaciones. Este se puede utilizar para los sintetizadores de frecuencia cuya aplicación es la más importante en los sistemas de radiofrecuencia, para la modulación y demodulación de fase y frecuencia en donde se puede conseguir modular la señal manteniendo una estabilidad de la portadora, y para la extracción de señales con mucho ruido en donde el PLL tiene la propiedad de filtrar una señal de referencia altamente ruidosa y extraer de ella una portadora muy limpia con un filtrado que se sintoniza automáticamente con la señal deseada.

Para poder entender mejor el funcionamiento de los PLL en los siguientes apartados, primero se revisarán algunos conceptos tales como la frecuencia y la fase instantáneas. Las señales paso-banda en el dominio del tiempo se puede representar como:

$$v(t) = a(t) \cdot \cos(\Phi(t)) = a(t) \cdot \cos(\omega_c(t) + \phi_r(t)) \quad (3.1)$$

Donde $A(t)$ se corresponde con la amplitud de la señal y $\Phi(t)$ es la fase absoluta. De ésta se puede sacar una frecuencia constante ω_c , que puede ser una frecuencia cualquiera, pero necesaria para definir la fase relativa $\phi_r(t)$. La señal se puede definir tanto por la amplitud de la señal y su fase absoluta como por el trío de señales $A(t)$, ω_c y $\phi_r(t)$.

Sin embargo, para el estudio de los lazos enganchados en fase, la señal que las caracteriza es tanto la fase absoluta como la relativa, que puede verse como una suma de varios términos, en donde el primero puede ser la portadora, el segundo corresponde a la modulación, el tercero el ruido, etc...

$$\Phi(t) = \omega_o \cdot t + \Delta \cdot \phi \cdot \cos \omega_m \cdot t + \phi_n(t) \quad (3.2)$$

$$\phi_r(t) = \Delta \cdot \omega \cdot t + \Delta \cdot \phi \cdot \cos \omega_m \cdot t + \phi_n(t) \quad (3.3)$$

Por otro lado, la frecuencia instantánea es otro concepto importante a la hora de realizar el estudio del PLL, ésta se puede definir como:

$$f(t) = \frac{1}{2\pi} \cdot \frac{d\Phi(t)}{dt} = f_c + f_r(t) \quad f_r(t) = \frac{1}{2\pi} \cdot \frac{d\phi_r(t)}{dt} \quad (3.4)$$

De esas expresiones se introduce el concepto de frecuencia relativa, que es el resultado de la diferencia de la frecuencia instantánea a una frecuencia arbitraria

tomada como referencia. La frecuencia arbitraria no tiene por qué estar relacionada con la señal.

3.2. Estudio de un PLL ideal

En este apartado se estudiará el PLL ideal y se explicarán cada uno de los bloques que la componen [13]. Un esquema de bloques de un lazo enganchado en fase puede ser el que se muestra en la Figura 3.1.

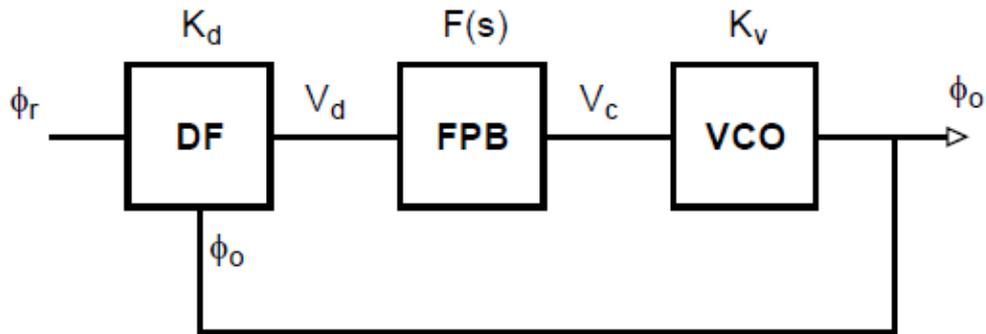


Figura 3.1. Diagrama de bloques de un PLL

Este diagrama está formado por un oscilador controlador por tensión, un detector de fase y un filtro paso bajo. Como se puede observar, el diagrama es un circuito realimentado en donde la salida del VCO se compara con la señal de referencia en el detector de fase. La salida del detector es proporcional al error de fase de ambas señales y ésta se lleva a través de un filtro a la entrada del VCO. Los distintos bloques del PLL poseen cierto comportamiento lineal y, por tanto, se pueden describir como elementos ideales.

3.2.1. Detector de fase ideal

En un detector de fase la tensión V_d tiene que ser proporcional a la diferencia de fase de las señales de entrada:

$$V_d(t) = K_d \cdot [\Phi_r(t) - \Phi_o(t)] = K_d \cdot \Phi_e(t) \quad (3.5)$$

Donde Φ_r , Φ_o y Φ_e son las fases de referencia, del VCO y el error de fase respectivamente. K_d es la constante del detector de fase y se expresa en (V/rad) .

3.2.2. Filtro del bucle

La función de transferencia del filtro del bucle, en Laplace, relaciona las tensiones de salida y entrada.

$$V_c(s) = F(s) \cdot V_d(s) \quad (3.6)$$

La función principal de este bloque es filtrar los ruidos y las señales indeseadas que pueda haber a la salida del detector de fase y también favorece la estabilidad del PLL. Se trata de un bloque muy importante puesto que de él dependen todos los demás bloques.

3.2.3. VCO ideal

Está compuesto por un oscilador cuya frecuencia de oscilación es proporcional a la tensión de entrada:

$$f_o(t) = f_c + K_v \cdot v_c \rightarrow \Phi_o(t) = \omega_c \cdot t + 2\pi \cdot K_v \int_0^t v_c(t) dt \quad (3.7)$$

Donde K_v es la constante de sintonía medida en $(\text{rad}/\text{seg} \cdot \text{V})$ y f_c es la frecuencia central a la que oscila el VCO cuando se anula su tensión de control.

3.2.4. Funciones de transferencia del lazo

Las funciones de transferencia del PLL representan el comportamiento del lazo frente a variaciones de la fase de referencia.

Para obtenerla se parte de la expresión (3.7) y las fases de referencia de éste se ponen a la frecuencia central del VCO:

$$\Phi_o(t) = \omega_c \cdot t + \phi_o(t); \quad \Phi_r(t) = \omega_c \cdot t + \phi_r(t) \quad (3.8)$$

Sustituyendo en la ecuación (3.5) se obtiene la respuesta del detector de fase y aplicando Laplace queda:

$$v_d(t) = K_d \cdot [\phi_r(t) - \phi_o(t)] \rightarrow V_d(s) = K_d \cdot [\phi_r(s) - \phi_o(s)] \quad (3.9)$$

Comparando la ecuación (3.7) y la ecuación (3.8) se obtiene ϕ_o y aplicando la transformada de Laplace:

$$\phi_o(t) = 2\pi \cdot K_v \int_0^t v_c(t) dt \rightarrow \phi_o(s) = 2\pi \cdot K_v \cdot \frac{V_c(s)}{s} \quad (3.10)$$

Si de la ecuación anterior se sustituye el valor de $V_c(s)$ de la expresión (3.6) y $V_d(s)$ de la ecuación (3.9), la fase de salida se puede expresar como:

$$\phi_o(t) = 2\pi \cdot K_v \cdot \frac{F(s) \cdot V_d(s)}{s} = 2\pi \cdot K_v \cdot K_d \cdot \frac{F(s)}{s} \cdot [\phi_r(s) - \phi_o(s)] \quad (3.11)$$

Despejando el cociente entre la fase de salida y entrada se puede obtener la función de transferencia del lazo:

$$H(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{K \cdot F(s)}{s + K \cdot F(s)} \quad (3.12)$$

Donde $K = 2\pi \cdot K_v \cdot K_d$.

Como se puede ver, la función de transferencia relaciona fases, la de entrada y la de salida. Otro aspecto que se puede destacar es que esta función se puede analizar teniendo en cuenta que el filtro del lazo es siempre paso bajo, esto es, que toma un valor distinto a cero en el origen de frecuencias.

Para las frecuencias altas se obtiene que la función de transferencia tiende a cero porque el filtro toma valores finitos o nulos. De todas formas, la respuesta global tiende a anularse.

Otra función de interés es la función de transferencia de error que relaciona el error de fase con la señal de entrada:

$$H_e(s) = \frac{\phi_e(s)}{\phi_r(s)} = \frac{\phi_r(s) - \phi_o(s)}{\phi_r(s)} = 1 - H(s) = \frac{s}{s + K \cdot F(s)} \quad (3.13)$$

Esta función, si se estudia con los mismos criterios que la anterior, tiende a anularse en el origen y para frecuencias altas toma el valor unidad.

Por último, para realizar el análisis del PLL se utiliza la función de transferencia en lazo abierto:

$$G(s) = \left. \frac{\phi_o(s)}{\phi_r(s)} \right|_{\text{lazo abierto}} = \frac{K \cdot F(s)}{s} \quad (3.14)$$

La expresión (3.14) determina el comportamiento del lazo. Como se puede observar, la función de transferencia en lazo abierto se comporta como un integrador debido a que posee un polo en el origen creado por el VCO y cuya tensión de control define la frecuencia de salida y, por tanto, la derivada de la fase. Se puede decir que la fase es proporcional a la integral de la tensión de entrada.

3.3. Especificaciones

A parte de las especificaciones del oscilador, también hay que tener en cuenta el mantenimiento del enganche y el filtrado que realiza el PLL sobre la señal de entrada. Un lazo está enganchado cuando la frecuencia del VCO es igual a la de referencia y sólo hay un cierto desfase entre ambas. La igualdad de frecuencias debe entenderse como un término medio debido a que puede haber cambios entre las señales a causa del ruido, la modulación, etc.

3.3.1. Márgenes de enganche

Los márgenes de enganche definen las condiciones en las que el PLL se engancha y desengancha y el tiempo que le costará conseguirlo (ver Figura 3.2) [12]:

- **Margen de enganche lineal (*lock-in*):** es el margen de frecuencia de entrada en el que el PLL es simétrico respecto a la frecuencia de oscilación libre del VCO, de tal manera que el bucle se engancha a la señal de entrada sin superar el margen lineal del detector de fase.
- **Margen de enganche no lineal (*pull-in*):** se trata de un margen más amplio. El enganche se produce aun superando el margen lineal del detector. Es un enganche más lento y se produce después de un proceso no lineal.
- **Margen de mantenimiento estático (*hold-in*):** si el bucle se ha enganchado previamente, es el margen de frecuencia de entrada en el que la frecuencia puede moverse lentamente sin que el bucle se desenganche. Suele corresponderse con el límite físico de frecuencias en las que funcionan los componentes del PLL. Normalmente, el VCO es quien impone este límite.
- **Margen de mantenimiento dinámico (*pull-out*):** cuando el PLL está enganchado, se trata del salto máximo de la frecuencia de entrada que puede producirse sin que el PLL se desenganche.
- **Error de fase:** es la diferencia de fases entre la señal de fase entrada y la de la salida. Este error depende del detector de fase, del tipo de filtro y a veces de la frecuencia de entrada.

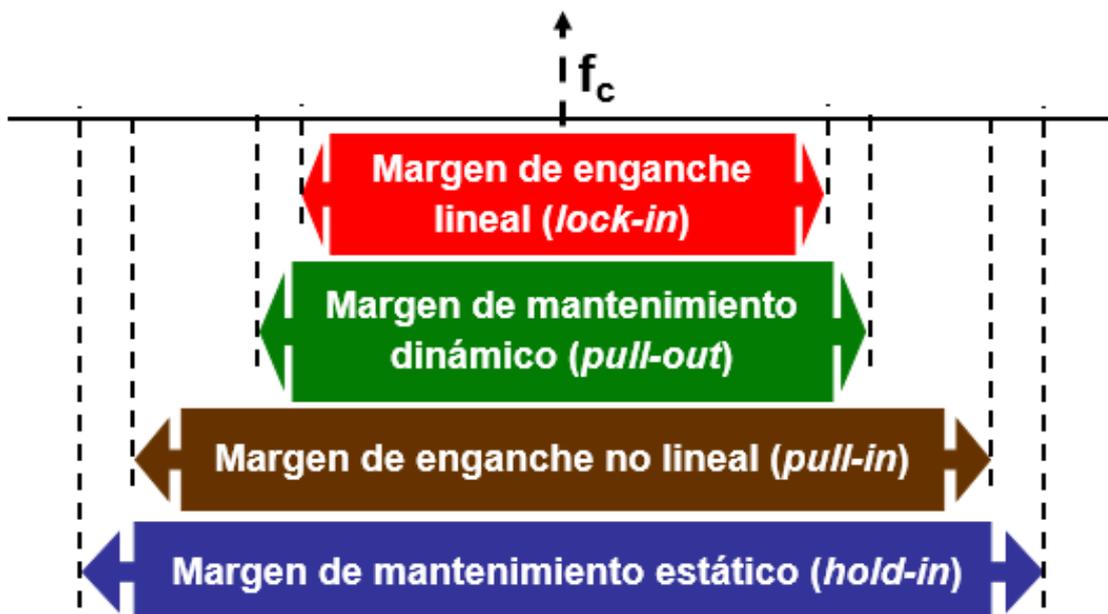


Figura 3.2. Relación de los márgenes de enganche y mantenimiento

3.3.2. Respuesta en régimen permanente

Existen dos situaciones de enganche interesantes. La primera es cuando la frecuencia de la señal de referencia coincide con la frecuencia central del VCO y la segunda cuando no coincide la frecuencia de referencia con la del VCO.

En ambos casos el estudio se realiza de forma similar, suponiendo que el PLL está enganchado a la frecuencia central del VCO y, además, que se produce un salto de fase o frecuencia. Cumpliendo estas condiciones se puede aplicar el teorema del valor final para obtener el error de fase final.

En un modelo ideal solo se necesita conocer si el error de fase está acotado. Sin embargo, en uno real la condición de enganche viene delimitada por el margen lineal del detector de fase.

El teorema del valor final establece que, siendo $x(t)$ una función arbitraria y $X(s)$ su transformada de Laplace, se cumple:

$$\lim_{t \rightarrow \infty} x(t) = \lim_{s \rightarrow 0} s \cdot X(s) \quad (3.15)$$

Al aplicar la expresión (3.15) al error de fase ϕ_e , se puede deducir que el valor final depende tanto de la señal de entrada como de la función de transferencia del filtro, tal y como se muestra en la siguiente expresión:

$$\lim_{t \rightarrow \infty} \phi_e = \lim_{s \rightarrow 0} s \cdot \phi_e(s) = \lim_{s \rightarrow 0} s \cdot H_e(s) \cdot \phi_r(s) = \lim_{s \rightarrow 0} \frac{s^2}{s + K \cdot F(s)} \quad (3.16)$$

A continuación, se va a realizar el estudio de las distintas entradas aplicando la expresión (3.16).

a) Escalón de fase

En este caso se analiza la influencia de la fase de la señal de referencia en el enganche y el error final de fase tiende a cero excepto que el filtro tenga un cero en el origen. Si $\phi_r(s) = \Delta\phi/s$.

Aplicando la expresión (3.16) se obtiene:

$$\lim_{t \rightarrow \infty} \phi_e = \lim_{s \rightarrow 0} \frac{s}{s + K \cdot F(s)} \cdot \Delta\phi = \lim_{s \rightarrow 0} \frac{s \cdot \Delta\phi}{K \cdot F(s)} \quad (3.17)$$

De este resultado se puede deducir primero que para que un PLL se pueda enganchar, el filtro debe dejar pasar las señales continuas, esto quiere decir que no debe tener ceros en el origen de Laplace. Y

segundo, como la elección del origen de fases es arbitraria, el error de fase no depende de la fase de la señal de referencia.

b) Escalón de frecuencia

En este apartado se analiza el enganche a una frecuencia distinta de la frecuencia central del VCO. Para este caso: $\phi_r(s) = \Delta\omega/s^2$.

Utilizando la expresión (3.16):

$$\lim_{t \rightarrow \infty} \phi_e = \lim_{s \rightarrow 0} \frac{\Delta\omega}{s + K \cdot F(s)} = \lim_{s \rightarrow 0} \frac{\Delta\omega}{K \cdot F(s)} = \lim_{s \rightarrow 0} \frac{\Delta\omega}{K \cdot F(0)} \quad (3.18)$$

Del resultado se puede deducir que, si el filtro posee un polo en el origen, el error será nulo. En caso contrario, el error será proporcional a la diferencia entre las frecuencias.

Para que el PLL proporcione un error de fase nulo con una frecuencia diferente a la central del VCO, el filtro debe ofrecer una tensión adecuada al VCO con una entrada nula. Esto implica que la ganancia en continua debe ser infinita, es decir, que el filtro se comporte como si de un integrador se tratase.

3.3.3. Respuesta en régimen transitoria

Se estudia la respuesta transitoria porque se quiere conocer el tiempo que tarda el sistema en alcanzar el estado final y si se supera o no el margen lineal de los elementos del PLL, que puede producir pérdidas en el enganche. Las situaciones de mayor interés son los escalones de fase y frecuencia.

Estas respuestas transitorias dependen sobre todo del filtro del PLL, que se estudiará más adelante.

3.3.4. Filtrado del ruido de fase

El ruido en la salida del PLL depende del ruido que hay a la entrada, así como del ruido que introducen todos los componentes del bucle. En muchas ocasiones basta con tener en cuenta sólo el ruido que proporciona el VCO. Sin embargo, en los PLL sintetizadores el ruido aditivo es el más importante porque posee grandes factores de multiplicación. En este apartado se estudiará solo el ruido presente en la entrada del bucle, y más adelante se estudiará el ruido en los sintetizadores.

Si la señal de entrada está compuesta por una portadora y un ruido aditivo paso-banda, esta afecta tanto a la amplitud como a la fase de la señal recibida, esto se puede observar en la siguiente ecuación:

$$\begin{aligned} V_r(t) &= V \cdot \cos(\omega \cdot t) + n(t) \\ &= V \cdot \cos(\omega \cdot t) + n_c \cdot \cos(\omega \cdot t) + n_s \cdot \text{sen}(\omega \cdot t) \\ &= [V + V_n(t)] \cdot \cos(\omega \cdot t + \phi_n(t)) \end{aligned} \quad (3.19)$$

De la expresión (3.21) se puede deducir que las modulaciones parásitas de amplitud y fase son procesos de paso-bajo. Al representar la función descrita por la fase en el tiempo, se podría observar que posee una distribución espectral de potencia centrada en las bajas frecuencias.

Si se asume que al PLL no le afecta el ruido de amplitud, éste se puede despreciar frente al ruido de fase. Y suponiendo que la densidad de potencia de ruido, N_r , es constante en la banda de entrada (B_i), entonces la relación señal a ruido de la entrada se puede expresar como:

$$\left(\frac{S}{N}\right)_i = \frac{P_i}{N_r \cdot B_i} \quad (3.20)$$

Para poder calcular la relación señal a ruido a la salida primero hay que pasar por la distribución espectral de ruido de fase ya que es la que se somete al filtrado de la función de transferencia. Para este caso, la distribución espectral de ruido de fase viene determinada por la densidad de potencia constante en una banda $B_i/2$ desde el origen de frecuencias, tal y como se muestra en la Figura 3.3.

Su valor viene dado por la relación entre la densidad de ruido de la señal en RF y la potencia total expresada en la siguiente ecuación:

$$S_{\phi_r}(f) = 2 \cdot \frac{N_r}{P_r} = \frac{2}{\left(\frac{S}{N}\right)_i \cdot B_i} \quad \text{para } |f| < \frac{B_i}{2} \quad (3.21)$$

Para calcular la distribución espectral de ruido de fase a la salida hay que multiplicar la entrada por el cuadrado de la función de transferencia, quedando:

$$S_{\phi_0}(f) = S_{\phi_r}(f) \cdot |H(j2\pi f)|^2 \quad (3.22)$$

Para hacer los cálculos más sencillos, se utiliza el ancho de banda equivalente de ruido de la función de transferencia B_L , el cual está definido como el ancho de banda que debe tener un filtro rectangular de ganancia igual a la nominal del filtro (en este caso es la unidad) para que deje pasar la misma potencia de ruido

cuando a su entrada se le conecta un generador de ruido blanco, quedando de la forma:

$$B_L(f) = \frac{1}{H(0)} \cdot \int_0^\infty |H(j\omega)|^2 df \quad (3.23)$$

De tal forma que la densidad espectral de ruido a la salida es igual a la de entrada, tal y como se muestra en la siguiente expresión:

$$S_{\phi_o}(f) = S_{\phi_r}(f) = 2 \cdot \frac{N_r}{P_r} = 2 \cdot \frac{N_o}{P_o} \quad \text{para } |f| < B_L \quad (3.24)$$

Donde N_o y P_o son la densidad de potencia de ruido a la salida y la potencia total de la señal a la salida, respectivamente. En el VCO, la modulación parásita que provoca el ruido de fase genera bandas de ruidos simétricas alrededor de la portada con un ancho de banda B_L cada una. Si se compara la señal de entrada con la de salida se ve que hay una reducción del ruido de fase de la señal de referencia a un ancho de banda $2B_L$ de forma simétrica con respecto a la portadora. Si la frecuencia de la señal varía lentamente, el enganche del bucle hará que la frecuencia del VCO siga esa variación.

La relación señal a ruido a la salida se puede poner en función de la relación señal a ruido a la entrada como:

$$\left(\frac{S}{N}\right)_o = \frac{P_o}{2 \cdot N_o \cdot B_L} = \left(\frac{S}{N}\right)_i \cdot \frac{P_i}{2 \cdot B_L} \quad B_L \leq \frac{B_i}{2} \quad (3.25)$$

En la Figura 3.3 se puede observar de forma cualitativa el proceso del filtrado del ruido en un PLL.

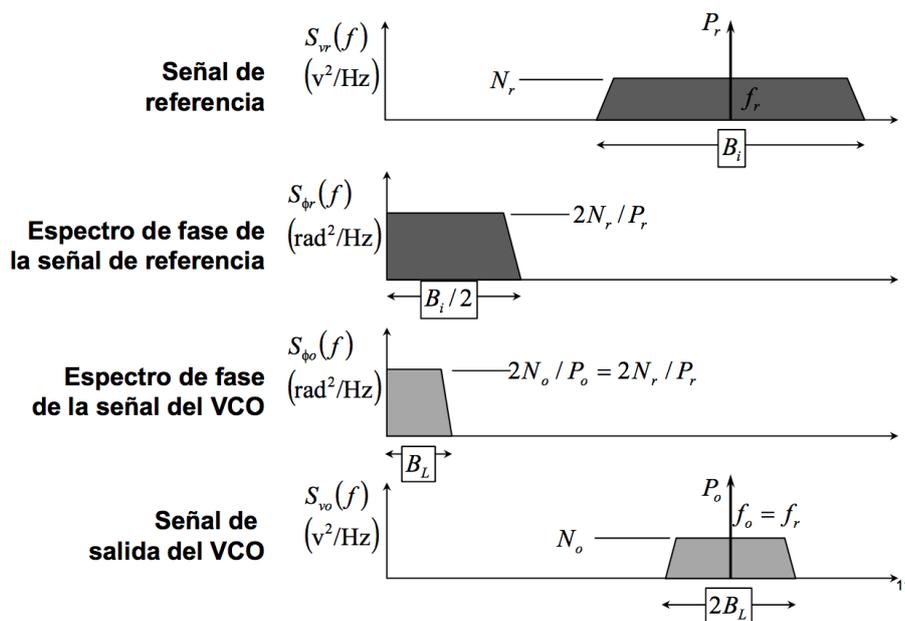


Figura 3.3. Relación espectral del ruido de fase

Como conclusión se pueden destacar algunos aspectos:

- El ruido de amplitud, en caso de existir, no afecta al PLL puesto que la función de transferencia no responde a la amplitud sino a la fase. Este ruido de amplitud se puede trasladar a un ruido de fase si el detector es sensible a la amplitud, la solución en este caso sería utilizar un circuito limitador de amplitud a la entrada del detector.
- Salvo ciertas constantes de conversión, el ruido aditivo de entrada (N_r) es equivalente al ruido de fase $N_{\phi r}$, cuya influencia es menor. El PLL realiza un filtrado de ruido de entrada en un ancho de banda de $2B_L$. La gran diferencia con respecto a un filtro convencional es que el filtrado se realiza en un ancho de banda simétrico a la portadora f_r . Se trata de un filtro que se sintoniza automáticamente con la señal de entrada.
- El valor de B_L se puede reducir cuanto se quiera independientemente de la frecuencia de trabajo. En un filtro convencional existe una limitación en el factor de calidad que no se aplica al PLL.
- Los factores que pueden limitar a B_L es por ejemplo, su reducción, pues supone ralentizar los transistores; empeora también el margen de enganche y además reduce la capacidad de compensación de otros efectos parásitos, en concreto el ruido del propio VCO. De manera general, existe un ancho de banda óptimo en que el ruido de salida es mínimo.
- Si el valor de la relación señal a ruido a la salida $(S/N)_o$ es bajo, puede provocar el desenganche del sistema. Un valor seguro para el enganche es $(S/N)_o > 10 \text{ dB}$. Sin embargo, si el bucle ya estaba enganchado, el PLL es capaz de mantener el enganche hasta cerca de $(S/N)_o \approx 0 \text{ dB}$, pero no será capaz de volver a engancharse de nuevo hasta que la relación señal a ruido a la salida no llegue al menos a $(S/N)_o > 6 \text{ dB}$.
- Hay que tener en cuenta que este desarrollo se ha llevado a cabo con un detector de fase que trabaja en régimen lineal. Los detectores de fase reales poseen un margen lineal limitado y además los detectores

digitales son especialmente sensibles al ruido debido a que toman como referencia los flancos de subida o de bajadas de las señales. Por tanto, hay que garantizar que el ruido a la entrada del PLL no saque al detector de fase de su régimen lineal.

3.4. Influencia del filtro

El detector de fase y el VCO están limitados por la tensión de alimentación y la banda de frecuencia a la que se trabaja. Por tanto, el diseño se centrará en el filtro. A continuación, se definirán algunos términos necesarios para el análisis de los PLL.

- **Orden:** es el número de polos de la función de transferencia. Si se expresa como el cociente de dos polinomios, entonces se corresponde con el grado del denominador.
- **Tipo:** es el número de polos en $s = 0$ de la función de transferencia en lazo abierto. Es igual al número de integradores del filtro. El VCO introduce un polo en $s = 0$.

Cabe destacar que el orden del lazo siempre será mayor o igual que el tipo. Con el orden y el tipo se pueden clasificar los PLL, la cual está relacionada con la estabilidad del lazo [14].

3.4.1. PLL de orden 1

En este PLL se conecta la salida del detector de fase a la entrada del VCO, incluyendo un amplificador o atenuador de ganancia constante con la frecuencia en caso necesario, como se muestra en la Figura 3.4.

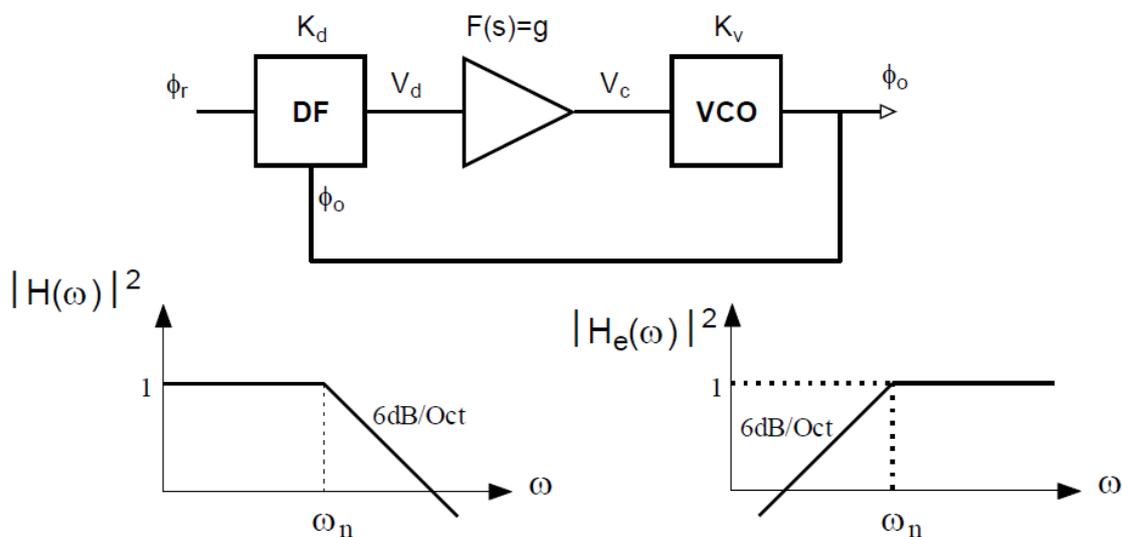


Figura 3.4. PLL de orden 1

Las formulaciones más importantes para este tipo de PLL son:

$$F(s) = g \tag{3.26}$$

$$H(s) = \frac{\omega_n}{s + \omega_n} \quad H_e(s) = \frac{s}{s + \omega_n} \tag{3.27}$$

$$\omega = 2\pi \cdot K_v \cdot K_d \cdot g \tag{3.28}$$

La representación de las funciones de transferencia se muestra en la Figura 3.4. Se puede apreciar que, a falta del filtro, las funciones de transferencia son selectivas en frecuencia porque el VCO actúa como integrador. Por tanto, la función de transferencia es tipo paso-bajo, cuya frecuencia de corte está en ω_n .

En la Tabla 3.1 se puede observar la respuesta tanto transitoria como permanente ante escalones de fase y de frecuencia.

Tabla 3.1. Respuesta de un PLL de orden 1

Excitación	Error de fase final	Transitorio
Escalón de fase: $\Delta\Phi$	0	$\phi_o(t) = \Delta\phi[1 - e^{(-\omega_n \cdot t)}]$
Escalón de frecuencia: $\Delta\omega$	$\Delta\omega/\omega_n$	$\Delta\omega_o(t) = \Delta\omega[1 - e^{(-\omega_n \cdot t)}]$

Para un escalón de fase el error final es cero y su transitorio es una exponencial con una constante de tiempo $\tau = 1/\omega_n$. En cambio, para un escalón en frecuencia, el error de fase depende de la amplitud del escalón y es directamente proporcional a la separación entre la frecuencia de referencia y la central del VCO.

Los inconvenientes que presenta este PLL se deben a su sencillez, que el único parámetro que se puede ajustar es la ganancia, g , que influye en la frecuencia de corte, el ancho de banda de ruido, el tiempo de establecimiento, el error de fase y los márgenes de enganche y mantenimiento. Por tanto, son demasiadas condiciones para tener en cuenta para un único parámetro.

Es el menos utilizado en los diseños porque necesita una ganancia muy elevada y, por consiguiente, un ancho de banda muy elevado, para su correcto funcionamiento. Además, en caso de que se pierda la señal del detector de fase, y por tanto el detector entrega una tensión nula, el VCO oscila a su frecuencia central y cuando se restablezca el reenganche la señal será lenta.

3.4.2. PLL de orden 2 tipo 1

Las ecuaciones asociadas a este PLL son:

$$F(s) = \frac{1 + s \cdot \tau_2}{1 + s \cdot (\tau_1 + \tau_2)} \quad (3.29)$$

$$H(s) = \frac{s \cdot \omega_n \cdot (2 \cdot \xi - \omega_n/K) + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad H_e(s) = \frac{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (3.30)$$

$$K = 2\pi \cdot K_v \cdot K_d \quad \omega_n = \sqrt{\frac{K}{\tau_1 + \tau_2}} \quad \xi = \frac{\omega_n}{2} \cdot \left(\tau_2 + \frac{1}{K} \right) \quad (3.31)$$

En la Figura 3.5 se muestra el diagrama de bloques correspondiente y la representación de las funciones de transferencia de fase y error.

En las expresiones mostradas los parámetros normalizados del lazo son la pulsación del lazo (ω_n) y el coeficiente de amortiguamiento (ξ). Estos resultados se han obtenido al normalizar la función de transferencia anterior.

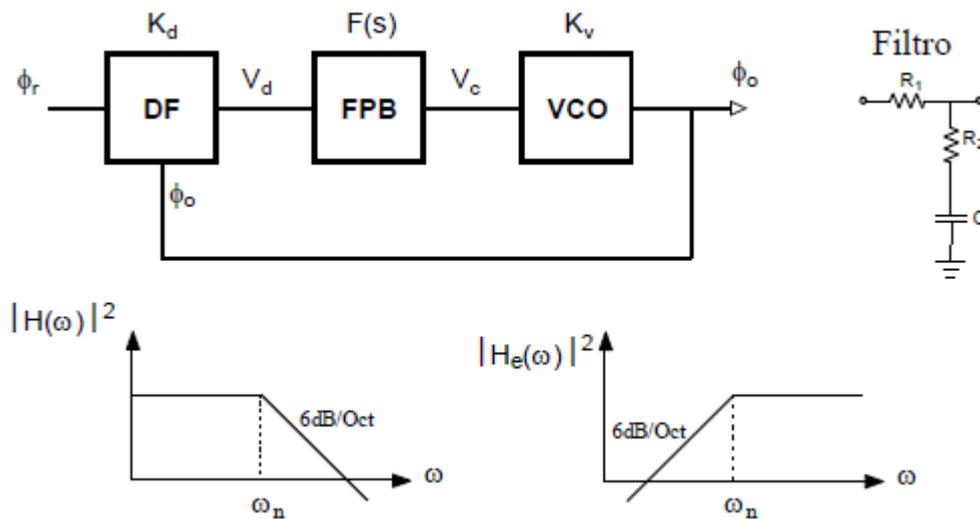


Figura 3.5. PLL orden 2 tipo 1

La respuesta permanente de este tipo de PLL ante escalón de fase y frecuencia se observa en la Tabla 3.2.

Tabla 3.2. Respuesta de un PLL de orden 2 tipo 1

Excitación	Error de fase final
Escalón de fase: $\Delta\Phi$	0
Escalón de frecuencia: $\Delta\omega$	$\Delta\omega/K$

Este PLL se puede ajustar mediante varios elementos, pero para mantener el enganche necesita de un error de fase con una frecuencia diferente a la frecuencia central del VCO, por ello es mejor utilizar el PLL de orden 2 tipo 2.

3.4.3. PLL de orden 2 tipo 2

A continuación, se muestra el diagrama de bloques del PLL de orden 2 tipo 2 y su correspondiente representación de las funciones de fase y error (ver Figura 3.6). Las ecuaciones que rigen a este PLL son:

$$F(s) = \frac{1 + s \cdot \tau_2}{s \cdot \tau_1} \quad (3.32)$$

$$H(s) = \frac{2 \cdot \xi \cdot \omega_n + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad H_e(s) = \frac{s^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (3.33)$$

$$\omega_n = \sqrt{\frac{K}{\tau_1 + \tau_2}} \quad \xi = \frac{\omega_n \cdot \tau_2}{2} \quad (3.34)$$

$$B_L = \frac{\omega_n}{2} \cdot \left(\xi + \frac{1}{4 \cdot \xi} \right) \quad (3.35)$$

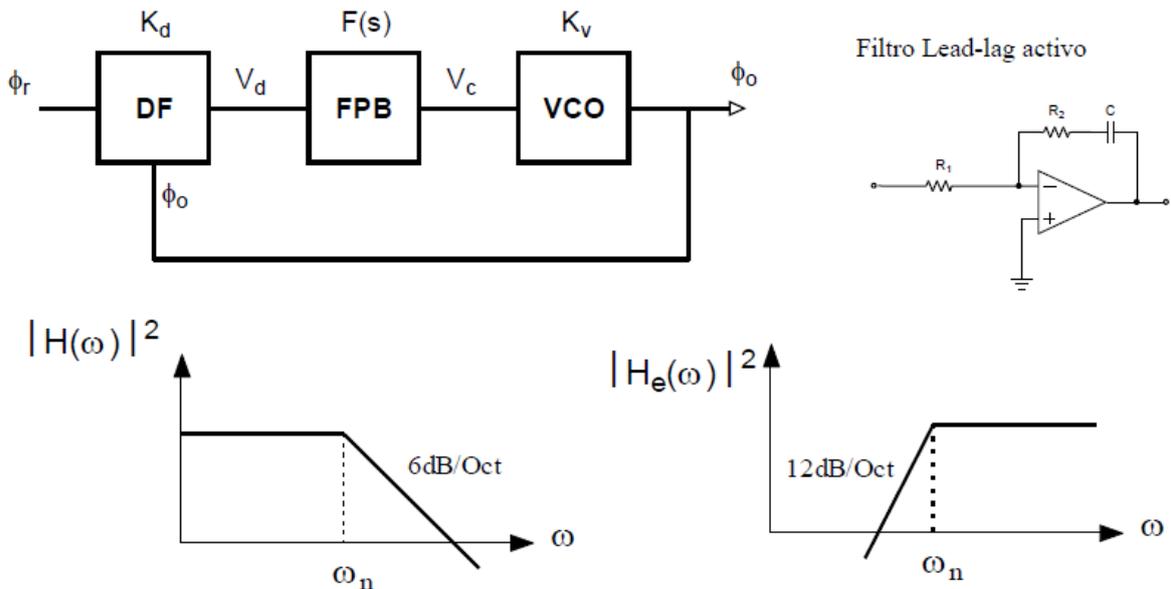


Figura 3.6. PLL orden 2 tipo 2

Como en el caso anterior, los parámetros ω_n y ξ ya están normalizados. La respuesta permanente ante entrada de fase y frecuencia se muestra en la Tabla 3.2.

Tabla 3.3. Respuesta de un PLL de orden 2 tipo 2

Excitación	Error de fase final
Escalón de fase: $\Delta\Phi$	0
Escalón de frecuencia: $\Delta\omega$	0

Este PLL es el más utilizado para el diseño de sintetizadores debido a su sencillez y a que consigue mantener el enganche a una cierta frecuencia con un error de fase igual a 0. Esto es gracias al filtro que permite entregar una tensión no nula al VCO, aunque la salida del detector de fase sea nula, hace que el VCO siga oscilando a la misma frecuencia si no hay señal de referencia, provocando que el reenganche de la señal sea prácticamente instantáneo. Además, posee otra ventaja: su comportamiento frente a transitorios no depende de la frecuencia de partida.

En la Figura 3.7 se puede observar la respuesta en frecuencia de un PLL de orden 2 tipo 2. Se trata de la dependencia de la función de transferencia con el factor de amortiguamiento. Como se puede ver si el valor de ξ es pequeño, la respuesta tiende a ser mayor que la unidad para frecuencias inferiores a ω_n . Sin embargo, a medida que el valor del factor de amortiguamiento va aumentando la respuesta se hace más plana a costa del ancho de banda y de la velocidad con la que se alcanza la pendiente de 10 dB/oct, pues se vuelve más lento. En general, el valor elegido para el factor de amortiguamiento es $\xi = 0,707$ porque es el que ofrece un compromiso entre el sobreimpulso, la velocidad de respuesta y el comportamiento frente al ruido.

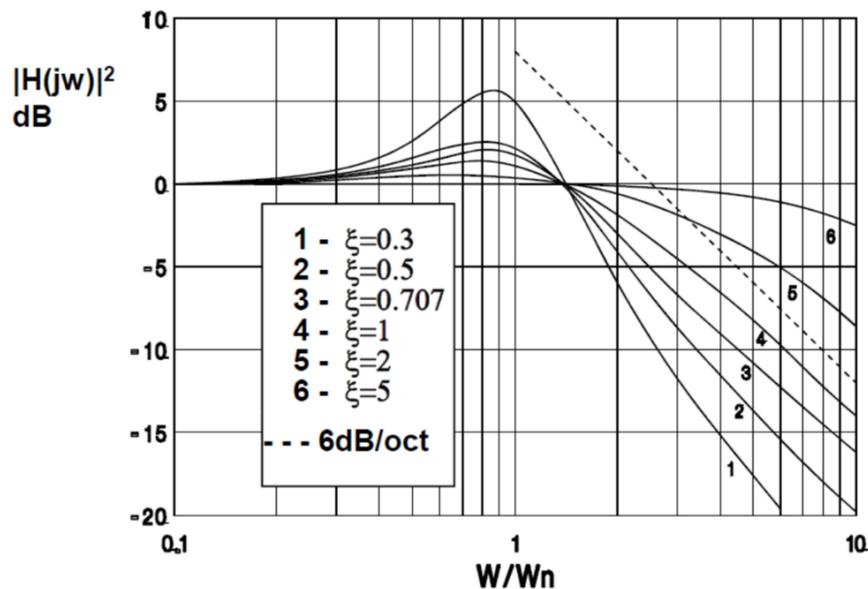


Figura 3.7. Respuesta en frecuencia de un PLL tipo 2 orden 2

En la Figura 3.8 se representa la dependencia del ancho de banda con el factor de amortiguamiento y también se muestra la expresión para un ancho de banda de -3 dB.

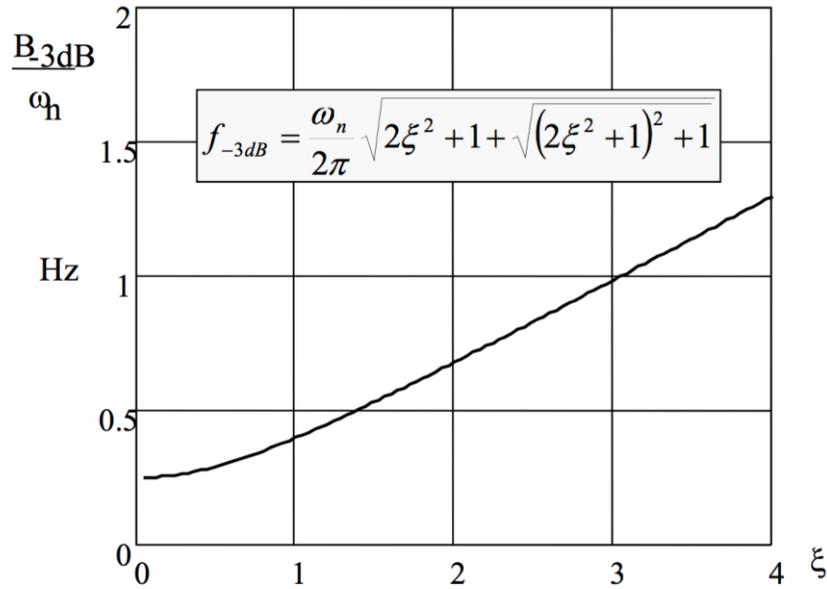


Figura 3.8. Influencia de ξ en el ancho de banda

Al cambiar la respuesta en frecuencia del filtro, también se cambia el ancho de banda equivalente de ruido del lazo. En la Figura 3.9 se representa la expresión (3.35). De la Figura 3.9 se observa que el mínimo está en $\xi = 0,5$ y toma un valor de $B_L = \frac{\omega_n}{2}$.

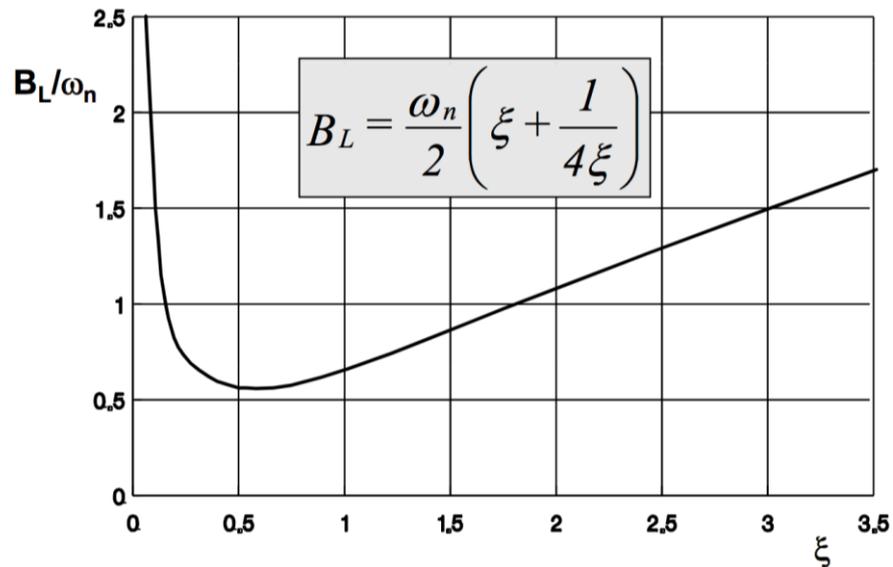


Figura 3.9. Ancho de banda de ruido

La expresión del ancho de equivalente de ruido puede crear confusión debido al parámetro ω_n , pues puede hacer creer que el resultado se expresa en rad/s cuando realmente está en Hz.

La forma que toma la frecuencia de salida para un salto en frecuencia es la que se muestra en la Figura 3.10.

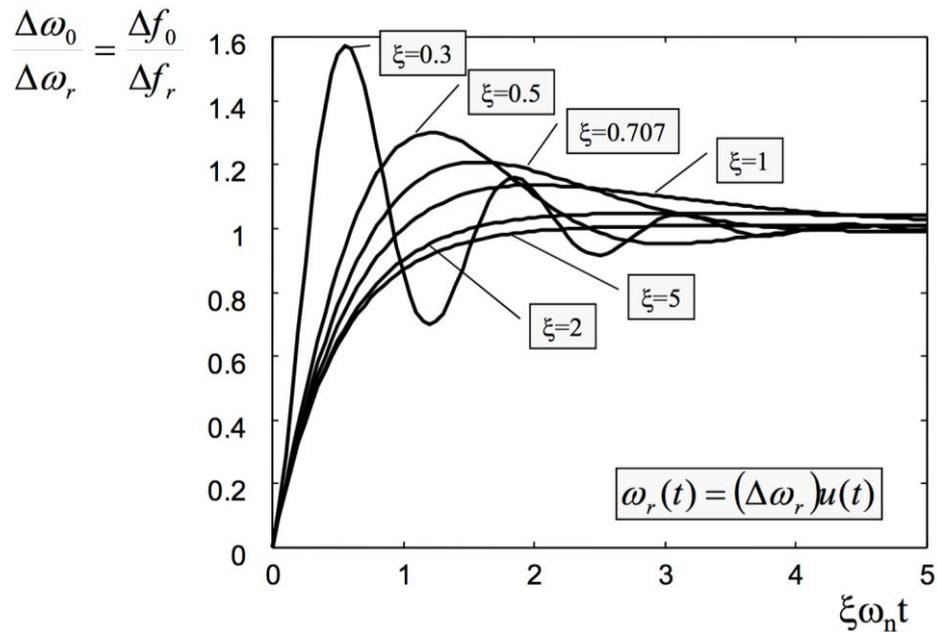


Figura 3.10. Respuesta un salto de frecuencia de un PLL de orden 2 tipo 2

3.5. Conceptos básicos de los sintetizadores de frecuencia

La síntesis de frecuencia es el proceso que permite generar una señal de frecuencia determinada con un valor que se puede coger de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores modelo de alta calidad.

La calidad de un sintetizador se puede medir a través de factores como son la precisión de la frecuencia sintetizada –que depende de la precisión de los osciladores patrones-, el tiempo de conmutación entre frecuencias, el ruido de fase a la salida y por último, de la presencia de otras señales espurias. Estas dos últimas dependen fundamentalmente de la estructura del sintetizador.

El sistema más utilizado para la síntesis de frecuencia es el que está compuesto por un PLL y un divisor de frecuencia porque se trata de un sistema sencillo y además se obtiene una calidad alta en las frecuencias originadas.

Aunque se utiliza el mismo esquema, existen dos aplicaciones teóricas diferentes y son:

- **Estabilización de osciladores de alta frecuencia:** se estabiliza un oscilador de frecuencia fija enganchándolo con un PLL a otro oscilador de alta calidad. En general este oscilador suele ser de

cuarzo, de una frecuencia más baja. Se habla de un PLO (*Phase Locked Oscillator*).

- **Síntesis de frecuencia:** se genera un conjunto de frecuencias diferentes en vez de una sola como en el caso anterior. Se trata de un sintetizador propiamente dicho.

3.5.1. Sintetizador básico

En la Figura 3.11 se muestra el esquema de un sintetizador básico. La diferencia con respecto a una PLL simple es el divisor de frecuencia que se encuentra entre el VCO y el detector de fase. El enganche se produce cuando las frecuencias en el detector de fase son iguales. Por tanto, en el caso del VCO tiene que ser $f_o = N \cdot f_r$ y el conjunto actúe como un multiplicador de frecuencias.

Dado que realizar divisores de frecuencia con factores altos es sencillo (solo se necesita conectar en cascada varios divisores de frecuencia), el valor de N puede ser tan grande como se quiera. Así, no es inusual encontrar factores del orden 1000 o superiores. Se podría utilizar factores aún más altos pero el ruido de la señal del sintetizador se degradaría considerablemente. El factor N se puede cambiar utilizando entradas de control en el cual se puede seleccionar la frecuencia de salida de entre un conjunto de ellas al programar el valor de N.

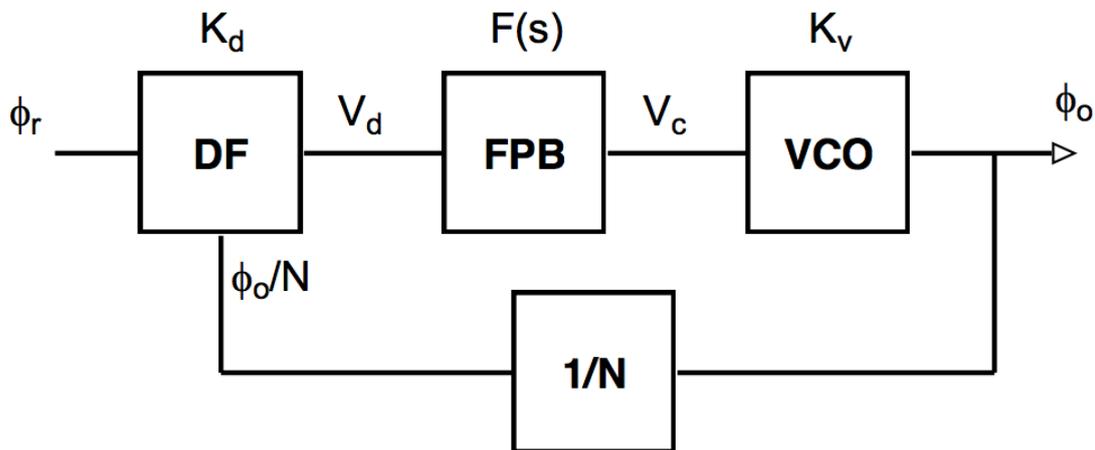


Figura 3.11. Diagrama de bloques de un sintetizador básico

Haciendo uso de los mismos desarrollos que se utilizaron para calcular la función de transferencia del PLL, se puede calcular la función de transferencia del bucle de la Figura 3.11, obteniendo:

$$H(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{f_o(s)}{f_r(s)} = N \cdot \frac{K/N \cdot F(s)}{s + K/N \cdot F(s)} \quad (3.36)$$

La expresión (3.36) es equivalente a la ecuación (3.12) pero modificando la constante K para incluir el factor N del divisor y multiplicando la función completa por N . Para un bucle de orden 2 tipo 2 con $F(s) = (1 + \tau_2)/\tau_1$ se obtiene:

$$H(s) = N \cdot \frac{2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (3.37)$$

Donde el cálculo de ω_n y ξ se realiza de la misma forma a como se explicó en el PLL básico pero esta vez sustituyendo el valor de K por K/N .

$$\omega_n = \sqrt{\frac{K}{N \cdot \tau_1}} \quad \xi = \frac{\omega_n \cdot \tau_2}{2} \quad (3.38)$$

Si se realiza la función de transferencia del error definida como la relación entre el error de fase y la fase de entrada, se obtiene:

$$H_e(s) = \frac{\Phi_e(s)}{\Phi_r(s)} = 1 - \frac{H(s)}{N} = \frac{s}{s + \frac{K}{N} \cdot F(s)} \quad (3.39)$$

En el caso del PLL de tipo 2 orden 2 se tiene:

$$H_e(s) = \frac{s^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (3.40)$$

La función de transferencia expresada en la ecuación (3.37) es la de un PLL multiplicada por N . Las variaciones de fase, como el ruido de fase o la modulación que tenga la señal de referencia que está dentro del ancho de banda del lazo, se transmiten al VCO multiplicadas por el factor N . A parte de eso, se puede decir que el comportamiento de un sintetizador es parecido al de los PLL, donde los saltos de frecuencia o fase responden a un transitorio, que está definido por la función de transferencia.

Para elegir los detectores de fase hay que tener en cuenta el ruido que acompaña a la señal de referencia al igual que el ciclo de trabajo de la señal de salida de los divisores. Se descartan los detectores analógicos debido a que no se pueden integrar tan fácilmente como los digitales. Si sólo se tiene en consideración el ruido que acompaña a la señal de referencia, se elegiría o bien un multiplicador digital cuando la señal es ruidosa o bien un detector fase-frecuencia cuando el ruido es bajo.

Los divisores son como contadores digitales y existen varios tipos: los más habituales son los contadores programables que trasladan a su salida uno de cada N pulsos de entrada y, por tanto, el ciclo de trabajo a la salida está muy alejado del

50% recomendable para los detectores formados por multiplicadores digitales. Los divisores del tipo *ripple-carry* son aquellos que permiten mantener y regenerar ciclos de trabajo del 50%, pero permitiendo solo factores potencia de 2. Entonces, para señales de referencia ruidosa hay que escoger divisores de este tipo o añadir circuitos adicionales para mantener los ciclos de trabajo apropiados.

3.5.2. Configuraciones de los sintetizadores

A continuación, se estudiarán las distintas configuraciones de sintetizadores basadas en un PLL y divisores de frecuencia.

3.5.2.1. Sintetizador con divisor programable

En la Figura 3.12 se muestra el diagrama de este sintetizador. El valor de N_p se puede modificar con una entrada digital de control que va de unidad en unidad. Como N_p varía de uno en uno, la diferencia entre las sucesivas frecuencias que se pueden generar es igual a la frecuencia de referencia: $\Delta f = f_r$.

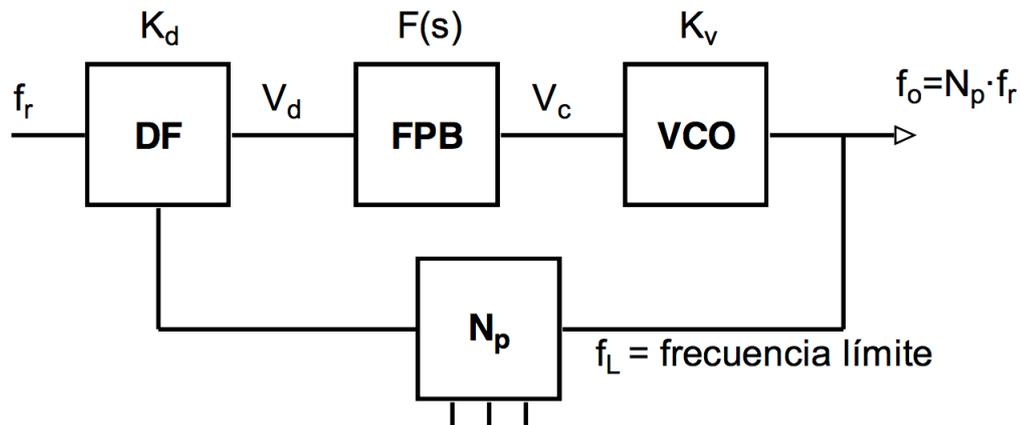


Figura 3.12. Diagrama de bloques de un sintetizador con divisor programable

3.5.2.2. Sintetizador con divisores fijo y programable

Un inconveniente de los divisores programables es que funcionan con frecuencias relativamente bajas. Por ello, cuando se quiere sintetizar frecuencias más elevadas la mejor opción y más simple es introducir un predivisor (*prescaler*) de módulo fijo entre el VCO y el divisor programable, mostrado en la Figura 3.13.

En este esquema el valor de la frecuencia de salida es: $f_o = N_f \cdot N_p \cdot f_r$. Como N_p varía de uno en uno, el paso del sintetizador será como en el caso anterior: $\Delta f = f_r$. El problema de este esquema es que para un determinado paso de sintetizador la frecuencia de referencia se reduce en el factor N_f .

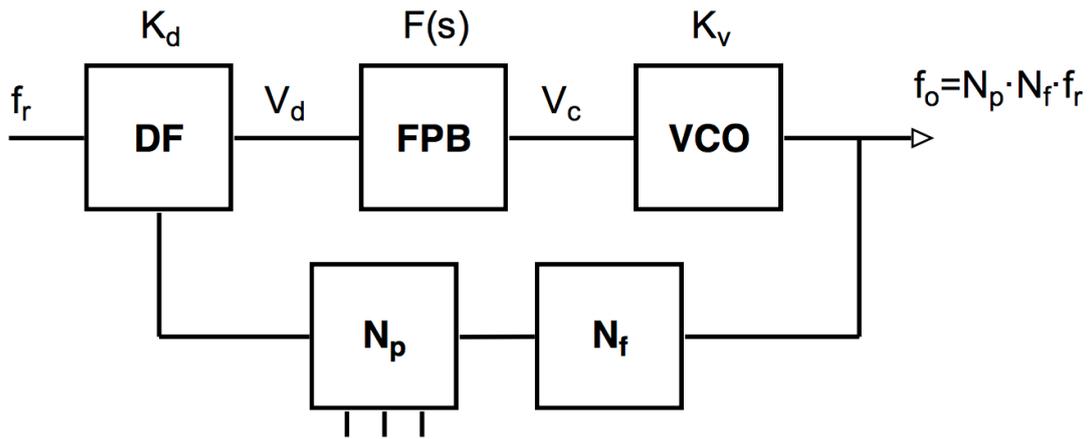


Figura 3.13. Diagrama de bloques de un sintetizador con divisores fijo y programable

Si la f_r es muy baja, entonces el ancho de banda del bucle también tiene que ser baja para que filtre correctamente la señal. Debido a esto, se pierde la libertad de ajustar la señal de referencia en función del ruido del oscilador y también se ralentizan los transistores, lo que provoca que el tiempo de cambio de frecuencia de salida se alargue.

3.5.2.3. Sintetizador con divisor de doble módulo

Para solventar una de las partes del problema del anterior sintetizador, surgió uno con divisor de doble módulo. Estos divisores se encuentran entre los fijos y los programables puesto que ofrecen la posibilidad de dividir por dos factores distintos, bajo una entrada de control. Estos dos factores suelen diferir entre ellos en una unidad, siendo P y $P + 1$. Su rango de funcionamiento es mucho mayor que los divisores programables, pueden llegar hasta 2 ó 3 GHz, aunque son frecuencias más bajas que los divisores fijos. En la Figura 3.14 se muestra el esquema de este tipo de sintetizadores.

Su funcionamiento es el que se describe a continuación: se parte de una situación inicial en donde los tres divisores están a cero y el divisor de doble módulo está configurado para dividir por el factor $P + 1$. Para que el divisor de doble módulo divida por el factor P , primero le tiene que llegar un pulso del divisor A , lo que ocurre tras $A \cdot (P + 1)$ pulsos o ciclos del VCO. El estado vuelve al inicio cuando N_p envía a su salida un pulso y activa el RESET de los contadores.

Para esto hay que recibir N_p pulsos del divisor de doble módulo, siempre que N_p sea mayor o igual que A . Los primeros pulsos de A corresponden con el factor

$(P + 1)$, que equivale a $(P + 1) \cdot A$ ciclos del VCO y los restantes $(N_p - A)$ al factor P , que equivalen a $P \cdot (N_p - A)$ pulsos del VCO.

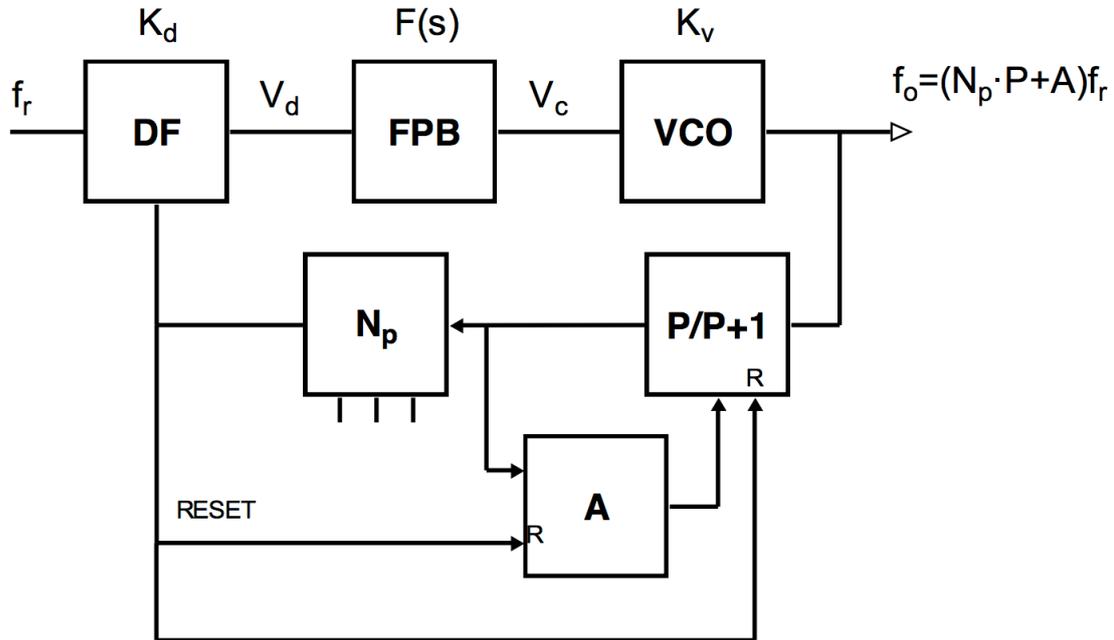


Figura 3.14. Diagrama de bloques de un sintetizador con divisor de doble módulo

Teniendo en cuenta lo comentado con anterioridad, que el conjunto de los tres divisores se comporta como un solo con un factor $N = (N_p \cdot P + A)$.

Con estos divisores se solventan los problemas de los divisores programables y se pueden crear divisores de frecuencia que funcionan a frecuencias más elevadas, manteniendo la frecuencia de referencia elevada, pero son bastantes complejos de implementar y no llega a las mismas frecuencias que los divisores fijos.

3.5.2.4. Sintetizador con mezclador

Para frecuencias muy altas ninguna de las configuraciones mostradas es útil o bien porque no existen divisores de frecuencia, o bien porque los factores de multiplicación necesarios para realizar las canalizaciones estrechas son demasiado elevados, lo que provoca que el ruido a la salida sea elevado también. En ese caso, se utilizan estructuras más complejas con mezcladores de frecuencia (ver Figura 3.15).

La señal del VCO se lleva al mezclador donde se traslada con una frecuencia fija (f_1), dada por el oscilador exterior. Esta frecuencia puede ser sintetizada por otro PLL y canalizada con un paso diferente.

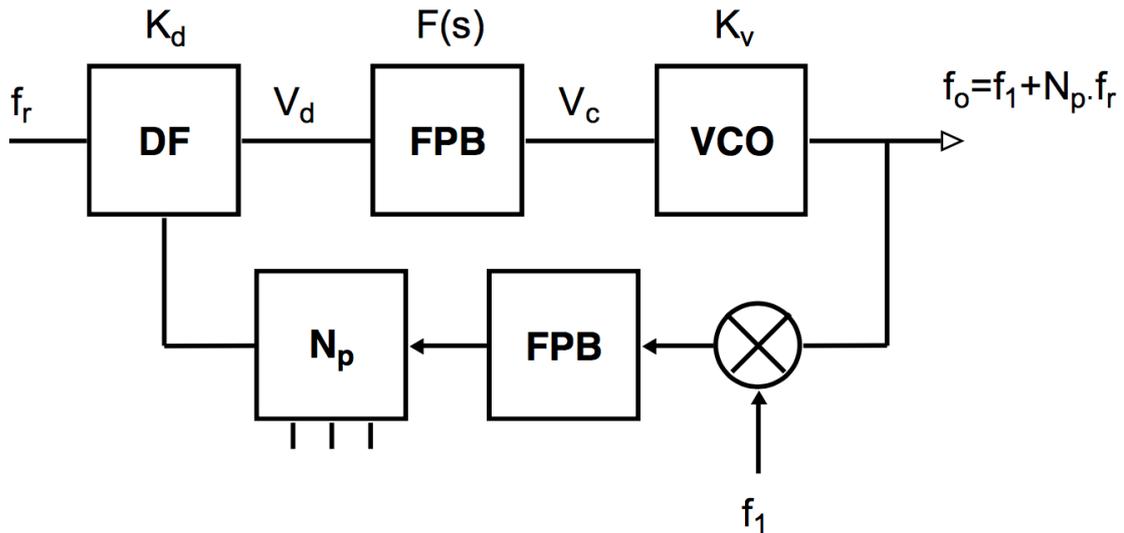


Figura 3.15. Diagrama de bloques de un sintetizador con mezclador

El cálculo de los parámetros de esta configuración es complejo debido a que la selección de las frecuencias en cada punto debe de tener en cuenta los productos no deseados que se generan en cada mezcla y evitar que lleguen a la salida las frecuencias cercanas a la deseada. De manera general, las frecuencias alejadas no son un problema, puesto que siempre se pueden filtrar.

3.6. Ruido de fase en sintetizadores

El ruido a la salida de un sintetizador está formado por el ruido del oscilador de referencia, el del VCO y el generado en el detector de fase y los divisores de frecuencia.

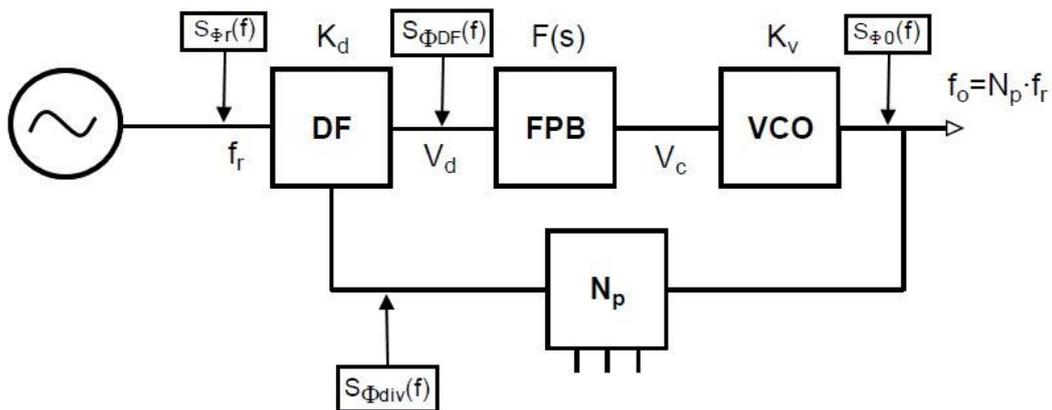


Figura 3.16. Fuentes de ruido de un sintetizador

En la Figura 3.16 se muestran los generadores del ruido de fase de cada uno de los bloques de un PLL sintetizador. Tanto el ruido del VCO como el del oscilador de referencia responden al modelo de *Leeson*, el primero de bajo Q y el segundo de alto Q. El ruido producido por el detector de fase y los divisores de frecuencia se

pueden modelar mediante un ruido blanco y un ruido *flicker* ($1/f$), dando la siguiente expresión:

$$S_{\phi}(f) = \frac{K \cdot T_0 \cdot f}{P_{ent}} \cdot \left(1 + \frac{f_c}{f}\right) \quad (3.41)$$

Si se calcula la respuesta individual del lazo PLL a cada una de las distribuciones de ruido, se obtiene una ecuación global del ruido de fase a la salida expresada como:

$$S_{\phi}(f) = \left[S_{\phi_r}(f) + \frac{S_{\phi_{DF}}(f)}{K_d^2} + S_{\phi_{div}}(f) \right] |H(j2\pi f)|^2 + S_{\phi_0}(f) \cdot |H_e(j2\pi f)|^2 \quad (3.42)$$

Donde $H(s)$ corresponde con la función de transferencia del sintetizador y $H_e(s)$ es la función de transferencia de error.

Teniendo en cuenta que la función de transferencia tiene una amplitud N para frecuencias bajas, la potencia de ruido correspondiente al oscilador de referencia, al detector y al divisor hay que multiplicarlos por N^2 , se incrementa en $20 \log N$ dB. Por esta misma razón, no se utilizan factores superiores a 10^3 puesto que supone un incremento de 80 dB. Fuera del ancho de banda del bucle apenas hay transmisión de la señal de referencia al VCO y las variaciones son prácticamente las del VCO. Estas son corregidas dentro del ancho de banda del bucle por la función de transferencia del error, el cual es paso-alto.

Como síntesis del ruido de fase se tiene:

- Si la frecuencia es mayor que B_L , el ruido es el del VCO
- Si la frecuencia es menor que B_L , el ruido es la suma del ruido de la señal de referencia más la del detector y los divisores multiplicado por N^2 .

De manera general, los osciladores de cuarzo se utilizan como señal de referencia puesto que su estabilidad es muy elevada, y por consiguiente, un ruido de fase en frecuencias cercanas a la portadora, muy bajo. Sin embargo, para frecuencias alejadas de la portadora, el ruido dominante es el térmico y entonces el del VCO es menor que el de la frecuencia multiplicado por N^2 .

Por tanto, el ancho de banda más óptimo del sintetizador será ese punto en que se crucen las características del ruido de la señal de referencia multiplicado por N^2 y del VCO, de tal forma que el ruido resultante en cada zona sea el menor de los dos.

3.7. Diseño del sintetizador

En este apartado se calculan las frecuencias que necesita generar el sintetizador. Una vez que se han obtenido las frecuencias, se explican las estructuras que se irán probando para desarrollar el sintetizador. El estudio de los diferentes elementos que lo componen, así como las prestaciones que se obtienen de las estructuras propuestas se llevará a cabo en los siguientes capítulos.

3.7.1. Frecuencias a generar por el estándar IEEE 802.15.4

Las frecuencias centrales de cada banda del estándar IEEE 802.15.4 se muestran en la Tabla 3.4.

Tabla 3.4. Frecuencias centrales de cada banda del estándar IEEE 802.15.4.

Banda (MHz)	f_c (MHz)	Número del canal (n_{ch})
Banda global (2400-2483,5)	2405	11
	2410	12
	2415	13
	2420	14
	2425	15
	2430	16
	2435	17
	2440	18
	2445	19
	2450	20
	2455	21
	2460	22
	2465	23
	2470	24
	2475	25
2480	26	

3.7.2. Frecuencias a generar por el sintetizador

El VCO que se va a utilizar trabaja al doble de la frecuencia de la banda global del Zigbee colocándola de 4810 a 4960 MHz. Por tanto, las frecuencias a

generar por nuestro sintetizador son el doble de las frecuencias del estándar IEEE 802.15.4.

La arquitectura del receptor va a ser la de conversión directa o ZERO-IF. Entonces la frecuencia de cada canal generado por el sintetizador será igual a la frecuencia del sintetizador (f_{out}). La frecuencia de cada canal a generar por el estándar (f_c) tiene que ser la mitad de la frecuencia de salida del sintetizador. Para ello habrá que dividir la frecuencia de salida del sintetizador por 2 para obtener la que se necesita en nuestro estándar. En la Tabla 3.5 se exponen los valores que debe generar el sintetizador.

Tabla 3.5. Frecuencias a generar por el sintetizador

Frecuencia de salida del sintetizador f_{out} (MHz)	Frecuencia para el estándar IEEE 802.15.4 = Frecuencia de salida del divisor rápido $f_{out}/2 = f_c$ (MHz)
4810	2405
4820	2410
4830	2415
4840	2420
4850	2425
4860	2430
4870	2435
4880	2440
4890	2445
4900	2450
4910	2455
4920	2460
4930	2465
4940	2470
4950	2475
4960	2480

3.7.3. Estructura del sintetizador

Como las frecuencias que va a generar el VCO están al doble de frecuencia del estándar, hay que dividir la frecuencia de salida del sintetizador por dos para obtener las frecuencias del estándar.

Al ser la frecuencia tan elevada, esta no puede ser dividida por un divisor programable. Por lo tanto, la estructura que se va a utilizar para el sintetizador es la que combina un divisor rápido con otro de doble módulo (ver Figura 3.17)

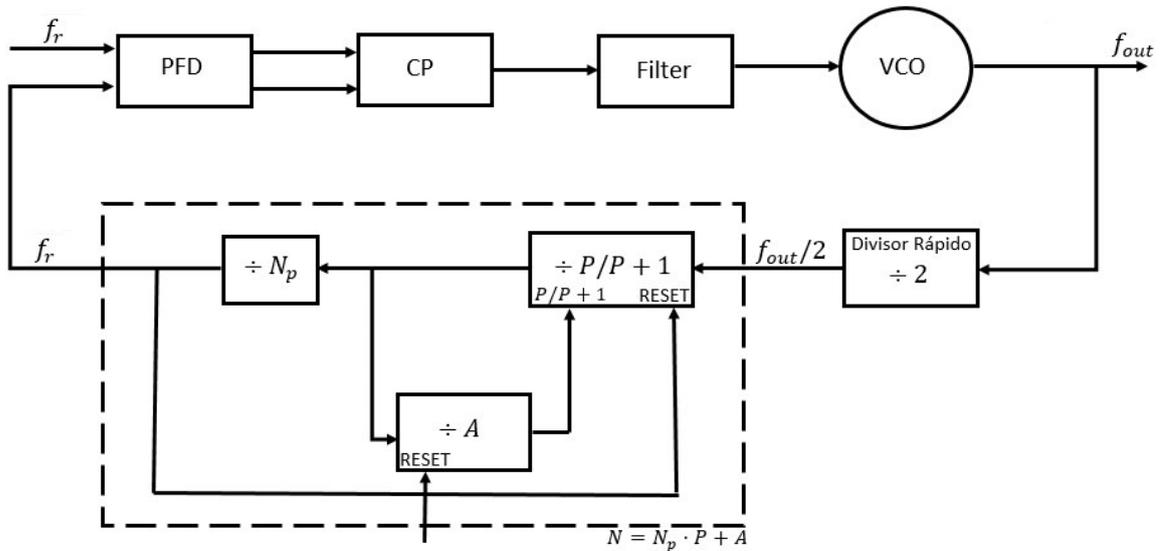


Figura 3.17. Esquema básico de un sintetizador con detector de fase-frecuencia y bomba de carga

En la Tabla 3.6 se muestran los valores que toman N_p y A para conseguir las frecuencias que necesita el sintetizador. La frecuencia de referencia es $f_r = 2,5\text{MHz}$.

Tabla 3.6. Valores del divisor programable

Frecuencia de salida del sintetizador f_{out} (MHz)	Frecuencia para el estándar IEEE 802.15.4 = Frecuencia de salida del divisor rápido $f_{out}/2 = f_c$ (MHz)	Valor del divisor programable $N = 2N_p + A$	Valor del divisor A	Valor del divisor N_p
4810	2405	962	2	480
4820	2410	964	2	481
4830	2415	966	2	482
4840	2420	968	2	483
4850	2425	970	2	484
4860	2430	972	2	485
4870	2435	974	2	486
4880	2440	976	2	487
4890	2445	978	2	488
4900	2450	980	2	489
4910	2455	982	2	490
4920	2460	984	2	491
4930	2465	986	2	492
4940	2470	988	2	493
4950	2475	990	2	494
4960	2480	992	2	405

3.8. Resumen

En este capítulo se han visto los conceptos básicos de los PLLs, el cual es un circuito realimentado de control con los que se procura conseguir que la fase del oscilador sea muy similar a la fase de la señal de entrada. También se ha realizado un estudio de los distintos bloques que conforman el PLL. Además, se definió los sintetizadores y sus distintos tipos, así como sus características principales.

Por otra parte, se han descrito las frecuencias que debe generar nuestro sintetizador para un receptor de conversión directa y la estructura que se implementará en el diseño de este proyecto.

En el siguiente capítulo se expondrá el diseño de cada uno de los bloques, en donde se mostrarán los esquemas, los tests de funcionamiento, así como sus simulaciones.

Capítulo 4.

4. Diseño del sintetizador

En este capítulo se va a realizar el estudio, el diseño y la simulación de cada uno de los bloques que componen el sintetizador. Para su implementación se va a utilizar la herramienta software ADS [15]. En primer lugar, se comienza con el estudio de los VCO, para después seguir con los detectores de fase-frecuencia y continuar con la bomba de carga. Posteriormente se pasa a realizar el diseño del filtro, y por último el divisor rápido.

4.1. Oscilador controlado por tensión

En este apartado se llevará a cabo una breve introducción de los VCO. Posteriormente se expondrán las características que debe cumplir, así como la arquitectura que se va a implementar y finalmente se realizará el diseño de este bloque.

4.1.1. Introducción

El oscilador controlado por tensión se trata de unos de los bloques más importantes del sintetizador puesto que es el encargado de generar las frecuencias del oscilador local.

Para realizar el estudio de los VCO hay que considerarlos como si se tratasen de sistemas realimentados. En la Figura 4.1 se muestra un diagrama de bloques genérico que corresponde a un sistema lineal. Un oscilador se trata de un sistema no lineal, sin embargo, las condiciones de oscilación se pueden analizar mediante sistemas lineales.

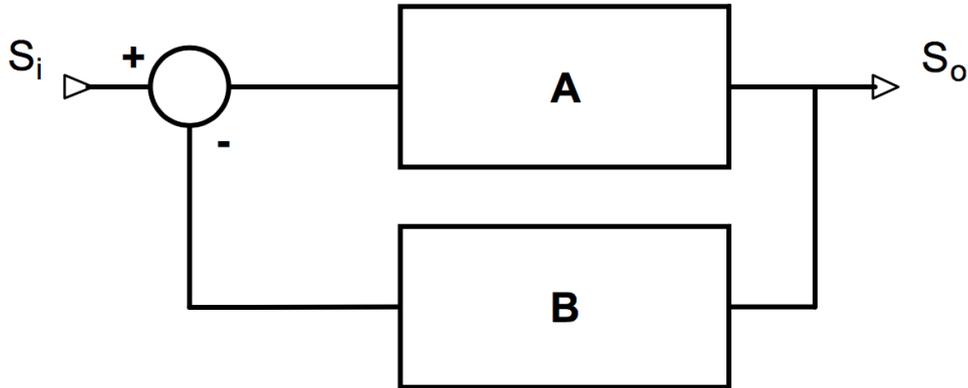


Figura 4.1. Circuito realimentado

En un sistema realimentado como el de la Figura 4.1, su función de transferencia se muestra en la siguiente expresión:

$$A_F = \frac{S_o}{S_i} = \frac{A}{1 + A \cdot B} \approx \frac{1}{B} \quad (4.1)$$

Si el producto de $A \cdot B$ es mayor que la unidad, entonces la función de transferencia se puede aproximar a $1/B$.

La estabilidad en un sistema realimentado se basa en tener en cuenta si al tener una señal de entrada nula es capaz de generar o no una señal a la salida (ver Figura 4.2). En caso de que, no haya señal a la salida, entonces se puede decir que el circuito es estable y en caso que se haya generado una señal, se dice que es inestable y, por tanto, oscila. Este último caso se da cuando la función de transferencia del oscilador es infinita, lo que produce que el producto de $A \cdot B = -1$. A esta condición se le conoce como la condición de *Barkhausen* y se suele expresar como:

$$|A \cdot B| = 1 = 0 \text{ dB} \quad (4.2)$$

$$\alpha[A \cdot B] = 180^\circ \quad (4.3)$$

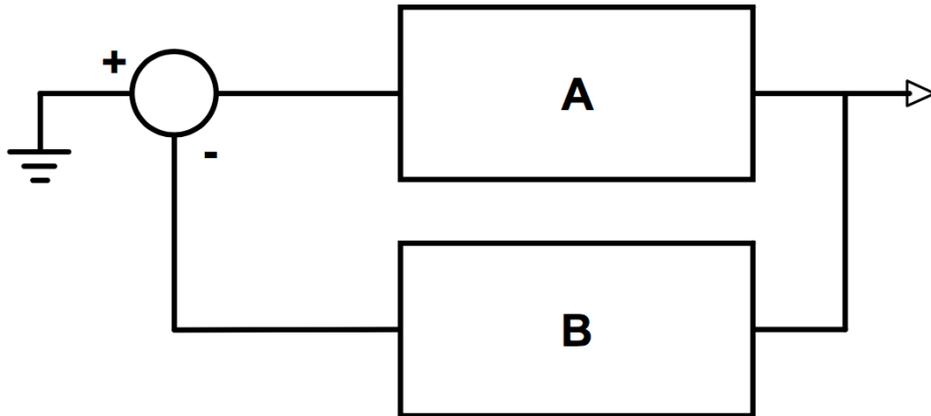


Figura 4.2. Circuito para estudiar la estabilidad

La estabilidad de un sistema se puede obtener a partir de su diagrama de Bode. Por tanto, un circuito será estable cuando con un desfase de 180° su ganancia es nula (ver Figura 4.3) e inestable cuando con ese mismo desfase presenta una ganancia positiva (ver Figura 4.4). Para asegurar la condición de estabilidad normalmente se suele especificar un margen de fase.

El criterio de *Barkhausen* determina las condiciones para que un circuito oscile de manera estable, sin embargo, no comenta la condición para iniciar dicha oscilación.

Cuando se enciende un oscilador es fundamental que este oscile, esto suele producirse debido al ruido que hay en el sistema. Según el criterio de arranque, para que el ruido pueda activar la oscilación se tiene que cumplir la siguiente expresión:

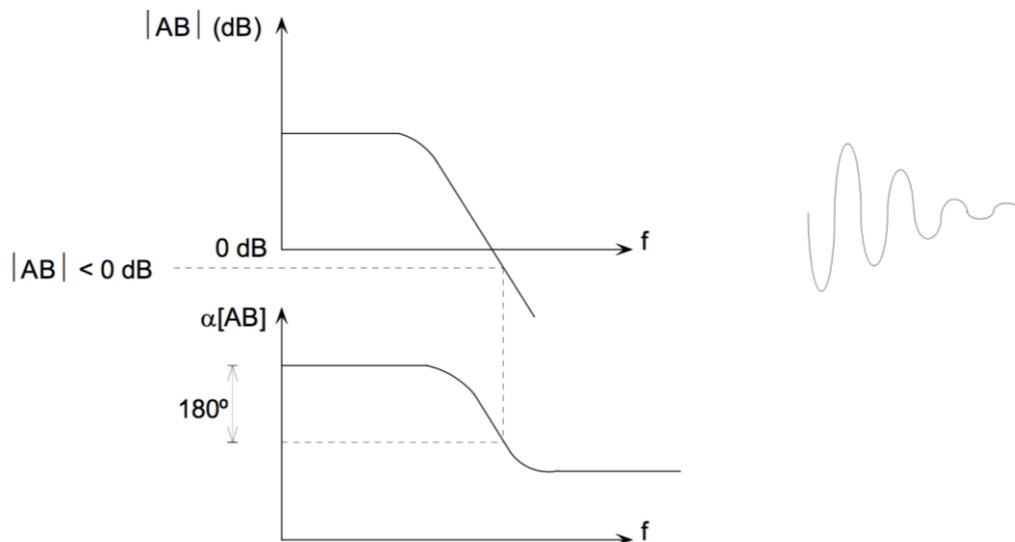


Figura 4.3. Circuito estable

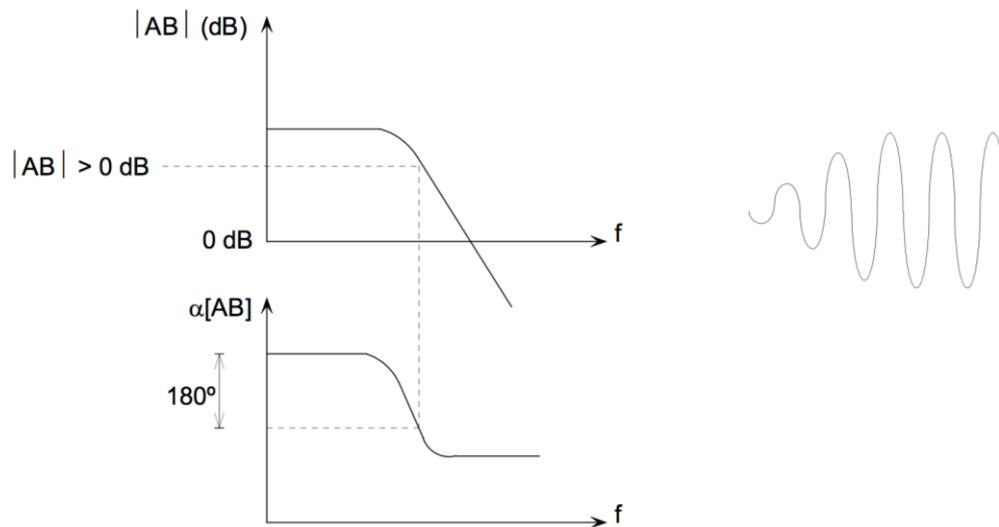


Figura 4.4. Circuito inestable

4.1.2. Parámetros característicos

En este apartado se definirán los parámetros más importantes de los osciladores [16].

- **Frecuencia:** la frecuencia generada por el VCO viene dada por la siguiente expresión:

$$f_o = \frac{1}{2\pi \cdot \sqrt{LC}} \quad (4.4)$$

- **Margen de sintonía:** consiste en la variación de la frecuencia con respecto a la frecuencia central y se expresa en valores porcentuales.
- **Constante de sintonía:** con su regulación se puede obtener la variación de la frecuencia con respecto a la frecuencia central, rara vez es una constante. En la Figura 4.5 se muestra un ejemplo para varactores del tipo MOS y PN, en donde a medida que aumenta la tensión de sintonía la capacidad del varactor también varía y por tanto se obtienen frecuencias diferentes.

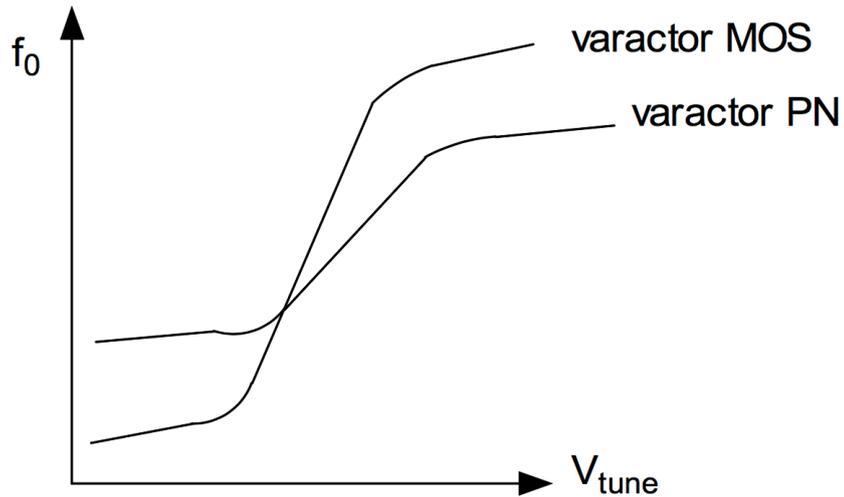


Figura 4.5. Ejemplo de curva características de varactores integrados

- **Nivel de armónico:** indica la relación de potencia entre el armónico "i" y la fundamental. Se expresa en dBc.

$$\text{Nivel de armónico} = \frac{\text{Potencia del armónico } i}{\text{Potencia del fundamental}} = \frac{P_i}{P_1} \quad (4.5)$$

- **Nivel de espurios:** cociente entre la potencia de los armónicos espurios y la fundamental. Se expresa en dBc.

$$\text{Nivel de espurias} = \frac{\text{Potencia de espurias}}{\text{Potencia del fundamental}} = \frac{P_{esp}}{P_1} \quad (4.6)$$

- **Rendimiento:** relación entre la potencia en la carga y la continua suministrada al circuito.

$$\text{Rendimiento} = \frac{\text{Potencia en la carga}}{\text{Potencia DC}} = \frac{P_L}{P_{DC}} \quad (4.7)$$

- **Pulling:** mide la variación que sufre la frecuencia de oscilación para variaciones de la resistencia de carga

$$\text{Pulling} = \frac{\Delta f_o}{\Delta Z_L} \quad (4.8)$$

- **Pushing:** con esta medida se puede observar la sensibilidad de la frecuencia de oscilación del VCO a cambios de la tensión de alimentación.

$$\text{Pulling} = \frac{\Delta f_o}{\Delta V_{CC}} \quad (4.9)$$

- **Ruido de fase:** es un parámetro muy importante porque determina la sensibilidad del dispositivo.

4.1.3. Clasificación

Los osciladores se pueden clasificar de muchas formas distintas. Una clasificación puede ser dependiendo de si los elementos se encuentran concentrados o distribuidos, o dependiendo de si generan una única fase o múltiples fases. Sin embargo, una buena clasificación sería distinguirlas por el tipo de circuito resonante del que están compuestos y de las pérdidas asociadas de cada uno, es por ello que los osciladores se clasifican en dos tipos fundamentales. Estos son los osciladores LC y RC [17].

Los osciladores LC son los que están formados por una bobina (L) y un condensador (C) o algún otro elemento que se pueda modelar mediante redes LC como *microstrips*, *cristales*, etc. Las bobinas y condensadores suelen tener un factor de ganancia mayor que la unidad ($Q > 1$), gracias a la presencia de estos la energía por período se conserva y, por consiguiente, estos osciladores poseen una alta pureza espectral. Se trata de un circuito resonante sencillo de implementar, en donde se utiliza el menor número de transistores posible. Además, otra de las ventajas de este oscilador es que posee un ruido de fase bajo. Pero este tipo de osciladores no se pueden integrar debido a las bobinas, pues normalmente ocupan demasiada área.

Los osciladores RC son aquellos que están formados por una resistencia (R) y por un condensador (C), y posee un factor de ganancia aproximadamente igual a la unidad ($Q \sim 1$). Este tipo de osciladores suelen ocupar poca área debido a que utiliza un mayor número de transistores sin el uso de bobinas, haciendo posible su integración. Sin embargo, esto también provoca que el ruido de fase sea más elevado, al igual que el consumo. Por otra parte, presentan un rango de sintonía bastante elevado, pero es dificultoso obtener frecuencias elevadas con este tipo de osciladores.

4.1.4. Especificaciones del VCO

Las especificaciones del VCO se han obtenido a partir de los requisitos del sintetizador mostrados en el capítulo 2 de esta memoria y se pueden encontrar en la Tabla 4.1.

Tabla 4.1. Especificaciones del VCO

Frecuencias a generar	4,810 a 4,960 GHz
Ruido de fase	-102 dBc/Hz para un offset de 3,5 MHz

4.1.5. Elección de la arquitectura

La arquitectura que se ha elegido es el oscilador LC ya que su uso es muy frecuente para las aplicaciones de alta frecuencia. Dentro de los osciladores LC se ha optado por la configuración diferencial CMOS que está compuesto por dos parejas de transistores NMOS y PMOS en par cruzado. Se ha tomado esta decisión porque este tipo de osciladores son más simétricos y también porque necesitan menos corriente para generar la resistencia negativa, lo que provoca que el ruido de fase sea menor en comparación con la topología NMOS [18]-[22]. En la Figura 4.6 se presenta la arquitectura del VCO.

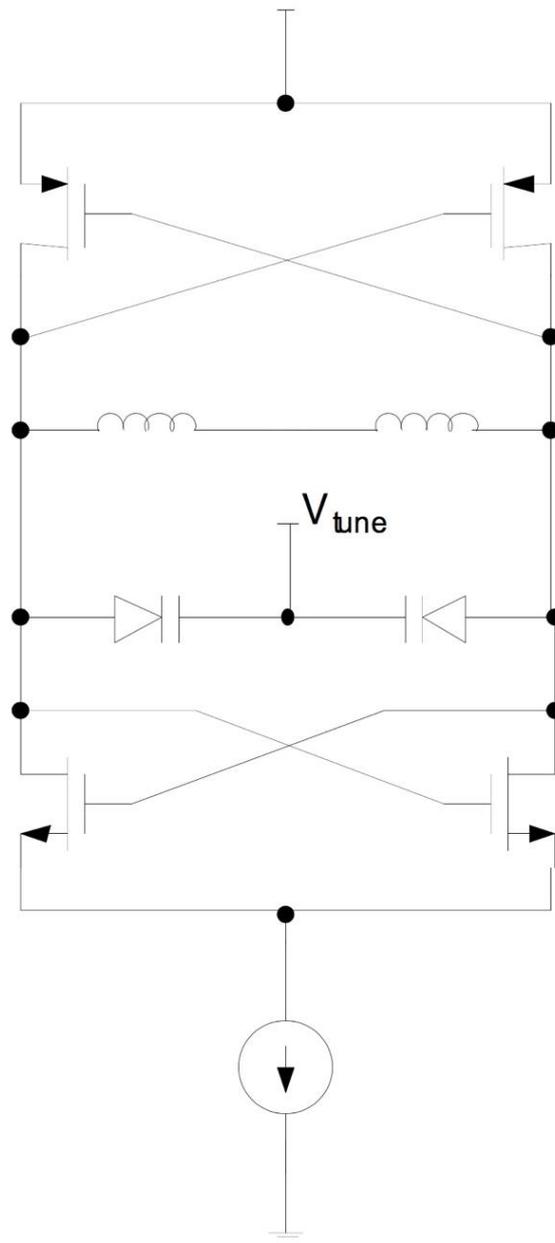


Figura 4.6. Arquitectura del VCO

4.1.6. Diseño del VCO

En este apartado se empieza con el diseño del amplificador de resistencia negativa. Después se continúa con el tanque y posteriormente se agrupan todas las partes y se realiza una simulación de todo el VCO.

4.1.6.1. Diseño del amplificador de resistencia negativa

El amplificador de resistencia negativa utilizado es un par diferencial CMOS con configuración cruzada.

El primer paso fue implementar el circuito que se muestra en la Figura 4.7 en el ADS con componentes ideales.

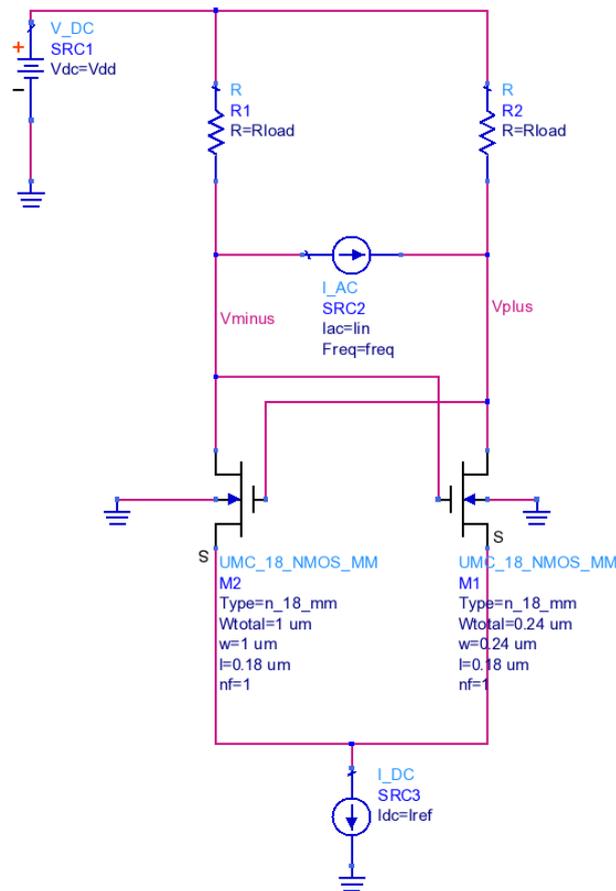


Figura 4.7. Circuito diferencial con transistores NMOS

En ese esquema se utilizaron los transistores NMOS. Para dimensionar sus parámetros se fijó el valor de la tensión de entrada a $V_{DD} = 1,8\text{ V}$, la corriente de entrada a $I_{in} = 1\text{ mA}$ y la resistencia de carga a $R_{load} = 500\ \Omega$. A continuación, se realizó un barrido de la corriente de referencia para polarizar los transistores. En este caso, el valor escogido fue $I_{ref} = 1\text{ mA}$ para los transistores NMOS. Posteriormente se realizó un barrido del ancho, alto y del número de *fingers* de

estos transistores para así obtener una impedancia de entrada proporcional a la frecuencia (ver Figura 4.8).

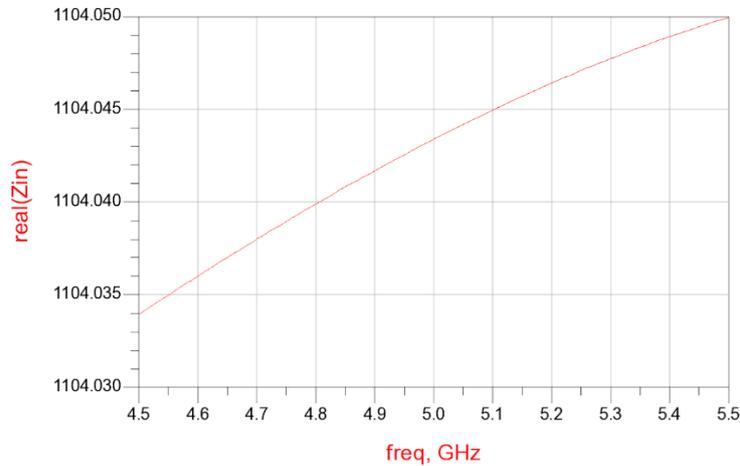


Figura 4.8. Impedancia de entrada del par diferencial con transistores NMOS

Una vez que los transistores han sido optimizados se implementa el circuito del amplificador doble cruzado con transistores ideales (ver Figura 4.9). Como se puede observar en la Figura 4.9 se eliminó la fuente de corriente ideal y se sustituyó por un espejo de corriente, provocando un reajuste de la corriente de referencia.

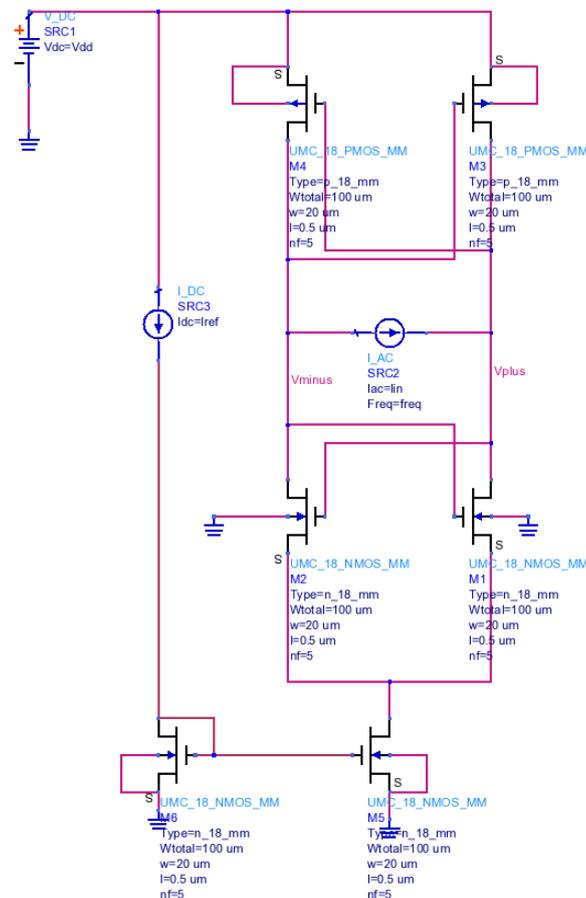


Figura 4.9. Circuito diferencial doble cruzado con transistores MM

El espejo de corriente que se ha implementado es el que se muestra en la Figura 4.10, con esta configuración se pretende obtener una corriente constante y precisa.

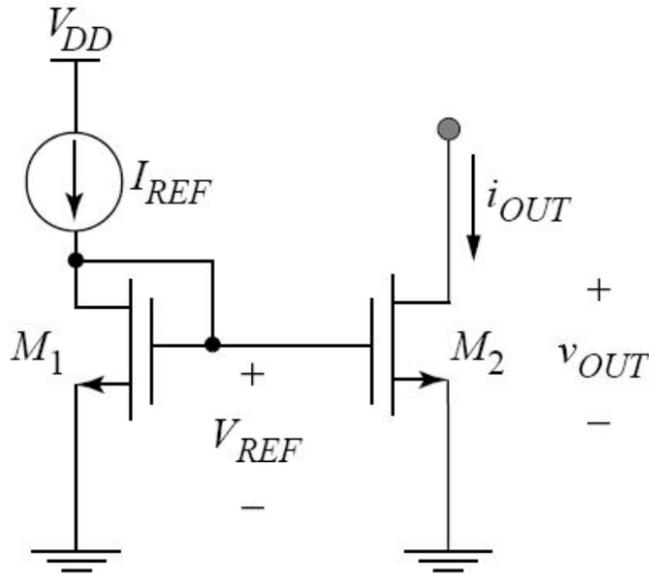


Figura 4.10. Espejo de corriente

Las expresiones que rigen a los espejos de corriente son:

$$I_{OUT} \approx \frac{1}{2} \cdot \left(\frac{W}{L}\right)_2 \cdot \mu C_{ox} \cdot (V_{REF} - V_T)^2 \quad (4.10)$$

$$I_{REF} \approx \frac{1}{2} \cdot \left(\frac{W}{L}\right)_1 \cdot \mu C_{ox} \cdot (V_{REF} - V_T)^2 \quad (4.11)$$

Poniendo la corriente de salida (I_{OUT}) en función de la corriente de referencia I_{REF} , se obtiene la siguiente ecuación [23]:

$$I_{OUT} = I_{REF} \cdot \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (4.12)$$

De esta relación se puede deducir que la I_{OUT} se ajusta con I_{REF} según la relación de W/L , donde W es el ancho del transistor y L es la longitud.

Por tanto, para poder ajustar la corriente de referencia se hizo un barrido del ancho y la longitud de los transistores hasta obtener un valor próximo a 2 mA. En la Tabla 4.2 se muestran las dimensiones de los transistores que componen el espejo de corriente.

Tabla 4.2. Dimensiones finales de los transistores que componen el espejo de corriente del amplificador de resistencia negativa

Dimensiones de los transistores	
w_{n1}	50 μm
l_{n1}	0,5 μm
nf_{n1}	5
w_{n2}	50 μm
l_{n2}	0,5 μm
nf_{n2}	5

Más tarde se optimizaron los parámetros de los transistores que componen el par cruzado hasta obtener la respuesta de la Figura 4.11 en donde se consiguió una resistencia de entrada negativa dentro del rango de frecuencias especificadas en la Tabla 4.1.

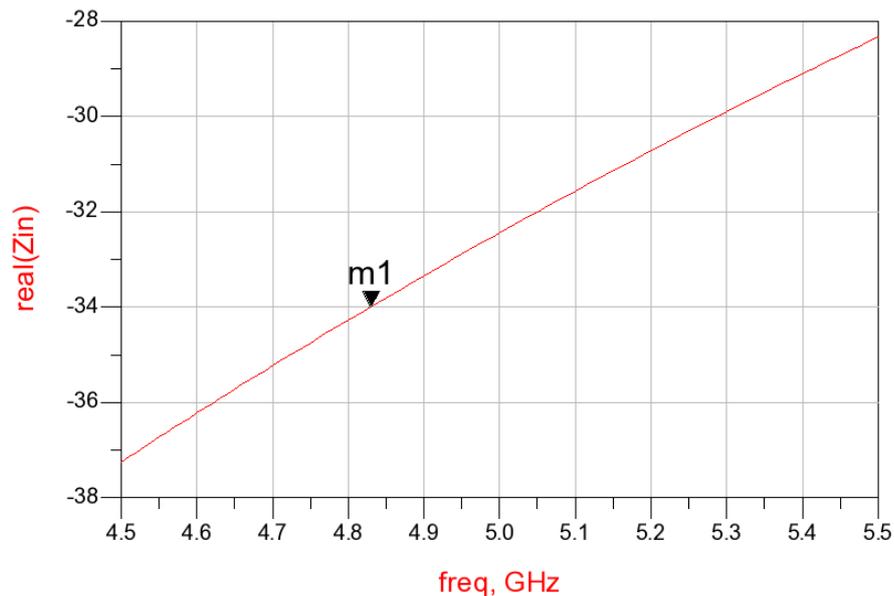


Figura 4.11. Impedancia de entrada del par diferencial doble cruzado con transistores MM

Al obtener los resultados esperados con los transistores de señal mixta o *mixed mode* (MM o UMC_18_NMOS_MM), se pasa a realizar las simulaciones con los transistores de RF tipo PMOS y NMOS (UMC_18_P_L18W500_18_RF y UMC_18_N_L18W500_18_RF) (ver Figura 4.12).

Se sustituyen los transistores que componen el par diferencial por transistores de RF, mientras que los transistores que constituyen el espejo de corriente siguen siendo del tipo MM.

Se realizó la optimización de los parámetros de los transistores tanto de los de RF como de los MM para que el circuito funcionase correctamente. En la Tabla 4.3 se muestran las dimensiones utilizadas para los transistores de RF.

Tabla 4.3. Dimensiones de los transistores de RF del amplificador de resistencia negativa

Dimensiones de los transistores	
w_n	5 μm
l_n	0,18 μm
nf_n	20
w_p	5 μm
l_p	0,18 μm
nf_p	20

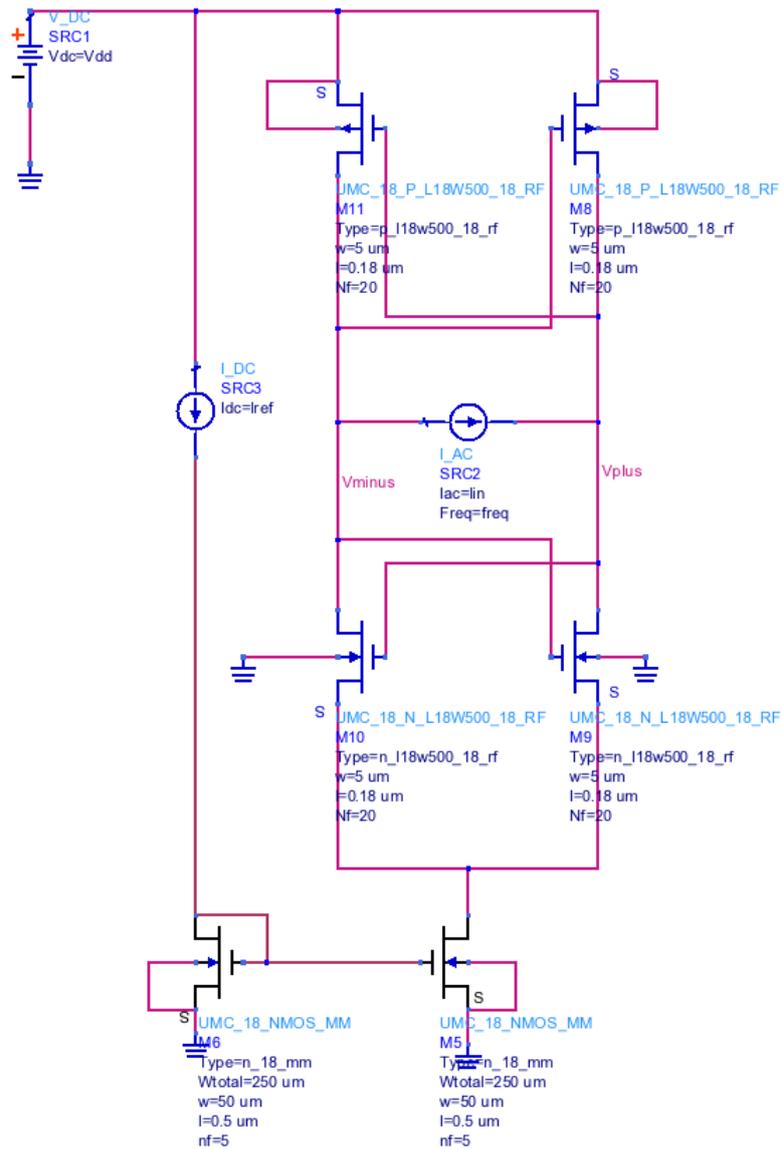


Figura 4.12. Circuito diferencial doble cruzado con transistores RF

El resultado obtenido tras la simulación es el que se muestra en la Figura 4.13. Se puede observar que la impedancia de entrada es negativa desde los 4,5 GHz hasta los 5,5 GHz.

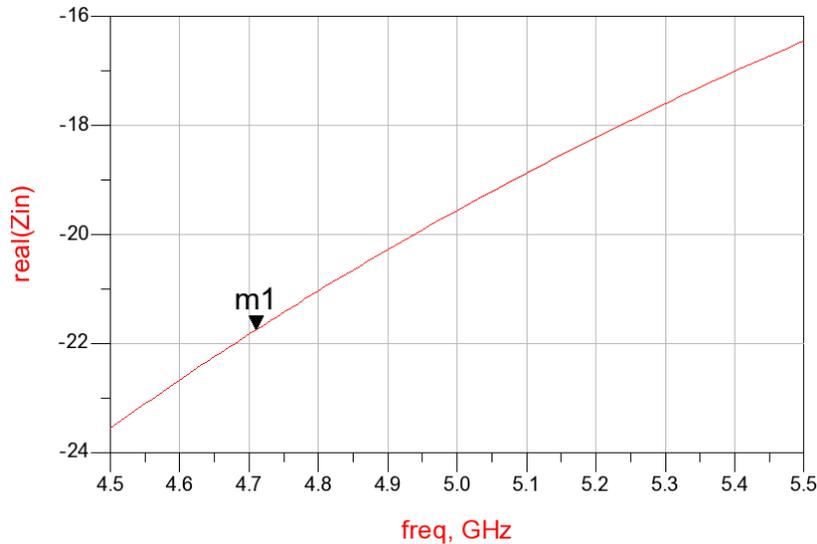


Figura 4.13. Impedancia de entrada del amplificador de resistencia negativa con transistores de RF

4.1.6.2. Diseño del tanque

Finalizado el diseño del amplificador de resistencia negativa, se pasa a realizar el diseño del tanque.

En el diseño del tanque se han minimizado el número de bobinas a utilizar porque son elementos que poseen un gran número de componentes parásitas y además, ocupan mucha área. La configuración básica de un tanque se muestra en la Figura 4.14, como se observa está formada por dos varactores (V_1 y V_2) y una bobina (L). La elección del número par de varactores se debe a que se busca una mayor simetría en el diseño del circuito ya que es diferencial.

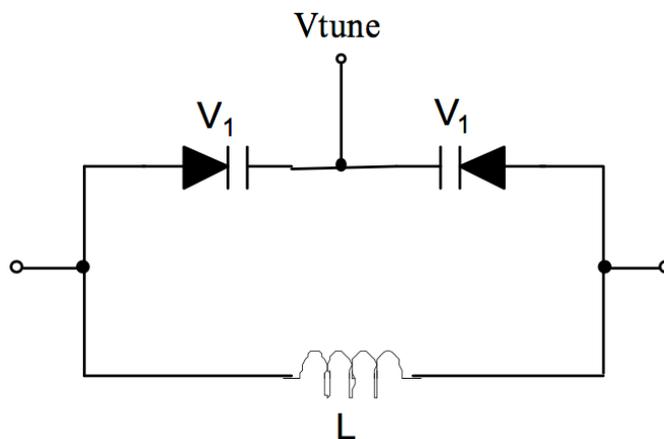


Figura 4.14. Configuración del tanque

Para calcular el valor de la capacidad máxima y mínima de los varactores se hace uso de la expresión siguiente:

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (4.13)$$

Haciendo uso de la expresión (4.13) se obtienen los valores de las capacitancias que conforman el tanque. Estas se encuentran resumidas en la Tabla 4.4.

Tabla 4.4. Valores de los componentes del tanque

Parámetro	Valor
$L_{\text{mín}}$	1,816 nH con $Q = 10,126$ a 5,0 GHz
$L_{\text{máx}}$	1,326 nH con $Q = 10,646$ a 5,0 GHz
$C_{\text{mín}}$	0,558 pF
$C_{\text{máx}}$	0,764 pF

La tecnología UMC de 0,18 μm [24] proporciona dos tipos de varactores, uno de unión PN que corresponde con los varactores DIOP y los otros de unión NMOS que son los varactores MIS.

A continuación, se mostrarán las simulaciones de los varactores con sus resultados (ver Figura 4.15 a Figura 4.22), y se elegirá aquel que posea mejor factor de calidad (Q).

Simulation of a Varactor's Capacitance versus Bias Voltage

In the varactor model, C_0 has been adjusted to set the zero-bias capacitance. Several diodes could be used in parallel to attain a larger capacitance tuning range.

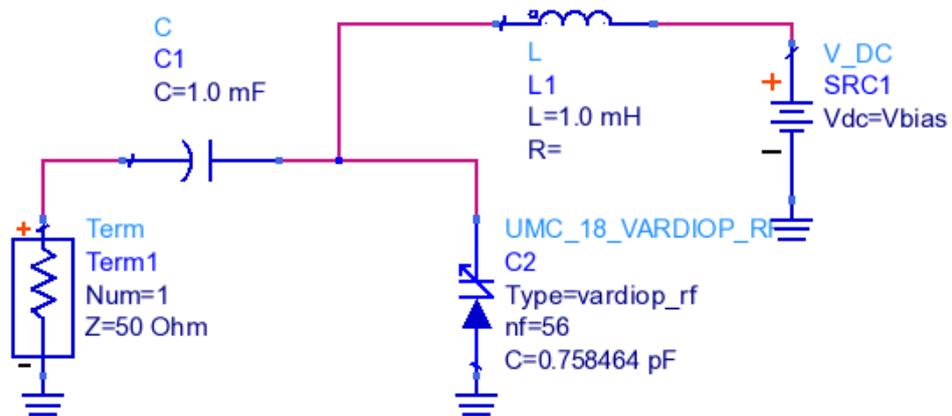


Figura 4.15. Esquema varactor DIOP con $C_{\text{máx}}$

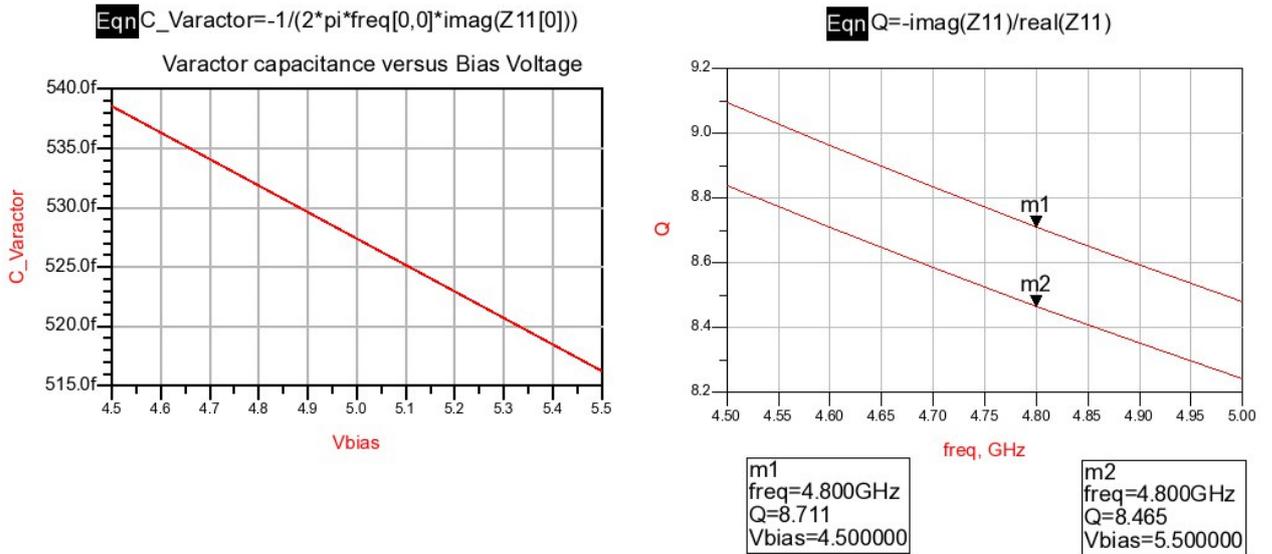


Figura 4.16. Resultados de la simulación del varactor DIOP con $C_{m\acute{a}x}$

Simulation of a Varactor's Capacitance versus Bias Voltage

In the varactor model, C_0 has been adjusted to set the zero-bias capacitance. Several diodes could be used in parallel to attain a larger capacitance tuning range.

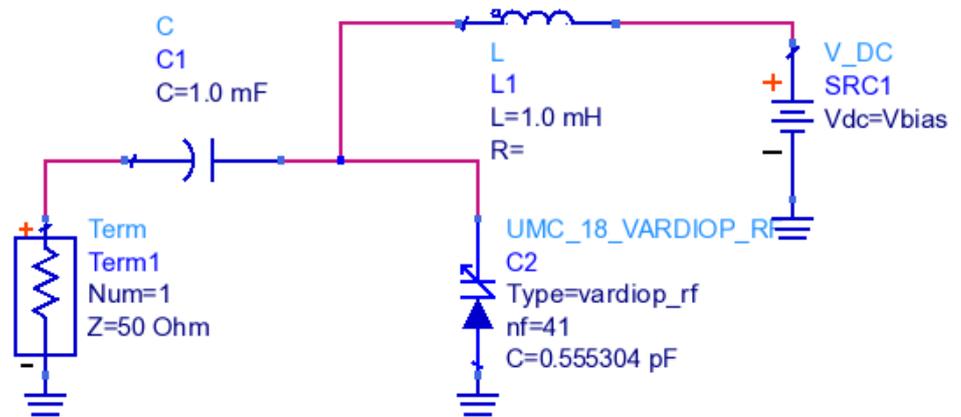


Figura 4.17. Esquema varactor DIOP con $C_{m\acute{i}n}$

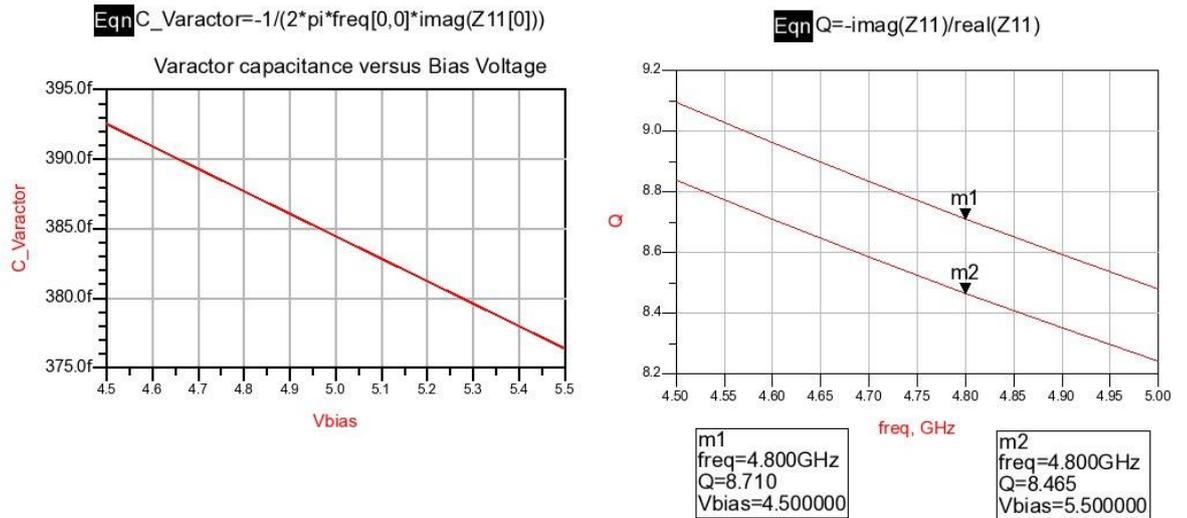


Figura 4.18. Resultados de la simulación del varactor DIOP con $C_{\text{mín}}$

Simulation of a Varactor's Capacitance versus Bias Voltage

In the varactor model, C_0 has been adjusted to set the zero-bias capacitance. Several diodes could be used in parallel to attain a larger capacitance tuning range.

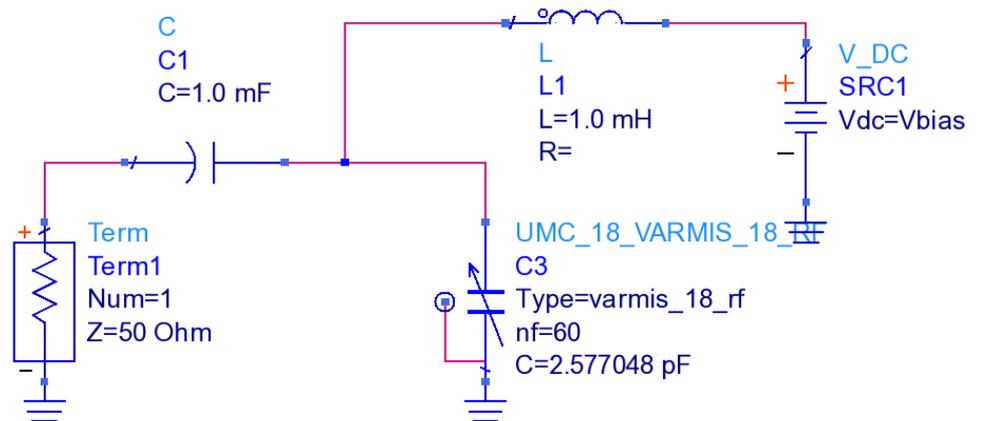


Figura 4.19. Esquema varactor MIS con $C_{\text{máx}}$

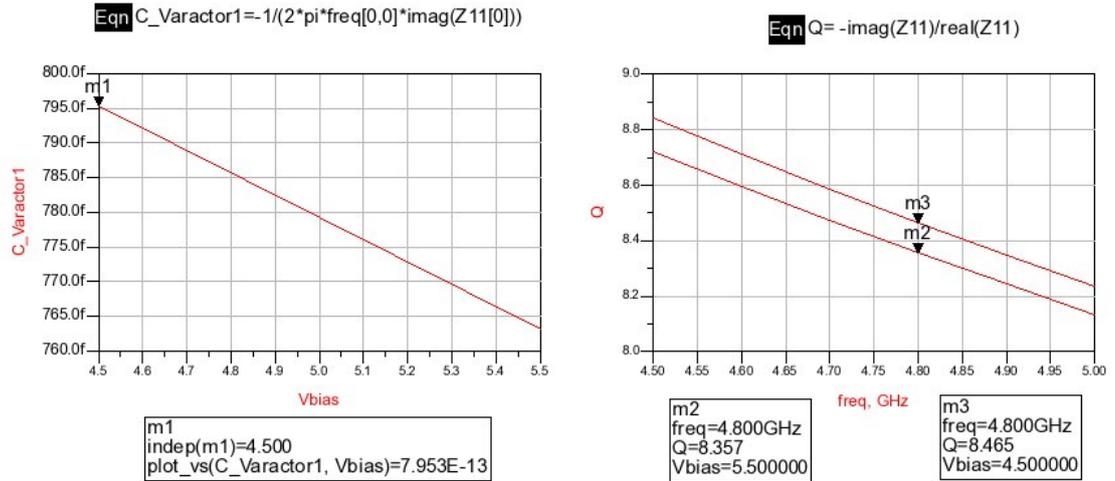


Figura 4.20. Resultados de la simulación del varactor MIS con $C_{m\acute{a}x}$

Simulation of a Varactor's Capacitance versus Bias Voltage

In the varactor model, C_0 has been adjusted to set the zero-bias capacitance. Several diodes could be used in parallel to attain a larger capacitance tuning range.

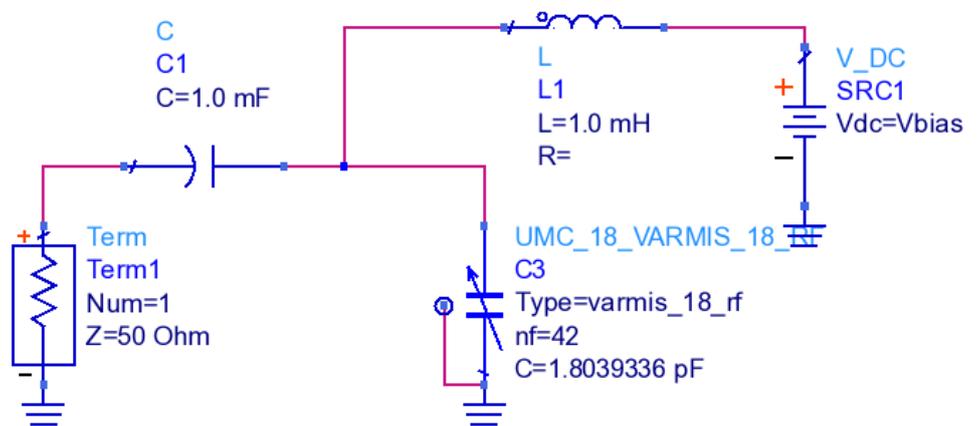


Figura 4.21. Esquema del varactor MIS con C_{min}

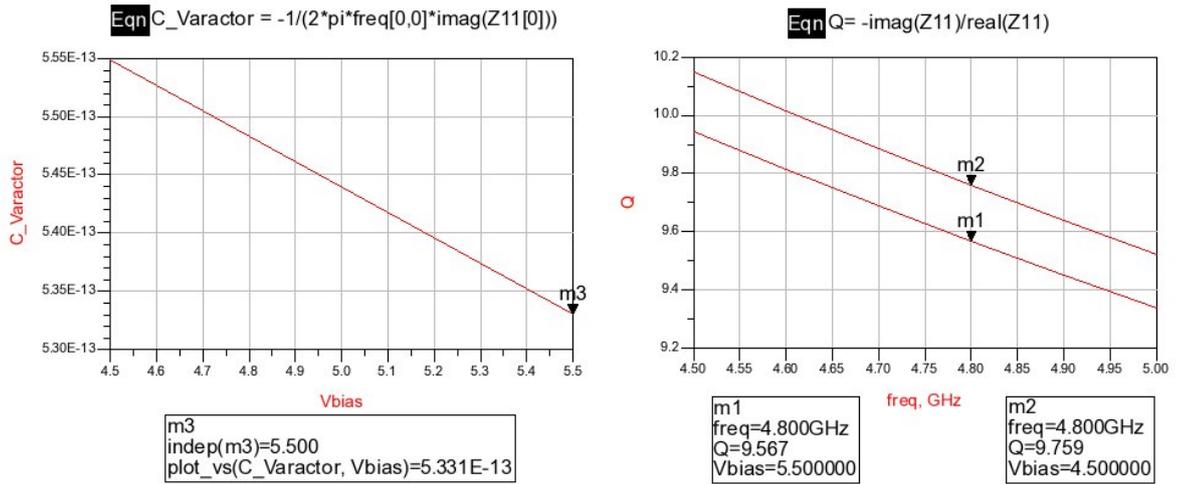


Figura 4.22. Resultados de la simulación del varactor MIS con C_{min}

De los esquemas de los resultados obtenidos, se puede deducir a priori que los varactores que poseen mejor factor calidad son los varactores MIS y, por tanto, son los que se podrán para el diseño final.

4.1.6.3. Diseño final del VCO

En esta parte del diseño se ha unido el amplificador de resistencia negativa con el tanque, el esquema se puede observar en la Figura 4.23.

En este primer esquema se utilizaron los varactores MIS estudiados en el apartado anterior. Y se utilizaron componentes ideales como es la bobina que forma el tanque y la fuente de corriente.

En esta parte del diseño se realiza una simulación del *Harmonic Balance* para ver si el circuito converge y también se lleva a cabo la simulación del ruido de fase para conocer el ruido de fase que aporta el VCO al circuito.

Al realizar la simulación del esquema, se observó que los varactores elegidos no eran los más correctos para nuestras especificaciones provocando que el circuito no oscilase. Además, se observó también que la variación de tensión de estos varactores era menor lo que provocaba que se produjesen cambios drásticos al pasar de una tensión a otra.

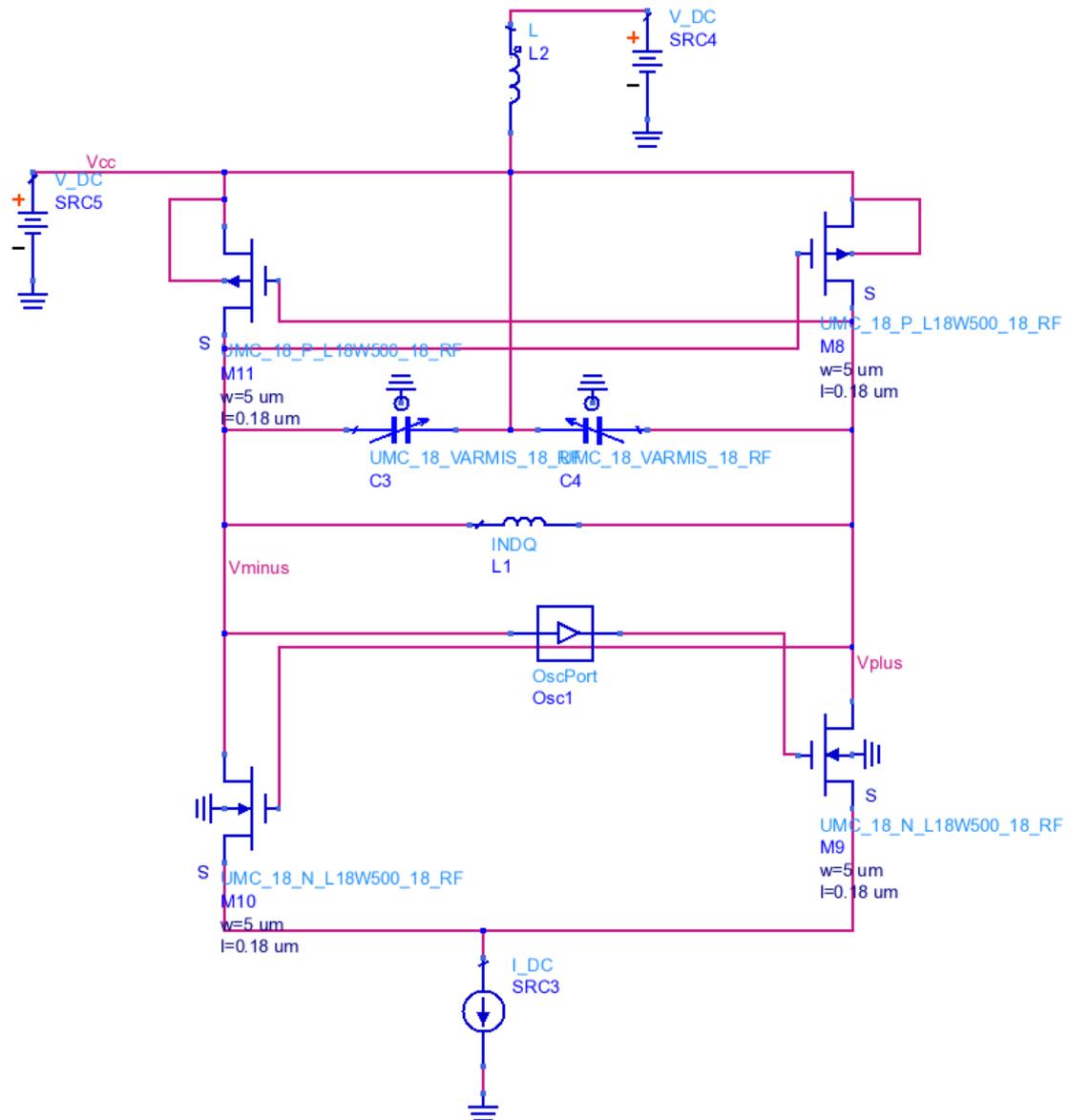


Figura 4.23. Esquema diseño final con varactores MIS

Por ello, se sustituyeron los varactores MIS por los DIOP y se realizó la simulación. Se observó que con los valores varactores DIOP el VCO oscilaba correctamente para nuestro rango de frecuencias y además las variaciones de tensión eran menos abruptas. (ver Figura 4.24).

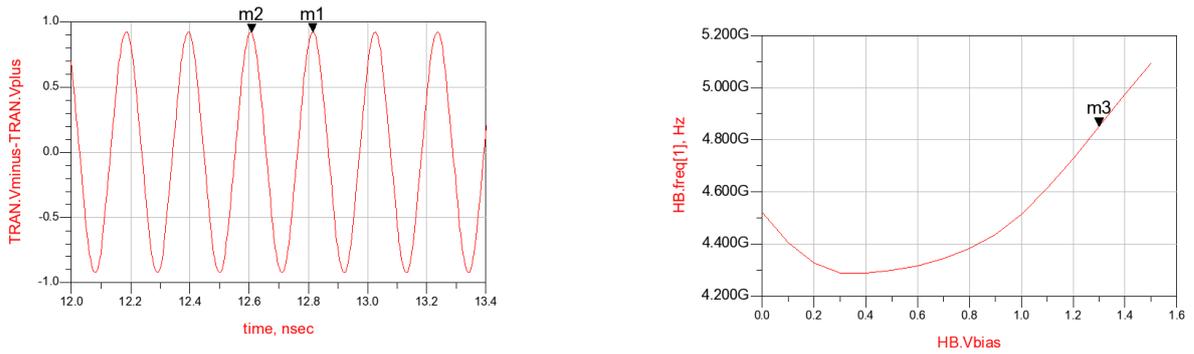


Figura 4.24. Resultados de la simulación final con varactores DIOP

Comprobado que el circuito oscila con los componentes ideales, el siguiente paso fue cambiar la bobina ideal por una real y la fuente de corriente por un espejo de corriente, quedando el esquema como se muestra en la Figura 4.25.

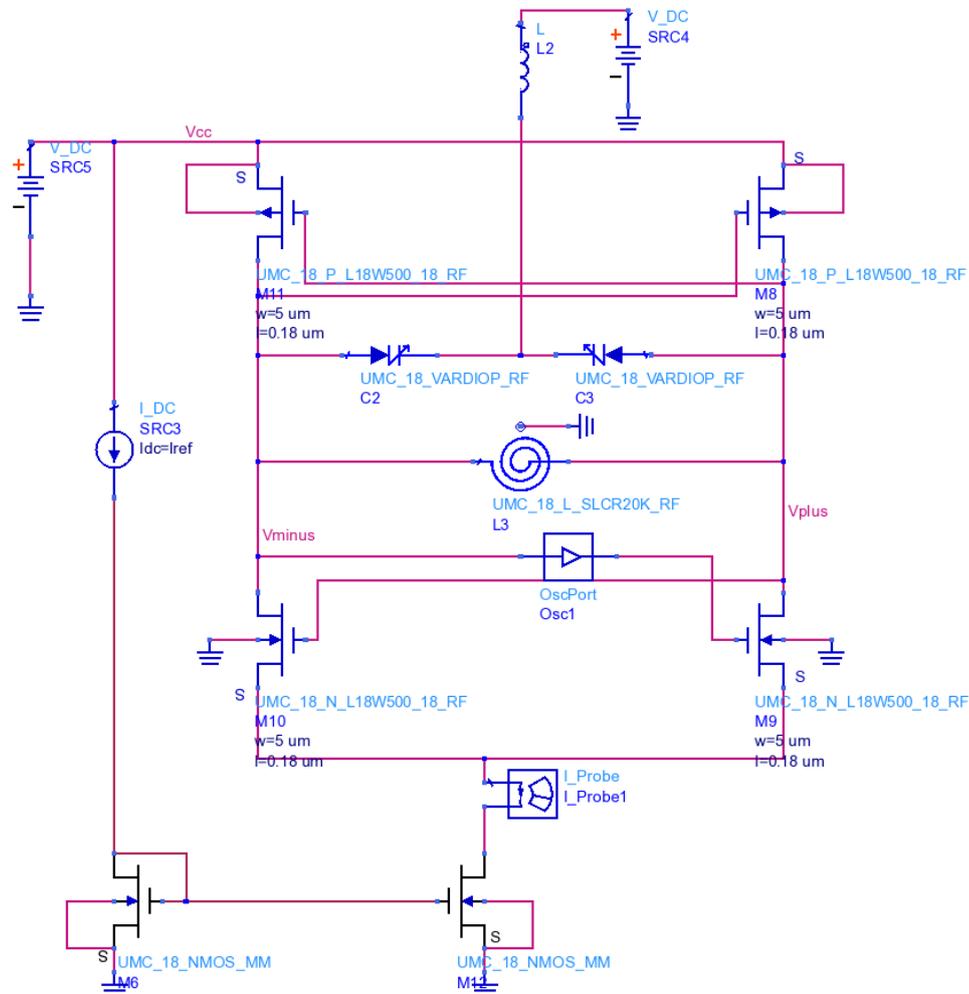


Figura 4.25. Esquema final del VCO

Se fue variando los valores de la bobina real para obtener un mejor ajuste del tanque. Posteriormente, se ajustó el valor de los transistores que componen el

espejo de corriente. Para ello, se hizo de la expresión (4.12) para conseguir una corriente de referencia de $I_{ref} = 2\text{ mA}$.

Los resultados obtenidos de la simulación final se observan en la Figura 4.26.

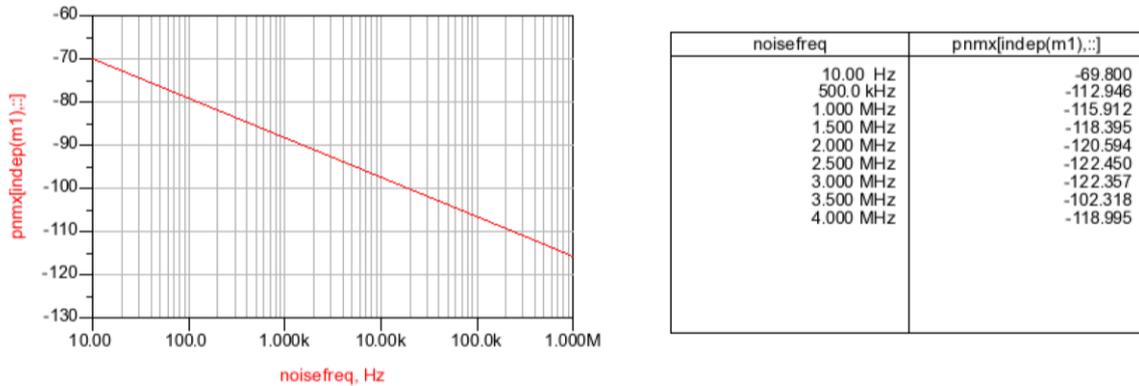


Figura 4.26. Simulación de los resultados finales del VCO

De los resultados se observa que el ruido de fase obtenido es de $-102,318\text{ dBc/Hz}$ para una desviación de frecuencia de 3,5 MHz, valor que se encuentra dentro de las especificaciones del estándar.

En este diseño no se implementa el buffer de salida del VCO porque la salida del oscilador irá conectada al divisor rápido.

4.2. Comparador de fase-frecuencia y bomba de carga

En este apartado se realiza un estudio teórico de los detectores de fase-frecuencia y de la bomba carga. A continuación, se realiza el diseño de cada uno de los bloques.

4.2.1. Detector de fase

Teóricamente, si a un detector de fase ideal que se rige por la ecuación (3.5) le entran dos señales con frecuencias diferentes a su salida debe de entregar una señal que crece linealmente de forma indefinida. Pero en la práctica esto no se produce porque los detectores de fase poseen un margen lineal limitado y son señales periódicas, cuyo período suele ser de 2π . En la Figura 4.27 se muestran los detectores de fase más frecuentes y a continuación se realizará una breve descripción de cada uno de ellos.

Tipo	Señales	Diagrama	Respuesta fase	Respuesta frecuencia
1. Multiplicador analógico				Indefinida
2. Multiplicador digital				Indefinida
3. Bistable JK				
4. Fase/frecuencia				

Figura 4.27. Tipos de detectores de fase

4.2.1.1. Multiplicador analógico

Corresponde al tipo 1 de la Figura 4.27. La salida es el producto de las dos señales de entrada (v_r y v_o). Al referir las dos señales de entrada a la misma frecuencia central, se obtiene:

$$v_r(t) = V_r \cdot \text{sen} [\omega_c t + \phi_r(t)] \quad (4.14)$$

$$v_o(t) = V_o \cdot \text{cos} [\omega_c t + \phi_o(t)] \quad (4.15)$$

$$\begin{aligned} V_d &= K \cdot v_r(t) \cdot v_o(t) \\ &= \frac{K \cdot V_r \cdot V_o}{2} [\text{sen}(2\omega_c t + \phi_r(t) + \phi_o(t)) + \text{sen}(\phi_r(t) \\ &\quad - \phi_o(t))] \approx K_d \cdot \phi_e \end{aligned} \quad (4.16)$$

A la salida aparecen dos elementos, una componente continua y otra de frecuencia doble. Esta última se puede eliminar con el filtro del lazo debido a que puede producir una modulación parásita de fase de la señal de salida del lazo.

La componente continua es proporcional al seno de la diferencia de fases. Si la diferencia de fases es inferior a $|\phi_e| < 60^\circ$, se puede deducir que es

proporcional a ella ($V_d = K_d \cdot (\phi_r(t) - \phi_o(t))$). Si la diferencia de fase es mayor que $|\phi_e| < 90^\circ$, provoca que la pendiente de la función de transferencia se invierta y como consecuencia, el PLL puede perder el enganche. La constante de proporcionalidad, $K_d = ((K \cdot V_r \cdot V_o)/2)$, depende de la amplitud de las señales de entrada, por tanto, en las aplicaciones habrá que añadir un circuito que regule o limite dicha amplitud.

Hay que tener en consideración que cuando $\phi_r(t) = \phi_o(t)$ la salida es nula. Al ser una señal de tipo seno y otro coseno, la señal de salida se consigue cuando haya un desfase real de 90° . Este desfase debe tenerse en cuenta en casos prácticos, pero no afecta a la teoría que se ha expuesto.

La ventaja de los multiplicadores analógicos es que se pueden construir en todas las frecuencias porque cualquier circuito no lineal funciona como tal y para las frecuencias microondas y ópticas es el único detector de fase que existe compuesto por diodos.

4.2.1.2. Detector digital de onda cuadrada

Si las señales de entrada tienen forma de onda cuadrada, entonces se puede llevar a un circuito y la salida será una onda cuadrada cuyo ciclo de trabajo es proporcional al error de fase.

El segundo detector de la Figura 4.27 es una puerta OR-EXCLUSIVA, en donde la salida es un nivel bajo cuando las entradas coinciden y alto cuando son diferentes. Así, si las entradas se encuentran en fase la salida estará a nivel bajo y si están desfasadas será a nivel alto.

Una señal de valor medio, que cambia de manera lineal, oscila alrededor del valor "0" cuando las señales están en fase y del valor "1" cuando están desfasados. El punto central es la diferencia de fase $\pi/2$ y el margen lineal está comprendido entre 0 y π . Para diferencias de fase entre $-\pi$ y 0 la pendiente de la función de transferencia es negativa, provocando que el PLL sea inestable. Por tanto, la constante de fase se puede expresar de la forma:

$$K_d = \Delta V / \pi \quad (4.17)$$

Donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles "0" y "1".

Si el ciclo de trabajo de las señales de entrada no es del 50%, se reduce el margen dinámico. Los armónicos de la señal de salida pueden llegar a dañar la

pureza espectral del VCO y deben ser eliminados por el filtro del PLL. El primer armónico posee una frecuencia doble de la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada. Su máximo aparece para una diferencia de fases de 90° , el cual se corresponde con el centro de su margen lineal y toma el valor expresado en la siguiente ecuación:

$$V_{2fr} = 2 \cdot \Delta V / \pi \quad (4.18)$$

La ventaja de este detector con respecto al analógico es que posee más margen lineal, sin embargo, el nivel de los armónicos a la salida también es alto y está limitada por la tecnología que se vaya a utilizar. La respuesta a señales de frecuencias diferentes es similar al detector anterior siendo análogo su proceso de enganche.

4.2.1.3. Detector digital biestable

Con el detector 3 de la Figura 4.27 se elimina la necesidad de trabajar con señales cuadradas y se aumenta el margen lineal del detector utilizando un biestable JK.

Se trata de un biestable que se activa por flancos de bajada de las señales de entrada. Un flanco de bajada de la señal $U1$, que está conectada a la puerta J , ponen la salida Q a nivel alto. Por otro lado, los flancos de bajada de $U2$, conectada a la puerta K , activan la salida \bar{Q} .

La salida Q se trata de una onda rectangular cuyo ciclo de trabajo depende del desfase de los flancos de bajada de las señales de entrada, provocando que las señales de entrada no tengan que ser cuadradas. El ciclo de trabajo varía de unidades próximas a cero cuando $U2$ se encuentra ligeramente retrasada con respecto a $U1$. El retraso puede ser de hasta el 100% si la señal $U2$ es próximo a 2π . Por tanto, la constante de fase se expresa como:

$$K_d = \Delta V / 2 \cdot \pi \quad (4.19)$$

Si se toma como salida la diferencia entre \bar{Q} y Q , entonces la constante se multiplica por dos.

El primer armónico posee una frecuencia doble de la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada. Su máximo aparece para una diferencia de fases de 90° , el cual se corresponde con el centro de su margen lineal y toma el valor expresado en la ecuación:

$$V_{fr} = 2 \cdot \Delta V / \pi \quad (4.20)$$

Si las frecuencias de las señales de entrada son diferentes, se producirán varios flancos de bajada de forma habitual de la señal de frecuencia más alta entre cada dos flancos de la otra señal. Como resultado, la salida tenderá a estar en el nivel adecuado para que se produzca el enganche. Por otro lado, si las frecuencias son similares, la salida tendrá forma de sierra, que corresponde a una diferencia de fase que varía de manera lineal con el tiempo, lo que provoca que el enganche se realice lentamente.

Comparando este detector con el analógico, se puede comentar que una de sus ventajas es que presenta un margen lineal doble y posee mayor facilidad para realizar el enganche debido a frecuencias diferentes. Los inconvenientes que presenta este detector es que posee menor frecuencia para el primero de los armónicos de salida, además de un mayor límite en la frecuencia. Otra desventaja es que el detector responda a flancos de bajada. Si alguna señal (normalmente la de referencia) está acompañada de ruido, puede producir cambios de nivel de espurios provocando que se dispare el biestable y dependiendo del momento en el que se produzca, puede obligar al lazo a desplazarse todo un ciclo para recuperar la situación de referencia.

4.2.1.4. Detector digital de fase-frecuencia

Los detectores de fase presentados poseen un período 2π . El detector tipo 4 de la Figura 4.27 posee cierta memoria, debido a los biestables internos. Además, es un dispositivo que mejora las prestaciones del detector JK al aumentar el margen dinámico y reduce los armónicos de las señales de referencia. Por otra parte, también mejora la respuesta a distintas frecuencias.

Las estructuras que existen para este tipo de detector son muy variadas, pero la que se va a explicar en este proyecto será la más sencilla. Se trata de un dispositivo que está compuesto por dos salidas (U y D), capaz de estar en tres estados diferentes y controlando los cambios de estado por los flancos de subida de las señales de entrada. En la Figura 4.28 se muestra su diagrama de estado y los niveles asociados a las señales de salida.

Para entender su funcionamiento hay que asociar la primera cifra a la salida D y la segunda a la U . Si el detector está con las salidas a nivel bajo (estados 00), el primer flanco de subida de una de las señales de entrada hace que su salida se ponga a nivel alto. El dispositivo sólo sale de este estado con un flanco de subida

de la otra señal. Cuando ambas señales poseen la misma frecuencia y la señal $U1$ está adelantada con respecto a $U2$, entonces la salida D se mantiene a nivel alto, mientras que en la U habrá una onda rectangular cuyo ciclo de trabajo estará comprendido entre el 0 y el 100% para un desfase de 0 y 2π . En el caso contrario, es decir, que la señal $U2$ estuviese adelantada provocaría que la salida U estuviera a nivel bajo mientras que en la salida D se mostraría la señal rectangular [25].

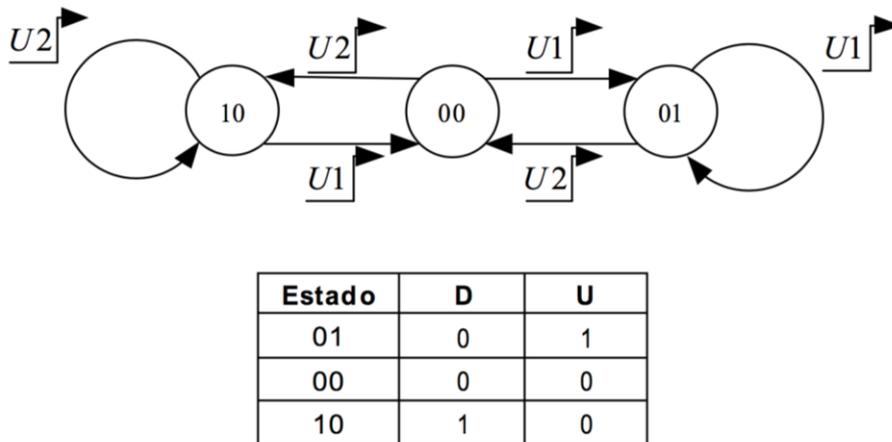


Figura 4.28. Diagrama de estados de un PFD

En este caso, el margen lineal es de 4π radianes y tomando la salida como el valor medio de la diferencia entre $U - D$, la constante del detector se rige por la siguiente expresión:

$$K_d = 2 \cdot \Delta V / 4 \cdot \pi = \Delta V / 2 \cdot \pi \quad (4.21)$$

Donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles "0" y "1".

El primer armónico posee una frecuencia doble de la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada. Su máximo aparece para una diferencia de fases de $\pm 2\pi$, el cual se corresponde con el centro de su margen lineal y toma el valor expresado en la ecuación:

$$V_{fr} = 2 \cdot \Delta V / \pi \quad (4.22)$$

Las ventajas que presenta este detector es que posee un mayor margen lineal y también una mayor facilidad para el enganche debido a su respuesta a diferentes frecuencias.

Sin embargo, uno de los inconvenientes es que presenta una menor frecuencia para el primero de los armónicos de salida y también posee una limita en frecuencia de entre el 50% y el 75% del límite de un multiplicador analógico.

Además, otra desventaja de este detector es que pueden existir zonas muertas u holguras en los puntos más importantes de su respuesta debido a que la respuesta de los elementos que lo forman no es instantánea, provocando que no se produzca ningún pulso a la salida cuando existe una diferencia de fase menor al tiempo de respuesta.

Otra manera de destacar este fenómeno es que la constante del detector se anula cuando existe un equilibrio de fases. La importancia de esta holgura depende de la amplitud en comparación con el período de la señal de referencia y de la aplicación concreta. Las constantes de tiempo asociadas a sus salidas pueden hacer que la duración del pulso que se aplica al VCO sea más largo dado un pequeño error de fase, lo que produciría un cambio de signo en el error. Como el circuito es simétrico, la corrección del error sería excesiva lo que generaría un ruido *flicker* a la salida del VCO.

Sin embargo, ambos efectos se pueden mitigar realizando diseños más sofisticados e introduciendo un ligero *offset* en algún punto del lazo, de tal forma que el punto de equilibrio corresponda con un cierto error de fase. Para conseguirlo se puede introducir una resistencia. La sensibilidad con respecto al ruido se comparte de forma similar a la del detector basado en biestables, por lo que solo hay que utilizar relaciones S/N elevadas.

4.2.1.5. Diseño del PFD

El comparador de fase-frecuencia a diseñar está compuesto por puertas NAND2, NAND3, NAND4 y básculas RS implementadas con NAND2. Esta estructura no permite que dos salidas estén activas simultáneamente. Si la entrada es diferente a la de referencia, actúa una salida u otra, y cuando alcanza el equilibrio y son iguales, las salidas están inactivas permaneciendo a nivel alto.

Al estar compuesto por básculas RS, la característica de transferencia de este comparador es independiente de las relaciones cíclicas de entrada debido a que los estados de salida de la báscula varían con las transiciones de entrada. Esta es una característica que es de nuestro interés.

La función de transferencia del comparador es lineal y está comprendida entre -2π y $+2\pi$, porque entre -2π y 0 actúa la salida $D1$ y entre 0 y 2π , la salida $U1$. También las otras dos salidas, $D2$ y $U2$, que se pueden utilizar para realizar pruebas, pero no se usan en el diseño.

Para realizar el diseño del detector, primero se implementó un esquema como el que se muestra en Figura 4.29, el cual se trata de un inversor. Se realizó ese circuito para hallar las dimensiones que podrían tener los transistores en el circuito final.

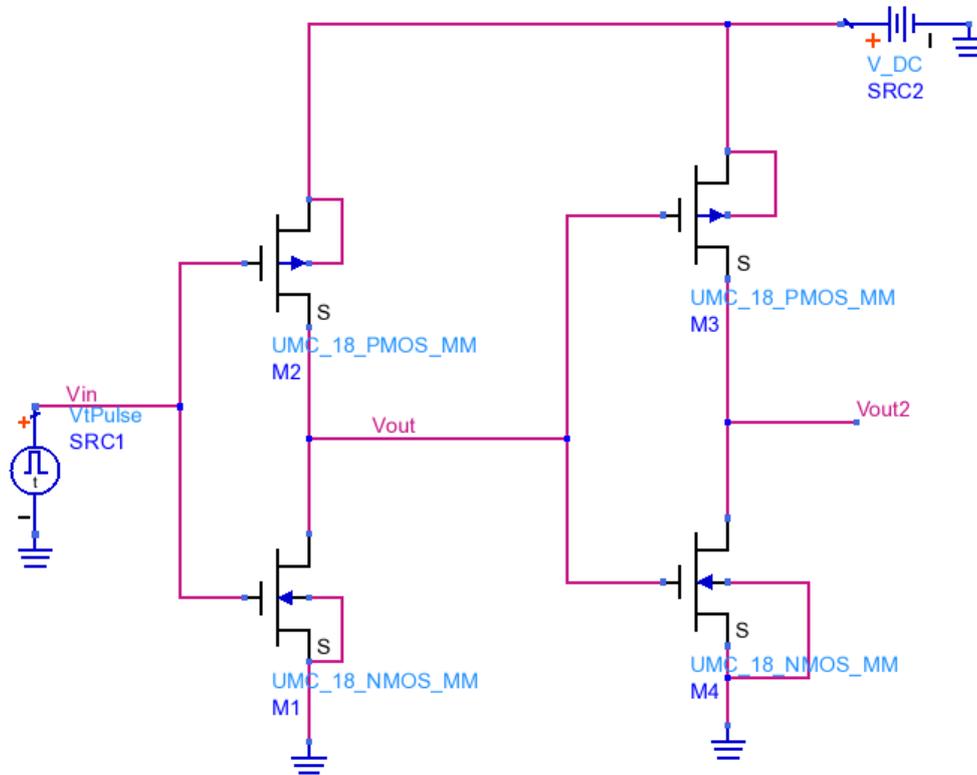


Figura 4.29. Circuito Inversor

Los transistores utilizados para llevar a cabo el esquemático del inversor y los que se utilizarán en para el diseño del PFD son los transistores MM debido a que se necesita que este circuito y el siguiente posean un tiempo de respuesta lo más rápido posible.

Las dimensiones obtenidas se muestran en la Tabla 4.5.

Tabla 4.5. Dimensiones de los transistores del detector de fase-frecuencia

Dimensiones de los transistores	
w_n	$11 \mu\text{m}$
l_n	$0,2 \mu\text{m}$
$n f_n$	1
w_p	$(3 \cdot w_n) \mu\text{m}$
l_p	$0,2 \mu\text{m}$
$n f_p$	1

En las Figura 4.30 a Figura 4.32 a se muestran los esquemas de las puertas utilizadas en el PFD.

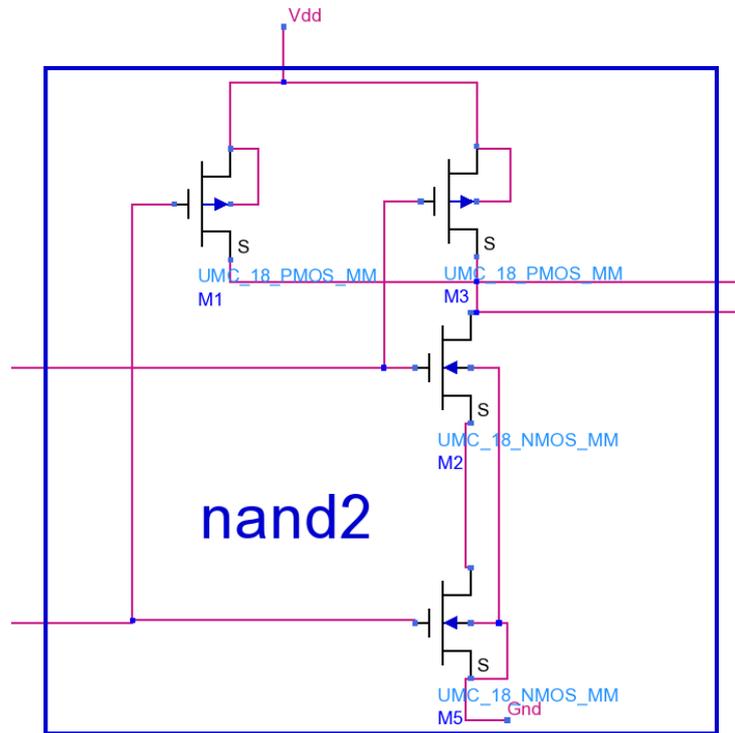


Figura 4.30. Esquemático de la puerta nand2

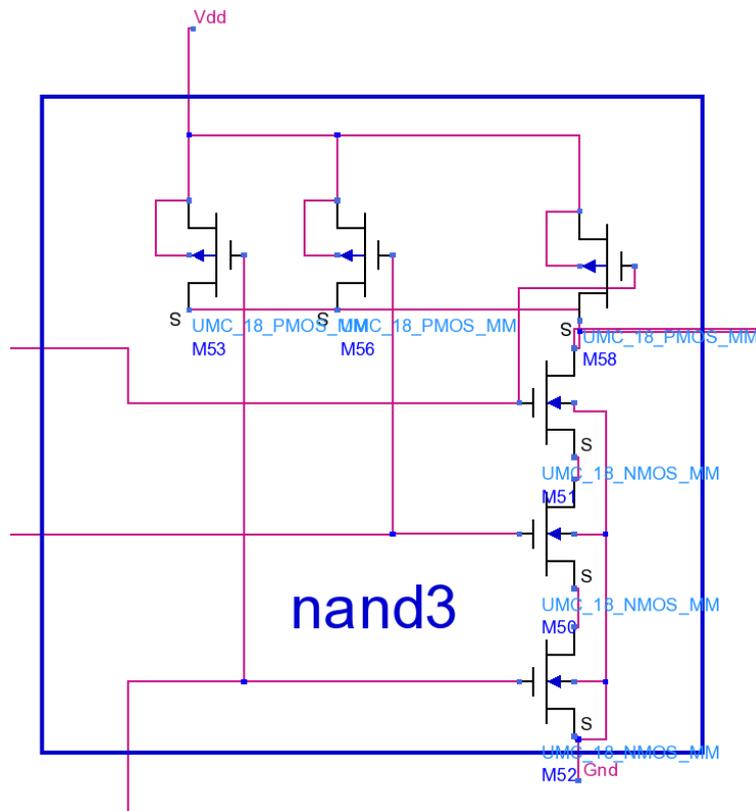


Figura 4.31. Esquemático de la puerta nand3

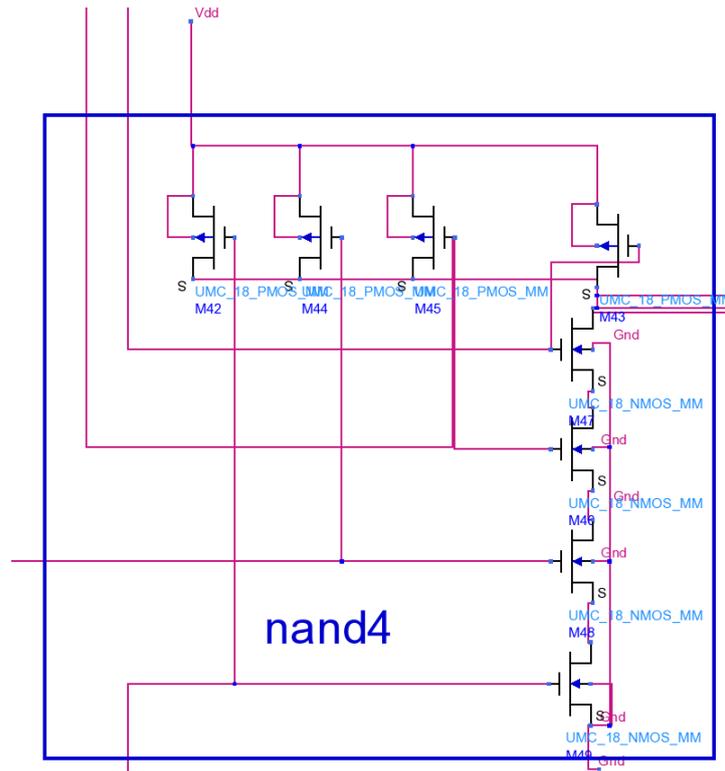


Figura 4.32. Esquemático de la puerta nand4

En la Figura 4.33 se observa el esquema de simulación en ADS del PFD para comprobar su funcionamiento variando las entradas y a una de ellas se le realizó un barrido de fase para poder desplazarla y ver los distintos desfases entre las entradas.

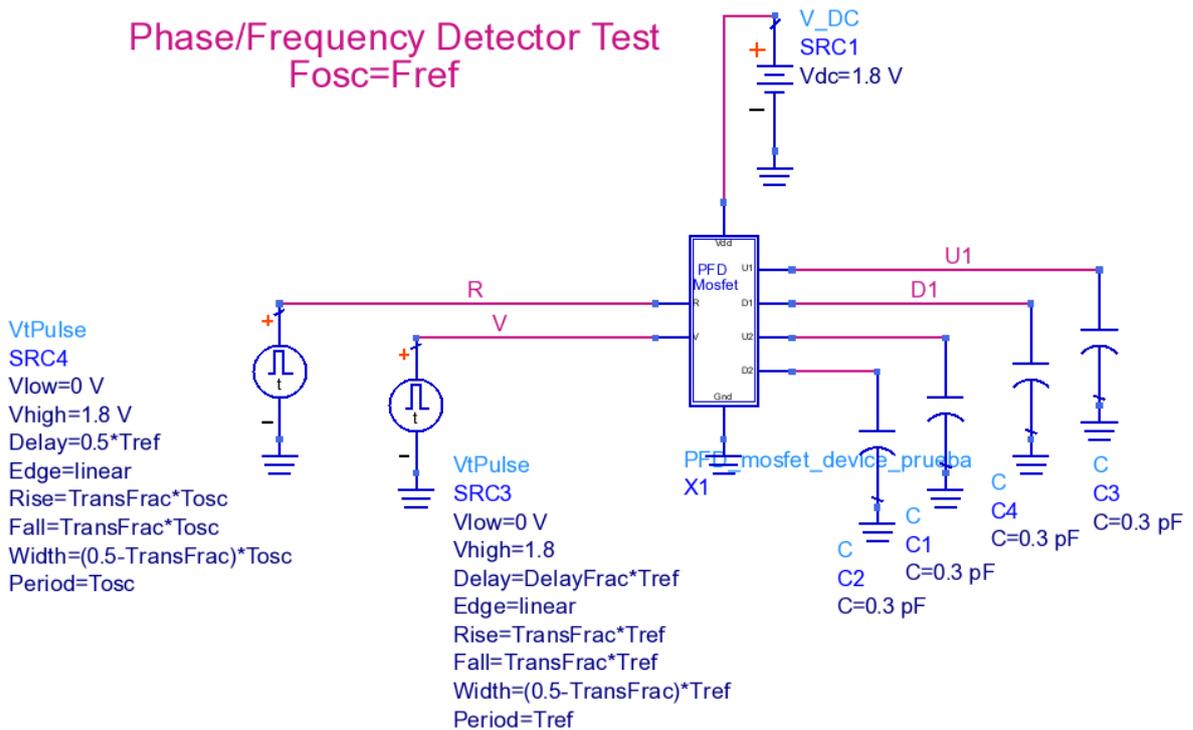


Figura 4.33. Símbolo del circuito de simulación del PFD

En la Figura 4.33 se puede observar que las entradas son rectangulares de frecuencias iguales y de relaciones cíclicas de valor 1/2. Por otra parte, se puede deducir que si la señal del VCO (V_{in}) está adelantada con respecto a la de referencia (V_{ref}), entonces el pulso será del tamaño de la diferencia de fase entre las dos señales y se observará en la salida $D1$. En el caso contrario, la señal de salida se mostraría en $U1$.

En la Figura 4.34 se muestra la simulación del circuito anterior. De los resultados de la simulación se obtiene que la constante del detector de fase es: $K_d = 0,449 (V/rad)$

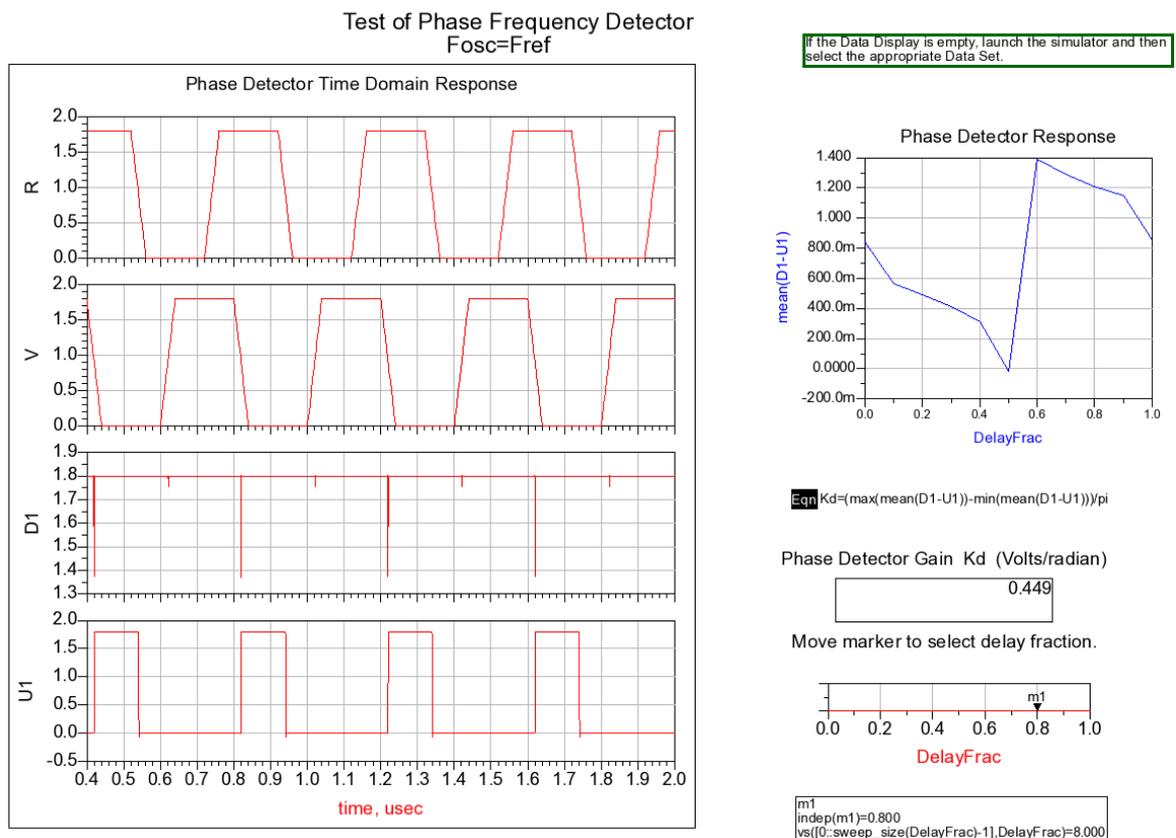


Figura 4.34. Simulación del PFD y valor de K_d

4.2.2. Bomba de carga

De manera teórica, un detector de fase-frecuencia puede utilizarse en una configuración de PLL, se usa como elemento activo del filtro un amplificador diferencial. Sin embargo, en la práctica, al detector se le asocia con un componente denominado bomba de carga que se encarga de traducir las señales de salida del PFD para controlar la tensión de control del VCO. El esquema se observa en la

Figura 4.35. Está formada por un par de generadores de corriente que inyectan o extraen corriente de un filtro [26].

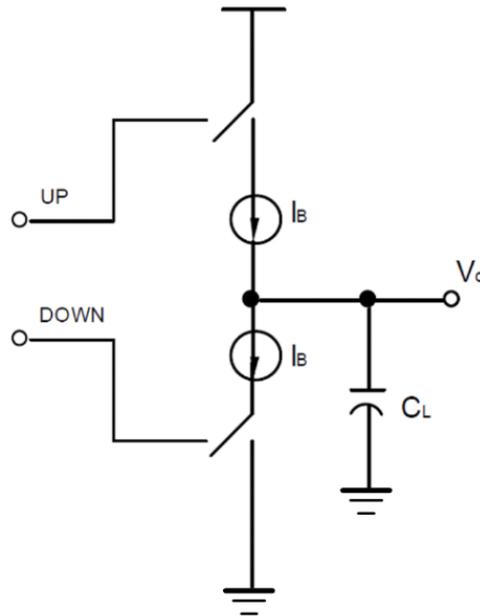


Figura 4.35. Esquema de la bomba de carga

El esquema presenta bastantes ventajas. La primera es que el valor de la constante del detector puede ser elevada debido a que no posee una limitación de tensión. La segunda, la tensión de control del VCO también puede ser elevada llegando a superar la tensión de alimentación del resto de los circuitos, ya que los generadores son conmutadores CMOS. Por otro lado, el ruido que añade el filtro es mínimo puesto que no posee componentes activos.

4.2.2.1. Diseño de la bomba de carga

La bomba de carga consiste en una pareja de fuentes de corriente con interruptores que manejan la carga del condensador. En nuestro caso es el filtro del bucle y proporciona una ganancia para una diferencia de fase en la entrada del dispositivo (ver Figura 4.36).

Su funcionamiento consiste en que cuando los pulsos se inyectan por la entrada *UP*, la fuente de corriente introduce carga en el condensador y la tensión de entrada aumenta. En cambio, cuando los pulsos se introducen por la otra entrada (*DOWN*), la carga del condensador se dirigirá hacia tierra.

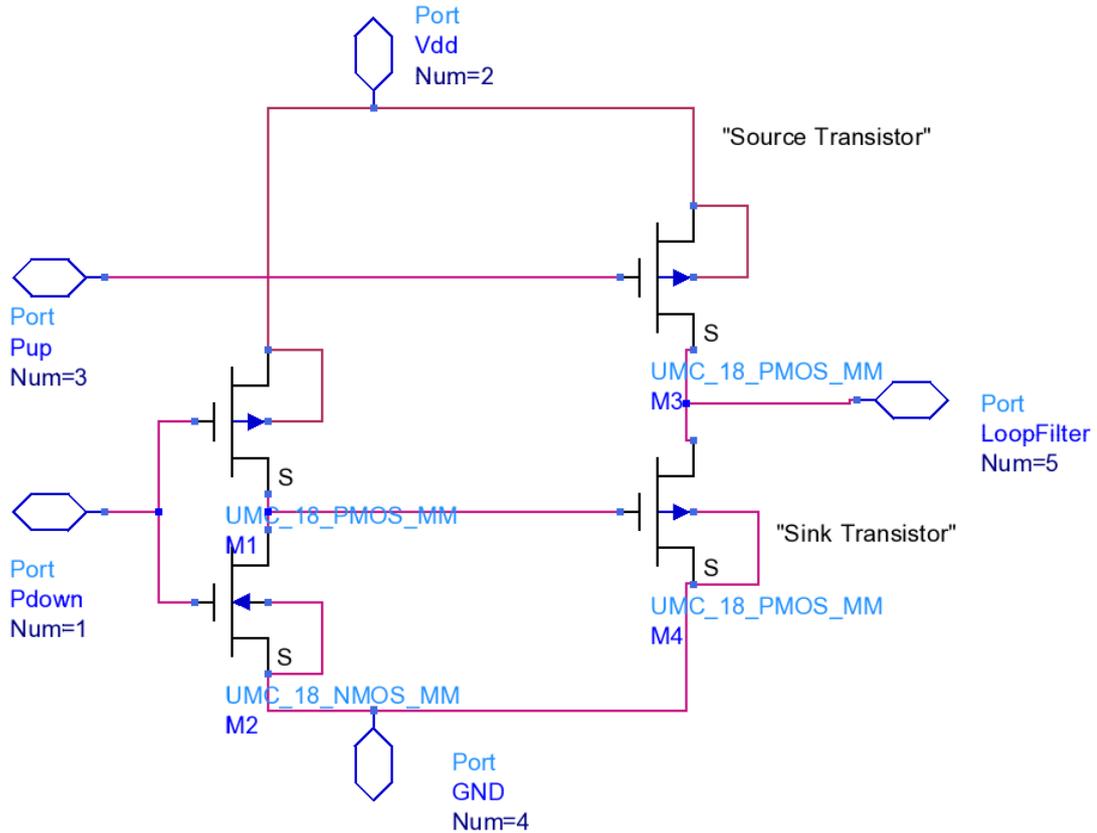


Figura 4.36. Esquemático en ADS de la bomba de carga

Las dimensiones de los transistores se muestran en la Tabla 4.6. Con el ancho de los transistores se obtiene la corriente de salida deseada de aproximadamente $671,2 \mu A$. El transistor NMOS de salida posee una relación de $(1/3,4)$ de ancho para conseguir tener los $\pm 671,2 \mu A$.

Tabla 4.6. Dimensiones de los transistores de la bomba de carga

Dimensiones de los transistores	
w_n	$(w_p/3,4) \mu m$
l_n	$0,2 \mu m$
nf_n	1
w_p	$18 \mu m$
l_p	$0,2 \mu m$
nf_p	1

4.2.3. Unión del PFD y la bomba de carga

Terminados ambos esquemáticos, el siguiente paso es unirlos (ver Figura 4.37) y hallar la constante para el detector.

Test of RFIC Phase/Frequency Detector with Charge Pump $F_{osc}=F_{ref}$

This simulation can be used to determine the current-versus-phase difference characteristic of the PFD-Charge Pump combination, by sweeping the phase difference (modeled as a delay) between the two input signals.

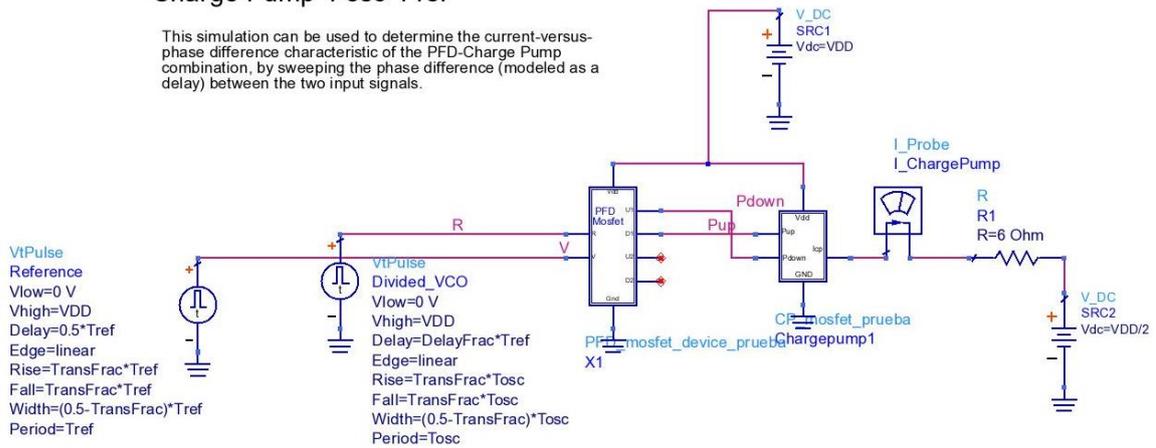


Figura 4.37. PFD con CP

En las Figura 4.38 a Figura 4.41 se observa la simulación del esquema anterior. Con ella se calculó el valor de la constante K_d que es igual a la corriente que suministra la bomba de carga.

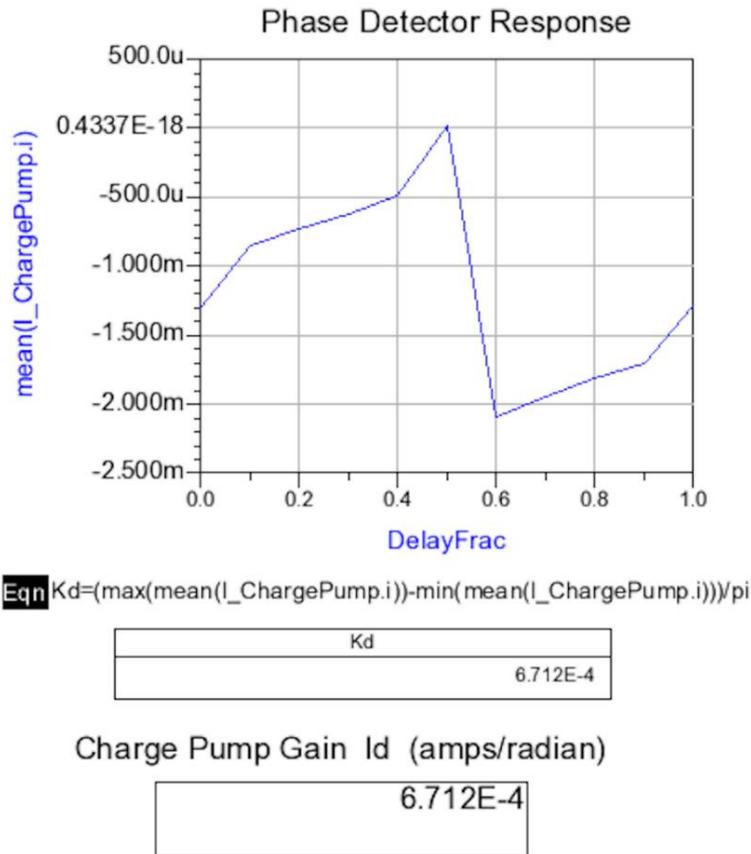


Figura 4.38. Simulación de la respuesta del PFD+CP y valor de K_d

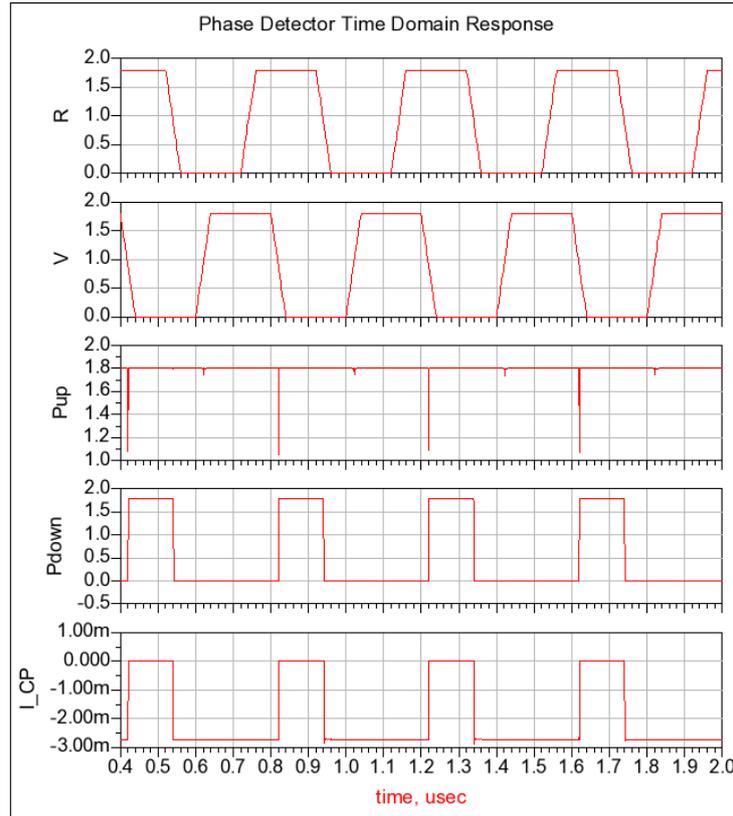


Figura 4.39. Resultado de la simulación del PFD con CP, señal V adelantada con R

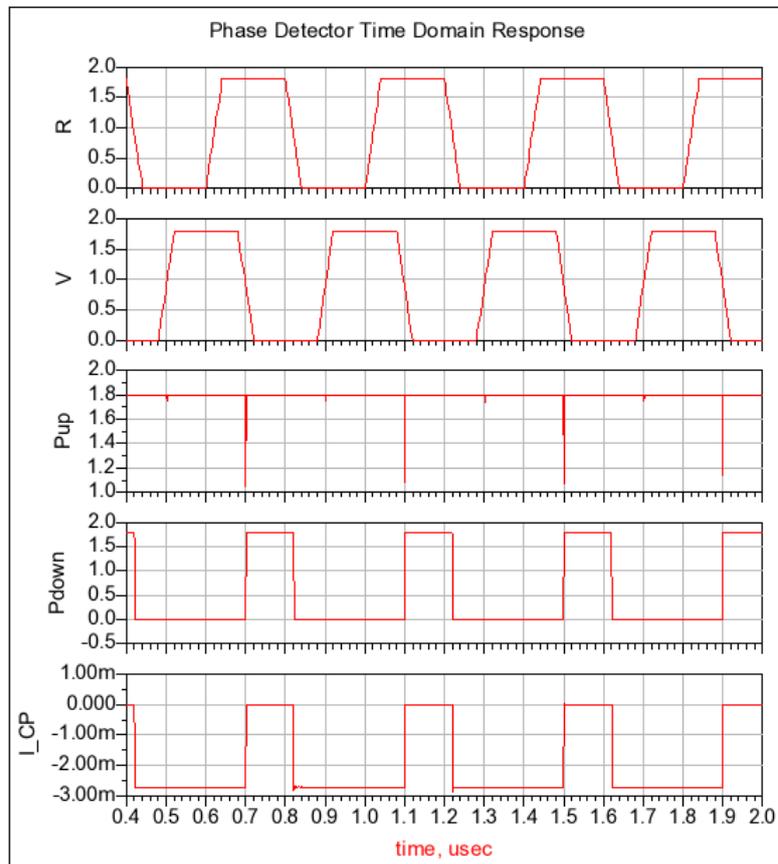


Figura 4.40. Resultado de la simulación del PFD con CP, señal V retrasada con R

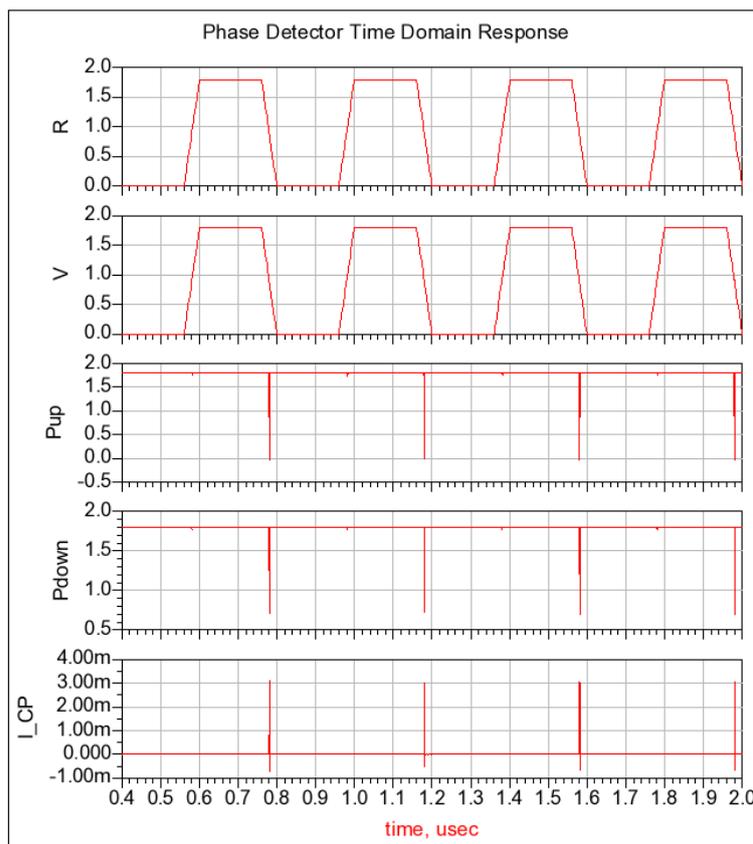


Figura 4.41. Resultado de la simulación del PFD con CP, señal V en fase con R

4.3. Filtro de bucle

En este apartado se llevará a cabo el análisis del filtro del bucle. Se expondrán unas nociones básicas de los filtros más utilizados y posteriormente se realizará el diseño del mismo.

El filtro del bucle es el elemento principal a considerar cuando se pretende analizar la estabilidad del lazo. Una vez diseñados los elementos principales de un sintetizador, la estabilidad del PLL se asegura con los parámetros del filtro.

4.3.1. Diseño del filtro

El filtro del bucle en un sintetizador debe ser paso-bajo. Existen varias técnicas de diseño para su implementación. Sin embargo, se ha escogido el método que ofrece Fujitsu [27] porque permite adaptarlo, es de fácil implementación, pues sus componentes son pasivos.

El esquema del filtro es el que se observa en la Figura 4.42. Se trata de un filtro de orden 2 porque está compuesto por dos condensadores, los cuales introducen dos polos en la función de transferencia del filtro. Por otro lado, el VCO

al que va conectado introduce un polo extra, por lo que la configuración final del filtro es la de tercer orden.

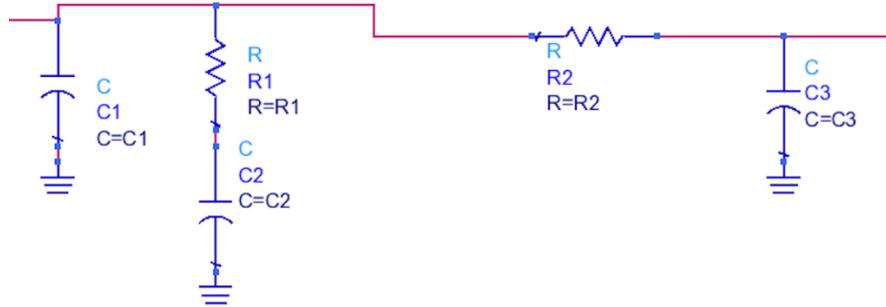


Figura 4.42. Esquema del filtro de orden 3

En la Tabla 4.7 se resumen los parámetros necesarios para poder calcular el filtro según el método que se va a utilizar. Estos parámetros o bien han sido especificados por el estándar o se han calculado con anterioridad.

Se ha elegido el valor normalizado de 1 ms para el tiempo de establecimiento ya que el estándar no proporciona este valor.

Por otro lado, la sensibilidad del VCO se ha calculado a partir de la siguiente expresión (4.23) que relaciona el intervalo de frecuencias del estándar con la respuesta ofrecida por el VCO.

$$K_{VCO} = \frac{\Delta f}{\Delta V} = \frac{(5200 - 4600)MHz}{(2,6 - 1)V} = 375 \text{ MHz/V} \quad (4.23)$$

La corriente de la bomba de carga (I_{cp}) se corresponde con el valor de K_d calculado al realizar el diseño del PFD con CP.

Tabla 4.7. Parámetros para calcular el filtro

Rango de frecuencias	2405 GHz – 2480 GHz
Espaciado de los canales (Channel Spacing)	2,5 MHz
Salto máximo de frecuencia (f_{step})	75 MHz
Tiempo de establecimiento (t_s)	1 ms
Precisión después del tiempo de establecimiento (f_a)	100
Sensibilidad del VCO (K_{VCO})	375 MHz/V
Corriente de la bomba de carga (I_{cp})	671,5 μA
Coeficiente de amortiguamiento (ξ)	0,707

Una vez que se ha obtenido el valor de todos los parámetros, se lleva a cabo el cálculo de los componentes que ponen el filtro según el método elegido. Lo primero que se debe calcular es el valor máximo de división (N). Para su cálculo, se necesita el valor máximo al que puede llegar el sintetizador, en este caso es 4,960 GHz entre el valor mínimo de ancho de banda de canal (2,5 MHz). El cálculo de N se halla a partir de la siguiente ecuación:

$$N = \frac{\text{Maximun VCO Frequency}}{\text{Channel Spacing}} = \frac{4,960 \text{ GHz}}{2,5 \text{ MHz}} = 1984 \quad (4.24)$$

Posteriormente, se halla la frecuencia natural (f_n) a partir de la siguiente expresión:

$$f_n = \frac{-1}{2\pi \cdot t_s \cdot \xi} \cdot \ln\left(\frac{f_a}{f_{step}}\right) = \frac{-1}{2\pi \cdot 1 \cdot 10^{-3} \cdot 0,707} \cdot \ln\left(\frac{100}{75 \text{ MHz}}\right) \quad (4.25)$$

$$= 3,0453 \text{ kHz}$$

Obtenidas las variables anteriores, el paso siguiente es calcular los componentes del filtro. Primero se empezará por el condensador C_2 a partir de la expresión:

$$C_2 = \frac{I_{cp} \cdot K_{VCO}}{N \cdot (2\pi \cdot f_n)^2} = \frac{671,5 \mu \cdot 375 \text{ M}}{1984 \cdot (2\pi \cdot 3,0453 \text{ K})^2} = 346,67 \text{ nF} \quad (4.26)$$

Seguidamente, el condensador C_1 se puede hallar con la siguiente ecuación:

$$C_1 = \frac{C_2}{10} = \frac{346,67 \text{ nF}}{10} = 34,667 \text{ nF} \quad (4.27)$$

A continuación, se halla el valor de R_1 mediante la expresión:

$$R_1 = 2 \cdot \xi \cdot \sqrt{\frac{N}{I_{cp} \cdot K_{VCO} \cdot C_2}} = 2 \cdot 0,707 \cdot \sqrt{\frac{1984}{671,5 \mu \cdot 375 \text{ M} \cdot 346,67 \text{ n}}} \quad (4.28)$$

$$= 213,1682 \Omega$$

Por último, para el cálculo de C_3 y R_2 , el método afirma que el producto de estos tiene que ser al menos de 1/10 del producto de R_1 y C_2 . Teniendo esto en cuenta, para hallar C_3 y R_2 se utilizaron las siguientes ecuaciones:

$$R_2 = R_1 = 213,1682 \Omega \quad (4.29)$$

$$C_3 = \frac{C_2}{10} = \frac{346,67}{10} = 34,667 \text{ nF} \quad (4.30)$$

En la Tabla 4.8 están resumidos los valores de los componentes que forman el filtro.

Tabla 4.8. Valores de los componentes del filtro

Componentes	Valor calculado
C_1	34,667 nF
C_2	346,67 nF
C_3	34,667 nF
R_1	213,1682 Ω
R_2	213,1682 Ω

Cabe destacar que una vez hallados todos los valores del filtro, puede que estos no sean los más óptimos para garantizar la estabilidad del sintetizador. Esto solo se puede comprobar con una simulación de la estabilidad del sistema completo, que se realizará en el capítulo 5.

4.4. Divisor rápido

En este último apartado se llevará a cabo el diseño del divisor rápido. Primero se hará un breve estudio de los divisores para elegir la arquitectura que mejor se adapte a los requisitos de nuestro sistema y luego se pasará a realizar el diseño del divisor en el ADS.

4.4.1. Introducción

Los divisores rápidos son unos de los elementos más complejos de diseñar, después del VCO. Esto se debe a que la frecuencia de funcionamiento de los divisores es muy alta y, por tanto, el diseño no se puede realizar con unos simples divisores digitales.

Si se diseñase el divisor con celdas estándar CMOS, se tendría un funcionamiento de cuello de botella en todo el sistema debido a los retardos de los *flips-flops*.

El estándar necesita de las señales de fase y cuadratura para las modulaciones que posee (ver Figura 4.43). Existen muchas formas de obtener estas señales, las cuales se comentarán a continuación [28].

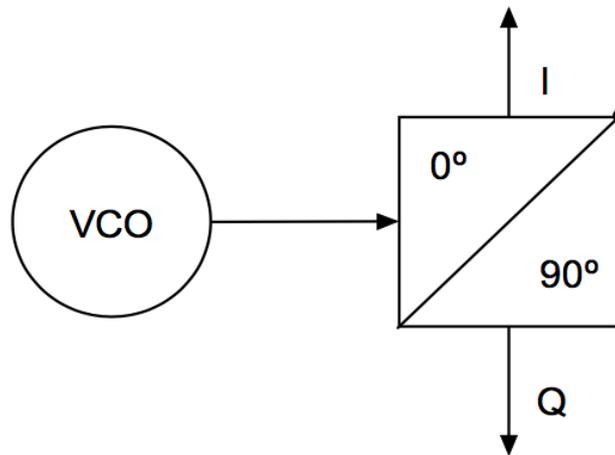


Figura 4.43. Generación de las señales I-Q

- VCO acoplados:** esta configuración se la conoce como *Couple Oscillators* y quiere decir que el propio VCO es capaz de generar estas señales, lo cual es una ventaja puesto que los valores a la salida del VCO estarían listos para usarse. El esquema se expone en el Figura 4.44, en donde se observa que se trata de dos VCO enganchados uno al otro. El inconveniente de este esquema es que ocuparía el doble de área (al ser dos VCOs).

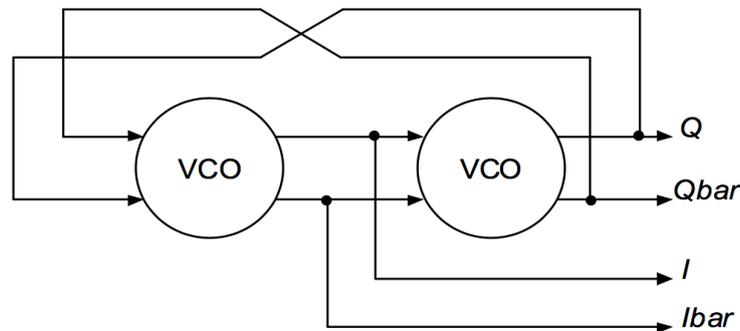


Figura 4.44. Generación de las señales I-Q con VCO acoplados

- PPF (Polyphase Filter):** con este tipo de configuración, el desfase se puede conseguir utilizando un filtro polifásico. Está formado por una red de tipo RC-CR donde el desfase es de 90° (ver Figura 4.45). Por desgracia, el cambio de fase ocurre para un rango de frecuencias muy estrecho. Por ejemplo, si la frecuencia varía más de un 1,7% entonces la variación será de ± 1 . Ahora bien, si la señal de entrada no es sinusoidal entonces se obtendrán armónicos a la salida y se conseguiría una distorsión en la forma de onda que se puede arreglar

colocando otros PPF en cascada. Hay que incorporar *buffers* por las pérdidas de los filtros, lo que provoca un mayor consumo.

Sin embargo, esta estructura es problemática de implantar porque habría que barrer un intervalo muy amplio de frecuencias, lo que provoca un alto elevado error de fase.

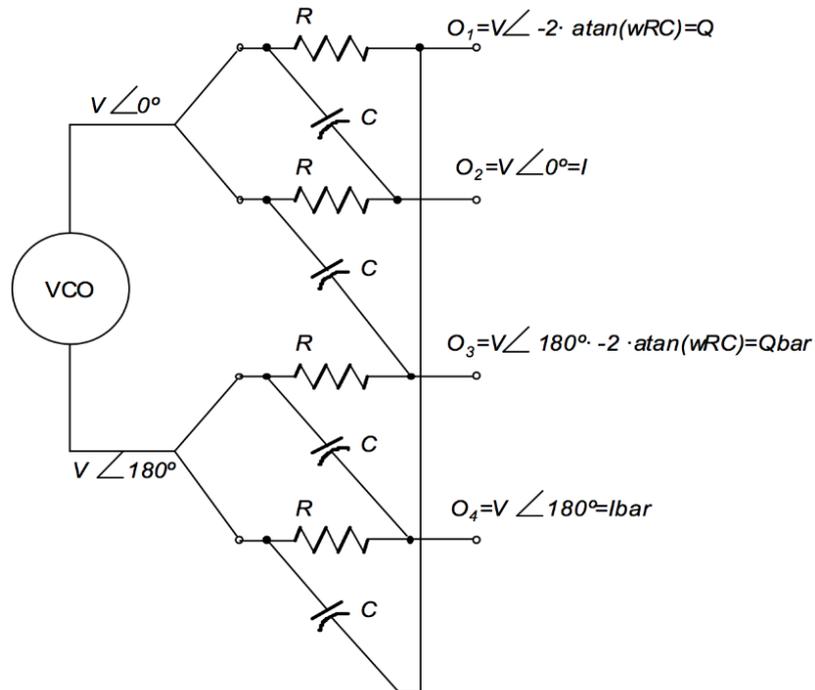


Figura 4.45. Generación de las señales I-Q con filtro polifásico

- **Divisores entre dos basados en *latch* tipo D en modo CML (*Current-Mode Logic*):** las señales de fase y cuadratura se obtienen utilizando un VCO y un divisor rápido por dos (ver Figura 4.46). El VCO debe de funcionar al doble de la frecuencia de salida y el divisor se implantará con *flip-flops* en configuración *master-slave*. Las señales de reloj deben de tener un ciclo de trabajo del 50%.

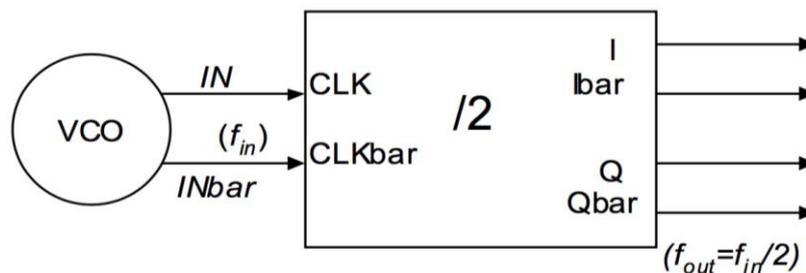


Figura 4.46. Generación de las señales I-Q con un divisor entre dos

4.4.2. Divisores rápidos

Hay diversas formas de realizar un divisor rápido entre dos. Se ha buscado una estructura cuyas entradas y salidas sean diferenciales, como pueden ser las estructuras CML.

Las configuraciones CML básicas están formadas por tres partes, como es una carga de *Pull-Up* para las salidas, una zona de trabajo PDN (*Pull-Down Network*) y, por último, una fuente de corriente constante. Esta configuración es completamente diferencial y, por lo tanto, es inmune al ruido en modo común (ver Figura 4.47). Dependiendo de la combinación de la entrada y de la implementación lógica del PDN, entonces la corriente fluirá por uno de los caminos, obteniendo así salidas complementarias. Por la rama en la que no circule la corriente, la salida alcanzará la tensión máxima de alimentación. Con respecto a la otra rama, la corriente fluirá a través de la resistencia de carga teniendo una amplitud de voltaje del orden de $V_{DD} - I_{bias} \cdot R_L$.

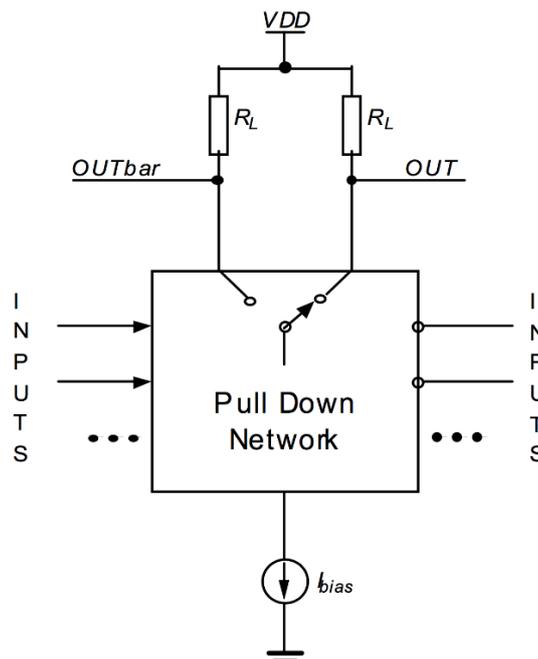


Figura 4.47. Esquema general de un CML

4.4.2.1. Latch tipo CML

Un *latch* tipo CML consiste en una etapa de muestreo y retención (*Sample and Hold*), ver Figura 4.48. La primera etapa consta de un amplificador diferencial (*Sample Pair*) y la segunda, se encarga de mantener la tensión en el nodo de salida (*Hold Pair*).

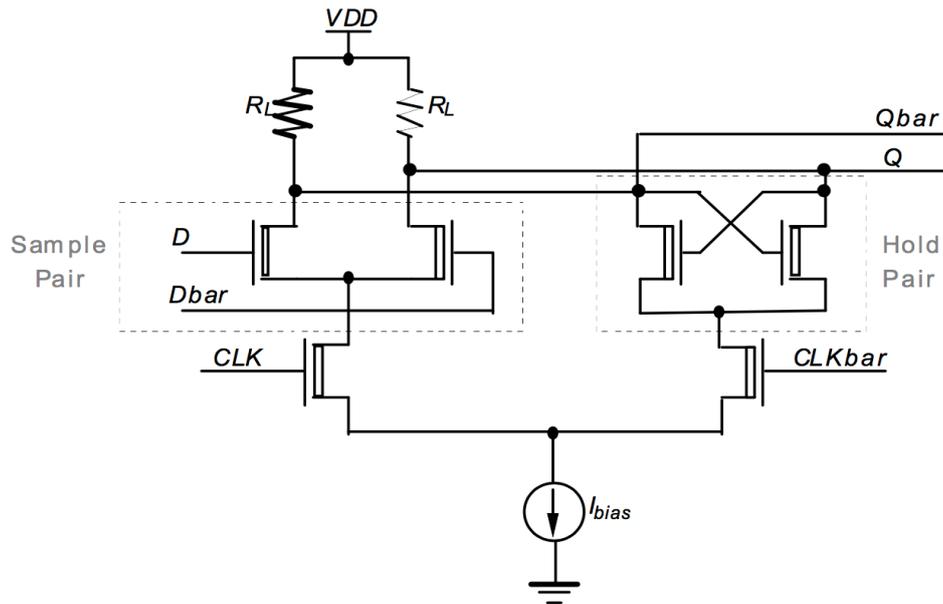


Figura 4.48. Esquema del Latch CML

En la parte de muestreo la corriente cambia junto al par, que toma las señales complementarias del reloj. Por tanto, el par de muestreo trabaja como si de un *buffer* CML se tratase. Según los datos de entrada, da diferentes datos de salida. Cuando la polaridad del reloj cambia el par de retención, los datos de salida realimentan al par de retención regenerando las señales del par. Esta última parte se conoce como retención porque no depende de los cambios que se producen en las señales de entrada.

4.4.2.2. Divisor basado en latch CML

Un divisor entre dos con una estructura CML está compuesto por dos *flip-flops* de tipo D en configuración *master-slave*. En la Figura 4.49 se observa que las salidas del primer *latch* se conectan con las entradas del segundo *latch* y las salidas del segundo *latch* se cruzan y se conectan con las entradas complementarias del primero. Las entradas de reloj son diferenciales. Al *D_latch1* se le conectan las entradas de reloj de forma paralelo, pero al *D_latch2* se engancha el reloj de forma complementaria [18][29].

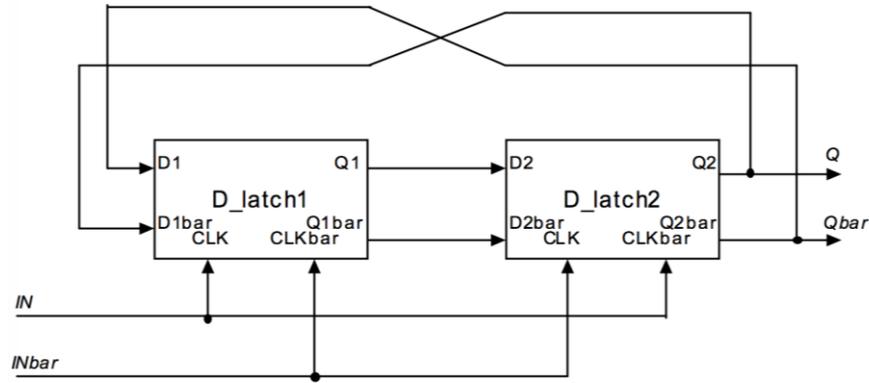


Figura 4.49. Configuración del divisor con CML

4.4.3. Diseño del divisor entre dos

El diseño del divisor por dos está formado por dos *latches* cruzados (Divisor Latch CM), el *buffer* de salida que va hacia el mezclador (Buffer Mezclador) y el *buffer* de salida adaptador al divisor programable (Buffer Divisor Programable) (ver Figura 4.50).

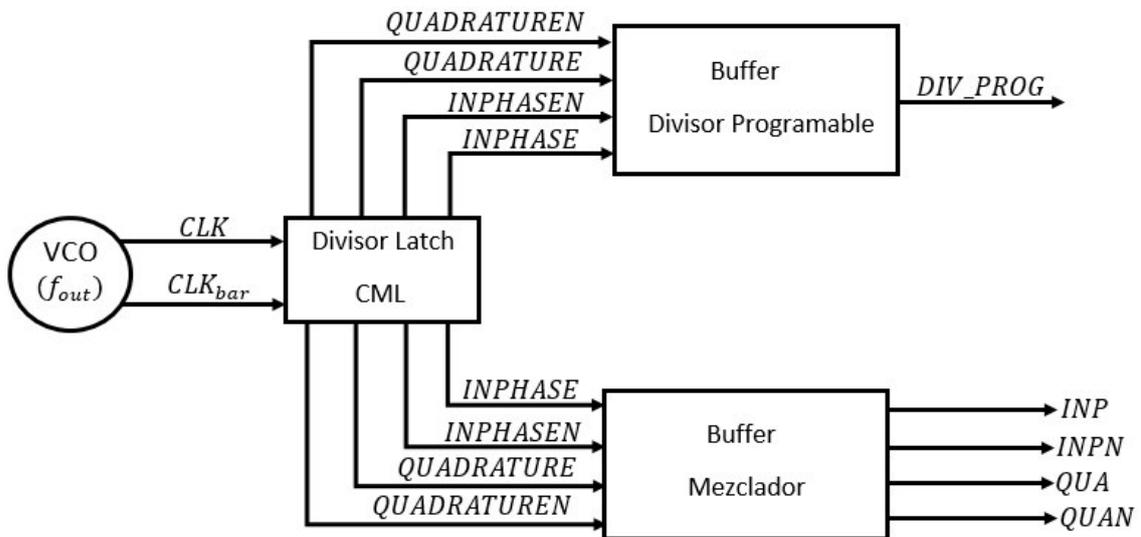


Figura 4.50. Estructura del divisor

Para poder excitar el divisor rápido con la salida del VCO se ha utilizado el esquema de la Figura 4.51, el cual modela los niveles de salida del mismo. Se ajustó el nivel de continua de la salida del circuito (CLK y CLKbar) para polarizar la etapa de entrada del divisor. Para ello, se utilizó un divisor de tensión formado por los transistores M5-M8.

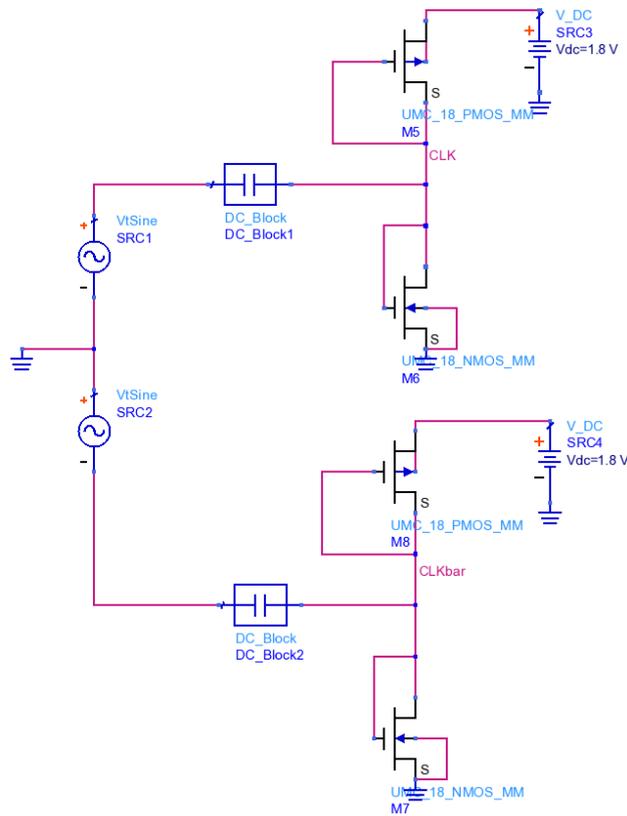


Figura 4.51. Esquema para la salida del VCO

En la Tabla 4.9 se observan las dimensiones de los transistores.

Tabla 4.9. Dimensiones de los transistores de la salida del VCO

Dimensiones de los transistores	
w_n	$30 \mu m$
l_n	$1 \mu m$
nf_n	1
w_p	$(6 \cdot w_n) \mu m$
l_p	$1 \mu m$
nf_p	1

4.4.3.1. Divisor Etapa Latch

En esta parte se realiza el diseño del divisor por dos con *latches*. La estructura utilizada es la que se presentó en la Figura 4.49.

En un primer momento se realizó el esquema con transistores MM (ver Figura 4.52), en donde se tuvo que ajustar sus parámetros y también los de las resistencias de *pull-up* para conseguir la división deseada.

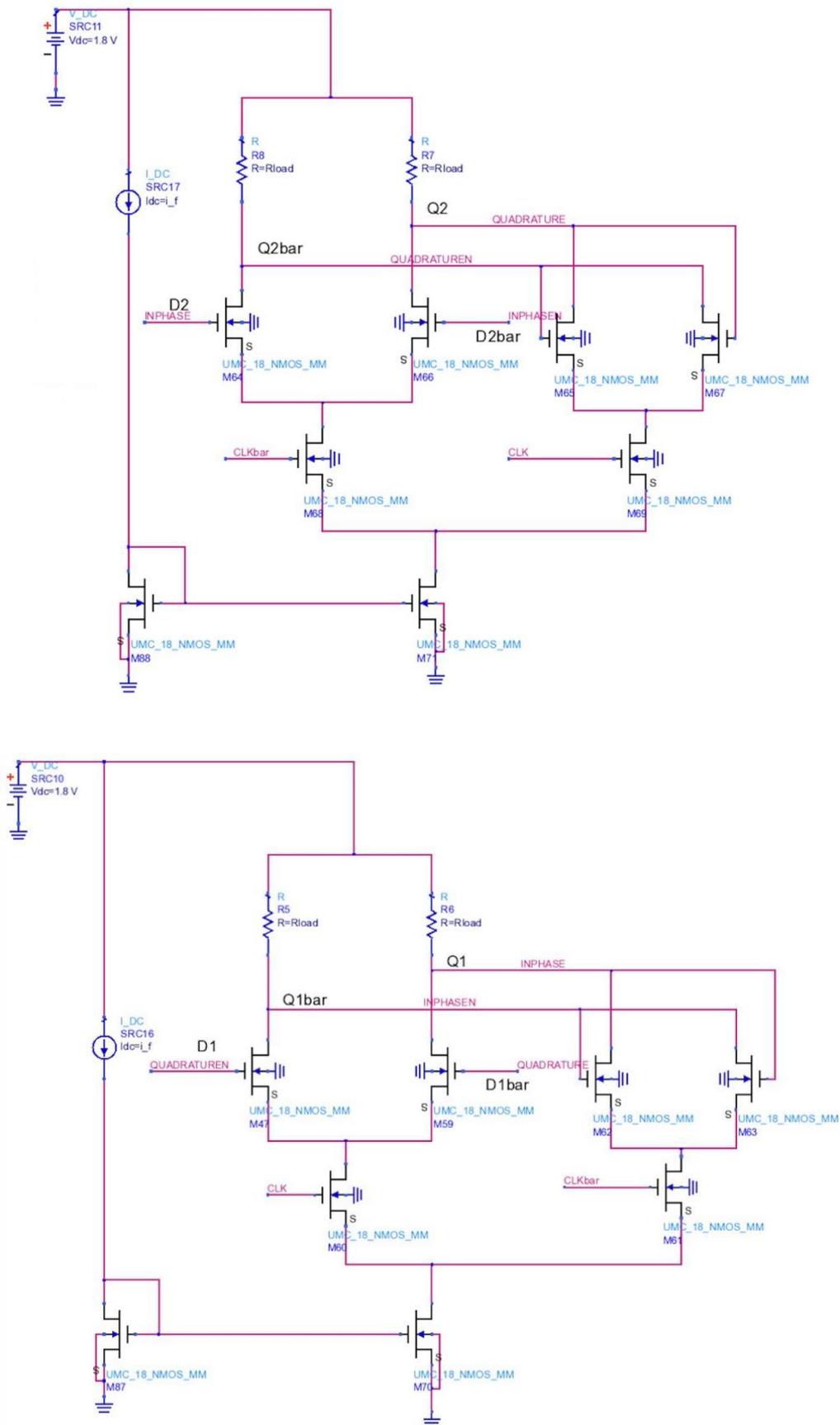


Figura 4.52. Esquema del latch con transistores MM

En la Figura 4.53 se muestran los resultados obtenidos del divisor con transistores MM. Se deduce de esta simulación que el divisor realiza la división correctamente. Sin embargo, la forma de onda no es una sinusoidal perfecta provocando que se produzcan ciertos errores a la hora de generar las señales de fase y cuadratura.

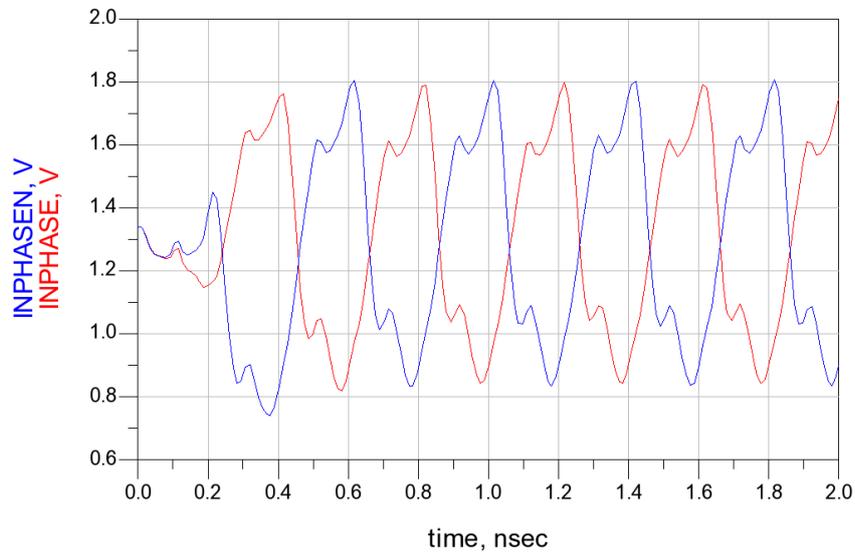


Figura 4.53. Resultado de la simulación del latch con transistores MM

Los circuitos *latch* primero se diseñaron con una fuente de corriente ideal, para conocer el punto de polarización de los transistores. Posteriormente, se sustituyó esta fuente de corriente por un espejo de corriente, cuya corriente de referencia es de $I_{ref} = 45 \mu A$. Y después, se pasó a ajustar los transistores que componen el espejo de corriente para que al circuito le llegue $I = 90 \mu A$.

Para determinar el valor de los transistores que componen el espejo de corriente se hizo uso de la ecuación (4.12). En la Tabla 4.10 se muestra un resumen de los valores de los transistores.

Tabla 4.10. Dimensiones de los transistores que forman el espejo de corriente del latch

Dimensiones de los transistores	
w_{n1}	$3 \mu m$
l_{n1}	$0,4 \mu m$
n_{fn1}	1
w_{n2}	$(2 \cdot w_{n1}) \mu m$
l_{n2}	$0,4 \mu m$
n_{fn2}	1

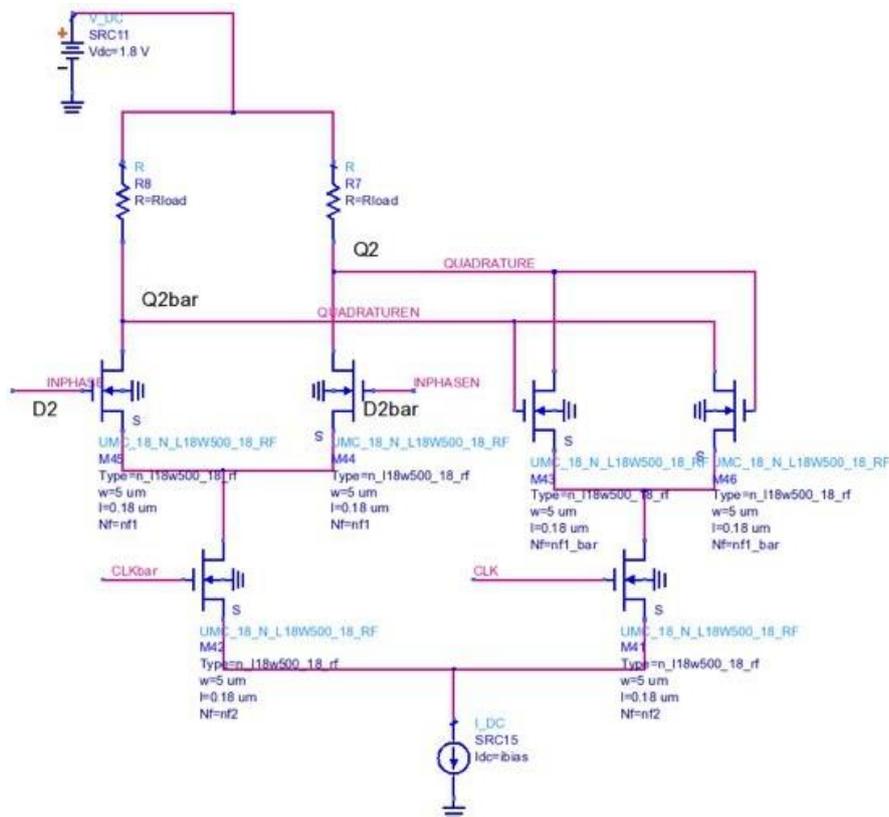
Una vez que se conoce la corriente que hace que los transistores funcionen correctamente, se pasa a determinar las dimensiones de los que componen el par diferencial.

En la Tabla 4.11 se muestran las dimensiones de los transistores MM que forman parte del *latch*.

Tabla 4.11. Dimensiones de los componentes que forman el latch con transistores MM

Dimensiones de los componentes		
Transistores de la etapa diferencial	w_{n1}	1 μm
	l_{n1}	0,18 μm
	nf_{n1}	1
Transistores de la señal de reloj	w_{n2}	1 μm
	l_{pn2}	0,18 μm
	nf_{n2}	3
Resistencia de carga	R_{load}	11,2 $k\Omega$

Comprobado que el divisor funciona correctamente con los transistores MM, el paso siguiente es cambiarlos por los de RF, quedando el esquema de la siguiente de la forma (ver Figura 4.54).



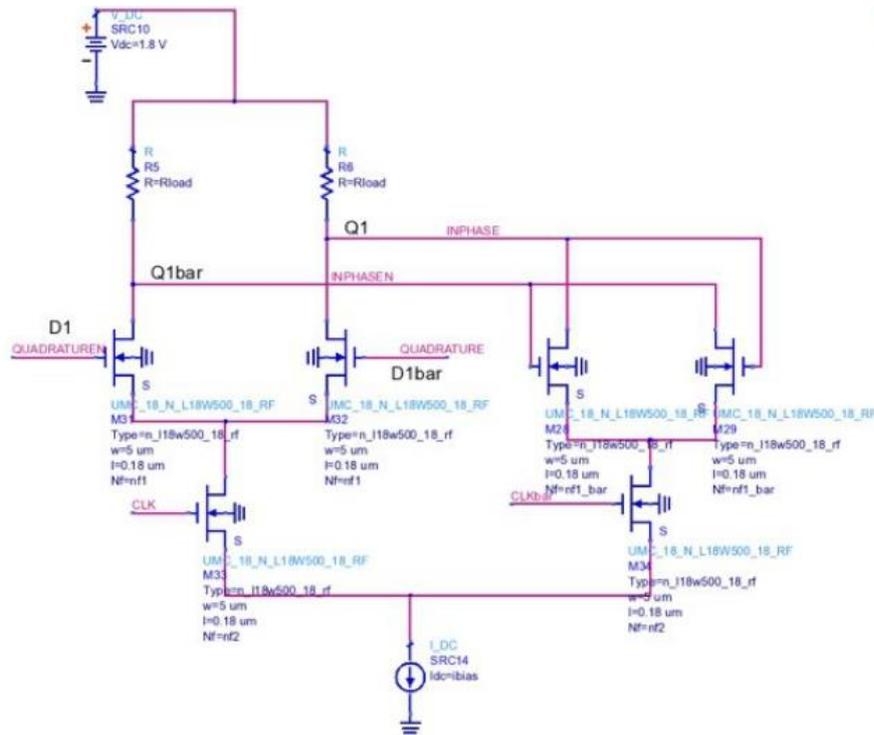


Figura 4.54. Esquema del latch con transistores de RF

Sin embargo, al realizar la simulación (ver Figura 4.55) se puede observar a priori que realiza la división esperada. En cambio, la señal no es una senoide perfecta y, como se comentó anteriormente, eso provocaría pérdidas de conversión en el mezclador. Llegados a este punto, se observa que tanto el esquema realizado en la Figura 4.52 (con transistores MM) como el de la Figura 4.54 (con transistores de RF) generarán pérdidas en mezclador. Para optimizar ambos, se diseñaron dos inversores, uno con transistores MM y otros con los de RF (ver Figura 4.56) y se calculó cuál de los dos presentan una mejor respuesta ante frecuencias altas.

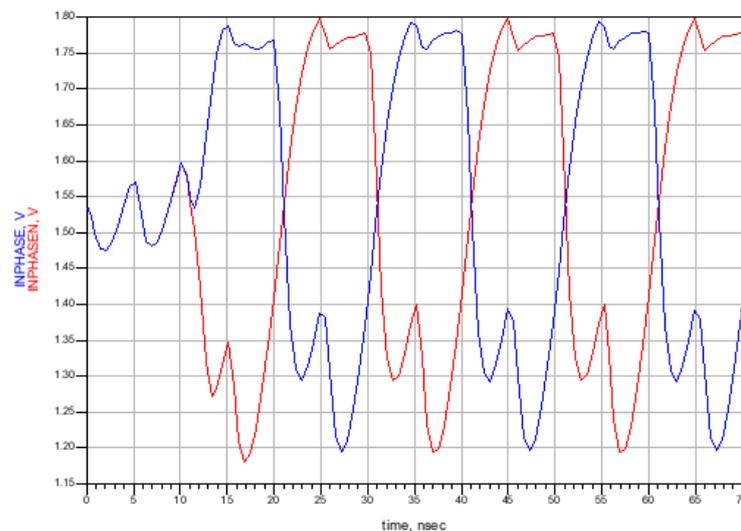


Figura 4.55. Resultados de la simulación del latch con transistores RF

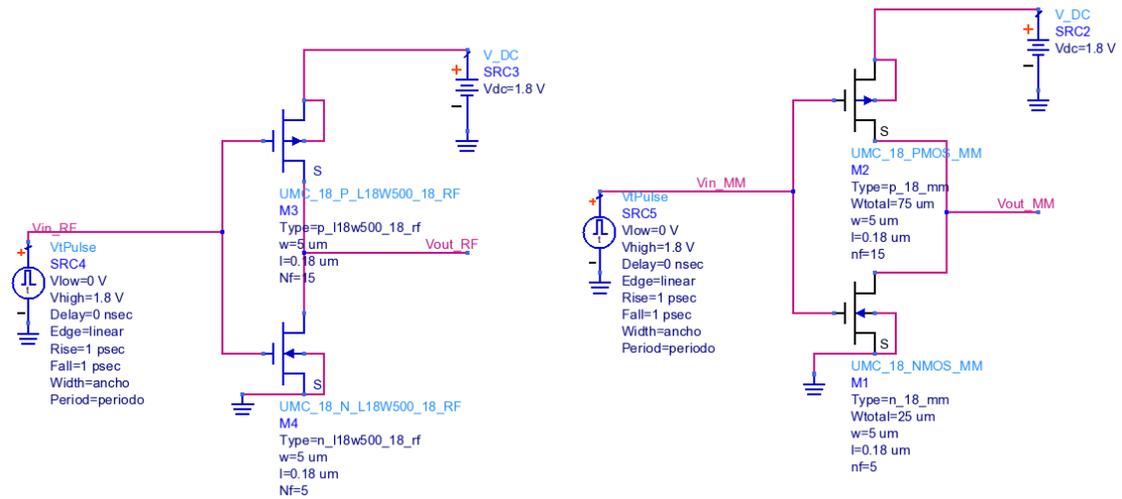


Figura 4.56. Circuito inversor con transistores RF y MM

En la Figura 4.57 se expone la simulación de los inversores. Como se puede ver, los que mejor respuesta ofrecen son los transistores MM.

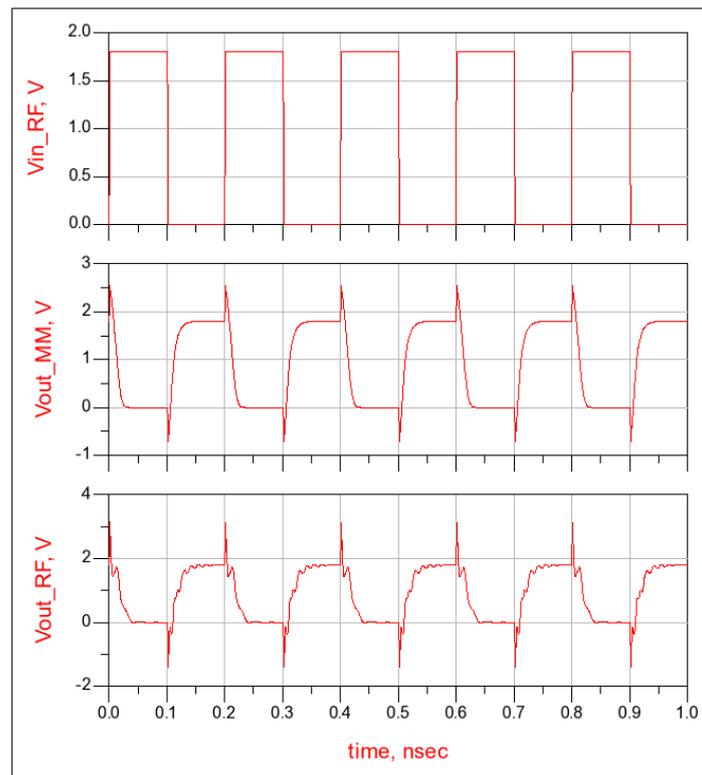


Figura 4.57. Resultados de la simulación del inversor con transistores RF y MM

Por tanto, el divisor que se utilizará será el de la Figura 4.52. Con este esquema, se determinaron las señales de fase y cuadratura. Para ello se analizaron las salidas del *latch* para comprobar que el desfase era el correcto.

El cálculo del desfase se hizo a partir de un período de la señal de en fase (*INPHASE*) y se le restó el desfase respecto a la señal en cuadratura

(*QUADRATURE*). El resultado debe ser un valor cercano a los 90° . En la Tabla 4.12 se muestra el desfase de ambas señales.

La forma de calcularlo en el ADS es haciendo uso de marcadores y representarlo de tal manera que en el X se encuentre la amplitud y en el Y el tiempo, tal y como se muestra en la Figura 4.58.

Tabla 4.12. Ángulos de desfase del divisor

Frecuencia (GHz)	Desfase (°)
4	86,981
5	87,088

$$\text{Eqn signal_inp_latch}=(\text{var}(\text{"INPHASE"})-\text{var}(\text{"INPHASEN"}))$$

$$\text{Eqn signal_cua_latch}=(\text{var}(\text{"QUADRATURE"})-\text{var}(\text{"QUADRATUREN"}))$$

$$\text{Eqn signal_dif}=(\text{signal_inp_latch}-\text{signal_cua_latch})$$

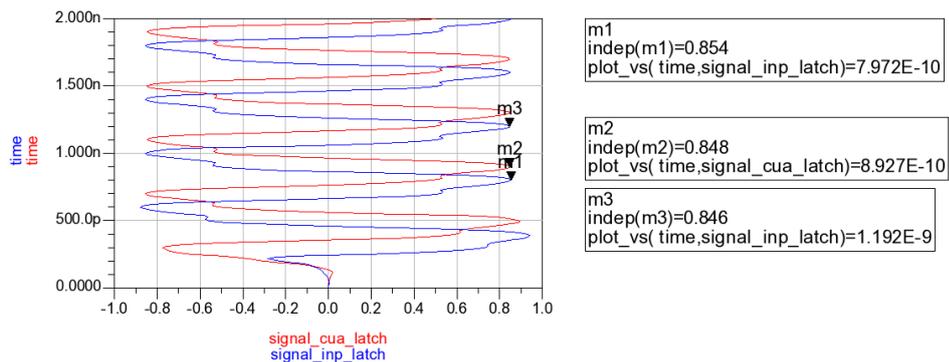


Figura 4.58. Simulación del desfase en el divisor

4.4.3.2. Buffer de salida hacia mezclador

Debido a que la etapa del divisor por dos no es óptima para dar por ella misma la potencia de salida ya que si se sobrecarga el divisor dejaría de hacer su propósito. Por ello, se necesitan un par de *buffers*, uno para la fase y otro para la cuadratura [30]. A la salida de cada *buffer* se le conectan las señales diferenciales de fase (INP e INPN) y de cuadratura (QUA y QUAN) (ver Figura 4.59).

Para realizar el diseño del buffer, se utilizó el esquema de la Figura 4.59 con fuentes de corriente ideales para conocer el punto de polarización de los transistores, obteniendo que los valores de la corriente que pasan por el drenador de los transistores M83, M90, M93 y M95 es de $I = 0,9 \text{ mA}$, mientras que la corriente del drenador de los transistores de M81 y M94 es de $I = 90 \mu\text{A}$. En la

Tabla 4.13 se muestran las dimensiones de los componentes utilizados para el diseño del buffer.

Tabla 4.13. Dimensiones de los componentes del buffer de salida hacia el mezclador

Dimensiones de los componentes		
Transistores de la etapa diferencial	w_{n1}	0,8 μm
	l_{n1}	0,19 μm
	nf_{n1}	1
Transistores M89 y M96	w_{n1}	0,3 μm
	l_{n1}	0,18 μm
	nf_{n1}	1
Transistores M83, M90, M93 y M95	w_{n2}	$(5 \cdot w_{n1}) \mu\text{m}$
	l_{n2}	0,18 μm
	nf_{n2}	1
Transistores M81 y M94	w_{n3}	$(2 \cdot w_{n1}) \mu\text{m}$
	l_{n3}	0,18 μm
	nf_{n3}	1
Transistores M47, M48, M59 y M58	w_{n4}	5 μm
	l_{n4}	0,19 μm
	nf_{n4}	1
Resistencia de carga	R_{load}	11,5 $k\Omega$
Transistores RF de salida	w_{n5}	5 μm
	l_{n5}	0,18 μm
	nf_{n5}	5

Posteriormente, se cambiaron las fuentes ideales por un espejo de corriente cuya corriente de referencia es de $I_{ref} = 80 \mu\text{A}$. Los valores de los transistores del espejo de corriente se obtuvieron haciendo uso de la relación (4.12). Polarizados los transistores, se ajustaron las dimensiones de los transistores que componen el buffer.

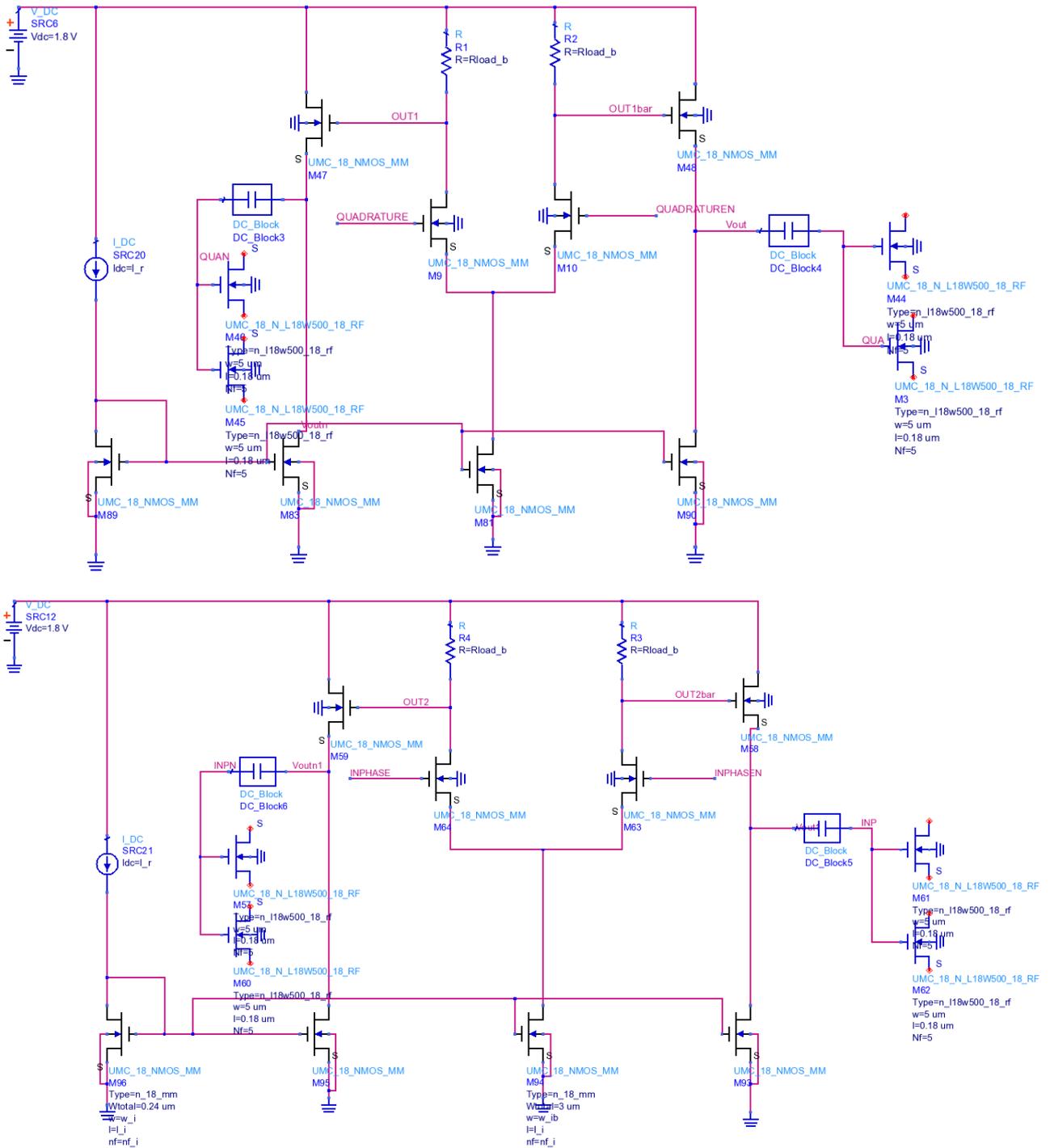


Figura 4.59. Esquema del buffer de salida hacia el mezclador

La salida que se obtiene al implementar estos *buffers* con los *latches* se muestra en la Figura 4.60, obteniendo una tensión para cada nodo de salida (QUA y QUAN) de $V_{pp} = 859\text{ mV}$ suficiente para atacar el mezclador.

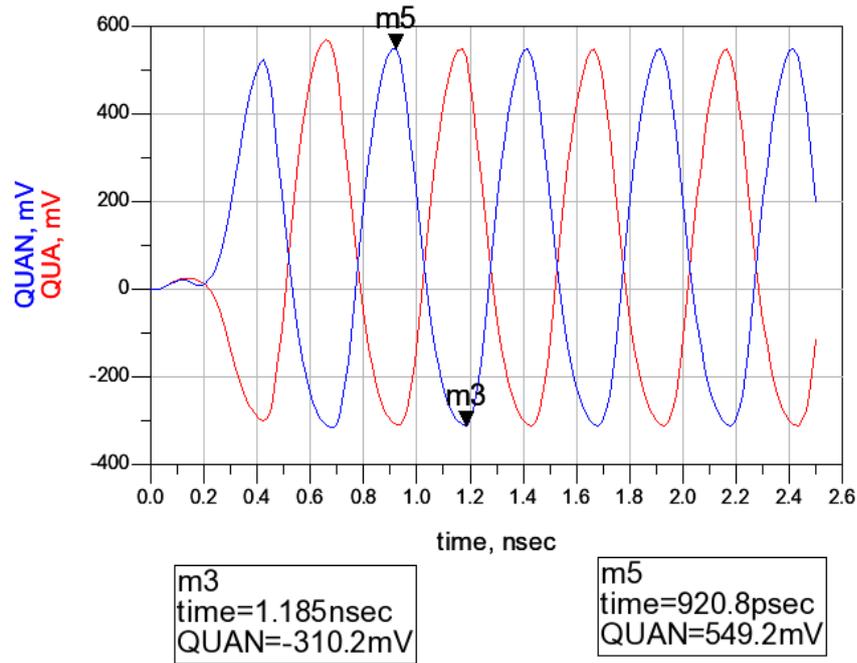


Figura 4.60. Resultado de la simulación del latch con el buffer de salida hacia el mezclador

4.4.3.3. Buffer del divisor programable

El último bloque a diseñar es el buffer que conecta el divisor rápido con el programable, puesto que necesita una entrada de reloj asimétrica y no diferencial.

Por ello, la estructura que se va a realizar es la de un convertor de CML a CMOS tal y como se observa en la Figura 4.61.

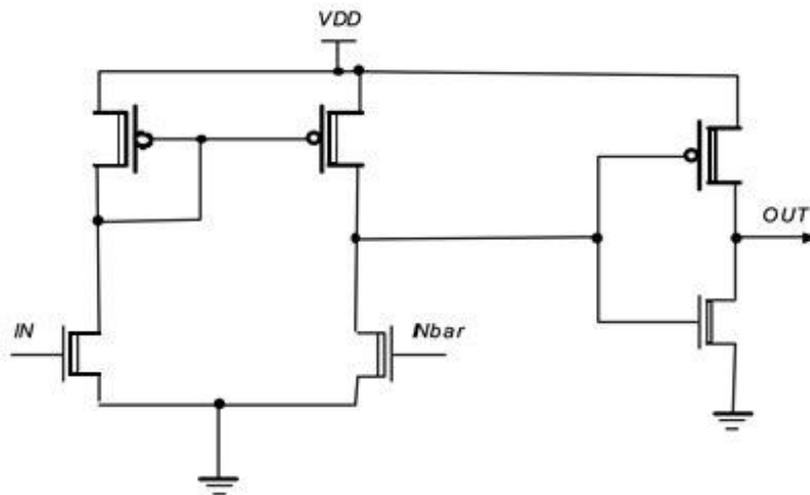


Figura 4.61. Convertor de CML a CMOS

Este convertor está formado por una etapa diferencial en donde una rama posee un transistor en forma de carga activa y a la otra se le incorpora otro transistor para fijar el nivel máximo de excursión a la salida.

La salida diferencial se compone de una etapa inversora para obtener una señal limpia en forma digital. Hay que tener en cuenta que la corriente necesaria para esta etapa no tiene que ser muy alta, pero debe ser suficiente para que la señal le llegue al siguiente inversor y pueda reconstruir la señal en los niveles óptimos.

En un primer momento el circuito se realizó con una fuente de corriente ideal, para conocer la corriente que polariza los transistores y la que mejor se adecúa para dar la salida digital dentro de los niveles óptimos.

Tabla 4.14. Dimensiones de los transistores del buffer de salida hacia el mezclador

Dimensiones de los transistores		
Transistores de la etapa diferencial	w_{n1}	$3 \mu m$
	l_{n1}	$0,4 \mu m$
	nf_{n1}	1
Transistores de la carga activa y de la excursión a la salida	w_{p1}	$(2 \cdot w_{n1}) \mu m$
	l_{p1}	$0,4 \mu m$
	nf_{p1}	1
Transistor del espejo de corriente	w_{n1}	$3 \mu m$
	l_{n1}	$0,4 \mu m$
	nf_{n1}	1
	w_{n2}	$(1,37 \cdot w_{n1}) \mu m$
	l_{n2}	$0,4 \mu m$
	nf_{n2}	1
Transistores de la salida inversora	w_{p1}	$0,4 \mu m$
	l_{p1}	$0,18 \mu m$
	nf_{p1}	1
	w_{n1}	$0,4 \mu m$
	l_{n1}	$0,18 \mu m$
	nf_{n1}	1

En la Tabla 4.14 se muestran las dimensiones de los transistores para llevar a cabo este buffer. Cabe destacar que para el cálculo de las dimensiones del espejo de corriente se hizo uso de la ecuación (4.12) y se fijó una fuente de corriente de

referencia de $I_{ref} = 45 \mu\text{A}$ para que el circuito tenga una corriente total de $I = 62,2 \mu\text{A}$.

Posteriormente, la fuente de corriente se cambió por un espejo de corriente. El esquema final en el ADS se muestra en la Figura 4.62.

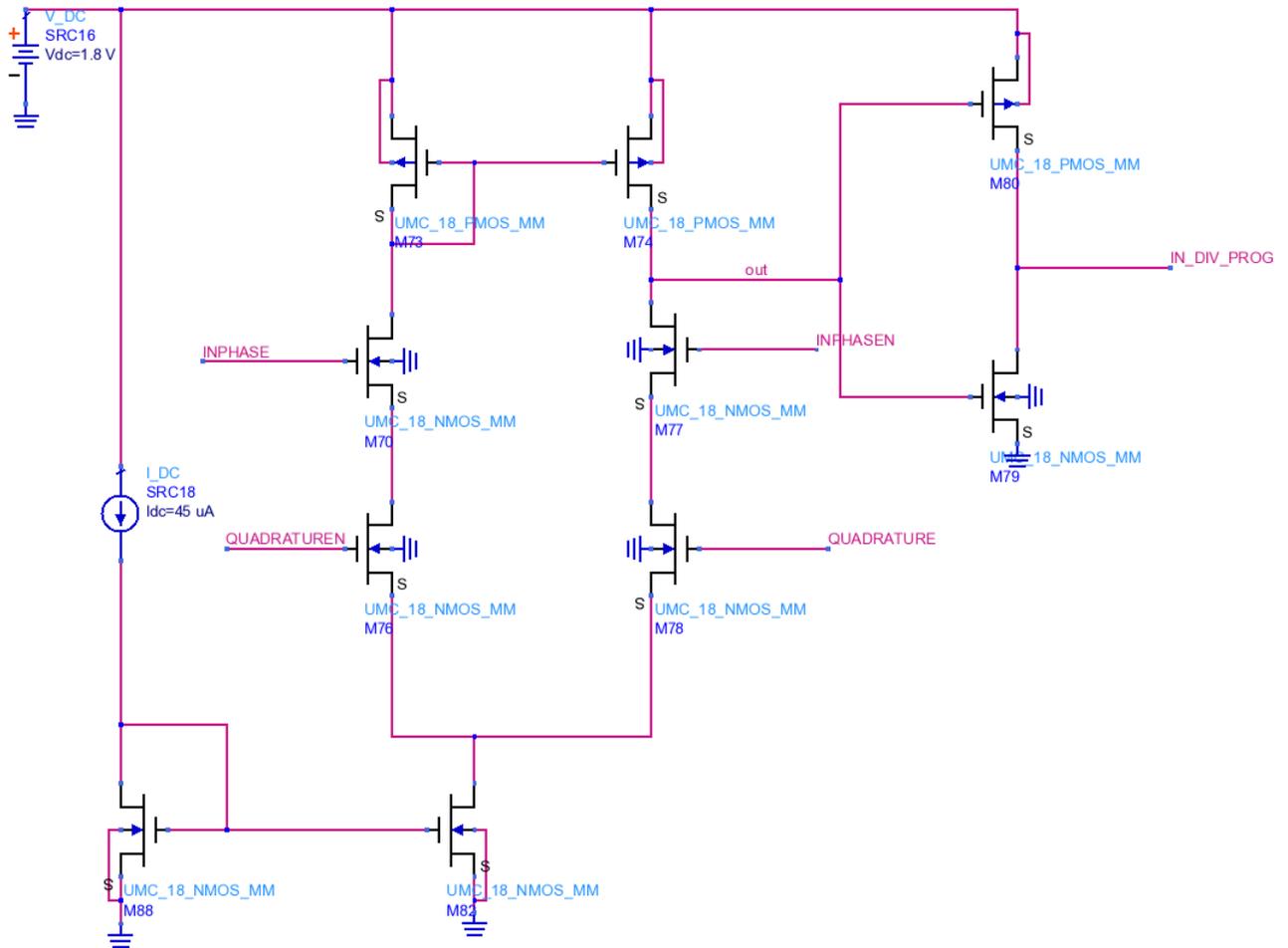


Figura 4.62. Esquema del conversor de CML a CMOS

La respuesta obtenida de este circuito se muestra en la Figura 4.63, en donde se observa que la señal de salida digital es una onda cuadrada (IN_DIV_PROG). Las señales de entrada son *INPHASE*, *INPHASEN*, *QUADRATURE* y *QUADRATUREN*, mientras que *out* se corresponde con la salida diferencial.

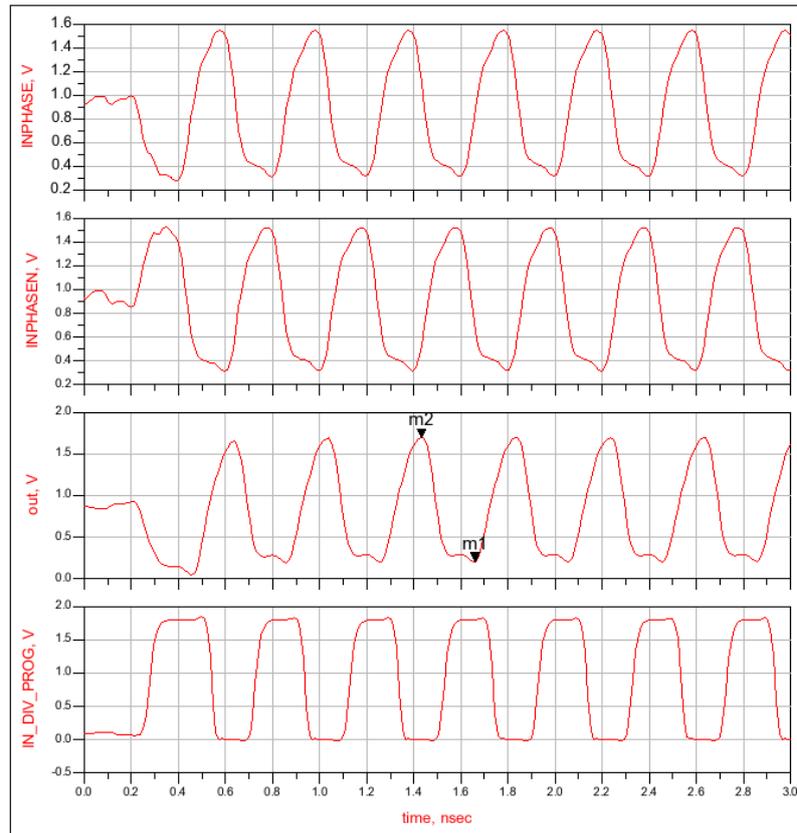


Figura 4.63. Resultados de la simulación del conversor de CML a CMOS

4.5. Resumen

En este capítulo se ha llevado a cabo el estudio, diseño y simulación de cada uno de los bloques que forman parte del sintetizador. Se empezó con el estudio, diseño y simulación del VCO para conocer el ruido que iba a aportar este bloque. Se continuó con el diseño del detector de fase-frecuencia con bomba de carga. Seguidamente, se realizó el estudio del filtro pasivo de tipo 2 orden 3, para finalmente, diseñar el divisor rápido.

Realizado el estudio de cada uno de los bloques, el siguiente paso es llevar a cabo la simulación de todas las partes del sintetizador de manera conjunta y estudiar su comportamiento.

Capítulo 5.

5. Sintetizador completo

En este capítulo se comprobará el correcto funcionamiento del sintetizador completo. Se estudiarán la estabilidad del filtro, el ruido de fase que posee y la respuesta transitoria del sistema para determinar si cumple con los objetivos del estándar.

5.1. Introducción

Terminado el diseño de todos los bloques del sintetizador, ahora hay que comprobar si el conjunto funciona correctamente. Para ello, se van a llevar a cabo una serie de simulaciones para determinar la estabilidad, el ruido de fase y el enganche de frecuencia del sintetizador.

La primera simulación consiste en comprobar si el bucle es estable con los valores calculados del filtro. La siguiente simulación consiste en conocer el ruido de fase que aporta cada uno de los bloques que conforman el sintetizador. Por último, se comprueba si el sistema sintetiza el valor de frecuencias especificado por el usuario pasado un tiempo transitorio.

5.2. Simulación de la respuesta del bucle

Para realizar esta simulación, se ha hecho uso de unos *setups* de simulación que posee el ADS. Los esquemas utilizados para el estudio de la estabilidad del sistema son cuando el bucle está abierto, cerrado y su respuesta en frecuencia (ver Figura 5.1 a Figura 5.3).

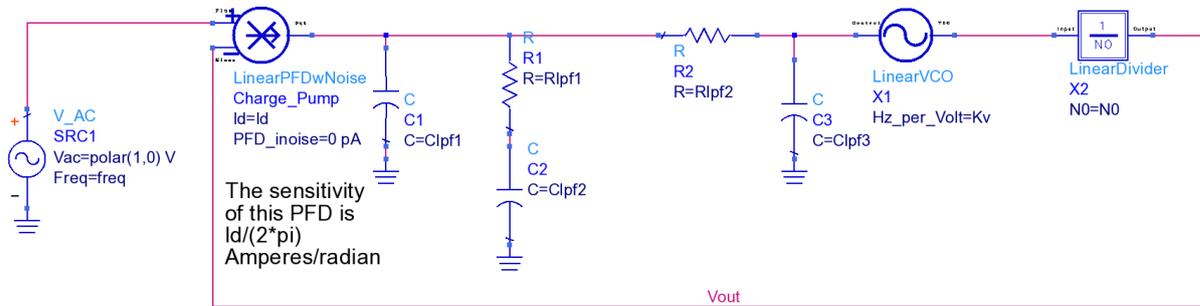


Figura 5.1. Esquema de la respuesta del sistema para bucle cerrado

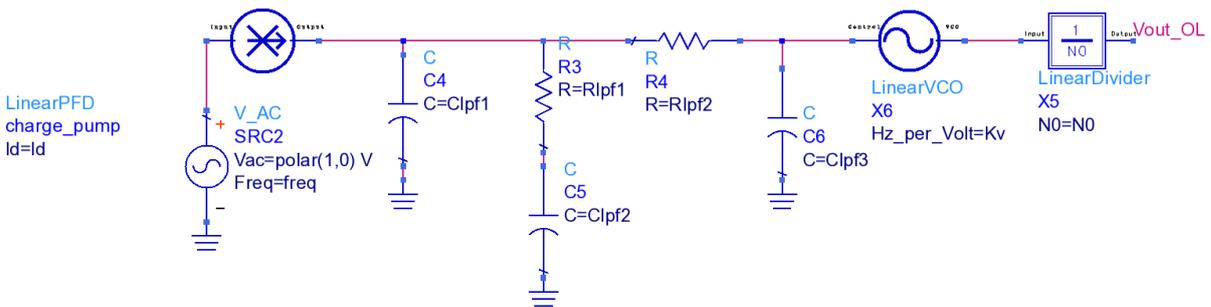


Figura 5.2. Esquema de la respuesta del sistema para bucle abierto

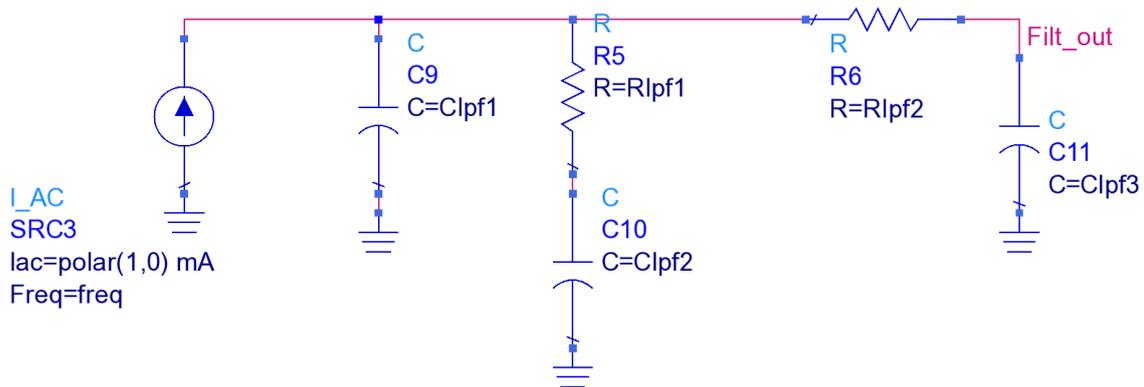


Figura 5.3. Esquema de la respuesta del sistema en frecuencia

Como se puede observar, en estos esquemas hacen falta los valores de los parámetros del filtro que se calcularon en el capítulo anterior (ver Tabla 4.8).

En estos circuitos el VCO está modelado por el elemento de la librería del ADS denominado *LinearVCO*, en donde se debe insertar el valor de la constante

de sensibilidad del VCO (ecuación (4.23)) y, el divisor por el componente *LinearDivider*, donde hay que poner el factor de división calculado (ecuación (4.24)). En el caso del detector fase y bomba de carga, su modelado para el bucle cerrado se hace mediante el componente *LinearPFDwNoise* y para bucle abierto es *LinearPFD*. En ambos casos, se hace uso del valor obtenido de la corriente en la simulación del detector de fase con bomba de carga (ver Figura 4.38).

Al realizar la simulación con los valores de los componentes del filtro, se obtuvo la Figura 5.4. Del resultado se deduce que el sistema no es estable puesto que el margen de fase no está comprendido entre los 45° y los 60°. Al ser el margen de fase un valor pequeño de 4,541°, el sistema puede oscilar por cualquier tipo de variación, ya sea por los cambios de temperatura o al realizar un cambio de los componentes.

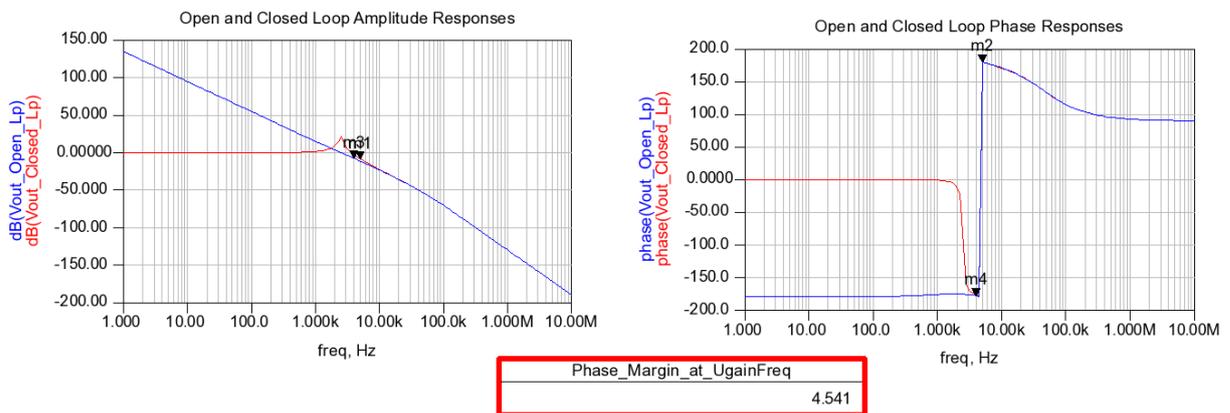


Figura 5.4. Resultado de la simulación del margen de fase del sistema

Para solucionar este problema, se tuvo que volver a realizar los cálculos de los parámetros del filtro. Se varió la relación del cálculo del condensador C_3 y la resistencia R_2 , quedando las expresiones de la siguiente manera:

$$R_2 = 3 \cdot R_1 = 3 \cdot 213,168 = 639,5047 \Omega \quad (5.1)$$

$$C_3 = \frac{C_2 \cdot R_1}{40 \cdot R_2} = \frac{346,67n \cdot 213,168}{40 \cdot 639,5047} = 2,8889 \text{ nF} \quad (5.2)$$

Se insertan esos valores en los esquemáticos anteriores y la respuesta obtenida es la que se muestra en la Figura 5.5.

En ella se obtiene que el sistema es estable ya el margen de fase se aproxima a los 50°, cuyo valor se encuentra dentro de los valores mínimos y máximos del margen de fase.

También se observa que para una frecuencia de $4,467 \text{ kHz}$ se obtiene la ganancia unitaria y la respuesta en fase del sintetizador para esa frecuencia es de $-130,136^\circ$.

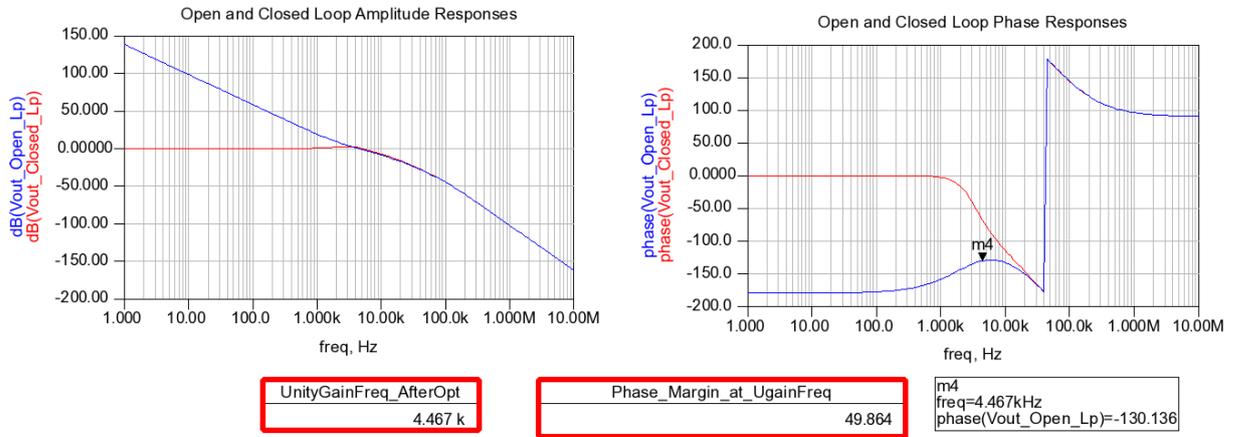


Figura 5.5. Resultados finales del margen de fase

En la Tabla 5.1 se muestran los valores finales de los componentes del filtro. De estos valores dependen las siguientes simulaciones del sistema.

Tabla 5.1. Valores finales de los componentes del filtro

Componentes	Valor calculado
C_1	34,667 nF
C_2	346,67 nF
C_3	2,8889 nF
R_1	213,168 Ω
R_2	639,5047 Ω

5.3. Simulación de la respuesta transitoria

En este apartado se va a comprobar que el sintetizador es capaz de cambiar de una frecuencia de salida a otra.

El esquema que se va a utilizar se muestra en la Figura 5.6. En este esquema el bloque del PFD y CP se corresponden con los modelos reales diseñados en el capítulo 4 de esta memoria.

El bloque del $VCO_DividebyN$ se trata de un VCO ideal al que se le pone como característica la curva de tensión de control-frecuencia de salida del VCO. Se utiliza este bloque en lugar del real porque así se redujo el tiempo de simulación del sintetizador. Esto se debe a que, al utilizar frecuencias del orden de GHz y MHz,

sería necesario un gran número de muestras para conseguir una apreciación clara del comportamiento del sintetizador.

La función del bloque *SDD2P1* es adecuar la señal de la salida del VCO de diente de sierra a una señal en forma cuadrada para así poder atacar al detector.

También se encuentra el filtro pasivo de orden 3. Los valores que se han utilizado son los de la Tabla 5.1. Finalmente, está la señal que actúa como referencia V_{ref} .

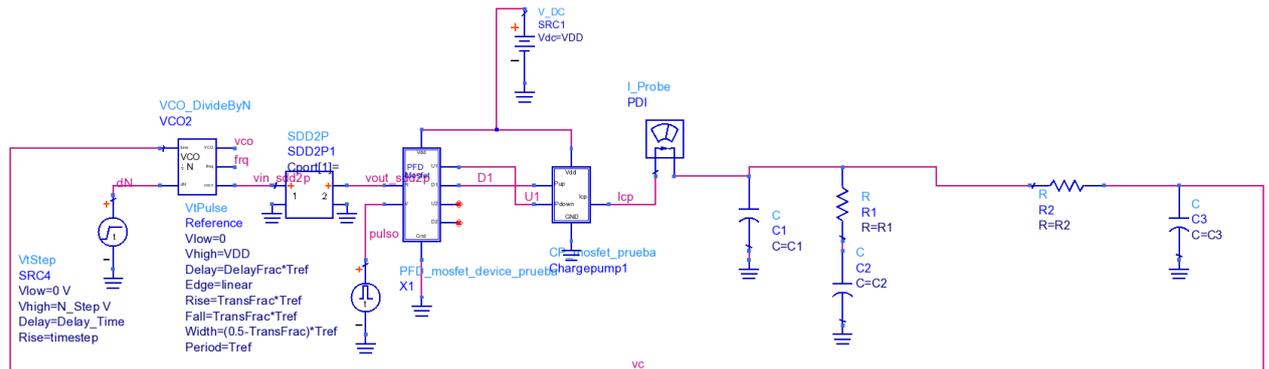


Figura 5.6. Esquema para la simulación transitoria del sintetizador

En la Figura 5.7 se muestra el resultado de la simulación. En ella se puede observar que el sintetizador inicialmente está enganchado a la frecuencia 4810 MHz. A los 3ms se le cambia el factor de división y el sintetizador cambia a la frecuencia de 4960 MHz en 4ms, siendo el tiempo de establecimiento de 1 ms.

En la Figura 5.8 se observa la variación de tensión de salida del filtro. Para que el VCO genere la frecuencia de 4810 MHz, la tensión de salida obtenida es de $299,6 \mu V$, mientras que para 4960 MHz la tensión es de $4 mV$.

Por último, en la Figura 5.9 se muestra la salida de la bomba de carga con respecto al tiempo. En ella se observan los pulsos de corriente para el caso de 4810 MHz y 4910 MHz.

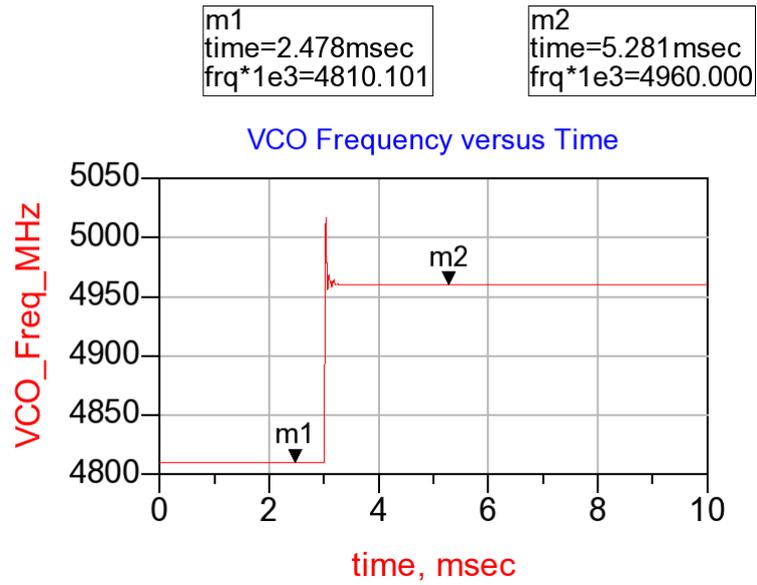


Figura 5.7. Resultado de la simulación transitoria

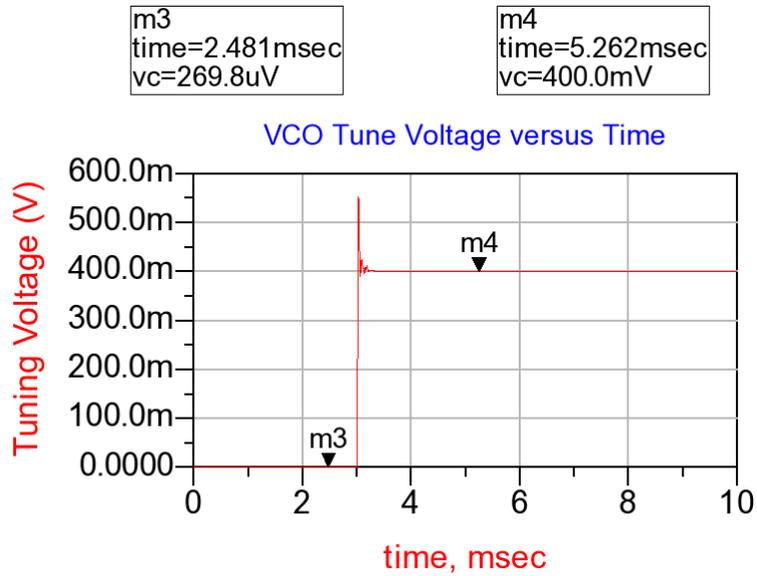


Figura 5.8. Tensión de control de la simulación transitoria del sintetizador

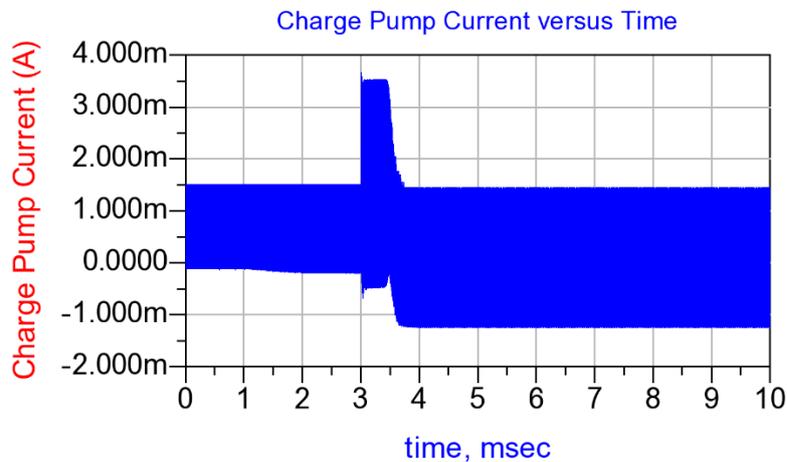


Figura 5.9. Corriente de salida de la simulación transitoria del sintetizador

5.4. Simulación del ruido de fase

En esta sección se comprueba el ruido de fase del sintetizador. Para ello, hay que unir todas las partes que lo componen y hallar el ruido de fase total del sistema. A continuación, se lleva a cabo el cálculo de la contribución del ruido de fase de cada componente del sintetizador.

El primer paso es calcular el ruido de fase que incorpora el detector de fase y la bomba de carga. Para obtener el valor del PFD_inoise , que es la medida del umbral de ruido a la salida de la bomba de carga (A/Hz), se realiza el esquema de la Figura 5.10.

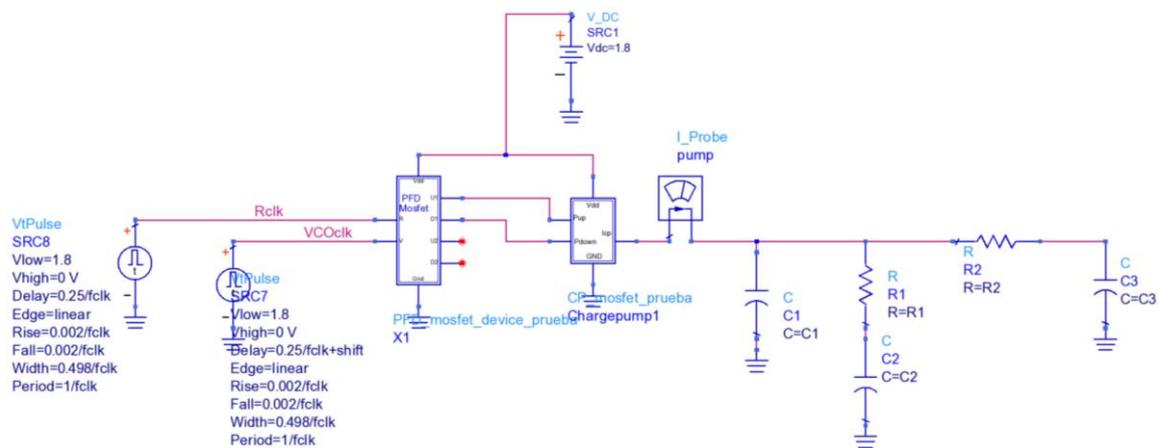


Figura 5.10. Esquema para calcular el ruido de fase del PFD+CP

Para hallar el PFD_inoise se llevan a cabo dos simulaciones simultáneas. La primera de ellas se realiza para estudiar la respuesta transitoria del detector de fase-frecuencia y bomba de carga sin ningún tipo de ruido. A la segunda se le incluye el ruido que aporta los dos bloques.

Para obtener los dos análisis, se pone la frecuencia de entrada del detector de fase-frecuencia igual a la frecuencia de referencia.

El valor del ruido en RMS (*Root Mean Square*) es igual a la desviación estándar de la resta de la salida de la bomba de carga del análisis con ruido y sin él. Por último, para obtener el valor en A/Hz se divide el valor entre la frecuencia de reloj, obteniendo así el umbral del ruido del PFD_inoise .

Los resultados obtenidos de la simulación se muestran en la Figura 5.11. En ella se obtiene que el resultado del PFD_inoise es de $110,6 \text{ fA/Hz}$. Este ruido se incorporará en el componente $LinearPFDwNoise_p1lib$, junto con el valor de la corriente de la bomba de carga ($I_{cp} = 671,5 \text{ }\mu\text{A}$).

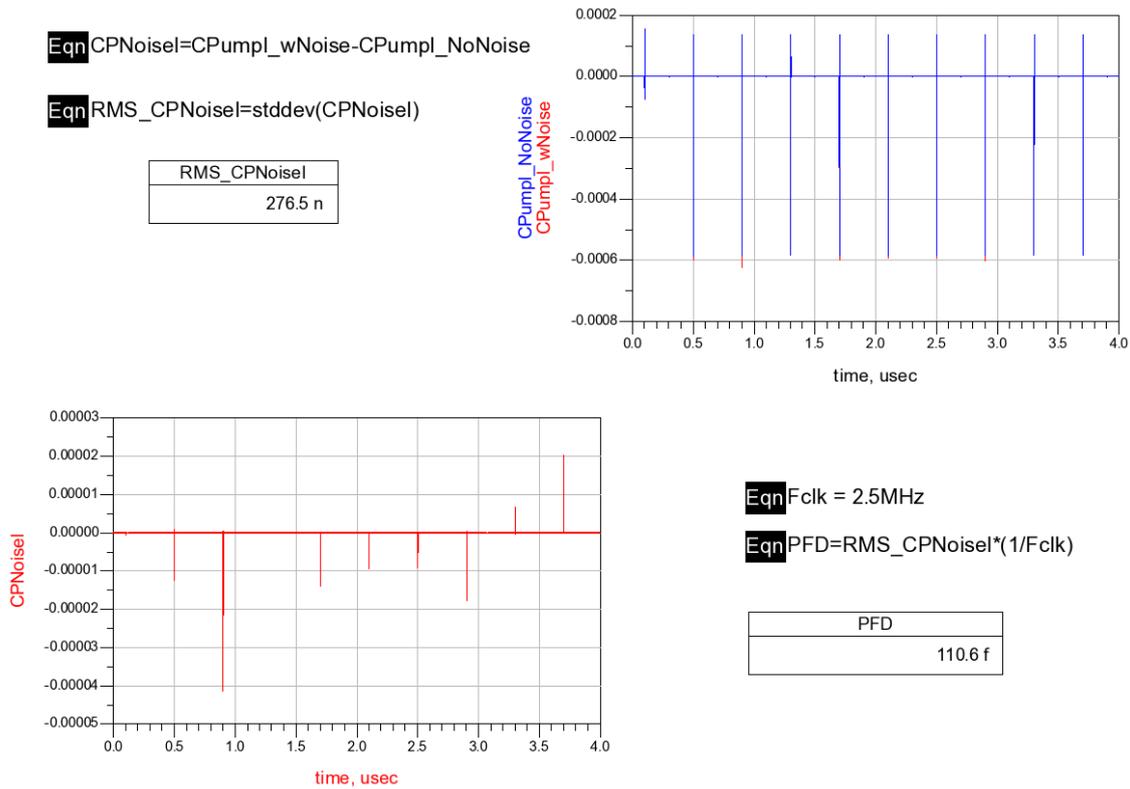


Figura 5.11. Resultados de la simulación del ruido de fase del PFD+CP

El siguiente paso es incorporar el ruido de fase que aporta el VCO al componente denominado *LinVCOwNoiseSpls*. En el esquemático de la simulación (ver Figura 5.12) se introduce el valor de la constante de la sensibilidad del VCO ($K_{VCO} = 375 \text{ MHz/V}$) y la pendiente del ruido de fase del VCO. Observando la Figura 4.26, se deduce que la pendiente del ruido es de -10 dB/dec . Según la ayuda del ADS, el valor del ruido de fase se incorporará en el parámetro F1 (desviación de frecuencia) y L1 (ruido de fase a F1). En la Tabla 5.2 se muestran los valores de los componentes del ruido de fase del VCO.

Tabla 5.2. Valores de los componentes del ruido del VCO

Ruido	dB	MHz
L0	-150	-
L1	-102,318	3,5

A continuación, se añade el ruido de fase que aporta el divisor por dos en el componente modelado denominado *LinDiv_wNoiseSpls*. En este componente sólo hay que introducir el factor de división calculado en la ecuación (4.24) cuyo resultado obtenido fue $N = 1984$. Todos los demás parámetros de este componente se dejan con sus valores por defecto.

Por último, los componentes de referencia del *setup* de simulación, - *LinDiv_wNoiseSlps* y *RefOscSlps*-, también se dejan con sus valores por defecto.

Una vez que se tiene la contribución de ruido de cada componente, se pasa a realizar en el esquemático (ver Figura 5.12) y a incorporar los valores obtenidos en sus respectivos componentes.

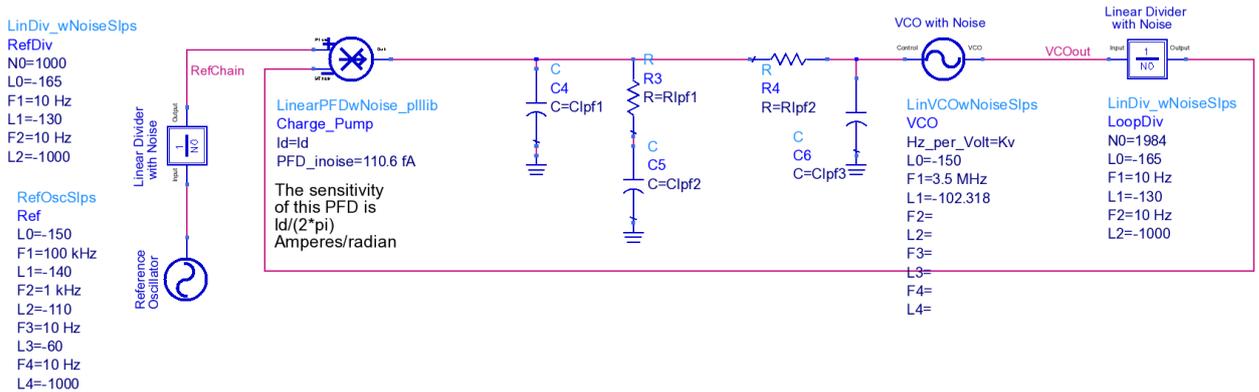


Figura 5.12. Esquema del ruido de fase del sintetizador

Al realizar la simulación, en la Figura 5.13 se observa el ruido del VCO en *free run*, la aportación de VCO al ruido de fase total (PN_VCO_only) y el ruido de fase total del sintetizador (PNTOTAL).

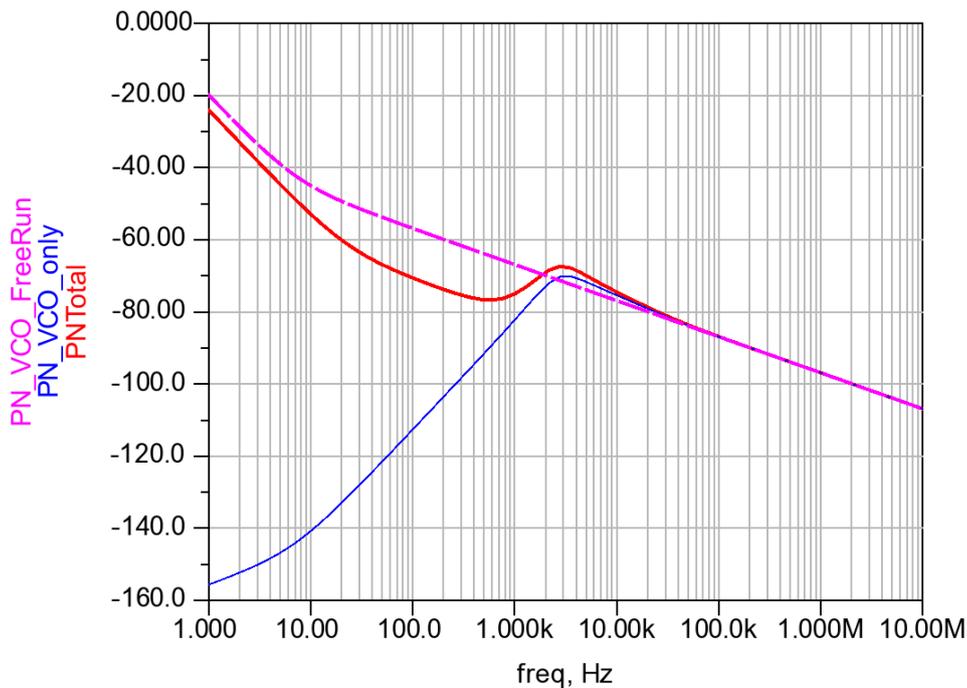


Figura 5.13. Resultado del ruido de fase del sintetizador con contribución del VCO

En la Figura 5.14 se muestra el ruido de fase del sintetizador junto con el de los otros componentes. En ella se observa que, a bajas frecuencias, el elemento

que más ruido aporta es el divisor, pero para frecuencias elevadas el ruido de fase total del sistema coincide con el del VCO.

También se observa que a 3,5 MHz el ruido de fase del sistema es de -102,433 dBc/Hz, este valor se encuentra dentro de los valores del estándar.

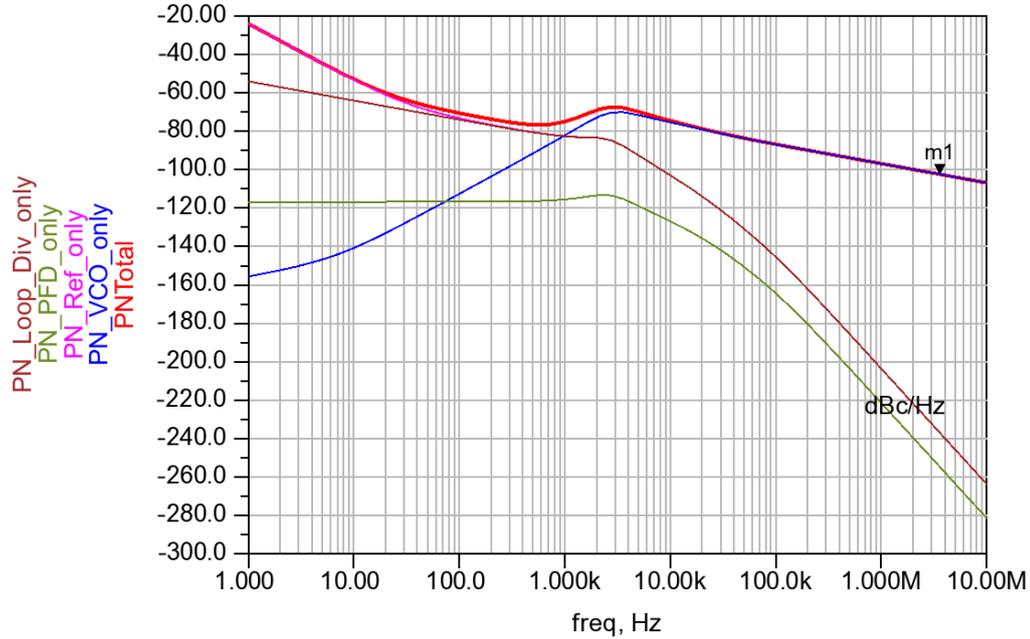


Figura 5.14. Resultado de la simulación del ruido de fase de todos los componentes del sintetizador

En la Tabla 5.3 se resumen los valores obtenidos del ruido de fase del sistema para distintas frecuencias.

Tabla 5.3. Valores del ruido de fase total del sintetizador

Desviación de Frecuencia (Hz)	Ruido de fase total (dBc/Hz)
1	-23,997
10	-52,909
100	-70,589
1 K	-75,001
10 K	-74,494
100 K	-86,815
1 M	-96,877
10 M	-106,877

5.5. Resumen

En este capítulo se ha realizado la simulación del sintetizador para el estándar IEEE 802.15.4.

Se han llevado a cabo tres tipos de simulaciones: la primera para conocer el margen de fase del sistema y, por tanto, la estabilidad; la segunda para saber si el sintetizador se enganchaba al realizar un salto de canal y, finalmente, se llevó a cabo la simulación del ruido de fase para conocer el ruido de fase total del sistema.

En el siguiente capítulo se exponen las conclusiones a las que se han llegado a lo largo de este proyecto. Además, se definirán las posibles líneas futuras.

Capítulo 6.

6. Conclusiones

En este capítulo se comentan las conclusiones que se han podido extraer de este trabajo fin de grado. Además, se presentan las posibles líneas futuras a abordar en trabajos posteriores.

6.1. Conclusiones del trabajo

Una vez que se ha analizado el sintetizador y se han realizado las simulaciones para comprobar su funcionamiento, es el momento de analizar los resultados obtenidos y extraer las conclusiones pertinentes.

El objetivo principal de este trabajo de fin de grado es obtener un sintetizador de frecuencias para el estándar IEEE 802.15.4 utilizando la tecnología CMOS 0,18 μm . Dicho sintetizador actúa como oscilador local de un receptor de conversión directa.

Para la implementación y el posterior diseño del sintetizador, primero se realizó un estudio del estándar prestando especial atención a la capa física. Posteriormente, se realizó un estudio de los distintos tipos de PLL y arquitecturas de los sintetizadores, eligiendo la estructura de un sintetizador con división de doble

módulo. Dicha estructura tiene la ventaja, con respecto a la del divisor programable, de poder generar altos factores de división a partir de divisores sencillos.

Elegida la arquitectura del sintetizador, el siguiente paso fue diseñar y simular cada uno de los bloques que lo componen. El primer bloque que se diseñó fue el oscilador controlado por tensión puesto que es el encargado de generar las frecuencias del oscilador local.

La topología elegida para este bloque fue un oscilador LC con configuración diferencial CMOS en par cruzado. Se utilizó dicho esquema porque presenta menos ruido de fase a la salida sin aumentar el consumo de potencia del esquema. Los resultados obtenidos del diseño de este VCO fueron satisfactorios puesto que el ruido de fase y el intervalo de frecuencias obtenidos se encontraban dentro de las especificaciones del estándar.

El siguiente elemento a implementar fue el comparador de fase. La configuración más adecuada para nuestro sintetizador fue la configuración del detector de fase-frecuencia con bomba de carga. Ambos bloques se diseñaron de forma individual para posteriormente proceder a su integración conjunta. La unión del PFD y el CP permitió atacar al filtro del bucle conectado a la entrada del VCO.

El diseño del filtro determinó, entre otros parámetros, la estabilidad de todo el sistema, el tiempo de enganche y el máximo error de frecuencia después de un enganche.

El último bloque a diseñar fue el divisor rápido basado en *latch* tipo D con lógica CML. Se eligió esta arquitectura debido a que se obtenían de forma directa las señales de fase y cuadratura. Tras el divisor rápido, se introdujeron dos *buffers* de salida, uno para suministrar la potencia que necesita el mezclador y el otro para poder atacar el divisor programable.

Diseñados todos los elementos por separado, se realizaron las simulaciones conjuntas de todos los componentes del sintetizador. La primera simulación del conjunto fue la respuesta bucle para conocer la estabilidad. En este punto se observó que los valores obtenidos en el diseño del filtro no eran los más óptimos. Por ello, se volvieron a calcular dichos valores puesto que de ellos depende todo el sistema.

La segunda simulación que se hizo fue para comprobar si el sistema se enganchaba al realizar un salto de frecuencia a la salida del sistema. Y, finalmente, la última simulación de todo el conjunto fue la medida del ruido de fase que aporta

el sistema. De los resultados obtenidos de esta simulación se observó que el sistema cumplía con las especificaciones del estándar IEEE 802.15.4.

Por tanto, se puede concluir que en el presente trabajo fin de grado se ha alcanzado el objetivo principal propuesto inicialmente, que es el estudio y diseño de los distintos componentes que conforman un sintetizador de frecuencias para una tecnología de bajo coste y consumo.

6.2. Líneas futuras

Las líneas futuras para este trabajo son bastantes amplias. Entre ellas se encuentran el diseño del divisor programable y la posible optimización del divisor rápido utilizando cargas activas en la parte diferencial.

Otra línea futura sería su fabricación, para el cual se necesitan unas fases previas como la creación del *layout* y la realización de simulaciones *post-layout*, pudiendo compararlas con los resultados obtenidos a nivel esquemático. Una vez se consigan unos resultados satisfactorios, se mandaría a fabricar y, se realizarían las medidas oportunas para comprobar las prestaciones reales del circuito.

PRESUPUESTO

Capítulo 7.

7. Presupuesto

En este capítulo se recogen los gastos generados por este Trabajo Fin de Grado. Para conocer el coste de la hora de trabajo se ha recurrido al Colegio Oficial de Ingenieros de Telecomunicación (COITT).

En este presupuesto se tratarán las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
 - Amortización del material hardware
 - Amortización del material software
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envío.

7.1. Trabajo tarifado por tiempo empleado

Este concepto cubre los gastos de la mano de obra según el salario correspondiente a la hora de trabajo de un graduado en ingeniería en telecomunicación. Su cálculo se puede realizar a partir de la siguiente expresión:

$$H = 14,48 \cdot H_n + 20,27 \cdot H_e \quad (\text{€}) \quad (7.1)$$

Donde:

- H son los honorarios totales por el tiempo dedicado.
- H_n son las horas normales trabajadas dentro de la jornada laboral.
- H_e son las horas especiales trabajadas.

Para realizar esta Trabajo Fin de Grado se han invertido unas 300 horas, todas ellas en horario laboral. Por tanto, el coste total de honorarios es:

$$H = 14,48 \cdot 300 + 20,27 \cdot 0 = 4.344,00 \text{ €} \quad (7.2)$$

El trabajo tarifado por tiempo empleado asciende a la cantidad de *cuatro mil trescientos cuarenta y cuatro euros*.

7.2. Amortización del inmovilizado material

En este concepto se tienen en cuenta tanto los recursos hardware como los recursos software empleados para la realización del TFG. Se estipula que el coste de amortización para un período de 3 años, utilizando un sistema de amortización lineal, en el que se supone que el inmovilizado material se desprexia de manera constante a lo largo de su vida útil. La cuota de amortización anual se calcula a partir de la siguiente expresión:

$$\text{Cuota anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Número de años de vida útil}} \quad (7.3)$$

Donde el valor residual es el valor teórico que tendrá el elemento después de su vida útil.

7.2.1. Amortización del material hardware

La duración de este TFG ha sido de 4 meses y es inferior al período de 3 años estipulado para el coste de amortización. Los costes serán los derivados de los primeros cuatro meses. En la Tabla 7.1 se muestra el hardware necesario para la realización de este proyecto.

Tabla 7.1. Costes de amortización del hardware

Elemento Hardware	Valor de adquisición	Valor residual	Costes de amortización
Ordenador portátil Lenovo G510	600,00 €	180,00 €	46,67 €
Ordenador portátil Macbook Pro Retina con Touch Bar	2.426,76 €	728,028 €	188,748 €
Total	3.026,76 €	908,028 €	235,41 €

El coste total del material hardware asciende a *doscientos treinta y cinco euros con cuarenta y un céntimos*.

7.2.2. Amortización del material software

Para el cálculo de los costes de amortización del material software también se considerarán los costes derivados de los primeros cuatro meses. En la Tabla 7.2 se muestran los elementos software necesarios para la realización de este TFG.

Tabla 7.2. Costes de amortización del software

Elemento Software	Valor de adquisición	Valor residual	Costes de amortización
Sistema Operativo Windows 10	0,00 €	0,00 €	0,00 €
Sistema Operativo macOs Sierra 10.12.2	0,00 €	0,00 €	0,00 €
Licencia anual del ADS	2.153,73€	0,00 €	717,91 €
Microsoft Word 2016	0,00 €	0,00 €	0,00 €
Total	2.153,73€	0,00€	717,91 €

Los costes del material software ascienden a *setecientos diecisiete euros con noventa y un céntimos*.

7.3. Redacción del trabajo

Para determinar el coste asociado con la redacción de la memoria se utiliza la siguiente expresión:

$$R = 0,05 \cdot P \quad (7.4)$$

Donde:

- R son los honorarios para la redacción del trabajo.
- P es el presupuesto.

El valor del presupuesto se calcula sumando los costes de las secciones anteriores correspondientes al trabajo tarifado por tiempo empleado y a la amortización del inmovilizado material. El resultado de esta suma se muestra en la Tabla 7.3.

Tabla 7.3. Presupuesto de los costes de redacción del TFG

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00 €
Amortización del material hardware	235,41 €
Amortización del material software	717,91 €
Total (P)	5.297,32 €

Con ese total se puede calcular el costo derivado de la redacción del Trabajo Fin de Grado tal y como se muestra a continuación:

$$R = 0,07 \cdot 5297,32 = 370,81 \text{ €} \quad (7.5)$$

El coste de redacción de este trabajo asciende a *trescientos setenta euros con ochenta y un céntimos*.

7.4. Derechos de visado del COITT

El COITT establece que para los proyectos técnicos de carácter general, los derechos de visado en el 2014 se calculan a partir de la siguiente expresión:

$$V = 0,0035 \cdot P \cdot C \quad (7.6)$$

Donde:

- V es el coste de visado del trabajo.
- P es el presupuesto del proyecto.
- C es el coeficiente de reducción en función del presupuesto.

En la Tabla 7.4 se muestra los costes del presupuesto con el coeficiente del visado del COITT.

El coeficiente C para presupuestos menores de 30.050,00 € es de 1.

Tabla 7.4. Presupuesto con el visado del COITT

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00 €
Amortización del material hardware	235,41 €
Amortización del material software	717,91 €
Redacción del trabajo	370,81 €
Total (P)	5.669,13 €

Haciendo uso de la ecuación (7.6), teniendo en cuenta el resultado total obtenido de la Tabla 7.4 y con $C = 1$, se obtiene:

$$V = 0,0035 \cdot 5.669,13 \cdot 1 = 19,84 \text{ €} \quad (7.7)$$

Por tanto, los costes por derechos de visado del presupuesto ascienden a *diecinueve euros con ochenta y cuatro céntimos*.

7.5. Gastos de tramitación y envío

Los gastos de envío y tramitación estipulados son de *seis euros (6 €)* por cada documento visado de forma telemática.

7.6. Material fungible

Aparte de los recursos hardware y software, en este trabajo también se han utilizado otros materiales como folios, tóner de impresora, etc...que quedan englobados como material fungible. En la Tabla 7.5 se muestran los costes de estos recursos.

Tabla 7.5. Costes del material fungible

Concepto	Coste
Fotocopias a color en A4	11,70 €
Fotocopia A4	4,4 €
Encuadernación	5 €
Impresión Etiqueta de CD	2,38 €
Copia de CD	9 €
CD	1,95 €
Total	34,43 €

Los costes del material fungible ascienden a *treinta y cuatro euros con cuarenta y tres céntimos*.

7.7. Aplicación de impuestos y coste total

La realización del presente TFG está gravada por el Impuesto General Indirecto Canario, I.G.I.C., en un siete por ciento (7%). En la Tabla 7.6 se muestra el presupuesto final con los impuestos aplicados.

Tabla 7.6. Presupuesto total del Trabajo Fin de Grado

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00 €
Amortización del material hardware	235,41 €
Amortización del material software	717,91 €
Redacción del trabajo	370,81 €
Derechos de visado del COITT	19,84 €
Gastos de tramitación y envío	6,00 €
Costes de material fungible	34,43 €
Total (sin IGIC)	11.375,94 €
IGIC (7%)	796,32 €
Total	12.172,25 €

D^a. Victoria Díez Acereda declara que el presupuesto total del proyecto “*Diseño de un Sintetizador de Frecuencias para el Estándar IEEE 802.15.4 en Tecnología CMOS de 0,18 μm* ” asciende a *doce mil ciento setenta y dos euros con veinticinco céntimos*.

Fdo.: Victoria Díez Acereda
En Las Palmas de Gran Canaria a 21 de Julio de 2017

BIBLIOGRAFÍA

Capítulo 8.

8. Referencias

- [1] M. K. Raja, X. Chen, Y. D. Lei, Z. Bin, B. C. Yeung, and Y. Xiaojun, “A 18 mW Tx, 22 mW Rx transceiver for 2.45 GHz IEEE 802.15.4 WPAN in 0.18- μm CMOS,” in *2010 IEEE Asian Solid-State Circuits Conference*, 2010, pp. 1–4.
- [2] A. Balankutty, S. A. Yu, Y. Feng, and P. R. Kinget, “A 0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications,” *IEEE J. Solid-State Circuits*, vol. 45, no. 3, pp. 538–553, Mar. 2010.
- [3] Y. S. Eo, H. J. Yu, S.-S. Song, Y. J. Ko, and J. Y. Kim, “A fully integrated 2.4GHz low IF CMOS transceiver for 802.15.4 ZigBee applications,” in *2007 IEEE Asian Solid-State Circuits Conference*, 2007, pp. 164–167.
- [4] “Zigbee Alliance.”
- [5] “IEEE 802.15.4,” *Wikipedia, la enciclopedia libre*. 29-Oct-2016.
- [6] M.-S. Pan and Y.-C. Tseng, “ZigBee Wireless Sensor Networks and Their Applications.”
- [7] Daniel Morató Osés, “CSMA/CA,” Universidad Pública de Navarra, 2011.
- [8] José A. Gutiérrez, “IEEE Std 802.15.4 Enabling Pervasive Wireless Sensor

Networks.”

[9] R. F. Martínez, J. O. Meré, F. J. M. de Pisón Ascacibar, A. G. Marcos, and F. A. Elías, “Redes inalámbricas de sensores: teoría y aplicación práctica.”

[10] Javier del Pino, “Arquitecturas de Receptores y Transmisores,” ULPGC, 2015.

[11] “Part 15.4: Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs),” IEEE, IEEE 3 Park Avenue New York, NY 10016-5997, USA, 2006.

[12] “Lazo de seguimiento de fase,” *Wikipedia, la enciclopedia libre*. 29-Nov-2016.

[13] Javier del Pino, “Bucle de Enganche de Fase y Sintetizadores de Frecuencia,” ULPGC, 2015.

[14] M. Sierra, B. Galocha, J. Fernández, and M. Sierra Castañer, “Electrónica de comunicaciones,” *Pearson*, 2003.

[15] “Advanced Design System (ADS) | Keysight (formerly Agilent’s Electronic Measurement).” [Online]. Available: <http://www.keysight.com/en/pc-1297113/advanced-design-system-ads?cc=ES&lc=spa>. [Accessed: 06-Jul-2017].

[16] P. Kinget, “Integrated GHz Voltage Controlled Oscillators,” in *Analog Circuit Design: (X)DSL and other Communication Systems; RF MOST Models; Integrated Filters and Oscillators*, W. Sansen, J. Huijsing, and R. van de Plassche, Eds. Boston, MA: Springer US, 1999, pp. 353–381.

[17] Javier del Pino, “Osciladores,” ULPGC, 2015.

[18] I. Kwon, Y. Eo, S.-S. Song, K. Choi, H. Lee, and K. Lee, “A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4,” in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2006*, 2006, p. 4 pp.-.

[19] M. Sabaghi, S. Marjani, and A. Majdabadi, “A Low Phase Noise, Low Power and Wide Tuning Range VCO with Filtering Technique in ISM Band,” *Circuits Syst.*, vol. Vol.07No.02, p. 7, 2016.

[20] S. C.-G. Tan *et al.*, “An Ultra-Low-Cost High-Performance Bluetooth SoC in 0.11- μm CMOS,” *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2665–2677, 2012.

[21] J. W. M. Rogers and C. Plett, *Radio Frequency Integrated Circuit Design*. Artech House, 2010.

[22] W. Chen *et al.*, “Radiation Hardened by Design RF Circuits Implemented in 0.13 μm CMOS Technology,” *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3449–3454, 2006.

- [23] “Multistage Amplifiers (II) DC Voltage and Current Sources.” 2007.
- [24] “UMC 0,18um 1P6M SALICIDE Mixed-Mode/RF CMOS MODEL.” 2002.
- [25] B. Razavi and 罗扎, *Design of analog CMOS integrated circuits*. 清华大学出版社有限公司, 2001.
- [26] B. Razavi and R. Behzad, *RF microelectronics*, vol. 1. Prentice Hall New Jersey, 1998.
- [27] Fujitsu Microelectronics, Inc, “Super PLL Application Guide.” 2002.
- [28] R. A. Joo, “Frequency generation techniques for integrated applications,” California Institute of Technology, 2004.
- [29] M. Usama and T. Kwasniewski, “New CML latch structure for high speed prescaler design,” in *Electrical and Computer Engineering, 2004. Canadian Conference on*, 2004, vol. 4, pp. 1915–1918.
- [30] R. Desikachari, “High-speed CMOS dual-modulus presalers for frequency synthesis,” 2003.