UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA

TRABAJO FIN DE GRADO

"DISEÑO DE UN AMPLIFICADOR INTEGRADO EN CONFIGURACIÓN CHIREIX EN TECNOLOGÍA GAN"

Titulación: Grado en Ingeniería en Tecnologías de la Telecomunicación

Mención: Sistemas electrónicos

Autor: Ayoze Diaz Carballo

Tutor: Dr. Francisco Javier Del Pino Suárez

Cotutora: Victoria Díez Acereda

Fecha: Enero de 2019

UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA

TRABAJO FIN DE GRADO

"DISEÑO DE UN AMPLIFICADOR INTEGRADO EN CONFIGURACIÓN CHIREIX EN TECNOLOGÍA GAN"

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Vocal **Secretario/a**

Fecha: Enero de 2019

Tabla de contenidos

PARTE I: MEMORIA 1
1. Introducción 3
1.1. Antecedentes 3
1.2. Objetivos 4
1.3. Estructura de la memoria 5
2. Estudio de la tecnología 7
2.1. Tecnología 5G 7
2.1.1. Bandas de frecuencia 8
2.1.2. Aplicaciones 9
2.2. Tecnología GaN 11
2.2.1. Comparativa del GaN frente al Si y el GaAs 11
2.2.2. Comparativa con el SiC 13
2.3. Resumen 14
3. Estudio de los amplificadores de potencia 15
3.1. Amplificadores de potencia 15
3.1.1. Transistores 15
3.1.1.1. Funcionamiento 16
3.1.1.2. Curvas características 18
3.1.2. Estabilidad 19
3.1.2.1. Estabilidad par 20
3.1.2.2. Estabilidad impar 21
3.1.3. Ganancia 22
3.1.4. Eficiencia 22
3.1.4.1. Eficiencia del drenador 22
3.1.4.2. PAE 22

3.1.5. Back-Off 23
3.1.6. Clases 24
3.1.6.1. Clase A 26
3.1.6.2. Clase B 26
3.1.6.3. Clase AB 26
3.1.6.4. Clase C 27
3.2. Amplificador *Outphasing* Chireix 27
3.2.1. Combinadores 28
3.3. Resumen 31
4. Diseño del amplificador clase B ideal 33
4.1. Obtención de las curvas del transistor 33
4.2. Estabilidad de los transistores 36
4.3. Load-Pull y Source-Pull 40
4.3.1. Aplicación práctica 40
4.4. Adaptación de impedancias 44
4.5. Resumen 50
5. Diseño del amplificador clase B real 51
5.1. Sustitución del transistor 51
5.2. Sustitución de la red de estabilización por componentes reales 52
5.3. Sustitución de las redes de adaptación 59
5.3.1. Red de adaptación de entrada 65
5.3.2. Red de adaptación de salida 72
5.3.3. Redes de polarización 82
5.4. Resumen 92
6. Implementación del amplificador Chireix 95
6.1. Construcción del amplificador Chireix 95
6.2. Realización del combinador 96

6.3. Estabilidad del amplificador Chireix 102
6.3.1. Estabilidad par 102
6.3.1.1. Pequeña señal 102
6.3.1.2. Gran señal 103
6.3.2. Estabilidad impar 105
6.4. Creación del *layout* 107
6.5. Resultados finales 109
7. Conclusiones y líneas futuras 113
7.1. Conclusiones 113
7.1.1. Resultados 114
7.2. Líneas futuras 115
PARTE II: BIBLIOGRAFÍA 117
Bibliografía 119
PARTE III: PLIEGO DE CONDICIONES 123
PARTE IV: PRESUPUESTO 127
P1. Trabajo tarifado por tiempo empleado 129
P2. Amortización del inmovilizado material 130
P2.1. Amortización del material hardware 130
P2.2. Amortización material software 130
P3. Redacción del trabajo 131
P4. Derechos de visado del COITT 131
P5. Costes de tramitación y envío 132
P6. Material fungible 132
P7. Aplicación de impuestos y coste total 133

Índice de figuras

Figura 1.1. Estructura de un amplificador Chireix. 4
Figura 2.1. Bandas de frecuencias 5G. 9
Figura 2.2. Los distintos servicios que ofrecerá el 5G y algunas de sus aplicaciones. 10
Figura 2.3. Obleas donde se depositan los circuitos. 11
Figura 3.1. Símbolo de un transistor HEMT. 16
Figura 3.2. (a) Curva de transferencia y (b) curva característica del drenador del transistor. 18
Figura 3.3. Señal de salida de un transistor (izquierda) y señal en compresión (derecha). 23
Figura 3.4. Representación gráfica del back-off de entrada y de salida. 24
Figura 3.5. Clases de amplificadores según el ángulo de conducción frente a la eficiencia. 25
Figura 3.6. Circuito simplificado de la salida de un amplificador outphasing ideal. (a) Sin compensación. (b) Con compensación (Chireix). 28
Figura 3.7. Trayectorias de las cargas para un barrido de la fase de 0º-90º. (a) Sin compensación. (b) Con compensación (Chireix). 29
Figura 3.8. Curvas de la eficiencia frente al OBO de los amplificadores Chireix y Doherty. 30
Figura 3.9. Arquitecturas para el combinador de salida de un amplificador Chireix. 30
Figura 4.1. Modelos de los transistores ofrecidos por OMMIC. 33
Figura 4.2. Circuito para la obtención de las curvas del transistor. 35
Figura 4.3. Curvas características del transistor. 35
Figura 4.4. Circuito para obtener los rangos de estabilidad. 36
Figura 4.5. (a) Red de estabilización RC en serie. (b) Red de estabilización RC en paralelo. 37
Figura 4.6. Estabilidad (rojo) y ganancia (azul) del transistor frente a la frecuencia. 37
Figura 4.7. Circuito con la red de estabilización. 38

Figura 4.8. (a) Barrido de la estabilidad (rojo) y la ganancia (azul) del transistor frente a la frecuencia. (b) Barrido de la ganancia frente a la estabilidad del transistor. 38
Figura 4.9. Estabilidad del amplificador tras introducir una red de estabilización. 39
Figura 4.10. Esquemático utilizado para la realización del Load-Pull. 41
Figura 4.11. Esquemático utilizado para la realización del Source-Pull. 41
Figura 4.12. Curvas de PAE (azul) y de potencia (rojo). 42
Figura 4.13. (a) Impedancia óptima de carga. (b) Impedancia óptima de fuente.. 42
Figura 4.14. Esquemático para la comprobación de la correcta realización del Load/Source-Pull. 43
Figura 4.15. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada. 44
Figura 4.16. Componente de Smith Chart empleado para la adaptación. 44
Figura 4.17. Adaptación simultánea de la entrada y de la salida. 45
Figura 4.18. Cálculo de Z_S representado en la carta de Smith. 45
Figura 4.19. Ventana de configuración del componente de la carta de Smith. Adaptación a la salida. 46
Figura 4.20. Red de adaptación de salida construida mediante la herramienta "Smith Chart". 46
Figura 4.21. Arriba la ventana de configuración del componente de la carta de Smith. Abajo la red de adaptación construida. Adaptación a la entrada. 47
Figura 4.22. Esquemático para la comprobación del correcto diseño de las redes de adaptación. 48
Figura 4.23. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada. 49
Figura 4.24. Resultados de la comprobación de la correcta adaptación en pequeña señal. 49
Figura 5.1. Incorporación de las vías de conexión a tierra del transistor. 52
Figura 5.2. Layout del transistor. 52
Figura 5.3. Comparativa entre los dos modelos de condensador ofrecidos por OMMIC. 53
Figura 5.4. Arriba el factor de calidad y la capacidad de CmimD0XGH. Abajo el factor de calidad y la capacidad de Csio2D0XGH. 54
Figura 5.5. Estudio del condensador C_Stab de la red de estabilización. 55

Figura 5.6.(Arriba) Resultados del estudio de Cin con un barrido, a la izquierda el factor de calidad y a la derecha el valor de la capacitancia. (Abajo) Resultados con una capacitancia fija de 586fF. 56
Figura 5.7. Layout del condensador de la red de estabilización. 56
Figura 5.8. Modelos de resistencias ofrecidos por OMMIC. 57
Figura 5.9. (a) Valor real de R_Stab. (b) Layout de la resistencia de la red de estabilidad. 57
Figura 5.10. Comprobación de la estabilidad con los valores reales. 58
Figura 5.11. Estabilidad (rojo) y ganancia (azul) del transistor frente a la frecuencia. 58
Figura 5.12. Layout de la red de estabilización junto al transistor. 59
Figura 5.13. (a) Esquemáticos usados para el Load-Pull y (b) el Source-Pull. 60
Figura 5.14. A la izquierda impedancia óptima de carga. A la derecha impedancia óptima de fuente. 61
Figura 5.15. Esquemático para la comprobación de la correcta realización del Load/Source-Pull. 62
Figura 5.16. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada. 63
Figura 5.17. Cálculo de Z_S representado en la carta de Smith. 64
Figura 5.18. Arriba la ventana de configuración del componente de la carta de Smith. Abajo la red de adaptación construida. Adaptación a la salida. 64
Figura 5.19. Arriba la ventana de configuración del componente de la carta de Smith. Abajo la red de adaptación construida. Adaptación a la entrada. 65
Figura 5.20. Estudio de la bobina la red de adaptación a la entrada. 66
Figura 5.21. Resultados del estudio de L_{in} con un barrido. A la izquierda el factor de calidad. A la derecha el valor de la inductancia. 67
Figura 5.22. Resultados del estudio de L_{in} A la izquierda el factor de calidad. A la derecha el valor de la capacitancia. 67
Figura 5.23. Configuración de los parámetros de la bobina proporcionada en el kit de OMMIC. 68
Figura 5.24. Estudio de L_{in}. Nuevos valores de ancho (azul), viejos valores de ancho (rojo). A la izquierda el factor de calidad. A la derecha el valor de la bobina. 69
Figura 5.25. Layout de la bobina de la red de adaptación de la entrada. 69

Figura 5.26. (a) Valor real del condensador de la red de adaptación de entrada. (b) Layout del condensador de la red de adaptación de entrada. 69
Figura 5.27. Esquemático con los valores reales de la red de adaptación de entrada 71
Figura 5.28. Layout del transistor junto a las redes de estabilización y de adaptación de entrada. 72
Figura 5.29. (a) Valor real de la bobina de la red de adaptación de salida. (b) Layout de la bobina de la red de adaptación de salida. 73
Figura 5.30. (a) Valor real del condensador de la red de adaptación de salida. (b) Layout del condensador de la red de adaptación de salida. 73
Figura 5.31. Esquemático con los valores reales de la red de adaptación de salida. 74
Figura 5.32. Layout del transistor junto a las redes de estabilización y de adaptación de entrada y salida. 75
Figura 5.33. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada. 76
Figura 5.34. Ventana de configuración del componente de la carta de Smith. Adaptación a la salida para una red LCL en pi. 77
Figura 5.35. Red de adaptación a la salida LCL en pi construida. 77
Figura 5.36. (a) Valor real de la bobina de la red de adaptación de salida (choke). (b) Layout de la bobina de la red de adaptación de salida (choke). 78
Figura 5.37. (a) Valor real de la bobina de la red de adaptación de salida. (b) Layout de la bobina de la red de adaptación de salida. 78
Figura 5.38. (a) Valor real del condensador de la red de adaptación de salida. (b) Layout del condensador de la red de adaptación de salida. 79
Figura 5.39. Esquemático con los valores reales de la red de adaptación de salida. Red LCL en pi. 80
Figura 5.40. Layout del transistor junto a las redes de estabilización, de adaptación de entrada y la red LCL en pi a la salida. 81
Figura 5.41. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada. 81
Figura 5.42. Resultados de la comprobación de la correcta adaptación en pequeña señal. Red de adaptación LCL en pi. 82
Figura 5.43. Red de polarización. 83

Figura 5.44. Estudio del condensador de la red de polarización. 83
Figura 5.45. Resultados del barrido del condensador de la red de polarización. . 84
Figura 5.46. Layout del condensador de la red de polarización. 84
Figura 5.47. Resultado del condensador de la red de polarización. 85
Figura 5.48. Estudio de la línea λ /4 de la red de polarización. 85
Figura 5.49. Resultado de la línea λ/4 de la red de polarización. 86
Figura 5.50. Sustitución de la línea λ/4 de la red de polarización por una bobina. 86
Figura 5.51. Resultado de la bobina de la red de polarización. 87
Figura 5.52. Layout de la bobina. 87
Figura 5.53. Esquema de la red de polarización. 88
Figura 5.54. Resultado de la red de polarización. 88
Figura 5.55. Esquemático con los valores reales de las redes de polarización.... 89
Figura 5.56. Layout del transistor junto a las redes de estabilización, de adaptación de entrada y la red salida con sus respectivas redes de polarización. 90
Figura 5.57. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada. 90
Figura 5.58. Resultados de la comprobación de la correcta adaptación en pequeña señal. Red de adaptación LCL en pi. 91
Figura 6.1. Símbolo del esquemático del amplificador con red LC y polarización real. 95
Figura 6.2. Símbolo del esquemático del amplificador con red LCL en pi. 95
Figura 6.3. Esquemático del amplificador Chireix. 96
Figura 6.4. (a) Esquemático para el estudio de un combinador con líneas λ/4 ideal. (b) Resultados del estudio de un combinador con líneas λ/4 ideal..... 97
Figura 6.5. (a) Esquemático para el estudio de un combinador con líneas λ/4 con tecnología Gan. (b) Resultados del estudio de un combinador con líneas λ/4 con tecnología GaN. 98
Figura 6.6. (a) Esquemático para el estudio de un combinador con una red LC y CL ideales. (b) Resultados del estudio de un combinador con una red LC y CL ideales. 99
Figura 6.7. (a) Valor real de la bobina del combinador. (b) Layout de la bobina del combinador..... 100
Figura 6.8. (a) Valor real del condensador del combinador. (b) Layout del condensador del combinador. 100

Figura 6.9. (a) Esquemático para el estudio de un combinador con una red LC y CL reales. (b) Resultados del estudio de un combinador con una red LC y CL junto con los resultados de los combinadores basados en líneas λ/4 reales e ideales..... 101
Figura 6.10. Esquemático del amplificador Chireix..... 102
Figura 6.11. Estabilidad del factor de Rollet. Red LC con polarización real (rojo). Red LCL en pi (azul)..... 103
Figura 6.12. Análisis de la estabilidad par con la herramienta SprobePairT..... 104
Figura 6.13. (a) Estabilidad par. Red LC con polarización real. (b) Red LCL en pi. 105
Figura 6.14. Esquemático para el análisis de la estabilidad impar. 106
Figura 6.15. Estabilidad impar. Red LC con polarización real (rojo). Red LCL en pi (azul). 107
Figura 6.16. Layout correspondiente al amplificador Chireix basado en amplificadores con red de adaptación de salida LC y red de polarización real. . 108
Figura 6.17. Layout correspondiente al amplificador Chireix basado en amplificadores con red de adaptación de salida LCL en pi. 109
Figura 6.18. Resultados de la simulación del amplificador Chireix. Red LC con polarización real. 110
Figura 6.19. Resultados de la simulación del amplificador Chireix. Red LCL en pi. 111

Índice de tablas

Tabla 1.1. Especificaciones a cumplir por el amplificador Chireix. 5
Tabla 2.1. Tabla comparativa del 4G y 5G. 8
Tabla 3.1. Eficiencia máxima y ángulo de conducción de cada clase lineal..... 25
Tabla 4.1. Resultados de las simulaciones variando la configuración (Nfg=6)..... 39
Tabla 4.2. Resultados de las simulaciones variando la configuración (Nfg=4)..... 39
Tabla 4.3. Resultados de las simulaciones variando la potencia de entrada. 50
Tabla 5.1. Comparación entre los resultados con los valores ideales y los valores reales. 76
Tabla 5.2. Comparativa entre los tres tipos de redes de adaptación a la salida frente a la realizada con valores ideales. 91
Tabla 7.1. Prestaciones del amplificador Chireix. 114
Tabla 7.2. Comparativa entre varios amplificadores Chireix. 115
Tabla P.1. Costes de amortización hardware. 130
Tabla P.2. Costes de amortización del software. 130
Tabla P.3. Presupuesto total sin IGIC. 131
Tabla P.4. Presupuestos totales con redacción del trabajo. 132
Tabla P.5. Costes de material fungible. 132
Tabla P.6. Presupuesto total del proyecto. 133

Lista de acrónimos

3GPP. *Third Generation Partnership*
4G. *Fourth Generation*
5G. *Fifth Generation*
ADS. *Advanced Design System*
AM. *Amplitude Modulation*
ATIS. *Alliance for Teleccomunications Industry Solutions*
BJT. *Bipolar Junction Transistor*
CCSA. *China Communications Standards Association*
DC. *Direct Current*
EHF. *Extremely High Frequency*
eMBB. *enhanced Mobile Broadband*
ETSI. *European Telecommunication Standards Institute*
FET. *Field Effect Transisor*
FOM. *Figure of Merit*
GaAs. *Gallium Arsenide*
GaN. *Gallium Nitride*
HEMT. *High Electron Mobility Transistor*
IBO. *Input Back-Off*
IoT. *Internet of Things*
ITU. *International Telecommunication Union*
LINC. *Linear amplification using Non-linear Components*
MESFET. *Metal-Semiconductor Field-Effect Transistor*
mMTC. *massive Machine Type Communications*
OBO. *Output Back-Off*
PA. *Power Amplifier*
PAE. *Power Added Efficiency*
PAPR. *Peak to Average Ratio*
P-HEMT. *Pseudomorphic High Electron Mobility Transistor*
PM. *Phase Modulation*
RF. *Radio Frequency*
SCS. *Signal Component Separate*
Si. *Silicon*
uRLLC. *ultra Reliable and Low Latency Communications*

PARTE I:

MEMORIA

Capítulo 1.

1. Introducción

En este capítulo se presentarán los antecedentes del trabajo y los conceptos que se verán a lo largo de este proyecto, como la quinta generación de tecnologías de telefonía móvil (5G) y el amplificador Chireix. Posteriormente, se expondrán los principales objetivos que se pretenden alcanzar. Por último, se detalla la estructura de la memoria.

1.1. Antecedentes

Las redes móviles que se manejan en la actualidad en los sistemas de comunicación inalámbricas requieren cada vez más de una alta tasa de transferencia de datos, así como de un bajo consumo de potencia, lo que conlleva diseñar amplificadores de potencia, que además de operar en bandas más anchas deben ser eficientes energéticamente.

Hoy en día los sistemas de comunicaciones inalámbricos poseen unas tasas de datos muy elevadas, lo cual implica un aumento de los anchos de banda. Para reducirlo se suele hacer uso de modulaciones con amplitud no constante. Sin embargo, esto hace que aumente el PAPR (*Peak to Average Ratio*), obligando a trabajar con elevados niveles de *back-off* para poder operar de manera lineal, [1]–[3]. En los amplificadores de potencia, esto se traduce en diseños que deben soportar picos elevados de potencia sobre el nivel medio de potencia de salida. En los amplificadores de potencia tradicionales la curva de eficiencia alcanza su máximo cerca del punto de compresión 1 dB mientras que cae de manera considerable en los niveles de *back-off*, donde queda definida la región principal de trabajo para operar de manera lineal. Esta es una de las principales razones por las que resulta de especial transcendencia encontrar estructuras que permitan mejorar la eficiencia en los niveles de *back-off* [4].

Además de la eficiencia de los sistemas, otro de los problemas que se precisa solventar en los diseños de sistemas inalámbricos es el consumo de potencia. En la arquitectura de un transmisor, el componente de mayor importancia es el que más consume, el cual es el amplificador. En sistemas de radio con carga

máxima, el consumo del amplificador de potencia supone más de la mitad del consumo de DC del sistema entero. Aparte de los problemas de rendimiento causados por el calor generado, los sistemas de alta potencia que funcionan en niveles de *back-off* llevan asociado un incremento de la complejidad del sistema. En consecuencia, existe la necesidad de diseñar amplificadores de potencia eficientes.

Existen varias técnicas para mejorar la eficiencia en *back-off* como, por ejemplo, la modulación por pulsos de RF (*RF-pulse modulation*), seguidores de envolvente (*envelope tracking*) y modulación dinámica de la carga (*dynamic load modulation*). Un ejemplo de esto último es el amplificador de potencia Chireix, cuya estructura básica se muestra en la Figura 1.1, que consta de dos amplificadores idénticos en paralelo, pero con diferente fase, donde se busca combinar las señales de PM (*Phase Modulation*) con una amplitud constante para alcanzar una amplificación de una señal de AM (*Amplitude Modulation*) [4], [5]. El principio de funcionamiento de este circuito es el siguiente; un separador de componente de señales traduce una señal AM en dos señales PM constantes con la misma amplitud, pero opuestas en fase. Después de pasar las señales PM por los amplificadores, que tienen una amplitud de salida constante en ambas ramas, ambas salidas se recombinan para obtener la señal AM amplificada [6].

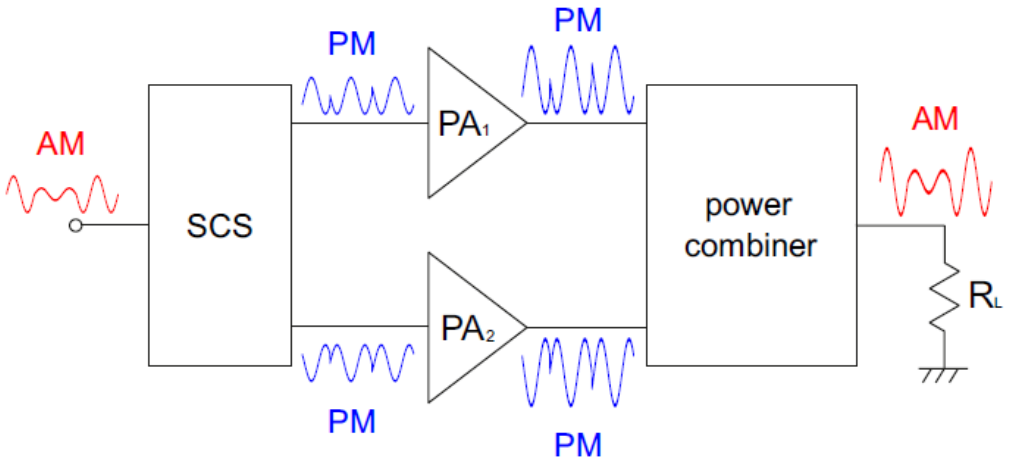


Figura 1.1. Estructura de un amplificador Chireix.

1.2. Objetivos

El objetivo principal de este trabajo fin de grado (TFG) es el diseño de un amplificador de potencia integrado para el estándar 5G en configuración Chireix.

Para ello, se empleará la tecnología GaN (Nitruro de Galio) proporcionada por la fundidora OMMIC [7].

Las especificaciones preliminares que debe cumplir el diseño son las que se ven reflejadas en la Tabla 1.1.

Tabla 1.1. Especificaciones a cumplir por el amplificador Chireix.

Bandas de frecuencia	3,4 – 3,8 GHz
Modulaciones	IT/L BPSK, BPSK, QPSK, 16-QAM, 64-QAM, 256-QAM
PAPR	>7 dB
Potencia de salida	25 dBm

Para llevar a cabo el proyecto se ha empleado la herramienta software ADS (*Advanced Design System*) de la empresa *Keysight*. Esta herramienta es ampliamente utilizada para el diseño de circuitos RF puesto que es un instrumento muy potente y posee un gran de número de librerías, así como opciones de simulación.

1.3. Estructura de la memoria

La memoria de este TFG se compone de 7 capítulos. En el primero de ellos se comienza con una breve introducción sobre el proyecto y se exponen los principales objetivos que se pretenden alcanzar.

En el segundo capítulo se realizará un estudio del estado del arte, donde se examinará el desarrollo de la tecnología 5G y el impacto del GaN que se ha llevado a cabo en los últimos años.

En el capítulo 3 se presentan los conceptos más relevantes relacionados con los amplificadores de potencia, y se detallan las diferentes clases de amplificadores existentes. Posteriormente, se realiza un estudio teórico sobre el amplificador Chireix.

En el cuarto capítulo se procede a realizar el diseño de un amplificador en clase B con elementos ideales, necesario para la implementación del amplificador Chireix. Posteriormente, en el capítulo 5 se lleva a cabo un diseño análogo al capítulo anterior, pero con los componentes reales de la tecnología de GaN.

En el sexto capítulo se realiza la implementación del amplificador Chireix por completo, y se obtienen los resultados. Asimismo, se presenta el *layout* completo del amplificador.

Por último, en el capítulo 7, se exponen las conclusiones a partir de los resultados obtenidos, y se muestran las posibles líneas futuras de este trabajo.

Capítulo 2.

2. Estudio de la tecnología

En este capítulo se exponen los principales datos de la tecnología 5G, además de las características que hacen destacar el Nitruro de Galio (GaN) como semiconductor frente a otros ya existentes en el mercado.

2.1. Tecnología 5G

El desarrollo de la tecnología de los dispositivos electrónicos como los teléfonos móviles o las *tablets* se ha visto incrementado en los últimos años, superando incluso en rendimiento y capacidad a dispositivos como los ordenadores, algo impensable hasta hace no mucho. A medida que ha ido creciendo la demanda en distintos campos, la tecnología móvil ha evolucionado poco a poco, pasando por diferentes generaciones hasta que actualmente se encuentra en nuestros sistemas móviles, el 4G [8].

Las necesidades de los usuarios han hecho que se desarrolle una nueva tecnología, la 5G, que trae consigo un aumento de la tasa de transferencia de datos y la disminución de la latencia. A su vez, la aparición del 5G hace posible el desarrollo a gran escala de aplicaciones que llevan poco tiempo en el mercado como son por ejemplo los coches autónomos, el IoT (*Internet of Things*), el Big Data o la realidad aumentada.

Se estima que en 2021 el tráfico de datos de teléfonos móviles superará los 50 petabytes; 12 veces más que en 2016 [9]. Esto vendrá acompañado de un aumento en el número de dispositivos IoT, cuya estimación es que en 2020 habrá más de 20 mil millones de dispositivos [10].

La organización encargada de estandarizar esta nueva tecnología es la 3GPP (*Third Generation Partnership*) [11]; un consorcio formado por los órganos de estandarización a nivel mundial, como son la ETSI (*European Telecommunication Standards Institute*) a nivel europeo, CCSA (*China Communications Standards Association*) en China o ATIS (*Alliance for Teleccomunications Industry Solutions*) en Estados Unidos.

En la Tabla 2.1 se puede ver de forma resumida las principales características que diferencian el 5G de su antecesor. La velocidad de transmisión aumentará de 10 a 100 veces con respecto al 4G; la latencia se reducirá hasta en un factor de cinco veces a la actual y se permitirá una densidad de dispositivos por km^2 diez veces mayor [12].

Tabla 2.1. Tabla comparativa del 4G y 5G.

	4G	**5G**
Número de conexiones	Hasta 100.000	Hasta 1 millón
Velocidad de transmisión	Hasta 1 Gbps	Hasta 10 Gbps
Latencia	10ms	<5ms

2.1.1. Bandas de frecuencia

Una de las grandes ventajas que ofrece esta tecnología es su gran versatilidad, gracias a la cual se puede optimizar para cada aplicación específica. Así, se permite el uso de bandas de menos de 1 GHz, otras que se sitúan entre 1 y 6 GHz y otras por encima de 6 GHz, cada una con las ventajas que conlleva su uso.

El 5G trabajará en tres bandas de frecuencia distintas, comprendidas en los rangos mencionados anteriormente. La más baja, sub 1GHz, se empleará para una cobertura de área amplia y profunda en interiores. La ventaja de esta banda es la posibilidad de desplegarla mediante las redes ya existentes, haciendo así más fluida su transición [13].

La segunda banda que se usará se encuentra en el rango de 1 GHz-6 GHz. Se basa en el espectro de banda C alrededor de la marca 3,5 GHz para ofrecer el mejor compromiso entre la capacidad y cobertura. Su banda permitirá cubrir un área de tamaño mediano-grande mientras transmite una gran cantidad de datos. Los reguladores europeos han identificado la banda 3,4 GHz – 3,8 GHz, ya que es la que mayor impacto tendrá a nivel europeo.

En los planes de despliegue del 5G esta banda se considerará prioritaria, para poder ofrecer los servicios de banda ancha mejorada a empresas y así poder desarrollar el máximo potencial de esta tecnología.

La tercera banda se encuentra por encima de los 6 GHz. En Europa se ha acordado definirla entre 24,25 GHz y 27,5 GHz. Se usa un espectro de ondas milimétricas de mayor frecuencia para brindar altas velocidades de datos. Esto lo hará ideal para puntos estratégicos que requieran una gran tasa de transferencia de datos, como puede ser un estadio de fútbol, hospitales, etc.

Las ondas a esta frecuencia y mayores se conocen como “ondas milimétricas”, y pertenecen a la banda *Extremely High Frequency* (EHF) cuyo rango va de 30 a 300 GHz. Estas son cada vez más atractivas para los fabricantes y diseñadores, al ser una parte del espectro que apenas se encuentra en uso, además de tener un *throughtput* muy elevado y una latencia muy reducida.

Se percibe que haciendo uso de las tres bandas de forma simultánea, se pretende dar cobertura a ciudades enteras y prevenir la saturación de las redes, dando a cada zona los requisitos que ésta requiera (ver Figura 2.1).

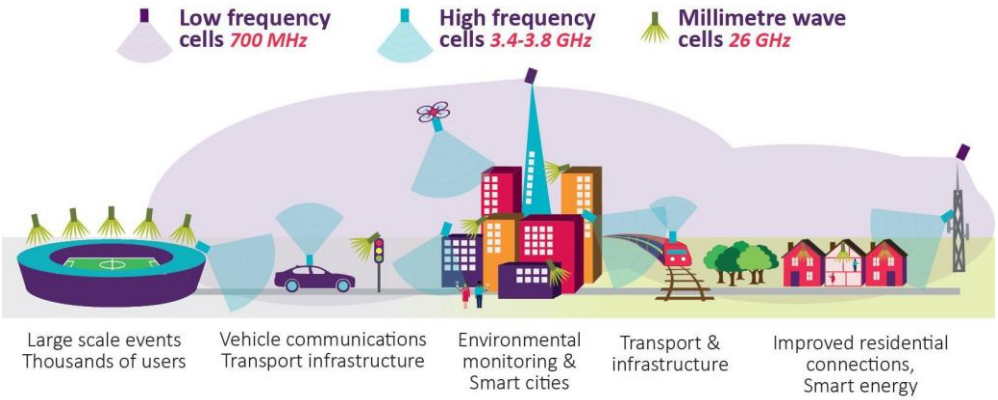


Figura 2.1. Bandas de frecuencias 5G.

2.1.2. Aplicaciones

Las ventajas que ofrecen la tecnología 5G sobre sus antecesores es que permite que las aplicaciones cubran una gran cantidad de sectores y cada una con sus propios requisitos para operar correctamente. Esta tecnología influirá en campos como son la realidad virtual/mixta/aumentada, los coches autónomos, como alternativa al acceso al internet cableado, en hospitales, para consumir información en dispositivos móviles, etc. [8].

Los coches autónomos que harán uso de esta tecnología requieren de una reducida latencia, mientras que por ejemplo si se quieren ver vídeos en alta

definición, se precisa de un gran ancho de banda. Mientras, el IoT necesitará poder conectar gran cantidad de dispositivos a una red, sin necesitar un ancho de banda elevado.

Debido a esta diferencia, la *International Telecommunication Union* (ITU) [14] ha clasificado los servicios que ofrecerá el 5G en función de tres categorías [15]): e*nhanced Mobile Broadband* (eMBB), *massive Machine Type Communications* (mMTC) y *ultra Reliable and Low Latency Communications* (uRLLC). En la Figura 2.2 se clasifican varias aplicaciones y los servicios del 5G que requerirán.

- eMBB: Este servicio tiene como objetivo satisfacer las aplicaciones que requieren un elevado ancho de banda, pudiendo ofrecer hasta picos de 20 Gbps y 100 Mbps a cada usuario. Está orientado al consumo de la información: como es ver vídeos en alta definición (4k y 8k), realidad virtual, videojuegos, etc.
- mMTC: Su objetivo es permitir la conexión de una gran cantidad de nodos a la red, hasta 1 millón/km^2, lo cual es útil para, por ejemplo, el desarrollo de las ciudades inteligentes o la agricultura inteligente.
- uRLLC: Está centrado en ofrecer una mejor latencia, de hasta 1 ms, para servicios que necesitan una rápida transmisión de datos, como es el caso de los coches autónomos o las plantas industriales.

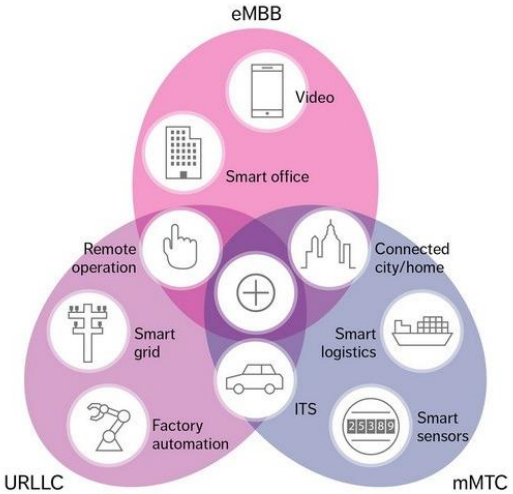


Figura 2.2. Los distintos servicios que ofrecerá el 5G y algunas de sus aplicaciones.

El espectro sub 1GHz, descrito en el anterior apartado, hará uso de uRLLC y mMTC, ya que necesitará soportar una alta movilidad y una gran área de

cobertura. Las otras dos bandas, 3,6 GHz y 26 GHz, principalmente ofrecerán un gran ancho de banda, eMBB.

2.2. Tecnología GaN

Durante la última década han surgido nuevas aplicaciones que requieren de una gran potencia, como el 3G, 4G y WiMAX, que hacen uso de la banda de microondas (1 GHz – 300 GHz). Esto ha producido un aumento del uso de la tecnología GaN como compuesto para semiconductores en radiofrecuencia. Previamente, su principal uso era en áreas relacionadas con la defensa, como son los inhibidores de frecuencia o radares, aunque ahora su uso a nivel comercial es cada vez mayor y sus ventajas notables.

2.2.1. Comparativa del GaN frente al Si y el GaAs

Hasta ahora los compuestos más usados eran el Arseniuro de Galio (GaAs) y el Silicio (Si), Sin embargo, en los últimos años ha aparecido un nuevo semiconductor, el GaN, que presenta unas características que lo hacen muy atractivo para las aplicaciones de alta frecuencia [16].

Tanto el GaN como el GaAs, tienen en común ser utilizados como semiconductores que son depositados sobre obleas o *wafers*, como la que se muestra en la Figura 2.3. Sobre estas obleas se fabrican todos los elementos que forman parte de un circuito electrónico. Ambas tecnologías se comercializan en forma de lingotes con diámetros en torno a los 5cm.

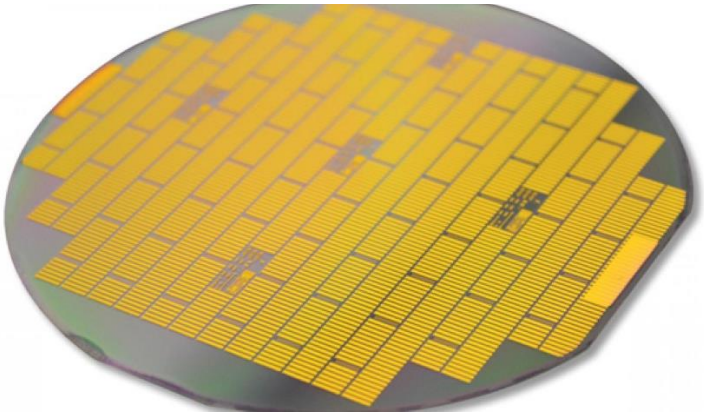


Figura 2.3. Obleas donde se depositan los circuitos.

El GaAs se encuentra a día de hoy en una gran variedad de dispositivos, tales como los *smartphones*, *tablets*, etc. Este semiconductor por tanto está muy establecido en el mercado como opción preferente para diseños de alta frecuencia en los que se requiere una figura de ruido lo menor posible, como puede ser por ejemplo en las primeras etapas de un equipo receptor de RF. En general estos componentes operan a tensiones y corrientes lo suficientemente bajas como para no requerir más de una batería como fuente de alimentación.

Por otro lado, el GaN es capaz de soportar tensiones de alimentación elevadas, por lo que se suele escoger este material para diseñar amplificadores de potencia en estaciones base o para sustituir amplificadores basados en tubos de vacío. Comparando las salidas de dos amplificadores basados en GaN y GaAs, los primeros tienden a ser más lineales y presentar menos distorsión.

Las ventajas que ofrece el GaN frente a otros semiconductores para justificar su uso cada vez mayor en aplicaciones de radiofrecuencia y microondas son varias, siendo algunas de ellas:

- La banda prohibida de un semiconductor es la energía mínima necesaria para excitar un electrón desde su estado libre a un estado que le permita participar en la conducción de corriente. Cuanta más anchura tiene esta banda, más energía necesita un electrón para pasar de la banda de valencia a la de conducción. El GaN es un material considerado de banda prohibida ancha [16], ya que dicha dimensión es de unos 3,4 eV, frente a los 1,4 eV del GaAs.
- Debido al punto anterior, las propiedades del GaN suelen superar a las del GaAs en cuanto a energía, potencia y velocidad para alcanzar estados de alta energía. La velocidad de saturación, que es la velocidad máxima a la que se pueden mover los electrones por un canal [22], tiene un valor típico de $2{,}7 \cdot 10^7$ cm/s en el GaN, mientras que en el GaAs es de $2{,}0 \cdot 10^7$ cm/s. Es importante tener una velocidad de saturación adecuada, ya que, si no el transistor puede entrar en saturación independientemente de que la tensión aplicada no sea la máxima.
- La tensión de ruptura determina el nivel de tensión que se puede aplicar de forma segura a un dispositivo de estado sólido sin dañarlo. La tensión del

GaN, que es de $4 \cdot 10^6$ V/cm, es muy superior a la del GaAs, de $5 \cdot 10^5$ V/cm. El GaN también cuenta con una constante dieléctrica relativa mucho mayor (9) que la del GaAs (1,28), permitiendo así fabricar capacidades de más alto valor en una menor superficie [17].

Ya que la densidad de potencia en compuestos de GaN es mucho mayor que en compuestos de GaAs e incluso mayor que en otros materiales semiconductores como el Silicio, su conductividad térmica es superior a otros materiales. Este es un parámetro fundamental para caracterizar cómo de bien disipa calor el dispositivo debido a pérdidas en el dieléctrico e ineficiencias. La conductividad térmica del GaN es de 1,7 W/cm·K, tres veces superior a la del GaAs. Una conductividad térmica alta favorece que la temperatura crezca lo mínimo posible en conducción, algo que permite a los dispositivos basados en GaN manejar niveles mayores de potencia que aquellos basados en GaAs, usando ambos la misma estructura física.

2.2.2. Comparativa con el SiC

Otro material ampliamente usado hoy en día es el Carburo de Silicio (SiC). Al igual que el GaN, éste se emplea principalmente en aplicaciones de alta potencia y de gran frecuencia [18]. Ambos son de banda prohibida ancha y tienen en común la alta tensión de ruptura y movilidad de electrones comentada anteriormente.

La ventaja del GaN frente al SiC es que el primero permite la fabricación de transistores de alta movilidad de electrones o *High Electron Mobility Transistor* (HEMT), mientas que el SiC solo permite la fabricación de *Metal-Semiconductor Field-Effect Transistor* (MESFET).

Los transistores tipo HEMT tienen como ventaja una alta concentración de portadores y movilidad de electrones debido a su reducido *scattering* por impurezas. Estos dos factores permiten una alta densidad de corriente y una baja resistencia del canal, lo que es especialmente importante en las aplicaciones de altas frecuencias y de conmutación de potencia.

2.3. Resumen

En este capítulo se han presentado las principales características que diferencian la tecnología 5G de su antecesor, cabe destacar una velocidad de transmisión de hasta 10Gbps, una latencia menor de 5ms y una densidad de dispositivos por km^2 de hasta 1 millón. Además, esta tecnología trabaja en tres bandas de frecuencia, la primera banda está por debajo de 1 GHz, otra que se sitúa entre 1 y 6 GHz y la última por encima de 6 GHz, cada una con las ventajas que conlleva su uso. En cuanto a las aplicaciones, esta tecnología cubre un amplio número de sectores, es por ello que los servicios que ofrece se clasifican en función de tres categorías: e*nhanced Mobile Broadband* (eMBB), *massive Machine Type Communications* (mMTC) y *ultra Reliable and Low Latency Communications* (uRLLC).

En cuanto al GaN, se decide hacer uso de esta tecnología debido a sus ventajas sobre el resto de materiales. El GaN es un material considerado de banda prohibida ancha con una dimensión de unos 3,4 eV, debido a esto las propiedades del GaN suelen ser mejores en cuanto a energía, potencia y velocidad para alcanzar estados de alta energía. Además, esta tecnología es la primera que permite la fabricación de transistores de alta movilidad de electrones o *High Electron Mobility Transistor* (HEMT).

Capítulo 3.

3. Estudio de los amplificadores de potencia

En este capítulo se definen los conceptos relacionados a los amplificadores de potencia. Primero se definirá el concepto de transistor FET (*Field Effect Transisor*), así como su funcionamiento y sus principales parámetros a tener en cuenta a la hora de utilizarlos. A continuación, se entrará en detalle de los distintos parámetros de un amplificador de potencia que se tendrán en cuenta para la realización de este trabajo. Por último, se detalla el amplificador con estructura Chireix, así como su proceso de diseño.

3.1. Amplificadores de potencia

Los amplificadores de potencia o PA (*Power Amplifier*) son dispositivos que amplifican la potencia de la señal que reciben a su entrada. Su principal objetivo es proporcionar la tensión máxima requerida por una carga, sin que la señal sufra distorsión de algún tipo. Este tipo de amplificadores vienen determinados por una serie de parámetros, tales como la eficiencia, la ganancia y la estabilidad.

3.1.1. Transistores

Un transistor de efecto de campo (FET) es un componente electrónico que consta de tres terminales: la puerta (o *Gate*), el drenador (o *Drain*) y el surtidor (o *Source*) (ver Figura 3.1). Estos dispositivos funcionan controlando la corriente entre drenador y surtidor a través del campo eléctrico establecido mediante la tensión aplicada al terminal de puerta, es decir, se regulan por la tensión. Otras ventajas es que generan menos ruido que los BJT y son fáciles de fabricar. Son usados comúnmente como resistencias controladas por tensión y fuentes de corriente [19].

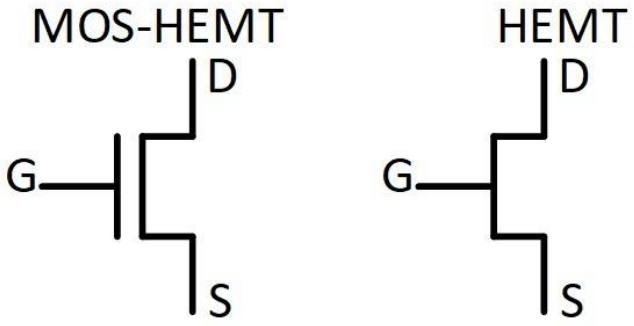


Figura 3.1. Símbolo de un transistor HEMT.

En este trabajo se usarán transistores tipo *Pseudomorphic High Electron Mobility Transistor* (P-HEMT) en tecnología GaN, que pertenecen a la familia de los transistores FET. Las principales ventajas de este tipo de transistores son una eficiencia y ganancia elevadas, además de una alta tensión de ruptura y un elevado valor de tensión de saturación y un reducido tamaño.

3.1.1.1. Funcionamiento

Para que un transistor entre en funcionamiento y ejerza su función de amplificador, se aplica una tensión entre la puerta y el surtidor (V_{GS}) y otra del drenador al surtidor (V_{DS}). En función del valor de cada una de estas tensiones el transistor estará funcionando o no. Así, se pueden definir distintas regiones de funcionamiento del transistor [19]: zona de corte, zona óhmica o lineal y zona de saturación.

3.1.1.1.1. Regiones de funcionamiento

3.1.1.1.1.1. Zona de corte

Existe una tensión, denominada tensión de umbral (V_T) a partir de la cual el transistor comienza a operar. En caso de que la tensión entre la puerta y el surtidor (V_{GS}) sea menor o igual que esta ($V_{GS} \leq V_T$), no circulará corriente entre el drenador y el surtidor (I_D), aunque exista tensión positiva entre dichos terminales (V_{DS}). Esto se debe a que al ser V_{GS} menor que V_T, no se llega a crear un canal en el transistor por el que pueda fluir la corriente.

Para $V_{GS} \leq V_T$ y $V_{DS} > 0$ se tiene la siguiente expresión (3.1):

$$I_D = 0 \tag{3.1}$$

3.1.1.1.1.2. Zona lineal u óhmica

Suponiendo una tensión V_{DS} mayor que cero, cuando la tensión V_{GS} aumenta lo suficiente y supera la tensión umbral V_T, se crea un canal entre el drenador y el surtidor que permite el paso de la corriente I_D. A medida que V_{GS} aumenta, dicho canal se va ensanchando, permitiendo el paso de una mayor cantidad de corriente. En esta zona de operación, la cantidad de corriente que fluye también es proporcional al valor de V_{DS}, como se verá en el siguiente apartado, en las curvas características del transistor.

Para $V_{GS}>V_T$ y $0<V_{DS}\leq V_{GS}-V_T$ se tiene la siguiente expresión (3.2):

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{{V_{DS}}^2}{2}] \qquad (3.2)$$

Siendo:

- μ_n**:** la movilidad de los electrones.
- C_{ox}**:** la capacidad de óxido de la puerta por unidad de área.
- L**:** la longitud del canal del transistor (μm).
- W**:** el ancho del canal del transistor (μm).

3.1.1.1.1.3. Zona de saturación

Como ya se ha comentado anteriormente, cuando el valor de V_{GS} es mayor que V_T, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de I_D. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS}, la corriente de drenador alcanza un nivel de saturación cuando su valor es superior a V_{GS} -V_T. Esta saturación se debe a un estrechamiento del canal (*pinch-off*), encontrándose así el transistor en zona de saturación.

Para $V_{GS}>V_T$ y $V_{DS}>V_{GS}-V_T$ se tiene la siguiente expresión (3.3):

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda(V_{DS} - V_{DS_{sat}})) \qquad (3.3)$$

Estando en la zona de saturación, si se continúan aumentando las tensiones del circuito, se excederán los límites recomendados por el fabricante y se podrá dañar el componente electrónico; provocando una zona conocida como *breakdown*.

3.1.1.2. Curvas características

Conociendo las distintas zonas que rigen la operación de los transistores, se pueden trazar las denominadas “curvas características”. Estas curvas muestran las prestaciones de un transistor ante distintas tensiones de entrada de V_{GS}, V_{DS} y con ello la corriente I_D que fluye en las distintas regiones de trabajo. En la Figura 3.2 se puede ver un ejemplo de estas curvas.

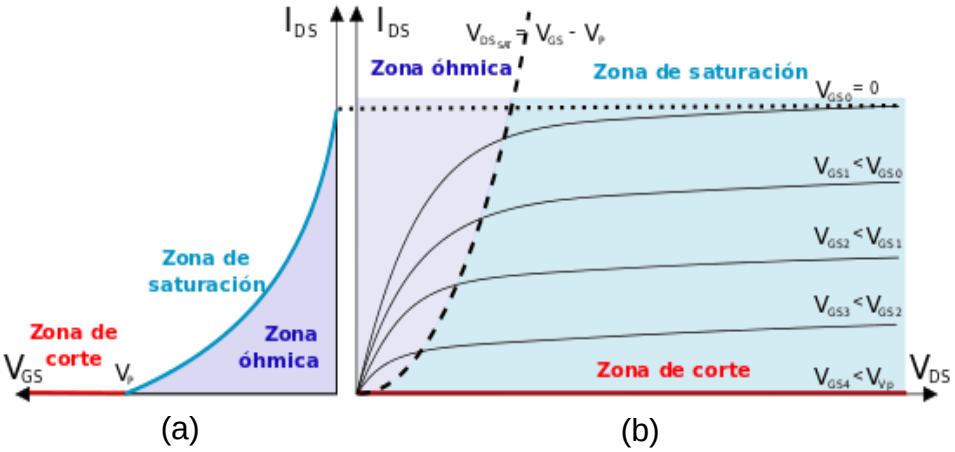


Figura 3.2. (a) Curva de transferencia y (b) curva característica del drenador del transistor.

En la Figura 3.2 (a) se puede ver la curva de transferencia de un transistor, con I_D en función de V_{GS}. También se observa que por debajo de la tensión umbral V_T, el transistor se encuentra en zona de corte y que cuando ésta se supera, el transistor se encuentra en conducción (zona óhmica).

Por otro lado, en la Figura 3.2 (b) se encuentra la curva característica del drenador. En ella, se traza la corriente I_D frente a V_{DS} y V_{GS}. En función de los valores que obtenga V_{GS}, la cantidad de corriente es mayor o menor. Además, cuando el valor de V_{DS} supera el de V_{GS} - V_T, el transistor entra en saturación y el valor de la corriente se mantiene casi constante. Por debajo de dicho valor el transistor se encuentra en zona óhmica y el valor de la corriente tiene una relación cuadrada con las tensiones.

A partir de las curvas características de un transistor se puede también definir su recta de carga y punto de trabajo [20] y, por tanto, su polarización. Polarizar un transistor consiste en establecer un punto de trabajo mediante

restricciones de circuito, es decir, estableciendo las tensiones V_{GS}, V_{DS} y la corriente I_D para que el transistor opere en la región que cumpla los siguientes requisitos [19]:

- Estar ubicado de tal forma que el dispositivo trabaje en zona activa (de saturación del canal o de corriente constante) y permitir suficiente variación de la señal sin que el dispositivo salga de esa zona de funcionamiento y entre en zona de corte, lineal o resistiva.
- Ser permanente, predecible y estable ante cualquier posible variación de los parámetros del dispositivo.
- Disipar la mínima potencia posible.

La ventaja de obtener la recta de carga es que permite conocer todos los puntos de trabajo posibles para el circuito. A partir de ahí, se puede variar los distintos parámetros del circuito y elegir el punto más conveniente para la aplicación específica para el que se está fabricando el circuito.

3.1.2. Estabilidad

La estabilidad es un factor fundamental a tener en cuenta. Este determina la capacidad que tiene un amplificador de mantener su eficacia en los valores nominales de operación, es decir, es la oposición que presta a oscilar.

En una red de dos puertos (entrada y salida) las oscilaciones son posibles cuando en cualquiera de ellos se presenta una impedancia con parte real negativa. Que se cumplan estos requisitos depende de varios factores, tales como los parámetros S del dispositivo, las redes de adaptación utilizadas y las terminaciones del circuito. Además, un circuito puede ser estable a algunas frecuencias y a otras no, para los mismos valores de impedancias de generadores y de carga [21].

Existen dos tipos de estabilidad. La primera, denominada “incondicionalmente estable”, se cumple cuando para una frecuencia dada, el transistor es estable para todas las impedancias de fuente y carga, es decir, que las impedancias de entrada y salida tienen siempre parte real positiva.

Un transistor también puede ser “condicionalmente estable”. Se encuentra en este estado cuando para una frecuencia dada, algunas de las impedancias de fuente y carga pueden producir impedancias de entrada y salida con parte real negativa [21].

En el caso de los amplificadores de potencia multietapa, es importante no solo analizar la estabilidad par con el factor de Rollet global (K) sino que se aplican distintos criterios para la verificación de la misma. Lo más común a la hora de estudiar la estabilidad de un circuito compuesto por varias etapas, es analizar las estabilidades par e impar de cada “celda” que lo compone. Se considera celda a cada transistor incluyendo su red de estabilización.

Para realizar este tipo de análisis de estabilidad se aplicada el criterio de Nyquist. A continuación, se explica brevemente dicho criterio para ambos modos de estabilidad [22] [23].

3.1.2.1. Estabilidad par

3.1.2.1.1. Pequeña señal

Para saber si un amplificador es estable, se deben cumplir un número de condiciones, que se reúnen en el factor de Rollett o de estabilidad, representado mediante una K y cuya expresión matemática es (3.4). Si este valor es menor que la unidad (K < 1), el transistor es inestable; en caso contrario (K > 1) es estable.

$$K = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* * \Delta| + |S_{21} * S_{12}|} > 1 \qquad (3.4)$$

Siendo los parámetros S:

- S11: Indica el grado de adaptación de la impedancia de entrada. Estando bien adaptada, no habría potencia reflejada y por tanto S11 = 0 + 0j.
- S22: Indica el grado de adaptación de la impedancia de salida. Bien adaptada, no se refleja potencia a la carga y S22 = 0 + 0j.
- S12: Ganancia en potencia en inversa. Mide el nivel de aislamiento.
- S21: Ganancia de potencia en directa. Interesa que sea elevado.

Para proporcionar estabilidad a un transistor es posible añadir una red de estabilidad. Este tipo de redes reducen la ganancia del transistor en favor de un mayor factor de estabilidad.

3.1.2.1.2. Gran señal

El criterio de Nyquist para el modo par sirve para comprobar si un transistor del circuito es estable por sí mismo. Es decir, se analiza que cada transistor (o celda) sea estable sin que el resto de los transistores interfieran en el análisis.

Por otra parte, se dice que una celda es estable en modo par según el criterio de Nyquist si el producto de los coeficientes de reflexión a la entrada o a la salida del circuito es menor que 1 y no engloba el punto -1+j0 en el sentido de las agujas del reloj. En otras palabras, si el producto es menor que 1 se asegura que no van a ocurrir inestabilidades de esta naturaleza. Sin embargo, en caso de ser mayor que 1, si no engloba el punto -1+j0 se puede asegurar que no ocurrirán inestabilidades de modo par [23].

3.1.2.2. Estabilidad impar

Las inestabilidades de modo impar ocurren en gran señal y cabe destacar que aparecen normalmente en amplificadores con más de un dispositivo (celda) debido a las distintas características de los transistores y las técnicas de adaptación aplicadas. En este tipo de amplificadores, la combinación en paralelo de los transistores se emplea para conseguir altas potencias de salida. Esta combinación en paralelo puede causar inestabilidades por fugas de la señal entre celdas debido a los bucles existentes. Otra razón que puede causar inestabilidades de modo impar son las posibles asimetrías que existan entre las redes de adaptación de los transistores.

En este caso, se vuelve aplicar el criterio de Nyquist, pero para el modo impar. Este método determina las inestabilidades asociadas a los bucles mediante el análisis de su función de transferencia en bucle abierto en las uniones entre las redes pasivas y la entrada de los dispositivos activos. De esta forma, se analiza el coeficiente de reflexión de entrada en ese punto para cada uno de los dispositivos activos ($G_1(jw)$, …, $G_k(jw)$, siendo k el número de dispositivos activos) y se comprueba que ninguno de ellos engloba el punto 1+ j0 [23].

3.1.3. Ganancia

La ganancia (G) de un amplificador se define como el ratio de potencia de salida (P_O) frente a la potencia de entrada (P_i). Su expresión matemática viene dada por la ecuación (3.5).

$$G = \frac{P_o}{P_i} \tag{3.5}$$

3.1.4. Eficiencia

El amplificador de potencia es, con diferencia, uno de los componentes que más consume en un circuito. Una mayor eficiencia implica menores pérdidas y, por tanto, una mejor gestión del calor generado y mejores costes de operación del amplificador.

La eficiencia es un parámetro que permite medir la cantidad de la corriente continua de la señal de entrada que se transforma en potencia. La parte que no es transformada se disipa en forma de calor. Existen dos formas de representar numéricamente la eficiencia en un amplificador: mediante la eficiencia del drenador (**η**) y la *Power Added Efficiency* (PAE).

3.1.4.1. Eficiencia del drenador

La eficiencia del drenador viene dada por la expresión (3.6) y se define como la potencia de salida del amplificador (P_{out}) frente a la potencia en continua (P_{dc}) que recibe de alimentación [17].

$$\eta_{drenador} = \frac{P_{out}}{P_{dc}} \tag{3.6}$$

El problema contemplado en esta ecuación es la falta de consideración de la potencia de entrada y por tanto no se puede saber con precisión la cantidad de potencia proveniente de la fuente de alimentación que es convertida en potencia de la señal de salida. Es decir, es independiente de la ganancia del amplificador.

3.1.4.2. PAE

Para solucionar el problema anterior, otra forma de medir la eficiencia del circuito es mediante el PAE, cuya ecuación (3.7) incluye la potencia de entrada del amplificador.

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} \tag{3.7}$$

Otra forma de obtener el PAE es mediante la expresión (3.8), que, como se puede observar, sí contempla la ganancia del circuito para obtener la eficiencia del circuito.

$$PAE = \eta_{drenador} \frac{G - 1}{G} \tag{3.8}$$

En el caso de un amplificador real, el PAE siempre será menor que la eficiencia del drenador (PAE < **η**). Sin embargo, a partir de los 30 dB de ganancia, o 1000 en la escala lineal, la diferencia será del 0,1%, lo cual es una diferencia despreciable.

El PAE es considerada FOM (*Figure of Merit*) y por esta razón será usada a lo largo de este trabajo.

3.1.5. Back-Off

Como se ha comentado anteriormente, la finalidad de un amplificador es amplificar la potencia de la señal a los niveles requeridos por la carga que está conectada a él. Debido a la polarización y la linealidad del transistor, cuando se recibe una señal de entrada demasiado grande, este entra en saturación y la señal de salida se comprime, como se puede ver en la Figura 3.3.

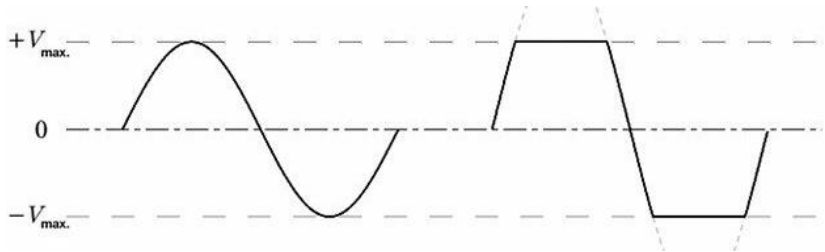


Figura 3.3. Señal de salida de un transistor (izquierda) y señal en compresión (derecha).

En la Figura 3.4 se muestra la potencia de salida (P_{out}) en función de la potencia de entrada (P_{in}), donde para valores bajos de P_{in} se obtiene una potencia de salida de la señal lineal. Sin embargo, cuando los valores de P_{in} son elevados, la potencia de salida de la señal se satura. Para conseguir una mayor linealidad, es necesario operar por debajo del punto de compresión de 1 dB [23].

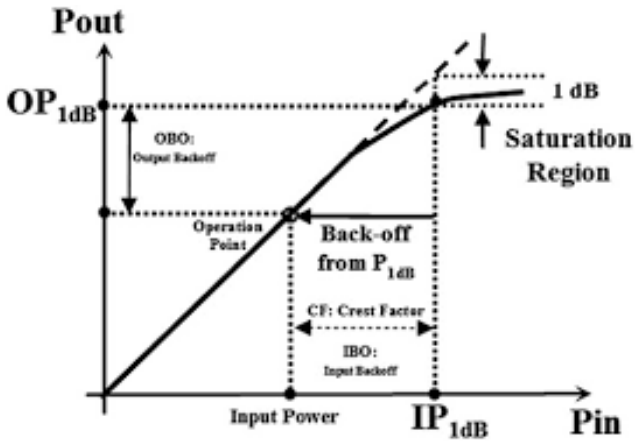


Figura 3.4. Representación gráfica del back-off de entrada y de salida.

El *Input Back-Off* (IBO) en un amplificador de potencia mide cuánto hay que reducir la potencia de entrada para obtener la potencia y linealidad deseada en la señal de salida. En otras palabras, es la diferencia en dB entre la potencia de entrada en el punto de operación y el punto de compresión a 1 dB.

El *Output Back-Off* (OBO) es la diferencia entre la potencia de salida de saturación y la potencia media transmitida después de la amplificación. Suele ser 5 dB menos que el IBO y depende del punto de compresión del circuito. Viene dada por la ecuación (3.9).

$$OBO = P_{sat}(dB) - P_{av}(dB) \tag{3.9}$$

Reducir el OBO puede ser de gran interés, si un circuito para operar correctamente necesita un reducido *back-off*, es decir, que la potencia de operación P_{av} sea próxima a P_{sat}. De esta forma el circuito será más eficiente y por tanto se verá reducido su consumo de potencia. Los amplificadores de potencia tienen su mayor eficiencia cuando se usan a la máxima potencia, o lo que es lo mismo, con 0 dB de *back-off*.

3.1.6. Clases

Los amplificadores de potencia se pueden clasificar por el porcentaje de tiempo que están operando al recibir una entrada senoidal [24]. Este principio depende del denominado "ángulo de conducción", que muestra durante qué parte de los ciclos de las ondas de entrada el transistor está conduciendo. Dicho ángulo de conducción se puede regular mediante la tensión de polarización de puerta-surtidor V_{GS}.

En función de cada ángulo de conducción se define una "clase" de amplificador, pudiendo así clasificar estas dentro de dos grupos. Por una parte, los amplificadores lineales; cuya salida es proporcional a la entrada. Dentro de este grupo se encuentran las clases A, AB, B y C, que se observan de forma más detallada en la Figura 3.5 donde se encuentran los ejemplos gráficos de la conducción de las clases de los amplificadores.

En el segundo grupo el transistor actúa como *switch*, variando la tensión de puerta surtidor (V_{GS}), consiguiendo así que funcione en ciertos rangos de entrada. Cada una de las clases de los amplificadores de potencia difiere en términos de linealidad, potencia de salida y eficiencia.

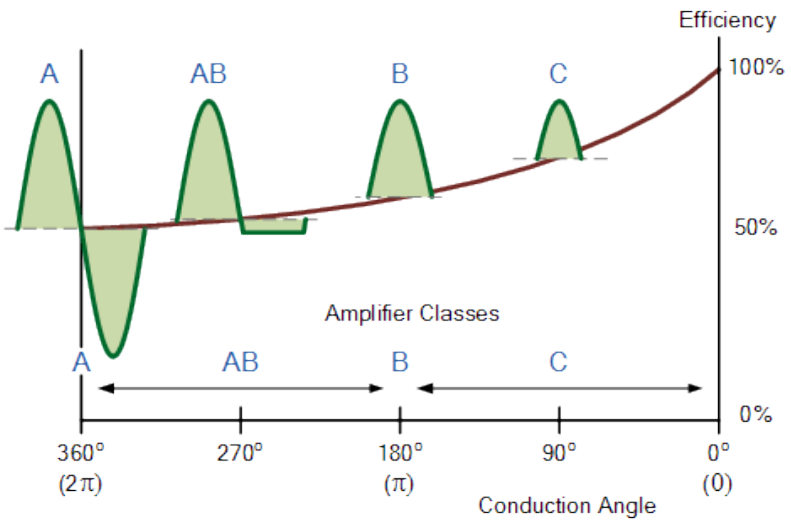


Figura 3.5. Clases de amplificadores según el ángulo de conducción frente a la eficiencia.

El ángulo de conducción es importante ya que define la eficiencia y la linealidad de los amplificadores de potencia. Estos valores ya están calculados y están resumidos en la Tabla 3.1.

Tabla 3.1. Eficiencia máxima y ángulo de conducción de cada clase lineal.

Clase	Ángulo	Eficiencia
A	2π	50%
B	π	78,5%
AB	π<σ<2 π	50%<η<78,5%
C	<π	>78,5%

3.1.6.1. Clase A

Esta clase de amplificadores conducen durante el periodo entero de una onda, es decir, 2π radianes. Se polarizan la corriente y el voltaje DC en medio de los máximos y mínimos de la onda, para así asegurar la conducción en todo momento.

Como se ve en la Figura 3.5, la función de un amplificador clase A es prácticamente una función lineal y destaca por tener una ganancia elevada y una reducida distorsión. El principal inconveniente que se encuentra es la baja eficiencia, debido al alto consumo de energía. La máxima eficiencia que se puede obtener es del 50%.

Este tipo de amplificadores se usan en la mayoría de los casos cuando se requiere una elevada linealidad de la señal de salida.

3.1.6.2. Clase B

El transistor polarizado en clase B se distingue por tener un ángulo de conducción de π radianes, es decir, conduce medio ciclo de una onda de entrada. Esto queda reflejado en su punto de polarización, que está en $V_{DSmax}/2$. Existen varias diferencias frente a un transistor polarizado en clase A. Una de ellas es que un transistor en clase B tiene una mayor eficiencia, de hasta 78,5%, pero sacrificando linealidad debido a una mayor presencia de armónicos.

3.1.6.3. Clase AB

Esta clase se distingue por estar entre la clase A y B, es decir, su ángulo de conducción se encuentra entre π y 2π. Como se ha comentado con anterioridad, en un transistor polarizado en clase A, la eficiencia es del 50% y tiene un bajo contenido armónico, mientras que en el clase B la eficiencia es del 78,5% y con un alto contenido armónico.

Consecuentemente, mediante un clase AB se puede obtener una eficiencia que se encuentre en el rango 50%< η <78,5% y una linealidad mayor o menor. Esto depende de si el transistor es polarizado más cerca de clase A o clase B.

Este tipo de configuración es usada ampliamente hoy en día porque su estructura representa el punto óptimo entre linealidad y eficiencia.

3.1.6.4. Clase C

Los transistores polarizados en clase C tienen un ángulo de conducción menor que π. La principal razón para hacer uso de transistores polarizados en esta clase es debido a su alta eficiencia, ya que no consume potencia para más de la mitad del ciclo de una señal.

Como se puede ver en la Figura 3.5, la corriente de salida de un transistor polarizado en clase C son picos de corta duración. Como en el nivel de corriente máximo, el voltaje también es bajo, la potencia disipada es menor y, por ello, la potencia consumida por el amplificador es casi igual a la que se entrega a la carga.

La distorsión de la señal, en comparación con la señal de entrada, es elevada debido a la alta frecuencia de encendido y apagado del transistor; es la clase menos lineal de todas las nombradas anteriormente. Su mayor uso es para amplificar señales moduladas en frecuencia, donde la distorsión armónica y la falta de linealidad no son importantes.

3.2. Amplificador *Outphasing* Chireix

Existen diferentes arquitecturas que funcionan como amplificadores tipo *Outphasing*. Esta técnica trata de combinar señales moduladas en fase (PM) con una misma amplitud constante con el fin de obtener una amplificación en la señal de entrada que está modulada en amplitud (AM). La señal AM pasa a través de un módulo que la divide en dos señales PM de amplitud constante, pero con fase opuesta. Debido a que estas señales tienen una amplitud constante los amplificadores de potencia pueden trabajar en modo saturación para obtener una elevada eficiencia. Una vez amplificadas ambas ramas se recombinan las señales, alcanzando así la señal AM amplificada. Como puede verse, se está realizando una amplificación lineal, usando bloques no-lineales, por lo que a este tipo de amplificación se le denomina *Linear amplification using Non-linear Components* (LINC) [5].

Esta arquitectura está formada por tres bloques: El separador de componentes de señal (*Signal Component Separate*, SCS), los amplificadores de potencia y el combinador de potencia, tal y como se puede ver en la Figura 1.1.

3.2.1. Combinadores

Los dos amplificadores trabajan con una potencia de salida constante, esto hace que ambos deban polarizarse con una carga constante igual a la resistencia óptima. El PA clásico, para alcanzar dicho resultado, hace uso de un combinador de potencia aislado que produce una alta eficiencia solo con máxima potencia de salida. Uno de los problemas es que en condiciones de *back-off* la potencia restante en cada rama de los PA se malgasta en el puerto aislado del combinador de salida.

En 1935, Chireix propuso un cambio significativo al esquema clásico del *Outphasing*, en el que mediante un combinador de salida no-aislado introduce un efecto de modulación de carga que mejora considerablemente la eficiencia a la vez que se mantiene la linealidad típica del modelo clásico del *Outphasing* [4].

Para entender mejor el efecto de la modulación de carga propuesto por Chireix se puede simplificar el circuito reemplazando los dos PA por dos fuentes de tensión ideales con una misma amplitud constante V, pero en contra fase (±ϕ), conectadas en serie a una carga diferencial R, tal y como se puede ver en la Figura 3.6 (a).

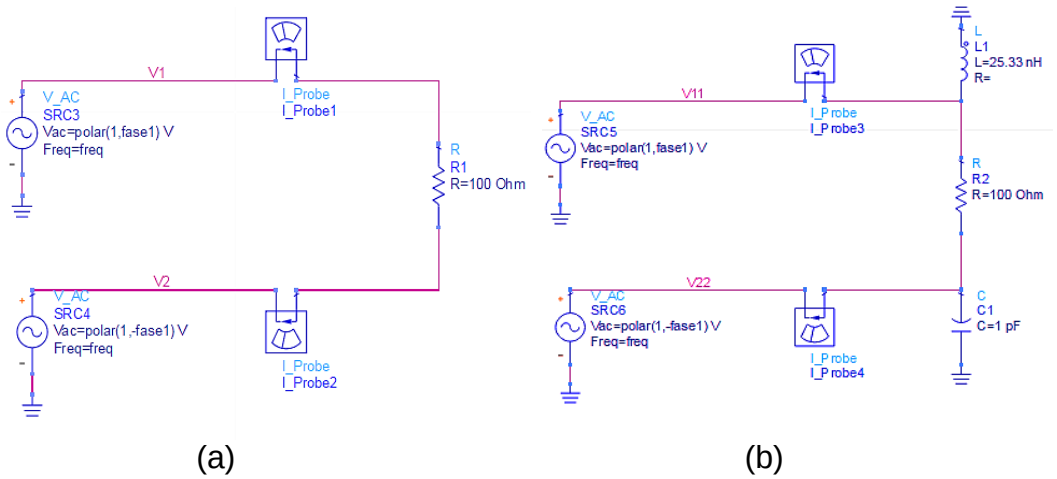


Figura 3.6. Circuito simplificado de la salida de un amplificador outphasing ideal. (a) Sin compensación. (b) Con compensación (Chireix).

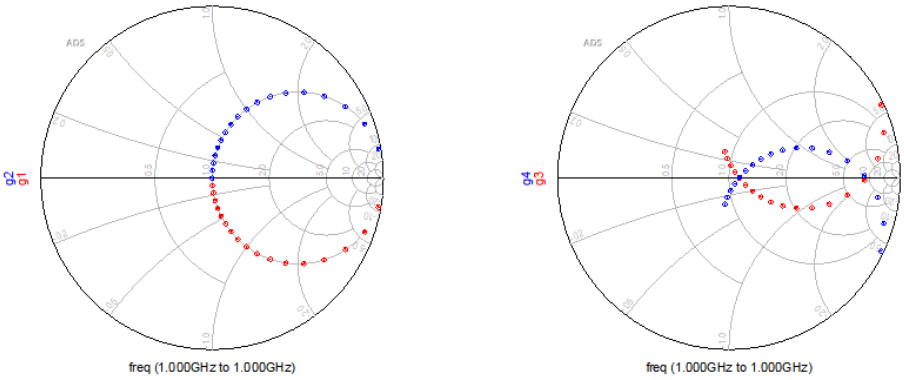
La carga vista por cada uno de los PA es diferente y varía en base a la fase ϕ según las expresiones (3.10) y (3.11) [5].

$$Z_1 = \frac{R}{2}(1 - jcot\phi) \tag{3.10}$$

$$Z_2 = \frac{R}{2}(1 + jcot\phi) \qquad (3.11)$$

Se puede observar como cuando ϕ = 0º, la potencia de salida es nula, por lo tanto, las dos cargas se comportarán como un circuito abierto. En cambio, con una ϕ = 90º, la potencia de salida es máxima, proporcionando una carga resistiva pura (R/2). Tal y como se puede ver en la Figura 3.7 (a) la impedancia de carga de ambas ramas de los PAs se mueve en un semicírculo de resistencia constante.

El problema que se da es que las trayectorias de carga solo pasan por el eje real con valores de ϕ = 90º y ϕ = 0º, mientras que para los otros valores presentan una parte imaginaria significante. Esto produce que la eficiencia disminuya con el sen ϕ. Sin embargo, se puede forzar un segundo pico de eficiencia añadiendo dos elementos reactivos de compensación, con una susceptancia de igual valor y opuesta. El circuito que hace esto se muestra en la Figura 3.6 (b) y su trayectoria de carga se muestra en la Figura 3.7 (b) donde se observa que ahora se producen dos cruces por el eje real. Estos dos puntos proporcionan dos puntos de eficiencia máxima tal y como se muestra en la Figura 3.8 donde se representa la eficiencia en función del OBO para diferentes valores de la susceptancia de compensación. Como se puede observar, variando la susceptancia de compensación es posible aumentar el OBO aunque el valle entre los dos picos se hace más acentuado. En cualquier caso este valle es mucho menor que el que proporcionas otras estructuras clásicas como la tipo Doherty.



(a) (b)

Figura 3.7. Trayectorias de las cargas para un barrido de la fase de 0º-90º. (a) Sin compensación. (b) Con compensación (Chireix).

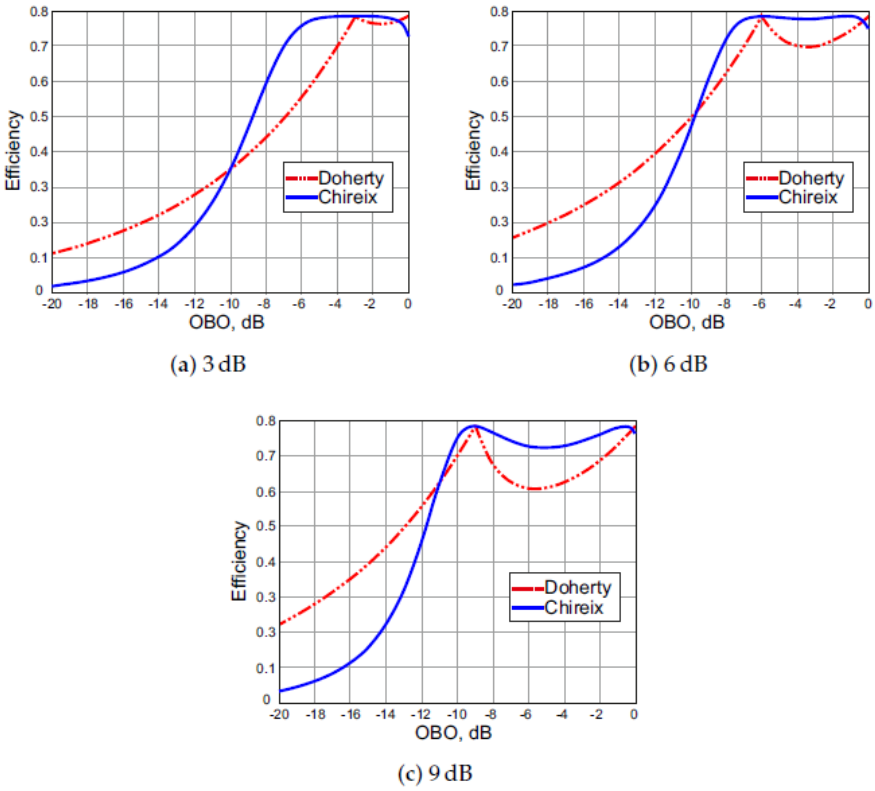


Figura 3.8. Curvas de la eficiencia frente al OBO de los amplificadores Chireix y Doherty.

La arquitectura mostrada en la Figura 3.6 no se puede realizar en la práctica debido a que la mayoría de los sistemas de alta frecuencia usan cargas asimétricas en lugar de diferentes. Por lo tanto, para realizar la combinación de la señales, en [25] se propone un combinador con dos líneas de transmisión λ/4, mientras que [26]-[27] usan un balun y un transformador, respectivamente (ver Figura 3.9).

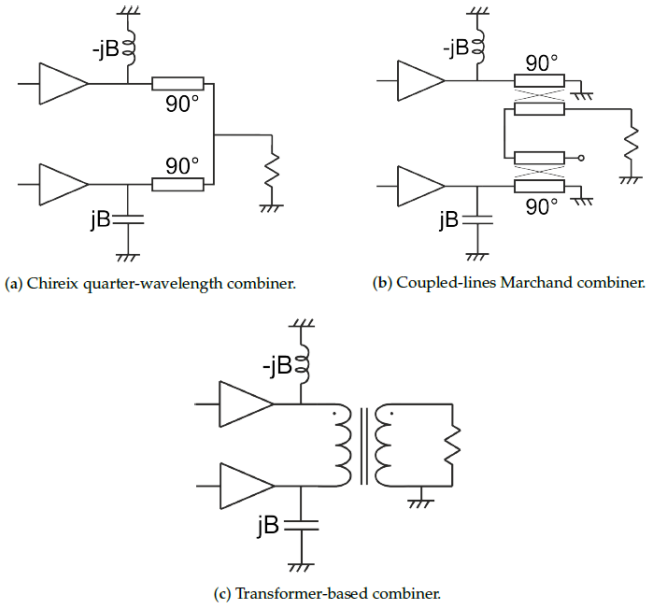


Figura 3.9. Arquitecturas para el combinador de salida de un amplificador Chireix.

3.3. Resumen

En este capítulo se han explicado los conceptos básicos de un amplificador de potencia, así como sus parámetros fundamentales (estabilidad, ganancia, eficiencia, *back-off*).

Los amplificadores se dividen en dos grupos: los amplificadores lineales, cuya salida es proporcional a la entrada y los no lineales donde el transistor actúa como *switch*, variando la tensión de puerta surtidor (V_{GS}), consiguiendo así que funcione en ciertos rangos de entrada. A su vez, los amplificadores lineales se dividen en diferentes clases (clase A, B, AB y C) en función del ángulo de conducción, que es el que define la linealidad y la eficiencia de estos.

Por último, se ha definido el amplificador *Outphasing* y en concreto de la estructura Chireix, que estará configurado en clase B ya que se pretende diseñar un amplificador con una elevada linealidad y eficiencia.

Capítulo 4.

4. Diseño del amplificador clase B ideal

En este capítulo se procede a realizar el diseño del amplificador clase B necesario para la implementación del amplificador Chireix. Para ello, primero se obtendrán las curvas del transistor y se estudiará la estabilidad del mismo y se llevará a cabo la simulación Load & Source Pull. Por último, se efectuará la adaptación de la entrada y la salida del amplificador.

4.1. Obtención de las curvas del transistor

Para obtener las curvas características del transistor y su recta de carga primero se debe realizar un estudio de estos. La tecnología de OMMIC ofrece cuatro modelos de transistores como se observa en la Figura 4.1, de los cuales dos de ellos son para el diseño de amplificadores y los otros dos para el diseño en bajo ruido [7]. A continuación, se realiza una breve descripción de cada uno de ellos:

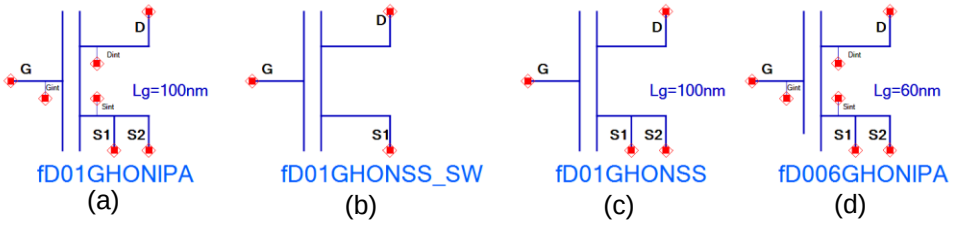


Figura 4.1. Modelos de los transistores ofrecidos por OMMIC.

- FD01GHONIPA (a): Modelo de gran señal del D_{01}GH. Longitud de puerta de 0.1 µm, GaN HEMT. El surtidor tiene dos conexiones.
- FD01GHONSS_SW (b): Modelo en pequeña señal del modelo D_{01}GH. Longitud de puerta de 0,1 µm, GaN HEMT. El surtidor tiene una conexión.
- FD01GHONSS (c): Modelo en pequeña señal del modelo D_{01}GH. Longitud de puerta de 0,1 µm, GaN HEMT. El surtidor tiene una conexión. Incluye odelo de ruido.
- FD006GHONIPA (d): Modelo de gran señal del D006GH. Longitud de puerta de 60 nm, GaN HEMT. El surtidor tiene dos conexiones.

Como en este proyecto se trabajará en gran señal, se descartan los transistores que son de pequeña señal. De los modelos restantes, se opta por el uso del transistor (a), pues según OMMIC, el nivel de madurez o *Technology Readiness Level* (TRL) de éste ronda el nivel 3-4, mientras que de la opción (d) posee un TRL de 1-2 niveles, es decir; el más básico de todos [7].

Por consiguiente, se decide emplear el transistor FD01GHONIPA para el desarrollo de este trabajo. Los parámetros que se pueden modificar de este componente son:

- Nfg: El número de *fingers* en la puerta. Según recomendaciones de OMMIC, debe ser menor que 8 para evitar ruido. Por tanto, se decide realizar un estudio para 4 y 6 *fingers* con el fin de conocer con cuál de ellos se obtienen mejores resultados.
- Wfg: Anchura de cada *finger* de puerta individual, cuyo valor se fija a 200µm, ya que según OMMIC es el peor de los casos.
- Temp: La temperatura ambiente, que se fijará en 85º centígrados.

Aparte de estos parámetros, la *foundry* recomienda mantener la tensión V_{DS} en 12 Voltios para el diseño de los amplificadores.

El circuito empleado para la obtención de las curvas del transistor es el que se encuentra en la Figura 4.2, que está compuesto por dos generadores de tensión, denominados V_{GS} y V_{DS}, que alimentan la puerta y el drenador del componente. Se realizará un barrido de estas tensiones para obtener las curvas características. Para realizar la medición se introduce un amperímetro en serie con el drenador para así calcular la corriente ID. El transistor se encuentra conectado a tierra por sus dos surtidores. Asimismo, en una primera aproximación, el número de *fingers* se fija a 4.

Los parámetros que se barrerán son VGS de -3 V a 0 V y VDS de 0 V a 15 V. Para la simulación en DC se fija este último rango, mientras que para el barrido en AC se usará la frecuencia de 3,6 GHz, que es la frecuencia central de trabajo.

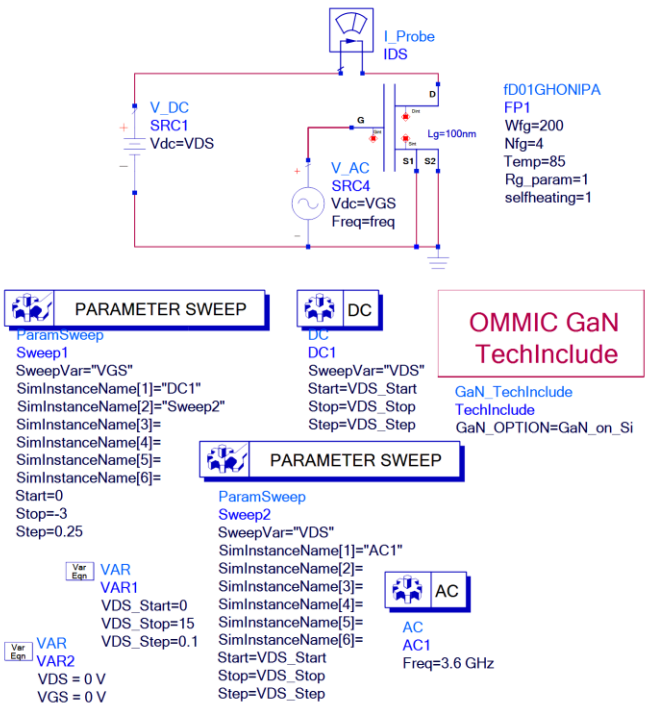


Figura 4.2. Circuito para la obtención de las curvas del transistor.

En la Figura 4.3, se observan las curvas características del transistor, donde la línea negra muestra la línea de carga del transistor polarizado en clase B. Como es de interés una eficiencia elevada, se polariza el transistor entre una V_{GS} de -1,75 y -2,75 Voltios. Para ello se realizará un estudio para tres casos distintos de V_{GS} {-1,75, -2,25, -2,75} y para dos números de *fingers* {4, 6}.

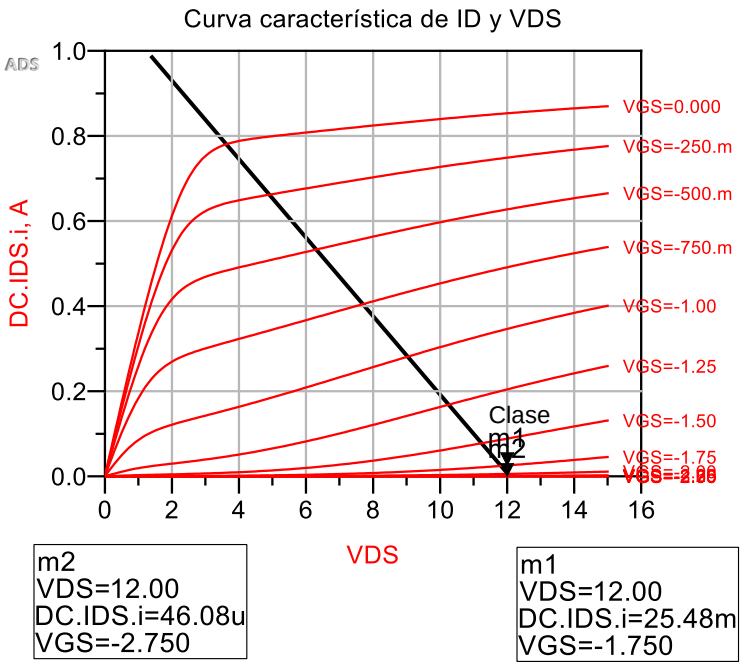


Figura 4.3. Curvas características del transistor.

4.2. Estabilidad de los transistores

Como se ha descrito en el capítulo anterior, la estabilidad es un factor fundamental en los amplificadores. Si es inestable significa que el circuito puede oscilar, y por tanto, puede no funcionar o incluso estropearse por completo. Esto lleva a que sea necesario comprobar la estabilidad de los estos y en caso de que sea necesario, introducir una “red de estabilización”.

Existen dos tipos de estabilidad: condicionalmente estable e incondicionalmente estable. Se distinguen porque el segundo es estable para cualquier tipo de frecuencia e impedancia, mientras que el primero no. Por lo tanto, se busca una red de estabilización que haga al transistor incondicionalmente estable, es decir, que el factor de Rollett sea mayor que 1 (K>1) [21].

Para analizar el factor de estabilidad del transistor en el rango de frecuencias en el que operará el circuito, se usa el esquema de la Figura 4.4, en donde se fija la tensión de VGS a -1,75 Voltios y el número de *fingers* (Nfg) a 4. Asimismo, en la Figura 4.4 se observa que para realizar dicho análisis se conectan los terminales, term1 y term2 en la puerta y el drenador del transistor para el cálculo de los parámetros S. Se añaden dos condensadores de bloqueo en continua y bobinas de *choke* para evitar el paso de la corriente continua y alterna, respectivamente.

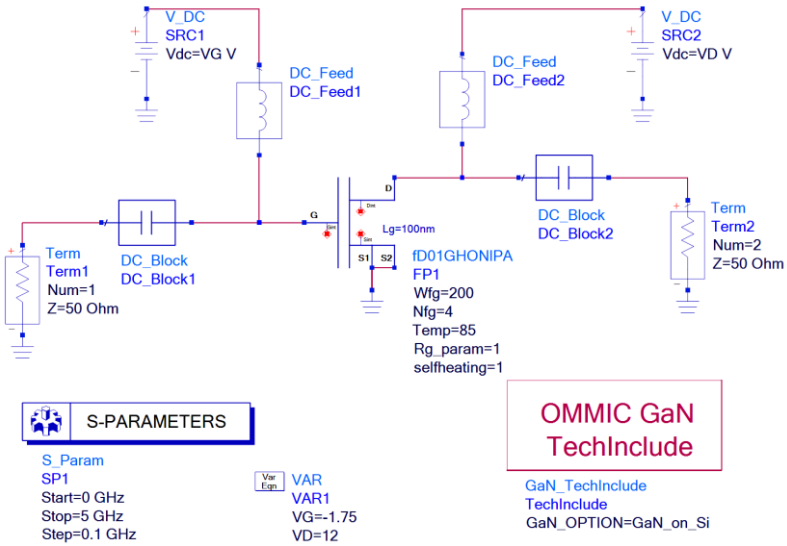


Figura 4.4. Circuito para obtener los rangos de estabilidad.

Los resultados obtenidos de la simulación se observan la Figura 4.6. En ella se puede ver que el factor de estabilidad (K) es de 0,125 para la frecuencia de 3,6

GHz. Este valor se encuentra muy por debajo del requerido para que el circuito sea incondicionalmente estable. Por lo que es necesario incluir una red de estabilización que sacrificará la ganancia para mejorar la estabilidad. Este tipo de redes están compuestas por elementos resistivos y capacitivos que pueden estar tanto en serie como en paralelo (ver Figura 4.5).

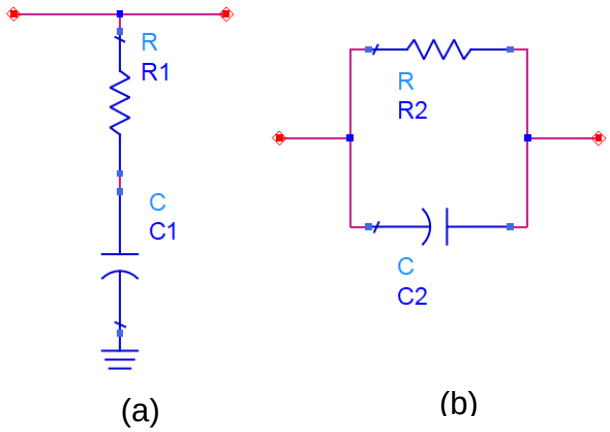


Figura 4.5. (a) Red de estabilización RC en serie. (b) Red de estabilización RC en paralelo.

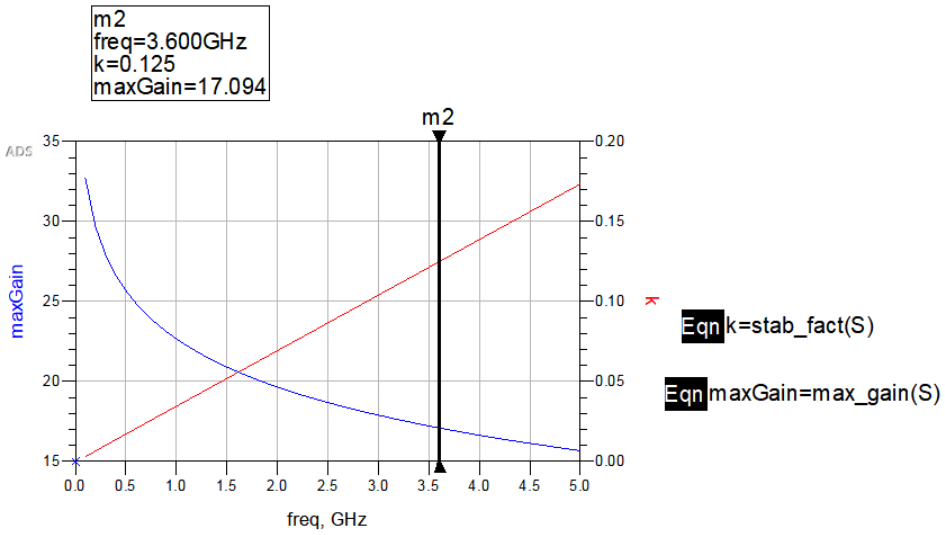


Figura 4.6. Estabilidad (rojo) y ganancia (azul) del transistor frente a la frecuencia.

En la Figura 4.7 se muestra el esquema para el estudio de la red de estabilización RC en paralelo. Para calcular los valores de estos componentes, se realizan dos barridos: uno de R_stab, que se corresponde al valor de la resistencia y otro de C_stab, correspondiente al condensador. Es necesario realizar varias simulaciones para concretar lo máximo posible los valores. En cada barrido se pondrán rangos de barrido más pequeños hasta llegar al valor que cumpla con los

requisitos. Es importante encontrar un compromiso entre la ganancia del circuito y el valor de la estabilidad, al ser una relación inversamente proporcional.

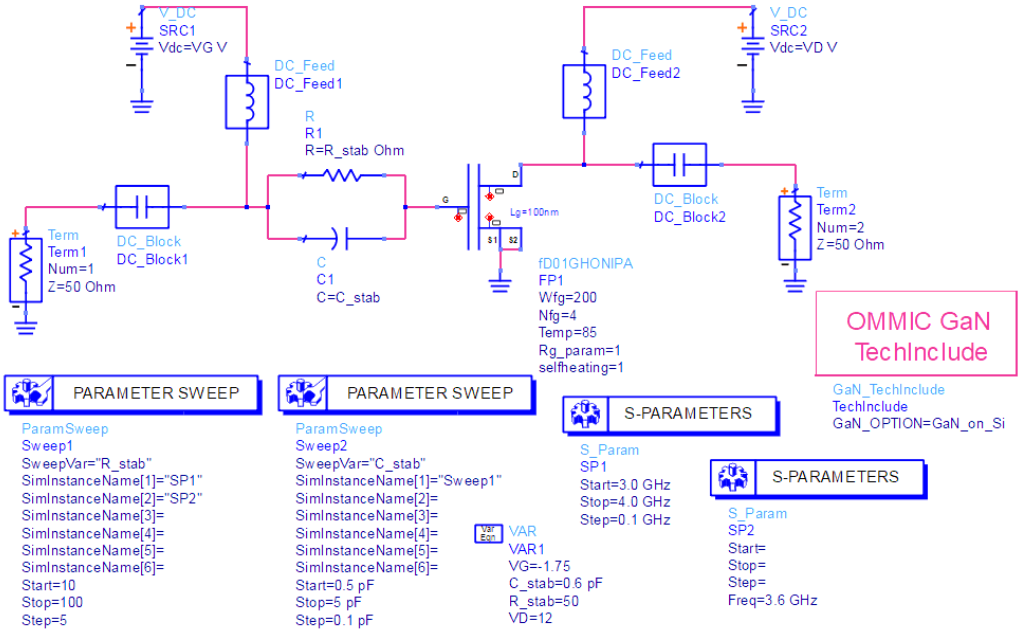


Figura 4.7. Circuito con la red de estabilización.

Los resultados obtenidos en la simulación se muestran en la Figura 4.8, donde se observa que los valores de C_Stab y R_Stab que hacen al circuito estable son 0,6pF y 50Ω, respectivamente. Con estos valores se obtiene un factor de estabilidad (K) de 1,075 y una ganancia máxima (maxGain) de 15,424 dB, tal y como se contempla en esta Figura 4.9.

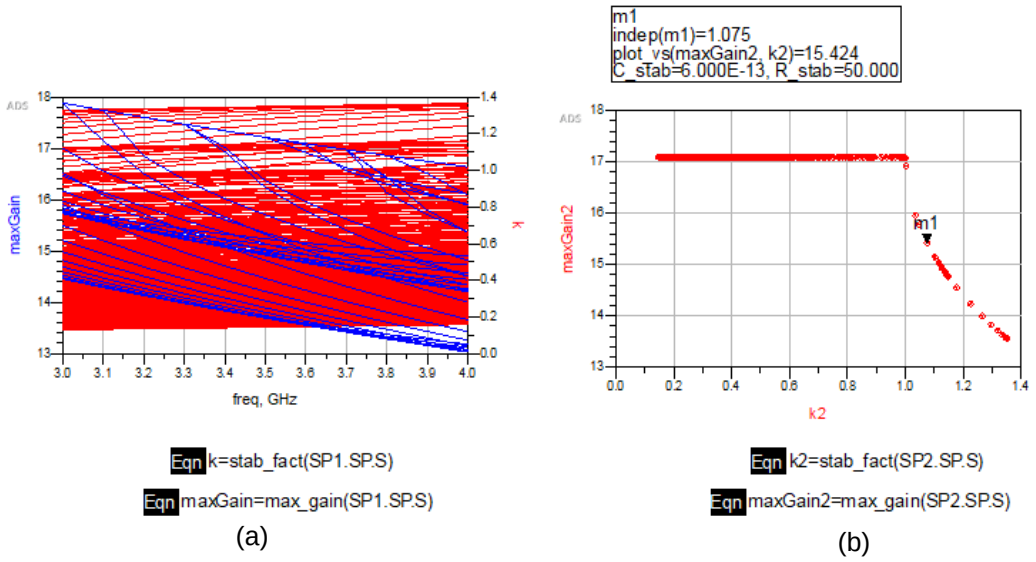


Figura 4.8. (a) Barrido de la estabilidad (rojo) y la ganancia (azul) del transistor frente a la frecuencia. (b) Barrido de la ganancia frente a la estabilidad del transistor.

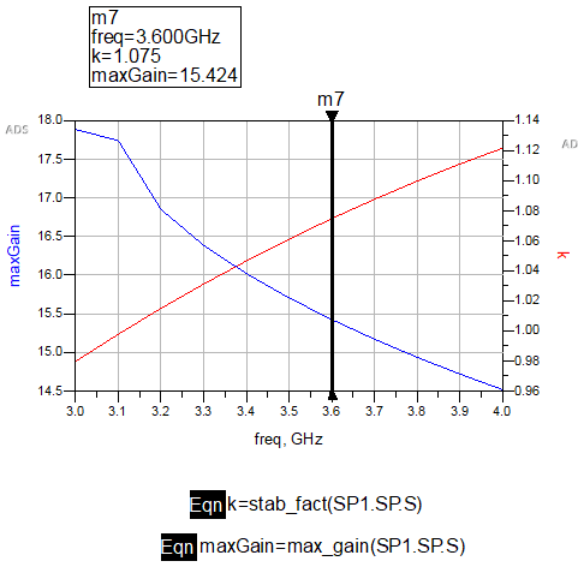


Figura 4.9. Estabilidad del amplificador tras introducir una red de estabilización.

En la Tabla 4.1 y la Tabla 4.2 se muestran los resultados con las diferentes configuraciones del transistor (V_{GS}\{-1,75, -2,25, -2,75\}, Nfg\{4, 6\}, y el tipo de red\{RC serie, RC paralelo\}).

Tabla 4.1. Resultados de las simulaciones variando la configuración (Nfg=6).

	220um 6 fingers					
VGS	-1,75		-2,25		-2,75	
S/P	Paralelo	Serie	Paralelo	Serie	Paralelo	Serie
K	1,157	1,129	1,101	1,102	1,102	1,114
Ganancia	14,651	14,871	2,226	2,219	2,364	2,473
R_stab(Ω)	30	10	20	30	20	30
C_Stab(pF)	0,75	4,75	0,5	4,5	1,25	0,75

Tabla 4.2. Resultados de las simulaciones variando la configuración (Nfg=4).

	220um 4 fingers					
VGS	-1,75		-2,25		-2,75	
S/P	Paralelo	Serie	Paralelo	Serie	Paralelo	Serie
K	1,075	1,114	1,167	1,105	1,102	1,108
Ganancia	15.424	15,037	1,646	2,149	-2,407	-2,46
R_stab(Ω)	50	10	40	40	90	20
C_Stab(pF)	0,6	3,25	0,5	2,5	0,75	0,75

Tras realizar este estudio se decide que la tensión de V_{GS} sea de -1,75V, que el número de *fingers* (Nfg) sea 4 y se emplea una red RC en paralelo para estabilizar el transistor.

4.3. Load-Pull y Source-Pull

En los circuitos de alta frecuencia donde la longitud de onda es inferior que las dimensiones físicas del circuito se produce el fenómeno de reflexión e incidencia de la onda. Para solventar este problema es necesario adaptar las impedancias de entrada del amplificador de potencia y de la carga, de forma que se logra transferir la mayor cantidad de potencia. Normalmente, las impedancias de la fuente y de la carga son conocidas, sin embargo, esto no ocurre con el transistor al depender de varios factores. Por ello, se emplea la técnica de Load & Source Pull que permite obtener las impedancias que proporciona máxima potencia de salida, ganancia o eficiencia en el transistor.

La técnica de Load-Pull y Source Pull consiste en ir variando el valor de la impedancia que se conecta a la salida y a la entrada del transistor a medida que se va obteniendo el parámetro a maximizar (potencia de salida, ganancia o eficiencia). Es un proceso iterativo, donde con una carga inicial de 50Ω se realiza una simulación de Load-Pull y la impedancia resultante se sustituye en el Source-Pull. A su vez, el resultado de la simulación del Source-Pull se sustituye en el Load-Pull y así hasta obtener la impedancia óptima de entrada y de salida. En otras palabras, cuando ya no varíen los valores de las impedancias. No necesariamente la impedancia óptima para maximizar un parámetro coincide con la de uno de los otros dos.

4.3.1. Aplicación práctica

Al trabajar con un transistor polarizado en clase B, este te permite trabajar al límite de la zona lineal, por lo que hay que buscar la potencia de entrada óptima que ofrezca el máximo PAE. Se realiza un estudio variando las potencias de entradas, el ejemplo que se seguirá en este documento será con una potencia de entrada de 21 dBm, mostrándose en la Tabla 4.3 la comparativa de los resultados entre las diferentes potencias de entradas.

Para la realización del Load/Source-Pull se emplean los esquemáticos de la Figura 4.10 y de la Figura 4.11, respectivamente. A estos circuitos se les añade el transistor junto con la red de estabilización para el cálculo de las impedancias de Load & Source Pull.

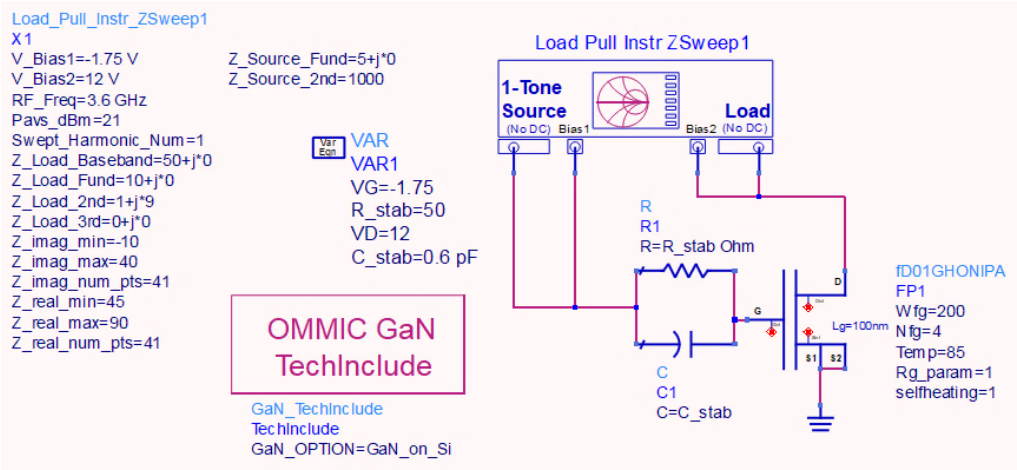


Figura 4.10. Esquemático utilizado para la realización del Load-Pull.

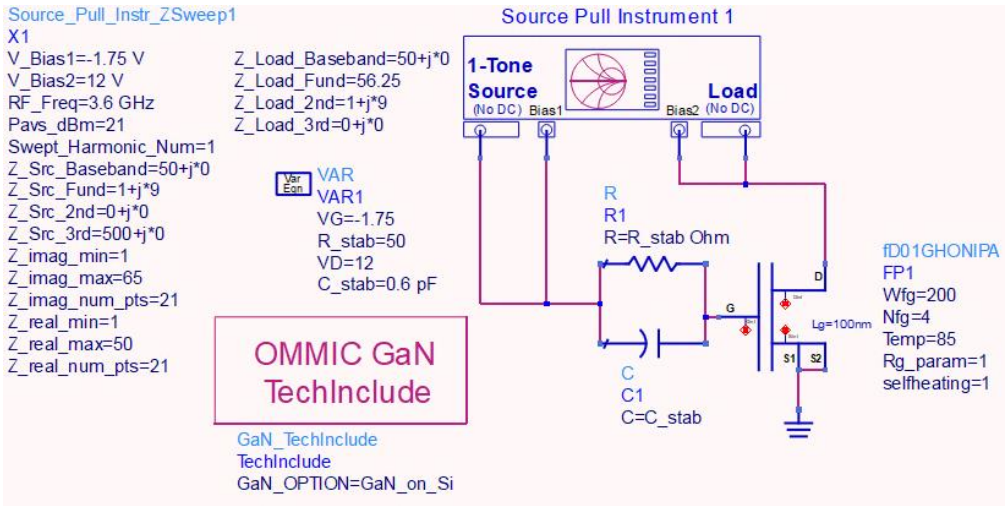


Figura 4.11. Esquemático utilizado para la realización del Source-Pull.

En la Figura 4.12 se contemplan diversas curvas representadas en la carta de Smith, que indican la potencia transmitida, frente a la óptima. Y en el centro de cada una de estas curvas se encuentra el PAE máxima (azul) y la potencia máxima (rojo).

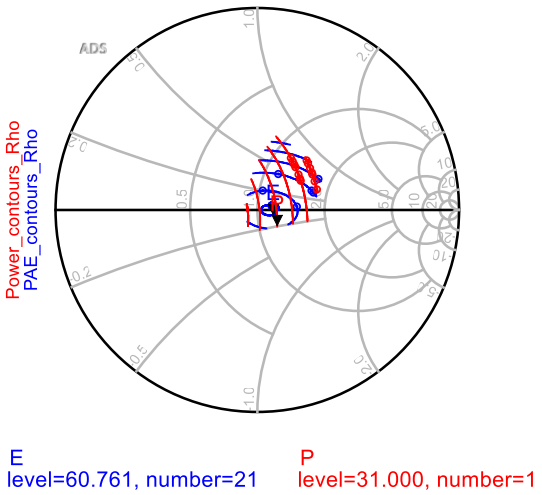
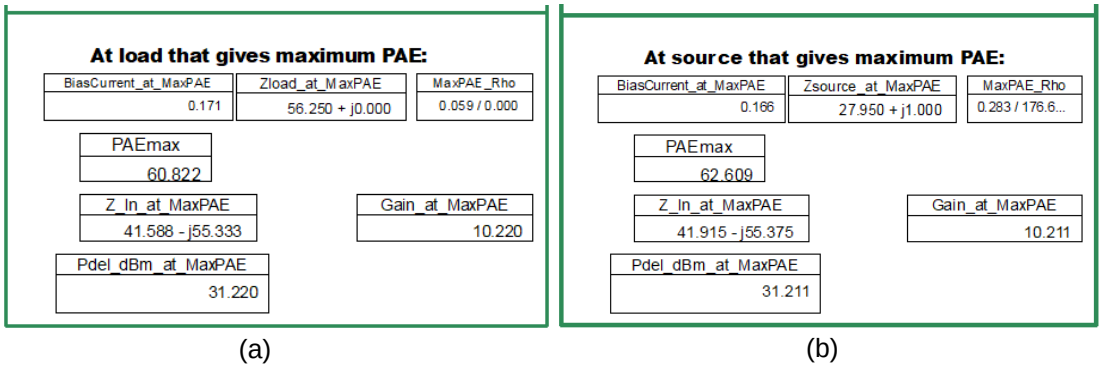


Figura 4.12. Curvas de PAE (azul) y de potencia (rojo).

En la Figura 4.13 se puede ver los resultados obtenidos para una entrada de 21 dBm, donde el valor de la impedancia de carga es totalmente resistivo (Z_{load} = 56,25), mientras que la impedancia de fuente (Z_{source}) es 27,95 + j*1. Por otro lado, la potencia de salida para máximo PAE es de 31,22 dBm y la ganancia es de 10,220 dB, donde se obtiene un PAE entre el 60,8% y el 62,6% aproximadamente.



(a) (b)

Figura 4.13. (a) Impedancia óptima de carga. (b) Impedancia óptima de fuente.

Para comprobar que con las impedancias obtenidas tras realizar el Load/Source-Pull se logra el valor de máximo PAE y la potencia de salida y ganancia, se incluye la impedancia de fuente (Z_{source}) en el PORT1 y la de carga (Z_{load}) en el Term1 como se observa en la Figura 4.14.

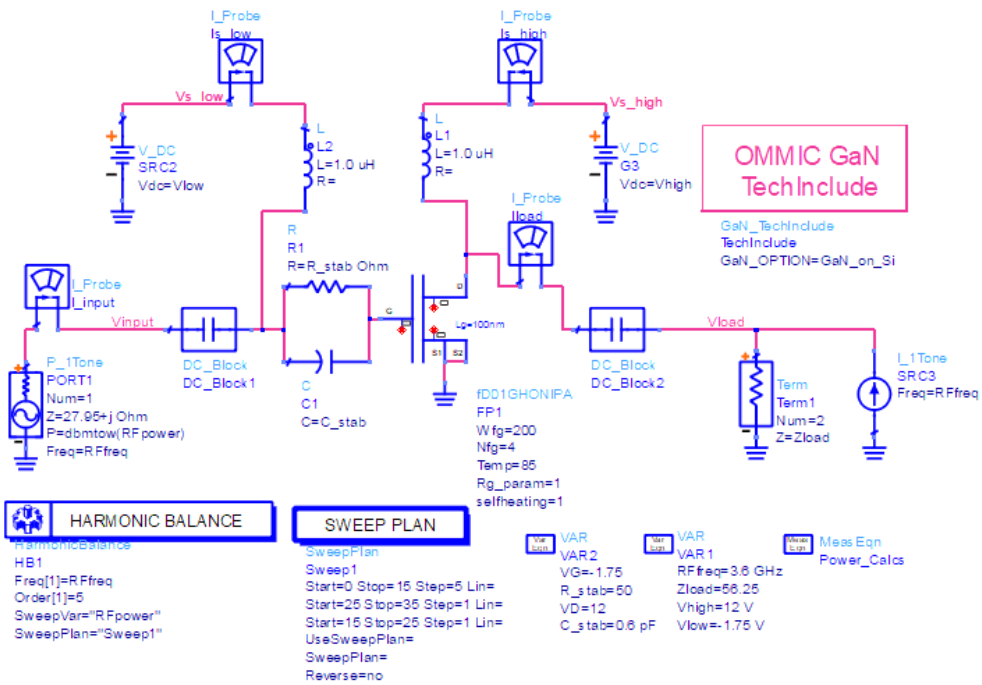


Figura 4.14. Esquemático para la comprobación de la correcta realización del Load/Source-Pull.

En la Figura 4.15 se comprueba que para una potencia de entrada de 21 dBm se obtiene una potencia de salida de 30,812 dBm, una ganancia de 9,812 y un PAE de 53,738%. Asimismo, se representa de forma gráfica la potencia de salida, así como el PAE frente a una potencia de entrada establecida. Como el transistor está trabajando en saturación el PAE varía para distintas impedancias, lo que provoca que el PAE disminuya con respecto a los valores obtenidos en el Load/Source-Pull.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power- Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	10.052	10.052	2.733	0.349	0.029	0.339
5.000	15.063	10.063	6.959	0.434	0.036	0.404
10.000	20.175	10.175	14.974	0.655	0.055	0.556
15.000	25.492	10.492	29.183	1.147	0.096	0.806
16.000	26.576	10.576	33.181	1.296	0.108	0.857
17.000	27.662	10.662	37.673	1.467	0.122	0.903
18.000	28.736	10.736	42.641	1.660	0.138	0.938
19.000	29.700	10.700	47.564	1.857	0.155	0.956
20.000	30.368	10.368	51.210	2.005	0.167	0.954
21.000	30.812	9.812	53.738	2.106	0.175	0.942
22.000	31.127	9.127	55.498	2.176	0.181	0.925
23.000	31.327	8.327	56.537	2.211	0.184	0.903

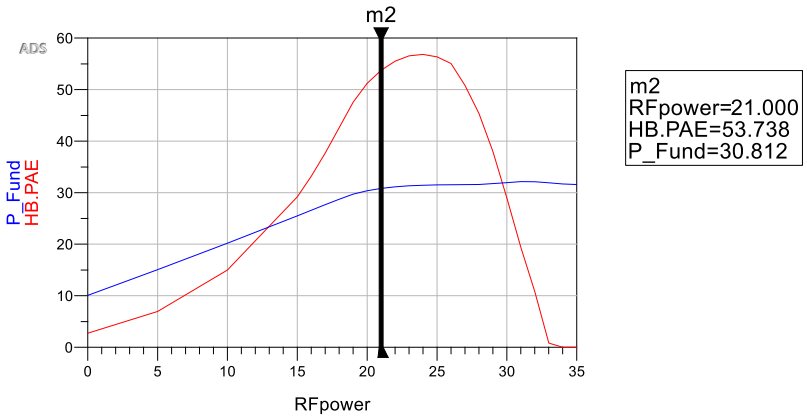


Figura 4.15. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada.

4.4. Adaptación de impedancias

Una vez finalizado con la técnica de Load/Source-Pull y obtenido las impedancias óptimas, se procede a adaptar tanto la entrada como la salida del transistor a dichas impedancias. Por consiguiente, es necesario una red de adaptación que se realizará mediante la herramienta “Smith Chart” que ofrece el ADS (ver Figura 4.16).

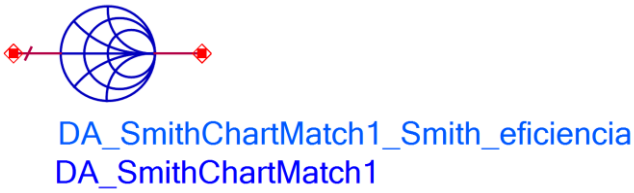


Figura 4.16. Componente de Smith Chart empleado para la adaptación.

Por lo tanto, se ha obtenido la impedancia de carga que tiene que ver el transistor para obtener un PAE máximo. Dado que la Z_{load} (Γ_L) es 56,25 para máximo PAE, la impedancia que debe “ver” el transistor será su conjugado, como se observa en la Figura 4.17.

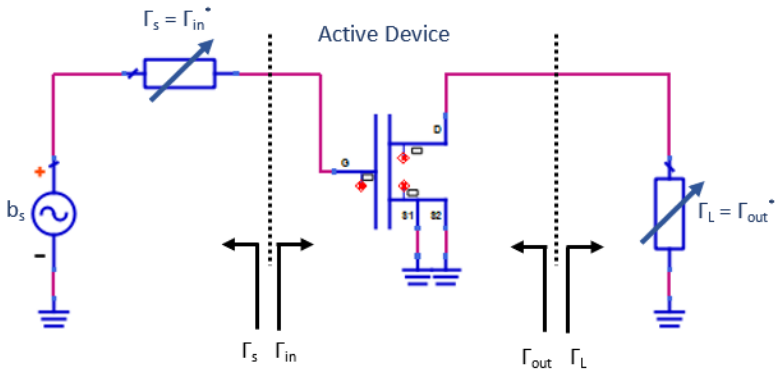


Figura 4.17. Adaptación simultánea de la entrada y de la salida.

Como el transistor que se usa no es unilateral, la adaptación de la salida provoca cambios en la entrada. Por ello, para que no se produzca este fenómeno se utiliza el método de adaptación conjugada, donde una vez obtenida Γ_L del Load Pull, se calcula Γ^*_S con la expresión (4.1). Se adapta para Γ^*_S y Γ^*_L [28].

$$\Gamma_S^* = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_L}{1 - (S_{22} \cdot \Gamma_L)} \tag{4.1}$$

En la Figura 4.18 se muestra en la carta de Smith el uso de la expresión (4.1) para calcular la impedancia de fuente (Γ^*_S). Finalmente, los resultados obtenidos son Γ_{out}=56,270 y una Γ_S=44,746-j*57,777.

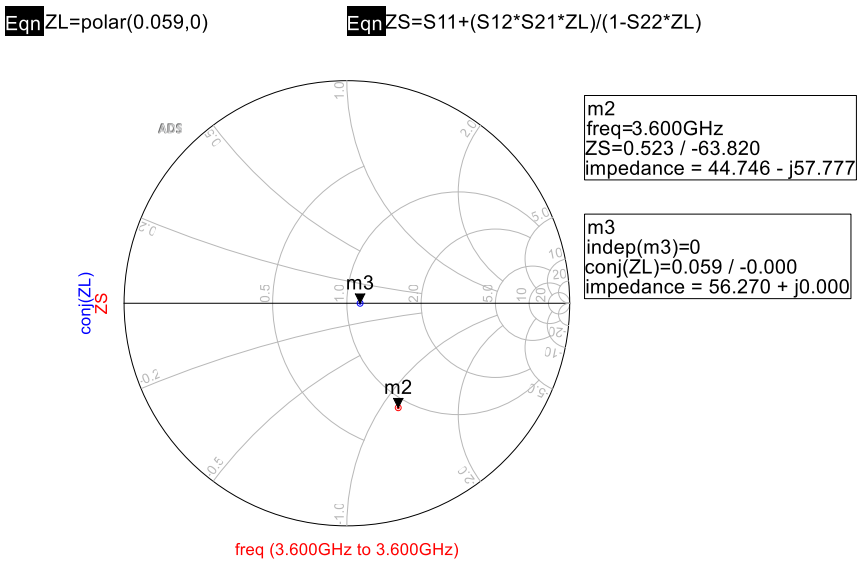


Figura 4.18. Cálculo de Z_S representado en la carta de Smith.

Haciendo uso de la herramienta “Smith Chart”, en los datos correspondientes a la frecuencia y la impedancia característica se introducen la frecuencia de trabajo 3,6 GHz, y una impedancia de 50Ω, respectivamente. Para el caso de la adaptación de la salida, se introduce el conjugado de la impedancia de carga (Γ_{out}) que es igual

a 56,25Ω. Con estos datos se puede construir una red de adaptación de dos elementos (ver Figura 4.19).

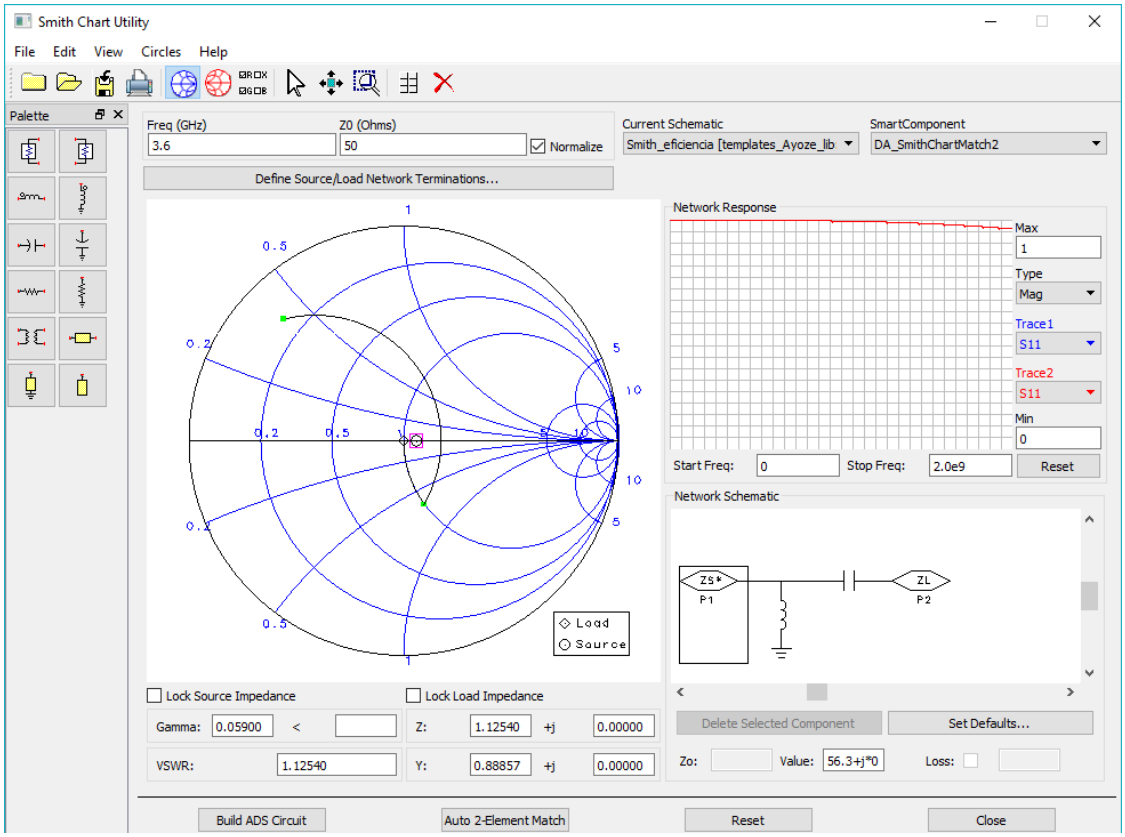


Figura 4.19. Ventana de configuración del componente de la carta de Smith. Adaptación a la salida.

Posteriormente, en la Figura 4.20 se observan las diferentes topologías que se pueden escoger para realizar la red de adaptación. En este caso se elige la red compuesta por bobina en paralelo y un condensador en serie, donde el valor ideal de la capacitancia es de 2,5pF y el de la inductancia es de 7,030nH.

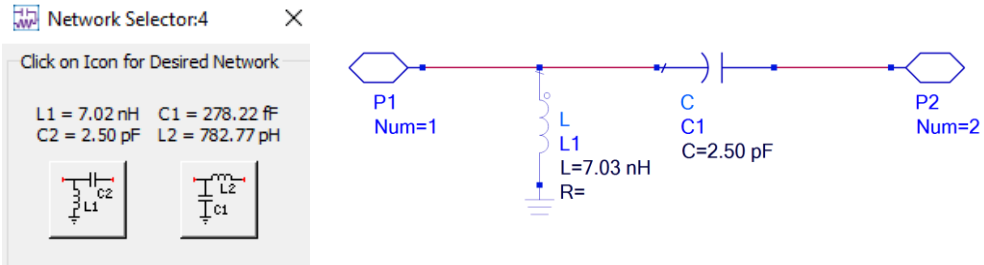


Figura 4.20. Red de adaptación de salida construida mediante la herramienta "Smith Chart".

De forma análoga se procede a realizar la adaptación de entrada. Para este caso, la impedancia de fuente (Γ^*_S) es de 44,746 – j*57,777 mientras que la impedancia de carga (Γ_L) se fija a 50Ω. De las configuraciones que ofrece la herramienta, se escoge la red con la bobina en paralelo y el condensador en serie,

donde se obtiene un valor ideal de capacitancia de 750,877fF y de inductancia de 2,137nH (ver Figura 4.21).

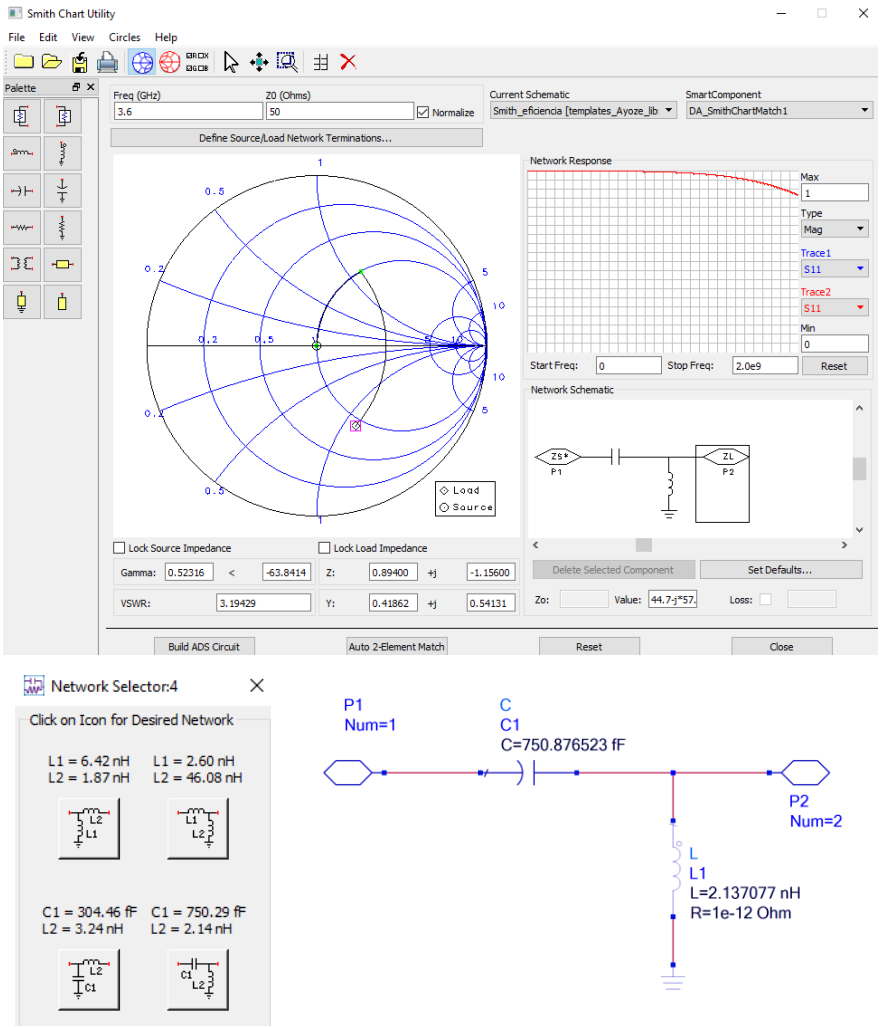


Figura 4.21. Arriba la ventana de configuración del componente de la carta de Smith. Abajo la red de adaptación construida. Adaptación a la entrada.

Una vez realizadas las redes de adaptación de entrada y salida, estas se añaden al circuito, tal y como se contempla en la Figura 4.22. En ella se observa que se utiliza la bobina de la red de adaptación de entrada como bobina de *choke*. Por otra parte, los condensadores de desacoplo de DC son sustituidos por los condensadores tanto de la entrada y de la salida. Además, se incluye la bobina de la adaptación de salida en paralelo con el condensador.

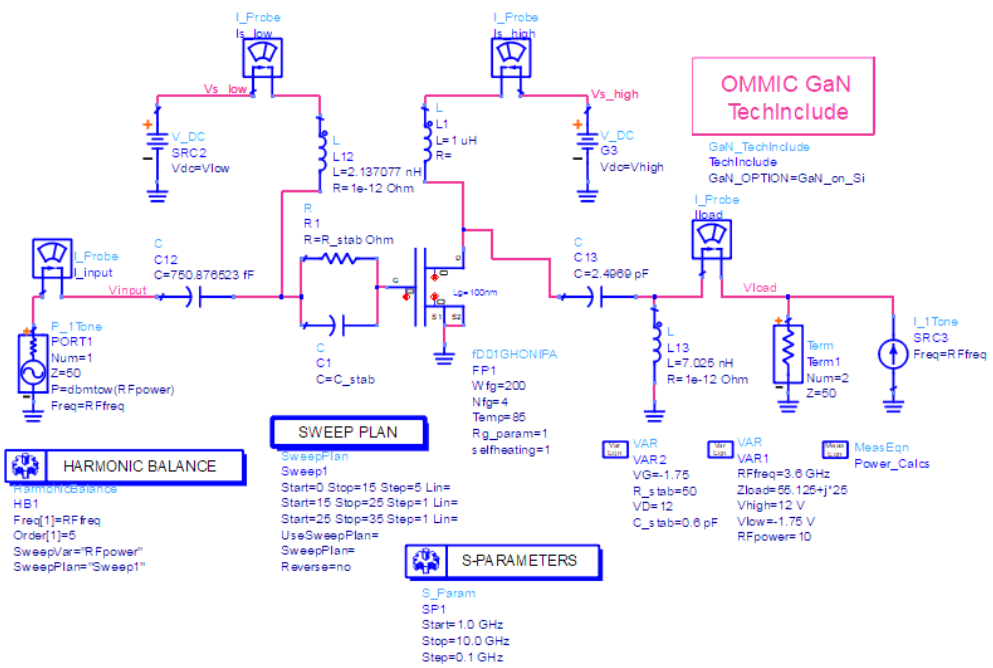


Figura 4.22. Esquemático para la comprobación del correcto diseño de las redes de adaptación.

Los resultados de la correcta adaptación en gran señal se observan en la Figura 4.23, donde se verifica que las redes de adaptación están correctamente diseñadas, pues se obtiene un 53,7% frente al 55,71% de PAE tras la red de adaptación. Asimismo, la potencia de salida es de 32,032dBm y la ganancia es 11,032dB para máximo PAE. A su vez, se representa de forma gráfica la potencia de salida, así como el PAE frente a una potencia de entrada establecida.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	12.613	12.613	4.331	0.398	0.033	0.381
5.000	17.657	12.657	9.732	0.567	0.047	0.511
10.000	22.843	12.843	19.201	0.950	0.079	0.764
15.000	28.162	13.162	36.076	1.728	0.144	1.091
16.000	29.219	13.219	40.747	1.953	0.163	1.140
17.000	30.226	13.226	45.695	2.196	0.183	1.170
18.000	31.021	13.021	49.980	2.405	0.200	1.174
19.000	31.544	12.544	53.046	2.541	0.212	1.152
20.000	31.874	11.874	55.003	2.618	0.218	1.120
21.000	32.032	11.032	55.711	2.642	0.221	1.092
22.000	32.167	10.167	55.836	2.669	0.223	1.077
23.000	32.232	9.232	55.186	2.672	0.224	1.070

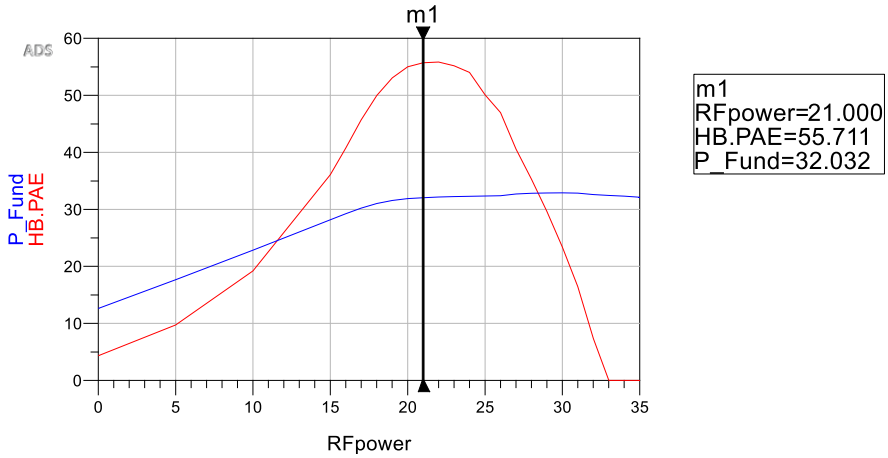


Figura 4.23. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada.

Por otro lado, en la Figura 4.24 se comprueba la correcta adaptación del circuito en pequeña señal donde los parámetros S11 y S22 tienen que ser menores a -10 dB. Del análisis realizado se obtiene que la adaptación de entrada el valor de S11 es de -10,772 dB y por otro lado en la adaptación de salida el resultado de S22 es -20,667 dB.

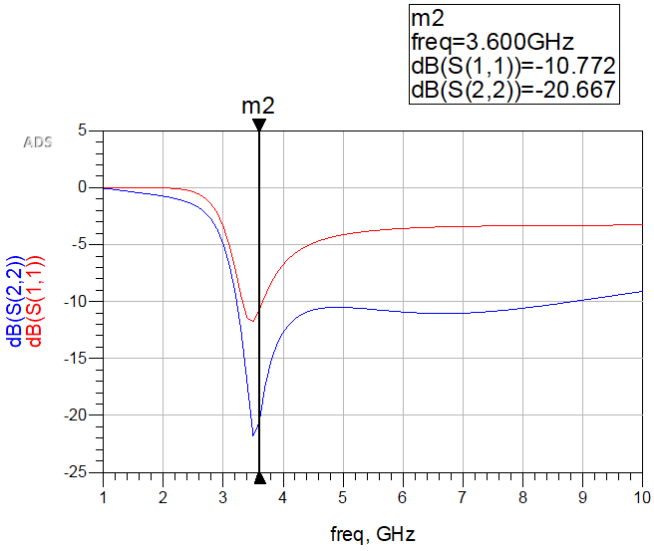


Figura 4.24. Resultados de la comprobación de la correcta adaptación en pequeña señal.

A continuación, en la Tabla 4.3 se muestran los resultados de PAE, ganancia y potencia de salida obtenidas para diferentes potencias de entrada.

Tabla 4.3. Resultados de las simulaciones variando la potencia de entrada.

	15 dBm	**21 dBm**	**22 dBm**	**24 dBm**
Eficiencia (%)	33,55	55,71	55,66	53,86
Potencia de salida (dB)	28,78	32,03	32,20	32,22
Ganancia (dB)	13,78	11,03	10,20	8,22

Tras el análisis de la potencia de entrada óptima para que el transistor ofrezca máximo PAE, se ha optado por una potencia de entrada de 21 dBm.

4.5. Resumen

En este capítulo se ha realizado el diseño de un amplificador que opera en clase B. Para ello, lo primero que se ha elegido son los valores de la polarización del transistor para que opere en clase B, obteniendo sus curvas en DC. El siguiente paso, fue estudiar la estabilidad del transistor y comprobar que el factor de Rollet (K) sea mayor que la unidad. Para lograr dicho objetivo se implementa una red de estabilización RC en paralelo en la puerta del transistor.

A continuación, se procede a realizar la técnica de Load/Source-Pull para obtener las impedancias óptimas para máximo PAE. Para una entrada de 21 dBm se obtiene una Z_{source} = 27,95 + 1j y Z_{load} = 56,25, con una potencia de salida de 31,220 dBm y una ganancia = 10,220 dB. El PAE resultante varía entre un 60,8% y 62,6% aproximadamente.

Por último, se llevó a cabo la adaptación de impedancias, diseñando las redes de adaptación de entrada y de salida. Se comprobó la correcta adaptación de entrada obteniendo un S11 de -10,772 dB y en la adaptación de salida un S22 de -20,667 dB. Con estas redes se ha obtenido un PAE del 55,71% para una potencia de entrada de 21 dBm. Además, el valor de la potencia de salida es de 32,032 dBm y la ganancia es de 11,032 dB para ese valor de PAE.

Capítulo 5.

5. Diseño del amplificador clase B real

En ese capítulo se realizará el diseño del amplificador en clase B sustituyendo los componentes ideales de las redes de estabilización y de adaptación, por los proporcionados por la tecnología GaN de OMMIC. Además, se realizará y simulará el *layout* del amplificador teniendo en cuenta las pistas de las conexiones entre los dispositivos.

5.1. Sustitución del transistor

Una vez diseñado el amplificador clase B con los valores ideales, se comenzará a sustituir estos componentes por los modelos proporcionados por el kit de OMMIC.

El primer componente a sustituir es el transistor, para ello se colocarán dos líneas de transmisión en las puertas del surtidor que irán conectadas a tierra a través de dos vías (ver Figura 5.1). En la Figura 5.2 se muestra el *layout* correspondiente.

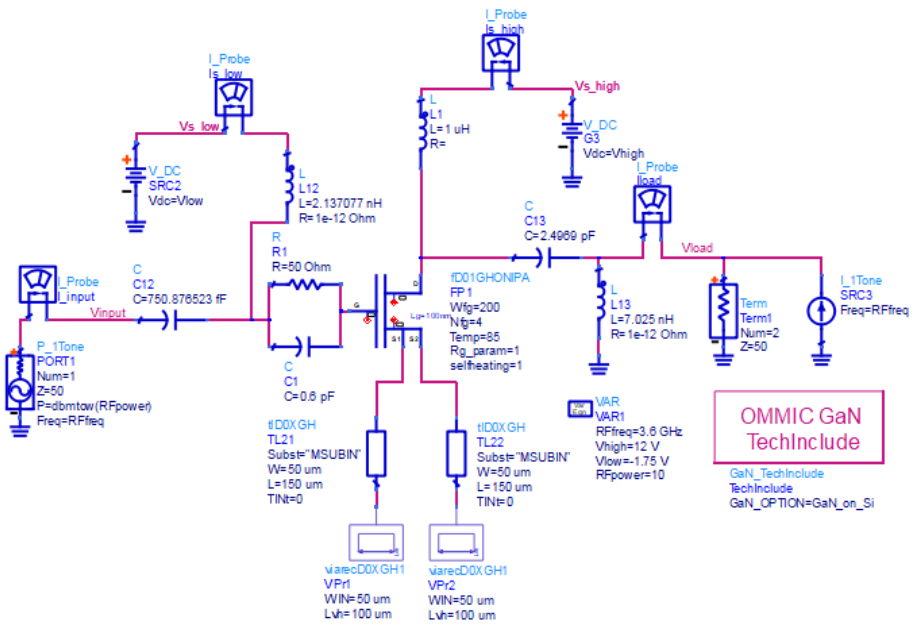


Figura 5.1. Incorporación de las vías de conexión a tierra del transistor.

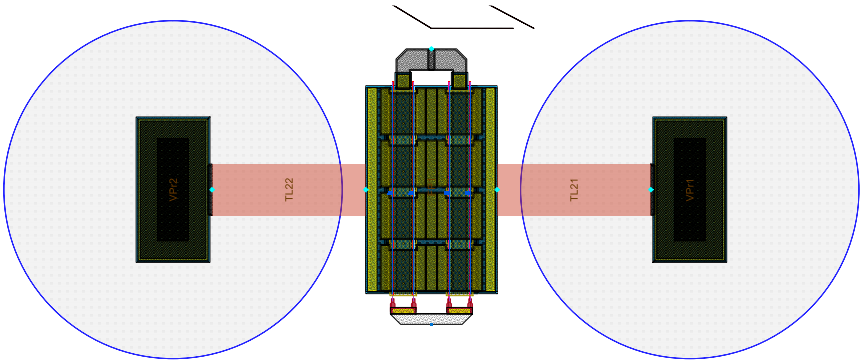


Figura 5.2. Layout del transistor.

5.2. Sustitución de la red de estabilización por componentes reales

Una vez reemplazado el transistor, el siguiente componente a cambiar es la red de estabilización, diseñada en el capítulo 4 y que se corresponde a la Figura 4.7.

Previo a poder reemplazar las resistencias, condensadores y bobinas, es importante realizar un estudio de estos. El valor de la inductancia y la capacitancia de una bobina y condensador real dependen de la frecuencia de trabajo. En el caso de OMMIC, se desconoce la relación entre el valor nominal y el valor real. Por ello, se debe realizar un estudio de estos componentes para conocer los modelos reales.

El objetivo es lograr que estos componentes trabajen en los mismos valores que sus componentes ideales.

Para el estudio de los condensadores primero se debe elegir uno de los dos condensadores que ofrece OMMIC:

- CmimD0XGH: Condensador de alta capacidad y densidad. Se fabrica utilizando una capa de nitruro de silicio de 145nm.
- Csio2D0XGH: Condensador de baja capacidad y densidad. Se fabrica utilizando una capa de nitruro de silicio de 145nm y una capa de dióxido de silicio de 850nm.

Para llevar a cabo este estudio, se realizará un barrido del ancho del condensador y el valor de la capacitancia. Para la elección de uno u otro, en ambos se establecerán los mismos valores de configuración. En la Figura 5.3 se muestra el esquemático que se utiliza para llevar a cabo el estudio y se compone de un terminal, el condensador y la línea de transmisión que conecta este a la vía. El condensador de arriba se corresponde con el CmimD0XGH y el de abajo al Csio2D0XGH.

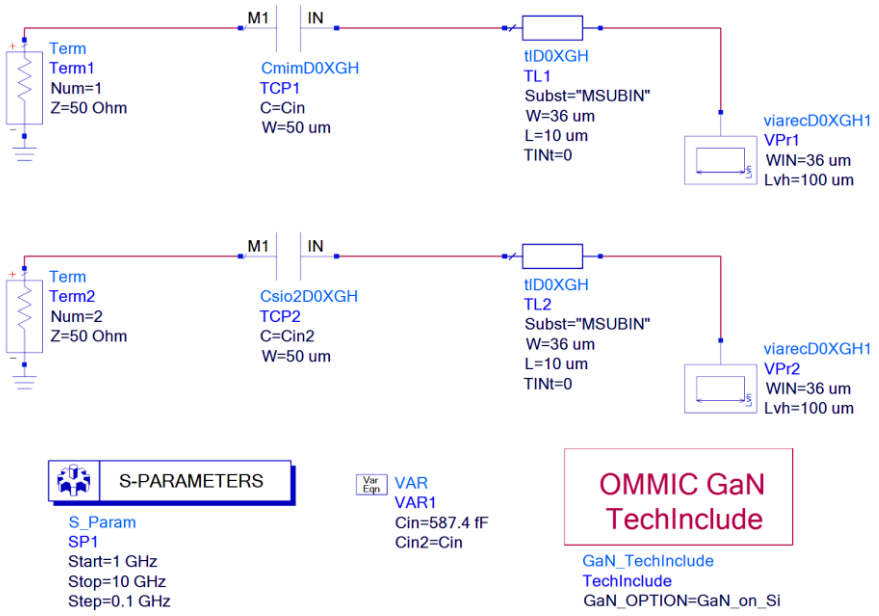


Figura 5.3. Comparativa entre los dos modelos de condensador ofrecidos por OMMIC.

En la Figura 5.4 se observan los resultados de ambos condensadores. Las dos gráficas de arriba se corresponden con del factor de calidad (izquierda) y el valor de la capacitancia (derecha) del condensador CmimD0XGH. Mientras que las dos de abajo son los resultados obtenidos del condensador Csio2D0XGH. Para los

mismos valores de capacidad y ancho, el condensador CmimD0XGH presenta un factor de calidad de 62,88 frente a los 56,26 que presenta el Csio2D0XGH. Por consiguiente, para la realización de este trabajo se hará uso del condensador CmimD0XGH, ya que es el que más se ajusta a las necesidades del diseño de este circuito.

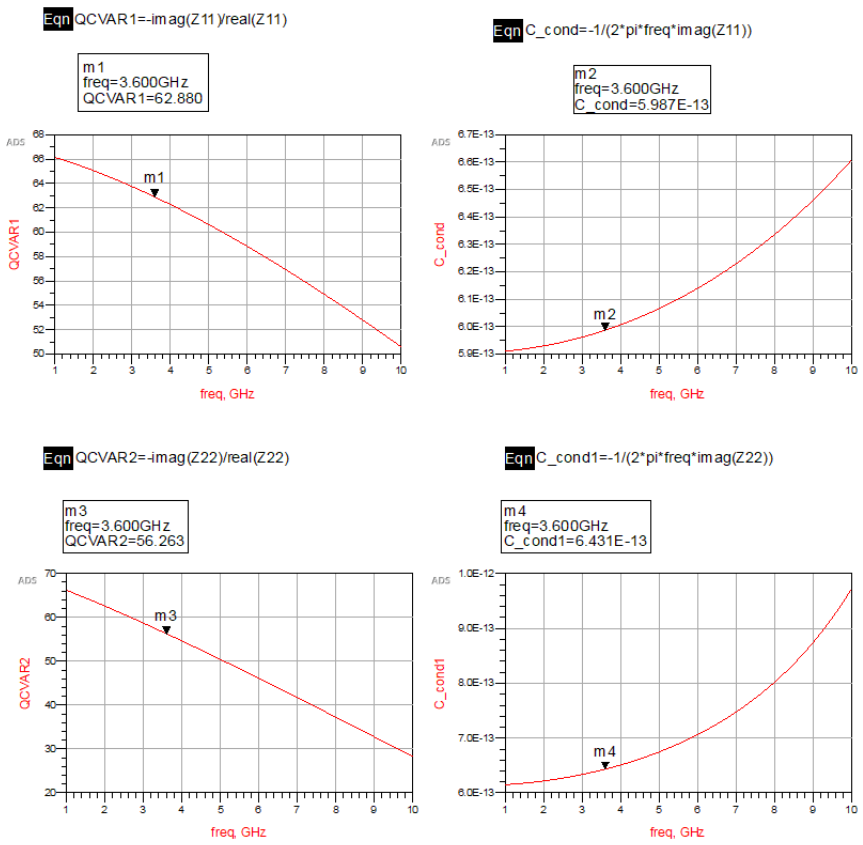


Figura 5.4. Arriba el factor de calidad y la capacidad de CmimD0XGH. Abajo el factor de calidad y la capacidad de Csio2D0XGH.

Una vez escogido el condensador se procede a realizar el estudio de este para obtener su valor real. Para ello, se realiza un barrido de la capacidad para hallar el valor que más se aproxime al valor ideal, es decir, a 0,6pF (ver Figura 5.5).

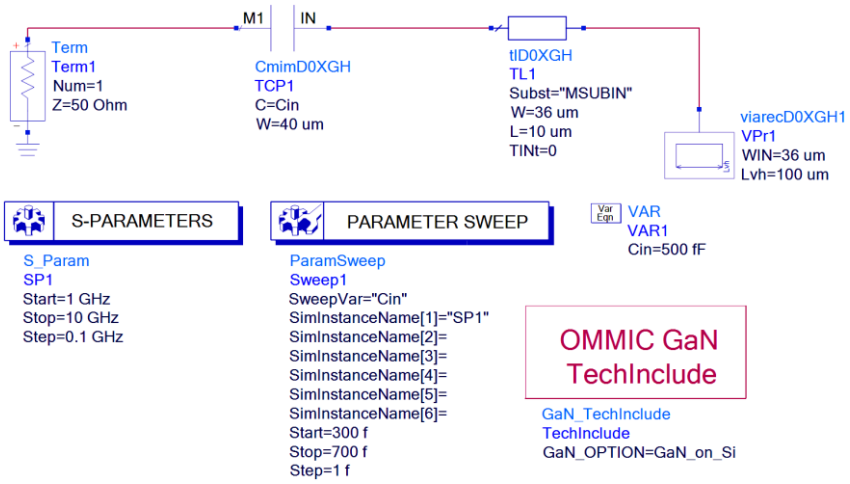


Figura 5.5. Estudio del condensador C_Stab de la red de estabilización.

En la Figura 5.6 se muestran los resultados de la simulación, donde en la gráfica de la derecha se observa que para alcanzar los 0,6pF se necesita una capacidad de 587fF con una anchura de 40um y se obtiene un factor de calidad de 62,301, tal y como puede verse en la gráfica de la izquierda. En las dos gráficas de abajo se muestran los mismos resultados, pero habiendo fijado el valor de la capacitancia a 587fF. Por otra parte, el *layout* de este condensador se presenta en la Figura 5.7.

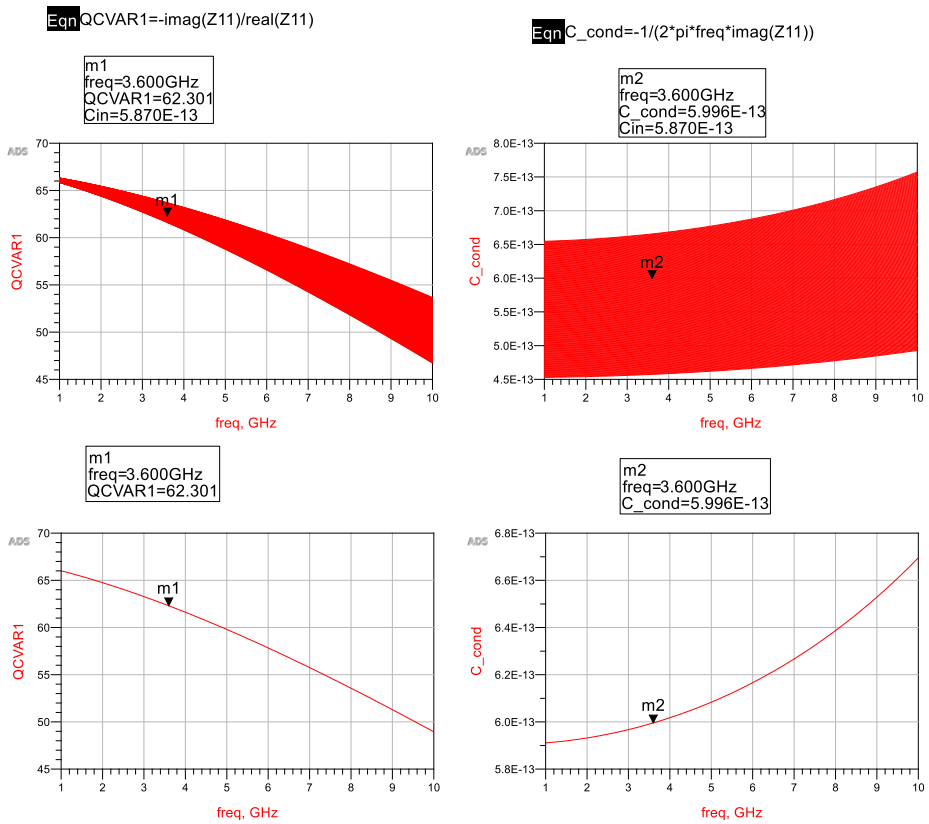


Figura 5.6.(Arriba) Resultados del estudio de Cin con un barrido, a la izquierda el factor de calidad y a la derecha el valor de la capacitancia. (Abajo) Resultados con una capacitancia fija de 586fF.

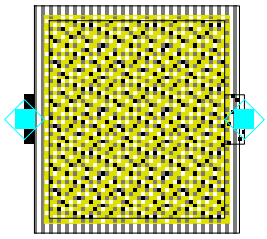


Figura 5.7. Layout del condensador de la red de estabilización.

Posteriormente, se realiza el estudio de las resistencias. El kit de OMMIC ofrece hasta 4 resistencias, como se observa en la Figura 5.8. Estas se dividen principalmente en dos tipos: Resistencias GaN y NiCr.

- Resistencias GaN: Este tipo de resistencias se usan cuando se buscan valores de resistencias elevados y la precisión no es crítica.
- Resistencias NiCr: Es el más usado y se utilizan para valores bajos, presentan una alta precisión y una baja dependencia de temperatura.

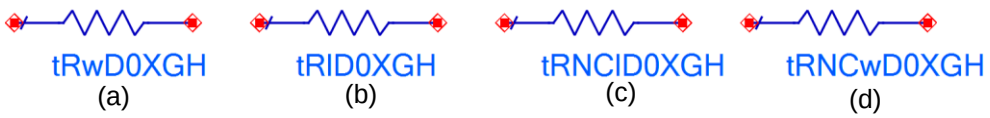


Figura 5.8. Modelos de resistencias ofrecidos por OMMIC.

Por lo tanto, como lo que se precisa en este caso es la búsqueda de valores bajos y una alta precisión se opta por las resistencias NiCr: la (c) y la (d). La diferencia entre las dos opciones que restan es que en la (c) se varía la longitud y en la (d) el ancho de la resistencia. Por lo tanto, se opta por la opción (c) debido a que cuando se genere el *layout* es preferible variar la longitud que el ancho.

La resistencia de estabilidad (R_Stab) tendrá un valor de 50Ω (ver Figura 5.9 (a)) y se corresponde con el *layout* que se muestra en la Figura 5.9 (b). La longitud de la resistencia se determinará cuando se genere el *layout* de la red de estabilización con el fin de que quede lo más cuadrada posible.

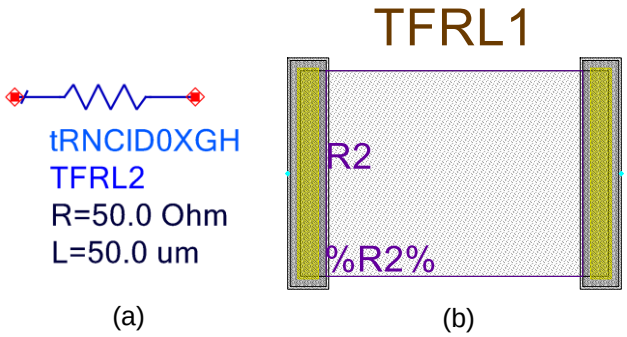


Figura 5.9. (a) Valor real de R_Stab. (b) Layout de la resistencia de la red de estabilidad.

Una vez calculados los valores reales, estos se incluyen en el circuito y se procede a verificar que continúa siendo incondicionalmente estable, como se aprecia en la Figura 5.10. En ella se observa el esquemático para la comprobación de la estabilidad con los valores reales de la red de estabilización y del transistor, así como las líneas de transmisión, *corners* y las T que conectan estos elementos.

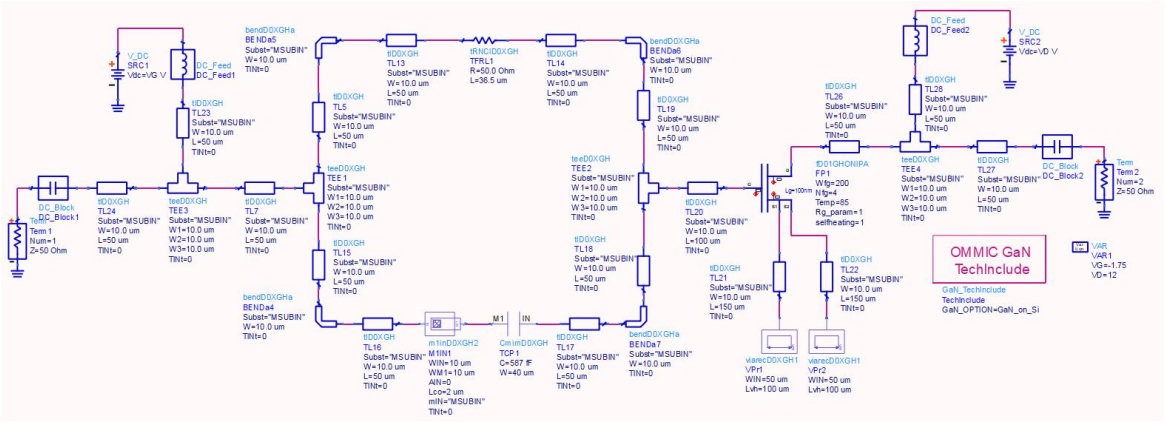


Figura 5.10. Comprobación de la estabilidad con los valores reales.

En la Figura 5.11 puede verse de manera gráfica como el circuito sigue siendo incondicionalmente estable con un factor de estabilidad K = 1,442. Sin embargo, si se compara la ganancia con respecto a los valores ideales de la Figura 4.9, se observa que con los valores ideales se obtiene una ganancia de 15,424 dB frente a los 12,9 dB obtenidos tras pasar a los valores reales.

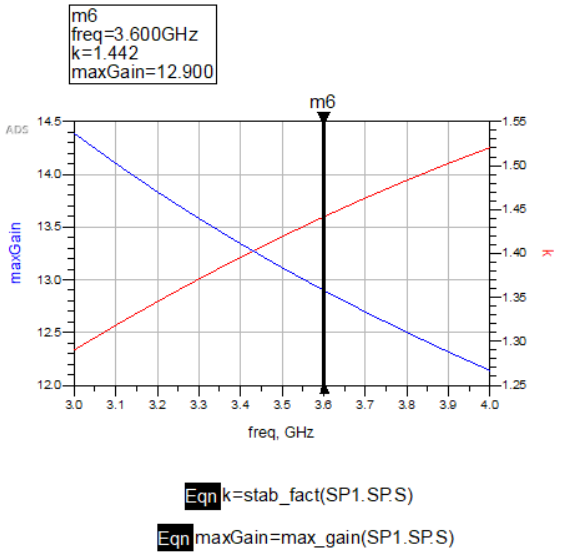


Figura 5.11. Estabilidad (rojo) y ganancia (azul) del transistor frente a la frecuencia.

Se genera el *layout* compuesto por la red de estabilización y el transistor (ver Figura 5.12), a través del cual se establece la longitud de la resistencia de la red de estabilidad a 36,5µm para que el paralelo entre la resistencia y el condensador quede cuadrado.

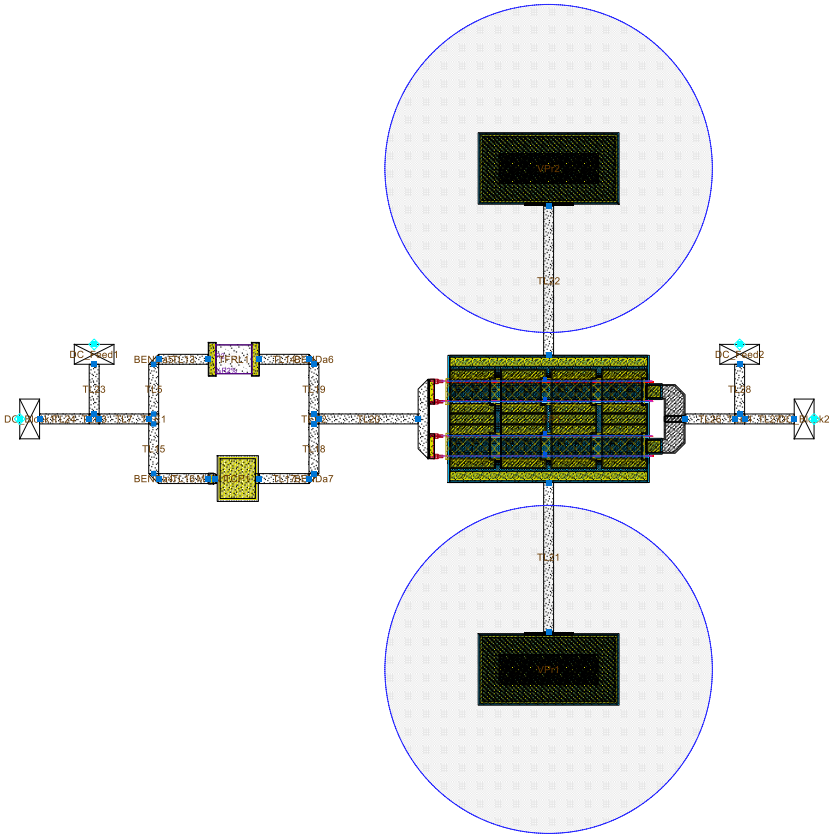
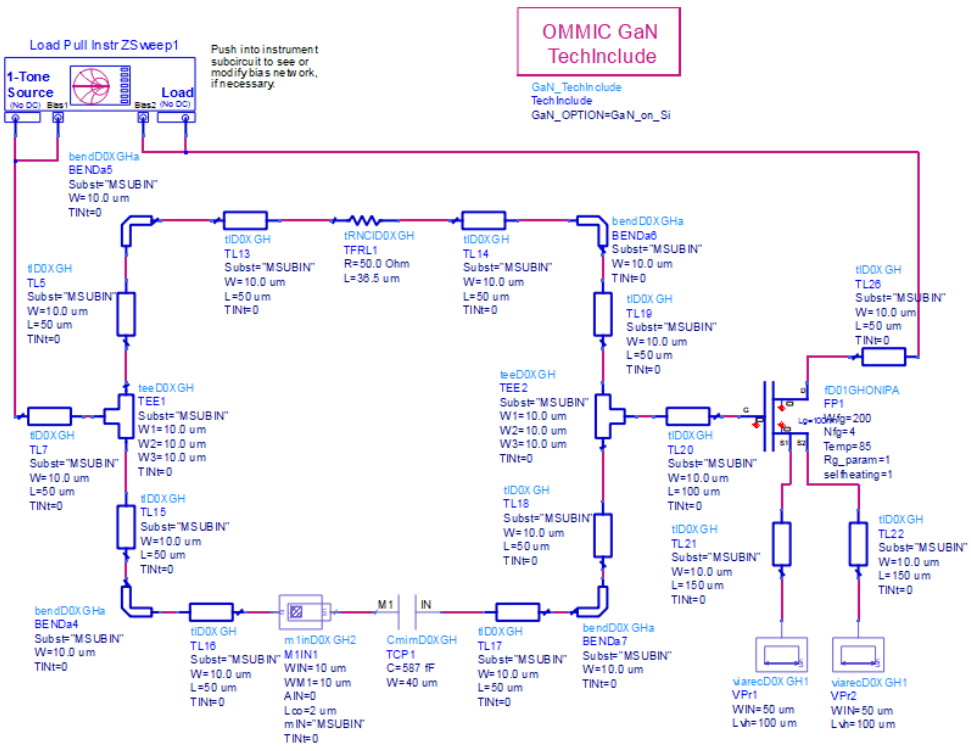


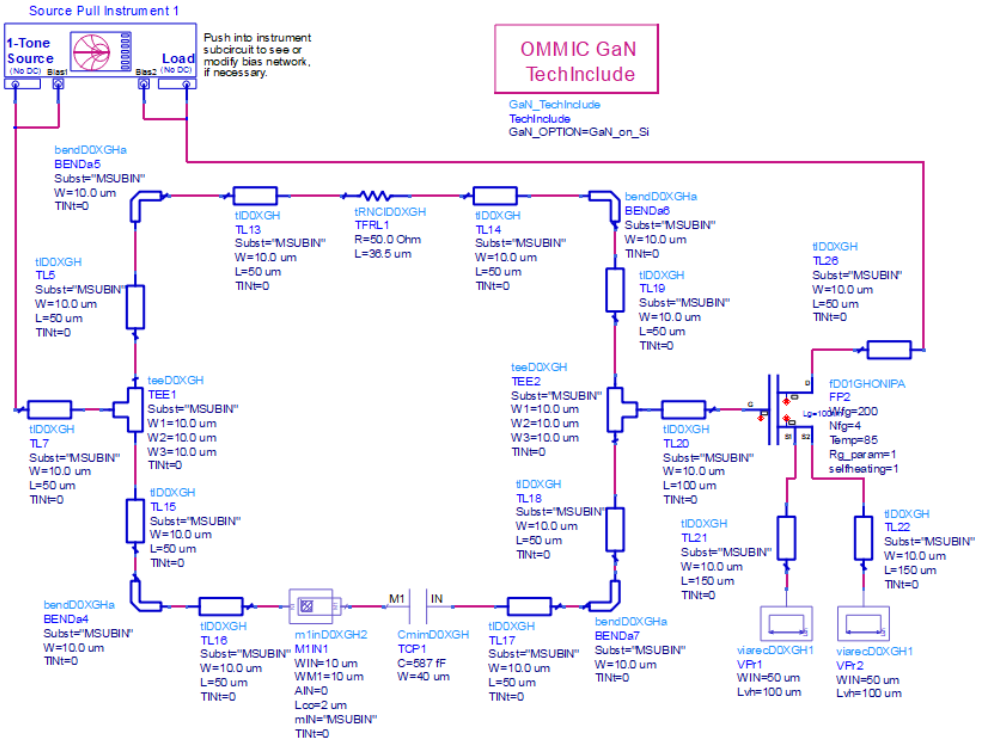
Figura 5.12. Layout de la red de estabilización junto al transistor.

5.3. Sustitución de las redes de adaptación

Una vez hecho el *layout*, se ha comprobado que el circuito sigue siendo estable. A continuación, se procede a sustituir las redes de adaptación por sus componentes reales, pero antes, se vuelve a realizar el load y source pull, pero esta vez con el *layout* del de la red de estabilización junto al transistor, por si han cambiado los valores de impedancia óptimos. Los esquemáticos de simulación se pueden ver en la Figura 5.13.



(a)



(b)

Figura 5.13. (a) Esquemáticos usados para el Load-Pull y (b) el Source-Pull.

En la Figura 5.14 se observan los resultados para una entrada de 21 dBm de potencia. Las impedancias resultantes de realizar el Load & Source Pull son Z_{source} = 32,15 + j*33 y Z_{load} = 49,5 + j*8. Por otra parte, la potencia de salida y la

ganancia para máximo PAE es de 31,72 y 10,72 dBm, respectivamente. El PAE obtenido es entre un 63,09% y un 63,52%.

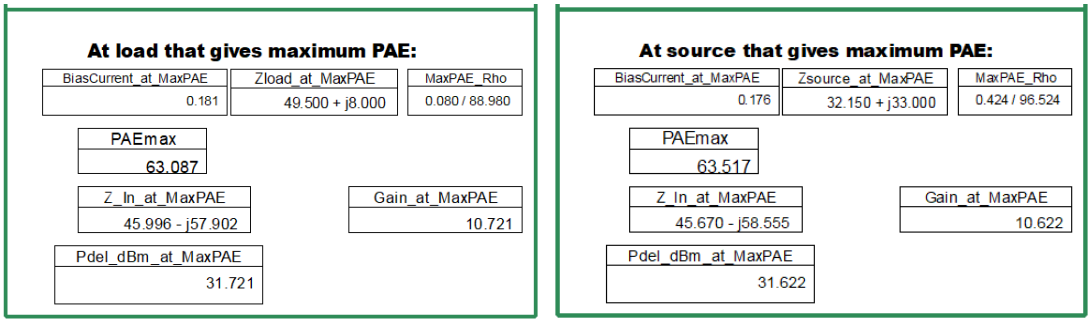


Figura 5.14. A la izquierda impedancia óptima de carga. A la derecha impedancia óptima de fuente.

Para comprobar que con las impedancias obtenidas tras la realización del Load/Source-Pull se consiguen los valores de máximo PAE, potencia de salida y ganancia se incluye la impedancia de fuente (Z_{source}) en el PORT1 y la de carga (Z_{load}) en el Term1 como se observa en la Figura 5.15.

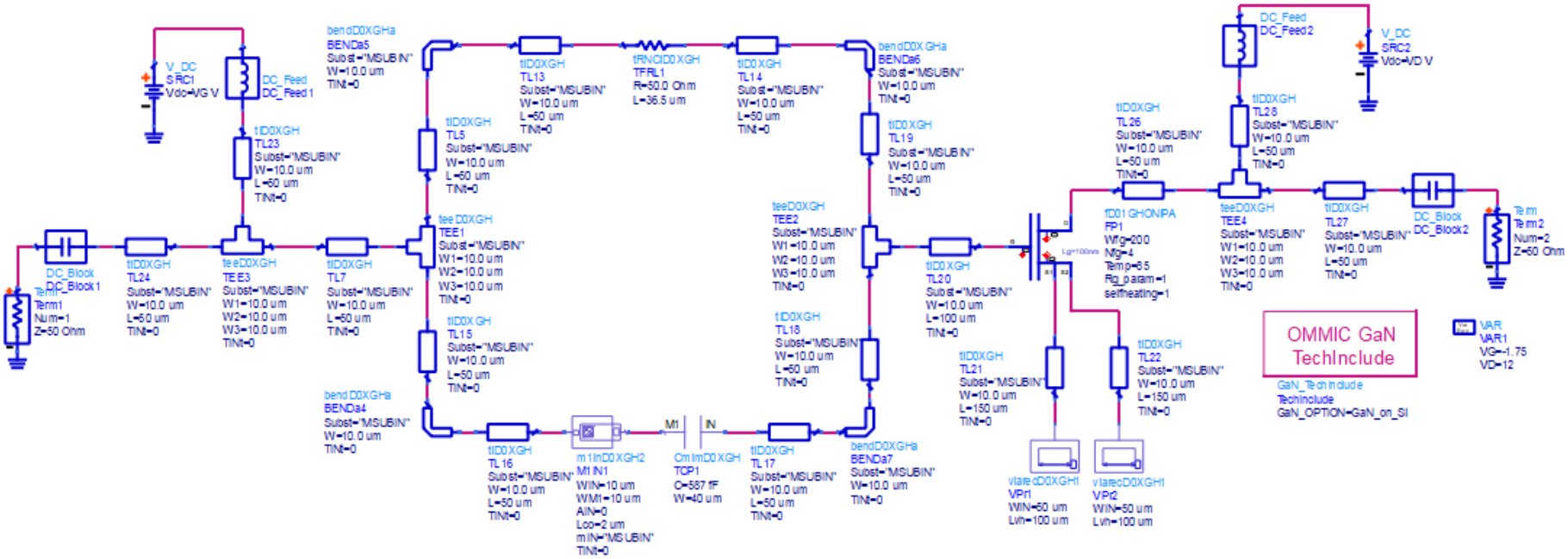


Figura 5.15. Esquemático para la comprobación de la correcta realización del Load/Source-Pull.

En la Figura 5.16 se observa que con una potencia de entrada de 21 dBm se obtiene una potencia de salida de 31,213 dBm, una ganancia de 10,213 dB y un PAE de 55,830%. A su vez, se presenta de forma gráfica la potencia de salida, así como el PAE frente a una potencia de entrada establecida. Como el transistor está trabajando en saturación el PAE varía para distintas impedancias, provocando que disminuya con respecto a los valores de PAE alcanzados en la técnica Load/Source-Pull.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
15.000	26.481	11.481	32.501	1.280	0.107	0.857
16.000	27.542	11.542	36.770	1.445	0.120	0.905
17.000	28.600	11.600	41.539	1.633	0.136	0.944
18.000	29.622	11.622	46.679	1.839	0.153	0.967
19.000	30.429	11.429	51.166	2.016	0.168	0.968
20.000	30.900	10.900	54.016	2.112	0.176	0.949
21.000	31.213	10.213	55.830	2.172	0.181	0.929
22.000	31.459	9.459	56.799	2.224	0.186	0.919
23.000	31.656	8.656	56.926	2.274	0.190	0.925

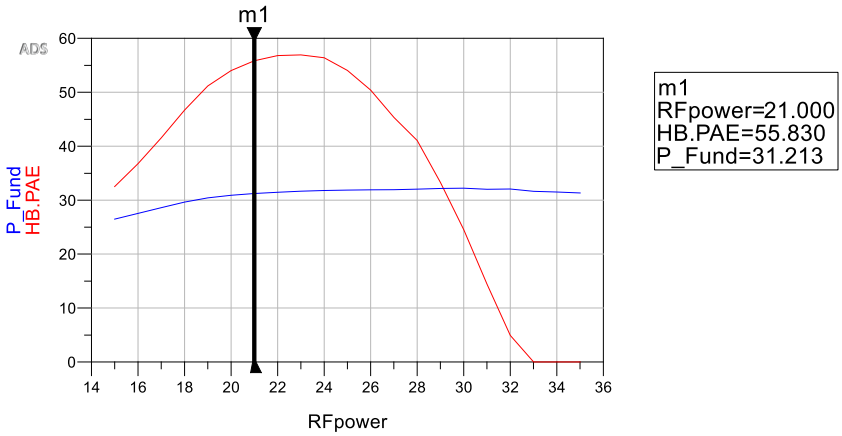


Figura 5.16. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada.

Seguidamente, se procede a realizar las redes de adaptación, mediante el "Smith Chart", como se observa en la Figura 4.16.

En la Figura 5.17 se muestra una carta de Smith donde se hace uso de la expresión (4.1) y se pasa a forma polar la impedancia de carga (Γ_L) para el cálculo y representación de la impedancia de carga (Γ_L) y de fuente (Γ_S). Donde se obtienen unos de resultados de una Γ_L*=49,504-j*7,970 y una Γ^*_S=46,390-j*55,887.

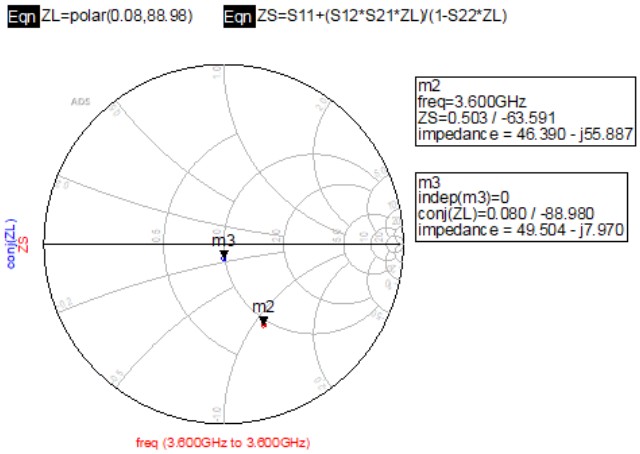


Figura 5.17. Cálculo de Z_S representado en la carta de Smith.

De forma análoga a como se realiza en el Capítulo 4, se procede a llevar a cabo la adaptación de salida. De las topologías que se generan, se escoge la red con la bobina en paralelo y el condensador en serie, donde se obtiene un valor de capacitancia de 7,021pF y de inductancia de 7,809nH (ver Figura 5.18).

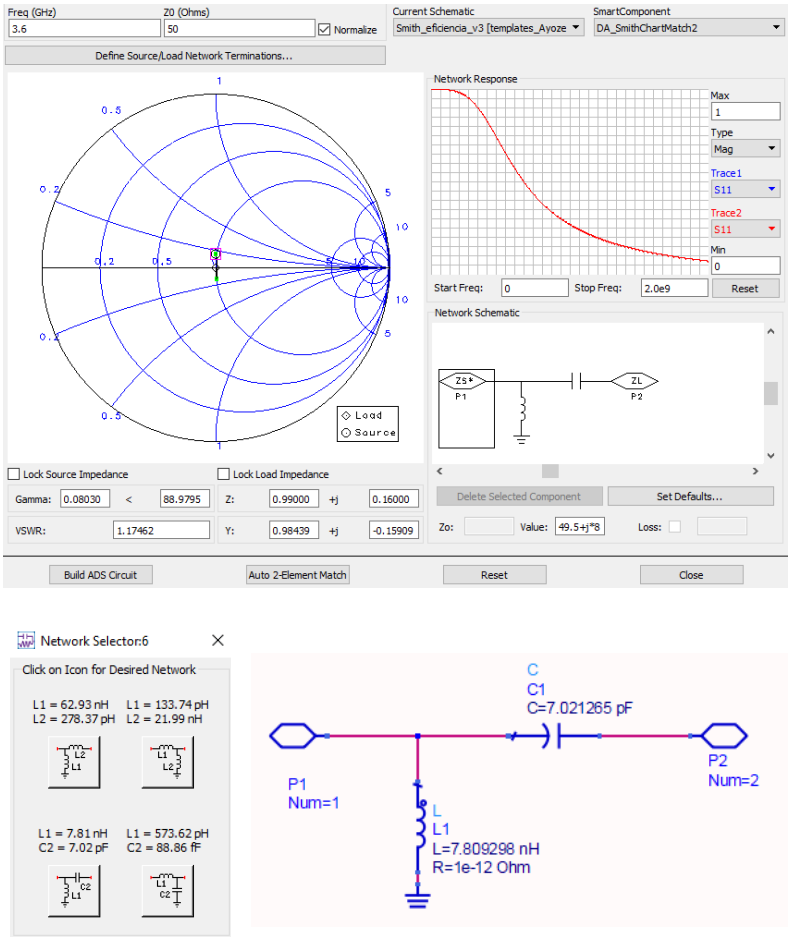


Figura 5.18. Arriba la ventana de configuración del componente de la carta de Smith. Abajo la red de adaptación construida. Adaptación a la salida.

Para la red de adaptación de entrada se realiza el mismo procedimiento, pero variando la impedancia de fuente (Γ^*_S) cuyo valor es de 46,390 - j*55,887. De las redes que genera el ADS, se elige la red con la bobina en paralelo y el condensador en serie, donde se obtiene un valor de capacitancia de 783,252fF y de inductancia de 2,154nH (ver Figura 5.19).

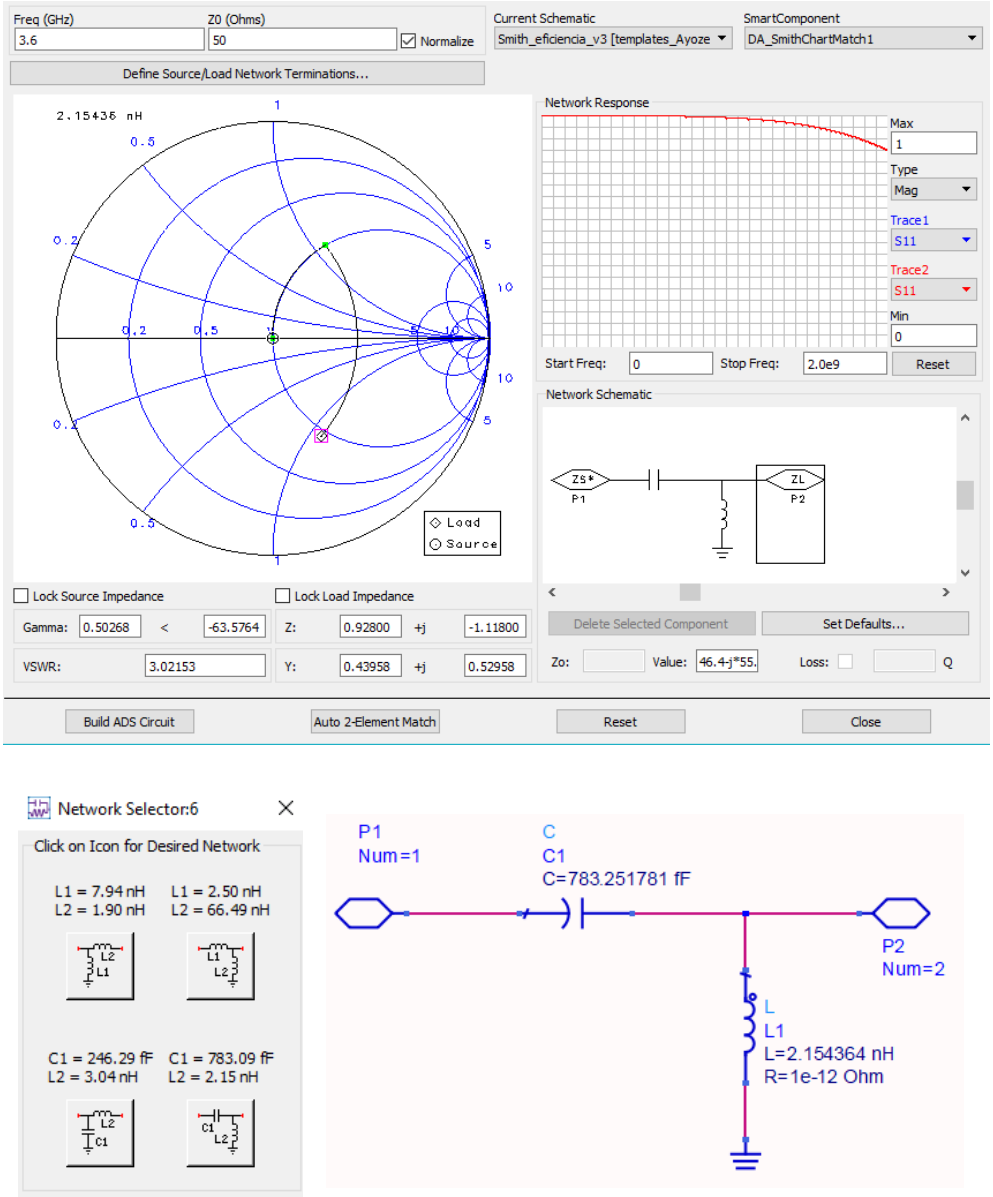


Figura 5.19. Arriba la ventana de configuración del componente de la carta de Smith. Abajo la red de adaptación construida. Adaptación a la entrada.

5.3.1. Red de adaptación de entrada

En esta red se había diseñado idealmente con una inductancia de 2,154nH y una capacitancia de 783fF como se muestra en la Figura 5.19. A continuación, se

procede a estudiar la implementación con los componentes de la tecnología de cada uno de ellos.

Para el estudio de la bobina el kit de OMMIC proporciona un único modelo en el que se modificará su inductancia y su ancho. Para ello, se realiza un barrido para determinar el valor nominal que corresponde al valor real de la inductancia que se busca, tal y como se hizo en el condensador. En la Figura 5.20 se muestra el esquemático que se utiliza para llevar a cabo el estudio, que se compone de dos TERM (terminales) y la bobina.

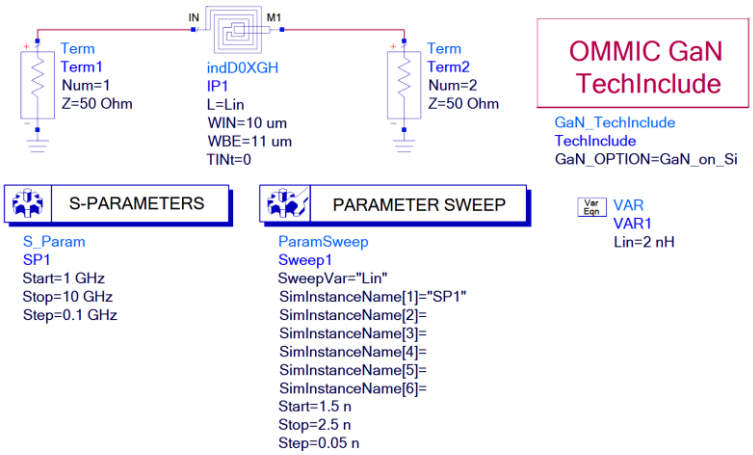


Figura 5.20. Estudio de la bobina la red de adaptación a la entrada.

Para la realización del estudio se ajustarán los parámetros de la inductancia y del ancho de la bobina para obtener el valor de la inductancia ideal y su factor de calidad. Con la expresión 5.1 se obtiene el factor de calidad de la bobina, mientras que con la ecuación 5.2 se consigue el valor de la inductancia. Estas ecuaciones dependen de los parámetros Y.

- Factor de calidad:

$$Q = -\frac{imag(Y11)}{real(Y11)} \tag{5.1}$$

- Valor de la inductancia:

$$L_{in} = \frac{imag\left(\frac{1}{Y11}\right)}{\omega f} \tag{5.2}$$

Para la obtención de las gráficas de la Figura 5.21 se emplea la expresión 5.1 y la expresión 5.2, en donde se obtiene el resultado del estudio de la bobina L_{in}. En la gráfica de la derecha se observa que para alcanzar los 2,154nH se necesita

una inductancia de 2,05nH que corresponde a un factor de calidad de 6,576 mostrado en la gráfica de la izquierda.

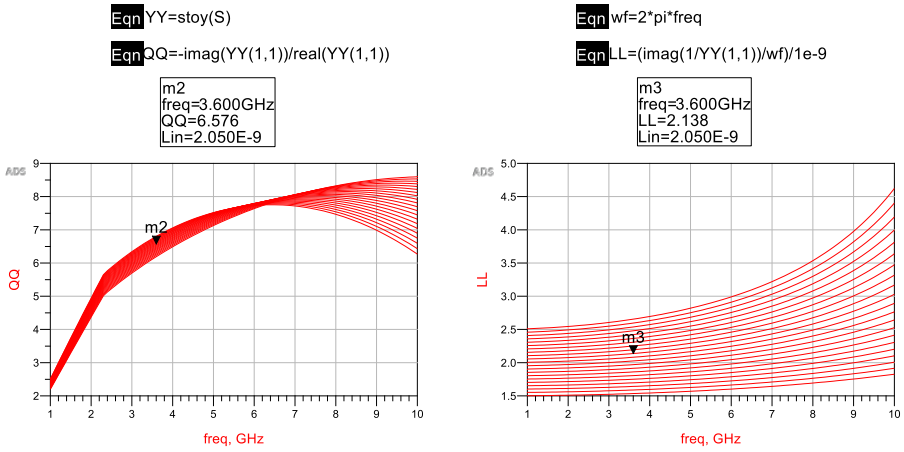


Figura 5.21. Resultados del estudio de L_{in} con un barrido. A la izquierda el factor de calidad. A la derecha el valor de la inductancia.

A continuación, se fija el valor obtenido en el barrido y se varía el ancho para ver su comportamiento y en la Figura 5.22 en la gráfica de la izquierda se aprecia que factor de calidad máximo se encuentra a frecuencias más altas.

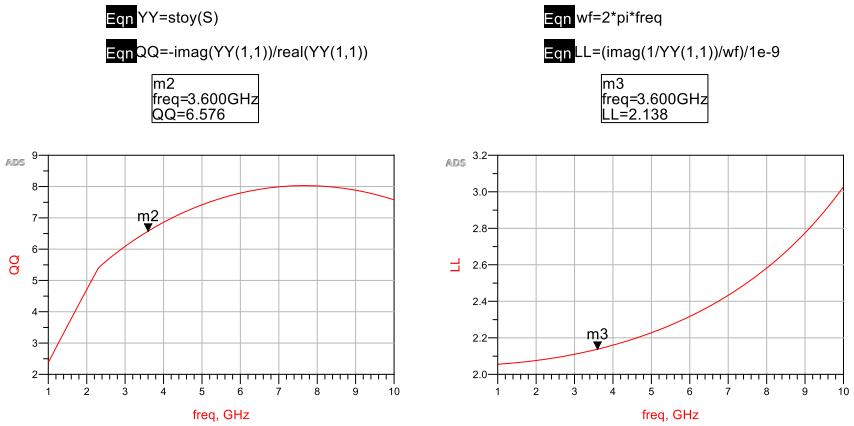


Figura 5.22. Resultados del estudio de L_{in} A la izquierda el factor de calidad. A la derecha el valor de la capacitancia.

Por lo que se va a la configuración de la bobina (ver Figura 5.23), donde se observa que el valor de W_{IN} es de 10µm (valor por defecto). Según OMMIC este parámetro tiene que estar entre 5µm y 15µm, mientras que W_{BE} está establecido por defecto a 11µm, pues debe ser mayor que 5µm.

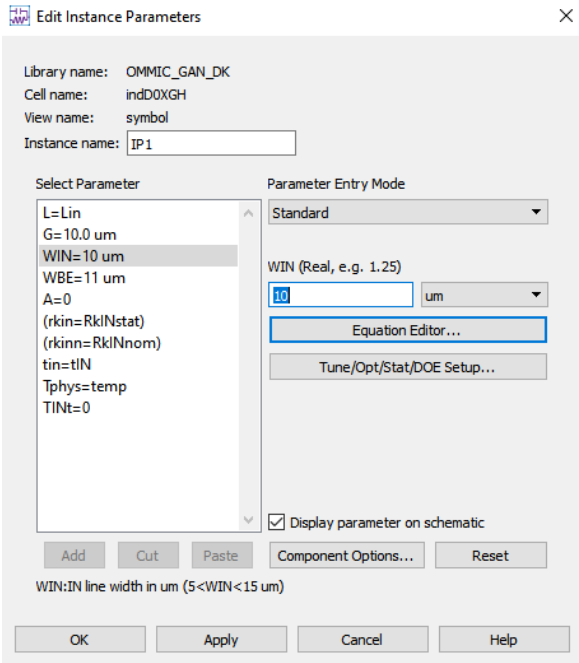


Figura 5.23. Configuración de los parámetros de la bobina proporcionada en el kit de OMMIC.

En base a estos datos, se aumentan los anchos de las pistas que forman la bobina, provocando que la resistividad baje y a su vez, las capacidades parásitas aumenten, lo que conlleva que la frecuencia de corte superior del factor de calidad baje y sitúe el máximo más cerca de la frecuencia de trabajo. Por lo tanto, se establece el valor de W_{IN} = 15µm y de W_{BE} = 16µm.

En la Figura 5.24 se muestra la simulación con un *history* para comparar los valores del factor de calidad, donde la gráfica de la izquierda se corresponde con el factor de calidad y la gráfica de la derecha se trata del valor de la inductancia. En azul se presentan los resultados para valores de W_{IN} = 15µm y de W_{BE} = 16µm y en rojo, para valores de W_{IN} = 10µm y de W_{BE} = 11µm. Por consiguiente, se determina la necesidad de una bobina con una inductancia de 2,05nH, un W_{IN} = 15µm y un W_{BE} = 16µm para alcanzar los 2,154nH y se obtiene un factor de calidad de 8,687. El *layout* de la bobina se observa en la Figura 5.25.

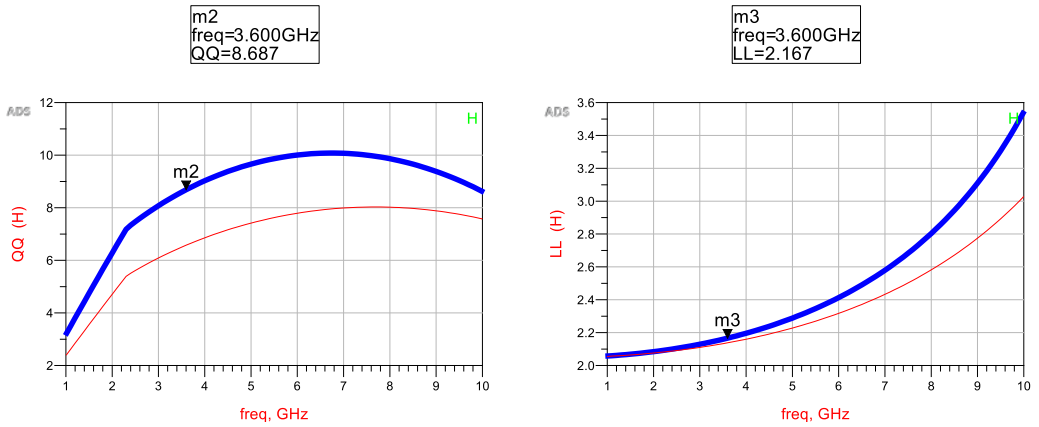


Figura 5.24. Estudio de L_{in}. Nuevos valores de ancho (azul), viejos valores de ancho (rojo). A la izquierda el factor de calidad. A la derecha el valor de la bobina.

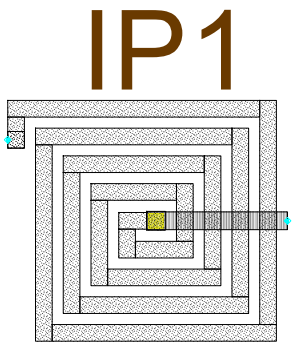


Figura 5.25. Layout de la bobina de la red de adaptación de la entrada.

Para realizar el estudio del condensador se emplea el mismo procedimiento llevado a cabo en el apartado 5.2. En la Figura 5.26 (a) se muestra que se necesita una capacidad nominal de 761fF con una anchura de 40µm para alcanzar los 783fF y cuyo un factor de calidad es de 60,30. Mientras que en la Figura 5.26 (b) se presenta su *layout*.

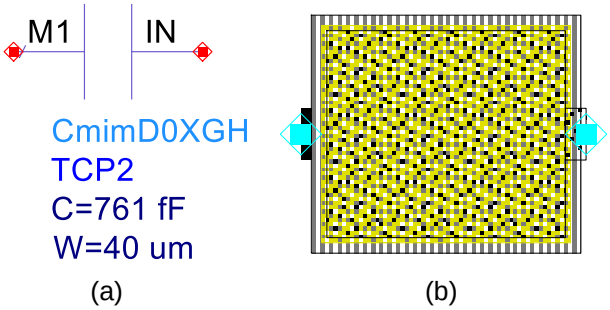


Figura 5.26. (a) Valor real del condensador de la red de adaptación de entrada. (b) Layout del condensador de la red de adaptación de entrada.

Una vez obtenidos los valores reales de los componentes de la red de adaptación de entrada, estos se incluyen en el circuito como se aprecia en la Figura

5.27. En ella se observa el esquemático compuesto por la bobina de 2,05nH y el condensador de 761fF, así como las líneas de transmisión, *corners* y las T que conectan estos elementos con la red de estabilización previamente diseñada. Asimismo, en la Figura 5.28 se muestra el *layout* resultante de este esquemático.

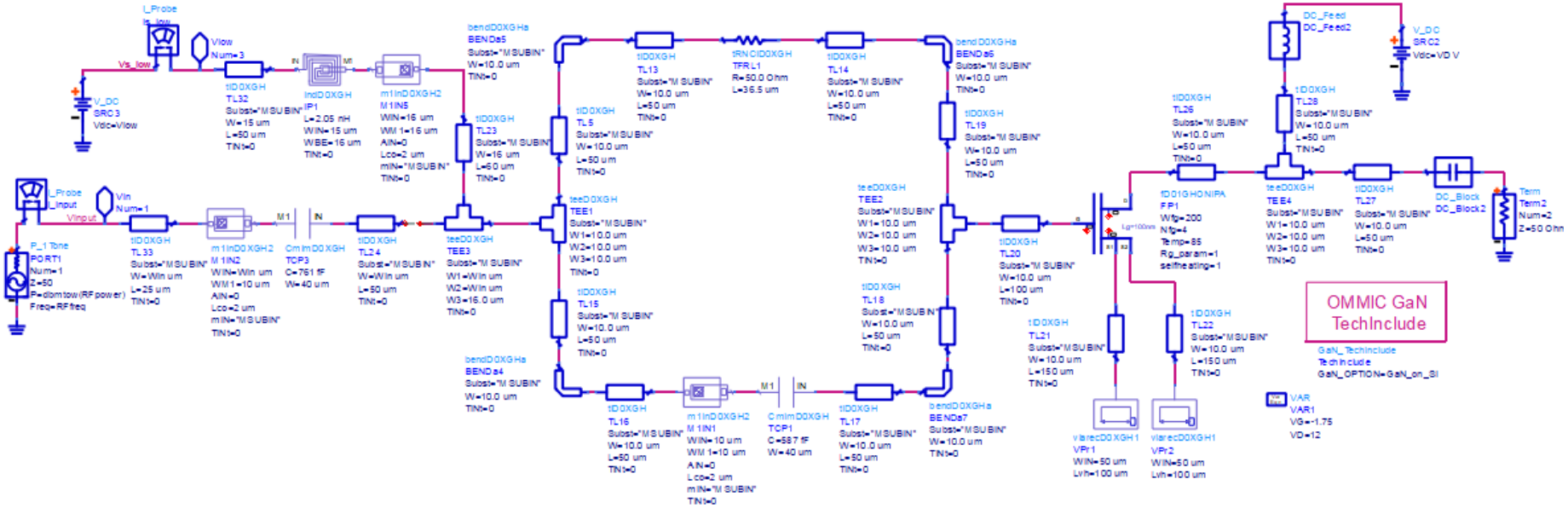


Figura 5.27. Esquemático con los valores reales de la red de adaptación de entrada

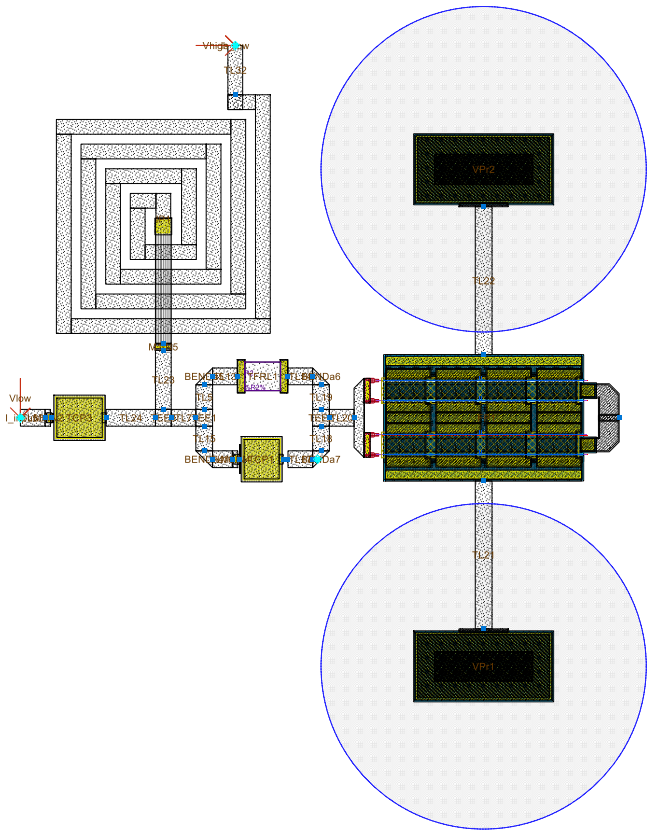


Figura 5.28. Layout del transistor junto a las redes de estabilización y de adaptación de entrada.

5.3.2. Red de adaptación de salida

Esta red se había diseñado idealmente una inductancia de 7,809nH y una capacitancia de 7,021pF como se muestra en la Figura 5.18. Por ese motivo, se debe realizar el estudio para ambos componentes.

Para realizar el estudio de la bobina el procedimiento a seguir es el que se ha detallado en apartados anteriores. En la Figura 5.29 (a) se aprecia que se necesita una inductancia de valor nominal 5,5nH para alcanzar los 7,809nH, obteniendo un factor de calidad de 8,35. Por otra parte, el *layout* de la bobina se presenta en la Figura 5.29 (b).

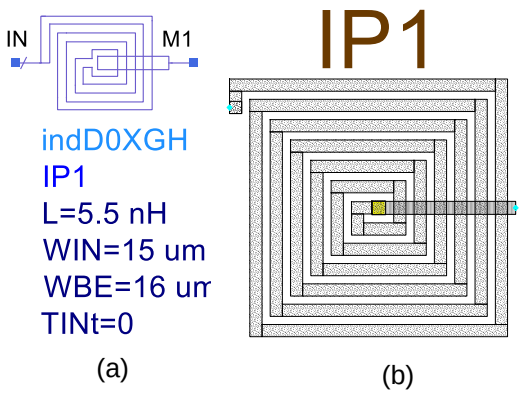


Figura 5.29. (a) Valor real de la bobina de la red de adaptación de salida. (b) Layout de la bobina de la red de adaptación de salida.

El procedimiento a seguir para la obtención del condensador es el que se ha explicado en apartados anteriores. En la Figura 5.30 (a) se muestra que para alcanzar los 7,021pF se necesita una capacitancia nominal de 5,55pF con un ancho de 120µm y cuyo factor de calidad es de 33,205. El *layout* de este condensador se observa en la Figura 5.30 (b).

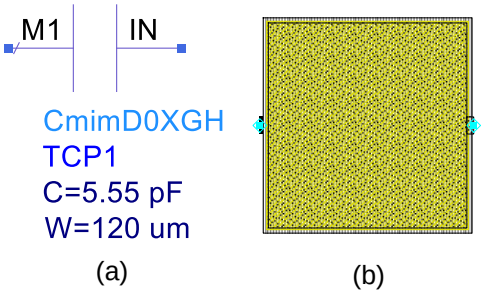


Figura 5.30. (a) Valor real del condensador de la red de adaptación de salida. (b) Layout del condensador de la red de adaptación de salida.

Una vez obtenidos los valores reales de los componentes de la red de adaptación de salida, se procede a realizar su comprobación para lograr el máximo PAE. Para ello, en el circuito se deben incluir estos últimos componentes, como se muestra en la Figura 5.31, en la cual se observa en la salida la bobina de 5,5nH y el condensador de 5,55pF con un ancho de 120µm, así como las líneas de transmisión, *corners* y T que conectan estos elementos a la salida del transistor. El *layout* de este esquemático se presenta en la Figura 5.32.

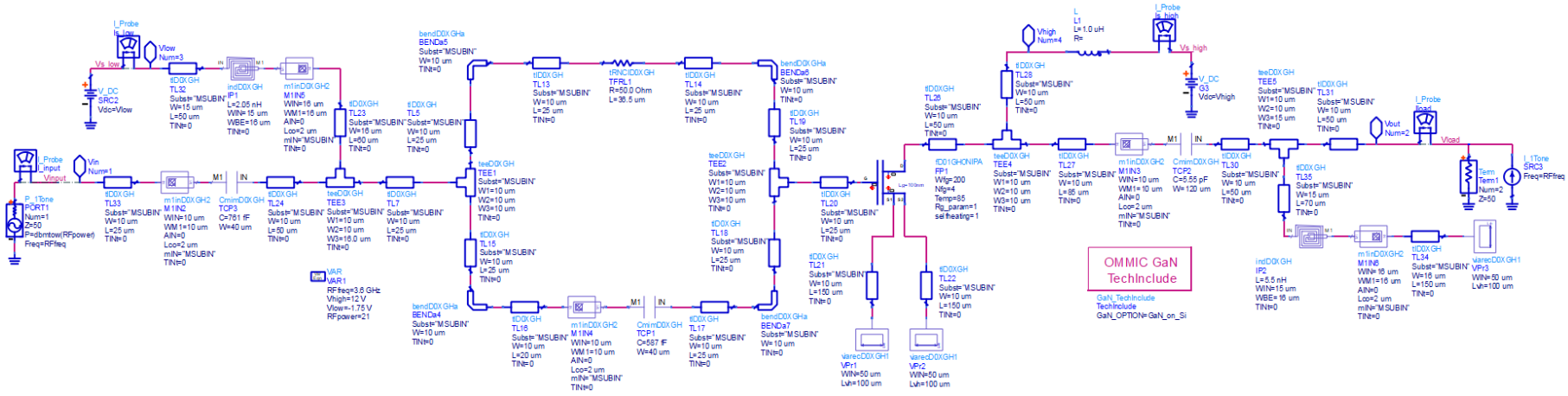


Figura 5.31. Esquemático con los valores reales de la red de adaptación de salida.

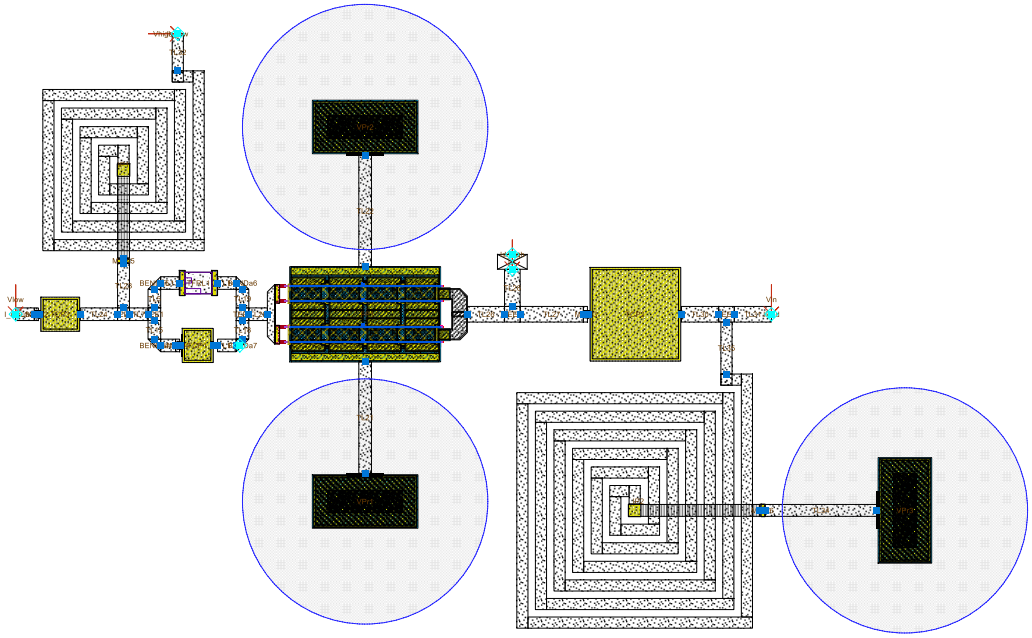


Figura 5.32. Layout del transistor junto a las redes de estabilización y de adaptación de entrada y salida.

Los resultados de la comprobación se aprecian en la Figura 5.33, donde se verifica que las redes de adaptación se han diseñado correctamente, pues se obtiene un 53,06% de PAE para una potencia de entrada de 21 dBm. Además, se logra una potencia de salida de 31,348 dBm y una ganancia = 10,348 dB. Asimismo, se presenta de forma gráfica la potencia de salida, así como el PAE frente a una potencia de entrada establecida.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
15.000	26.059	11.059	29.147	1.278	0.106	0.898
16.000	27.117	11.117	33.002	1.442	0.120	0.957
17.000	28.175	11.175	37.323	1.628	0.136	1.009
18.000	29.221	11.221	42.109	1.838	0.153	1.050
19.000	30.186	11.186	46.999	2.055	0.171	1.072
20.000	30.886	10.886	50.772	2.221	0.185	1.070
21.000	31.348	10.348	53.063	2.335	0.195	1.063
22.000	31.623	9.623	54.012	2.398	0.200	1.056
23.000	31.775	8.775	53.871	2.424	0.202	1.053

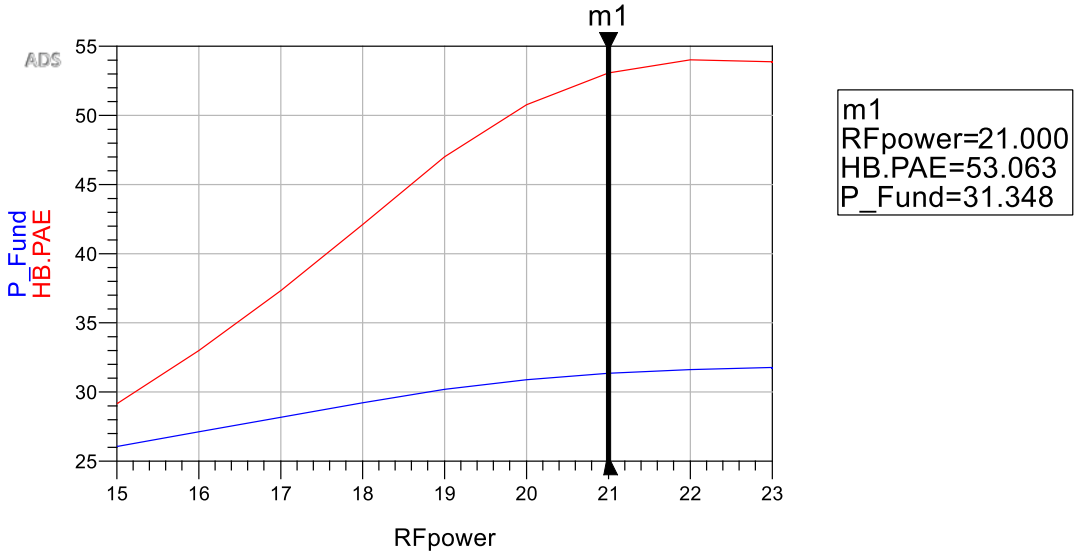


Figura 5.33. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada.

En la Tabla 5.1 se muestra la comparativa entre los resultados obtenidos en el diseño con los valores ideales y los valores reales.

Tabla 5.1. Comparación entre los resultados con los valores ideales y los valores reales.

	PAE (%)	**Potencia de salida (dBm)**	**Ganancia (dB)**
Valores ideales	55.71	32.032	11.032
Valores reales	53.06	31.348	10.348

El problema de este diseño es que se emplea una inductancia ideal de 1μH como bobina de *choke*. Lo que provoca que dicha bobina deba ser conectada externamente al circuito debido a su gran tamaño y, por ese motivo, no pueda ser integrada en el chip. Asimismo, el factor de calidad de estos componentes para bajas frecuencias es menor. Por ello, se ha decidido realizar una adaptación a la salida teniendo en cuenta la bobina de polarización con una red LCL en pi.

Esta red LCL se calculará con la ayuda de la herramienta “Smith Chart”. Los datos que se introducen en ella son los mismos que en el caso de la red de

adaptación de salida realizado en este capítulo. En este caso, se necesitan 3 componentes, dos bobinas en paralelo y un condensador en serie. Por lo que se realizará en la misma carta de Smith de forma manual (ver Figura 5.34).

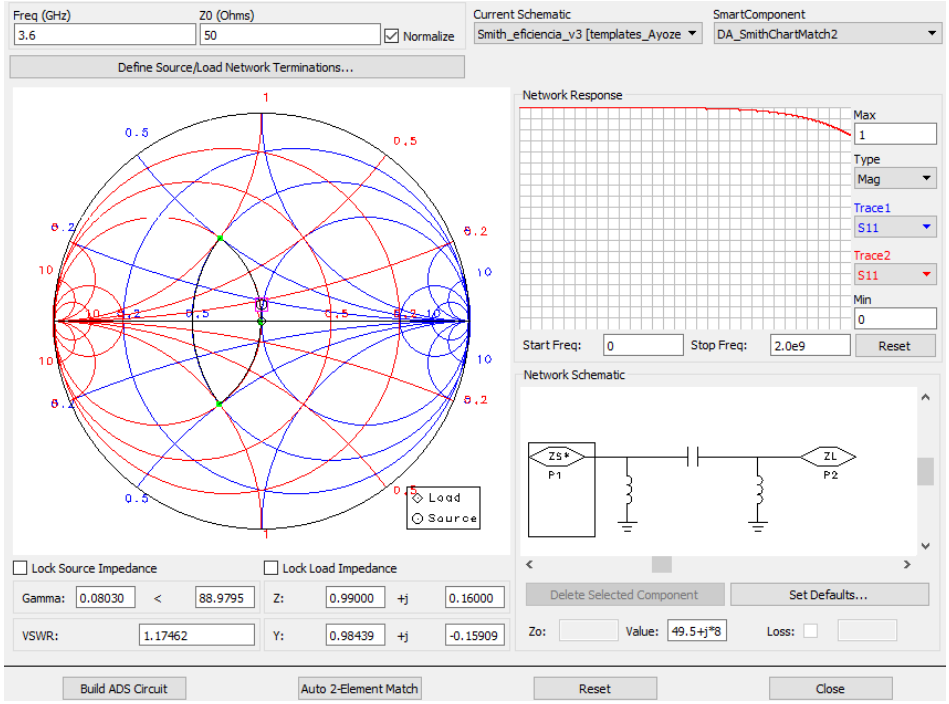


Figura 5.34. Ventana de configuración del componente de la carta de Smith. Adaptación a la salida para una red LCL en pi.

Si se selecciona la opción "*Build ADS Circuit*", se genera directamente la red diseñada. En la Figura 5.35 se muestran los valores ideales de los componentes de la red de adaptación, donde se tiene una bobina con una inductancia de 2,193nH correspondiente a la bobina de *choke*, mientras que el condensador que sustituirá el bloque DC tendrá una capacitancia de 884,2fF y se pondrá una inductancia de 2,213nH en paralelo a este condensador.

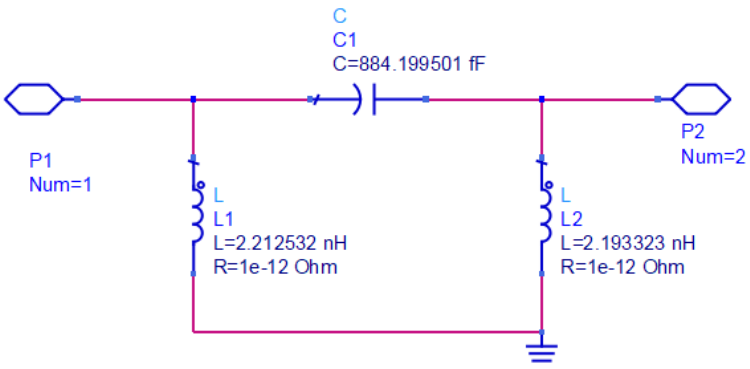


Figura 5.35. Red de adaptación a la salida LCL en pi construida.

Una vez obtenidos los valores ideales de la red LCL se debe hacer un estudio para hallar los valores reales de los componentes. Primero, se comienza con la bobina de *choke* con un valor de inductancia de 2,213nH. En la Figura 5.36 (a) se observa que se necesita una inductancia de 2,07nH para lograr los 2,193nH y cuyo factor de calidad es de 8,699. En la Figura 5.36 (b) se presenta el *layout* de este elemento.

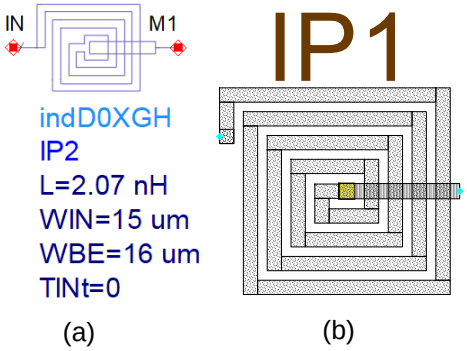


Figura 5.36. (a) Valor real de la bobina de la red de adaptación de salida (choke). (b) Layout de la bobina de la red de adaptación de salida (choke).

A continuación, para la otra bobina se realiza un procedimiento similar. Para obtener una inductancia de 2,213nH se necesita una inductancia 2,09nH (ver Figura 5.37 (a)) con un factor de calidad de 8,71. El *layout* de esta inductancia se observa en la Figura 5.37 (b).

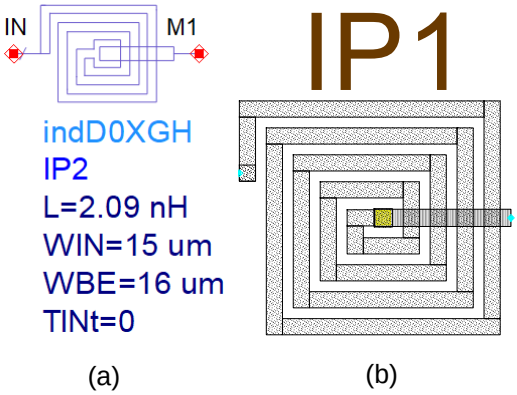


Figura 5.37. (a) Valor real de la bobina de la red de adaptación de salida. (b) Layout de la bobina de la red de adaptación de salida.

Por último, se realiza el estudio del condensador, donde en la Figura 5.38 (a) se muestra el valor de la capacitancia necesario para lograr los 884fF y se obtiene un factor de calidad de 59,78. Mientras que en la Figura 5.38 (b) se presenta el *layout* de dicho condensador.

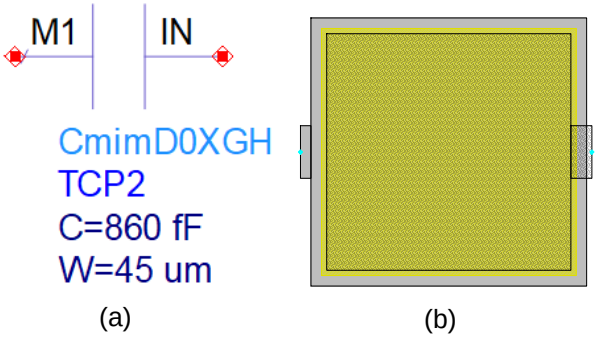


Figura 5.38. (a) Valor real del condensador de la red de adaptación de salida. (b) Layout del condensador de la red de adaptación de salida.

Tras finalizar el estudio de los componentes, se procede a la comprobación de que se ha realizado correctamente la adaptación a la salida para alcanzar el máximo PAE. Para llevar a cabo dicha comprobación se incluyen estos elementos en el circuito (ver Figura 5.39), en la salida se coloca la bobina de *choke* de 2,07nH, el condensador de 860fF con un ancho de 45µm, y por último la bobina en paralelo a la salida de 2,09nH. Así como las líneas de transmisión, *corners* y T que conectan estos elementos a la salida del transistor. Asimismo, en la Figura 5.40 se muestra el *layout* resultante de este esquemático.

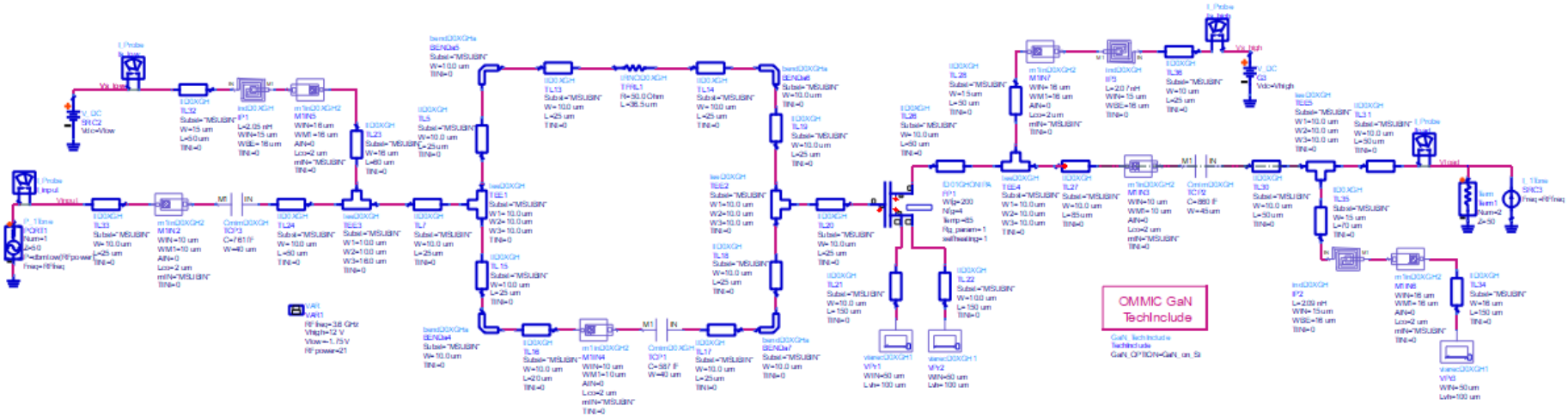


Figura 5.39. Esquemático con los valores reales de la red de adaptación de salida. Red LCL en pi.

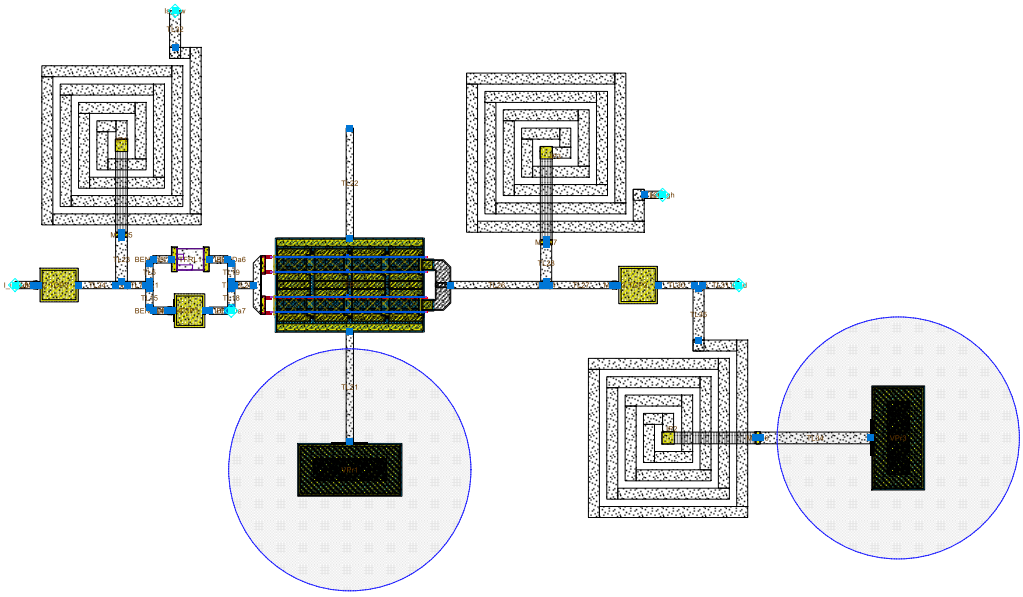


Figura 5.40. Layout del transistor junto a las redes de estabilización, de adaptación de entrada y la red LCL en pi a la salida.

En la Figura 5.41 se observa como el PAE cae hasta un 37,687% para una potencia de entrada de 21 dBm. Esto es debido al reducido factor de calidad que presentan las bobinas. También se ven afectada la potencia de salida de 29,744 dBm y la ganancia de 8,744 dB. A su vez, se presenta de forma gráfica la potencia de salida, así como el PAE frente a una potencia de entrada establecida.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
15.000	24.668	9.668	21.424	1.222	0.102	0.952
16.000	25.718	9.718	24.241	1.377	0.115	1.033
17.000	26.769	9.769	27.398	1.554	0.130	1.116
18.000	27.803	9.803	30.864	1.753	0.146	1.196
19.000	28.718	9.718	34.212	1.947	0.162	1.262
20.000	29.340	9.340	36.516	2.082	0.173	1.296
21.000	29.744	8.744	37.687	2.169	0.181	1.317
22.000	29.961	7.961	37.747	2.207	0.184	1.327
23.000	30.098	7.098	36.964	2.228	0.186	1.343

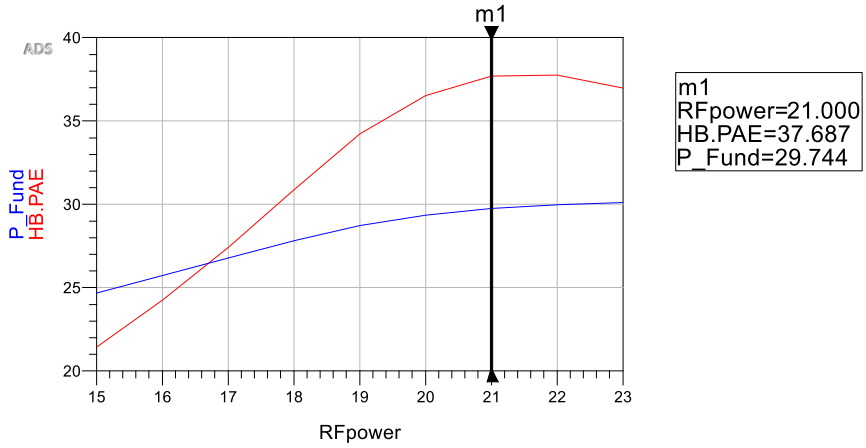


Figura 5.41. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada.

Por otro lado, en la Figura 5.42 se comprueba la correcta adaptación del circuito en pequeña señal. Del análisis realizado se obtiene que la adaptación de entrada el valor de S11 es de -9,894 dB y por otro lado en la adaptación de salida el resultado de S22 es -19,598 dB.

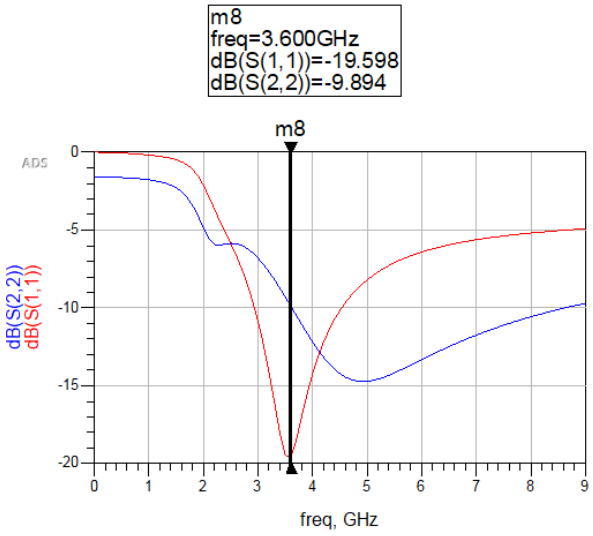


Figura 5.42. Resultados de la comprobación de la correcta adaptación en pequeña señal. Red de adaptación LCL en pi.

La obtención de un PAE de 37,687% es un buen resultado, pero se opta por incluir una red de polarización a la primera solución propuesta, compuesta en la red de adaptación de salida por una red LC, una bobina en paralelo con una inductancia de 2,05nH y un condensador de 761fF y un ancho de 40µm. Lo que se hará será cambiar la bobina ideal de 1µH por una red de polarización formada por componentes reales.

5.3.3. Redes de polarización

En primer lugar, se explicará el diseño de las redes de polarización, que permiten polarizar el transistor en continua y en cambio debe ser totalmente transparente para la señal de radiofrecuencia (RF) en la banda de interés, es decir no debe alterar el comportamiento en RF del amplificador. Por otro lado, estas redes suelen ayudar a estabilizar el circuito en frecuencias bajas, donde los transistores presentan ganancias muy altas, evitando así realimentaciones que estabilicen el amplificador [29].

La red de polarización, tal como se observa en la Figura 5.43, está formada por un cortocircuito a tierra para la señal de RF y una línea de λ/4 que deja pasar la continua hacia el transistor bloqueando la señal de RF.

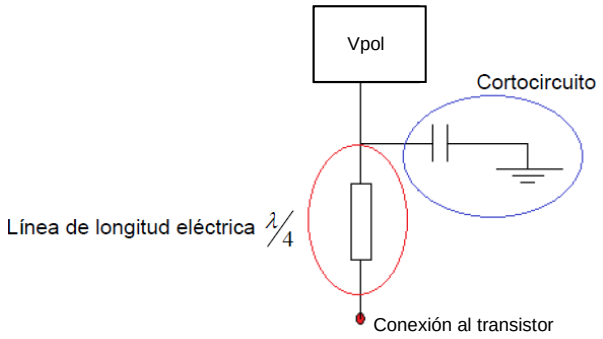


Figura 5.43. Red de polarización.

El cortocircuito está formado por un condensador, cuyo esquema en ADS con la tecnología de GaN se presenta en la Figura 5.44, donde se realiza un barrido de la capacitancia y del ancho del condensador hasta conseguir que a 3,6 GHz el S11 sea cero, es decir, un cortocircuito y además que presente un valle en el S21, tal como se puede observar en la Figura 5.45.

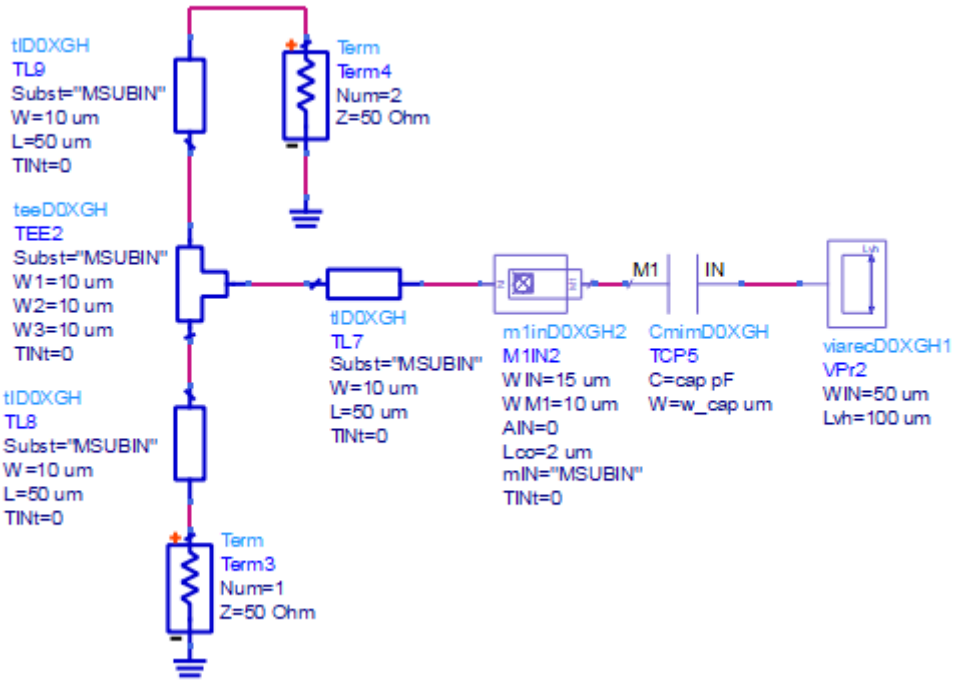


Figura 5.44. Estudio del condensador de la red de polarización.

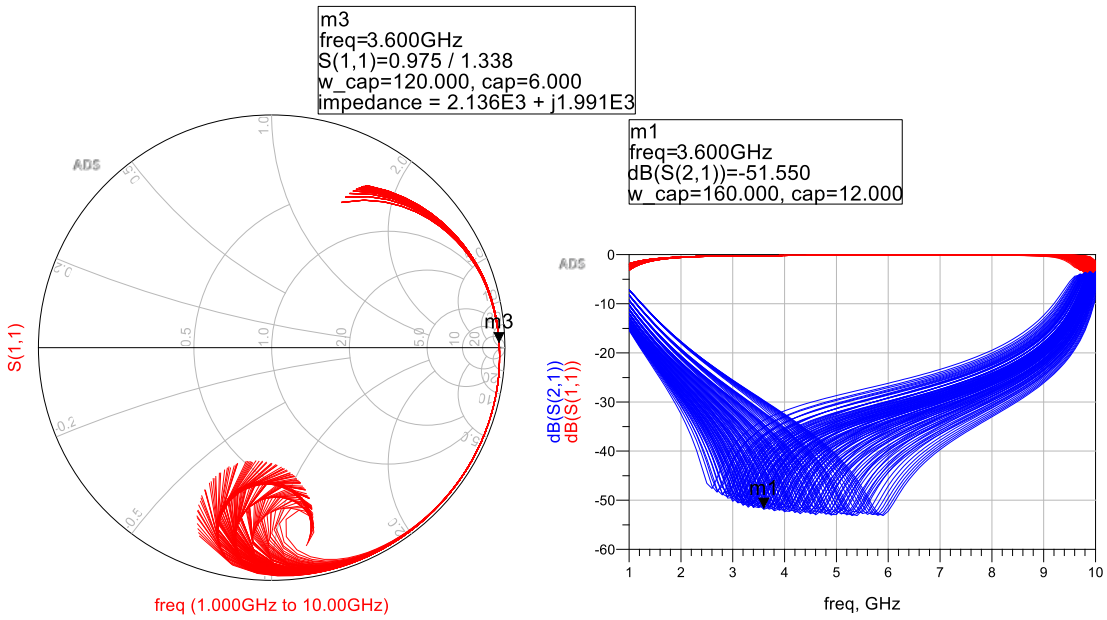


Figura 5.45. Resultados del barrido del condensador de la red de polarización.

El valor escogido del condensador es de 12pF y su ancho es de 160µm. Se ha modificado las dimensiones del condensador para que sea lo más cuadrado posible (ver Figura 5.46).

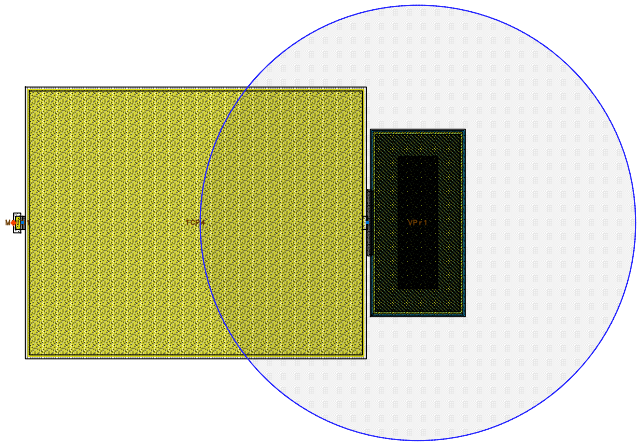


Figura 5.46. Layout del condensador de la red de polarización.

Debido a que se ha modificado el ancho del condensador hay que comprobar que en S21 el valle siga estando a la frecuencia de trabajo, tal y como se ve en la Figura 5.47.

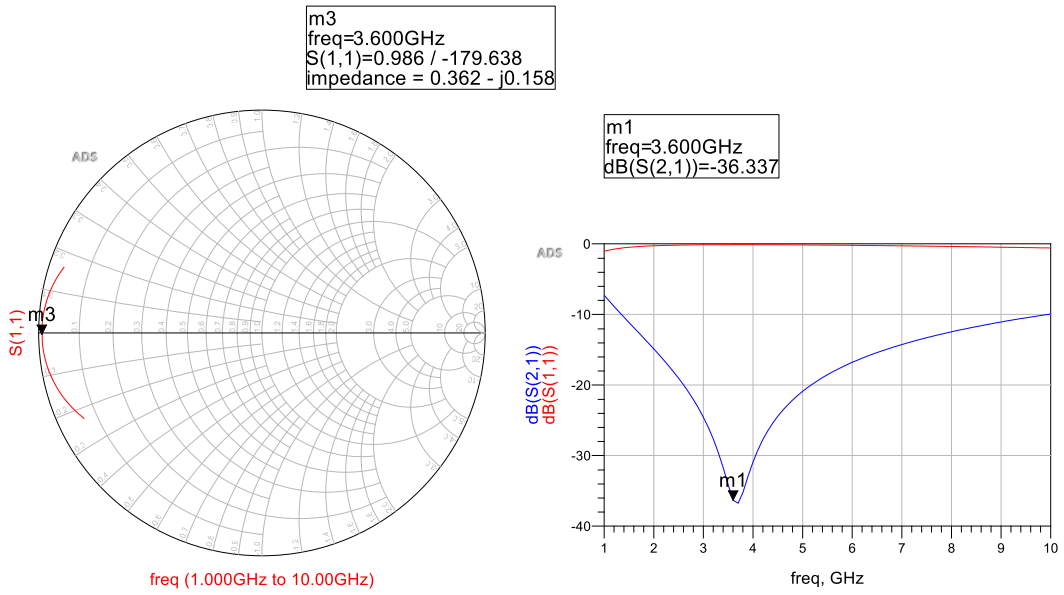


Figura 5.47. Resultado del condensador de la red de polarización.

Una vez obtenido el valor del condensador de la red de polarización, se procede a obtener el valor de la línea λ/4. Para ello, se emplea el esquema mostrado en la Figura 5.48 y se realiza un barrido del ancho y del largo de la línea de transmisión.

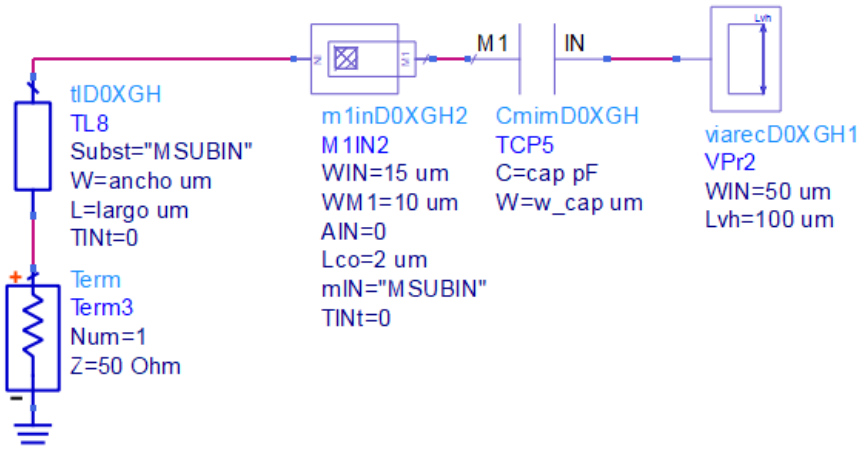


Figura 5.48. Estudio de la línea λ /4 de la red de polarización.

El resultado obtenido tras realizar el barrido de la línea de transmisión se observa en la Figura 5.49, donde se puede ver que la línea λ/4 se comporta como un circuito abierto a la frecuencia de funcionamiento.

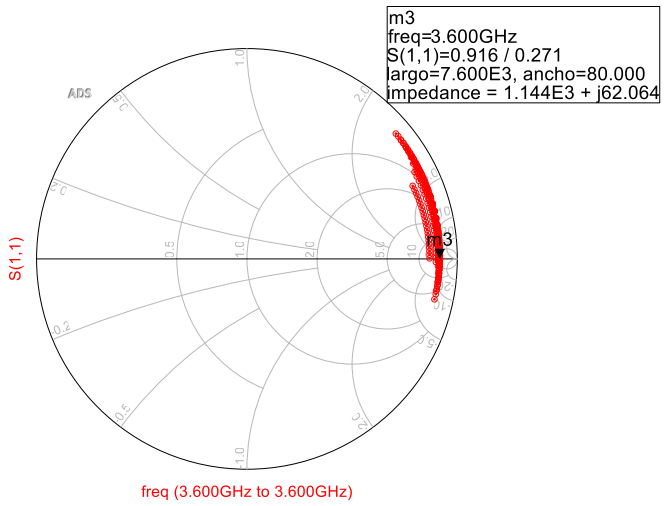


Figura 5.49. Resultado de la línea λ/4 de la red de polarización.

Finalmente, el valor de la línea λ/4 para la frecuencia de 3,6 GHz es de 7600µm de largo y 80µm de ancho.

Debido a que los valores de la línea λ/4 calculada anteriormente son muy elevadas, se procede a sustituir dicho componente por una bobina. Para ello, se incluye la bobina para obtener un valor equivalente o lo más próximo a dicha línea (ver Figura 5.50).

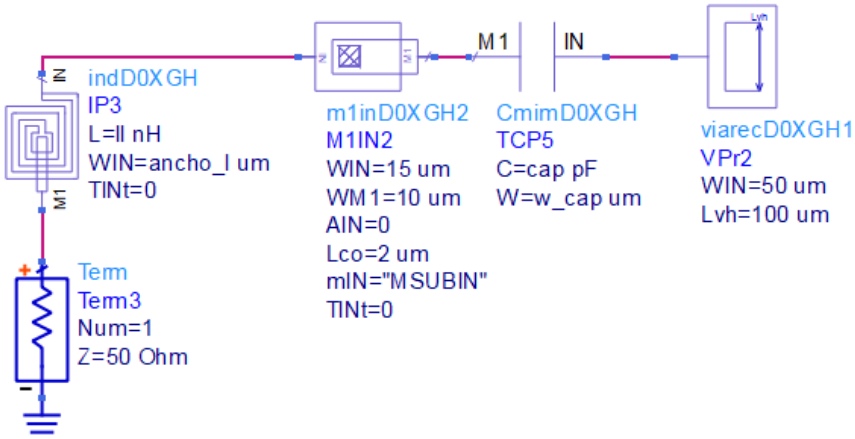


Figura 5.50. Sustitución de la línea λ/4 de la red de polarización por una bobina.

Para obtener los parámetros de la bobina, se realiza un barrido del ancho y del valor de la inductancia. El resultado del barrido de la inductancia se observa en la Figura 5.51, donde se puede ver que una bobina se comporta como un circuito abierto a la frecuencia de funcionamiento.

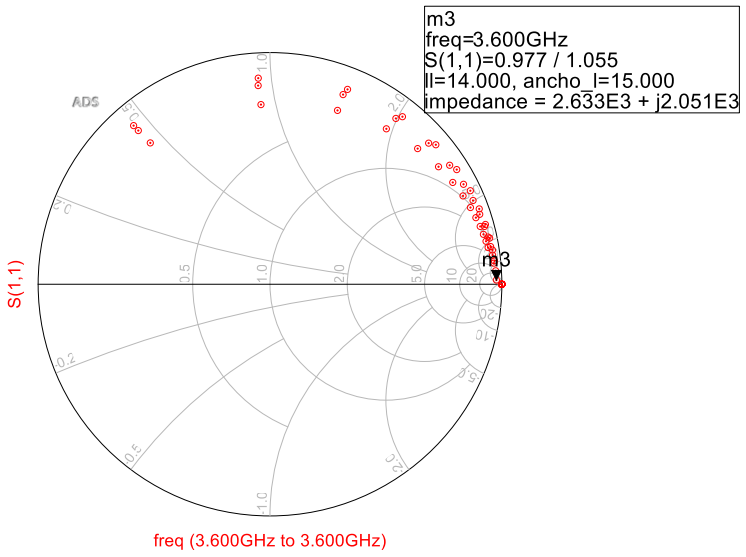


Figura 5.51. Resultado de la bobina de la red de polarización.

Finalmente, el valor de la bobina es de 14nH y el ancho de la pista de la bobina es de 15µm para la frecuencia de 3,6 GHz. Por otro lado, el *layout* de dicho componente se presenta en la Figura 5.52.

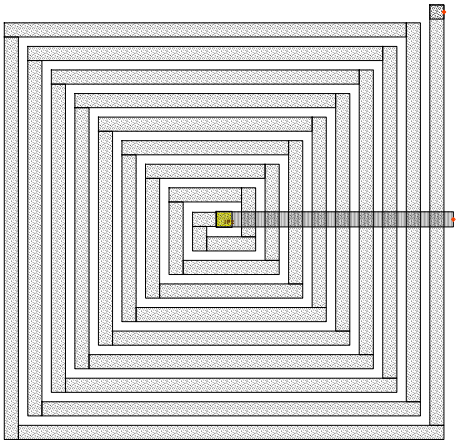


Figura 5.52. Layout de la bobina.

En la Figura 5.53 se muestra el esquema de la red de polarización compuesta por la bobina y el condensador. Mientras que en la Figura 5.54 se presenta el resultado obtenido con dicha red para la frecuencia de interés.

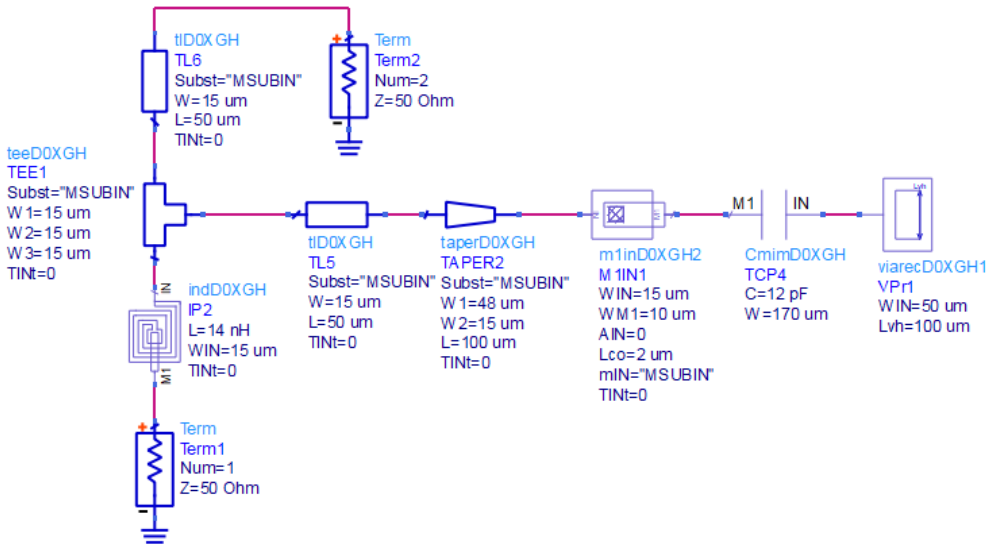


Figura 5.53. Esquema de la red de polarización.

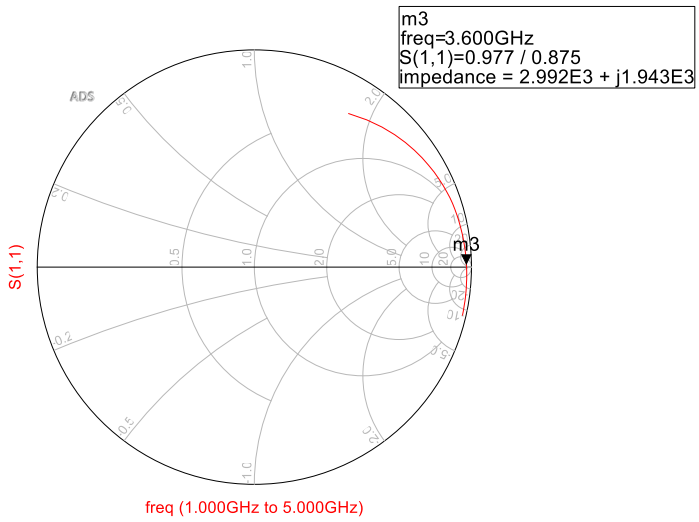


Figura 5.54. Resultado de la red de polarización.

Una vez realizado el estudio de la red de polarización se sustituye por la bobina de *choke* ideal en el esquemático de la Figura 5.32. En la Figura 5.55 se muestra el esquemático resultante, mientras que en la Figura 5.56 el *layout*.

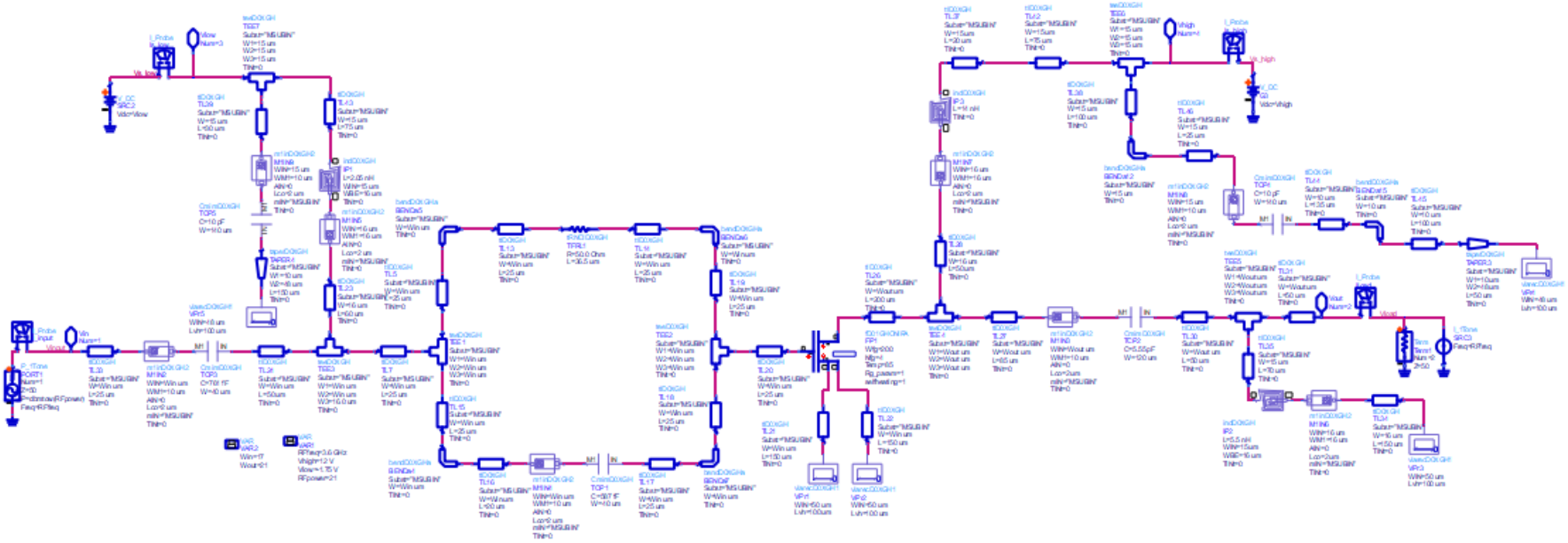


Figura 5.55. Esquemático con los valores reales de las redes de polarización.

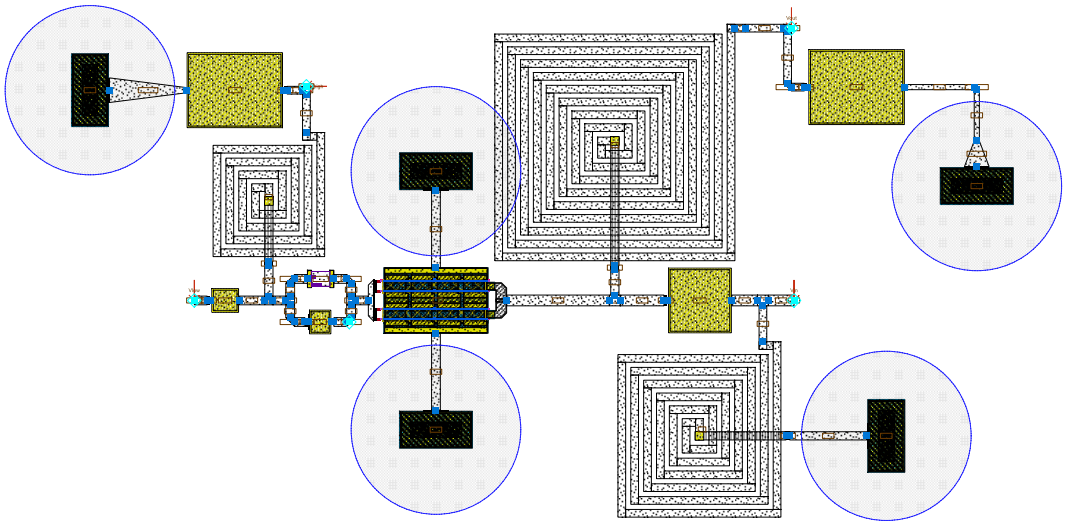


Figura 5.56. Layout del transistor junto a las redes de estabilización, de adaptación de entrada y la red salida con sus respectivas redes de polarización.

Los resultados en gran señal de la simulación pueden observarse en la Figura 5.57, donde para una potencia de entrada de 21 dBm el PAE cae hasta un 40,33%. También se ven afectada la potencia de saturación de 29,439 dBm y la ganancia de 8,439 dB. A su vez, de forma gráfica se presentan la potencia de salida, así como el PAE frente a una potencia de entrada establecida.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
15.000	25.360	10.360	27.307	1.145	0.095	0.826
16.000	26.379	10.379	30.725	1.287	0.107	0.885
17.000	27.382	10.382	34.431	1.447	0.121	0.940
18.000	28.270	10.270	37.905	1.609	0.134	0.989
19.000	28.853	9.853	39.905	1.729	0.144	1.027
20.000	29.219	9.219	40.561	1.816	0.151	1.064
21.000	29.439	8.439	40.330	1.869	0.156	1.092
22.000	29.553	7.553	39.349	1.892	0.158	1.113
23.000	29.649	6.649	37.820	1.912	0.160	1.142
24.000	29.709	5.709	35.703	1.917	0.161	1.173
25.000	29.760	4.760	32.828	1.921	0.162	1.218
26.000	29.826	3.826	29.161	1.932	0.163	1.288

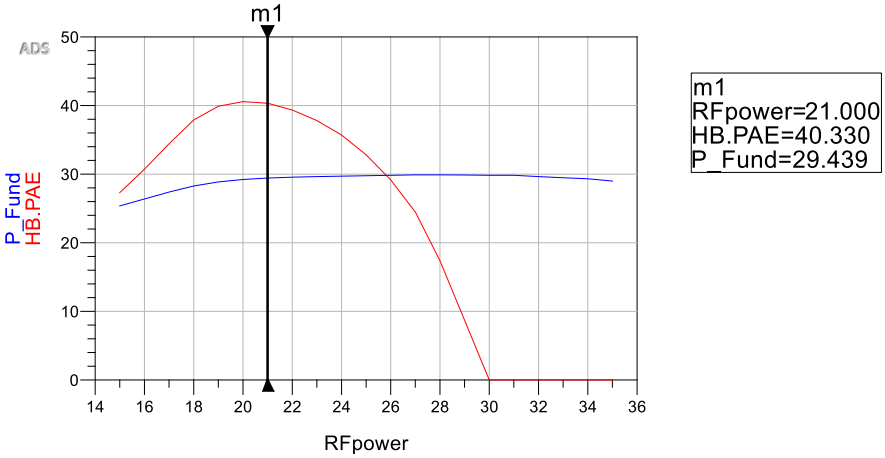


Figura 5.57. Arriba los resultados de la comprobación. Abajo la potencia transmitida (azul) y el PAE (rojo) frente a la potencia de entrada.

Por otro lado, en la Figura 5.58se comprueba la correcta adaptación del circuito en pequeña señal. Del análisis realizado se obtiene que la adaptación de entrada el valor de S11 es de -8,408 dB y por otro lado en la adaptación de salida el resultado de S22 es -19,706 dB.

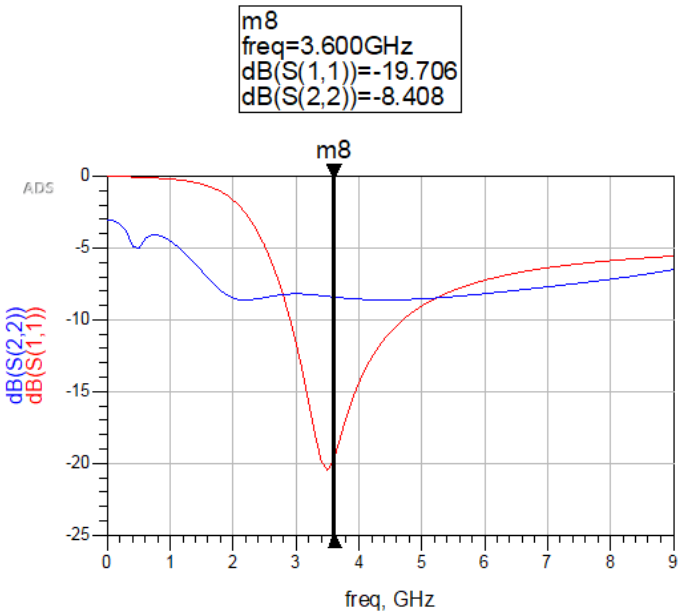


Figura 5.58. Resultados de la comprobación de la correcta adaptación en pequeña señal. Red de adaptación LCL en pi.

A continuación, se muestra en la Tabla 5.2 una comparación entre los tres tipos de adaptación realizados, con el fin de llevar a cabo la elección de la solución óptima para este trabajo.

Tabla 5.2. Comparativa entre los tres tipos de redes de adaptación a la salida frente a la realizada con valores ideales.

	PAE (%)	**Potencia de salida (dBm)**	**Ganancia (dB)**
Valores ideales	55,71	32,032	11,032
Red LC (polarización ideal)	53,06	31,348	10,348
Red LCL en pi	37,687	29,744	8,744
Red LC (polarización real)	40,33	29,439	8,439

Finalmente se eligen la red LC con polarización real y la red LCL en pi, ya que en ambos se obtienen unos valores de PAE altos siendo todos sus componentes reales.

5.4. Resumen

En este capítulo se ha llevado a cabo el diseño de un amplificador que opera en clase B con los valores de los componentes proporcionados por PDK de OMMIC. En un principio se sustituyó únicamente el transistor, añadiéndole sus correspondientes líneas de transmisión y vías.

A continuación, se realizaron los estudios de la red de estabilización con los valores ideales obtenidos en el capítulo 4, que se compone por una red RC en paralelo, explicando los pasos a seguir para los estudios del condensador y de la resistencia por separados, dando valores los siguientes valores: una capacitancia de 587fF y un ancho de 40µm y una resistencia de 50Ω y un largo de 36,5µm. Una vez sustituidos los componentes ideales por reales se ha comprobado que sigue siendo incondicionalmente estable.

Una vez acabado el estudio de la red de estabilización se procede al estudio de las redes de adaptación. Para este estudio primero hay que realizar el Load/Source-Pull con los valores reales de la red de estabilización y del transistor, comprobar que está correctamente diseñado y posteriormente generar las redes de adaptación con valores ideales, donde se establece una red LC (bobina en paralelo y condensador en serie) tanto para la entrada como para la salida.

Concluida la generación de las redes de adaptación a la entrada y a la salida con valores ideales se lleva a cabo el estudio de la red de adaptación de entrada. Para ello se estudian los valores de inductancia y capacitancia necesarios, dando como resultados una inductancia de 2,05nH y una capacitancia de 761fF y un ancho de 40µm.

Posteriormente, se realiza el estudio de la red de adaptación de la salida, donde se obtiene un de inductancia de 5,5nH y una capacitancia de 5,55pF con un ancho de 120µm. Debido a que la red de polarización a la salida es ideal (inductancia de 1µH) se decide realizar a la salida una red LCL en pi con valores reales, donde una de las bobinas se utilizará para la polarización (*choke*). Se lleva a cabo la generación de la red LCL en pi y se realiza el estudio de los componentes ideales establecidos. Para la bobina de *choke* se obtiene un valor de inductancia de 2,07nH, para el condensador en serie a la salida una capacitancia de 860fF y un

ancho de 45µm. Y, por último, para la bobina en paralelo a la salida, una inductancia de 2,09nH.

Tras la comprobación de los resultados de PAE, potencia de salida y ganancia obtenidos con este último diseño se decide realizar una red de polarización e incluirla en la red LC propuesta inicialmente. Para ello se lleva a cabo un estudio para determinar los valores de la red de polarización, compuesta por una bobina en serie y un condensador en paralelo, con valores de inductancia de 14nH y una capacitancia de 20pF y 200µm de ancho. Ambas redes son óptimas en cuanto a este estudio, mientras que la red LCL en pi ve reducido su área frente a la LC con polarización real, esta alcanza un mayor PAE, por lo que se procederá con el estudio de ambas.

Capítulo 6.

6. Implementación del amplificador Chireix

En este capítulo se realizará el amplificador Chireix, que consta de dos amplificadores como el diseñado en los capítulos anteriores. Además, también se realiza el combinador, así como un análisis de la estabilidad del PA completo. Por último, se mostrarán los resultados finales obtenidos.

6.1. Construcción del amplificador Chireix

Tal y como se ha explicado previamente, el amplificador Chireix consta de dos amplificadores iguales, pero en contrafase. Para ello, en la herramienta ADS se realiza el símbolo que representa los esquemático de ambas soluciones.

Por un lado, se obtiene el símbolo del esquemático del amplificador con una red LC y polarización real (ver Figura 5.55), tal y como se ve en la Figura 6.1.

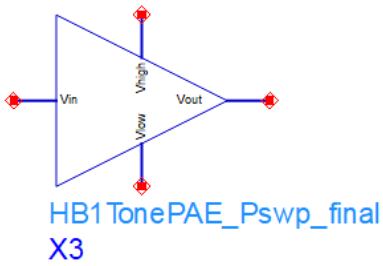


Figura 6.1. Símbolo del esquemático del amplificador con red LC y polarización real.

Además, también se realiza el símbolo para el esquemático del amplificador con la red LCL en pi (ver Figura 5.39), tal y como se muestra en la Figura 6.2.

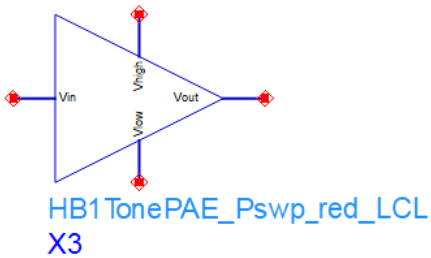


Figura 6.2. Símbolo del esquemático del amplificador con red LCL en pi.

A continuación, para poder dividir la señal, además de poner ambas en contrafase se hace uso de un *splitter* y de los dos PA diseñados con sus respectivas alimentaciones tal y como se observa en la Figura 6.3.

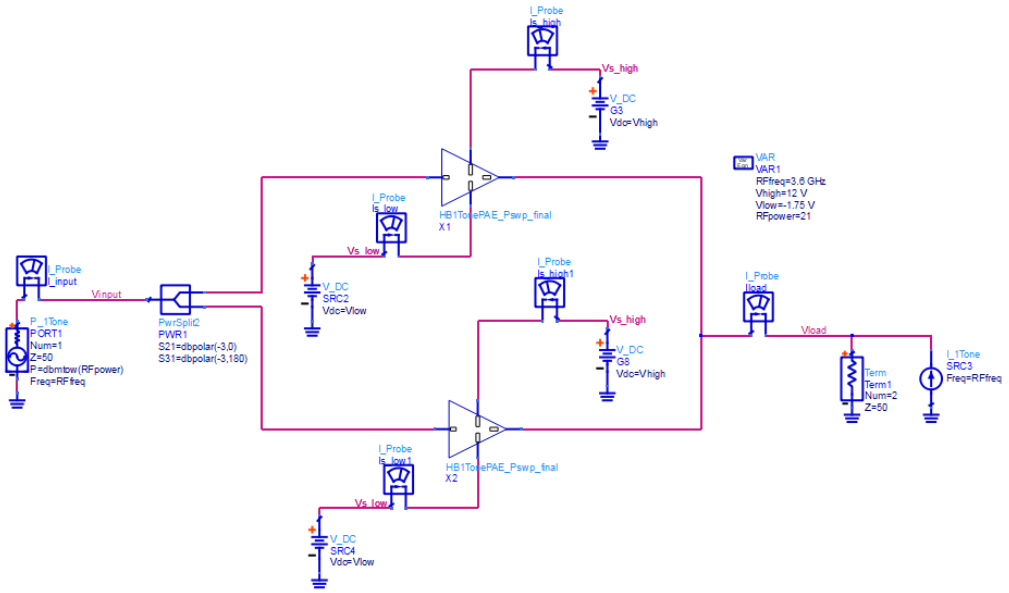


Figura 6.3. Esquemático del amplificador Chireix.

6.2. Realización del combinador

Una vez realizado el esquemático inicial del amplificador Chireix se procede a realizar el combinador. En principio se plantea hacerlo con líneas λ/4. Por ello, antes de implementarlo se realiza un estudio de las mismas. En la Figura 6.4 (a) se muestra el esquema de una línea λ/4 ideal para la frecuencia de interés terminada en un cortocircuito. El resultado obtenido se observa en la Figura 6.4 (b) en donde se aprecia que dicha línea es un circuito abierto en la frecuencia de 3,6 GHz en la carta de Smith.

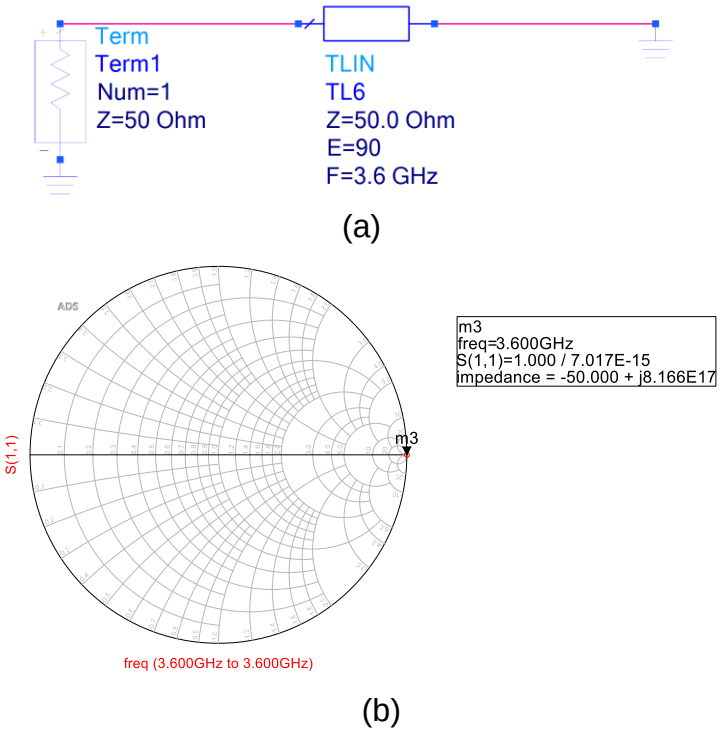


Figura 6.4. (a) Esquemático para el estudio de un combinador con líneas λ/4 ideal. (b) Resultados del estudio de un combinador con líneas λ/4 ideal.

A continuación, se procede a realizar el mismo estudio, pero con una línea λ/4 de la tecnología GaN (ver Figura 6.5 (a)). En un estudio anterior se obtuvo que los valores de ancho y largo para la frecuencia de 3,6 GHz es de 80 y 7600μm respectivamente. En la Figura 6.5 (b) se muestra el resultado obtenido con la línea λ/4 de la tecnología junto con la ideal. Las diferencias que se observan se deben a los parásitos asociados a la línea λ /4 real.

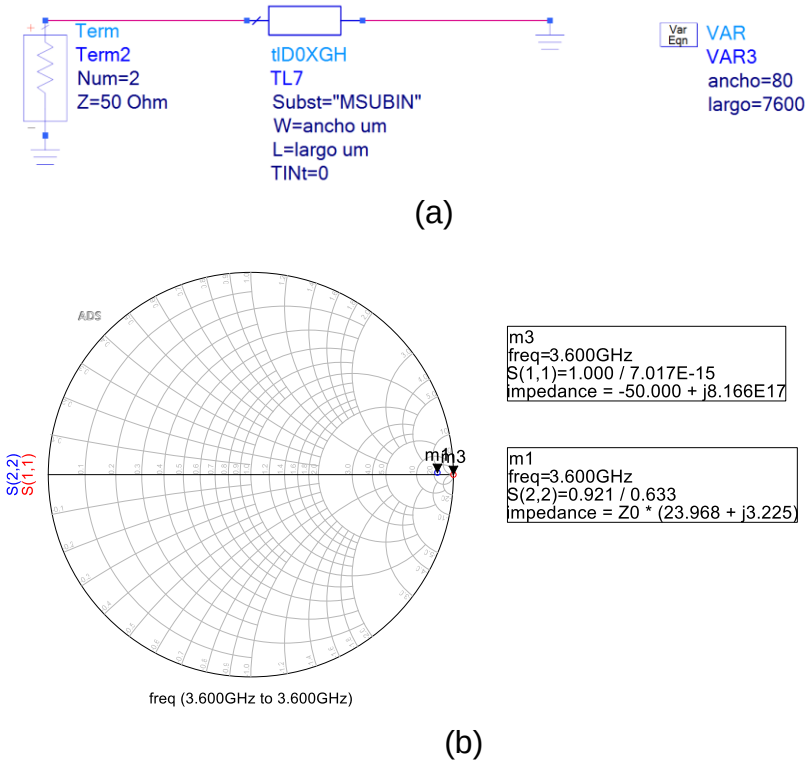


Figura 6.5. (a) Esquemático para el estudio de un combinador con líneas λ/4 con tecnología Gan. (b) Resultados del estudio de un combinador con líneas λ/4 con tecnología GaN.

Debido a que la línea λ/4 es muy grande, se procede a realizar el combinador con una red LC y CL ideales, como el que se muestra en la Figura 6.6 (a). Para hallar los valores de los componentes se emplean las expresiones que se pueden encontrar en [30]. El resultado obtenido se muestra en la Figura 6.6 (b). En ella se observa que, con esos valores de condensadores y bobinas, la red se comporta como un circuito abierto para la frecuencia de 3,6 GHz.

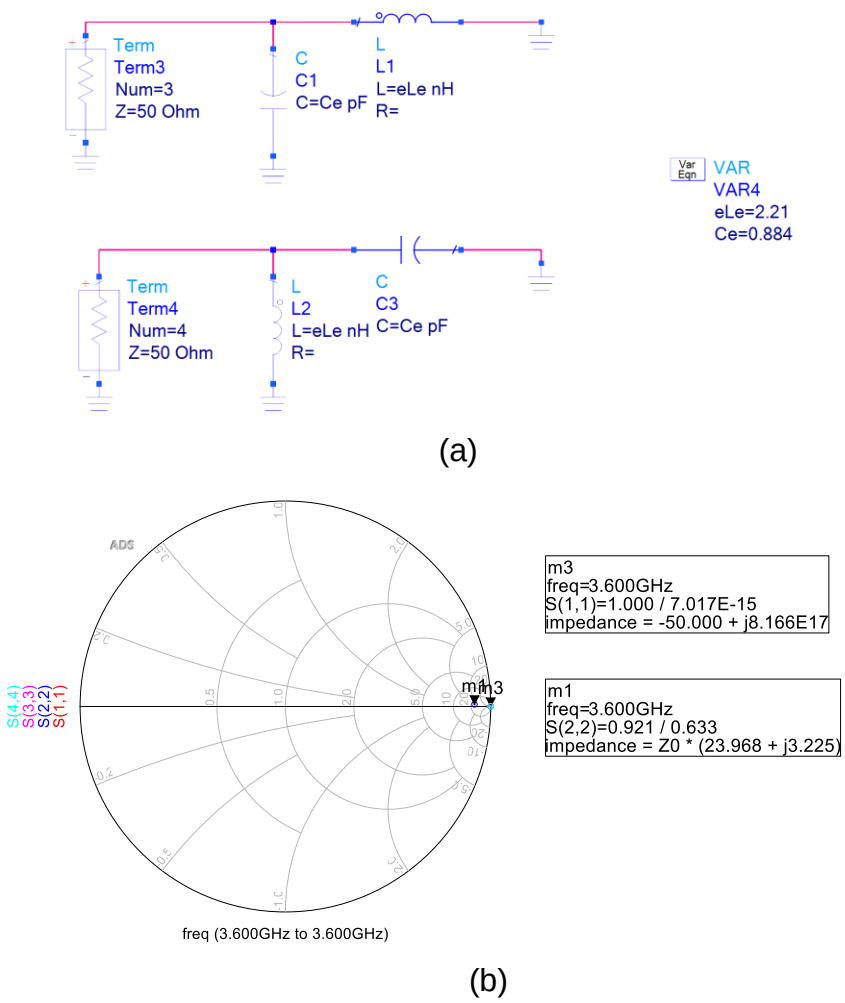


Figura 6.6. (a) Esquemático para el estudio de un combinador con una red LC y CL ideales. (b) Resultados del estudio de un combinador con una red LC y CL ideales.

Una vez obtenidos los valores de los componentes LC del balun, se procede a sustituir los componentes ideales por los elementos de la tecnología, comenzando con la sustitución de la bobina. En la Figura 6.7 (a) se aprecia que se necesita una inductancia de valor nominal 2,09nH para alcanzar los 2,21nH. Por otra parte, el *layout* de la bobina se presenta en la Figura 6.7 (b)

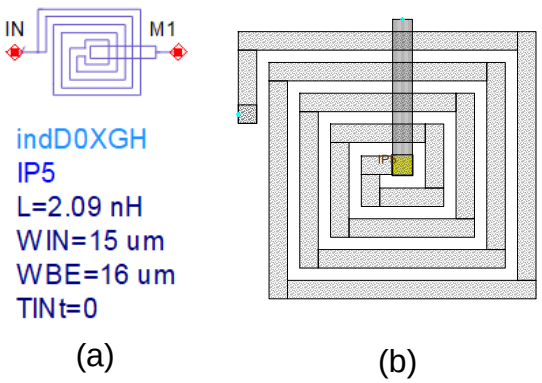


Figura 6.7. (a) Valor real de la bobina del combinador. (b) Layout de la bobina del combinador.

A continuación, se realiza la sustitución del condensador. En la Figura 6.8 (a) se muestra que para alcanzar los 884fF se necesita una capacitancia de 857fF. El *layout* de este condensador se observa en la Figura 6.8 (b).

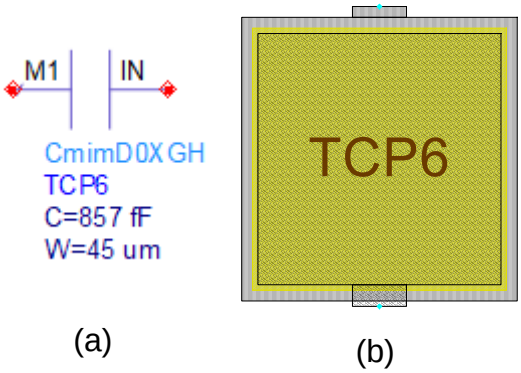


Figura 6.8. (a) Valor real del condensador del combinador. (b) Layout del condensador del combinador.

Una vez obtenidos los valores correspondientes a la tecnología se realiza el esquemático (ver Figura 6.9 (a)). El resultado se muestra en la Figura 6.9 (b) junto con los resultados de los combinadores basados en líneas λ/4 reales e ideales.

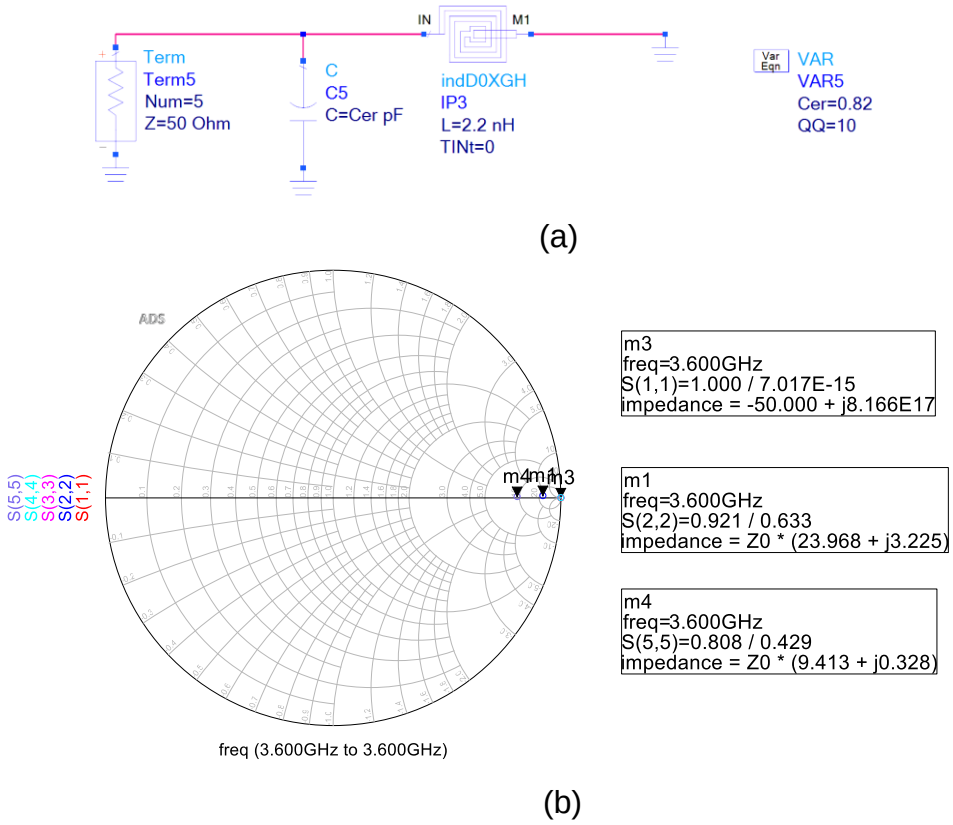


Figura 6.9. (a) Esquemático para el estudio de un combinador con una red LC y CL reales. (b) Resultados del estudio de un combinador con una red LC y CL junto con los resultados de los combinadores basados en líneas λ/4 reales e ideales.

Una vez realizado el combinador, este se añade al circuito junto con los dos amplificadores de potencia diseñados previamente, dando como resultado el esquemático que se observa en la Figura 6.10.

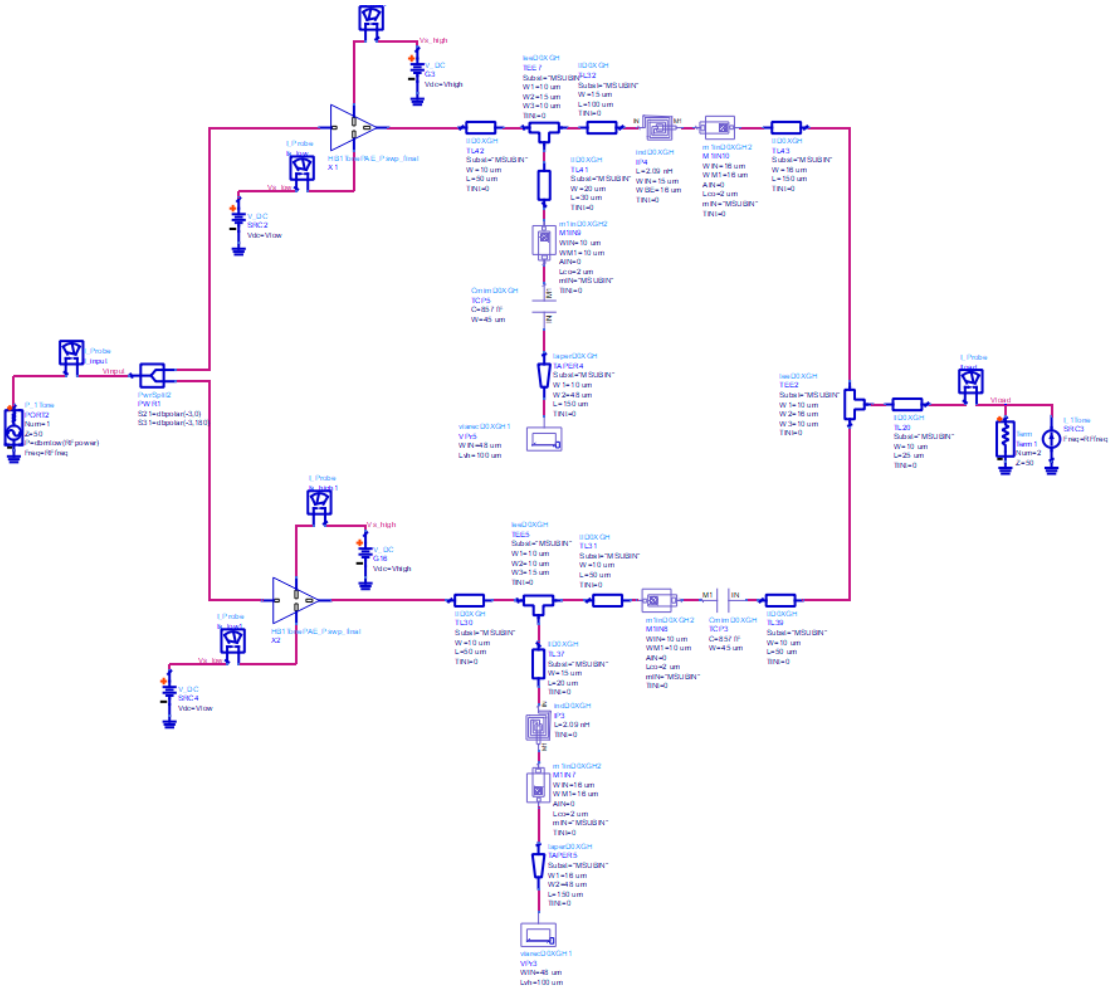


Figura 6.10. Esquemático del amplificador Chireix.

6.3. Estabilidad del amplificador Chireix

En este apartado se procede a comprobar que el amplificador es complemente estable, para ello se realizará el estudio de las estabilidades par e impar.

6.3.1. Estabilidad par

6.3.1.1. Pequeña señal

Como ya se ha comentado anteriormente el circuito tiene que ser incondicionalmente estable, para ello el factor de Rollet tiene que ser mayor que 1 (K<1). Además, al ser un amplificador multietapa hay que analizar la estabilidad par e impar de cada “celda” que lo compone.

Primero se analiza la estabilidad con el factor de Rollet de los dos circuitos a estudiar (red LC con polarización real y red LCL en pi). Para ello se hace uso del esquemático que se muestra en la Figura 6.10. En la Figura 6.11 se puede ver el resultado para ambas redes, donde se ratifica que cumple la estabilidad del factor de Rollet.

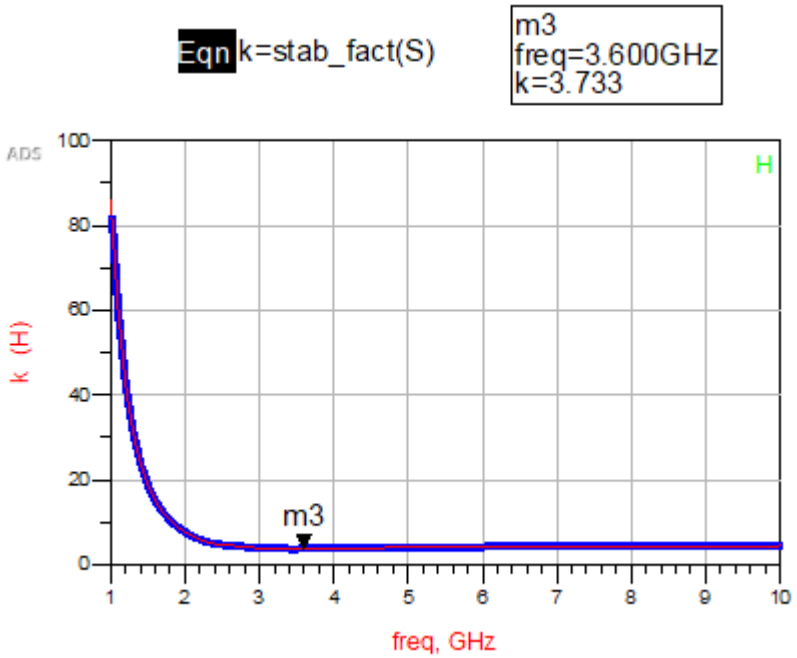


Figura 6.11. Estabilidad del factor de Rollet. Red LC con polarización real (rojo). Red LCL en pi (azul).

6.3.1.2. Gran señal

Posteriormente, se procede a realizar el análisis de la estabilidad par en gran señal. Para ello se utiliza un *template* proporcionado por ADS que recibe el nombre de *SprobePairT*. Se coloca el primer *SprobePairT* en la entrada del transistor, antes de la red de estabilidad y el segundo en la salida, tal y como puede observarse en la Figura 6.12.

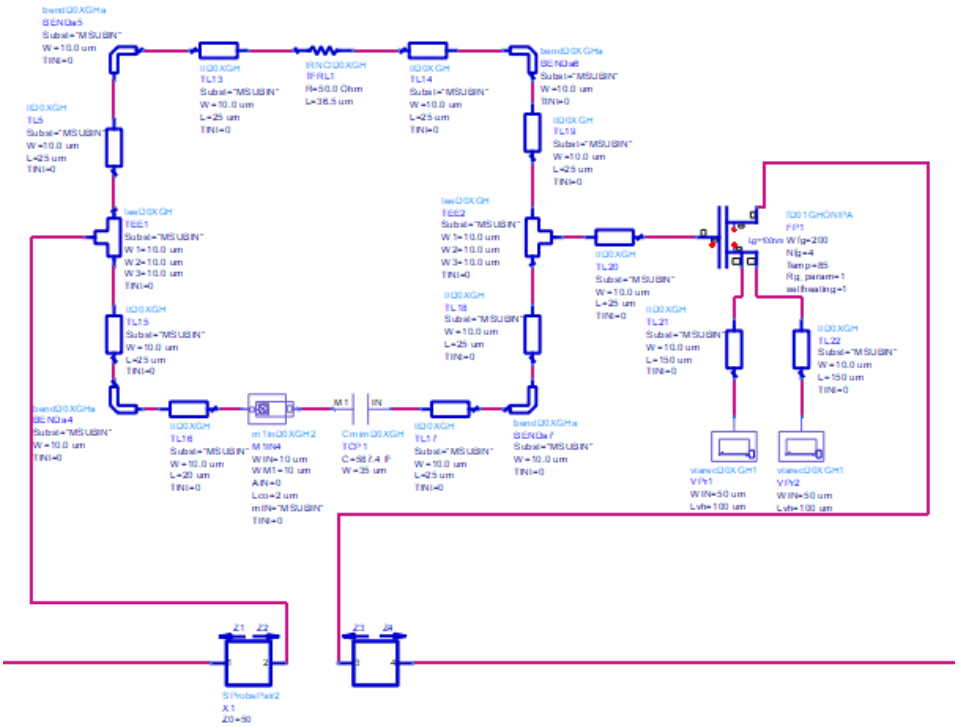
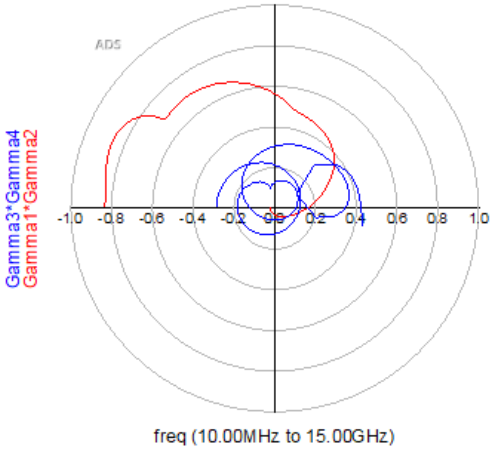
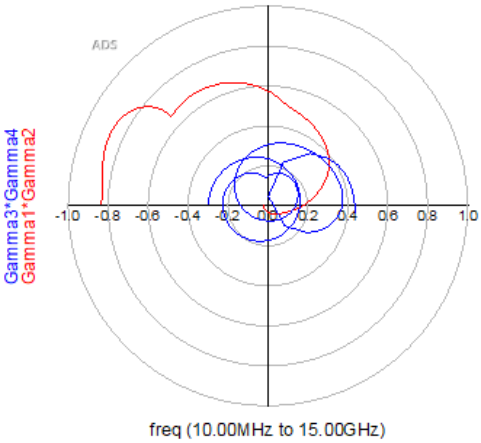


Figura 6.12. Análisis de la estabilidad par con la herramienta SprobePairT.

Tal y como se ha mencionado anteriormente, para que sea estable ha de cumplir el criterio de Nyquist. Para ello el producto de los coeficientes de reflexión a la entrada o a la salida del circuito tienen que ser menor que 1 y no englobar el punto -1+j0. En la Figura 6.13 (a) se muestra los resultados cuando se usa los amplificadores basados en redes LC con polarización real y en la Figura 6.13 (b) los resultados cuando se usa los amplificadores basados en redes LCL en pi. Como se puede observar, ambas configuraciones cumplen el criterio de Nyquist.



(a)



(b)

Figura 6.13. (a) Estabilidad par. Red LC con polarización real. (b) Red LCL en pi.

6.3.2. Estabilidad impar

Por último, se analiza la estabilidad impar en gran señal, aplicando el criterio de Nyquist visto en el capítulo 3. Este criterio dice que pueden ocurrir inestabilidades si las funciones de transferencia del transistor a analizar $G_{1...k}(jw)$, siendo k el número del transistor que se está analizando, engloba el punto 1+j0. Para ello, hay que analizar cada transistor de manera independiente dentro del circuito multietapa, por lo que se hará uso de aisladores y circuladores que proporciona ADS [22].

Cabe destacar que a medida que se va avanzando en el número de transistores a analizar hay que ir colocando aisladores en las puertas y los drenadores de los transistores anteriores que están en paralelo para que estos no interfieran en los resultados obtenidos.

Teniendo en cuenta que en este caso hay dos etapas y que ambas son idénticas, solo se tendrá que realizar el análisis una sola vez para una de ellas. Para ello, se coloca el circulador a la entrada del transistor, antes de la red de estabilidad, en una de las etapas. En la otra etapa se colocan aisladores tanto a la entrada como a la salida del transistor (ver Figura 6.14).

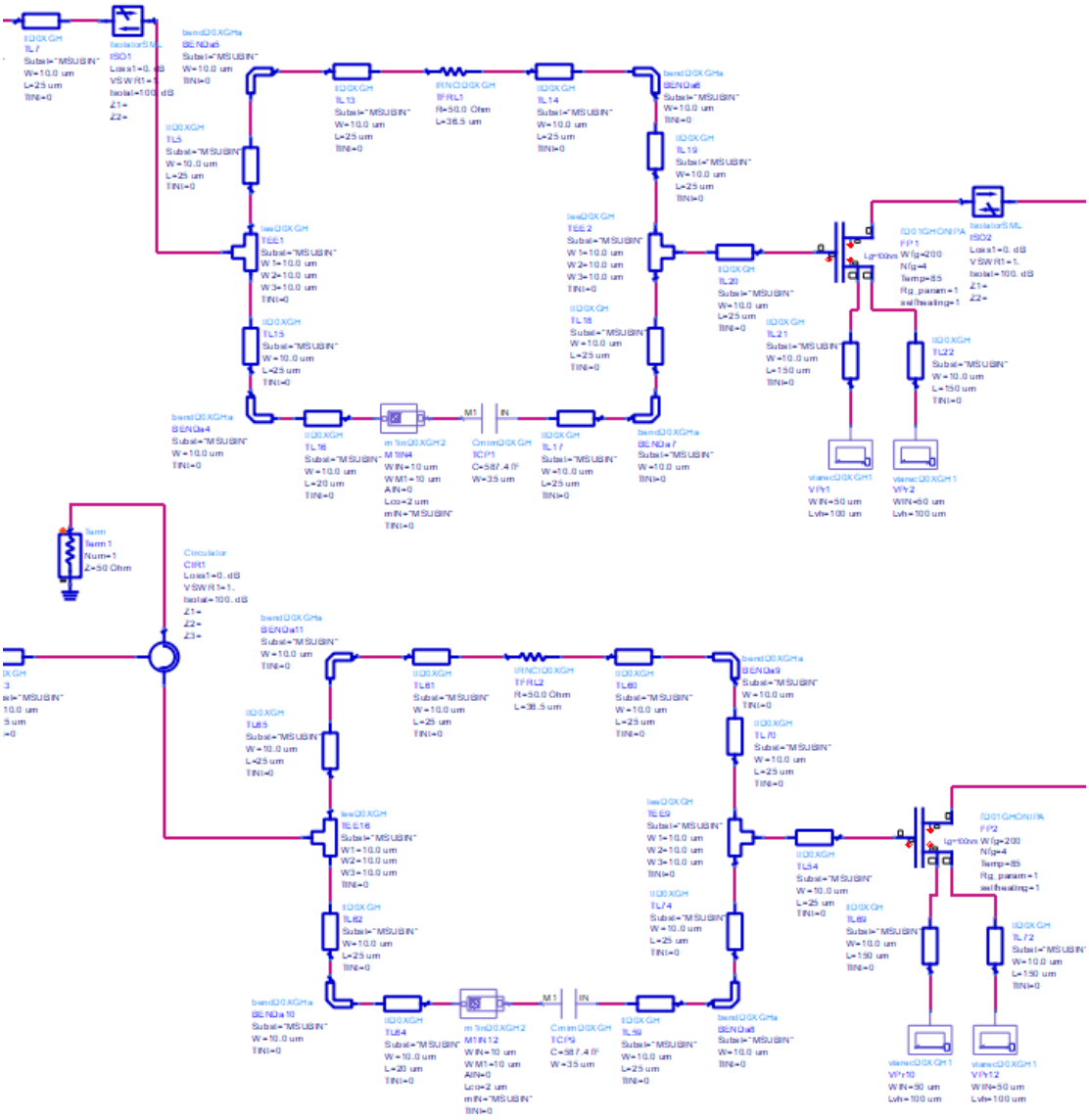


Figura 6.14. Esquemático para el análisis de la estabilidad impar.

En la Figura 6.15 se muestran los resultados de las simulaciones para el análisis de la estabilidad impar para ambos casos, donde se observa que cumplen el criterio de Nyquist.

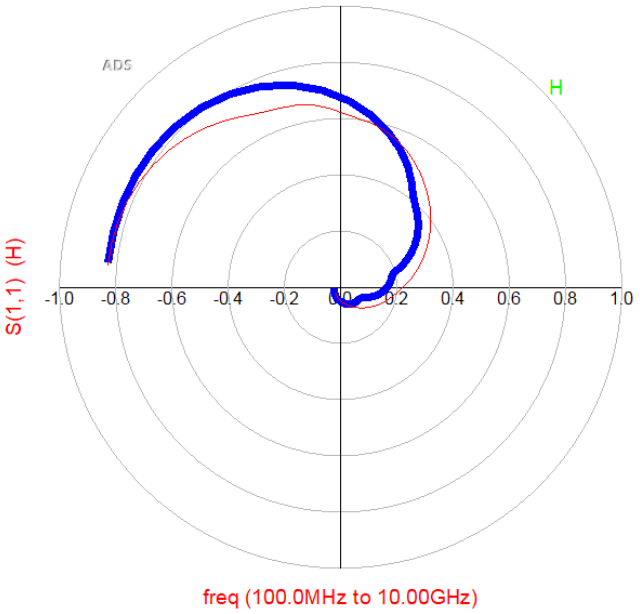


Figura 6.15. Estabilidad impar. Red LC con polarización real (rojo). Red LCL en pi (azul).

6.4. Creación del *layout*

Una vez finalizado el análisis de la estabilidad del circuito se procede a realizar la creación del *layout* con los valores reales de los componentes.

El *layout* del esquemático final correspondiente al circuito con una red LC con polarización real en la red de adaptación de salida se muestra en la Figura 6.16. El *layout* del circuito con una red LCL en pi en la red de adaptación de salida puede observarse en la Figura 6.17.

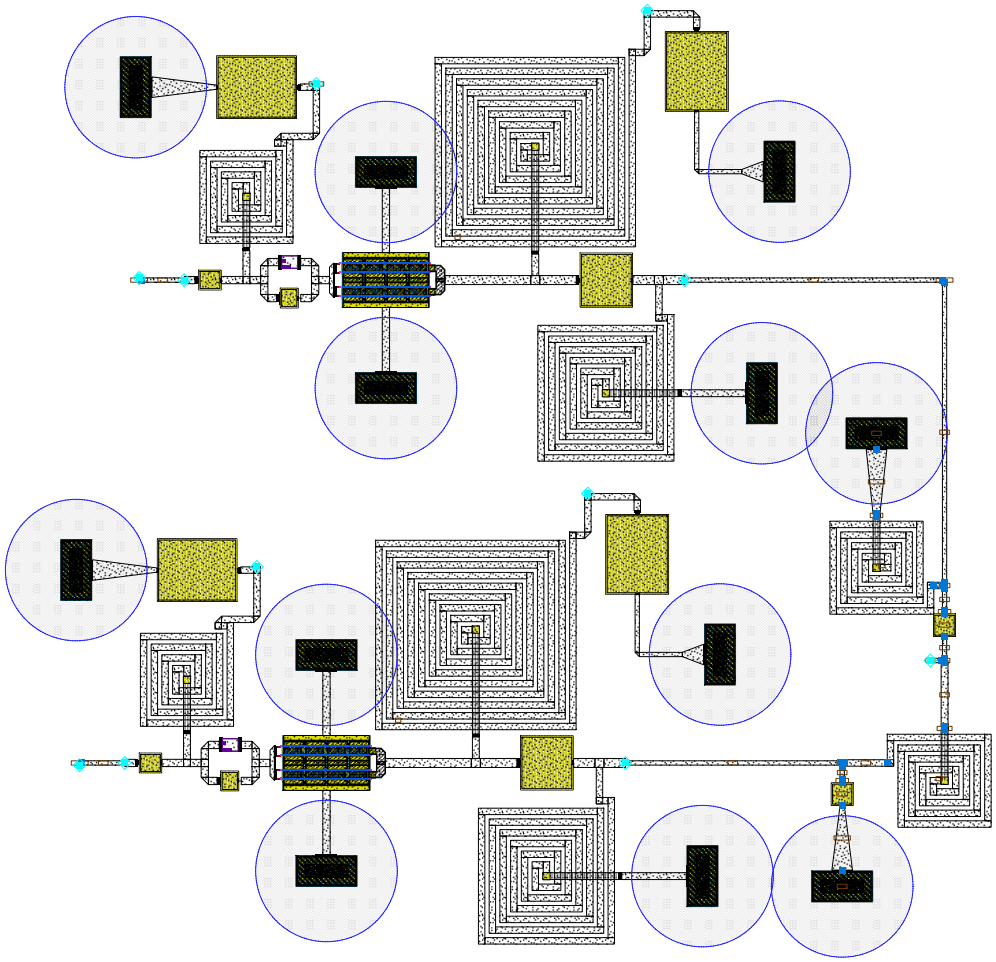


Figura 6.16. Layout correspondiente al amplificador Chireix basado en amplificadores con red de adaptación de salida LC y red de polarización real.

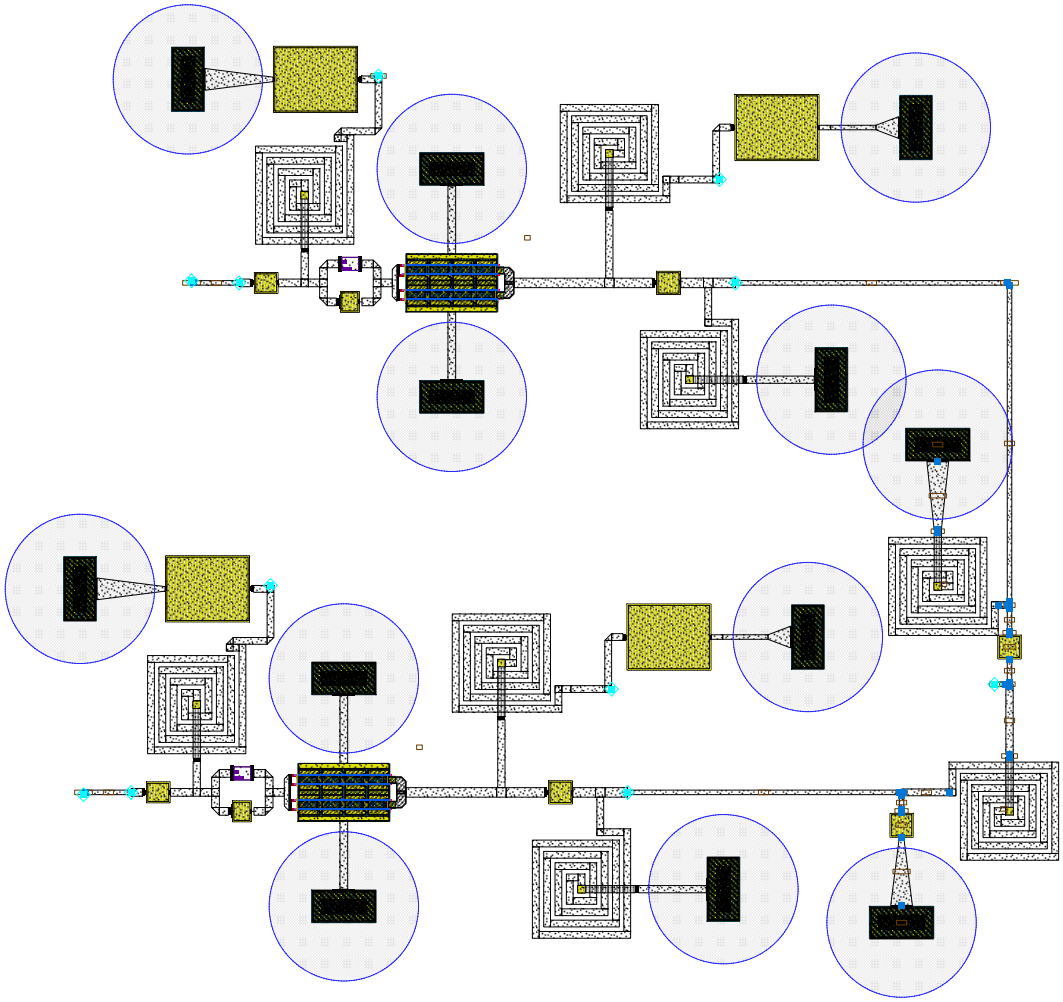


Figura 6.17. Layout correspondiente al amplificador Chireix basado en amplificadores con red de adaptación de salida LCL en pi.

6.5. Resultados finales

La estructura final del amplificador Chireix que se ha creado en este proyecto es la que se puede ver en la Figura 6.10.

Los resultados del amplificador Chireix basado en amplificadores con red de adaptación de salida LC y red de polarización real se muestran en la Figura 6.18. Las gráficas muestran una eficiencia elevada en niveles de *back-off* de hasta 6 dB y alcanza niveles de hasta 57,425% de PAE en el momento de su máxima potencia de salida, con una ganancia de 10,273 dB.

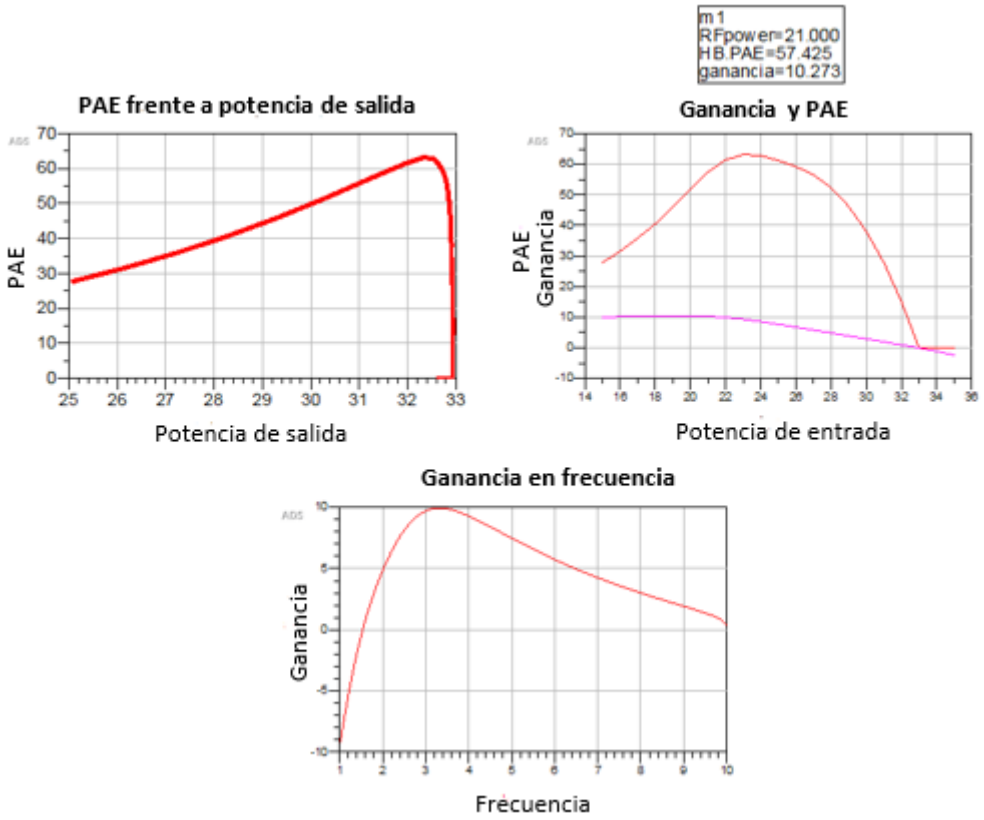


Figura 6.18. Resultados de la simulación del amplificador Chireix. Red LC con polarización real.

Los resultados del amplificador Chireix basado en amplificadores con red de adaptación de salida LCL en pi se muestran en la Figura 6.19 donde se obtiene una eficiencia elevada en niveles de *back-off* de hasta 8 dB y alcanza niveles de hasta 46,996% de PAE en el momento de su máxima potencia de salida, con una ganancia de 7,755 dB.

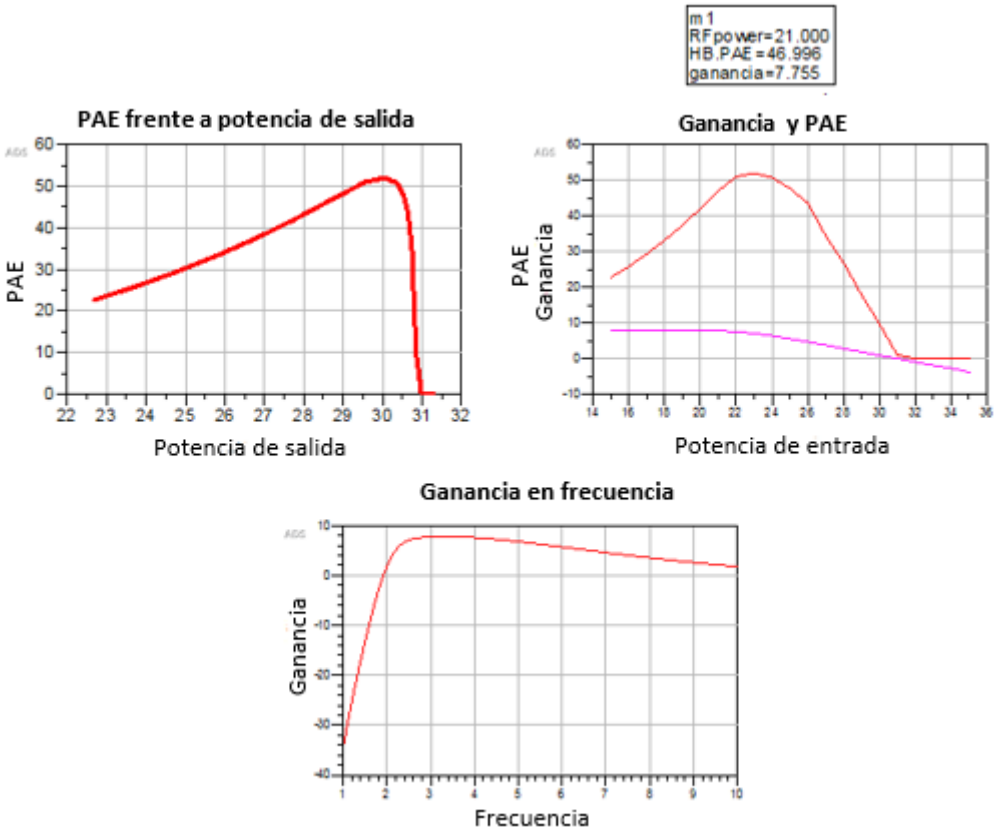


Figura 6.19. Resultados de la simulación del amplificador Chireix. Red LCL en pi.

Por lo tanto, se opta por escoger el circuito con una red LC con polarización, ya que proporciona mejores prestaciones en cuanto a PAE y ganancia se refieren con respecto al otro circuito.

Capítulo 7.

7. Conclusiones y líneas futuras

Una vez completado el proceso de diseño del amplificador Chireix, en este capítulo se resumen los resultados obtenidos, así como las conclusiones que se extraen de los mismos. Asimismo, se hará una comparativa de las prestaciones alcanzadas comparándolas con las especificaciones iniciales, así como con otros circuitos de características similares encontrados en la literatura. Por último, se presentará una revisión de los objetivos que se pretendían cumplir y se hablará de las líneas futuras a desarrollar a partir de este proyecto.

7.1. Conclusiones

Una vez terminadas las simulaciones y haber obtenido el diseño final del amplificador Chireix que se pretendía realizar, ahora se analizarán los resultados y se sacarán conclusiones a partir de ellos.

Como se explicó en la introducción, el objetivo de este proyecto es el diseño de un amplificador Chireix que opere en la nueva red 5G que se desplegará en los próximos años; específicamente, en la banda de 3,4 GHz a 3,8 GHz. Además, se hará uso de la tecnología GaN, que se encuentra en auge por presentar mejores prestaciones.

Para el diseño de este circuito, primero se obtuvieron las curvas características de los transistores y se polarizaron para operar como un clase B.

Como segundo paso, se comprobó la estabilidad de los transistores y se introdujo una red de estabilidad para asegurar su funcionamiento en el rango de frecuencias en el que debe operar.

Seguidamente, se realizó un análisis load-pull y source-pull y se diseñó la red de adaptación para obtener las prestaciones óptimas.

Una vez diseñado el amplificador con componentes ideales, se pasó a sustituir dichos elementos por componentes reales de las librerías de OMMIC. Este proceso es muy delicado ya que se debe elegir cada componente de forma minuciosa para que las prestaciones del circuito cambien lo menos posible. En

muchos de los casos, tras la sustitución de un elemento ideal por su equivalente real se optimizó nuevamente el circuito para que las prestaciones se mantuvieran dentro de los márgenes preestablecidos.

El siguiente paso fue unir los dos amplificadores anteriores para construir el amplificador Chireix. Tras eso, se diseñó el combinador para finalizar con el diseño del mismo.

El último paso consistió en el diseño del *layout* del circuito. Para ello fue necesario introducir todas las líneas y los elementos de interconexión entre los componentes de forma que el circuito quedara completamente definido.

7.1.1. Resultados

En la Tabla 7.1 se muestra un resumen de las especificaciones obtenidas por el circuito. Tomando como referencia los requisitos establecidos en los objetivos del proyecto (Tabla 1.1), se puede ver que la máxima potencia de salida es de 25 dBm, mientras que en el proyecto se ha logrado una potencia de 32,3 dBm. Esto permite tener holgura para pérdidas que puedan surgir durante la fabricación. Por otra parte, se ha obtenido un *back-off* de aproximadamente 8 dB en las simulaciones del amplificador Chireix, como se puede ver en la Figura 6.18, superando por tanto el valor de PAPR establecido como objetivo. Finalmente, el circuito funciona en un intervalo de potencia de entrada de 16 a 30 dBm.

Tabla 7.1. Prestaciones del amplificador Chireix.

	Valor
Frecuencias (GHz)	3,4 – 3,8
PAE (%)	57,43
Ganancia (dB)	10,3
Potencia de salida (dBm)	32,3
PAPR (dB)	8

A partir de los resultados obtenidos, se da por satisfecho el cumplimiento de las especificaciones dadas, pudiendo dar por alcanzado el objetivo principal fijado para este proyecto. Además, para comparar cómo se reflejan estas prestaciones a nivel global, se ha realizado una comparativa con otros trabajos encontrados en la

literatura en los que se diseñan amplificadores Chireix en diferentes tecnologías. Los resultados de esta comparativa se encuentran reunidos en la Tabla 7.2.

Tabla 7.2. Comparativa entre varios amplificadores Chireix.

Referencia	[31]	[32]	[2]	[33]	[34]	**Este proyecto**
Frecuencia (GHz)	3-6	2,5	5,2	9,7	1,5-2,5	3,4–3,8
PAE (%)	56	27,8	62	48,1	79	57,43
Potencia de salida (dBm)	16	13	17,4	37	-	32,3
Modo de operación	Clase B	Clase E	Clase AB	Clase F	Clase F	Clase B
Tecnología usada	90 nm CMOS	65 nm CMOS	0,18 µm CMOS	GaN MMIC	-	GaN HEMT

Aunque no se ha encontrado prácticamente ningún proyecto que opere en el mismo rango de frecuencias que el amplificador Chireix diseñado en este trabajo, se han elegido circuitos que se aproximen. Así, se puede ver una clara mejora en los que emplean tecnología GaN frente a los que usan otras tecnologías más consolidadas como CMOS. Si se realiza la comparativa con los circuitos diseñados en CMOS, en este proyecto se obtienen mejores resultados en cuanto a potencia de salida y a PAE se refieren para la frecuencia de trabajo, 3,4 – 3,8 GHz.

En el caso de [2] obtiene un mejor PAE con un transistor operando en clase AB, aunque las frecuencias de trabajo sean distintas. Por último, se puede observar como trabajando con la misma tecnología pero con un transistor que opera en clase B se obtiene mejor PAE que [33] que tiene un transistor que opera en clase F, sabiendo que las frecuencias de trabajo son distintas.

7.2. Líneas futuras

Una vez completado el análisis de los resultados obtenidos y realizada la comparativa con los otros circuitos, se puede afirmar que los objetivos de este proyecto se han cumplido.

Sin embargo, a pesar de haber desarrollado el esquemático y el *layout* del circuito, a partir de este último se pueden desarrollar otras líneas de trabajo antes de dar por finalizado su diseño.

Una primera línea futura es la mejora del combinador, diseñando un combinador mediante un balun, mejorando así las pérdidas por desadaptación, lo que repercute en una mejora de las prestaciones del sistema. Además, también se pueden mejorar las adaptaciones a la salida, con una mejora de las inductancias, ya que estas tienen un factor de calidad reducido.

Otra posible línea futura es la de fusionar las redes de adaptación de salida y el combinador y realizar el diseño conjunto de ambas, reduciendo de esta manera el número de componentes y, por tanto, las pérdidas asociadas a los mismos.

Por último, otra línea futura son las simulaciones electromagnéticas del *layout*, es decir, cómo funciona el circuito en función de las influencias electromagnéticas que puedan surgir a partir de los componentes. Por ejemplo, las bobinas generarán un campo electromagnético que influirán en los componentes que están a su alrededor. Es por tanto necesario que estas tengan separación suficiente para que no perjudiquen el rendimiento del resto de los componentes. Este tipo de simulaciones son ofrecidas por el ADS y es fundamental llevarlas a cabo previo a su fabricación.

PARTE II:

BIBLIOGRAFÍA

Bibliografía

[1] N. Faraji and T. W. Barton, “An RF-input chireix outphasing power amplifier,” in *PAWR 2016 - Proceedings of the 2016 IEEE Topical Conference on Power Amplifiers for Wireless and Radio Applications*, 2016.

[2] R. Liu, D. Schreurs, W. De Raedt, and R. Mertens, “A compact tuneable output network for high efficient Chireix outphasing power amplifier design,” in *2010 Workshop on Integrated Nonlinear Microwave and Millimetre-Wave Circuits, INMMiC 2010 - Conference Proceedings*, 2010.

[3] H. Jang, R. Wilson, T. Canning, D. Seebacher, C. Schuberth, and B. Arigong, “Self-outphasing Chireix power amplifier using device input impedance variation,” in *IEEE MTT-S International Microwave Symposium Digest*, 2016.

[4] H. Chireix, “High Power Outphasing Modulation,” *Proc. IRE*, 1935.

[5] C. Ramella, A. Piacibello, R. Quaglia, V. Camarchia, and M. Pirola, “High Efficiency Power Amplifiers for Modern Mobile Communications: The Load-Modulation Approach,” *Electronics*, 2017.

[6] Y. Tajima, D. Wandrei, Q. S. Schultz, T. Quach, P. Watson, and W. Gouty, “Improved efficiency in outphasing power amplifier by mixing outphasing and amplitude modulation,” in *Proceedings of the 2017 IEEE Topical Conference on Power Amplifiers for Wireless and Radio Applications, PAWR 2017*, 2017.

[7] “Ommic.” [Online]. Available: http://www.ommic.fr/. [Accessed: 08-Oct-2018].

[8] M. Shafi *et al.*, “5G: A Tutorial Overview of Standards, Trials, Challenges, Deployment, and Practice,” *IEEE J. Sel. Areas Commun.*, vol. 35, no. 6, pp. 1201–1221, Jun. 2017.

[9] L. Conde, M. Labanda, and P. A. Quezada Sarmiento, “La Nueva Generación de Redes Móviles: Tecnología 5G y su Aplicación en el Contexto E - Educación.,” 2018.

[10] “Ericsson Mobility Visualizer: Interactive mobility data app.” [Online].

Available: https://www.ericsson.com/en/mobility-report/mobility-visualizer?f=7&ft=2&r=1&t=8&s=4&u=3&y=2018,2024&c=3. [Accessed: 19-Dec-2018].

[11] “3GPP.” [Online]. Available: http://www.3gpp.org/. [Accessed: 06-Jan-2019].

[12] O. González, Jackson; Salamanca, “El camino hacia la tecnología 5G,” 2016.

[13] “5G Frequency Bands and Spectrum Allocation in the UK.” [Online]. Available: https://5g.co.uk/guides/5g-frequencies-in-the-uk-what-you-need-to-know/. [Accessed: 04-Jan-2019].

[14] “ITU: Committed to connecting the world.” [Online]. Available: https://www.itu.int/en/Pages/default.aspx. [Accessed: 04-Jan-2019].

[15] “5G Network Architecture A High-Level Perspective,” 2016.

[16] J. Browne, “What’s the Difference Between GaN and GaAs?” [Online]. Available: https://www.mwrf.com/materials/what-s-difference-between-gan-and-gaas. [Accessed: 04-Jan-2019].

[17] L. Al and J. L. Reina Tosina, “Estudio por simulación de la técnica LINC para la mejora de la eficiencia en amplificadores de potencia.”

[18] M. S. Cagigas, “Amplificador de potencia en tecnología GaN HEMT de alta tensión a 2.6 GHz,” 2016.

[19] W. Celis, “The Field-effect Transistor,” *Microelectron. Circuit Anal. Des.*, pp. 126–204, 2010.

[20] *Transistores de efecto de camp (JFET, MESFET y MOSFET)*. .

[21] C. Crespo Cadenas and D. Castaño del Castillo, “Diseño de amplificadores de RF en la tecnología GaN.”

[22] M. Ohtomo, “Stability Analysis and Numerical Simulation of Multidevice Amplifiers,” *IEEE Trans. Microw. Theory Tech.*, vol. 41, no. 6, pp. 983–991, 1993.

[23] Y.-Y. Li, Ying; Yew, “Performance Evaluation for OFDM PAPR Reduction Methods.”

[24] D. A. Neamen, *Semiconductor Physics and Devices Basic Principles Fourth Edition*. 2012.

[25] F. Raab, “Efficiency of Outphasing RF Power-Amplifier Systems,” *IEEE Trans. Commun.*, vol. 33, no. 10, pp. 1094–1099, Oct. 1985.

[26] M. P. van der Heijden, M. Acar, J. S. Vromans, and D. A. Calvillo-Cortes, “A 19W high-efficiency wide-band CMOS-GaN class-E Chireix RF outphasing power amplifier,” in *2011 IEEE MTT-S International Microwave Symposium*, 2011, pp. 1–4.

[27] D. J. Perreault, “A New Power Combining and Outphasing Modulation System for High-Efficiency Power Amplification,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 58, no. 8, pp. 1713–1726, Aug. 2011.

[28] K.-W. Yeom, *Microwave Circuit Design*. 2014.

[29] A. Gomez Rumoroso, “Diseño de un amplificador de bajo ruido en tecnología monolítica en la banda Q para aplicaciones de Radiometría,” pp. 14–15, 2015.

[30] “LC Balun Designer.” [Online]. Available: https://leleivre.com/rf_LCBalun.html. [Accessed: 10-Jan-2019].

[31] S. Moloudi and A. A. Abidi, “The outphasing RF power amplifier: A comprehensive analysis and a class-B CMOS realization,” *IEEE J. Solid-State Circuits*, vol. 48, no. 6, pp. 1357–1369, 2013.

[32] A. Philip *et al.*, “A 2.5-GHz Asymmetric Multilevel Outphasing Power Amplifier in 65-nm CMOS,” *Pawr*, vol. 1, pp. 57–60, 2016.

[33] M. Litchfield and Z. Popovic, “X-band outphasing GaN MMIC PA with power recycling,” *2015 IEEE MTT-S Int. Microw. Symp. IMS 2015*, pp. 3–6, 2015.

[34] H.-C. Roblin, Patrick; Chang, “Chireix Amplifier with Enhanced Bandwith Using Active Load.”

PARTE III:

PLIEGO DE CONDICIONES

Los recursos *hardware* empleados para el desarrollo del presente TFG son:

- Ordenador portátil Asus. Este ordenador cuenta con un procesador Intel Core i7-4510U de 2,6 GHz, 4GB de memoria RAM DDR3 y un almacenamiento de 500 GB.

En cuanto a los recursos *software* empleados para el desarrollo del presente TFG son:

- Sistema Operativo Windows 10.
- ADS 2016.
- Kit de diseño de OMMIC de GaN.
- Microsoft Office 2016: Paquete de software de Microsoft.
    - Microsoft Word.
    - Microsoft PowerPoint.
    - Microsoft Visio.
    - Microsoft Project.

PARTE IV:

PRESUPUESTO

Presupuesto

En este capítulo se recogen los gastos generados por el presente TFG. El presupuesto se divide en las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envío.

P1. Trabajo tarifado por tiempo empleado

En este apartado se incluyen los honorarios a percibir por el ingeniero en el desarrollo del proyecto en función de las horas que se han empleado en su realización. El importe de dichas horas de trabajo se calcula siguiendo las recomendaciones del Colegio Oficial de Ingenieros Técnicos de Telecomunicaciones (COITT). Mediante la expresión (P.1).

$$Honorarios(€) = H_n * 14{,}48€ + H_e * 20{,}27€ \qquad (P.1)$$

Siendo:

- H_n: Horas realizadas en la jornada laboral.
- H_e: Horas realizadas fuera de la jornada normal de trabajo.

Para desarrollar este proyecto se necesitaron 300 horas, todas ellas realizadas dentro del horario normal de la jornada de trabajo. Por tanto, sustituyendo estos datos en la ecuación (P.2) se obtiene que los costes honorarios ascienden a:

$$Honorarios(€) = 300 * 14{,}48€ + 0 * 20{,}27€ = 4.344{,}00€ \qquad (P.2)$$

El trabajo tarifado por tiempo empleado, libre de impuestos, asciende a *cuatro mil trescientos cuarenta y cuatro euros*.

P2. Amortización del inmovilizado material

El inmovilizado material se considera tanto los recursos *hardware* como *software* empleados para la realización del TFG.

Se estipula el coste de amortización de los equipos *hardware* para un período de 3 años utilizando un sistema de amortización lineal, en el que se supone que el material se devalúa de forma constante a lo largo de su vida útil. La cuota de amortización se calcula haciendo uso de la ecuación (P.3).

$$Cuota\ anual = \frac{Valor\ de\ adquisición - Valor\ residual}{Número\ de\ años\ de\ vida\ útil} \qquad (P.3)$$

P2.1. Amortización del material hardware

En la Tabla P.1 se muestra el *hardware* necesario para la realización del TFG, indicando para cada elemento su valor de adquisición, valor residual y coste de amortización, teniendo en cuenta un tiempo de uso de 1 año.

Tabla P.1. Costes de amortización hardware.

Elemento	Valor de adquisición	Valor residual	Coste anual	Coste de la amortización
Ordenador portátil	550€	200€	41,67€	17,36€
Total	550€	200€	41,67€	17,36€

Por lo tanto, el coste total del material *hardware* asciende a *diecisiete euros con treinta y* seis *céntimos*.

P2.2. Amortización material software

Para el cálculo de los costes de amortización del material *software* se considera que la universidad ha proporcionado todas las licencias y por tanto, no ha repercutido ningún tipo de coste a nosotros. Esto se muestra en la Tabla P.2.

Tabla P.2. Costes de amortización del software.

Software	Valor de adquisición	Valor residual	Coste de amortización
Windows 10	0€	0€	0€
Licencia anual ADS 2016	1.722,23€	0€	717,60€
Paquete Microsoft Office	0€	0€	0€
Total	1.722,23€	0€	717,60€

Por lo tanto, el coste total del material *software* asciende a *setecientos diecisiete euros con sesenta céntimos*.

P3. Redacción del trabajo

El coste de redacción se calcula haciendo uso de la ecuación (P.4).

$$R = 0{,}05 * P * C_n \qquad (P.4)$$

Donde *R* son los honorarios por la redacción del trabajo, *P* es el presupuesto y C_n es el coeficiente de ponderación en función del coste del presupuesto.

El valor del presupuesto se calcula como la suma del coste de todas las secciones anteriores, tal como se muestra en la Tabla P.3.

Tabla P.3. Presupuesto total sin IGIC.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	17,36€
Amortización del material software	717,60€
Total (P)	5.078,96€

Por otra parte, para este proyecto el coeficiente de ponderación C_n tiene un valor de unidad debido a que el coste total del proyecto no supera los 30.050,00 €. Por tanto, sustituyendo estos datos en la ecuación (P.5) , se obtiene que el coste de la redacción de este Trabajo Fin de Grado es de::

$$R = 0{,}05 * 5.078{,}96€ = 253{,}95€ \qquad (P.5)$$

Por lo tanto, el coste de la redacción del trabajo asciende a *doscientos cincuenta y tres euros con noventa y cinco céntimos*.

P4. Derechos de visado del COITT

El COITT establece que, para proyectos técnicos de carácter general, los derechos de visado para 2017 se calculan con la ecuación (P.6).

$$V = 0{,}0035 * P * C \qquad (P.6)$$

Donde *V* es el coste de visado del trabajo, *P* es el presupuesto del proyecto y *C* es el coeficiente reductor en función del presupuesto.

El presupuesto acumulado del proyecto (P) se calcula en la Tabla P.4, el coeficiente C es igual a la unidad ya que el coste total del proyecto no supera los 30.050,00€.

Tabla P.4. Presupuestos totales con redacción del trabajo.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	17,36€
Amortización del material software	717,60€
Redacción del trabajo	253,95€
Total (P)	5.332,91€

Así, aplicando (P.6) con los datos de la Tabla P.4 y el coeficiente especificado, en (P.7) se obtiene que el valor para los derechos del visado del COITT es de:

$$V = 0{,}0035 * 5.332{,}91€ = 18{,}67€ \qquad (P.7)$$

Por lo tanto, los costes por los derechos de visado del COITT ascienden a *dieciocho euros con sesenta y siete céntimos.*

P5. Costes de tramitación y envío

Los costes de tramitación y envío están estipulados en 6,00€ por cada documento visado de forma telemática.

P6. Material fungible

Además de los recursos *hardware* y *software*, en este trabajo se han empleado otros materiales como los folios e impresora entre otros, que quedan englobados como material fungible. En la Tabla P.5 se muestran los costes de este recurso.

Tabla P.5. Costes de material fungible.

Concepto	Unidades	Precio/unidad	Coste
Fotocopias a color DinA4	79	0,4	31,60€
Fotocopias en blanco y negro DinA4	74	0,06	4,44€
Encuadernación	1	6	6€
Total			42,04€

Los costes de material fungible ascienden a *cuarenta y dos euros con cuatro céntimos.*

P7. Aplicación de impuestos y coste total

A la actividad económica de este TFG se le debe aplicar el Impuesto General Indirecto Canario (IGIC), el cual graba el presupuesto con un 7%. Por tanto, el presupuesto total del proyecto sería el que se muestra en la Tabla P.6.

Tabla P.6. Presupuesto total del proyecto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	17,36€
Amortización del material software	717,60€
Redacción del trabajo	253,95€
Costes de visado del COITT	18,67€
Coste de tramitación y envío	6€
Costes del material fungible	42,04€
Subtotal	5.399,62€
IGIC (7%)	377,97€
Total (P)	5.777,59€

El presupuesto total del trabajo "*Diseño de un amplificador integrado en configuración Chireix en tecnología GaN*" asciende a *cinco mil setecientos setenta y siete euros con cincuenta y nueve céntimos.*

Fdo: D. Ayoze Diaz Carballo

En Las Palmas de Gran Canaria a 17 de enero de 2019