



UNIVERSIDAD DE LAS PALMAS  
DE GRAN CANARIA

# ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



## TRABAJO FIN DE GRADO

**“Diseño de un Amplificador de RF Basado en Convertidores de  
Corrientes en Tecnología GAN”**

**Titulación:** Grado en Ingeniería en Tecnologías de la Telecomunicación

**Mención:** Sistemas electrónicos

**Autor:** Kai Lin

**Tutores:** Dr. Francisco Javier Del Pino Suárez

Dr. Sunil Lalchand Khemchandani

**Fecha:** Julio de 2019





UNIVERSIDAD DE LAS PALMAS  
DE GRAN CANARIA

# ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



## TRABAJO FIN DE GRADO

“DISEÑO DE UN AMPLIFICADOR INTEGRADO EN  
CONFIGURACIÓN CHIREIX EN TECNOLOGÍA GAN”

HOJA DE EVALUACIÓN

Calificación: \_\_\_\_\_

Presidente

Vocal

Secretario/a

Fecha: Julio de 2019

# Índice

<b>Capítulo 1 Introducción</b> .....	14
<b>1.1 Objetivos</b> .....	17
<b>1.2 Estructura de la memoria</b> .....	17
<b>Capítulo 2 Convertidores de Corriente: Teoría y Práctica</b> .....	19
<b>2.1 Introducción</b> .....	19
<b>2.2 Convertidores de Corriente de Primera Generación (CCI)</b> .....	19
<b>2.3 Aplicaciones de los CCI</b> .....	23
<b>2.4 Convertidores de corriente de Segunda Generación (CCII)</b> ....	23
<b>2.5 Aplicaciones de los CCII</b> .....	26
<b>2.6 Convertidores de Corriente de Segunda Generación Controlables (CCCI)</b> .....	29
<b>2.7 Ejemplos de implementaciones hechas con CCCIs</b> .....	33
<b>2.8 Conclusiones</b> .....	41
<b>Capítulo 3 Características de los LNAs</b> .....	43
<b>3.1 Topologías de LNA</b> .....	43
<b>3.1.1 Amplificador en configuración emisor común</b> .....	43
<b>3.1.2 LNA de dos etapas</b> .....	49
<b>3.1.3 LNA con realimentación negativa por transformador</b> .....	51
<b>3.1.4 Configuración en base común</b> .....	52
<b>3.1.5 LNA cascode</b> .....	53
<b>3.2 Amplificador de bajo ruido usando convertidores de corriente</b> 55	
<b>3.3 Conclusiones</b> .....	59
<b>Capítulo 4 Estudio de la tecnología GaN y UMC 65 nm</b> .....	61
<b>4.1 D01GH de OMMIC</b> .....	61

4.1.1 Substrato .....	63
4.1.2 Activos .....	66
4.1.3 Pasivos.....	69
4.1.4 Reglas de diseño.....	72
4.2 Introducción de UMC 65 nm .....	74
4.2.1 Bobinas.....	74
4.2.2 Condensadores .....	76
4.2.3 Resistencias .....	79
4.2.4 El Transistor MOSFET .....	82
4.2.5 Pads .....	90
Capítulo 5 Diseño del amplificador con tecnología GaN de OMMIC ...	95
5.1 Análisis del circuito usando fuentes de corrientes ideales para tecnología GaN .....	95
5.2 Valores de $I_{o1}$ ( $\mu A$ ) para $Z_{in}$ próxima a 50 Ohm para la tecnología GaN .....	97
5.3 Ganancia y Ancho de Banda en función del área de los transistores MOS para distintos valores de $I_{o2}$ con la tecnología GaN ....	98
5.4 Estudio del ruido del diseño de la tecnología GaN .....	101
5.5 Análisis los resultados de la tecnología GaN .....	104
Capítulo 6 Diseño del amplificador con tecnología UMC 65nm .....	105
6.1 Estudio del diseño con fuente ideales con la tecnología UMC 65nm	105
6.1.1. Análisis del circuito usando fuentes de corrientes ideales para la tecnología UMC .....	105
6.1.2. Valores de $I_{o1}$ ( $\mu A$ ) para $Z_{in}$ próxima a 50 Ohm con UMC 65nm	107
6.1.3. Ganancia y Ancho de Banda en función del área de los transistores CMOS para distintos valores de $I_{o2}$ con UMC 65nm.....	109

6.1.4. Análisis del ruido en función del área de los transistores Core para distintos valores de $I_{o2}$ con UMC 65nm.....	112
6.2 Estudio del diseño con fuentes de corriente reales con la tecnología UMC 65nm .....	115
6.2.1. Análisis del circuito usando fuentes de corrientes reales	115
6.2.2. Ganancia y Ancho de Banda en función del área de los transistores Core para distintos valores de $I_{o2}$ .....	116
6.2.3. Estudio del ruido en función de los distintos parámetros del circuito	119
6.3 Análisis de los resultados de la tecnología UMC 65nm.....	124
Capítulo 7 Conclusiones .....	127
Capítulo 8 Presupuesto.....	129
8.1 Recursos humanos .....	129
8.2 Costes de amortización de los equipos informáticos y herramientas software.....	131
8.3 Otros costes .....	132
8.4 Presupuesto total .....	133
Capítulo 9 Bibliografía.....	135

# Índice de figura

Figura 1.1 Diagrama de bloques de un transceptor .....	15
Figura 1.2 Representación equivalente eléctrica de CCCII .....	16
Figura 2.1 Caja negra de un convertidor de corriente.....	20
Figura 2.2 Representación del funcionamiento interno de los “current conveyors”.....	21
Figura 2.3 Implementación de un convertidor de corriente de primera generación clase AB. ....	22
Figura 2.4 Convertidor de corriente realizado con transistores CMOS.....	23
Figura 2.5 Circuito equivalente de un convertidor de corriente de segunda generación.....	24
Figura 2.6 Ejemplo de convertidor de corriente de segunda generación... ..	25
Figura 2.7 Otra posible implementación de un convertidor de corriente de segunda generación.....	26
Figura 2.8 Diferentes aplicaciones realizadas con CCII.....	27
Figura 2.9 Filtro Sallen-Key realizado con amplificadores operacionales (a) y realizado con convertidores de corriente (b). ....	28
Figura 2.10 Realización de un amplificador Tow-Thomas con amplificadores operacionales (a) y con convertidores de corriente (b). ....	29
Figura 2.11 Circuito equivalente ideal de la segunda generación de convertidores de corriente controlada. ....	30
Figura 2.12 Circuito equivalente de un CCCII real.....	31
Figura 2.13 CCCII realizado con transistores bipolares y CMOS. ....	32
Figura 2.14 Otra posibilidad para realizar un CCCII. ....	32
Figura 2.15 Circuito de convertidor de corriente usado para implementar diferentes circuitos como puede ser amplificadores y filtros.....	33
Figura 2.16 Amplificador de tensión realizado con CCCII+. ....	34
Figura 2.17 Ganancia de tensión.....	34
Figura 2.18 Ancho de Banda a 3dB.....	35
Figura 2.19 Amplificador de corriente realizado con CCCII+. ....	35
Figura 2.20 Ganancia de corriente .....	36
Figura 2.21 Ancho de Banda a 3 dB.....	36

Figura 2.22 Realización de un filtro empleando CCCII+.	37
Figura 2.23 Resultados de la respuesta en frecuencia del filtro para varios valores de corriente y con un valor de condensador $C_1=4\text{pF}$ y $C_2=100\text{pF}$ . Además, se emplea una tensión $V_+=-V_-=2.5\text{v}$ .	38
Figura 2.24 Realización de un CCCII.	39
Figura 2.25 Realización de un CCCII con múltiples salidas.	39
Figura 2.26 Implementación de un oscilador usando convertidores de corriente de segunda generación.	40
Figura 2.27 Resultados de las simulaciones usando $C_1=41.5\text{ nF}$ , $C_2=20\text{nF}$ y $I_b=50\mu\text{A}$ . En la primera imagen se observa un oscilador de tres fases y en la siguiente una oscilación de seis fases.	41
Figura 3.1 Amplificador en configuración emisor común.	44
Figura 3.2 LNA en configuración emisor común con circuito de polarización.	45
Figura 3.3 a) Modelo exhaustivo del ruido.	b) Modelo equivalente.
	46
Figura 3.4 Modelo incluyendo el ruido metralla de la base.	48
Figura 3.5 LNA de dos etapas.	50
Figura 3.6 LNA con transformador.	52
Figura 3.7 Configuración en base común.	53
Figura 3.8 LNA Cascodo.	54
Figura 3.9 Conexión de dos bloques CCCII para que proporcionen una amplificación de tensión.	55
Figura 3.10 Esquema base del CCCII de clase A.	56
Figura 3.11 Topología de un amplificador de tensión usando dos bloques de convertidores de corriente clase A.	57
Figura 3.12 Esquema del LNA con las fuentes de corriente ideales.	58
Figura 3.13 Esquema del LNA con las fuentes de corriente reales.	58
Figura 3.14 Esquema equivalente en pequeña señal del LNA.	59
Figura 4.1 Estructura wurtzita del GaN.	61
Figura 4.2 Procesos de fabricación de OMMIC	63
Figura 4.3 Capas del substrato	64
Figura 4.4 Sección del substrato.	66
Figura 4.5 Transistor single finger (izda.) y multiple finger.	67

Figura 4.6 Modelo de transistor ofrecidos por OMMIC .....	68
Figura 4.7 Descripción de los transistores proporcionada por OMMIC.....	68
Figura 4.8 Condensadores SiN (arriba izda.), condensador SiN+SiO <sub>2</sub> (abajo izda.), resistencia GaN (arriba dcha.) y resistencia NiCr (abajo dcha.) .....	70
Figura 4.9 Inductancia (izda.) y líneas de transmisión (dcha.).....	72
Figura 4.10 Definición del layout de un circuito .....	73
Figura 4.11 Mapeado de una oblea .....	74
Figura 4.12 Modelo de una bobina cuadrada simple. ....	75
Figura 4.13 Layout de una bobina del tipo L_SLCR30K_RFVIL.....	76
Figura 4.14 Construcción de un condensador. ....	77
Figura 4.15 Cuadro de diálogo de Cadence de ajuste de parámetros de condensadores.....	78
Figura 4.16 Circuito equivalente del condensador.....	79
Figura 4.17 Parámetros de una resistencia. ....	80
Figura 4.18 Cuadro de diálogo de Cadence de ajuste de parámetros de resistencias. ....	81
Figura 4.19 Layout de una resistencia del tipo RNHR_LLRF. ....	82
Figura 4.20 Sección transversal de transistores MOS.....	83
Figura 4.21 Transistor MOSFET tipo n en corte. ....	83
Figura 4.22 Transistor MOSFET tipo n en zona óhmica.....	84
Figura 4.23 Transistor MOSFET tipo n en zona de saturación.....	85
Figura 4.24 Modelo simplificado de pequeña señal de un transistor MOSFET. ....	86
Figura 4.25 Modelo completo de pequeña señal de un transistor MOSFET. ....	87
Figura 4.26 Cuadro de diálogo de Cadence de ajuste de parámetros de un transistor MOSFET.....	88
Figura 4.27 Circuito equivalente de los transistores optimizados para RF N/P. ....	89
Figura 4.28 Layout de un transistor MOSFET para RF. ....	90
Figura 4.29 Representación de un pad.....	91
Figura 4.30 Cuadro de diálogo de Cadence de ajuste de parámetros de un PAD.....	92
Figura 4.31 Layout de un pad para RF. ....	93

Figura 5.1 Implementación de un amplificador de bajo ruido realizado con convertidores de corriente.....	96
Figura 5.2 Carta de Smith usada para calcular valor de $I_{o1}$ en tecnología GaN.....	97
Figura 5.3 Representación de la ganancia obtenida para distintos valores de corriente $I_{o2}$ . .....	98
Figura 5.4 Ancho de Banda del circuito usando fuentes de corrientes ideales para distintos valores de $I_{o2}$ y para las distintas áreas de transistores.....	99
Figura 5.5 Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de $I_{o2}$ y para las distintas áreas de transistores.....	100
Figura 5.6 Ancho de Banda y Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de $I_{o2}$ y para las distintas áreas de transistores.....	101
Figura 5.7 Evolución del ruido del circuito con un área de transistor con $N_{fg}=4$ , $W_{fg}=50$ , $I_{o1}=5mA$ , $I_{o2}= 1mA$ . .....	102
Figura 5.8 Evolución del ruido del circuito al variar $I_{o2}$ .....	102
Figura 5.9 Evolución del ruido del circuito al variar $I_{o1}$ .....	103
Figura 5.10 Evolución del ruido del circuito al variar el tamaño de los transistores.....	103
Figura 6.1 Implementación de un amplificador de bajo ruido realizado con convertidores de corriente con tecnología UMC 65nm.....	106
Figura 6.2 Carta de Smith usada para calcular valor de $I_{o1}$ para la impedancia de entrada sea de 50 Ohm.....	107
Figura 6.3 Representación de la corriente $I_{o1}$ para obtener una impedancia de entrada de $50\Omega$ para distintas áreas de transistores. ....	108
Figura 6.4 Representación de la ganancia obtenida para distintos valores de corriente $I_{o2}$ empleando $w_f=8\mu m$ , $n_f=4$ . ....	109
Figura 6.5 Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de $I_{o2}$ y para las distintas áreas de transistores.....	110
Figura 6.6.6 Ancho de Banda del circuito usando fuentes de corrientes ideales para distintos valores de $I_{o2}$ y para las distintas áreas de transistores. ....	111
Figura 6.6.7 Ancho de Banda y Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de $I_{o2}$ y para las distintas áreas de transistores.....	112

Figura 6.8 Evolución del ruido del circuito con un área de transistor un transistor de 64 $\mu\text{m}$ de ancho total y una corriente $I_{o2}$ de 0.5 mA. ....	113
Figura 6.9 Evolución del ruido del circuito al variar el tamaño de los transistores.....	113
Figura 6.10 Variación de la figura de ruido al modificar la corriente $I_{o1}$ . .	114
Figura 6.11 Variación de la figura de ruido al modificar la corriente $I_{o2}$ . .	114
Figura 6.12 Circuito que nos queda al sustituir las fuentes de corriente ideales por espejos de corriente.....	115
Figura 6.6.13 Análisis de la ganancia y el ancho de banda para distintos valores de la $W$ ( $\mu\text{m}$ ) de los transistores CMOS de los espejos de corriente. ....	116
Figura 6.14 Variación de la ganancia y el ancho de banda del circuito empleando fuentes de corriente reales y variando la NF de los transistores MOS. ....	117
Figura 6.15 Simulación de la ganancia del circuito con espejos de corriente para distintos valores de $I_{o2}$ .....	118
Figura 6.16 Simulación de la ganancia y ancho de banda del circuito al variar el área de los transistores Core.....	119
Figura 6.17 Análisis del ruido del circuito resultante al variar la corriente de polarización $I_{o1}$ . ....	120
Figura 6.18 Análisis del ruido del circuito resultante al variar la corriente de polarización $I_{o2}$ . ....	121
Figura 6.19 Comportamiento de la figura de ruido del circuito al variar el área de los transistores Core.....	122
Figura 6.20 Análisis de la figura de ruido del circuito al variar la $W$ de los transistores que forman las fuentes de corriente.....	123
Figura 6.21 Análisis de la figura de ruido del circuito al variar la $L$ de los transistores que forman las fuentes de corriente.....	124

# Capítulo 1 Introducción

En el mundo de las comunicaciones inalámbricas, es imprescindible considerar la fabricación de receptores/transmisores [1]. Esto es sencillo de comprender ya que son los elementos fundamentales para hacer una transmisión de señal a través de cualquier medio. El coste, la disipación de potencia, así como las velocidades de transmisión son unas de las características que se intentan optimizar según sus funciones.

En este proyecto veremos qué papel juegan los amplificadores de bajo nivel de ruido o LNAs (*del inglés Low Noise Amplifier*) [2] en estos receptores, y por qué elegimos la tecnología. Para comprender esto, primero hay que saber cómo es su arquitectura y su teoría.

Un transceptor se puede dividir en varios bloques claramente diferenciados, el receptor y el transmisor. Dentro de cada uno de estos bloques se puede distinguir un bloque denominado cabezal. El cabezal, tanto de la recepción como el de transmisión, trabajan en la frecuencia de RF y es el encargado de adaptar la señal tras ser recibida, o para ser transmitida. Tras el cabezal se encuentra la etapa de filtrado [3], que permite al receptor o al transmisor quedarse con la banda de frecuencia deseada. Por otra parte, dentro de un transceptor se encuentra el sintetizador de frecuencias. Este bloque incluye el oscilador local que genera la señal necesaria para convertir la señal de entrada a una frecuencia determinada, a través de un mezclador. En la Figura 1.1 se muestra el diagrama de bloques de un transceptor, en el cual se pueden apreciar los distintos elementos que se han mencionado.

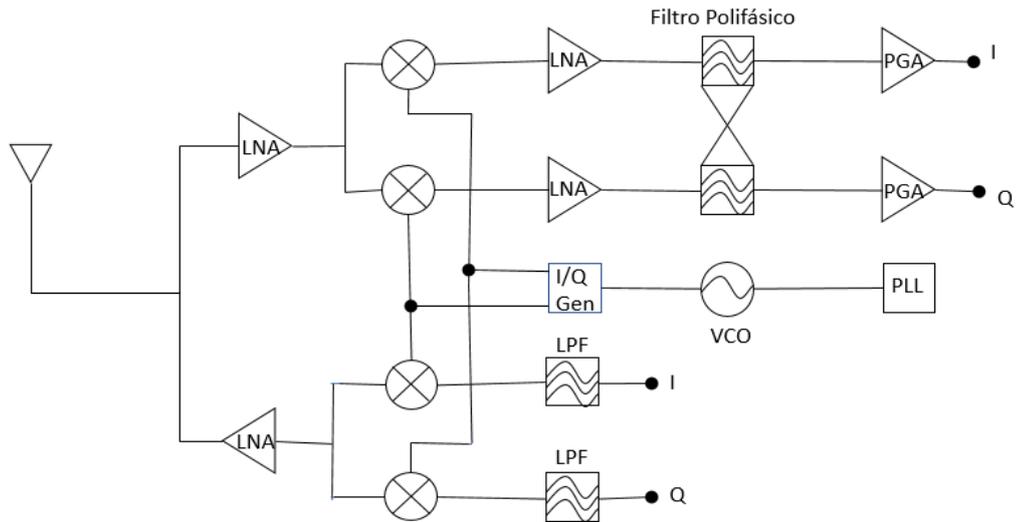


Figura 1.1 Diagrama de bloques de un transceptor

Este trabajo fin de grado se centra en el diseño del LNA basado en Convertidores de Corrientes (CC). Un LNA es un amplificador electrónico utilizado para amplificar señales débiles que provienen de la antena de recepción introduciendo el menor ruido posible. Los CC [4] se utilizan como bloques de construcción para circuitos analógicos para implementar funciones como filtros, inductancias [5], giradores [6], convertidores de impedancia [7], osciladores [8] y amplificadores operacionales [9]. Los CC son dispositivos activos que comprenden tres puertos, designados como X, Y y Z [10]. La operación no ideal del convertidor de corriente de segunda generación (CCII) [11] da como resultado elementos parásitos en cada puerto, representados como ZX, ZY, y ZZ, tal y como se muestra en la figura 1.2.

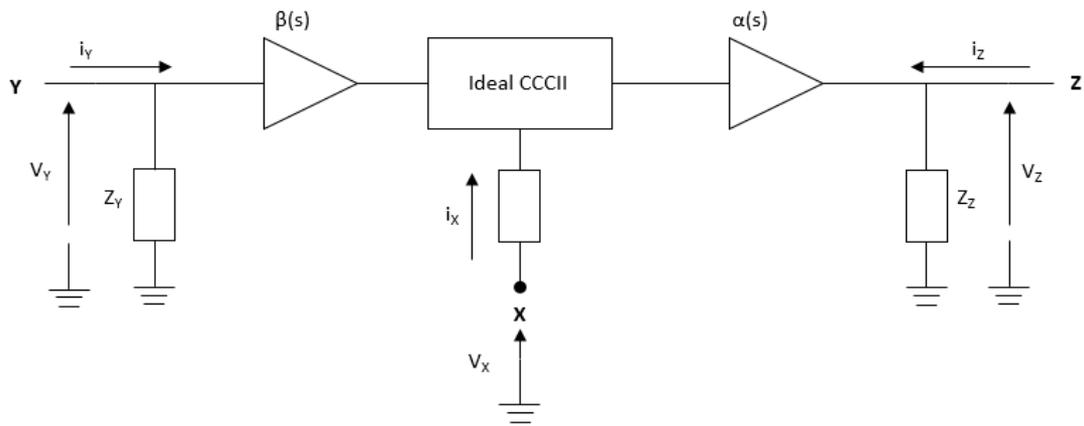


Figura 1.2 Representación equivalente eléctrica de CCCII

La naturaleza y los valores de estas impedancias dependen principalmente de la tecnología de fabricación y la corriente de polarización del circuito [12]. Esta última dependencia da lugar al concepto de un convertidor de corriente controlado (CCCII), [12], cuya matriz de relación viene dada por la siguiente expresión:

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} Y_Y(I_O) & 0 & 0 \\ \beta(s) & Z_X(I_O) & 0 \\ 0 & \alpha(s) & Y_Z(I_O) \end{bmatrix} * \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (1.1)$$

Aquí,  $Y_Y$ , y  $Y_Z$  representan la conductancia de los puertos Y, y Z, respectivamente;  $\alpha(s)$  y  $\beta(s)$  son las funciones de transferencia de corriente y tensión unitaria. El CCCII actúa como un seguidor de corriente (entre los puertos X y Z), seguidor de voltaje (entre Y, y X) y transconductor (entre Z y Y) [7].

Los CCCII se pueden usar para diseñar amplificadores de tensión de ganancia variable, la cual puede ser controlada por la corriente de polarización.

## 1.1 Objetivos

Hasta aquí hemos visto descrito el LNA y el convertidor de corriente, lo cual es fundamental para comprender el objetivo principal de este proyecto, que es el estudio de la utilización de los convertidores de corriente para la realización de un LNA en tecnología GaN [13]. Además, se va a estudiar las ventajas y desventajas que presenta frente a la tecnología UMC 65nm [14].

En el siguiente apartado daremos una visión general de la estructura de la memoria, así como un resumen del desarrollo del proyecto.

## 1.2 Estructura de la memoria

Esta memoria está dividida en 7 capítulos además de una lista bibliográfica con las referencias consultadas durante el desarrollo del trabajo fin de grado y la elaboración de esta memoria.

En este primer capítulo se ha realizado una introducción con los antecedentes de este trabajo, y se definen los objetivos marcados para este trabajo fin de grado.

En el capítulo 2 se pretende estudiar más profundamente los dispositivos mencionados anteriormente, los convertidores de corriente. Se pretende analizar su evolución histórica, su comportamiento y presentar algunas estructuras que se pueden realizar basándonos en ellos.

El capítulo 3 se centra en las características de los LNAs. Para ello primero estudiaremos las arquitecturas de LNAs más comúnmente utilizadas y luego se presentará la arquitectura de amplificador de bajo ruido empleando los convertidores de corriente que se pretende estudiar.

En el capítulo 4 profundizaremos en el estudio de la tecnología GaN de OMMIC y CMOS de 65 nm de UMC [14]. Como parte de este estudio, se analizarán los componentes de dicha tecnología que forman parte de un LNA.

Los capítulos 5 y 6 se centran en el diseño a nivel de esquemático de los LNAs. Para simularlo se utilizará el software ADS (*Advanced Design System*).

En el capítulo 7 se comentan las conclusiones que se pueden extraer de este trabajo fin de grado. Además, se presenta un resumen de los resultados obtenidos y se definen las líneas futuras de este trabajo.

Finalmente, en el último capítulo se muestra el presupuesto de este trabajo fin de grado.

# Capítulo 2 Convertidores de Corriente: Teoría y Práctica

En este capítulo veremos las diferentes estructuras de los convertidores de corriente, las características de ellos y en las diferentes aplicaciones donde se puede aplicar estos dispositivos.

## 2.1 Introducción

El primer convertidor de corriente es publicado en el año 1968, por Sedra, es un dispositivo de mínimo de tres terminales, el cual puede realizar diversas funciones de proceso analógico de señales [10]. Los convertidores de corriente pueden ser directos o inversos, divididos en primera, segunda y tercera generación. La razón de involucrar el CC en el amplificador es que puede simplificar circuitos complejos en los que se emplean los amplificadores.

En el principio, la industria centró en la creación y aplicación de la primera generación de amplificadores operacionales. El CC se considera un bloque de construcción general con aplicaciones prácticas. Desde finales de los años 40 el concepto de amplificadores operacionales se ha adoptado, y fue interesadas por la mayoría de los diseñadores de circuitos analógicos. Sin embargo, los sistemas operativos no tienen un buen rendimiento en aplicaciones donde se necesita una señal de salida de corriente, y surgen campos de aplicación para circuitos basados en CC. Y Cabe mencionar que, dado que el CC funciona sin ningún tipo de realimentación, presenta un comportamiento de alta frecuencia diferente en comparación con los circuitos basados en amplificadores operacionales [15].

## 2.2 Convertidores de Corriente de Primera Generación (CCI)

Básicamente, un CCI es un dispositivo de tres puertos, en la figura 2.1 se muestra el diagrama de bloque. Su comportamiento se describe como sigue: Si al terminal de entrada Y aplicamos una tensión  $V_Y$ , en el otro terminal de entrada X

aparecerá una tensión similar. De la misma forma, si forzamos una corriente  $I$  por el terminal X, esa misma corriente entrará por la rama Y. Además, esta corriente será convertida al terminal de salida Z de forma que dicho terminal funciona como una fuente de corriente con una impedancia de salida elevada. Y la tensión en X la fija la tensión que hay en Y es independiente de la corriente que forzamos en X. Asimismo, la corriente que fluye por la entrada Y, la fija la corriente que introducimos por X, la cual es independiente de la tensión en Y. Esto es equivalente a decir que los convertidores de corriente presentan un cortocircuito virtual en la entrada X y un circuito abierto virtual en el puerto Y [4].

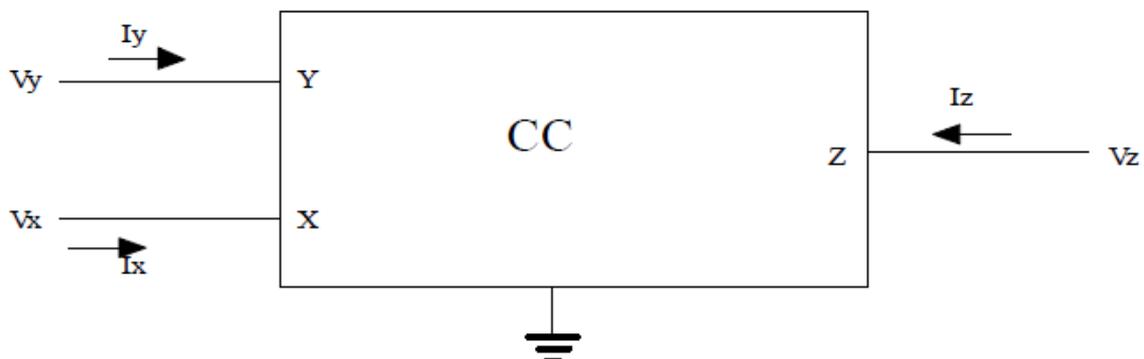


Figura 2.1 Caja negra de un convertidor de corriente.

En términos matemáticos, la característica de entrada-salida de los CCI puede ser descrita mediante la siguiente ecuación:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} * \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.1)$$

donde las variables representan cantidades totales instantáneas.

Para ver mejor la interacción de las corrientes y tensiones de los puertos descritos en la anterior ecuación vamos a ver una representación [16] en la figura 2.2 que nos puede ayudar. Vemos que en la representación hay un círculo para representar el cortocircuito virtual entre los terminales X e Y y un doble círculo para

representar el circuito abierto. También se puede ver en este circuito equivalente dos fuentes de corriente dependientes. Éstas son usadas para convertir las corrientes del puerto X a los puertos Y y Z.

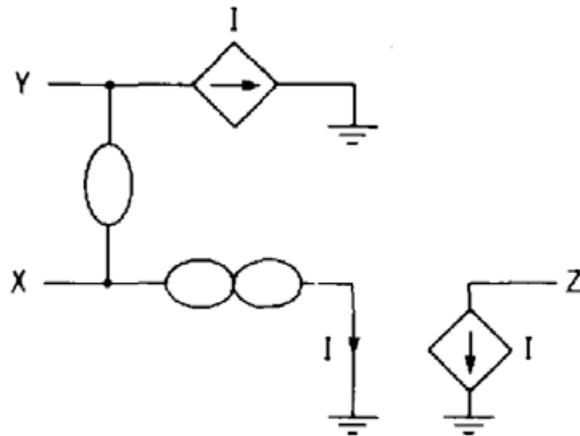


Figura 2.2 Representación del funcionamiento interno de los "current conveyors".

En la figura 2.3 se muestra un ejemplo de implementación de un convertidor de corriente de primera generación de clase AB [17].

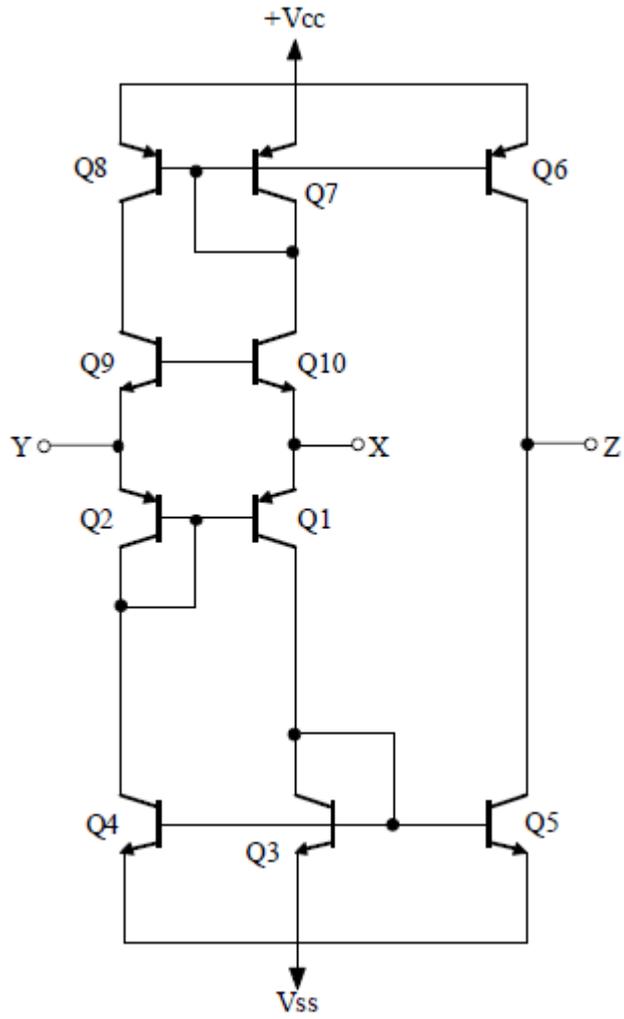


Figura 2.3 Implementación de un convertidor de corriente de primera generación clase AB.

También lo podemos hacer con transistores CMOS, quedando el modelo de la figura 2.4 [18].

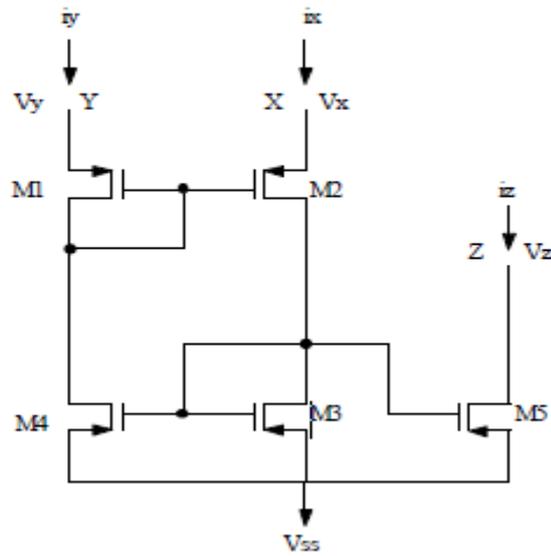


Figura 2.4 Convertidor de corriente realizado con transistores CMOS.

## 2.3 Aplicaciones de los CCI

Una primera aplicación que podemos hacer con los convertidores de corriente de primera generación es un dispositivo de medida de corriente de banda ancha [19]. La impedancia de entrada es menor de un ohmio y el rango de operación se extiende desde DC a 100 MHz.

Otra fácil aplicación de los CCI es un convertidor de impedancia negativa (NIC) [20]. Para esta aplicación el terminal Z se conecta a tierra y la resistencia que queremos convertir estará conectada entre X y tierra o entre el puerto Y y tierra.

Por último, una estructura que también se puede llevar a cabo utilizando estos convertidores de corriente es un buffer de corriente de alta velocidad.

## 2.4 Convertidores de corriente de Segunda Generación (CCII)

Para incrementar la versatilidad de los convertidores de corriente, una segunda versión en la cual en el puerto Y no aparezca corriente fue introducida en 1968 [10]. Utilizando el mismo diagrama de bloques de la Figura 2.1, el CCII está descrito por la siguiente matriz:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} * \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.2)$$

El terminal Y presenta una impedancia de entrada infinita y el terminal X tiene impedancia de entrada cero. La corriente en el terminal Z (alta impedancia de salida) es la misma que la de X con polaridad positiva (CCII+) o negativa (CCII-). En la figura 2.5 podemos observar la representación del circuito equivalente.

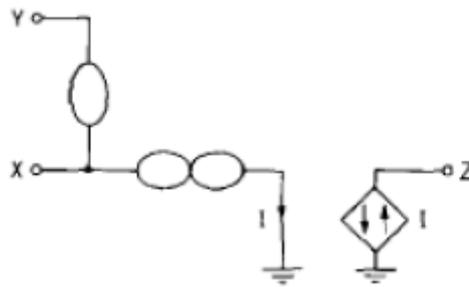


Figura 2.5 Circuito equivalente de un convertidor de corriente de segunda generación.

Un ejemplo de realización de convertidores de corriente de segunda generación es el que se presenta en la figura 2.6.

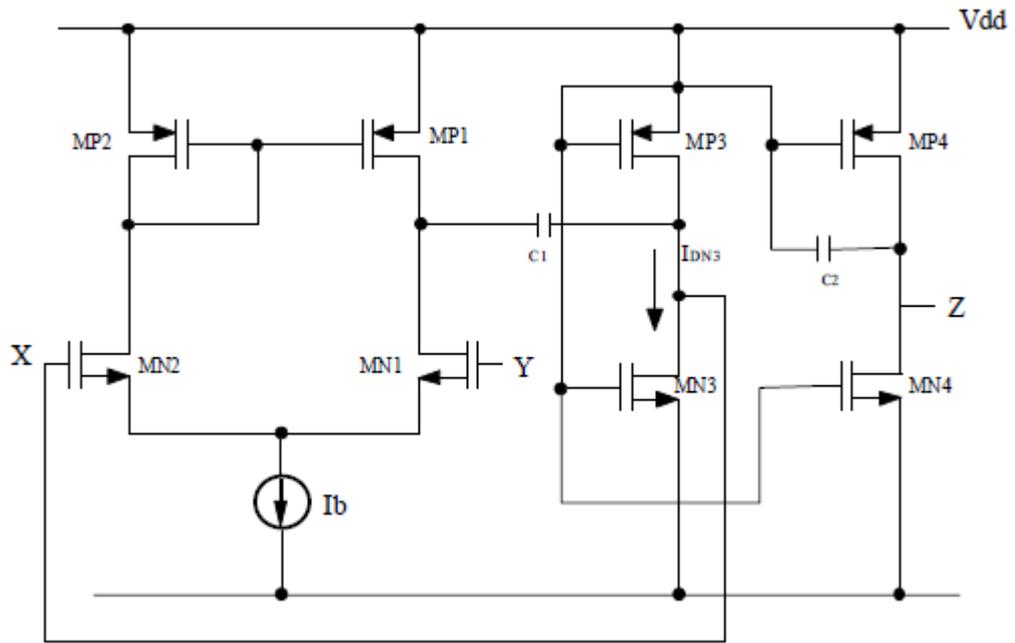


Figura 2.6 Ejemplo de convertidor de corriente de segunda generación.

Otra estructura válida es la de la figura siguiente (figura 2.7) [10].

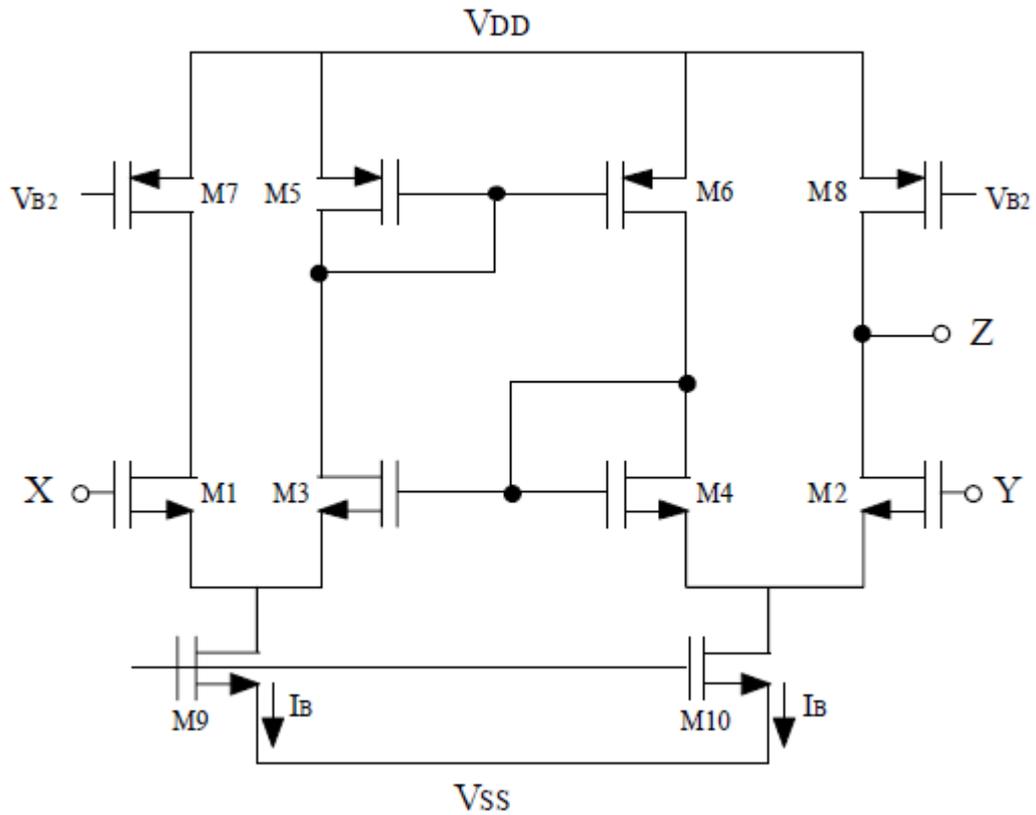


Figura 2.7 Otra posible implementación de un convertidor de corriente de segunda generación.

## 2.5 Aplicaciones de los CCII

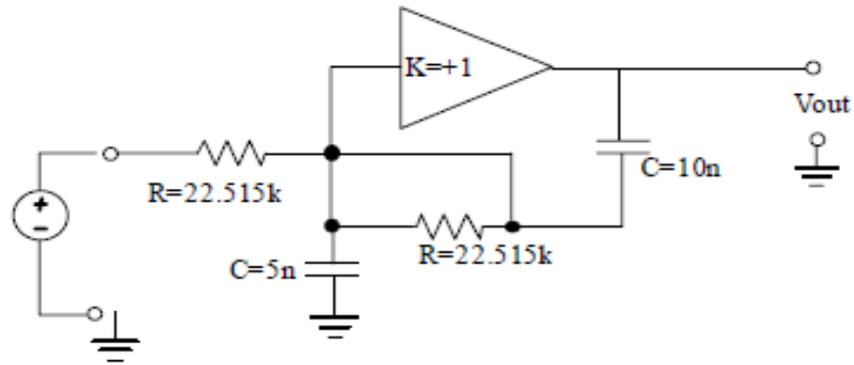
Como ya se vio en el caso anterior, las aplicaciones posibles con esta estructura son varias como pueden ser fuentes controlables, convertidores de impedancia, giradores, etc [21]. En la tabla de la figura 2.8 se muestra las diferentes aplicaciones, así como los diagramas de conexión.

	Caracterización	Realización usando convertidores de corriente
Fuente de Tensión controlada por tensión	$G = \begin{bmatrix} 0 & 0 \\ 1 & 0 \end{bmatrix}$	
Fuente de Corriente controlada por tensión	$Y = \begin{bmatrix} 0 & 0 \\ g & 0 \end{bmatrix}$	
Fuente de Corriente controlada por corriente	$H = \begin{bmatrix} 0 & 0 \\ 1 & 0 \end{bmatrix}$	
Fuente de Tensión controlada por corriente	$Y = \begin{bmatrix} U & 0 \\ r & 0 \end{bmatrix}$	
NIC	$G = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$	
NIV	$Y = \begin{bmatrix} 0 & g1 \\ g2 & 0 \end{bmatrix}$	
Girador	$Y = \begin{bmatrix} 0 & -g \\ g & 0 \end{bmatrix}$	

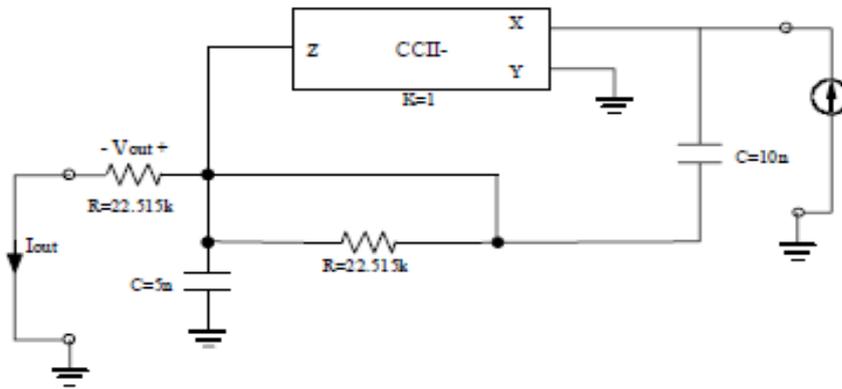
Figura 2.8 Diferentes aplicaciones realizadas con CCII.

También podemos ver la realización de algunas estructuras en las que sustituimos los amplificadores operacionales por convertidores de corriente.

En la figura 2.9 vemos la realización de un filtro paso-bajo Sallen-Key [22].



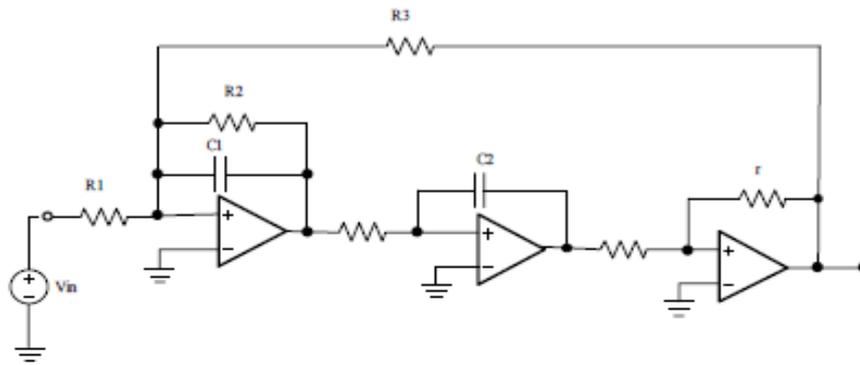
(a)



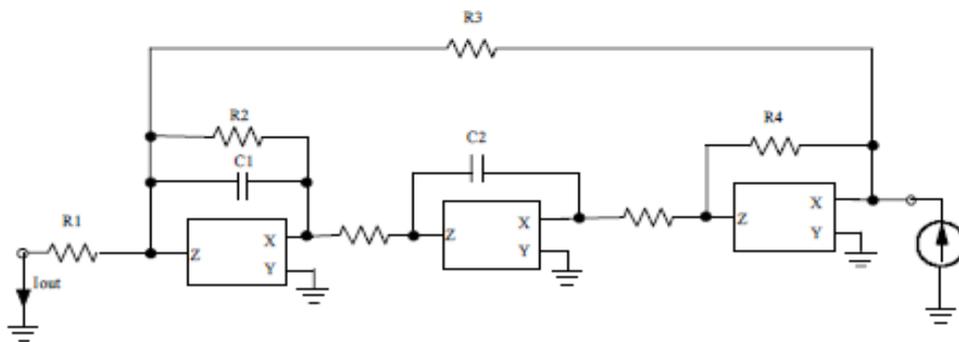
(b)

Figura 2.9 Filtro Sallen-Key realizado con amplificadores operacionales (a) y realizado con convertidores de corriente (b).

Otra estructura que podemos analizar es el amplificador de la Figura 2.10 [23].



(a)



(b)

Figura 2.10 Realización de un amplificador Tow-Thomas con amplificadores operacionales (a) y con convertidores de corriente (b).

## 2.6 Convertidores de Corriente de Segunda Generación Controlables (CCCII)

Para aumentar las posibilidades de los convertidores de corriente se introdujo una resistencia variable que nos dará la posibilidad de controlar la corriente suministrada al convertidor de corriente. En la figura 2.11 se muestra el circuito equivalente del CCCII ideal [24] [25].

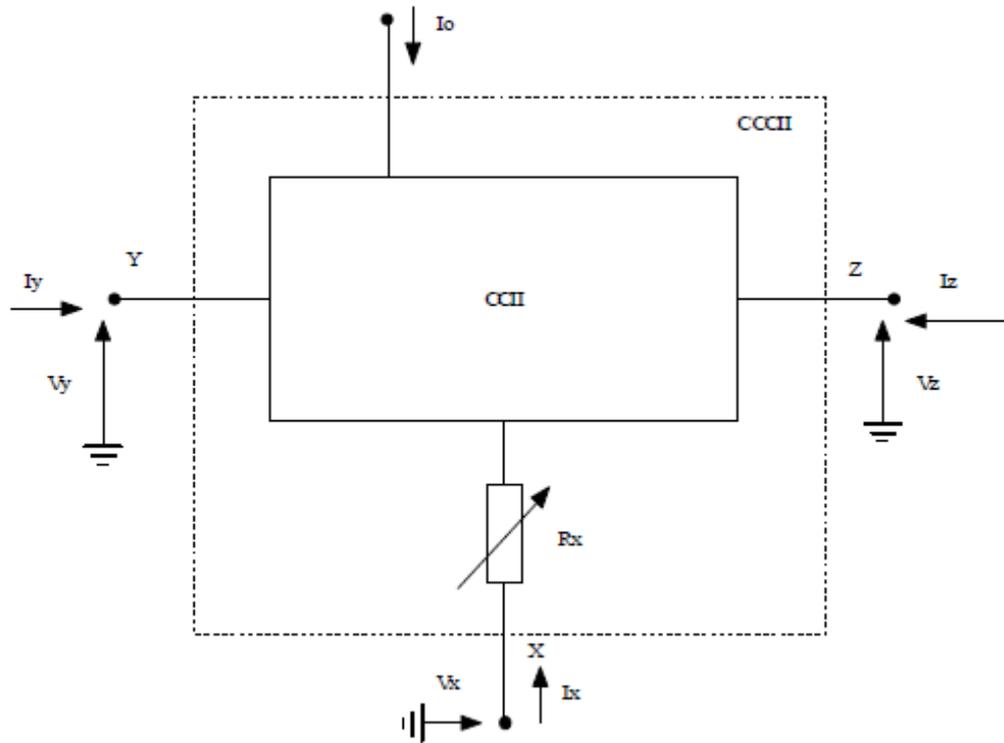


Figura 2.11 Circuito equivalente ideal de la segunda generación de convertidores de corriente controlada.

Matemáticamente las ecuaciones que describen al circuito son las siguientes:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_X & 0 \\ 0 & 1 & 0 \end{bmatrix} * \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.3)$$

Vemos que en la matriz que describe el funcionamiento de este circuito aparece el valor de la resistencia.

Sabemos que los circuitos reales tienen parásitos asociados. Por eso, vamos a ver un poco mejor el comportamiento del convertidor de corriente controlable de segunda generación viendo el circuito equivalente real en la figura 2.12.

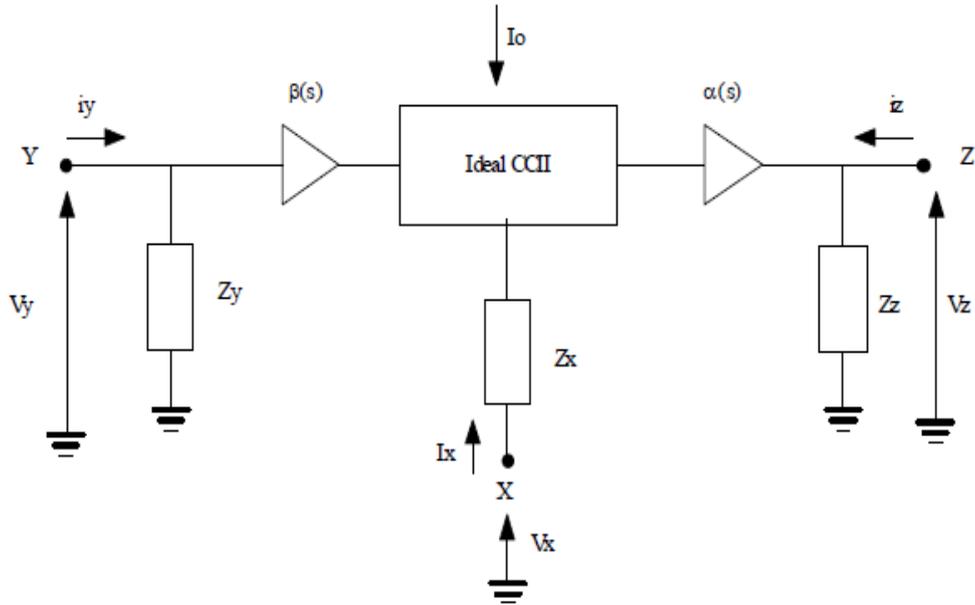


Figura 2.12 Circuito equivalente de un CCCII real.

El circuito ha cambiado por lo que la matriz que define su comportamiento también tendrá que cambiar. Por tanto, la matriz que describe el funcionamiento del circuito equivalente real será:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta & R_X & 0 \\ 0 & \pm\alpha & 0 \end{bmatrix} * \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.4)$$

Donde los parámetros  $\alpha$  y  $\beta$  son las características de transferencia de corriente y tensión. Estos parámetros son próximos a la unidad.

En la figura 2.13 se muestra un ejemplo de implementación de un CCCII que emplea transistores bipolares y CMOS [26].

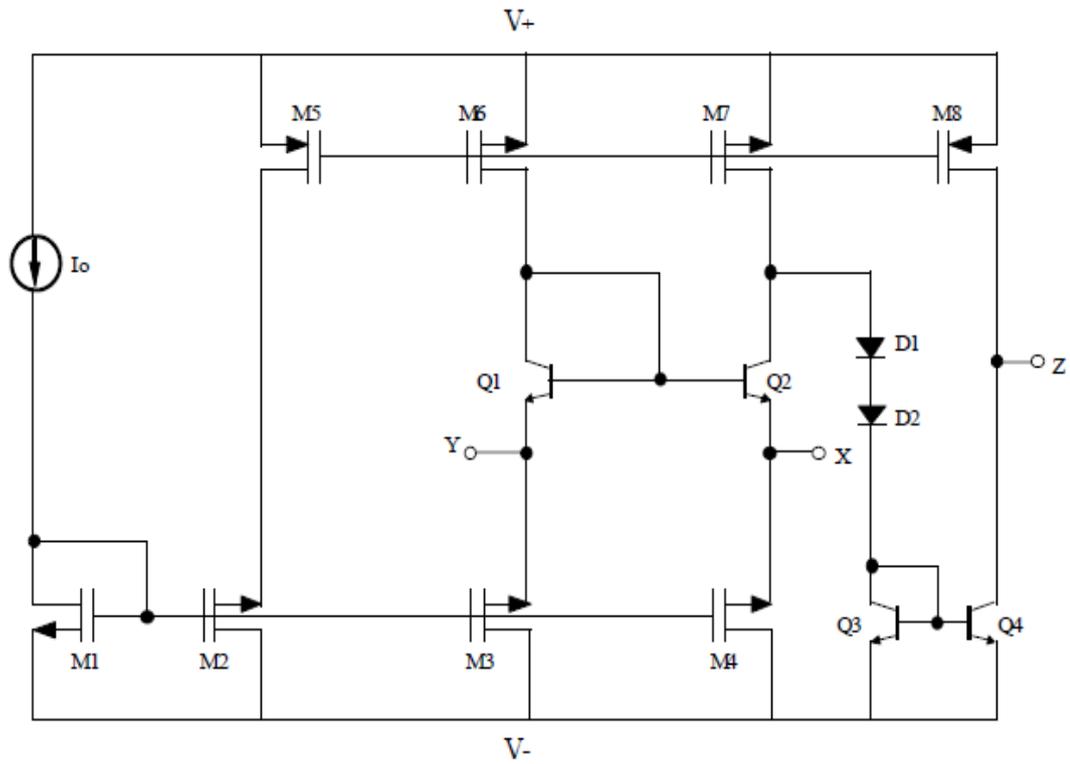


Figura 2.13 CCCII realizado con transistores bipolares y CMOS.

Otra alternativa que podemos usar puede ser la que vemos en la figura 2.14.

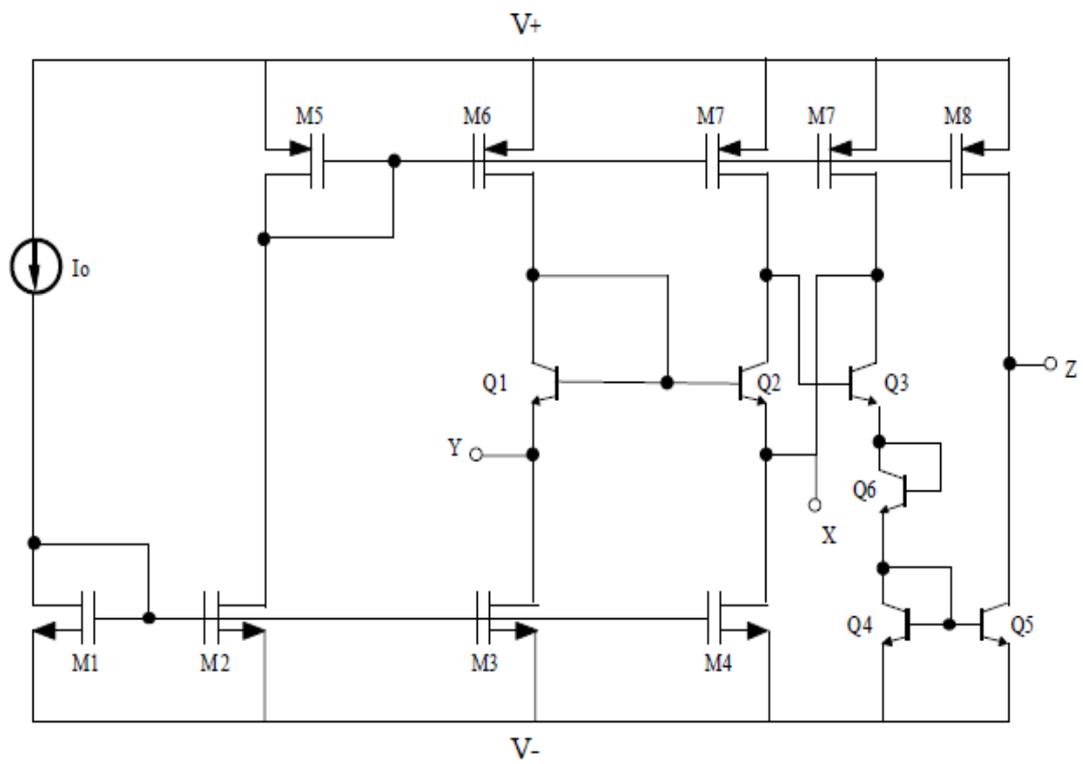


Figura 2.14 Otra posibilidad para realizar un CCCII.

## 2.7 Ejemplos de implementaciones hechas con CCCIs

Siguiendo la misma metodología que usamos en los casos anteriores, en este apartado presentamos algunos ejemplos de diseños hechos con CCCIs.

En primer lugar, veremos un amplificador de tensión y otro de corriente cuyas ganancias son controladas por corriente y, posteriormente, veremos la implementación de un filtro paso banda de segundo orden. El circuito del convertidor de corriente utilizado para los tres ejemplos es el de la figura 2.15 [26].

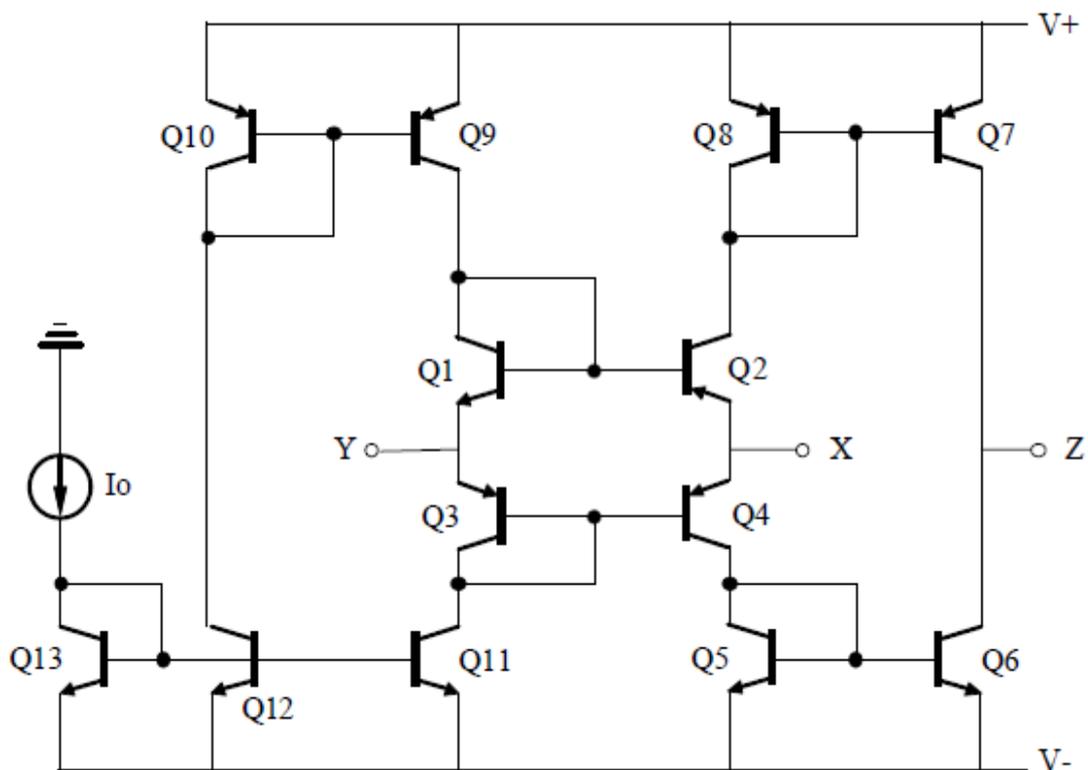


Figura 2.15 Circuito de convertidor de corriente usado para implementar diferentes circuitos como puede ser amplificadores y filtros.

El esquema utilizado para implementar el amplificador de tensión es el de la figura 2.16.

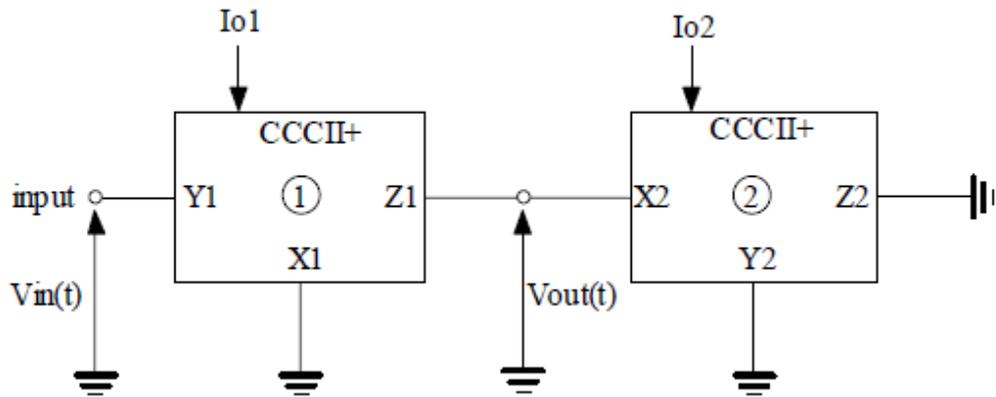


Figura 2.16 Amplificador de tensión realizado con CCCII+.

La función de transferencia del amplificador es:

$$G_v = \frac{V_{out}}{V_{in}} = \frac{R_{x2}}{R_{x1}} = \frac{I_{o1}}{I_{o2}} \quad (2.5)$$

Los resultados obtenidos en ganancia y ancho de banda a 3dB son los que se muestran en la figura 2.17 y 2.18

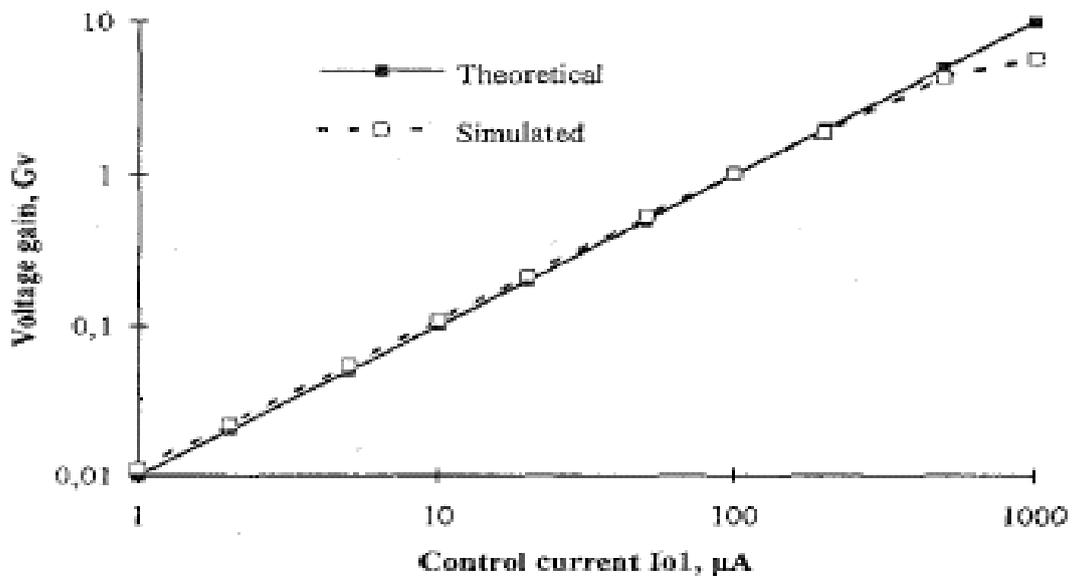


Figura 2.17 Ganancia de tensión

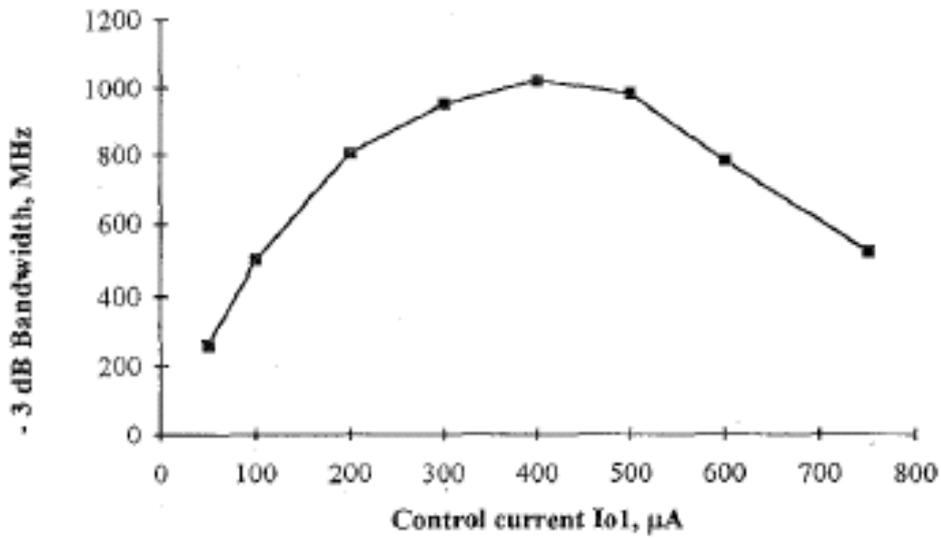


Figura 2.18 Ancho de Banda a 3dB.

También se puede hacer un amplificador, pero de corriente. En este caso, la estructura empleada es la de la figura 2.19.

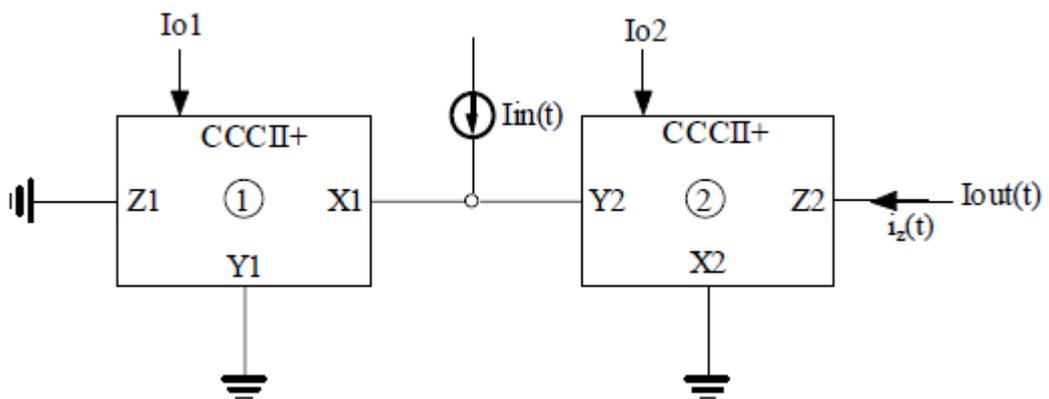


Figura 2.19 Amplificador de corriente realizado con CCCII+.

La función de transferencia que define su comportamiento es:

$$G_i = \frac{I_{out}}{I_{in}} = \frac{R_{x1}}{R_{x2}} = -\frac{I_{o2}}{I_{o1}} \quad (2.6)$$

Los resultados de ganancia y ancho de banda se muestran en la figura 2.20

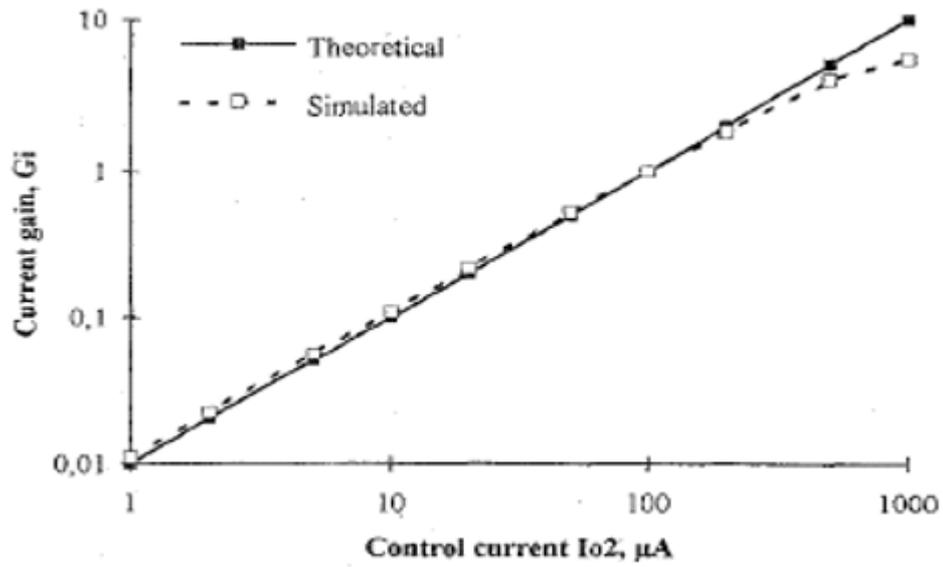


Figura 2.20 Ganancia de corriente

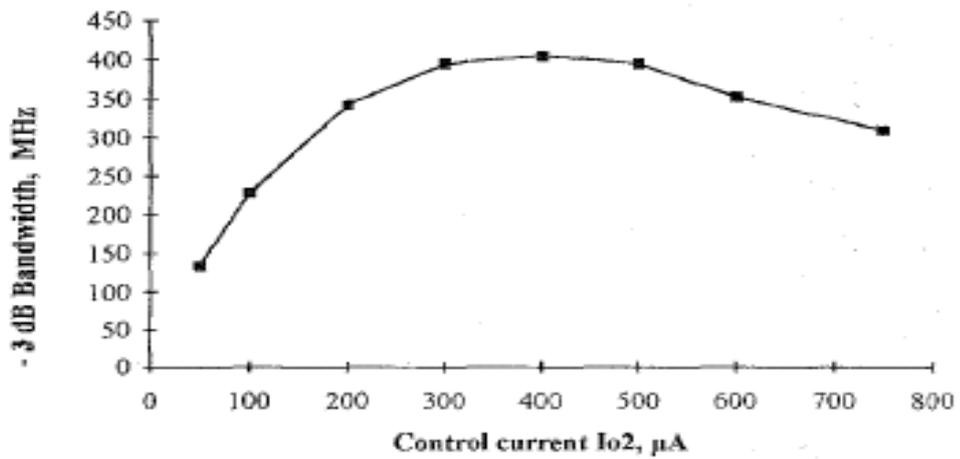


Figura 2.21 Ancho de Banda a 3 dB.

Para la realización de un filtro paso-banda de segundo orden la implementación usada es la de la figura 2.22

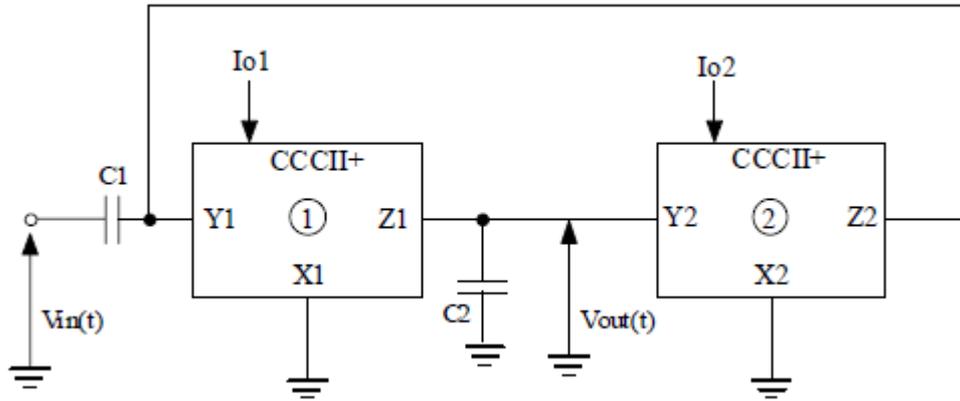


Figura 2.22 Realización de un filtro empleando CCCII+.

Donde la función de transferencia viene definida por la siguiente expresión:

$$F(s) = \frac{V_{out}}{V_{in}}(s) = \frac{R_x C_1 S}{1 + R_x C_1 S + R_x^2 C_1 C_2 S^2}$$

$$\omega_o = \left\{ R_x (C_1 C_2)^{\frac{1}{2}} \right\}^{-1} \quad (2.7)$$

$$Q = \left( \frac{C_2}{C_1} \right)^{1/2}$$

Los resultados de la simulación se muestran en la figura 2.23.

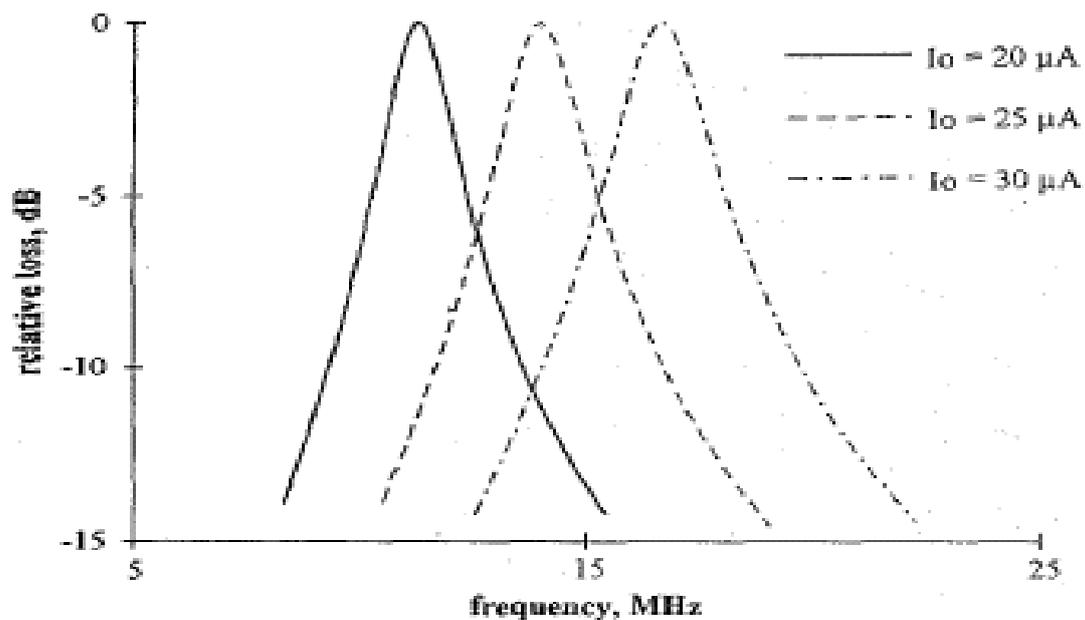


Figura 2.23 Resultados de la respuesta en frecuencia del filtro para varios valores de corriente y con un valor de condensador  $C1=4\text{pF}$   $C2=100\text{pF}$ . Además, se emplea una tensión  $V_+ = -V_- = 2.5\text{V}$ .

Otro tipo de estructura que también se puede realizar es un oscilador senoidal multifase implementado con CCCII translineales basados en transistores bipolares. En este caso, el diseño usado para implementar el convertidor de corriente es el propuesto en la figura 2.22.

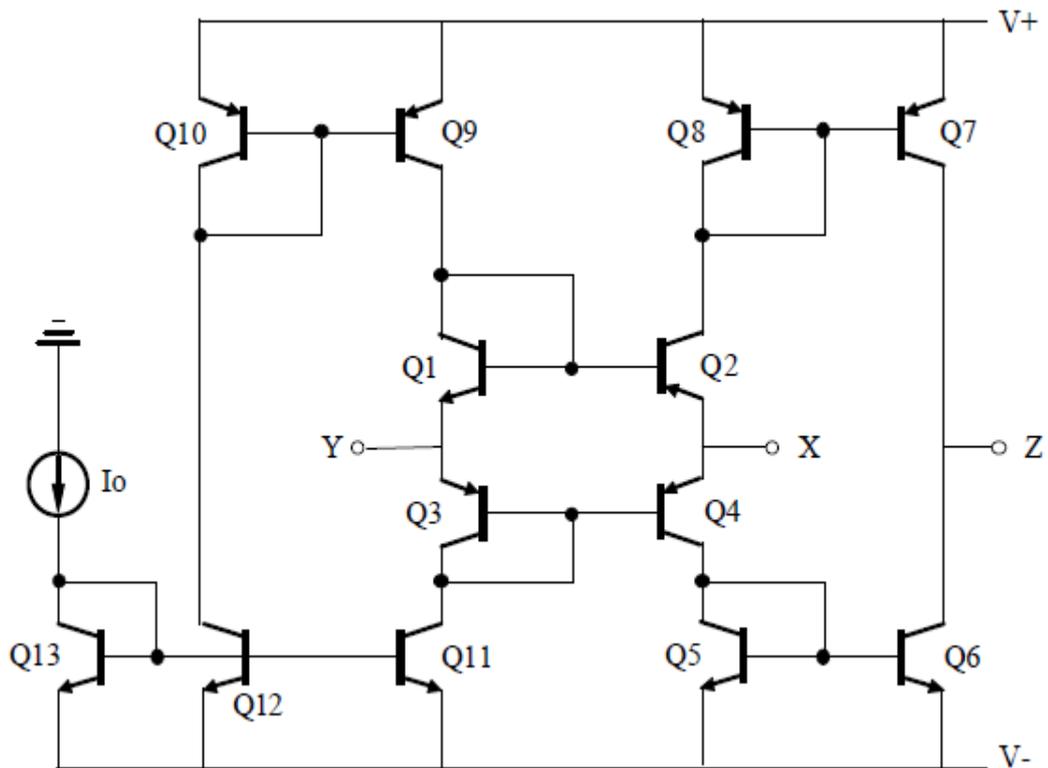


Figura 2.24 Realización de un CCCII.

Este circuito lo podemos hacer con múltiples salidas añadiendo espejos de corriente. La estructura queda de la siguiente manera (figura 2.23).

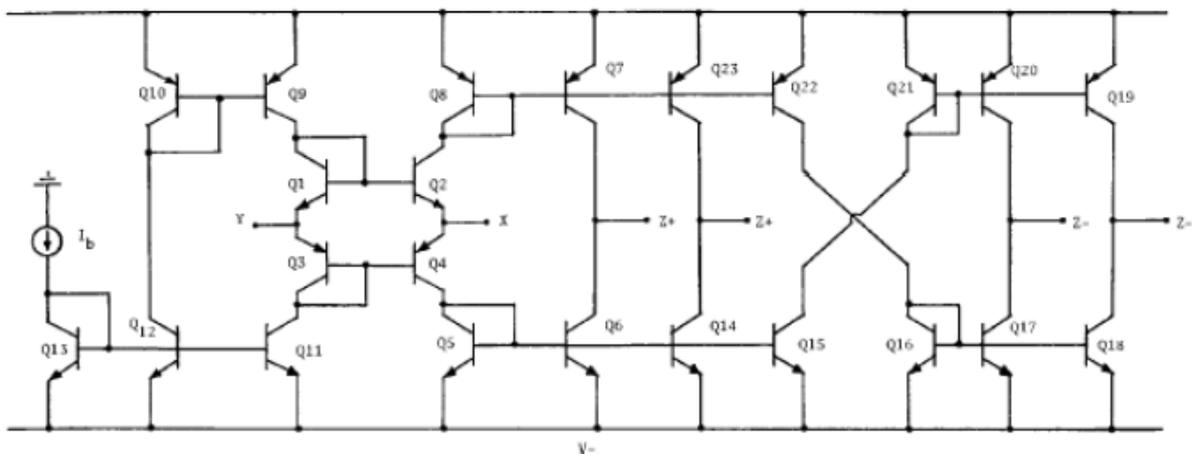


Figura 2.25 Realización de un CCCII con múltiples salidas.

El oscilador realizado con convertidores de corriente tendrá la forma mostrada en la figura 2.24.

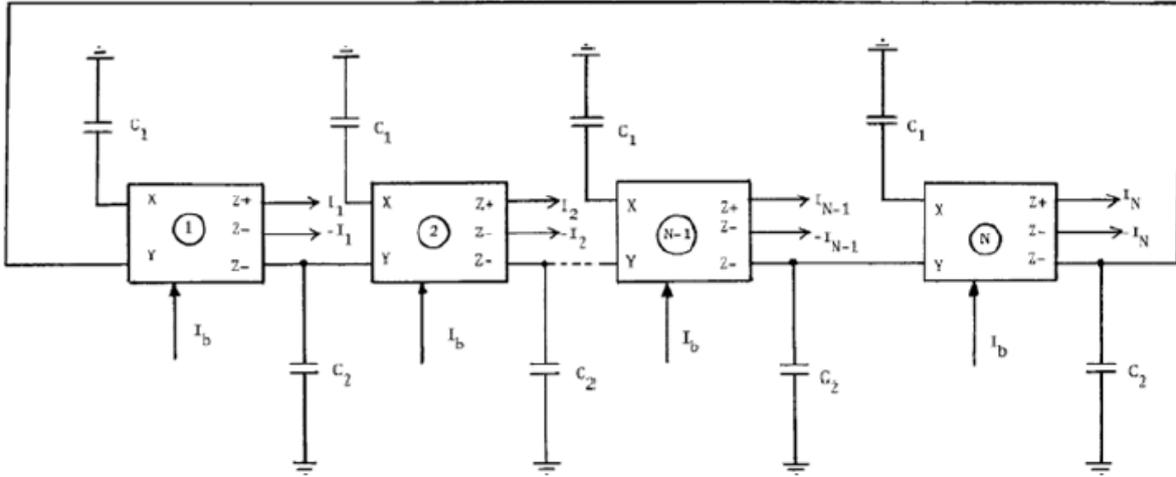


Figura 2.26 Implementación de un oscilador usando convertidores de corriente de segunda generación.

Este oscilador presentará la siguiente función de transferencia:

$$L(s) = - \left( \frac{\alpha\beta \frac{C_1}{C_2}}{1 + sC_1R_x} \right)^N \quad (2.8)$$

Donde, dependiendo del valor de las variables tendremos las diferentes frecuencias y condiciones de oscilación. Éstas vienen definidas por la siguiente tabla:

Número de fases (N)	Condición del oscilación	Frecuencia de oscilación ( $\omega_0$ )
3	$\alpha\beta C_1 = 2C_2$	$1.732/C_1R_x$
4	$\alpha\beta C_1 = 1.414C_2$	$1/C_1R_x$
5	$\alpha\beta C_1 = 1.237C_2$	$0.728/C_1R_x$
6	$\alpha\beta C_1 = 1.154C_2$	$0.577/C_1R_x$
7	$\alpha\beta C_1 = 1.11C_2$	$0.482/C_1R_x$
8	$\alpha\beta C_1 = 1.082C_2$	$0.414/C_1R_x$
9	$\alpha\beta C_1 = 1.063C_2$	$0.364/C_1R_x$

Y si se simula este circuito se obtendrán los resultados mostrados en la figura 2.25.

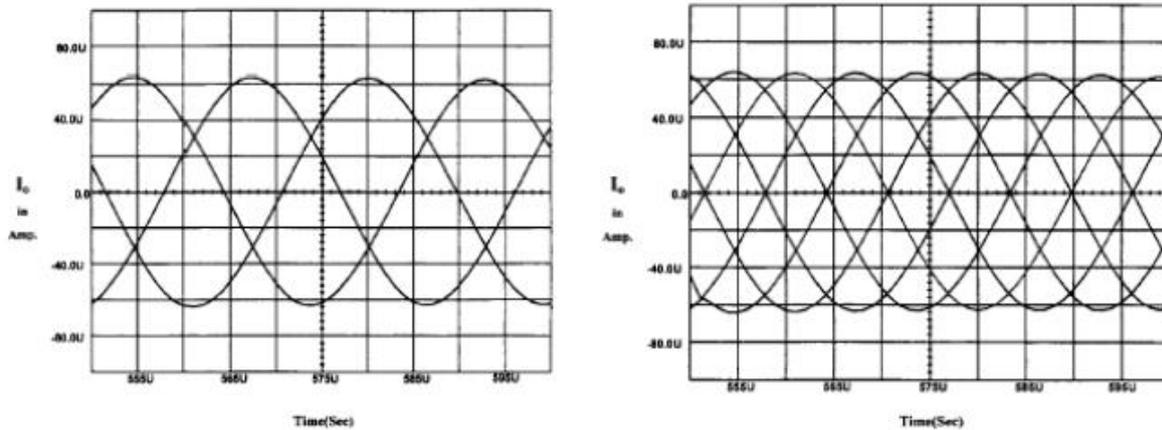


Figura 2.27 Resultados de las simulaciones usando  $C1=41.5\text{ nF}$ ,  $C2=20\text{ nF}$  y  $I_b=50\mu\text{A}$ . En la primera imagen se observa un oscilador de tres fases y en la siguiente una oscilación de seis fases.

Se pueden realizar muchas más estructuras, pero hemos puesto sólo unos ejemplos para no extendernos mucho ya que la idea que se pretendía era demostrar la versatilidad de estos dispositivos.

## 2.8 Conclusiones

Como se ha visto a lo largo de este capítulo los convertidores de corriente son estructuras muy válidas y que hasta ahora no han sido lo suficientemente estudiadas. Su empleo puede simplificar muchos circuitos y nos abre un abanico muy amplio de posibilidades. Se ha podido observar que los diseños que se pueden realizar son varios y de diferentes tipos. Para este proyecto se tratará de utilizar estos convertidores de corriente para realizar una de las partes más importantes de los sistemas de recepción vistos en el capítulo anterior, los amplificadores de bajo ruido.



## Capítulo 3 Características de los LNAs

En el capítulo anterior se ha analizado los convertidores de corriente y se han expuesto diferentes estructuras que se pueden realizar con estos dispositivos. Lo que se pretende realizar en este capítulo es ver en primer lugar diferentes estructuras utilizadas en la actualidad para llevar a cabo los amplificadores de bajo ruido y después se presentará la alternativa propuesta en este proyecto para realizar los amplificadores usando los convertidores de corriente en lugar de las configuraciones tradicionales.

La función principal del LNA es la de amplificar la señal de RF entrante introduciendo el menor ruido posible. Además, al ser la primera etapa de la cadena de recepción, cumple la función de adaptar la señal que viene de la antena. Teniendo esto en cuenta, un LNA se caracteriza por su baja figura de ruido (NF: Noise Figure) y una ganancia lo suficientemente alta para reducir la aportación de la NF en las siguientes etapas de la cadena de recepción. Un LNA también se caracteriza por su alta linealidad, lo cual permite trabajar con señales de entrada de alta frecuencia y con interferencias. Cabe destacar que un LNA debe tener una impedancia de entrada de  $50\text{-}\Omega$  para una correcta adaptación, ya sea directamente con la antena o con algún componente adicional (un filtro de selección de canal o un conmutador entre transmisor y receptor, por ejemplo).

### 3.1 Topologías de LNA

#### 3.1.1 Amplificador en configuración emisor común

La configuración más básica de LNA es la denominada emisor-común, tal y como se ve en la figura 3.1.

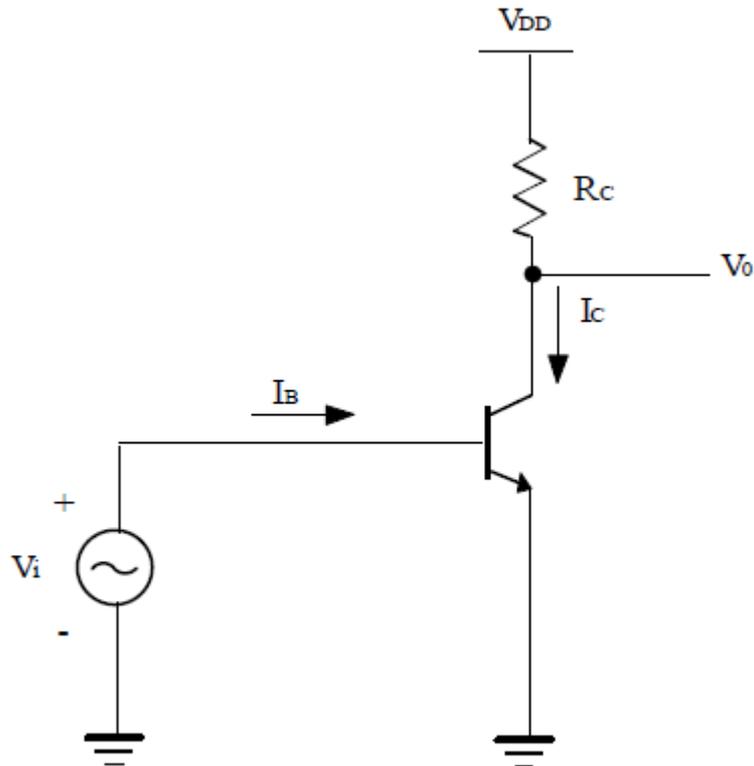


Figura 3.1 Amplificador en configuración emisor común.

Si aplicamos una corriente de polarización  $I_B$ , la ganancia de tensión aproximada de este amplificador está dada por la ecuación (3.1):

$$A_{VS} = \frac{V_o}{V_i} \approx -\frac{R_C}{r'_e} \quad (3.1)$$

Como ya comentamos en anteriores capítulos, la contribución de ruido de un LNA debe ser la menor posible, por lo que el diseño de todos sus componentes y de la etapa de polarización debe seguir una metodología apropiada para minimizarlo [27] [28].

En la figura 3.2 podemos observar nuestro amplificador emisor común con el circuito de polarización comúnmente empleado en RF. En ella se puede apreciar que Q2 e  $I_{BIAS}$  generan la corriente de alimentación del transistor Q1. La resistencia R1 aísla la señal entrante de RF del ruido generado por Q2. Por otro lado, la resistencia

R2 mantiene la misma caída de voltaje que R1, dando por resultado una corriente de base fija y finita en Q1.

Si R1 es suficientemente más grande que RS, el efecto del circuito de polarización puede despreciarse sobre el funcionamiento del LNA. De acuerdo con esta premisa, podemos hacer un estudio del ruido que afecta a nuestro amplificador. Para ello, nos basaremos en el esquema mostrado en las figuras 3.3a y 3.3b.

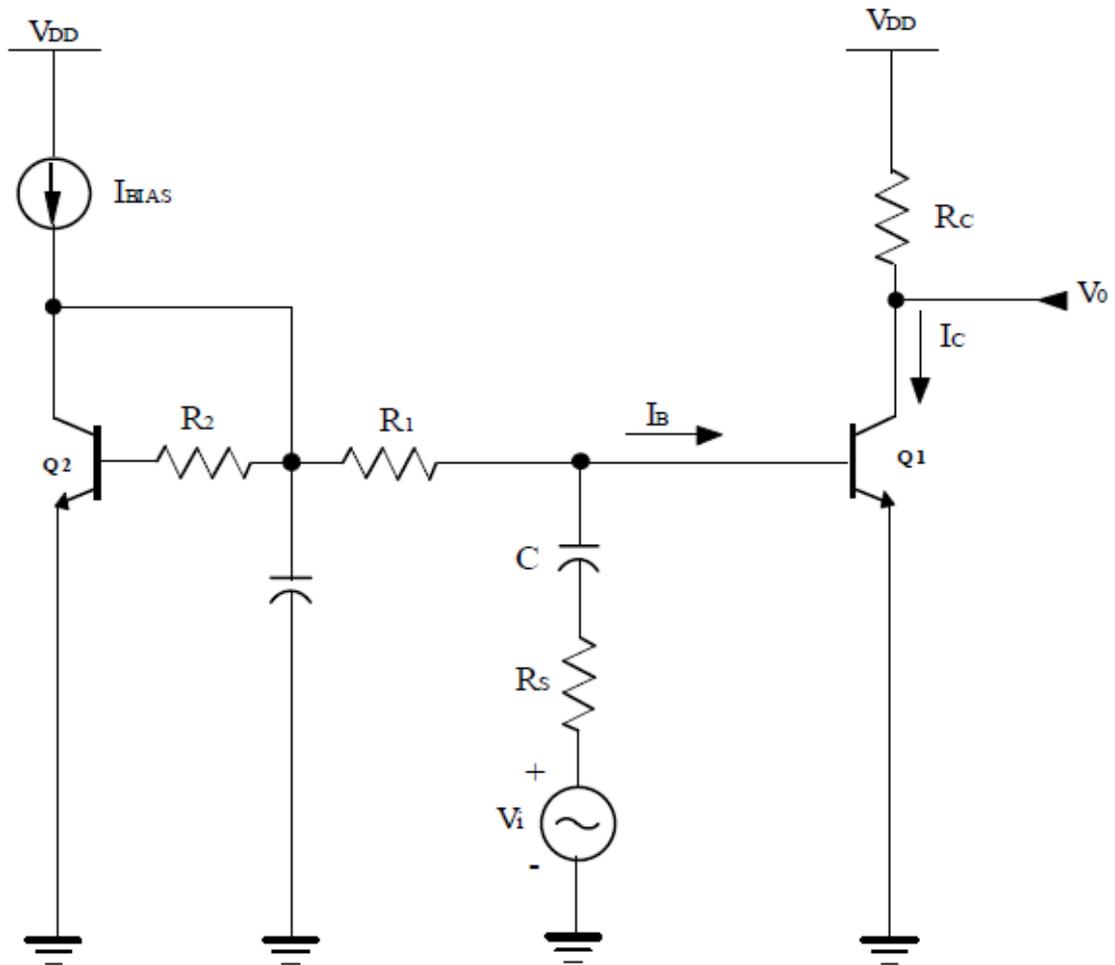


Figura 3.2 LNA en configuración emisor común con circuito de polarización.

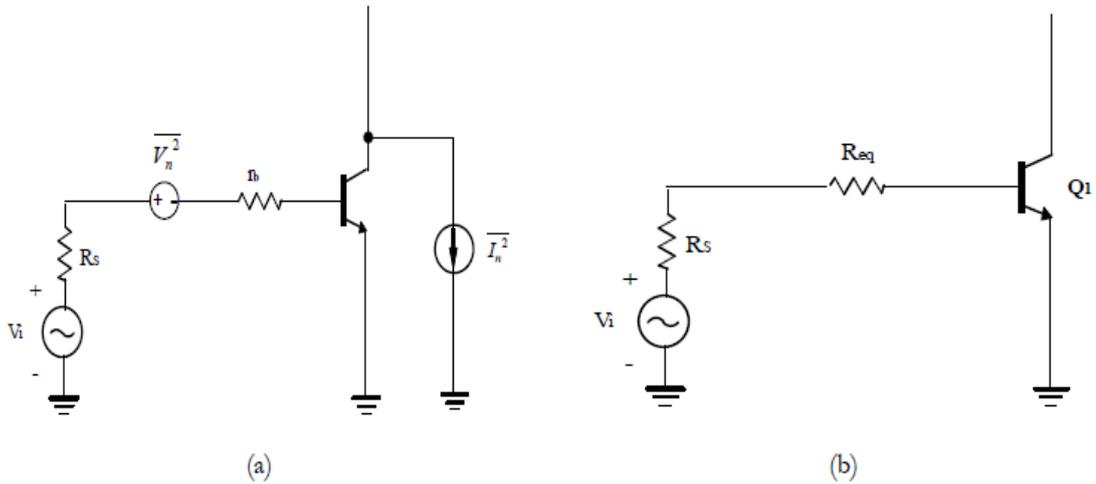


Figura 3.3 a) Modelo exhaustivo del ruido.

b) Modelo equivalente.

Como ya comentamos en anteriores capítulos, la contribución de ruido de un LNA debe ser la menor posible, por lo que el diseño de todos sus componentes y de la etapa de polarización debe seguir una metodología apropiada para minimizarlo.

Se puede apreciar (véase Fig. 3.3b) que el ruido existente en nuestro amplificador lo hemos sustituido por una resistencia serie  $R_{eq}$ , despreciando capacidades parásitas y otras resistencias.

Con esto, podemos ver que la NF del LNA viene dada por la expresión 3.2.

$$NF = 1 + \frac{R_{eq}}{R_s} \quad (3.2)$$

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión  $\overline{V_n^2}$  referida a la entrada como:

$$\overline{V_n^2} = 4KT \left( r_b + \frac{1}{2g_m} \right) \quad (3.3)$$

$$\overline{V_n^2} = 4KT \left( r_b + \frac{1}{2I_C} \right)$$

Donde  $T$  es la temperatura,  $g_m$  es la ganancia de transconductancia del transistor,  $V_T$  es la tensión térmica (25mV para  $T=25^\circ\text{C}$ ) e  $I_C$  la corriente de colector. Observando las ecuaciones 3.2 y 3.3 se comprueba la relación dada por la ecuación 3.4.

$$R_{eq} = r_b + \frac{V_T}{2I_C} \quad (3.4)$$

Se aprecia que para reducir la resistencia equivalente ( $R_{eq}$ ) y por tanto el ruido, el transistor Q1 debe tener un tamaño grande ( $r_b$  pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la  $R_{eq}$ .

Sin embargo, el aumentar el tamaño del transistor para reducir la  $r_b$ , trae una serie de desventajas. La primera viene dada por el aumento de la capacidad de entrada (tanto la  $C_{je}$  como la  $C_{jc}$ ), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por Q1 y RC se haga más patente.

Otra desventaja añadida es debida a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido shot de base (base shot noise).

Debido a estas dos características, la figura de ruido presenta un mínimo para un determinado tamaño de Q1 y una determinada corriente de polarización.

Con objeto de obtener una estimación de la figura de ruido mínima y de para qué condiciones se da esta, el siguiente paso que daremos será añadir a nuestro modelo el ruido shot de base, tal y como muestra la figura 3.4. Con esto mejoraremos la precisión de la ecuación 3.3. De acuerdo con la mencionada figura, obtenemos la expresión 3.5.

$$\bar{I}_n^2 = 4KT \frac{I_C/\beta}{2V_T} \quad (3.5)$$

Para una resistencia de fuente  $R_S$ , el ruido total referido a la entrada incluyendo la contribución de dicha resistencia es el dado por la ecuación 3.6

$$\overline{V_{tot}^2} = 4KT \left( R_S + r_b + \frac{1}{2g_m} + \frac{g_m R_S^2}{2\beta} \right) \quad (3.6)$$

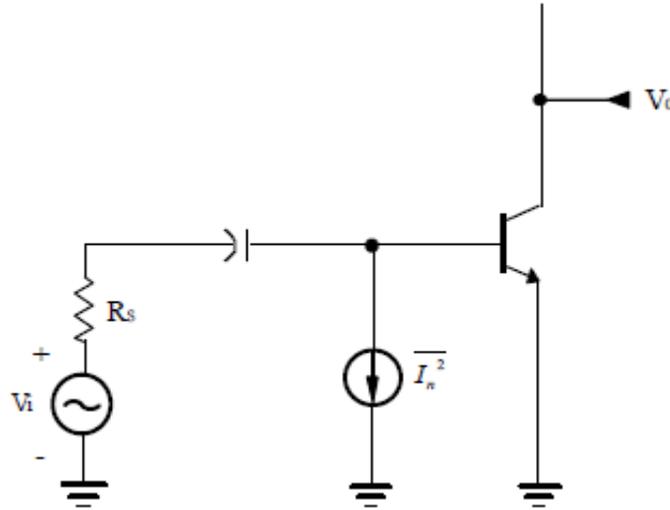


Figura 3.4 Modelo incluyendo el ruido metralla de la base.

donde la correlación entre el ruido shot del colector y el ruido shot de la base ha sido despreciada. La figura de ruido es por tanto igual a la expresión (3.7).

$$NF = \frac{V_{tot}^2}{4kTR_S} = 1 + \frac{r_b}{R_S} + \frac{1}{2g_m R_S} + \frac{g_m R_S}{2\beta} \quad (3.7)$$

Analizando esta expresión, obtenemos que la figura de ruido alcanzará un mínimo para:

$$NF_{min} = 1 + \sqrt{\left( \frac{1 + 2g_m r_b}{\beta} \right)} \quad (3.8)$$

Siendo la  $R_s$  óptima:

$$R_{Sopt} = \sqrt{\frac{\beta(1 + 2g_m r_b)}{g_m}} \quad (3.9)$$

La ecuación 3.9 no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a  $\beta$  el valor dado por la frecuencia de operación, es decir:

$$|\beta| = f_T / f \quad (3.10)$$

La relación obtenida para  $R_{Sopt}$  (ecuación 3.10) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena ( $R_S$ ) a  $R_{Sopt}$ .

### 3.1.2 LNA de dos etapas

En la figura 3.5 se muestra una topología de LNA basada en la anterior, es decir, el emisor común. En este caso está formada por dos etapas, una de ellas con degeneración inductiva. El uso de la bobina  $L_e$  nos permite adaptar la impedancia de entrada a un valor deseado, generalmente  $50 \Omega$ . Por otro lado, nos ayuda en la linealización del circuito, es decir, en obtener un IIP3 mayor.

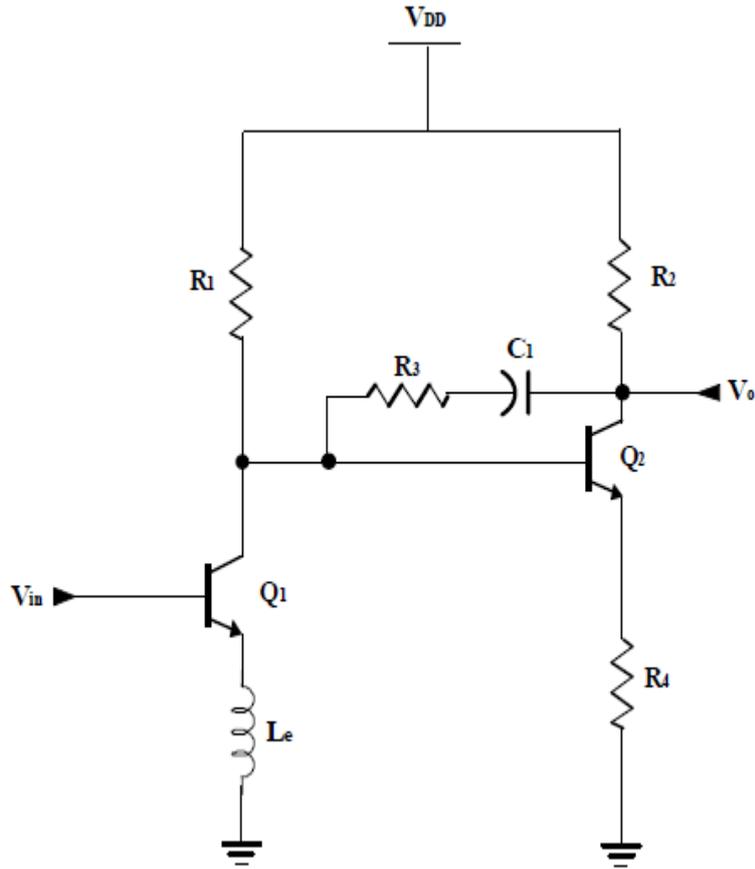


Figura 3.5 LNA de dos etapas.

Podemos escribir la impedancia de entrada del dispositivo tal y como muestra la expresión 3.11.

$$Z_{in} = r_b + \frac{g_m L_e}{C_\pi} + L_e S + \frac{1}{C_\pi S} \quad (3.11)$$

Donde  $C_\pi$  es la capacidad base-emisor. En la ecuación 3.11 hemos despreciado el efecto de  $C_\mu$  (Capacidad de unión de colector) y  $R_\pi$  (Resistencia base-emisor) debido al pequeño valor que presentan.

Observando nuevamente la ecuación 3.11 se comprueba que con un valor determinado de  $r_b$ ,  $g_m$ ,  $L_e$  y  $C_\pi$ , podemos hacer que los dos primeros miembros de la ecuación sean igual a  $50 \Omega$ . Igualmente, podemos hacer que los dos últimos miembros se anulen.

La realimentación en la segunda etapa es utilizada para linealizar el amplificador, así como para obtener una baja impedancia de salida. Sin embargo, esto se consigue introduciendo un alto nivel de ruido. La interacción entre las dos etapas es un ejemplo de un problema común: el nivel apropiado de ganancia de la primera etapa y el ruido y la no linealidad de la segunda. De aquí se deduce que la ganancia introducida por la primera etapa debe ser lo suficientemente grande para minimizar el ruido introducido por la segunda. Sin embargo, podemos empeorar la linealidad del circuito (IIP3), ya que está limitado por la contribución de Q2.

### 3.1.3 LNA con realimentación negativa por transformador

Otra topología empleada en el diseño de LNAs es la que se muestra en la figura 3.6. En ella se puede observar que emplea realimentación negativa con un transformador integrado para linealizar el circuito. Con esta configuración el LNA puede operar con tensiones de alimentación inferiores a VBE.

Como ya hemos comentado, el transformador ayuda a linealizar el circuito, ya sea a altas frecuencias como a bajas, así como a estabilizarlo. Sin embargo, esto lo logra reduciendo la ganancia del amplificador.

La adaptación a la entrada se logra con la red formada por la bobina L1 y el condensador C1.

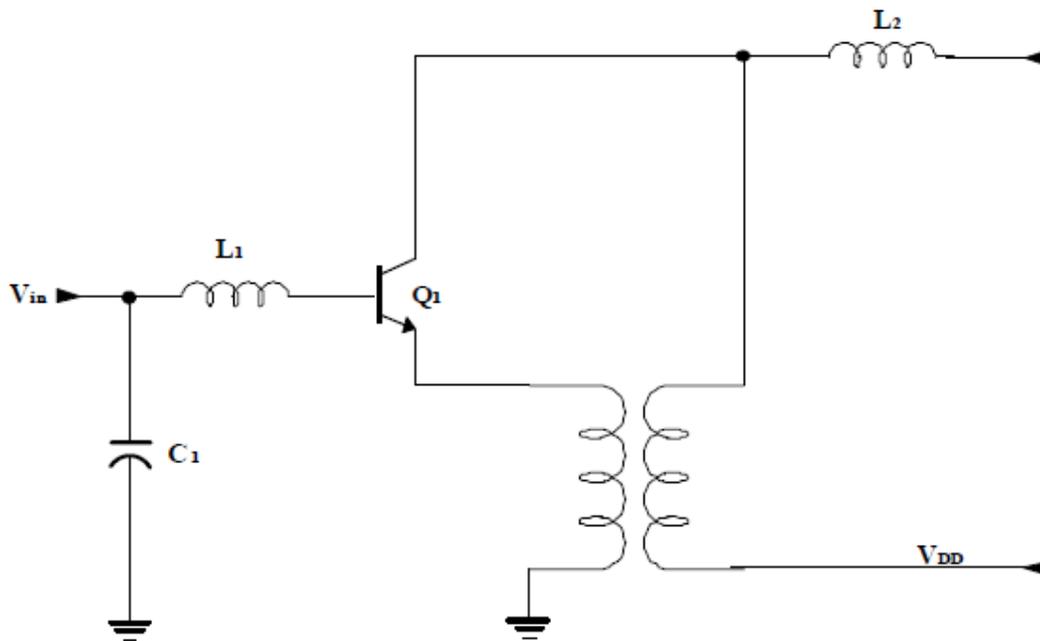


Figura 3.6 LNA con transformador.

### 3.1.4 Configuración en base común

Esta topología la podemos ver en la figura 3.7. Este circuito ofrece tres grandes ventajas con respecto a la configuración en emisor común: sencilla adaptación a la entrada, gran linealidad y elevado aislamiento inverso. Despreciando la resistencia de base y de emisor, podemos escribir la impedancia de entrada como:

$$Z_{in} = \frac{1}{g_m + C_{\pi}S} \quad (3.12)$$

Podemos hacer que la  $Z_{in}$  sea  $50 \Omega$  simplemente con una  $I_C=0.5 \text{ mA}$ . El efecto de  $C_{\pi}$  lo podemos eliminar con un inductor externo.

En esta topología, la resistencia de fuente  $R_S$  linealiza el funcionamiento del circuito. Esto lo logra reduciendo la excursión de corriente en el emisor. Aquí podemos ver que pasa lo contrario a la configuración emisor común. Esto se debe a que en dicho circuito la resistencia  $R_S$  sólo afecta a variaciones de la corriente de base.

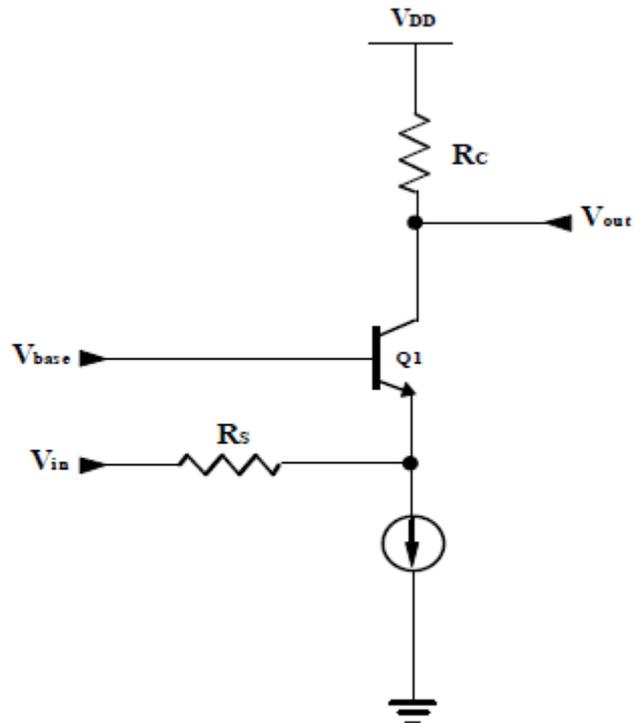


Figura 3.7 Configuración en base común.

Si logramos un nivel de corriente en el base adecuado, podemos obtener un gran aislamiento inverso. Esto se presenta como una opción interesante en sistemas que exijan esta característica, como los receptores homodinos.

A pesar de las ventajas anteriores, el principal problema que exhibe la configuración en base común es la alta figura de ruido que ofrece.

### 3.1.5 LNA cascodo

Basándose en las configuraciones anteriores, existen otras topologías que añaden diversos componentes para mejorar el rendimiento de los amplificadores. Una de estas configuraciones es la denominada "LNA cascodo", tal y como muestra la figura 3.8.

Esta arquitectura está caracterizada por utilizar una configuración cascodo, la cual consiste en añadir un transistor ( $Q_2$ ) en configuración base común que nos permitirá aislar la salida de la entrada del circuito. Esto evitará posibles interacciones

no deseadas. Otro de los beneficios que presenta es el de reducir la capacidad parásita del transistor  $Q_1$ .

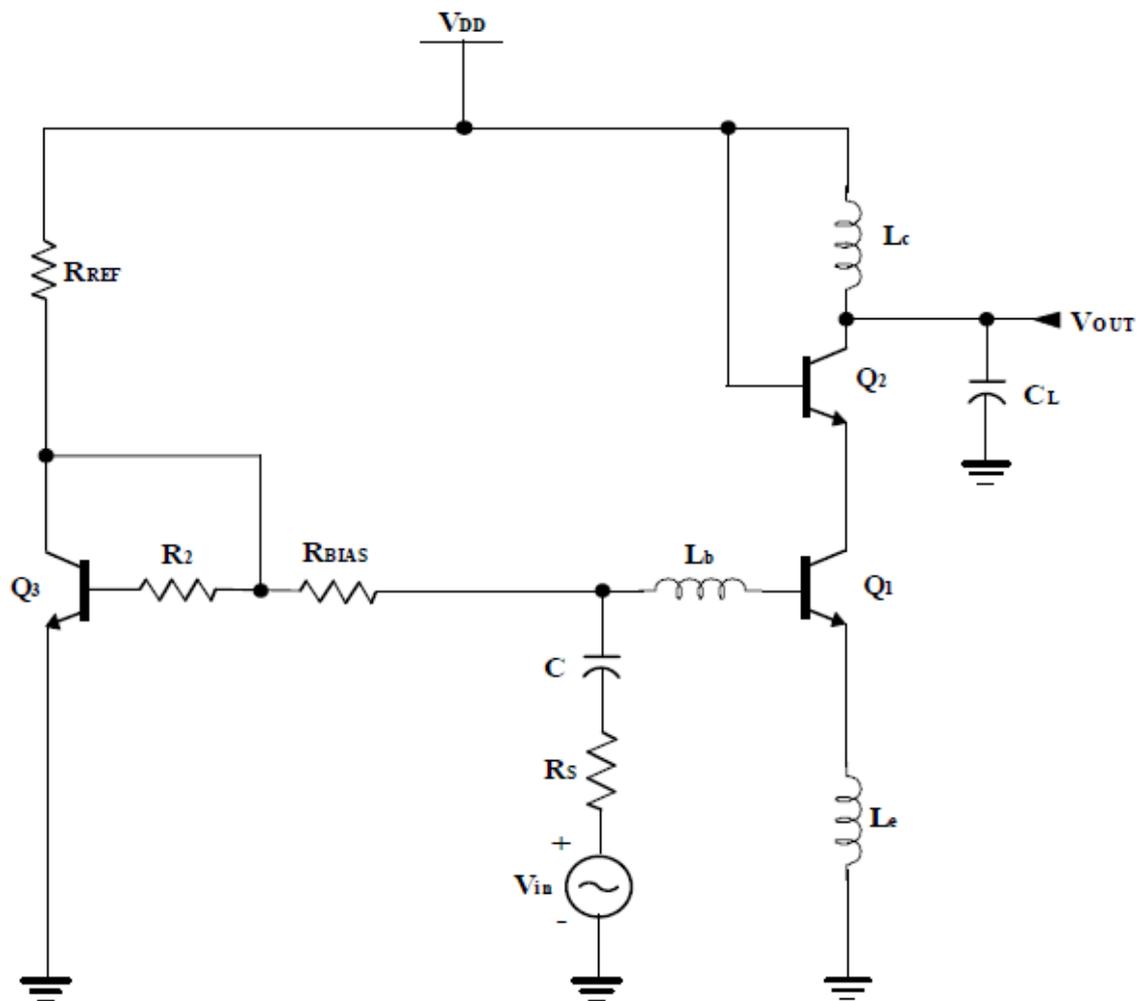


Figura 3.8 LNA Cascodo.

En este circuito, e igual que sucedía con la configuración emisor común, el transistor  $Q_3$  forma una fuente de corriente con  $Q_1$  y tiene una dimensión mucho menor que este último. Con esto logramos reducir el consumo de potencia del circuito. La corriente a través de  $Q_3$  está fijada mediante la resistencia  $R_{REF}$ .

La resistencia  $R_{BIAS}$  debe ser lo suficientemente grande como para no afectar a la figura de ruido del amplificador. En sistemas donde se requiera una  $Z_{in}$  de  $50 \Omega$ , valores de cientos de Ohms a kOhms son los adecuados para  $R_{BIAS}$ .

La bobina  $L_c$  y el condensador  $C_L$  forman parte de la carga y de la red de adaptación a la salida. Por último, la adaptación a la entrada lo logramos con las bobinas  $L_b$  y  $L_e$ .

### 3.2 Amplificador de bajo ruido usando convertidores de corriente

Para la implementación del LNA se han utilizado dos CCCII de transistores BJT conectados de la siguiente manera (figura 3.9). Con ello se consigue una amplificación en tensión como se vio en el capítulo anterior [29].

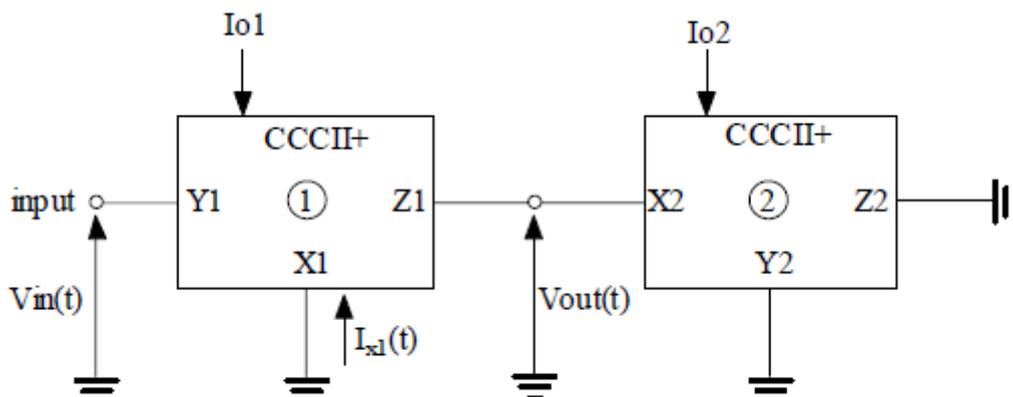


Figura 3.9 Conexión de dos bloques CCCII para que proporcionen una amplificación de tensión.

Con esta conexión de los bloques y teniendo en cuenta las relaciones entre los puertos de los CCCII se tiene que [30]:

$$I_{x1}(t) = -\frac{V_{IN}(t)}{R_{x1}}$$

$$V_{out}(t) = -R_{x2}I_{x1}(t) = \frac{R_{x2}}{R_{x1}}V_{IN}(t) \quad (3.13)$$

La ganancia del circuito quedará en función de la resistencia de salida de ambos bloques y, por tanto, de las corrientes de polarización  $I_{o1}$  e  $I_{o2}$ .

$$G_V = \frac{V_{out}(t)}{V_{in}(t)} = \frac{I_{o1}}{I_{o2}} \quad (3.14)$$

El esquema base del CCCII de clase A usado para realizar el amplificador es el siguiente (figura 3.10):

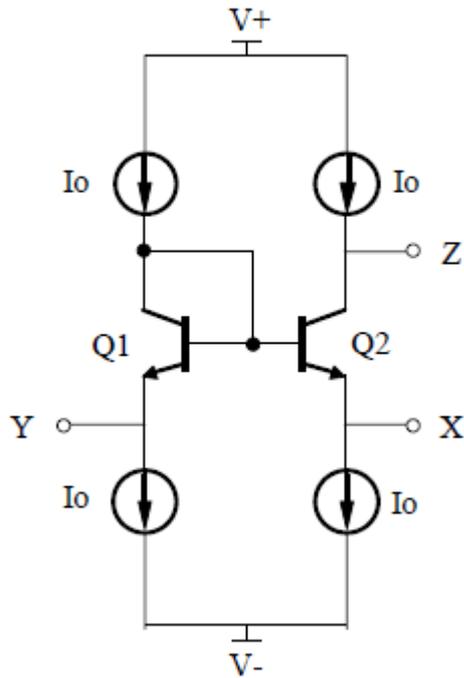


Figura 3.10 Esquema base del CCCII de clase A.

Si unimos los convertidores de corriente como se muestran en la figura 3.9 se obtienen el esquema de la figura 3.11.

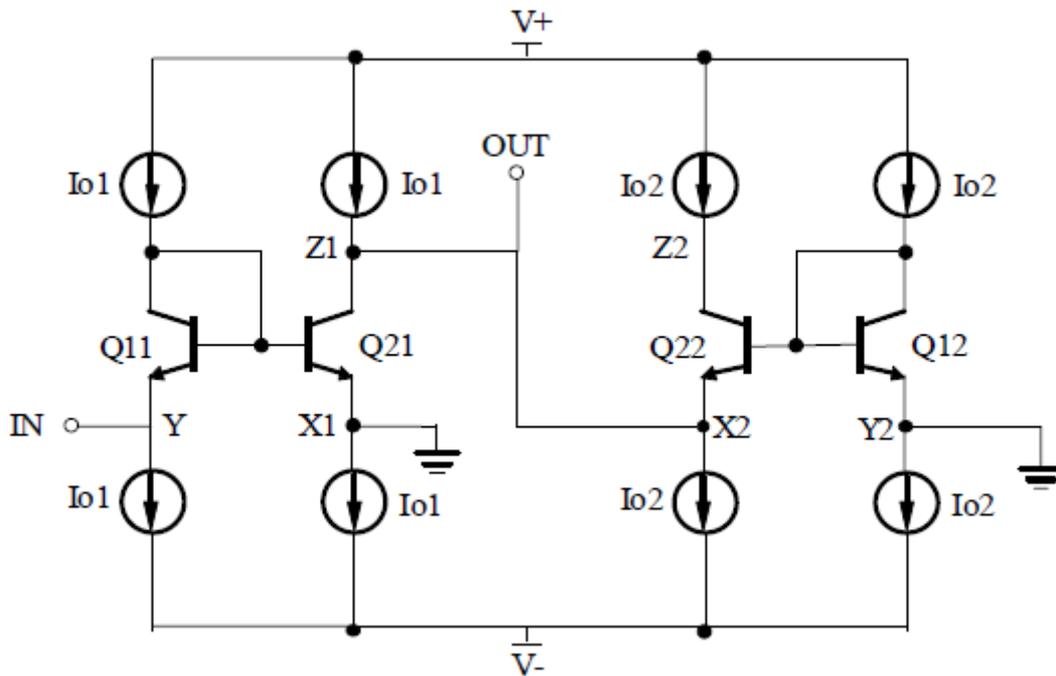


Figura 3.11 Topología de un amplificador de tensión usando dos bloques de convertidores de corriente clase A.

Algunos de los componentes del esquema de la figura 3.11 se pueden eliminar sin que esto suponga una disminución de las prestaciones del circuito. Por ejemplo, la impedancia de entrada se puede disminuir suprimiendo el transistor Q11 y sus fuentes asociadas. De esta forma se consigue una mejor adaptación de entrada. El esquema del LNA final se compone de sólo tres transistores bipolares, dos fuentes de corriente para las dos corrientes de polarización  $I_{o1}$  e  $I_{o2}$ , y 4 espejos de corriente que hacen que se cumplan las relaciones entre los puertos de los CCCII [31].

El esquema del LNA realizado con convertidores de corriente lo podemos observar en la figura 3.12.

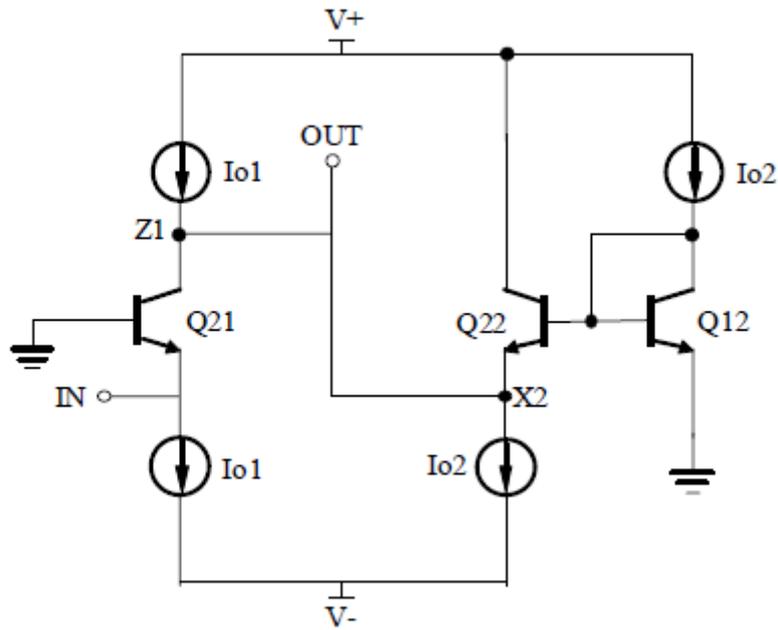


Figura 3.12 Esquema del LNA con las fuentes de corriente ideales.

Una vez vista la estructura de un amplificador de bajo ruido realizado con convertidores de corriente pasamos a sustituir las fuentes de corriente ideales por fuentes reales basadas en espejos de corriente. El esquema del LNA quedará como se ve reflejado en la figura 3.13.

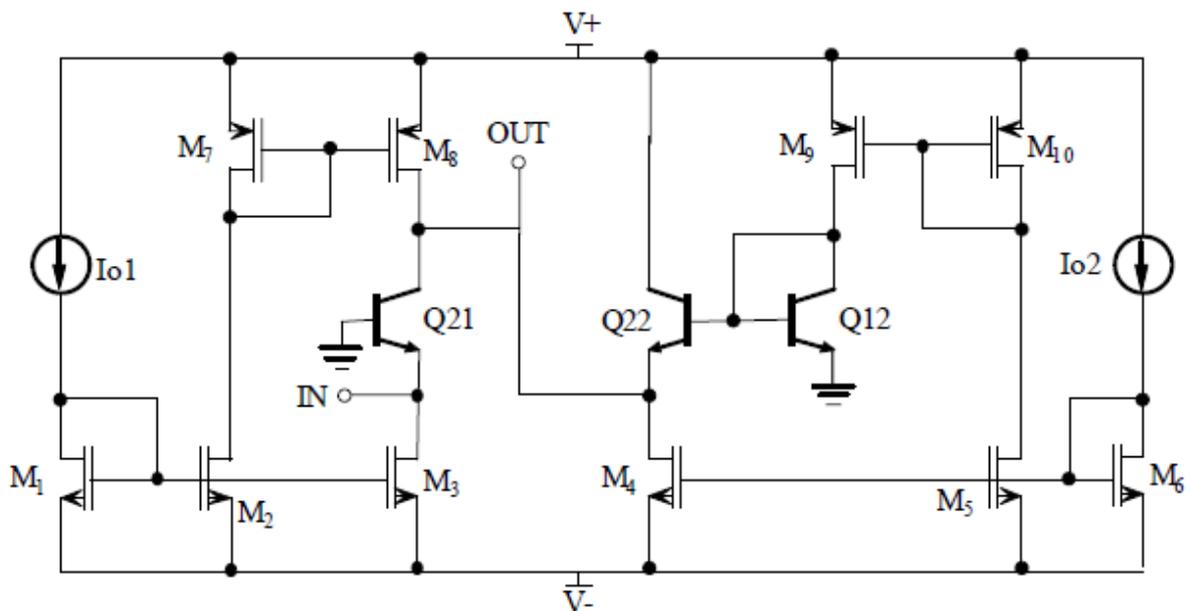


Figura 3.13 Esquema del LNA con las fuentes de corriente reales.

El circuito equivalente del LNA en pequeña señal se muestra en la figura 3.14, donde  $C_T$  representa la capacidad total resultante de la conexión en paralelo de  $C_{SUB21}$ ,  $C_{DS9}$  y  $C_{DS4}$  de  $Q_{21}$ ,  $M_9$  y  $M_4$  respectivamente.

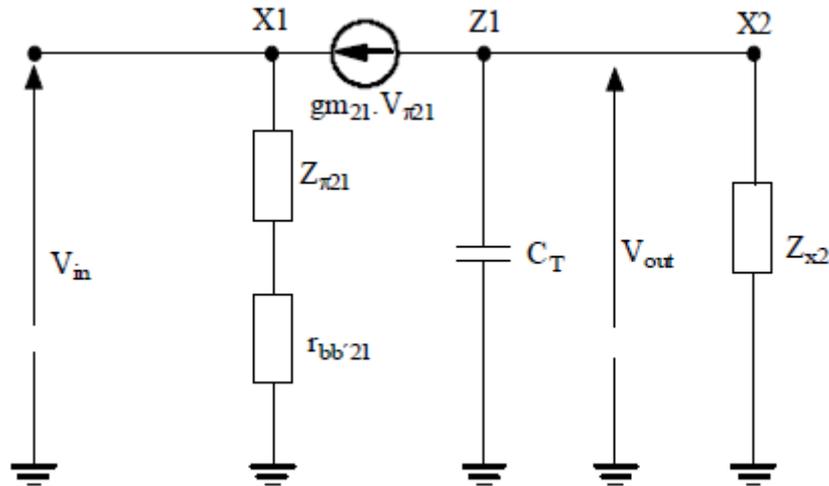


Figura 3.14 Esquema equivalente en pequeña señal del LNA.

La impedancia de entrada del amplificador vendrá dada por la combinación en serie de  $Z_{\pi 21}$  y  $R_{bb'21}$ . Asumiendo que las resistencias de base de  $Q_{22}$  y  $Q_{12}$  son lo suficientemente bajas como para no mostrar elementos inductivos, la expresión para la ganancia (3.15) queda de la siguiente manera:

$$G(S) = \frac{V_{OUT}}{V_{IN}}(S) = \frac{gm_{21}}{gm_{22} + (C_T + 2C_{\pi 22} + C_{sub21})S} \quad (3.15)$$

donde  $gm_{21}$  y  $gm_{22}$  son las transconductancias de  $Q_{21}$  y  $Q_{22}$ .

### 3.3 Conclusiones

Este capítulo ha servido para realizar un estudio de las diferentes estructuras de LNA más comunes. Además, se ha presentado el LNA realizado con convertidores de corriente con el que se pretende trabajar.

En el siguiente capítulo veremos las características de las tecnologías empleadas para nuestro trabajo.



# Capítulo 4 Estudio de la tecnología GaN y UMC

## 65 nm

Para comprender por qué se eligió la tecnología GaN, este apartado se explica los detalles de ella. El GaN es un compuesto del tipo III-V. De hecho, el Galio (Ga) y el Nitrógeno (N) pertenecen a los grupos III y V de la Tabla Periódica. En ese material los átomos de Ga y N pueden acomodarse de modo que formen una estructura cristalina. Para facilitar la visualización dicha estructura se muestra la figura 4.1. Las esferas mayores y en color azul representan a los átomos de Ga, los cuales tienen mayor radio atómico, mientras que las menores son el N.

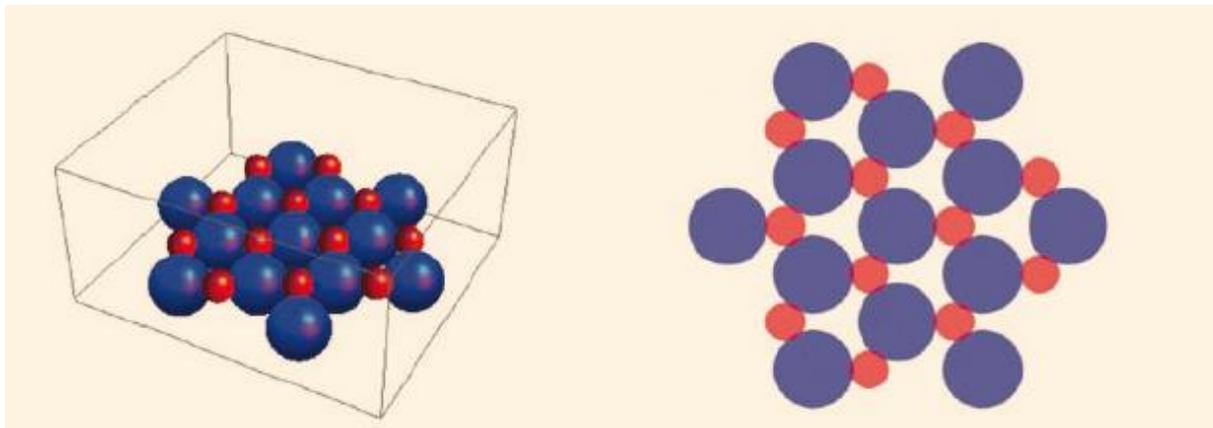


Figura 4.1 Estructura wurtzita del GaN.

### 4.1 Tecnología D01GH de OMMIC

OMMIC es una empresa proveedora de circuitos MMIC, que ofrece servicios de fundición y obleas epitaxiales basadas en materiales III-V (GaAs, GaN e InP) para aplicaciones de telecomunicaciones, espacio y defensa. Las instalaciones de diseño y fabricación de OMMIC están ubicadas cerca de París, Francia.

Entre las tecnologías que OMMIC pone a disposición de sus clientes se incluyen PHEMTs (Pseudomorphic High-Electron-Mobility Transistor) de bajo ruido y

potencia, MHEMTs metamórficos para muy bajo ruido e InP DHBT (Double Heterojunction Bipolar Transistor). Todas estas posibilidades permiten el diseño de una amplia gama de MMICs, incluyendo LNAs de 900 MHz a 160 GHz, funciones de transmisión y recepción altamente integradas y amplificadores de potencia para bandas milimétricas. De todas las opciones disponibles en OMMIC para diseñar MMICs, en este caso se ha optado por emplear el proceso D01GH:

- D: Transistores de deplexión.
- 01: Longitud de puerta de 0.10  $\mu\text{m}$ .
- GH: HEMTs fabricados en una capa GaN.

Como se puede observar en la Figura 4.2, existen tantos procesos bien establecidos, disponibles para la producción de grandes cantidades de diseños, y otros en que la tecnología aún está en una fase más temprana e inmadura, disponibles para producir pequeñas cantidades o desarrollos internos.

El proceso D01GH se encuentra actualmente entre ambos extremos y está basado en tecnología GaN sobre Silicio, con longitudes de puerta de los transistores de 0.1  $\mu\text{m}$ . El GaN cuenta con prestaciones muy interesantes en cuanto a las capacidades de potencia y energía comparado con las opciones basadas en GaAs. Mediante este proceso se consiguen densidades de potencia de 3300 mW/mm frente a los 640 mW/mm del GaAs, o tensiones de drenador máximas de 25 V. La figura de ruido medida a 40 GHz es de 1.5 dB, peor que en el resto de las opciones, pero es aquí donde encaja este trabajo, en intentar aprovechar las cualidades de potencia del GaN y tratar de conseguir, a la vez, la menor figura de ruido posible en la banda de funcionamiento.

Para ello, durante la simulación del diseño se empleó una librería que modelaba el comportamiento cada elemento disponible en el proceso y mediante la cual se generó el layout (dibujo final a fabricar por la fundición).

Process	ED02AH	D01PH	D01MH	D007IH	D004IH	D01GH	D006GH
Technology	GaAs p-Hemt	GaAs p-Hemt	GaAs m-Hemt	GaAs m-Hemt	GaAs m-Hemt	GaN / Si	GaN / SiC
Status	Production	Production	Production	Production	Development	Released	Development
Space Grade	Space Qualified	Space Qualified	In 2015	In 2017	—	—	—
Gate Length (um)	0,18	0,13	0,13	0,07	0,04	0,1	0,06
Wafer size (inches)	3	3	3	3	3	3	3
Thickness (um)	100	100	100	100/70	100/70	100	100
Gate write	E-beam	E-beam	E-beam	E-beam	E-beam	E-beam	E-beam
Ft (GHz)	60	100	150	300	400	110	170
Fmax (GHz)	110	180	250	450	600	160	250
Vbgd (V)	8	12	8	4	4	30	25
Vds max(V)	7	10	6	3	3	25	20
Idss(mA/mm)	250(on)/140(off)	500	300	200	200	700	800
Idss max(mA/mm)	400(on)/180(off)	700	500	400	400	1100	1200
MIM Capacitors (pF/mm <sup>2</sup> )	49 and 400	400	400	400	400	400	400
NF (dB)	0,8 (18GHz)	1,1 (30GHz)	0,8 (30GHz)	0,5 (30GHz)	0,4 (30GHz)	1,5 (40GHz)	1 (50GHz)
Power density (mW/mm)	330	640	300	NA	NA	3300	1000
gm (mS/mm)	450	650	700	1600	2000	650	700

Figura 4.2 Procesos de fabricación de OMMIC

La librería de OMMIC para el proceso D01GH contiene la mayoría de los elementos necesarios para simular adecuadamente los diseños que vayan a ser fabricados empleando esta tecnología. Esta librería no solo se emplea en la etapa de simulación, sino que más adelante permite elaborar el layout del diseño que fabricará OMMIC. A continuación, se detallarán los modelos del sustrato y de los elementos activos y pasivos que se encuentran en la librería, así como algunos aspectos relacionados con su fabricación.

#### 4.1.1 Substrato

La librería cuenta con un modelo del sustrato sobre el que se construye todo el circuito. Este modelo cuenta con numerosos parámetros, como tensiones de ruptura o resistencias entre capas, cada uno de ellos definidos por un valor nominal. En condiciones ideales, si la oblea se fabrica correctamente, el sustrato resultante tiene las mismas características que el modelo con sus valores nominales. Las salas limpias donde se fabrican las obleas mantienen de manera estricta las condiciones ambientales, como la humedad o la temperatura. Gracias a esto, las obleas fabricadas suelen presentar siempre características muy similares. Pese a ello, es posible que se produzca algún desajuste durante la fabricación, por lo que además de incluir los valores nominales, la librería añade una cierta dispersión a cada parámetro, en forma de variable aleatoria siguiendo una distribución de tipo gaussiana. Gracias a esto, es

posible realizar simulaciones del *yield* o fiabilidad de fabricación, que permiten conocer cómo responde el diseño a las variaciones producidas en el sustrato.

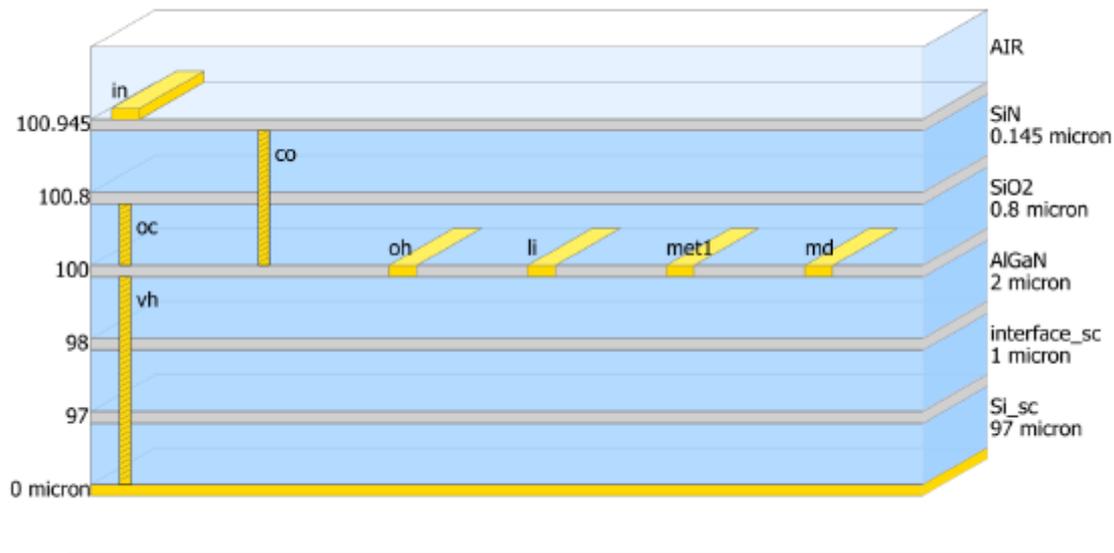


Figura 4.3 Capas del sustrato

En la Figura 4.3 aparece representada la estructura de capas del modelo del sustrato. En azul se pueden observar las diferentes capas que existen, cada una de un determinado espesor. La capa inferior está compuesta por silicio y con casi 100 m es la capa de mayor espesor del sustrato. A continuación, se deposita una capa de nitruro de galio mezclado con aluminio (AlGaIn), una de óxido de silicio (SiO<sub>2</sub>) y una capa final de nitruro de silicio (SiN). En amarillo se muestran las máscaras y las vías (CO y OC), los contactos a tierra (vh) y las pistas metálicas que se pueden emplear para diseñar líneas de transmisión. En este diseño, las metalizaciones que se han empleado son IN+TiN, ubicada sobre la capa SiN y MET1, sobre AlGaIn. En la medida de lo posible, se evitará emplear MET1, ya que tiene más pérdidas que IN+TiN.

Todos los elementos activos y pasivos del diseño se fabrican también en forma de capas, como aparece en la Figura 4.4. En ella, de izquierda a derecha, se pueden observar:

- Un *pad* de *bonding* para conectar al MMIC con el exterior, típicamente mediante un hilo de oro.
- Un transistor, formado por su puerta, fuente y drenador. En la sección de activos (4.1.1.1) se comentarán los modelos que tiene la librería.

- Dos resistencias elaboradas mediante diferentes capas del sustrato. En la sección posterior de pasivos (4.1.1.2) se detallarán ambos tipos.
- Un cruce de una línea de transmisión con una cavidad llena de aire debajo (air-bridge). No se ha empleado en el diseño, pero está presente en las conexiones de las fuentes de los transistores.
- Una línea de transmisión formada por metalización IN+TiN.
- Dos condensadores MIM (Metal-Insulator-Metal) que, al igual que las resistencias, están elaborados a partir de diferentes capas. De nuevo, en la sección de pasivos (4.1.1.2) se detallarán ambos.
- Por último, un contacto a tierra.

Sobre estos elementos activos y pasivos se profundizará a continuación.

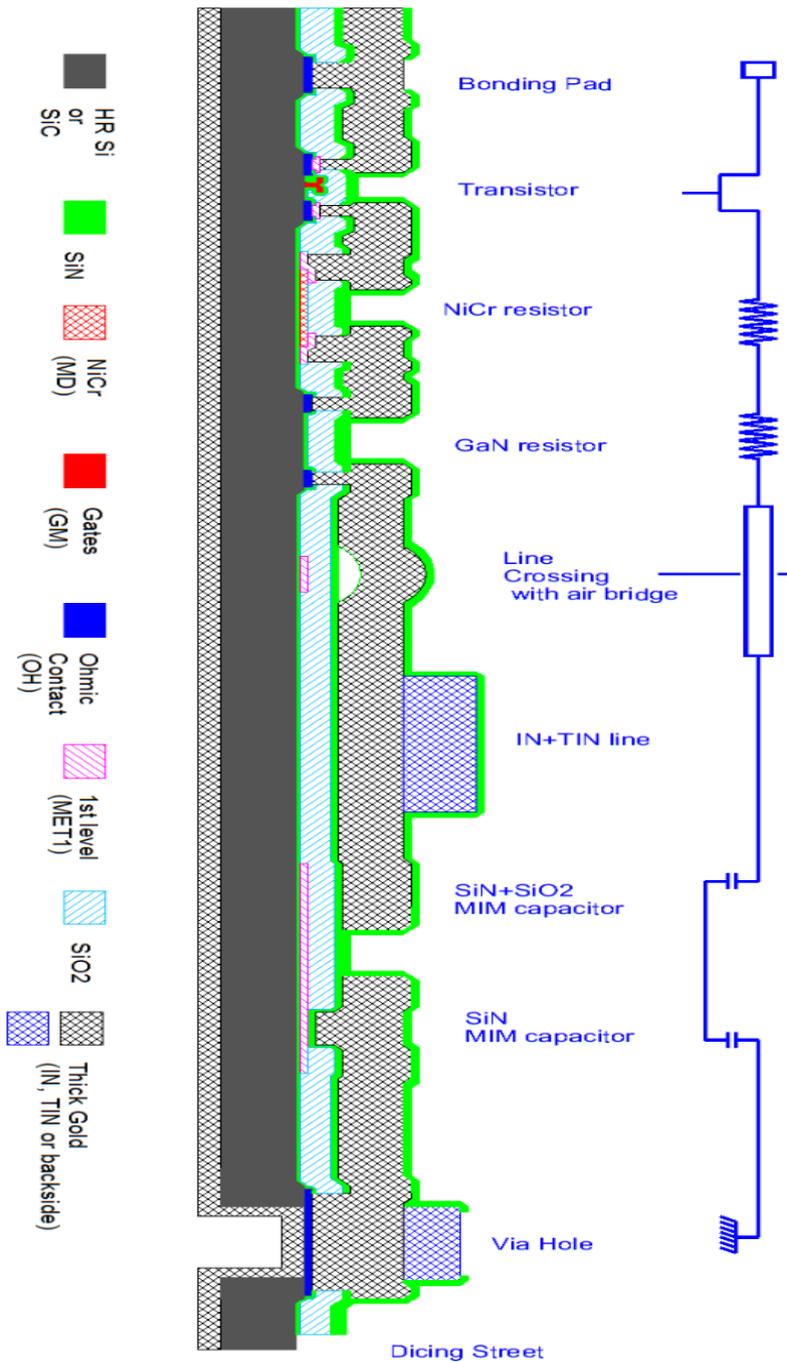


Figura 4.4 Sección del sustrato.

#### 4.1.2 Componentes activos: transistores

La librería cuenta con dos tipos de transistores: uno pensado para diseñar amplificadores y otro para ser empleado en la zona óhmica o lineal, ideales para el diseño interruptores o switches.

Los transistores que se usan para diseñar amplificadores se encuentran optimizados en términos de potencia, transconductancia y figura de ruido mínima.

Esto se consigue desviando un poco la puerta y acercándola a la fuente (como en el transistor de la Figura 4.4), aumentando así la tensión de ruptura drenador-fuente y reduciendo la resistencia de fuente.

En los switches se requieren transistores más simétricos, con tensiones de ruptura puerta-drenador y puerta-fuente idénticas. Por ello, estos transistores presentan una puerta más centrada que los anteriores. Como en los switches no hay corriente continua, se puede disminuir la distancia entre puertas, lo que reduce las capacidades parásitas cuando se encuentran en corte.

Para aumentar la corriente continua y la potencia de salida de los transistores, se debe aumentar la anchura total de la puerta ( $W$  en la Figura 4.5). Pero en ese caso, como la resistencia de la puerta depende de su anchura, será alta. Para valores de anchura elevados, la ganancia máxima disponible disminuirá y el ruido aumentará. El uso de varias puertas en paralelo evita estos efectos, ya que cada puerta presenta una resistencia menor. Un layout de un transistor con una única puerta aparece a la izquierda de la Figura 4.5 y a la derecha se puede encontrar la solución con dos puertas. Por su forma, las puertas de estos transistores se suelen denominar dedos o fingers en inglés.

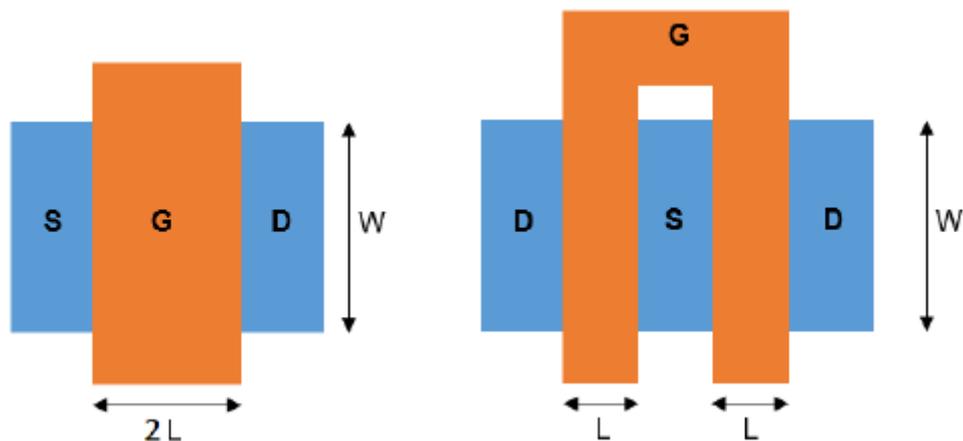


Figura 4.5 Transistor single finger (izda.) y multiple finger

De los dos modelos disponibles, el que se ha empleado en el diseño es el que está pensado para diseñar amplificadores. Se trata de un modelo de gran señal que describe el comportamiento no lineal del transistor cuando se somete a señales de gran magnitud. Cuenta con información electrotrémica obtenida a partir de mediciones

de parámetros de Scattering y de load pull de diversos transistores fabricados con diferentes tamaños de puerta.

Antes de comenzar el diseño del esquemático, es importante hacer la elección adecuada de los transistores de los que se hará uso, ya que será la base del proyecto entero. En las librerías de OMMIC se podrán encontrar cuatro modelos de transistores, como los de la Figura 4.6 y figura 4.7

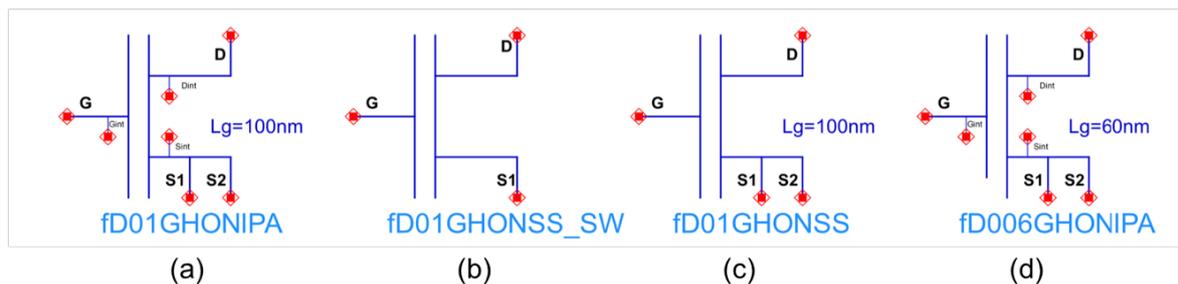


Figura 4.6 Modelo de transistor ofrecidos por OMMIC

Elements	Brief description	Linear	Non linear	Noise	Transient
FD01GHONSS_SW	P-HEMT in U , 1 gate access, 100nm gate length small signal transistor for switch application extract @Vds=0V only	Yes	No (but with GS and GD breakdown voltages)	Yes	No
FD01GHONLPA	P-HEMT in U (L S), 2 source accesses, 100nm gate length non-linear transistor for power application, low noise application...	Yes	Yes	No	Yes
FD01GHONSS	P-HEMT in U , 2 source accesses, 100nm gate length small signal transistor including noise model for power application, low noise application	Yes	No	Yes	No
FD006GHONLPA	P-HEMT in U (L S), 2 source accesses, 60nm gate length non-linear transistor for power application, low noise application...	Yes	Yes	No	Yes

Figura 4.7 Descripción de los transistores proporcionada por OMMIC.

Las descripciones oficiales proporcionadas por OMMIC sobre cada uno de los modelos son las siguientes:

- FD01GHONLPA: Modelo de gran señal del D01GH. Longitud de Puerta de 0.1  $\mu\text{m}$  GaN HEMT. El surtidor tiene dos conexiones.
- FD01GHONSS\_SW: Modelo en pequeña señal del modelo D01GH, con longitud de Puerta de 0.1  $\mu\text{m}$ , GaN HEMT. El surtidor tiene una conexión.
- FD01GHONSS: Modelo en pequeña señal del modelo D01GH, con longitud de Puerta de 0.1  $\mu\text{m}$ , GaN HEMT. El surtidor tiene una conexión. Incluye modelo de ruido.
- FD006GHONLPA: Modelo de gran señal del D006GH. Longitud de Puerta de 0.1  $\mu\text{m}$  GaN HEMT. El surtidor tiene dos conexiones.

No se utilizará el FD01GHONSS\_SW porque es para diseño de circuitos conmutados. Tampoco se usará el FD006GHONLPA debido que su el nivel de madurez o *Technology Readiness Level* (TRL) [32] de éste ronda el nivel 1-2, mientras que para las demás opciones rondan el 3-4. Por lo que, en el presente TFG se trabajará con el transistor FD01GHONLPA, ya que posee tanto el modelo en gran señal como en pequeña señal y para la simulación del ruido se utilizará el FD01GHONSS.

### 4.1.3 Componentes pasivos

Para concluir con los modelos disponibles en la librería, queda mencionar los condensadores, las resistencias, las bobinas y las líneas de transmisión.

En cuanto a los condensadores, la librería ofrece dos posibilidades, siendo ambos condensadores del tipo MIM, como ya se ha visto en la Figura 4.4:

- Condensadores de alta densidad (mediante dieléctrico SiN).
- Condensadores de baja densidad (mediante dieléctrico SiN+SiO<sub>2</sub>).

Los condensadores SiN se fabrican empleando la capa SiN de 145 nm que se encuentra entre las metalizaciones IN y MET1, eliminando mediante la máscara CO la capa SiO<sub>2</sub> inferior. Los condensadores SiN+SiO<sub>2</sub> sí que cuentan con esta capa SiO<sub>2</sub> inferior. En la Figura 4.6 pueden observarse ambos modelos en un *layout*. Como se ve en los extremos izquierdo y derecho de cada condensador, ambos se conectan al resto del circuito de una manera similar, mediante metalización IN por un lado y con metalización MET1 por el otro. El modelo permite cambiar las anchuras de estas interconexiones, así como la anchura del área del condensador, pero lo más recomendable es mantener una forma cuadrada.

La elección entre uno y otro tipo dependerá del valor de capacidad necesario. El condensador SiN abarca valores entre 0.06 pF y 50 pF y el condensador SiN+SiO<sub>2</sub> entre 1fF y 1 pF. Dependiendo de la necesidad se empleará uno u otro, pero para valores comprendidos entre 0.06 pF y 1 pF, es recomendable emplear el condensador SiN, ya que presenta un mejor comportamiento.

Con las resistencias pasa algo similar, ya que existen dos opciones (Figura 4.6):

- Resistencias de valor medio (mediante níquel-cromo (NiCr)).
- Resistencias de valor alto (mediante GaN).

Cuando se necesita una resistencia de bajo valor, de gran precisión y que su valor sea poco dependiente de la temperatura, se emplea NiCr. Este metal se deposita encima de la capa SiN. Si, en cambio, se requieren valores más altos, sin importar demasiado su precisión, lo mejor es optar por las resistencias de GaN.

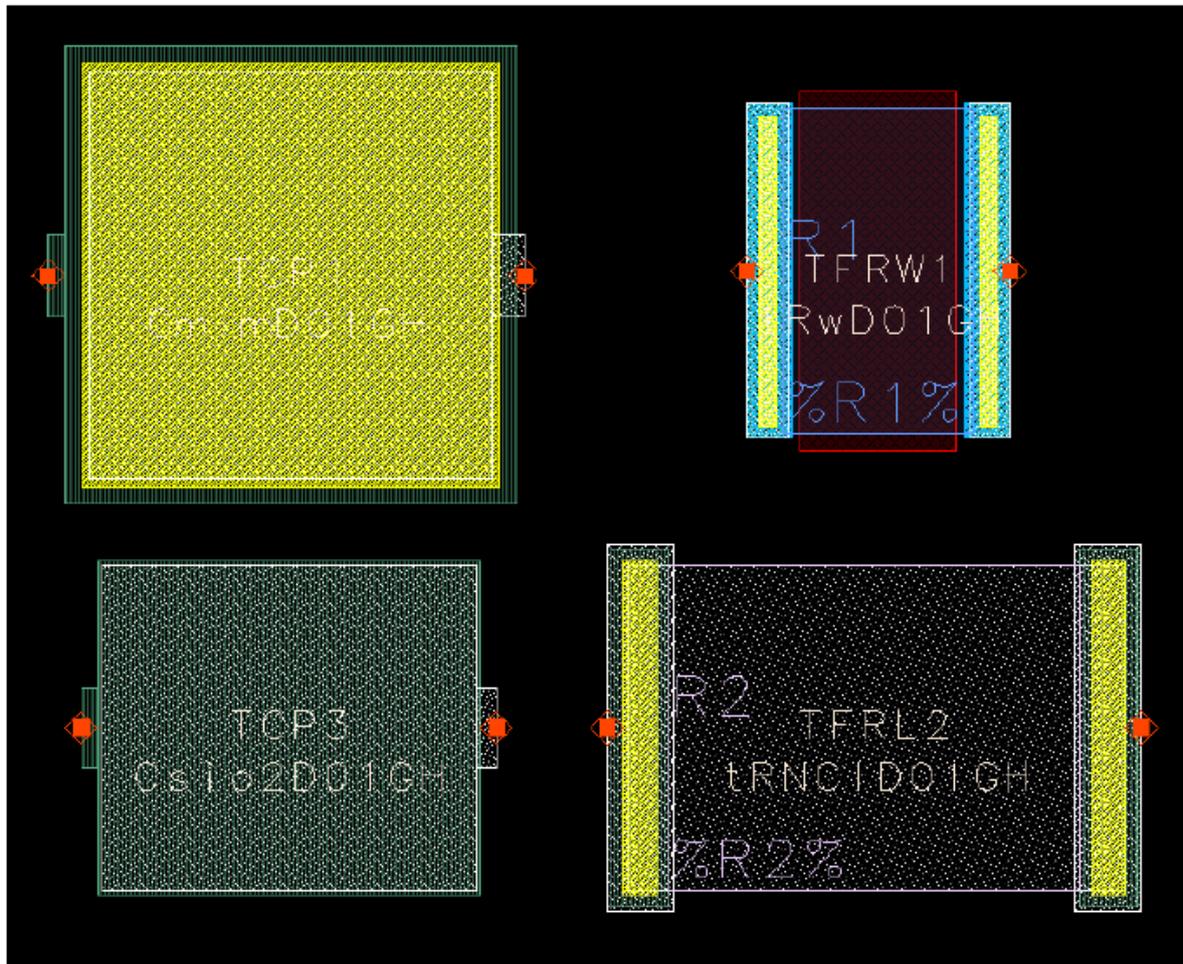


Figura 4.8 Condensadores SiN (arriba izda.), condensador SiN+SiO2 (abajo izda.), resistencia GaN (arriba dcha.) y resistencia NiCr (abajo dcha.)

Las resistencias se definen físicamente por dos parámetros: la distancia entre los extremos de interconexión ( $L$ ) y el ancho de la capa resistiva ( $W$ ). Los modelos permiten variar uno de estos dos parámetros para ajustar un poco la forma de la resistencia, pero el valor de impedancia es el que determina fundamentalmente su tamaño.

Las inductancias se fabrican mediante la metalización IN y tienen forma de espiral. La línea de retorno usa metalización MET1 y se encuentra aislada de la propia inducción mediante la capa SiN+SiO<sub>2</sub>. El modelo permite modificar la anchura de las líneas que forman parte de la espiral, así como el espacio que hay entre ellas (entre 5 y 15  $\mu\text{m}$ ). La orientación de la línea de retorno puede girarse con pasos de 90° para conseguir posicionar mejor la inducción en el *layout*. En la Figura 4.7 aparece una inducción a la izquierda y a la derecha una estructura elaborada mediante líneas de transmisión.

Esta estructura tiene una tonalidad diferente porque se ha elaborado mediante metalización TIN. Esta metalización se añade sobre IN para reducir la resistividad y se suele emplear en aplicaciones de potencia para reducir las pérdidas o también para disminuir el ruido. Las líneas que forman parte de la inductancia también pueden usar esta metalización. En cuanto a la estructura, hay varios elementos que permiten conectar y cambiar la dirección de las líneas:

- Tee: Se trata de una metalización con forma de 'T', que permite conectar tres líneas, de cualquier anchura, en un mismo punto. La librería también cuenta con cruces (crosses) para conectar cuatro en vez de tres, pero aquí no se muestran.
- Bend: Permite cambiar la dirección de la línea en 90° y hay de dos tipos, normales (arriba a la izquierda) y con chaflán (arriba a la derecha). Los segundos eliminan gran parte de las capacidades parásitas que suelen presentar estos elementos, por lo que se usan a menudo.
- Taper: Estos elementos se emplean como transición entre líneas de diferente anchura y por tanto, de diferente impedancia. Son útiles para suavizar el salto de impedancia y mejorar la adaptación.

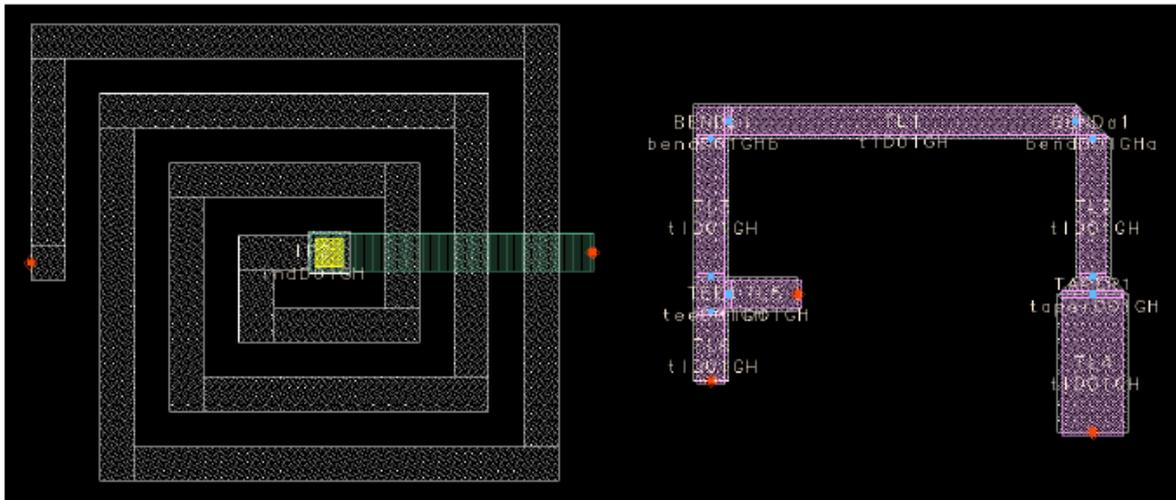


Figura 4.9 Inductancia (izda.) y líneas de transmisión (dcha.)

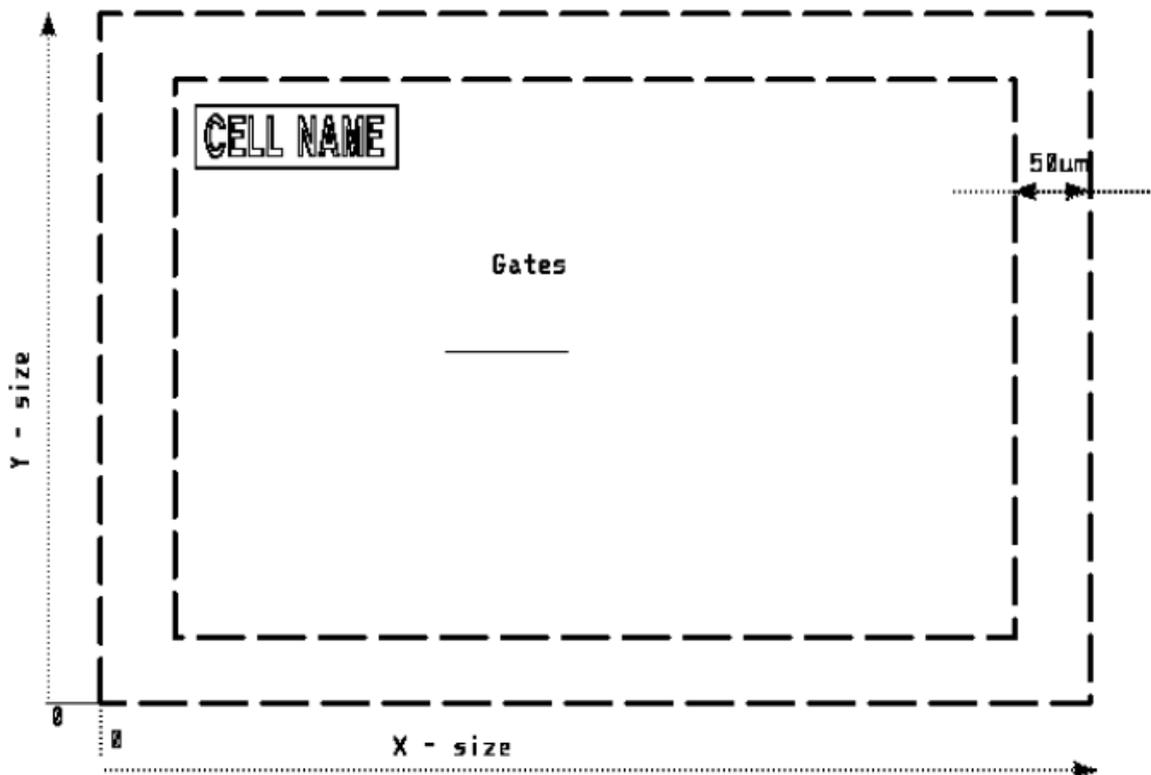
#### 4.1.4 Reglas de diseño

Para que OMMIC fabrique el diseño elaborado, es necesario que el *layout* cumpla con una serie de requisitos. Además de enumerar los más importantes a continuación, en la Figura 4.8 aparece un esquema mostrando un *layout* correcto.

- En un área de 10 x 10 mm se incluirán todos los distintos circuitos, que se repetirán a lo largo de toda la oblea, es lo que se denomina celda patrón (General Pattern).
- Cada circuito se debe proporcionar en una celda separada, de modo que se pueda acceder a cada circuito individualmente. El nombre del diseño debe aparecer en algún lugar de la celda, con letras de al menos 50  $\mu\text{m}$  de altura y todas en el mismo sentido.
- Los transistores del circuito deben tener sus puertas paralelas al eje X.
- Cada circuito debe contar con un margen exterior de corte (50  $\mu\text{m}$ ) y el origen de coordenadas debe situarse en la esquina inferior izquierda de este margen.
- El tamaño del circuito se define con este margen y debe ser un múltiplo de 10  $\mu\text{m}$ .

Junto a los circuitos, la fundidora añade celdas PCM (*Process Control Monitoring*) que contienen circuitos especiales que permiten conocer si se producen variaciones en el sustrato durante el proceso de fabricación. Una vez que OMMIC recibe todos los diseños de sus clientes cumpliendo las normas vistas anteriormente, se realiza el mapeado de las obleas. Esto consiste en reunir todos los circuitos de los

clientes, los PCM y las marcas de alineación, y ponerlos en una disposición regular para que la oblea pueda cortarse en trozos.



*Figura 4.10 Definición del layout de un circuito*

Este mapeado, de manera más detallada (Figura 4.9), consiste en:

1. Insertar todo el conjunto de módulos PCM en un patrón compatible con los tamaños de los circuitos. Este patrón se utiliza para el control de procesos y garantías eléctricas.
2. Insertar las marcas de alineación en un segundo patrón. Este patrón se utiliza para la posterior alineación de la máscara.
3. Un patrón láser y un patrón PAM.
4. Los patrones generales de los clientes llenando completamente el resto de la oblea.

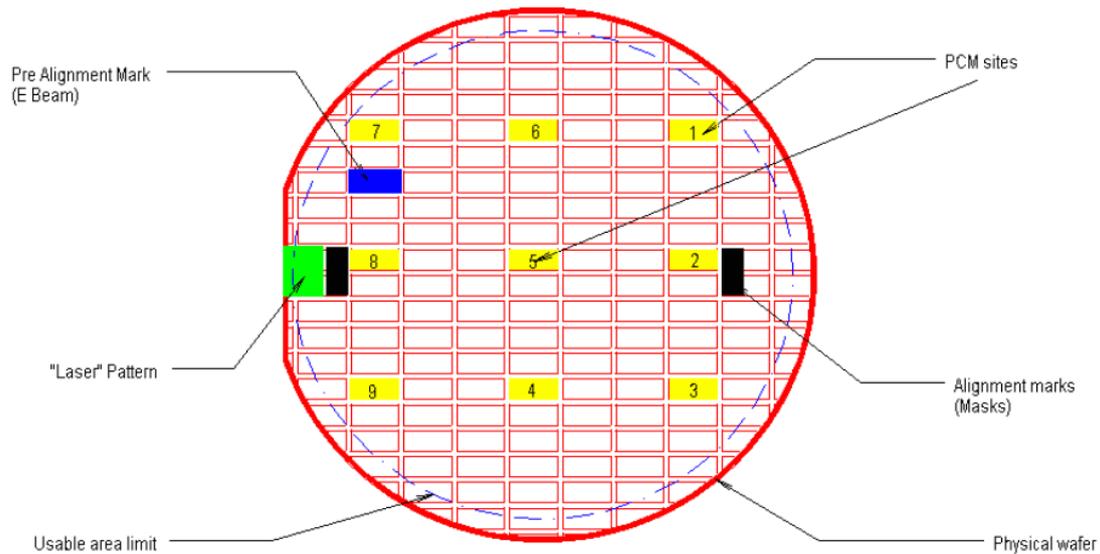


Figura 4.11 Mapeado de una oblea

## 4.2 Tecnología CMOS 65 nm de UMC

A continuación, se presenta una visión general de la tecnología 65 nm CMOS de la fundidora *United Microelectronics Corporation* (UMC). Esta tecnología consta de ocho metales, siendo la última capa de metal la de mayor espesor y mayor conductividad. Esto permite mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, los transistores que se utilizan son del tipo MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*), siendo la longitud de puerta mínima en esta tecnología de 65 nm. Además, la tecnología UMC 65 nm ofrece una amplia librería de componentes pasivos [32].

En este estudio se comenzará con una descripción teórica de los dispositivos, para posteriormente analizar los distintos modelos para cada componente. Por último, se estudiarán los componentes que serán de especial interés para este proyecto.

### 4.2.1 Bobinas

Típicamente, un inductor integrado se diseña generando una espiral con pistas metálicas sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de esta, será necesario disponer de al menos dos niveles

de metal para poder acceder a este terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se le conoce como underpass o cross-under. En la Figura 4.10 se muestra una bobina espiral cuadrada simple, donde se puede apreciar la disposición del underpass, además de los parámetros geométricos más importantes de una bobina. Concretamente, se muestra el radio ( $r$ ), la anchura ( $w$ ) y la separación entre pistas ( $s$ ).

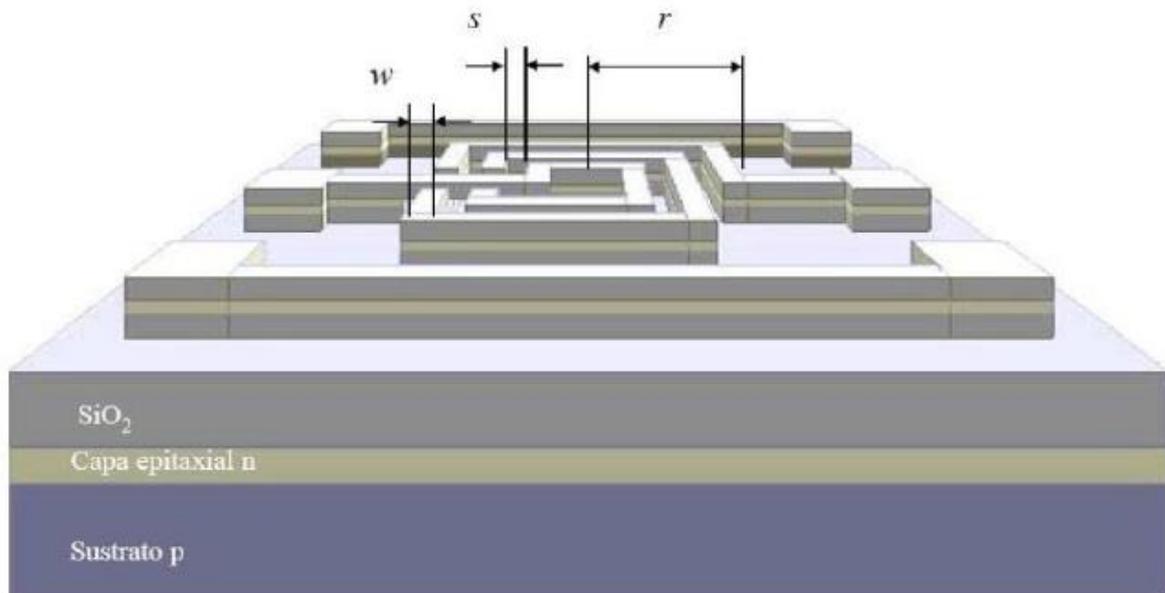


Figura 4.12 Modelo de una bobina cuadrada simple.

Para obtener el valor de inductancia deseado, se varían los parámetros geométricos de la bobina. Concretamente, los parámetros que se varían son el ancho de la pista, el diámetro de la bobina y el número de vueltas de la espira.

En la Figura 4.11 se muestra el *layout* de una bobina del tipo L\_SLCR30K\_RFVIL, generada a partir del asistente que presenta el kit de diseño de la tecnología.

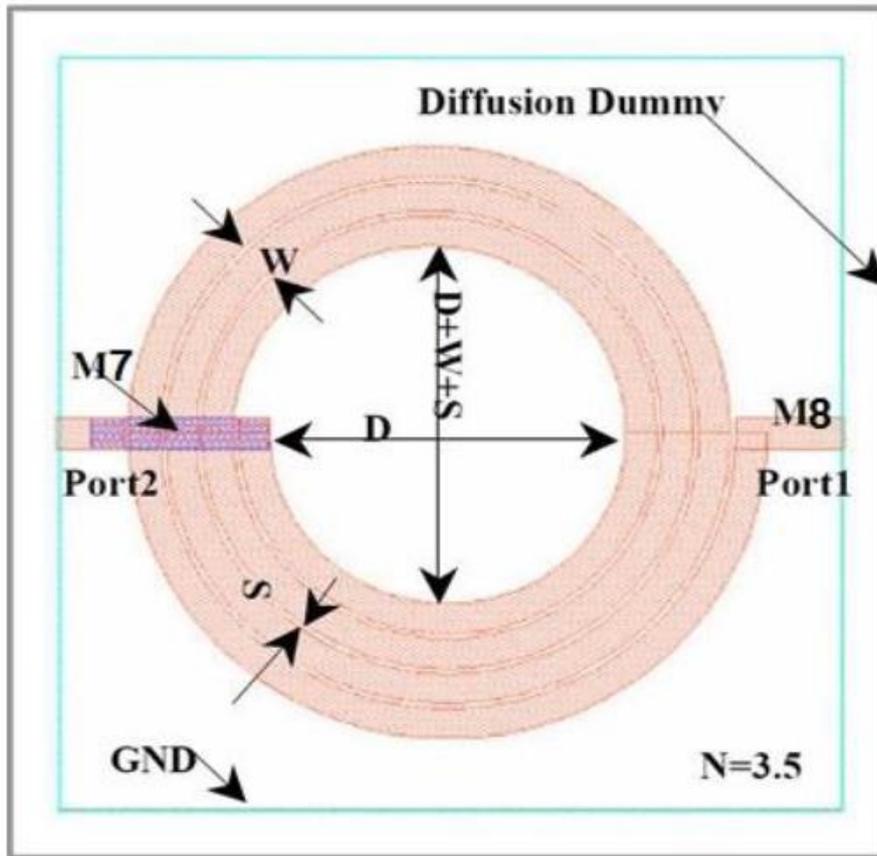


Figura 4.13 Layout de una bobina del tipo L\_SLCR30K\_RFVIL.

## 4.2.2 Condensadores

En los circuitos integrados, la implementación de condensadores se reduce a la construcción de dos capas planas de metal, separadas por una capa de material aislante. En la Figura 4.12 se muestra un esquema de la construcción de un condensador integrado.

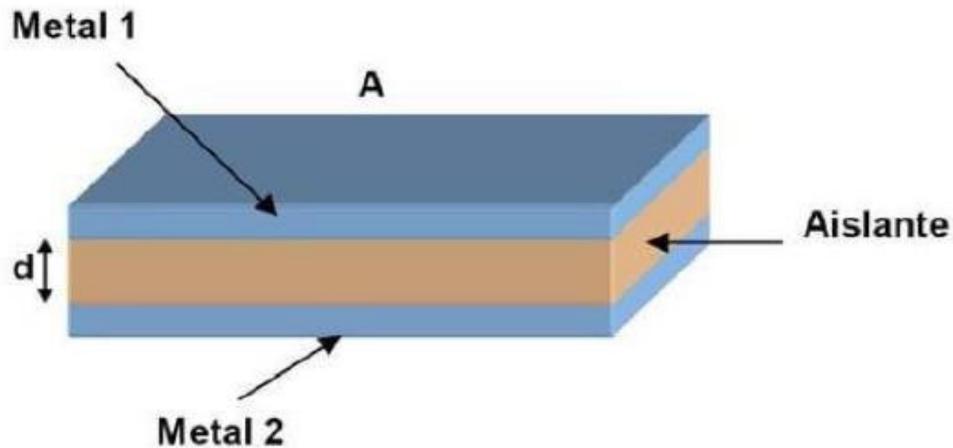


Figura 4.14 Construcción de un condensador.

A partir de la Figura 4.12 se puede calcular el valor de la capacidad del condensador mediante la Ecuación 4.1:

$$C = \frac{\epsilon_r * \epsilon_0 * A}{d} \quad (4.1)$$

siendo  $\epsilon_r$  la permitividad relativa del material dieléctrico entre las placas metálicas,  $\epsilon_0$  la permitividad del vacío, A el área efectiva y d la distancia entre placas metálicas.

Dicha tecnología dispone de varios tipos de condensadores: NCAP\_12\_LL, PCAP\_12\_LL, MIMCAPS\_20F, MOMCAPS, etc. La elección del tipo de condensador a utilizar se basa en el valor capacitivo que se pretenda integrar. En la Figura 4.13 se muestra el cuadro de diálogo donde se ajustan los parámetros de diseño del condensador.

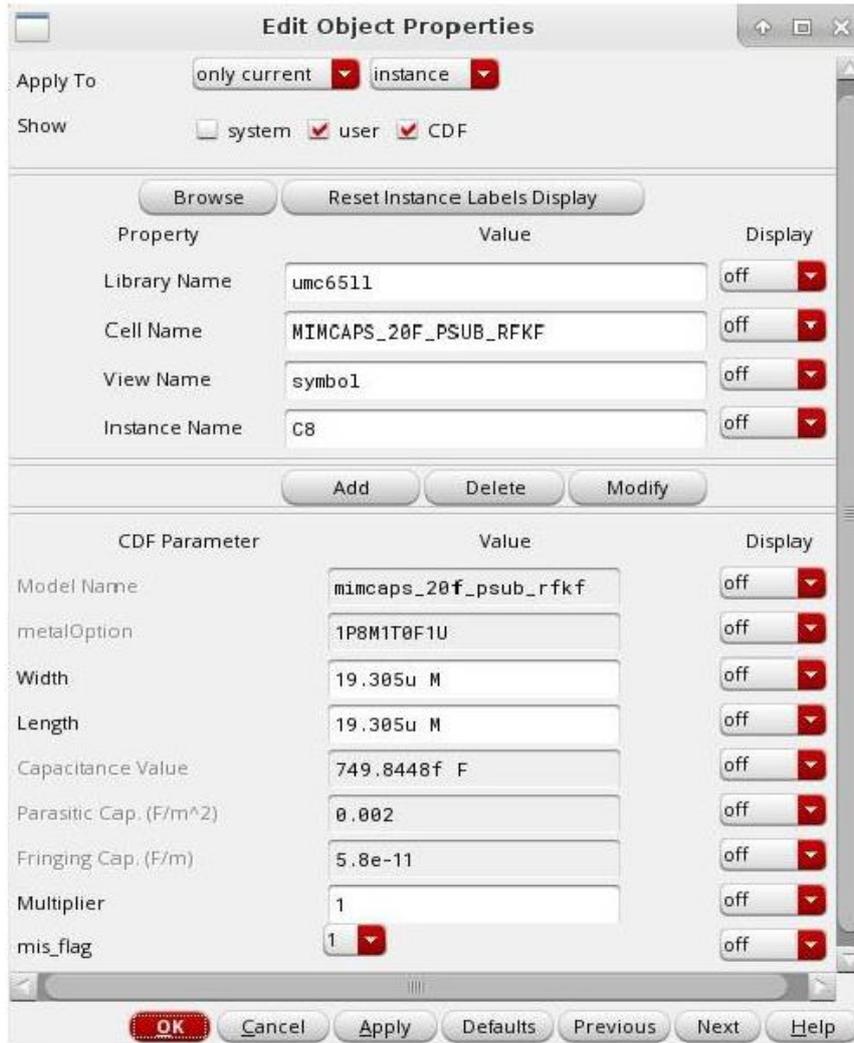


Figura 4.15 Cuadro de diálogo de Cadence de ajuste de parámetros de condensadores.

En este caso, se muestra el cuadro de diálogo de Cadence de ajuste de parámetros de un condensador del tipo MIMCAPS\_20F. Teniendo en cuenta que el valor capacitivo del condensador está directamente relacionado con las dimensiones del condensador, variando el ancho y la longitud del condensador se puede obtener el valor capacitivo deseado.

A continuación, nos centramos en el tipo de condensador optimizado para RF, el MIMCAPS\_20F\_PSUB\_RFKF. Este condensador se basa en un diseño modular que parte de un bloque o finger del condensador, el cual es replicado hasta obtener el valor capacitivo deseado. En la Figura 4.14 se muestra el circuito equivalente del condensador MIMCAPS\_20F\_PSUB\_RFKF de la tecnología UMC 0.65 nm CMOS: Este condensador es del tipo Metal-Insulator-Metal (MIM).

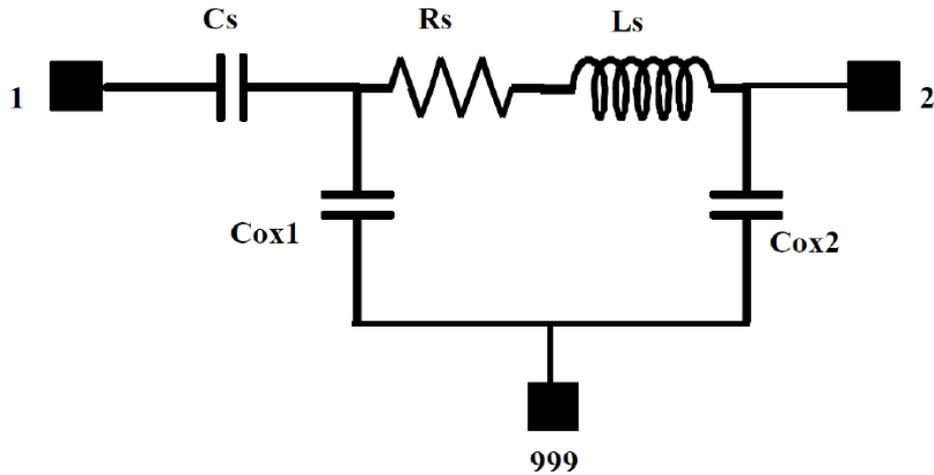


Figura 4.16 Circuito equivalente del condensador.

Tal y como se puede observar, el valor capacitivo deseado se representa con el condensador  $C_s$ . En cuanto a  $R_s$  y  $L_s$ , representan la resistencia e inductancia parásitas. Por último, la capacidad parásita que aparece entre el metal de menor nivel y el óxido se modela con los condensadores  $C_{ox1}$  y  $C_{ox2}$ .

Las características principales de este tipo de condensador son:

- El rango de frecuencias de operación va desde los 100 MHz hasta los 10 GHz.
- Existe una limitación entre el ancho ( $W$ ) y la longitud ( $L$ ) del transistor. Esta limitación se modela con la Ecuación 4.2.

$$1 \leq \frac{1}{W} * \frac{nx}{ny} \leq 6 \quad (4.2)$$

Donde  $n_x$  y  $n_y$  son el número de bloques o fingers horizontales y verticales, respectivamente.

### 4.2.3 Resistencias

El valor óhmico de una resistencia integrada depende fundamentalmente del valor resistivo del material. En la Figura 4.15 se muestra un modelo de una resistencia integrada y los parámetros que influyen en el valor óhmico.

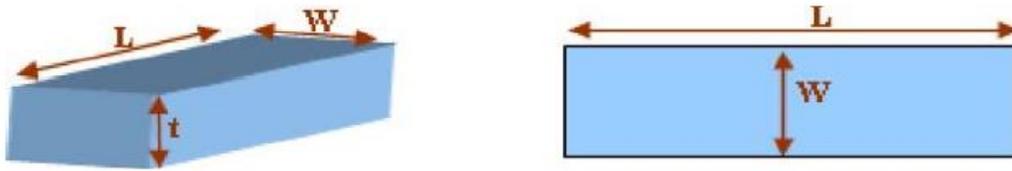


Figura 4.17 Parámetros de una resistencia.

Partiendo de la Figura 4.15, el valor de la resistencia se obtiene a partir de la Ecuación 4.3:

$$R = \frac{\rho}{t} * \frac{W}{L} \quad (4.3)$$

Siendo  $\rho$  y  $t$  la resistividad y el espesor del material, y  $L$  y  $W$  la longitud y la anchura de la pista, respectivamente.

En procesos de fabricación de dispositivos basados en semiconductores, el espesor de las capas de material resistivo permanece constante, por lo que el valor de la resistencia puede determinarse mediante la Ecuación 4.4:

$$R = R_{square} * \frac{W}{L} \quad (4.4)$$

Siendo  $R_{square}$  la resistencia por cuadrado, que es igual al cociente entre la resistividad y el espesor del material.

La tecnología UMC 0.65 nm presenta una amplia gama de resistencias: RNHR\_LL, RNNPO\_LL, RNPPO\_LL, etc. La elección del tipo de resistencia a utilizar se basa en el valor resistivo que se pretenda integrar. En la Figura 4.16 se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros de las resistencias.

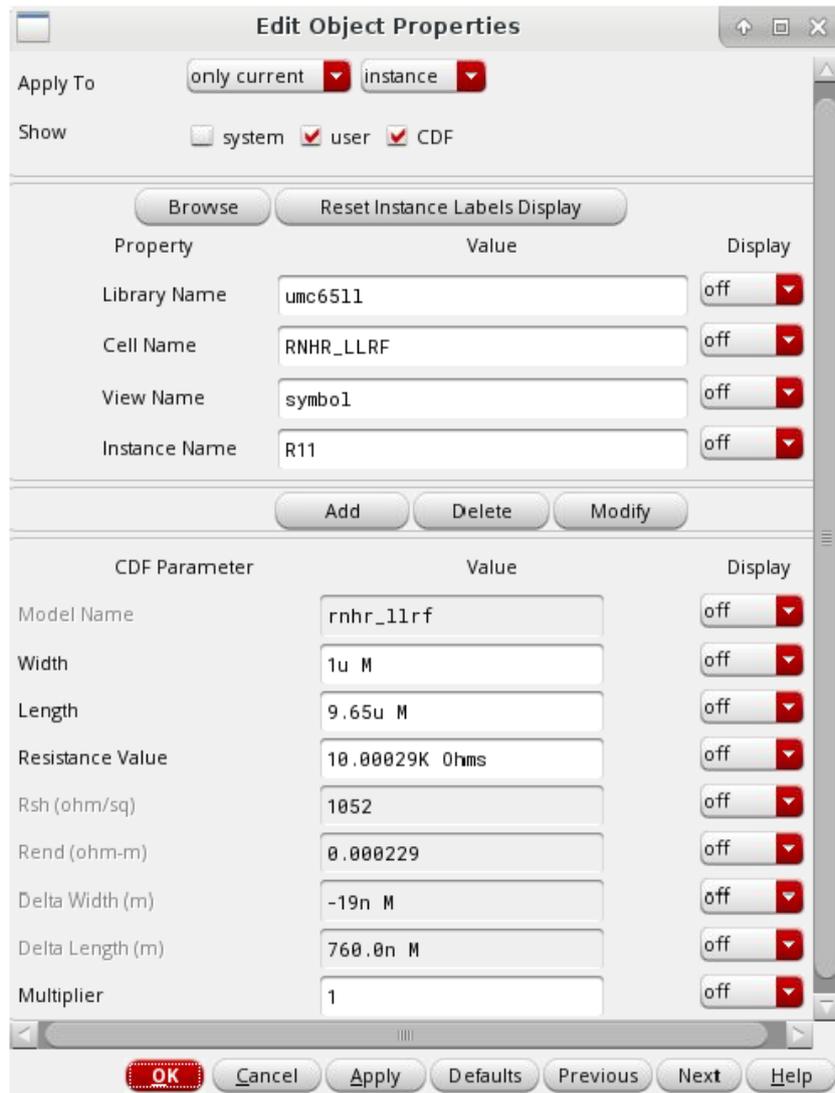


Figura 4.18 Cuadro de diálogo de Cadence de ajuste de parámetros de resistencias.

Para obtener el valor resistivo deseado se deben variar tanto el ancho como la longitud de la pista.

En la Figura 4.17 se muestra el *layout* típico de una resistencia RNHR\_LLRF, generada a partir del asistente que presenta el kit de diseño de la tecnología.

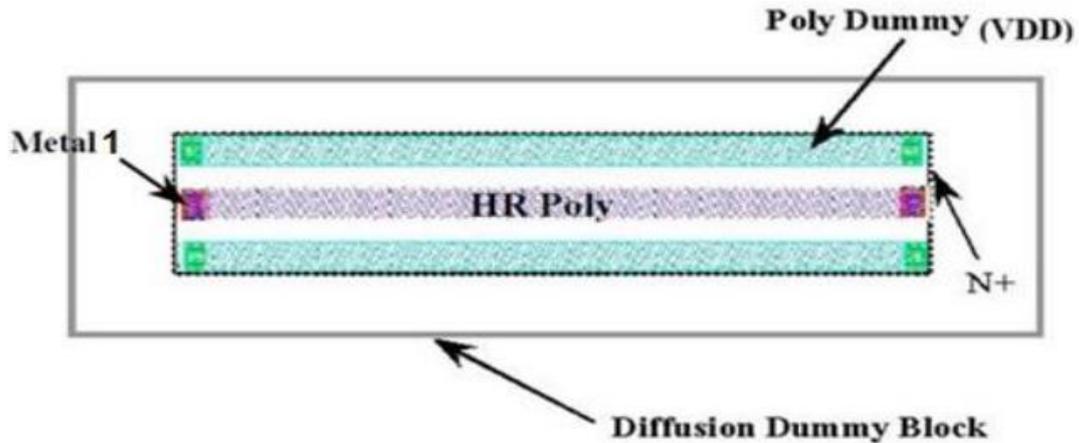


Figura 4.19 Layout de una resistencia del tipo RNHR\_LLRF.

La principal diferencia entre estos dos tipos de resistencias, optimizados para RF, radica en el hecho que las RNHR\_LLRF permiten alcanzar unos valores resistivos más altos debido al uso de un polisilicio altamente resistivo HR (High Resistive).

#### 4.2.4 El Transistor MOSFET

En la Figura 4.18 se muestra una sección transversal de dos transistores MOS, uno tipo n y el otro tipo p. En el caso del transistor tipo n, el surtidor (S: Source) y el drenador (D: Drain) se construyen sobre difusiones n+, sobre un sustrato p. Por otra parte, en el transistor tipo p el surtidor y el drenador están formados con difusiones tipo p+ sobre un pozo n. Tanto en el transistor tipo n como en el transistor tipo p, la puerta (G: Gate) está aislada del sustrato mediante una capa de óxido de silicio (SiO<sub>2</sub>). Además, en el caso de transistor tipo n, el sustrato se debe conectar a la tensión más negativa para eliminar los diodos rectificadores que aparecen en las uniones del surtidor y el drenador. En el caso de un transistor tipo p, el sustrato se debe conectar a la tensión más positiva.

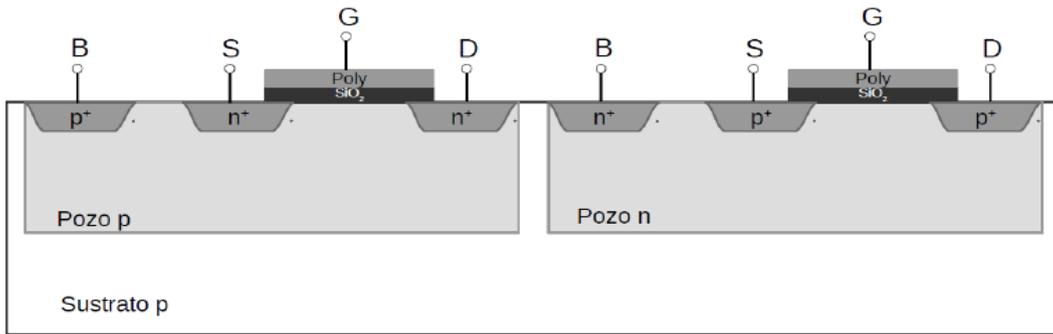


Figura 4.20 Sección transversal de transistores MOS.

En la Figura 4.19 se muestra un MOSFET tipo n al cual se le aplican tensiones externas. Suponiendo que la tensión entre la puerta y el surtidor es nula ( $V_{GS}$ ), y la tensión entre el drenador y el surtidor es positiva ( $V_{DS}$ ), no circulará corriente entre los terminales de drenador y surtidor. En esta situación se dice que el transistor MOSFET se encuentra en corte.

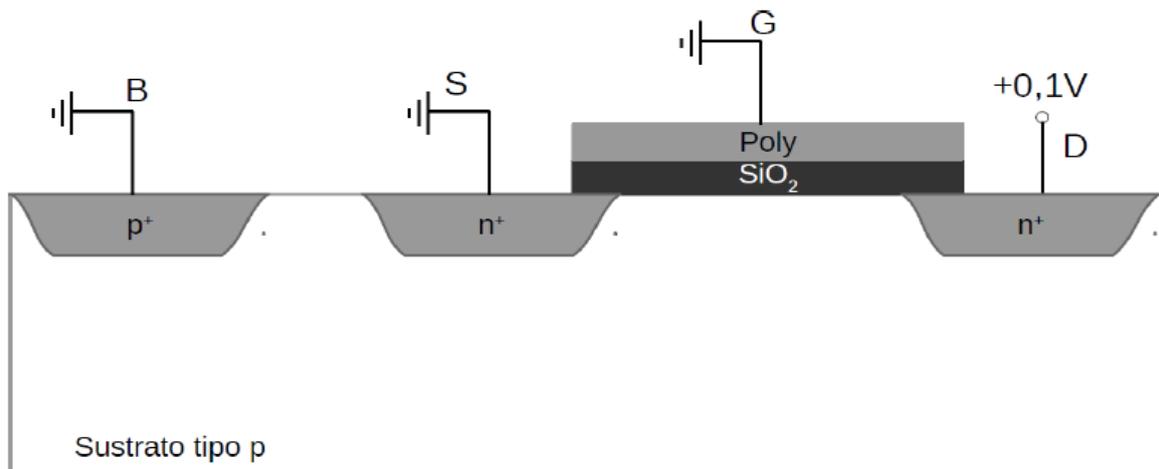


Figura 4.21 Transistor MOSFET tipo n en corte.

A medida que se aumenta la tensión  $V_{GS}$ , los huecos que se encuentran en el sustrato p son repelidos por la puerta, dejando iones negativos en su lugar. De esta manera se crea una región de enriquecimiento o de acumulación de carga. Si  $V_{GS}$  sigue aumentando, se ensanchará la zona de acumulación de carga y, por tanto, aumenta el potencial de la interfaz óxido-silicio. Cuando este potencial alcanza una tensión umbral ( $V_{TH}$ ), los electrones fluyen desde el surtidor al drenador. De esta

forma se crea bajo la puerta el canal entre el surtidor y el drenador. En este caso, se dice que el transistor se encuentra en la región de triodo o zona óhmica. La Figura 4.20 muestra un transistor MOSFET tipo n cuando se encuentra en zona óhmica.

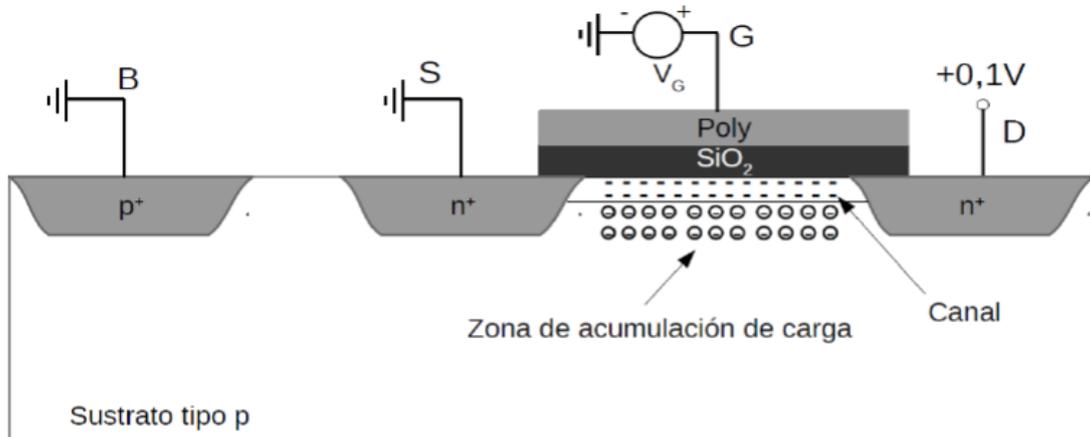


Figura 4.22 Transistor MOSFET tipo n en zona óhmica.

En la zona óhmica, la Ecuación 4.5 determina la corriente de drenador del MOSFET:

$$I_D = \mu_n * C_{OX} * \frac{W}{L} * \left[ (V_{GS} - V_{TH}) * V_{DS} - \frac{1}{2} * V_{DS}^2 \right] \quad (4.5)$$

Donde:

- $\mu_n$  es la movilidad de los electrones.
- $C_{OX}$  es la capacidad de óxido de la puerta por unidad de área.
- $L$  es la longitud del canal del transistor (nm).
- $W$  es el ancho del canal del transistor (nm).

cuando el valor de  $V_{GS}$  es mayor que  $V_{TH}$ , la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de  $I_D$ . Sin embargo, si se mantiene  $V_{GS}$  constante y sólo se aumenta el nivel de  $V_{DS}$ , la corriente de drenador alcanza un nivel de saturación cuando su valor es superior a  $V_{GS} - V_{TH}$ . Esta saturación se debe a un estrechamiento del canal (pinch-off), tal y como se muestra en la Figura 4.21.

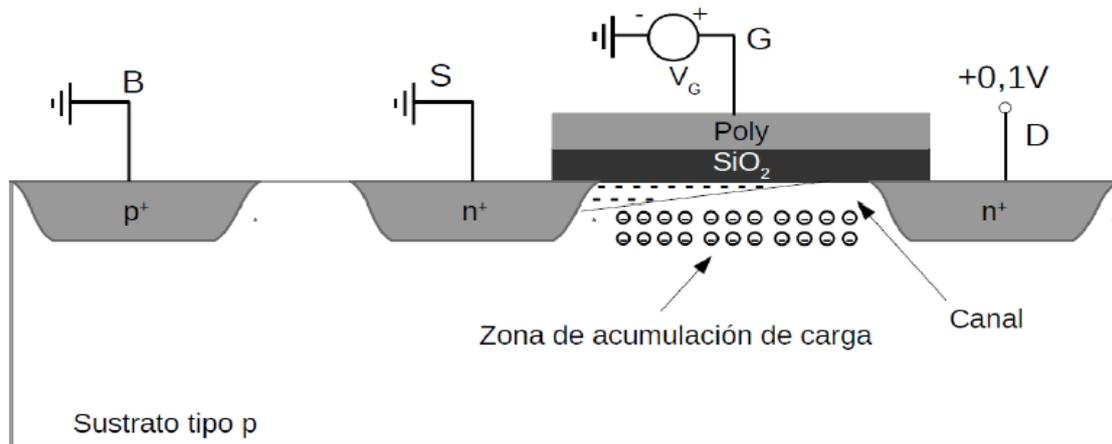


Figura 4.23 Transistor MOSFET tipo n en zona de saturación.

En esta situación la corriente de drenador se calcula con la Ecuación 4.6:

$$I_D = \frac{\mu_n * C_{OX}}{2} * \frac{W}{L} * (V_{GS} - V_{TH})^2 \quad (4.6)$$

De la misma manera que se ha analizado el transistor MOSFET tipo n, el transistor tipo p mantiene las mismas ecuaciones. Sin embargo, en el caso del tipo p el sentido de la corriente  $I_D$  es contrario al caso del tipo n. Esto se debe a que en un tipo p los huecos son mayoritarios y fluyen en el sentido contrario a los electrones [33].

En la Figura 4.22 se muestra el modelo simplificado de pequeña señal de un transistor MOSFET.

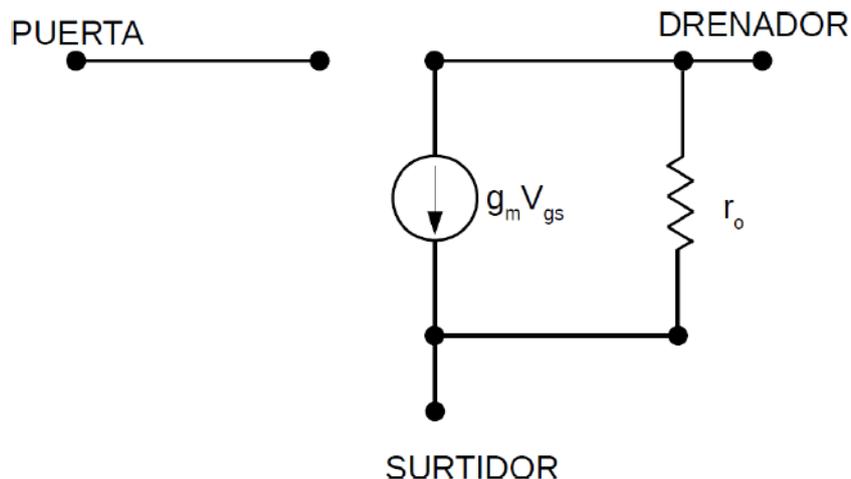


Figura 4.24 Modelo simplificado de pequeña señal de un transistor MOSFET.

Donde:

- $r_o$  representa la parte real de la impedancia de salida del transistor.
- $g_m$  es la transconductancia del transistor y se calcula según la Ecuación 4.7.

$$g_m = K * \frac{W}{L} * (V_{GS} + V_T) \quad (4.7)$$

Donde K es la constante de transconductancia del transistor.

Sin embargo, en el modelo simplificado no se han tenido en cuenta las capacidades parásitas, las cuales pueden ser de dos tipos: capacidades de la zona de carga espacial y capacidades de la zona del óxido. En la Figura 4.23 se muestra el modelo completo en pequeña señal de un transistor MOSFET.

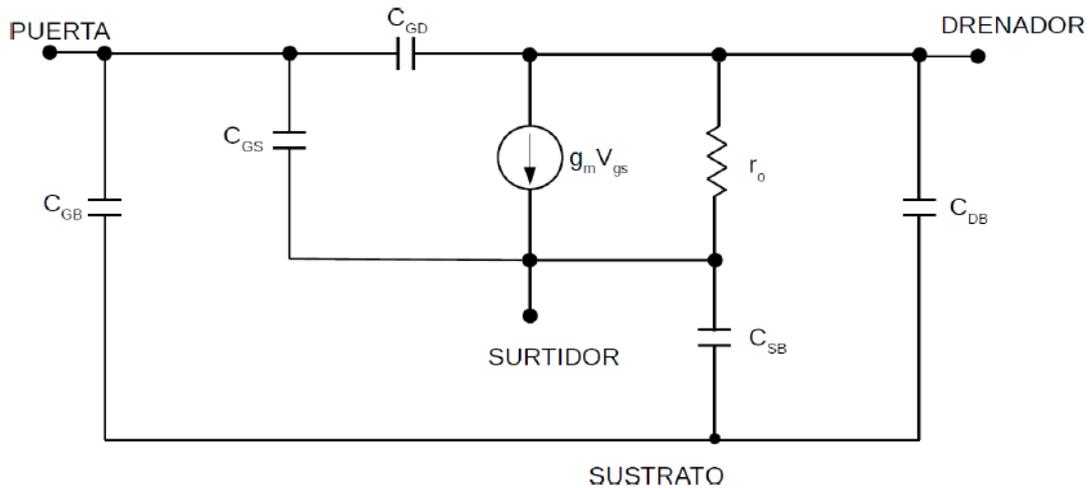


Figura 4.25 Modelo completo de pequeña señal de un transistor MOSFET.

En cuanto a las capacidades de la zona de carga espacial, éstas se producen en las uniones PN debido a la presencia de cargas en las zonas N y P con igual magnitud, pero con polaridad de carga opuesta. Estas capacidades vienen dadas por la Ecuación 4.8 y Ecuación 4.9.

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{SB}}{\psi_0}\right)^m} \quad (4.8)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_0}\right)^m} \quad (4.9)$$

Donde:

- $C_{DB0}$  y  $C_{SB0}$  son las densidades de la capacidad de la unión cuando la polarización es nula.
- $V$  es la tensión directa de la unión.
- $\psi_0$  es la barrera de potencial.
- $m$  es la constante dependiente de la unión.

La tecnología UMC 0.65 nm CMOS dispone de múltiples modelos de transistores MOSFET: N\_12\_LLRVTRF, P\_12\_LLRVTRF, N\_12\_LLRVT, etc. En la Figura 4.24 se muestra el cuadro de diálogo donde se ajustan los parámetros del transistor MOSFET.

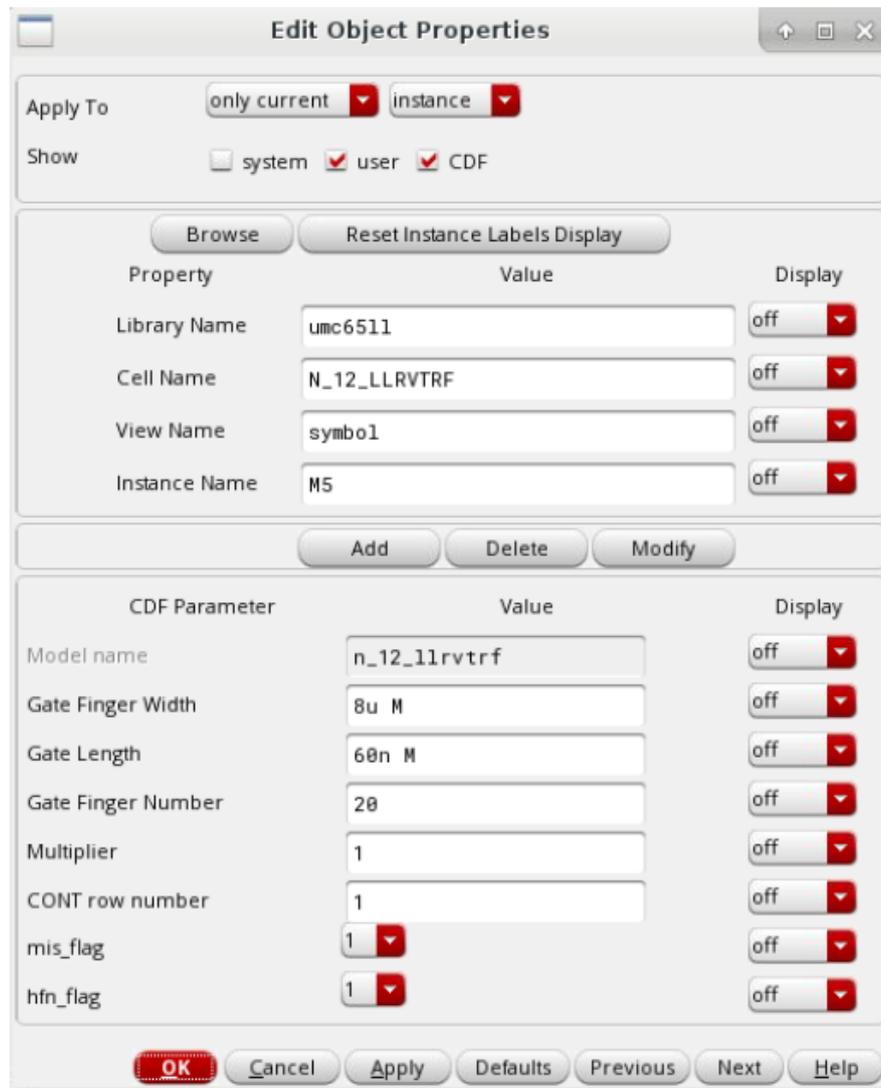


Figura 4.26 Cuadro de diálogo de Cadence de ajuste de parámetros de un transistor MOSFET.

En este cuadro de diálogo se pueden variar los distintos parámetros del transistor. Los parámetros que se pueden modificar difieren según el tipo de transistor. En la Figura 4.24 el transistor que se está modificando es el N\_12\_LLRVTRF. En este tipo de transistor se permite modificar el ancho y la longitud de la puerta, al igual que el número de fingers.

Todos los tipos de transistores de la tecnología optimizados para RF comparten el mismo modelo, el cual se muestra en la Figura 4.25.

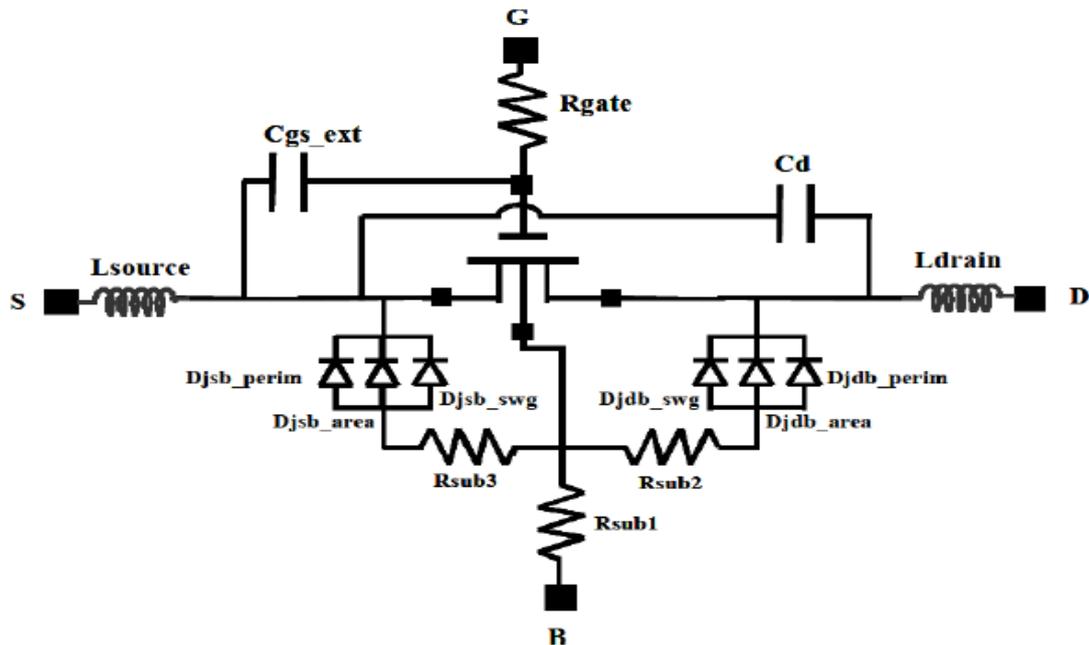


Figura 4.27 Circuito equivalente de los transistores optimizados para RF N/P.

A continuación, se muestran la descripción de los distintos elementos parásitos que aparecen en la Figura 4.25:

- $R_{gate}$  modela de la resistencia de puerta.
- $R_{sub1}$ ,  $R_{sub2}$  y  $R_{sub3}$  modelan las pérdidas del sustrato.
- $D_{jdb\_area}$  y  $D_{jdb\_perim}$  modelan la capacidad de la unión drenador-surtidor.
- $D_{jdb\_swg}$  y  $D_{jsb\_swg}$  modelan la capacidad por unidad de longitud de la unión drenador-surtidor.
- $C_d$  y  $C_{gs\_ext}$  representa la capacidad total equivalente entre el drenador, puerta y surtidor.
- $L_{source}$  y  $L_{drain}$  modelan el efecto de las inductancias parásitas.

La característica principal de estos transistores es: el rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.

En la Figura 4.26 se muestra el *layout* de un transistor MOSFET para RF, generado a partir del asistente que presenta el kit de diseño de la tecnología.

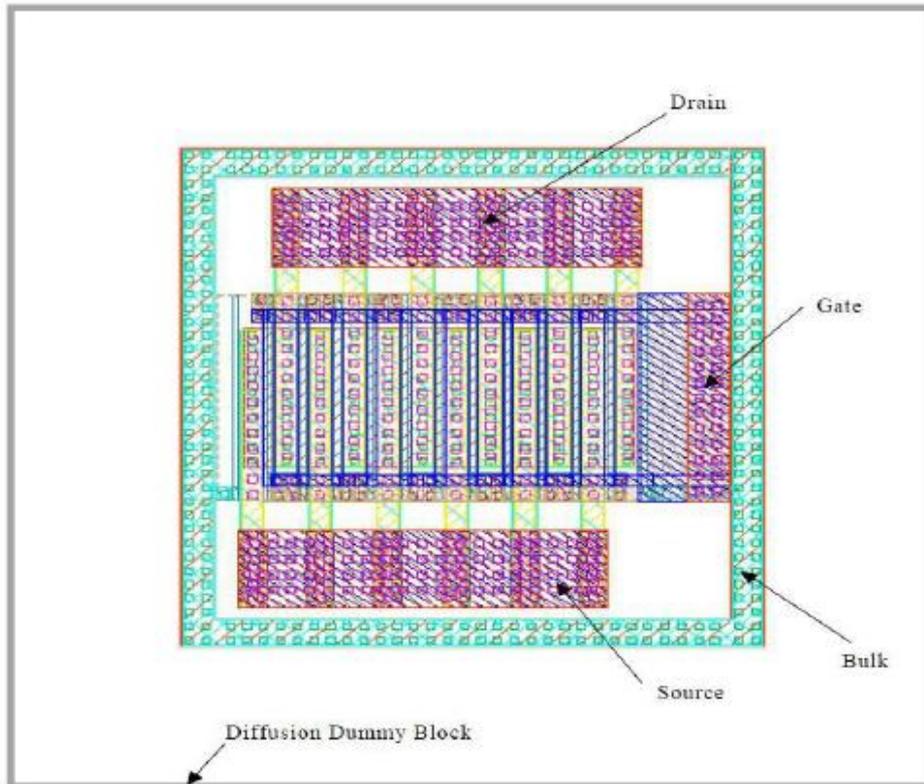


Figura 4.28 Layout de un transistor MOSFET para RF.

En la Figura 4.22 se pueden diferenciar las distintas partes del transistor: el surtidor (S: Source), el drenador (D: Drain), la puerta (G: Gate) y el sustrato (B: Bulk). Se puede observar que en este caso se muestra un transistor con 5 fingers.

#### 4.2.5 Pads

Los pads proporcionan una interfaz entre un circuito integrado y el entorno externo. Estos componentes permiten realizar la conexión entre los nodos del circuito integrado con elementos externos, para lo cual se colocan los pads en el perímetro del circuito [33]. De esta forma se puede alimentar el circuito, así como introducir y extraer señales. Un pad se basa en la superposición de varias capas rectangulares metálicas, interconectadas entre sí con las correspondientes vías. En la Figura 4.23 se muestra una representación de un pad como el que se ha descrito.

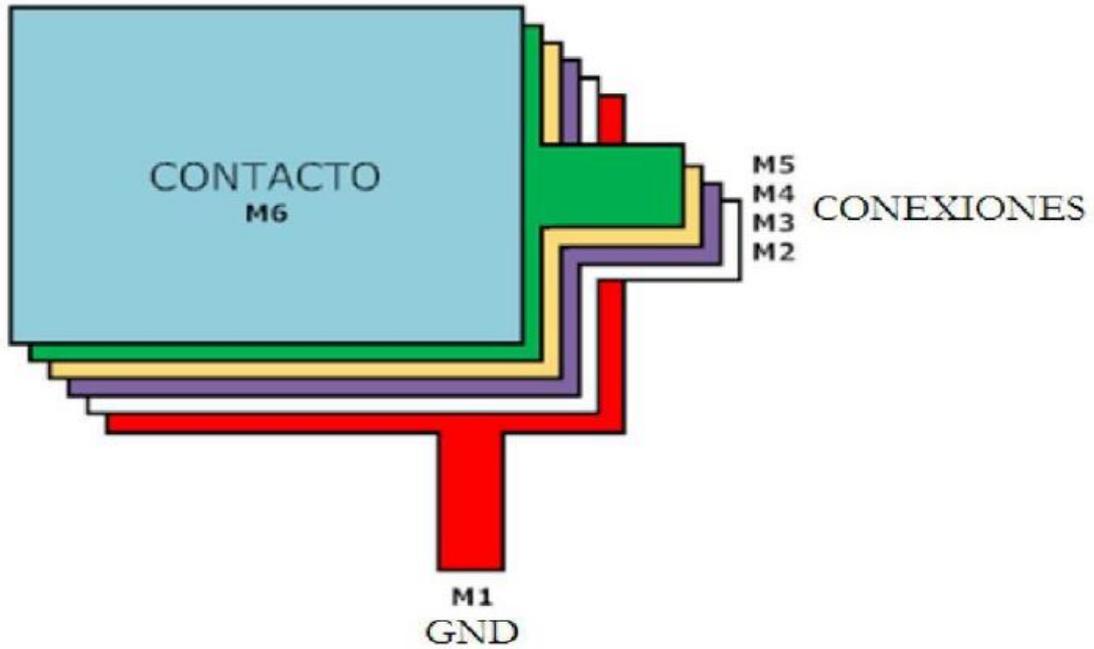


Figura 4.29 Representación de un pad.

La tecnología UMC 0.18  $\mu\text{m}$  dispone de varios modelos de pads, pero a nosotros solo nos interesa el modelo: 00\_pad9011. En la Figura 4.24 se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros del pad.

Apply To

Show  system  user  CDF

Property	Value	Display
Library Name	umc6511	off
Cell Name	00_PAD9011	off
View Name	symbol	off
Instance Name	C0	off

CDF Parameter	Value	Display
Model Name	00_pad9011	off
Specified Index	1	off

Figura 4.30 Cuadro de diálogo de Cadence de ajuste de parámetros de un PAD.

En esta tecnología, sólo se permite variar el parámetro *Specified Index*, el cual define el número de capas metálicas interconectadas.

En la Figura 4.25 se muestra el *layout* de un pad para RF, generado a partir del asistente que presenta el kit de diseño de la tecnología.

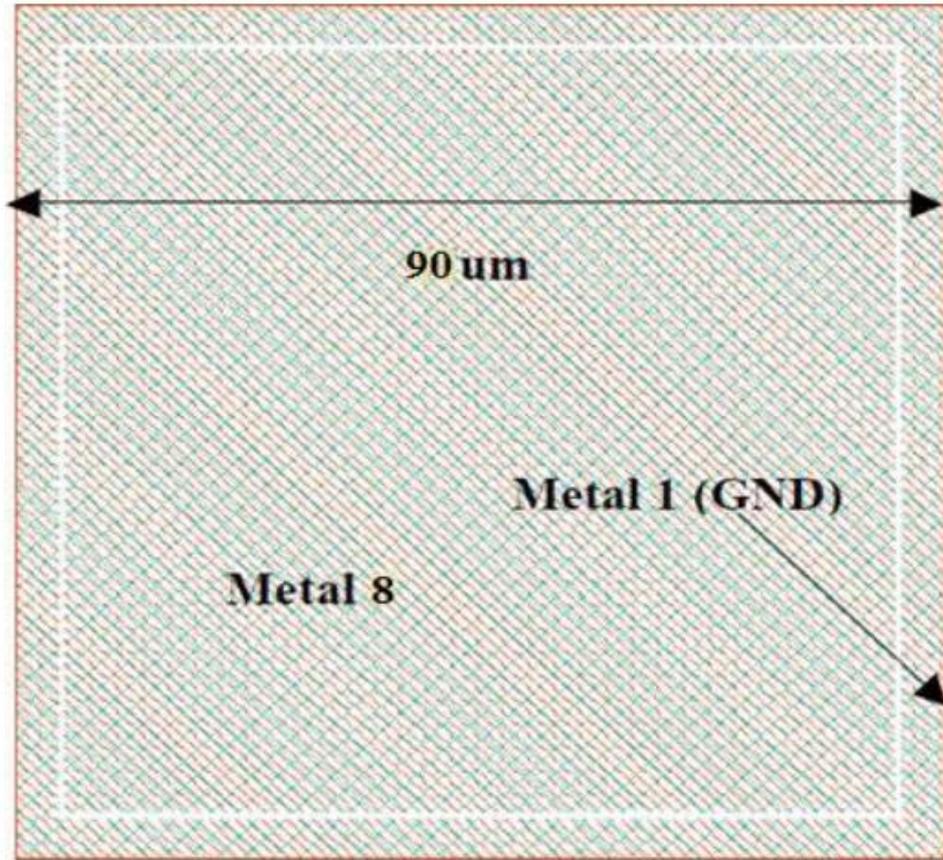


Figura 4.31 Layout de un pad para RF.



# Capítulo 5 Diseño del amplificador con tecnología GaN de OMMIC

En el capítulo 4 hemos visto una descripción de la tecnología GaN D01GH de OMMIC y de la tecnología CMOS de 65nm de UMC. Se van a diseñar dos LNAs utilizando CC en cada tecnología. En ambos diseños se utiliza la misma configuración circuital. Primero, simulamos el circuito con fuentes de corrientes ideales para después realizarlo con las fuentes de corrientes reales, diseñadas a base de convertidores de corriente. En el presente capítulo se va a describir el proceso de diseño del LNA en tecnología GaN D01GH, mientras que en el siguiente capítulo se diseñará en tecnología UMC. En el capítulo 7, veremos la diferencia entre ambos diseños.

## 5.1 Análisis del circuito usando fuentes de corrientes ideales para tecnología GaN

En primer lugar, se analiza el circuito utilizando las fuentes de corrientes ideales (ver Figura 5.1).

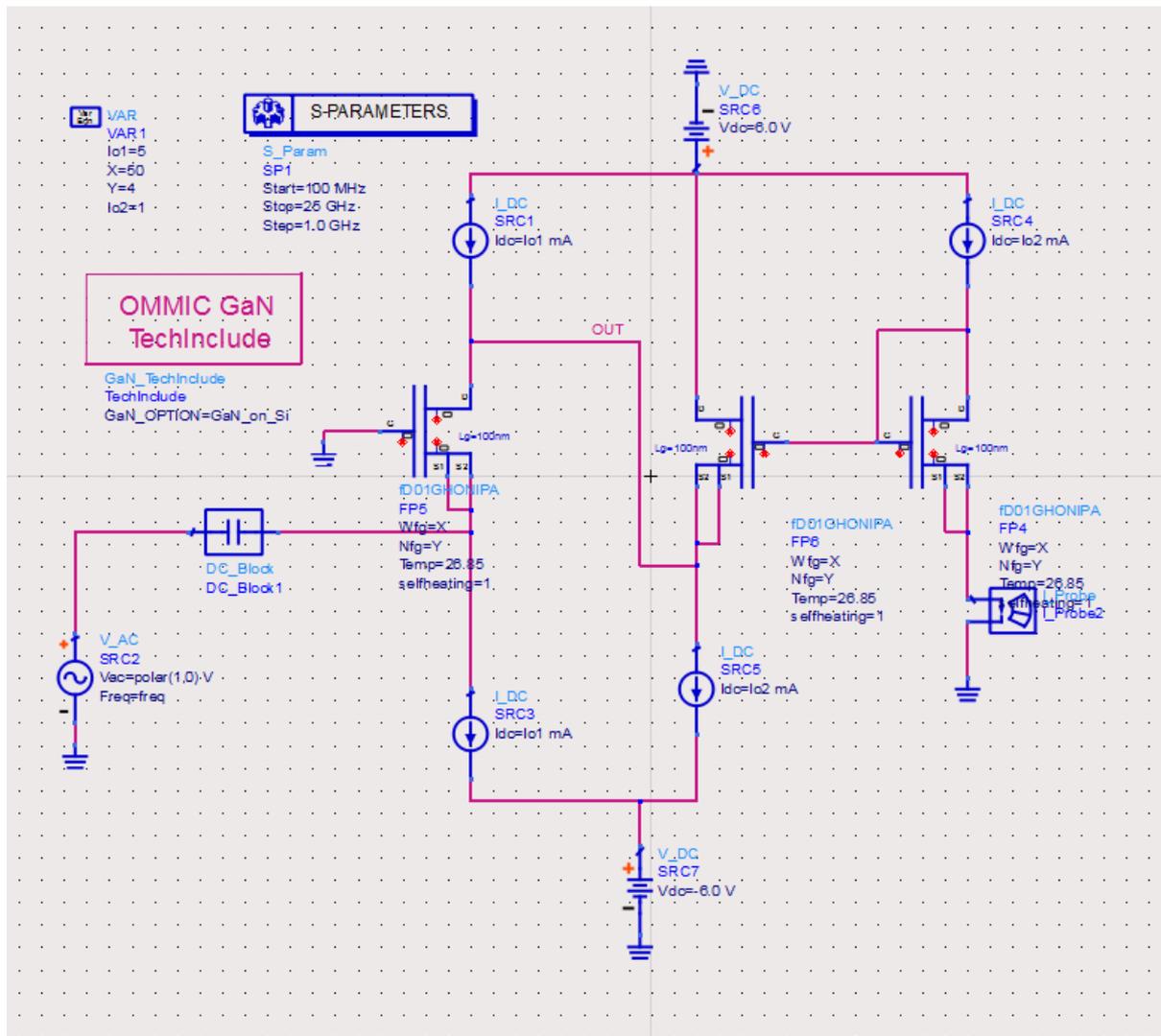


Figura 5.1 Implementación de un amplificador de bajo ruido realizado con convertidores de corriente.

La simulación de ambos diseños se realiza en continua y en alterna. La simulación en continua deja claro la necesidad de meter un condensador a la entrada del circuito para que el transistor FP5 trabaje en la zona activa. Con la simulación en alterna se obtienen los valores de impedancia de entrada, ganancia, ancho de banda y ruido en función de las corrientes de polarización  $Io1$  e  $Io2$  y del área del transistor, es decir según el número de dedos (Nfg del inglés *number of gate fingers*) y la anchura de cada uno (Wfg del inglés *width of gate fingers*).

## 5.2 Valores de $I_{o1}$ ( $\mu A$ ) para $Z_{in}$ próxima a 50 Ohm para la tecnología GaN

Para realizar el estudio del ancho de banda y de la ganancia, primero tenemos que fijar la corriente de polarización  $I_{o1}$  para que la impedancia de entrada al circuito sea lo más próxima a 50  $\Omega$ . Para ello fijamos  $I_{o2}$  a 1mA, variamos  $I_{o1}$  y buscaremos el punto de  $S_{11}$  que se encuentra más cerca del centro de la carta de Smith. La combinación de valores de  $I_{o1}$ ,  $N_{fg}$  y  $W_{fg}$  que hacen que la impedancia de entrada sea 50  $\Omega$  se muestra en la tabla 5-1.

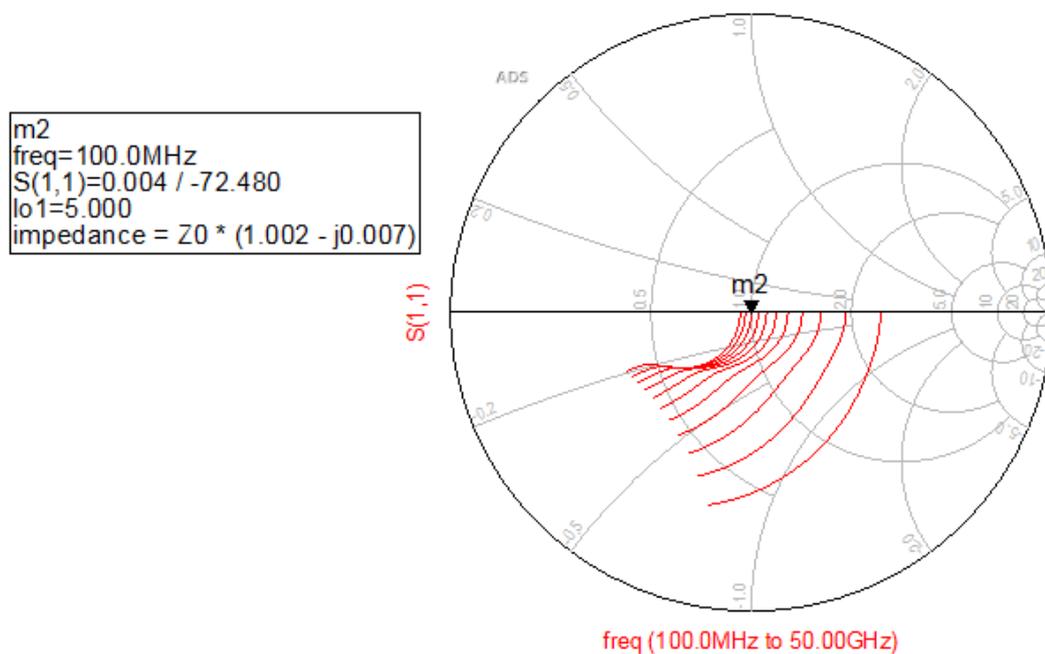


Figura 5.2 Carta de Smith usada para calcular valor de  $I_{o1}$  en tecnología GaN

Nfg	Wfg	$I_{o1}$ (mA)
4	50	5
6	50	4,6
8	50	4,5
2	100	5,1
4	100	4,3
6	100	4,3
8	100	4,3
2	150	4,7

4	150	4,3
6	150	4,3
8	150	4,3
2	200	4,5
4	200	4,3
6	200	4,3
8	200	4,3

Tabla 5-1 Valores de corriente  $I_{O1}$  para conseguir una adaptación de entrada a  $50 \Omega$

### 5.3 Ganancia y ancho de banda en función del área de los transistores para distintos valores de $I_{O2}$

Una vez que tenemos el valor  $I_{O1}$ , podemos hacer simulaciones para estudiar qué efecto tienen las distintas áreas de los transistores en la ganancia y el ancho de banda del circuito para los distintos valores de corriente de  $I_{O2}$ .

Veamos el primer caso para  $N_{fg} = 4$ ,  $W_{fg} = 50$ ,  $I_{O1} = 5 \text{ mA}$ ,  $I_{O2} = (0.1-0.6) \text{ mA}$ , el resultado se muestra en la figura 5.3

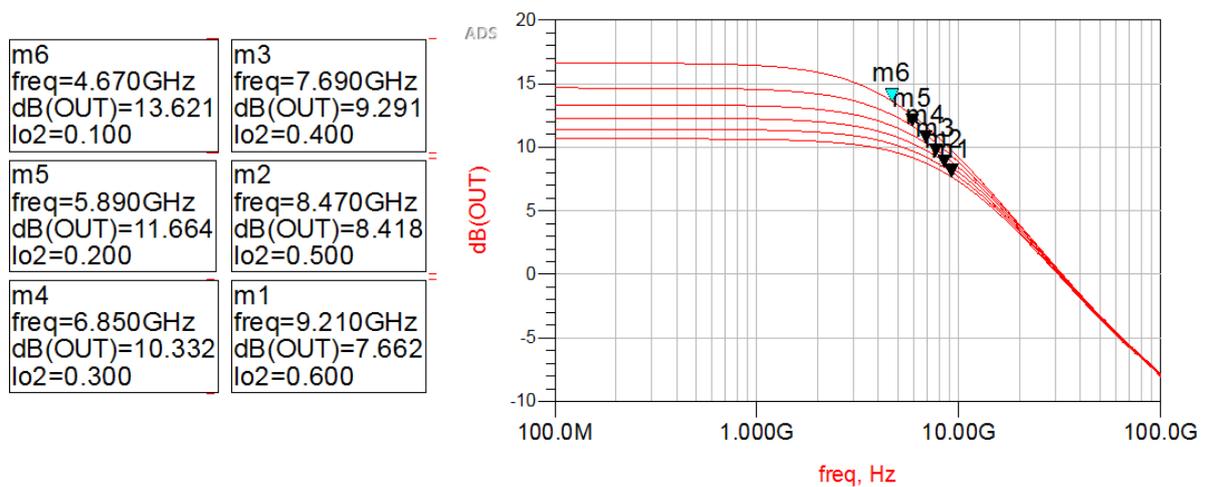


Figura 5.3 Representación de la ganancia obtenida para distintos valores de corriente  $I_{O2}$ .

Se observa que al aumentar  $I_{O2}$  la ganancia disminuye, el ancho de banda aumenta.

Repetimos esta simulación variando el NF y W, usando los valores de  $I_{o1}$  para que la impedancia  $Z_{in}=50\Omega$ , y barremos  $I_{o2}$  de 0.1mA a 0.6mA, el resultado se muestra en la figura 5.4 y la figura 5.5

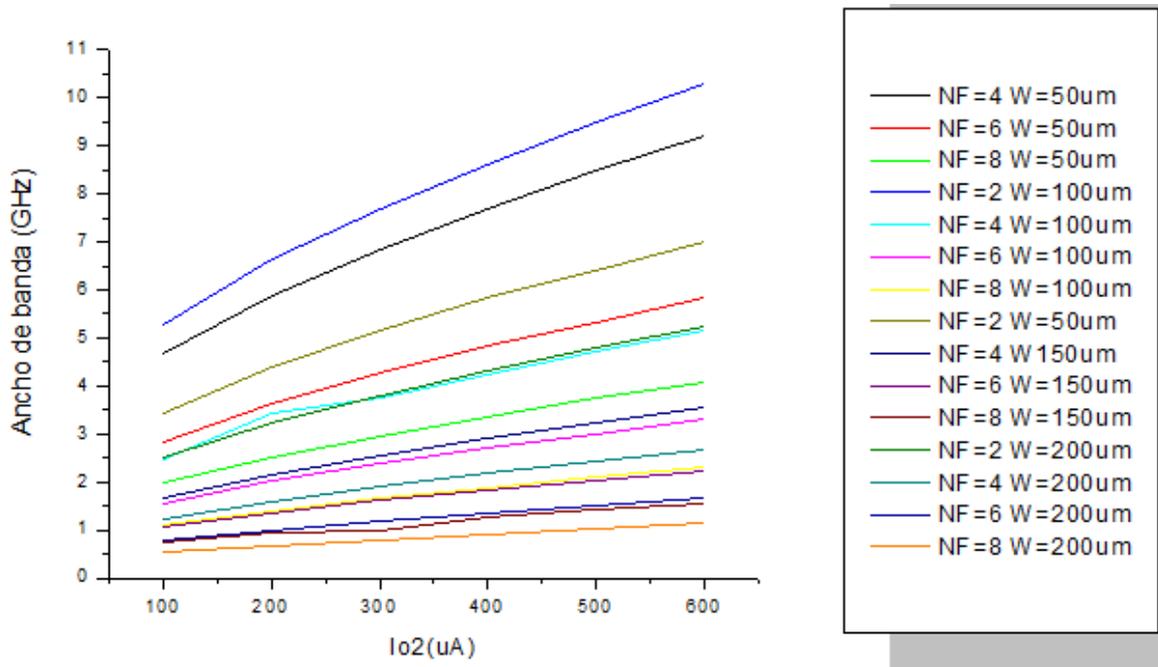


Figura 5.4 Ancho de Banda del circuito usando fuentes de corrientes ideales para distintos valores de  $I_{o2}$  y para las distintas áreas de transistores.

Se observa que si aumentamos el área de transistor el ancho de banda disminuye, y si aumenta el corriente de polarización  $I_{o2}$ , el ancho de banda aumenta.

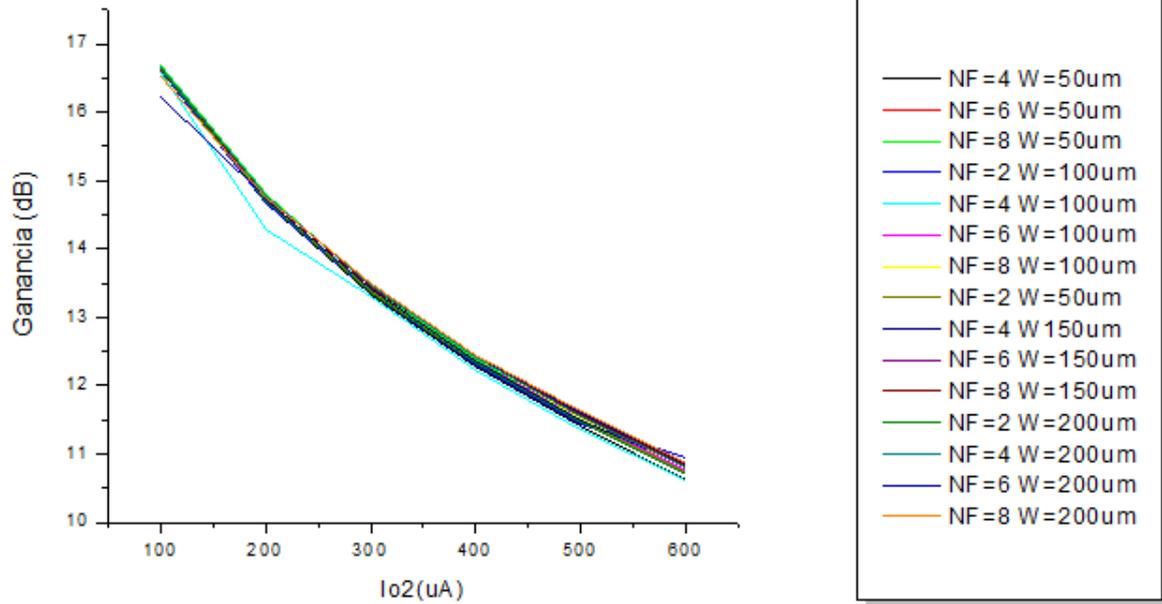


Figura 5.5 Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de  $I_{o2}$  y para las distintas áreas de transistores.

Vemos que el área del transistor no afecta mucho a la ganancia, pero si aumenta el  $I_{o2}$ , la ganancia se disminuye.

Para observar mejor el resultado, juntamos las dos gráficas anteriores, así se facilita hacer comparaciones y sacar conclusiones. El resultado se muestra en la figura 5.6.

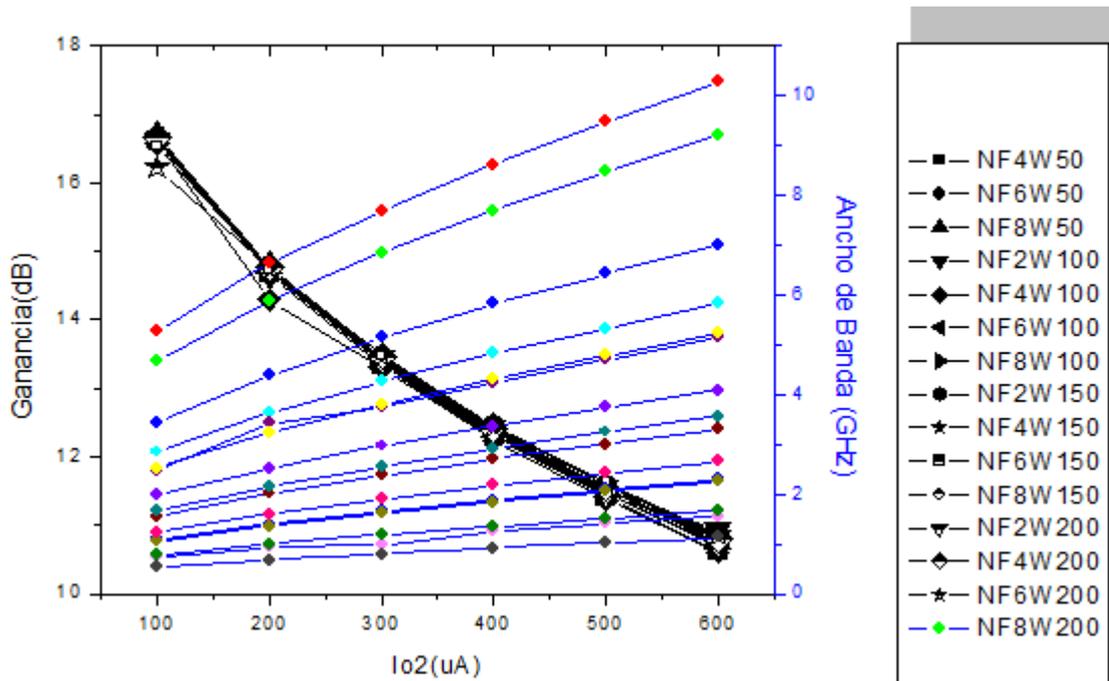


Figura 5.6 Ancho de Banda y Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de  $I_{o2}$  y para las distintas áreas de transistores.

## 5.4 Estudio del ruido

Otro dato que se analiza es el ruido introducido por el circuito. Para ello se introducen terminales a la entrada y salida del circuito y analizaremos el ruido.

Primero veamos un ejemplo del ruido del circuito con  $N_{fg}=4$ ,  $W_{fg}=50$ ,  $I_{o1}=5\text{mA}$ ,  $I_{o2}=1\text{mA}$  en la figura 5.7.

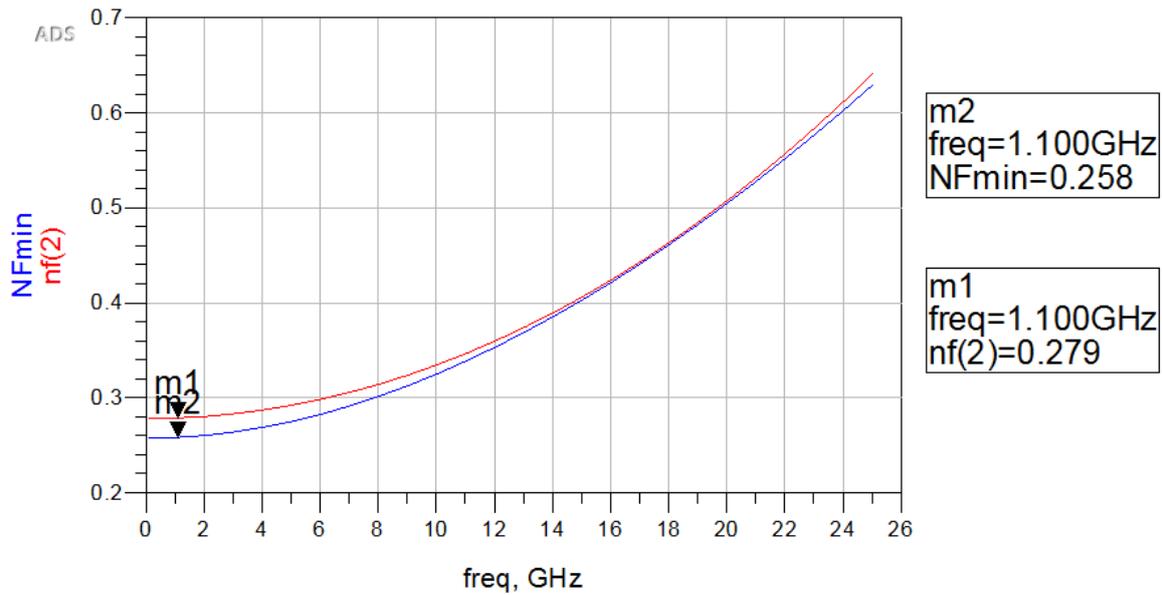


Figura 5.7 Evolución del ruido del circuito con un área de transistor con  $Nfg=4$ ,  $Wfg=50$ ,  $Io1=5mA$ ,  $Io2=1mA$ .

Para ver cómo afecta los distintos valores de  $Io2$  a la figura de ruido del circuito, fijamos  $Nfg=4$ ,  $Wfg=50$ ,  $Io1=5mA$  y variamos la  $Io2$ . El resultado se presenta en la figura 5.8.

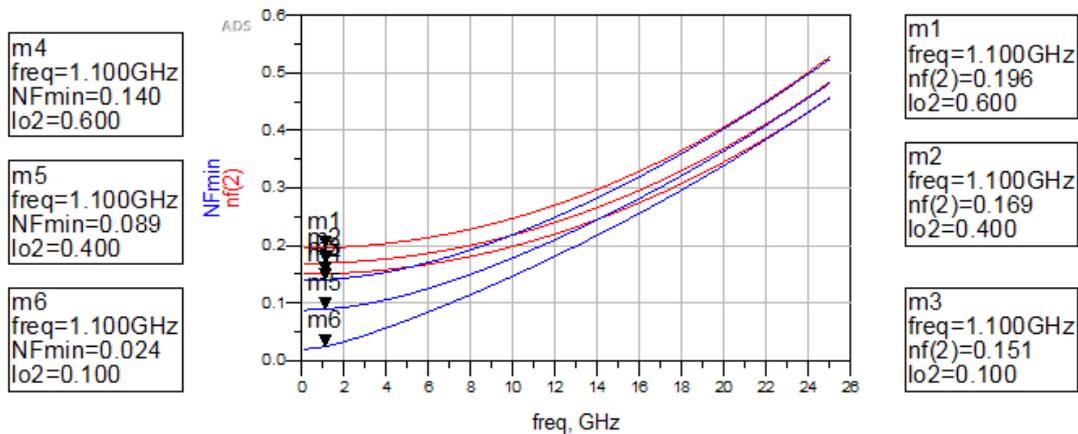


Figura 5.8 Evolución del ruido del circuito al variar  $Io2$

No es difícil de observar que al aumentar la corriente de polarización  $Io2$ , la figura de ruido aumenta también. El siguiente paso es analizar los distintos valores de

lo1, para ello fijamos Nfg=4, Wfg=50, lo2 =1 mA y variar lo1. El resultado se muestra en la figura 5.9

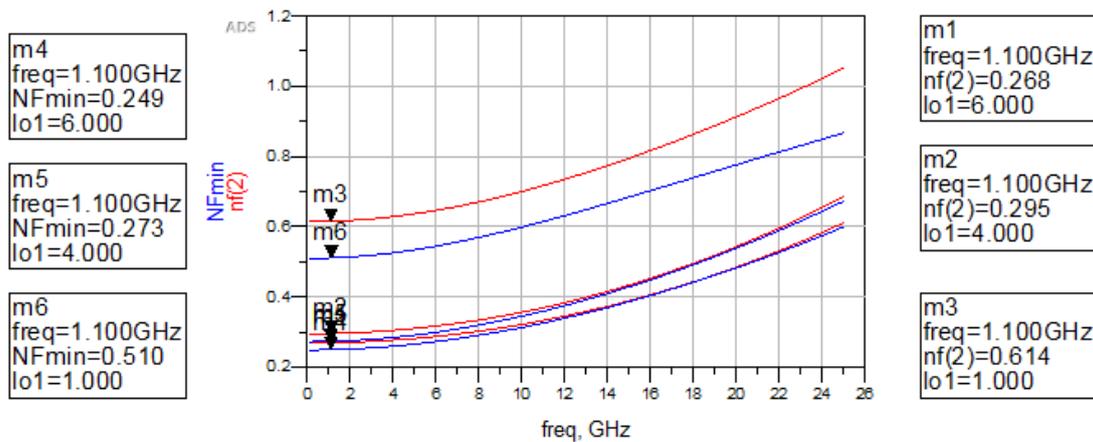


Figura 5.9 Evolución del ruido del circuito al variar lo1

Se puede concluir que, si aumenta la corriente de polarización lo1, la figura de ruido se disminuye. Ahora queda analizar la relación entre los distintos valores de área y el ruido del circuito. Para conseguirlo fijamos Wfg=50 μm, lo2 =1 mA, lo1=5mA y variamos Nfg, el resultado lo muestra en la figura 5.10

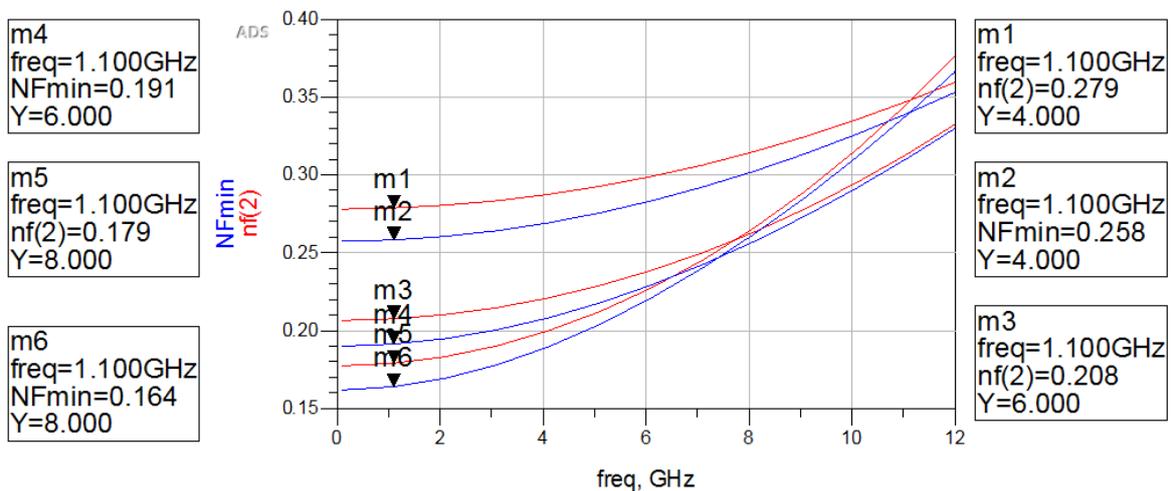


Figura 5.10 Evolución del ruido del circuito al variar el tamaño de los transistores

En este caso el área de los transistores y la figura de ruido del circuito no tiene una relación tan clara con los casos anteriores, pero si solo fijamos en la banda que

nos interesa, que normalmente el ancho de banda de este circuito no supera a 11GHz, entonces ya lo vemos más claro. En este rango de frecuencia si aumenta el área de los transistores la figura de ruido disminuye.

## 5.5 Análisis los resultados de la tecnología GaN

A continuación, resumimos las conclusiones del diseño del circuito con respecto a las dimensiones de los transistores y a las corrientes:

El aumento de área de los transistores implica que:

- la figura de ruido disminuye, pero solo a frecuencias bajas
- el ancho de banda disminuye
- la ganancia casi no se ve afectada

El aumento del corriente de polarización  $I_{o1}$  implica que la figura de ruido disminuye. Al fijar  $I_{o1}$  para que la impedancia  $Z_{in} = 50\Omega$ , entonces no tiene sentido hacer pruebas de ganancia y ancho de banda variando  $I_{o1}$ .

El aumento del corriente de polarización  $I_{o2}$  implica que:

- la ganancia disminuye
- el ancho de banda aumenta
- la figura de ruido aumenta.

Al carecer la tecnología GaN de OMMIC de transistores Mosfets y/o bipolares PNP, no se pueden diseñar espejos de corrientes. Una opción es la utilización de fuentes de corriente externas, pero ya no se podría integrar todo el circuito en un mismo chip. Se concluye que no se pueden diseñar LNAs con CCs totalmente integrados con esta tecnología. Por ello, en el siguiente capítulo se va a diseñar el mismo circuito utilizando tecnología CMOS de 65 nm de UMC.

# Capítulo 6 Diseño del amplificador con tecnología UMC 65nm

Para hacer el estudio con la tecnología UMC, primero se analiza el circuito usando fuentes de corrientes ideales y después se realiza el mismo estudio utilizando fuentes de corriente ideales. En los siguientes apartados se los explica con detalle el proceso seguido.

## 6.1 Estudio del diseño con fuente ideales con la tecnología UMC 65nm

### 6.1.1. Análisis del circuito usando fuentes de corrientes ideales para la tecnología UMC

En primer lugar, se analiza el circuito utilizando las fuentes de corrientes ideales (ver Figura 6.1).

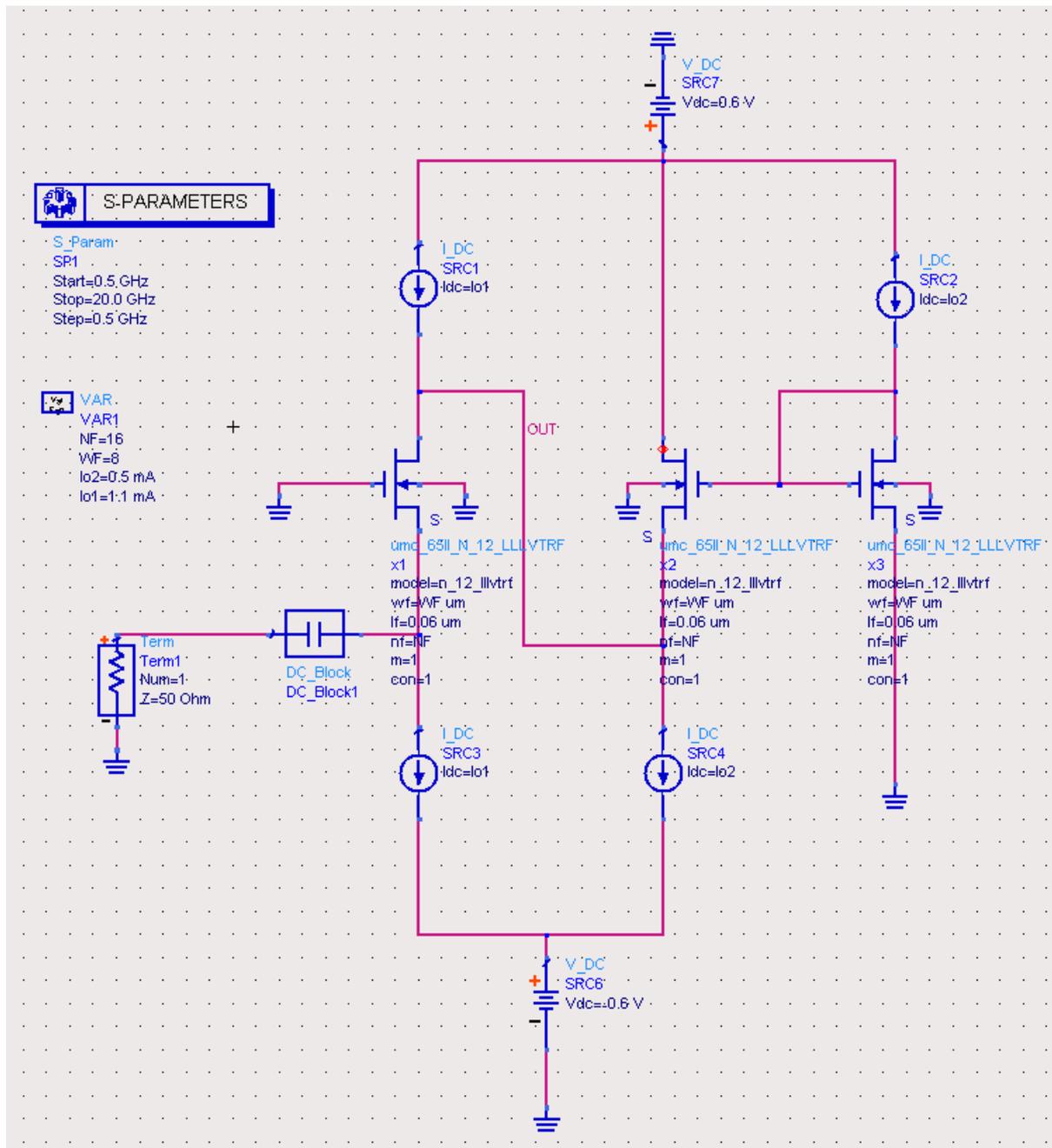


Figura 6.1 Implementación de un amplificador de bajo ruido realizado con convertidores de corriente con tecnología UMC 65nm.

La simulación de diseño con tecnología UMC 65nm se hace en continua y en alterna. La simulación en continua deja claro la necesidad de meter un condensador a la entrada del circuito para que el transistor X1 trabaje en la zona activa. Con la simulación en alterna se obtienen los valores de impedancia de entrada, ganancia, ancho de banda y ruido en función de las corrientes de polarización  $Io1$  e  $Io2$ , número

de dedos (nf del inglés *number of fingers*) y la anchura de cada uno (wf del inglés *width of fingers*).

### 6.1.2. Valores de $I_{o1}$ ( $\mu A$ ) para $Z_{in}$ próxima a 50 Ohm con UMC 65nm

Ahora, para obtener los valores de  $I_{o1}$  para que la impedancia de entrada de circuito sea  $50\Omega$ , hay que sustituir la fuente de tensión de la entrada por un terminal de  $Z = 50\Omega$ , y la simulación debe ser en alterna y con parámetros S.

Se realiza un barrido fijando la  $I_{o2}$  a  $500\ \mu A$  y variando  $I_{o1}$  para ver qué valor de corriente  $I_{o1}$  hace que la impedancia de entrada al circuito sea lo más próxima a  $50\ \text{Ohm}$ . El barrido se hizo para distintas áreas de los transistores CMOS.

El resultado se ha obtenido mirando en la carta de Smith [38] que valor de  $I_{o1}$  hace que la impedancia de entrada sea de  $50\ \text{Ohm}$  (Figura 6.2).

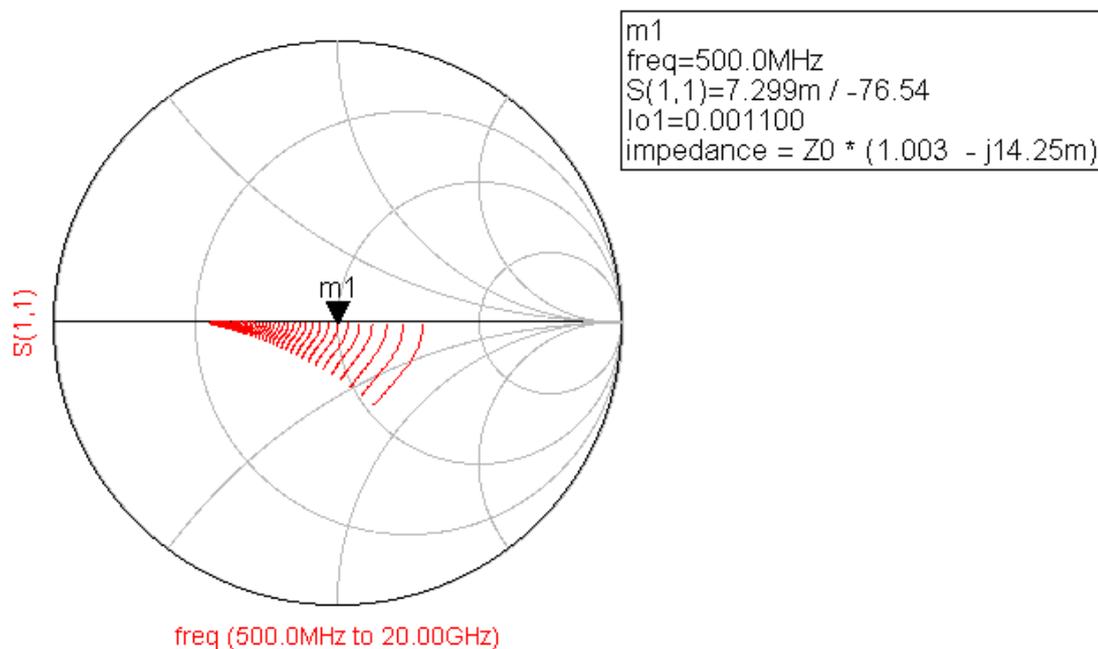


Figura 6.2 Carta de Smith usada para calcular valor de  $I_{o1}$  para la impedancia de entrada sea de  $50\ \text{Ohm}$

Si se realiza este proceso para diferentes tamaños de los transistores CMOS (fijamos  $w_f=8 \mu\text{m}$ , y variar  $n_f$ ), se obtiene los valores de la tabla 6-1:

Numero de fingers (nf)	Corriente Io1 (mA)
4	2.1
8	1.4
12	1.2
16	1.1
20	1.09
24	1.0
28	0.98
32	0.97

Tabla 6-1 Valores de corriente Io1 para conseguir una adaptación de entrada a  $50 \Omega$

Representado gráficamente se obtiene la figura 6.3.

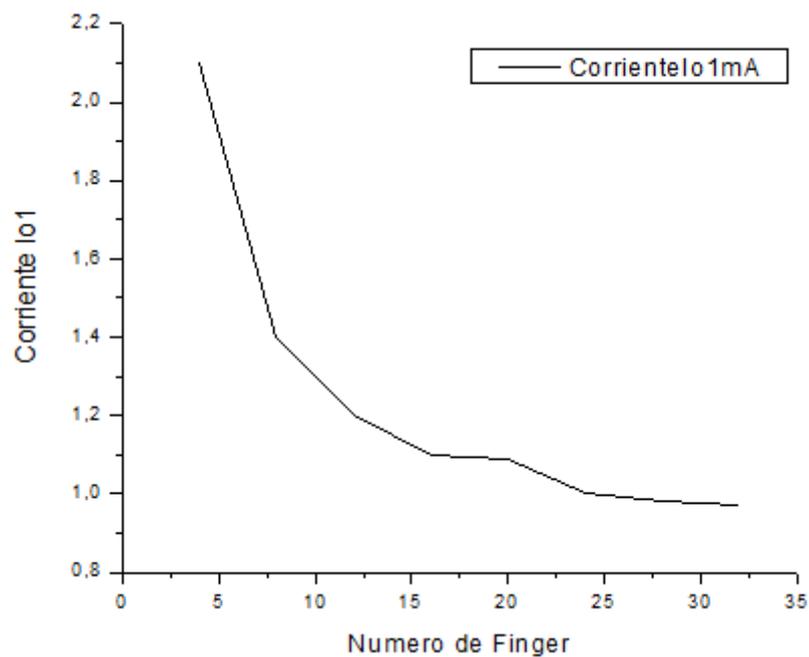


Figura 6.3 Representación de la corriente Io1 para obtener una impedancia de entrada de  $50 \Omega$  para distintas áreas de transistores.

Se observa en figura 6.3 que para mantener una impedancia de entrada cercana a los  $50 \Omega$  hay que ir disminuyendo la corriente de polarización  $I_{o1}$  a medida que el área de los transistores va aumentando.

### 6.1.3. Ganancia y Ancho de Banda en función del área de los transistores CMOS para distintos valores de $I_{o2}$ con UMC 65nm

Una vez fijado los valores de corriente de  $I_{o1}$  para que la impedancia de entrada sea la más próxima a  $50 \Omega$ , todo ello para las distintas áreas de los transistores, se procederá al estudio de la ganancia y el ancho de banda del circuito para los distintos valores de corriente de  $I_{o2}$ .

Esto se realiza simulando el circuito para los distintos valores de área de transistores. Para el caso particular en el que  $w_f=8\mu\text{m}$ ,  $n_f=4$ , se obtiene la figura 6.4.

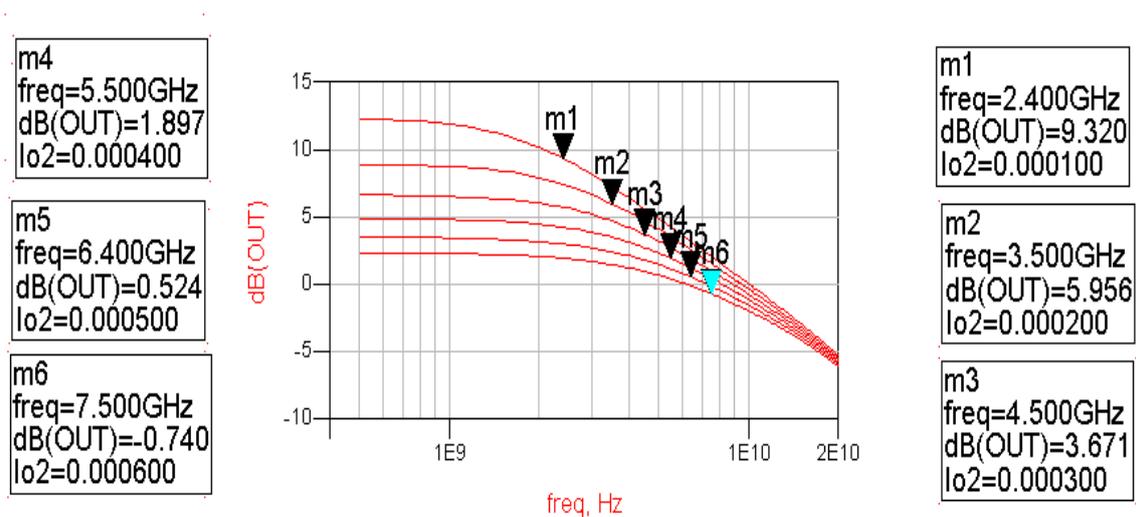


Figura 6.4 Representación de la ganancia obtenida para distintos valores de corriente  $I_{o2}$  empleando  $w_f=8\mu\text{m}$ ,  $n_f=4$ .

Para observar cómo afecta el área de transistores a la ganancia del circuito, fijamos  $w_f = 8 \mu\text{m}$ , y variamos el número de dedos. Los resultados se muestran en la figura 6.5.

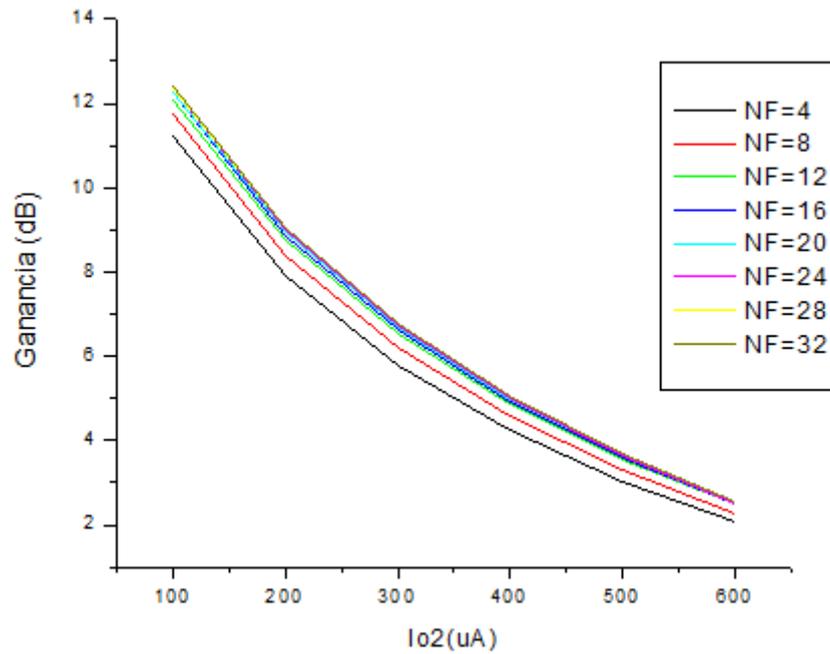


Figura 6.5 Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de  $I_{o2}$  y para las distintas áreas de transistores.

Vemos el área del transistor no afecta mucho a la ganancia, pero si aumenta el  $I_{o2}$ , la ganancia se disminuye claramente.

A continuación, veamos cómo afecta el área de transistor en el ancho de banda de circuito. Los valores de la simulación son representados en la figura 6.6.

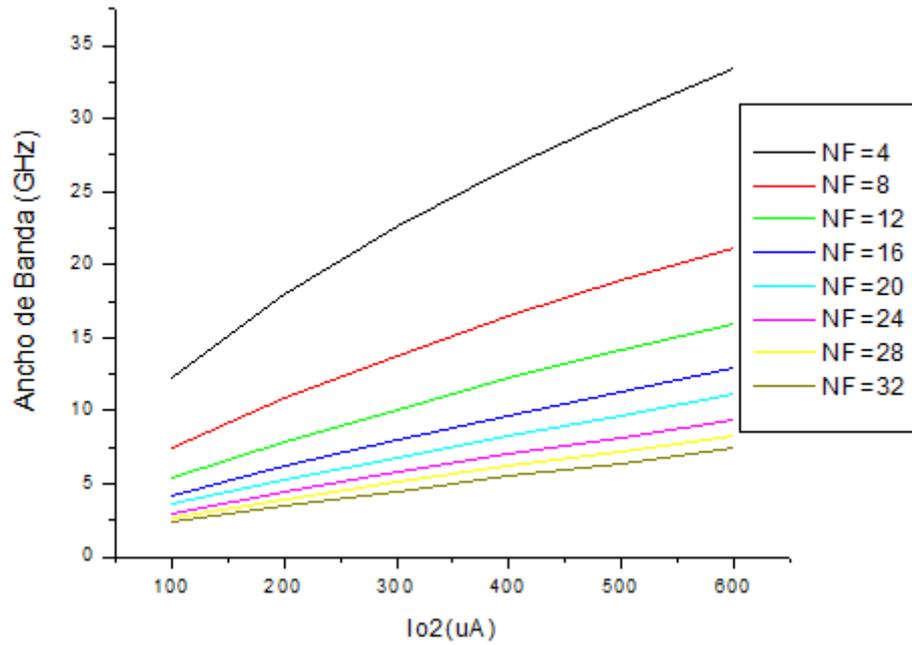


Figura 6.6.6 Ancho de Banda del circuito usando fuentes de corrientes ideales para distintos valores de  $I_{o2}$  y para las distintas áreas de transistores.

Se observa que, si aumentamos el área de transistor, el ancho de banda disminuye, y si aumenta el corriente de polarización  $I_{o2}$ , el ancho de banda aumenta.

Para poder observar mejor el resultado de la simulación, juntamos las curvas de ganancia y de ancho de banda, y así poder ver cómo afecta los dos factores (el área de transistor, el corriente de polarización  $I_{o2}$ ) al ancho de banda y ganancia del circuito. El resultado se representa en la figura 6.7.

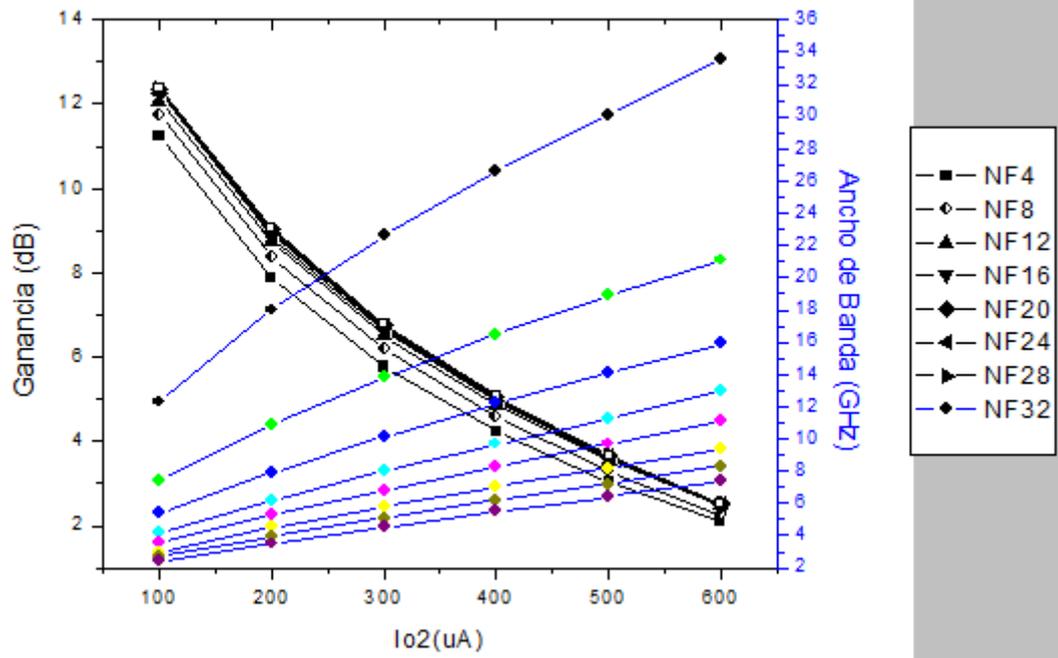


Figura 6.6.7 Ancho de Banda y Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de  $I_{02}$  y para las distintas áreas de transistores.

#### 6.1.4. Análisis del ruido en función del área de los transistores para distintos valores de $I_{02}$

Otro factor que hay que tener en cuenta a la hora de diseñar el circuito es el ruido del circuito. Para ello se introducen puertos de  $50 \Omega$  a la entrada y salida del circuito y habilitamos la opción de análisis de NF. En la figura 6.8 se muestra el ruido del circuito con un transistor de  $64 \mu\text{m}$  de ancho total y una corriente  $I_{02}$  de  $0.5 \text{ mA}$ .

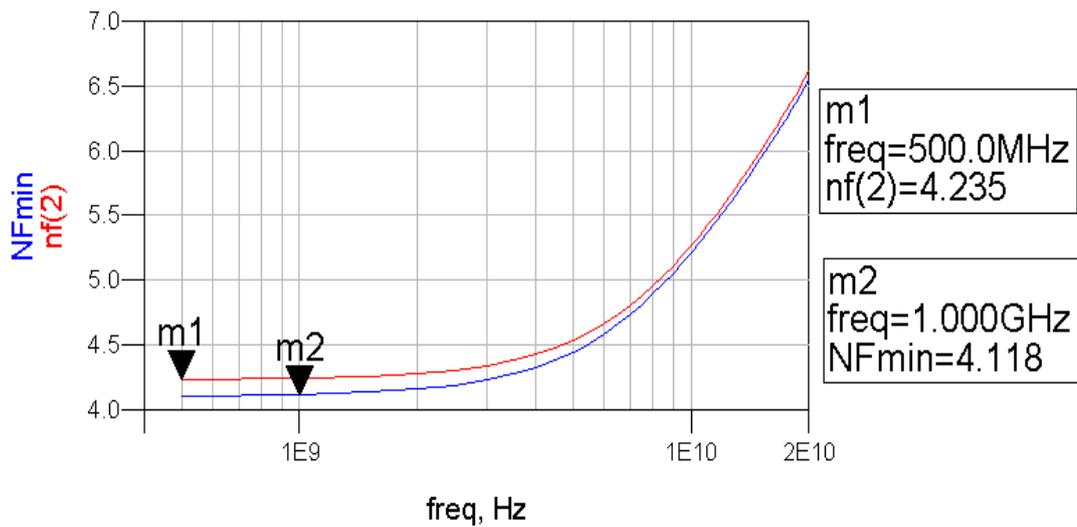


Figura 6.8 Evolución del ruido del circuito con un área de transistor un transistor de 64  $\mu\text{m}$  de ancho total y una corriente lo2 de 0.5 mA.

Para ver cómo afecta el tamaño del transistor al ruido fijamos lo1=1.1mA, lo2=0.5mA, W=8 $\mu\text{m}$ , y variamos el nf el resultado se observa en la figura 6.9.

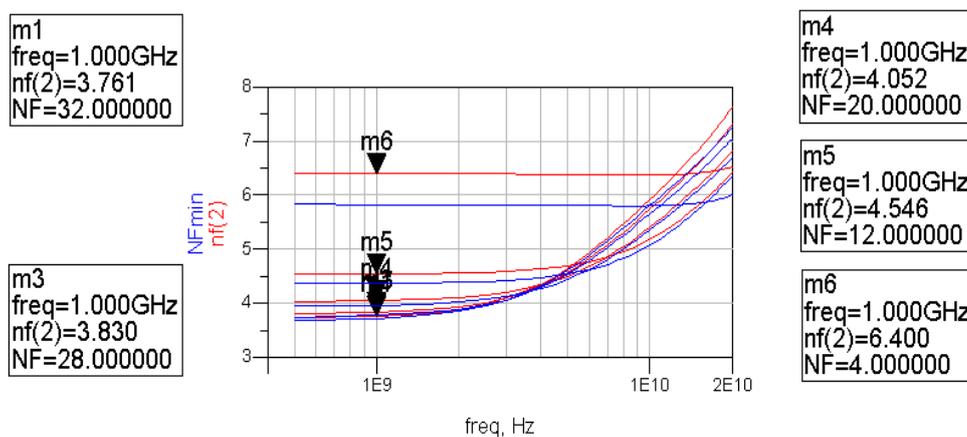


Figura 6.9 Evolución del ruido del circuito al variar el tamaño de los transistores.

Vemos que si aumentamos el área del transistor disminuye el ruido.

Para ver cómo afecta el corriente de polarización lo1 al ruido fijamos nf=16, lo2=0.5mA, wf=8 $\mu\text{m}$ .el resultado vemos en la figura 6.10.

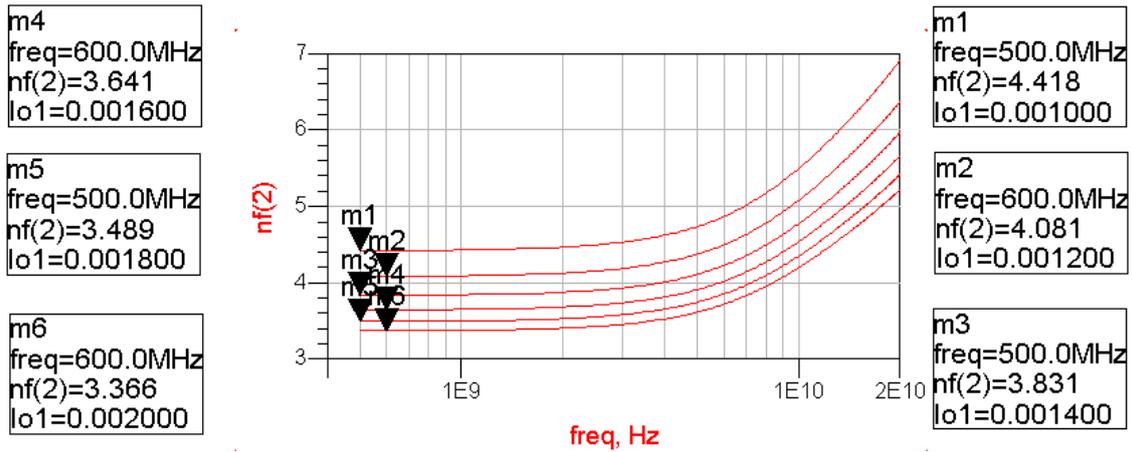


Figura 6.10 Variación de la figura de ruido al modificar la corriente  $I_{o1}$ .

Se puede comprobar que, si aumento de la corriente  $I_{o1}$ , la figura de ruido disminuye. El siguiente paso es el análisis del ruido con la variación de corriente  $I_{o2}$ . Para ello fijamos  $n_f=16$ ,  $w_f=8\mu m$ ,  $I_{o1}=1.1mA$ , el resultado se muestra en la figura 6.11

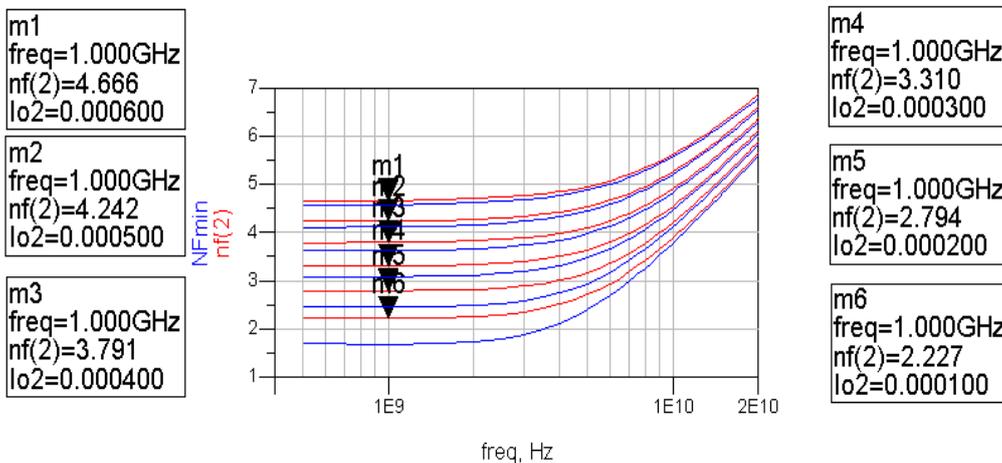


Figura 6.11 Variación de la figura de ruido al modificar la corriente  $I_{o2}$ .

Se puede observar que, si aumentamos el corriente de polarización  $I_{o2}$ , el ruido aumenta. En resumen, se puede ver que el aumento de  $I_{o1}$  y la disminución de  $I_{o2}$  contribuyen a una disminución de la figura de ruido, así como el aumento del área de los transistores.

## 6.2 Estudio del diseño con fuentes de corriente reales con la tecnología UMC 65nm

### 6.2.1. Análisis del circuito usando fuentes de corrientes reales

El siguiente paso consiste en analizar el circuito utilizando las fuentes de corriente reales.

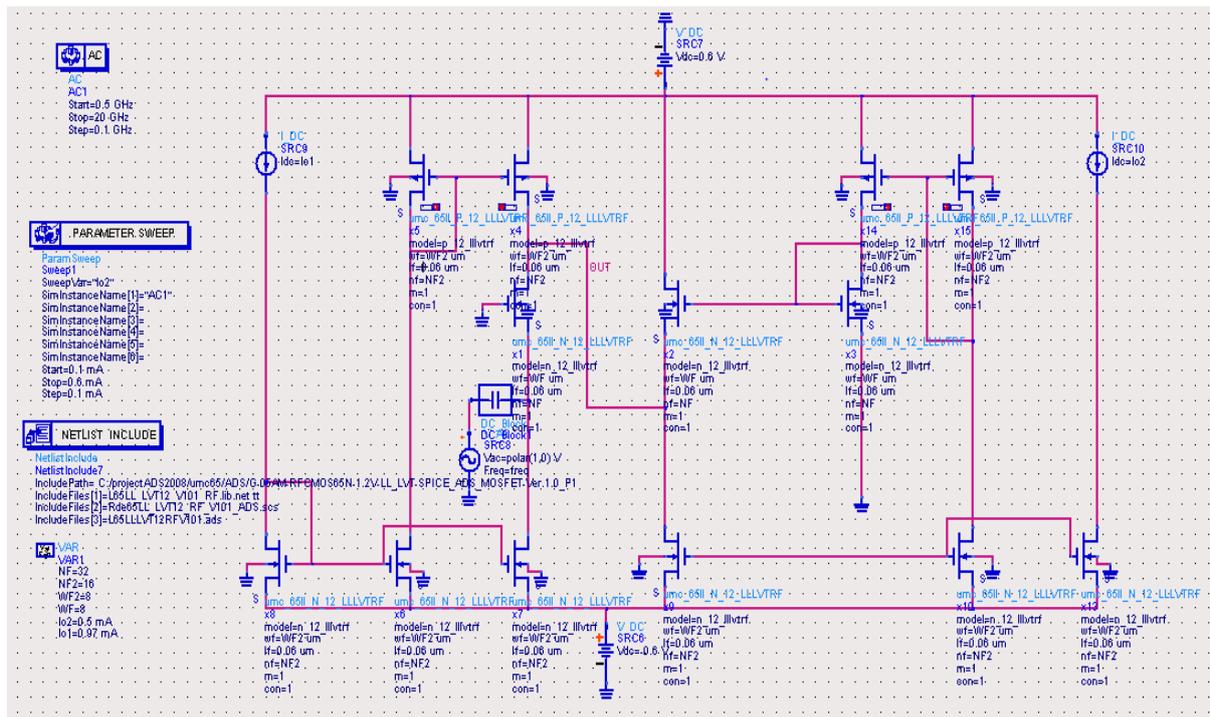


Figura 6.12 Circuito que nos queda al sustituir las fuentes de corriente ideales por espejos de corriente.

El circuito que se emplea es el de la Figura 6.12. Se ha sustituido las fuentes de corriente ideales por fuentes de corriente reales implementadas con transistores NMOS situados en la parte inferior del circuito y transistores PMOS situados en la parte superior del circuito. Estos transistores implementan lo que se llaman espejos de corriente. Los transistores principales que conforman el núcleo o *core* del circuito, es decir X1, X2 y X3, no han cambiado.

## 6.2.2. Ganancia y ancho de banda en función del área de los transistores principales para distintos valores de $I_{o2}$

Para ver la característica del circuito, es necesario saber cómo reacciona la ganancia ante distintos valores de los parámetros  $W$  y  $L$  de los transistores CMOS de las fuentes de corriente  $I_{o1}$  e  $I_{o2}$  y los valores el área de los transistores principales y los valores de la corriente de polarización  $I_{o2}$ . Pero los valores de  $I_{o1}$  son fijados a aquellos que hacen que la impedancia de entrada sea lo más próxima a  $50 \Omega$ .

El primer estudio será el análisis de la ganancia y el ancho de banda para distintos valores de la  $W$  de los transistores CMOS de los espejos de corriente. Vemos el resultado de la simulación en la figura 6.13.

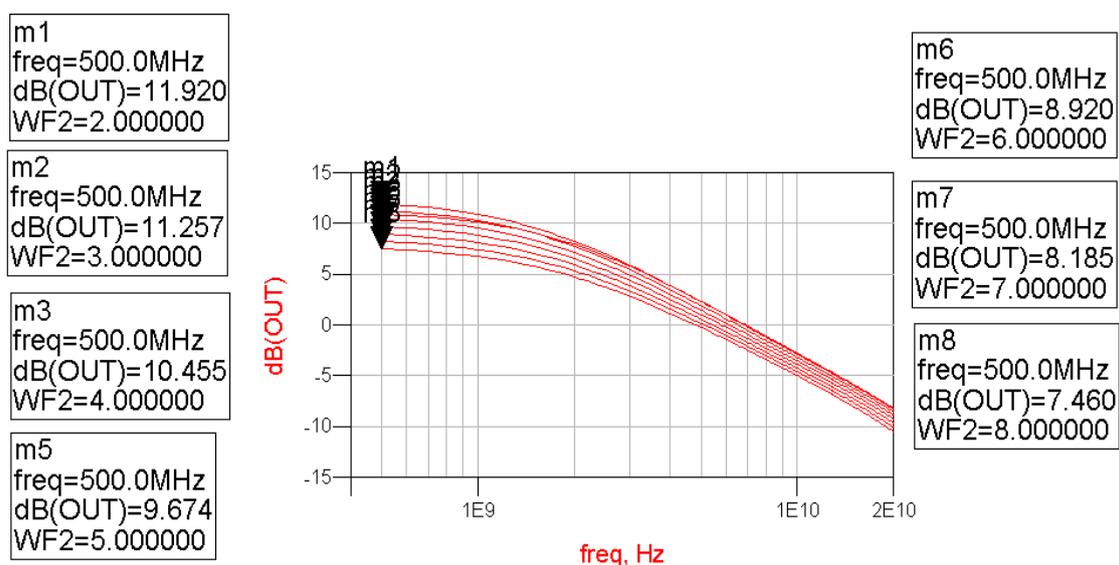


Figura 6.6.13 Análisis de la ganancia y el ancho de banda para distintos valores de la  $W$  ( $\mu\text{m}$ ) de los transistores CMOS de los espejos de corriente.

Se puede observar que si aumenta la  $W$  de los transistores disminuye la ganancia mientras que el ancho de banda aumenta, pero muy poco.

Otro factor que vamos a analizar es la variación con respecto a la  $L$  de los transistores MOS de la fuente real. Para ello variamos el número de finger, así podemos variar la  $L$  del transistor, ya que la  $L$  del transistor está construido por varios fingers.

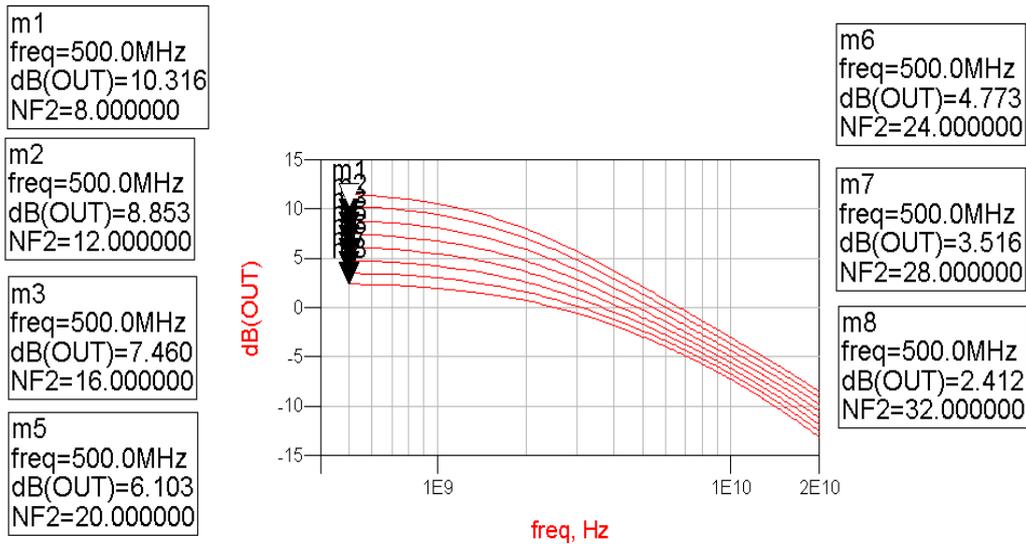


Figura 6.14 Variación de la ganancia y el ancho de banda del circuito empleando fuentes de corriente reales y variando la NF de los transistores MOS.

Se puede concluir que si aumenta la L de los transistores la ganancia disminuye mientras que el ancho de banda va aumentando, pero muy poco.

En conclusión, si aumentamos el área de los transistores CMOS de fuente real, la ganancia del circuito disminuye, mientras que el ancho de banda aumenta brevemente.

También se va a comprobar la variación con respecto a la corriente de polarización  $I_{o2}$  (figura 6.15).

m1  
freq=500.0MHz  
dB(OUT)=7.282  
lo2=0.000600

m2  
freq=500.0MHz  
dB(OUT)=5.760  
lo2=0.001100

m3  
freq=500.0MHz  
dB(OUT)=3.869  
lo2=0.001600

m5  
freq=500.0MHz  
dB(OUT)=2.421  
lo2=0.002000

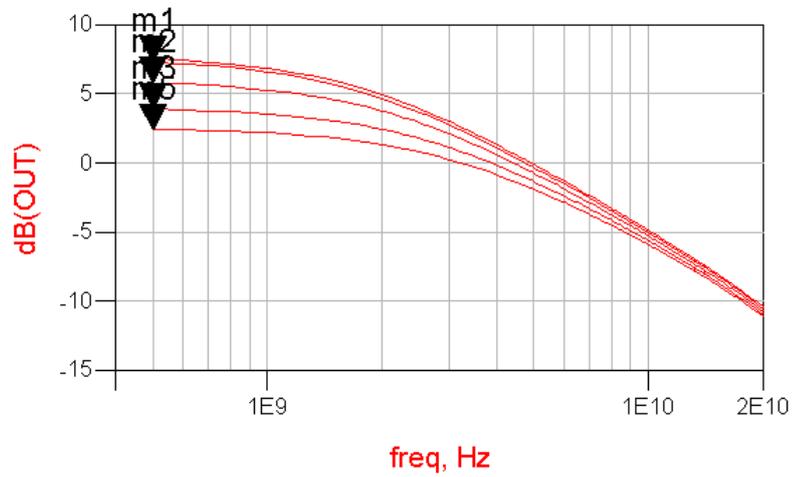


Figura 6.15 Simulación de la ganancia del circuito con espejos de corriente para distintos valores de lo2

Se puede obtener la conclusión de que si aumenta el corriente de polarización lo2 disminuye la ganancia del circuito, pero el ancho de banda aumenta.

Por último, se analiza el efecto que tiene sobre la ganancia y el ancho de banda la variación del área de los transistores Core. En la Figura 6.16 vemos el resultado obtenido.

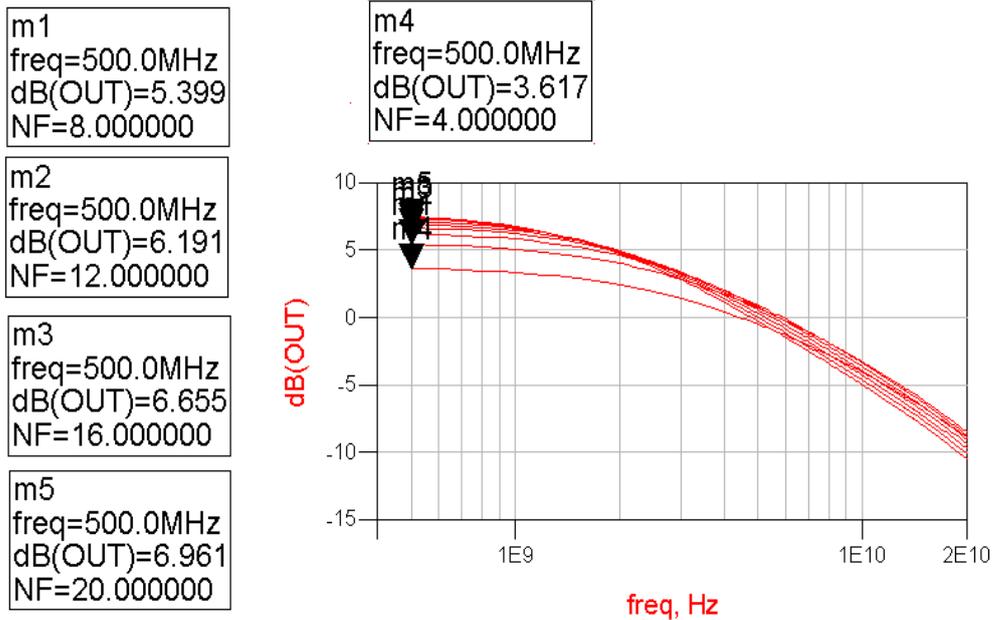


Figura 6.16 Simulación de la ganancia y ancho de banda del circuito al variar el área de los transistores Core.

Se observa que la ganancia aumenta según se aumenta el área de los transistores Core aumenta la ganancia, pero disminuye el ancho de banda.

### 6.2.3. Estudio del ruido en función de los distintos parámetros del circuito

Otro dato que se analiza del circuito es la figura de ruido obtenida al variar los distintos parámetros del circuito como son el área de los transistores y las corrientes de polarización. Para ello se sustituye la fuente de tensión de la entrada por un terminal ( $Z=50\Omega$ ) y ponemos otro a la salida.

En primer lugar, se analiza la figura de ruido haciendo un barrido de la corriente de polarización  $I_{o1}$  con  $n_f=32$  y  $w_f=8\mu\text{m}$  para los transistores principales,  $n_f=16$  y  $w_f=8\mu\text{m}$  para los transistores del espejo de corriente e  $I_{o2}=0.5\text{mA}$ .

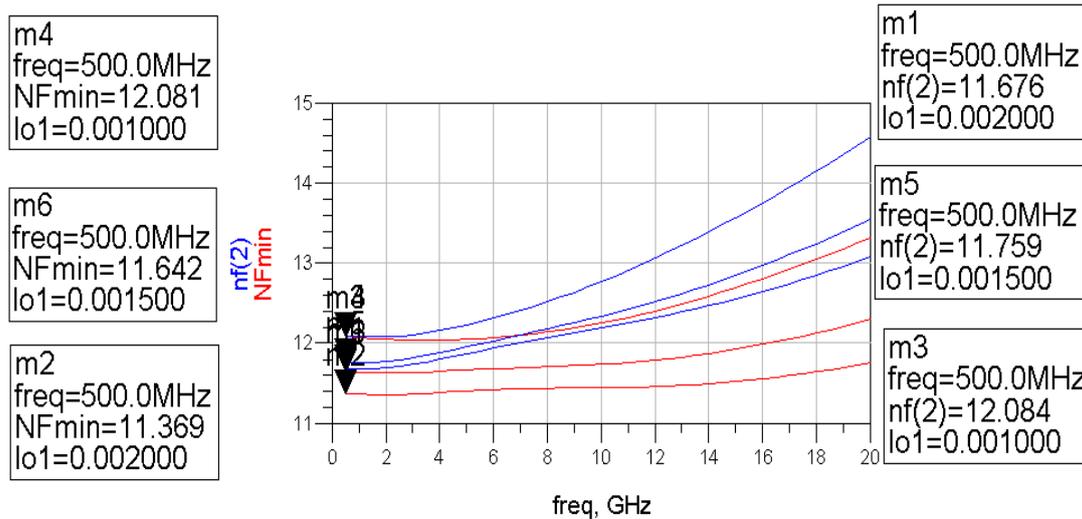


Figura 6.17 Análisis del ruido del circuito resultante al variar la corriente de polarización  $lo1$ .

Podemos observar que al aumentar la corriente de polarización  $lo1$ , la figura de ruido disminuye.

Otro dato que debe analizar es el comportamiento del ruido en función de la otra corriente de polarización, o sea, de  $lo2$ . Para ello fijamos el resto de los parámetros del circuito y comprobamos el comportamiento del ruido en función de la intensidad de  $lo2$ . Si se simula en el ADS se obtiene la figura 6.18 con  $nf=32$  y  $wf=8\mu m$  para los transistores principales,  $nf=16$  y  $wf=8\mu m$  para los transistores del espejo de corriente e  $lo1=1mA$ .

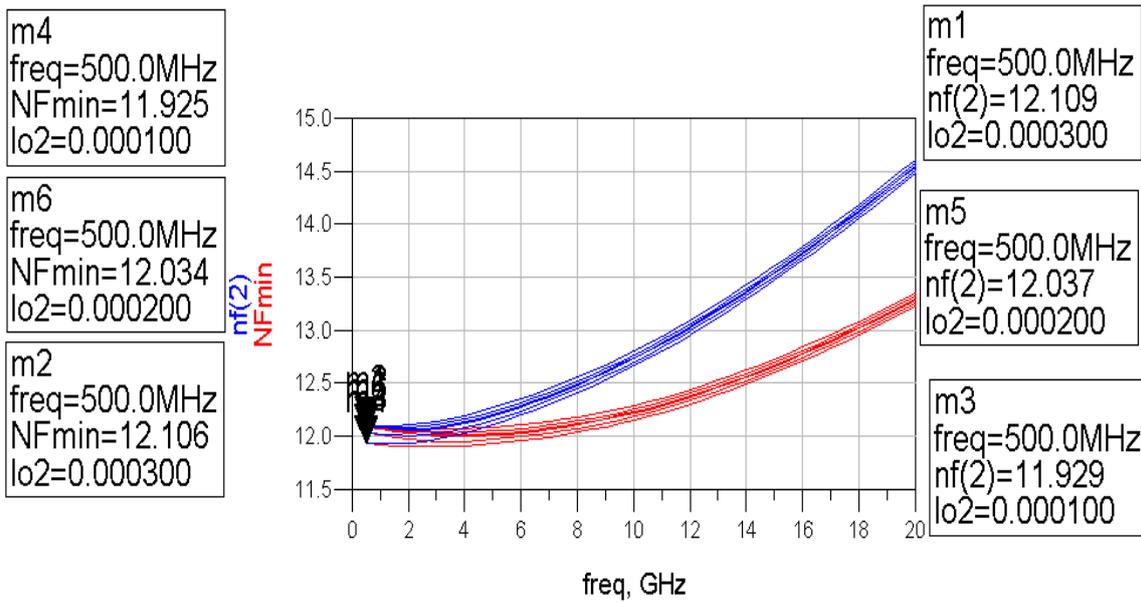


Figura 6.18 Análisis del ruido del circuito resultante al variar la corriente de polarización  $lo_2$ .

De esta gráfica se puede ver que la figura de ruido se ve incrementada al incrementar el valor de la corriente  $lo_2$ .

El efecto que produce los distintos valores de área de los transistores Core a la figura de ruido, es un factor importante para considerar a la hora de fabricar el amplificador. Para ello fijamos  $wf=8\mu\text{m}$  para los transistores principales,  $nf=16$  y  $wf=8\mu\text{m}$  para los transistores del espejo de corriente e  $lo_1=1\text{mA}$ ,  $lo_2=0,5\text{mA}$ , y variamos el  $nf$  de los transistores principales, para que varíe el área de los transistores principales, el resultado se muestra en la figura 6.19.

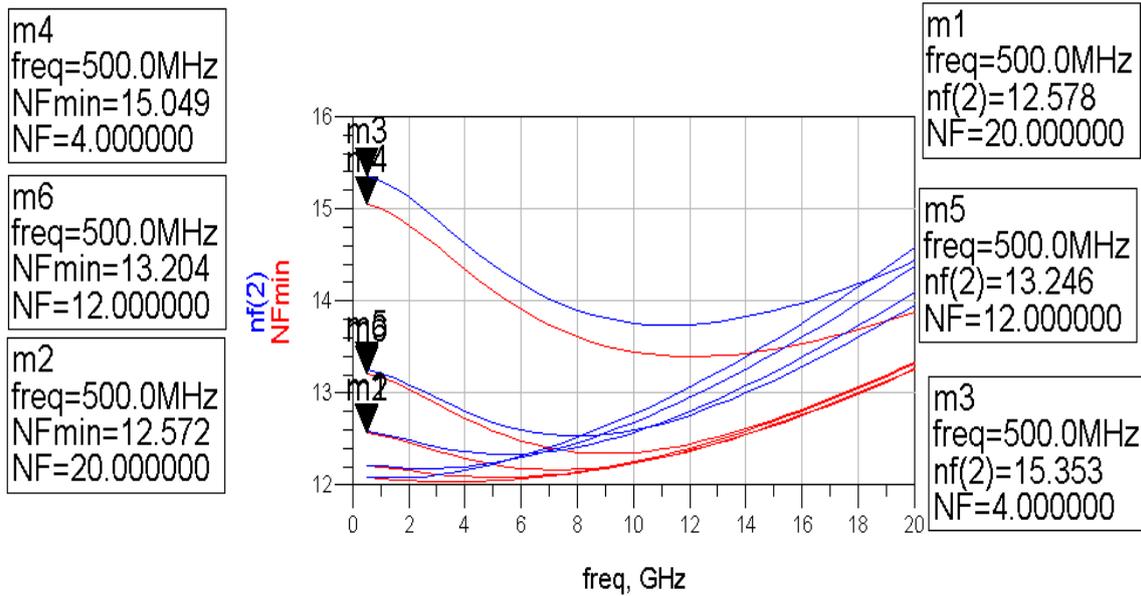


Figura 6.19 Comportamiento de la figura de ruido del circuito al variar el área de los transistores Core.

No es difícil de observar que al aumentar el área de los transistores Core, la figura de ruido disminuye, pero a medida que aumenta la frecuencia las curvas se cruzan, y llegan a ser que la regla anterior no se cumple.

Hay un factor más que hay que tener en cuenta, el efecto que produce los distintos valores de área de los transistores que forman las fuentes de corriente en la figura de ruido. Para analizarlo, primero modificamos la  $W$ , fijando la  $L$ , y el resto del circuito con  $nf=32$  para los transistores principales,  $nf=16$  y  $wf=8 \mu\text{m}$  para los transistores del espejo de corriente,  $Io1=1\text{mA}$ ,  $Io2=0,5\text{mA}$ . El resultado de la simulación se muestra en la figura 6.20.

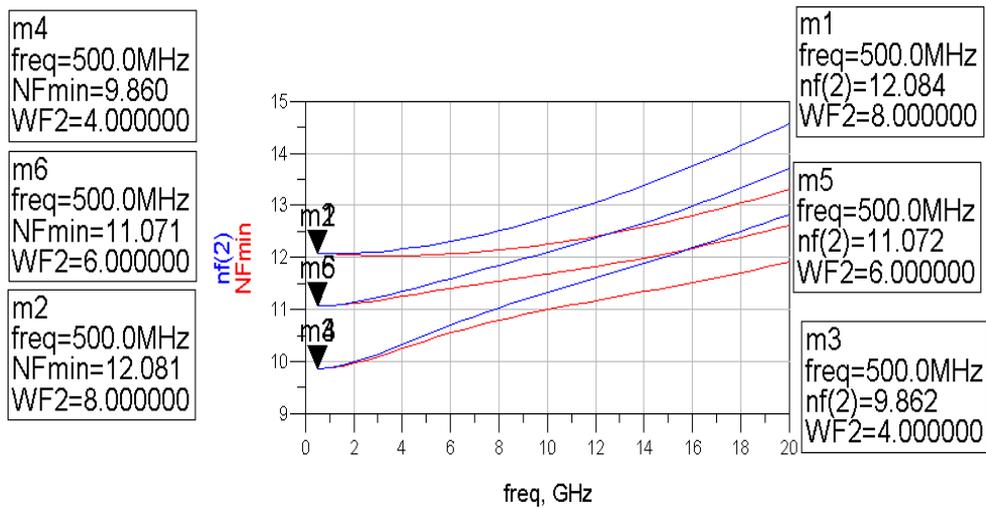


Figura 6.20 Análisis de la figura de ruido del circuito al variar la W de los transistores que forman las fuentes de corriente.

El resultado muestra que al aumentar la W de los transistores que forman el espejo de corriente la figura de ruido aumenta.

El siguiente paso es hacer la misma simulación, pero fijando W de los transistores que forman el espejo de corriente, y variar la L, el resto del circuito se mantiene con  $nf=32$  y  $wf=8\mu\text{m}$  para los transistores principales,  $wf=8\mu\text{m}$  para los transistores del espejo de corriente,  $Io1=1\text{mA}$ ,  $Io2=0,5\text{mA}$ . EL resultado se muestra en la figura 6.21.

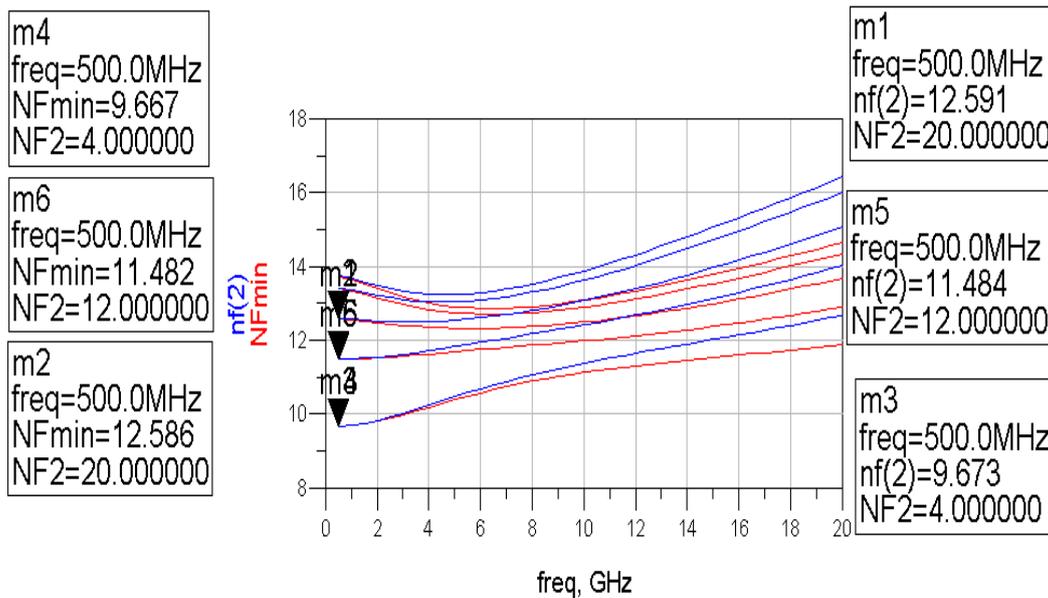


Figura 6.21 Análisis de la figura de ruido del circuito al variar la L de los transistores que forman las fuentes de corriente.

Observando la figura es fácil de concluir que al aumentar la L de los transistores que forman el espejo de corriente, tiene el mismo efecto que al aumentar la W.

La conclusión que se puede sacar de los resultados es: al aumentar la corriente de polarización  $I_{o1}$ , la figura de ruido disminuye; la figura de ruido se ve incrementada al incrementar el valor de la corriente  $I_{o2}$ ; al aumentar el área de los transistores Core, la figura de ruido disminuye, pero solo en frecuencia baja. al aumentar el área de los transistores que forman el espejo de corriente, la figura de ruido aumenta.

### 6.3 Análisis de los resultados de la tecnología UMC 65nm

Con el fin de resumir los resultados de las simulaciones, vamos a agrupar los 3 factores el área de los transistores Core, el área de los transistores que forman el espejo de corriente, el corriente de polarización  $I_{o2}$ ,  $I_{o1}$  aquí no lo tenemos en cuenta ya que son fijados por la adaptación de impedancia  $Z_{in}=50\Omega$  y veremos el efecto que tiene al variar estos datos.

El aumento de área de los transistores principal implica que:

- la figura de ruido disminuye, pero solo en frecuencias bajas
- el ancho de banda disminuye
- aumenta la ganancia, pero muy poco

El aumento de área de los transistores que forman el espejo de corriente implica que:

- la figura de ruido aumenta
- la ganancia del circuito disminuye
- el ancho de banda aumenta brevemente

El aumento del corriente de polarización  $I_{O2}$  implica

- la ganancia se disminuye claramente
- el ancho de banda aumenta
- la figura de ruido aumenta.

Una vez terminados ambos diseños en las dos tecnologías, en el siguiente capítulo se hace un resumen con los resultados obtenidos destacando las ventajas y desventajas de cada uno.



## Capítulo 7 Conclusiones y líneas futuras

El objetivo de este proyecto es analizar la viabilidad de los convertidores de corrientes para el diseño de LNA empleando la tecnología GaN y comparar las ventajas y desventajas con respecto a otra tecnología, en este caso la tecnología CMOS 65 nm de UMC.

### 7.1. Conclusiones

Para lograr el objetivo, el primer paso que se llevó a cabo fue una breve introducción de los transceptores, y qué papel juega un LNA en esta arquitectura, qué puede ofrecer un convertidor de corriente y la posibilidad de incorporar un convertidor de corriente a la arquitectura de un LNA.

El siguiente paso fue el estudio de los convertidores de corriente para analizar las ventajas que presentaban frente a otro tipo de estructuras. Se analizó la evolución de los convertidores de corriente, mostrando diferentes estructuras para su realización y se vieron diferentes topologías, como filtros, amplificadores, etc., realizadas con estos dispositivos.

Una vez visto los convertidores de corriente, el siguiente paso fue el estudio de los LNAs. Lo que pretendimos fue mostrar diferentes tipos de amplificadores de bajo ruido usados en la actualidad y sus principales características. Una vez estudiado, se presentó la estructura alternativa de LNA empleando convertidores de corriente, para posteriormente analizar y comprobar la viabilidad para ver las ventajas e inconvenientes que presenta frente a las arquitecturas tradicionales.

El siguiente paso fue analizar las distintas tecnologías utilizadas en la realización del TFM. Primero se llevó a cabo el estudio del amplificador de bajo ruido con fuentes de corriente ideales con la tecnología GaN. Se analizaron los diferentes parámetros que definen un amplificador como son la ganancia, figura de ruido e impedancias de entrada y de salida y como afectaban las variaciones de las variables del circuito, como pueden ser corrientes de polarización y áreas de los transistores, en estos parámetros. Al carecer la tecnología GaN de OMMIC de transistores Mosfets

y/o bipolares PNP, no se pueden diseñar espejos de corrientes, por lo que se diseñó de nuevo el LNA con la tecnología UMC. Con dicha tecnología se pueden sustituir las fuentes de corriente ideales por fuentes de corriente reales. Se sustituyeron las fuentes de corriente ideales por espejos de corriente y realizamos un análisis del circuito como se hizo en el proceso anterior.

También hay que prestar especial atención a la adaptación de impedancias a  $50\Omega$ . Para lograrla, se modificó la corriente de polarización  $I_{o1}$ , y el área de los transistores.

El LNA diseñado utilizando tecnología de GaN ofrece una figura de ruido por debajo de 0.7 dB, ganancia entre 10.5 dB a 16 dB y ancho de banda máximo 10.5 GHz. Mientras el amplificador en CMOS ofrece una figura de ruido entre 2 dB a 6.5 dB, ganancia entre 12 dB a 13dB y ancho de banda 34 GHz como máximo. Dichos datos se pueden reflejar en la tabla 7-1. Obviamente la tecnología GaN tiene mejor prestación en ruido y ganancia, pero no tiene mucho ancho de banda.

Tecnología	NF máxima	Ganancia máxima	Ancho de banda máximo
OMMIC GaN D01GH	0.7 dB	16 dB	10.5 GHz
UMC CMOS 65nm	6.5 dB	13 dB	34 GHz

*Tabla 7-1 Resultado comparativo de GaN y UMC*

Según la figura 5.3 y 6.4, el amplificador diseñado en tecnología GaN ofrece una planitud de ganancia mucho mejor que la del UMC.

A la hora de aumentar el área de los transistores, la ganancia del amplificador realizado en GaN casi no se ve afectada, mientras que la ganancia del amplificador diseñando con UMC sí se ve afectada, aumentando su valor ligeramente.

La gran desventaja de la tecnología GaN de OMMIC es que no se pueden diseñar espejos de corrientes, al carecer de transistores Mosfets y/o bipolares.

## 7.2. Líneas futuras

Una vez completado el análisis de los resultados obtenidos y realizada la comparativa con los otros circuitos, se puede afirmar que los objetivos de este proyecto se han cumplido. Como líneas futuras tenemos las siguientes:

- Desarrollar el *layout* del LNA CMOS de UMC 65 nm
- Realización de las simulaciones de Montecarlo con el circuito extraído del *layout*, incluyendo los parásitos.
- Fabricación del LNA CMOS de UMC 65 nm y su medida. Con las medidas de la simulación y el circuito físico se puede hacer comparaciones, así se puede comprobar el correcto funcionamiento del circuito.

## Capítulo 8 Presupuesto

En este capítulo se calculan los gastos generados por el presente TFG. El presupuesto se incluye en las siguientes partes:

- Recursos humanos (horas de trabajo tarifado por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación).
- Costes de amortización de los equipos informáticos y herramientas software.
- Otros costes.

### 8.1 Recursos humanos

Para hacer el cálculo de recursos humanos se debe introducir el concepto de “Trabajos tarifados por tiempo empleado” establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2006, y se calcula con la siguiente ecuación:

$$H = H_n * 65 + H_e * 78 \quad (7.1)$$

Siendo:

- H = Honorarios a percibir.
- $H_n$  = Horas contabilizadas en jornada normal.
- $H_e$  = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios [39] que se obtengan por la aplicación de la clave “H” se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a lo detallado en la Tabla 8-1

Horas			Coeficiente
Hasta	36 horas		C=1
Exceso de	36 horas	Hasta 72 horas	C=0.9
Exceso de	72 horas	Hasta 108 horas	C=0.8
Exceso de	108 horas	Hasta 144 horas	C=0.7
Exceso de	144 horas	Hasta 180 horas	C=0.65
Exceso de	180 horas	Hasta 360 horas	C=0.60
Exceso de	360 horas	Hasta 510 horas	C=0.55
Exceso de	510 horas	Hasta 720 horas	C=0.50
Exceso de	720 horas	Hasta 1080 horas	C=0.45
Exceso de	1080 horas		C=0.40

Tabla 8-1 Coeficientes reductores

Ahora se incluye los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización de este. En la tabla 8-2 muestra los valores indicativos del tiempo empleado en cada fase del proyecto.

Descripción Tiempo	Parcial (horas)
Búsqueda y estudio de la documentación	80
Estudio de la herramienta de diseño	50
Análisis y diseño del circuito	100
Realización de la memoria	70

Tabla 8-2 Tiempo empleado

La dedicación media diaria del trabajo es 4,17 horas durante 5 días a la semana. Lo que hace un total de 20,83 horas semanales. Por lo tanto, el trabajo se desarrolla en 14,4 semanas, lo que equivale a 72 días. Que comenzó el día 11 de febrero de 2019, y termina el día 21 de mayo de 2019, en total 300 horas. Estas horas son consideradas del tipo de jornada normal, entonces los honorarios a percibir son:

$$H = 300 * 65 = 19500 \quad (7.2)$$

Aplicando los coeficientes correctivos, dados por el COITT, en este caso C=0.6:

$$H = 19500 * 0.6 = 11.700 \text{ €} \quad (7.3)$$

## 8.2 Costes de amortización de los equipos informáticos y herramientas software.

A continuación, se detallan, en las tablas 8-3, los costes relacionados a las herramientas software empleados en la elaboración del presente proyecto. Los costes están divididos entre el número de usuarios que acceden a ellos los cuáles se han estimado en un número de 50.

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Entorno y diseño de simulación Advanced Design System Amortización 3 años	12	2208,11	44,162	44,16
Entorno Windows	12	306,21	6,12	6,12
Microsoft Office 2003	12	448,95	8,97	8,97

COSTES DE HERRAMIENTAS SOFTWARE	Total	59,25
---------------------------------------	-------	-------

Tabla 8-3 Costes debidos a la utilización de herramientas software

En la Tabla 8-4 se muestra el hardware necesario para la realización del TFG, indicando para cada elemento su valor de adquisición, valor residual y coste de amortización, teniendo en cuenta un tiempo de uso de 1 año.

Elemento	Valor de adquisición	Valor residual	Coste mensual	Coste de la amortización
Ordenador portátil	600€	250€	29,16€	116,66€
Total	600€	250€	29,16€	116,66€

Tabla 8-4 Costes de amortización hardware.

Por lo tanto, el coste total del material hardware asciende a 116.66€.

### 8.3 Otros costes

Además de los recursos hardware y software, en este trabajo se han empleado otros materiales como los folios e impresora entre otros, que quedan englobados como material fungible. En la Tabla 8-5 se muestran los costes de este recurso.

Descripción	Nº de unidades	Coste unidad	Total (€)
Horas de uso de Internet	300 horas	1,2€/hora	360
Paquetes papel DIN_A480 gr/m <sup>2</sup>	2	4,55€	9,1
Fotocopias	200	0.04€	8
Encuadernación	1	6€	6
Otros costes	Total		383.1

Tabla 8-5 Otros costes

## 8.4 Presupuesto total

A la actividad económica de este TFG se le debe aplicar el Impuesto General Indirecto Canario (IGIC), el cual graba el presupuesto con un 7%. Por tanto, el presupuesto total del proyecto sería el que se muestra en la Tabla 8-6.

Costes	Total (€)
Costes de herramientas software	59,25
Costes de equipos informáticos	116,66
Costes de recursos humanos	11700
Otros costes	383.1
Subtotal	12.259,01
IGIC (7%)	858.13
<b>PRESUPUESTO TOTAL</b>	<b>13.117,14</b>

*Tabla 8-6 Presupuesto total*

El presupuesto total del trabajo “Diseño de un Amplificador de RF Basado en Convertidores de Corrientes en Tecnología GAN” asciende a trece mil ciento diez y siete euros con catorce céntimos.



## Capítulo 9 Bibliografía

- [1] J. Crols, M. Steyaert, CMOS wireless transceiver design, Springer Science & Business Media, 2013.
- [2] E. Nygård, P. Aspell, P. Jarron, P. Weilhammer, and K. Yoshioka, CMOS low noise amplifier for microstrip readout design and results, Elsevier, 1991.
- [3] Y. Wu, X.H. Ding, M. Ismail, and H. Olsson, RF bandpass filter design based on CMOS active inductors, IEEE, 2003.
- [4] KC. Smith, A. Sedra , The current conveyor—A new circuit building block, IEEE, 1968.
- [5] C. R. Paul, Inductance: loop and partial, John Wiley & Sons, 2011.
- [6] A. A. Bellido, Análisis y síntesis de redes: realización de un girador, Universidad Politécnica de Valencia, 1991.
- [7] O. Saaid, A. Fabre, Phase compensation of ideal inductances based second-generation current conveyors, Analog Integrated Circuits and Signal Processing, 2000.
- [8] P. A. Martinez, S. Celma, and I. Gutierrez, Wien type oscillator using CCCII+, Analog Integrated Circuits and Signal Processing, 1995.
- [9] A. Fabre, Insensitive voltage mode and current mode filters from commercially available transimpedance operational amplifiers, Proc. Inst. Elect. Eng., 1993.
- [10] K. C. Sedra, A. S. Smith , A second generation current conveyor, and its applications, IEEE Trans, 1970.
- [11] A. S. Sedra, The current conveyor: History and progress, in IEEE Int, 1989.

- [12] A. Fabre, O. Saaid, F. Wiest, and C. Boucheron, High-frequency, high Q BiCMOS current mode bandpass filter and mobile communications applications, IEEE, 1998.
- [13] M. Micovic, A. Kurdoghlian, H. Moyer, P. Hashimoto, A. Schmitz, I. Milosavljevic, P.J. Willadsen, W.S. Wong, J. Duvall, M. Hu and others, GaN MMIC technology for microwave and millimeter-wave applications, IEEE, 2005.
- [14] T.H Liu, S.C Hung, S.Y Wu, Y.Y Chu,, Technology entrepreneurial styles: a comparison of UMC and TSMC, IEEE, 2004.
- [15] B. Wilson, Constant bandwidth voltage amplification using current conveyors, University of Toronto, 1969.
- [16] L. Bruton, RC-Active Circuits, Prentice-Hall, 1980.
- [17] G.C. Temes, W.H. Ki, Fast CMOS current amplifier and buffer stage, Electron. Lett, 1987.
- [18] R. Gray, R.G. Meyer, Analysis and design of analog integrated circuits, New York: Wiley, 1984.
- [19] K.C. Smith, A.S. Sedra, A new simple wide-band current-measuring device, IEEE Trans, 1969.
- [20] B.L. Brennan, T.R. Viswanathan, J.V. Hanson, The CMOS negative impedance converter, IEEE, 1988.
- [21] A.S.Sedra, G.W.Roberts, Current Conveyor: Theory and Practice, IEEE.
- [22] G.W. Roberts, A.S. Sedra, All-current-mode frequency selective circuits, Electronics Letters, 1989.
- [23] A.S. Sedra, P.O. Brackett, Filter Theory and Design: Active and Passive, Matrix Publishers, Inc, 1978.

- [24] F. Seguin, B. Godara, F. Alicalapa, A. Fabre, A Gain-Controllable Wide-Band Low- Noise Amplifier in Low-Cost 0.8- $\mu\text{m}$  Si BiCMOS Technology, IEEE Transactions on microwave theory and techniques, 2004.
- [25] C. Toumazou, F.J. Lidgey, D.G. Haigh, Analog IC Design: The Current Mode Approach, Peregrinus, 1990.
- [26] F. Seguin, A. Fabre, 2-GHz controlled current conveyor in standard 0.8  $\mu\text{m}$  BiCMOS technology, Electron Lett, 2001.
- [27] T. Lee, The Design of CMOS RF Integrated Circuits, Cambridge University Press, 1998.
- [28] J. R. Barrios, Diseño de un amplificador de bajo ruido para un receptor GPS, ULPGC, 2001.
- [29] O. Oliaei, J. Porte, Compound current conveyor (CCII+ and CCII-), Electron Lett, 1997.
- [30] A.S. Sedra, G.W. Roberts, F. Gohn, The current conveyor: history, progress and new results, IEE Proceedings, 1990.
- [31] F. Seguin, B. Godara, F. Alicalapa, A. Fabre, A Gain-Controllable Wide-Band Low- Noise Amplifier in Low-Cost 0.8- $\mu\text{m}$  Si BiCMOS Technology, IEEE Transactions on microwave theory and techniques, 2004.
- [32] A. G. R. M. J. G. Andrews, Fundamentals of WiMAX: understanding broadband wireless networking, Pearson Education, 2007.
- [33] J. H. W. R. A. L. T. L. M. a. P. P. F. Boccardi, Five disruptive technology directions for 5G, arXiv preprint, 2013.
- [34] L. A. Timimi, Estudio por simulación de la técnica LINC para la mejora de la eficiencia en, Universidad de Sevilla, 2016.
- [35] A. Rubio, Diseño de circuitos y sistemas integrados, UPC, 2003.

- [36] D. C. d. Castillo, Diseño de amplificadores de potencia de RF en la tecnología de GaN, UNIVERSIDAD DE SEVILLA, 2010.
- [37] U. K. Mishra, P. Parikh, and Yi-Feng Wu, AlGaN/GaN HEMTs-an overview of device operation, IEEE, 2002.
- [38] S. C. Esther, Generalización de la Carta de Smith, UPV, 2018.
- [39] R. L. Gavira, J. Á. P. López, J. E. R. García, , La Publicación De Honorarios De Las Firmas De Auditoría En España: Un Análisis Empírico, Elsevier, 2008.