

UNIVERSIDAD POLITECNICA DE CANARIAS

INGENIERIA TECNICA DE TELECOMUNICACIONES

PROYECTO FIN DE CARRERA

TITULO:

SISTEMA DE CONTROL DE ESTABILIDAD DE UNA
CENTRAL ELECTRICA.

IMPLEMENTACION HARDWARE Y SOFTWARE

AUTOR:

TUTOR:

Maria Dolores Pérez Cabrera

Sebastián Suárez Gil

FEBRERO 1988

I N D I C E

PAGINA

PREFACIO.....	1
---------------	---

PARTE I:

CONCEPTOS TEORICOS

* SISTEMA BASADO EN MICROPROCESADOR.....	5
- SISTEMA MICROPROCESADOR BASICO.....	5
- CONFIGURACION MINIMA DEL MICROPROCESADOR 8085..	11
- AMPLIACIONES SOBRE UN SISTEMA MINIMO.....	13
. La familia MCS-85.....	13
. Sistemas con microprocesador múltiple.....	17
- DISEÑO DE PROYECTOS CON MICROPROCESADOR.....	20
. Fases de diseño software.....	20
* APLICACIONES DE LOS SISTEMAS CON MICROPROCESADOR..	29
- INTRODUCCION.....	29
- CAMPOS DE APLICACION DE LOS SISTEMAS CON MICRO- MICROPROCESADOR.....	32

* SISTEMAS DE CONTROL.....	38
- CONCEPTOS PRELIMINARES.....	38
- SISTEMAS DE CONTROL Y TERMINOLOGIA.....	39
- SISTEMAS DISCRETOS DE CONTROL.....	42
- CONCLUSIONES SOBRE LA IMPLANTACION DE SISTEMAS DISCRETOS.....	56

PARTE II

SISTEMA DE CONTROL DE ESTABILIDAD DE UNA CENTRAL ELECTRICA

* INTRODUCCION.....	58
* CARACTERISTICAS DEL GENERADOR SINCRONO.....	64
* ANTECEDENTES: RELES DE BAJA FRECUENCIA EN ESTADO SOLIDO.....	75
- PRINCIPIOS DE OPERACION.....	76
- APLICACION.....	84
* INCONVENIENTES DEL METODO DE LOS RELES.....	89
- INTRODUCCION.....	89
- CAUSAS DE LA INESTABILIDAD.....	91
- LA SOBRECARGA.....	93
- LOS INCONVENIENTES DE LA SOLUCION TRADICIONAL..	96
- VENTAJAS DEL CONTROL DE ESTABILIDAD.....	100

* DISEÑO DEL SISTEMA DE CONTROL DE ESTABILIDAD.....	103
- PLANTEAMIENTO DE OBJETIVOS.....	104
- PROBLEMAS EN LA IMPLANTACION DE UN SISTEMA DE CONTROL.....	110
- ESPECIFICACIONES DEL DISEÑO.....	112
- ULTIMAS CONSIDERACIONES.....	126
* IMPLEMENTACION HARDWARE.....	134
- MODULO DE CPU.....	137
- MODULO DE TOMA DE DATOS-ENVIO DE ORDENES.....	139
- MODULO DE COMUNICACION CON EL ORDENADOR.....	155
- MAPEADO DE MEMORIA.....	159
* IMPLEMENTACION SOFTWARE.....	161
- SOFTWARE DEL SISTEMA MICROPROCESADOR.....	162
- SOFTWARE DEL ORDENADOR.....	186
- ORGANIGRAMAS.....	192
- PROGRAMAS.....	192
* ALGUNAS CONSIDERACIONES.....	193

PARTE III

ESTUDIO ECONOMICO

* COMPONENTES ELECTRICOS.....	203
* COMPONENTES MECANICOS.....	206
* PRESUPUESTO TOTAL.....	207

APENDICE :

- PLANOS ELECTRICOS
- CARACTERISTICAS DE LOS INTEGRADOS

BIBLIOGRAFIA

P R E F A C I O

Tal como el título de este proyecto indica, el trabajo expuesto a continuación se trata de un sistema basado en microprocesadores, cuya función es llevar a cabo el control de la estabilidad de una central eléctrica.

¿Por qué un trabajo tan concreto? La idea surgió de don J.A. Torres, ante la necesidad de un control más idóneo en las estaciones eléctricas de UNELCO. Desde hace algunos años y hasta ahora, el método que se ha utilizado para controlar la estabilidad se basa en los llamados relés de frecuencia. Mas desafortunadamente estos elementos no constituyen la panacea; en realidad ni siquiera se les pide tanto. Simplemente lo intolerable es que exista aún la posibilidad de una calda total de la central, situación muy temida por razones de peso: de un lado el elevado coste que supone la restauración de la central después de la calda total; por otra parte, la mala imagen que proporciona a la empresa tal circunstancia. Son razones

más que suficientes para justificar la importancia y necesidad del sistema en cuestión: un sistema basado en microprocesador ofrece grandes ventajas frente al método que actualmente se emplea, y permitirá solventar las dificultades de éste.

A través de este proyecto se irá desarrollando cada idea, cada concepto, a la par que se verán clarificadas todas las dudas que hasta el momento hayan surgido con respecto a la finalidad del sistema de control que hemos implementado.

Antes de pasar a ello, se considera interesante dar una visión general de la estructura del proyecto. Este se encuentra dividido en tres bloques o partes principales, que comentamos a continuación:

Primera parte.- En este apartado se exponen ciertos conceptos teóricos de partida, tales como son el concepto de sistema basado en microprocesador, qué posibilidades de aplicación ofrece, y en qué consiste un sistema de control. La exposición de estos conceptos tiene como meta principal fijar ideas en cuanto a la estructura de estos sistemas, su importancia actual y su versatilidad; con ello se pretende que el lector asimile las ventajas de utilizar sistemas de este tipo.

Segunda parte.- Aquí se presentan las razones que han inclinado a la realización del sistema de control, y se dan algunos conceptos necesarios para ayudar a entrar en el contexto apropiado. Asimismo consideramos necesario la descripción del método hasta ahora utilizado en el control de la estabilidad y sus inconvenientes.

Las grandes posibilidades y mejoras que introduce el sistema microprocesador se harán bien patentes.

Y llega el núcleo de todo, quizás la parte más importante. Se trata de la exposición de los requisitos a cumplir por el sistema, y la implementación hardware y software que satisfacen dichos requerimientos.

Tercera parte.- Esta es la división más pequeña, en la que se intenta realizar un estudio económico del sistema, con su correspondiente presupuesto.

En un apéndice final se adjuntan los planos eléctricos del sistema microprocesador, que se ha tenido que realizar en tres láminas distintas; además aparecen las características de algunos de los circuitos utilizados en el prototipo.

Por último y antes de comenzar la primera parte, queda decir que se intentará ser claros en la exposición de conceptos, procurando evitar explicaciones engorrosas e inteligibles.

P A R T E I

C O N C E P T O S T E O R I C O S

S I S T E M A S B A S A D O S E N

M I C R O P R O C E S A D O R

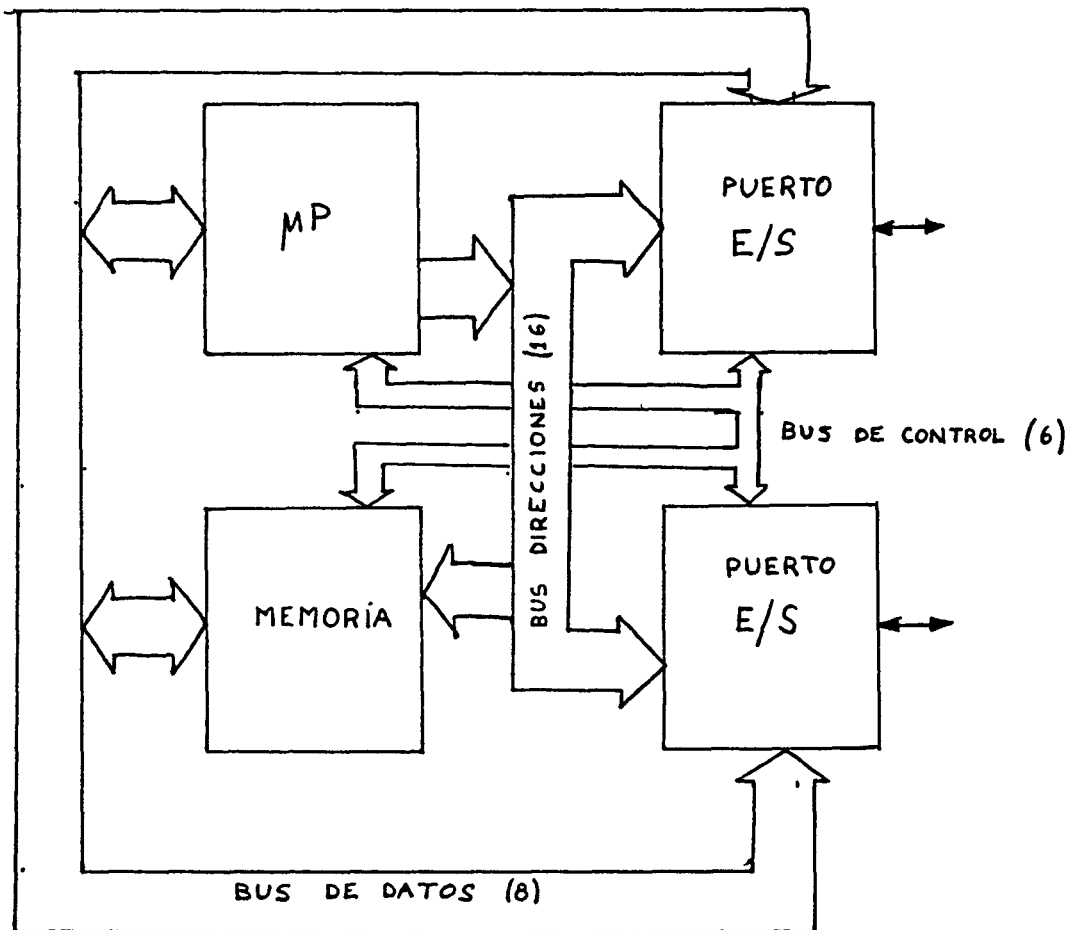
Un sistema digital basado en microprocesador es aquel que tiene un microprocesador como componente principal. Las funciones del microprocesador pueden estar contenidas en un solo circuito integrado (son aquellos de una sola pastilla), o bien pueden estar distribuidos en varios chips (rodajas).

S I S T E M A M I C R O P R O C E S A D O R B A S I C O

Un sistema microprocesador básico se compone de tres partes principales relacionadas entre sí:

- la CPU, o unidad de control y proceso.
- memoria.
- unidades de entrada y salida.

De forma esquemática se puede decir que la CPU ejecuta las instrucciones que le proporciona la memoria y procesa los datos recibidos desde los módulos de entrada o desde memoria, para producir resultados que salen al exterior por los módulos de salida.



SISTEMA MICROPROCESADOR BÁSICO

Las informaciones que circulan por el sistema pueden ser:

1) Informaciones de datos e instrucciones.-

Las instrucciones se encuentran en memoria. Los datos que procesa se pueden obtener tanto del mismo programa de instrucciones, de memoria RAM o de módulos de E/S. El sistema microprocesador que vamos a estudiar posee ocho líneas en el bus de datos, que es bidireccional (la información puede circular entrando o saliendo de la CPU).

2) Información de direcciones de la memoria y otros elementos.

Información que envía la CPU a la memoria y otros elementos del sistema para seleccionar una posición o elemento concreto. Vamos a considerar un total de 16 bits (64K de posible memoria) para direccionamiento. Las 16 líneas necesarias para el direccionamiento constituyen el bus de direcciones, que es unidireccional porque la información procede de la CPU.

3) Información de control y tiempos.-

Es la información que envía la CPU a los elementos del sistema, o bien recibe de éstos; gobierna e informa del estado del conjunto de componentes que forman el sistema. El número de líneas que constituyen este canal

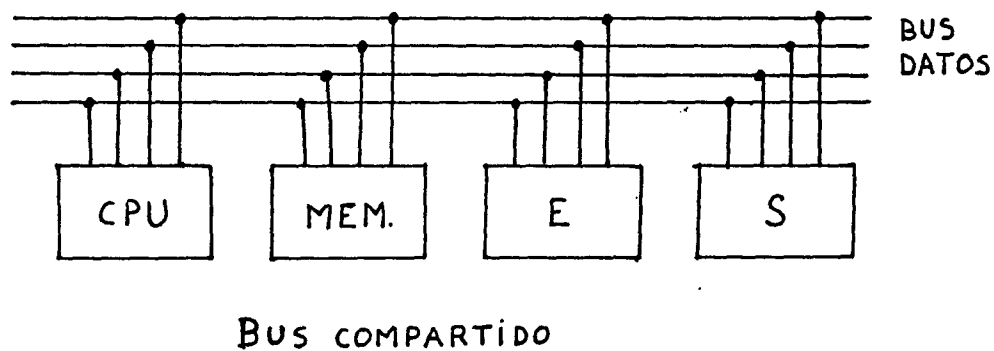
es variable y se llama "bus de control".

La comunicación entre el microprocesador y los otros elementos se lleva a cabo a través de estas líneas, comunes a todos ellos, con lo que se reduce considerablemente el conexionado y el número de patillas del microprocesador (40 en el 8085). Esta compartición necesita de un control por parte del microprocesador; en cada momento las informaciones contenidas en los buses se destina a un solo elemento, por lo que se debe evitar que los otros componentes tengan acceso a dicha información. A esta característica del interconexionado se le llama "bus compartido".

Sólo podría acceder al bus aquel elemento que sea direccionado en un momento dado; a los demás no les será posible en ese instante. Esto se consigue gracias a la configuración triestado de los componentes del sistema, que permite la no interferencia entre ellos.

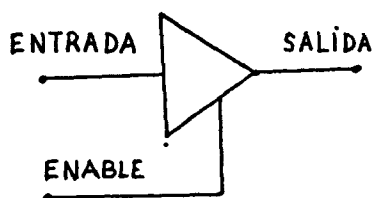
Si las líneas conectadas al bus de datos fuesen de dos estados solamente, se produciría un cortocircuito permanente entre las líneas correspondientes a los distintos elementos. Por eso todos los elementos disponen, tanto en su salida como en su entrada al bus, de buffer triestado, y es posible así el conexionado en paralelo de

los componentes del sistema, tal como en la figura, compartiendo todos las mismas líneas.



Un elemento triestado dispone de la siguiente tabla de verdad:

<u>enable</u>	<u>entrada</u>	<u>salida</u>
1	1	1
1	0	0
0	1	alta impedancia
0	0	alta impedancia

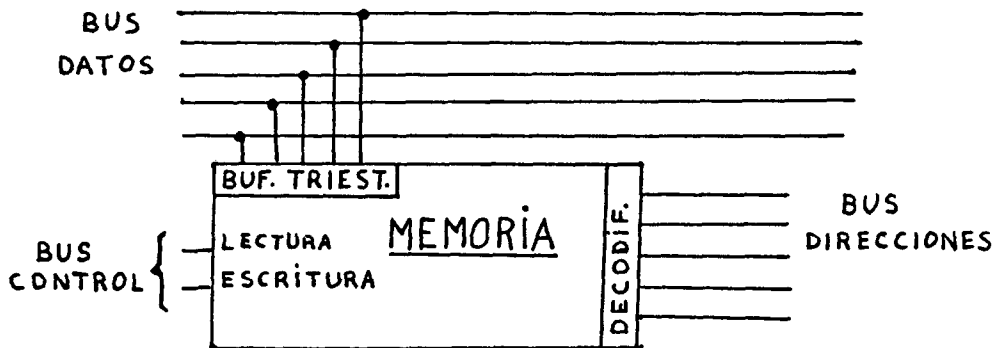


Un estado de alta impedancia en un elemento hace que el sistema se comporte como si no tuviera conectado dicho elemento a él.

Consideremos, por ejemplo, una memoria con buffers triestados en las ocho líneas de su conexión al bus de datos. Si por el bus de direcciones se recibe la dirección correspondiente a una de sus posiciones de memoria, el decodificador la selecciona y sus bits quedan conectados a las líneas del bus de datos a través del buffer triestado. Los restantes elementos del sistema quedan desconectados de las líneas del bus de datos, o sea, en estado de alta impedancia.

A memoria RAM caben dos posibilidades de acceso: para realizar una escritura en una posición de memoria (traspaso del dato del bus hacia la memoria), o una lectura (traspaso del dato desde una posición de memoria al bus). La elección de una u otra acción se realiza mediante la activación de las líneas de control de lectura y escritura, que forman parte del bus de control gobernado por la CPU.

La figura siguiente muestra una memoria conectada al bus general de un sistema microprocesador.



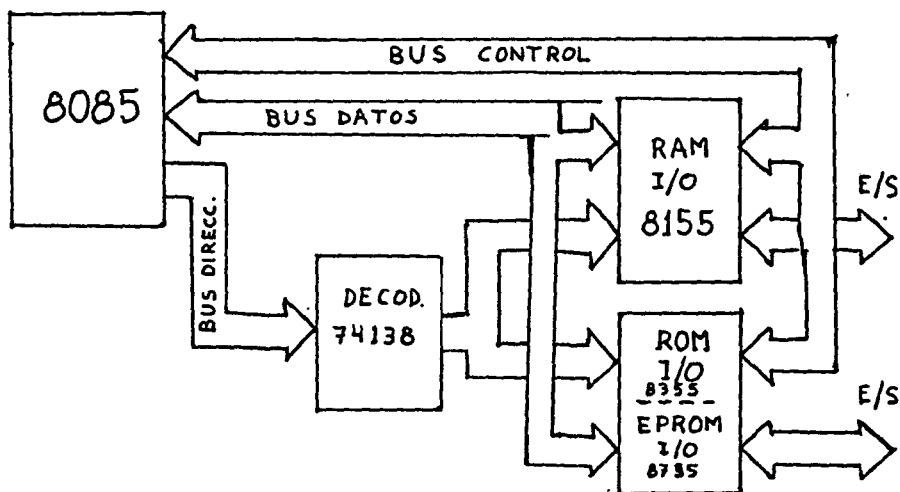
CONFIGURACION MINIMA DEL MICROPROCESADOR 8085

Refiriéndonos al caso particular del microprocesador 8085, el número mínimo de componentes periféricos necesarios para diseñar un sistema mínimo es dos:

- El 8155: se trata de un circuito integrado con 256 bytes de memoria RAM, dos ports de E/S de ocho bits, uno de seis bits, y un timer programable de 14 bits.
- El integrado 8355 (o bien el 8755): se trata de una ROM de 2Kbytes de memoria programada por máscara, en

el caso del 8355, o una EPROM de 2kbytes, en el caso del 8755. Para la producción de un número pequeño de sistemas se utiliza la EPROM. Cuando la producción se realiza en grandes cantidades es mejor el empleo de la ROM. Cada uno de ellos posee también dos ports programables de ocho bits.

Estos tres dispositivos poseen latches internos que utilizan la señal ALE para memorizar el byte de menos peso de las direcciones. Se necesita además un decodificador de direcciones (8205 o el 74138, compatible con el primero) para poder seleccionar en cada momento un dispositivo distinto.



CONFIGURACIÓN MÍNIMA CON 8085

A partir de esta configuración mínima se pueden añadir nuevos dispositivos periféricos, o variantes de los integrados anteriores para conseguir configuraciones más completas o sofisticadas. A continuación se relaciona los componentes de la familia del microprocesador 8085 disponibles para estas ampliaciones.

AMPLIACIONES SOBRE UN SISTEMA MINIMO

LA FAMILIA MCS-85

En este proyecto se ha utilizado el microprocesador 8085 de Intel y sus asociados. Intel es la pionera en la comercialización de microprocesadores, lo que le aventaja en muchos aspectos sobre otros fabricantes; comercialmente está presente en todo el mundo. El microprocesador 8085 dispone de una extensa familia de componentes auxiliares, módulos de E/S y controladores de periféricos; posee además una gran variedad de microcomputadores en un solo chip, y un buen soporte de ayuda hardware.

La enorme cantidad de circuitos integrados auxiliares proporcionados por Intel para el desarrollo de sistemas

basados en el microprocesador 8085 elevan la versatilidad de este integrado. Su perfecta compatibilidad permite la realización de miniordenadores de manera cómoda y sencilla.

Vamos a dar una clasificación general de los componentes más representativos de la familia MCS-85.

. Componentes auxiliares

8205: decodificador binario 1 a 8 de alta velocidad.

8212: báscula de 8 bits. Puerta de entrada y salida.

Se utiliza como latch de direcciones.

8216: driver de 4 bits para bus bidireccional.

. Memorias

8111: RAM estática de 256 x 4 bits.

2116: RAM dinámica de 16K x 1 bits.

3222: controlador de refresco para RAM dinámica.

8316: ROM de 2K x 8.

2716: EPROM de 2K x 8.

8708: REEPROM de 1024 x 8.

. Periféricos o módulos de I/O de propósito general.

8251: USART (transmisor receptor universal síncrono-asíncrono).

8253: TIMER (temporizador programable).
8255: PIA (periférico de interface programable).
8257: DMA (controlador programable de acceso directo a memoria).
8259: controlador programable de interrupciones.

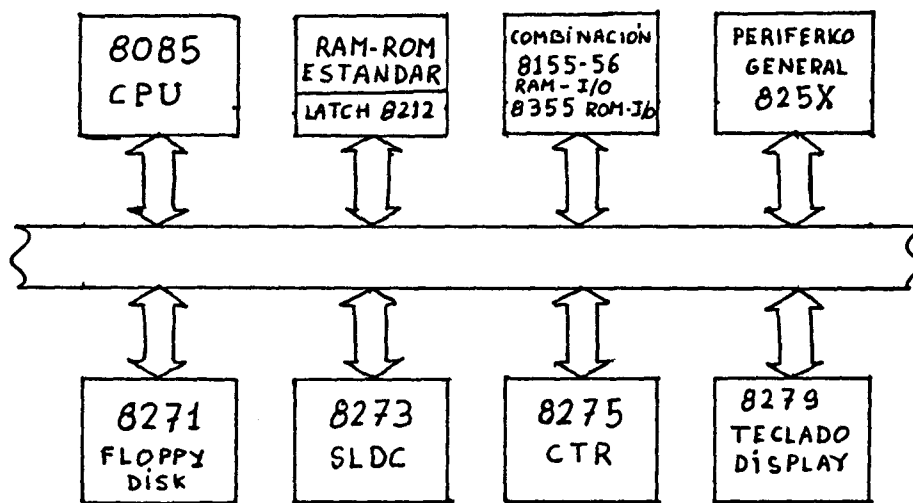
. Módulos de I/O dedicados

8271: Controlador programable de floppy-disk.
8273: SDLC (controlador de protocolo, modem).
8275: controlador programable de TRC.
8279: interface programable para teclado y display.

. Componentes especializados para su conexión al 8085 en la formación de microcomputadores

8155: RAM (256 bytes), 2 puertos de I/O de 8 bits, una puerta de 6 bits y un controlador-temporizador programable de 14 bits.
8355: ROM (2K x 8) y dos puertos de I/O programables de 8 bits.
8755: EPROM (2K x 8) y dos puertos de I/O programables de 8 bits.

Podríamos esquematizar un sistema completo utilizando la mayoría de los componentes citados.



SISTEMA MICROPROCESADOR COMPLETO

. Microcomputadores

Modelos 8041 y 8741: versiones ROM y EPROM respectivamente. Pertenecen a la familia MCS-48, y contienen CPU, 1K de ROM o EPROM, RAM, timer, y 18 líneas de I/O, diseñadas para construir el interfaz de cualquier periférico.

. Microordenadores

En un solo chip se puede encontrar toda la arquitectura de un microordenador, el 8048. En realidad INTEL posee toda una familia de este tipo, la MCS-48, pero

vamos a comentar sólo el microcomputador 8048.

- Consta de:
- CPU de 8 bits.
 - 1K x 8 de memoria ROM.
 - 64 x 8 de memoria RAM.
 - 27 líneas de I/O.
 - Contador/temporizador de 8 bits.

Para aplicaciones que precisen más memoria, la familia MCS-48 dispone del microordenador 8049, con el doble de memoria ROM y el doble de RAM. Para aplicaciones de más bajo coste posee el microordenador 8021, más sencillo y barato que los otros.

SISTEMAS CON MICROPROCESADORES MÚLTIPLES

Es posible incluso utilizar más de un microprocesador en un solo sistema. El bajo coste de los mismos permite el diseño de sistemas de este tipo.

Con la estructura de microprocesadores múltiples la función total del sistema se reparte en varias tareas, y cada una de ellas es asignada a un microprocesador diferente. Las ventajas de un sistema con múltiples

microprocesadores son mayores, lógicamente, pues aumenta la capacidad de proceso, la rapidez de respuesta, la modularidad y la fiabilidad.

Como consecuencia de la partición de un proceso en tareas paralelas surgen nuevos problemas de control a tener en cuenta: asignación de las distintas tareas, el secuenciamiento, el control de las conexiones intermicroprocesador, el control de recursos compartidos.

Para la solución de todos estos puntos se han diseñado algunos esquemas sofisticados de interconexión de microprocesadores, miniordenadores u ordenadores grandes.

Actualmente existen dos estructuras prácticas de microcomputadores múltiples:

- sistemas distribuidos.
- sistemas multiprocesador.

Ambas arquitecturas consiguen un trabajo en paralelo mediante la concurrencia de tareas realizadas independientemente, con datos separados, que luego se combinarán cuando sea apropiado. El manejo de las tareas es distinto en cada arquitectura. En un sistema distribuido se fijan desde un principio, cuando se diseña el sistema: cada microprocesador realiza una tarea

determinada predefinida.

En un sistema multiprocesador es un sistema operativo el que controla la realización de las tareas. El sistema operativo corre en uno de los microprocesadores y distribuye tareas a los otros de forma dinámica, para poder llevar a cabo el trabajo de forma eficiente.

El estudio de los sistemas multiprocesadores se aleja de las pretensiones de este proyecto, por lo que no se extiende su exposición.

DISEÑO DE PROYECTOS CON MICROPROCESADOR

En este apartado veremos los distintos pasos a seguir para el diseño de un proyecto con microprocesador. Un diseño de este tipo tiene características tales como poder realizarlo con diferentes microprocesadores, con sólo cambiar el código de las instrucciones según el microprocesador que se trate. No hace falta disponer de componentes costosos ni instrumentos. Sólo después de haber sido superadas todas las pruebas de examen y depuración se grabará la EPROM que quedará definitivamente en el sistema de desarrollo.

Después de desarrollar por completo el hardware y el software de una aplicación real basada en un sistema con microprocesador, nos damos cuenta de las enormes posibilidades que proporcionan estos sistemas para cualquier proyecto, así como entramos en contacto con las limitaciones y problemas que entraña su uso.

FASES DEL DISEÑO DEL HARDWARE Y SOFTWARE

Un diseño óptimo se consigue cuando se analizan y se tratan conjuntamente los aspectos hardware y software. Es la forma de trabajo con la que mejores resultados se obtienen, por lo que se aconseja siempre tener buenos conocimientos en ambos terrenos, hardware y software, a la hora de realizar estos proyectos.

Vamos a detallar la secuencia de pasos a seguir en un diseño hardware-software de un sistema basado en microprocesador:

- 1) Especificación precisa de las características del proyecto.

Esta fase es de suma importancia, pues un mal planteamiento de los requerimientos del problema da como resultado un diseño que no se ajusta a nuestras necesidades. Cualquier interpretación errónea u olvido de alguna especificación, no sólo dará un diseño inadecuado, sino que además supondrá una pérdida cuantiosa de tiempo y material.

- 2) Diagrama general de bloques del sistema.

Una vez establecidas las funciones del sistema,

concretadas cuáles serán sus entradas, sus salidas, y las operaciones que debe realizar, se dibujará un esquema de bloques que se ajuste a estas características; se trata de una serie de módulos interconectados a través de un bus, proporcionándonos una idea de conjunto de la estructura física.

Este es el momento de decidir qué tipo de microprocesador es el más idóneo para nuestro propósito, así como de valorar la probable capacidad de memoria ROM o EPROM y RAM que se va a necesitar, y conformar la estructura de entradas y salidas, entre otras cosas.

3) Organigrama operativo general.

La modularidad es un concepto muy útil y cómodo, tanto a nivel hardware como software. A la hora de realizar el diseño nos permite estudiar el tema por partes o pedazos que luego se unirán. Así resulta más fácil el diseño, la comprobación y el mantenimiento: es lógico; mejor es verificar cada módulo por separado, que todo el conjunto a la vez. La separación ayuda a una implementación, verificación y detección de errores más rápida y efectiva.

Se realiza en primer lugar un diagrama de flujo general, en donde se especifica la parte fundamental de la secuencia de operaciones, sin concretar aún las subrutinas

o programas secundarios.

4) Compatibilidad hardware-software.

Consiste en la superposición del diagrama de bloques del hardware y el organigrama general del programa de instrucciones. La compenetración o conjunción del hardware y software facilitan en gran manera el diseño.

En este momento habrá que decidir si la resolución de ciertas funciones es más conveniente llevarlas a cabo mediante hardware o mediante software. La primera opción exige circuitería auxiliar, que aumenta el coste de componentes, circuito impreso y mano de obra, se ejecuta de forma más rápida y se implementa con mayor lentitud; la segunda requiere un aumento de la capacidad de la memoria del programa, es más lenta en su ejecución pero más cómoda y sencilla su implementación.

5) Estructuración detallada del hardware.

Una vez establecida las funciones del hardware, el siguiente paso consiste en detallar el conexionado entre los componentes y en determinar exáctamente estos últimos. En realidad, en esta fase se define el esquema electrónico del proyecto, siendo muy conveniente utilizar la técnica

modular.

6) Resolución de las subrutinas del organigrama principal.

En este paso se resuelve con detalle el organigrama general a que debe responder el programa. Un programa largo de muchas instrucciones sería muy difícil de resolver directamente; sin embargo, si se subdivide en varios subprogramas y subrutinas resulta poco complicado ir resolviendo cada uno de ellos para finalmente enlazarlos y dar lugar al organigrama completo.

7) Confección del programa de instrucciones.

A través del lenguaje que se vaya a utilizar, que será el que admite el sistema de desarrollo con el que se trabaje, se convertirán las especificaciones o los módulos del organigrama anterior en instrucciones correspondientes al lenguaje empleado. Los sistemas de desarrollo básicos y económicos disponen de un teclado hexadecimal para introducir información al microprocesador y las instrucciones tendrán que ser expresadas en código máquina. No obstante, los sistemas de desarrollo de cierta categoría disponen de un teclado alfanumérico y pantalla CRT, empleando como mínimo el lenguaje ensamblador en la

confección de programas, y frecuentemente otros lenguajes de alto nivel como el BASIC o el PASCAL. Los programas compiladores que poseen estos sistemas de desarrollo se encargan de traducir el lenguaje fuente a programa objeto.

8) Simulación y depuración del programa.

Basándose de nuevo en las facilidades de operación que posea el sistema de desarrollo en que se trabaja, se carga el programa objeto resultante en una zona de RAM del propio sistema de desarrollo que esté libre y disponible para el usuario; se hace correr el programa, evaluando los resultados obtenidos; además, el sistema de desarrollo permite corregir las zonas del programa o los datos que se requieran hasta hacerlo funcionar correctamente y en su totalidad.

9) Simulación del programa con sistema de desarrollo y prototipo: Emulación.

Nuestro diseño puede necesitar una serie de periféricos; el prototipo del sistema ya debe estar montado, en cuanto a hardware se refiere, y ya deben estar preparados los periféricos que se precisen. Una vez depurado y puesto a punto el programa en la fase anterior, y antes de trabajar con el prototipo, conviene conectar el

sistema de desarrollo al hardware auxiliar y a los periféricos que se han de controlar, verificando el buen funcionamiento del conjunto del hardware y software en tiempo real y en otras varias condiciones de trabajo. Si todo no funciona como se espera, algo habrá mal en la conexión, en el hardware o en la parte de programa destinada a controlar periféricos y hardware auxiliar; se procede entonces a corregirlo hasta obtener resultados satisfactorios.

El siguiente paso en la simulación ya abarcarla también al prototipo. Una vez que el prototipo se haya montado en sus distintas placas (o simplemente en una), se va comprobando cada uno de los componentes. Por ejemplo, podríamos empezar haciendo que la parte de datos correspondiente a la RAM del prototipo fuese cargada en la propia RAM del prototipo, y no en la del sistema de desarrollo; así comprobaríamos su funcionamiento. Después podríamos hacer lo mismo con la parte de ROM.

El programa podría no estar depurado del todo; en tal caso se mejora al mismo tiempo que se verifica el hardware del prototipo. Cuando ya esté listo se procede a la grabación de la EPROM correspondiente, operación para la cual los buenos sistemas de desarrollo proporcionan medios.

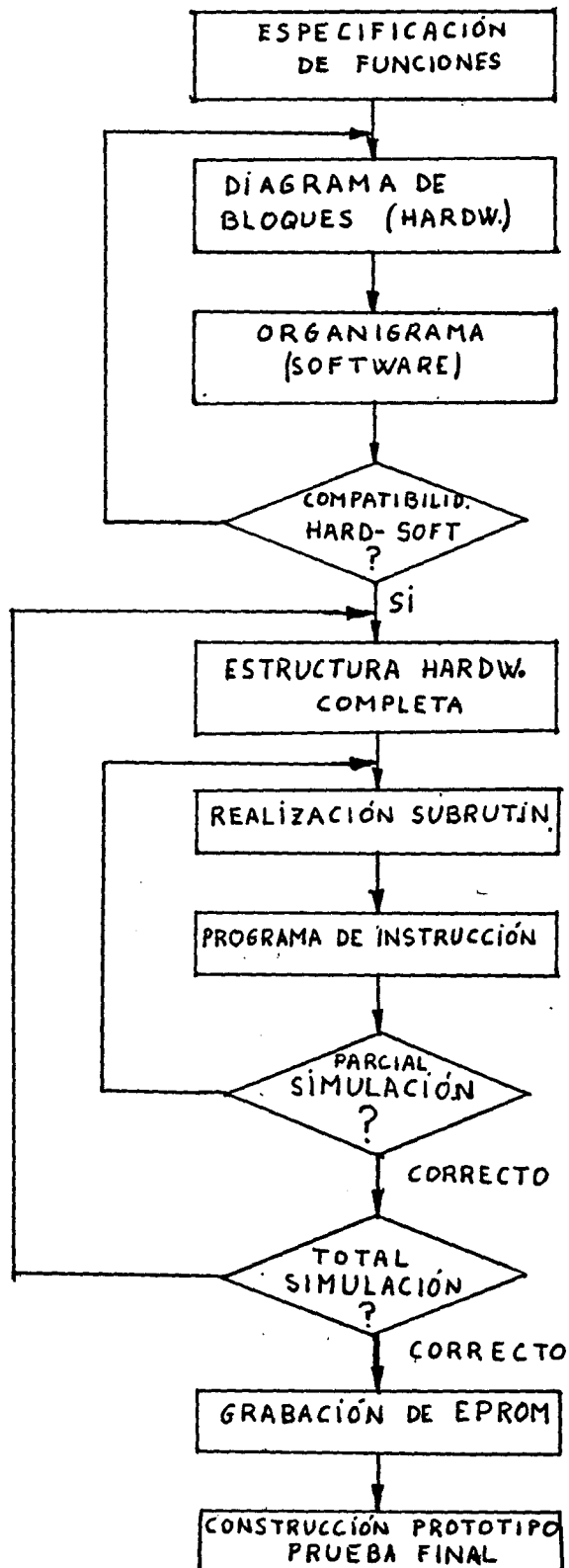
Es el momento entonces de colocar la EPROM en el prototipo y hacer correr el programa desde ella, en lugar de la memoria RAM del sistema de desarrollo, que hasta ahora habla sido el lugar desde donde corria.

10) El paso final.

Si todo ha ldo bien sólo concluye sustituir el microprocesador del emulador del sistema de desarrollo por el nuestro propio y dejar funcionando a nuestro prototipo autónomamente, comprobando que el conjunto funciona de forma adecuada.

Para esquematizar y aclarar ideas se presenta a continuación un diagrama de lo comentado hasta ahora. Tal como se indica en él, si en algún paso detectamos un mal funcionamiento de las partes a prueba, habrá que volver a algún paso previo, donde probablemente se origine el problema.

FASES DE PROGRAMACION



A P L I C A C I O N E S D E L O S
S I S T E M A S
C O N M I C R O P R O C E S A D O R

I N T R O D U C C I O N

Existe actualmente una tendencia a la utilización de los microprocesadores y microcomputadores monopastilla en muchos productos de la industria. El desarrollo de la microelectrónica aumenta. Las grandes industrias destinan una parte de sus beneficios a la investigación, desarrollo y aplicación de esta tecnología y disponen de equipos completos de especialistas en software y hardware, así como de laboratorios adecuados.

Las ventajas de la utilización de sistemas basados en microprocesador son importantes. He aquí algunas:

- Reduce el tiempo y el coste de diseño.
- Posibilidad de emplear tarjetas estándar para conformar la mayor parte del sistema. Esto reduce en gran manera los costes de ensamblaje y verificación.
- Para grandes cantidades existe la posibilidad de integrar en un solo chip la mayor parte del sistema, lo que reduce costes de montaje, verificación y material, así como reducción del volumen, aumento de la fiabilidad y mayor competitividad. Los fabricantes pueden producir chips específicos, que incluyen ya todo el sistema que controle una determinada aplicación.
- Reducción de los costes de mano de obra.
- Posibilidad de producir con sencillez cambios en el programa de trabajo, así como ampliarlo si es necesario.
- Importante aumento de la fiabilidad, debido entre otras cosas a la reducción de componentes en los sistemas microprocesadores.
- Inclusión de programas de autocomprobación del equipo, que facilitan la reparación y mantenimiento.

- Capacitación del personal y adecuación de las herramientas de la empresa, lo que permite desarrollar en el futuro nuevos y más avanzados productos.

A pesar de estas ventajas, muchas implementaciones realizadas con circuitos TTL, por ejemplo, no conviene transformarlas en sistemas con microprocesador, puesto que si son circuiterías sencillas esta transformación sólo supondría un aumento de la complejidad y de los costes.

A la hora de llevar a cabo un proyecto basado en microprocesadores se debe tener en cuenta una serie de aspectos que nos inclinen definitivamente a utilizarlos; es conveniente analizar las posibilidades de aplicación. Veamos cuatro puntos a considerar:

. Cuando un proyecto con circuitería normal (SSI y MSI) requiera más de 25 ó 30 circuitos integrados, el empleo de microprocesadores estará justificado y será conveniente.

. Cuando el número de unidades a producir es importante. Si este número es elevado, los fabricantes están dispuestos siempre a suministrar por poco dinero un chip que contenga prácticamente todo el sistema (CPU, ROM, RAM, I/O, TIMER), incluyendo la memoria de programa grabada.

. Si el sistema es a base microprocesadores, tienen la posibilidad de ser ampliado o mejorado añadiendo nuevas características al mismo con el paso del tiempo, para mayor comodidad o por nuevas necesidades surgidas. Estos cambios afectarán en muchas ocasiones sólo al software, pero también puede realizarse a nivel de hardware, simplemente añadiendo nuevas tarjetas al bus común del sistema.

. En aquellos proyectos donde se necesite realizar operaciones algo complicadas, como las funciones aritméticas, es casi obligatorio utilizar el microprocesador, pues reduce la complejidad de la circuitería, el coste y los quebraderos de cabeza. Los microprocesadores ya tienen incluidas instrucciones para realizar este tipo de operaciones.

CAMPOS DE APLICACION DE SISTEMAS CON MICROPROCESADORES

En este apartado se establece una clasificación de los sectores en los que se aplican los microprocesadores. Básicamente los campos industriales de mayor interés para la aplicación de sistemas basados en microprocesadores son los siguientes:

- 1) Industria en general.
- 2) Industria de automoción y transporte.
- 3) Industrias varias.
- 4) Industria eléctrica y de electrodomésticos.
- 5) Electromedicina.
- 6) Instrumentación y aparatos de medida y control.
- 7) Terminales inteligentes.
- 8) Juegos y derivados.

Detallemos un poco más la aplicación concreta en cada uno de estos sectores.

Industria en general

Se aplica en los siguientes procesos:

- transductores.
- control numérico de máquinas-herramientas.
- laminación.
- sistema universal de adquisición de datos.
- control parcial o total de procesos industriales.
- autómata programable.
- centralización de operaciones de pesaje.
- pesaje electrónico en una planta de coque.
- control de hornos.
- control de válvulas.

- dosificación en fábricas de hormigón.
- clasificación de productos según los defectos.
- sistemas de supervisión y telemando.

Aplicación en la industria de automoción y transporte.

Esta área es una de las pioneras en la aplicación de sistemas microprocesadores. No sólo en los coches, sino también los camiones, barcos, aviones,...esta aplicación toma cada día un papel más importante.

Los fabricantes aumentan las prestaciones de los vehículos, en aspectos tan fundamentales como la seguridad, la comodidad, el control del consumo,...y todo ello se consigue con el relativo bajo precio de los microprocesadores.

Algunos puntos concretos de aplicación son:

- sistema de frenado antideslizante.
- cambio de velocidades o marchas automático.
- optimización del gasto de combustible.
- banco de pruebas y puesta a punto del vehículo.
- sistema antirrobo.
- control de surtidores de gasolina.
- computadoras instaladas en automóviles.

- sistemas de ayuda a la navegación aérea.
- control de ascensores.
- control de guías.
- caja negra para vehículos.
- taxímetros.
- control de tráfico y semáforos.

Aplicaciones en industrias diversas

El uso de microprocesadores en este apartado es inmenso, por lo que se citan sólo algunos:

- fuentes de alimentación ininterrumpibles.
- tratamiento de aguas.
- instrumentación para laboratorios fotográficos.
- control de soldaduras.
- televigilancia.
- monitores de visualización.
- sistemas para el control del personal.
- estaciones de peaje.

Aplicaciones en el campo de la industria eléctrica y de electrodomésticos

- protección de motores eléctricos.
- sistemas de supervisión y control remoto de

redes eléctricas.

- automatización de centrales eléctricas.
- freno para parada automática de un generador.
- lavadoras automáticas domésticas e industriales.
- máquinas de coser.
- temporizador para electrodomésticos.
- regulación y control de sintonías de TV.
- mandos a distancia por infrarrojos.
- aparatos de vídeo.
- aparatos de radio.

Aplicación en el campo de la electromedicina

- sistemas de monitorización de parámetros fisiológicos.
- mesas de radiología.
- visualizador gammagráfico.
- controlador de generador de rayos X.
- marcapasos microcomputerizado.
- sistemas de diagnóstico.

Aplicación en instrumentación

- balanza peso-precio.
- puente de medida para componentes.
- osciloscopio.

- voltímetros digitales.
- contadores cronológicos.
- generadores de funciones.
- comprobador de circuitos integrados.
- programador de memorias PROM.

Aplicación en el campo de los terminales inteligentes

- terminal de punto de venta (caja registradora).
- terminal para bancos y entidades de ahorro.
- sistemas de control de cronometraje deportivo.
- impresoras.
- interpretador de escritura de mano.
- controladores de periféricos.
- computadoras de bolsillo.
- cualquier tipo de terminal con pantalla y teclado.
- microcomputadores personales.

Aplicación en juegos y derivados

- máquinas tragaperras.
- juego de ajedrez.
- traductor de idiomas.
- máquinas de juego sofisticadas.
- juguetes didácticos.

S I S T E M A S D E C O N T R O L

CONCEPTOS PRELIMINARES

Los componentes de los sistemas de control son básicamente dispositivos eléctricos, electrónicos, mecánicos y electromecánicos. Normalmente va asociado a estos sistemas, si se quieren analizar con detalle, un estudio matemático del comportamiento de sus componentes y del comportamiento del sistema total como conjunto. Así se utilizan herramientas tales como sistemas de ecuaciones que se desarrollan y resuelven auxiliándose de los métodos de las transformadas de Laplace; se tienen en cuenta las funciones de transferencia de cada bloque componente del sistema para poder obtener las ecuaciones diferenciales que rigen su comportamiento. De todas formas estos estudios escapan del propósito del proyecto, además de no ser necesario en nuestro sistema de control, pues se trata de un sistema microprocesador y no de un

servosistema o sistema mecánico, eléctrico, de tipo analógico, que quizás si precisen de un estudio matemático de ese tipo.

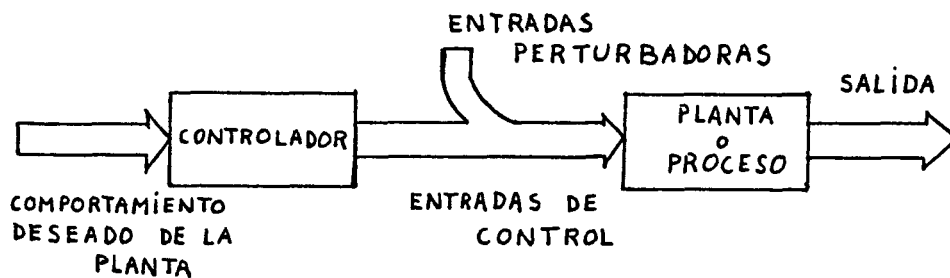
SISTEMAS DE CONTROL Y TERMINOLOGIA

Los sistemas de control ejercen poderosa influencia sobre cada faceta de la vida moderna, siendo la base de numerosos utensilios como hornos, secadoras, batidoras, ... En general, un sistema de control es cualquier interconexión de componentes que satisfacen una función deseada. La parte de un sistema que va a ser controlada se denomina planta o proceso. Esta parte es afectada por las señales aplicadas, llamadas entradas, y produce señales de interés particular, las salidas.



PLANTA O PROCESO SUJETO A CONTROL.

Se puede utilizar un controlador (o regulador) para producir un comportamiento deseado de la planta, e incluso puede haber señales perturbadoras de entrada a la planta y no accesibles al diseñador.



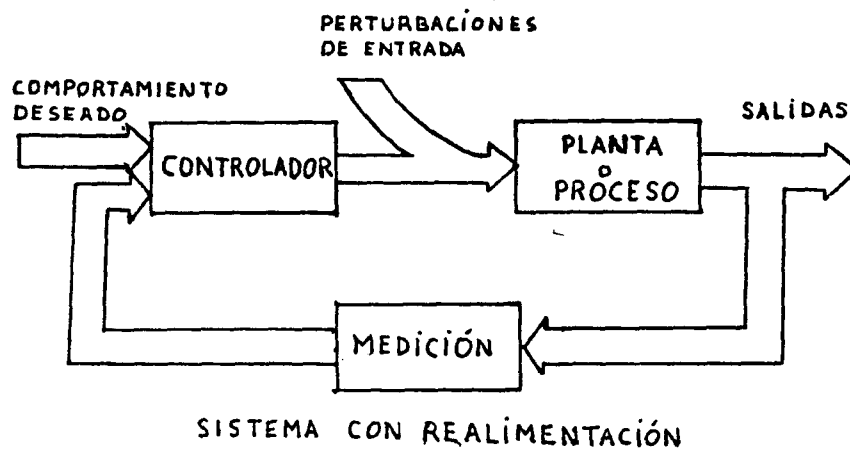
SISTEMA DE CONTROL CICLO ABIERTO

Las líneas dobles indican que pueden existir varias señales de cada tipo.

Este sistema se dice que es de ciclo abierto porque las entradas de control no son influenciadas por las salidas de la planta; es decir, no se produce una realimentación alrededor de la planta. La ventaja del ciclo abierto es la simplicidad, pero posee un funcionamiento fuertemente dependiente de las propiedades de la planta, las cuales pueden variar con el tiempo.

CONCEPTO DE RETROALIMENTACION

Si las exigencias del sistema no se pueden satisfacer con un sistema en ciclo abierto, es deseable un ciclo cerrado o sistema de retroalimentación. Se dispone de una trayectoria de la salida hacia el controlador. Una parte de las salidas, o todas ellas, son utilizadas por el controlador ; éste compara una salida deseada de la planta con la salida real y actúa en consecuencia, para reducir la diferencia entre las dos.



Las ventajas del control de realimentación son las siguientes:

- Incremento de la exactitud. El sistema de ciclo cerrado se puede diseñar para anular el error entre

respuesta deseada y medida.

- Pequeña sensibilidad a cambios en los componentes.
- Reducidos efectos de las perturbaciones.
- Incremento en la rapidez de respuesta y anchura de banda. La retroalimentación puede aumentar la gama de frecuencias sobre la cual un sistema responderá, y hacer que responda más satisfactoriamente.

SISTEMAS DISCRETOS DE CONTROL

Los sistemas de control por computador proporcionan muchas más posibilidades que los sistemas de control con elementos convencionales. Con el computador podemos resolver problemas que resultarían muy complicados con otros sistemas. Su bajo coste y sus posibilidades hacen que en un futuro cualquier sistema de control se base en ordenadores, miniordenadores o microprocesadores.

Podríamos expresar mediante las dos figuras siguientes la evolución de un tipo de sistema a otro.

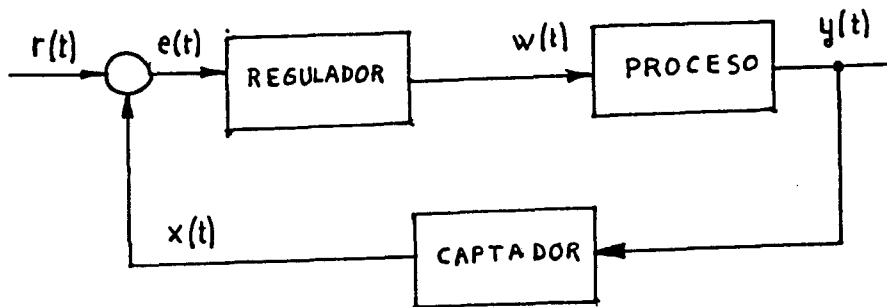


Fig. 1

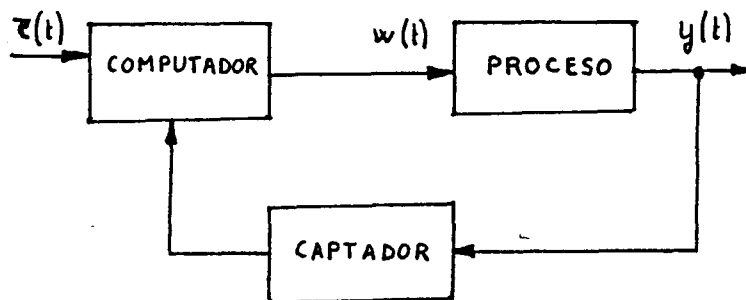
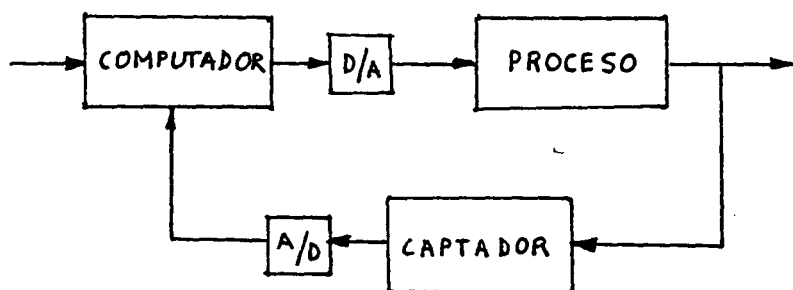


Fig. 2

En la fig.1 vemos el sistema de control convencional, donde los elementos son de tipo analógico. El bloque regulador es el que da el carácter de sistema de control al conjunto. En el esquema de la fig.2 vemos un sistema de control por computador; éste realiza las mismas funciones del comparador y del regulador. El computador acepta entradas y genera salidas en instantes determinados de

tiempo (discretos). Los otros bloques aceptan señales que toman valor en todo instante de tiempo (continuos). Para poder combinar ambos tipos de elementos es necesario incluir unos elementos capaces de transformar estas secuencias de números o valores discretos en valores continuos y viceversa. Estos elementos se denominan convertidores. Hay, por tanto, dos tipos de convertidores: los analógicos-digitales y los digitales-analógicos. Un esquema más completo que el de la fig.2 es el siguiente:



Ventajas e inconvenientes de la utilización de computadores como elementos de control.

Como se dijo, el computador, o miniordenador, o microprocesador en un sistema digital permite mejorar la calidad de éste, por cuanto es capaz de realizar funciones

de control sin apenas ninguna limitación en cuanto a complejidad. Esta es quizás la primera ventaja.

Como segunda ventaja podríamos considerar la facilidad de cambiar la estrategia de control modificando el programa que la ejecuta. Este cambio puede realizarse, no sólo según los órdenes del operador, sino también en base a las órdenes generadas por el mismo computador, que mida la calidad del sistema de control, y según éste corrija los parámetros del regulador hasta alcanzar un nivel aceptable en el sistema de control.

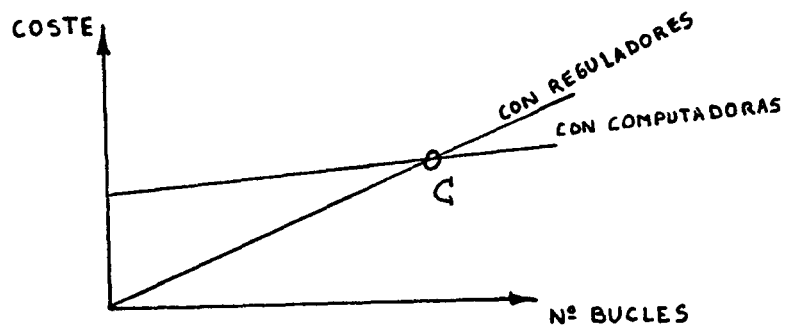
En cuanto a precisión, las operaciones con computador digital o sistema microprocesador son más exactas que las efectuadas con dispositivos analógicos. Un computador digital maneja corrientemente números de ocho o diez cifras exactas, mientras que operando analógicamente difícilmente se consiguen más de tres. Por otra parte, en dispositivos analógicos son frecuentes errores por derivas, cambios de temperatura, saturaciones,...

Otra ventaja de los computadores digitales en el control es la posibilidad de realizar otras funciones complementarias al control como es el almacenamiento de datos, análisis estadísticos,... aparte de las ajenas al mismo que se deseen efectuar como cálculo científico,

contabilidad, gestión de almacén,...

En cuanto a inconvenientes, cabe citar el precio. Es efectivamente más caro usar un computador como elemento de control que los reguladores de tipo convencional. Este inconveniente se puede salvar utilizando un computador para varios bucles de control. Con respecto al precio se puede decir que mientras con tecnología convencional el precio aumenta linealmente desde cero con el número de bucles, utilizando un computador, si bien hay un coste fijo, el incremento de precio por bucle sería menor (ver la figura).

El número de bucles con respecto al punto C varía con el computador utilizado.



El coste se reduce considerablemente con el uso de sistemas microprocesadores, o sea, sistemas de control

digital donde el bloque de control no es todo un ordenador, sino que está diseñado con un sistema con microprocesador y algunos otros elementos digitales auxiliares.

Otros inconvenientes son los derivados de situaciones de avería. Si un computador lleva varios bucles de control, un fallo podría causar un desajuste de todos los bucles.

Funciones de un computador de procesos

Los computadores de procesos realizan una serie de operaciones sobre los mismos que podemos agrupar en tres tipos o niveles: tratamiento de datos, supervisión y control. Veamos en qué consisten.

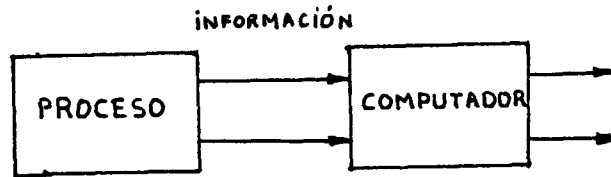
. El tratamiento de datos consiste en buscar la máxima información sobre el funcionamiento del proceso. Son tareas como la de recogida de información, midiendo periódicamente el valor de determinados parámetros y variables, y realizando un pretratamiento con el objeto de normalizar valores, convertir unidades, linealizar ciertos parámetros,...

. La operación de supervisión incluye dos tipos: alarma y asistencia.

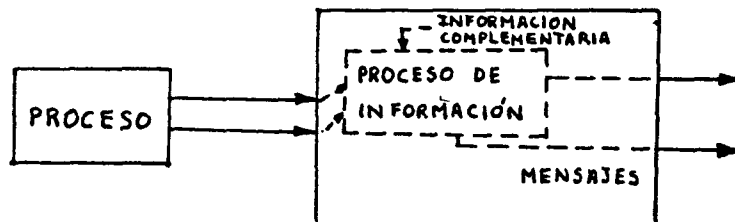
La alarma consiste en verificar el correcto funcionamiento del proceso y avisar cuando se produzca un fallo. Normalmente los sistemas de alarma funcionan comparando los valores de las variables con unos valores preestablecidos e indicando si la diferencia rebasa unos topes.

Las operaciones de asistencia facilitan las acciones manuales del operador sobre el proceso. Podrían ser la comprobación de la corrección de las acciones del operador, o la indicación de acciones a ejecutar en situaciones de alarma o arranque, la presentación de información para la toma de decisiones,...

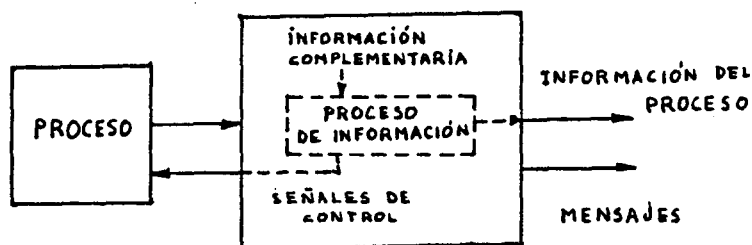
En estos tipos de operaciones vistas hay un escalonamiento en cuanto a complejidad de las acciones del computador sobre el proceso. En el tratamiento de datos, el computador es simplemente un dispositivo que coordina la recogida y presentación de los mismos. La información se transmite unidireccionalmente, desde el proceso al exterior actuando el computador exclusivamente como elemento de transmisión.



En las operaciones de supervisión el computador interpreta la información que le llega del proceso y en base a los resultados de esta interpretación emite unos mensajes.



. El control del proceso tiene como objetivo el hacer que el proceso se comporte de una determinada forma. El computador actúa sobre el proceso de tal manera que se transmite la información de forma bidireccional.



Tipos de control con computador

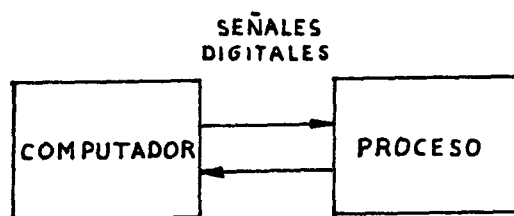
Se puede decir que existen cuatro tipos de control, en general:

- Secuencial o lógico.
- Control digital directo.
- Control analógico-digital.
- Control descentralizado.

Todos están caracterizados por un doble sentido de transmisión de información entre computador y proceso.

. Control secuencial

Las señales intercambiadas entre el proceso y el computador son digitales.

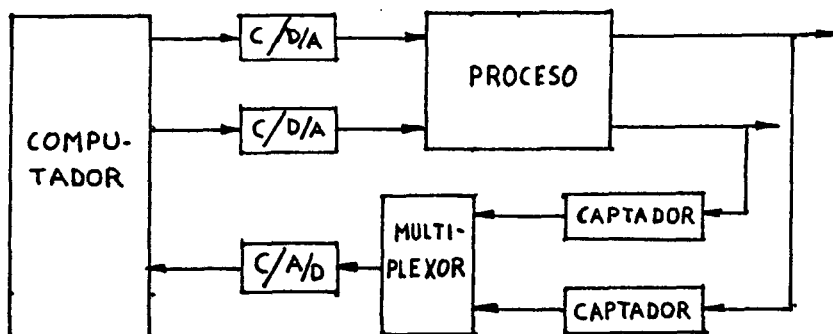


El computador, en este tipo de control, sustituye con un programa que ejecuta, a un circuito lógico de tipo secuencial. Esta sustitución se realiza en el campo industrial de forma rápida y progresiva, especialmente empleando microprocesadores. A estos sistemas se les llama de lógica programada, a diferencia de los circuitos lógicos convencionales, que se denominan de lógica cableada.

Las ventajas de la lógica programada sobre la cableada son las siguientes: flexibilidad a la hora de realizar cambios en la forma de control, pues se reducen a cambios en el programa; comodidad de mantenimiento, pues requiere sólo revisión del programa. El principal problema de la lógica programada es que un fallo afecta a la totalidad del sistema de control, no permitiendo funcionamientos parciales.

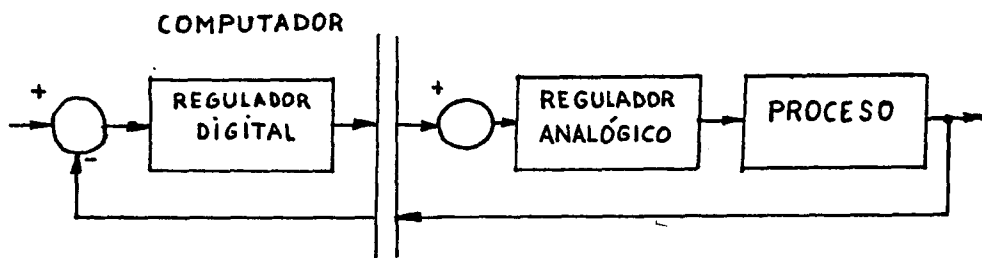
. Control digital directo

Su acción se refleja en la figura. En este caso un computador lleva dos bucles de control, por ejemplo. El multiplexor alterna la toma de muestras del convertidor A/D entre las distintas señales. Las ventajas e inconvenientes de este tipo de control son las ya vistas en el esquema general del principio. De todas formas, recalquemos que la mayor desventaja está en caso de avería, pues dejaría de funcionar todo el sistema. Una solución que se suele adoptar es duplicar el computador con posibilidad de que cuando haya fallo, un segundo realice las funciones del que quede fuera de servicio. Esta solución no resultará cara en grandes plantas, donde el precio de un computador es despreciable.



. Control analógico-digital

Se trata de un sistema con parte analógica y parte digital. El computador, según criterios prefijados, genera la señal de referencia de un sistema de control convencional. Esto hace que cuando este dispositivo de cálculo falle, el bucle de control siga funcionando con los reguladores analógicos. Para un solo bucle, el esquema correspondiente es el de la figura.

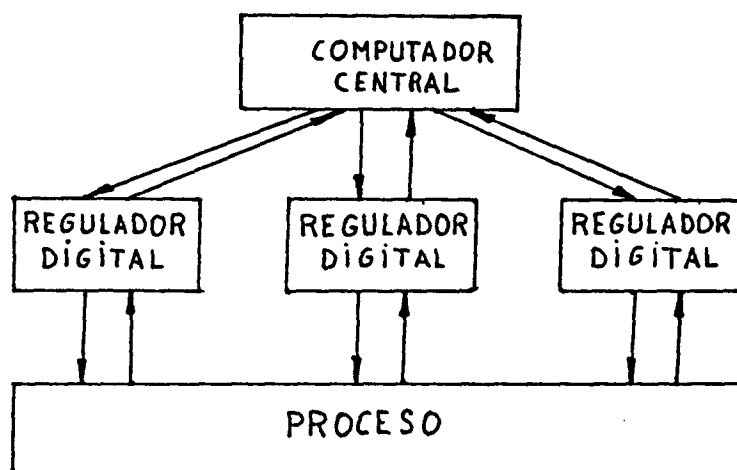


Permite la modificación de parámetros, pero presenta inconvenientes de precisión, derivas, desajustes,... propios de los sistemas convencionales.

.Control descentralizado

Si los reguladores analógicos anteriores fuesen también digitales tendríamos un control descentralizado. Estos

reguladores digitales podrian ser implantados con microprocesadores, que tienen un bajo costo. Las funciones se descentralizan del computador principal.



Puede poseer una capacidad de reconfiguración ante fallos, de manera tal que cuando algún elemento quede fuera de servicio, el conjunto se reconfigure, asignando las funciones que éste realizaba a otro u otros elementos.

Problemas del control con computador

La introducción de elementos como los convertidores y el computador hace que surjan problemas que no aparecían en los sistemas convencionales. Estos problemas son

relativos a la transformación que las señales sufren al pasar por ellos: muestreo, reconstrucción y cuantificación.

El muestreo es el proceso de tomas de muestras de una señal analógica para su tratamiento en el computador. Como esta toma se realiza a intervalos discretos de tiempo se producirá una pérdida de información de la señal; esto conlleva un estudio particular en cada caso, dependiendo de la precisión requerida y el error permitido, para determinar cuál debe ser la frecuencia de muestreo.

El problema inverso será el de reconstrucción: dada una secuencia de valores hay que construir una señal continua que pase por esos puntos. Este proceso sólo se puede realizar de forma aproximada, introduciendo nuevas pérdidas de información.

El tercer problema es el de cuantificación, que surge debido a que el computador maneja números con cierto número limitado de cifras. Habrá que limitar su número de cifras por truncamiento, es decir, despreciando las cifras que exceden de las que permite la capacidad del computador, o por redondeo, que asigna a todo valor el número inmediato inferior o superior según lo próximo que esté a él. Este proceso de truncación o redondeo hay que

realizarlo tanto al tomar medidas como al obtener unos resultados de operaciones, cuando estos resultados tienen un número de cifras que excede la capacidad de la máquina.

CONCLUSIONES SOBRE LA IMPLANTACION DE SISTEMAS DISCRETOS

En muchos casos, cuando los sistemas discretos a implantar sean de pequeño volumen no será posible, desde el punto de vista económico, disponer de estos sistemas y será necesario el diseño específico de dispositivos con este fin. En tal caso la tarea a desarrollar será más bien de diseño electrónico que de programación.

Si la magnitud del sistema a implantar fuese mayor, será necesario un equipo de cálculo de características convencionales que hará que este problema se reduzca a uno de programación del equipo.

El uso de microprocesadores acerca ambas planteamientos. Nos permite realizar un combinado software-hardware óptimo para la solución de nuestro problema.

Tanto la implementación de sistemas microprocesadores

como la de computadores implican ya unos errores de cálculo. Dado que son dispositivos digitales de cálculo, el almacenamiento y medida de señales se realiza con un número finito de dígitos. Por lo general, las señales a tratar son señales analógicas, por lo que se requiere una operación de transformación de los valores de variables y constantes de un número infinito de cifras a un número concreto de éstas, operación que se denomina cuantificación:

- cuantificación de la señal de entrada: medidas tomadas a través de un convertidor analógico-digital.
- cuantificación de los parámetros: valores relativos a ciertas características del sistema a controlar.
- errores de redondeo en las operaciones: se realizan operaciones con los valores anteriores, ya cuantificados, y se obtienen unos resultados que además serán redondeados.

P A R T E I I

S I S T E M A D E C O N T R O L D E
E S T A B I L I D A D D E U N A
C E N T R A L E L E C T R I C A

I N T R O D U C C I O N

EL PROBLEMA

La idea de la implementación de un sistema microprocesador de control para una central eléctrica surge debido a la inestabilidad que actualmente existe en dichas centrales, problema que aún se plantea a nivel internacional.

¿Qué queremos decir al hablar de inestabilidad en una central? Básicamente consiste en lo siguiente:

Cualquier sistema de suministro de potencia, tanto si es un sistema independiente como si posee interconexiones, no permite un exceso de carga, es decir, no puede suministrar más potencia a las cargas que tenga conectadas que la generación disponible por dicho sistema. Sus generadores comenzarían a decaer a medida que aumenta la demanda de las cargas, por encima del valor máximo de oferta de potencia. Esto acarrea una disminución de la

velocidad de los generadores, con el consiguiente decremento de la frecuencia y la tensión.

El decremento de ambas magnitudes se puede aprovechar para llevar a cabo un efecto correctivo en el sistema, de forma que se evite una situación catastrófica o de emergencia. Esta corrección consiste en reducir la carga. De esta forma, en un sistema con preponderancia de carga resistiva, una reducción de tensión debería ocasionar una reducción de la carga total; por otra parte, en un sistema con preponderancia de carga motor, la mejor forma de detectar la necesidad de una reducción de carga se obtiene de una reducción en tensión y frecuencia.

Hay que apuntar que una caída en la frecuencia puede hacer entrar en peligro a la propia generación. Por ejemplo, una planta hidro-eléctrica no es afectada relativamente por una reducción de frecuencia del 10%; pero una planta de generación térmica es bastante sensible incluso a una reducción de frecuencia del 5%.

SOBRECARGAS. EFECTOS Y CONTROL.

Una situación de baja frecuencia debido a un exceso de carga sobre la generación disponible se puede dar por

varias causas:

- la pérdida de una de las fuentes generadoras.
- un cortocircuito.

El cortocircuito provoca una situación de inestabilidad debido al shock al que el sistema es sometido, o bien debido a la inadecuada o lenta respuesta del dispositivo encargado de la reducción de carga.

El dispositivo utilizado actualmente para la reducción de la carga conectada al sistema es el relé de baja frecuencia. Este alivio de carga que recibe el sistema impide que se produzcan inestabilidades en el mismo, y se realiza según un programa predeterminado. Sin embargo, los relés de baja frecuencia, que serán comentados posteriormente con más detalle, no son la solución perfecta. La lentitud de operación de los mismos los hace inadecuados en ciertas ocasiones, existiendo aún el riesgo de una situación catastrófica en la planta. Insistiremos en esto más adelante.

NUESTRO PROBLEMA

Centrémonos ahora un poco más en el problema que trata

de resolver este proyecto, a fin de poder dar al lector una visión más clara y precisa de qué se ha pretendido realizar.

Quedó expuesto en el apartado anterior la base del problema. Nosotros nos referiremos a partir de ahora a una central eléctrica como planta cuya estabilidad ha de ser controlada. Esta central eléctrica consta de tres generadores o grupos que alimentan a cinco cargas; así lo consideramos como idea de partida para la realización de nuestro prototipo.

Cada generador posee una potencia nominal de trabajo, pudiendo ser iguales o distintas entre sí. Por debajo de esta potencia nominal el funcionamiento del generador no presenta peligro, aunque su rendimiento óptimo se consigue cuando se le hace trabajar a su valor nominal. No obstante, cuando el grupo intenta dar potencia por encima de este valor normal, con un exceso de hasta un 10%, el sistema entra en zona de alerta; un aumento superior al 10% ya ocasionaría la desconexión inmediata del mismo.

En nuestro prototipo hemos considerado, como se indicó, cinco cargas o líneas eléctricas que se alimentan de los tres grupos conectados en paralelo. Una demanda excesiva por parte de las líneas, es decir, una demanda de potencia

por encima de la capacidad de los grupos, provocaría que éstos rebasaran su potencia nominal y entraran en la zona de alerta (entre el 100% y el 110% de su nivel de trabajo), o lo que es peor, en la zona de saturación del grupo (por encima del 110% de su capacidad) con la consiguiente calda del mismo. ¿Pero qué consecuencias traería la calda del grupo?

Lógicamente si un grupo queda desconectado toda la demanda exigida por las cargas recaería sobre los dos generadores restantes; si antes, cuando trabajaba el conjunto completo de los tres grupos en paralelo la petición de potencia por parte de las cargas resultaba excesiva, es inmediato pensar que ahora la demanda será aún más excesiva para los generadores que quedan en servicio. El resultado: estos generadores también acabarían saltando y la planta se vendría abajo, lo cual constituye una situación catastrófica.

Volvemos a insistir en que para evitar una pérdida de la estabilidad, tal como esta, ya existen dispositivos como los relés de baja frecuencia, pero dichos elementos presentan graves inconvenientes.

Una vez aclaradas las ideas sobre el problema que nos ocupa, vamos a entrar poco a poco en profundidades. Por

ejemplo, empecemos conociendo más a fondo el tipo de generador al que nos referiremos durante todo el tiempo.

C A R A C T E R I S T I C A S D E L G E N E R A D O R S I N C R O N O

Debido a trabajar con alternadores síncronos, vamos a dar una somera visión sobre los mismos, exponiendo algunos conceptos interesantes sobre máquinas síncronas. Insistiremos sobre todo en la necesidad de protección de los generadores, ya que aparte de un control de la estabilidad de la central es imprescindible una etapa más de protección de los alternadores.

La potencia en bornes de una máquina síncrona, igual a la potencia generada si funciona como generador, o a la potencia absorbida de la red en el funcionamiento como motor, viene expresada por la fórmula general

$$P = m \cdot U \cdot I \cdot \cos \psi$$

siendo m el número de fases del devanado inducido, U e I

la tensión y corriente de fase, y el desfasado entre U e I .

En general, una máquina síncrona trabaja conectada a una red de potencia sobre la que existen otros generadores síncronos funcionando en paralelo y cuya potencia global es muy superior a la de la máquina considerada. En estos casos es preferible expresar la potencia en función de otras magnitudes que pongan más de manifiesto la influencia de la red sobre el funcionamiento de la máquina síncrona.

En el límite, una red de muy elevada potencia será una red de potencia infinita, la cual se caracteriza por ser constantes la tensión U y la frecuencia f de la misma, cualesquiera que sean las cargas y las excitaciones individuales de las máquinas a ellas conectadas.

Las máquinas síncronas, al funcionar como alternadores regulados a tensión constante, determinan la relación entre la corriente inductora y la corriente del inducido o de carga, manteniéndose constantes la tensión en bornes, la frecuencia y el $\cos\varphi$.

El aumento de la corriente de excitación con relación a la corriente de carga es tanto menor cuanto más elevado es

el desfase inductivo de la carga, inversamente a lo que sucede si la carga es condensiva, en cuyo caso la corriente de excitación debe reducirse al aumentar el consumo para mantener la tensión en bornes constante.

LA PROTECCION POR RELEVADORES.-

Los relevadores son dispositivos utilizados para la protección de los alternadores síncronos. El uso de tales dispositivos vendrá dado por los tres aspectos siguientes:

- Funcionamiento normal.
- Previsión de falla eléctrica.
- Reducción de los efectos de la falla eléctrica.

Cuando se habla de funcionamiento normal se supone que no hay fallas del equipo, o errores del personal en hechos fortuitos. Se debe tener en cuenta una serie de requisitos mínimos para la alimentación de la carga existente y una cierta cantidad de carga futura anticipada; algunas de estas consideraciones son:

- localización de las estaciones generadoras.
- transmisión de la potencia a la carga.

- estudio de las características de la carga y la planeación para su crecimiento futuro.
- medición.
- regulación de la tensión y de la frecuencia.
- funcionamiento del sistema.
- mantenimiento normal.

Las provisiones para un funcionamiento normal suponen el mayor costo para el equipo, pero un sistema diseñado sólo teniendo en cuenta este aspecto no es suficiente, no satisface los requisitos actuales. Así es que debe haber provisiones adicionales para disminuir el daño al equipo y las interrupciones del servicio cuando ocurren las fallas.

Se presentan dos recursos:

- incorporar características de diseño con el fin de impedir las fallas.
- incluir provisiones para reducir los efectos de la falla cuando ésta ocurre.

El diseño moderno de sistemas de potencia emplea ambos recursos en diversos grados; cuando se disminuye la

probabilidad de falla también se disminuye la posibilidad de daños al servicio; pero económicamente no es rentable impedir todas las fallas. Es mucho más provechoso dejar que ocurran algunas de ellas y prever para reducir sus efectos.

El tipo de falla eléctrica que origina los máximos efectos es el cortocircuito, pero hay otras condiciones de funcionamiento anormales, propias de ciertos elementos del sistema, que también requieren atención. Algunas de las características de diseño destinadas a prevenir la falla eléctrica son las siguientes:

- provisión del aislamiento adecuado.
- coordinación de la resistencia de aislamiento con las capacidades de pararrayos.
- resistencia mecánica de diseño para reducir la exposición y para disminuir la probabilidad de fallas originadas por animales, polvo, granizo,...
- funcionamiento y prácticas de mantenimiento apropiados.

Y algunas de las características de diseño y funcionamiento para reducir los efectos de falla son:

- diseño para limitar la magnitud de la corriente de

cortocircuito, evitando concentraciones muy grandes de capacidad para generación y utilizando impedancia limitadora de corriente.

- diseño para soportar los esfuerzos mecánicos y calentamientos debidos a las corrientes de cortocircuito.
- dispositivos de baja tensión con acción retardada en interruptores para evitar la calda de las cargas durante disminuciones de tensión momentáneas.
- neutralizadores de fallas a tierra.

Las características para desconexión rápida de los elementos defectuosos son:

- protección por relevadores.
- interruptores con suficiente capacidad interruptiva.
- fusibles.

Las características que reducen la pérdida del elemento defectuoso son:

- circuitos alternados.
- capacidad de reserva de generadores y transformadores.

En cuanto a características que funcionan en todo el periodo desde la iniciación de la falla hasta que se elimina ésta, para mantener la tensión y la estabilidad:

- regulación automática de la tensión.
- característica de estabilidad de los generadores.

Y en cuanto a medios para observar las características anteriores:

- oscilógrafos automáticos.
- observación humana eficiente y registro de datos.

Es conveniente realizar inspecciones frecuentes a medida que cambia el sistema, así como se pueden añadir nuevas cosas para estar seguros de que las características anteriores son aún adecuadas.

De este modo, la protección por relevadores es una de las diversas características del diseño de un sistema relacionado con la disminución del daño de los equipos y con las interrupciones al servicio cuando ocurren fallas eléctricas.

Cuando decimos que los relevadores protegen entendemos que, junto con otro equipo, ayuda a disminuir el daño y a

mejorar el servicio. Es evidente que todas las características de disminución dependen entre sí para lograr reducir con éxito los efectos de la falla. Por tanto, las capacidades y los requisitos de la aplicación de los equipos de protección por relevadores deberían considerarse de acuerdo con las otras características. Dentro de los límites económicos, un sistema eléctrico de potencia debe diseñarse de tal manera que pueda estar adecuadamente protegido.

La función de la protección por relevadores es originar el retiro rápido del servicio de cualquier elemento de un sistema de potencia, cuando éste sufre un cortocircuito o cuando empieza a funcionar en cualquier forma anormal que pueda originar daño o interfiera de otra manera con el funcionamiento eficaz del resto del sistema.

El equipo de protección está ayudado, en esta tarea, por interruptores que son capaces de desconectar el elemento defectuoso cuando el equipo de protección se lo manda.

Los interruptores están colocados de tal forma que cada generador, transformador, barra colectora, línea de transmisión, ... pueda desconectarse del resto del sistema por completo. Estos interruptores deben tener la capacidad

suficiente para que puedan conducir momentáneamente la corriente máxima de cortocircuito que puede fluir a través de ellos, e interrumpir entonces esta corriente; deben soportar el cierre de un cortocircuito semejante e interrumpirlo de acuerdo con ciertas normas. Los fusibles se emplean donde los relevadores de protección y los interruptores no son justificables económicamente.

Aunque la función principal de la protección por relevadores es reducir los efectos de cortocircuito, surgen otras condiciones anormales de funcionamiento, que necesitan también de esta protección. Una de las funciones secundarias de los relevadores es indicar el sitio y el tipo de falla. Dichos datos no sólo ayudan en la reparación necesaria, sino que también, por la comparación con las observaciones humanas y con los registros de oscilógrafos automáticos, proporcionan medios para el análisis de la eficacia de la prevención de la falla.

Características funcionales de la protección por relevadores.-

Cualquier equipo de protección debe ser suficientemente sensible para que funcione en forma segura cuando sea necesario, debe ser capaz de seleccionar entre aquellas

condiciones en las que se requiere un funcionamiento rápido y aquellas en las que no debe funcionar, o se requiere funcionamiento de acción retardada. Y debe funcionar a la velocidad requerida. Por lo tanto, tres son las características principales de los relevadores: sensibilidad, selectividad y velocidad. La sensibilidad y la selectividad son esenciales para que sean disparados los interruptores adecuados, pero la velocidad es lo que cuenta.

Los relevadores funcionan en general en virtud de la corriente y/o tensión proporcionadas a éstos por los transformadores de corriente y tensión conectados en diversas combinaciones al elemento del sistema que va a protegerse. Por cambios individuales o relativos en estas dos magnitudes, las fallas señalan su presencia, tipo y localización a los relevadores de protección.

Para cada tipo y localización de falla, hay alguna diferencia característica en estas magnitudes, así como varios tipos de equipos de protección por relevadores disponibles, cada uno de los cuales está diseñado para reconocer una diferencia particular y funcionan en respuesta a ésta.

Las diferencias posibles en cada magnitud son:

magnitud, frecuencia, ángulo de fase, duración, razón de cambio, dirección u orden de cambio, armónicos o formas de onda.

La protección de generadores supone la consideración de las máximas posibilidades de condiciones de funcionamiento anormal; en estaciones no atendidas debería proporcionarse protección automática contra las posibles condiciones anormales perjudiciales.

A N T E C E D E N T E S

R E L E S D E B A J A F R E C U E N C I A E N E S T A D O S O L I D O

El control existente en la actualidad se basa en relés de baja frecuencia en estado sólido. El uso de relés de baja frecuencia como sensores en los esquemas de conversión de la carga no es nuevo.

El principio básico del circuito de un relé de frecuencia fue patentado por Mr. Charles Steinmetz en 1900. Los relés de frecuencia de baja velocidad fueron comercializados en 1921; luego en 1948 aparecen otro tipo de relé de mayor velocidad, el CFF. Desde noviembre de 1965 y junio de 1967, ha habido un interés especial por parte de los expertos, centrado en la implementación de nuevas aplicaciones y en la revisión y mejora de las ya

existentes en los esquemas de conservación de la carga.

Las circunstancias han incitado a los fabricantes a llevar a cabo mejoras en los relés de baja frecuencia, surgiendo así el relé tipo SFF. Este relé utiliza tecnología de estado sólido en forma de circuitos integrados que mejoran el funcionamiento del mismo.

PRINCIPIOS DE OPERACION

Los principios de operación de este relé los podemos describir basándonos en el diagrama de bloques funcionales de la figura siguiente.

La tensión de alimentación del sistema, cuya frecuencia ha de ser controlada, es proporcionada a los circuitos SFF a través de un transformador.

El acondicionador de señal (1) elimina los armónicos y transitorios de la señal alterna de entrada, así como también los efectos de offset continuo. El acondicionador de señal también dispone de una interface entre la señal de entrada y la circuitería lógica del relé. La salida del acondicionador es convertida en pulsos bien definidos, que

corresponden a cada paso por cero y flanco positivo en el detector de paso por cero (2).

El generador de reloj (3) es un oscilador de cristal controlado, el cual suministra continuamente pulsos de 2 MHz de frecuencia al contador de pulsos (7), a través del buffer amplificador (5).

El paso de la señal a través del buffer amplificador es bloqueada por una señal procedente del detector de baja tensión (6), si la tensión de entrada cae por debajo de un nivel predeterminado. La salida de este buffer, consistente en los pulsos de 2 MHz, es aplicada al contador binario (7) junto con la salida del detector de paso por cero. Este contador es reseteado en cada ciclo de la señal de alimentación, ocasionándolo el pulso de salida del detector de cero.

El contador binario posee 20 salidas paralelas, que son controladas por un circuito combinacional (8), que llamamos en la figura con el nombre de "preset logic". Si el estado de estas salidas satisface la lógica prefijada del bloque de "frecuencia fijada", aparecerá un pulso de overflow. La presencia de este pulso indicará que ha habido un ciclo completo de operación a una frecuencia inferior al valor fijado, y este pulso de overflow se

repetirá una vez por ciclo mientras la frecuencia del sistema esté por debajo del valor fijado.

Por razones de seguridad se utiliza una circuitería adicional después del bloque combinacional (8) para asegurarnos de que habrá una indicación de baja frecuencia en un mínimo de tres ciclos consecutivos. Este tiempo mínimo se puede aumentar a 80 ciclos por medio de un timer ajustable auxiliar (11). Esta circuitería trabaja de la siguiente manera:

Mientras la frecuencia del sistema se mantenga por encima del valor fijado no habrá pulsos de salida en el circuito combinacional (8), y el timer de 24ms (10) proporcionará una señal continua que bloquea al contador por tres (9) y al timer auxiliar (11). Un pulso de overflow procedente del circuito combinacional (8) resetea el timer de 24ms, que comenzará a contar de nuevo desde cero. Si los pulsos de overflow continúan apareciendo a intervalos de un ciclo, el contador por tres junto con el timer auxiliar, si es usado, actualizarán y activarán el circuito actuante y la salida (12).

La condición de baja frecuencia debe persistir durante todo el periodo de retardo. Si la frecuencia del sistema aumenta por encima del nivel prefijado, incluso durante un

solo ciclo, antes de que transcurra el tiempo de retardo, el timer de 24 ms actuará reseteando el contador por tres y el timer auxiliar. El relé no saltará, pero comenzará a controlar la frecuencia del sistema otra vez. Cuando el circuito y la salida actuantes (12) sean activados, se producirá también una activación del relé. Después de esta activación, el circuito actuante será disparado continuamente hasta que la frecuencia del sistema se recupera a un nivel por encima del punto prefijado. En este momento el circuito completo se reseteará sin que haya ningún otro retardo que indique que la corriente del circuito ha sido interrumpida por otros medios convencionales.

A continuación se presenta el esquema de bloques correspondiente al relé tipo SFF.

Características y márgenes.-

El relé tipo SFF está preparado para trabajar a 120 V a-c. La respuesta en frecuencia del relé de 120 V es independiente del voltaje en el intervalo entre 40 V y 140 V. Por debajo de 40 V la situación es prevenida por el detector de bajo voltaje. Hay modelos disponibles para uso con 48 ó 125 V d-c. El relé es adecuado para operaciones en un rango de temperatura de -20 °C a +60 C.

El punto de calda a baja frecuencia puede ser ajustable dentro de un rango de 54,2 a 60,8 Hz, con incrementos de 0,05 Hz. Este punto de calda es ajustable mediante tornillos de pasos discretos, en el bloque de "frecuencia fijada", que es accesible desde la parte frontal del relé con la cubierta quitada.

Cuando haya sido ajustada la frecuencia, el valor tendrá una tolerancia de -0,005 Hz a +0,005 Hz con respecto al punto fijado, exactitud que se mantiene dentro de los intervalos de temperatura y voltaje indicados.

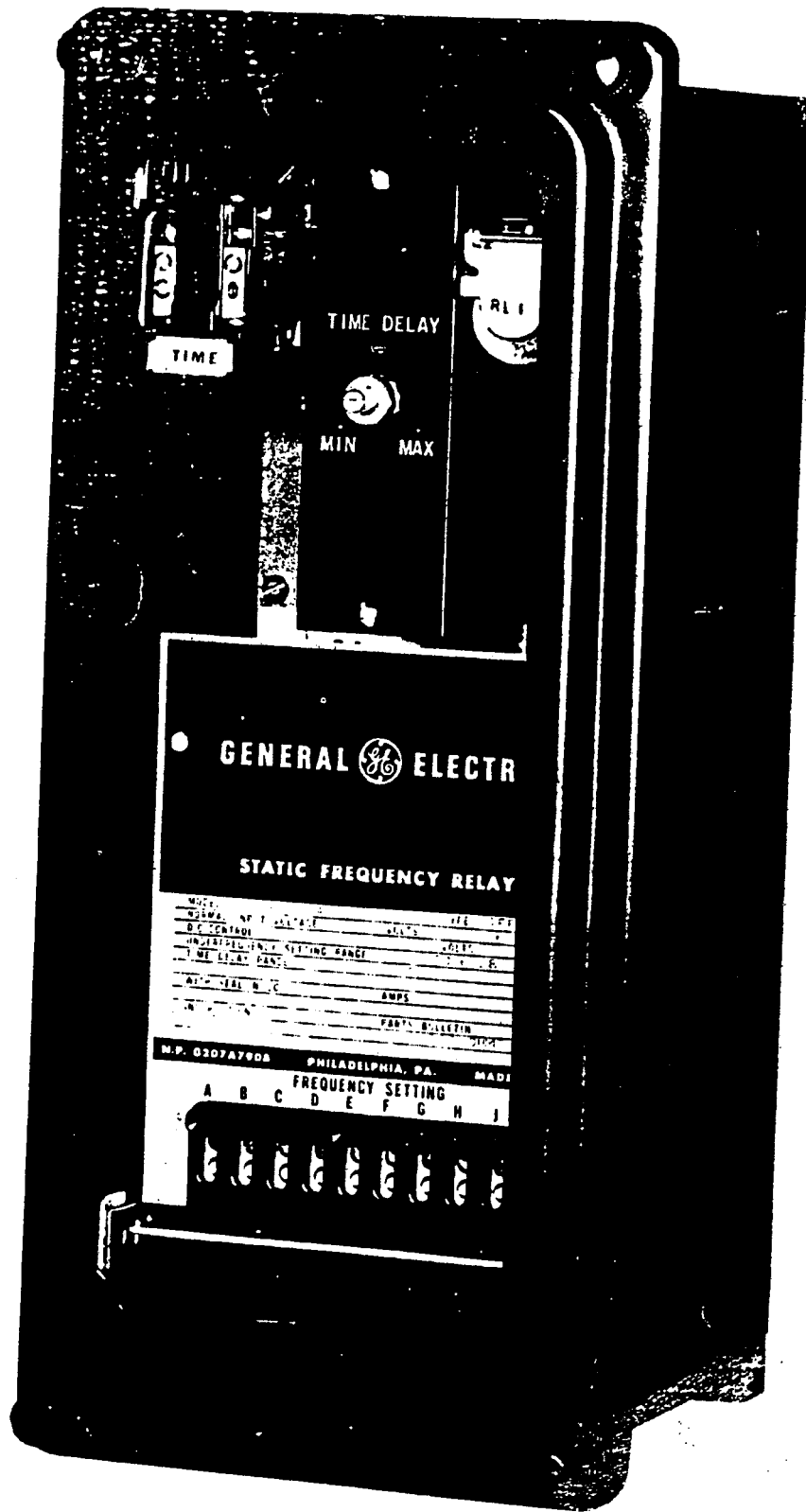
El mínimo tiempo de operación es de tres ciclos, si se utiliza un relé con salida (activación) de tipo SCR; éste es determinado por el contador por tres del diagrama de bloques de la figura anterior. Si se usa un relé de salida

(activación) electromagnética, se le añade un ciclo más de tiempo de operación. El tiempo de operación total es ajustable hasta 80 ciclos por medio de un control del panel frontal. El tiempo de operación del relé es independiente del rango de variación de frecuencia.

Cuando opera a cualquier frecuencia por debajo de 60 Hz, el relé de tipo SFF no cerrará sus contactos incorrectamente en una pérdida o reaplicación repentina de la tensión a-c de entrada o del voltaje d-c de alimentación. El relé incluye protección tanto para entradas a-c como para d-c.

Empaquetado.-

El relé tipo SFF viene empaquetado en una cápsula de tamaño mediano, incluyendo su fuente de alimentación. El resistor para la fuente de alimentación está montado externamente, en la parte trasera de la cápsula. El tornillo de ajuste de frecuencia y el control de ajuste de tiempo son accesibles desde la parte frontal del relé. La figura muestra una fotografía del mismo.



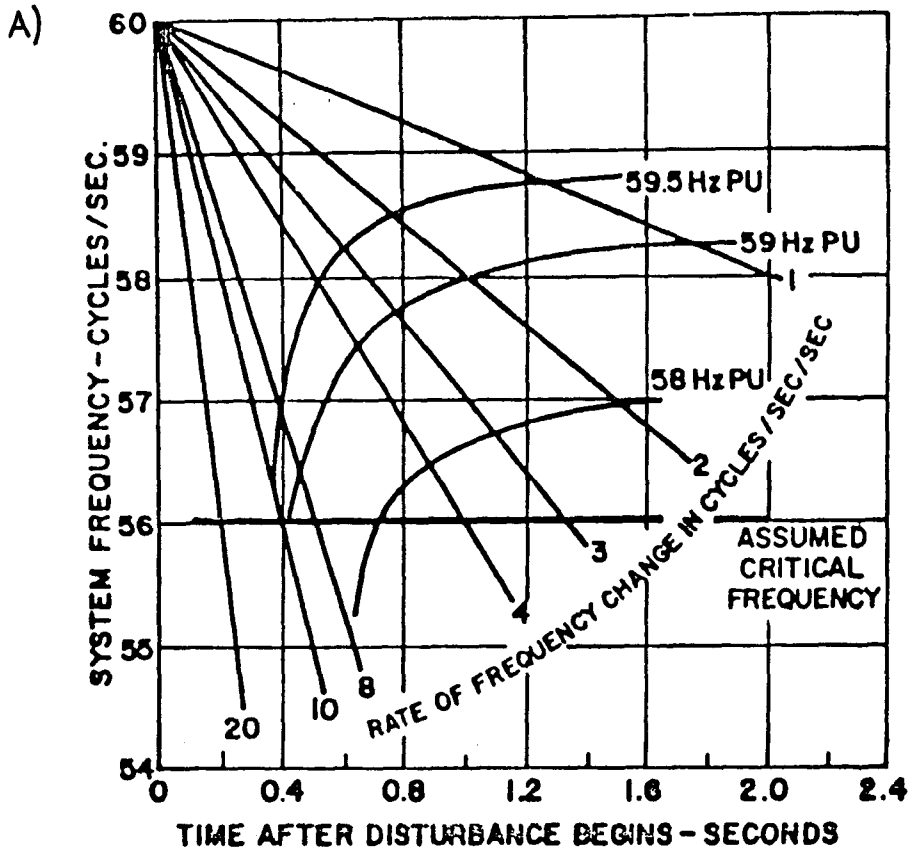
Type SFF underfrequency relay

APLICACION

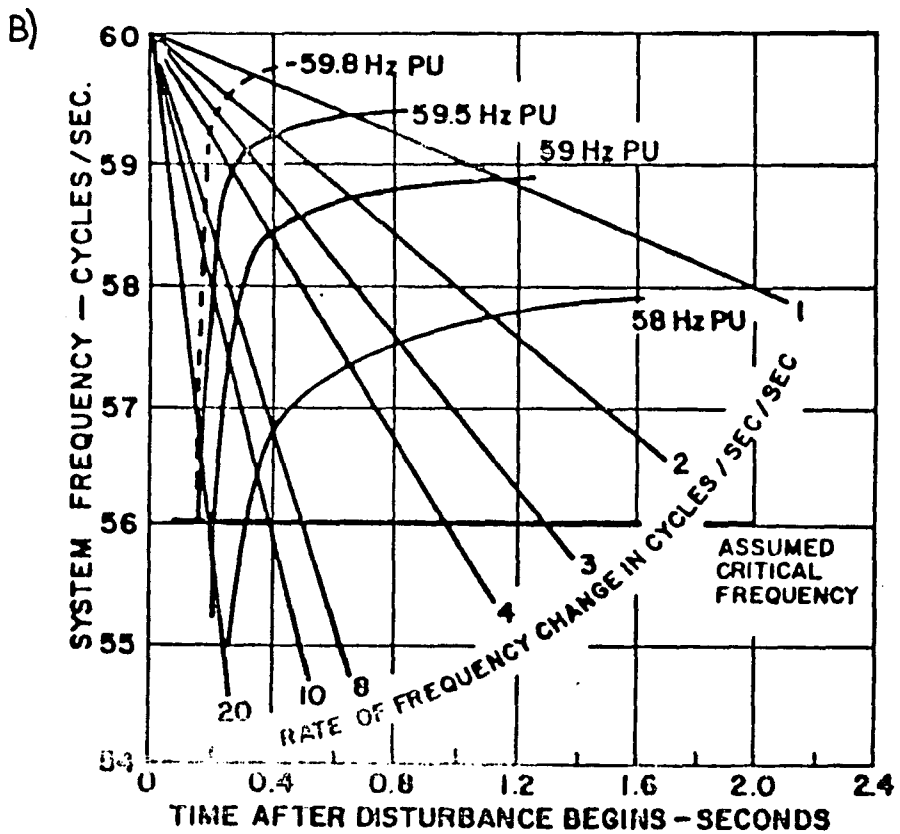
El relé de baja frecuencia del tipo SFF posee características de operación que se ajustan bien para su utilización en los programas de sistemas para la conservación de la carga, de uso general en la actualidad. Su punto de baja frecuencia es independiente del voltaje a-c de entrada dentro del rango de 40 a 140 V, y dentro de cambios de temperatura entre -20°C y $+60^{\circ}\text{C}$. Además, no presenta cambios de frecuencia cuando es activado por primera vez. Este alto grado de estabilidad de sus características los hace mucho más aptos que los relés electromecánicos.

En las figuras siguientes se presentan unas gráficas del tiempo después de que una perturbación empieza, para varios rangos de cambios de frecuencia y para varios puntos de baja frecuencia fijados.

La figura A corresponde a un relé de tipo electromecánico; la figura B pertenece a un relé del tipo SFF. Las curvas en ambas figuras están trazadas para los mismos ajustes de baja frecuencia, por lo que se puede realizar una comparación directa de los dos tipos de relés. En ambos casos se ha supuesto un tiempo de corte de seis ciclos.



Type CFF relay, frequency vs time characteristics for total clearing time



Type SFF relay, frequency vs time characteristics for total clearing time

Las curvas del relé tipo CFF (electromecánico) incluye un tiempo de seis ciclos, porque esta característica se recomienda en las aplicaciones de CFF para prevenir el mal funcionamiento debido a transitorios en a-c, o a un shock mecánico. Puesto que el relé tipo SFF no es susceptible de estas condiciones, su tiempo mínimo de operación se puede ajustar a tres ciclos, como determina el contador por tres previamente citado. Las curvas para el relé de tipo SFF están basadas en este tiempo mínimo de tres ciclos.

Las ventajas de los relés de tipo SFF son claras a simple vista. Una de las razones por las que los tiempos del relé tipo SFF es menor es porque las curvas están trazadas sobre una base de tres ciclos de tiempo de relé. Pero una razón igualmente importante es que una vez que la frecuencia del sistema ha llegado al punto fijado, el tiempo de operación será de tres ciclos, independientemente del rango de variaciones de frecuencia. Esto no es así para un relé tipo CFF, en los que el tiempo de operación depende del movimiento del elemento. El relé electromecánico es bastante lento para bajos rangos de cambios de frecuencia.

Por otro lado, el tiempo de operación de los relés tipo SFF depende sólo del número de pasos por cero con flancos positivos del voltaje requerido después de que la

frecuencia fijada es alcanzada. Para el caso de un ajuste mínimo de tiempo, éste es de tres pasos por cero, o aproximadamente tres ciclos en una base de 60 Hz.

Otra forma de relé de baja frecuencia estático proporciona el restablecimiento de la carga que fue perdida durante la perturbación del sistema. Este tipo de relé tendrá dos puntos de calibración de frecuencias; el primero es el punto de frecuencia más bajo, al cual se descargaría el sistema; el segundo es el punto de frecuencia más alto que determinará cuándo se restaurará la carga perdida. El restablecimiento automático de carga puede provocar una condición de baja frecuencia, si el sistema no está preparado para aceptarla. Esto se podría evitar llevando a cabo la restauración de la carga en varios pasos de recuperación de frecuencia.

Otros relés pueden proporcionar dos o tres puntos de frecuencia en un solo relé, que permiten el manejo de varias cargas, cada una a una frecuencia distinta.

Un problema más a plantearse es el de la restauración de carga. La dificultad de la restauración de la carga que ha caído durante una perturbación del sistema, particularmente en estaciones no atendidas de forma constante, ha sido un impedimento en la aplicación de los

programas de conservación de la carga. Los relés de baja frecuencia pueden llevar a cabo esta restauración de carga automáticamente cuando la frecuencia del sistema se ha recuperado. Esto lo puede hacer un relé del tipo CFF14, que tiene dos frecuencias críticas calibradas: la primera calibración es la de la frecuencia baja, a la cual la carga sería desconectada del sistema; la segunda calibración es a una frecuencia más alta y provocaría la conexión de la carga cuando el sistema se recuperase.

Los relés de baja frecuencia, como se indicó al principio, son los dispositivos utilizados en la actualidad para mantener la estabilidad de las centrales eléctricas. Constituyen la mejor solución a este importante problema, pero aún no son los dispositivos idóneos. La estabilidad de las centrales eléctricas sigue siendo uno de los principales motivos de preocupación de los profesionales del tema, pues todavía existe el riesgo de la pérdida de esa estabilidad y la consiguiente caída de la central.

I N C O N V E N I E N T E S D E L M E T O D O

D E L O S R E L E S

I N T R O D U C C I O N

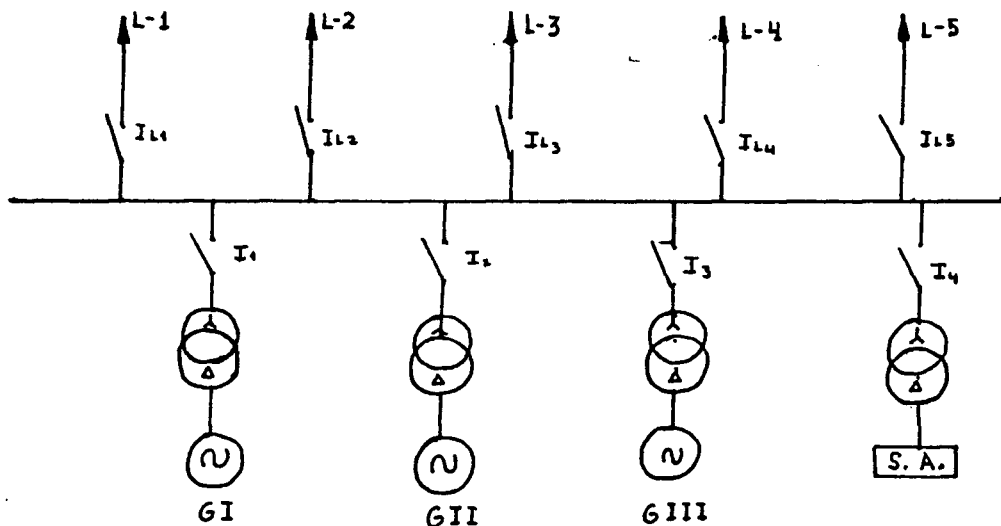
Normalmente los generadores sincronicos son bastante estables. Un conjunto de alternadores trabajando en configuración paralela y alimentando a una serie de cargas se mantiene bien sincronizado. Incluso recuperan fácilmente su sincronismo después de ser objeto de alguna perturbación aleatoria.

A pesar de ello se presentan a veces ciertas situaciones que provocan la pérdida de estabilidad, como pueden ser:

- faltas en la red.
- la desconexión de un grupo o una línea.

Las causas de ello son muy variadas: causas aleatorias, sobrecarga en los generadores, cortocircuito en las líneas, avería en algún lugar,...

Vamos a referirnos en todo momento al caso particular de una estación formada por tres grupos en funcionamiento paralelo que alimentan a cinco cargas o líneas eléctricas. A partir de este esquema realizaremos todo el estudio e implementación. Fácilmente se puede después generalizar a cualquier número de grupos y a cualquier número de líneas.



ESQUEMA GENERAL: LÍNEAS Y GENERADORES

Estudiaremos en esta parte las principales causas de la pérdida de estabilidad, las consecuencias que acarrea una sobrecarga en los generadores, los inconvenientes del sistema actual basado en relés de mínima frecuencia, y cómo un sistema de control basado en microprocesador elimina estos inconvenientes. Después pasaremos a un estudio más exhaustivo de cómo llevar a cabo el control.

CAUSAS DE INESTABILIDAD

Varios son los eventos que pueden provocar una situación de inestabilidad en la planta eléctrica. Así se tienen:

* Desconexión inesperada de un generador:

Esto puede ser debido a diversas causas como perturbaciones aleatorias, o por producirse en el grupo un cortocircuito interno, o cualquier otra avería.

* Desconexión de un generador por convertirse en motor:

Aunque parezca extraño, hay ocasiones en las que un generador pasa a ser motor, esto es, en lugar de ofrecer potencia pasa a demandarla. Este hecho hace que los grupos restantes tengan que alimentar a todas las líneas, y

además se les suma ese generador en mal funcionamiento. La situación no persiste durante mucho tiempo: los grupos disponen de una protección por relevadores para evitar sucesos de esta índole, detectando automáticamente el cambio de sentido de la potencia y desconectando el grupo de la red.

* Desconexión de un generador por sobrecarga:

Esto se produce cuando la demanda de potencia por parte de las líneas y servicios auxiliares es mayor que la potencia que los generadores son capaces de suministrar.

* Cortocircuito en una línea:

La línea en este caso demandaría una enorme cantidad de potencia, lo que sobrecargaría a los generadores. Las líneas, a diferencia que los grupos, pueden soportar una corriente de hasta un 200% de su valor nominal; una situación de este tipo es señal de que se ha producido en ella un cortocircuito. Su propia protección la desconectaría del sistema, aunque esto puede ocurrir con demasiada lentitud y el generador se sobrecargaría, produciéndose una situación de inestabilidad.

Cabe la posibilidad de que la línea no se abra ante un cortocircuito, por fallos en algún elemento como:

- fallo en la bobina de desenganche del interruptor de

potencia.

- fallo de la corriente de mando.
- fallo de la protección de la línea.
- fallo del cableado.

* Excesiva demanda:

Aún no existiendo cortocircuito alguno en las líneas, en conjunto pueden estar demandando más potencia de la que los grupos en servicio pueden suministrar. Como consecuencia éstos se sobrecargarían.

LA SOBRECARGA

Se han expuesto las razones más comunes e importantes que originan un fenómeno de sobrecarga en los alternadores. Veamos ahora por qué es tan desastroso este hecho.

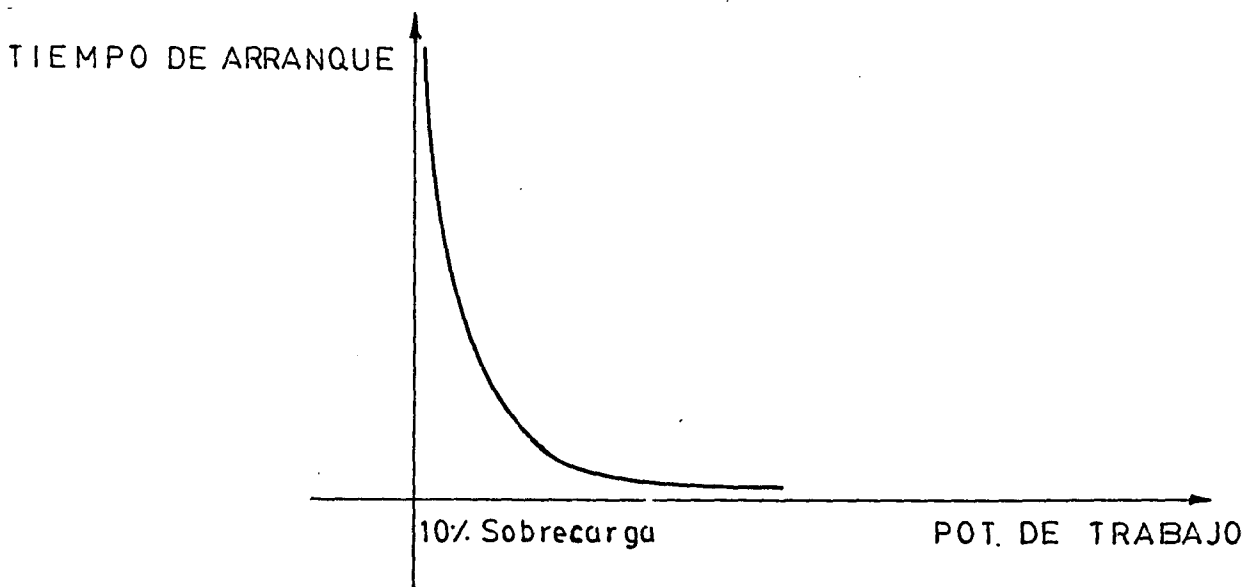
Un alternador posee una potencia nominal de trabajo, y unos márgenes de funcionamiento alrededor de dicha potencia. Existe incluso la posibilidad de que trabaje a un 10% por encima de la potencia nominal, sin que se

produzca un calentamiento excesivo de su estator.

Esta situación no puede mantenerse por mucho tiempo; después de una hora de funcionamiento bajo estas condiciones de sobrecarga las consecuencias podrían ser bastante malas. Si no se realiza un desacoplo manual, con toda seguridad la protección del alternador terminaría desacoplándolo de forma automática.

Lo mismo sucedería si se intentase hacer trabajar al generador por encima del 10% de su capacidad normal, pero en este caso el tiempo máximo de aguante sería de unos cuatro o cinco segundos, antes de que el grupo se desacoplase por sí solo.

La gráfica tiempo-potencia para un generador es la siguiente:



Si uno de los alternadores deja de funcionar por haber sufrido una sobrecarga de este tipo, toda la demanda de potencia recaerá sobre los generadores restantes que quedan en servicio, con gran posibilidad de que éstos también se sobrecarguen y trabajen a más del 110% de su capacidad.

El resultado es patente: los alternadores en servicio acabarían desconectándose de la red, por actuación de sus propias protecciones contra sobrecarga, produciéndose un cero en la central.

Situaciones como esta son intolerables. Poner de nuevo en funcionamiento a todo el sistema implica un gasto excesivo de dinero. Por otra parte, todas las zonas alimentadas por la central en cuestión quedarían desabastecidas.

La solución más efectiva ante este problema es la desconexión de líneas a tiempo, evitando que los generadores se sobrecarguen y sean desacoplados. Una segunda solución sería la conexión a la red de grupos auxiliares que ofrecieran la potencia requerida, pero esto no es siempre posible, debido a que no se dispone de dichos grupos, o su misión es la de entrar en escena sólo en caso de avería de los que están funcionando normalmente.

LOS INCONVENIENTES DE LA SOLUCION TRADICIONAL

En la actualidad, y como ya se ha indicado, los relés de frecuencia son los dispositivos utilizados para solucionar el problema de la estabilidad, originado por las causas anteriormente indicadas, esto es, faltas en la red, desconexión de un generador, cortocircuito en una carga,...

La configuración del sistema de protección por relés de baja frecuencia consiste en la implantación de varios escalones de frecuencia mínima, consiguiendo de esta forma varios niveles de actuación. Así se puede tomar, por ejemplo, el siguiente criterio:

- Cuando la frecuencia alcanza el umbral del primer escalón se produce la apertura de las líneas L1, L2 y L3 (ver esquema de las líneas y generadores).
- Cuando se detecta un segundo umbral, correspondiente al segundo escalón de frecuencia, se produce la apertura de las líneas L4 y L5.

El criterio tomado para optimizar la situación puede

ser tal que las líneas que sean desconectadas en primer lugar (es decir, las del primer escalón de actuación) sean las pertenecientes a zonas poco problemáticas (líneas L1, L2 y L3). El segundo umbral actuaría sobre cargas de zonas donde una falta de potencia implicaría mayores gastos y problemas (lugares públicos, hospitales, fábricas, subterráneos, semáforos,...); son las zonas correspondientes a las líneas L4 y L5.

Siempre habría que permitir el transcurso de un cierto tiempo antes de la actuación, con el fin de evitar disparos de líneas cuando exista una falsa situación de peligro para la estabilidad, producida por una simple perturbación o ruido.

Los relés de frecuencia presentan grandes inconvenientes adn. Son poco precisos, lentos en su actuación, no selectivos a la hora de desconectar líneas,... razones por las cuales su eficiencia no es la deseada.

Citemos algunos inconvenientes concretos que tienen:

- 1) En primer lugar el sistema por relés no estudia el estado de las cargas de las salidas de líneas en el instante del problema, así como durante el

transcurso del tiempo. Es por eso que no se tiene en cuenta la variabilidad de la carga con respecto al tiempo. En la mayoría de los casos ocurre la desconexión de líneas en un momento en que pueden ser muy necesarias, o bien en un momento en que no lo son. Este aspecto no es tenido en cuenta.

2) En otros casos puede producirse la apertura de todas las salidas de líneas. Si, por ejemplo, las líneas asociadas al primer umbral de actuación están consumiendo poco, y el problema de sobrecarga se está produciendo por el conjunto de líneas correspondientes al segundo umbral (imaginemos que una de ellas está cortocircuitada, para fijar ideas), acabarían desconectándose todas las líneas, cuando la solución estaba en seleccionar una línea que fuera realmente la problemática.

3) La actuación de los relés de frecuencia no tiene lugar sino cuando ya se ha producido la inestabilidad, llegando en muchas ocasiones la tensión de barras a alcanzar valores del orden del 75% de la tensión nominal. Esto supone un grave peligro de pérdida total de la estabilidad, por falta de equipos auxiliares que ayuden a ofertar la demanda pedida.

- 4) La no actuación antes de producirse la inestabilidad hace que cuando ésta sobrevenga los grupos se vean sometidos a esfuerzos indebidos, tanto de tipo eléctrico como mecánico.

- 5) El sistema de protección por relés de baja frecuencia es un verdadero generador de valores inestables, en magnitudes tales como la frecuencia, la potencia y sobre todo la tensión, en el momento del fenómeno. Todo ello acarrea problemas a los abonados de la central.

- 6) Por otra parte, es un mecanismo no selectivo a la hora de las descargas. Esto supone que cuando se vaya a producir una no se tendrá en cuenta el consumo de la línea en ese momento, ni su necesidad de estar en servicio, ni si hay otras cuya desconexión en ese instante originaría menos problemas,... Siempre serán desconectadas las mismas, siendo las más afectadas aquellas asociadas al primer escalón de actuación, pues serán las que periódicamente sufran las consecuencias de la inestabilidad.

Ante todos estos inconvenientes presentados por el

sistema de protección de la estabilidad basado en relés, surge la necesidad de crear un sistema de control que evite estos problemas, o al menos trate de subsanarlos. A este sistema lo llamaremos "Control de Estabilidad".

VENTAJAS DEL CONTROL DE ESTABILIDAD

Algunos inconvenientes, o todos, son anulados por este diseño de control. Se trata de un sistema inteligente, basado en microprocesador, que a través de cálculos, operaciones, tomas de datos y decisiones, controle en todo momento la situación, actuando en caso de necesidad, proporcionando considerables ventajas con respecto a los relés de frecuencia. Así se tiene:

- 1) No espera a que se produzca la inestabilidad. Un estudio constante de la situación existente en la central permitirá actuar de forma correcta en el momento en que se detecta alguna situación anómala, antes de que se convierta en inestabilidad. Este es quizás el hecho más importante desde el punto de vista del mantenimiento y explotación de la central.
- 2) De esta forma se evitan hechos indeseados como el

sometimiento de los grupos a esfuerzos indebidos, tanto de tipo eléctrico como mecánico, que son fatales para su buena conservación y cuidado.

- 3) Constantemente existe un control sobre la potencia de generación de cada grupo, actuando en todo momento ante fallos de la unidad motriz debido a cilindros, inyectores, bomba de combustible, regulador de velocidad, ... Quizás sea ésta la ventaja más importante, por ser la excesiva potencia del generador la causa más probable de la inestabilidad.

- 4) Habría un método totalmente distinto de actuación sobre líneas. Ya no existiría el inconveniente de que la descarga en primer lugar se produjera siempre sobre las mismas, o sea, las asociadas al primer umbral de frecuencia, pues ya no existiría ese método de descarga. Mientras que con los relés las líneas a desconectar ya están preseleccionadas, con un sistema de control basado en microprocesador se puede llevar a cabo la elección de la línea a poner fuera de servicio de forma más justa. Esto dependería de la carga de las líneas, de la sobrecarga de los grupos y también podría tenerse en consideración el momento de la puesta en servicio de la línea. O sea, el control de estabilidad es más

selectivo en su actuación.

- 5) En general, habrá un controlador de cargas, además de un controlador de generadores, y una toma de decisiones más variada y acorde a cada situación concreta.

D I S E Ñ O D E L S I S T E M A

 D E

 C O N T R O L D E E S T A B I L I D A D

De forma general, lo que intentamos es realizar un sistema de control basado en microprocesador, el diseño de un sistema inteligente que pueda controlar la estabilidad de la central en todo momento, llevado a cabo con el mínimo de esfuerzo tanto en maniobras del personal de mantenimiento como en cuanto a variaciones de potencia se refiere, y evitando situaciones dañinas para los elementos de la central.

Se intenta crear un sistema en el que solamente se produzcan pasos de un estado estable a otro transitorio, y de uno transitorio de nuevo al estable por sí solo, sin caer en la inestabilidad. Antes de cualquier implementación hardware o software es necesario llevar a

cabo un examen de las especificaciones del problema. Este es el paso previo a todo diseño de sistemas basados en microprocesador.

PLANTEAMIENTO DE OBJETIVOS

Un buen estudio de qué se pretende realizar es imprescindible para conseguir los resultados deseados. Es por tanto que este aspecto se ha tenido muy en cuenta antes de realizar el sistema de control.

Pasemos por ello a exponer de forma clara y completa los requerimientos del diseño, base de todo el trabajo posterior.

El objetivo es mantener en todo momento la estabilidad del sistema, bajo cualquier causa. Por tanto, lo primero a perseguir es evitar un cero en la central, pues volver a restaurar el equipo supondría un elevado gasto de dinero, sin hablar de la situación que se origina por falta total de suministro a las líneas. Para mayor entendimiento, aclaremos qué se considera un sistema estable y qué un sistema inestable.

Situación estable.

El estado óptimo de la central es aquel en el que todos los elementos, líneas y generadores, destinados al servicio habitual, se encuentran enganchados a la red y trabajando dentro de sus límites o potencias nominales, sin llegar a valores críticos. Incluso se puede considerar estable aquel sistema que aún teniendo elementos desconectados de la red, sus potencias de trabajo son razonables.

En este caso la demanda es igual a la generación, con una diferencia equivalente a la de los servicios auxiliares. Como servicios auxiliares se entiende aquellos servicios extras necesarios para el funcionamiento de la central. Matemáticamente una situación estable se puede expresar de la siguiente forma:

$$\sum P_{gi} - (\sum P_{lj} + \sum P_{sak}) = 0$$

donde

P_g representa la potencia suministrada por los grupos

$i = 1, 2, 3, \dots, n$ es el número de grupos en servicio

P_l es la potencia demandada por las líneas

$j = 1, 2, 3, \dots, n$ es el número de líneas en servicio

P_{sa} es la potencia de los servicios auxiliares

$k = 1, 2, 3, \dots, n$ es el número de servicios auxiliares

Esta fórmula nos indica que el sistema es estable, y como se dijo, es la situación deseable en todo momento.

Sistema inestable.

Partiendo del estado anterior, supongamos que un grupo se desacopla, por ejemplo, el grupo II. Razones para ello pueden existir varias:

- apertura por acción de la protección diferencial de bloque.
- alta temperatura de los cojinetes del alternador.
- baja presión de aceite de lubricación forzada.
- cualquier avería en el grupo.

El desacoplo de un grupo ocasiona el sobrecargo de los restantes que aún trabajan en configuración paralela: la potencia que antes suministraba el generador II ha de ser ahora proporcionada por los generadores I y III, sumándose a la que ya ofrecían.

Una situación de inestabilidad no sólo puede ser causada por el desacoplo de un generador. También un cortocircuito en una de las líneas hace que los grupos se sobrecarguen; o simplemente, sin existir cortocircuito, la

suma de potencias demandadas por las cargas puede resultar mayor que la capacidad de generación de los grupos acoplados.

Matemáticamente, un sistema inestable lo podríamos representar por las siguientes expresiones:

$$(a) \quad (\sum P_{lj} + \sum P_{sak}) > \sum P_{gi} \quad \text{--- sobrecarga}$$

$$(b) \quad (\sum P_{lj} + \sum P_{sak}) \gg \sum P_{gi} \quad \text{--- cortocircuito}$$

Estudiemos ambas expresiones. La ecuación (a) nos indica que la demanda (la suma de las potencias requeridas por líneas más servicios auxiliares) es ligeramente superior a la generación.

A efectos prácticos, supongamos que la sobrecarga producida no supera el 10% de la potencia nominal, esto es, ningún generador está trabajando en un punto de funcionamiento por encima del 10% de su valor nominal de potencia. Esta situación puede mantenerse como máximo durante un tiempo de una hora. Antes de dicho tiempo se habrá de actuar sobre el sistema de dos formas:

- acoplando un nuevo grupo, si lo hay, para que pueda suministrar el exceso pedido.

- realizando un descargo de líneas hasta que se anule la sobrecarga de los grupos, bien de forma manual, bien a través del sistema de control.

La ecuación (b) expresa una situación de cortocircuito en una línea: la demanda de potencia es mucho mayor que la generación. En tal caso, si se espera a que las máquinas reaccionen por sí mismas lo más probable es que nada pueda evitar que la central caiga, pues sucesivamente se irían desacoplando todos los grupos en servicio. Lo mejor será actuar de forma inmediata, provocando la desconexión del número de líneas necesarias, o bien a la línea causante del problema.

Por consiguiente, el sistema de control diseñado intervendrá en los momentos que la central entre en inestabilidad, o mejor, antes de que ésta se produzca.

Para ello, el sistema deberá conocer en cada instante la potencia existente en las salidas de líneas y la de los grupos acoplados. Comparando potencias entre sí, y con sus valores nominales, se podrá saber en qué momento se ha de realizar una apertura, y además en qué línea o líneas concretas, de forma que la pérdida de estabilidad sea sólo un fenómeno transitorio y pronto ésta vuelva a

recuperarse.

Un criterio de descarga podría ser el siguiente:

$$P_{ni} - P_{gi} = K$$

donde

P_{ni} es la potencia nominal del grupo i sobrecargado.

P_{gi} es la potencia generada por dicho grupo en es momento de la apertura.

K es el valor de potencia de la línea a descargar.

La línea óptima a desconectar será aquella cuya potencia demandada sea igual al valor K . En caso de no existir ninguna con dicha potencia de consumo, se optaría por el descargo de la más próxima a este valor, pero por encima de él.

Es imprescindible que la apertura de línea se produzca por decisión del sistema de control, y no esperar a que lo haga su propia protección. Sería demasiado tarde, o incluso la avería de esta protección es posible.

A diferencia que con el método tradicional de los relés, la línea que queda fuera de servicio es exclusivamente la del defecto, o las estrictamente

necesarias, no produciéndose el arrastre de ninguna otra.

PROBLEMAS EN LA IMPLANTACION DE UN SISTEMA DE CONTROL

Existe un grave inconveniente a la hora de realizar el control mediante el uso de sistemas basados en microprocesador para una central eléctrica.

Los fuertes campos electromagnéticos creados en la central se inducen fácilmente en nuestro sistema de control, pudiendo afectarle a la hora de reconocer las señales, y en el peor de los casos hasta el punto de borrar la memoria ROM del sistema.

Es por ello que se necesita un buen apantallamiento de todo el sistema. En principio habrá que realizar una separación galvánica de masas, pues ésta es el canal principal de penetración de ruidos. El apantallamiento como protección contra los campos mencionados es el segundo objetivo a conseguir para contar con un elevado grado de fiabilidad en el sistema.

Es importante que esta protección exista tanto en la

caja negra del sistema como en los cables de recogida de datos sobre el estado de líneas y generadores, así como sus valores de potencia, y en la transmisión de órdenes a la central para la actuación de líneas.

Una solución al problema podría ser la acción a distancia del control de estabilidad. Actualmente hay instalado en la mayoría de las subestaciones de la red eléctrica de UNELCO equipos de enlace a través de la propia línea de transporte. Estos tienen una configuración en baja frecuencia capaz de admitir distintas posibilidades:

- telefonía privada selectiva, o bien punto a punto.
- un canal de datos de 600 baudios, o bien de 1200, en comunicación síncrona, destinado al telecontrol.
- un canal de 110 baudios que se puede destinar al control de estabilidad.

De esta forma el mando de órdenes de desconexión de líneas para la conservación de la estabilidad podría realizarse remotamente, solucionando en gran parte los problemas de las interferencias electromagnéticas.

ESPECIFICACIONES DEL DISEÑO

En este apartado se exponen con más detalle los requisitos del diseño a realizar.

De forma general, se trata de un sistema basado en microprocesador que debe tomar datos desde el exterior, operar con ellos, realizar cálculos, respondiendo de forma conveniente y cuando sea oportuno.

La central a controlar está formada por tres generadores y cinco líneas que se alimentan de ellos. El sistema necesita conocer en todo momento datos de la central, tales como:

- El estado de las líneas y generadores, es decir, si se encuentran conectados a la red o no. Para esto es suficiente un bit por cada elemento, que nos indique con un cero o uno el estado OFF-ON correspondiente.
- Los valores de potencia de líneas y generadores: es imprescindible contar con esta información a la hora de tomar decisiones y detectar la pérdida de estabilidad.

Las órdenes del sistema hacia la central serán únicamente las de desconexión de líneas en los casos

necesarios.

Por otra parte se requiere la utilización de un ordenador que permita informar al mantenedor del sistema qué está ocurriendo en la central en todo momento. Así el sistema de control deberá tomar datos cada cierto tiempo sobre los valores de potencia de líneas y generadores, además de sobre el estado de los mismos (ON-OFF), tratar estos datos, dar órdenes para la actuación de líneas, y a todo esto le sumamos una nueva misión: realizar transmisiones al ordenador sobre los datos recogidos de la central (valores de potencia y estado de los elementos). En el ordenador correría un programa que visualizaría estos datos.

Otra posibilidad a añadir es la de cambio en los valores nominales. En la memoria ROM donde se sitúa el programa del sistema microprocesador habrá grabados unos valores de potencia nominales fijos. Estos valores podrían ser alterados por el ordenador: si en algún momento interesa que estos valores nominales cambien bastaría mandar los nuevos valores desde el ordenador (introduciéndolos por teclado) al sistema de control, y hacer que éste los acepte y trabaje a partir de ese momento con respecto a esos nuevos valores.

En definitiva el sistema dispondrá de dos opciones en cuanto a formas de funcionamiento:

- 1) Funcionamiento autónomo del sistema de control.
- 2) Funcionamiento con un ordenador conectado, existiendo un intercambio de información entre ambos dispositivos, tal como se ha indicado.

CRITERIOS DE ACTUACION

Dependiendo de los datos muestreados sobre el estado de los elementos de la central habrá que tomar una serie de decisiones que permitan el control de la misma. En principio distinguimos dos situaciones principales: son la estable y la inestable.

Cuando se tiene una situación estable, el sistema de control simplemente se encontrará en un bucle de constante testeo, a la caza de cualquier posible anomalía:

- Continuamente se toman datos sobre el valor de las potencias de cada generador y cada línea.
- El bucle de repetición consistirá en un testeo de dichos valores.

- Se realizarán comparaciones de las potencia suministradas por los generadores y sus respectivas potencias nominales, a fin de comprobar si alguno de ellos sobrepasa su valor nominal.

La otra situación a considerar es la de inestabilidad o tendencia a ella. Si algún generador intenta trabajar con una sobrecarga del 10% (es decir, funciona al 110% de su potencia nominal), o mayor que este valor, instantáneamente se actuará sobre las líneas para proceder a la descarga.

Existe la posibilidad de ruidos a la hora de tomar datos, o bien en el propio generador, o en cualquier otro punto. Así es que llegarían al sistema datos erróneos, pudiéndose considerar como alarmante una situación que no lo es: la toma de un valor de potencia de un 110% o mayor podría ser ocasionado por un ruido; sin embargo el sistema lo tomaría como un desequilibrio y actuaría en consecuencia, desconectando líneas innecesariamente.

La posibilidad de una situación alarmante ocasionada por un ruido debe ser tenida en cuenta. Por ello habrá que realizar un programa que actúe de la siguiente forma: siempre que se detecte que un generador supera el 90% de su potencia nominal de trabajo habrá que vigilarlo; esto

es, habrá que tener en cuenta si su valor de potencia aumenta de forma brusca desde este valor a otro por encima del 110%, o bien lo ha hecho progresivamente.

- Si el incremento de potencia ha sido brusco sabremos que probablemente se trata de un ruido.
- Si por el contrario el ascenso se ha efectuado gradualmente, estaremos ante una situación de alarma.

Por tanto, habrá que idear un método para discernir el tipo de incremento que ha tenido lugar (brusco o gradual), y poder actuar en consecuencia y de forma distinta.

Antes de que un generador se desacople por sufrir una sobrecarga excesiva (mayor del 10%), se dispone de cuatro o cinco segundos hasta que se desacople; además, después de descargar una línea para aligerar de carga a los grupos, habrá un retardo de medio segundo aproximadamente para que el sistema se restablezca. El generador, después de una descarga, describe una pendiente de recuperación del 3%. Por tanto, se tardará este tiempo en detectar que efectivamente se ha producido una disminución de potencia en los grupos. La consideración de estos tiempos es muy importante en la implementación del sistema, como se verá dentro de poco.

Se trate de un posible ruido o se trate de una situación más seria, el sistema siempre esperará cierto tiempo antes de realizar la descarga. Aclaremos esto:

Hemos dicho que un generador es capaz de soportar durante cuatro o cinco segundos una sobrecarga mayor o igual al 10%. Nosotros nos permitiremos la libertad de no actuar durante un tiempo de 2,5 segundos, contados a partir del momento en que se advierte el exceso indicado. Así es que antes de tomar la decisión de desconectar una línea se entrará en un bucle de espera de cierto tiempo. El tiempo que hagamos transcurrir dependerá del tipo de incremento producido, gradual o brusco (pudiendo incluso distinguir distintos niveles de gradualidad y brusquedad).

Según esto, cuanto más brusco sea el incremento, mayor tiempo haremos transcurrir antes de decidir la descarga, con un límite máximo de 2,5 segundos. Este es el caso en que la probabilidad de estar ante un ruido es muy alta. Si después de este tiempo los generadores se restablecen, no habrá descarga de líneas; al contrario, si se efectuará cuando los generadores continúan trabajando con sobrecarga.

Sin embargo, en el caso de que se haya producido un

incremento gradual, la probabilidad de que dicho incremento se haya originado por un ruido es mucho menor, siendo más lógico que el aumento se deba efectivamente a un exceso de demanda, o cualquier otra razón de peso. Por tanto, cuanto más gradual sea el aumento de potencia por parte del generador en mal estado, menor será el tiempo de espera antes de tomar decisiones, con un mínimo de algún milisegundo. Si tras el tiempo programado no se han restablecido los generadores en mal estado, se procederá a la descarga. Se supone un tiempo mínimo de 1 milisegundo porque se está teniendo en consideración el tiempo de ejecución de las instrucciones de programa hasta llegar a la instrucción en la cual se realiza la descarga.

En definitiva, antes de optar por una descarga se dejará transcurrir cierto tiempo, que depende de las probabilidades de ruido existentes (aumento gradual o brusco). El tiempo de espera variará entre los límites de aproximadamente cero segundos y 2,5 segundos. Después de transcurrido dicho tiempo se consultará de nuevo la potencia ofrecida por el generador problemático, pudiendo ocurrir dos casos:

- que continde mal, es decir, su potencia de trabajo sea de un 110% de la nominal.
- que se haya restablecido antes de acabar el tiempo

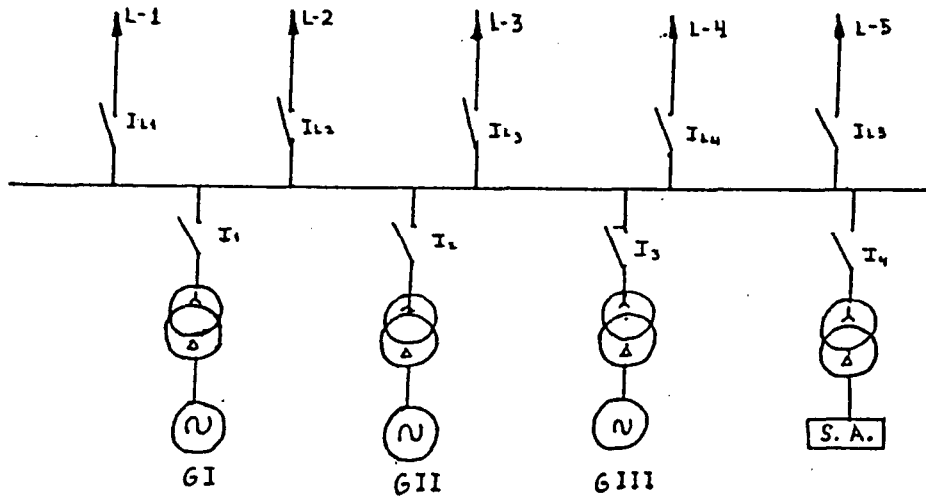
prudencial de espera.

En el primer caso se procederá a la descarga de una línea. En el segundo, la situación de peligro habrá pasado y no será preciso poner líneas fuera de servicio.

A este tiempo de espera antes de tomar una decisión lo llamaremos "tiempo de testeo".

De todo lo expuesto se deduce la necesidad de una toma de datos constante. Es imprescindible actualizar continuamente las potencias de generación y demanda que se están produciendo en todo momento, para poder realizar en consecuencia una toma de decisiones idónea y efectiva.

Un detalle importante a plantearse es el de la probabilidad de que en cierto momento más de un generador entre en situación de alarma. Así, por ejemplo, supongamos que se ha detectado en el grupo II de nuestro esquema una potencia de trabajo superior al 110% de su nominal.



ESQUEMA GENERAL: LINEAS Y GENERADORES

El programa en curso actuará como se ha dicho:

- 1) Examina qué tipo de incremento se ha producido hasta alcanzar su potencia actual.
- 2) Calcula un tiempo de testeo T_1 acorde al incremento originado.
- 3) Comienza la cuenta atrás de ese tiempo.
- 4) Mientras se espera se sigue realizando refrescos en

la toma de datos.

Supongamos ahora que durante el tiempo de espera T_1 se detecta que el generador III también ha rebasado el 110% de su potencia nominal de trabajo. Esto representaría un problema. Se podría dar el caso de que la razón del exceso en el grupo II fuera un ruido, y no se realizaría por tanto ninguna descarga de líneas al final de T_1 . Después de T_1 seguiría corriendo el programa y se detectaría el exceso en el grupo III; como consecuencia se le asignaría un tiempo T_2 antes de tomar decisiones. Si este segundo caso se tratara de una situación de alarma y tuviese que ser descargada una línea, esta acción no se produciría hasta transcurrir un tiempo que bien podría llegar a ser:

$$T = T_1 + T_2$$

Demasiado tarde quizás. Antes de actuar el sistema de control desconectando líneas ocurriría el desacople del generador III y como resultado la pérdida de la estabilidad de la central.

Queda justificada la necesidad de realizar un testeo constante de los demás generadores, mientras se espera que transcurra el tiempo de testeo de uno de ellos. Además, cuando se produzca una situación anómala en un segundo

generador, mientras el primero decremente su tiempo de testeo asignado no puede ser interrumpido. Simplemente se le asigna al segundo otro tiempo de testeo, y ambos siguen decrementándose. Con estas consideraciones se soluciona el problema:

En el ejemplo que estamos utilizando, supongamos que está transcurriendo el tiempo T1 correspondiente al grupo II; se detecta entonces que el grupo III ofrece un exceso. Durante la porción de tiempo de T1 transcurrida el programa no ha dejado de testear el valor de potencia del grupo I y el grupo III; gracias a ello se detecta también la anomalía existente en este último generador. Se asigna, por tanto, un tiempo T2 al grupo III, y comienza a decrementarse a la vez que T1.

Una vez acabado uno de los dos tiempos, bien sea T1 o T2, su correspondiente generador es testeado, pudiendo darse dos casos:

- que continde mal, con lo que se procederá al descargo de una línea.
- que se haya recuperado, no produciéndose ninguna desconexión.

En el primer caso el descargo aliviará al sistema y posiblemente ambos generadores se restablecerán, y no es necesario actuar tras acabar el segundo contador, por lo que se puede resetear. En el segundo caso, se esperará a que el generador que aún se encuentra en fase de decremento de su contador finalice. Después de ese tiempo se volverá a plantear los dos mismos casos, y dependiendo del valor del generador correspondiente habrá descarga o no.

Pasemos ahora a describir el criterio de descarga a tener en cuenta. Una vez tomada la decisión de dejar una línea fuera de servicio se procede a la selección de dicha línea entre las que se encuentran enganchadas a la red de abastecimiento. Como lo que se intenta es liberar al sistema de ese 10% de exceso existente en él, lo más lógico es descargar aquella línea cuya potencia demandada sea el 10% del total suministrado por la central. Si no existe ninguna con ese valor se elegirá la que esté lo más cercano posible a él, pero por encima.

Después de realizada la descarga, es necesario esperar 0,5 segundos y comprobar tras este tiempo que los generadores se restablecen. Si no es así será necesario volver a actuar, realizando una nueva desconexión. El sistema actuará de forma que antes de producirse un cero

en la central (es decir, el desacoplo de todos los generadores), ocurriría la descarga del total de líneas conectadas.

Otro hecho importante a considerar es la forma de actuación ante el desacoplo de un generador. Con los planteamientos hasta ahora realizados es fácil responder a esta situación.

Si un generador se desacopla de la red los grupos restantes pasarían a ofrecer la potencia que antes ofrecía el grupo desacoplado, además de la que ya soportaban, pudiendo darse dos circunstancias:

- Que los generadores en servicio puedan sobrellevar esa nueva potencia añadida.
- Que sea excesivo para ellos y lleguen a trabajar a un nivel mayor del 110% de su nominal. Ante tal hecho se establecerían unos tiempos de testeo después de los cuales se tomaría la opción de la descarga o no, según los valores de potencias.

En cuanto a la carga de líneas puestas fuera de servicio hemos de decir que se trata de un tema aparte a las pretensiones de nuestro sistema de control.

En un principio se pensó que era necesario también implementar una rutina en el programa de control que permitiera la carga de líneas. Un primer criterio que se tomó fue realizar esta carga cuando el conjunto de potencias dadas por los tres generadores fuera al menos un 10% menor que el valor nominal. Entonces la situación sería propicia para aumentar la carga en la central. La línea a conectar podría ser elegida bajo distintos razonamientos:

- Si sólo existe una línea descargada esa sería conectada.
- Si hay más de una línea fuera de servicio, se podría conectar en primer lugar la primera que fue descargada.
- O bien la prioridad la tendría la última que se descargó.
- O se podría seguir cualquier otro criterio, según convenga.

Pero por razones diversas (delicadeza de la operación, alta responsabilidad,...) esta tarea queda asignada exclusivamente al operario de la central, el cual bajo sus propios criterios, o los generalmente establecidos,

llevará a cabo la reconexión de líneas a la central de forma manual.

ULTIMAS CONSIDERACIONES

Teniendo en cuenta el medio segundo de espera tras una descarga para comprobar que el sistema se restablece, queda justificado el hecho de que tomemos como máximo un tiempo de testeo de 2,5 segundos, pues hay que contar con ese medio segundo más de verificación. Además, no se debe apurar los tiempos al máximo; es mejor actuar antes de que ocurra cualquier catástrofe.

En cuanto a la comunicación "ordenador-sistema de control" ya se expusieron algunos detalles, como son:

- El sistema debe enviar de forma frecuente los datos recogidos sobre los valores de potencia de líneas y generadores, así como sus estados ON-OFF.

- El ordenador debe ser capaz de enviar al sistema de control nuevos valores de las potencia nominales, en caso de que quieran ser cambiadas, con respecto a los valores fijos existentes en la ROM del sistema.

- Cuando se produzca una situación preocupante, estas, se detecte una potencia excesiva en algún generador, el ordenador debe anunciarlo con la emisión de un pitido de advertencia.

- Es interesante, por otro lado, ofrecer en la pantalla del ordenador varios datos:

. Los datos recibidos del sistema: estado y potencias de cada elemento de la central.

. La sumatoria de la potencia consumida en las líneas y la sumatoria de la potencia total suministrada por los generadores. Es más, debe cumplirse que:

$$\sum P_{gi} = \sum P_{li}$$

. No obstante, se podrá permitir un margen de error del 2% en dicha igualdad, pues habrá que tener en cuenta el consumo por parte de los servicios auxiliares más las pérdidas producidas en cualquier otro lado. Cuando la sumatoria de las potencias de los generadores sea menor que la suma de las potencias en las líneas en más de un 2% se considerará una

situación de error.

El caso en que la sumatoria de las potencias de los generadores sea menor que la sumatoria de las potencias en las líneas es posible detectar anomalías como la de un cortocircuito en una de las líneas. Si esto ocurre, el valor real de la suma de potencias de líneas excederá los límites establecidos en nuestro sistema, presentando un valor en pantalla inferior al que realmente existe; se ha llegado al tope de posibilidades en la toma de datos y no se puede presentar en pantalla un valor mayor más significativo.

En caso de datos no deseados, el programa que corre en el ordenador hará que dichos datos flasheen, cuando hagan su aparición en la pantalla. Es una forma más de captar la atención de la persona a cargo de la vigilancia del sistema.

Las razones que harán flashear un dato son las siguientes:

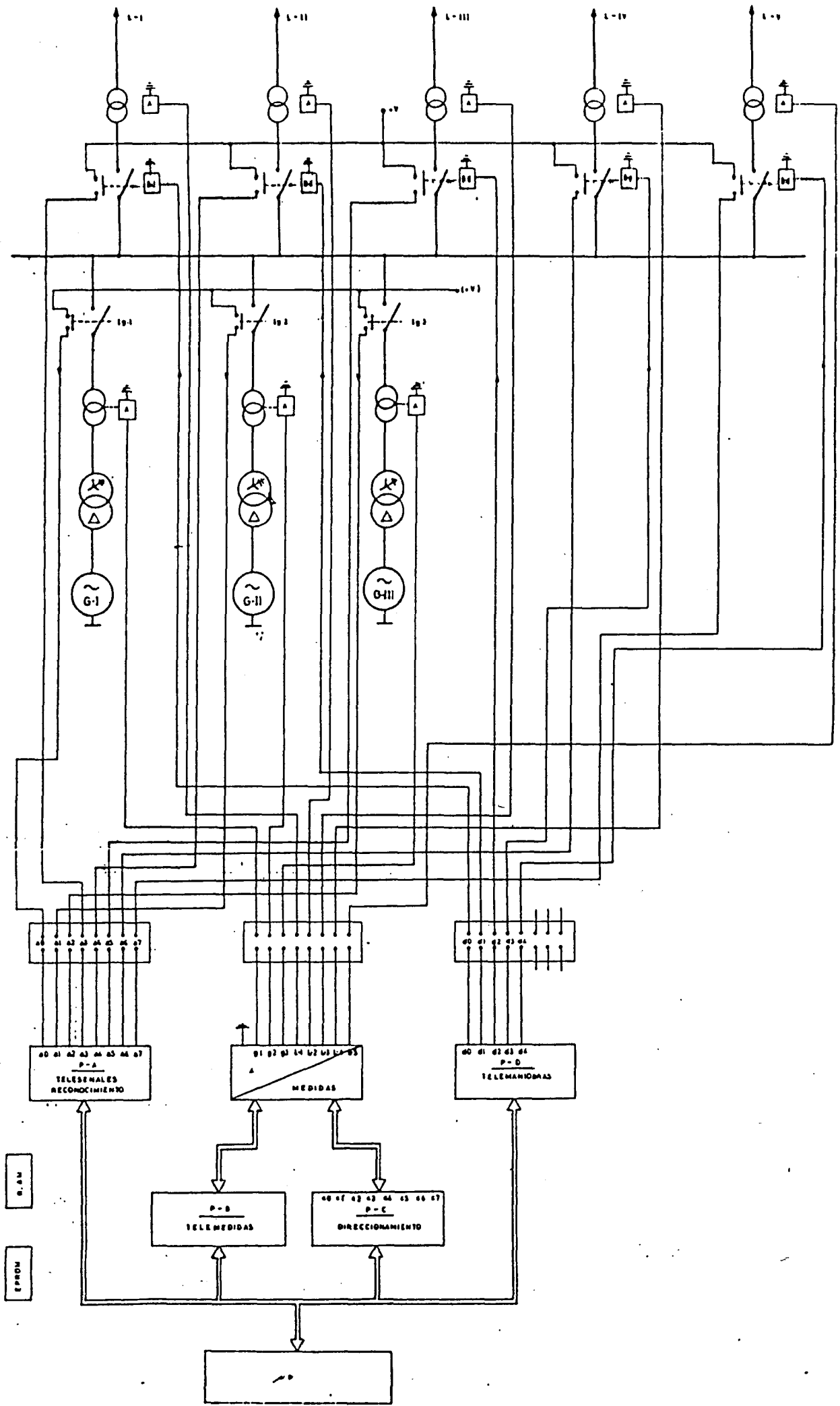
- El estado OFF en una línea o un generador.
- Una potencia presente en un generador cuando pasa del

100% de su valor nominal.

- Una diferencia de sumatorias de líneas y generadores mayor del 2%.

Después de toda esta exposición quedan claras las bases de partida para la realización de la implementación hardware y software del sistema, que se pasa a comentar a continuación.

El esquema básico de partida para la realización del sistema de control es el de la figura siguiente.



En él se observan los tres grupos en configuración paralela, alimentando a las cinco cargas, además de las conexiones para la recogida de datos y el envío de señales de control.

En el bloque de señales de reconocimiento se recoge el estado de las líneas y generadores (ON-OFF) mediante unos interruptores. En el bloque de medidas son tomados los valores de potencia de los ocho elementos a través de unos amperímetros. Por un tercer bloque, el de maniobras, el sistema microprocesador podrá enviar las órdenes de apertura a las líneas seleccionadas.

En cuanto al bloque de medidas, podemos examinar sus distintas partes:

Por un lado se encuentra la entrada de señales analógicas. A través de unos convertidores analógicos-analógicos se nos ofrece una fracción de corriente proporcional a la que realmente circula por cada generador y por cada línea. Indudablemente, esta intensidad también será proporcional a la potencia de cada elemento.

La corriente ofrecida por los convertidores analógicos-analógicos está comprendida entre los márgenes de 4 mA y 20 mA. El recibo de una intensidad superior a 4 mA es indicador de que la línea o generador en cuestión se

encuentra descolgado de la red, o bien su potencia es nula (es decir, la intensidad en él o ella es nula).

El recibo de 20 mA a través del convertidor analógico-analógico nos dice que el correspondiente generador está suministrando el 110% de su potencia nominal. Estas entradas que nos proporcionan desde la central no excederán los 20 mA, luego este valor constituye el tope máximo a tener en cuenta.

Por otra parte, la potencia nominal real de los generadores se considera de 9400 KVA, o lo que es lo mismo, de 7500 Kw. En principio, la central modelo va a estar formada por tres grupos con idénticas potencias nominales, exactamente las potencias mencionadas, correspondiendo a 66000 V.

Las líneas también se consideran todas ellas con las mismas potencias nominales, e iguales asimismo a la de los generadores.

El funcionamiento de un generador al 100%, traducido a KVAs, corresponde a un valor de 9400 KVA. El funcionamiento del mismo al 110% equivaldrá, por simple regla de tres, a $9400 \times 1,1$ KVA; este último valor, traducido a corriente de salida del convertidor analógico-

analógico, supone 20 mA.

En cuanto a las líneas, pocas son las diferencias. En ellas, 9400 KVA de potencia corresponden al 100% de su potencia nominal. Se considera como tope máximo un 120% de la potencia nominal; así 20 mA a la salida del convertidor analógico-analógico perteneciente a una línea indican una potencia de consumo del 120%, o sea, $1,2 \times 9400$ KVA.

Todos estos son datos de mucha importancia, como veremos, para el diseño hardware y software.

I M P L E M E N T A C I O N

H A R D W A R E

Esta parte del proyecto estudia con detalle el hardware implementado para la realización del sistema de control, adjuntando los planos y esquemas correspondientes.

La implementación hardware del prototipo se ha llevado a efecto en tres placas de wire-wrap, con una distribución de tipo modular.

De forma general, en el hardware se distinguen tres módulos principales (que físicamente no coinciden con cada una de las placas, pero que posteriormente se podría hacer coincidir realizando los tres módulos en circuito impreso).

Las partes a las que nos referimos son las siguientes:

- Módulo de CPU.

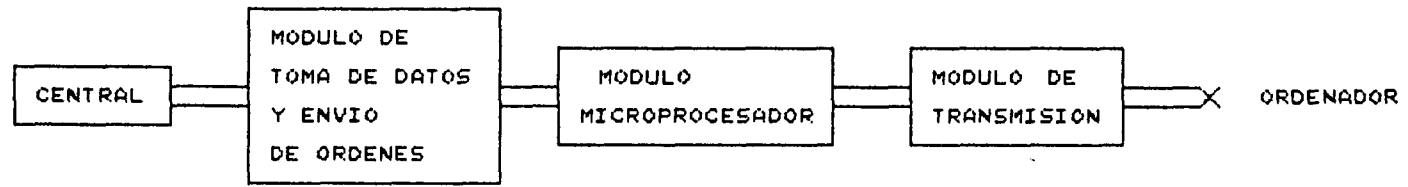
Lo forma el sistema microprocesador en sí, con el microprocesador y otros integrados auxiliares de memoria, puertos de E/S, decodificador de direcciones,... Se encarga de procesar los datos recibidos y actuar de forma adecuada.

- Módulo de recogida de información y envío de órdenes.

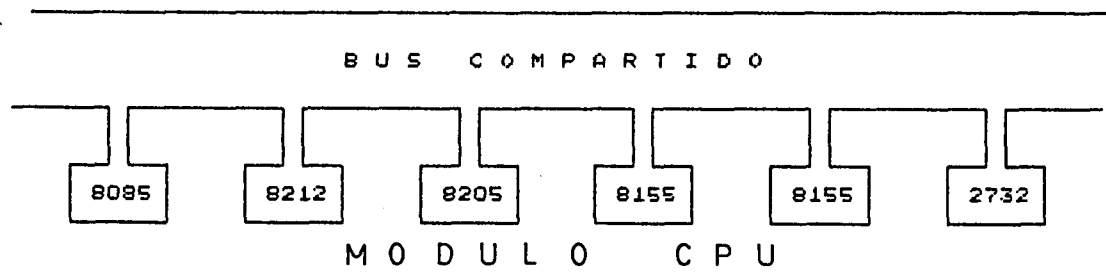
Se trata de toda la circuitería asociada a la toma de datos desde el exterior (valores de potencias, estado de los elementos) y asociada al envío de órdenes desde la CPU a la central.

- Módulo de transmisión.

Este último módulo es el encargado de las transmisiones entre el ordenador PC/XT y nuestro sistema de control.



ESQUEMA GENERAL



MODULO DE CPU

Lo forma los siguientes integrados:

- el microprocesador 8085.
- el latch de direcciones 8212.
- el decodificador de direcciones 74138.
- la EPROM de 4K 2732.
- dos integrados 8155 conteniendo cada uno de ellos los siguientes recursos: 256 bytes de RAM, tres puertos de E/S (dos de ocho bits y uno de seis bits), un timer programable de 14 bits.

Este conjunto es el encargado del procesamiento de los datos recogidos sobre las condiciones de la central, así como de la toma de decisiones de actuación sobre las líneas eléctricas. En un principio se pensó que con 2K de memoria EPROM era más que suficiente para llevar a cabo la labor de control y se implementó el sistema con una 2716. No obstante el programa fue depurándose, ampliándose, tomando una forma más concreta y precisa, y actualmente ocupa cerca de los 4Kbytes de memoria EPROM.

Esta ha sido la razón por la cual el 2716 original de 2K se ha reemplazado por un 2732 de 4K. En realidad no supuso gran complicación, puesto que ambos integrados son perfectamente compatibles, diferenciándose sólo en una patilla.

El bus de direcciones y datos del 8085 se encuentra multiplexado y es por lo que se ha necesitado un latch de direcciones, el 8212, con el objeto de separar direcciones de datos aplicados al 2732. Sin embargo, otros integrados como el 8155 no precisan de este latch de direcciones porque ya lo poseen incorporado en su pastilla. Les basta la señal ALE del microprocesador para diferenciar entre direcciones y datos.

El decodificador de direcciones 74138, compatible con el 8205 de la familia MCS-85, tiene como misión seleccionar el chip adecuado en cada momento y para cualquier transferencia de datos. Las salidas del decodificador se conectan a los habilitadores de los diferentes integrados según un esquema que se presentará más adelante, dentro de la sección "Mapeado de Memoria".

La EPROM 2732 posee 12 líneas de direccionamiento, por lo que es posible direccionar 4K de memoria. En ella se

encuentra grabado el programa de control.

Es además preciso un espacio de memoria RAM destinado a recoger los datos procedentes de la central o del ordenador, así como los resultados de cálculos efectuados, los datos almacenados en la pila,... Para todo ello se dispone de 528 bytes de memoria RAM, proporcionados por los dos integrados 8155 usados.

Como se indicó, estos integrados poseen además unos timers programables que son también utilizados por el sistema de la forma indicada más adelante.

Los puertos de E/S resultan imprescindibles para la transferencia de datos hacia o desde el exterior. A medida que se desarrolle la explicación del hardware comentaremos en qué se emplean.

Se trabaja con un cristal de 6,114 MHz, que proporciona una señal de reloj para el secuenciamiento de 3,057 MHz.

MODULO DE TOMA DE DATOS-ENVIO DE ORDENES

A través de este módulo se obtiene información sobre

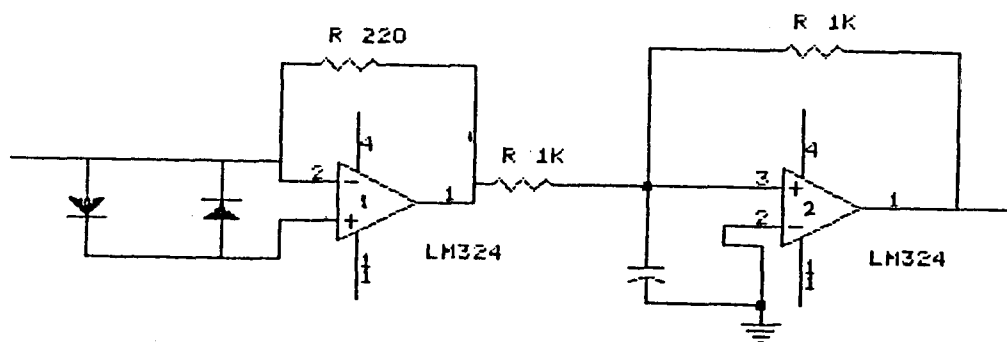
las corrientes proporcionadas por los operarios de la central, y significativas de la potencia en líneas y grupos. También se toman los estados ON-OFF de dichos elementos.

1) Toma de datos sobre corrientes.-

La corriente comprendida entre 4 y 20 mA que nos suministran deben ser convertidas en una tensión proporcional para poder ser aplicadas a las entradas analógicas del convertidor analógico-digital, ADC0808 (o su equivalente ADC0809). Este convertidor posee ocho entradas analógicas multiplexadas y a ellas aplicamos las tensiones correspondientes a los tres grupos y cinco líneas. La salida digital es de ocho bits.

Desde IN0 a IN7 se han conectado consecutivamente el primer generador, el segundo, el tercero, la primera línea, segunda, tercera,...

El convertidor corriente-tensión consiste en un par de amplificadores operacionales conectados en cascada, tal como aparece en la figura.



El amplificador operacional 1 acepta una corriente de entrada y da como salida una tensión negativa tal que para 20 mA de entrada proporciona:

$$- (20 \text{ mA} * 220) = - (4,4 \text{ V})$$

gracias a la resistencia de 220 . El segundo amplificador operacional actúa de inversor, obteniéndose a su salida una tensión positiva.

A fin de evitar entradas inadecuadas se colocan dos diodos de silicio 1N4007 de protección, que ponen virtualmente a masa la entrada inversora.

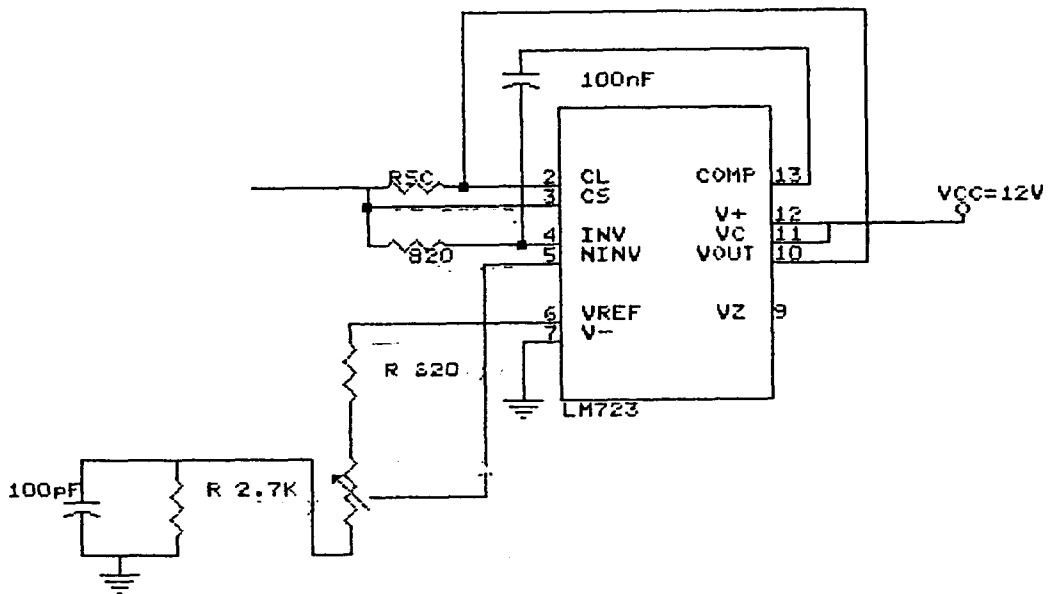
Los amplificadores operacionales son obtenidos de los integrados LM324. Cada uno de estos integrados proporciona cuatro amplificadores operacionales. Se precisan dos

A.O. por cada elemento (línea o generador) por lo que suman un total de dieciséis, o sea, cuatro LM324.

La salida del último amplificador operacional está preparada para ser aplicada al convertidor analógico-digital ADC0808. Este convertidor está situado en el prototipo de tal forma que se puede tratar como una posición de memoria, direccionando las ocho entradas analógicas a través del bus de direcciones, y tomando los bytes resultantes de la conversión a través del bus de datos.

Tomando una tensión de referencia entre 5 V y masa, la resolución del convertidor es de 20 mV. Esto quiere decir que para una entrada de cero voltios el resultado de la conversión es 00H (un byte de datos), y para una entrada de 20 mV la salida digital es de 01H. De esta forma 5 V de entrada analógica se transforman en FFH.

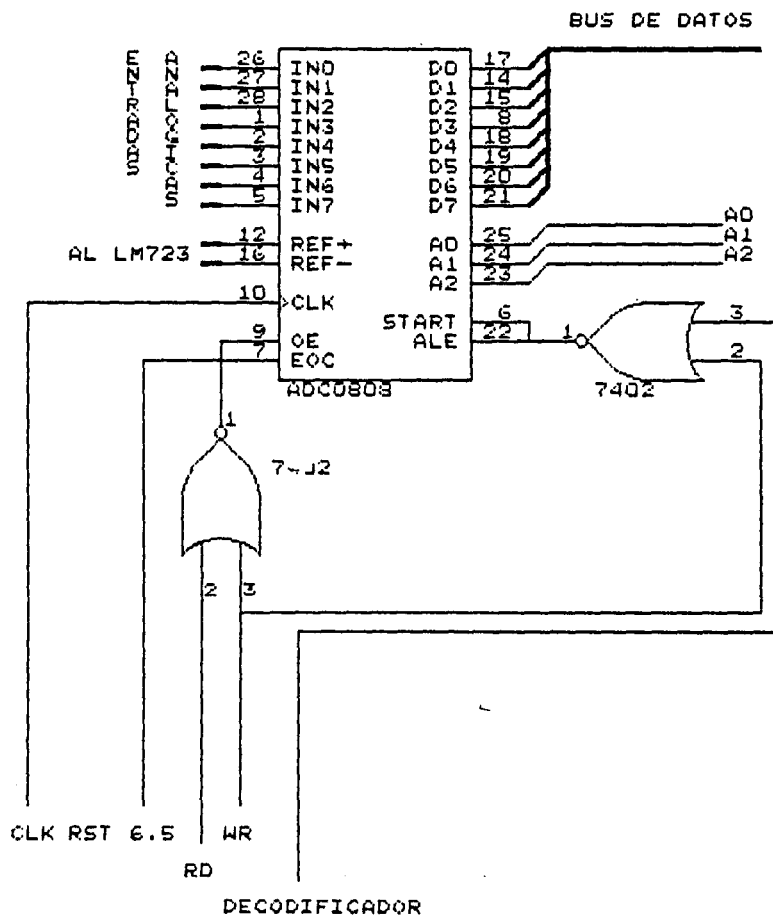
Es preciso que la tensión de referencia sea bastante estable, para que los resultados de la conversión sean buenos. Por esta razón se aplica los 5 V a la entrada de referencia a través de un regulador de tensión, el UA723; el esquema utilizado es el siguiente:



Para su operación, el ADC0808 necesita una señal de reloj, que puede estar comprendida entre un mínimo de 10 KHz y un máximo de 1280 KHz. Para la frecuencia de 640 KHz el tiempo máximo de conversión es de 116 microsegundos, y el tiempo medio de 100 microsegundos. Dadas las exigencias del diseño se ha utilizado una frecuencia de clock de 51 KHz, obtenida por división de la señal de salida de reloj del 8085, a través del temporizador de la primera 8155, programado convenientemente.

Con esta frecuencia, el tiempo de conversión es de

1,4 ms como máximo. La forma de conexión del convertidor al sistema es la siguiente:



La señal WR junto con el habilitador del convertidor (patilla Y2 del decodificador de direcciones) permite el latchedo (ALE) de la dirección de entrada de conversión (patillas A, B y C) y el comienzo de conversión de dicha entrada analógica direccionada.

Esta circunstancia se produce sólo cuando se activan conjuntamente WR e Y2, por lo que se emplea una puerta NOR.

Por otra parte, la señal de lectura RD junto con la Y2 de selección del ADC, a través de otra puerta NOR, permiten la habilitación del latch de salida de datos (un nivel lógico 1 en la patilla OE). Cuando se quiere volcar el dato digital de la conversión en el bus de datos es preciso activar el enable de salida (OE).

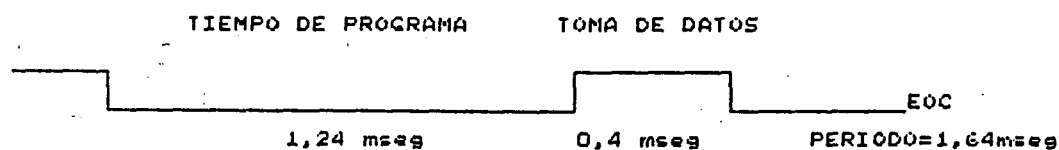
Las señales DB7-DB0 son las salidas del dato digital hacia el bus de datos del sistema. Las entradas A, B y C se conectan directamente a los tres bits menos significativos del bus de direcciones demultiplexado (salida del latch de direcciones). Es necesario que estas entradas sean conectadas al bus de direcciones demultiplexado, y no al multiplexado direcciones/datos, pues la dirección de la entrada analógica a convertir debe permanecer cierto tiempo aplicada a las patillas A, B y C.

El circuito integrado que nos proporciona las dos puertas NOR de dos entradas necesarias es el 7402 de tecnología TTL.

Tras el comienzo de una conversión por activación de la

señal START (nivel alto) la patilla EOC (final de conversión) se coloca a nivel lógico cero, y se mantiene así durante todo el tiempo que dure la conversión. Cuando esta acaba, el ADC nos lo indica poniendo a 1 la salida EOC. Si esta patilla se conecta a una entrada de interrupción del microprocesador, éste podrá entrar en una rutina de toma de datos del ADC cada vez que una conversión finalice.

En el prototipo se ha cableado la salida EOC del convertidor a la entrada de interrupción hardware RST 6.5 del microprocesador. Esta es la forma en que se sabrá cuando acaba cada conversión y el dato está preparado para ser leído. Cuando EOC toma el valor 1 se produce la interrupción y el programa salta a una subrutina de servicio de la misma, que se comentará en el apartado "Software". El tiempo de ejecución de dicha subrutina es de unos 0,4 ms.



Como término medio, a 51 KHz la señal de EOC se

mantiene a nivel bajo unos 1,24 ms; es el tiempo en el que corre el programa normal en el microprocesador, a la vez que el ADC convierte un dato. Cuando esta conversión finaliza la señal EOC vuelve a nivel 1, produciéndose la interrupción hardware RST 6.5. La subrutina de servicio lee el dato convertido, da órdenes de inicio de una nueva conversión (la conversión del dato en la siguiente entrada analógica) y devuelve el control al programa. Al empezar una nueva conversión la señal START se coloca a 1 y EOC se pone a cero.

Según los datos anteriores y la forma de la señal EOC vemos que con 51 KHz se consigue hacer correr el programa normal durante el 75% del tiempo, y el programa de toma de datos e inicio de nueva conversión durante el 25% del tiempo. Esta frecuencia de toma de datos es más que suficiente para satisfacer los requerimientos del problema.

2) Toma de datos sobre el estado de las líneas y generadores.-

El otro tipo de información recibida desde la central es el estado de los grupos y líneas, proporcionándonos un 1 (ON) en caso de estar conectado, y un 0 (OFF) en caso contrario. Para estos datos sólo se precisa un bit por

elemento, por lo que con un byte hay suficiente para los ocho elementos. La entrada de estos datos se realiza a través del puerto A de la segunda 8155, patillas PA0-PA7.

Las señales llegadas desde la central con esta información no son aplicadas directamente al puerto de entrada. Se emplea una etapa anterior formada por optoacopladores, cuya misión es realizar una separación de masas entre las señales procedentes de la central y la masa de nuestro sistema. Esto se hace necesario debido a la enorme cantidad de ruidos que se introducen a través de masa.

Una separación similar es también precisa en las entradas analógicas al convertidor; no obstante no se ha realizado en el prototipo.

La razón principal de no haber realizado una separación de masas para las entradas analógicas al convertidor es que se necesitan unos optoacopladores bastante lineales y en un gran intervalo de tensión, a fin de que proporcione una tensión entre cero y cinco voltios bastante fiable y significativa de la potencia de los elementos, para poder ser convertida posteriormente.

Los optoacopladores utilizados son los 4N27. Antes de

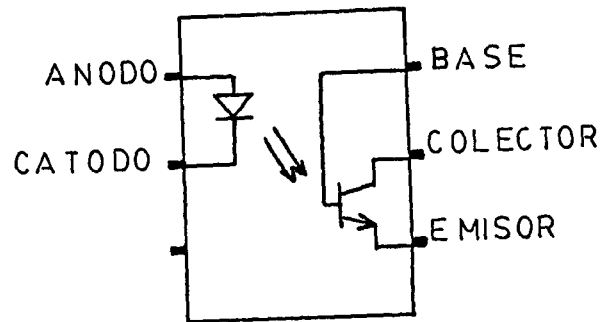
nada expliquemos su principio de funcionamiento:

Optoacopladores

Los optoacopladores, también llamados optoaisladores o dispositivos de aislamiento fotónico, se basan en el principio de emplear un haz de radiación para hacer pasar señales de un circuito a otro sin ninguna conexión eléctrica.

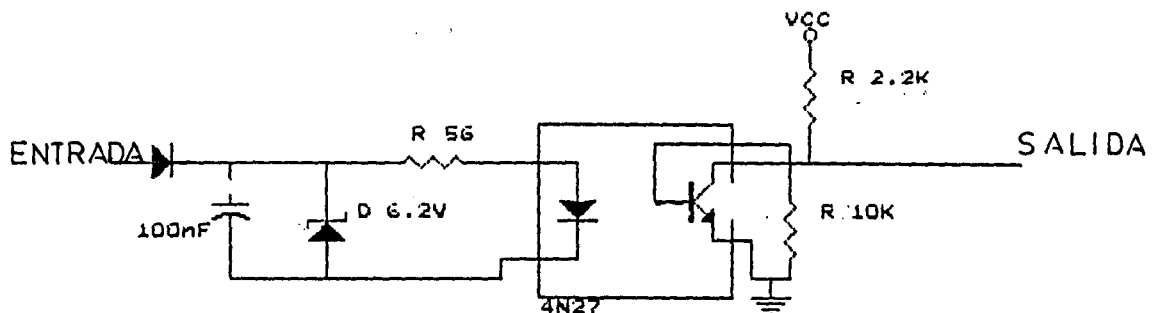
Además de las aplicaciones básicas de aislamiento, los optoacopladores se utilizan cuando deban evitarse corrientes de retorno por masas, o en electrocardiografía (donde una pequeña corriente en el corazón puede resultar peligrosa), para reemplazar a los relés convencionales cuando se precise una respuesta rápida. Nuestro objetivo es la separación de masas entre las señales llegadas de la central y el sistema.

El principio del optoacoplador es muy sencillo: sólo se necesita una lámpara encerrada en una cápsula opaca junto a un detector adecuado. Normalmente se utilizan como generador de luz un diodo, y fotosensor bien acoplado a este emisor, de forma que capte sus radiaciones.



Al pasar una corriente adecuada entre ánodo y cátodo del diodo de entrada, éste emitirá radiaciones a una cierta frecuencia, que serán captadas por el fototransistor de salida produciendo su excitación y conducción.

El esquema eléctrico de la etapa de separación de masas es el siguiente:



La entrada de este circuito, llegada desde la central a través de la interface precisa, puede ser de dos tipos: aplicación de 5 V o aplicación de cero voltios.

En el primer caso significará que el correspondiente elemento está desacoplado: los 5 V de entrada excitan el diodo del optoacoplador, el transistor entra en conducción y la salida del circuito queda a masa. Esto equivale a un cero lógico que es leído por el puerto de entrada (elemento desconectado).

Al aplicar los cero voltios a la entrada, el diodo no se excita, el transistor queda en corte y su colector a cinco voltios, a través de la resistencia de 2K2. Esto se reconoce en el puerto de entrada como un 1 lógico (elemento conectado).

El diodo de entrada protege de tensiones negativas al circuito. Por otra parte, el diodo zener limita la tensión positiva aplicada, no dejando que ésta supere los 6,2 V y se estropee el optoacoplador.

Un voltaje de 1,2V aplicado al diodo genera por él una corriente de 50 mA, según sus características. El límite de corriente por ellos es de 80 mA. Se hace preciso entonces colocar una resistencia limitadora de corriente a

su entrada, de 56 óhmios y 1/2 vatios. De esta forma la corriente no supera los 60 mA.

3) Envío de órdenes a la central.-

El envío de órdenes desde el sistema a la central sólo es de un tipo: mandato de descarga de alguna de las cinco líneas. Por tanto se precisan cinco bits para esta misión: los cinco bits menos significativos del puerto B de la segunda 8155, PB0-PB4, tienen encargada esa labor. Este puerto se configura para salida. Un nivel lógico 1 en estos bits indica que la línea está conectada. Enviar un cero produce la desconexión correspondiente.

La conmutación de una línea se produce a través de relés, excitados a partir del puerto y mediante una etapa de potencia.

Relés.-

Los relés empleados en el prototipo son los llamados estándar o en miniatura, diseñados con una serie de ventajas con respecto a aquellos relés robustos frecuentemente utilizados en la industria. Así, pueden elegirse entre contactos para corrientes fuertes y débiles; la frecuencia de actuación alcanza las 50 conmutaciones por segundo. Los terminales de conexión

pueden ser de tres tipos: soldables, para insertar sobre zócalos y para circuitos impresos.

Dentro de la división de relés en electromagnéticos y estáticos, se utiliza los primeros. A su vez los electromagnéticos constan de dos partes: circuitos de excitación y circuitos de conmutación.

El circuito de excitación es el encargado de recibir la señal de mando bajo la forma de tensión, o corriente, y generar a partir de ella las acciones necesarias para la actuación de los circuitos de conmutación. Se compone de bobina y conjunto magnético.

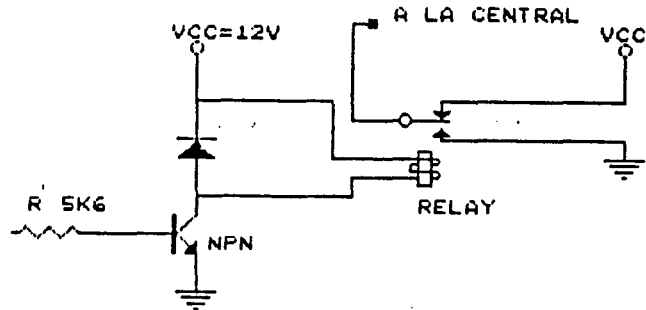
La bobina es la encargada de producir el campo magnético suficiente para que el conjunto magnético actúe. Está formado por un arrollamiento de hilo de cobre, y sus características se definen en función de la resistencia, número de espiras y diámetro del hilo.

El conjunto magnético está formado por el núcleo, que es la pieza que se encuentra en el interior de la bobina, la armadura fija, cuya función es la de soporte del relé, y la armadura móvil, que es la pieza que se mueve atraída por el campo magnético desarrollado en el núcleo y que a su vez provoca el movimiento de los contactos.

Los circuitos de conmutación son el conjunto de contactos que se mueven accionados por la armadura móvil. Cada grupo de contactos de un relé puede estar formado por dos láminal, que corresponderían a un interruptor, o tres láminas para un contacto conmutador o inversor, pudiendo además variar el número de circuitos independientes que posea.

Los utilizados en este prototipo son relés de un solo circuito de tres láminas (tipo conmutador). Poseen una resistencia interna de 280 óhmios. El número de actuaciones durante su vida es limitado, unas 10×10^7 actuaciones. Tal cual es la misión del mismo dentro de la central eléctrica, este número es lo suficientemente grande como para tener una larga vida, debido a que su intervención en la descarga de líneas será, en general, poco frecuente. No obstante, se podría también optar por la sustitución de estos relés por relés microswitches, menos voluminosos y más adecuados para una placa de circuito impreso.

La etapa de potencia es la de la figura siguiente:



La salida del puerto (0 ó 1) es aplicada a la base de transistor a través de una resistencia de 5K6. Un uno pone en conducción al transistor (se trata de un 107B), y esto provoca una diferencia de tensión entre los bornes del relé de unos 12 voltios: el relé conmuta, y se considera la línea conectada. La salida de un nivel lógico cero por el puerto pone al transistor en corte, el relé no es excitado y queda en reposo: se considera la línea desconectada.

MODULO DE COMUNICACION CON EL ORDENADOR

El ordenador utilizado para la comunicación es un PC/XT. Se emplea la norma de comunicación RS232-C a tres hilos (transmisión, recepción y masa), debido a que la

distancia entre ordenador y sistema en nuestro prototipo no supera los 15 m.

Este módulo está formado por tres integrados: la USART 8251, y los circuitos de interface 1488 y 1489.

La forma de comunicación entre ambos dispositivos es asincrónica, sin bit de paridad, dos bits de stop, caracteres de 8 bits, a una velocidad de 1200 baudios. Se podría realizar transmisiones a mayor velocidad (2400 o 9600 baudios), pero al aumentar la velocidad disminuye la fiabilidad de la comunicación, por lo que se ha decidido realizarla a 1200 baudios, suficiente para los requerimientos del sistema.

Al no utilizar modem se han unido las patillas CTS y RTS entre sí, y las DTR y DSR entre sí. La 8251 necesita tres entradas de reloj:

- entrada de reloj del microprocesador, introducida por su patilla CLK.
- entrada para reloj de transmisión, TxC.
- entrada para reloj de recepción, RxC.

Estas dos últimas entradas están puenteadas y se les

aplica una señal de reloj de menor frecuencia que la primera. La señal aplicada a las entradas RxC y TxC es de 1200 Hz, obtenida por doble división de la señal de reloj CLKOUT de microprocesador. Primeramente esta señal de 3,057 MHz es dividida a través del timer del segundo 8155 entre 40, obteniéndose en la patilla TIMEOUT de este integrado una señal cuadrada de 76,4 KHz. En la inicialización del programa grabado en la EPROM, la USART es programada con una instrucción de modo tal que divide la frecuencia de la señal llegada por TxC y RxC entre 64 (existe también las posibilidades de hacer la división entre 16 o entre 1). Aplicando la señal de 76,4 KHz por estas entradas se obtiene una señal de clock real de funcionamiento de 1200 Hz utilizada para la comunicación.

La interface TTL-RS232 es posible mediante los integrados 1488 y 1489. Con el 1488 se consigue la conversión de la señal TTL de la salida TxD (entre 0 y cinco voltios) a una señal de +12/-12 voltios para la transmisión. Al contrario, el 1489 transforma las señales de +12/-12 V de recepción en señales TTL antes de ser introducidas por la patilla RxD de recepción de datos de la USART.

Por último queda comentar la forma en que el sistema distingue el funcionamiento en forma autónoma de la opción

del ordenador conectado.

Para esto se utiliza un bit, introducido por el puerto A de la primera 8155, concretamente por su patilla PA0 (bit menos significativo). Si en este puerto se detecta un 1 el sistema entenderá que debe trabajar en modo autónomo, sin transmisiones al PC. Por el contrario, si detecta un cero sabrá que el PC está conectado y, aparte de las tareas de control, debe comunicarse con él. Para crear un 0 o un 1 en esta entrada se ha colocado un interruptor que ofrece cinco voltios o masa. El usuario del sistema de control puede acceder a él a través del panel y programar el modo de funcionamiento simplemente accionando el interruptor de forma manual.

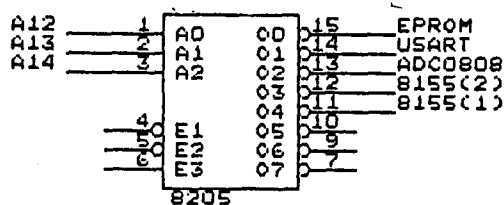
En todos los integrados se ha colocado un condensador de 100 nF entre la tensión de alimentación y masa a fin de protegerlos.

Para mayor detalle sobre los integrados empleados, en un apéndice final se adjuntan las características de los mismos.

MAPEADO DE MEMORIA

Dependiendo de la conexión realizada entre las salidas de direcciones del 8085 y las entradas al decodificador de direcciones 74138 (o bien 8205), además de las conexiones entre las salidas de este integrado y los distintos habilitadores de chip, se configura un mapeado de memoria determinado. Veamos cuál es el mapeado en este prototipo.

En principio, las conexiones efectuadas son las siguientes:



Además de esto, la patilla A15 del microprocesador está conectada a la entrada C/D de la USART. Todo esto configura el mapeado siguiente:

- 1) EPROM: 0000 H --- FFFF H
- 2) USART: COMANDO: 90 H
 DATOS: 10 H
- 3) ADC: 2000 H --- 2007 H
- 4) PRIMERA 8155: RAM: 4000 H --- 40FF H
 CONTROL: 40 H
 PUERTO A: 41 H
 PUERTO B: 42 H
 PUERTO C: 43 H
 TIMER L: 44 H
 TIMER H: 45 H
- 5) SEGUNDA 8155: RAM: 3000 H --- 30FF H
 CONTROL: 30 H
 PUERTO A: 31 H
 PUERTO B: 32 H
 PUERTO C: 33 H
 TIMER H: 34 H
 TIMER L: 35 H

I M P L E M E N T A C I O N S O F T W A R E

Partiendo de las especificaciones del sistema y basándonos en el soporte hardware ya comentado, se ha llevado a cabo el desarrollo de los programas que rigen el control de estabilidad.

Dado que existe la opción de conectar un ordenador al sistema se ha tenido que efectuar una doble programación: por un lado la programación del sistema microprocesador en sí, que trabaja tomando los códigos de su propia memoria EPROM y llevando la acción de control. Por otro lado la programación del ordenador para poder establecer entre ambos sistemas un cambio de información y visualización de la misma.

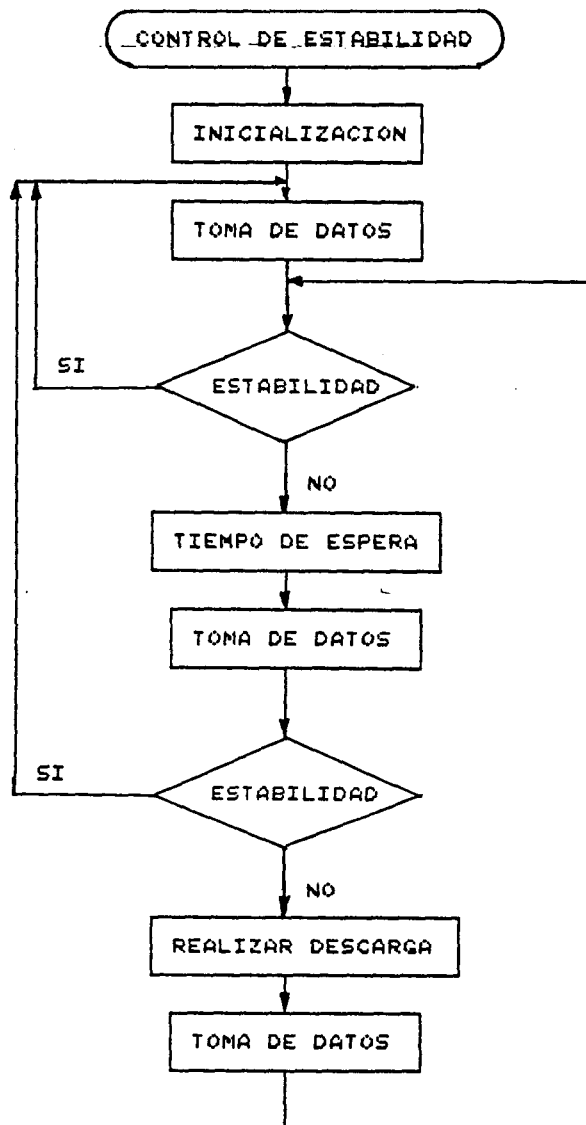
Veamos por separado cada uno de ellos.

SOFTWARE DEL SISTEMA MICROPROCESADOR

El objetivo de este software es realizar la acción de control: la toma de datos sobre el estado de los elementos y sus potencias de consumo y generación, el estudio de estos datos y la toma de decisiones de actuación ante situaciones de pérdida de la estabilidad y tránsito a la inestabilidad de la central eléctrica.

En principio se podría expresar mediante el siguiente organigrama general la idea global del funcionamiento software, para poco a poco profundizar en cómo se lleva a cabo la implementación de cada bloque.

ORGANIGRAMA GENERAL DEL SISTEMA



Es decir, de forma general se lleva a cabo el siguiente control:

- Un primer bloque de inicialización del sistema que consistirá en la programación de timers, interrupciones,... para establecer las condiciones de partida.

- Se realiza a continuación una toma de información acerca de las potencias y estados de los elementos. En realidad esta operación se efectúa a intervalos de tiempo constantes, pues es motivada por una interrupción hardware.

- Se estudian los valores obtenidos de la toma de datos a fin de detectar cualquier falta de estabilidad en el sistema.

- Si esta falta ocurre se considerará un cierto tiempo de espera con el propósito de discernir entre perturbaciones o verdaderas situaciones de peligro para el sistema.

- Tras este tiempo (que lógicamente se adapta a las características temporales de la central) se vuelve a testear la información sobre potencias y estados de los elementos.

- Si los valores se normalizan no se efectuará ninguna acción de control y el programa seguirá en un bucle continuo, cuya misión es vigilar constantemente al sistema.

- Si los valores no se normalizan nos encontraremos ante una situación alarmante y se procede a la desconexión de líneas para aliviar el consumo.

- Se procederá a nuevas descargas en caso de que tal alivio no sea el suficiente.

- Cuando los valores vuelvan a estabilizarse se regresará al bucle continuo comentado, encargado de la vigilancia; el programa permanecerá ahí hasta la ocurrencia de una nueva pérdida de estabilidad.

Estas acciones comentadas se han implementado de forma modular a través de varias rutinas, cada una de ellas encargada de una misión particular. Una estructura así colabora eficientemente no sólo a la realización de los programas, sino también a su depuración, corrección, mejora y comprensión.

Los lenguajes utilizados en la programación son:

- El lenguaje de alto nivel PLM-85.

- El lenguaje ensamblador del 8085.

Estas facilidades nos las suministra el sistema de desarrollo para los microprocesadores 8080 y 8085, MDS-221 de Intel, gracias al cual ha sido posible la programación, emulación y corrección del software y hardware.

Las rutinas implementadas son básicamente las siguientes:

- Rutina general de control de estabilidad: encargada de la vigilancia constante.
- Rutina de asignación de tiempos de espera o testeo: efectuado tras detectar alguna anomalía en el sistema. Según los resultados obtenidos decide la descarga.
- Rutina de desconexión de líneas: cuya función es una vez tomada la decisión de desconexión seleccionar la línea que será desacoplada de la red.
- Rutina de toma de datos: como se ha comentado, se produce con una frecuencia constante, y es la encargada de leer la información sobre las potencias y estados de los elementos.
- Rutina de transmisión al PC: se produce una o varias

veces dentro de un ciclo total de programa, dependiendo de las ramificaciones que éste tome, y está destinado a establecer la comunicación con el ordenador PC/XT a fin de transmitirle la información de potencias generadas y consumidas, además de la situación ON-OFF de cada elemento.

- Rutina de cambio de parámetros: según las especificaciones del sistema, en la opción de ordenador conectado ha de existir la posibilidad de un cambio de parámetros en el sistema, concretamente nos referimos a los valores de potencias nominales de los generadores (que pueden ser iguales o distintas entre sí). Esta rutina detecta la indicación procedente del ordenador del deseo del usuario de cambiar los parámetros, aceptando los nuevos y haciendo que el sistema trabaje con ellos a partir de ese momento.

ESTUDIO DE CADA RUTINA

Para la comprensión de cada rutina vamos a presentar sus diagramas de flujo, el listado de los programas y la explicación detallada de cada parte.

Los organigramas y listados se adjuntan al final de la sección "Implementación software". Se recomienda al lector consultar estos esquemas y programas a la par que se desarrolla su explicación para mejor entendimiento de los mismos.

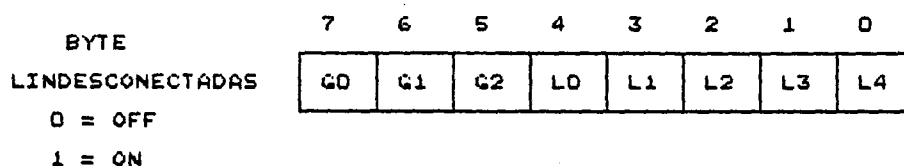
ESTABILIDAD

Constituye el módulo principal de la programación y a partir de él se derivan los demás.

En principio se declaran todos los procedimientos y variables utilizados, tanto públicas como externas. Hay una serie de variables que han sido declaradas públicas porque van a ser accesibles a cualquier rutina en cualquier momento. Nos referimos a las que contienen los valores de las corrientes por las líneas y generadores (que en definitiva son proporcionales a las potencias de consumo y generación)

Así se tiene el vector $IG(i)$ de tres elementos (0, 1 y 2), referidos a las corrientes en los grupos I, II y III respectivamente. Por otro lado está el valor $IL(i)$ de cinco elementos (0, 1, 2, 3 y 4) referentes a las corrientes en las líneas 1, 2, 3, 4 y 5.

Son interesantes también los bytes LINDESCONECTADAS, ALFA, BETA e Inominal. El primero de ellos es el que contiene en cada momento los valores referentes al estado de los elementos, tal como se indica en el siguiente esquema.



donde G0, G1 y G2 son los bits de estado de conexión o no de los grupos I, II y III; y L0-L4 son los correspondientes a las líneas 1-5. Este byte es leído por el puerto A del segundo integrado 8155.

En cuanto a ALFA, BETA e Inominal son los valores que nos indican las potencias nominales de los generadores. Inominal es el valor correspondiente a la potencia nominal del primer generador. Este valor puede ser alterado por otro procedente del ordenador; el valor tomado por defecto, que se encuentra en memoria EPROM, es el 212 decimal. Esto equivale a una potencia nominal de 9400 KVA, o 7500 Kw. El cálculo del mismo se ha realizado teniendo en cuenta varios hechos que se exponen a continuación.

En la sección de "Especificaciones del sistema" se ha comentado cómo disponemos de unas corrientes entre 4 mA y 20 mA correspondientes a potencia nula y 110% de potencia nominal en el sistema. Tomando los 20 mA como 4,5 V (traducidos por el conversor corriente-tensión) se tiene la siguiente equivalencia a la salida del convertidor A/D:

110% de pot. nominal -- 20 mA -- 229 decimal

0% (pot. nula) -- 4 mA -- 45 decimal

Tomando esta escala (45 a 229) = (4 mA a 20 mA), el 100% de la potencia nominal equivale a:

100% -- 18,5 mA -- 212 decimal

Los valores de ALFA y BETA son cocientes de relación, esto es:

$$\text{ALFA} = \text{IN2/IN1} * 10$$

$$\text{BETA} = \text{IN3/IN1} * 10$$

donde IN1, IN2 e IN3 son las potencias nominales de los grupos I, II y III respectivamente. IN1 es, en definitiva, igual a Inominal, y por defecto toma el valor calculado anteriormente.

Si las tres potencias nominales son iguales, ALFA y BETA valdrán 10 (es el valor tomado por defecto).

NOTA: el factor 10 se utiliza para convertir decimales en enteros y trabajar con una cifra significativa más (ya que el lenguaje PLM-85 no nos permite trabajar con decimales).

El programa ejecutable empieza con la programación de los tiempos utilizados para las señales de reloj de la USART y del convertidor. Así, el timer de la llamada RAM 1 (coincidente con el primer 8155) se programa para dar una señal de 51 KHz. Por otra parte, el de la RAM 2 (segundo integrado 8155) se programa para dar una señal de 76,4 KHz. Además se hace la programación del modo de comunicación.

La inicialización continúa con la puesta a cero de ciertas variables y la verificación de si el ordenador está conectado (testando el puerto correspondiente). Si lo está se aceptarán de él los parámetros (valores nominales) que envíe por medio de la rutina PCALFABETA. Si no lo está se tomarán por defecto los grabados en la EPROM.

Se programa la máscara de interrupciones para

habilitación de la RST 6.5 y se efectúa una toma inicial de datos. Para ella se utiliza un flag, INIC, tal que si está a FFH indica al sistema que no se ha tomado aún los datos iniciales, y debe tomarlos todos antes de empezar a correr el programa. Queda en un bucle de espera mientras el convertidor trabaja y hasta que se produzca la siguiente interrupción. Cuando todos los datos han sido tomados se pone INIC = 00H, lo que hace que se salga del bucle y empiece a correr el programa.

A partir de este punto acaban las inicializaciones y comienza el bucle repetitivo de control constante. El estado de los elementos se transmite hacia el puerto de relés en esta fase de inicialización, a fin de igualar el estado de las líneas leído con el establecido por los relés.

Se comprueba en qué opción está el sistema antes de realizar cualquier transmisión; si se encuentra en modo autónomo no se saltará a esta rutina en ningún momento. Por el contrario, si se detecta que el PC está conectado se transmitirá a él los valores recogidos en la última toma de datos. En caso de recibir un carácter "R" del ordenador, el sistema reconocerá que aquel desea variar los parámetros, por lo que el programa saltará a la rutina PCALFABETA para llevar a cabo este cambio.

Cada uno de los generadores es testeado. Si superan el 110% de su potencia nominal se indicará con la puesta de su respectivo flag FLG(i) a 1. Además se le asigna un valor P(i).

El vector P(i) de tres elementos nos ayuda a establecer el tipo de incremento que está teniendo lugar en la potencia de cada generador. Se habla hablado en la parte de "Especificaciones del sistema" que es precisa la distinción entre un incremento gradual y uno brusco, a fin de asignar tiempos de testeo mayores o menores. Era una forma de medir la probabilidad de que el incremento fuese debido a un ruido o a una sobrecarga peligrosa.

Los valores P(i) son inicializados a cero, y representan los incrementos en los generadores. Mientras las corrientes de los generadores se mantengan por debajo del 90% de la potencia nominal el valor de P(i) será cero. Cuando iguale o sobrepase el 90% se le asignará un valor de

$$P(i) = 128 + P(i)$$

donde P(i) es tanto más grande cuanto mayor sea el exceso por encima del 90%, hasta el límite de 110%, valor

para el cual $P(i)$ alcanza su máximo de 138.

Si algún generador sobrepasa el 110% de la nominal se realizará una llamada a la rutina de testeo, RUTTESTEO, y se pasarán a ella los valores de los incrementos de cada generador, $P(i)$.

Tras el retorno de esta rutina, o aunque no haya sido llamada, se procede a un nuevo testeo de los valores de potencia, pero esta vez referidos al 90% de la nominal. Si algún grupo sobrepasa este valor se le asigna un $P(i)$ tal como el indicado, siendo su incremento de $P(i)$ proporcional al exceso de potencia por encima del 90%:

$$P(i) = 128 + \Delta P(i)$$

$$P(i) = (IG(i) - 90\% \text{ Inominal}) * 100 / (2 * \text{Inominal})$$

$$0 \leq \Delta P(i) \leq 10$$

Si no se excede el 90% se hace la asignación:

$$P(i) = 0$$

Cuanto más se acerque $P(i)$ al valor 138, más gradual es el incremento. Cuanto más cerca esté de 128, el incremento habrá sido más brusco.

RUTTESTEO

Es el nombre del módulo o rutina cuya labor es la asignación de un tiempo de espera antes de tomar la decisión de descarga. La llamada a esta rutina se produce cuando en el módulo ESTABILIDAD se detecta una sobrecarga mayor o igual que el 10% en alguno de los generadores.

Se examina los flags FLG(i) identificadores de qué generadores se encuentran en mal estado, asignándoseles un tiempo de testeo que variará entre unos milisegundos y 2,5 segundos, dependiendo del valor incremental P(i).

Cuanto menor sea el valor de P(i) más brusco habrá sido el incremento, mayor probabilidad de ruido existe y mayor será el tiempo asignado:

$$T(i) = 1471 - 1470 (P(i) - 128) / 10$$

Este tiempo se irá decrementando en la rutina de toma de datos, debido a sus características particulares. Dicha rutina es accedida con una frecuencia de 1,64 ms, como ya se indicó en el momento del estudio del hardware del sistema. Si cada vez que se accede a ella los contadores de tiempo T(i) se decrementan se consigue cumplir con

exactitud el tiempo establecido. Así, para un $P(i)=138$, el tiempo asignado vendrá a ser:

$$T(i) = 1$$

que corresponderá como máximo a un tiempo de 1,64 ms más el tiempo de ejecución de las instrucciones hasta realizar la descarga.

El otro límite se produce cuando $P(i)=128$. En este caso se obtiene un tiempo de:

$$T(i) = 1471$$

lo que corresponde a unos 2,4 segundos. Esto sumado al tiempo de ejecución de instrucciones podría alcanzar un máximo de 2,5 segundos antes de realizar la desconexión de líneas, en caso de ser preciso.

Mientras se decrementen los contadores asignados a los generadores en mal estado no podemos olvidarnos de los restantes. Así es que necesitamos seguir testeando esos generadores al mismo tiempo. El testeo lo realiza el conjunto de instrucciones a partir de la etiqueta BASE del programa RUTTESTEO.

De los generadores que estaban bien se testea si alguno

de ellos ha sufrido un exceso del 10% o mayor. En tal caso se asignan los valores incrementales adecuados a cada uno y un tiempo de testeo, de la misma forma que ya se indicó. Los tiempos que estaban decontándose siguen haciéndolo, y a partir de ahora el decontaje comenzará en los nuevos determinados. Existe un tiempo asociado a cada generador, el vector $T(i)$ de tres elementos lo proporciona. Los contadores que estén en reposo (por estar sus generadores correspondientes en buen estado) se inicializan al valor 1500, por ejemplo.

La parte que viene a continuación quizás presente mayor dificultad de comprensión, por lo que vamos a profundizar un poco en ella.

```
A) F=0;
   DO J=0 TO 2;
       IF FLG(J)=1 THEN DO;
           IF T(J)=0 AND IG(J)=110% Inominal THEN F=1;
               END;
       END;
   END;
```

Esta sección examina si alguno de los generadores que estaba mal ha finalizado su contador de tiempo. Si es así y además su potencia continúa siendo mayor o igual que el 110% se indica con la puesta a uno del flag F.


```

B)  IF F=1 THEN DO;
      DO J=0 TO 2;
      FLG(J)=0;
      END;
      CALL DESCARGA;
      RETURN;
      END;

```

Si se detecta el flag F=1 es preciso realizar una descarga, antes de la cual se resetean todos los flags. Tras la descarga, la rutina RUTTESTEO retorna al módulo principal.

```

C)  A=0;
      DO J=0 TO 2;
      IF FLG(J)=1 THEN DO;
      IF T(J)=0 AND IG(J)<110% Inominal THEN FLG(J)=0
      ELSE A=1;
      END;
      END;

```

En caso de no cumplirse la condición del apartado A, y además no se produce descarga, el programa pasa a esta sección. Se estudian los generadores que estaban mal. Si alguno de ellos ha llegado al final de su contador y

además su corriente es menor del 110% de la nominal, sabremos que se ha restablecido y no se precisa descarga. Se resetea su flag FLG. Si alguno aún no se ha decrementado del todo, el flag A se pone a 1 para indicar que debemos permanecer en la rutina de testeo todavía.

Cada 20 veces que se repita el bucle de testeo se realizará una transmisión al ordenador de los valores de potencias y estados de los elementos. No interesa llevar a cabo durante el tiempo de testeo demasiadas transmisiones, pues éstas consumen un espacio de tiempo relativamente grande (unos 70 milisegundos) y en estos momentos resulta crítico.

También se retornará al módulo principal ante situaciones distintas a las especificadas.

DESCARGA

Esta es la rutina que lleva a cabo la desconexión de líneas haciendo previamente una selección de cuál descargar. El criterio de descarga es el siguiente: se optará por aquella línea cuya potencia de consumo sea igual o inmediatamente superior al 10% de la suma de las potencias nominales de los generadores. Lo que se intenta

con esto es aliviar a los grupos de un 10% de su carga, a fin de que puedan recuperarse.

En primer lugar se ordenan las líneas de menor a mayor según sus potencias de consumo. Después se procede a elegir la adecuada para el descargo, basándonos en el criterio establecido.

Se calcula un valor significativo del 10% de la suma de las corrientes nominales de los tres grupos:

$$F = (IN1 + IN2 + IN3) / 10$$

pero como

$$IN1 = Inominal$$

$$ALFA = IN2 / IN1 * 10$$

$$BETA = IN3 / IN1 * 10$$

sustituyendo y sacando factor común queda:

$$F = (10 + ALFA + BETA) * Inominal / 100$$

La Inominal está referida a los generadores, pero también debemos tener en cuenta la corriente nominal de las líneas.

Según las especificaciones, 20 mA recibidos por una línea equivalen al 120% de su potencia nominal:

20 mA -- 120% nominal -- 229 decimal

Teniendo en cuenta que trabajamos en el rango 4-20 mA, el 100% para una línea equivale a:

100% -- 198 decimal

O sea, recibir un 198 decimal por el convertidor A/D nos indica un consumo del 100% en la línea. Mientras que para un generador el 100% supondría un 212 decimal. Esta diferencia de escala debe ser tenida en cuenta a la hora de la elección de la línea. Considerando $I_{línea}$ como la corriente nominal de línea, la descarga se realizará sobre aquella línea L_i cuyo valor en corriente cumpla:

$$IL(i) \geq (10 + ALFA + BETA) * (I_{nominal}/100) * (I_{línea}/I_{nominal}) + base$$

donde $base=45$, y tiene en cuenta que el fondo de escala es de 4 mA (=45 decimal)

$I_{línea}=153$, o lo que es lo mismo $I_{línea}=198-45$

NOTA: para los cálculos se ha tenido en cuenta que vamos a recibir corrientes ente 4 mA y 20 mA, y que potencia cero equivale a 4 mA = 45 decimal.

Así se tiene:

<u>GENERADOR</u>	<u>100%</u>	<u>110%</u>
Escala de potencia:	0 -- 9400 KVA	-- 10340 KVA
Escala de corriente:	4 mA -- 18,5 mA	-- 20 mA
Escala del convertidor:	45 -- 212 dec	-- 229 dec
Fondo de escala cero:	0 -- 167 dec	-- 184 dec

<u>LINEAS</u>	<u>100%</u>	<u>120%</u>
Escala de potencia:	0 -- 9400 KVA	-- 11280 KVA
Escala de corriente:	4 mA -- 13,3 mA	-- 20 mA
Escala del convertidor:	45 -- 198 dec	-- 229 dec
Fondo de escala cero:	0 -- 153 dec	-- 184 dec

Tras realizar la descarga de la línea seleccionada se espera un tiempo de 0,5 segundos al restablecimiento de los generadores en mal estado. Entonces se consulta si existe aún algún generador en mal estado. Si es así se realiza otra descarga, hasta que los valores se restablezcan. Cuando la situación se vuelva estable se retorna. El programa está concebido de tal forma que antes de que se desacoplen los grupos se descarguen todas las

líneas.

Después de cada descarga se transmiten al PC las potencias y estados.

TOMA DE DATOS

Esta rutina tiene por misión leer los valores convertidos por el ADC y pasarlos a la CPU para ser almacenados, tratados y transmitidos. También lee el estado de las líneas y generadores por el puerto correspondiente.

Se accede a ella cada 1,64 ms por interrupción hardware. Lee el dato de la última entrada analógica convertida, lo almacena, y tras ello envía las señales necesarias para la conversión de la siguiente entrada.

En caso de que la rutina de testeo haya ordenado el decremento de los contadores asignados, el módulo de toma de datos se encargará de disminuir en uno el valor de dichos tiempos, cada vez que se accede a ella, hasta decrementarla del todo.

Las sentencias que provocan las señales de inicio de conversión en el ADC son las siguientes:

$$\begin{aligned}IG(CANALDAC) &= ADC(CANALDAC) \\IL(CANALDAC-3) &= ADC(CANALDAC)\end{aligned}$$

donde CANALDAC es una variable que puede tomar los valores de 0 a 8, permitiendo direccionar las distintas entradas analógicas del convertidor.

TRANSMISION AL PC

Se corre cada vez que queremos transmitir los datos al ordenador. Para la comunicación existe establecido un protocolo. Se utilizan algunos simbolos indicadores diferentes.

El simbolo "R" es usado para detectar que el ordenador desea un cambio de parámetros.

El simbolo "\$" se recibe cuando el PC está preparado para aceptar la información mandada desde el sistema. Entonces éste envía otro "\$" que avisa al ordenador que comienza el paso de datos: transmite los valores de corriente en los tres generadore, las cinco líneas y el

byte de estados ON-OFF.

PCALFABETA

Esta es la rutina de recepción de los nuevos parámetros procedentes del PC. Si el sistema detecta un símbolo "R" llegado desde el ordenador sabrá que éste desea comunicarle los nuevos valores nominales. Como reconocimiento de ello, el sistema envía un símbolo "%".

Es necesario establecer a continuación un retardo por exigencias del programa del ordenador. Tras este tiempo el sistema intentará recibir datos, y si no puede volverá a transmitir otro "%" para incitar al ordenador a enviar datos. Esto se repetirá hasta que el ordenador conteste con otro "%". Entonces el sistema se prepara para aceptar los nuevos valores; antes de recoger cada valor envía al PC un "&" de reconocimiento, así como después de recibir los tres datos.

SOFTWARE DEL ORDENADOR

En el ordenador PC/XT se ha implementado un programa en lenguaje BASIC para llevar a efecto la recogida de información sobre la central y presentación de la misma en pantalla, así como la posibilidad de hacer trabajar al sistema con nuevas potencias nominales.

Por tanto, las tareas básicas de este programa son:

- Recepción de datos sobre corriente y estados de los diferentes elementos.
- Presentación de éstos en pantalla a fin de que el usuario del sistema pueda ver qué ocurre en todo momento.
- Introducción por teclado de nuevos parámetros para la acción de control, que serían transmitidos al sistema.
- Indicadores de situación inestable: hacer sonar un pitido de advertencia o la aparición de un dato flasheante en pantalla son formas de llamar la atención del usuario del sistema ante situaciones de

pérdida de la estabilidad.

Veamos con más detalle qué hace el programa.

En principio se inicializan las variables a utilizar así como se aclara e inicializa la pantalla. El ordenador pide al usuario que entre por teclado los valores de potencia nominal de los generadores.

Una vez esto se abrirá el puerto de comunicación, con unas características determinadas: transmisión asíncrona, velocidad de 1200 baudios, sin bit de paridad, dos bits de stop, y caracteres de ocho bits. El puerto de comunicación elegido es el número uno; el número depende de la salida del PC utilizada para la comunicación.

Dados los datos por el usuario se calcularán las relaciones ALFA y BETA que necesita el sistema para el control, adaptando estos datos a las exigencias del sistema. Es entonces cuando se transmiten, estableciendo para ello un protocolo de comunicación.

Se manda un "R" al sistema cuando se quiere enviar los parámetros, y tras ello queda esperando recibir un "%" de confirmación. Cuando lo recibe comienza la transmisión de los nuevos valores hacia el sistema. Al acabar esta

transmisión el sistema manda un "&" de reconocimiento al ordenador de que la transmisión ha sido correcta. Si el ordenador no detecta este último carácter se visualizará un mensaje de error de transmisión, tras el cual el ordenador quedará bloqueado.

A continuación se dibuja la pantalla mediante caracteres gráficos. Se reciben del sistema los valores de corrientes y estados de cada elemento, se almacenan en el vector A, y se visualizan en la pantalla. Esta se estructura en tres columnas: datos de potencias de generadores y líneas aparecen en una; potencias nominales de los tres generadores en otra; los estados ON-OFF en la tercera.

Los datos son recibidos junto con una serie de caracteres de protocolo y confirmación que aseguran la calidad de la transmisión.

El vector A, almacén de los datos recibidos, se encuentra sobredimensionado a fin de facilitar la tarea del posible aumento de número de caracteres a comunicar, en caso de ampliaciones del sistema.

Los datos recibidos son transformados en KVA antes de su aparición en pantalla mediante unas fórmulas de

relación. Asimismo el byte de información de estados es desmenuzado para extraer la información de cada elemento independiente.

Son posibles dos situaciones: la primera es que el ordenador ya haya empezado a correr su programa antes de que el sistema se encienda. El programa queda en un bucle de espera a poder comunicar con el sistema.

Otro segundo caso es que el sistema esté funcionando cuando se conecta el ordenador, y además está el sistema con el conmutador en la opción PC. En estas circunstancias el sistema quedaría en un bucle mandando caracteres de establecimiento de comunicación hasta que el ordenador responda. De esta forma el protocolo existente permite que la comunicación pueda comenzar desde ambos puntos.

Es posible la congelación de la pantalla en cualquier momento con sólo pulsar CTRL-U. Esto quiere decir que la pantalla dejará de refrescarse y actualizarse con los nuevos datos que le llegan. Quedará con los datos que tenía antes de pulsar el CTRL-U, y no volverá al modo anterior hasta que se pulse la barra espaciadora. Claro está que los datos no dejan de recibirse mientras la pantalla se encuentra congelada; simplemente no se visualizan.

Otra orden desde el teclado se puede llevar a cabo con un CTRL-E. Esto permite al usuario cambiar en cualquier instante que lo desee los valores de las potencias nominales. Al detectar un CTRL-E el ordenador preguntará por los nuevos parámetros. El usuario los introduce por teclado y tras ello se produce una transmisión hacia el sistema de estos nuevos datos. El sistema los acepta y continúan corriendo ambos programas: el del sistema microprocesador y el del ordenador.

En la esquina superior derecha de la pantalla aparece en todo momento la suma de las potencias generadas y la suma de las potencias consumidas, calculadas a partir de los datos recibidos. Teóricamente estas sumatorias deberían ser iguales, pero siempre puede existir diferencias: hay que contar, por ejemplo, con los consumos de los servicios auxiliares. Por esta razón se establece un margen de error entre ambas sumatorias de potencias del 2%. Cuando la diferencia sea mayor que este valor se indicará con un pitido, y además la visualización de las sumatorias aparecerá flasheante.

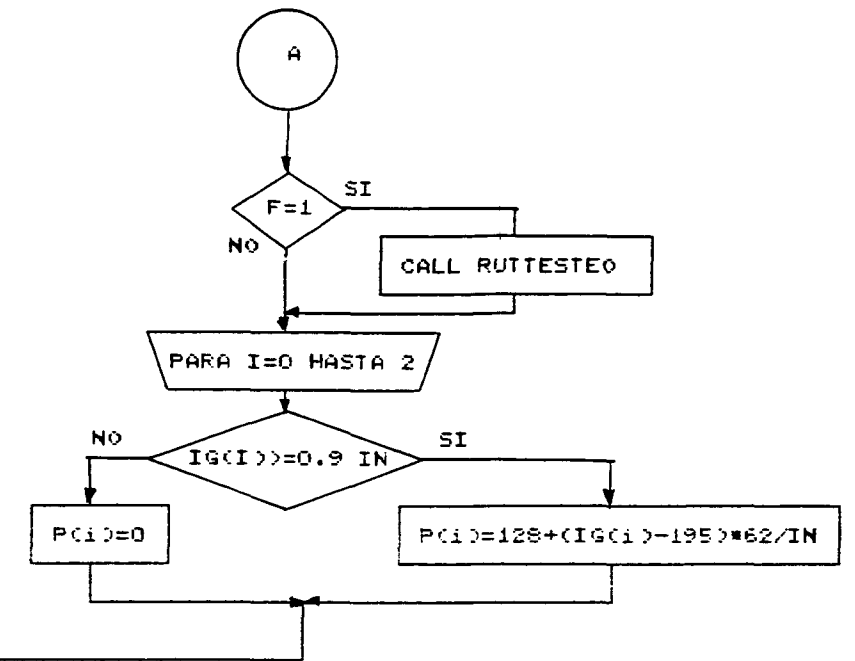
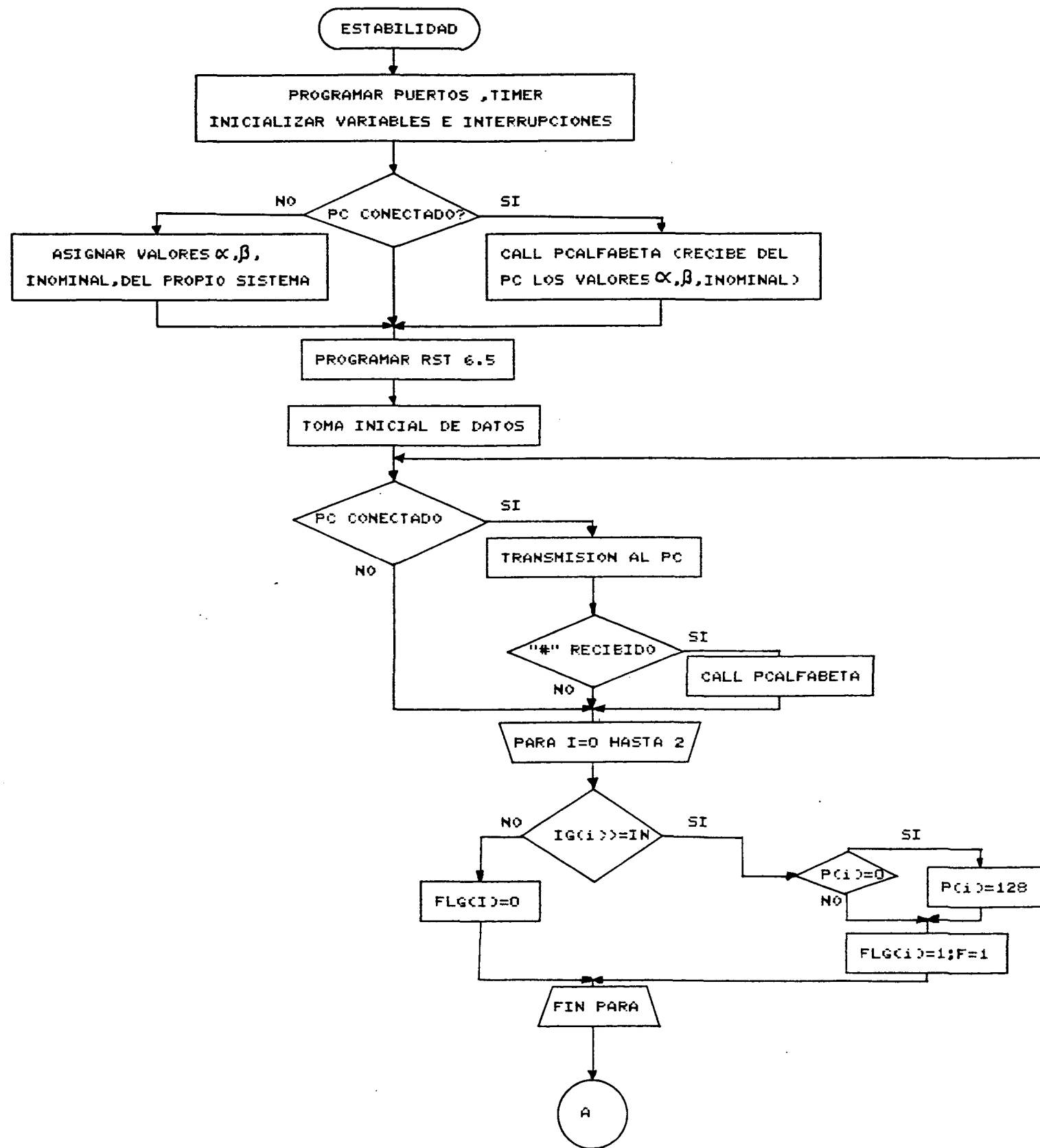
Existen otros motivos por los que un dato presentado en pantalla pueda flashear. Se trata de las potencias de los generadores cuando superan el 100% de su capacidad

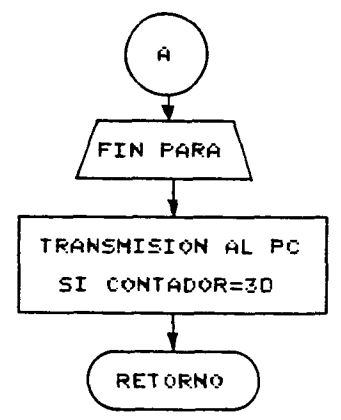
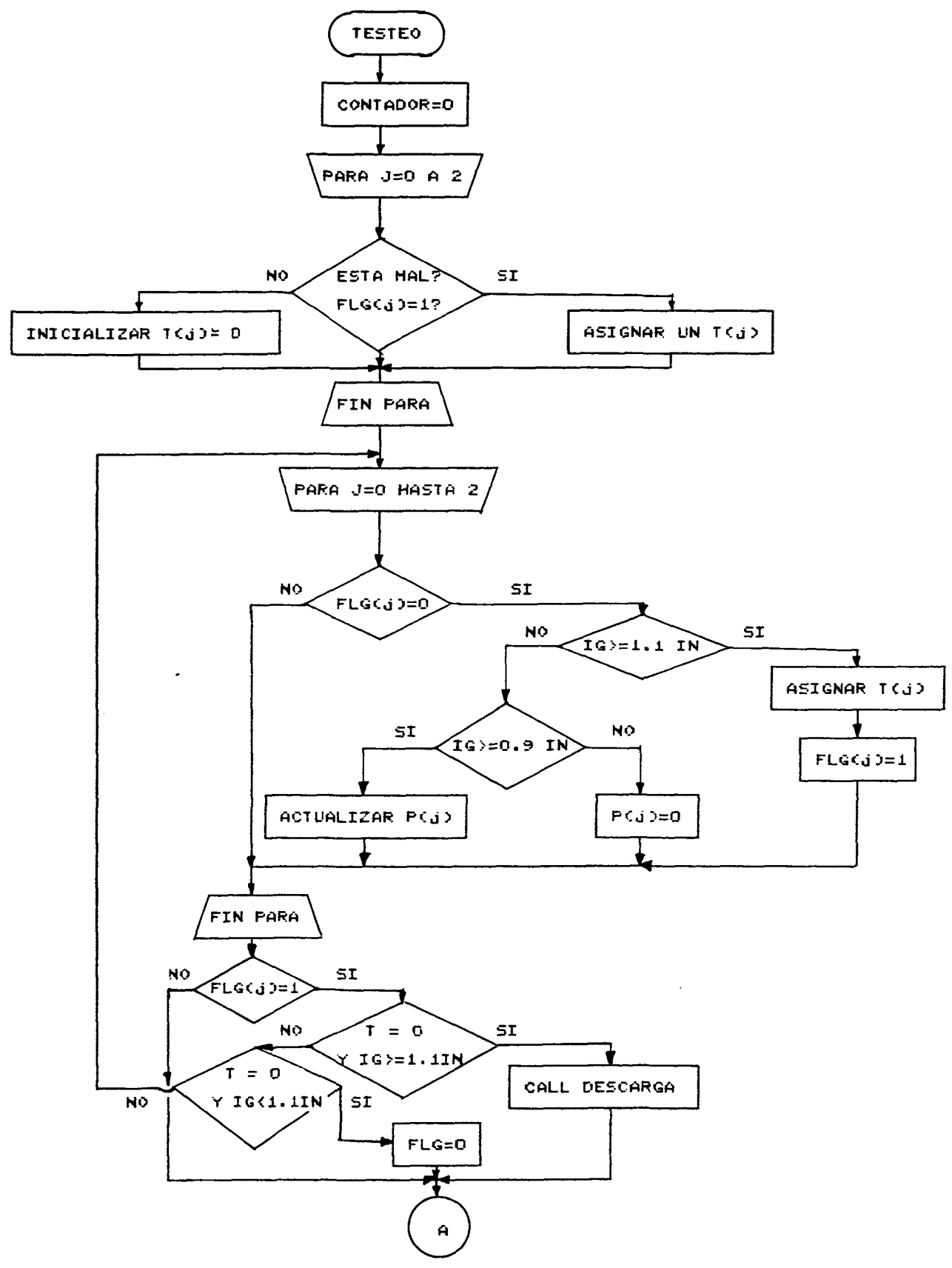
nominal; bajo esta circunstancia también se hará sonar un pitido que llamará la atención del usuario. Por último, la aparición de una línea o generador desconectado (estado OFF) se visualizará también de forma flasheante.

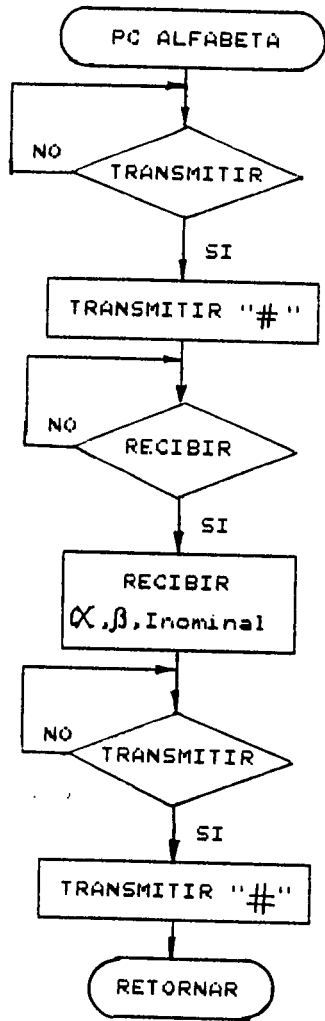
El gráfico de la página siguiente muestra una pantalla del ordenador tal como la dibuja el programa de control de estabilidad que corre en él.

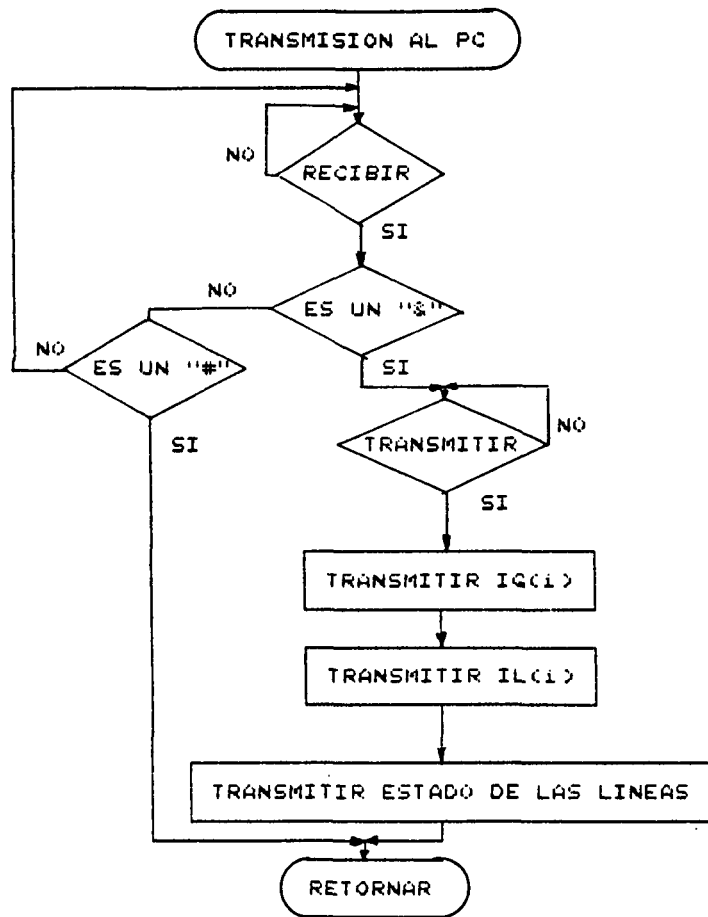
CONTROL DE ESTABILIDAD					EG= 25440 e IL= 25439	
	POTENCIA		POT.NOMINAL		ESTADO	
Generador 1:	8724	KVA	9.400	KVA	ON	
Generador 2:	8105	KVA	9.400	KVA	ON	
Generador 3:	8611	KVA	9.400	KVA	ON	
	POTENCIA				ESTADO	
Línea 1:	5333	KVA			ON	
Línea 2:	6436	KVA			ON	
Línea 3:	4843	KVA			ON	
Línea 4:	3678	KVA			ON	
Línea 5:	5149	KVA			ON	

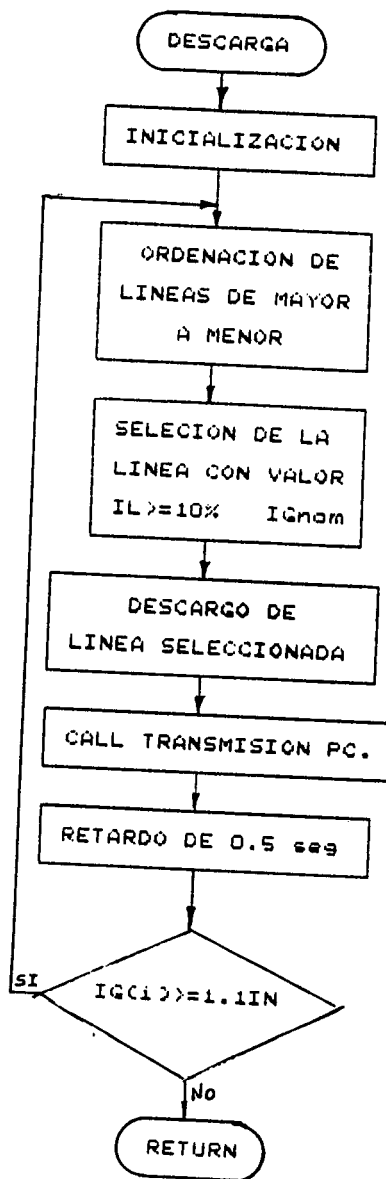
ORGANIGRAMAS

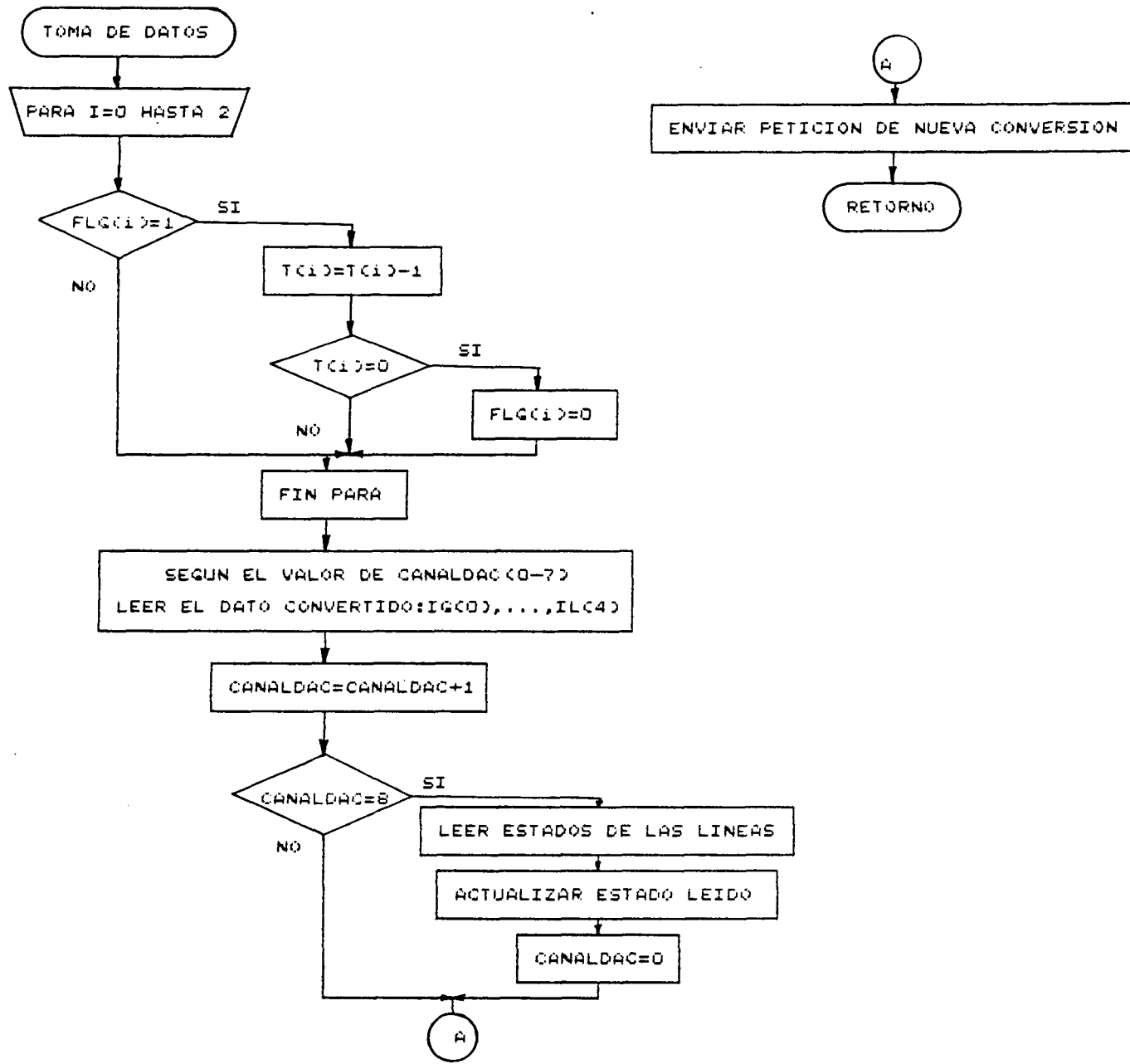


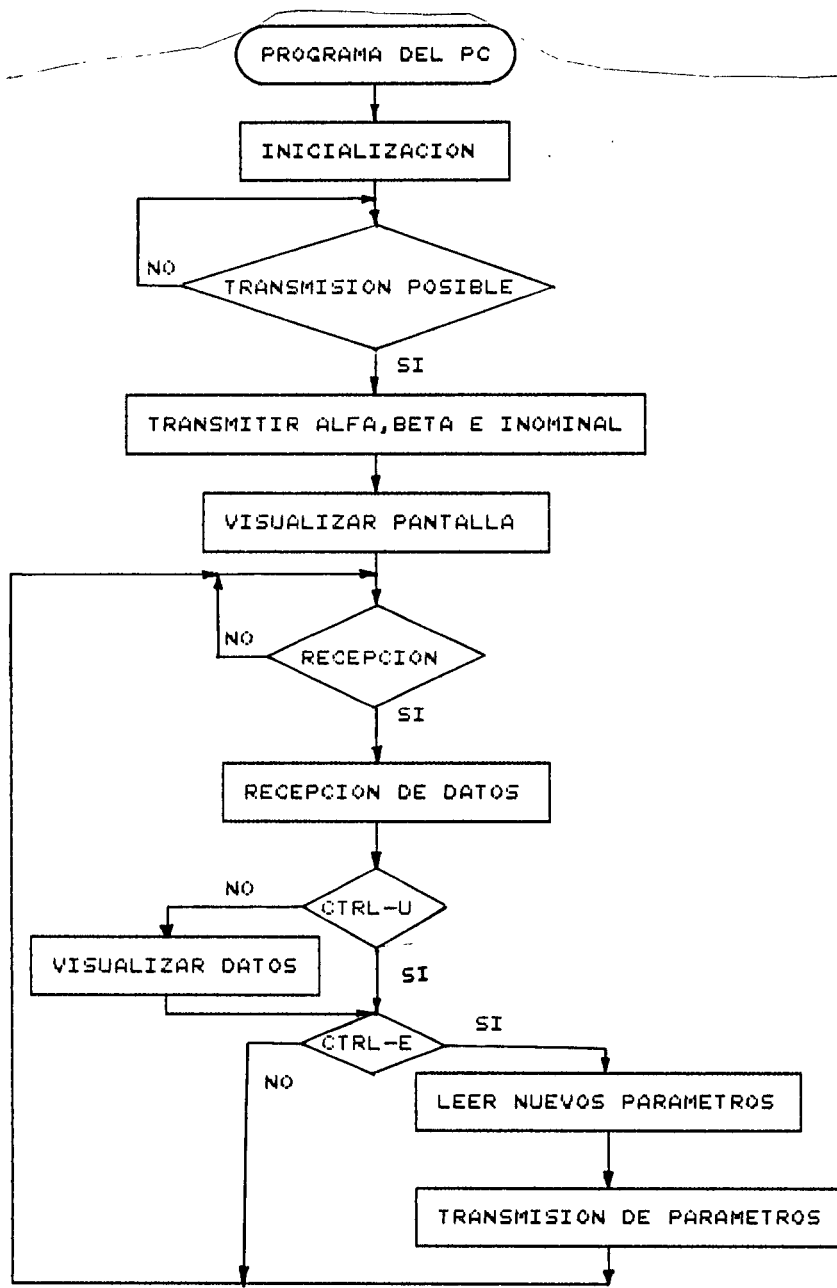












ORGANIGRAMA DEL PROGRAMA DEL PC

P R O G R A M A S

V E R S I O N M O D I F 3

P R O G R A M A S D E L S I S T E M A

M I C R O P R O C E S A D O R

ISIS-II PL/M-80 V3.1 COMPILATION OF MODULE ESTABILIDAD
 OBJECT MODULE PLACED IN MODIF3.OBJ
 COMPILER INVOKED BY: PLM80 MODIF3.PLM WORKFILES(:F0:,:F0:)
 -DEBUG PAGELength(54) PAGEWIDTH(60)

```

/* Programa principal de control de es
-  tabilidad */
1  ESTABILIDAD:DO;

2  1  DECLARE IG(3) BYTE PUBLIC;
3  1  DECLARE IL(5) BYTE PUBLIC;
4  1  DECLARE FLG(3) BYTE PUBLIC;
5  1  DECLARE (LINDESCONECTADAS,CANALDAC,INIC,CO
-  R) BYTE PUBLIC;
6  1  DECLARE (ALFA,BETA,INOMINAL) BYTE PUBLIC;
7  1  DECLARE COMIEN LABEL PUBLIC;

8  1  TRANSMISION$AL$PC:PROCEDURE PUBLIC;
9  2  DECLARE USARDATOS LITERALLY '10H';
10 2  DECLARE USARCONTROL LITERALLY '90H';
11 2  DECLARE PORTB$RAM1 LITERALLY '42H';
12 2  DO;
13 3  LAZO4: B=INPUT(USARCONTROL) AND 02
-  H;
14 3  IF B<>02H THEN GOTO LAZO4;
16 3  B=INPUT(USARDATOS);
17 3  IF B='#' THEN RETURN;
19 3  IF B<>'$' THEN GOTO LAZO4;
21 3  LAZO6: B=INPUT(USARCONTROL) AN
-  D 01H;
22 3  IF B=0 THEN GOTO LAZO6;
24 3  OUTPUT(USARDATOS)='$';

25 3  DO I=0 TO 2;
26 4  LAZO1:B=INPUT(USARCONTROL) AND
-  01H;
27 4  IF B=0 THEN GOTO LAZO1;
29 4  OUTPUT(USARDATOS)=IG(I);
30 4  END;
31 3  DO I=0 TO 4;
32 4  LAZO2:B=INPUT(USARCONTROL) AND
-  01H;
33 4  IF B=0 THEN GOTO LAZO2;
35 4  OUTPUT(USARDATOS)=IL(I);
36 4  END;
37 3  LAZO3:B=INPUT(USARCONTROL) AND
-  01H;
38 3  IF B=0 THEN GOTO LAZO3;
40 3  OUTPUT(USARDATOS)=LINDESCO

```

```

-   NECTADAS;
41   3   TR10:           RETURN;
42   3           END;
43   2           END TRANSMISION$AL$PC;

44   1   RUTTESTEO:PROCEDURE (DIRPI) EXTERNAL;
45   2           DECLARE DIRPI ADDRESS;
46   2           END RUTTESTEO;

47   1   S$MASK: PROCEDURE (MASK) EXTERNAL;
48   2           DECLARE MASK BYTE;
49   2           END S$MASK;

50   1   DECLARE CONTROL$RAM1 LITERALLY '40H';
51   1   DECLARE CONTROL$RAM2 LITERALLY '90H';
52   1   DECLARE USARDATOS LITERALLY '10H';
53   1   DECLARE CONTROL$RAM2 LITERALLY '30H';
54   1   DECLARE PORTA$RAM2 LITERALLY '31H';
55   1   DECLARE PORTB$RAM2 LITERALLY '32H';
56   1   DECLARE PORTA$RAM1 LITERALLY '41H';
57   1   DECLARE PORTB$RAM1 LITERALLY '42H';
58   1   DECLARE TIMERL$RAM2 LITERALLY '34H';
59   1   DECLARE TIMERH$RAM2 LITERALLY '35H';
60   1   DECLARE TIMERL$RAM1 LITERALLY '44H';
61   1   DECLARE TIMERH$RAM1 LITERALLY '45H';
62   1   DECLARE IN LITERALLY '212';
63   1   DECLARE P(3) BYTE;
64   1   DECLARE (W,B,I,ED) BYTE;
65   1   DECLARE ADC(B) BYTE AT (2000H);

66   1   TOMA$INICIAL: PROCEDURE;
67   2           DO;
68   3               INIC=0FFH;
69   3               CANALDAC=00;
70   3               ADC(CANALDAC)=00;
71   3               ENABLE;
72   3   CUCO: IF INIC=0 THEN DO;
74   4               LINDESCONECTADAS=1FH;
75   4               OUTPUT(PORTB$RAM2)=LINDESCONEC

-   TADAS;
76   4           RETURN;
77   4           END;
78   3   TI10: GOTO CUCO;
79   3           END;
80   2           END TOMA$INICIAL;

```

```

81 1 PCALFABETA: PROCEDURE;
82 2 DO;
83 3 BUCLE3: B=INPUT(USARCONTROL) AND 01;
84 3 IF B=0 THEN GOTO BUCLE3;
86 3 OUTPUT(USARDATOS)='%' ;

87 3 DO I=1 TO 40;
88 4 CALL TIME(200);
89 4 END;
90 3 BUCLE4: B=INPUT(USARCONTROL) AND 02;
91 3 IF B=0 THEN GOTO BUCLE3;
93 3 ED=INPUT(USARDATOS);
94 3 IF ED<>'%' THEN GOTO BUCLE3;
96 3 DO I=0 TO 2; /* Recibo del PC a
- lfa y beta e INOMINAL */
97 4 BUCLE2: B=INPUT(USARCONTROL) AND 01H;
98 4 IF B=0 THEN GOTO BUCLE2;
100 4 OUTPUT(USARDATOS)='&';
101 4 BUCLE: B=INPUT(USARCONTROL) AND 02H;
102 4 IF B=02 THEN GOTO ENTRADA;
104 4 GOTO BUCLE;
105 4 ENTRADA: IF I=0 THEN ALFA=INPUT(USARDATOS);
107 4 IF I=1 THEN BETA=INPUT(USARDATOS);
109 4 IF I=2 THEN INOMINAL=INPUT(USARDATOS);
111 4 END;
112 3 LAZO: B=INPUT(USARCONTROL) AND 01H; /*
- * Mando confirmacion al PC */
113 3 IF B=0 THEN GOTO LAZO; /* que lo
- s datos han sido */
115 3 OUTPUT(USARDATOS)='&'; /* recibi
- dos. */
116 3 PCAB10: RETURN;
117 3 END;
118 2 END PCALFABETA;

/* Fase de inicializacion del sistema */

119 1 COMIEN: DO;
120 2 OUTPUT(TIMERH$RAM1)=40H; /*Programacio
- n del clok del convertidor*/
121 2 OUTPUT(TIMERL$RAM1)=03CH; /* a 51 kHz
- aproximadamente */
122 2 OUTPUT(CONTROL$RAM1)=0C0H;
/*Program
- acion de la USART en asincrono*/
123 2 OUTPUT(USARCONTROL)=0CFH; /*a 1200 bau
- dios, sin paridad y con dos*/
124 2 OUTPUT(TIMERH$RAM2)=40H; /*bits de STO

```

```

- P*/
125 2 OUTPUT(TIMERL$RAM2)=28H;
126 2 OUTPUT(CONTROL$RAM2)=0C0H;
127 2 OUTPUT(USARCONTROL)=07H;
128 2 OUTPUT(USARCONTROL)=37H;
129 2 OUTPUT(CONTROL$RAM1)=02H; /*PORT B p
- ara activar LED*/
130 2 OUTPUT(CONTROL$RAM2)=02H;
131 2 OUTPUT(PORTB$RAM1)=00H;
132 2 MO1: DO I=0 TO 2;
133 3 P(I)=0;
134 3 FLG(I)=0;
135 3 COR=0;
136 3 END;

/* Compruebo si el PC esta conectado */
137 2 B=INPUT(PORTA$RAM1) AND 01H;
138 2 IF B=01H THEN DO;
140 3 ALFA=10;
141 3 BETA=10;
142 3 INOMINAL=212;
143 3 GOTO CONEX1;
144 3 END;

145 2 CALL PCALFABETA;

146 2 CONEX1: CALL S$MASK(01DH); /* Programo masc
- ara de interrupciones 6.5 */
147 2 CALL TOMA$INICIAL; /* Hago una toma in
- icial de datos */

148 2 PRINCIPIO: OUTPUT(PORTB$RAM2)=LINDESCONECTADAS
- ; /*Actualizo reles*/
149 2 COR=0;
150 2 PRIN2: B=INPUT(PORTA$RAM1) AND 01H;
151 2 PRIN3: IF B=0 THEN DO;
153 3 PRIN4: CALL TRANSMISION$AL$PC;
154 3 IF B='#' THEN CALL PCALFABETA;
156 3 END;
157 2 W=0;
158 2 DO I=0 TO 2;
159 3 IF IG(I)>=229 THEN
160 3 DO;
161 4 MO4: IF P(I)=0 THEN P(I)=128;
163 4 MO5: FLG(I)=1;
164 4 W=1;
165 4 END;
166 3 ELSE DO;

```

```
167 4          FLG(I)=0;
168 4          END;
169 3          END;
170 2      MO2:      IF W=1 THEN CALL RUTTESTEO(.P);

172 2      MO3:      DO I=0 TO 2;
173 3          IF IG(I)>= 195 THEN
174 3              DO;
175 4                  P(I)=128 +(IG(I)-195)/3; /*Aproxi
-           maciones aceptables*/
176 4              END;
177 3          ELSE DO;
178 4              P(I)=0;
179 4          END;
180 3      MO10:     END;
181 2          GOTO PRINCIPIO;
182 2      MO11:     END;
183 1      END ESTABILIDAD;
```

MODULE INFORMATION:

```
CODE AREA SIZE      = 030DH      781D
VARIABLE AREA SIZE  = 0019H      25D
MAXIMUM STACK SIZE  = 0004H      4D
194 LINES READ
0 PROGRAM ERROR(S)
```

END OF PL/M-80 COMPILATION

ISIS-II PL/M-80 V3.1 COMPILATION OF MODULE MODTESTEO
 OBJECT MODULE PLACED IN RUTTE3.OBJ

COMPILER INVOKED BY: PLM80 RUTTE3.PLM WORKFILES(:F0:,:F0:)
 -DEBUG PAGELength(54) PAGEWIDTH(60)

```

/* Rutina de testeo durante un tiempo
- T que depende
del valor de P(I) */
1 MOD$TESTEO:DO;
2 1 DECLARE T(3) ADDRESS PUBLIC;

3 1 DECLARE IG(3) BYTE EXTERNAL;
4 1 DECLARE IL(5) BYTE EXTERNAL;
5 1 DECLARE FLG(3) BYTE EXTERNAL;
6 1 DECLARE (ALFA,BETA,INOMINAL) BYTE EXTERNAL
- ;

7 1 DESCARGA:PROCEDURE EXTERNAL;
8 2 END DESCARGA;

9 1 TRANSMISION$AL$PC:PROCEDURE EXTERNAL;
10 2 END TRANSMISION$AL$PC;

11 1 RUTTESTEO:PROCEDURE (DIRPI) PUBLIC;
12 2 DECLARE (DIRPI) ADDRESS;
13 2 DECLARE (A,K,F,J,CONTADOR) BYTE;
14 2 DECLARE IN LITERALLY '212';
15 2 DECLARE PORTA$RAM1 LITERALLY '41H';
16 2 DECLARE P BASED DIRPI (3) BYTE;
17 2 RU1: DO;
18 3 CONTADOR=0; /*Contador para transmissio
- n al PC */
19 3 DO J=0 TO 2;
20 4 IF FLG(J)=1 THEN DO;
22 5 IF P(J)>138 THEN P(J)=138;
24 5 T(J)=1471-(1470*(P(J)-128))/10; /*Se c
- alcula un T al que este mal.Este T se ira dec
- rementando*/
25 5 RU3: END;
26 4 ELSE T(J)=1500; /*Se inicializan l
- os otros T's */
27 4 END;
28 3 A=00H;
29 3 BASE: DO J=0 TO 2;
30 4 IF FLG(J)=0 THEN
31 4 DO;
32 5 IF IG(J)>=229 THEN
33 5 DO;
34 6 IF P(J)=0 THEN P(J)=128;

```

```

36 6          P(J)=P(J)+(IG(J)-195)/3;
37 6          IF P(J)>138 THEN P(J)=138;
39 6          T(J)=1471-(1470*(P(J)-128))/10;
40 6          FLG(J)=1;
41 6          END;
42 5          ELSE DO;
43 6          IF IG(J)>=195 THEN P(J)=128+(I
- G(J)-195)/3;
45 6          ELSE P(J)=0;
46 6          END;
47 5          END;
48 4          END;
49 3          F=0;
50 3          DO J=0 TO 2;
51 4              IF FLG(J)=1 THEN DO;
53 5                  IF T(J)=0 AND IG(J)>=229 THEN F=1;
55 5                  END;
56 4              END;
57 3          RU2:  IF F=1 THEN DO;
59 4              DO J=0 TO 2;
60 5                  FLG(J)=0;
61 5                  END;
62 4                  CALL DESCARGA;
63 4                  GOTO RU10;
64 4              END;
65 3              A=0;
66 3              DO J=0 TO 2;
67 4                  IF FLG(J)=1 THEN DO;
69 5                      IF T(J)=0 AND IG(J)<229 THEN FLG(J)=0;
71 5                      ELSE A=1;
72 5                  END;
73 4              END;
-          /*Realizar una transmision al PC cada 20 v
-          eces que se repita el bucle*/
74 3          IF CONTADOR=20 THEN DO;
76 4              CONTADOR=0;
77 4              K=INPUT(PORTA$RAM1) AN
- D 01H;
78 4              IF K=0 THEN CALL TRANSMISION$A
- L$PC;
80 4              END;
81 3              CONTADOR=CONTADOR+1;
82 3              IF A=1 THEN GOTO BASE;
84 3          RU10:  RETURN;
85 3          END;
86 2          END RUTTESTEO;
87 1          END MOD$TESTEO;

```


MODULE INFORMATION:
PL/M-80 COMPILER

CODE AREA SIZE = 02C0H 704D
VARIABLE AREA SIZE = 000DH 13D
MAXIMUM STACK SIZE = 0006H 6D
81 LINES READ
0 PROGRAM ERROR(S)

END OF PL/M-80 COMPILATION

ISIS-II PL/M-80 V3.1 COMPILATION OF MODULE MODDESCARGA
 OBJECT MODULE PLACED IN DESCA3.OBJ
 COMPILER INVOKED BY: PLM80 DESCA3.PLM WORKFILES(:F0:,:F0:)
 -DEBUG PAGELENGTH(54) PAGEWIDTH(60)

```

      /* Esta rutina tiene por objeto realizar l
-   a descarga de lineas
      con el siguiente criterio: Calculo la line
-   a o conjunto de lineas
      mas cercana al 10% de la potencia nominal
-   de los generadores*/
1      MOD$DESCARGA:DO;
2      1      TRANSMISION$AL$PC:PROCEDURE EXTERNAL;
3      2      END TRANSMISION$AL$PC;

4      1      DECLARE IG(3) BYTE EXTERNAL;
5      1      DECLARE IL(5) BYTE EXTERNAL;
6      1      DECLARE (LINDESCONECTADAS,ALFA,BETA,INOMIN
-   AL,COR) BYTE EXTERNAL;

7      1      DESCARGA:PROCEDURE PUBLIC;
8      2      DECLARE (D,CALCULO) ADDRESS;
9      2      DECLARE K BYTE;
10     2      DECLARE R(5) BYTE;
11     2      DECLARE (I,J,X,DESCONECTO,INTERMEDIA,
-   INTER,DES) BYTE;

12     2      DECLARE PORTA$RAM1 LITERALLY '41H';
13     2      DECLARE PORTB$RAM1 LITERALLY '42H';
14     2      DECLARE PORTB$RAM2 LITERALLY '32H';
15     2      DECLARE CTE LITERALLY '45';
16     2      DECLARE IN$LINEA LITERALLY '153';
17     2      DECLARE ALFA LITERALLY '10';

      /* Ordeno las lineas de menor a mayor y qu
-   ando en R el numero de
      de cada linea */
18     2      DECA: DO;
19     3      DO I=0 TO 4; /*Inicializo R(I) con
-   su valor de origen*/
20     4      R(I)=IL(I);
21     4      GUARDALINEAS(I)=I;
22     4      END;
23     3      DE1: DO I=0 TO 3; /*Ordenamiento*/
24     4      DO X=I+1 TO 4;
25     5      IF R(X)<R(I) THEN
26     5      DO;
27     6      INTER=GUARDALINEAS(X);
28     6      INTERMEDIA=R(X);

```

```

29 6          GUARDALINEAS(X)=GUARDALINEAS(I);
30 6          R(X)=R(I);
31 6          GUARDALINEAS(I)=INTER;
32 6          R(I)=INTERMEDIA;
33 6          END;
34 5          END;
35 4          END;
          /*Con los valores de ALFA y BETA recibidos e
- establezco una forma de hallar
          el 10% de la corriente nominal de los gene
- radores*/

36 3          DE2:      D=(10+ALFA+BETA)*IN$LINEA;

          /* Establezco una forma de eleccion de las l
- inas a desconectar*/

37 3          DE3:      DO I=0 TO 4;
38 4              IF R(I)<45 THEN R(I)=45;
39 4              END;
40 4          DE4:      X=0;
41 3              CALCULO=(R(X)-CTE)*100;
42 3              DO WHILE CALCULO<D;
43 3                  X=X+1;
44 4                  CALCULO=(R(X)-CTE)*100;
45 4              END;
46 4          DE5:      IF X>4 THEN X=4;

47 3          DE6:      DO CASE GUARDALINEAS(X);          /*GUARDALI
- NEAS(X) contiene un numero comprendido entre
- 0 y 4*/
50 4              DESCONECTO=11101111B;
51 4              DESCONECTO=11110111B;
52 4              DESCONECTO=11111011B;
53 4              DESCONECTO=11111101B;
54 4              DESCONECTO=11111110B;
55 4              END;
56 3              IF IL(GUARDALINEAS(X))<=45 THEN DO;
58 4                  OUTPUT(PORTB$RAM1)=03H;
59 4                  COR=01H;
60 4              END;
61 3          DE7:      OUTPUT(PORTB$RAM2)=LINESCONECTA
- DAS AND DESCONECTO;
62 3              DO I=1 TO 4;
63 4                  CALL TIME(250);
64 4              END;
65 3              IF COR=01H THEN GOTO DE11;
66 3          DE8:      CALL TRANSMISION$AL$PC;
67 3              DO I=1 TO 14;          /*Retardo de 350 m
- seg + tiempo de */

```

```

69 4          CALL TIME(250);      /*ejecucion de pro
- programa ~ 0.5 seg */
70 4          END;

71 3          DE9:          DES=00;
72 3          DO I=0 TO 2;
73 4          IF IG(I)>=229 THEN DES=01; /*Despues d
- e 0.5 seg de desconectada la linea */
75 4          END;          /*no se han
- recuperado los generadores*/
76 3          K=INPUT(PORTA$RAM1) AND 01H;
77 3          DE10:         IF DES=1 THEN
78 3          DE12:         DO;
79 4          DE13:         IF K=0 THEN CALL TRANSMISION$AL$PC
- ;
81 4          DE14:         GOTO DECA;
82 4          DE15:         END;
83 3          DE11:         IF K=0 THEN CALL TRANSMISION$AL$PC
- ;
85 3          DE16:         RETURN;
86 3          END;

87 2          END DESCARGA;
88 1          END MOD$DESCARGA;

```

MODULE INFORMATION:

```

CODE AREA SIZE      = 0273H      627D
VARIABLE AREA SIZE = 0016H      22D
MAXIMUM STACK SIZE = 0002H      2D
101 LINES READ
0 PROGRAM ERROR(S)

```

END OF PL/M-80 COMPILATION

ISIS-II PL/M-80 V3.1 COMPILATION OF MODULE TOMA\$DE\$DATOS
 OBJECT MODULE PLACED IN TDATA3.OBJ
 COMPILER INVOKED BY: PLM80 TDATA3.PLM WORKFILES(:F0:,:F0:)
 -DEBUG PAGELNGTH(54) PAGEWIDTH(60)

```

1          TOMA$DE$DATOS:DO;
2  1          DECLARE IG(3) BYTE EXTERNAL;
3  1          DECLARE IL(5) BYTE EXTERNAL;
4  1          DECLARE (INIC,LINDESCONECTADAS,CANALDA
-  C) BYTE EXTERNAL;
5  1          DECLARE FLG(3) BYTE EXTERNAL;
6  1          DECLARE T(3) ADDRESS EXTERNAL;
7  1          TDATOS:PROCEDURE PUBLIC;
8  2          DECLARE PORTA$RAM2 LITERALLY '31H';
9  2          DECLARE PORTB$RAM2 LITERALLY '32H';
10 2          DECLARE (B,I) BYTE;
11 2          DECLARE ADC(8) BYTE AT (2000H);
12 2          T1: DO;
13 3          DO I=0 TO 2;
14 4          IF FLG(I)=1 THEN DO;
16 5          T(I)=T(I)-1;
17 5          END;
18 4          END;
19 3          T2: IF CANALDAC<3 THEN DO;
21 4          IG(CANALDAC)=ADC(CANALDAC);
22 4          END;
23 3          ELSE DO;
24 4          IL(CANALDAC-3)=ADC(CANALDAC);
25 4          END;

26 3          CANALDAC=CANALDAC+1;
27 3          T3: IF CANALDAC=0EH THEN DO;
29 4          LINDESCONECTADAS=INPUT(PORTA$RAM2)
-  ;
30 4          CANALDAC=0;
31 4          INIC=0;
32 4          END;
33 3          ADC(CANALDAC)=0;
34 3          T10: RETURN;
35 3          END;
36 2          END TDATOS;
37 1          END TOMA$DE$DATOS;

```

MODULE INFORMATION:

```

CODE AREA SIZE      = 0097H      151D
VARIABLE AREA SIZE = 0002H       2D

```

MAXIMUM STACK SIZE = 0002H 2D
35 LINES READ
0 PROGRAM ERROR(S)

END OF PL/M-80 COMPILATION

LOC	OBJ		LINE	SOURCE STATEMENT
			1	EXTRN TDATOS, COMIEN
0000			2	ORG 0
0000	C50000	E	3	JMP COMIEN
0034			4	ORG 34H
0034	C50000	C	5	JMP RI1
			6	CSEG
0000	F3		7	RI1: DI
0001	F5		8	PUSH PSW
0002	E5		9	PUSH H
0003	D5		10	PUSH D
0004	C5		11	PUSH E
0005	CD0000	E	12	CALL TDATOS
0008	C1		13	POP B
0009	D1		14	POP D
000A	E1		15	POP H
000B	F1		16	POP PSW
000C	FB		17	EI
000D	C9		18	RI10: RET
			19	END

PUBLIC SYMBOLS

EXTERNAL SYMBOLS

COMIEN E 0000 TDATOS E 0000

USER SYMBOLS

COMIEN E 0000 RI1 C 0000 RI10 C 000D TDATOS E 0000

ASSEMBLY COMPLETE, NO ERRORS

P R O G R A M A D E L O R D E N A D O R


```

10 COLOR 7,0
20 CLS
30 SCREEN 0,0,0,0:KEY OFF
40 T$="a"
50 DIM A(20)
60 A$=""
70 CLS:PRINT "Entra parametros de los generadores "
80 PRINT "Potencia nominal :"
90 FOR I=1 TO 3
100 PRINT"GENERADOR ";I;":";
110 INPUT X(I)
120 NEXT I
130 CLOSE R1
140 OPEN "com1:1200,n,8,2" AS R1
150 CLS:IF ASC(T$)=5 THEN GOTO 160
160 REM calculo y mando los valores de alfa y beta
170 ALFA =(X(2)/X(1))*10
180 BETA=(X(3)/X(1))*10
190 INOMINAL=212 :MI$="":MA$="":ME$=""
200 IF EOF(1) THEN 200
210 MI$=MI$+INPUT$(LOC(1),R1)
220 F$=INPUT$(1,R1)
230 IF F$<>"%" THEN 200
240 PRINT R1,"% "
250 IF EOF(1) THEN GOTO 250
260 F$=INPUT$(1,R1)
270 IF F$<>"&" THEN GOTO 250
280 PRINT R1,CHR$(ALFA)
290 IF EOF(1) THEN 290
300 F$=INPUT$(1,R1)
310 IF F$<>"&" THEN 290
320 PRINT R1,CHR$(BETA)
330 IF EOF(1) THEN 330
340 F$=INPUT$(1,R1)
350 IF F$<>"&" THEN 330

```

```

360 PRINT R1,CHR$(INOMINAL)
370 IF EOF(1) THEN 370
380 V$=INPUT$(1,R1)
390 IF V$<>"&" THEN PRINT "FALLO EN LA TRANSMISION DE ALFA Y BETA":STOP
400 SWITCH=1
410 CLS
420 GOSUB 1400
430 A$=""
440 PRINT R1,"$"
450 FOR I=1 TO 100
460 A=0
470 NEXT I
480 T$=INKEY$:IF LEN(T$)<>0 THEN GOSUB 1830
490 IF EOF(1) THEN GOTO 440
500 A$=INPUT$(1,R1)
510 IF A$<>"$" THEN GOTO 440
520 A$=""
530 A$=A$+INPUT$(1,R1)
540 IF LEN(A$)=9 THEN 560
550 GOTO 530
560 IF SWITCH=0 THEN 430
570 FOR I=1 TO 9
580 A(I)=ASC(MID$(A$,I,1))
590 NEXT I
600 FOR I=1 TO 3
610 A(I)=INT((A(I)-45)*56.28743)
620 NEXT I
630 FOR I=4 TO 8
640 A(I)=INT((A(I)-45)*61.30437 )
650 NEXT I
660 B$=""
670 C=A(9)
680 I=0
690 Q=FIX(C/2)
700 IF C/2=FIX(C/2) THEN B$="0"+B$:GOTO 720

```

```

710 B$="1"+B$
720 I=I+1
730 IF C<2 THEN 760
740 C=0
750 GOTO 690
760 IF I<8 THEN B$="0"+B$
770 I=I+1:IF I>8 THEN 790
780 GOTO 760
790 FOR I=1 TO 8
800 B$(I)=MID$(B$,I,1)
810 IF B$(I)="1" THEN C$(I)="ON" ELSE C$(I)="OFF"
820 NEXT I
830 COLOR 0,7
840 FOR I=1 TO 3
850 LOCATE 4+2*I,36:PRINT "      "
860 X$(I)=STR$(X(I))
870 IF X(I)>9999 THEN LOCATE 4+2*I,37:PRINT LEFT$(X$(I),3);".";RIGHT$(X$(I),3):G
OTO 920
880 IF X(I)> 999 THEN LOCATE 4+2*I,38:PRINT LEFT$(X$(I),2);".";RIGHT$(X$(I),3)
890 IF LEN(X$(I))=3 THEN LOCATE 4+2*I,40:PRINT X(I)
900 IF LEN(X$(I))=2 THEN LOCATE 4+2*I,41:PRINT X(I)
910 IF LEN(X$(I))=1 THEN LOCATE 4+2*I,42:PRINT X(I)
920 NEXT I
930 R=0:L=0
940 FOR I=1 TO 3
950 R=R+A(I)
960 NEXT I
970 FOR I=4 TO 8
980 L=L+A(I)
990 NEXT I
1000 IF ABS(L-R)>=.02*R THEN SUMA=1
1010 LOCATE 2,59:PRINT "      ":LOCATE 2,69:PRINT "      "
1020 IF SUMA=1 THEN COLOR 16,7:LOCATE 2,55:PRINT "EG=";R;" e IL=";L :COLOR 7,0
1030 IF SUMA=0 THEN LOCATE 2,55:PRINT "EG=";R;" e IL=";L
1040 SUMA=0
1050 U=0

```

```
1060 FOR I=1 TO 8
1070 IF A(I)<0 THEN U=U+1:E(U)=I
1080 NEXT I
1090 IF U >0 THEN A(10)=A(10) OR 4
1100 FOR I=1 TO 3
1110 LOCATE 4+2*I,57:PRINT "      "
1120 IF C$(I)="ON" THEN COLOR 0,7 ELSE COLOR 16,7
1130 LOCATE 4+2*I,58:PRINT C$(I)
1140 NEXT I
1150 FOR I=4 TO 8
1160 LOCATE 6+2*I,57:PRINT "      "
1170 IF C$(I)="ON" THEN COLOR 0,7 ELSE COLOR 16,7
1180 LOCATE 6+2*I,58:PRINT C$(I)
1190 NEXT I
1200 COLOR 0,7
1210 FOR I=4 TO 6
1220 LOCATE 2*I-2,17:PRINT "      "
1230 IF A(I-3)<X(I-3) THEN COLOR 0,7 ELSE COLOR 16,7:GOSUB 1360
1240 LOCATE 2*I-2,16:PRINT A(I-3)
1250 COLOR 0,7
1260 NEXT I
1270 COLOR 0,7
1280 FOR I=7 TO 10
1290 LOCATE 2*I,17:PRINT "      "
1300 LOCATE 2*I,16:PRINT A(I-3)
1310 NEXT I
1320 LOCATE 22,17:PRINT "      "
1330 LOCATE 22,16:PRINT A(8)
1340 COLOR 7,0
1350 GOTO 430
1360 LOCATE 2*I-2,16:PRINT A(I-3)
1370 BEEP:BEEP:BEEP
1380 RETURN 1260
1390 CLS
1400 COLOR 7,0
```

```

1410 LOCATE 1,1:PRINT CHR$(201);STRING$(26,CHR$(205));CHR$(203);STRING$(24,CHR$(
205));CHR$(203);STRING$(25,CHR$(205));CHR$(187)
1420 LOCATE 2,28:PRINT CHR$(186):LOCATE 2,53:PRINT CHR$(186)
1430 LOCATE 3,28:PRINT CHR$(200);STRING$(24,CHR$(205));CHR$(188)
1440 FOR A=2 TO 23:LOCATE A,1:PRINT CHR$(186):NEXT A
1450 FOR A=2 TO 23:LOCATE A,79:PRINT CHR$(186):NEXT A
1460 LOCATE 23,1:PRINT CHR$(200);STRING$(77,CHR$(205));CHR$(188)
1470 FOR A=15 TO 55 STEP 20
1480 LOCATE 5,A:PRINT CHR$(218);STRING$(8,CHR$(196));CHR$(191)
1490 LOCATE 6,A:PRINT CHR$(179):LOCATE 6,A+9:PRINT CHR$(179)
1500 LOCATE 7,A:PRINT CHR$(195);STRING$(8,CHR$(196));CHR$(180)
1510 LOCATE 8,A:PRINT CHR$(179):LOCATE 8,A+9:PRINT CHR$(179)
1520 LOCATE 9,A:PRINT CHR$(195);STRING$(8,CHR$(196));CHR$(180)
1530 LOCATE 10,A:PRINT CHR$(179):LOCATE 10,A+9:PRINT CHR$(179)
1540 LOCATE 11,A:PRINT CHR$(192);STRING$(8,CHR$(196));CHR$(217)
1550 NEXT A
1560 FOR A=15 TO 55 STEP 40
1570 LOCATE 13,A:PRINT CHR$(218);STRING$(8,CHR$(196));CHR$(191)
1580 LOCATE 14,A:PRINT CHR$(179):LOCATE 14,A+9:PRINT CHR$(179)
1590 LOCATE 15,A:PRINT CHR$(195);STRING$(8,CHR$(196));CHR$(180)
1600 LOCATE 16,A:PRINT CHR$(179):LOCATE 16,A+9:PRINT CHR$(179)
1610 LOCATE 17,A:PRINT CHR$(195);STRING$(8,CHR$(196));CHR$(180)
1620 LOCATE 18,A:PRINT CHR$(179):LOCATE 18,A+9:PRINT CHR$(179)
1630 LOCATE 19,A:PRINT CHR$(195);STRING$(8,CHR$(196));CHR$(180)
1640 LOCATE 20,A:PRINT CHR$(179):LOCATE 20,A+9:PRINT CHR$(179)
1650 LOCATE 21,A:PRINT CHR$(195);STRING$(8,CHR$(196));CHR$(180)
1660 LOCATE 22,A:PRINT CHR$(179):LOCATE 22,A+9:PRINT CHR$(179)
1670 LOCATE 23,A:PRINT STRING$(11,CHR$(205))
1680 NEXT A
1690 LOCATE 23,15:PRINT CHR$(193):LOCATE 23,24:PRINT CHR$(193)
1700 LOCATE 23,55:PRINT CHR$(193):LOCATE 23,64:PRINT CHR$(193)
1710 LOCATE 2,30:COLOR 16,7:PRINT "CONTROL DE ESTABILIDAD":COLOR 7,0
1720 LOCATE 4,15:PRINT "POTENCIA":LOCATE 4,33:PRINT "POT.NOMINAL":LOCATE 4,56:PR
INT "ESTADO"
1730 LOCATE 6,2:PRINT "Generador 1:":LOCATE 6,26:PRINT "KVA":LOCATE 6,46:PRINT "
KVA"
1740 LOCATE 8,2:PRINT "Generador 2:":LOCATE 8,26:PRINT "KVA":LOCATE 8,46:PRINT "
KVA"

```

```
1760 LOCATE 12,15:PRINT "POTENCIA":LOCATE 12,56:PRINT "ESTADO"  
1770 LOCATE 14,2:PRINT "Linea 1:      ":LOCATE 14,25:PRINT " KVA"  
1780 LOCATE 16,2:PRINT "Linea 2:      ":LOCATE 16,25:PRINT " KVA"  
1790 LOCATE 18,2:PRINT "Linea 3:      ":LOCATE 18,25:PRINT " KVA"  
1800 LOCATE 20,2:PRINT "Linea 4:      ":LOCATE 20,25:PRINT " KVA"  
1810 LOCATE 22,2:PRINT "Linea 5:      ":LOCATE 22,25:PRINT " KVA"  
1820 RETURN  
1830 IF ASC(T$)=21 THEN SWITCH=0:RETURN  
1840 IF ASC(T$)=5 THEN PRINT R1,"R":GOTO 70  
1850 SWITCH=1  
1860 RETURN
```

A L G U N A S C O N S I D E R A C I O N E S

Tras la exposición software-hardware vamos a ultimar algunos detalles que no han sido nombrados aún.

Una vez desarrollados el software y hardware es necesario probar el funcionamiento del sistema y su capacidad para cumplir los requisitos que fueron establecidos en un principio. Para ello nos ayudamos de una herramienta que ha resultado imprescindible en la puesta a punto del sistema implementado. Se trata del emulador del sistema de desarrollo MDS-221 de Intel.

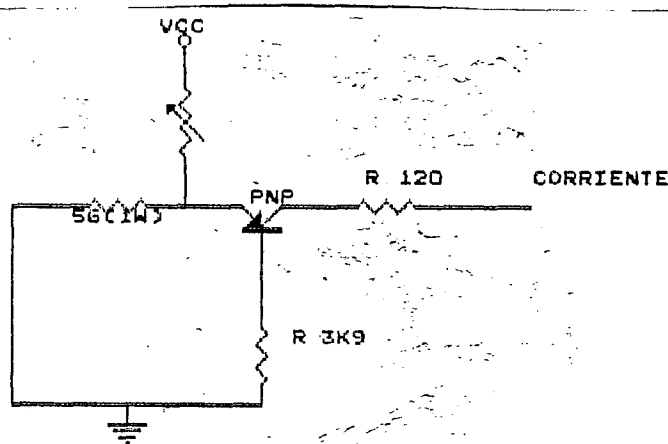
Por otra parte se han utilizado algunos circuitos eléctricos sencillos con el fin de proporcionar medios de emulación de las señales que los operarios de la central eléctrica deben suministrarnos. Se trata de dispositivos de simulación de señales de corriente (entre 4 y 20 mA),

así como simulación de las señales representativas de los estados ON-OFF de las líneas y generadores de la central.

La simulación de las corrientes que han de ser aplicadas a las entradas de los operacionales se ha efectuado mediante el diseño de fuentes de corriente que suministran valores de intensidad entre 11 y 22 mA.

Aunque no son exactamente las magnitudes que se darán en la instalación real del sistema, este margen de corriente es suficiente para realizar las pruebas adecuadas, pues nos cubre los puntos críticos de estudio del sistema (esto es, corrientes nominales, corrientes con un exceso del 10%, y corrientes menores que las nominales en un 10%). La situación de línea o generador desconectado es también simulable con solo desconectar el flujo de corriente por la entrada analógica correspondiente.

Los circuitos implementados para esto son ocho fuentes de corrientes, diseñadas con el transistor 2N2905 tipo PNP, y alimentadas con cinco voltios y masa, todas montadas sobre una placa de prueba. El esquema de cada fuente es el de la figura:



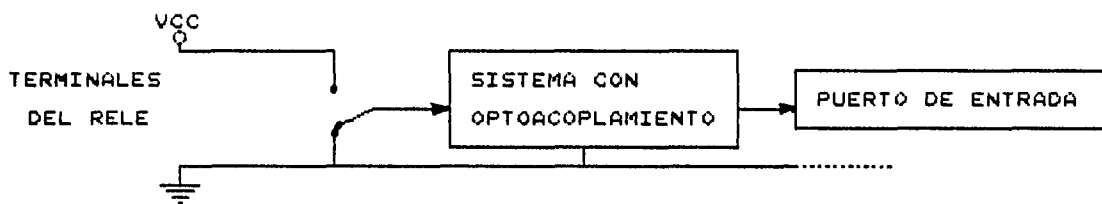
El circuito de las fuentes de corriente dispone de un potenciómetro por cada fuente; variando este potenciómetro se consiguen los valores de corriente entre los márgenes citados.

En cuanto al estado de las líneas se hace necesaria una realimentación "salida-entrada". Es decir, la salida de los relés se aplican a las entradas de los optoacopladores para que siempre se correspondan ambos valores. Así, apenas se produzca la descarga de una línea y el relé conmute, el puerto de entrada de los datos sobre los estados ON-OFF es actualizado.

En la práctica las cargas de líneas se producen manualmente, es decir, es el operario el que decide el momento de cargarla. La simulación de carga también es

posible en nuestro sistema. Simplemente hay que desconectar la realimentación relé-optoacoplador de la línea que se desea cargar. Esto evita la excitación del diodo de entrada al optoacoplador, dándose un nivel lógico uno a la entrada del puerto de lectura de estados.

Tras esto el programa hace una lectura de datos y actualiza los relé, produciéndose la conmutación del mismo. El terminal móvil del relé se conecta a la entrada de la circuitería anexa al optoacoplador. Los otros dos terminales a masa y cinco voltios. Una vez que el relé haya conmutado para cargar la línea se puede volver a conectar la realimentación sin problemas.



A pesar de estos métodos de simulación, la prueba del sistema en todas sus posibilidades de acción y control se hace bastante difícil. Hay muchas características de la central que no pueden ser simuladas mediante los generadores de corriente implementados.

En la central eléctrica siempre tendrá que ser idénticos el consumo a la generación. O sea, la suma de corrientes en los generadores debe ser igual a la suma de la corriente en las líneas, con un desfase permisible de un 2%, ya que también los servicios auxiliares consumen alguna potencia.

La existencia de una potencia de consumo mayor que la potencia de generación es indicio de que algo falla. Esta diferencia bien podría ser debida a la aparición de un cortocircuito en una de las líneas. Los generadores, al llegar a su límite máximo de representación numérica de corrientes (nunca se excederán los 20 mA aunque exista una potencia mayor que el 110%), aparecerán en pantalla con unas magnitudes inferiores a las reales. Es por eso que se advierte la diferencia de sumatorias.

Por otra parte, cuando se produce la descarga de una línea, automáticamente la potencia suministrada por los generadores debe descender en conjunto una cantidad igual a la potencia que consumía la línea.

Cuando un generador se desacopla por alguna razón, la potencia en los otros dos lógicamente debe aumentar en un valor igual a la potencia que antes suministraba el

desacoplado.

Cuando en una línea o en varias aumenta la potencia de consumo, la generación debe aumentar en la misma magnitud.

Todas estas características son difíciles de conseguir en la simulación con generadores de corriente, al menos que se utilicen dispositivos reales: líneas de carga reales, alimentadas por generadores reales, conexas reales entre estos elementos; en definitiva, habría que emplear dispositivos propios de ingeniería industrial o eléctrica.

Otra opción podría ser la implementación de un sistema microprocesador aparte, con un software adecuado, de tal forma que proporcionara unas corrientes de líneas y generadores con todas las características propias de los mismos, indicadas en los párrafos anteriores, y presentes en una situación real.

Como conclusión, se hace preciso un método de simulación en tiempo real más efectivo, más versátil y que cumpla los requisitos mencionados. La forma más adecuada de hacerlo es mediante el propio sistema de desarrollo y su emulador.

A nivel de curiosidad queda decir algunas cosas.

Para el desarrollo software-hardware del sistema se ha empleado un conjunto de aparatos, de gran ayuda, tales como:

- SDK-85
- Analizador lógico
- Osciloscopio de dos canales
- Fuentes de alimentación
- Sistema de desarrollo MDS-221 de Intel
- Ordenador PC

Todos ellos pertenecen al Laboratorio de Ordenadores de esta Escuela.

La memoria EPROM del sistema microprocesador ha sido grabada a través del ordenador PC/XT, utilizando un grabador de EPROM universal acoplado a él, además del software de control para tal dispositivo.

Para transmitir el fichero de códigos ejecutables desde el sistema de desarrollo, donde se ha llevado a cabo todo el software, hasta el ordenador existe un programa de transmisión: programa de comunicación sistema de desarrollo - ordenador PC, versión adaptada del QUILE6. El QUILE6 es un programa creado para la comunicación sistema

de desarrollo - terminal HP300. La versión adaptada se llama QUILE1.200, realizada por el alumno Francisco Cabrera Taisma.

Para la transmisión del fichero objeto se realiza en principio una conversión de objeto a hexadecimal. Se aplica al fichero resultante unos comandos, a través del editor de textos. Estos comandos son:

```
* JTT;!<DC9;L>  
* JTT;!<L;DC-4>
```

Con ello se consigue la compactación del fichero hexadecimal. Entonces es enviado al PC por ejecución del programa QUILE1.200.

El programa de recepción ejecutado en el PC es denominado MDS1200. La transmisión se efectúa dos veces, los datos se destinan a dos ficheros distintos, para ser comparados y verificar que no se han producido errores en la comunicación.

Tras esto el fichero de datos es convertido de código hexadecimal a código objeto, para su posterior grabación en la EPROM.

El prototipo se ha preparado para su instalación en una caja metálica, junto con una fuente de alimentación de +12/-12 V por un lado, y 5 V por otro. En el panel frontal aparecen ocho diodos LED que indican el estado ON-OFF de líneas y generadores de forma visual. Existe además un interruptor para el encendido del sistema y una lamparilla indicadora de dicho estado.

P A R T E I I I

E S T U D I O E C O N O M I C O

E S T D I O E C O N O M I C O

Esta última parte del proyecto desarrolla un estudio económico del mismo. Se lleva a cabo mediante la relación de precios de cada uno de los componentes utilizados, tanto electrónicos como mecánicos. Se tiene en cuenta además la mano de obra, horas de trabajo, honorarios y algunos otros aspectos.

COMPONENTES ELECTRONICOS

RELACION DE CIRCUITOS INTEGRADOS

<u>CANTIDAD</u>	<u>COMPONENTE</u>	<u>PRECIO/UNIDAD</u>	<u>TOTAL</u>
1	8085	600	600
2	8155	960	1920
1	8212	672	672
1	74138	300	300
1	2732	1128	1128
1	8251	700	700
1	ADC0808	1250	1250
1	MC1488	92	92
1	MC1489	92	92
2	UA723	92	184
4	LM324	58	232
1	7402	46	46
2	7912	172	344
8	4N27	96	96

TOTAL = 8.328 ptas.

OTROS COMPONENTES ELECTRONICOS

<u>CANTIDAD</u>	<u>COMPONENTE</u>	<u>PRECIO/UNIDAD</u>	<u>TOTAL</u>
RESISTENCIAS			
1	200	20	20
8	220	20	160
16	1K	20	320
9	3K9	20	180
8	10K	20	160
8	2K2	20	160
1	360	20	20
1	820	20	20
1	680	20	20
2	560	20	40
8	56-1/2w	30	240
5	5K6	20	100
8	120	20	160

TOTAL = 1600 ptas.

POTENCIOMETROS

1	1K	50	50
8	100	50	450

TOTAL = 450 ptas.

CONDENSADORES

26	10nF	46	1196
3	2200uF	350	1050

TOTAL = 2246 ptas.

OTROS ELEMENTOS

1	crystal 6,114MHz	494	494
30	1N4007	30	900
8	ZENER	40	320
10	LED	30	300
5	107B	63	315
1	BD679	100	100
1	BD678	100	100
5	RELE	200	1000
1	Transformador		
	220- +/-18V	2500	2500
1	Transformador		
	220- +9V	1650	1650
3	puentes diodo	150	150
1	fusible	40	40
1	lamparilla	75	75

TOTAL = 8244 ptas.

COMPONENTES ELECTRONICOS: TOTAL = 20.868 ptas.

COMPONENTES MECANICOS

<u>CANTIDAD</u>	<u>COMPONENTE</u>	<u>PRECIO/UNIDAD</u>	<u>TOTAL</u>
1	pulsador	45	45
1	conmutador	50	50
4	AWH26	400	400
30cm	cable	160	160
1	placa wire-wrap	300	300
1	"	450	450
1	"	550	550
1	hilo wire-wrap	430	430
12	separadores	20	240
2	conec. canon	1000	2000
1	aleta refriger.	400	400
1	caja metálica	4000	4000
10m	cable coaxial	125	1250

COMPONENTES MECANICOS: TOTAL = 11.475 ptas.

MANO DE OBRA

<u>HORAS</u>	<u>PRECIO/HORA</u>	<u>TOTAL</u>
700	1200	840.000

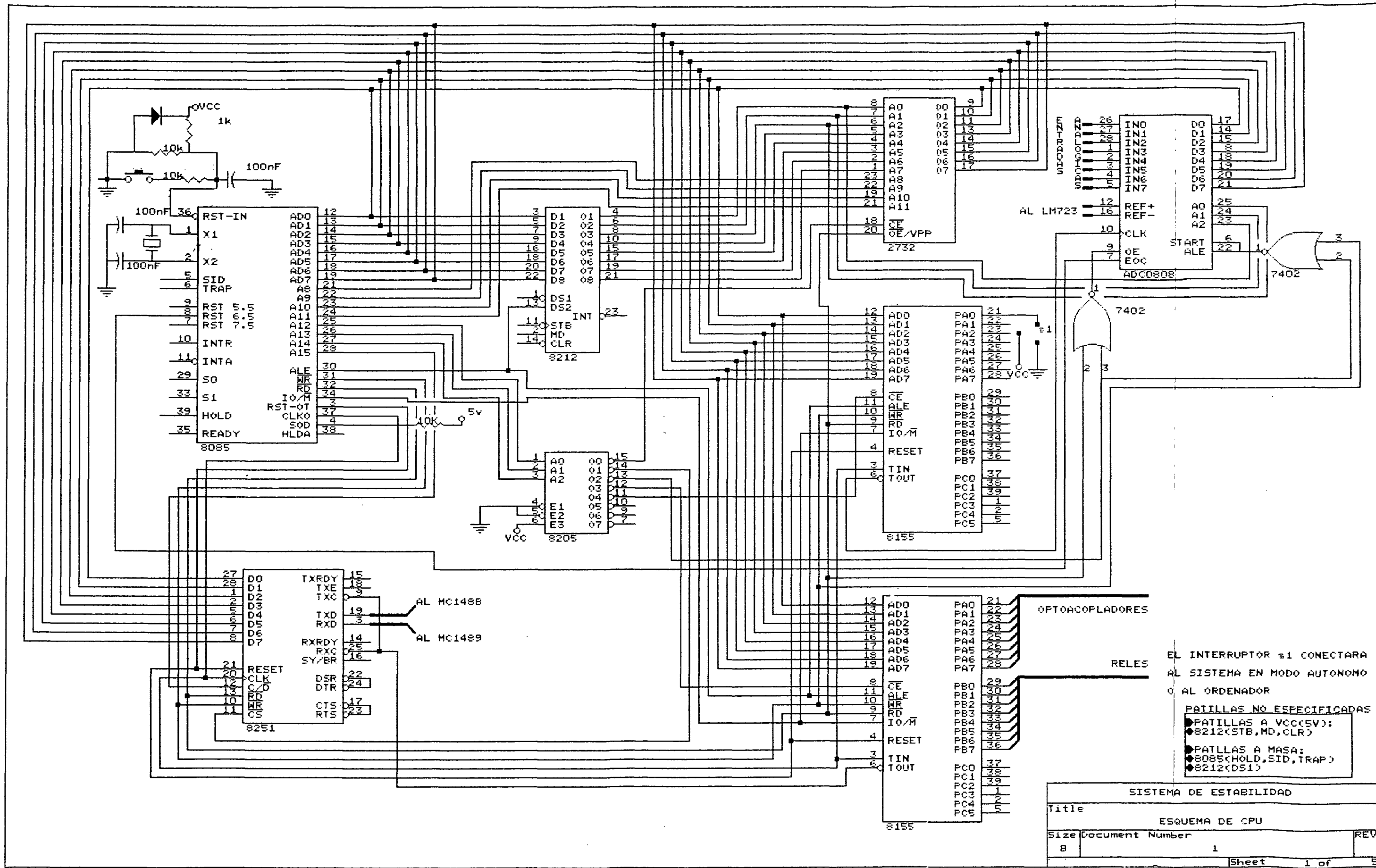
PRESUPUESTO TOTAL

COMPONENTES ELECTRONICOS.....20868 ptas
COMPONENTES MECANICOS.....11475 ptas
DESPLAZAMIENTOS.....2500 ptas
MANO DE OBRA.....840.000 ptas
MECANOGRAFIA.....11.000 ptas

TOTAL: 885.843 ptas.

A P E N D I C E

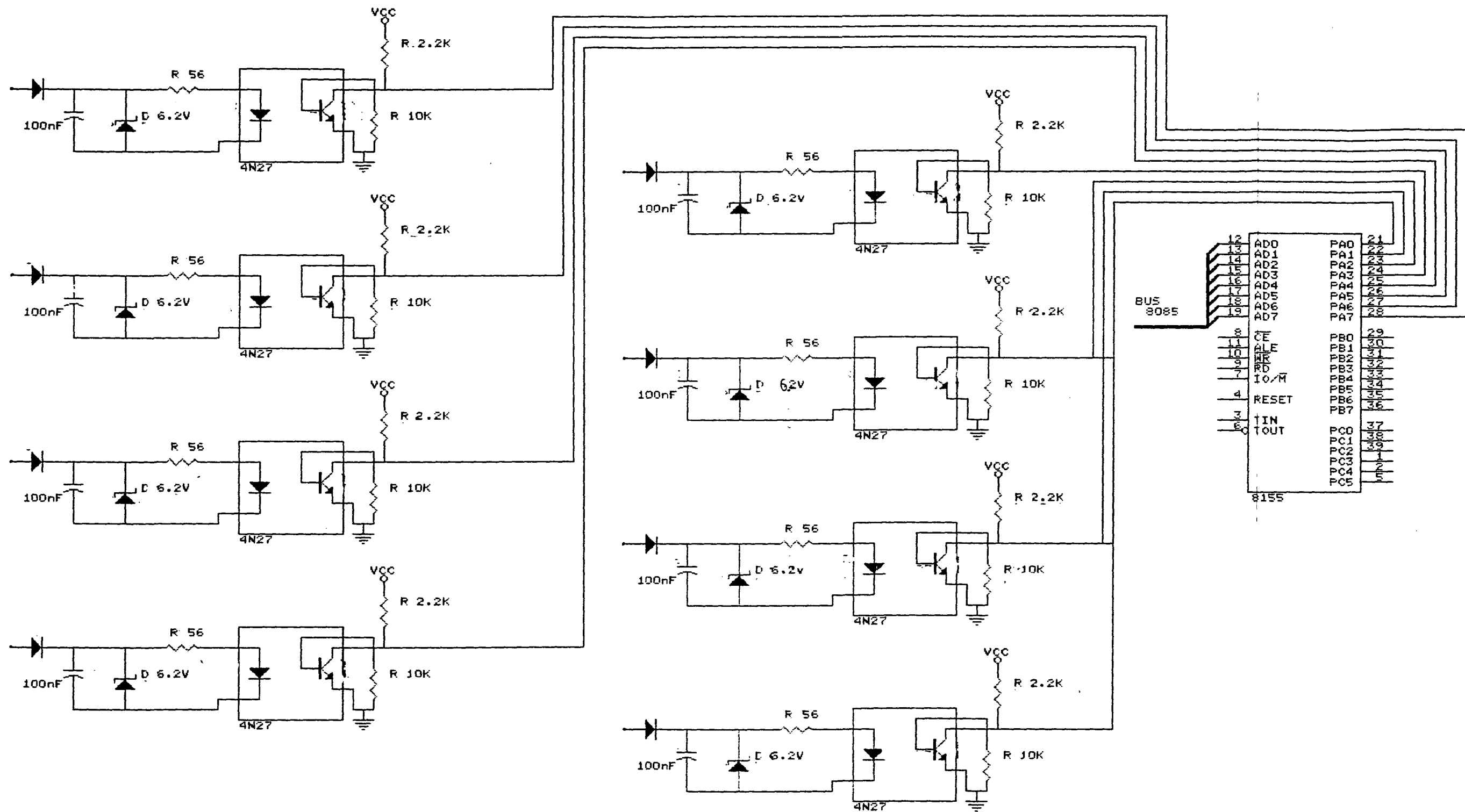
P L A N O S



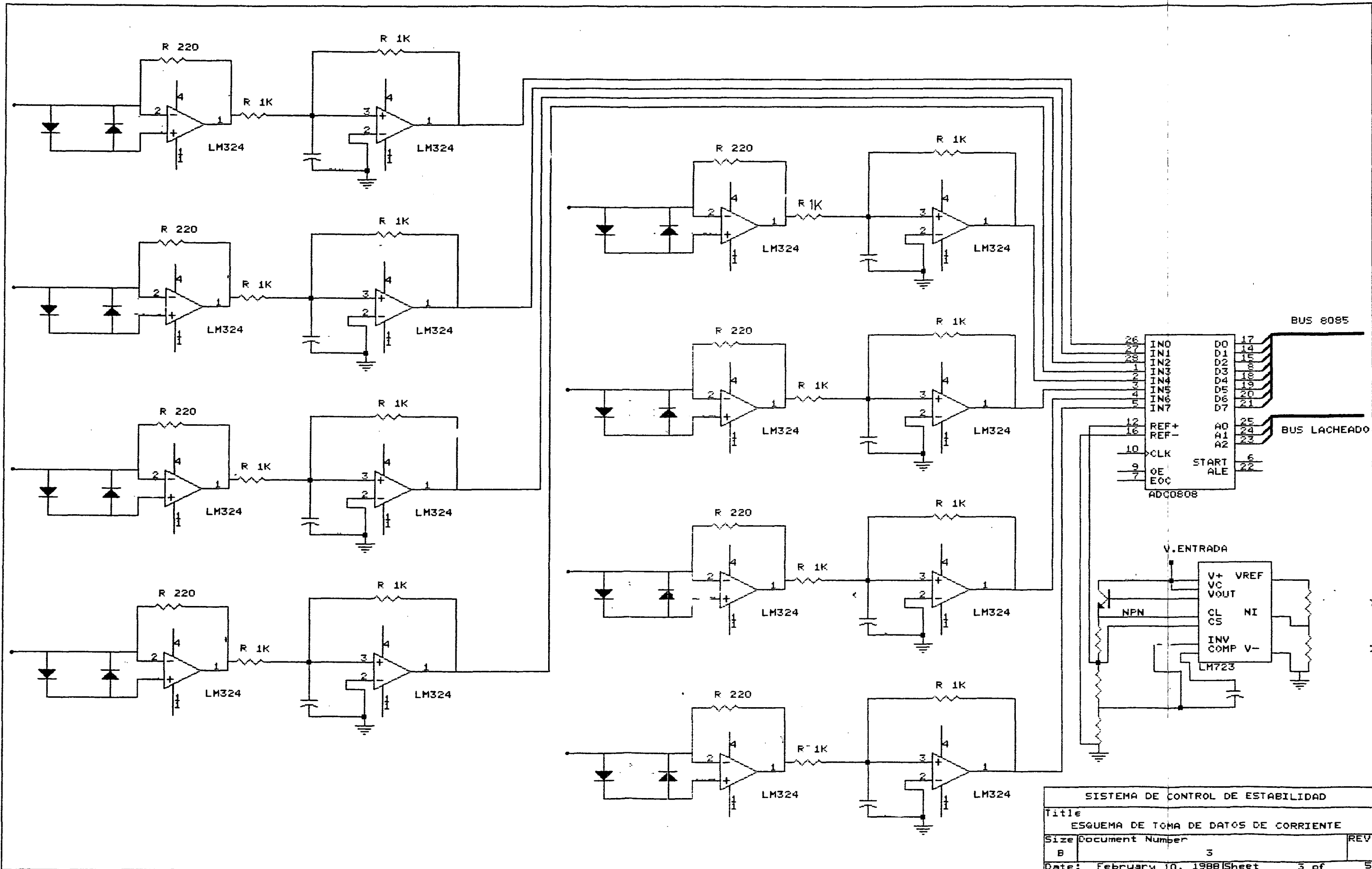
EL INTERRUPTOR s1 CONECTARA
 AL SISTEMA EN MODO AUTONOMO
 O AL ORDENADOR

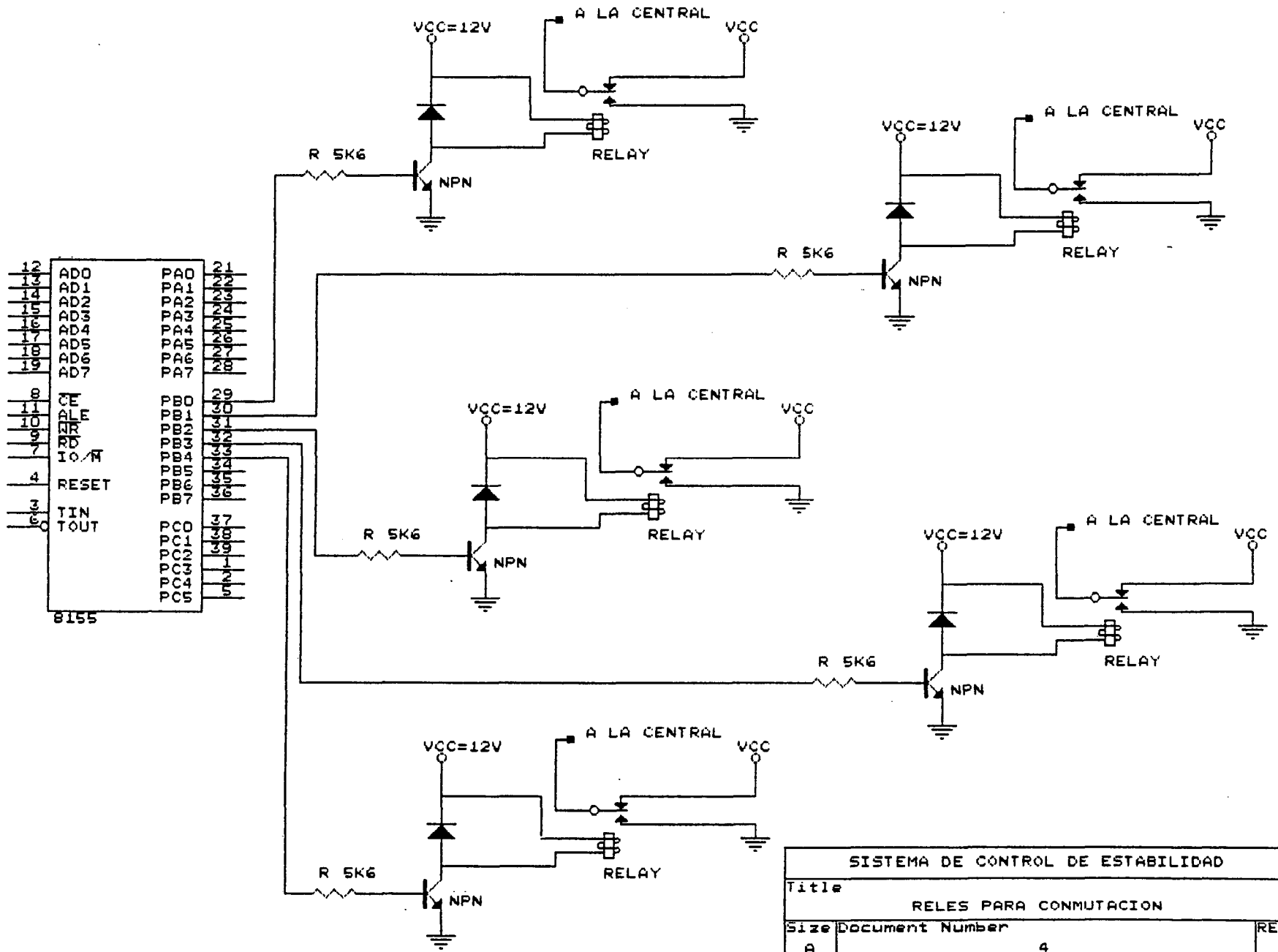
- PATILLAS NO ESPECIFICADAS**
- PATILLAS A VCC(5V):
 - 8212(STB,MD,CLR)
 - PATILLAS A MASA:
 - 8085(HOLD,SID,TRAP)
 - 8212(DS1)

SISTEMA DE ESTABILIDAD		
Title		
ESQUEMA DE CPU		
Size	Document Number	REV
B	1	
Sheet		1 of 5



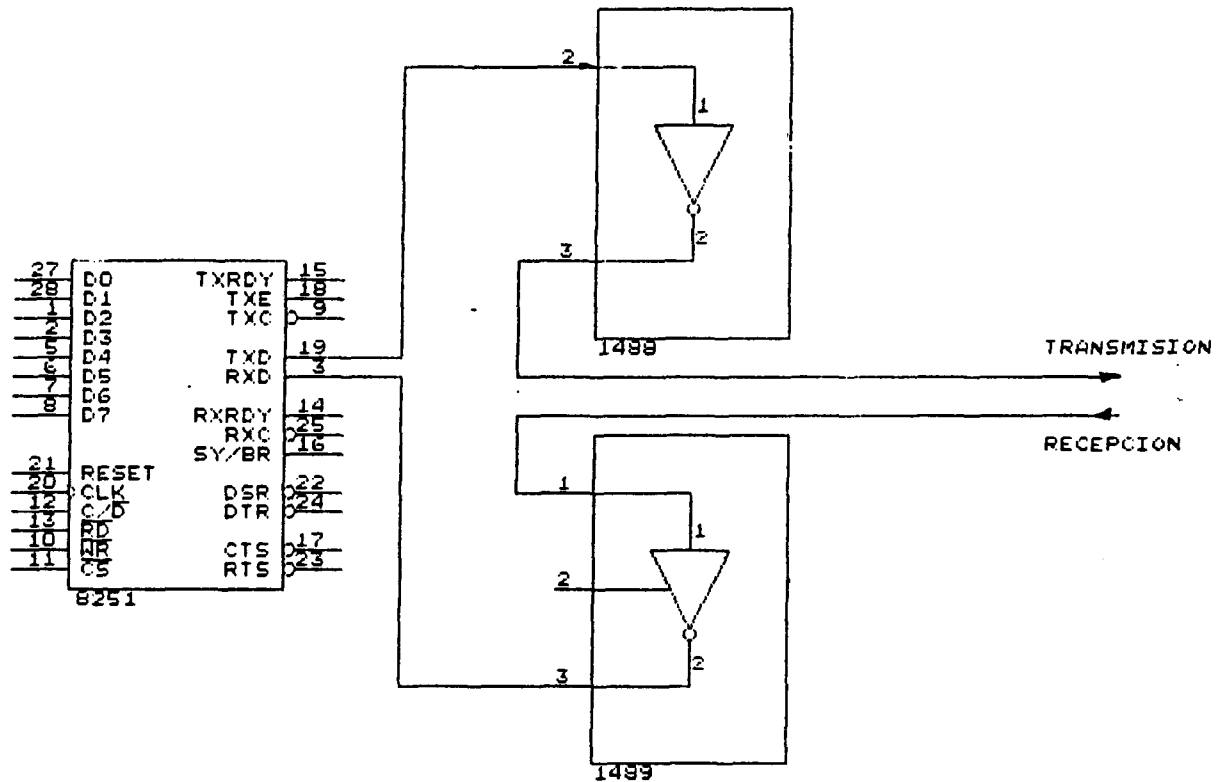
SISTEMA DE CONTROL DE ESTABILIDAD		
Title	TOMA DE DATOS SOBRE ESTADOS	
Size	Document Number	REV
B	2	
Sheet		2 of 5





12	AD0	PA0	21
13	AD1	PA1	22
14	AD2	PA2	23
15	AD3	PA3	24
16	AD4	PA4	25
17	AD5	PA5	26
18	AD6	PA6	27
19	AD7	PA7	28
8	CE	PB0	29
11	ALE	PB1	30
10	WR	PB2	31
9	RD	PB3	32
7	IO/M	PB4	33
4	RESET	PB5	34
3	TIN	PB6	35
6	TOUT	PB7	36
		PC0	37
		PC1	38
		PC2	39
		PC3	1
		PC4	2
		PC5	3

SISTEMA DE CONTROL DE ESTABILIDAD			
Title			
RELES PARA CONMUTACION			
Size	Document Number		REV
A	4		
Sheet			4 of 5



SISTEMA DE CONTROL DE ESTABILIDAD		
Title		
TRANSMISION DE DATOS		
Size	Document Number	REV
A	5	
Sheet		of 5

C A R A C T E R I S T I C A S D E
C O M P O N E N T E S

8085AH/8085AH-2/8085AH-1 8-BIT HMOS MICROPROCESSORS

- Single +5V Power Supply with 10% Voltage Margins
- 3 MHz, 5 MHz and 6 MHz Selections Available
- 20% Lower Power Consumption than 8085A for 3 MHz and 5 MHz
- 1.3 μs Instruction Cycle (8085AH); 0.8 μs (8085AH-2); 0.67 μs (8085AH-1)
- 100% Compatible with 8085A
- 100% Software Compatible with 8080A
- On-Chip Clock Generator (with External Crystal, LC or RC Network)
- On-Chip System Controller; Advanced Cycle Status Information Available for Large System Control
- Four Vectored Interrupt Inputs (One is Non-Maskable) Plus an 8080A-Compatible Interrupt
- Serial In/Serial Out Port
- Decimal, Binary and Double Precision Arithmetic
- Direct Addressing Capability to 64K Bytes of Memory
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8085AH is a complete 8 bit parallel Central Processing Unit (CPU) implemented in N-channel, depletion load, silicon gate technology (HMOS). Its instruction set is 100% software compatible with the 8080A microprocessor, and it is designed to improve the present 8080A's performance by higher system speed. Its high level of system integration allows a minimum system of three IC's (8085AH (CPU), 8156H (RAM/IO) and 8355/8755A (ROM/PROM/IO)) while maintaining total system expandability. The 8085AH-2 and 8085AH-1 are faster versions of the 8085AH.

The 8085AH incorporates all of the features that the 8224 (clock generator) and 8228 (system controller) provided for the 8080A, thereby offering a high level of system integration.

The 8085AH uses a multiplexed data bus. The address is split between the 8 bit address bus and the 8 bit data bus. The on-chip address latches of 8155H/8156H/8355/8755A memory products allow a direct interface with the 8085AH.

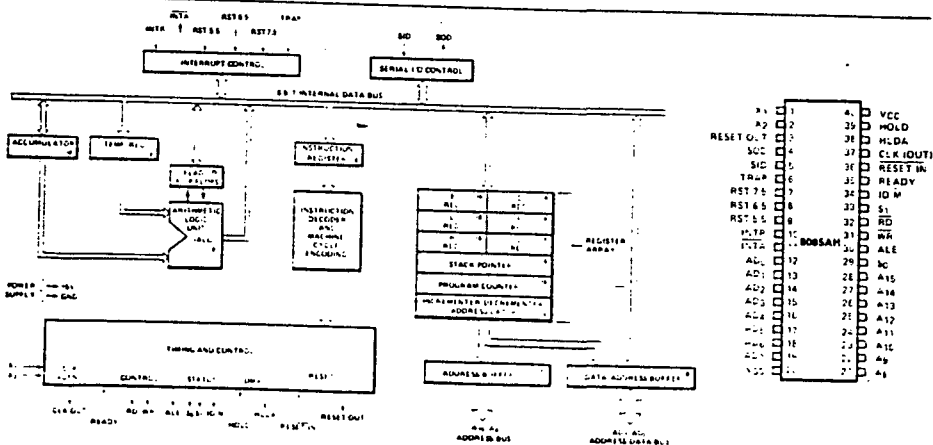


Figure 1. 8085AH CPU Functional Block Diagram

Figure 2. 8085AH Pin Configuration

Table 1. Pin Description		
Symbol	Type	Name and Function
A ₈ -A ₁₅	O	Address Bus: The most significant 8 bits of the memory address or the 8 bits of the I/O address. 3-stated during Hold and Halt modes and during RESET.
AD ₀ -7	I/O	Multiplexed Address/Data Bus: Lower 8 bits of the memory address (or I/O address) appear on the bus during the first clock cycle (T state) of a machine cycle. It then becomes the data bus during the second and third clock cycles.
ALE	O	Address Latch Enable: It occurs during the first clock state of a machine cycle and enables the address to get latched into the on-chip latch of peripherals. The falling edge of ALE is set to guarantee setup and hold times for the address information. The falling edge of ALE can also be used to strobe the status information. ALE is never 3-stated.
S ₀ , S ₁ , and I/O M	O	Machine Cycle Status: I/O M S ₁ S ₀ Status 0 0 1 Memory write 0 1 0 Memory read 1 0 1 I/O write 1 1 0 I/O read 0 1 1 Opcode fetch 1 1 1 Opcode fetch 1 1 1 Interrupt Acknowledge * 0 0 Halt * X X Hold * X X Reset * = 3-state (high impedance) X = unspecified S ₁ can be used as an advanced R/W status. I/O M, S ₀ and S ₁ become valid at the beginning of a machine cycle and remain stable throughout the cycle. The falling edge of ALE may be used to latch the state of these lines.
RD	O	Read Control: A low level on RD indicates the selected memory or I/O device is to be read and that the Data Bus is available for the data transfer. 3-stated during Hold and Halt modes and during RESET.
WR	O	Write Control: A low level on WR indicates the data on the Data Bus is to be written into the selected memory or I/O location. Data is set up at the trailing edge of WR. 3-stated during Hold and Halt modes and during RESET.
READY	I	Ready: If READY is high during a read or write cycle, it indicates that the memory or peripheral is ready to send or receive data. If READY is low, the cpu will wait an integral number of clock cycles for READY to go high before completing the read or write cycle. READY must conform to specified setup and hold times.
HOLD	I	Hold: Indicates that another master is requesting the use of the address and data buses. The cpu, upon receiving the hold request, will relinquish the use of the bus as soon as the completion of the current bus transfer. Internal processing can continue. The processor can regain the bus only after the HOLD is removed. When the HOLD is acknowledged, the Address, Data RD, WR, and I/O M lines are 3-stated.
HLDA	O	Hold Acknowledge: Indicates that the cpu has received the HOLD request and that it will relinquish the bus in the next clock cycle. HLDA goes low after the Hold request is removed. The cpu takes the bus one half clock cycle after HLDA goes low.
INTR	I	Interrupt Request: Is used as a general purpose interrupt. It is sampled only during the next to the last clock cycle of an instruction and during Hold and Halt states. If it is active, the Program Counter (PC) will be inhibited from incrementing and an INTA will be issued. During this cycle a RESTART or CALL instruction can be inserted to jump to the interrupt service routine. The INTR is enabled and disabled by software. It is disabled by Reset and immediately after an interrupt is accepted.
INTA	O	Interrupt Acknowledge: Is used instead of (and has the same timing as) RD during the instruction cycle after an INTR is accepted. It can be used to activate an 8259A interrupt chip or some other interrupt port.
RST 5.5, RST 6.5, RST 7.5	I	Restart interrupts: These three inputs have the same timing as INTR except they cause an internal RESTART to be automatically inserted. The priority of these interrupts is ordered as shown in Table 2. These interrupts have a higher priority than INTR. In addition, they may be individually masked out using the SIM instruction.

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Employed in an Intel® Product. No Other Circuit Patent Licenses are Implied.
*INTEL CORPORATION, 1981

Table 1. Pin Description (Continued)

Symbol	Type	Name and Function
TRAP	I	Trap: Trap interrupt is a non-maskable RESTART interrupt. It is recognized at the same time as INTR or RST 5.5-7.5. It is unaffected by any mask or Interrupt Enable. It has the highest priority of any interrupt. (See Table 2.)
RESET IN	I	Reset In: Sets the Program Counter to zero and resets the interrupt Enable and HLDA flip-flops. The data and address buses and the control lines are 3-stated during RESET and because of the asynchronous nature of RESET, the processor's internal registers and flags may be altered by RESET with unpredictable results. RESET IN is a Schmitt-triggered input, allowing connection to an R-C network for power-on RESET delay (see Figure 3). Upon power-up, RESET IN must remain low for at least 10 ns after minimum V _{CC} has been reached. For proper reset operation after the power-up duration, RESET IN should be kept low a minimum of three clock periods. The CPU is held in the reset condition as long as RESET IN is applied.

Table 2. Interrupt Priority, Restart Address, and Sensitivity

Name	Priority	Address Branched To (1) When Interrupt Occurs	Type Trigger
TRAP	1	24H	Rising edge AND high level until sampled.
RST 7.5	2	3CH	Rising edge (latched).
RST 6.5	3	34H	High level until sampled.
RST 5.5	4	2CH	High level until sampled.
INTR	5	See Note .2.	High level until sampled.

NOTES:

- The processor pushes the PC on the stack before branching to the indicated address.
- The address branched to depends on the instruction provided to the cpu when the interrupt is acknowledged.

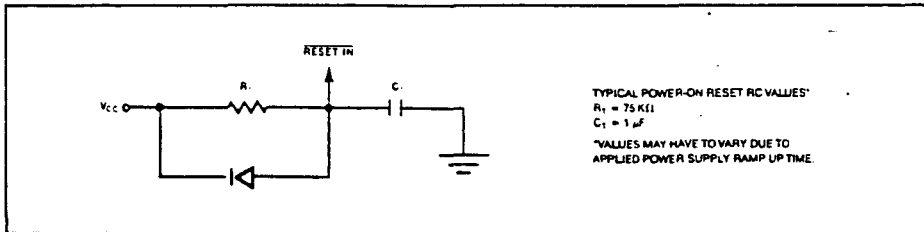


Figure 3. Power-On Reset Circuit

FUNCTIONAL DESCRIPTION

The 8085AH is a complete 8-bit parallel central processor. It is designed with N-channel, depletion load, silicon gate technology (HMOS), and requires a single +5 volt supply. Its basic clock speed is 3 MHz (8085AH), 5 MHz (8085AH-2), or 6 MHz (8085AH-1), thus improving on the present 8080A's performance with higher system speed. Also it is designed to fit into a minimum system of three IC's: The CPU (8085AH), a RAM/I/O (8156H), and a ROM or EPROM/I/O chip (8355 or 8755A).

The 8085AH has twelve addressable 8-bit registers. Four of them can function only as two 16-bit register pairs. Six others can be used interchangeably as 8-bit registers or as 16-bit register pairs. The 8085AH register set is as follows:

Mnemonic	Register	Contents
ACC or A	Accumulator	8 bits
PC	Program Counter	16-bit address
BC,DE,HL	General-Purpose Registers: data pointer (HL)	8 bits x 6 or 16 bits x 3
SP	Stack Pointer	16-bit address
Flags or F	Flag Register	5 flags (8-bit space)

The 8085AH uses a multiplexed Data Bus. The address is split between the higher 8-bit Address Bus and the lower 8-bit Address/Data Bus. During the first T state (clock cycle) of a machine cycle the low order address is sent out on the Address/Data bus. These lower 8 bits may be latched externally by the Address Latch Enable signal (ALE). During the rest of the machine cycle the data bus is used for memory or I/O data.

The 8085AH provides RD, WR, S₀, S₁, and IO/M signals for bus control. An Interrupt Acknowledge signal (INTA) is also provided. HOLD and all interrupts are synchronized with the processor's internal clock. The 8085AH also provides Serial Input Data (SID) and Serial Output Data (SOD) lines for simple serial interface.

In addition to these features, the 8085AH has three maskable, vector interrupt pins, one nonmaskable TRAP interrupt, and a bus vectored interrupt, INTR.

INTERRUPT AND SERIAL I/O

The 8085AH has 5 interrupt inputs: INTR, RST 5.5, RST 6.5, RST 7.5, and TRAP. INTR is identical in function to the 8080A INT. Each of the three RESTART inputs, 5.5, 6.5, and 7.5, has a programmable mask. TRAP is also a RESTART interrupt but it is nonmaskable.

The three maskable interrupts cause the internal execution of RESTART (saving the program counter in the stack and branching to the RESTART address) if the interrupts are enabled and if the interrupt mask is not set. The nonmaskable TRAP causes the internal execution of a RESTART vector independent of the state of the interrupt enable or masks. (See Table 2.)

There are two different types of inputs in the restart interrupts. RST 5.5 and RST 6.5 are high level-sensitive like INTR (and INT on the 8080) and are recognized with the same timing as INTR. RST 7.5 is rising edge-sensitive.

For RST 7.5, only a pulse is required to set an internal flip-flop which generates the internal interrupt request (a normally high level signal with a low going pulse is recommended for highest system noise immunity). The RST 7.5 request flip-flop remains set until the request is serviced. Then it is reset automatically. This flip-flop may also be reset by using the SIM instruction or by issuing a RESET IN to the 8085AH. The RST 7.5 internal flip-flop will be set by a pulse on the RST 7.5 pin even when the RST 7.5 interrupt is masked out.

The status of the three RST interrupt masks can only be affected by the SIM instruction and RESET IN. (See SIM, Chapter 5 of the MCS-80/85 User's Manual.)

The interrupts are arranged in a fixed priority that determines which interrupt is to be recognized if more than one is pending as follows: TRAP—highest priority, RST 7.5, RST 6.5, RST 5.5, INTR—lowest priority. This priority scheme does not take into account the priority of a routine that was started by a higher priority interrupt. RST 5.5 can interrupt an RST 7.5 routine if the interrupts are re-enabled before the end of the RST 7.5 routine.

The TRAP interrupt is useful for catastrophic events such as power failure or bus error. The TRAP input is recognized just as any other interrupt but has the highest priority. It is not affected by any flag or mask. The TRAP input is both edge and level sensitive. The TRAP input must go high and remain high until it is acknowledged. It will not be recognized again until it goes low, then high again. This avoids any false triggering due to noise or logic glitches. Figure 4 illustrates the TRAP interrupt request circuitry within the 8085AH. Note that the servicing of any interrupt (TRAP, RST 7.5, RST 6.5, RST 5.5, INTR) disables all future interrupts (except TRAPs) until an EI instruction is executed.

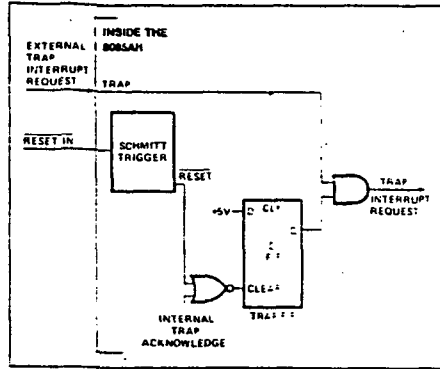


Figure 4. TRAP and RESET IN Circuit

The TRAP interrupt is special in that it disables interrupts, but preserves the previous interrupt enable status. Performing the first RIM instruction following a TRAP interrupt allows you to determine whether interrupts were enabled or disabled prior to the TRAP. All subsequent RIM instructions provide current interrupt enable status. Performing a RIM instruction following INTR, or RST 5.5-7.5 will provide current Interrupt Enable status, revealing that interrupts are disabled. See the description of the RIM instruction in the MCS-80/85 Family User's Manual.

The serial I/O system is also controlled by the RIM and SIM instructions. SID is read by RIM, and SIM sets the SOD data.

DRIVING THE X₁ AND X₂ INPUTS

You may drive the clock inputs of the 8085AH, 8085AH-2, or 8085AH-1 with a crystal, an LC tuned circuit, an RC network, or an external clock source. The crystal frequency must be at least 1 MHz, and must be twice the desired internal clock frequency; hence, the 8085AH is operated with a 6 MHz crystal (for 3 MHz clock), the 8085AH-2 operated with a 10 MHz crystal (for 5 MHz clock), and the 8085AH-1 can be operated with a 12 MHz crystal (for 6 MHz clock). If a crystal is used, it must have the following characteristics:

- Parallel resonance at twice the clock frequency desired
- C_L (load capacitance) ≤ 30 pF
- C_S (shunt capacitance) ≤ 7 pF
- R_S (equivalent shunt resistance) ≤ 75 Ohms
- Drive level: 10 mW
- Frequency tolerance: ± .005% (suggested)

Note the use of the 20 pF capacitor between X₂ and ground. This capacitor is required with crystal frequencies below 4 MHz to assure oscillator startup at the correct frequency. A parallel-resonant LC circuit may be used as the frequency-determining network for the 8085AH, providing that its frequency tolerance of approximately ± 10% is acceptable. The components are chosen from the formula:

$$f = \frac{1}{2\pi\sqrt{L(C_{ext} + C_{int})}}$$

To minimize variations in frequency, it is recommended that you choose a value for C_{ext} that is at least twice that of C_{int}, or 30 pF. The use of an LC circuit is not recommended for frequencies higher than approximately 5 MHz.

An RC circuit may be used as the frequency-determining network for the 8085AH if maintaining a precise clock frequency is of no importance. Variations in the on-chip timing generation can cause a wide variation in frequency when using the RC mode. Its advantage is its low component cost. The driving frequency generated by the circuit shown is approximately 3 MHz. It is not recommended that frequencies greatly higher or lower than this be attempted.

Figure 5 shows the recommended clock driver circuits. Note in D and E that pullup resistors are required to assure that the high level voltage of the input is at least 4V and maximum low level voltage of 0.8V.

For driving frequencies up to and including 6 MHz you may supply the driving signal to X₁ and leave X₂ open-circuited (Figure 5D). If the driving frequency is from 6 MHz to 12 MHz, stability of the clock generator will be improved by driving both X₁ and X₂ with a push-pull source (Figure 5E). To prevent self-oscillation of the 8085AH, be sure that X₂ is not coupled back to X₁ through the driving circuit.

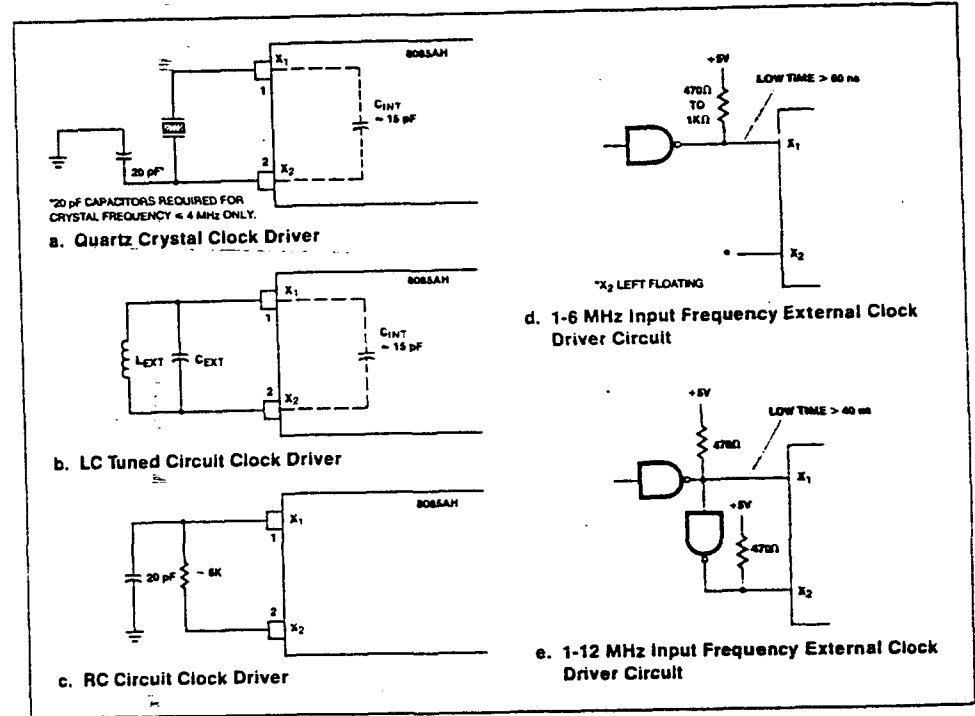


Figure 5. Clock Driver Circuits

GENERATING AN 8085AH WAIT STATE

If your system requirements are such that slow memories or peripheral devices are being used, the circuit shown in Figure 6 may be used to insert one WAIT state in each 8085AH machine cycle.

- The D flip-flops should be chosen so that
- CLK is rising edge-triggered
- CLEAR is low-level active.

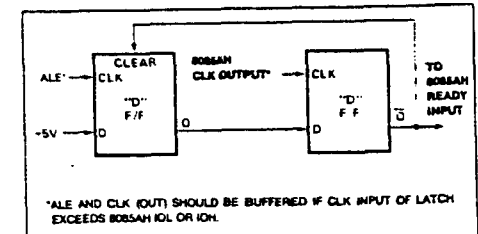


Figure 6. Generation of a Wait State for 8085AH CPU

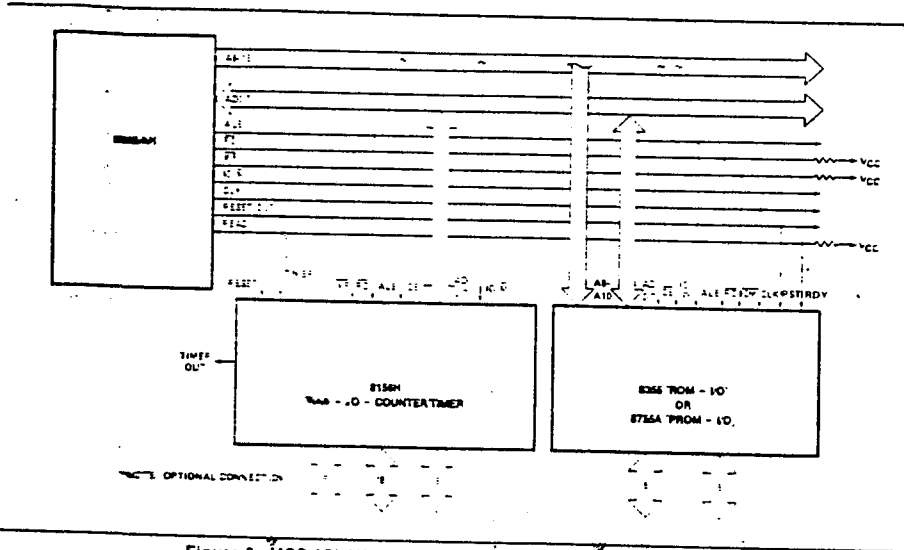


Figure 8. MCS-85 Minimum System (Memory Mapped I/O)

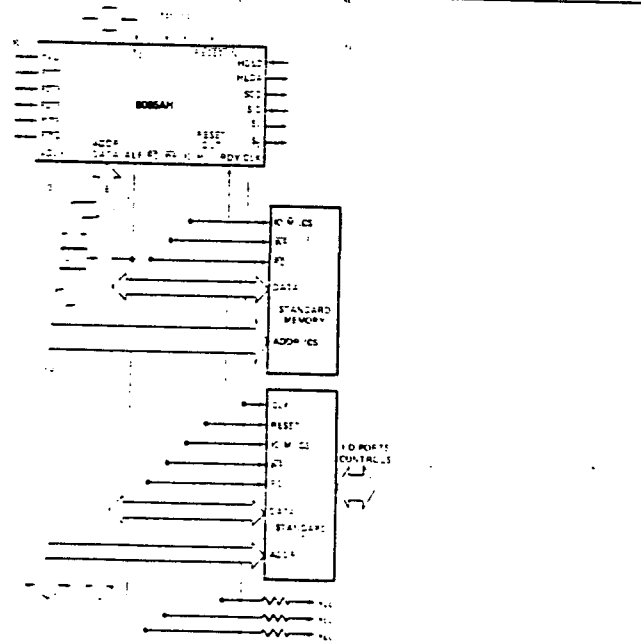


Figure 9. MCS-85 System (Using Standard Memories)

As in the 8080, the READY line is used to extend the read and write pulse lengths so that the 8085AH can be used with slow memory. HOLD causes the CPU to relinquish the bus when it is through with it by floating the Address and Data Buses.

SYSTEM INTERFACE

The 8085AH family includes memory components, which are directly compatible to the 8085AH CPU. For example, a system consisting of the three chips, 8085AH, 8156H, and 8355 will have the following features:

- 2K Bytes ROM
- 256 Bytes RAM
- 1 Timer/Counter
- 4 8-bit I/O Ports
- 1 6-bit I/O Port
- 4 Interrupt Levels
- Serial In/Serial Out Ports

This minimum system, using the standard I/O technique is as shown in Figure 7.

In addition to standard I/O, the memory mapped I/O offers an efficient I/O addressing technique. With this technique, an area of memory address space is assigned for I/O address, thereby, using the memory address for I/O manipulation. Figure 8 shows the system configuration of Memory Mapped I/O using 8085AH.

The 8085AH CPU can also interface with the standard memory that does *not* have the multiplexed address/data bus. It will require a simple 8212 (8-bit latch) as shown in Figure 9.

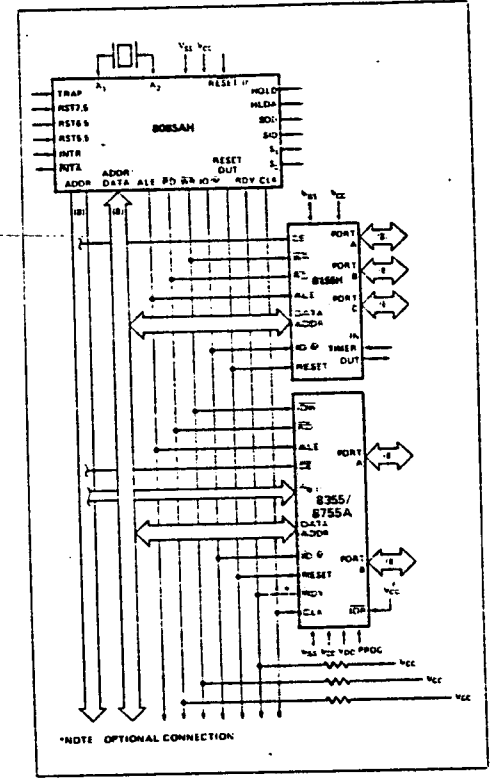


Figure 7. 8085AH Minimum System (Standard I/O Technique)

BASIC SYSTEM TIMING

The 8085AH has a multiplexed Data Bus. ALE is used as a strobe to sample the lower 8-bits of address on the Data Bus. Figure 10 shows an instruction fetch, memory read and I/O write cycle (as would occur during processing of the OUT instruction). Note that during the I/O write and read cycle that the I/O port address is copied on both the upper and lower half of the address.

There are seven possible types of machine cycles. Which of these seven takes place is defined by the status of the three status lines (IO M, S₁, S₀) and the three control signals (RD, WR, and INTA). (See Table 3.) The status lines can be used as advanced controls (for device selection, for example), since they become active at the T₁ state, at the outset of each machine cycle. Control lines RD and WR become active later, at the time when the transfer of data is to take place, so are used as command lines.

A machine cycle normally consists of three T states, with the exception of OP CODE FETCH, which normally has either four or six T states (unless WAIT or HOLD states are forced by the receipt of READY or HOLD inputs). Any T state must be one of ten possible states, shown in Table 4.

Table 3. 8085AH Machine Cycle Chart

MACHINE CYCLE	STATUS	CONTROL					
		IO M	S ₁	S ₀	RD	WR	INTA
OPCODE FETCH (OP)	0 1 1	0	1	1	0	1	1
MEMORY READ (MR)	0 1 0	0	1	0	0	1	1
MEMORY WRITE (MW)	0 0 1	0	0	1	1	0	1
I/O READ (IOR)	1 1 0	0	1	0	0	1	1
I/O WRITE (IOW)	1 0 1	1	0	1	1	0	1
ACKNOWLEDGE OF INTR	INTA	1	1	1	1	1	0
BUS IDLE	IBI	1	1	1	1	1	1
	DAD ACK OF RST, TRAP HALT	1	1	1	1	1	1
		TS	C	0	TS	TS	1

Table 4. 8085AH Machine State Chart

Machine State	Status & Buses				Control			
	S ₁ S ₀	IO/M	A ₀ -A ₁₅	AD ₀ -AD ₇	RD	WR	INTA	ALE
T ₁	X	X	X	X	1	1	1	1
T ₂	X	X	X	X	X	1	X	0
T ₃	X	X	X	X	X	X	X	0
T ₄	1	0	X	TS	1	1	0	0
T ₅	1	0	X	TS	1	1	0	0
T ₆	1	0	X	TS	1	1	0	0
T ₇	X	TS	TS	TS	TS	1	0	0
T ₈	0	TS	TS	TS	TS	1	0	0
T ₉	X	TS	TS	TS	TS	1	0	0

0 = Logic 0; 1 = Logic 1; X = Unspecified; TS = High Impedance; * = Unspecified; ALE is generated during 2nd and 3rd machine cycles of DAD instruction; IO M = 1 during T₄-T₆ of the machine cycle.

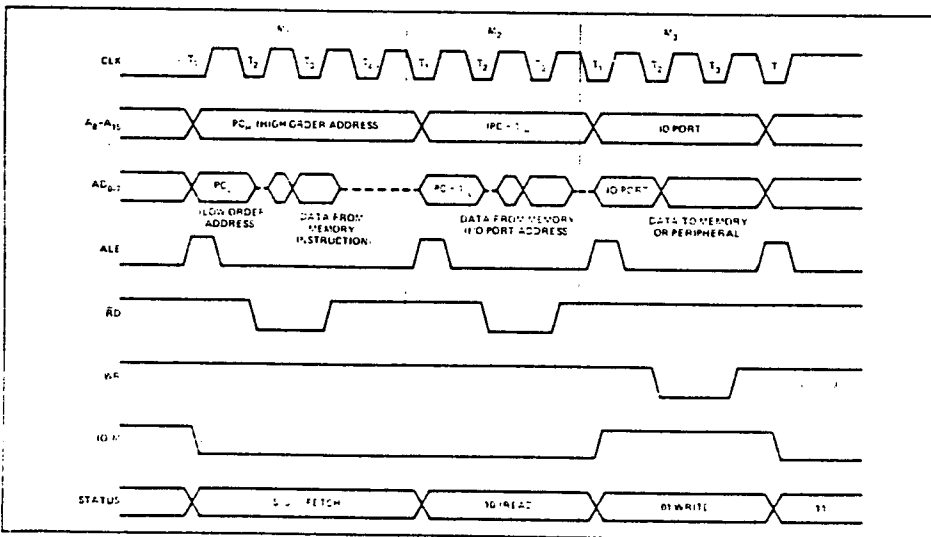


Figure 10. 8085AH Basic System Timing

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage on Any Pin
 With Respect to Ground -0.5V to +7V
 Power Dissipation 1.5 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS

8085AH, 8085AH-2: (T_A = 0°C to 70°C, V_{CC} = 5V ±10%, V_{SS} = 0V; unless otherwise specified)*
 8085AH-1: (T_A = 0°C to 70°C, V_{CC} = 5V ±5%, V_{SS} = 0V; unless otherwise specified)

Symbol	Parameter	Min.	Max.	Units	Test Conditions
V _{IL}	Input Low Voltage	-0.5	+0.8	V	
V _{IH}	Input High Voltage	2.0	V _{CC} + 0.5	V	
V _{OL}	Output Low Voltage		0.45	V	I _{OL} = 2mA
V _{OH}	Output High Voltage	2.4		V	I _{OH} = -400µA
I _{CC}	Power Supply Current		135	mA	8085AH, 8085AH-2
			200	mA	8085AH-1 (Preliminary)
I _{IL}	Input Leakage		±10	µA	0 ≤ V _{IN} ≤ V _{CC}
I _{LO}	Output Leakage		±10	µA	0.45V ≤ V _{OUT} ≤ V _{CC}
V _{ILR}	Input Low Level, RESET	-0.5	+0.8	V	
V _{IHR}	Input High Level, RESET	2.4	V _{CC} + 0.5	V	
V _{HV}	Hysteresis, RESET	0.15		V	

A.C. CHARACTERISTICS

8085AH, 8085AH-2: (T_A = 0°C to 70°C, V_{CC} = 5V ±10%, V_{SS} = 0V)*
 8085AH-1: (T_A = 0°C to 70°C, V_{CC} = 5V ±5%, V_{SS} = 0V)

Symbol	Parameter	8085AH ⁽²⁾ (Final)		8085AH-2 ⁽²⁾ (Final)		8085AH-1 (Preliminary)		Units
		Min.	Max.	Min.	Max.	Min.	Max.	
t _{CCY}	CLK Cycle Period	320	2000	200	2000	167	2000	ns
t ₁	CLK Low Time (Standard CLK Loading)	80		40		29		ns
t ₂	CLK High Time (Standard CLK Loading)	120		70		50		ns
t _r , t _f	CLK Rise and Fall Time		30		30		30	ns
t _{XKR}	X ₁ Rising to CLK Rising	20	120	20	100	20	100	ns
t _{XKF}	X ₁ Rising to CLK Falling	20	150	20	110	20	110	ns
t _{AC}	A ₈₋₁₅ Valid to Leading Edge of Control ⁽¹⁾	270		115		70		ns
t _{ACL}	A ₀₋₇ Valid to Leading Edge of Control	240		115		60		ns
t _{AD}	A ₀₋₁₅ Valid to Valid Data In		575		350		225	ns
t _{AFR}	Address Float After Leading Edge of READ (INTA)		0		0		0	ns
t _{AL}	A ₈₋₁₅ Valid Before Trailing Edge of ALE ⁽¹⁾	115		50		25		ns

*Note: For Extended Temperature EXPRESS use M8085AH Electricals Parameters.

© Del documento, sus autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

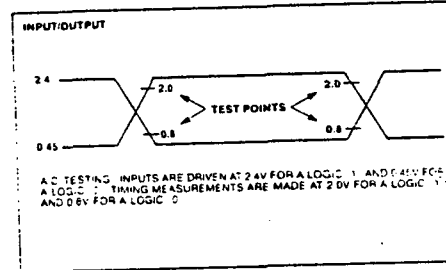
A.C. CHARACTERISTICS (Continued)

Symbol	Parameter	8085AH ⁽²⁾ (Final)		8085AH-2 ⁽²⁾ (Final)		8085AH-1 (Preliminary)		Units
		Min.	Max.	Min.	Max.	Min.	Max.	
t _{ALL}	A ₀₋₇ Valid Before Trailing Edge of ALE	90		50		25		ns
t _{ARY}	READY Valid from Address Valid		220		100		40	ns
t _{CA}	Address (A ₀₋₁₅) Valid After Control	120		60		30		ns
t _{CC}	Width of Control Low (RD, WR, INTA) Edge of ALE	400		230		150		ns
t _{CL}	Trailing Edge of Control to Leading Edge of ALE	50		25		0		ns
t _{DW}	Data Valid to Trailing Edge of WRITE	420		230		140		ns
t _{HABE}	HLDA to Bus Enable		210		150		150	ns
t _{HABF}	Bus Float After HLDA		210		150		150	ns
t _{HACK}	HLDA Valid to Trailing Edge of CLK	110		40		0		ns
t _{HdH}	HOLD Hold Time	0		0		0		ns
t _{HdS}	HOLD Setup Time to Trailing Edge of CLK	170		120		120		ns
t _{INH}	INTR Hold Time	0		0		0		ns
t _{INS}	INTR, RST, and TRAP Setup Time to Falling Edge of CLK	160		150		150		ns
t _{LA}	Address Hold Time After ALE	100		50		20		ns
t _{LC}	Trailing Edge of ALE to Leading Edge of Control	130		60		25		ns
t _{LCK}	ALE Low During CLK High	100		50		15		ns
t _{LDR}	ALE to Valid Data During Read		460		270		175	ns
t _{LDW}	ALE to Valid Data During Write		200		140		110	ns
t _{LL}	ALE Width	140		80		50		ns
t _{LRV}	ALE to READY Stable		110		30		10	ns
t _{RAE}	Trailing Edge of READ to Re-Enabling of Address	150		90		50		ns
t _{RD}	READ (or INTA) to Valid Data		300		150		75	ns
t _{RV}	Control Trailing Edge to Leading Edge of Next Control	400		220		160		ns
t _{RDH}	Data hold Time After READ or INTA	0		0		0		ns
t _{RYH}	READY Hold Time	0		0		5		ns
t _{RYS}	READY Setup Time to Leading Edge of CLK	110		100		100		ns
t _{WD}	Data Valid After Trailing Edge of WRITE	100		60		30		ns
t _{WDL}	LEADING Edge of WRITE to Data valid		40		20		30	ns

NOTES:

- A₀-A₁₅ address Specs apply IO/M, S₀, and S₁ except A₀-A₁₅ are undefined during T₂-T₆ of OF cycle whereas IO/M, S₀, and S₁ are stable.
- Test Conditions: t_{CYC} = 320 ns (8085AH)/200 ns (8085AH-2)/167 ns (8085AH-1); C_L = 150 pF.

A.C. TESTING INPUT, OUTPUT WAVEFORM



- For all output timing where C_L ≠ 150 pF use the following correction factors:
25 pF < C_L < 150 pF: -0.10 ns/pF
150 pF < C_L < 300 pF: +0.30 ns/pF
- Output timings are measured with purely capacitive load.
- To calculate timing specifications at other values of t_{CYC} use Table 5.

A.C. TESTING LOAD CIRCUIT

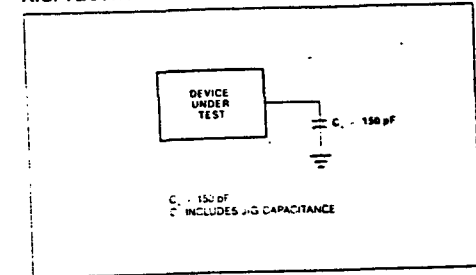
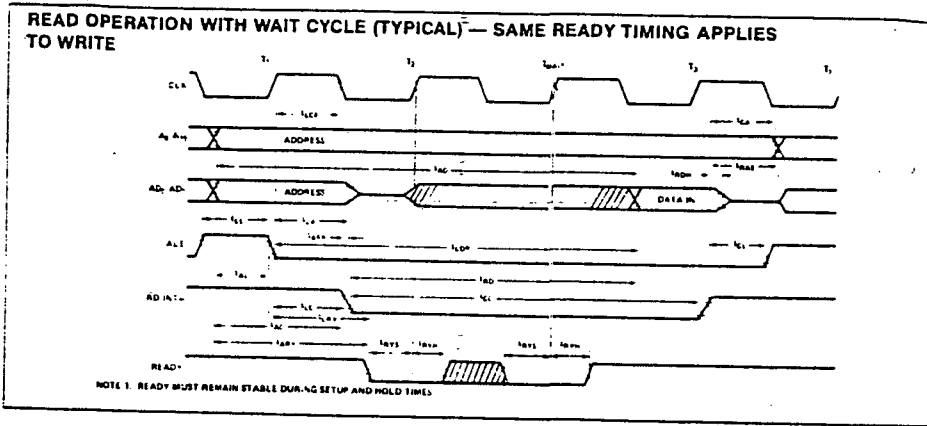


Table 5. Bus Timing Specification as a T_{CYC} Dependent

Symbol	8085AH	8085AH-2	8085AH-1	
t _{AL}	(1/2) T - 45	(1/2) T - 50	(1/2) T - 56	Minimum
t _{LA}	(1/2) T - 60	(1/2) T - 50	(1/2) T - 63	Minimum
t _{LL}	(1/2) T - 20	(1/2) T - 20	(1/2) T - 33	Minimum
t _{LCK}	(1/2) T - 60	(1/2) T - 50	(1/2) T - 68	Minimum
t _{LC}	(1/2) T - 30	(1/2) T - 40	(1/2) T - 58	Minimum
t _{AD}	(5/2 + N) T - 225	(5/2 + N) T - 150	(5/2 + N) T - 192	Maximum
t _{RD}	(3/2 + N) T - 180	(3/2 + N) T - 150	(3/2 + N) T - 175	Maximum
t _{RAE}	(1/2) T - 10	(1/2) T - 10	(1/2) T - 33	Minimum
t _{CA}	(1/2) T - 40	(1/2) T - 40	(1/2) T - 53	Minimum
t _{DW}	(3/2 + N) T - 60	(3/2 + N) T - 70	(3/2 + N) T - 110	Minimum
t _{WD}	(1/2) T - 60	(1/2) T - 40	(1/2) T - 53	Minimum
t _{CC}	(3/2 + N) T - 80	(3/2 + N) T - 70	(3/2 + N) T - 100	Minimum
t _{CL}	(1/2) T - 110	(1/2) T - 75	(1/2) T - 83	Minimum
t _{ARY}	(3/2) T - 260	(3/2) T - 200	(3/2) T - 210	Maximum
t _{HACK}	(1/2) T - 50	(1/2) T - 60	(1/2) T - 83	Minimum
t _{HABF}	(1/2) T + 50	(1/2) T - 50	(1/2) T - 67	Maximum
t _{HABE}	(1/2) T + 50	(1/2) T - 50	(1/2) T - 67	Maximum
t _{AC}	(2/2) T - 50	(2/2) T - 85	(2/2) T - 97	Minimum
t ₁	(1/2) T - 80	(1/2) T - 60	(1/2) T - 63	Minimum
t ₂	(1/2) T - 40	(1/2) T - 30	(1/2) T - 33	Minimum
t _{RV}	(3/2) T - 80	(3/2) T - 80	(3/2) T - 90	Minimum
t _{LDR}	(4/2) T - 180	(4/2) T - 130	(4/2) T - 159	Maximum

NOTE: N is equal to the total WAIT states. T = t_{CYC}.

WAVEFORMS (Continued)



INTERRUPT AND HOLD

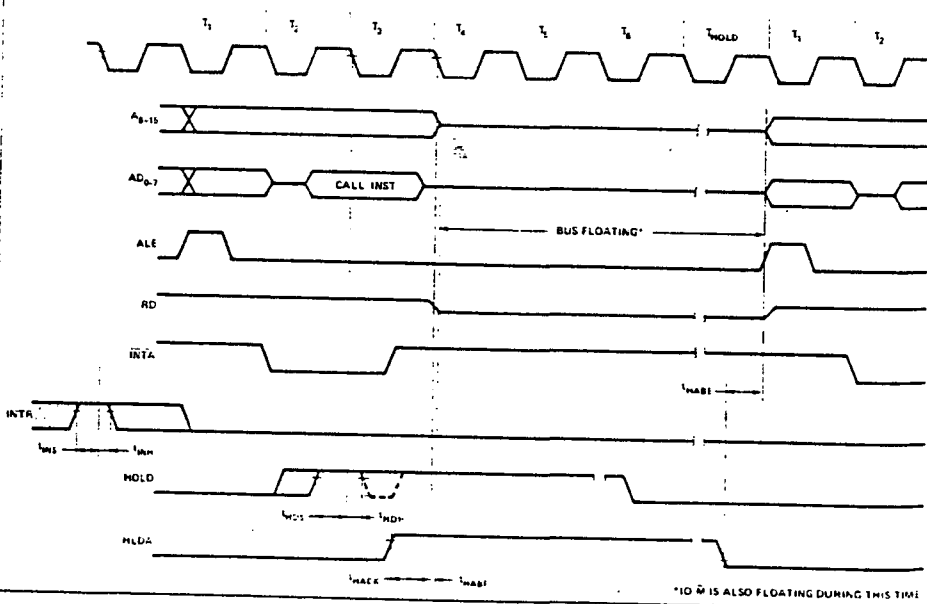


Table 6. Instruction Set Summary

Mnemonic	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Operations Description
MOVE, LOAD, AND STORE									
MOV R2	0	1	D	D	S	S	S		Move register to register
MOV M r	0	1	1	0	S	S	S		Move register to memory
MOV R M	0	1	D	D	1	1	0		Move memory to register
MVI r	0	0	D	D	1	1	0		Move immediate register
MVI M	0	0	1	1	0	1	1		Move immediate memory
LXI B	0	0	0	0	0	0	1		Load immediate register Pair B & C
LXI D	0	0	0	1	0	0	1		Load immediate register Pair D & E
LXI H	0	0	1	0	0	0	1		Load immediate register Pair H & L
STAX B	0	0	0	0	0	1	0		Store A indirect
STAX D	0	0	0	1	0	1	0		Store A indirect
LDAX B	0	0	0	1	0	1	0		Load A indirect
LDAX D	0	0	0	1	1	0	1		Load A indirect
STA	0	0	1	1	0	1	0		Store A direct
LDA	0	0	1	1	1	0	1		Load A direct
SHLD	0	0	1	0	0	1	0		Store H & L direct
LHLD	0	0	1	0	1	0	1		Load H & L direct
XCHG	1	1	1	0	1	0	1		Exchange D & E, H & L Registers
STACK OPS									
PUSH B	1	1	0	0	0	1	0		Push register Pair B & C on stack
PUSH D	1	1	0	1	0	1	0		Push register Pair D & E on stack
PUSH H	1	1	1	0	0	1	0		Push register Pair H & L on stack
PUSH PSW	1	1	1	1	0	1	0		Push A and Flags on stack
POP B	1	1	0	0	0	0	1		Pop register Pair B & C off stack
POP D	1	1	0	1	0	0	1		Pop register Pair D & E off stack
POP H	1	1	1	0	0	0	1		Pop register Pair H & L off stack
POP PSW	1	1	1	1	0	0	1		Pop A and Flags off stack
XTHL	1	1	1	0	0	1	1		Exchange top of stack, H & L
SPHL	1	1	1	1	0	0	1		H & L to stack pointer
LXI SP	0	0	1	1	0	0	1		Load immediate stack pointer
INX SP	0	0	1	1	0	0	1		Increment stack pointer
DCX SP	0	0	1	1	1	0	1		Decrement stack pointer
JUMP									
JMP	1	1	0	0	0	0	1		Jump unconditional
JC	1	1	0	1	1	0	1		Jump on carry
JNC	1	1	0	1	0	0	1		Jump on no carry
JZ	1	1	0	0	1	0	1		Jump on zero
JNZ	1	1	0	0	0	0	1		Jump on no zero
JP	1	1	1	1	0	1	0		Jump on positive
JM	1	1	1	1	0	1	0		Jump on minus
JPE	1	1	1	0	1	0	1		Jump on parity even
JPO	1	1	1	0	0	1	0		Jump on parity odd
PCHL	1	1	1	0	1	0	0		H & L to program counter
CALL									
CALL	1	1	1	0	0	1	1		Call unconditional
CC	1	1	0	1	1	1	0		Call on carry
CNC	1	1	0	1	0	1	0		Call on no carry

Mnemonic	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Operations Description
CZ	1	1	0	0	1	1	0	0	Call on zero
CNZ	1	1	0	0	0	1	0	0	Call on no zero
CP	1	1	1	1	0	1	0	0	Call on positive
CM	1	1	1	1	1	1	0	0	Call on minus
CPE	1	1	1	0	1	1	0	0	Call on parity even
CPO	1	1	1	0	0	1	0	0	Call on parity odd
RETURN									
RET	1	1	0	0	1	0	0	1	Return
RC	1	1	0	1	1	0	0	0	Return on carry
RNC	1	1	0	1	0	0	0	0	Return on no carry
RZ	1	1	0	0	1	0	0	0	Return on zero
RNZ	1	1	0	0	0	0	0	0	Return on no zero
RP	1	1	1	1	0	0	0	0	Return on positive
RM	1	1	1	1	1	0	0	0	Return on minus
RPE	1	1	1	0	1	0	0	0	Return on parity even
RPO	1	1	1	0	0	0	0	0	Return on parity odd
RESTART									
RST	1	1	A	A	A	1	1	1	Restart
INPUT/OUTPUT									
IN	1	1	0	1	1	0	1	1	Input
OUT	1	1	0	1	0	0	1	1	Output
INCREMENT AND DECREMENT									
INR r	0	0	D	D	D	1	0	0	Increment register
DCR r	0	0	D	D	D	1	0	1	Decrement register
INR M	0	0	1	1	0	1	0	0	Increment memory
DCR M	0	0	1	1	0	1	0	1	Decrement memory
INX B	0	0	0	0	0	0	1	1	Increment B & C registers
INX D	0	0	0	1	0	0	1	1	Increment D & E registers
INX H	0	0	1	0	0	0	1	1	Increment H & L registers
DCX B	0	0	0	0	1	0	1	1	Decrement B & C
DCX D	0	0	0	1	1	0	1	1	Decrement D & E
DCX H	C	0	1	0	1	0	1	1	Decrement H & L
ADD									
ADD r	1	0	0	0	0	S	S	S	Add register to A
ADC r	1	0	0	0	1	S	S	S	Add register to A with carry
ADD M	1	0	C	0	0	1	1	0	Add memory to A
ADC M	1	0	0	0	1	1	1	0	Add memory to A with carry
ADI	1	1	0	0	0	1	1	0	Add immediate to A
ACI	1	1	0	0	1	1	1	0	Add immediate to A with carry
DAD B	0	0	0	0	1	0	0	1	Add B & C to H & L
DAD D	0	0	0	1	1	0	0	1	Add D & E to H & L
DAD H	0	0	1	0	1	0	0	1	Add H & L to H & L
DAD SP	0	0	1	1	1	0	0	1	Add stack pointer to H & L
SUBTRACT									
SUB r	1	0	0	1	0	S	S	S	Subtract register from A
SBB r	1	0	0	1	1	S	S	S	Subtract register from A with borrow
SUB M	1	0	0	1	0	1	1	0	Subtract memory from A
SBB M	1	0	0	1	1	1	1	0	Subtract memory from A with borrow
SUI	1	1	0	1	0	1	1	0	Subtract immediate from A
SBI	1	1	0	1	1	1	1	0	Subtract immediate from A with borrow

Table 6. Instruction Set Summary (Continued)

Mnemonic	Instruction Code						Operations Description
	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂ D ₁ D ₀	
LOGICAL							
ANA I	1	0	1	0	0	S S	AND register with A
XRA I	1	0	1	0	1	S S	Exclusive OR register with A
ORA I	1	0	1	1	0	S S	OR register with A
CMP I	1	0	1	1	1	S S	Compare register with A
ANA M	1	0	1	0	0	1 1 0	AND memory with A
XRA M	1	0	1	0	1	1 1 0	Exclusive OR memory with A
ORA M	1	0	1	1	0	1 1 0	OR memory with A
CMP M	1	0	1	1	1	1 1 0	Compare memory with A
ANI	1	1	1	0	0	1 1 0	AND immediate with A
XRI	1	1	1	0	1	1 1 0	Exclusive OR immediate with A
ORI	1	1	1	1	0	1 1 0	OR immediate with A
CPI	1	1	1	1	1	1 1 0	Compare immediate with A
ROTATE	0	0	0	0	0	1 1 1	Rotate A left
RLC	0	0	0	0	1	1 1 1	Rotate A right
RAL	0	0	0	1	0	1 1 1	Rotate A left through carry
RAR	0	0	0	1	1	1 1 1	Rotate A right through carry

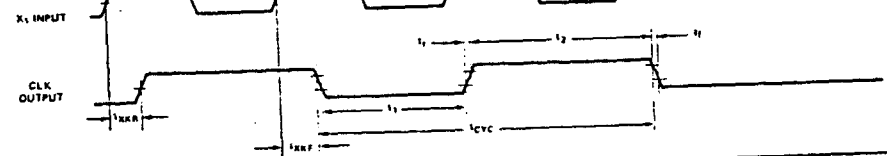
NOTES:
 1. DDS or SSS: B 000, C 001, D 010, E 011, H 100, L 101, Memory 110, A 111.
 2. Two possible cycle times (6:12) indicate instruction cycles dependent on condition flags.

*All mnemonics copyrighted © Intel Corporation 1976.

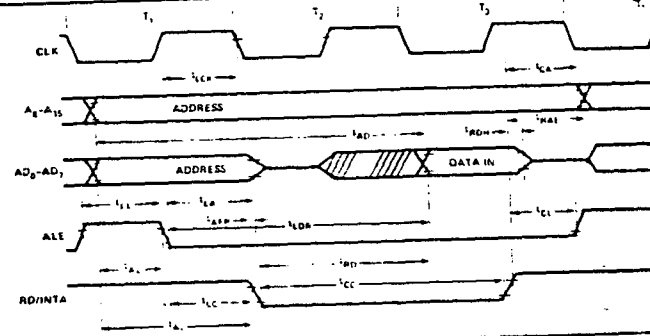
Mnemonic	Instruction Code							Operations Description
	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁ D ₀	
SPECIALS								
CMA	0	0	1	0	1	1	1 1	Complement A
STC	0	0	1	1	0	1	1 1	Set carry
CMC	0	0	1	1	1	1	1 1	Complement carry
DAA	0	0	1	0	0	1	1 1	Decimal adjust A
CONTROL								
EI	1	1	1	1	0	1	1 1	Enable Interrupts
DI	1	1	1	1	0	0	1 1	Disable Interrupt
NOP	0	0	0	0	0	0	0 0	No-operation
HLT	0	1	1	0	1	0	1 0	Halt
NEW 8085A INSTRUCTIONS								
RIM	1	0	0	1	0	0	0 0	Read Interrupt Mask
SIM	1	0	0	1	0	0	0 1	Set Interrupt Mask

WAVEFORMS

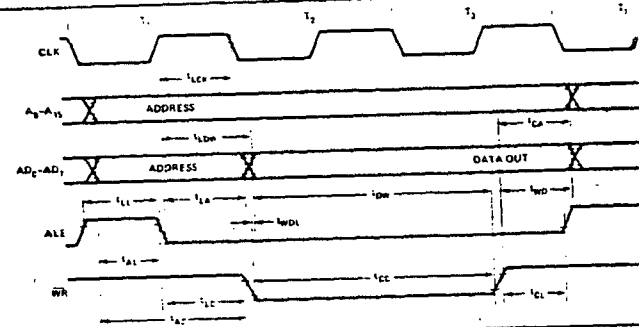
CLOCK



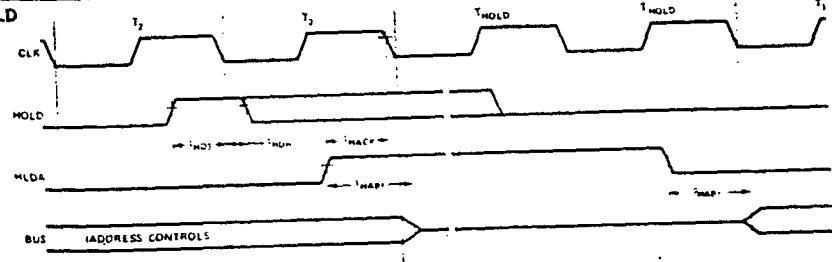
READ



WRITE



HOLD



© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008.

8085A/8085A-2

SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSORS

- Single +5V Power Supply
- 100% Software Compatible with 8080A
- 1.3 μ s Instruction Cycle (8085A);
0.8 μ s (8085A-2)
- On-Chip Clock Generator (with External Crystal, LC or RC Network)
- On-Chip System Controller; Advanced Cycle Status Information Available for Large System Control
- Four Vectored Interrupt Inputs (One is Non-Maskable) Plus an 8080A-Compatible Interrupt
- Serial In/Serial Out Port
- Decimal, Binary and Double Precision Arithmetic
- Direct Addressing Capability to 64K Bytes of Memory

The Intel® 8085A is a complete 8 bit parallel Central Processing Unit (CPU). Its instruction set is 100% software compatible with the 8080A microprocessor, and it is designed to improve the present 8080A's performance by higher system speed. Its high level of system integration allows a minimum system of three IC's (8085A CPU; 8156 RAM/IO; and 8355/8755A (ROM/PROM/IO)) while maintaining total system expandability. The 8085A-2 is a faster version of the 8085A.

The 8085A incorporates all of the features that the 8224 (clock generator) and 8228 (system controller) provided for the 8080A, thereby offering a high level of system integration.

The 8085A uses a multiplexed data bus. The address is split between the 8 bit address bus and the 8 bit data bus. The on-chip address latches of 8155/8156/8355/8755A memory products allow a direct interface with the 8085A.

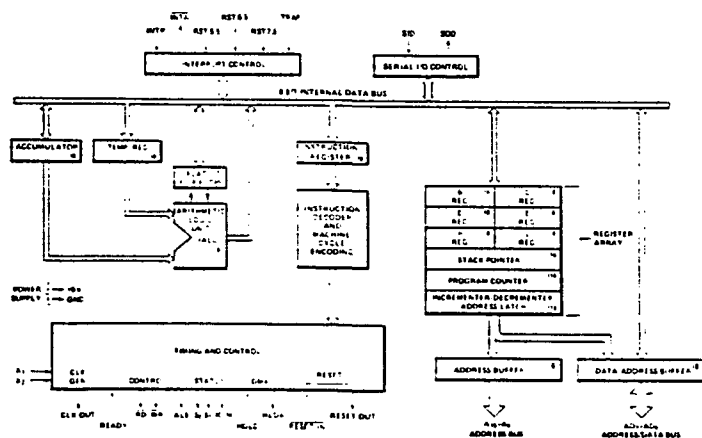


Figure 1. 8085A CPU Functional Block Diagram

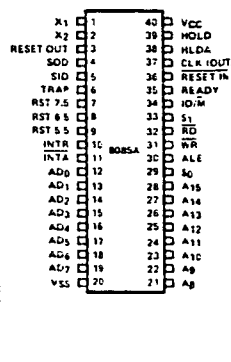


Figure 2. 8085A Pin Configuration

ABSOLUTE MAXIMUM RATINGS*

Storage Temperature Under Bias	0°C to 70°C
Operating Temperature	-65°C to +150°C
Voltage on Any Pin	Respect to Ground
Power Dissipation	-0.5V to +7V 1.5 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } 70^\circ\text{C}, V_{CC} = 0\text{V} \pm 5\%, V_{SS} = 0\text{V};$ unless otherwise specified)

Symbol	Parameter	Min.	Max.	Units	Test Conditions
V_{IL}	Input Low Voltage	-0.5	+0.8	V	
V_{IH}	Input High Voltage	2.0	$V_{CC} + 0.5$	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2\text{mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400\mu\text{A}$
I_{CC}	Power Supply Current		170	mA	
I_{IL}	Input Leakage		± 10	μA	$0 \leq V_{IN} \leq V_{CC}$
I_{OL}	Output Leakage		± 10	μA	$0.45\text{V} \leq V_{OUT} \leq V_{CC}$
V_{LR}	Input Low Level RESET	-0.5	+0.8	V	
V_{HR}	Input High Level RESET	2.4	$V_{CC} + 0.5$	V	
V_{HY}	Hysteresis RESET	0.25		V	

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 0\text{V} \pm 5\%$, $V_{SS} = 0\text{V}$)

Symbol	Parameter	8085A ⁽²⁾		8085A-2 ⁽²⁾		Units
		Min.	Max.	Min.	Max.	
t_{CYC}	CLK Cycle Period	320	2000	200	2000	ns
t_1	CLK Low Time (Standard CLK Loading)	80		40		ns
t_2	CLK High Time (Standard CLK Loading)	120		70		ns
t_r, t_f	CLK Rise and Fall Time		30		30	ns
t_{XKR}	X ₁ Rising to CLK Rising	30	120	30	100	ns
t_{XKF}	X ₁ Rising to CLK Falling	30	150	30	110	ns
t_{AC}	A ₈₋₁₅ Valid to Leading Edge of Control ⁽¹⁾	270		115		ns
t_{ACL}	A ₀₋₇ Valid to Leading Edge of Control	240		115		ns
t_{AD}	A ₀₋₁₅ Valid to Valid Data In		575		350	ns
t_{AFR}	Address Float After Leading Edge of READ (INTA)		0		0	ns
t_{AL}	A ₈₋₁₅ Valid Before Trailing Edge of ALE ⁽¹⁾	115		50		ns
t_{ALL}	A ₀₋₇ Valid Before Trailing Edge of ALE	90		50		ns
t_{ARY}	READY Valid from Address Valid		220		100	ns
t_{CA}	Address (A ₈₋₁₅) Valid After Control	120		60		ns
t_{CC}	Width of Control Low (RD, WR, INTA) Edge of ALE	400		230		ns
t_{CL}	Trailing Edge of Control to Leading Edge of ALE	50		25		ns
t_{DW}	Data Valid to Trailing Edge of WRITE	420		230		ns
t_{HABE}	HLDA to Bus Enable		210		150	ns
t_{HABF}	Bus Float After HLDA		210		150	ns
t_{HACK}	HLDA Valid to Trailing Edge of CLK	110		40		ns
t_{HDH}	HOLD Hold Time	0		0		ns
t_{HDS}	HOLD Setup Time to Trailing Edge of CLK	170		120		ns
t_{INH}	INTR Hold Time	0		0		ns
t_{INS}	INTR, RST, and TRAP Setup Time to Falling Edge of CLK	160		150		ns
t_{IA}	Address Hold Time After ALE	100		50		ns
t_{LC}	Trailing Edge of ALE to Leading Edge of Control	130		60		ns
t_{LCK}	ALE Low During CLK High	100		50		ns
t_{LDR}	ALE to Valid Data During Read		460		270	ns
t_{LDW}	ALE to Valid Data During Write		200		120	ns
t_{LL}	ALE Width	140		80		ns
t_{LRY}	ALE to READY Stable		110		30	ns

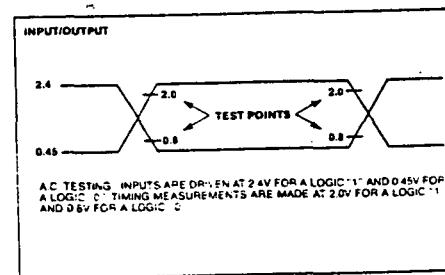
A.C. CHARACTERISTICS (Continued)

Symbol	Parameter	8085A ⁽²⁾		8085A-2 ⁽²⁾		Units
		Min.	Max.	Min.	Max.	
t_{RAE}	Trailing Edge of READ to Re-Enabling of Address	150		90		ns
t_{RD}	READ (or INTA) to Valid Data		300		150	ns
t_{RV}	Control Trailing Edge to Leading Edge of Next Control	400		220		ns
t_{RDH}	Data Hold Time After READ (INTA) ⁽¹⁾	0		0		ns
t_{RYH}	READY Hold Time	0		0		ns
t_{RYS}	READY Setup Time to Leading Edge of CLK	110		100		ns
t_{WD}	Data Valid After Trailing Edge of WRITE	100		60		ns
t_{WDL}	LEADING Edge of WRITE to Data Valid		40		20	ns

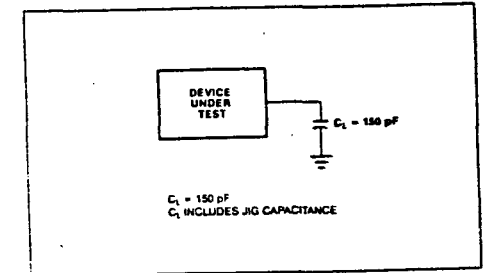
NOTES:

- A₈-A₁₅ address Specs apply to IO/M, S₀, and S₁ except A₈-A₁₅ are undefined during T₄-T₆ of OF cycle whereas IO/M, S₀, and S₁ are stable.
- Test conditions: $t_{CYC} = 320\text{ ns}$ (8085A)/200 ns (8085A-2); $C_L = 150\text{ pF}$.
- For all output timing where $C_L = 150\text{ pF}$ use the following correction factors:
 $25\text{ pF} < C_L < 150\text{ pF}$: -0.10 ns/pF
 $150\text{ pF} < C_L < 300\text{ pF}$: $+0.30\text{ ns/pF}$
- Output timings are measured with purely capacitive load.
- All timings are measured at output voltage $V_L = 0.8\text{V}$, $V_H = 2.0\text{V}$, and 1.5V with 20 ns rise and fall time on inputs.
- To calculate timing specifications at other values of t_{CYC} use Table 7.
- Data hold time is guaranteed under all loading conditions.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



8155H/8156H/8155H-2/8156H-2 2048-BIT STATIC HMOS RAM WITH I/O PORTS AND TIMER

- Single +5V Power Supply with 10% Voltage Margins
- 30% Lower Power Consumption than the 8155 and 8156
- 100% Compatible with 8155 and 8156
- 256 Word x 8 Bits
- Completely Static Operation
- Internal Address Latch
- 2 Programmable 8-Bit I/O Ports
- 1 Programmable 6-Bit I/O Port
- Programmable 14-Bit Binary Counter/Timer
- Compatible with 8085AH, 8085A and 8088 CPU
- Multiplexed Address and Data Bus
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel[®] 8155H and 8156H are RAM and I/O chips implemented in N-Channel, depletion load, silicon gate technology (HMOS), to be used in the 8085AH and 8088 microprocessor systems. The RAM portion is designed with 2048 static cells organized as 256 x 8. They have a maximum access time of 400 ns to permit use with no wait states in 8085AH CPU. The 8155H-2 and 8156H-2 have maximum access times of 330 ns for use with the 8085AH-2 and the 5 MHz 8088 CPU.

The I/O portion consists of three general purpose I/O ports. One of the three ports can be programmed to be status pins, thus allowing the other two ports to operate in handshake mode.

A 14-bit programmable counter/timer is also included on chip to provide either a square wave or terminal count pulse for the CPU system depending on timer mode.

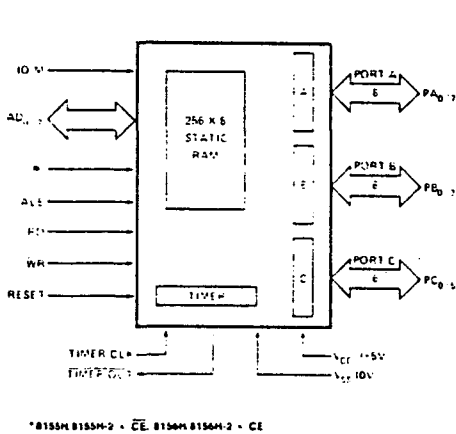


Figure 1. Block Diagram

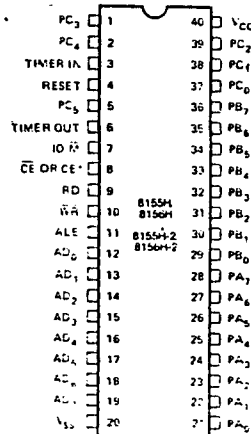


Figure 2. Pin Configuration

Table 1. Pin Description

Symbol	Type	Name and Function
RESET	I	Reset: Pulse provided by the 8085AH to initialize the system (connect to 8085AH RESET OUT). Input high on this line resets the chip and initializes the three I/O ports to input mode. The width of RESET pulse should typically be two 8085AH clock cycle times.
AD ₀₋₇	I/O	Address/Data: 3-state Address/Data lines that interface with the CPU lower 8-bit Address/Data Bus. The 8-bit address is latched into the address latch inside the 8155H/56H on the falling edge of ALE. The address can be either for the memory section or the I/O section depending on the IO M input. The 8-bit data is either written into the chip or read from the chip, depending on the WR or RD input signal.
CE or CE	I	Chip Enable: On the 8155H, this pin is \overline{CE} and is ACTIVE LOW. On the 8156H, this pin is CE and is ACTIVE HIGH.
\overline{RD}	I	Read Control: Input low on this line with the Chip Enable active enables and AD ₀₋₇ buffers. If IO M pin is low, the RAM content will be read out to the AD bus. Otherwise the content of the selected I/O port or command/status registers will be read to the AD bus.
WR	I	Write Control: Input low on this line with the Chip Enable active causes the data on the Address/Data bus to be written to the RAM or I/O ports and command/status register, depending on IO M.
ALE	I	Address Latch Enable: This control signal latches both the address on the AD ₀₋₇ lines and the state of the Chip Enable and IO M into the chip at the falling edge of ALE.
IO M	I	I/O Memory: Selects memory if low and I/O and command status registers if high.
PA ₀₋₇ (8)	I/O	Port A: These 8 pins are general purpose I/O pins. The in out direction is selected by programming the command register.
PB ₀₋₇ (8)	I/O	Port B: These 8 pins are general purpose I/O pins. The in out direction is selected by programming the command register.
PC ₀₋₅ (6)	I/O	Port C: These 6 pins can function as either input port, output port, or as control signals for PA and PB. Programming is done through the command register. When PC ₀₋₅ are used as control signals, they will provide the following: PC ₀ — A INTR (Port A Interrupt) PC ₁ — ABF (Port A Buffer Full) PC ₂ — A STB (Port A Strobe) PC ₃ — B INTR (Port B Interrupt) PC ₄ — B BF (Port B Buffer Full) PC ₅ — B STB (Port B Strobe)
TIMER IN	I	Timer Input: Input to the counter-timer.
TIMER OUT	O	Timer Output: This output can be either a square wave or a pulse, depending on the timer mode.
Vcc		Voltage: +5-volt supply.
Vss		Ground: Ground reference

FUNCTIONAL DESCRIPTION

The 8155H/8156H contains the following:

- 2K Bit Static RAM organized as 256 x 8
- Two 8-bit I/O ports PA & PB and one 6-bit I/O port PC
- 14-bit timer-counter

The IO M (I/O/Memory Select) pin selects either the five registers Command, Status, PA₀₋₇, PB₀₋₇, PC₀₋₅ or the memory RAM portion.

The 8-bit address on the Address/Data lines, Chip Enable (CE or \overline{CE}) and IO M are all latched on-chip at the falling edge of ALE.

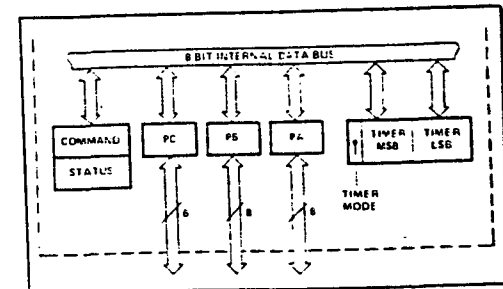


Figure 3. 8155H/8156H Internal Registers

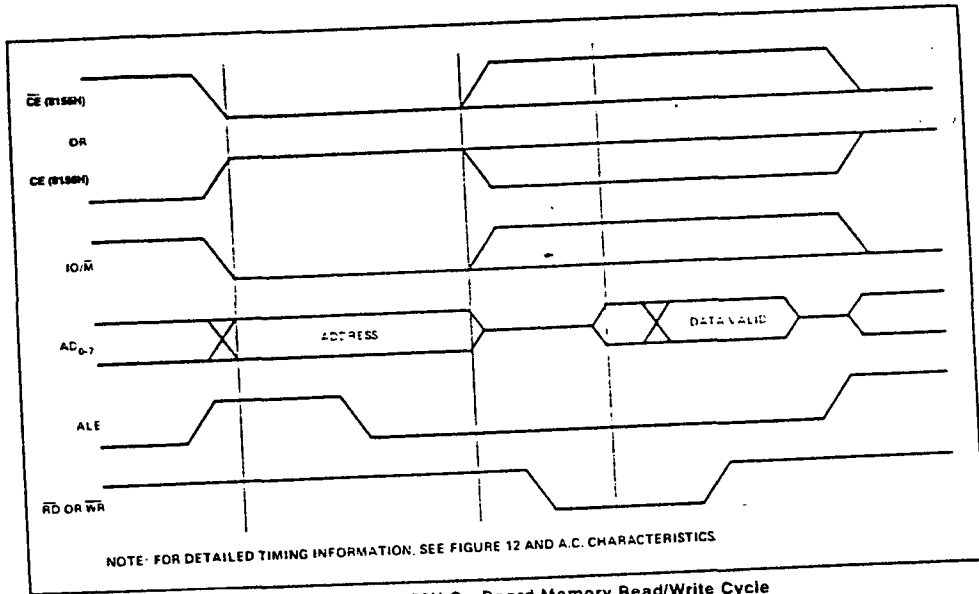


Figure 4. 8155H/8156H On-Board Memory Read/Write Cycle

PROGRAMMING OF THE COMMAND REGISTER

The command register consists of eight latches. Four bits (0-3) define the mode of the ports, two bits (4-5) enable or disable the interrupt from port C when it acts as control port, and the last two bits (6-7) are for the timer. The command register contents can be altered at any time by using the I/O address XXXXX000 during a WRITE operation with the Chip Enable active and IO/M = 1. The meaning of each bit of the command byte is defined in Figure 5. The contents of the command register may never be read.

READING THE STATUS REGISTER

The status register consists of seven latches one for each bit: six (0-5) for the status of the ports and one (6) for the status of the timer. The status of the timer and the I/O section can be polled by reading the Status Register (Address XXXXX000). Status word format is shown in Figure 6. Note that you may never write to the status register since the command register shares the same I/O address and the command register is selected when a write to that address is issued.

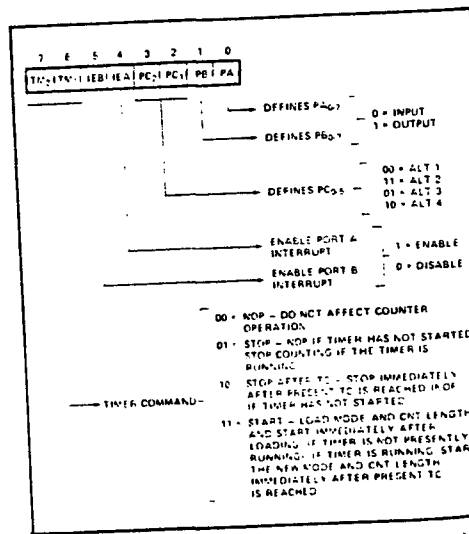


Figure 5. Command Register Bit Assignment

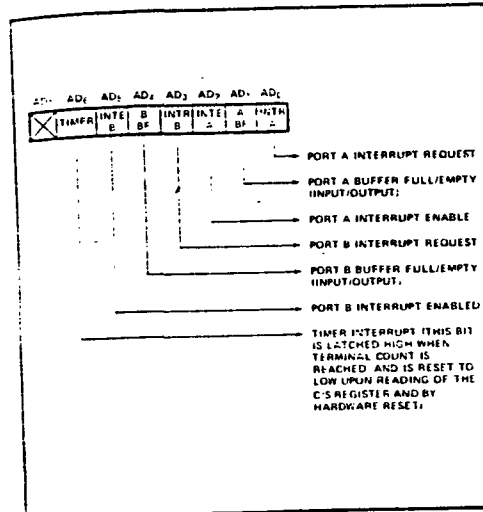


Figure 6. Status Register Bit Assignment

INPUT/OUTPUT SECTION

The I/O section of the 8155H/8156H consists of five registers: (See Figure 7.)

- Command/Status Register (C/S) — Both registers are assigned the address XXXXX000. The C/S address serves the dual purpose.

When the C/S registers are selected during WRITE operation, a command is written into the command register. The contents of this register are not accessible through the pins.

When the C/S : XXXXX000 is selected during a READ operation, the status information of the I/O ports and the timer becomes available on the AD₀₋₇ lines.

- PA Register — This register can be programmed to be either input or output ports depending on the status of the contents of the C/S Register. Also depending on the command, this port can operate in either the basic mode or the strobed mode. See timing diagram. The I/O pins assigned in relation to this register are PA₀₋₇. The address of this register is XXXXX001.
- PB Register — This register functions the same as PA register. The I/O pins assigned are PB₀₋₇. The address of this register is XXXXX010.
- PC Register — This register has the address XXXXX011 and contains only 6 bits. The 6 bits can be programmed to be either input ports, output ports or as control signals for PA and PB by properly programming the AD₂ and AD₃ bits of the C/S register.

When PC₀₋₅ is used as a control port, 3 bits are assigned for Port A and 3 for Port B. The first bit is an

interrupt that the 8155H sends out. The second is an output signal indicating whether the buffer is full or empty, and the third is an input pin to accept a strobe for the strobed input mode. (See Table 2.)

When the 'C' port is programmed to enter ALT3 or ALT4, the control signals for PA and PB are initialized as follows:

CONTROL	INPUT MODE	OUTPUT MODE
BF	Low	Low
INTR	Low	High
STB	Input Control	Input Control

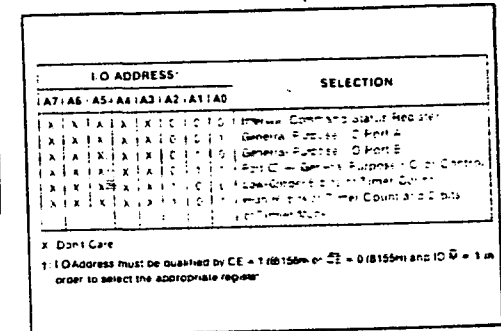


Figure 7. I/O Port and Timer Addressing Scheme

Figure 8 shows how I/O PORTS A and B are structured within the 8155H and 8156H.

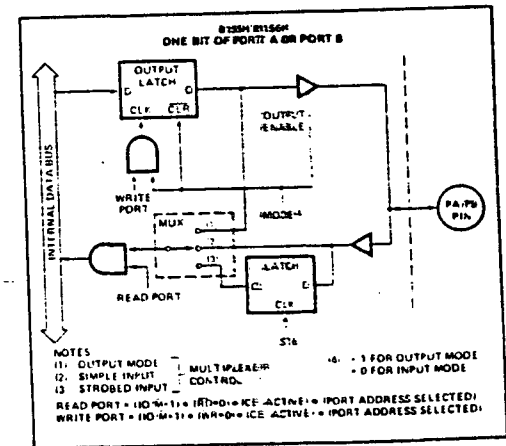


Figure 8. 8155H/8156H Port Functions

Table 2. Port Control Assignment

Pin	ALT 1	ALT 2	ALT 3	ALT 4
PC0	Input Port	Output Port	A INTR Port A Interrupt	A INTR Port A Interrupt
PC1	Input Port	Output Port	A BF Port A Buffer Full	A BF Port A Buffer Full
PC2	Input Port	Output Port	A STB Port A Strobe	A STB Port A Strobe
PC3	Input Port	Output Port	Output Port	B INTR Port B Interrupt
PC4	Input Port	Output Port	Output Port	B BF Port B Buffer Full
PC5	Input Port	Output Port	Output Port	B STB Port B Strobe

Note in the diagram that when the I/O ports are programmed to be output ports, the contents of the output ports can still be read by a READ operation when appropriately addressed

The outputs of the 8155H/8156H are "glitch-free" meaning that you can write a "1" to a bit position that was previously "1" and the level at the output pin will not change.

Note also that the output latch is cleared when the port enters the input mode. The output latch cannot be loaded by writing to the port if the port is in the input mode. The result is that each time a port mode is changed from input to output, the output pins will go low. When the 8155H/56H is RESET, the output latches are all cleared and all 3 ports enter the input mode.

When in the ALT 1 or ALT 2 modes, the bits of PORT C are structured like the diagram above in the simple input or output mode, respectively.

Reading from an input port with nothing connected to the pins will provide unpredictable results

Figure 9 shows how the 8155H/8156H I/O ports might be configured in a typical MCS-85 system.

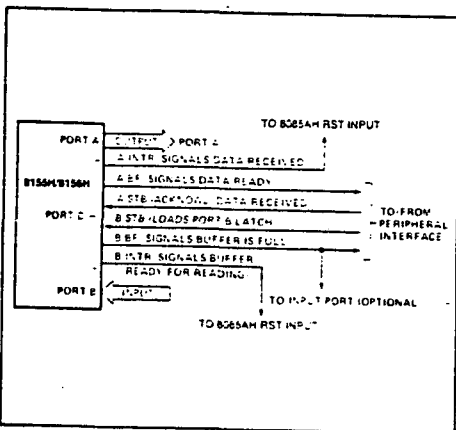


Figure 9. Example: Command Register = 00111001

TIMER SECTION

The timer is a 14-bit down-counter that counts the TIMER IN pulses and provides either a square wave or pulse when terminal count TC is reached.

The timer has the I/O address XXXX100 for the low order byte of the register and the I/O address XXXX101 for the high order byte of the register. (See Figure 7.)

To program the timer, the COUNT LENGTH REG is loaded first, one byte at a time, by selecting the timer addresses. Bits 0-13 of the high order count register will specify the length of the next count and bits 14-15 of the high order register will specify the timer output mode (see Figure 10). The value loaded into the count length register can have any value from 2H through 3FFH in Bits 0-13.

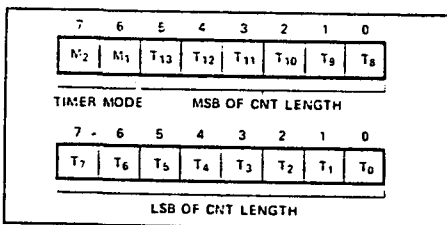


Figure 10. Timer Format

There are four modes to choose from: M2 and M1 define the timer mode, as shown in Figure 11.

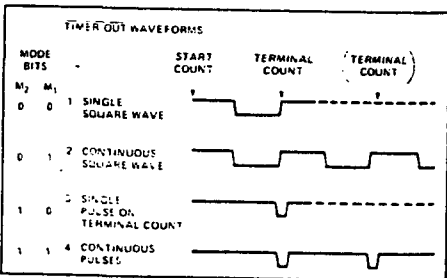


Figure 11. Timer Modes

Bits 6-7 TM2 and TM1, of command register contents are used to start and stop the counter. There are four commands to choose from:

TM2	TM1	Command
0	0	NOP — Do not affect counter operation.
0	1	STOP — NOP if timer has not started; stop counting if the timer is running.
1	0	STOP AFTER TC — Stop immediately after present TC is reached; NOP if timer has not started.
1	1	START — Load mode and CNT length and start immediately after loading if timer is not presently running. If timer is running, start the new mode and CNT length immediately after present TC is reached.

Note that while the counter is counting, you may load a new count and mode into the count length registers. Before the new count and mode will be used by the counter, you must issue a START command to the counter. This applies even though you may only want to change the count and use the previous mode.

In case of an odd-numbered count, the first half-cycle of the squarewave output, which is high, is one count longer than the second, low, half-cycle, as shown in Figure 12.

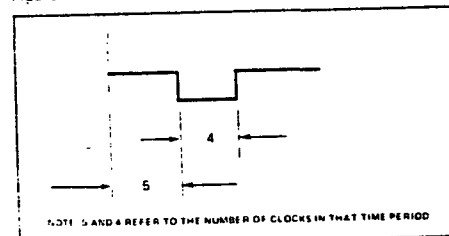


Figure 12. Asymmetrical Square-Wave Output Resulting from Count of 9

The counter in the 8155H is not initialized to any particular mode or count when hardware RESET occurs, but RESET does stop the counting. Therefore, counting cannot begin following RESET until a START command is issued via the C/S register.

Please note that the timer circuit on the 8155H/8156H chip is designed to be a square-wave timer, not an event counter. To achieve this, it counts down by two's twice in completing one cycle. Thus, its registers do not contain values directly representing the number of TIMER IN pulses received. You cannot load an initial value of 1 into the count register and cause the timer to operate, as its terminal count value is 10 (binary) or 2 (decimal). (For the detection of single pulses, it is suggested that one of the hardware interrupt pins on the 8085AH be used.) After the timer has started counting down, the values residing in the count registers can be used to calculate the actual number of TIMER IN pulses required to complete the timer cycle if desired. To obtain the remaining count, perform the following operations in order:

1. Stop the count
2. Read in the 16-bit value from the count length registers
3. Reset the upper two mode bits
4. Reset the carry and rotate right one position all 16 bits through carry
5. If carry is set, add 1/2 of the full original count + 1/2 full count — 1 if full count is odd.

Note: If you started with an odd count and you read the count length register before the third count pulse occurs, you will not be able to discern whether one or two counts has occurred. Regardless of this, the 8155H/56H always counts out the right number of pulses in generating the TIMER OUT waveforms.

8085A MINIMUM SYSTEM CONFIGURATION

Figure 13a shows a minimum system using three chips, containing:

- 256 Bytes RAM
- 2K Bytes ROM
- 38 I/O Pins
- 1 Interval Timer
- 4 Interrupt Levels

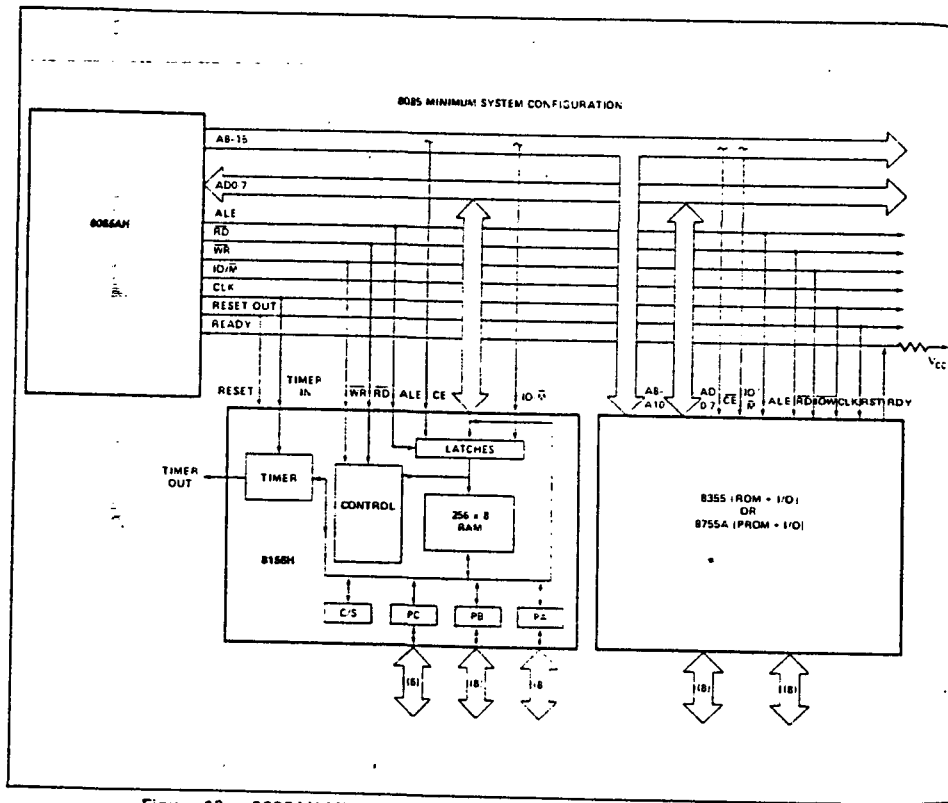


Figure 13a. 8085AH Minimum System Configuration (Memory Mapped I/O)

8088 FIVE CHIP SYSTEM

Figure 13b shows a five chip system containing:

- 1.25K Bytes RAM
- 2K Bytes ROM

- 38 I/O Pins
- 1 Interval Timer
- 2 Interrupt Levels

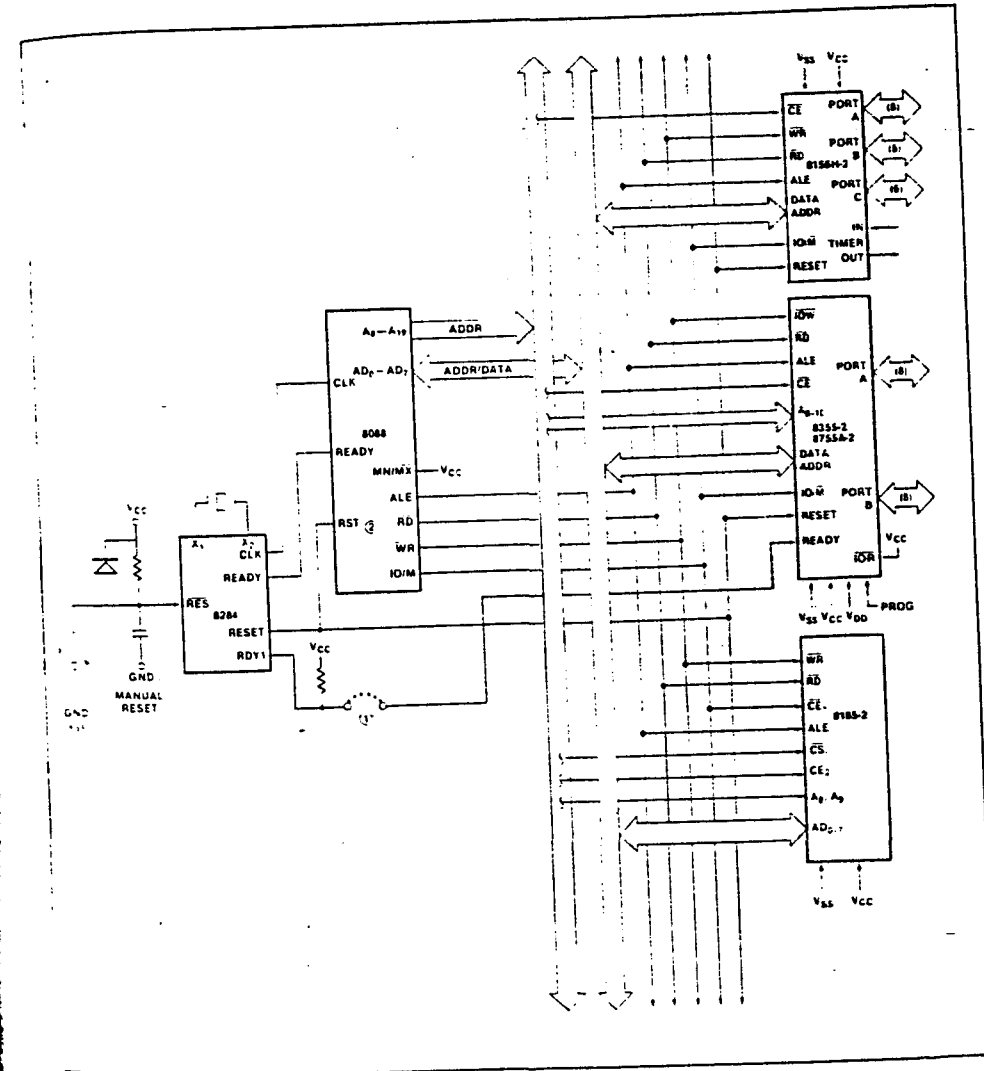


Figure 13b. 8088 Five Chip System Configuration

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	0°C to +70°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin With Respect to Ground	-0.5V to +7V
Power Dissipation	1.5W

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5V \pm 10\%$)

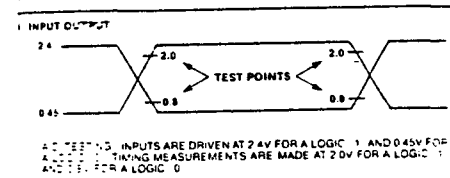
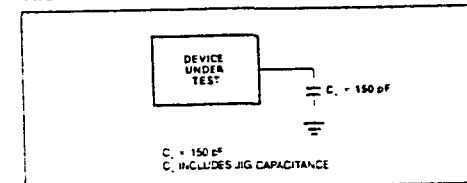
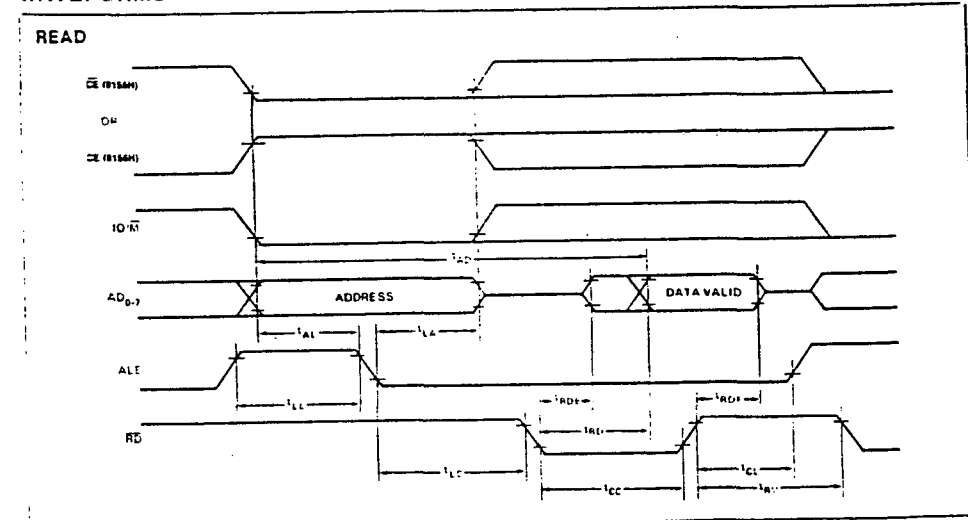
Symbol	Parameter	Min.	Max.	Units	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	$V_{CC} + 0.5$	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2\text{mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400\mu\text{A}$
I_{IL}	Input Leakage		± 10	μA	$0V \leq V_{IN} \leq V_{CC}$
I_{LO}	Output Leakage Current		± 10	μA	$0.45V \leq V_{OUT} \leq V_{CC}$
I_{CC}	V_{CC} Supply Current		125	mA	
$i_{L(CE)}$	Chip Enable Leakage				
	8155H		+100	μA	$0V \leq V_{IN} \leq V_{CC}$
	8156H		-100	μA	

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5V \pm 10\%$)

Symbol	Parameter	8155H/8156H		8155H-2/8156H-2		Units
		Min.	Max.	Min.	Max.	
t_{AL}	Address to Latch Set Up Time	50		30		ns
t_{LA}	Address Hold Time after Latch	80		30		ns
t_{LC}	Latch to READ/WRITE Control	100		40		ns
t_{RD}	Valid Data Out Delay from READ Control		170		140	ns
t_{AD}	Address Stable to Data Out Valid		400		330	ns
t_{LL}	Latch Enable Width	100		70		ns
t_{RDF}	Data Bus Float After READ	0	100	0	80	ns
t_{CL}	READ/WRITE Control to Latch Enable	20		10		ns
t_{CC}	READ/WRITE Control Width	250		200		ns
t_{DW}	Data In to WRITE Set Up Time	150		100		ns
t_{WD}	Data In Hold Time After WRITE	25		25		ns
t_{RV}	Recovery Time Between Controls	300		200		ns
t_{WP}	WRITE to Port Output		400		300	ns
t_{PR}	Port Input Setup Time	70		50		ns
t_{PH}	Port Input Hold Time	50		10		ns
t_{SBF}	Strobe to Buffer Full		400		300	ns
t_{SS}	Strobe Width	200		150		ns
t_{RBE}	READ to Buffer Empty		400		300	ns
t_{SI}	Strobe to INTR On		400		300	ns

A.C. CHARACTERISTICS (Continued; $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5V \pm 10\%$)

Symbol	Parameter	8155H/8156H		8155H-2/8156H-2		Units
		Min.	Max.	Min.	Max.	
t_{RD}	READ to INTR Off		400		300	ns
t_{PSS}	Port Setup Time to Strobe	50		0		ns
t_{PHS}	Port Hold Time After Strobe	120		100		ns
t_{SBE}	Strobe to Buffer Empty		400		300	ns
t_{WBF}	WRITE to Buffer Full		400		300	ns
t_{WIO}	WRITE to INTR Off		400		300	ns
t_{T-}	TIMER-IN to $\overline{\text{TIMER-OUT}}$ Low		400		300	ns
t_{T+}	TIMER-IN to $\overline{\text{TIMER-OUT}}$ High		400		300	ns
t_{RCE}	Data Bus Enable from READ Control	10		10		ns
t_1	TIMER-IN Low Time	80		40		ns
t_2	TIMER-IN High Time	120		70		ns

A.C. TESTING INPUT, OUTPUT WAVEFORM

A.C. TESTING LOAD CIRCUIT

WAVEFORMS




2732A 32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS[®]-E Technology
- Compatible with High-Speed 8MHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- $\pm 10\% V_{CC}$ Tolerance Available
- Intelligent Identifier[™] Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control. Output Enable (\overline{OE}), from the Chip Enable control (\overline{CE}). The \overline{OE} control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the \overline{OE} and \overline{CE} controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the \overline{CE} input.

The 2732A is fabricated with HMOS[®]-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

*HMOS is a patented process of Intel Corporation.

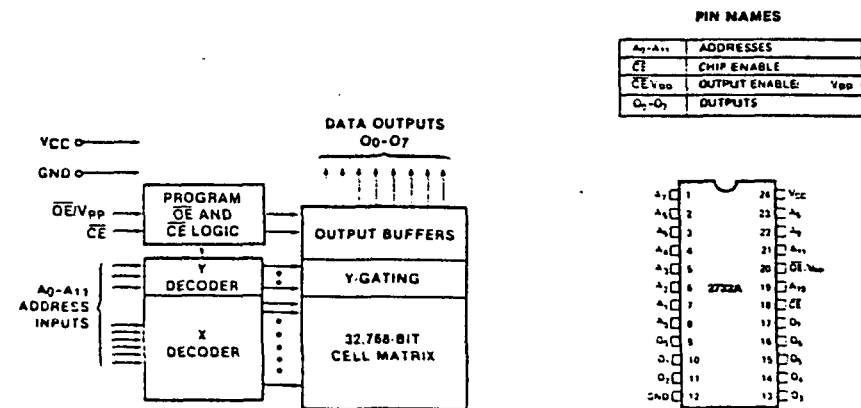


Figure 1. Block Diagram

Figure 2. Pin Configuration

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias -10°C to +80°C
 Storage Temperature -65°C to +125°C
 All Input or Output Voltages with Respect to Ground +6V to -0.3V
 Voltage on Pin 22 with Respect to Ground +13.5V to -0.3V
 V_{pp} Supply Voltage with Respect to Ground During Programming +22V to -0.3V

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2732A/A-2/A-3/A-4	2732A-20/A-25/A-30
Operating Temperature Range	0°C-70°C	0°C-70°C
V_{CC} Power Supply ^{1,2}	5V ± 5%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits		Units	Conditions
		Min.	Typ. ⁽¹⁾ Max.		
I_{IL}	Input Load Current		10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current		10	μA	$V_{OUT} = 5.5V$
I_{CC1}^2	V_{CC} Current (Standby)		35	mA	$\overline{CE} = V_{IH}, \overline{OE} = V_{IL}$
I_{CC2}^2	V_{CC} Current (Active)		100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V_{IL}	Input Low Voltage	-0.1	0.8	V	
V_{IH}	Input High Voltage	2.0	$V_{CC} + 1$	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.1 mA$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400 \mu A$
V_{PP}^2	V_{PP} Read Voltage	3.8	V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2732A-2 2732A-20		2732A 2732A-25		2732A-3 2732A-30		2732A-4		Units	Test Conditions [†]
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
t_{ACC}	Address to Output Delay		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	\overline{CE} to Output Delay		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	\overline{OE} to Output Delay		70		100		150		150	ns	$\overline{CE} = V_{IL}$
$t_{DF}^{(4)}$	\overline{OE} High to Output Not Driven	0	60	0	60	0	130	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses, \overline{CE} or \overline{OE} Whichever Occurred First	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

†A.C. TEST CONDITIONS

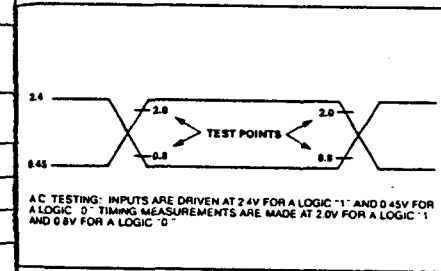
Output Load 1 TTL gate and $C_L = 100 pF$
 Input Rise and Fall Times $\leq 20 ns$
 Input Pulse Levels 0.45V to 2.4V
 Timing Measurement Reference Level:
 Inputs 0.8 and 2.0V
 Outputs 0.8 and 2.0V

- NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP} .
- 2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC1} and I_{CC2} .
- 3. Typical values are for $T_A = 25^\circ C$ and nominal supply voltages.
- 4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

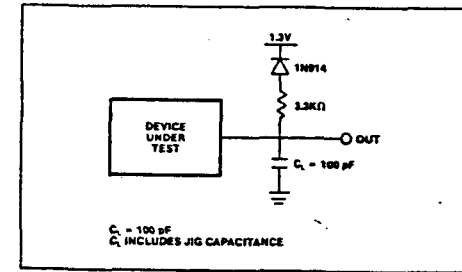
CAPACITANCE⁽²⁾ ($T_A = 25^\circ C, f = 1 MHz$)

Symbol	Parameter	Typ.	Max.	Unit	Conditions
CIN1	Input Capacitance Except \overline{OE}/V_{PP}	4	6	pF	$V_{IN} = 0V$
CIN2	\overline{OE}/V_{PP} Input Capacitance		20	pF	$V_{IN} = 0V$
COUT	Output Capacitance	8	12	pF	$V_{OUT} = 0V$

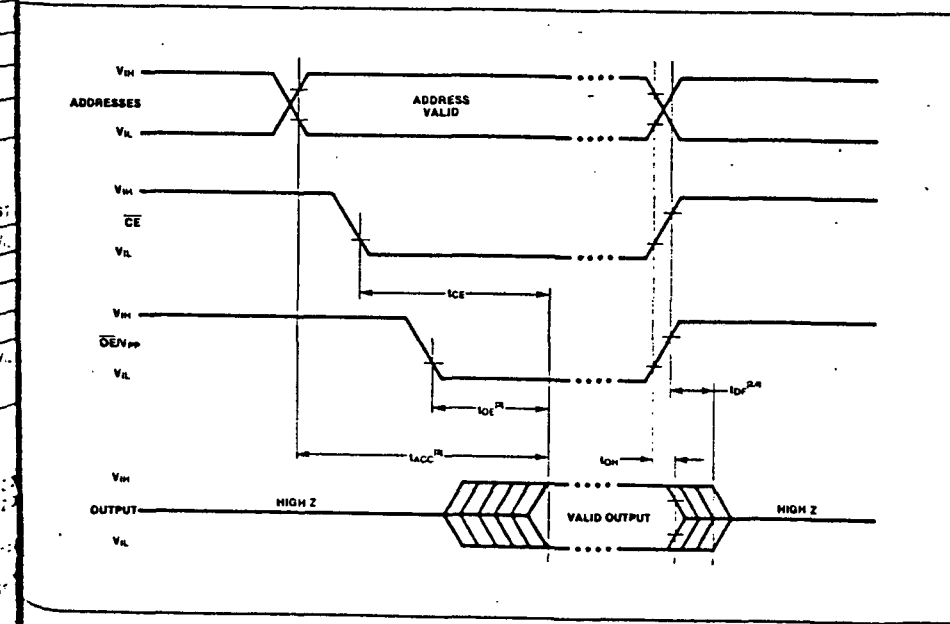
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



ERASURE CHARACTERISTICS

The erasure characteristics of the 2732A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2732A window to prevent unintentional erasure.

The recommended erasure procedure for the 2732A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 μW/cm² power rating. The 2732A should be placed within 1 inch of the lamp tubes during erasure.

DEVICE OPERATION

The six modes of operation of the 2732A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for \overline{OE}/V_{pp} during programming and 12V on A₉ for the intelligent Identifier™ mode. In the program mode the \overline{CE}/V_{pp} input is pulsed from a TTL level to 21V.

Table 1. Mode Selection

MODE	PINS	\overline{CE} (18)	\overline{OE}/V_{pp} (20)	A ₉ (22)	V _{CC} (24)	OUTPUTS (9-11,13-17)
Read		V _{IL}	V _{IL}	X	+5	D _{OUT}
Output Disable		V _{IL}	V _{IH}	X	+5	High Z
Standby		V _{IH}	X	X	+5	High Z
Program		V _{IL}	V _{pp}	X	+5	D _{IH}
Program inhibit		V _{IH}	V _{pp}	X	+5	High Z
Intelligent Identifier 1		V _{IL}	V _{IL}	V _{IH}	+5	Code

Notes: 1. X can be V_{IH} or V_{IL}
2. V_H = 12.0 ± 0.5V

Read Mode

The 2732A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable (\overline{CE}) is the power control and should be used for device selection. Output Enable (\overline{OE}) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from \overline{CE} to output (t_{CE}). Data is available at the outputs after the falling edge of \overline{OE} , assuming that \overline{CE} has been low and addresses have been stable for at least t_{ACC} - t_{OE}.

Standby Mode

The 2732A has a standby mode which reduces the maximum active current from 125 mA to 35 mA. The 2732A is placed in the standby mode by applying a TTL-high signal to the \overline{CE} input. When in standby mode, the outputs are in a high impedance state, independent of the \overline{OE} input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2-line control function that accommodates this use of multiple memory connection. The two line control function allows for:
a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, \overline{CE} (pin 18) should be decoded and used as the primary device selecting function, while \overline{OE} (pin 20) should be made a common connection to all devices in the array and connected to the \overline{READ} line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

PROGRAMMING

CAUTION: Exceeding 22V on Pin 20 (\overline{OE}/V_{pp}) will permanently damage the 2732A.

Initially, and after each erasure, all bits of the 2732A are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732A is in the programming mode when the \overline{OE}/V_{pp} input is at 21V. It is required that a 0.1 μF capacitor be placed across \overline{OE}/V_{pp} and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec. active low, TTL program pulse is applied to the \overline{CE} input. A program pulse must be applied at each address location to be programmed. You can program any location at any time—either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2732A must not be programmed with a DC signal applied to the \overline{CE} input.

Programming of multiple 2732As in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2732As may be connected together when they are programmed with the same data. A low level TTL pulse applied to the \overline{CE} input programs the paralleled 2732As.

Program Inhibit

Programming of multiple 2732As in parallel with different data is also easily accomplished. Except for \overline{CE} , all like inputs (including \overline{OE}) of the parallel 2732As may be common. A TTL level program pulse applied to a 2732A's \overline{CE} input with \overline{OE}/V_{pp} at 21V will program that 2732A. A high level \overline{CE} input inhibits the other 2732As from being programmed.

Verify

A verify (Read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with \overline{OE}/V_{pp} and \overline{CE} at V_{IL}. Data should be verified t_{DV} after the falling edge of \overline{CE} .

Intelligent Identifier™ Mode

The Intelligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A₉ (pin 22) of the 2732A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A₀ (pin 8) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during Intelligent Identifier Mode.

Byte 0 (A₀ = V_{IL}) represents the manufacturer code and byte 1 (A₀ = V_{IH}) the device identifier code. For the Intel 2732A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O₇) defined as the parity bit.

Table 2. 2732A Intelligent Identifier™ Bytes

Identifier	Pins	A ₀ (8)	O ₇ (17)	O ₆ (16)	O ₅ (15)	O ₄ (14)	O ₃ (13)	O ₂ (11)	O ₁ (10)	O ₀ (9)	Hex Data
Manufacturer Code	V _{IL}	1	0	0	0	0	1	0	0	1	89
Device Code	V _{IH}	0	0	0	0	0	0	0	0	1	01

Intel began manufacturing 2732As during 1982 that contained the intelligent Identifier feature. Earlier generation devices do not contain identifier information, and if erased, will respond with a "one" (V_{OH}) on each data line when operated in this mode. Programmed, preidentifier mode 2732As will respond with the current data contained in locations 0 and 1 when subjected to the intelligent Identifier operation.

System Consideration

The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board-traces.

PROGRAMMING^[4]

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.	Max.		
I_{LI}	Input Current (All Inputs)			10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{OL}	Output Low Voltage During Verify			0.45	V	$I_{OL} = 2.1 \text{ mA}$
V_{OH}	Output High Voltage During Verify	2.4			V	$I_{OH} = -400 \mu\text{A}$
I_{CC}	V_{CC} Supply Current		85	100	mA	
V_{IL}	Input Low Level (All Inputs)	-0.1		0.8	V	
V_{IH}	Input High Level (All Inputs Except \overline{OE}/V_{PP})	2.0		V_{CC}	V	
I_{PP}	V_{PP} Supply Current			30	mA	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{PP}$
V_{ID}	Ag intelligent Identifier Voltage	11.5		12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions†
		Min.	Typ.	Max.		
t_{AS}	Address Setup Time	2			μs	
t_{OES}	\overline{OE} Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{OEH}	\overline{OE} Hold Time	2			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	\overline{OE} High to Output Not Driven	0		130	ns	
t_{DV}	Data Valid from \overline{CE}			1	μs	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{IL}$
t_{PW}	\overline{CE} Pulse Width During Programming	20	50	55	ms	
t_{PRT}	\overline{OE} Pulse Rise Time During Programming	50			ns	
t_{VR}	V_{PP} Recovery Time	2			μs	

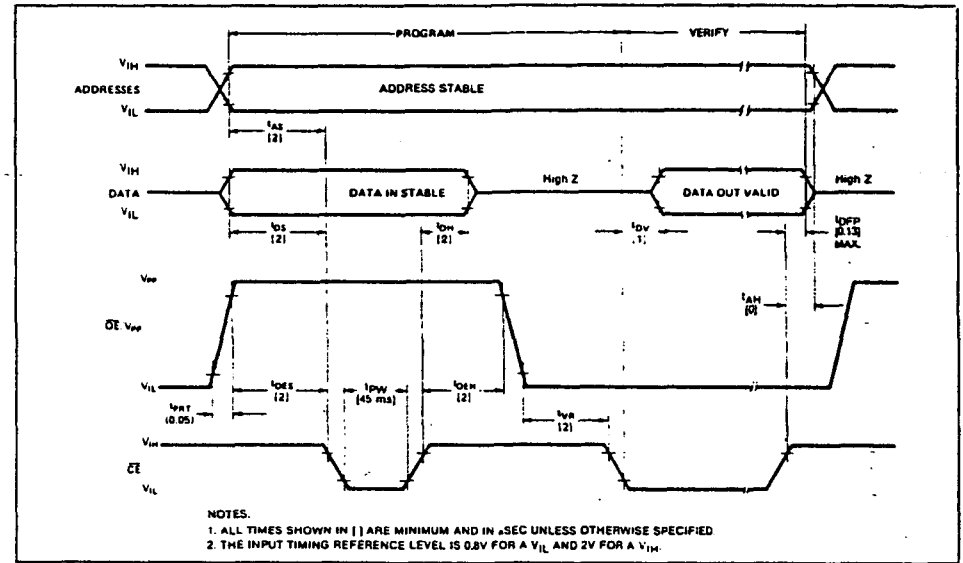
†A.C. TEST CONDITIONS

- Input Rise and Fall Times (10% to 90%) $\leq 20 \text{ ns}$
- Input Pulse Levels 0.45V to 2.4V
- Input Timing Reference Level 0.8V and 2.0V
- Output Timing Reference Level 0.8V and 2.0V

NOTES:

- Typical values are for $T_A = 25^\circ\text{C}$ and nominal supply voltages.
- This parameter is only sampled and is not 100% tested. Output float is defined as the point where data is no longer driven — see timing diagram
- \overline{OE} may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of \overline{CE} without impacting t_{ACC} .
- When programming the 2732A, a 0.1 μF capacitor is required across \overline{OE}/V_{PP} and ground to suppress spurious voltage transients which may damage the device.

PROGRAMMING WAVEFORMS



- NOTES:
- ALL TIMES SHOWN IN [] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED
 - THE INPUT TIMING REFERENCE LEVEL IS 0.8V FOR A V_{IL} AND 2V FOR A V_{IH} .

Applications of the 8205

The 8205 can be used in a wide variety of applications in microcomputer systems. I/O ports can be decoded from the address bus and select signals can be generated to select memory devices and the type of machine state such as in 8008 systems can be derived from a simple decoding of the state lines (S1, S2) of the 8008 CPU.

I/O PORT DECODER

Shown in the figure below is a typical application of the 8205. Address input lines are decoded by a group of 8205s (3). Each input has a binary weight. For example, A0 is assigned a value of 1 and is the LSB; A4 is assigned a value of 16 and is the MSB. By connecting them to the decoders as shown, an active low signal that is exclusive in nature and represents the value of the input address lines, is available at the outputs of the 8205s.

This circuit can be used to generate enable signals for I/O ports or any other decoder related application.

Note that no external gating is required to decode up to 24 exclusive devices and that a simple addition of an inverter or two will allow expansion to even larger decoder networks.

CHIP SELECT DECODER

Using a very similar circuit to the I/O port decoder, an ar-

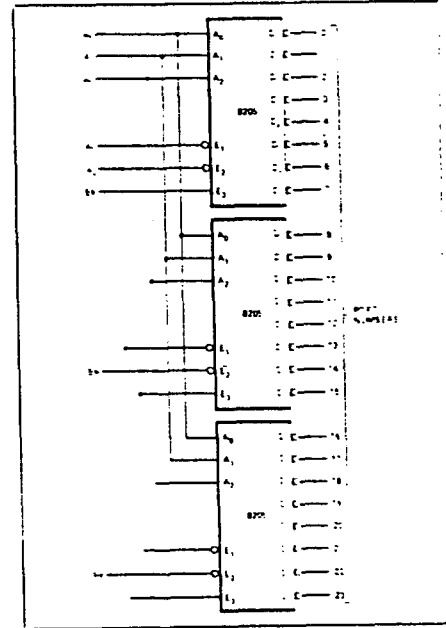


Figure 4. I/O Port Decoder

ray of 8205s can be used to create a simple method for a 24K memory system.

The memory devices used can be either ROM or RAM and are 1K in storage capacity. The 8205s are typically used to address the memory devices. The 8205 device has ten address lines and one chip select. The outputs of the 8205s are active low signals which come from the address lines of the memory elements and the chip select of the device or group of devices connected to the output of the 8205. The output of the 8205 is active low and is compatible with the memory elements.

Basic operation is that the CPU issues an address to a specific memory location in which it wants to "read" data. The most significant address lines are decoded by the array of 8205s and an active low chip select is generated that enables the memory device. The least significant address lines are used to specify location within the selected device. The address presses through the entire memory array to the data in nature and the non-volatile.

This technique can be expanded to address I/O ports even larger systems with the addition of a 74138 and an extra decoder device.



Figure 5. 24K memory system

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias:	-65°C to +125°C
Storage Temperature:	-65°C to +75°C
Operating Temperature:	-65°C to +160°C
Output or Supply Voltages:	-0.5 to +7 Volts
Input Voltages:	-1.0 to +5.5 Volts
Output Currents:	125 mA

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

CHARACTERISTICS (TA = 0°C to +75°C, VCC = 5V ±5%)

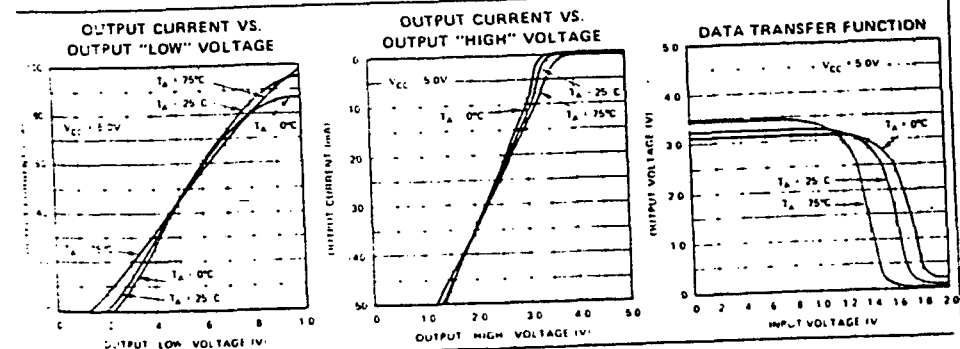
Symbol	Parameter	Limit		Unit	Test Conditions
		Min.	Max.		
IO	INPUT LOAD CURRENT		-0.25	mA	VCC = 5.25V, VF = 0.45V
IL	INPUT LEAKAGE CURRENT		10	µA	VCC = 5.25V, VR = 5.25V
VIC	INPUT FORWARD CLAMP VOLTAGE		-1.0	V	VCC = 4.75V, IC = -5.0 mA
VOL	OUTPUT "LOW" VOLTAGE		0.45	V	VCC = 4.75V, IO = 10.0 mA
VOH	OUTPUT HIGH VOLTAGE	2.4		V	VCC = 4.75V, IOH = -1.5 mA
VIL	INPUT "LOW" VOLTAGE		0.85	V	VCC = 5.0V
VIM	INPUT "HIGH" VOLTAGE	2.0		V	VCC = 5.0V
ISC	OUTPUT HIGH SHORT CIRCUIT CURRENT	-40	-120	mA	VCC = 5.0V, VOUT = 0V
VOX	OUTPUT "LOW" VOLTAGE @ HIGH CURRENT		0.8	V	VCC = 5.0V, IOX = 40 mA
ICC	POWER SUPPLY CURRENT		70	mA	VCC = 5.25V

A.C. CHARACTERISTICS (TA = 0°C to +75°C, VCC = 5V ±5% unless otherwise specified)

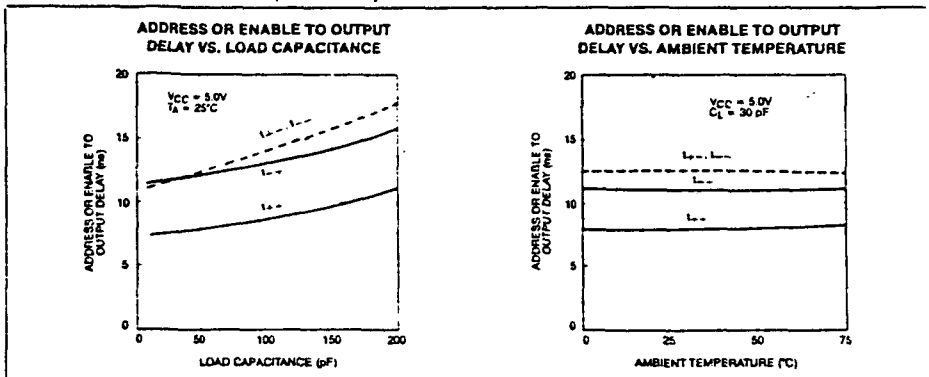
Symbol	Parameter	Max. Limit	Unit	Test Conditions
tPL	ADDRESS OR ENABLE TO OUTPUT DELAY	18	ns	
tPH		18	ns	
tOL		18	ns	
tOH		18	ns	
CIN	INPUT CAPACITANCE	P8205: 4(1tpd) 1 C8205: 5(1tpd) 1	pF	f = 1 MHz, VCC = 0V VBIAS = 2.0V, TA = 25°C

*This parameter is periodically sampled and is not 100% tested.

TYPICAL CHARACTERISTICS



TYPICAL CHARACTERISTICS (Continued)

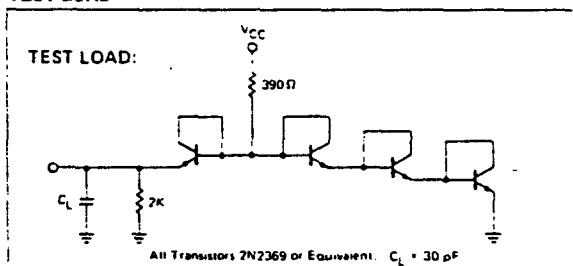


SWITCHING CHARACTERISTICS

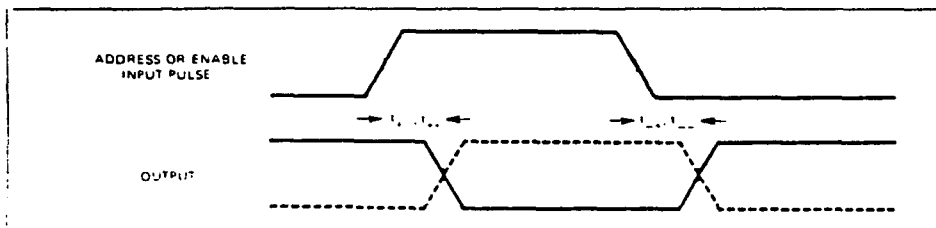
CONDITIONS OF TEST:

- Input pulse amplitudes: 2.5V
- Input rise and fall times: 5 nsec between 1V and 2V
- Measurements are made at 1.5V

TEST LOAD



WAVEFORMS



8212
8-BIT INPUT/OUTPUT PORT

- Fully Parallel 8-Bit Data Register and Buffer
- Service Request Flip-Flop for Interrupt Generation
- Low Input Load Current — .25mA Max.
- Three State Outputs
- Outputs Sink 15 mA
- 3.65V Output High Voltage for Direct Interface to 8008, 8080A, or 8085A CPU
- Asynchronous Register Clear
- Replaces Buffers, Latches and Multiplexers in Microcomputer Systems
- Reduces System Package Count
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The 8212 input/output port consists of an 8-bit latch with 3-state output buffers along with control and device selection logic. Also included is a service request flip-flop for the generation and control of interrupts to the microprocessor. The device is multimode in nature. It can be used to implement latches, gated buffers or multiplexers. Thus, all of the principal peripheral and input/output functions of a microcomputer system can be implemented with this device.

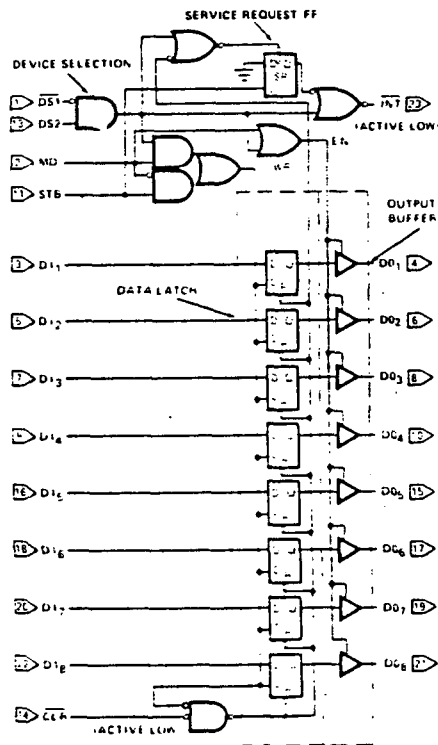


Figure 1. Logic Diagram

D1, D8	DATA IN
DO1, DO8	DATA OUT
DS1, DS2	DEVICE SELECT
MD	MODE
ST6	STROBE
INT	INTERRUPT (ACTIVE LOW)
CLR	CLEAR (ACTIVE LOW)

Figure 2. Pin Configuration

FUNCTIONAL DESCRIPTION

Data Latch

The 8 flip-flops that make up the data latch are of a "D" type design. The output (Q) of the flip-flop will follow the data input (D) while the clock input (C) is high. Latching will occur when the clock (C) returns low.

The latched data is cleared by an asynchronous reset input (CLR). Note: Clock (C) Overrides Reset (CLR).

Output Buffer

The outputs of the data latch (Q) are connected to 3-state, non-inverting output buffers. These buffers have a common control line (EN); this control line either enables the buffer to transmit the data from the outputs of the data latch (Q) or disables the buffer, forcing the output into a high impedance state (3-state).

The high-impedance state allows the designer to connect the 8212 directly onto the microprocessor bi-directional data bus.

Control Logic

The 8212 has control inputs DS1, DS2, MD and STB. These inputs are used to control device selection, data latching, output buffer state and service request flip-flop.

DS1, DS2 (Device Select)

These 2 inputs are used for device selection. When DS1 is low and DS2 is high (DS1 · DS2) the device is selected. In the selected state the output buffer is enabled and the service request flip-flop (SR) is asynchronously set.

MD (Mode)

This input is used to control the state of the output buffer and to determine the source of the clock input (C) to the data latch.

When MD is high (output mode) the output buffers are enabled and the source of the clock (C) to the data latch is from the device selection logic (DS1 · DS2).

When MD is low (input mode) the output buffer state is determined by the device selection logic (DS1 · DS2) and the source of clock (C) to the data latch is the STB (Strobe) input.

STB (Strobe)

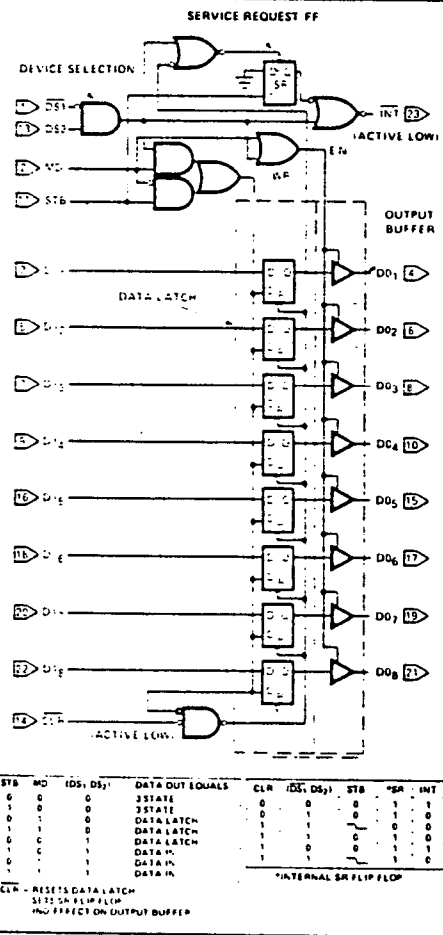
This input is used as the clock (C) to the data latch for the input mode (MD = 0) and to synchronously reset the service request flip-flop (SR).

Note that the SR flip-flop is negative edge triggered.

Service Request Flip-Flop

The (SR) flip-flop is used to generate and control interrupts in microcomputer systems. It is asynchronously set by the CLR input (active low). When the (SR) flip-flop is set it is in the non-interrupting state.

The output of the (SR) flip-flop (Q) is connected to an inverting input of a "NOR" gate. The other input to the "NOR" gate is non-inverting and is connected to the device selection logic (DS1 · DS2). The output of the "NOR" gate (INT) is active low (interrupting state) for connection to active low input priority generating circuits.



ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias Plastic	0°C to +70°C
Storage Temperature	-65°C to +160°C
All Output or Supply Voltages	-0.5 to +7 Volts
All Input Voltages	-1.0 to 5.5 Volts
Output Currents	100mA

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A=0°C to +75°C, V_{CC}= +5V ± 5%)

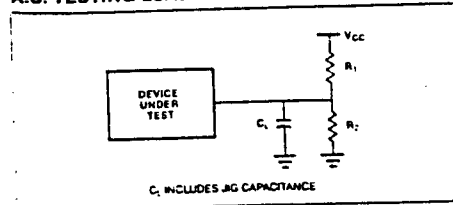
Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ.	Max.		
IF	Input Load Current, ACK, DS2, CR, DI ₁ -DI ₆ Inputs			-25	mA	V _F = .45V
IF	Input Load Current MD Input			-75	mA	V _F = .45V
IF	Input Load Current DS ₁ Input			-1.0	mA	V _F = .45V
IR	Input Leakage Current, ACK, DS, CR, DI ₁ -DI ₆ Inputs			10	μA	V _R ≤ V _{CC}
IR	Input Leakage Current MO Input			30	μA	V _R ≤ V _{CC}
IR	Input Leakage Current DS ₁ Input			40	μA	V _R ≤ V _{CC}
V _C	Input Forward Voltage Clamp			-1	V	I _C = -5mA
V _{IL}	Input "Low" Voltage			.85	V	
V _{IH}	Input "High" Voltage	2.0			V	
V _{OL}	Output "Low" Voltage			.45	V	I _{OL} = 15mA
V _{OH}	Output "High" Voltage	3.65	4.0		V	I _{OH} = -1mA
I _{SC}	Short Circuit Output Current	-15		-75	mA	V _O = 0V, V _{CC} = 5V
I _{IO}	Output Leakage Current High Impedance State			20	μA	V _O = .45V/5.25V _{CC}
I _{CC}	Power Supply Current		90	130	mA	

CAPACITANCE* (F = 1MHz, V_{BIAS} = 2.5V, V_{CC} = +5V, T_A = 25°C)

Symbol	Test	Limits	
		Typ.	Max.
C _{IN}	DS ₁ MD Input Capacitance	9pF	12pF
C _{IN}	DS ₂ , CLR, STB, DI ₁ -DI ₆ Input Capacitance	5pF	9pF
C _{OUT}	DO ₁ -DO ₈ Output Capacitance	8pF	12pF

*This parameter is sampled and not 100% tested.

A.C. TESTING LOAD CIRCUIT



SWITCHING CHARACTERISTICS

Conditions of Test

Input Pulse Amplitude = 2.5V
Input Rise and Fall Times 5ns
Between 1V and 2V Measurements made at 1.5V with 15mA and 30pF Test Load

NOTE:

Test	C _L *	R ₁	R ₂
1. t _{PD} , t _{WE} , t _R , t _S , t _C	30pF	300Ω	600Ω
t _E : ENABLE↑	30pF	10KΩ	1KΩ
t _E : ENABLE↓	30pF	300Ω	600Ω
t _E : DISABLE↑	5pF	300Ω	600Ω
t _E : DISABLE↓	5pF	10KΩ	1KΩ

*includes probe and jig capacitance

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ.	Max.		
ΔPW	Pulse Width	30			ns	
t_{PD}	Data to Output Delay			30	ns	Note 1
t_{WE}	Write Enable to Output Delay			40	ns	Note 1
t_{SET}	Data Set Up Time	15			ns	
t_H	Data Hold Time	20			ns	
t_{R}	Reset to Output Delay			40	ns	Note 1
t_S	Set to Output Delay			30	ns	Note 1
t_E	Output Enable/Disable Time			45	ns	Note 1
t_C	Clear to Output Delay			55	ns	Note 1

*Note: For extended Temperature EXPRESS use M8212 AC Electricals Parameters.

APPLICATIONS

Basic Schematic Symbols

Two examples of ways to draw the 8212 on system schematics—(1) the top being the detailed view showing pin numbers, and (2) the bottom being the symbolic view showing the system input or output as a system bus (bus containing 8 parallel lines). The output to the data bus is symbolic in referencing 8 parallel lines.

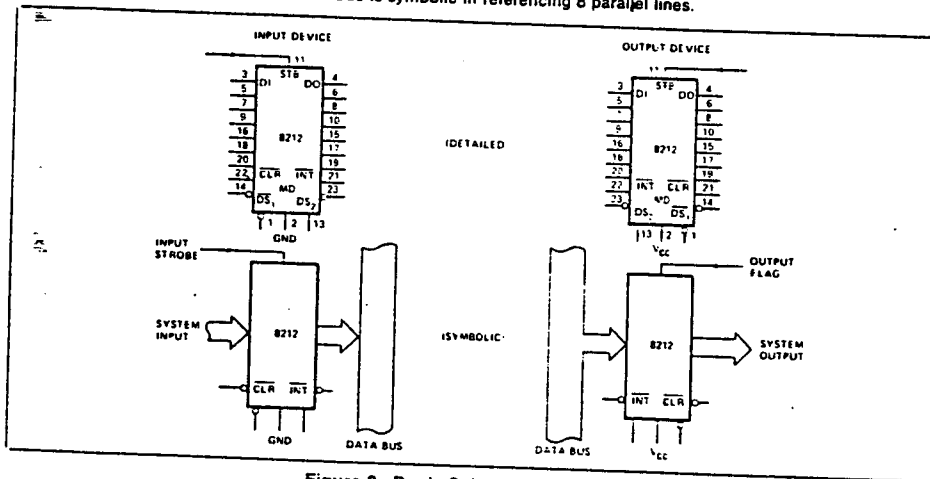


Figure 3. Basic Schematic Symbols

Gated Buffer (3-State)

The simplest use of the 8212 is that of a gated buffer. By tying the mode signal low and the strobe input high, the data latch is acting as a straight through gate. The output buffers are then enabled from the device selection logic DS1 and DS2.

When the device selection logic is false, the outputs are 3-state.

When the device selection logic is true, the input data from the system is directly transferred to the output. The input data load is 250 micro amps. The output data can sink 15 milli amps. The minimum high output is 3.65 volts.

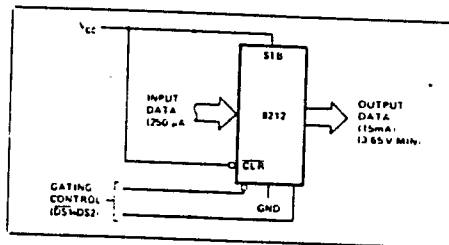


Figure 4. Gated Buffer

Bi-Directional Bus Driver

A pair of 8212's wired (back-to-back) can be used as a symmetrical drive, bi-directional bus driver. The devices are controlled by the data bus input control which is connected to DS1 on the first 8212 and to DS2 on the second. One device is active, and acting as a straight through buffer the other is in 3-state mode. This is a very useful circuit in small system design.

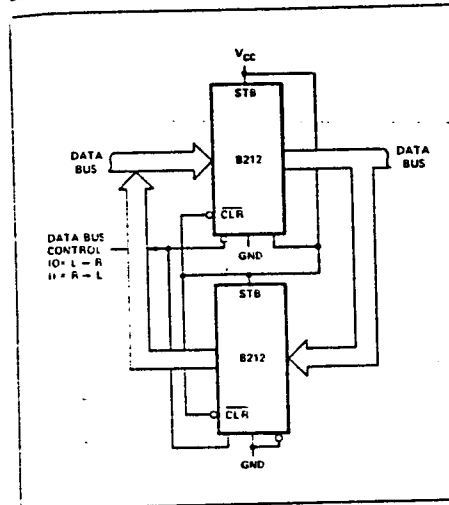


Figure 5. Bidirectional Bus Driver

Interrupting Input Port

This use of an 8212 is that of a system input port that accepts a strobe from the system input source, which in turn clears the service request flip-flop and interrupts the processor. The processor then goes through a service routine, identifies the port, and causes the device selection logic to go true — enabling the system input data onto the data bus.

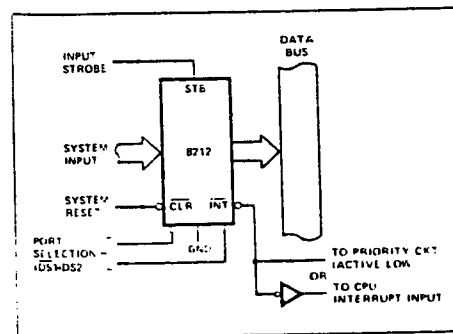


Figure 6. Interrupting Input Port

Interrupt Instruction Port

The 8212 can be used to gate the interrupt instruction, normally RESTART instructions, onto the data bus. The device is enabled from the interrupt acknowledge signal from the microprocessor and from a port selection signal. This signal is normally tied to ground. (DS1 could be used to multiplex a variety of interrupt instruction ports onto a common bus).

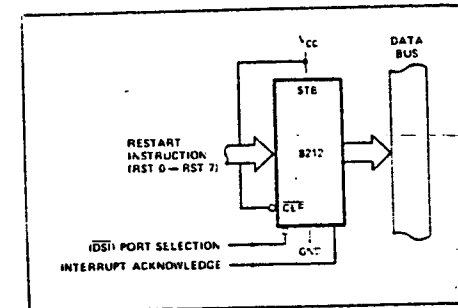


Figure 7. Interrupt Instruction Port

Output Port (With Hand-Shaking)

The 8212 can be used to transmit data from the data bus to a system output. The output strobe could be a hand-shaking signal such as "reception of data" from the device that the system is outputting to. In turn, can interrupt the system signifying the reception of data. The selection of the port comes from the device selection logic, DS1 - DS2.

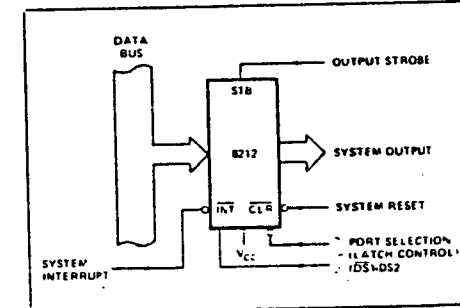
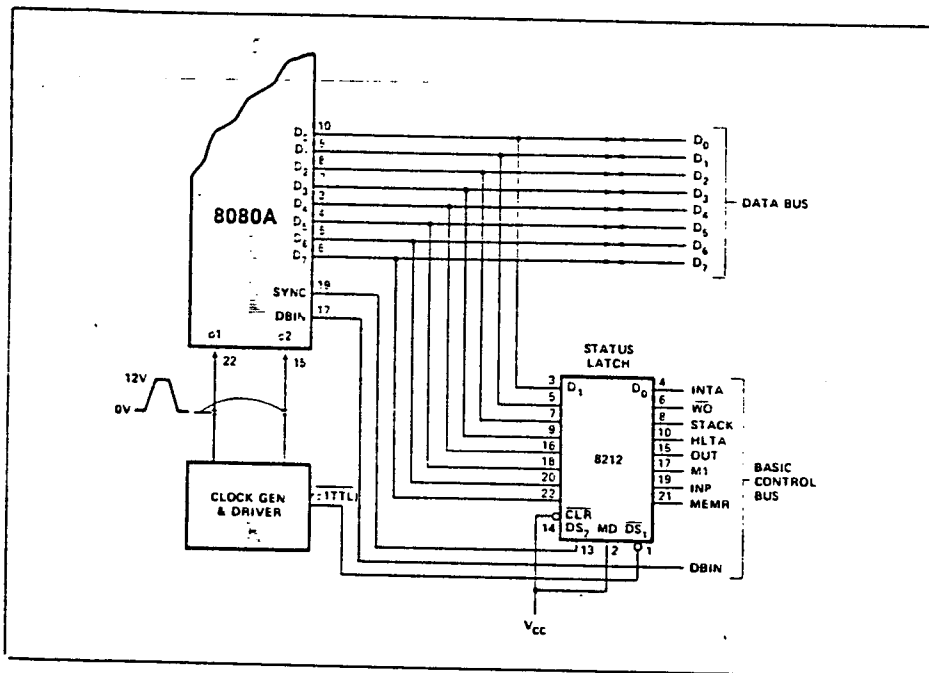
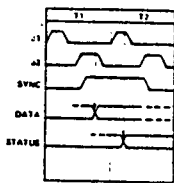


Figure 8. Output Port

808A Status Latch

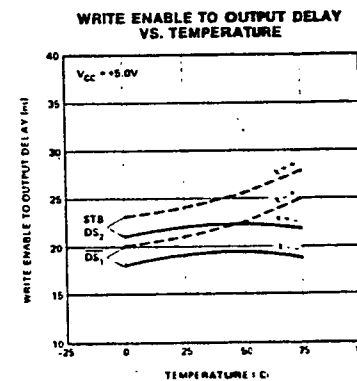
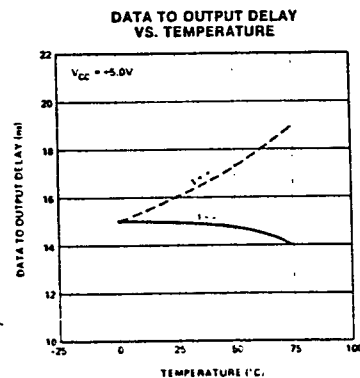
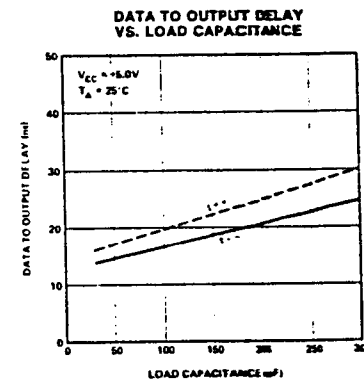
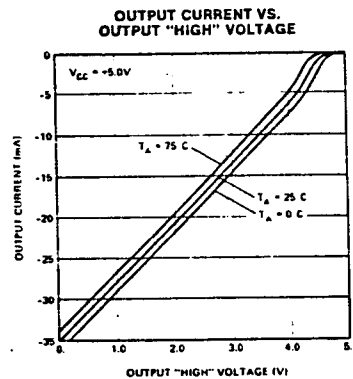
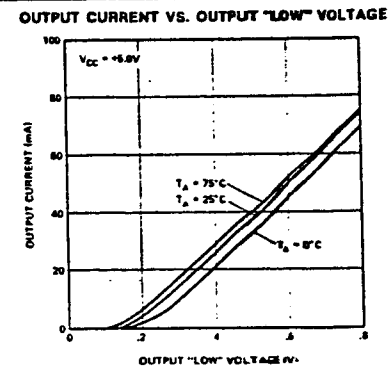
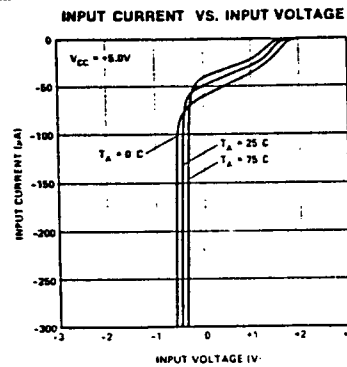
Here the 8212 is used as the status latch for an 8080A microcomputer system. The input to the 8212 latch is directly from the 8080A data bus. Timing shows that when the SYNC signal is true, which is connected to the DS2 input and the phase 1 signal is true, which is a TTL level coming from the clock generator; then, the status data will be latched into the 8212.



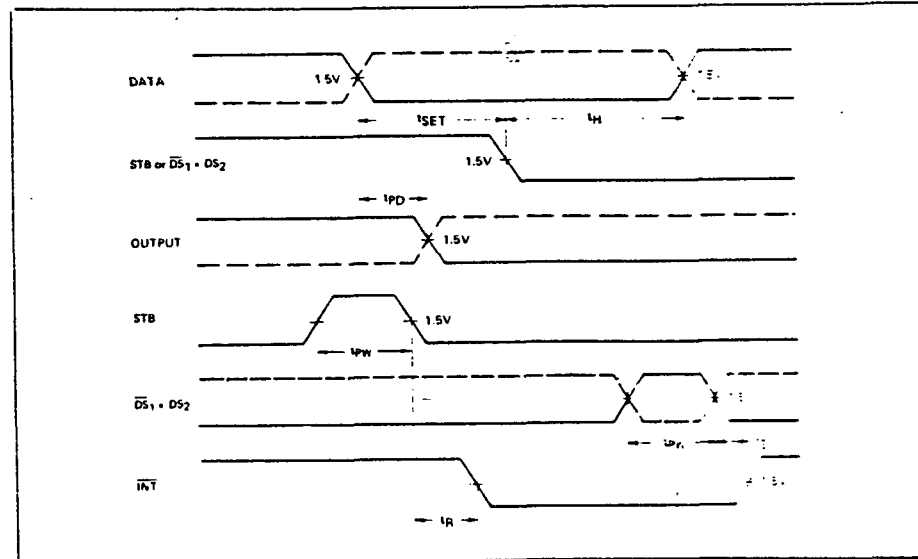
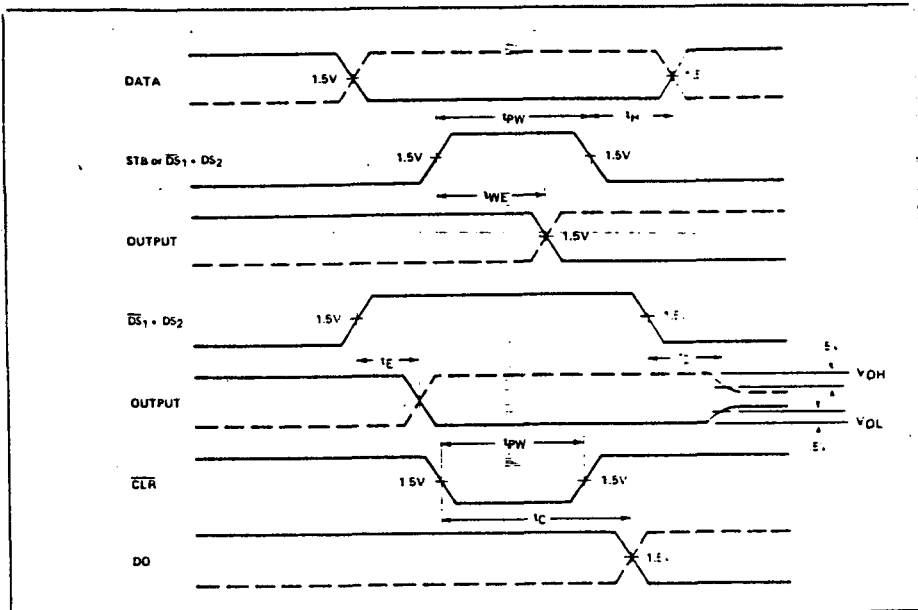
Note: The mode signal is tied high so that the output on the latch is active and enabled all the time.

It is shown that the two areas of concern are the bi-directional data bus of the microprocessor and the control bus.

TYPICAL CHARACTERISTICS



WAVEFORMS



8216/8226

4-BIT PARALLEL BIDIRECTIONAL BUS DRIVER

- Data Bus Buffer Driver for 8080 CPU
- Low Input Load Current — 0.25 mA Maximum
- High Output Drive Capability for Driving System Bus
- 3.65V Output High Voltage for Direct Interface to 8080 CPU
- 3-State Outputs
- Reduces System Package Count
- Available in EXPRESS - Standard Temperature Range

The 8216/8226 is a 4-bit bidirectional bus driver/receiver. All inputs are low power TTL compatible. For driving MOS, the DO outputs provide a high 3.65V V_{OH} , and for high capacitance terminated bus structures, the DB outputs provide a high 50 mA I_{OL} capability. A non-inverting (8216) and an inverting (8226) are available for buffering in microcomputer systems.

*Note: The specifications for the 8216/8226 are identical with those for the 8216/8226.

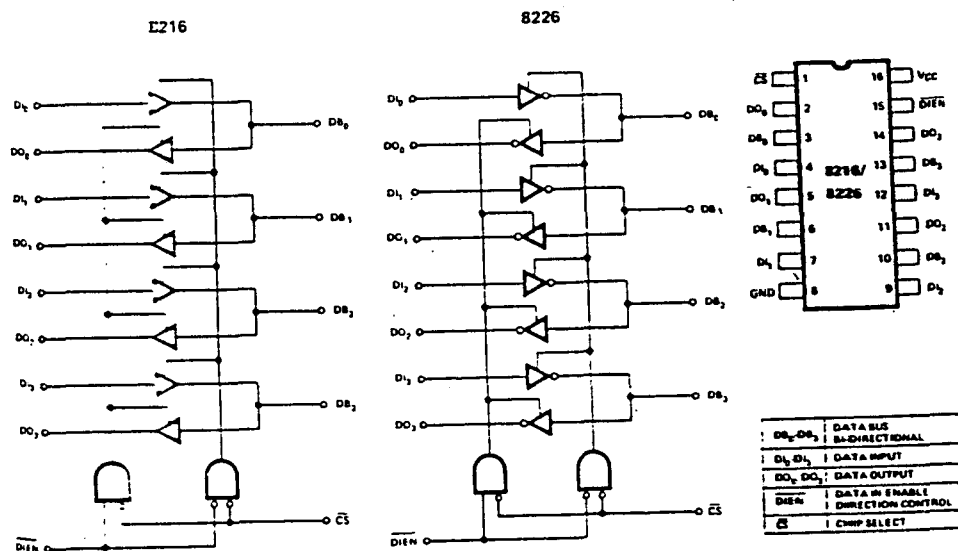
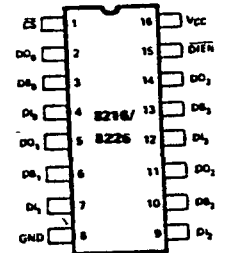


Figure 1. Block Diagrams



DB ₀ -DB ₃	DATA BUS BI-DIRECTIONAL
D ₀ , D ₁	DATA INPUT
DO ₀ , DO ₁	DATA OUTPUT
DS ₁₆	DATA IN ENABLE
CS	DIRECTION CONTROL
CS	CHIP SELECT

Figure 2. Pin Configuration

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Controllers provide a function for Asynchronous, byte Synchronous (IBM Bisync) and Bit Synchronous (HDLC/SDLC) protocols support. It is optimized for high-speed applications requiring the flexibility of the protocol support and the integration of multiple communications channels.

The 82530 SCC (Serial Communications Controller) is another dual channel multiprotocol controller. It contains new functions including on-chip baud rate generators, digital phase locked loops, various data encoding, decoding schemes and extensive diagnostic capabilities. All these added features reduce the need for external logic and greatly improve the reliability and maintainability of the system.

Distributed Intelligence Systems

The 8044/8744 is a microcontroller with an on-chip serial communication processor. It simplifies control of remote subsystems (subsystems that are physically separated from the host CPU and communicate over a serial link).

The 8044 and 8051 CPUs are identical. The serial communication is handled by an additional processor called the Serial Interface Unit (SIU). The SIU operates concurrently with the CPU and offers a high level of intelligence and performance for HDLC/SDLC based communications. The SIU can handle 2.4 Mbps in Half-Duplex mode.

In addition to controlling communications with the host CPU, the 8044 provides significant peripheral control. Examples include local keyboard, CRT and printer control as well as design of network for Distributed Intelligence Systems (Medical instrumentation, CATV, PABX, etc. . .)

Detailed 8044/8744 information is contained in the Intel Microcontroller Handbook.

Instrumentation

The 8291A, 8292, and 8293 family of components provide complete, high-performance support for IEEE-488 (GPIB) standard interface. GPIB is used in instrumentation applications.

The 8291A implements the Talker/Listener functions of the GPIB.

The 8292 provides the controller functions. Operating in tandem with the 8291A, it complements its interface functions to provide a full-capability GPIB interface.

The 8293 is a low-power, high-current, HMOS 8-line transceiver. It provides the electrical interface to the GPIB.

Local Area Networks

Intel has developed the first complete VLSI solution for Local Area Networks (LANs) and Ethernet in particular: the 82586 Local Area Network Coprocessor and the 82501 ESI (Ethernet Serial Interface).

Four on-chip DMA channels allow the 82586 to operate as a bus master. The 82586 manages the entire process of transmitting and receiving frames, thereby relieving the host processor of the tasks of managing the communication interface to the network.

An extensive set of diagnostic capabilities, implemented in silicon, simplifies the design of more reliable local networks and facilitates their maintenance. In order to take full advantage of the LAN concept and CSMA/CD access method, the 82586 architecture is software configurable. This allows the 82586 to be "customized" for other applications including serial backplanes (serial peripheral interconnection), low cost short distance LANs, broadband networks and medium speed (1-2 Mbps) LANs.

The 82501 is designed to work directly with the 82586 in Ethernet applications. The major functions of the ESI are to generate the 10 MHz transmit clock for the 82586, to perform Manchester encoding/decoding of transmitted/received frames, and to provide the electrical interface to the Ethernet transceiver cable.

The Intel Data Communications product family provides a wide range of solutions for the needs of data communications systems.

PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate—DC to 64K Baud
- Asynchronous Baud Rate—DC to 19.2K Baud
- Full-Duplex, Double-Buffered Transmitter and Receiver
- Error Detection—Parity, Overrun and Framing
- Compatible with an Extended Range of Intel Microprocessors
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Available in EXPRESS—Standard Temperature Range—Extended Temperature Range

The Intel® 8251A is the enhanced version of the industry standard, Intel 8251 Universal Synchronous Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's microprocessor families such as MCS-48, 80, 85, and iAPX-86, 88. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is fabricated using N-channel silicon gate technology.

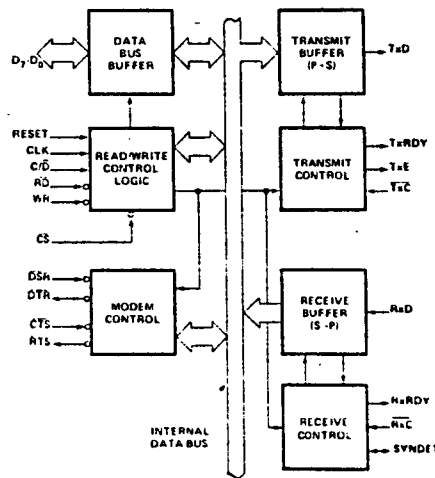


Figure 1: Block Diagram

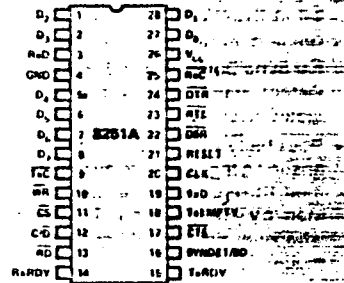


Figure 2: Pin Configuration

FEATURES AND ENHANCEMENTS

8251A is an advanced design of the industry standard USART, the Intel® 8251. The 8251A adds with an extended range of Intel microprocessors and maintains compatibility with 8085. Familiarization time is minimal because of compatibility and involves only knowing the additional features and enhancements, and reviewing AC and DC specifications of the 8251A.

8251A incorporates all the key features of the 8251 and has the following additional features and enhancements:

- Double-buffered data paths with separate registers for control, status, Data In, and Data Out, which considerably simplifies control programming and minimizes CPU overhead.

- For asynchronous operations, the Receiver detects and handles "break" automatically, relieving the CPU of this task.

- Refined Rx initialization prevents the Receiver from starting when in "break" state, preventing unwanted interrupts from a disconnected USART.

- At the conclusion of a transmission, Tx/D line will always return to the marking state unless SBRK is programmed.

- Enable logic enhancement prevents a Tx Disable command from halting transmission until all data previously written has been transmitted. The logic also prevents the transmitter from turning off in the middle of a word.

- When External Sync Detect is programmed, Internal Sync Detect is disabled, and an External Sync detect status is provided via a flip-flop which clears itself upon a status read.

- Possibility of false sync detect is minimized by ensuring that if double character sync is programmed, the characters be contiguously detected and also by clearing the Rx register to all ones whenever Enter Hunt command is issued in Sync mode.

- As long as the 8251A is not selected, the RD and WR do not affect the internal operation of the device.

- The 8251A Status can be read at any time but the status update will be inhibited during status read.

- The 8251A is free from extraneous glitches and has enhanced AC and DC characteristics, providing higher speed and better operating margins.

- Synchronous Baud rate from DC to 64K.

FUNCTIONAL DESCRIPTION

General

The 8251A is a Universal Synchronous/Asynchronous Receiver/Transmitter designed for a wide range of Intel microcomputers such as 8048, 8080, 8085, 8086 and 8088. Like other I/O devices in a microcomputer system, its functional configuration is programmed by the system's software for maximum flexibility. The 8251A can support most serial data techniques in use, including IBM "bi-sync."

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

Data Bus Buffer

This 3-state, bidirectional, 8-bit buffer is used to interface the 8251A to the system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer. The Command Status, Data-In and Data-Out registers are separate, 8-bit registers communicating with the system bus through the Data Bus Buffer.

This functional block accepts inputs from the system Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for the device functional definition.

RESET (Reset)

A "high" on this input forces the 8251A into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251A to program its functional definition. Minimum RESET pulse width is 6 t_{cy} (clock must be running).

A command reset operation also puts the device into the "Idle" state.

CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter data bit rates.

WR (Write)

A "low" on this input informs the 8251A that the CPU is writing data or control words to the 8251A.

RD (Read)

A "low" on this input informs the 8251A that the CPU is reading data or status information from the 8251A.

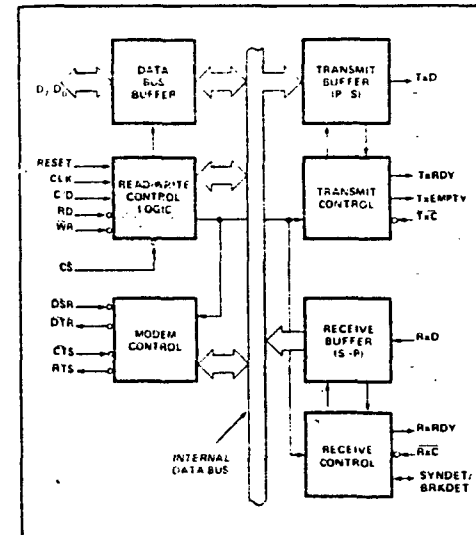


Figure 3. 8251A Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

C/D	RD	WR	CS	
0	0	1	0	8251A DATA ← DATA BUS
0	1	0	0	DATA BUS ← 8251A DATA
1	0	1	0	STATUS ← DATA BUS
1	1	0	0	DATA BUS ← CONTROL
X	1	1	0	DATA BUS ← 3-STATE
X	X	X	1	DATA BUS ← 3-STATE

C/D (Control/Data)

This input, in conjunction with the WR and RD inputs, informs the 8251A that the word on the Data Bus is either a data character, control word or status information.

1 = CONTROL/STATUS; 0 = DATA.

CS (Chip Select)

A "low" on this input selects the 8251A. No reading or writing will occur unless the device is selected. When CS is high, the Data Bus is in the float state and RD and WR have no effect on the chip.

Modem Control

The 8251A has a set of control inputs and outputs that can be used to simplify the interface to almost any modem. The modem control signals are general purpose in nature and can be used for functions other than modem control, if necessary.

DSR (Data Set Ready)

The DSR input signal is a general-purpose, 1-bit inverting input port. Its condition can be tested by the CPU using a Status Read operation. The DSR input is normally used to test modem conditions such as Data Set Ready.

DTR (Data Terminal Ready)

The DTR output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The DTR output signal is normally used for modem control such as Data Terminal Ready.

RTS (Request to Send)

The RTS output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The RTS output signal is normally used for modem control such as Request to Send.

CTS (Clear to Send)

A "low" on this input enables the 8251A to transmit serial data if the Tx Enable bit in the Command byte is set to a "one." If either a Tx Enable off or CTS off condition occurs while the Tx is in operation, the Tx will transmit all the data in the USART, written prior to Tx Disable command before shutting down.

Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial stream, inserts the appropriate characters or bits based on the communication technique) and outputs a composite serial stream of data on the TxD output pin on the falling edge of Tx̄C. The transmitter begins transmission upon being enabled if CTS = 0. The Tx̄D line will be held in the marking state immediately upon a master Reset or when Tx̄Enable or CTS is off or the transmitter is empty.

Transmitter Control

Transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

TxDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. The Tx̄RDY output pin can be used as an interrupt to the system since it is masked by Tx̄Enable; or, for Polled operation, the CPU can check Tx̄RDY using a Status Read operation. Tx̄RDY is automatically reset by the leading edge of WR when a data character is received from the CPU.

Note that when using the Polled operation, the Tx̄RDY status bit is *not* masked by Tx̄Enable, but will only indicate the Empty/Full Status of the Tx Data Input Register.

TxE (Transmitter Empty)

When the 8251A has no characters to send, the Tx̄EMPTY output will go "high." It resets upon receiving a character from CPU if the transmitter is enabled. Tx̄EMPTY remains high when the transmitter is disabled. Tx̄EMPTY can be used to monitor the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the asynchronous operational mode.

In the Synchronous mode, a "high" on the output indicates that a character has not been received and the SYNC character or characters are about to be or are being transmitted automatically as "fillers." Tx̄EMPTY does not go low when the SYNC characters are being shifted out.

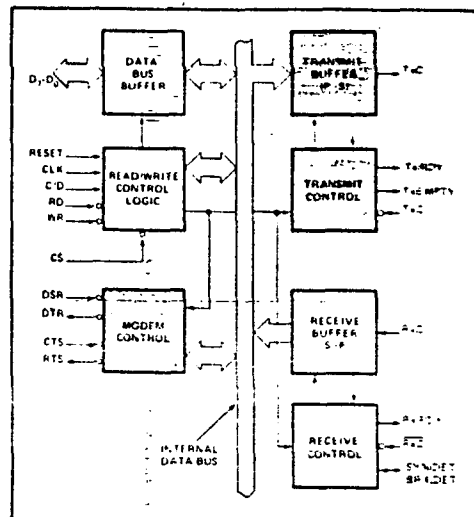


Figure 4. 8251A Block Diagram Showing Modem and Transmitter Buffer and Control Functions

Tx̄C (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the Baud Rate (1x) is equal to the Tx̄C frequency. In Asynchronous transmission mode, the baud rate is a fraction of the actual Tx̄C frequency. A portion of the mode instruction selects this factor; it can be 1, 1/16 or 1/64 the Tx̄C.

For Example:

If Baud Rate equals 110 Baud,
Tx̄C equals 110 Hz in the 1x mode.
Tx̄C equals 1.72 kHz in the 16x mode.
Tx̄C equals 7.04 kHz in the 64x mode.

The falling edge of Tx̄C shifts the serial data out of the 8251A.

Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to Rx̄D pin, and is clocked in on the rising edge of Rx̄C.

Receiver Control

This functional block manages all receiver-related activities which consists of the following features.

The Rx̄D initialization circuit prevents the 8251A from mistaking an unused input line for an active low data line in the "break condition." Before starting to receive serial characters on the Rx̄D line, a valid "1" must first be detected after a chip master Reset. Once this has been determined, a search for a valid low (Start bit) is enabled. This feature is only active in the asynchronous mode, and is only done once for each master Reset.

The False Start bit detection circuit prevents false starts due to a transient noise spike by first detecting the falling edge and then strobing the nominal center of the Start bit (Rx̄D = low).

Parity error detection sets the corresponding status bit.

The Framing Error status bit is set if the Stop bit is absent at the end of the data byte (asynchronous mode).

Rx̄RDY (Receiver Ready)

This output indicates that the 8251A contains a character that is ready to be input to the CPU. Rx̄RDY can be connected to the interrupt structure of the CPU or, for polled operation, the CPU can check the condition of Rx̄RDY using a Status Read operation.

Rx̄Enable, when off, holds Rx̄RDY in the Reset Condition. For Asynchronous mode, to set Rx̄RDY, the Receiver must be enabled to sense a Start Bit and a complete character must be assembled and transferred to the Data Output Register. For Synchronous mode, to set Rx̄RDY, the Receiver must be enabled and a character must finish assembly and be transferred to the Data Output Register.

Failure to read the received character from the Rx Data Output Register prior to the assembly of the next Rx Data character will set overrun condition error and the previous character will be written over and lost. If the Rx Data is being read by the CPU when the internal transfer is occurring, overrun error will be set and the old character will be lost.

Rx̄C (Receiver Clock)

The Receiver Clock controls the rate at which the character is to be received. In Synchronous Mode, the Baud Rate (1x) is equal to the actual frequency of Rx̄C. In Asynchronous Mode, the Baud Rate is a fraction of the actual Rx̄C frequency. A portion of the mode instruction selects this factor: 1, 1/16 or 1/64 the Rx̄C.

For example:

Baud Rate equals 300 Baud, if
Rx̄C equals 300 Hz in the 1x mode;
Rx̄C equals 4800 Hz in the 16x mode;
Rx̄C equals 19.2 kHz in the 64x mode.

Baud Rate equals 2400 Baud, if
Rx̄C equals 2400 Hz in the 1x mode;
Rx̄C equals 38.4 kHz in the 16x mode;
Rx̄C equals 153.6 kHz in the 64x mode.

Data is sampled into the 8251A on the rising edge of Rx̄C.

NOTE: In most communications systems, the 8251A will be handling both the transmission and reception operations of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both Tx̄C and Rx̄C will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

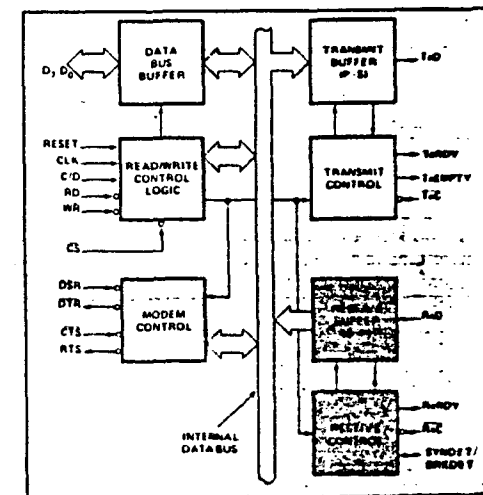


Figure 5. 8251A Block Diagram Showing Receiver Buffer and Control Functions

SYNDET (SYNC Detect/ BRKDET Break Detect)

This pin is used in Synchronous Mode for SYNDET and may be used as either input or output, programmable through the Control Word. It is reset to output mode low upon RESET. When used as an output (internal Sync mode), the SYNDET pin will go "high" to indicate that the 8251A has located the SYNC character in the Receive mode. If the 8251A is programmed to use double Sync characters (bi-sync), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

Used as an input (external SYNC detect mode), a rising going signal will cause the 8251A to start assembling data characters on the rising edge of the next RxC . Once in SYNC, the "high" input signal can be removed. When External SYNC Detect is programmed, Internal SYNC Detect is disabled.

BREAK (Async Mode Only)

This output will go high whenever the receiver remains low through two consecutive stop bit sequences (including the start bits, data bits, and parity bits). Break Detect may also be read as a Status bit. It is reset only upon a master chip Reset or Rx Data returning to a "one" state.

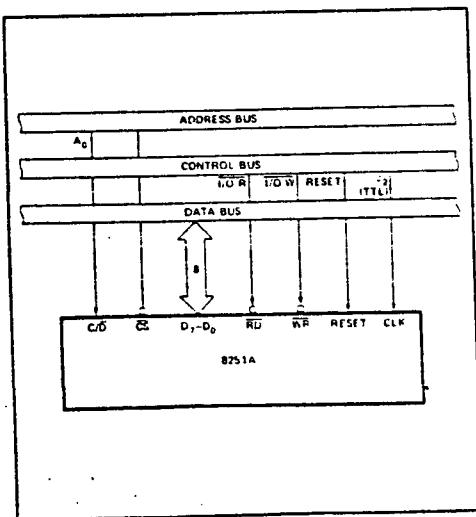


Figure 6. 8251A Interface to 8080 Standard System Bus

DETAILED OPERATION DESCRIPTION

General

The complete functional definition of the 8251A is programmed by the system's software. A set of control words must be sent out by the CPU to initialize the 8251A to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD/OFF PARITY, etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251A is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the 8251A is ready to receive a data character from the CPU. This output (TxRDY) is reset automatically when the CPU writes a character into the 8251A. On the other hand, the 8251A receives serial data from the MODEM or I/O device. Upon receiving an entire character, the RxRDY output is raised "high" to signal the CPU that the 8251A has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU data read operation.

The 8251A cannot begin transmission until the Tx Enable (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The Tx output will be held in the marking state upon Reset.

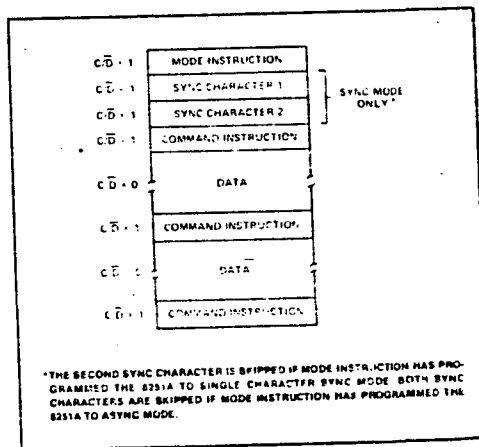


Figure 7. Typical Data Block

Programming the 8251A

Prior to starting data transmission or reception, the 8251A must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251A and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

This instruction defines the general operational characteristics of the 8251A. It must follow a Reset operation (internal or external). Once the Mode Instruction has been written into the 8251A by the CPU, SYNC characters or Command Instructions may be written.

Command Instruction

This instruction defines a word that is used to control the actual operation of the 8251A.

Both the Mode and Command Instructions must conform to a specified sequence for proper device operation (see Figure 7). The Mode Instruction must be written immediately following a Reset operation, prior to using the 8251A for data communication.

All control words written into the 8251A after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251A at any time in the data block during the operation of the 8251A. To return to the Mode Instruction format, the master Reset bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251A back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.

Mode Instruction Definition

The 8251A can be used for either Asynchronous or Synchronous data communication. To understand now the Mode Instruction defines the functional operation of the 8251A, the designer can best view the device as two separate components, one Asynchronous and the other Synchronous, sharing

the same package. The format definition can be changed only after a master chip Reset. For explanation purposes the two formats will be isolated.

NOTE: When parity is enabled it is not considered as one of the data bits for the purpose of programming the word length. The actual parity bit received on the Rx Data line cannot be read on the Data Bus. In the case of a programmed character length of less than 8 bits, the least significant Data Bus bits will hold the data; unused bits are "don't care" when writing data to the 8251A, and will be "zeros" when reading the data from the 8251A.

Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the 8251A automatically adds a Start bit (low level) followed by the data bits (least significant bit first), and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the Tx output. The serial data is shifted out on the falling edge of TxC at a rate equal to 1, 1/16, or 1/64 that of the TxC , as defined by the Mode Instruction. BREAK characters can be continuously sent to the Tx if commanded to do so.

When no data characters have been loaded into the 8251A the Tx output remains "high" (marking) unless a Break (continuously low) has been programmed.

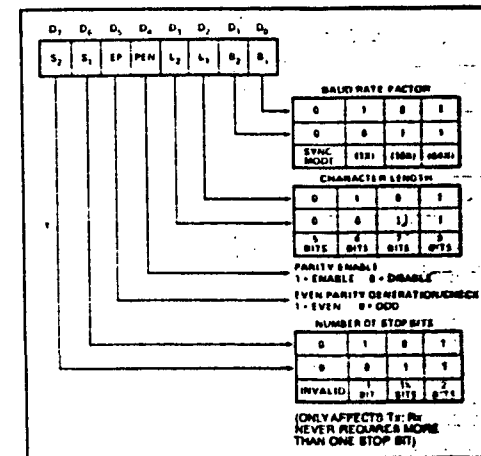


Figure 8. Mode Instruction Format, Asynchronous Mode

Asynchronous Mode (Receive)

The RxD line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center (16X or 64X mode only). If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter thus locates the center of the data bits, the parity bit (if it exists) and the stop bits. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of RxC. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit, the end of a character. Note that the receiver requires one stop bit, regardless of the number of characters programmed. This character is then loaded into the parallel I/O buffer of the 8251A. The RxDY pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character is placed in the I/O buffer, and the OVERRUN Error flag is raised (thus the previous character is lost). All of the error flags can be reset by an Error Reset instruction. The occurrence of any of these errors will not affect the operation of the 8251A.

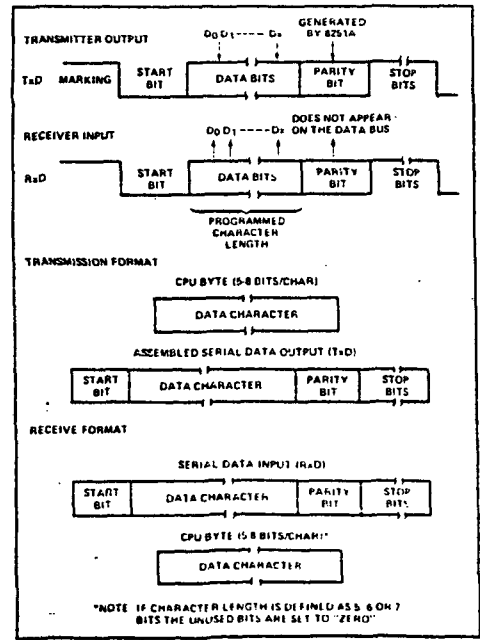
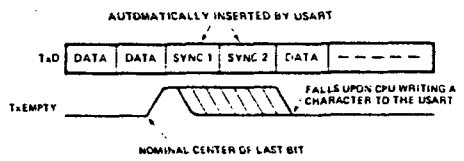


Figure 9. Asynchronous Mode

Synchronous Mode (Transmission)

The TxD output is continuously high until the CPU sends its first character to the 8251A which usually is a SYNC character. When the CTS line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of TxC. Data is shifted out at the same rate as the TxC.

Once transmission has started, the data stream at the TxD output must continue at the TxC rate. If the CPU does not provide the 8251A with a data character before the 8251A Transmitter Buffers become empty, the SYNC characters (or character if in single SYNC character mode) will be automatically inserted in the TxD data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251A is empty and SYNC characters are being sent out. TxEMPTY does not go low when the SYNC is being shifted out (see figure below). The TxEMPTY pin is internally reset by a data character being written into the 8251A.



Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the SYNC mode has been programmed, ENTER HUNT command should be included in the first command instruction word written. Data on the RxD pin is then sampled on the rising edge of RxC. The content of the Rx buffer is compared at every bit boundary with the first SYNC character until a match occurs. If the 8251A has been programmed for two SYNC characters, the subsequent received character is also compared; when both SYNC characters have been detected, the USART ends the HUNT mode and is in character synchronization. The SYNDET pin is then set high, and is reset automatically by a STATUS READ. If parity is programmed, SYNDET will not be set until the middle of the parity bit instead of the middle of the last data bit.

In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDET pin, thus forcing the 8251A out of the HUNT mode. The high level can be removed after one RxC cycle. An ENTER HUNT command has no effect in the asynchronous mode of operation.

Parity error and overrun error are both checked in the same way as in the Asynchronous Rx mode. Parity is checked when not in Hunt, regardless of whether the Receiver is enabled or not.

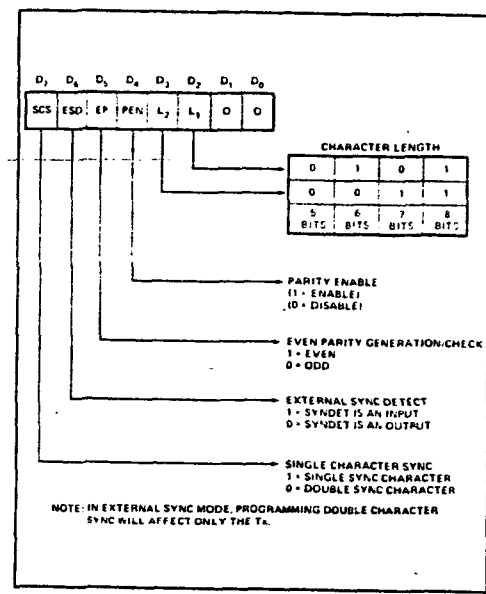


Figure 10. Mode Instruction Format, Synchronous Mode

The CPU can command the receiver to enter the HUNT mode if synchronization is lost. This will also set all the used character bits in the buffer to a "one," thus preventing a possible false SYNDET caused by data that happens to be in the Rx Buffer at ENTER HUNT time. Note that the SYNDET F/F is reset at each Status Read, regardless of whether internal or external SYNC has been programmed. This does not cause the 8251A to return to the HUNT mode. When in SYNC mode, but not in HUNT, Sync Detection is still functional, but only occurs at the "known" word boundaries. Thus, if one Status Read indicates SYNDET and a second Status Read also indicates SYNDET, then the programmed SYNDET characters have been received since the previous Status Read. (If double character sync has been programmed, then both sync characters have been contiguously received to gate a SYNDET indication.) When external SYNDET mode is selected, internal Sync Detect is disabled, and the SYNDET F/F may be set at any bit boundary.

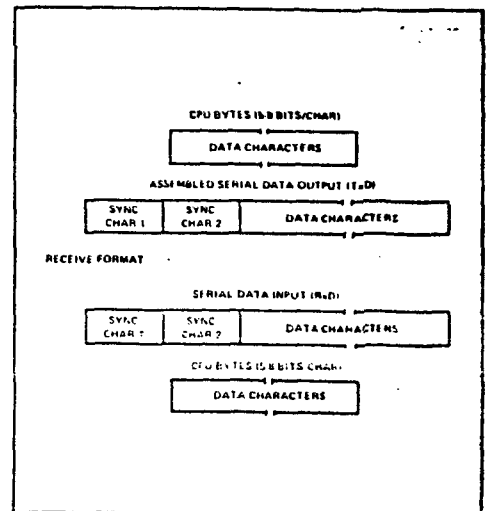


Figure 11. Data Format, Synchronous Mode

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251A has been programmed by the Mode Instruction and the sync characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251A and Sync characters inserted, if necessary, then all further "control writes" (C/D = 1) will load a Command Instruction. A Reset Operation (internal or external) will return the 8251A to the Mode Instruction format.

Note: Internal Reset on Power-up

When power is first applied, the 8251A may come up in the Mode, Sync character or Command format. To guarantee that the device is in the Command instruction format before the Reset command is issued, it is safest to execute the worst-case initialization sequence (sync mode with two sync characters). Loading three 00Hs consecutively into the device with C/D = 1 configures sync operation and writes two dummy 00H sync characters. An Internal Reset command (40H) may then be issued to return the device to the "Idle" state.

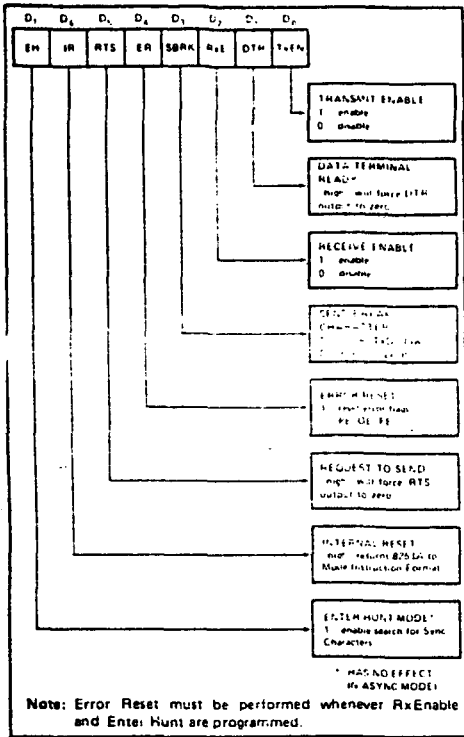


Figure 12. Command Instruction Format

STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251A has facilities that allow the programmer to "read" the status of the device at any time during the functional operation. (Status update is inhibited during status read.)

A normal "read" command is issued by the CPU with $C/D = 1$ to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251A can be used in a completely polled or interrupt-driven environment. TxRDY is an exception.

Note that status update can have a maximum delay of 28 clock periods from the actual event affecting the status.

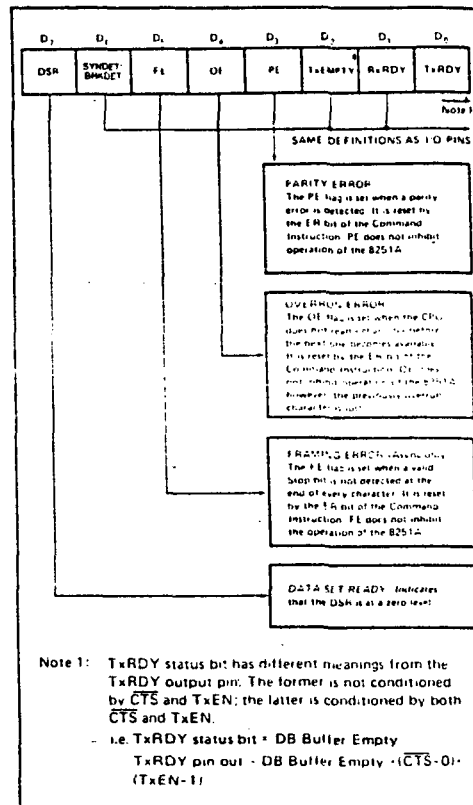


Figure 13. Status Read Format

APPLICATIONS OF THE 8251A

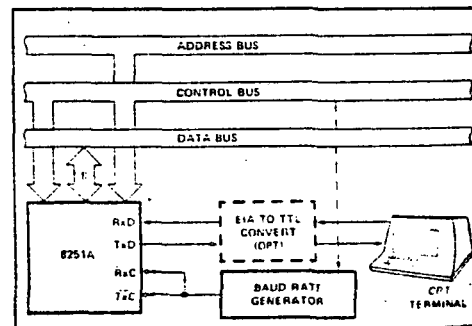


Figure 14. Asynchronous Serial Interface to CRT Terminal, DC—9600 Baud

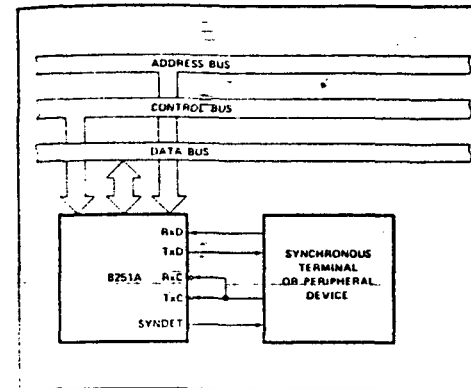


Figure 15. Synchronous Interface to Terminal or Peripheral Device

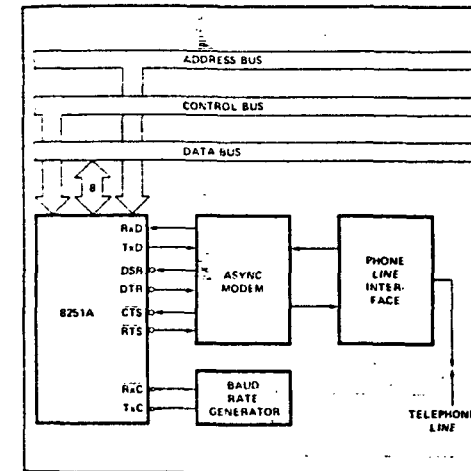


Figure 16. Asynchronous Interface to Telephone Lines

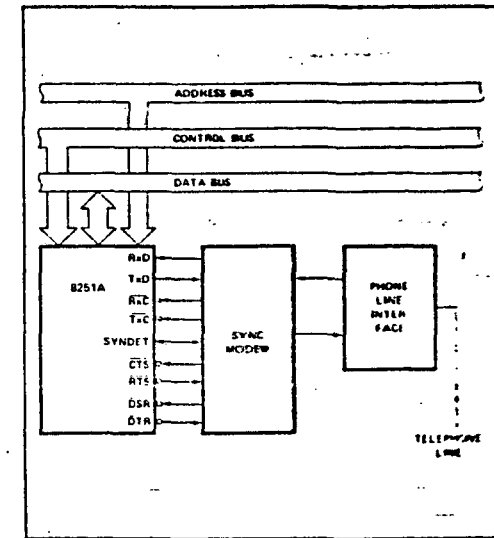


Figure 17. Synchronous Interface to Telephone Lines

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	-65°C to +150°C
Voltage On Any Pin	
With Respect To Ground	-0.5V to +7V
Power Dissipation	1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ± 5%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V _{IL}	Input Low Voltage	-0.5	0.8	V	
V _{IH}	Input High Voltage	2.0	V _{CC}	V	
V _{OL}	Output Low Voltage		0.45	V	I _{OL} = 2.2 mA
V _{OH}	Output High Voltage	2.4		V	I _{OL} = -400 μA
I _{OFL}	Output Float Leakage		±10	μA	V _{OUT} = V _{CC} TO 0.45V
I _L	Input Leakage		±10	μA	V _{IN} = V _{CC} TO 0.45V
I _{CC}	Power Supply Current		100	mA	All Outputs = High

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C _{IN}	Input Capacitance		10	pF	f _c = 1MHz
C _{IO}	I/O Capacitance		20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ± 10%, GND = 0V)*

Bus Parameters (Note 1)

READ CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t _{AR}	Address Stable Before READ (CS, C/D)	0		ns	Note 2
t _{RA}	Address Hold Time for READ (CS, C/D)	0		ns	Note 2
t _{RR}	READ Pulse Width	250		ns	
t _{RD}	Data Delay from READ		200	ns	3. C _L = 150 pF
t _{DF}	READ to Data Floating	10	100	ns	

WRITE CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t _{AW}	Address Stable Before WRITE	0		ns	
t _{WA}	Address Hold Time for WRITE	0		ns	
t _{WW}	WRITE Pulse Width	250		ns	
t _{DW}	Data Set-Up Time for WRITE	150		ns	
t _{WD}	Data Hold Time for WRITE	20		ns	
t _{RV}	Recovery Time Between WRITES	6		t _{cy}	Note 4

A.C. CHARACTERISTICS (Continued)

OTHER TIMINGS

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t _{CY}	Clock Period	320	1350	ns	Notes 5, 6
t _p	Clock High Pulse Width	120	t _{CY} -90	ns	
t _l	Clock Low Pulse Width	90		ns	
t _{R, tF}	Clock Rise and Fall Time		20	ns	
t _{DTx}	TxD Delay from Falling Edge of Tx \bar{C}		1	μs	
t _{Tx}	Transmitter Input Clock Frequency				
	1x Baud Rate	DC	64	kHz	
	15x Baud Rate	DC	310	kHz	
	64x Baud Rate	DC	615	kHz	
t _{TPW}	Transmitter Input Clock Pulse Width				
	1x Baud Rate	12		t _{cy}	
	16x and 64x Baud Rate	1		t _{cy}	
t _{TPD}	Transmitter Input Clock Pulse Delay				
	1x Baud Rate	15		t _{cy}	
	16x and 64x Baud Rate	3		t _{cy}	
t _{Rx}	Receiver Input Clock Frequency				
	1x Baud Rate	DC	64	kHz	
	16x Baud Rate	DC	310	kHz	
	64x Baud Rate	DC	615	kHz	
t _{RPW}	Receiver Input Clock Pulse Width				
	1x Baud Rate	12		t _{cy}	
	16x and 64x Baud Rate	1		t _{cy}	
t _{RPD}	Receiver Input Clock Pulse Delay				
	1x Baud Rate	15		t _{cy}	
	16x and 64x Baud Rate	3		t _{cy}	
t _{TRDY}	TxD RDY Pin Delay from Center of Last Bit		14	t _{cy}	Note 7
t _{TRDY CLEAR}	TxD RDY ↓ from Leading Edge of \bar{W} R		400	ns	Note 7
t _{RRDY}	RxD RDY Pin Delay from Center of Last Bit		26	t _{cy}	Note 7
t _{RRDY CLEAR}	RxD RDY ↓ from Leading Edge of \bar{R} D		400	ns	Note 7
t _{IS}	Internal SYNDET Delay from Rising Edge of Rx \bar{C}		26	t _{cy}	Note 7
t _{ES}	External SYNDET Set-Up Time After Rising Edge of Rx \bar{C}	18		t _{cy}	Note 7
t _{TxEMPTY}	TxEMPTY Delay from Center of Last Bit		20	t _{cy}	Note 7
t _{WC}	Control Delay from Rising Edge of WRITE (TxEn, DTR, RTS)		8	t _{cy}	Note 7
t _{CR}	Control to READ Set-Up Time (DSR, CTS)	20		t _{cy}	Note 7

*NOTE:

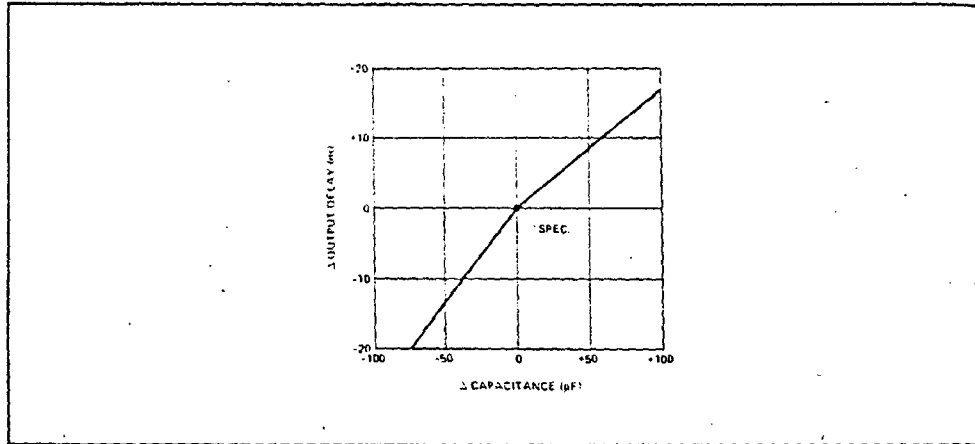
- For Extended Temperature EXPRESS, use M8251A electrical parameters.

A.C. CHARACTERISTICS (Continued)

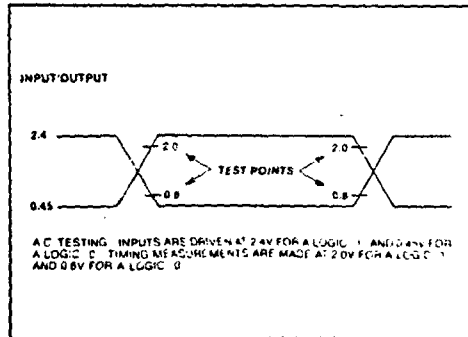
NOTES:

1. AC timings measured $V_{OH} = 2.0 V_{OL} = 2.0$, $V_{OL} = 0.8$, and with load circuit of Figure 1.
2. Chip Select (CS) and Command Data (C/D) are considered as Addresses.
3. Assumes that Address is valid before R_D .
4. This recovery time is for Mode Initialization only. Write Data is allowed only when $TxRDY = 1$. Recovery Time between Writes for Asynchronous Mode is $8 t_{CY}$ and for Synchronous Mode is $16 t_{CY}$.
5. The Tx and Rx frequencies have the following limitations with respect to CLK: For 1x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(30 t_{CY})$; For 16x and 64x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(4.5 t_{CY})$.
6. Reset Pulse Width = $6 t_{CY}$ minimum; System Clock must be running during Reset.
7. Status update can have a maximum delay of 28 clock periods from the event affecting the status.

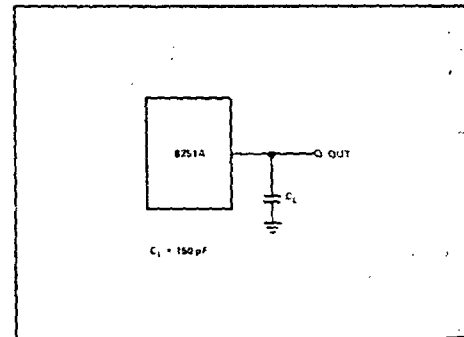
TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (pF)



A.C. TESTING INPUT, OUTPUT WAVEFORM

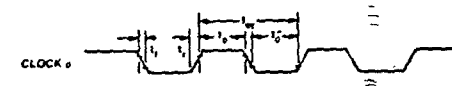


A.C. TESTING LOAD CIRCUIT

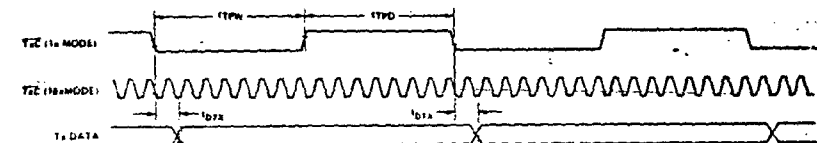


WAVEFORMS

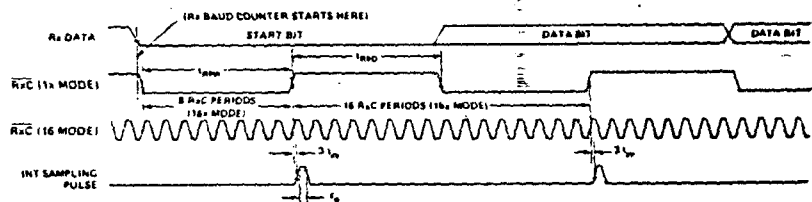
SYSTEM CLOCK INPUT



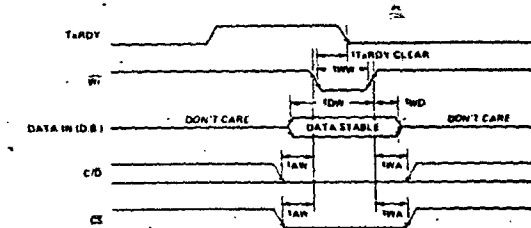
TRANSMITTER CLOCK AND DATA



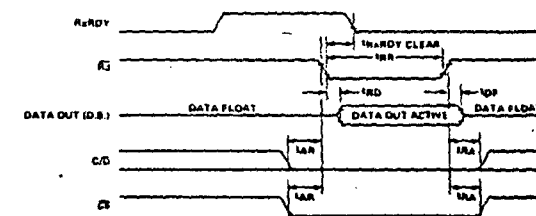
RECEIVER CLOCK AND DATA



WRITE DATA CYCLE (CPU → USART)

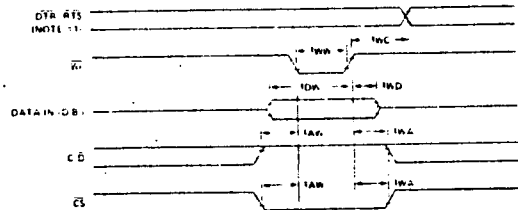


READ DATA CYCLE (CPU ← USART)

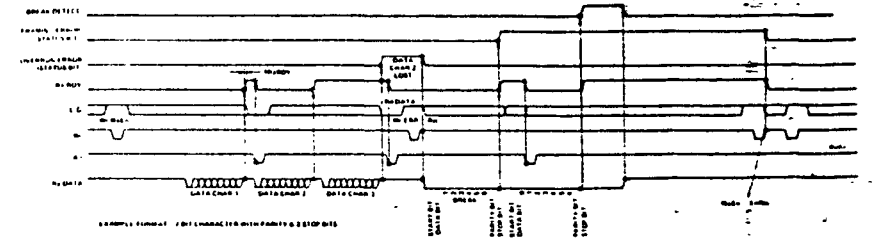


WAVEFORMS (Continued)

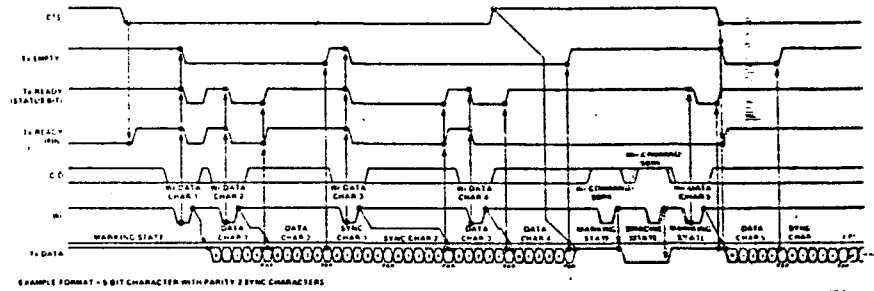
WRITE CONTROL OR OUTPUT PORT CYCLE (CPU → USART)



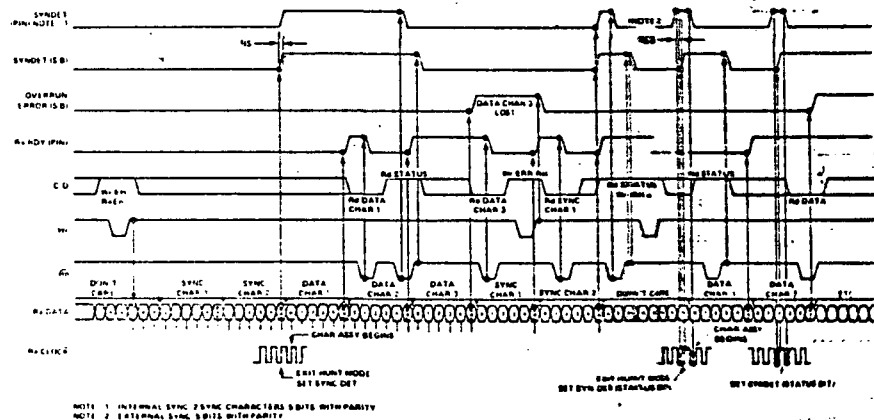
RECEIVER CONTROL AND FLAG TIMING (ASYNC MODE)



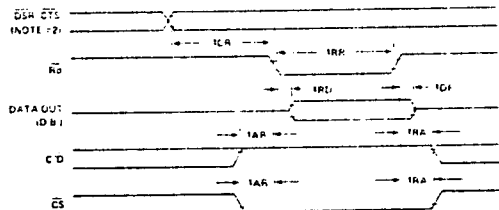
TRANSMITTER CONTROL AND FLAG TIMING (SYNC MODE)



RECEIVER CONTROL AND FLAG TIMING (SYNC MODE)

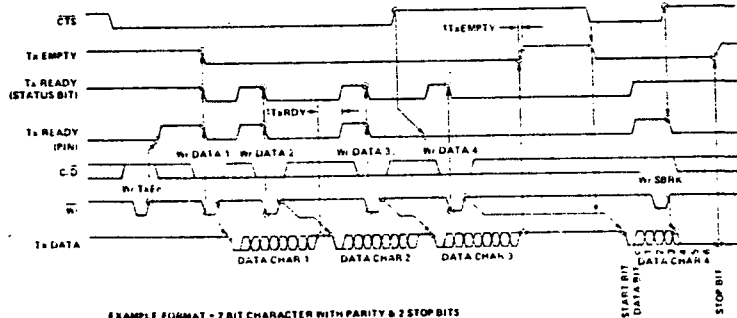


READ CONTROL OR INPUT PORT (CPU ← USART)



NOTE #1: T_{CR} INCLUDES THE RESPONSE TIMING OF A CONTROL BYTE
 NOTE #2: T_{CR} INCLUDES THE EFFECT OF CTS ON THE T_{ENBL} CIRCUITRY.

TRANSMITTER CONTROL AND FLAG TIMING (ASYNC MODE)



EXAMPLE FORMAT - 7 BIT CHARACTER WITH PARITY & 2 STOP BITS

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

ADC0808, ADC0809 8-Bit μ P Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

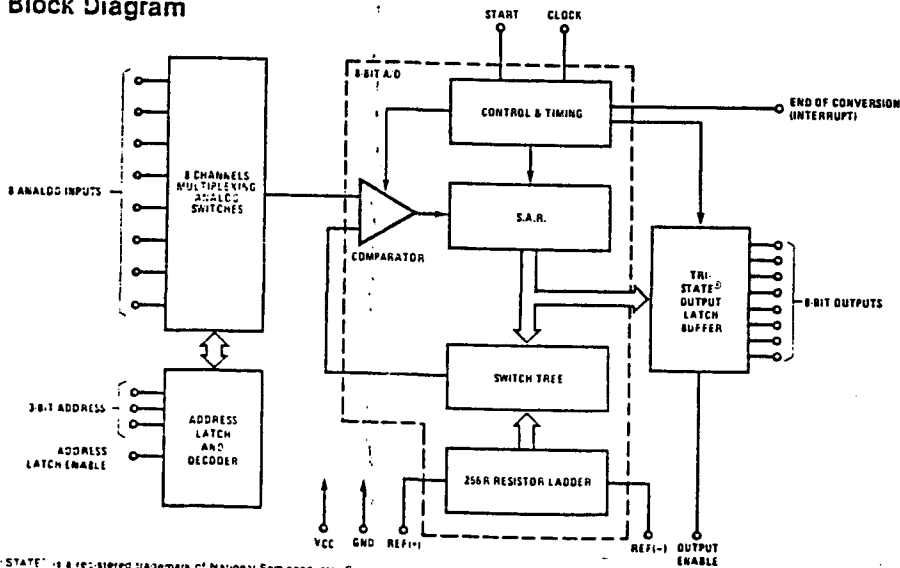
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE[®] outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Resolution — 8-bits
- Total unadjusted error — $\pm 1/2$ LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T²L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range —40°C to +85°C or —55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE[®] output

Block Diagram



Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC}) (Note 3)	8.5V
Voltage at Any Pin Except Control Inputs	-0.3V to (V _{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	-0.3V to +15V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	T _{MIN} ≤ T _A ≤ T _{MAX} -55°C ≤ T _A ≤ +125°C
ADC0808CJ, ADC0808CCJ, ADC0808CCN, ADC0809CCN	40°C ≤ T _A ≤ +85°C
Range of V _{CC} (Note 1)	4.5V _{DC} to 8.0V _{DC}

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = V_{REF(+)}, V_{REF(-)} = GND, T_{MIN} ≤ T_A ≤ T_{MAX} and f_{CLK} = 640 kHz unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Units
ADC0808 Total Unadjusted Error (Note 5)	25°C T _{MIN} to T _{MAX}			± 1/2 ± 3/4	LSB LSB
ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C T _{MIN} to T _{MAX}			± 1 ± 1 1/4	LSB LSB
Input Resistance	From Ref(+) to Ref(-)	1.0	2.5		kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(-)	GND-0.10		V _{CC} +0.10	V _{DC}
V _{REF(+)} Voltage, Top of Ladder	Measured at Ref(+)		V _{CC}	V _{CC} +0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		V _{CC} /2-0.1	V _{CC} /2	V _{CC} /2+0.1	V
V _{REF(-)} Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0		V
Comparator Input Current	f _C = 640 kHz, (Note 6)	-2	± 0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, -55°C ≤ T_A ≤ +125°C unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, -40°C ≤ T_A ≤ +85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER					
I _{OFF(+)}	OFF Channel Leakage Current	V _{CC} = 5V, V _{IN} = 5V, T _A = 25°C T _{MIN} to T _{MAX}	10	200	nA μA
I _{OFF(-)}	OFF Channel Leakage Current	V _{CC} = 5V, V _{IN} = 0, T _A = 25°C T _{MIN} to T _{MAX}	-200 -1.0	-10	nA μA
CONTROL INPUTS					
V _{IN(1)}	Logical "1" Input Voltage		V _{CC} -1.5		V
V _{IN(0)}	Logical "0" Input Voltage			1.5	V
I _{IN(1)}	Logical "1" Input Current (The Control Inputs)	V _{IN} = 15V		1.0	μA
I _{IN(0)}	Logical "0" Input Current (The Control Inputs)	V _{IN} = 0	-1.0		μA
I _{CC}	Supply Current	f _{CLK} = 640 kHz	0.3	3.0	mA

© Del documento, los autores. Digitalización realizada por ULPGC - Biblioteca Universitaria, 2006

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, -55°C ≤ T_A ≤ +125°C unless otherwise noted
 ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, -40°C ≤ T_A ≤ +85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
V _{OUT(1)}	Logical "1" Output Voltage	I _O = -360 μA	V _{CC} -0.4		V
V _{OUT(0)}	Logical "0" Output Voltage	I _O = 1.6 mA		0.45	V
V _{OUT(E)}	Logical "0" Output Voltage EOC	I _O = 1.2 mA		0.45	V
I _{OUT}	TRI-STATE [®] Output Current	V _O = 5V V _O = 0	-3	3	μA μA

Electrical Characteristics

Timing Specifications: V_{CC} = V_{REF(+)} = 5V, V_{REF(-)} = GND, t_r = t_f = 20 ns and T_A = 25°C unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{WS}	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t _{WALE}	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t _s	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
t _H	Minimum Address Hold Time	(Figure 5)		25	50	ns
t _D	Analog MUX Delay Time From ALE	R _S = 0Ω (Figure 5)		1	2.5	μs
t _{H1} , t _{H0}	OE Control to Q Logic State	C _L = 50 pF, R _L = 10k (Figure 8)		125	250	ns
t _{1H} , t _{0H}	OE Control to Hi-Z	C _L = 10 pF, R _L = 10k (Figure 8)		125	250	ns
t _c	Conversion Time	f _c = 640 kHz. (Figure 5) (Note 7)	90	100	116	μs
f _c	Clock Frequency		10	640	1280	kHz
t _{EOC}	EOC Delay Time	(Figure 5)	0		8 + 2 μs	Clock Periods
C _{IN}	Input Capacitance	At Control Inputs		10	15	pF
C _{OUT}	TRI-STATE [®] Output Capacitance	At TRI-STATE [®] Outputs, (Note 12)		10	15	pF

- Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.
- Note 2: All voltages are measured with respect to GND, unless otherwise specified.
- Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.
- Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.
- Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See Figure 3. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See Figure 13.
- Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (Figure 6). See paragraph 4.0.
- Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + 1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

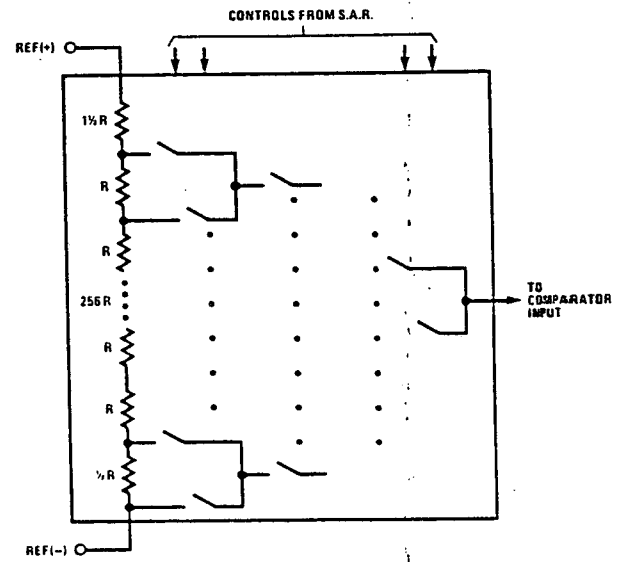


FIGURE 1. Resistor Ladder and Switch Tree

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

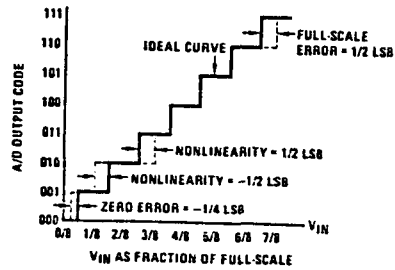


FIGURE 2. 3-Bit A/D Transfer Curve

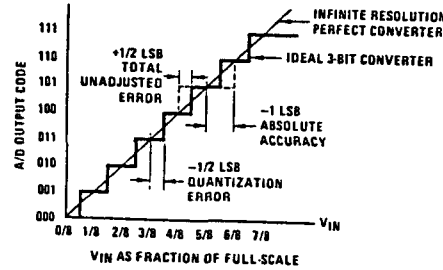


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

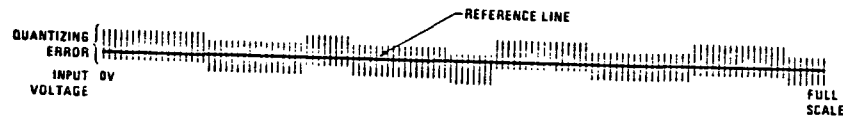
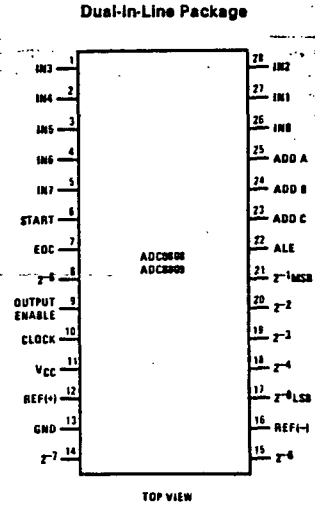


FIGURE 4. Typical Error Curve

Connection Diagram



Timing Diagram

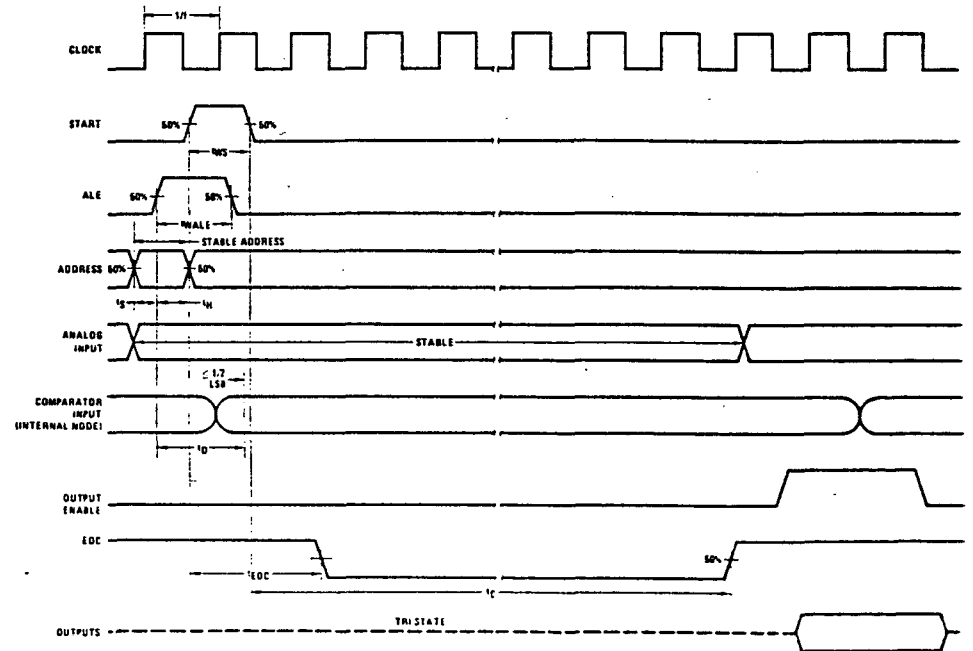


FIGURE 5

Typical Performance Characteristics

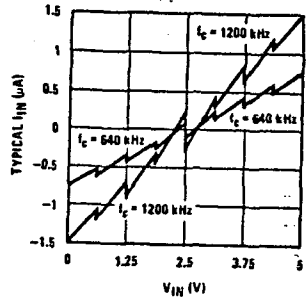


FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

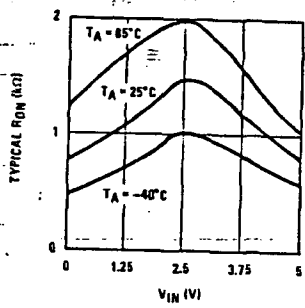


FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams

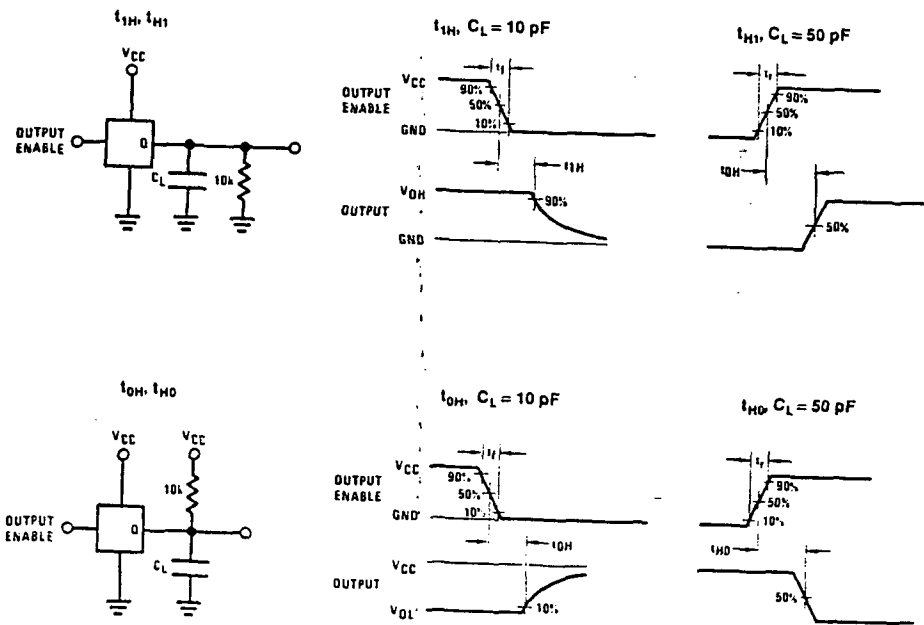


FIGURE 8

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN} - V_Z}{V_{IS} - V_Z} = \frac{D_X}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{IS} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (Figure 9).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(-), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

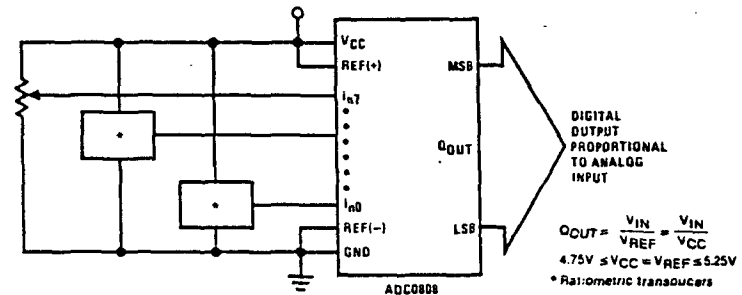


FIGURE 9. Ratiometric Conversion System

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In Figure 11 a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure stability when loaded by the 10 μ F output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

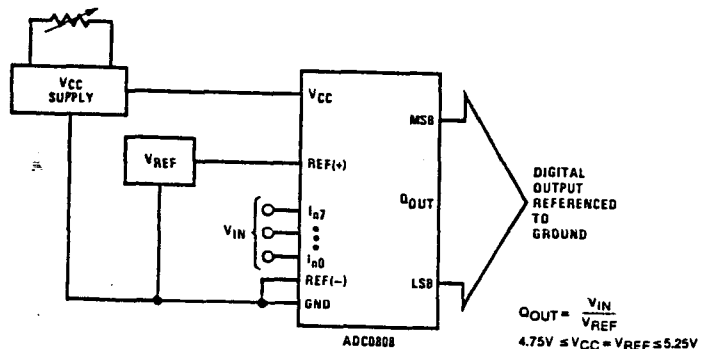


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

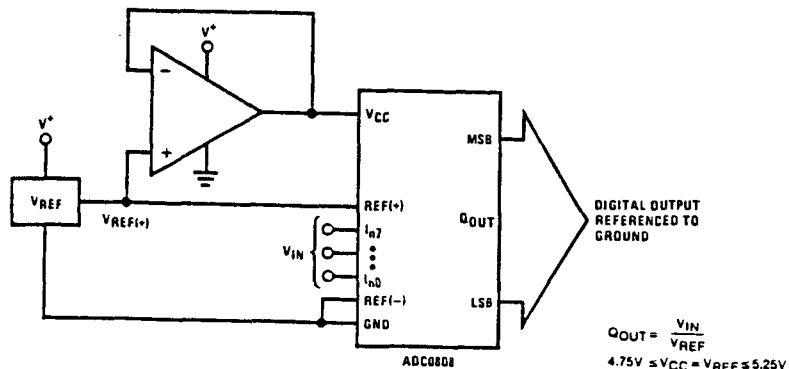


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

Applications Information (Continued)

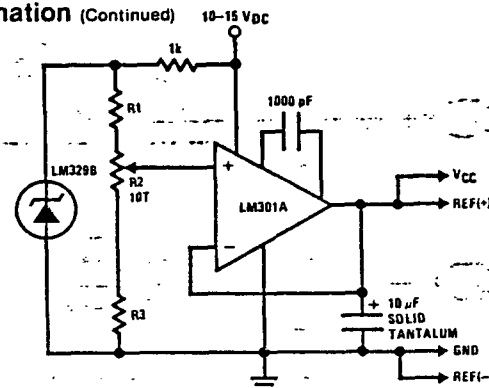


FIGURE 12. Typical Reference and Supply Circuit

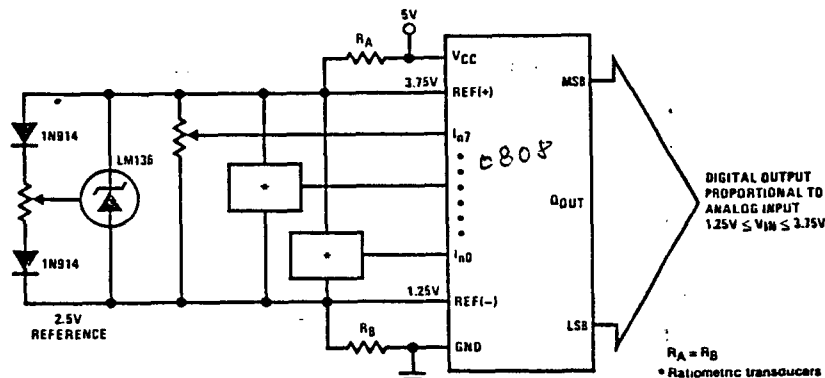


FIGURE 13. Symmetrically Centered Reference

3.0 Converter Equations

The transition between adjacent codes N and $N + 1$ is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right] + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right] + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(-)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} + 512$)

4.0 Analog Comparator Inputs

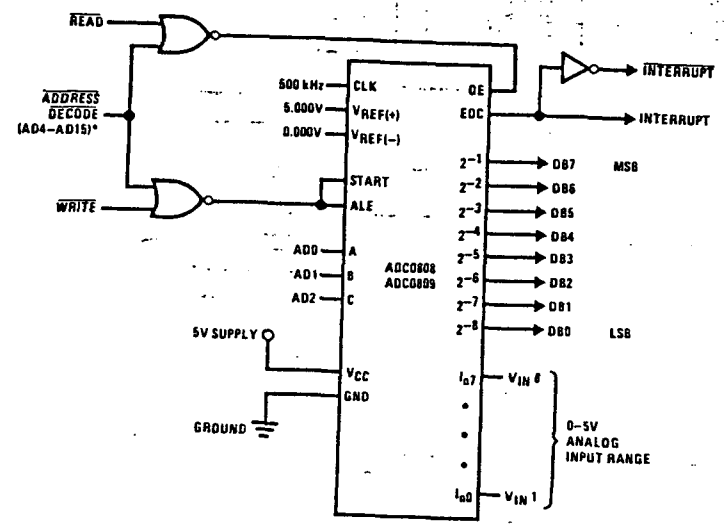
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in Figure 6.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

Typical Application



* Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	\overline{RD}	\overline{WR}	INTR (Thru RST Circuit)
Z-80	\overline{RD}	\overline{WR}	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA \rightarrow 2-RW	VMA \rightarrow 2-RW	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE	-40°C to +85°C		-55°C to +125°C
Error	$\pm 1/2$ Bit Unadjusted	ADC0808CCN	ADC0808CCJ
	± 1 Bit Unadjusted	ADC0809CCN	ADC0809CCJ
Package Outline	N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP



ADC0816, ADC0817 8-Bit μ P Compatible A/D Converters with 16-Channel Multiplexer

General Description

The ADC0816, ADC0817 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 16-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 16-channel multiplexer can directly access any one of 16 single-ended analog signals, and provides the logic for additional channel expansion. Signal conditioning of any analog input signal is eased by direct access to the multiplexer output, and to the input of the 8-bit A/D converter.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE[®] outputs.

The design of the ADC0816, ADC0817 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0816, ADC0817 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For similar performance in an 8-channel, 28-pin,

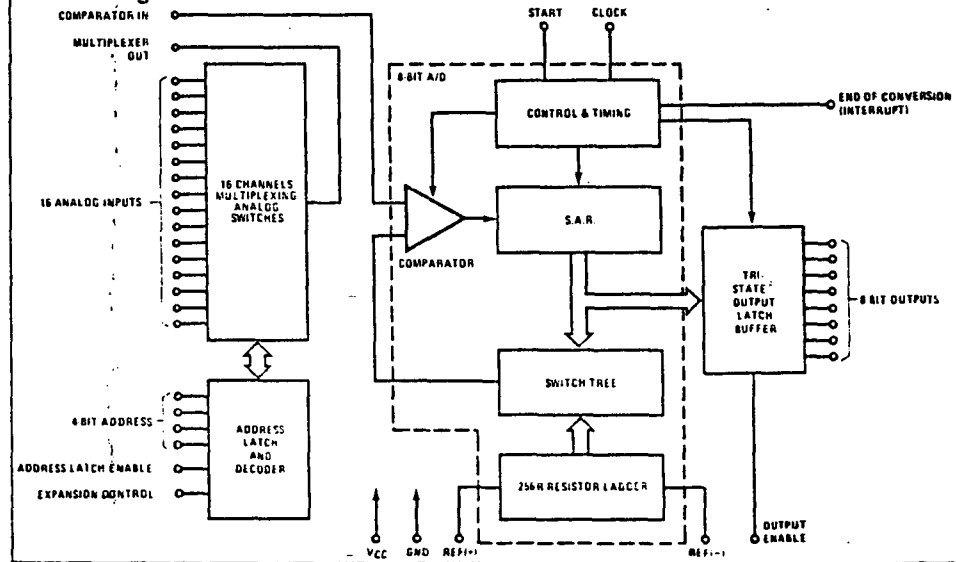
8-bit A/D converter, see the ADC0808, ADC0809 data sheet. (See AN-258 for more information.)

Features

- Resolution — 8-bits
- Total unadjusted error — $\pm 1/2$ LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 16-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T²L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 40-pin DIP package
- Temperature range -40°C to +85°C or -55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE[®] output
- Direct access to "comparator in" and "multiplexer out" for signal conditioning

TRI-STATE[®] is a registered trademark of National Semiconductor Corp.

Block Diagram



LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902
Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard +5 V_{DC} power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15 V_{DC} power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

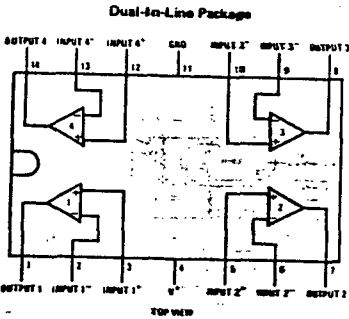
Advantages

- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

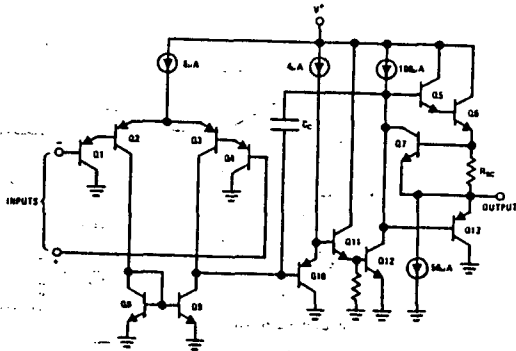
Features

- Internally frequency compensated for unity gain
- Large dc voltage gain **100 dB**
- Wide bandwidth (unity gain) **1 MHz** (temperature compensated)
- Wide power supply range:
Single supply **3 V_{DC} to 30 V_{DC}**
or dual supplies **±1.5 V_{DC} to ±15 V_{DC}**
- Very low supply current drain (800μA) – essentially independent of supply voltage (1 mW/op amp at +5 V_{DC})
- Low input biasing current **45 nA_{DC}**
- Low input offset voltage **2 mV_{DC}** and offset current **5 nA_{DC}**
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing **0 V_{DC} to V* - 1.5 V_{DC}**

Connection Diagram



Schematic Diagram (Each Amplifier)



Order Number LM124J, LM124AJ,
LM224J, LM224AJ, LM324J,
LM324AJ or LM2902J
See NS Package J14A

Order Number LM324N, LM324AN
or LM2902N
See NS Package N14A

Absolute Maximum Ratings

Supply Voltage, V*
Differential Input Voltage
Input Voltage
Power Dissipation (Note 1)
Molded DIP
Cavity DIP
Flat Pack
Output Short-Circuit to GND (One Amplifier) (Note 2)
V* ≤ 15 V_{DC} and T_A = 25°C

LM124/LM224/LM324
LM124A/LM224A/LM324A
LM2902
32 V_{DC} or ±16 V_{DC}
32 V_{DC}
-0.3 V_{DC} to +26 V_{DC}
570 mW
900 mW
800 mW
Continuous

LM124/LM224/LM324
LM124A/LM224A/LM324A
LM2902
Input Current (V_{IN} < -0.3 V_{DC}) (Note 3)
Operating Temperature Range
LM324/LM324A
LM224/LM224A
LM124/LM124A
Storage Temperature Range
Lead Temperature (Soldering, 10 seconds)
0°C to +70°C
-25°C to +85°C
-55°C to +125°C
-65°C to +150°C
300°C

LM2902
50 mA
-40°C to +85°C
50 mA
0°C to +70°C
-25°C to +85°C
-55°C to +125°C
-65°C to +150°C
300°C

Electrical Characteristics (V* = +6.0 V_{DC}, Note 4)

PARAMETER	LM124A		LM224A		LM324A		LM124/LM224		LM324		LM2902		UNITS
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage (Note 5)	TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		mVDC
Input Bias Current (Note 6)	I _{IN(+)} or I _{IN(-)}		TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		nADC
Input Offset Current	I _{IN(+)} - I _{IN(-)}		TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		TA = 25°C		nADC
Input Common-Mode Voltage Range (Note 7)	V* - 1.5		0		V* - 1.5		0		V* - 1.5		0		VDC
Supply Current	1.5		3		1.5		3		1.5		3		mADC
	0.7		1.2		0.7		1.2		0.7		1.2		mADC
Large Signal Voltage Gain	50		100		50		100		50		100		V/mV
Output Voltage Swing	70		85		70		85		70		85		VDC
	65		100		65		100		65		100		dB
Common-Mode Rejection Ratio	70		85		70		85		70		85		dB
Power Supply Rejection Ratio	70		85		70		85		70		85		dB
Amplifier-to-Amplifier Coupling (Note 8)	-120		-120		-120		-120		-120		-120		dB
Output Current Source	20		40		20		40		20		40		mADC
Sink	10		20		10		20		10		20		mADC
Short Circuit to Ground	12		50		12		50		12		50		μADC
	40		60		40		60		40		60		mADC

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM124A	LM224A	LM324A	LM124/LM224	LM324	LM2902	UNITS
Input Offset Voltage	(Note 5)							mVDC
Input Offset Voltage Drift	$R_S = 0\Omega$	7	7	7	7	7	7	$\mu V/^\circ C$
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$							nADC
Input Offset Current Drift	$I_{IN(+)} \text{ or } I_{IN(-)} $ $V^+ = 30 \text{ VDC}$	4	4	5	4	4	4	$\mu A/^\circ C$
Input Bias Current	$I_{IN(+)} \text{ or } I_{IN(-)} $ $V^+ = 30 \text{ VDC}$	10	10	10	10	10	10	nADC
Input Common-Mode Voltage Range (Note 7)	$V^+ = +15 \text{ VDC}$ (For Large V_O Swing) $R_L \geq 2 \text{ k}\Omega$	0	0	0	0	0	0	VDC
Gain		25	25	15	25	15	15	V/mV
Output Voltage Swing	$V^+ = +30 \text{ VDC}$, $R_L = 2 \text{ k}\Omega$ $R_L \geq 10 \text{ k}\Omega$ $V^+ = 5 \text{ VDC}$, $R_L \leq 10 \text{ k}\Omega$	26	26	26	26	26	22	VDC
V_{OH}		27	27	27	27	27	23	VDC
V_{OL}		5	5	5	5	5	5	mVDC
Output Current Source	$V_{IN}^+ = +1 \text{ VDC}$, $V_{IN}^- = 0 \text{ VDC}$, $V^+ = 15 \text{ VDC}$	10	10	10	10	10	10	mADC
Output Current Sink	$V_{IN}^- = +1 \text{ VDC}$, $V_{IN}^+ = 0 \text{ VDC}$, $V^+ = 15 \text{ VDC}$	10	10	10	10	10	10	mADC
Differential Input Voltage	(Note 7)	32	32	32	32	32	26	VDC

Note 1: For operating at high temperatures, the LM324/LM324A, LM2902 must be derated based on a $+125^\circ C$ maximum junction temperature and a thermal resistance of $175^\circ C/W$ which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM224/LM224A and LM124/LM124A can be derated based on a $+150^\circ C$ maximum junction temperature. The dissipation is the total of all four amplifier—use external resistors, where possible, to allow the amplifier to saturate or to reduce the power which is dissipated in the integrated circuit.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 40 mA independent of V^+ . At values of supply voltage in excess of $+15 \text{ VDC}$, continuous short-circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistor becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the op amps to go to the V^+ voltage level for a large overdrive for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3 VDC (at $25^\circ C$).

Note 4: These specifications apply for $V^+ = +5 \text{ VDC}$ and $-65^\circ C \leq T_A \leq +125^\circ C$, unless otherwise stated. With the LM224/LM224A, all temperature specifications are limited to $-25^\circ C \leq T_A \leq +65^\circ C$; the LM324/LM324A temperature specifications are limited to $0^\circ C \leq T_A \leq +70^\circ C$; and the LM2902 specifications are limited to $-40^\circ C \leq T_A \leq +85^\circ C$.

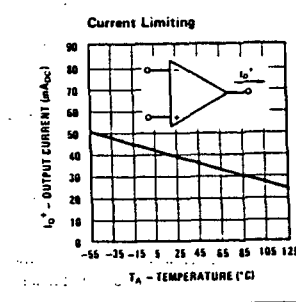
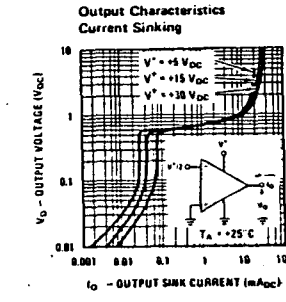
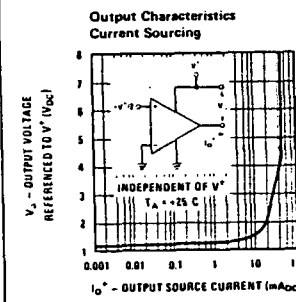
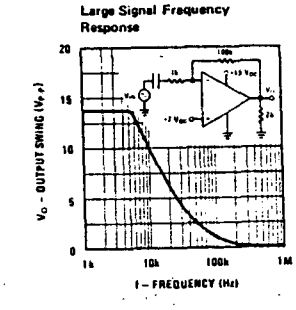
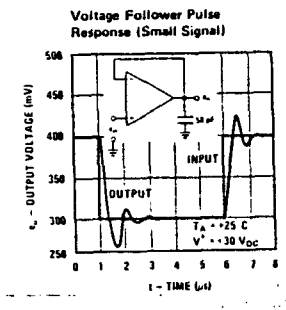
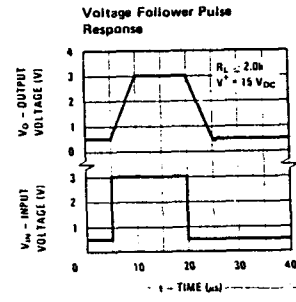
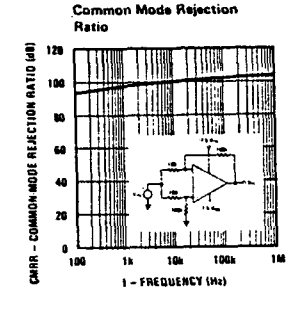
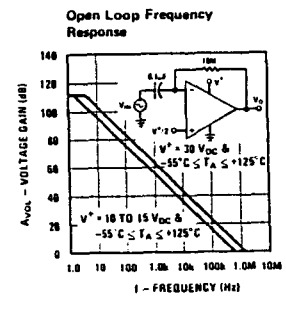
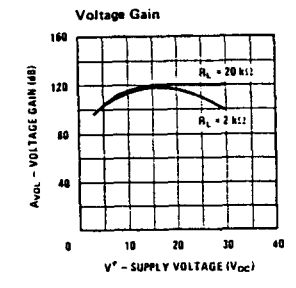
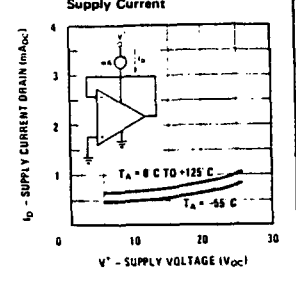
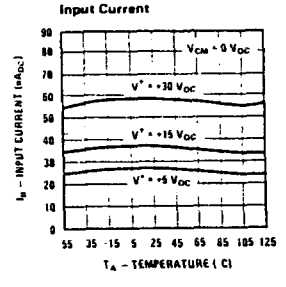
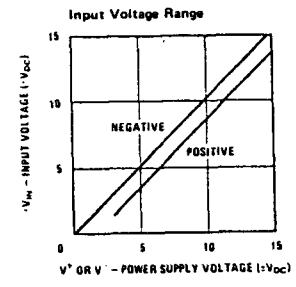
Note 5: $V_O \approx 1.4 \text{ VDC}$, $R_S = 0\Omega$ with V^+ from 5 VDC to 30 VDC; and over the full input common-mode range 10 VDC to $V^+ - 1.5 \text{ VDC}$.

Note 6: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the input lines.

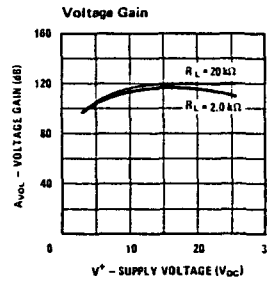
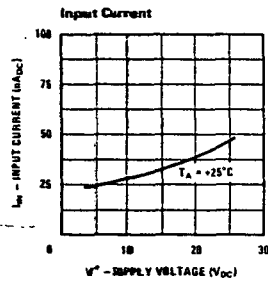
Note 7: The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.3V (at $25^\circ C$). The upper end of the common-mode voltage range is $V^+ - 1.5 \text{ V}$, but either or both inputs can go to $+32 \text{ VDC}$ without damage ($+26 \text{ VDC}$ for LM2902).

Note 8: Due to proximity of external components, insure that coupling is not originating via stray capacitance between these external parts. This typically can be detected as this type of capacitive increases at higher frequencies.

Typical Performance Characteristics



Typical Performance Characteristics (LM2902 only)



Application Hints

The LM124 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V_{DC}. These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V_{DC}.

The pinouts of the package have been designed to simplify PC board layouts. Inverting inputs are adjacent to outputs for all of the amplifiers and the outputs have also been placed at the corners of the package (pins 1, 7, 8, and 14).

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accommodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V⁺ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than -0.3 V_{DC} (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should

be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accommodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

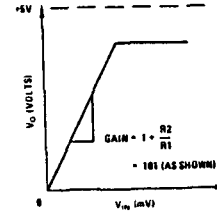
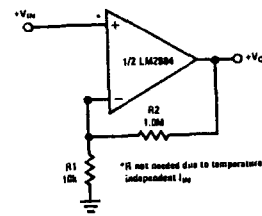
The bias network of the LM124 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 3 V_{DC} to 30 V_{DC}.

Output short circuits either to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

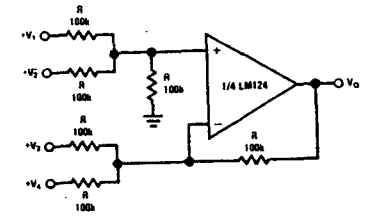
The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of V⁺/2) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

Typical Single-Supply Applications (V⁺ = 5.0 V_{DC})

Non-Inverting DC Gain (0V Input = 0V Output)

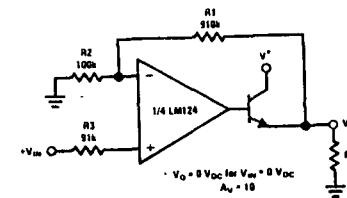


DC Summing Amplifier (VIN'S ≥ 0 V_{DC} AND V_O ≥ 0 V_{DC})



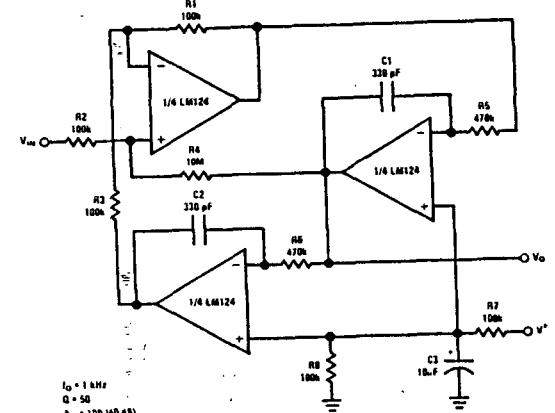
Where: $V_O = V_1 + V_2 + V_3 + V_4$
 $(V_1 + V_2) \geq (V_3 + V_4)$ to keep $V_O > 0$ V_{DC}

Power Amplifier

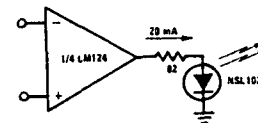


V_O = 0 V_{DC} for V_{in} = 0 V_{DC}
 A_v = 10

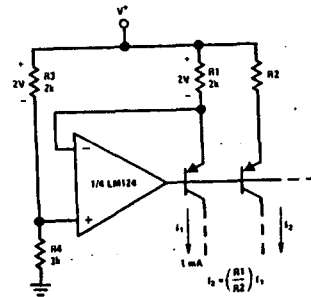
"BI-QUAD" RC Active Bandpass Filter



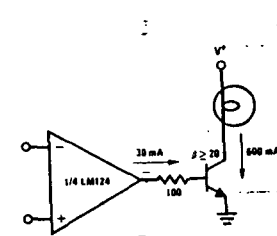
LED Driver



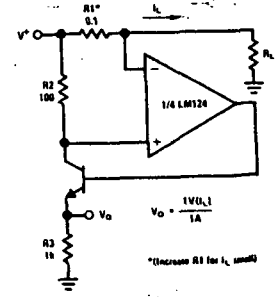
Fixed Current Sources



Lamp Driver



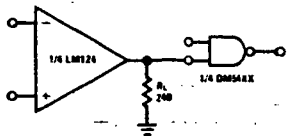
Current Monitor



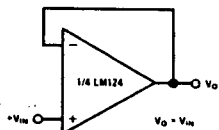
*Increase R1 for I_L (small)

Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{DC}$)

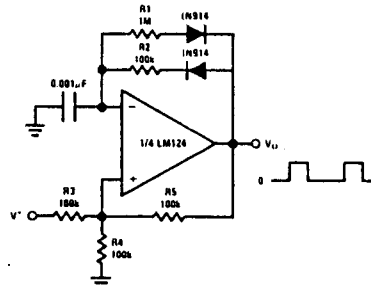
Driving TTL



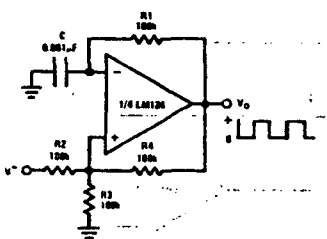
Voltage Follower



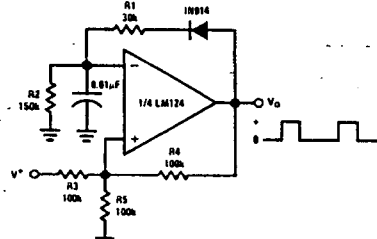
Pulse Generator



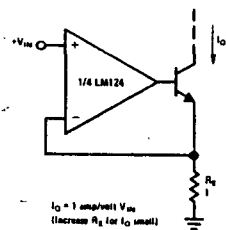
Squarewave Oscillator



Pulse Generator

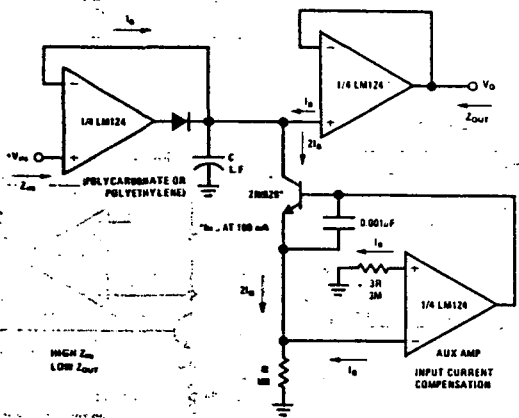


High Compliance Current Sink

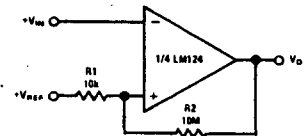


$I_O = 1 \text{ amp/}V_{IN}$
(Increase R_L for I_O small)

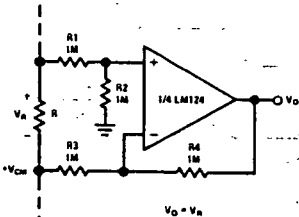
Low Drift Peak Detector



Comparator with Hysteresis



Ground Referencing A Differential Input Signal



Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{DC}$)

Voltage Controlled Oscillator Circuit

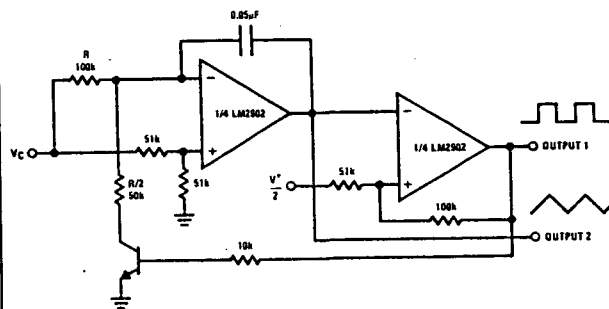
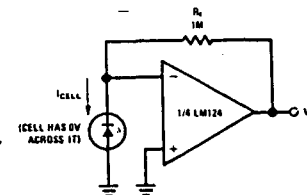
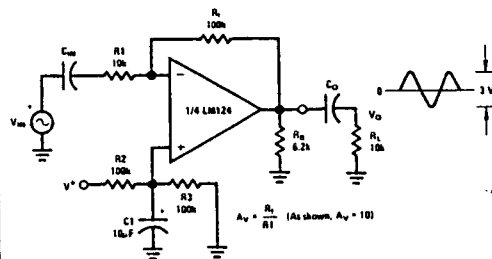


Photo Voltaic-Cell Amplifier

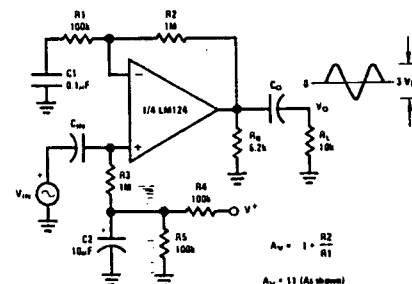


AC Coupled Inverting Amplifier



$A_v = \frac{R_2}{R_1}$ (As shown, $A_v = 10$)

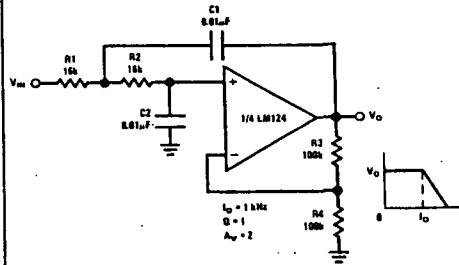
AC Coupled Non-Inverting Amplifier



$A_v = 1 + \frac{R_2}{R_1}$

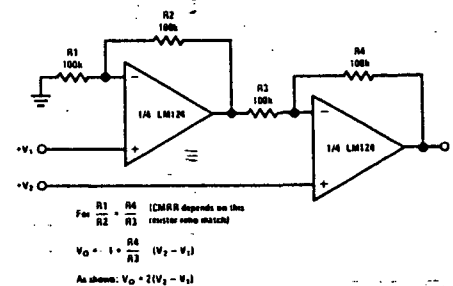
$A_v = 11$ (As shown)

DC Coupled Low-Pass RC Active Filter



$f_c = 1 \text{ kHz}$
 $Q = 1$
 $A_v = 2$

High Input Z, DC Differential Amplifier



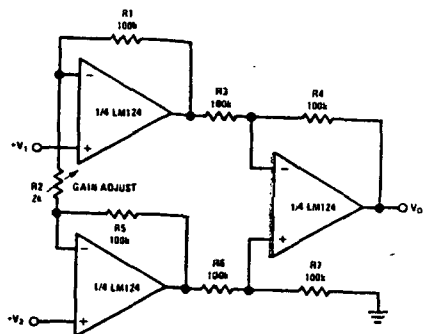
For $\frac{R_1}{R_2} = \frac{R_3}{R_4}$ (CMRR depends on the resistor ratio match)

$V_O = 1 + \frac{R_4}{R_3} (V_2 - V_1)$

As shown: $V_O = 2(V_2 - V_1)$

Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{OC}$)

High Input Z Adjustable-Gain DC Instrumentation Amplifier

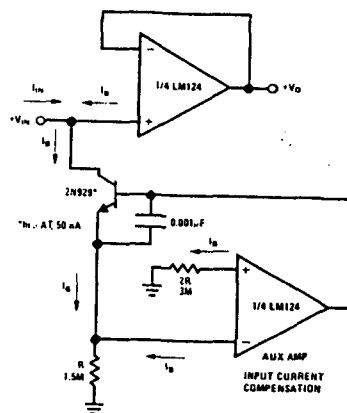


$$R1 = R5 \text{ \& } R3 = R4 = R6 = R7 \text{ (200k depends on match)}$$

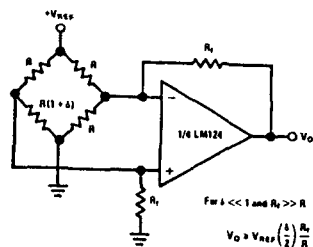
$$V_o = 1 + \frac{2R1}{R2} (V_2 - V_1)$$

$$\text{Accuracy } V_o = 100 (V_2 - V_1)$$

Using Symmetrical Amplifiers to Reduce Input Current (General Concept)



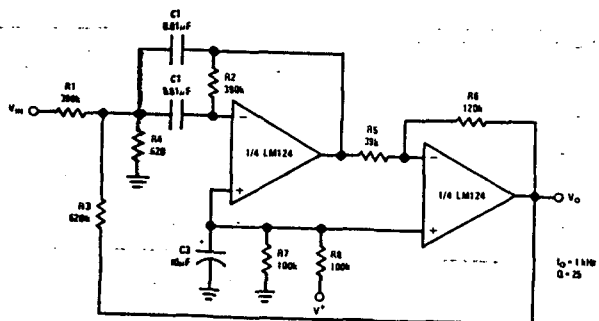
Bridge Current Amplifier



$$\text{For } \delta \ll 1 \text{ and } R_L \gg R$$

$$V_o = V_{EX} \left(\frac{\delta}{2} \right) \frac{R_L}{R}$$

Bandpass Active Filter



LM143/LM343 High Voltage Operational Amplifier

General Description

The LM143 is a general purpose high voltage operational amplifier featuring operation to $\pm 40V$, complete input overvoltage protection up to $\pm 40V$ and input currents comparable to those of other super- β op amps. Increased slew rate, together with higher common-mode and supply rejection, insure improved performance at high supply voltages. Operating characteristics, in particular supply current, slew rate and gain, are virtually independent of supply voltage and temperature. Furthermore, gain is unaffected by output loading at high supply voltages due to thermal symmetry on the die. The LM143 is pin compatible with general purpose op amps and has offset null capability.

Application areas include those of general purpose op amps, but can be extended to higher voltages and higher output power when externally boosted. For example, when used in audio power applications, the LM143 provides a power bandwidth that covers the entire audio spectrum. In addition, the LM143 can be reliably operated in environments with large overvoltage spikes on the power supplies, where other internally-compensated op amps would suffer catastrophic failure.

The LM343 is similar to the LM143 for applications in less severe supply voltage and temperature environments.

Features

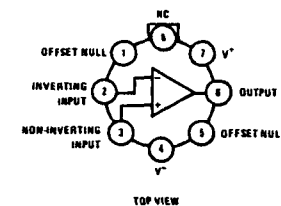
- Wide supply voltage range $\pm 4.0V$ to $\pm 40V$
- Large output voltage swing $\pm 37V$
- Wide input common-mode range $\pm 38V$
- Input overvoltage protection Full $\pm 40V$
- Supply current is virtually independent of supply voltage and temperature

Unique Characteristics

- Low input bias current 8.0 nA
- Low input offset current 1.0 nA
- High slew rate—essentially independent of temperature and supply voltage $2.5V/\mu s$
- High voltage gain—virtually independent of resistive loading, temperature, and supply voltage $100k \text{ min}$
- Internally compensated for unity gain
- Output short circuit protection
- Pin compatible with general purpose op amp

Connection Diagram

Metal Can Package



Order Number LM143H
or LM343H
See NS Package H08C

Typical Electrical Characteristics

4N25, 4N26
4N27, 4N28

Electrical Characteristics—Input Diode $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Min	Typ	Max	Units	Test Conditions
	Forward Voltage		1.2	1.5	V	$I_F = 50\text{ mA}$
	Reverse Leakage Current		0.05	100	μA	$V_R = 3.0\text{ V}$ $R_L = 1\text{ M}\Omega$
	Capacitance		150		pF	$V_R = 0\text{ V}$ $f = 1\text{ MHz}$

Electrical Characteristics—Output Transistor $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Min	Typ	Max	Units	Test Conditions
V_{CE}^*	Collector-to-Emitter Voltage	30	65		V	$I_C = 1.0\text{ mA}$ $I_B = 0$
V_{CB}^*	Collector-to-Base Voltage	70	165		V	$I_C = 100\ \mu\text{A}$ $I_E = 0$
V_{EC}^*	Emitter-to-Collector Voltage	7.0	14		V	$I_E = 100\ \mu\text{A}$ $I_B = 0$
I_{EO}^*	Collector-to-Emitter Leakage Current 4N25, 4N26, 4N27		3.5	50	nA	$V_{CE} = 10\text{ V}$ Base Open
	4N28			100	nA	$V_{CE} = 10\text{ V}$ Base Open
I_{BO}^*	Collector-to-Base Leakage Current		0.1	20	nA	$V_{CB} = 10\text{ V}$ Emitter Open
β_{FE}	Forward Current Gain		250			$V_{CE} = 5.0\text{ V}$ $I_C = 500\ \mu\text{A}$
C_{cb}	Collector-to-Base Capacitance		65		pF	$V_{CB} = 0$ $f = 1\text{ MHz}$

Electrical Characteristics—Coupled $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Min	Typ	Max	Units	Test Conditions
V_{IO}^*	Input-to-Output Voltage 4N25 4N26, 4N27 4N28	2500 1500 500			V_{pk} V_{pk} V_{pk}	
$V_{CE(sat)}^*$	Collector-to-Emitter Saturation Voltage		0.2	0.5	V	$I_C = 2.0\text{ mA}$ $I_F = 50\text{ mA}$
I_C^*	Collector Output Current 4N25, 4N26 4N27, 4N28	2.0 1.0	5.0 3.0		mA mA	$V_{CE} = 10\text{ V}$ $I_F = 10\text{ mA}$ $I_B = 0$
R_{IO} BW	Input-to-Output Resistance Collector Bandwidth		10^{11} 300		Ω kHz	$V_{IO} = 500\text{ V}$ $I_C = 2.0\text{ mA}$ $V_{CC} = 10\text{ V}$ $R_L = 100\ \Omega$ $V_{IO} = 0$ $f = 1.0\text{ MHz}$
C_{IO}	Input-to-Output Capacitance		1.3		pF	

*Indicates JEDEC registered values.

Optically-Coupled
Darlington Isolator
Optoelectronics Products

4N29, 4N30
4N31, 4N32
4N33

General Description

The 4N29, 4N30, 4N31, 4N32 and 4N33 series of optoisolators has a silicon npn Planar photo-Darlington transistor coupled to a GaAs diode. Each is mounted in a 6-pin plastic DIP package.

High Current Transfer Ratio
1500 V or 2500 V Minimum Isolation
Input-To-Output
 $10^{11}\ \Omega$ Isolation Resistance
Low Coupling Capacitance

Absolute Maximum Ratings

Maximum Temperature and Humidity
Storage Temperature* -55°C to 150°C
Operating Temperature -55°C to 100°C
Pin Temperature
Soldering, 10 s* 260°C
Total Package Power Dissipation at $T_A = 25^\circ\text{C}$ (LED plus Detector)* 250 mW
Derate Linearly from 25°C * $3.3\text{ mW}/^\circ\text{C}$

Input Diode*

I_F Forward dc Current Continuous* 80 mA
 V_R Reverse Voltage 3.0 V
 I_{pk} Peak Forward Current (1 μs pulse width, 300 pps) 3.0 A
 P_D Power Dissipation at $T_A = 25^\circ\text{C}$ 150 mW
Derate Linearly from 25°C $2.0\text{ mW}/^\circ\text{C}$

Output Transistor (Darlington)*

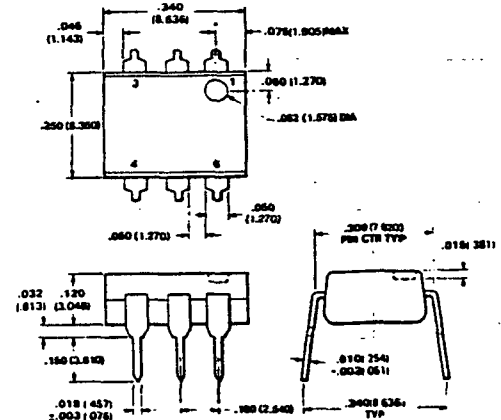
V_{CE} Collector-to-Emitter Voltage 30 V
 V_{CB} Collector-to-Base Voltage 50 V
 V_{EB} Emitter-to-Base Voltage 8.0 V
 V_{EC} Emitter-to-Collector Voltage 5.0 V
 P_D Power Dissipation at $T_A = 25^\circ\text{C}$ 150 mW
Derate Linearly from 25°C $2.0\text{ mW}/^\circ\text{C}$

*Indicates JEDEC Registered Data

Electrical Characteristics—Input Diode $T_A = 25^\circ\text{C}$

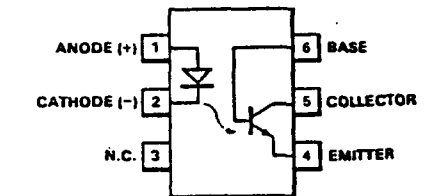
Symbol	Characteristic	Min	Typ	Max	Units	Test Conditions
V_F^*	Forward Voltage		1.2	1.5	V	$I = 50\text{ mA}$
I_R^*	Reverse Leakage Current		0.05	100	μA	$V_R = 3.0\text{ V}$ $V_R = 0\text{ V}$
C	Capacitance		150		pF	$I = 1\text{ MHz}$

Package Outline



Notes
All dimensions in inches bold and millimeters (parentheses)
Tolerance unless specified = ± 0.015 ($\pm .381$)

Connection Diagram DIP (Top View)



Pin
1 Anode (+)
2 Cathode (-) } Input Diode
3 NC
4 Emitter
5 Collector
6 Base } Output npn Phototransistor

Typical Electrical Characteristics

TIL 113
TIL 119

Electrical Characteristics—Output Transistor (Darlington) $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Min	Typ	Max	Units	Test Conditions
V_{CEO}	Collector-to-Emitter Breakdown Voltage	30			V	$I_C = 1.0\text{ mA}$, $I_F = 0$
V_{CBO}	Collector-to-Base Breakdown Voltage TIL 113	30			V	$I_C = 10\ \mu\text{A}$, $I_F = 0$
V_{ECO}	Emitter-to-Collector Breakdown Voltage TIL 119	7.0			V	$I_E = 10\ \mu\text{A}$, $I_F = 0$
V_{EBO}	Emitter-to-Base Breakdown Voltage TIL 113	7.0			V	$I_E = 10\ \mu\text{A}$, $I_F = 0$
I_{CEO}	Collector-to-Emitter Leakage Current			100	nA	$V_{CE} = 10\text{ V}$, $I_F = 0$
β_{FE}	Forward Current Gain TIL 113		15 k			$V_{CE} = 1.0\text{ V}$, $I_C = 10\text{ mA}$, $I_F = \phi$

Electrical Characteristics—Coupled $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Min	Typ	Max	Units	Test Conditions
I_C	Collector Output Current (Pulsed) TIL 113	30	100		mA	$I_F = 10\text{ mA}$, $V_{CE} = 1.0\text{ V}$
	TIL 119	30	160		mA	$I_F = 10\text{ mA}$, $V_{CE} = 2.0\text{ V}$
R_{ISO}	Isolation Voltage (Note 2)	1.5 k			V	Peak
R_{ISO}	Isolation Resistance	10^{11}			Ω	$V = 500\text{ V}$
$V_{CE(sat)}$	Collector-to-Emitter Saturation Voltage TIL 113			1.0	V	$I_C = 125\text{ mA}$, $I_B = 0$
	TIL 119			1.0	V	$I_F = 50\text{ mA}$, $I_C = 10\text{ mA}$, $I_F = 10\text{ mA}$
C_{ISO}	Isolation Capacitance		1.0	1.3	pF	$V = 0$
t_r, t_f	Rise and Fall Time (Note 1) TIL 113		300		μs	$f = 1.0\text{ MHz}$, $I_C = 125\text{ mA}$, $V_{CC} = 15\text{ V}$
t_r, t_f	Rise and Fall Time (Note 1) TIL 119		300		μs	$R_L = 100\ \Omega$, $I_C = 2.5\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\ \Omega$

- Notes**
- Rise time is defined as the time for the (base collector) current to rise from 10% to 90% of peak value. Fall time is defined as the time required for the current to decrease from 90% to 10% of peak value.
 - Isolation voltage defined as minimum of 5 s continuous application.

Optically-Coupled Isolator

Optoelectronic Products

4N25, 4N26
4N27, 4N28

General Description

The 4N25, 4N26, 4N27, and 4N28 series of optoisolators has a silicon npn Planar phototransistor coupled to a GaAs diode. Each is mounted in a 6-pin plastic dual in-line package.

Glassolated™

High Current Transfer Ratio—Typically 50%
500 V to 2500 V Minimum Isolation
Input-To-Output
 $10^{11}\ \Omega$ Isolation Resistance
Low Coupling Capacitance—Typically 1.0 pF

Absolute Maximum Ratings

Maximum Temperature and Humidity
Storage Temperature* -55°C to 150°C
Operating Temperature -55°C to 100°C
Pin Temperature
Soldering, 10 s* 260°C
Total Package Power Dissipation at $T_A = 25^\circ\text{C}$.
LED plus Detector* 250 mW
Derate Linearly from 25°C * $3.3\text{ mW}/^\circ\text{C}$

Input Diode*

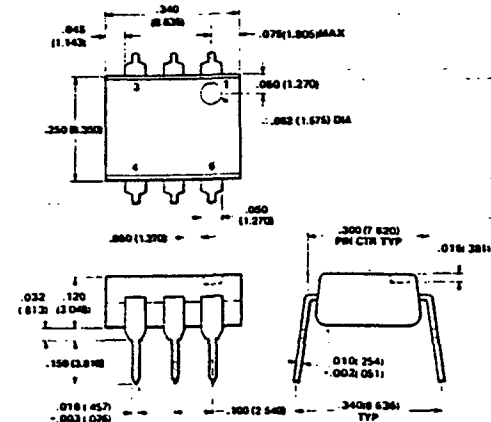
V_R * Reverse Voltage 3.0 V
 I_F * Forward dc Current 80 mA
 I_{pk} * Peak Forward Current, $1\ \mu\text{s}$ pulse width, 300 pps 3.0 A
 P_D * Power Dissipation at $T_A = 25^\circ\text{C}$ 150 mW
Derate Linearly from 25°C $2.0\text{ mW}/^\circ\text{C}$

Output Transistor

V_{CE} * Collector-to-Emitter Voltage 30 V
 V_{CB} * Collector-to-Base Voltage 70 V
 V_{EC} * Emitter-to-Collector Voltage 7.0 V
 P_D * Power Dissipation at $T_A = 25^\circ\text{C}$ 150 mW
Derate Linearly from 25°C $2.0\text{ mW}/^\circ\text{C}$

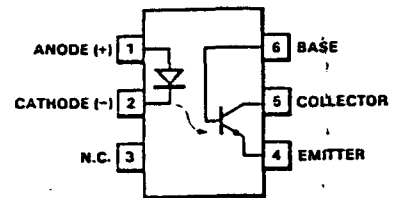
*Indicates JEDEC registered values.

Package Outline



Notes
All dimensions in inches bold and millimeters (parentheses)
Tolerance unless specified = ± 0.015 (± 0.381)

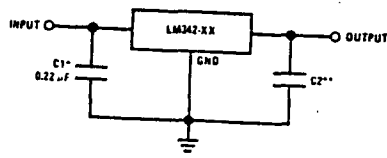
Connection Diagram DIP (Top View)



Pin
1 Anode (+)
2 Cathode (-) } Input Diode
3 NC
4 Emitter
5 Collector } Output npn
6 Base } Phototransistor

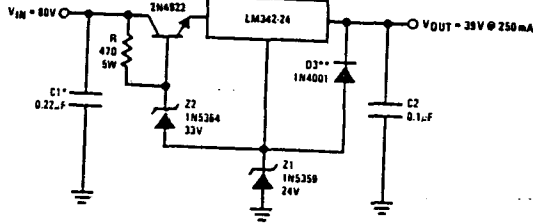
Typical Applications

Fixed Output Regulator



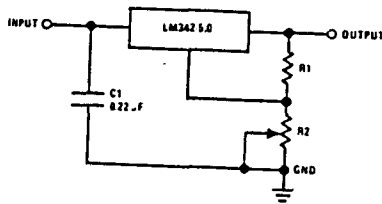
*Required if the regulator is located far from power supply filter
 **Although not required, C2 does improve transient response. (If needed, use 0.1 µF ceramic disc.)

High Output Voltage Regulator



*Necessary if regulator is located far from the power supply filter
 **D3 aids in full load start-up and protects the regulator during short circuits from high input to output voltage differentials

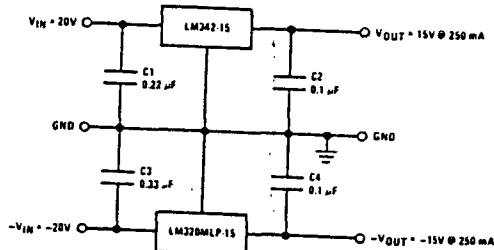
Adjustable Output Regulator



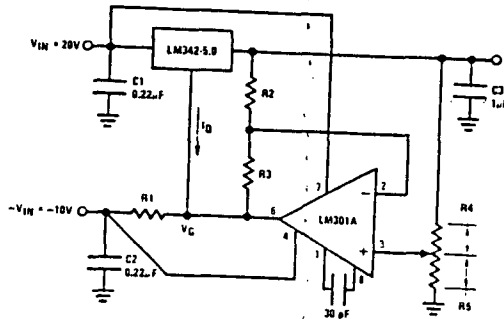
$$V_o = 5V + (5V/R1 + I_Q) R2$$

$$5V/R1 > 3I_Q, \text{ Load Regulation } (L_R) = \frac{5V/R1}{(R1 + R2/R1) \cdot (L_T \text{ of LM342-05})}$$

±15V, 250 mA Dual Power Supply



Variable Output Regulator 0.5V - 18V

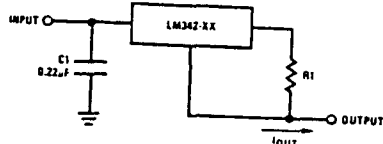


$$V_{OUT} = V_G + 5V, R1 = (-V_{IN}/I_Q \text{ LM342})$$

$$V_{OUT} = 5V(R2/R4) \text{ for } (R2 + R3) = (R4 + R5)$$

A 0.5V output will correspond to $(R2/R4) = 0.1, (R3/R4) = 0.9$
 *Solid tantalum

Current Regulator



$$I_{OUT} = V^2 - 3/R1 + I_Q$$

$$\Delta I_Q \leq 1.5 \text{ mA over line and load changes}$$

LM723/LM723C Voltage Regulator

General Description

The LM723/LM723C is a voltage regulator designed primarily for series regulator applications. By itself, it will supply output currents up to 150 mA; but external transistors can be added to provide any desired load current. The circuit features extremely low standby current drain, and provision is made for either linear or foldback current limiting. Important characteristics are:

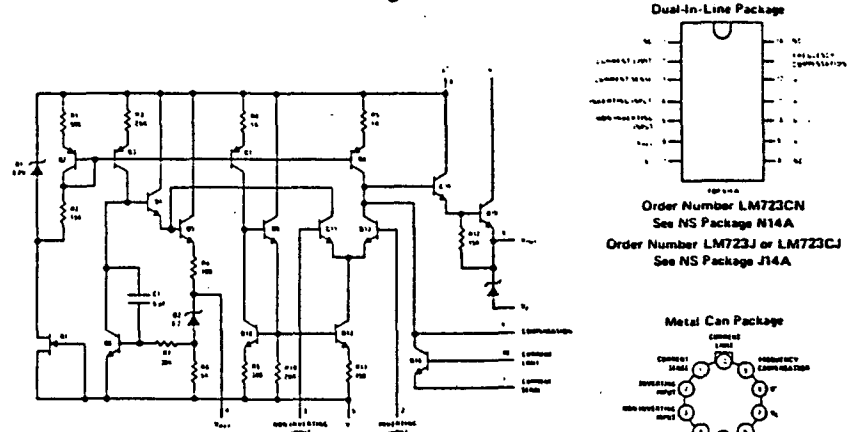
- 150 mA output current without external pass transistor
- Output currents in excess of 10A possible by adding external transistors

- Input voltage 40V max
- Output voltage adjustable from 2V to 37V
- Can be used as either a linear or a switching regulator.

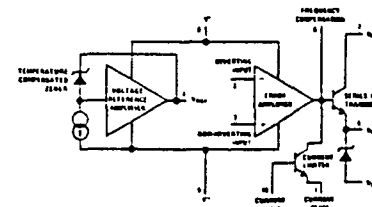
The LM723/LM723C is also useful in a wide range of other applications such as a shunt regulator, a current regulator or a temperature controller.

The LM723C is identical to the LM723 except that the LM723C has its performance guaranteed over a 0°C to 70°C temperature range, instead of -55°C to +125°C.

Schematic and Connection Diagrams*



Equivalent Circuit*



*Pin numbers refer to metal can package.

TABLE I RESISTOR VALUES (kΩ) FOR STANDARD OUTPUT VOLTAGE

POSITIVE OUTPUT VOLTAGE	APPLICABLE FIGURES	FIXED OUTPUT ±5%		OUTPUT ADJUSTABLE ±10% (Note 5)			NEGATIVE OUTPUT VOLTAGE	APPLICABLE FIGURES	FIXED OUTPUT ±5%		5% OUTPUT ADJUSTABLE ±10%		
		R1	R2	R1	P1	R2			R1	R2	R1	P1	R2
+3.0	(Note 4) 1, 5, 6, 9, 12 (4)	4.12	3.01	1.8	0.5	1.2	-100	7	3.57	102	2.2	10	91
+3.6	1, 5, 6, 9, 12 (4)	3.57	3.65	1.5	0.5	1.5	+250	7	3.57	255	2.2	10	240
+5.0	1, 5, 6, 9, 12 (4)	2.15	4.99	.75	0.5	2.2	-6 (Note 6)	3, 110	3.57	2.43	1.2	0.5	.75
+6.0	1, 5, 6, 9, 12 (4)	1.15	6.04	0.5	0.5	2.7	-9	3, 10	3.48	5.36	1.2	0.5	2.0
+9.0	2, 4, 15, 6, 12, 9	1.57	7.15	.75	1.0	2.7	-12	3, 10	3.57	8.45	1.2	0.5	3.3
+12	2, 4, 15, 6, 9, 12	4.87	7.15	2.0	1.0	3.0	-15	3, 10	3.65	11.5	1.2	0.5	4.3
+15	2, 4, 15, 6, 9, 12	7.87	7.15	3.3	1.0	3.0	-28	3, 10	3.57	24.3	1.2	0.5	10
+28	2, 4, 15, 6, 9, 12	21.0	7.15	5.6	1.0	2.0	-45	8	3.57	41.2	2.2	10	33
+45	7	3.57	48.7	2.2	10	39	-100	8	3.57	97.6	2.2	10	91
+75	7	3.57	78.7	2.2	10	68	-250	8	3.57	249	2.2	10	240

TABLE II FORMULAE FOR INTERMEDIATE OUTPUT VOLTAGES

<p>Outputs from +2 to +7 volts [Figures 1, 5, 6, 9, 12, (4)]</p> $V_{OUT} = [V_{REF} \times \frac{R2}{R1 + R2}]$	<p>Outputs from +4 to +250 volts [Figure 7]</p> $V_{OUT} = [\frac{V_{REF}}{2} \times \frac{R2 - R1}{R1}] + R3 + R4$	<p>Current Limiting</p> $I_{LIMIT} = \frac{V_{SENSE}}{R_{SC}}$
<p>Outputs from +7 to +37 volts [Figures 2, 4, 15, 6, 9, 12]</p> $V_{OUT} = [V_{REF} \times \frac{R1 - R2}{R2}]$	<p>Outputs from -6 to -250 volts [Figures 3, 8, 10]</p> $V_{OUT} = [\frac{V_{REF}}{2} \times \frac{R1 - R2}{R1}] + R3 + R4$	<p>Foldback Current Limiting</p> $I_{SENSE} = \frac{V_{OUT} R3}{R_{SC} R4} + \frac{V_{SENSE} (R3 - R4)}{R_{SC} R4}$ $I_{SHORTCKT} = [\frac{V_{SENSE}}{R_{SC}} \times \frac{R2 + R4}{R4}]$

Typical Applications

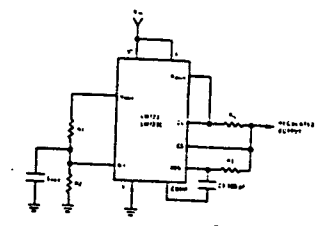


FIGURE 1. Basic Low Voltage Regulator (V_{OUT} = 2 to 7 Volts)

TYPICAL PERFORMANCE
 Regulated Output Voltage: 5V
 Line Regulation (I_{VO} = 3V): 0.5 mV
 Load Regulation (I_L = 50 mA): 1.5 mV

Note: R2 = R1/R2 for maximum temperature drift.

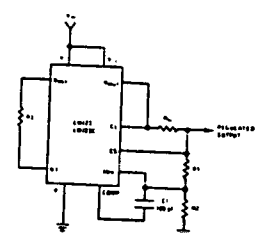


FIGURE 2. Basic High Voltage Regulator (V_{OUT} = 7 to 37 Volts)

TYPICAL PERFORMANCE
 Regulated Output Voltage: 15V
 Line Regulation (I_{VO} = 3V): 1.5 mV
 Load Regulation (I_L = 50 mA): 4.5 mV

Note: R2 = R1/R2 for maximum temperature drift. R2 may be substituted for maximum component count.

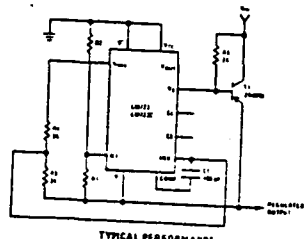


FIGURE 3. Negative Voltage Regulator

TYPICAL PERFORMANCE
 Regulated Output Voltage: -15V
 Line Regulation (I_{VO} = 3V): 1 mV
 Load Regulation (I_L = 100 mA): 2 mV

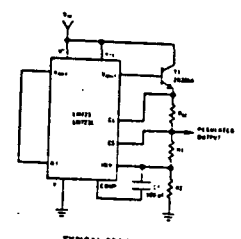


FIGURE 4. Positive Voltage Regulator (External NPN Pass Transistor)

TYPICAL PERFORMANCE
 Regulated Output Voltage: +15V
 Line Regulation (I_{VO} = 3V): 1.5 mV
 Load Regulation (I_L = 1A): 18 mV

Typical Applications (Continued)

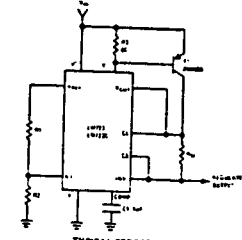


FIGURE 5. Positive Voltage Regulator (External PNP Pass Transistor)

TYPICAL PERFORMANCE
 Regulated Output Voltage: +5V
 Line Regulation (I_{VO} = 3V): 0.5 mV
 Load Regulation (I_L = 1A): 1 mV

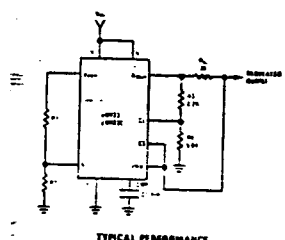


FIGURE 6. Foldback Current Limiting

TYPICAL PERFORMANCE
 Regulated Output Voltage: +5V
 Line Regulation (I_{VO} = 3V): 0.5 mV
 Load Regulation (I_L = 100 mA): 1 mV
 Short-Circuit Current: 28 mA

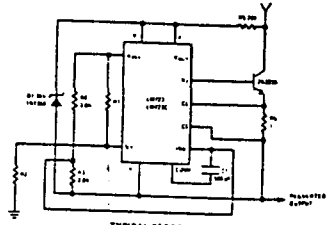


FIGURE 7. Positive Floating Regulator

TYPICAL PERFORMANCE
 Regulated Output Voltage: +50V
 Line Regulation (I_{VO} = 20V): 15 mV
 Load Regulation (I_L = 50 mA): 20 mV

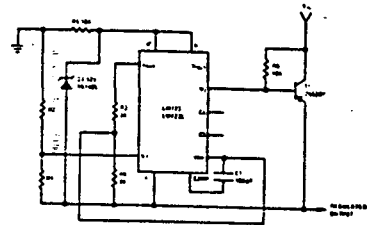


FIGURE 8. Negative Floating Regulator

TYPICAL PERFORMANCE
 Regulated Output Voltage: -100V
 Line Regulation (I_{VO} = 20V): 30 mV
 Load Regulation (I_L = 100 mA): 20 mV

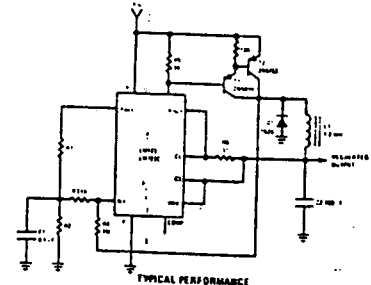


FIGURE 9. Positive Switching Regulator

TYPICAL PERFORMANCE
 Regulated Output Voltage: +5V
 Line Regulation (I_{VO} = 20V): 10 mV
 Load Regulation (I_L = 2A): 80 mV

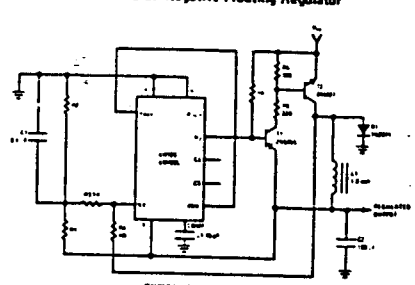


FIGURE 10. Negative Switching Regulator

TYPICAL PERFORMANCE
 Regulated Output Voltage: -15V
 Line Regulation (I_{VO} = 20V): 8 mV
 Load Regulation (I_L = 2A): 6 mV

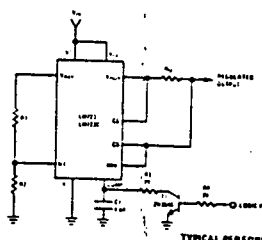


FIGURE 11. Remote Shutdown Regulator with Current Limiting

TYPICAL PERFORMANCE
 Regulated Output Voltage: +5V
 Line Regulation (I_{VO} = 3V): 0.5 mV
 Load Regulation (I_L = 50 mA): 1.5 mV

Note: Current limit transistor may be used for shutdown if current limiting is not required.

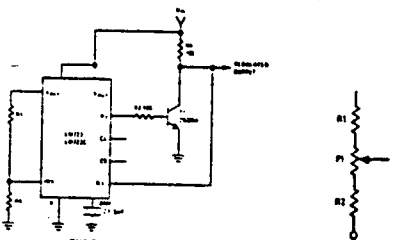


FIGURE 12. Shunt Regulator

TYPICAL PERFORMANCE
 Regulated Output Voltage: +5V
 Line Regulation (I_{VO} = 10V): 0.5 mV
 Load Regulation (I_L = 100 mA): 1.5 mV

FIGURE 13. Output Voltage Adjust (See Note 5)

RAD-HARD CMOS COMMUNICATION PRODUCTS

Manchester Encoder/Decoder (MED) HS-15530RH		
Features	Radiation Effects	Pinout
<ul style="list-style-type: none"> Specifically designed for radiation hardness Support of MIL-STD-1553 1.0 Mbit/sec data rate Sync identification and lock-in Clock recovery Manchester II encode, decode Separate encode and decode Low operating power: 50 mW @ 5 V Full military temperature range 	<ul style="list-style-type: none"> Each lot screened for total dose hardness Parametrics guaranteed to 1×10^5 rads (Si) Latch-up free Upset: $> 10^8$ rads (Si)/sec 	

HS-245 Triple Line Transmitter, HS-246/249 Triple Line Receivers, HS-248 Triple Party-Line Receiver		
Features		
<ul style="list-style-type: none"> High speed: 15 MHz with 50-ft. cable, 2 MHz with 1,000-ft. cable Tolerates -2.0 V to $+20.0$ V ground differential (transmitter with respect to receiver) Current mode operation High common mode rejection Transmitter and receiver party-line capability Transmitter input/receiver output TTL/DTL compatible Low power dissipation Low EMI generation High noise immunity Replaces HD-245/246/248/249 		
Pinouts		
<p>HS-245 Transmitter</p>	<p>HS-246/248/249 Receivers</p>	

SECURE DATA COMMUNICATIONS

CYPHER-I™ CMOS DATA ENCRYPTION DEVICE HS-3447		Pinout
Features		
<ul style="list-style-type: none"> Endorsed by National Security Agency for protecting unclassified national security related information (UNSR) Per DoD drawing ON304455 Alternative to WD 2001/2002 and MC6859 NMOS devices Uses single 5V power supply Operating range -55°C to $+125^{\circ}\text{C}$ Lower power operation 250 mW at 10 MHz Maximum transfer rate: <ul style="list-style-type: none"> 20 MHz at 7 Volts 10 MHz at 5 Volts 20 MHz at 5 Volts (-55°C to $+85^{\circ}\text{C}$) Encrypts/decrypts via serial data stream Available to Class B and Class S equiv. screening Inputs TTL compatible Key variable stored on chip is not externally accessible Available in special configurations 		

B I B L I O G R A F I A

B I B L I O G R A F I A

* "Curso Moderno de Máquinas Eléctricas Rotativas".

Manuel Cortés.

* "Protective Relays. Their theory and practice".

A. R. Van C. Warrington.

* "Load Conservation by means of Underfrequency Relays".

General Electric by W. C. New.

* "A Solid State Underfrequency Relay for Load Conservation".

By Warren C. New.

Power Systems Management Business Department.

General Electric Company.

Filadelphia. Pennsylvania.

* "Sistemas de control".

G. H. Hostetter.

C. J. Savant.

R. T. Stefani.

* "Sistemas discretos de control".

R. Aracil Santoja.

A. Jiménez Avello.

* "Microprocesadores. Fundamentos, diseño y aplicaciones en la industria y en los minicomputadores".

J. M. Angulo.

Paraninfo.

* "Gran Enciclopedia de la Electrónica".

Ediciones Nueva Lente.

* "Microprocesadores y Lógica Programada".

Kenneth L. Short.

Colección Electrónica-Infornática. GS.

* "Circuitos Electrónicos IV".

Elias Muñoz Merino.

E.T.S.I.T. Madrid.