UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN

TRABAJO FIN DE CARRERA

Especialidad Equipos Electrónicos

Evaluación de Prestaciones de las Familias Lógicas ECL y CML Implementadas con HBTs

AUTOR
Francisco Javier del Pino Suárez

TUTOR
Antonio Hernández Ballester

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

AGRADECIMIENTOS

El trabajo que presento va dedicado a todos aquellos que de una manera u otra me ayudaron en su realización. Así, de forma especial debo agradecer la inestimable ayuda de mi tutor D. Antonio Hernández Ballester, sin el cual dudo que algún día pudiera presentar este trabajo. Esta ayuda no solo se ha circunscrito al terreno puramente técnico sino, también, y de forma especial, al personal. Su paciencia ha hecho que en los momentos en los que estaba agobiado con las asignaturas del ciclo superior no dejara de lado de forma definitiva el trabajo. También he de agradecer la colaboración de D. Luis Gómez Déniz por ser quien me propuso en primera instancia la realización de un proyecto en el laboratorio de tecnología de circuitos, y en segundo lugar por estar siempre dispuesto a ayudarme ante cualquier duda. También agradezco su colaboración al que fue el oficial del laboratorio D. Alexis Espino así como a todos los compañeros del laboratorio y de clase y a los profesores que sin estar obligados a ello me ayudaron de una forma u otra en la realización de este trabajo.

Por último agradezco de forma muy especial el respaldo que siempre he tenido en toda mi familia y amigos, y por ello no quiero acabar sin dar las gracias a mis padres por haberme dado la posibilidad de cursar los estudios que pretendo finalizar con la lectura de este trabajo.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

ÍNDICE

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Índice

ÍNDICE II

PETICIONARIO i
ANTECEDENTES iii
OBJETO DEL TRABAJO viii
RESUMEN x

CAPÍTULO 1. INTRODUCCIÓN 1
1.1. PERFIL DE UNA HETEROESTRUCTURA 2
1.2. TRASISTORES BIPOLARES DE HETEROESTRUCTURA 4
1.3. HBTS DE ALGAAS/GAAS 11
1.3.1 Ventajas de las Heterouniones AlGaAs/GaAs 11
1.3.2 Estructura Básica 13
1.3.3 Tecnología De Fabricación 15

CAPÍTULO 2. MODELO ELÉCTRICO DE LOS HBTS 17
2.1 EM1. MODELO EBERS-MOLL PARA DC 18
2.2 EM2. CONDENSADORES Y RESISTENCIAS PARÁSITAS EN EL HBT 20
2.2.1 Resistencias Parásitas 20
2.2.2 Cargas Almacenadas 22
2.3 EM3. FENOMENOS ADICIONALES 25

CAPÍTULO 3. FAMILIAS LÓGICAS ECL Y CML. FUNCIONAMIENTO EN CONTINUA 31
3.1. ELECCIÓN DE LA EXCURSIÓN LÓGICA ADECUADA 32
3.2 OPTIMIZACIÓN 33
3.3 MARGEN DE RUIDO 35
3.3.1 Fuentes de Ruido 35

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

3.3.2 Definiciones de Margen de Ruido *36*
3.3.3 Obtención del Margen de Ruido *42*
3.4 ESTUDIO DEL FAN-OUT Y DEL FAN-IN EN DC *43*

CAPÍTULO 4. RESPUESTA TEMPORAL Y POTENCIA DISIPADA *49*
4.1 DEFINICIONES *50*
4.2 ANÁLISIS MEDIANTE SIMULACIÓN SPICE *50*
4.2.1 Tiempos de Propagación. Dependencia con el FAN-OUT y con la Capacidad de Carga *52*
4.2.1.1 Dependencia con el FO *52*
4.2.1.1.1 CML90 y ECL90 ..... *52*
4.2.1.1.2 CML91 y ECL91 ..... *56*
4.2.1.1.3 CML93 y ECL93 ..... *56*
4.2.1.1.4 Conclusión *56*
4.2.1.2 Dependencia con la Capacidad de Carga *57*
4.2.2 Frecuencia Máxima de Operación *60*
4.3 POTENCIA DISIPADA *62*

CAPÍTULO 5. MODELO TEMPORAL *66*
5.1 MODELO TEMPORAL NUMÉRICO *67*
5.1.1 Variación del t_p con C_L *67*
5.1.2 Variación del t_p con el FO *69*
5.1.3 Resultados y Conclusiones *74*
5.2 MODELO TEMPORAL ANALÍTICO *77*

CAPÍTULO 6. EJEMPLOS DE CIRCUITOS BASADOS EN HBTS PARA ALTA VELOCIDAD. *82*
6.1 PUERTA OR/NOR EXCLUSIVA (XOR) *83*
6.2 TOGGLE FLIP-FLOP (TFF) *85*
6.3 SELECTOR O DEMULTIPLEXOR 2:1 (SEL21) *86*
6.4 RED DE PUERTAS PROGRAMABLE (GATE ARRAY) *89*

CAPÍTULO 7. CONCLUSIONES *91*
7.1 ESTUDIOS COMPARATIVOS RELATIVOS A LA VELOCIDAD Y EL CONSUMO *93*

ANEXO I. FICHERO SPICE PARA OPTIMIZACIÓN DE LA PUERTA ECL *98*
ANEXO II. FICHERO SPICE PARA OBTENCIÓN DEL MARGEN DE RUIDO DE LA PUERTA ECL91 ..... *99*

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

ANEXO III. FICHERO SPICE PARA EL ANÁLISIS EN AC Y EN DC DE LA PUERTA ECL91 ..... *100*

ANEXO IV. FICHERO SPICE PARA OBTENCIÓN DE LA POTENCIA DISIPADA EN RÉGIMEN ESTÁTICO DE LA PUERTA ECL91 ..... *102*

ANEXO V. PROGRAMA DE MATLAB PARA OBTENER EL MODELO TEMPORAL NUMÉRICO COMPLETO *104*

ANEXO VI. FICHERO SPICE DE LA PUERTA OR/NOR EXCLUSIVA *106*

ANEXO VII. FICHERO SPICE DEL TOGGLE FLIP-FLOP *108*

ANEXO VIII. FICHERO SPICE DEL SELECTOR O DEMULTIPLEXOR 2:1 ..... *110*

REFERENCIAS BIBLIOGRÁFICAS *113*

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

PETICIONARIO

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

PETICIONARIO

El peticionario de este trabajo fin de carrera es el laboratorio de Tecnología de Circuitos adscrito al Departamento de Electrónica y Telecomunicación de la Universidad de las Palmas de Gran Canaria.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

ANTECEDENTES

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

ANTECEDENTES

La secuencia de desarrollo de una nueva tecnología comienza con el reconocimiento de que un nuevo material o dispositivo puede tener propiedades ventajosas. Esto va seguido por el desarrollo del crecimiento del material y las tecnologías de fabricación para dispositivos activos discretos y, finalmente, por la fabricación de circuitos integrados basados en el nuevo material y/o dispositivo. Cosechas elevadas y costes efectivos en la fabricación de circuitos integrados (ICs), circuitos integrados optoelectrónicos (OEICs), y circuitos integrados de microondas (MMICs), en un material o tecnología determinada requieren tecnologías de fabricación estables y maduras, las cuales tienen un desarrollo lento. Por esta razón, para aplicaciones lógicas, se espera que los ICs digitales basados en Si y GaAs dominen el campo por muchos años ya que son las únicas tecnologías con la suficiente madurez.

La figura A.1 ilustra una predicción sobre la distribución del mercado en función de las tecnologías <COURT94>. Como se puede observar, la tecnología CMOS se espera que sea más y más la tecnología dominante. También se espera el crecimiento de las tecnologías basadas en el GaAs y la BiCMOS. Los FETS de GaAs han sido los "caballos de batalla" de las industrias de microondas y de alta velocidad

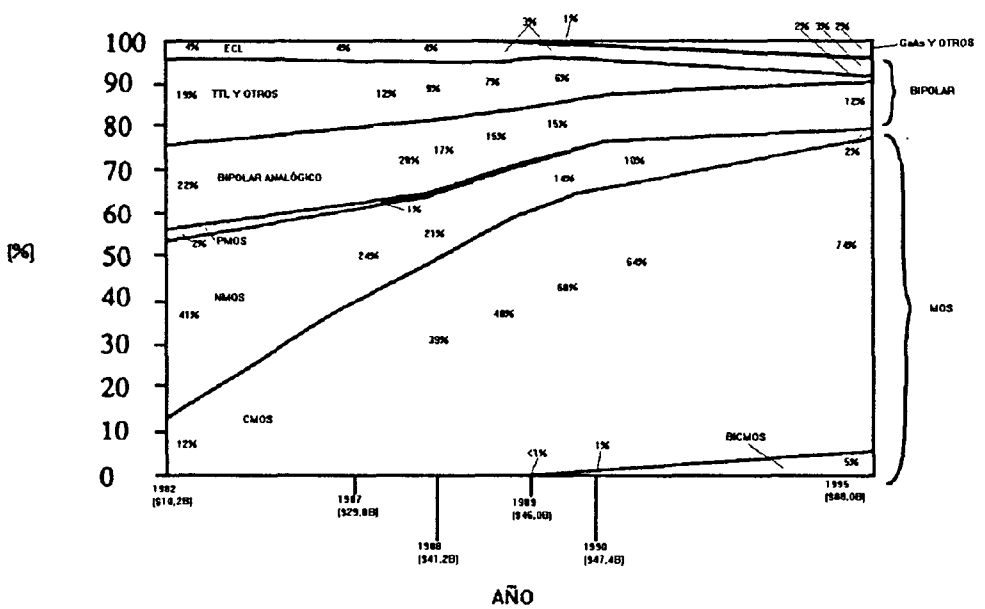


Fig A.1 Distribución del mercado en función de las tecnologías.

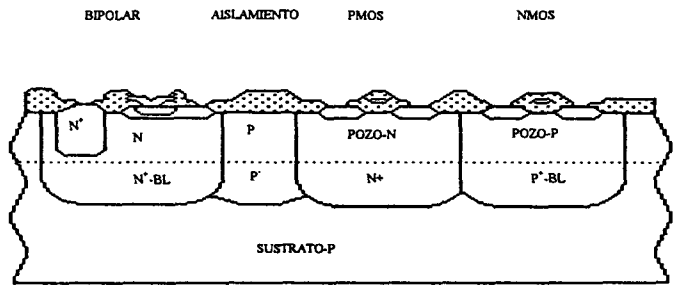
© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

digital por más de una década, y sin duda continuará en este papel por algunos años más. Los MESFETS y JFETS de GaAs son relativamente fáciles de fabricar y ofrecen altas prestaciones a bajo coste. La ganancia y velocidad de estos dispositivos son con mucho mejores que sus competidores en silicio. Actualmente, los MESFETS de GaAs de canal-n dominan el mercado mundial de los transistores para muchas aplicaciones de microondas y alta velocidad digital. Es comparativamente fácil y barato hacer y ofrecer prestaciones superiores sobre sus oponentes en silicio debido, principalmente, a las características electrónicas superiores del GaAs. En general se espera que los dispositivos de GaAs retengan su mercado en velocidad frente a los dispositivos de silicio, ofreciendo circuitos SSI, MSI y LSI basados en GaAs más rápidos que sus homónimos en silicio. Sin embargo, la ventaja del GaAs en velocidad es esencialmente negada en circuitos VLSI y ULSI, debido a que la velocidad global de dichos circuitos complejos es sólo una pequeña función de la velocidad del dispositivo. Aún así, los circuitos integrados VLSI y ULSI basados en GaAs implementados con la familia DCFL de baja tensión presentan ventajas en cuanto a potencia total disipada.

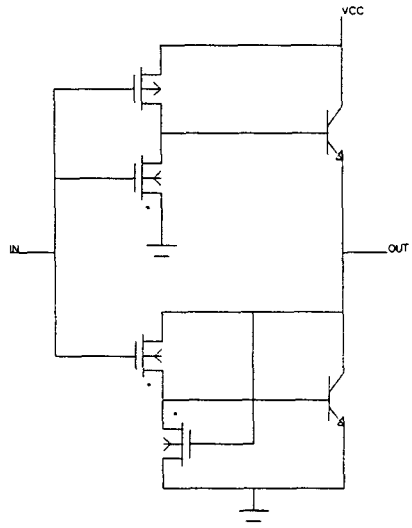
Gran parte de los OEICs están basados en GaAs o en InP, y todavía no han alcanzado el nivel de madurez de los ICs digitales. Sin embargo, el progreso es rápido en este campo, y en breve se harán realidad circuitos OEICs monolíticos de altas prestaciones . Tanto los circuitos MMICs de Si como los de GaAs comparten el mercado por debajo de los 10 GHz, por su parte, los circuitos MMICs basados en GaAs dominan actualmente por encima de los 10 GHz y se espera que continúe siendo así.

La tecnología BiCMOS es una combinación de la lógica bipolar (ECL) y la tecnología CMOS. De ahí que en ella se combine la alta velocidad de la ECL con la elevada densidad de integración y el bajo consumo de la tecnología CMOS. Por esta razón se espera que en un futuro cercano tenga una mayor participación en el mercado. En efecto, mientras que los transistores bipolares no tienen todas las características necesarias para obtener con ellos circuitos óptimos, se pueden combinar de forma monolítica con otros dispositivos que suplementen sus limitaciones. La figura A.2 muestra la sección transversal de una estructura BiCMOS, y el esquema de una puerta BiCMOS. El objetivo de dicha puerta es combinar las mejores propiedades de los circuitos CMOS y las tecnologías bipolares: baja disipación de potencia estática y alta capacidad de dar corriente (drive, gracias a

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



(a)



(b)

Fig A.2 (a) sección transversal de una estructura BiCMOS. (b) circuito lógico BiCMOS.

los transistores de salida con elevada transconductancia). Aunque el proceso es relativamente complejo, la utilización de la tecnología BiCMOS está aumentando.

En cuanto a las tecnologías bipolares tipo TTL y otras, la tendencia es de caída. Las predicciones muestran que las tecnologías bipolares están en vías de extinción. También la tecnología CMOS comenzará a perder mercado en favor de tecnologías tales como la BiCMOS (ver fig A.1) a pesar de que continuará creciendo en términos de inversiones monetarias.

Recientemente ha aparecido un nuevo dispositivo bipolar basado en heteroestructura: el transistor bipolar de heteroestructura (HBT). Entre las ventajas más importantes de estos transistores podemos incluir las siguientes:

- Elevada velocidad de operación.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

- Elevada transconductancia.
- Tensiones de puesta en on y en off muy precisas.
- Elevada capacidad para aportar corriente a etapas sucesivas.
- Bajo ruido 1/f.
- EL GaAs intrínseco (es decir, no dopado) que forma el sustrato actúa como semiaislante lo cual facilita la integración de circuitos analógicos y digitales de forma monolítica.

Las aplicaciones de los HBTs van desde circuitos digitales de alta velocidad, hasta conversores analógico/digital, pasando por circuitos de potencia en microondas.

Es bien conocido que en términos de velocidad de operación, las lógicas ECL y CML son las que resultan más competitivas con respecto a otras lógicas bipolares. De echo, estas lógicas permiten conseguir en la actualidad, velocidades muy elevadas, del orden de 20 a 28 Gb/s e incluso superiores (40 Gb/s) <ICHIN93>, mediante el uso de HBTs de AlGaAs/GaAs. Esta es la principal razón por la que su cuota de mercado permanezca prácticamente constante, como se puede observar en la figura A.1 <COURT94>. Sin embargo, su elevado consumo de potencia hace que sólo sean aplicables en aplicaciones muy específicas y en las que el factor dominante sea la velocidad o la carga que tengan que soportar. Otro inconveniente que tiene este tipo de tecnología es su escasa densidad de integración, como se puede observar en la siguiente relación de densidades de integración típicas para las diferentes tecnologías:

CMOS: 500K
BiCMOS: 400K
GaAs: 300K
ECL: 60K

Como vemos la ECL es la que tiene menor densidad de integración, lo cual implica que su aplicación se reduce a circuitos o partes de circuitos relativamente pequeños.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

OBJETO DEL TRABAJO

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

OBJETO DEL TRABAJO

El objetivo de este trabajo es el análisis de el funcionamiento y las prestaciones de las familias lógicas implementadas con HBTs. Como se comenta en los antecedentes, las lógicas ECL y CML son las que resultan más competitivas con respecto a otras lógicas bipolares en cuanto a velocidad se refiere. Por tanto, comenzaremos centrando nuestros esfuerzos en evaluar los inversores basados en dichas lógicas. Así, serán objeto de estudio características en DC tales como: característica de transferencia (Vo-Vi), margen de ruido, Fan-In, Fan-Out y potencia disipada. También serán objeto de estudio características en régimen transitorio tales como: tiempos de propagación y su dependencia con el Fan-In y el Fan-Out y la potencia disipada.

Una vez evaluadas las características más importantes de los inversores, el siguiente objetivo de este trabajo será el desarrollo de modelos de estimación temporal que nos permitan conocer rápidamente los retardos de propagación de circuitos basados en dichas lógicas. También serán útiles para extraer conclusiones sobre qué parámetros son los más importantes a la hora de diseñar circuitos lógicos ECL y CML basados en HBTs.

Por último, con objeto de tener un mayor conocimiento sobre las lógicas estudiadas, planteamos el estudio de circuitos complejos previamente desarrollados con HBTs y basados en las lógicas ECL y CML.

El objeto final de este trabajo es servir de antecedente a posteriores estudios que se realizarán en el laboratorio de Tecnología de Circuitos sobre los transistores HBTs. En ellos se pretende simular el proceso tecnológico necesario para conseguir transistores HBTs óptimos con ayuda del simulador tecnológico TSUPREM4 y del simulador de dispositivos MEDICI.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

RESUMEN

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

RESUMEN

La memoria de este trabajo fin de carrera está dividida en 7 capítulos. En el primer capítulo presentamos las heteroestructuras y los transistores bipolares de heteroestructura (HBTs) desde un punto de vista físico y tecnológico con objeto de familiarizar al lector con este tipo de dispositivos.

En el capítulo 2 se revisan los modelos de SPICE existentes para la simulación eléctrica de los transistores bipolares y se comprueba que son también utilizables para modelar los HBTs.

En los capítulos 3 y 4 se estudia la utilización de HBTs en las familias lógicas ECL y CML y se evalúa su rendimiento en cuanto a velocidad y consumo. Para ello en el capítulo 3 se lleva a cabo un estudio de dichas familias lógicas en régimen continuo, y posteriormente, en el 4, se vuelven a analizar los mismos circuitos, esta vez en régimen transitorio.

En el capítulo 5 se analizan varias metodologías para la elaboración de modelos temporales para caracterizar las puertas lógicas estudiadas. Así se presentan dos métodos diferentes para hacer un modelo numérico y otro para desarrollar un modelo analítico.

En el capítulo 6 se presentan varios circuitos digitales basados en las familias lógicas estudiadas como ejemplos de aplicaciones de dichas lógicas.

Finalmente, en el capítulo 7 resumimos los resultados y presentamos las conclusiones obtenidas con los inversores ECL y CML basados en HBTs, comparándolos con otras lógicas existentes en el mercado.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 1

Introducción

El desarrollo de las técnicas MBE (molecular beam epitaxial) y MOCVD (metal-organic chemical vapor deposition) desde finales de los años 70, ha revolucionado el diseño de nuevos dispositivos electrónicos y optoelectrónicos. En nuestros días se pueden crecer capas muy finas de material semiconductor manteniendo un fino control sobre el dopaje y las conexiones. Este desarrolo tecnológico ha propiciado la consolidación de una disciplina científica: la "ingeniería de la anchura de la banda prohibida" (band-gap engineering), que estudia las heterouniones. Una heterounión es una estructura constituida por la unión abrupta de dos semiconductores distintos y, por ende, con diferente anchura de la banda prohibida.

En las estructuras convencionales (homouniones: el mismo semiconductor a ambos lados de la unión) los electrones y los huecos experimentan fuerzas proporcionales a los gradientes de concentración de impurezas (difusión) y al campo eléctrico aplicado (arrastre). Las fuerzas electrostáticas serán iguales y opuestas en electrones y huecos debido a que la anchura de la banda prohibida es constante. Las heterouniones ofrecen un grado adicional de libertad en el diseño de dispositivos, ya que las fuerzas que actúan sobre los electrones y los huecos pueden ser controladas de forma independiente mediante el ajuste de los anchos de banda prohibida (es decir, de la composición) y del dopaje de los semiconductores.

El desarrollo de uniones de buena calidad entre semiconductores binarios (III-V) y sus aleaciones (III-III-V o III-V-V) es posible si las constantes de red de los materiales son la misma, o de valor muy próximo; pero esta imposición limita la

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

elección de las energías de la banda prohibida (E_G), banda de conducción (E_C), y banda de valencia (E_V), y de sus posibles combinaciones, a los valores que se obtienen de la figura 1.1 <LONBU90>. Esta figura tiene como ejes el ancho de la banda prohibida y la constante de red, y en ella se muestran los semiconductores III-V más usados. Las combinaciones que tienen la misma constante de red, tales como GaAs/AlGaAs o InGaAs/InAlAs, están alineadas verticalmente en la figura.

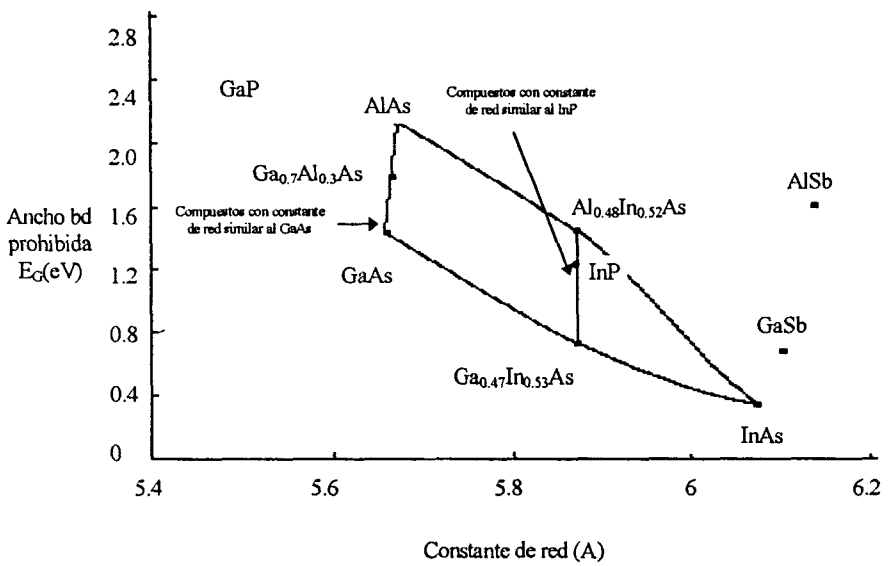


Fig 1.1 Ancho de banda prohibida en función de la constante de red para los semiconductores III-V más usados <LONBU90>.

1.1. Perfil de una Heteroestructura

En la figura 1.2 se muestran los diagramas de bandas de energía de una heteroestructura formada por AlGaAs dopado con impurezas donadoras (n^+) y GaAs sin impurezas. El que el GaAs no esté dopado implica que su nivel de Fermi (E_F) se halla situado aproximadamente a la mitad de la banda prohibida. El nivel de Fermi en el AlGaAs se encuentra cerca de la banda de conducción debido a las impurezas n^+. Esto se puede observar en la figura 1.2.a. En dicha figura, los semiconductores no están en contacto y se han dibujado de tal forma que el "offset" de la banda de conducción ΔE_C y el "offset" de la banda de valencia ΔE_V están separados según las siguientes relaciones experimentales:

$$\Delta E_V=0.55x_{Al} \text{ y } \Delta E_V=0.75x_{Al},$$

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

ambas funciones lineales de la fracción molar del Al (x_{Al}) <AFKHM84>. Obsérvese que los "offsets" no dependen del dopaje, sino sólo de la composición.

En la figura 1.2.b, los semiconductores se han puesto en contacto. Como no hay ninguna tensión aplicada a la heterounión, los niveles de fermi estarán alineados. En esta figura no se han tenido en cuenta los "offsets". En las figuras 1.2.c y d se puede observar cómo la inclusión de los "offsets" en los diagramas de bandas produce que estos se curven, apareciendo, en el caso presentado, una discontinuidad en la banda de conducción del sistema en equilibrio. A esta discontinuidad o "pico" se alude más adelante.

El "offset" de la banda de valencia ΔE_V se encuentra justo entre las bandas de valencia de ambos semiconductores, de forma que, la pendiente en el GaAs y en el AlGaAs es la misma a ambos lados de la interfase. La ecuación de Poisson exige que la pendiente de las bandas de energía sean proporcionales al campo eléctrico

$$\nabla^2\Phi = \rho/\varepsilon_0 \Rightarrow \nabla\nabla\Phi = \rho/\varepsilon_0 \Rightarrow -\nabla\Phi = E \Rightarrow pte \propto E$$

Como la permitividad es la misma y el campo eléctrico debe ser contínuo en la unión de ambos semiconductores, se deberá cumplir que la pendiente de las bandas de energía sea la misma a ambos lados. En el AlGaAs, si la concentración de impurezas donadoras es uniforme, la curvatura es parabólica <SMSZE81>.

Las bandas de conducción deben seguir a sus respectivas bandas de valencia debido a que la anchura de la banda prohibida es constante para un mismo semiconductor. En la figura 1.2.d se observa cómo se unen las bandas de conducción, siendo el "offset" ΔE_C la altura de la discontinuidad. El pico que se observa en la banda de conducción del AlGaAs es una región que está vacía de electrones. Es decir, esta zona será una zona de deplexión en la que habrá una carga fija positiva asociada a las impurezas donadoras ionizadas. La carga fija negativa correspondiente que se requiere para que se dé la condición de neutralidad en la interfase estará en el valle de la banda de conducción, el cual actúa como pozo de potencial para los electrones de conducción.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

A continuación se presenta en el siguiente apartado una descripción de los transistores bipolares de heteroestructura, comparándolos, para facilitar la comprensión, con los transistores bipolares de Silicio o de GaAs de homounión.

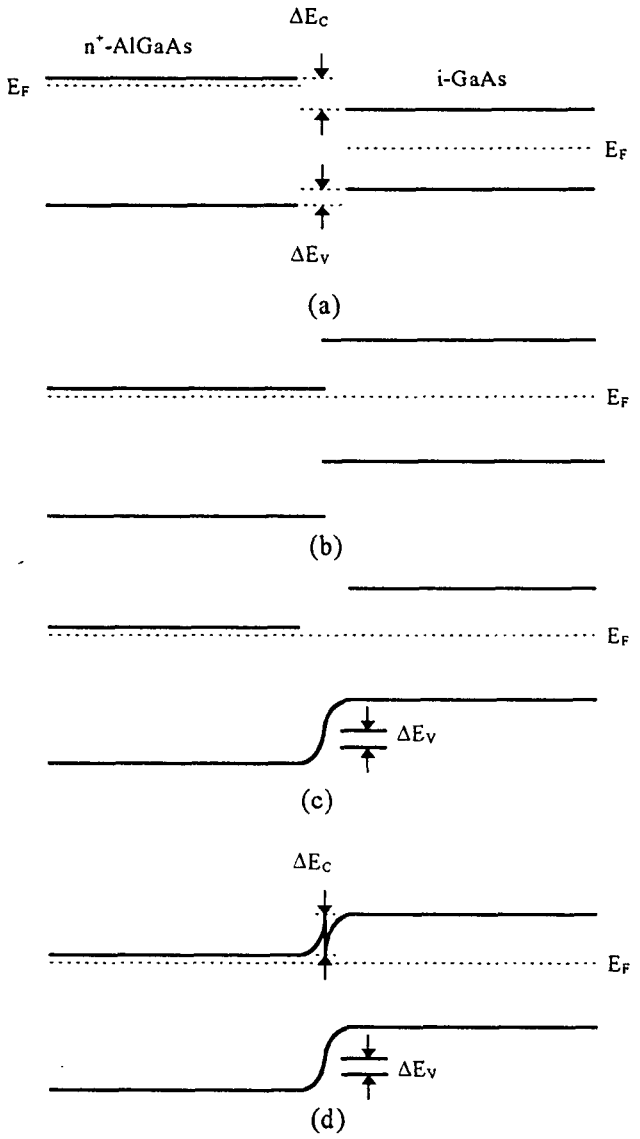


Fig 1.2 Construcción de un diagrama de bandas de energía de una heterounión: (a) antes del contacto, (b) después del contacto los niveles de Fermi quedan alineados, no se consideran los offsets, (c) incluye el offset de la BV, (d) incluye el offset de la BC.

1.2. Trasistores Bipolares de Heteroestructura

La tecnología de fabricación de CIs digitales compuestos por HBTs está mucho menos desarrollada que la de otros transistores como pueden ser los HFETS

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

(Heteroestructure FETS) o los MESFETS (Metal Semiconductor FETS). Sin embargo, se estima que esta situación cambiará en el futuro y los HBTs llegarán ha ser los dispositivos preferidos en aplicaciones en las que el factor dominante sean las cargas capacitivas y en las que se puedan adaptar las potencias de disipación. Los circuitos digitales bipolares presentan la ventaja de poseer tensiones umbrales bastante uniformes, ya que la tensión base-emisor se determina por la alineación de las bandas de energía en vez de por el dopaje y las anchuras como es el caso de los MESFETS o HFETs con las barreras de puerta dopadas. Además se pueden conseguir transconductancias muy altas con los HBTs; alrededor de 10 S/mm en comparación con los 0.4 S/mm para los mejores MESFETS o HFETS. De esta forma, los retardos de propagación no aumentan con la carga capacitiva en los circuitos con HBTs tan rápido como lo hacen en los circuitos con FETs.

La mejora de prestaciones obtenida utilizando transistores con el emisor fabricado sobre un material de mayor banda prohibida que el material de base se observó ya desde el momento en que fueron inventados. Sin embargo, la tecnología de fabricación de dichos dispositivos no maduró hasta los años 70. Para ayudar a entender los beneficios de una E_G de emisor grande, comparamos en la figura 1.3.a los diagramas de bandas de energía de un transistor bipolar de homounión (BJT) *npn* con un transistor bipolar de heterounión (HBT) *npn*. Si nos fijamos en la banda de valencia (A) para los BJT observamos que el potencial de barrera para los huecos entre la base y el emisor (qV_p) es el mismo que el potencial de barrera para los electrones entre el emisor y la base (qV_n). La corriente de colector, como se puede observar en la figura 1.3.b, consiste principalmente en la corriente de electrones inyectada desde el emisor a la base, In, menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, Ip, inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de deplexión de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los HBTs es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y los niveles de dopaje en la base y el emisor.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

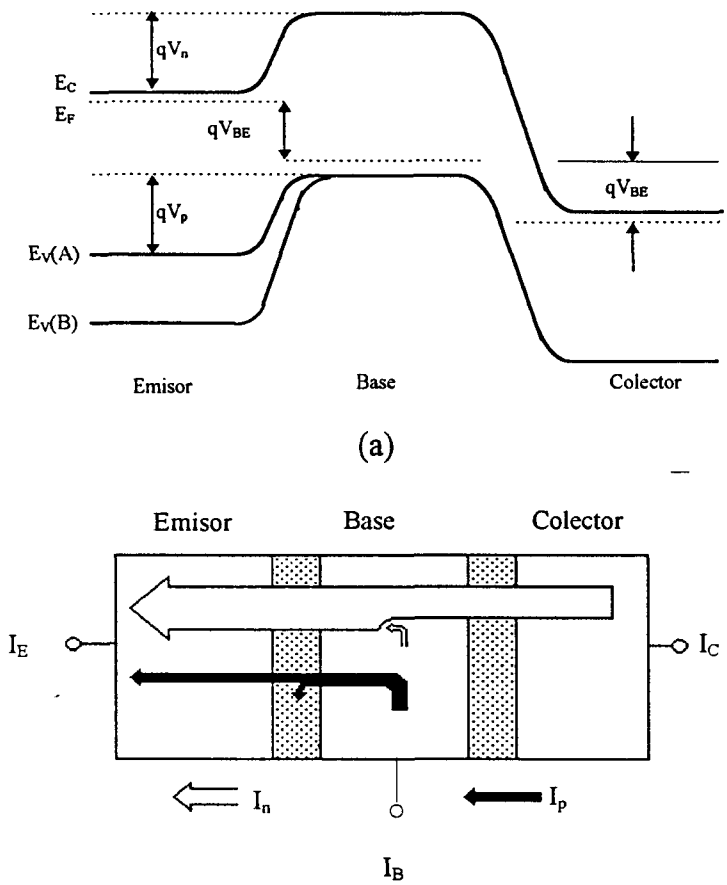


Fig 1.3 (a) Diagrama de bandas de energía para: (A) transistor bipolar de homounión *npn*-GaAs (B) transistor bipolar de heterounión *npn*-AlGaAs/GaAs. (b) Esquema simplificado del flujo de corriente en un transistor de homounión *npn*-GaAs

Si despreciamos las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los BJTs para comparar la magnitud de esas dos componentes principales de corriente. Esa relación es importante porque la ganancia de corriente $\beta=I_c/I_b$ debe ser mucho mayor que 10 para los transistores usados en las familias lógicas ECL/CML o en cualquier aplicación similar. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de E-B y B-C es W_b, el ancho de emisor W_e, y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor; la estadística de Boltzmann nos da las concentraciones de portadores minoritarios:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot (e^{\frac{-q \cdot VA}{K \cdot T}} - 1) \qquad (1.1)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot P_b} \cdot (e^{\frac{-q \cdot VA}{K \cdot T}} - 1) \qquad (1.2)$$

Donde en estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, (GaAs o Si) para la homounión BJT. VA es la tensión aplicada a la unión E-B. La concentración de dopaje en el emisor de GaAs tipo n es N_e, y en la base de GaAs tipo p es P_b. D_n y D_p son las constantes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (1.1) y (1.2) resulta:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \qquad (1.3)$$

ecuación que representa una cota superior del valor de β. Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces βmax vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 20 para el GaAs y 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones *npn* con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la figura 1.3 se muestra también la banda de valencia para el HBT (B). El efecto del offset de la banda de conducción ΔE_C y el offset de la banda de valencia ΔE_V no se muestra ya que se asume que la transición entre los dos materiales está graduada en la composición sobre una distancia suficiente para suavizar el pico de la banda de conducción (ver fig 1.2.d). Notar que la diferencia entre la anchura de la banda prohibida de la base (p.e. GaAs) y la del emisor (p.e. AlGaAs), ΔE_G, se añade a las tensiones de contacto para los huecos. Así pues, la relación entre corrientes I_c/I_b para los HBTs tendrá un término adicional que refleja la supresión de la corriente de huecos:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

$$\beta = \frac{I_c}{I_b} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot t}\right)} \qquad (1.4)$$

Debido a que es posible obtener decenas de eV para ΔE_G en heterouniones de elementos III-V, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada. Sin embargo, en aplicaciones prácticas estas ganancias elevadas (superiores a 100) no suelen utilizarse, por tanto es deseable incrementar la relación de dopaje entre la base y el emisor.

La resistencia parásita de base de los HBTs puede reducirse incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, el tiempo de tránsito en la base se ve incrementado. Por tanto, hay un compromiso entre el tiempo de tránsito (relacionado con f_T) y la resistencia de la base (relacionado con f_{max}) para la optimización del funcionamiento a altas frecuencias.

Para ver por qué la supresión de la inyección de huecos dentro del emisor es una gran ventaja de los HBTs sobre los BJTs de homounión de Si o GaAs, debemos examinar los factores que contribuyen a la rapidez de las lógicas no saturadas como pueden ser la ECL o la CML. La frecuencia máxima de oscilación, f_{max}, permite determinar la rapidez de los dispositivos cuando se opera en régimen de pequeña señal, pero no es de mucha utilidad al determinar la velocidad de los circuitos digitales cuya operación es en gran señal. Un parámetro más adecuado para predecir la rapidez de los circuitos digitales es el tiempo de conmutación, τ_s, que puede estimarse de la ecuación:

$$\tau_s = \frac{5}{2} \cdot R_b \cdot C_c + \frac{R_b}{R_L} \cdot \tau_b + (3 \cdot C_c + C_L) \cdot R_L \qquad (1.5)$$

Donde R_b es la resistencia de base total, C_c es la capacidad de base a colector, τ_b es el tiempo de tránsito de los electrones através de la base, y R_L y C_L son la resistencia de carga y capacidad de carga del circuito respectivamente. La ecuación (1.5) muestra el papel fundamental que juega la resistencia de base en el tiempo de conmutación, apareciendo linealmente en dos términos. Aquí es donde los HBTs tienen su mayor ventaja, la posibilidad de elevar el dopaje de la base a los límites de solubilidad del sólido para reducir la resistencia de base e incrementar con ello la velocidad en la respuesta del circuito.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Otra observación sobre la ecuación (1.5) es el fuerte efecto de la resistencia de carga sobre la velocidad de conmutación. τ_s tiene un mínimo con respecto a R_L dado por:

$$R_L = \left(\frac{R_b \cdot \tau_b}{3 \cdot C_c + C_L}\right)^{1/2} \qquad (1.6)$$

que establece la corriente de alimentación para un circuito ECL o CML; esto es, para proveer una excursión lógica adecuada, ΔV, para la conmutación al próximo estado, se requiere una corriente de alimentación dada por $I=\Delta V/R_L$. Así, la potencia disipada dependerá del tiempo de tránsito en la base, de la resistencia de la base, de la capacidad de colector y de la carga del circuito. En la mayoría de los diseños con HBTs el valor óptimo de R_L es pequeño, siendo por tanto la potencia de disipación por puerta lógica de moderada a alta para poder obtener circuitos de alta velocidad. Algunos circuitos con HBTs implementados en familias lógicas distintas a la ECL (por ejemplo I^2L) presentan bajas potencias de disipación, pero sus tiempos de conmutación son peores que los circuitos MESFETS o con otras tecnologías de alta velocidad de Silicio y no resultan competitivos.

El alto dopaje de la base de los HBTs es también una ventaja para el funcionamiento a niveles de corriente elevados; la densidad de corriente a la cual el nivel de inyección se hace significativo es muy grande. Así pues, pequeños dispositivos pueden operar a niveles de corriente elevados para incrementar la transconductancia, gm, sin pérdida de ganancia en corriente. Los efectos de la modulación del ancho de base se reducen también por el alto grado de dopaje de la base.

Finalmente, estudios de la dependencia de f_T con la VCE han demostrado que se obtienen valores elevados de f_T para pequeñas VCEs, lo cual es una condición deseable para aplicaciones de circuitos de alta velocidad <ISHYA87>. Esto ocurre porque el tiempo que se requiere para que los electrones pasen através de la zona de carga del colector depende de su velocidad. En la figura 1.4 se muestra el diagrama de bandas de energía en el espacio de momentos del GaAs. En él se puede observar que es un semiconductor directo, es decir, que el mínimo de la banda valencia y el máximo de la banda de conducción coinciden para el mismo valor del momento.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

También se observa que la banda de conducción posee dos valles separados por 0.29 eV, uno situado en el punto Γ y el otro en el L. Además la curvatura de ambos valles es diferente. Debido a que la masa efectiva de los electrones depende inversamente de la curvatura, los electrones que están en Γ tendrán una movilidad mayor que los que están en L. Por tanto, si la pendiente del potencial entre la base y el colector es lo suficientemente grande para que los electrones puedan pasar al valle de la banda de conducción L (fig 1.4), entonces su velocidad se verá reducida debido a que la masa efectiva se hace grande. El tiempo de tránsito del colector es una parte principal del tiempo de tránsito total para un HBT bien diseñado.

de

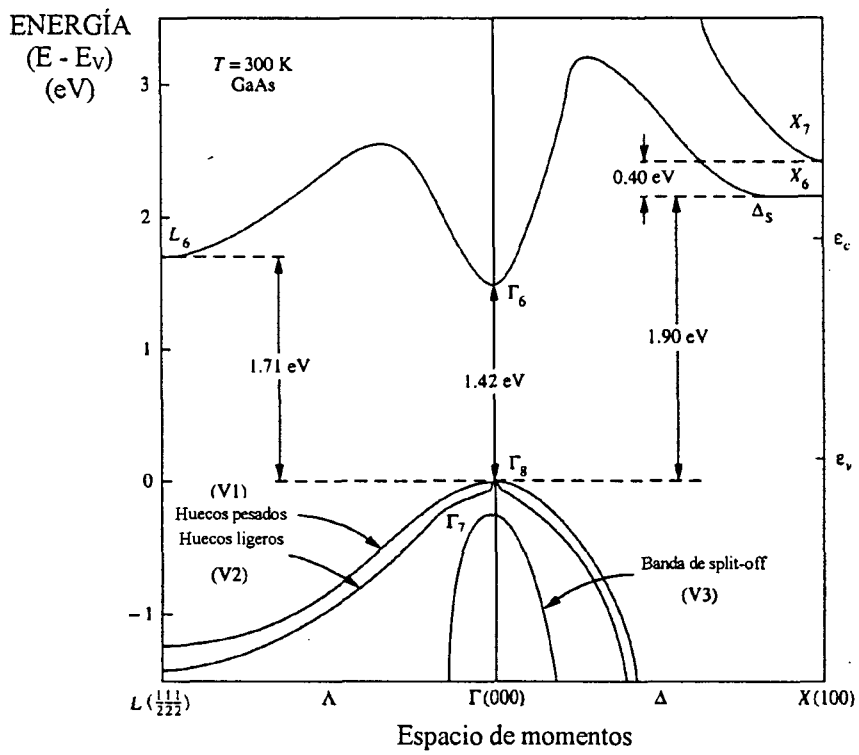


Fig 1.4 Diagrama de bandas de energía en el espacio de momentos para el GaAs <LONBU90>.

Como se mencionó en la primera parte de este capítulo, el desarrollo tecnológico experimentado en las últimas décadas ha propiciado la aparición de los transistores de heteroestructura. A continuación pasamos a describir las características más importantes del proceso de fabricación de estos dispositivos. Nos centraremos en los transistores HBTs de AlGaAs/GaAs pues son los que presentan un proceso de fabricación más desarrollado en la actualidad.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

1.3. HBTs de AlGaAs/GaAs

En este apartado daremos cuenta de las ventajas que reúnen las heterouniones de AlGaAs/GaAs. Así mismo, se mostrará la estructura básica de los transistores que utilizan este tipo de estructuras y de las tecnologías de fabricación mediante las que se fabrican dichos transistores.

1.3.1 Ventajas de las Heterouniones AlGaAs/GaAs

Las heterouniones AlGaAs/GaAs presentan principalmente las siguientes ventajas <SMSZE90>:

1. Las heterouniones AlGaAs/GaAs muestran un excelente acoplamiento de red. La diferencia en las constantes de red entre el AlAs y el GaAs está en el orden del 0.14% a temperatura ambiente, y debido a las pequeñas diferencias en el coeficiente de expansión térmica, es incluso menos representativo a las temperaturas de crecimiento del cristal. Por tanto, podemos decir que el acoplamiento de red que se consigue es óptimo para cualquier fracción molar del Al. Esto simplifica las demandas en el control de composición durante el crecimiento epitaxial.
2. En la actualidad existen técnicas avanzadas de crecimiento de material, tales como la MBE y la MOCVD, que permiten crecer capas ultrafinas con un excelente control.
3. Se pueden conseguir diferencias en las anchuras de la banda prohibida importantes. La anchura de la banda prohibida de la aleación en función de la fracción molar de AlAs (x) viene dada por:

$$E_G = 1.424 + 1.247x \quad \text{para } x < 0.45, \qquad (1.7)$$

y

$$E_G = 1.424 + 1.247x + 1.147(x - 0.45)^2 \text{ para valores de } x \text{ superiores.} \qquad (1.8)$$

Por debajo de la composición crítica $x = 0.45$, el semiconductor es de banda directa.

4. La movilidad de los electrones es elevada en el $Al_xGa_{1-x}As$ para $x < 0.45$ (banda directa) debido a la pequeña masa efectiva asociada a la banda Γ (m^*=0.065). En materiales puros, la movilidad de los electrones alcanza los

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

8000 $cm^2/V.s$. Las movilidades elevadas hacen que disminuya el tiempo de transito de la base, la carga almacenada en la unión base emisor, y que aumente la conductividad del colector. También es importante en los transistores bipolares la movilidad de los huecos ya que f_{max} varía de forma aproximada según $(\mu_n\mu_p)^{1/2}$. La movilidad de los huecos no es grande debido a la presencia de huecos ligeros ($m^*_{hl} = 0.075$) y huecos pesados ($m^*_{hp} = 0.5$). La movilidad efectiva en GaAs puro es 380 $cm^2/V.s$.

5. Para campos eléctricos elevados (> 3kV/cm), los electrones en el GaAs presentan movilidad diferencial negativa bajo condiciones de estado estacionario, y su velocidad disminuye con el aumento del campo eléctrico hasta que se satura a un valor de 6 a 8 10^6 cm/s. Cuando los electrones entran en las regiones de campos elevados, su velocidad excede este límite de forma considerable. Este fenómeno, conocido como velocidad de pico ("velocity overshoot"), es de considerable importancia en la disminución del tiempo de transito de los portadores através de la zona de carga espacial de la unión base colector.
6. Como resultado de la amplia banda prohibida del GaAs, la concentración intrínseca de portadores es baja, $n_i = 2.3\ 10^6 cm^{-3}$ a temperatura ambiente. El material intrínseco tiene una resistividad del orden de 5 10^8 Ωcm por lo que se le suele llamar material semi-aislante. Esta propiedad del sustrato simplifica la tarea de aislar los dispositivos y las interconexiones. La capacidad entre los dispositivos o interconexiones y el substrato, factor importante en los dispositivos basados en silicio, se reduce a valores despreciables. La eliminación virtual de la capacidad de colector-substrato es el mayor beneficio. En el caso de circuitos digitales, la disminución de la capacidad de las interconexiones que se consigue con el GaAs es de menor importancia. Esto es debido a que las líneas de interconexión en la mayor parte de las tecnologías alternativas son estrechas (de 1 a 2 μm), y se pueden colocar sobre dieléctricos (SiO_2 o poliamida) de anchuras comparables a la separación entre las interconexiones. Como resultado, la influencia de la conducción del substrato es muy pequeña. En aplicaciones de microondas, las interconexiones tienden a ser más anchas para limitar la atenuación y para controlar la impedancia. Por ello el efecto substrato es de mayor importancia.
7. Los compuestos AlGaAs/GaAs se utilizan para fabricar una gran variedad de dispositivos optoelectrónicos tales como LEDs, lasers, moduladores, y detectores de varios tipos. Estos dispositivos se pueden integrar de forma monolítica junto con circuitos basados en HBTs de AlGaAs/GaAs.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

1.3.2 Estructura Básica

La figura 1.5 muestra la sección transversal de una estructura típica y la estructura de capas asociada a un transistor bipolar de heterounión. Las capas de emisor están compuestas de $Ga_{1-x}Al_xAs$ de forma que se elige una fracción molar del AlAs (x) del orden de 0.25. Para este valor de x, la anchura de la banda prohibida del emisor es 0.30 eV más ancha que la de la base, lo cual permite un aumento enorme en la eficiencia de inyección. La capa de base se fabrica con un espesor típico de 0.05 a 0.1 μm, y con una concentración de impurezas aceptoras N_A de 5 10^{18} a 10^{20} cm^{-3}. Vemos que se pueden utilizar concentraciones de base de valores extremadamente altos sin que la inyección de huecos en el emisor sea significativa. Los valores de resistencia laminar de base que resultan están entre 100 y 600 Ω/cuadro. El límite práctico de N_A en la Base se establece debido a consideraciones metalúrgicas. La difusividad de las impurezas aceptoras que se usan con más frecuencia (Be en MBE y Zn en MOCVD) aumenta con la concentración. Durante el proceso de crecimiento del cristal, parte de estas impurezas aceptoras pueden penetrar en el emisor de AlGaAs (poco dopado) debido a la diferencia de concentraciones y a la temperatura a la que se lleva a cabo el proceso (difusión). Debido a esto, la unión p-n se mueve hacia el interior del material de banda ancha (AlGaAs). Esto trae como consecuencia que se forme una barrera de energía para el flujo de los electrones y que la barrera para los huecos se reduzca, lo cual implica que la ganancia se deteriore. Para el caso de una difusión excesiva de impurezas aceptoras, la estructura llega a convertirse en un transistor de homounión. Algunas estructuras incluyen capas de InGaAs (que no se acopla con el GaAs) crecidas sobre la superficie del emisor para disminuir la resistencia de contacto. Otras estructuras se basan en la utilización de bases graduadas en la composición, con una variación del contenido de Al del 10% como máximo. Sin embargo, para contenidos de Al excesivos en el límite de la base y el emisor, la difusión de las impurezas aceptoras aumenta. De esta forma, los ataques realizados en las siguientes etapas de fabricación son menos selectivos, y los contactos de base tienden a presentar mayor resistencia específica.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

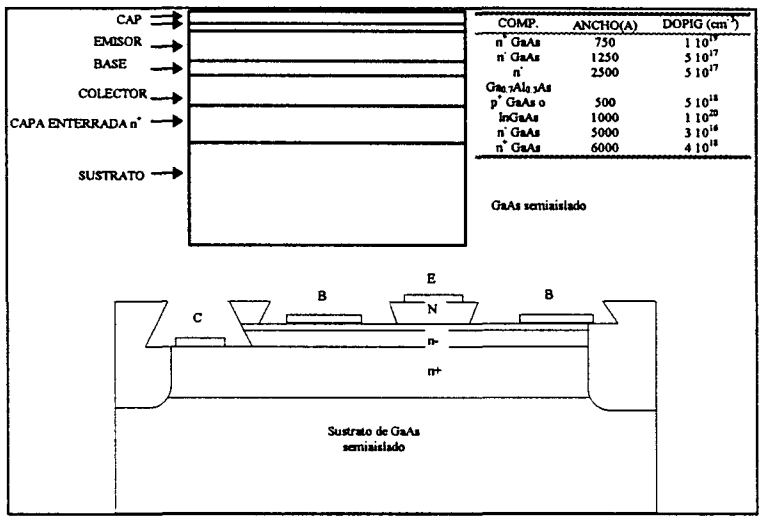


Fig 1.5 Representación de la estructura de capas y sección transversal de un HBT de GaAlAs/GaAs <SMSZE90>.

En la literatura se mencionan distintas variaciones en la estructura de los HBTs. Algunas de ellas son las siguientes:

1. Añadir InAs a la base para producir la aleación GaInAs cuya anchura de la banda prohibida es menor que la del GaAs. Si la base es suficientemente estrecha, ésta crecerá de forma pseudomórfica (coherentemente tensionada). Las ventajas que el GaInAs introduce son una amplia diferencia entre la banda prohibida del emisor y la de la base, aumento en la movilidad de los electrones y de los huecos, y la posibilidad de graduar la composición de la base sin incurrir en los problemas que mencionamos antes para las bases de AlGaAs.
2. Fabricar dispositivos con doble heterounión con colectores de ancho de banda prohibida grandes. Con un procesado apropiado, estos dispositivos muestran propiedades simétricas cuando operan en las direcciones ascendentes (de colector a emisor) y descendentes (de emisor a colector).
3. Mientras que la mayor parte de los trabajos han versado sobre dispositivos *npn*, también se han construido transistores *pnp*. En teoría se espera que la f_T y la f_{max} que se consigan con *pnp*s sean del orden de las que se consiguen con *npn*s, aunque con modificaciones en las estructuras de los mismos. Para maximizar la f_T en un *pnp*, es necesario reducir la anchura de la base todo lo posible, para evitar tiempos de tránsito de base grandes. En este caso, el aumento de la resistencia de la base no es muy grande al usar bases ultrafinas debido a la elevada movilidad de los electrones en el GaAs.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

1.3.3 Tecnología de Fabricación

Los transistores HBTs se fabrican, por lo general, mediante el uso de las técnicas MBE o MOCVD, las cuales se han desarrollado mucho para este tipo de materiales. Las técnicas de aislamiento más usadas son la utilización de la geometría MESA, o de implantación iónica dañina para hacer las regiones epitaxiales fuera del dispositivo semiaislante. Para hacer los contactos de base y de emisor, se realizan hendiduras hasta la capa adecuada según se muestra en la figura 1.5, o se convierte de tipo n a tipo p o viceversa el material que está por encima de la capa a conectar mediante implantación iónica o difusión (por ejemplo, para el contacto de base se suele utilizar difusión de Zn o implantación de Be). El proceso de ataque químico para la realización de la hendidura desde la superficie hasta la capa delgada de base, se ve favorecido por la posibilidad de hacer ataque selectivo en composición, cuyo ritmo se puede hacer muy lento cuando se está llegando a la capa deseada. Como resultado de la estructura en MESA y de la profunda hendidura hasta el colector enterrado, pueden aparecer problemas a la hora de la realización de las metalizaciones. Para resolver este problema, se puede llevar a cabo una planarización de la oblea, o se pueden hacer los ataques con una orientación selectiva, pero siempre de forma que el ángulo que se forme con la superficie no sea superior a 55°. Uno de los objetivos fundamentales en el proceso de desarrollo es producir estructuras autoalineasdas (self-aligned structure) en la que los contactos de emisor y de base se produzcan con el mismo patrón fotolitográfico. En la literatura se han desarrollado varias técnicas de autoalineamiento para HBTs de AlGaAs/GaAs. En la figura 1.6 se muestran las secciones transversales de algunas soluciones. Las cuestiones principales en cuanto a la fabricación son el uso de separaciones oblicuas en los bordes de los contactos de emisor (como los de las figuras 1.6.a y b), y el uso de contactos de emisor refractarios basados en capas cubridoras de InAs (empleados en las estructuras a, b y d de la figura 1.6). En la estructura c de la figura 1.6 se a elegido una solución tipo eliminación dual (dual-liftoff), en la que se deposita una capa de dieléctrico sobre el contacto metálico de la base, y ambos se incluyen en un patrón simultáneamente mediante eliminación (liftoff).

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

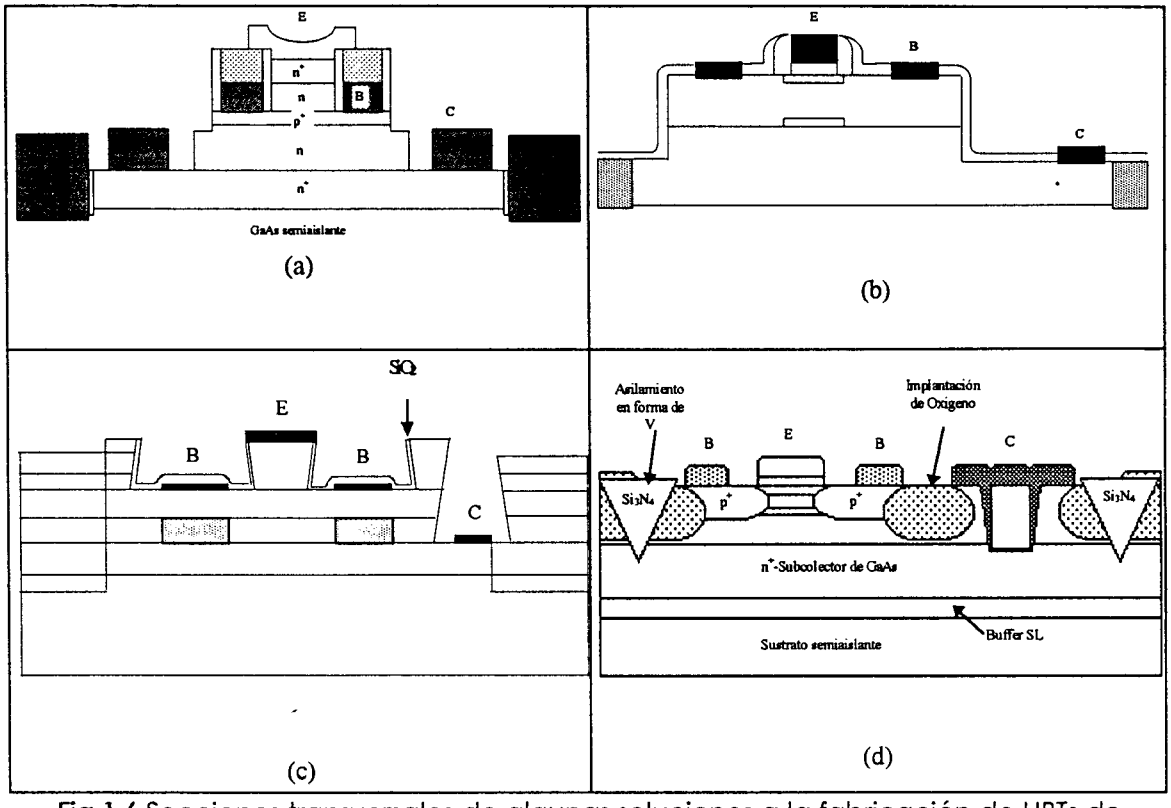


Fig 1.6 Secciones transversales de algunas soluciones a la fabricación de HBTs de AlGaAs/GaAs que utilizan técnicas de autoalineamiento.

También se han desarrollado técnicas para minimizar la capacidad extrínseca base colector. Estas técnicas se basan en la implantación de oxígeno o de protones en las regiones tipo n de colector bajo los contactos de base, como se muestra en la figura 1.7. Estas implantaciones convierten al material en semiaislante, con lo que disminuye la capacidad por unidad de área ya que la separación efectiva entre la base y el colector se hace mayor. Las implantaciones se pueden llevar a cabo a través de la base sin que se altere su conductividad de forma significativa debido a la elevada concentración de impurezas deseadas de la base.

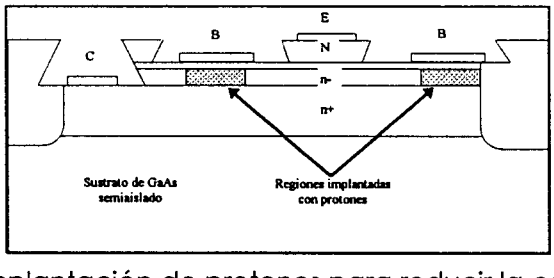


Fig 1.7 Técnica de implantación de protones para reducir la capacidad extrínseca base-colector en transistores de GaAlAs/GaAs <SMSZE90>.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 2

Modelo Eléctrico de los HBTs

Los transistores HBT que hemos descrito en el primer capítulo están siendo utilizados en circuitos digitales de muy alta velocidad. Muchos de esos circuitos operan a velocidades muy altas en la practica (p.e. 20 GHz en divisores de frecuencia <TUINE88>). Además tienen un excelente potencial para mantener esas altas velocidades en circuitos que están fuertemente cargados por capacidades del cableado debido a la baja impedancia de salida del emisor siguiente. Por lo tanto, es importante revisar el modelo del transistor bipolar (BJT) que ha sido desarrollado para su uso en SPICE con objeto de determinar su aplicabilidad para dar cuenta del funcionamiento de los HBTs.

Los modelos de SPICE de los transistores bipolares se basan en los de Ebers-Moll (EM) y Gummel-Poon (GP). Getreu ha hecho una descripción de cómo pueden ser utilizados esos modelos para simular las características AC y DC de los BJTs, y ha descrito métodos para medir los parámetros críticos de los modelos. Esa descripción de Getreu es la que ha sido utilizada en el modelo del BJT en SPICE, y por lo tanto es la que vamos ha estudiar para ver cómo podemos modelar un HBT con ella.

Hay varios modelos del BJT en SPICE, los cuales se diferencian entre sí en la complejidad y precisión de los resultados. Dependiendo del nivel de detalle requerido por la aplicación se seleccionará el modelo apropiado <LONBU90>. Estos modelos son:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

EM1: Modelo muy simple para representar al transistor operando en DC y que requiere el concurso de sólo 3 parámetros.

EM2: Incluye además resistencias y capacidades parásitas (elementos extrínsecos).

EM3 y GP: dan cuenta, además, de la modulación de la anchura de la base, variación de la ganancia de corriente con la corriente y la tensión, y variación del tiempo de tránsito con la corriente.

El último modelo (GP) mejora el EM3 y se acerca mucho más al funcionamiento físico real del BJT, pero es muy difícil entender el significado de los parámetros de modelo así como determinar sus valores. Para el resto de modelos los parámetros son más fáciles de determinar. Como se verá más adelante, el HBT típico requiere una mayor complejidad de modelado que la mayoría de los BJTs, si se quiere que la dependencia de la ganancia de corriente y la entrada sea modelada correctamente.

El modelo de SPICE del BJT fue propuesto principalmente tanto para simulación en gran señal en DC como para el análisis en régimen transitorio de circuitos integrados digitales, así como el análisis en pequeña señal (AC) de circuitos integrados analógicos que operan a frecuencias menores que la f_T del transistor. El modelo para la simulación en AC es el conocido modelo híbrido-Π, y debido a que los elementos del mismo son calculados con las ecuaciones para gran señal, es aplicable para análisis no lineal. Como se ha dicho, el modelo híbrido-Π está limitado a la f_T del transistor, la cual está ligada al tiempo de transición de las cargas libres a través de la base y el colector, que produce un desplazamiento de fase en la corriente de colector significativamente grande cuando nos acercamos al valor de la f_T.

2.1 EM1. Modelo de EBERS-MOLL para DC

El circuito equivalente es el que se muestra en la figura 2.1, donde las expresiones de las fuentes de corriente I_{CC} e I_{EC} son:

$$I_{CC} = I_s \cdot (e^{\frac{qV_{BE}}{KT}} - 1) = I_s \cdot (e^{\frac{V_{BE}}{V_T}} - 1) \qquad (2.1)$$

$$I_{EC} = I_s \cdot (e^{\frac{qV_{BC}}{KT}} - 1) = I_s \cdot (e^{\frac{V_{BC}}{V_T}} - 1) \qquad (2.2)$$

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

La corriente de base es:

$$I_B = (\frac{1}{\alpha_F} - 1) \cdot I_{CC} + (\frac{1}{\alpha_R} - 1) \cdot I_{EC} \qquad (2.3)$$

Donde α_F y α_R son los factores de transporte en directa e inversa, respectivamente.

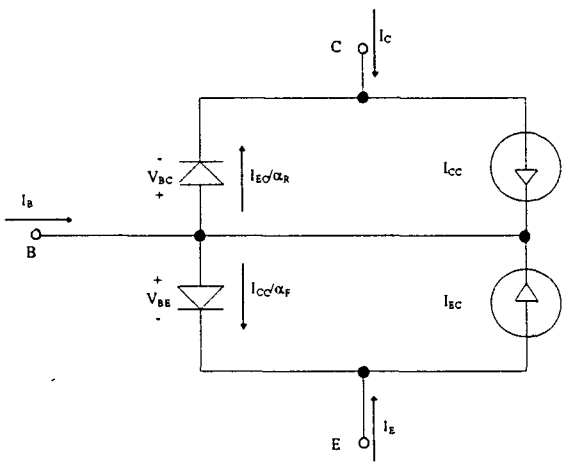


Fig 2.1 Modelo de Ebers-Moll para el transistor bipolar.

De la ecuación (2.3) se obtiene que las ganancias de corriente en directa (β_F) y en inversa (β_R) son:

$$\beta_F = \frac{\alpha_F}{1-\alpha_F}, \beta_R = \frac{\alpha_R}{1-\alpha_F} \qquad (2.4)$$

Por tanto I_B queda :

$$I_B = \frac{I_{CC}}{\beta_F} + \frac{I_{EC}}{\beta_R} \qquad (2.5)$$

Vemos que la ventaja de este modelo de EM es que podemos hallar las corrientes del transistor con sólo un parámetro de corriente (corriente de saturación Is), amén de los factores α_R y α_F.

Este modelo permite, con ligeras modificaciones,la obtención del modelo hibrido-Π (figura 2.2).

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

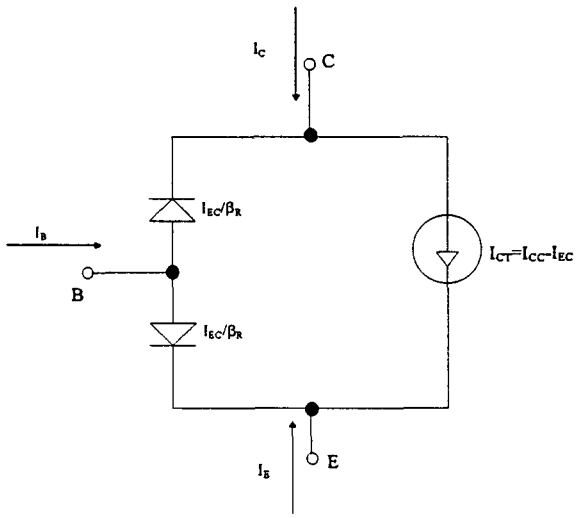


Fig 2.2 Modelo hibrido-π no lineal (EM1).

Vemos que este modelo es de interpretación más simple que el anterior, aunque ambos representan lo mismo y además tan solo nos hacen falta tres parámetros: Is, β_F y β_R. Desafortunadamente, este modelo considera β_F y β_R independientes de V_{BE} o V_{BC}. Además, las resistencias serie que conectan los nudos internos a los terminales no están incluidas.

2.2 EM2. Condensadores y Resistencias Parásitas en el HBT

El modelo EM1 lo podemos modificar para incluir las resistencias parásitas en serie y la carga almacenada en los HBTs o los BJTs, las cuales se modelan con capacidades no lineales. Esos elementos adicionales se muestran en la figura 2.3. El recuadro interior contiene los elementos del modelo EM1, mientras que el área exterior incluye algunos elementos nuevos. El conjunto es el denominado modelo EM2.

2.2.1 Resistencias Parásitas

Las resistencias entre el contacto metalizado y las uniones internas son r_e',r_b' y r_c'. Estas resistencias incluyen las resistencias de los contactos y cualquier otra resistencia del material semiconductor. La representación del logaritmo de las corrientes de colector y base (Log I_C, Log I_B) frente a la caída de tensión base-emisor se muestra en la figura 2.4. En ella se puede observar que si ambas curvas se

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

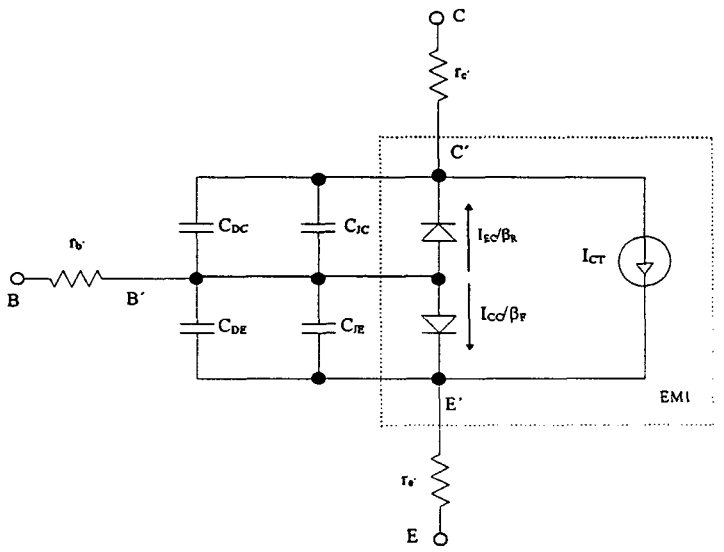


Fig 2.3 Modelo EM2 equivalente al modelo EM1 al que se le añade las resistencias de acceso y las capacidades parásitas.

calculasen para los mismos factores ideales serían paralelas. Se verá que esto no siempre es así. Para niveles de corriente medios entre los terminales externos (E,B,C) y los internos (E',B',C') comenzará a aparecer cierta caída de tensión que puede ser descrita por $V_{BE}= V_{B'E'}+I_B \cdot r_b'+I_E \cdot r_e'$. Debido a esta caída de tensión, las corrientes de base y colector no se incrementan tan rápido como para los niveles bajos de corriente. Cuando los niveles de corriente aumentan mucho más, tanto la corriente de base como la de colector no serán exactamente paralelas debido a los efectos de alta inyección.

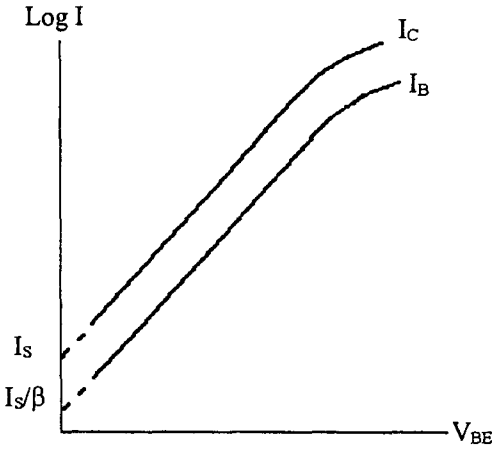


Fig 2.4 Representación en escala semilogaritmica de las corrientes de base y colector en función de V_{BE}.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Las resistencias r_b', r_e' y r_c'se pueden estimar de la siguiente manera (ver figura 2.5):

$$r_b' = \frac{L_E}{12 \cdot \sigma_B \cdot Z_E \cdot W_B} + \frac{S_B}{\sigma_B \cdot Z_E \cdot W_B} + \rho_C \cdot L_B \cdot Z_B \qquad (2.6)$$

Donde:

L: longitud del contacto metálico.

Z: ancho del contacto metálico.

S_B: espacio entre el contacto metálico de la base, y el sustrato del emisor.

σ:conductividad del semiconductor.

ρ_C:resistividad del contacto metálico de la base.

W_B:ancho de base.

Las resistencias r_e' y r_c' se obtienen de forma similar.

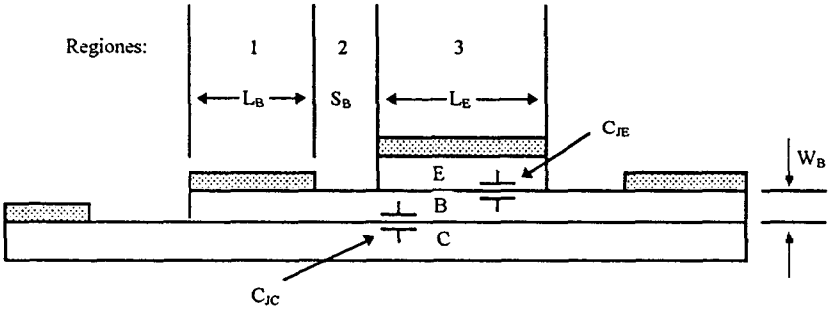


Fig 2.5 Sección transversal de las regiones de emisor, base y colector de un HBT.

2.2.2 Cargas Almacenadas

Al modelo de la figura 2.1 le hemos añadido cuatro condensadores, los cuales representan la carga almacenada por el transistor en las uniones debido a la zona de carga de espacio (C_{JE} y C_{JC}) y en la base neutra (capacidades de difusión C_{DE} y C_{DC}).

- *Capacidades en las uniones debido a la zona de carga*: C_{jE} y C_{jC}. Se hallan con las siguientes expresiones, análogas a las del modelo de la unión *pn*:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

$$C_{jE}(V_{B'E'}) = \frac{C_{jE0}}{(1-\frac{V_{B'E'}}{\phi_E})^{m_E}} \qquad (2.7)$$

$$C_{jC}(V_{B'C'}) = \frac{C_{JC0}}{(1-\frac{V_{B'C'}}{\phi_C})^{m_C}} \qquad (2.8)$$

Vemos que se requieren 3 parámetros:

- m_E, m_C: Coeficientes de emisión (*grading coefficients*). En transistores HBTs son a menudo menores que 0.5.
- C_{jE0}, C_{jC0}: Capacidades para polarización nula. Determinadas empíricamente.
- Φ_E, Φ_C: Potenciales de contacto (*built-in voltages*).

Con objeto de evitar que las ecuaciones (2.7) y (2.8) den lugar a valores de C_{jE} y C_{jC} infinitos, debido a que $V_{B'E'}$ sea muy parecido a Φ_E, se asume que permanece constante la pendiente de C_{jE} para $V_{B'E} \geq \sigma_E/2$.

- *Capacidad substrato-colector.* C_{CS}. Debido a que el sustrato en los HBT's está semiaislado, estas capacidades serán pequeñas en relación con las correspondientes en los BJTs. Por tanto pueden ignorarse.

- *Capacidades de difusión.* Dan cuenta de la carga adicional que supone el tránsito de los portadores minoritarios móviles a través de las regiones neutras en el seno del transistor:

C_{DE}: se aplica a la unión B-E cuando está en directa.
C_{DC}: se aplica a la unión B-C cuando está en directa.

Estas capacidades se pueden conocer a partir de la carga total del transistor mediante las relaciones:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

$$C_{DE} = [\frac{\partial Q_{DE}}{\partial V_{B'E'}}]_{V_{B'C'}=0} =$$
$$[\frac{\partial Q_{DE}}{\partial I_{CC}} \cdot \frac{\partial I_{CC}}{\partial V_{B'E'}}]_{V_{B'C'}=0} = \qquad (2.9)$$
$$= \tau_F \cdot g_{mF}$$

$$C_{DC} = [\frac{\partial Q_{DC}}{\partial V_{B'C'}}]_{VB'E'=0} =$$
$$[\frac{\partial Q_{DC}}{\partial I_{EC}} \cdot \frac{\partial I_{EC}}{\partial V_{B'C'}}]_{V_{B'E'}=0} = \qquad (2.10)$$
$$= \tau_R \cdot g_{mR}$$

ya que:

$$Q_{DE} = \tau_F \cdot I_{CC}$$
$$Q_{DC} = \tau_R \cdot I_{EC} \qquad (2.11)$$

donde:
τ_F: tiempo de tránsito de carga cuando el transistor está en activa,
τ_R: tiempo de tránsito de carga cuando el transistor está en inversa.

- En el cálculo de τ_F se utiliza la expresión:

$$\tau_F = \tau_B + \tau_{CBscl} = \frac{W_B^{\ 2}}{2.4 \cdot D_n} + \frac{V_{CBscl}}{2 \cdot V_{sat}} \qquad (2.12)$$

donde τ_B es el tiempo de tránsito debido a la corriente de difusión y arrastre en la base, D_n es la difusividad de electrones (aprox 25 cm^2/s), y τ_{CBscl} es el tiempo de transito debido a la corriente de difusión en la región C-B con carga.

- Para calcular el valor de τ_R, utilizamos la expresión:

$$\tau_R = \frac{W_C^{\ 2}}{2.4 \cdot D_p} + \frac{W_B^{\ 2}}{2.4 \cdot D_n} + \frac{W_{BEscl}}{2 \cdot V_{sat}} \qquad (2.13)$$

El primer término de esta ecuación representa un retardo adicional debido a la inyección de carga de la base al colector. D_p es la difusividad de huecos.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Otra forma más simple de hallar el valor de τ_F a partir del valor de la frecuencia de corte del transistor f_T (frecuencia a la cual la ganancia del transistor cae a la unidad), es mediante la siguiente ecuación:

$$f_T = \frac{1}{\tau_{ec}} = \frac{1}{\tau_E + \tau_B + \tau_{Bscl} + \tau_C} = \frac{1}{\tau_E + \tau_F + \tau_C} \qquad (2.14)$$

Como idealmente la corriente de colector en los HBTs es función de f_{Tmax} (frecuencia a la cual la ganancia en potencia máxima cae a la unidad) y ésta se da cuando τ_E=0, se tiene:

$$2\pi \cdot f_{Tmax} = \frac{1}{\tau_F + \tau_C} \qquad (2.15)$$

Despejando:

$$\tau_F = \frac{1}{2\pi \cdot f_{Tmax}} - \tau_C = \frac{1}{2\pi \cdot f_{Tmax}} - C_{jC}(V_{B''C'}) \cdot r'_c \qquad (2.16)$$

La dependencia de V_{BE} con τ está incorporada en el modelo EM2 de SPICE.

- La capacidad total asociada al dispositivo se calcula sin más que suponer las anteriormente citadas; con esto, la capacidad B-E total será $C_{BE}=C_{jE}+C_{DE}$, y la capacidad B-C total será $C_{BC}=C_{jC}+C_{DC}$.

2.3 EM3. Fenómenos Adicionales

Lo dicho hasta ahora no tiene en cuenta otros fenómenos que, en general, dan cuenta de desviaciones de la respuesta predicha con los modelos anteriores respecto a datos experimentales. Entre ellos es frecuente modelar los siguientes:

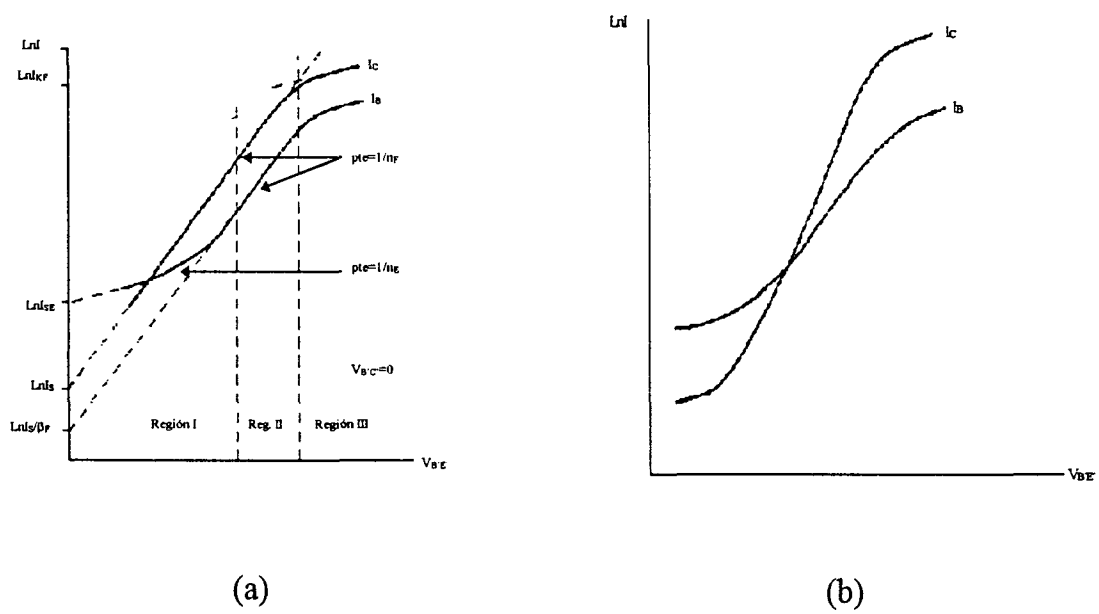
- Dependencia de β_F con I_C.
- Partición de C_{jC}.
- Dependencia de I_C con V_{BC} (modulación del ancho de base).

En lo que sigue se revisan con más detalle cada uno de ellos:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

a) Dependencia de β_F con I_C.

Para estudiarla nos ayudaremos de la figura 2.6, en la que se presentan los llamados 'Gummel plots". En ella tenemos representadas las funciones Ln I_C y Ln I_B como función de $V_{B'E'}$, con $V_{B'C'}$=0. Para los HBT's existirán 3 regiones de funcionamiento en activa. Las características no ideales se muestran para bajas I_cs (región I) en donde se puede observar cómo la pendiente de I_B disminuye. Ésto se debe a la recombinación, que es predominante cuando las corrientes son débiles y consecuentemente el valor del factor n_F aumenta. En la regióbn III, de nuevo se observan no idealidades; en este caso los niveles de corriente son altos. Las desviaciones del modelo ideal se deben a las resistencias serie y los efectos de los altos niveles de inyección.



(a) (b)

Fig 2.6 Representación de Lnlc y Lnlb en función de $V_{B'E'}$ con $V_{B'C'}$ =0. (a) HBT con baja recombinación de base: da lugar a tres regiones I, II y III. (b) HBT con alta recombinación de base: desaparece la región II.

- Modelado de la región I:

El incremento del factor n_F (llamado n_E) lo podemos modelar con un segundo diodo conectado desde la base al emisor, con un factor de idealidad de valor n_E, y una corriente de saturación I_{SE} en paralelo con el principal (n_F=1.0). La I_B total será ahora:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

$$I_B = \frac{I_s}{\beta_F} \cdot (e^{(\frac{q \cdot VB'E'}{n_F \cdot K \cdot T})} - 1) + I_{SE} \cdot (e^{(\frac{q \cdot VB'E'}{n_E \cdot K \cdot T})} - 1) \qquad (2.17)$$

Ver figura 2.7.

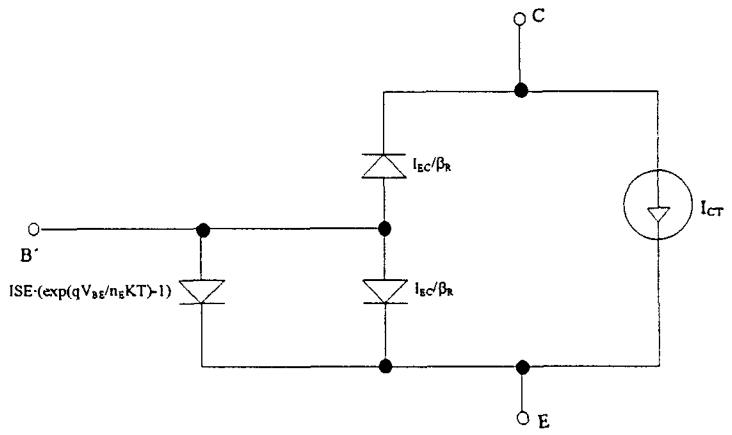


Fig 2.7 Esquema del modelo EM1 modificado para incluir un diodo de base adicional con factor de idealidad n_E y corriente de saturación I_{SE}.

Hay HBTs en los que no existe la región II,(ver figura 2.6.b). En estos casos el primer término de esta ecuación (que da cuenta de la región II) debe ser eliminado. Esto se consigue haciendo β_F grande (10^4 o 10^5 es suficiente para la mayoría de los casos).

Naturalmente un segundo diodo adicional se podría situar desde la base al colector si el modelado en inversa fuese importante, pero este no es el caso en la mayoría de las aplicaciones con HBT's, y por lo tanto no se incluye dicho diodo.

- Modelado de la región III:

En ocasiones, las resistencias serie r_e'y r_b' no son suficientes para dar cuenta de la caída de I_C en la región III. Por tanto, se define un parámetro adicional I_{KF} que indica el punto de intersección de la curva I_C real y la extrapolación de la curva I_C ideal (región II).De esta manera, para la región III, la I_C se puede aproximar como:

$$I_C = (I_{KF} \cdot I_s)^{\frac{1}{2}} \cdot e^{(\frac{q \cdot VB'E'}{2 \cdot K \cdot T})} \qquad (2.18)$$

b) Partición de C_{jC}.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Si nos fijamos en la figura 2.5, nos daremos cuenta de que la capacidad del colector (C_{jC}) no está solamente aplicada desde la base interna (B') al colector (como habíamos puesto en el modelo EM2) sino que parte de esa capacidad desde la base externa (B) está también aplicada al colector. Por tanto, dividimos la C_{jC} .en dos partes como se indica en la figura 2.8 donde XCjC será función del área interna y externa:

$$XCjC = \frac{A\ interna}{A\ externa} \qquad (2.19)$$

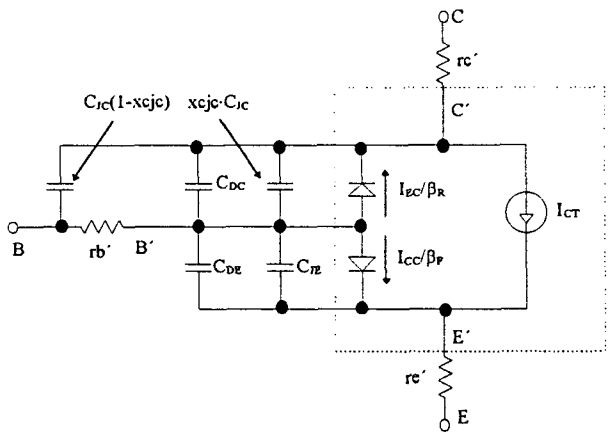


Fig 2.8 Representación de la distribución de C_{JC} entre la base interna y externa en el modelo SPICE del BJT.

c) Modulación del ancho de Base (Efecto Early).

El ancho de base disminuye si V_{BC} aumenta y crece si V_{BC} disminuye debido a que la anchura de la zona de carga de espacio de la unión BC aumenta en el primer caso y disminuye en el segundo. Esta variación del ancho de base se nota más en los BJTs que en los HBTs ya que la base de estos últimos está más fuertemente dopada. La variación del ancho de base produce también variación en la I_C, la cual puede ser modelada con un nuevo parámetro, V_A, que es llamado tensión de Early:

$$I_C = \frac{I_s(V_{B'C'} = 0)}{1 + \frac{V_{B'C'}}{V_A}} \cdot \left(e^{\left(\frac{q \cdot V_{B'E'}}{n_F \cdot K \cdot T}\right)} - 1\right) \qquad (2.20)$$

La tensión de Early se puede hallar geométricamente como se muestra en la figura 2.9 en la característica I_C vesus V_{CE} para V_{BE} constante.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

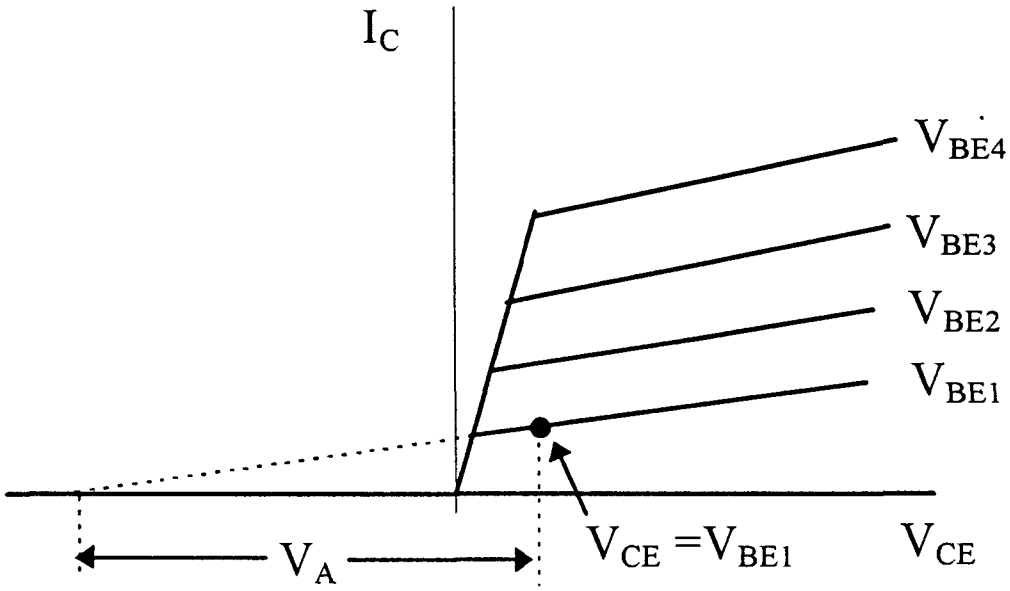


Fig 2.9 Corriente de colector en función de V_{CE}. El parámetro V_A se define en la figura.

Como conclusión, en este capítulo se han presentado los elementos adecuados para simular las características más relevantes de los HBTs con heterounión de AsGa/AlAsGa para operación en las regiones activa directa, saturación, y corte. Los HBTs nunca son usados para operar en inversa. En la tabla I se recoge un conjunto de HBTs de AsGa/AlGaAs con sus parámetros correspondientes. Estos transistores han sido obtenidos tras una búsqueda minuciosa en las revistas del IEEE: "TRANSACTIONS ON ELECTRON DEVICES" y "JOURNAL OF SOLID-STATE CIRCUITS". Se revisaron estas publicaciones desde el año 90 hasta mediados del 93 cuando se dejaron de adquirir por parte de la biblioteca, con lo que no tenemos referencias posteriores a dicha fecha. El principal inconveniente que encontramos fue que en dichas revistas raramente se incluyen los parámetros de los transistores utilizados. Con todo, encontramos solamente los parámetros de tres transistores. Los nombres se los hemos dado en función de la fecha en que fueron editados en las revistas del IEEE: <HACRG90>, <HADMX91> y <TEEMH93>. Los parámetros que no se incluyen se tomarán por defecto. Estos transistores serán los que utilizaremos en las siguientes secciones para estudiar las familias lógicas ECL y CML implementadas con HBTs.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Tabla 2.I

Parámetros SPICE de los transistores HBT utilizados.

Nombre SPICE	Parámetro	Unidades	HOCT90 <HACRG90>	HABR91 <HADMX91>	HMAY93 <TEEMH93>	Valor por defecto
is	corriente de colector	A	4.8431e-24	1e-23	1.67e-26	1e-16
bf	ganancia de corriente en directa	-	52.52	170	3.4444	100
br	ganancia de corriente en inversa	-	0.1987	-	2.1e-7	1
re	R de emisor	Ω	17.61	1.9	5.4	0
rb	R de base polariz nula	Ω	122.23	4.6	30.7	0
rc	R de colector	Ω	10.26	5.3	6.6	0
cjc	C deplex BC polariz nula	fF	0.5	26	9.16	0
vjc	potencial de contacto BC	V	-	-	1.4	0.75
mjc	exponente de la unión BC	-	-	-	0.5	0.33
cje	C deplex BE polariz nula	fF	3	13	35	0
cbcp	C extrinseca BC	fF	-	-	41	0
cbep	C interconex BE	fF	-	-	13	0
vje	potencial de contacto BE	V	-	-	1.72	0.75
mje	exponente de la unión BE	-	-	-	0.5	0.33
tb	tiempo de tansito base	ps	3	-	-	0
tf	tiempo de transito en directa ideal	ps	8	0.6	3.84	0
nf	coef emis cor en directa	-	1.1331	1.3	1.16	1
nr	coef emis cor en inversa	-	1		1	1
ise	perdida de cor sat BE	A	2.4552e-18	8.6e-27	-	0
isc	perdida de cor sat BC	A	5.9311e-14	7.46e-26	-	0
ne	coef emis de perdidas BE	-	1.8211	1.6	-	1.5
nc	coef emis de perdidas BC	-	1.9698	-	-	2
ikf	intersección de la Ic real con la Ic ideal	A	-	-	-	∞
xcjc	fracción de la C de BC	-	-	-	-	1
vaf	Tensión de Early	V	-	-	-	∞
eg	anch banda prohibida	eV	1.52	1.52	1.52	1.11

En la tabla 2.II damos las f_T de los distintos transistores, obtenidas mediante la aproximación $\tau_F = 1/2\pi f_{Tmax}$.

Tabla 2.II

f_T y τ_F de los transistores estudiados.

	HOCT90	HABR91	HMAY93
τ_F	8ps	0.6ps	3.84ps
f_T	$1.9894e^{10}$ Hz	$2.6525e^{11}$ Hz	$4.1446e^{10}$ Hz

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 3

Familias Lógicas ECL y CML. Funcionamiento en Continua

La base de todos los circuitos ECL y CML es el conmutador de corriente no saturado o par acoplado por emisor, cuyo esquemático se ilustra en la figura 3.1.b. Los circuitos CML (fig.3.1.b) no son más que una versión simplificada de los ECL (fig.3.1.a), en los que se suprime el seguidor de emisor de la salida para conseguir una densidad de empaquetamiento mayor. Este seguidor de emisor actúa como desplazador de nivel y adaptador de impedancia (suministra corriente a la salida, con lo cual la velocidad y el Fan-Out serán mayores). Una consecuencia directa de la utilización del seguidor de emisor es que la tensión en el colector de Q1 está aislada frente a cualquier carga que le conectemos.

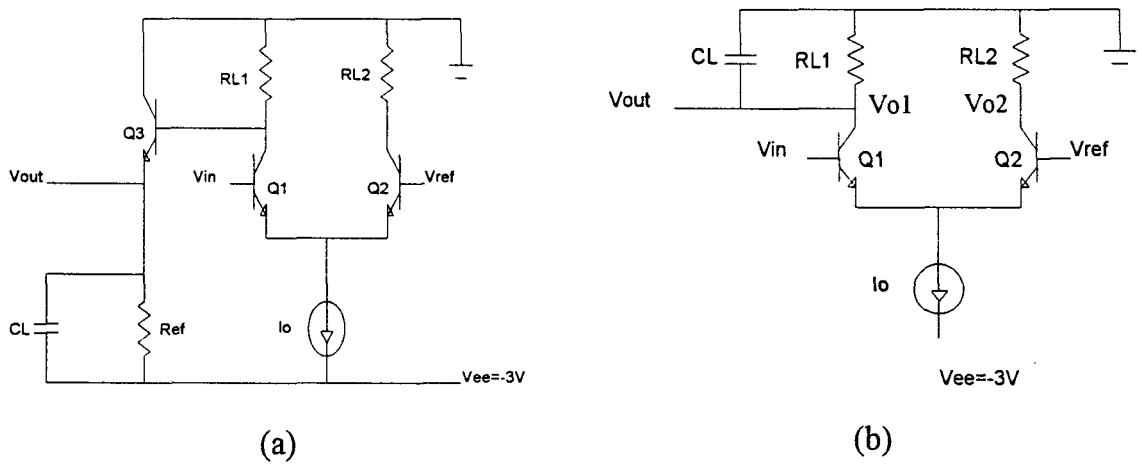


Fig 3.1 (a) inversor ECL, (b) inversor CML.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Mediante la elección adecuada de los valores de RL e Io, el circuito puede ser diseñado para que los transistores en el conmutador de corriente no se saturen. Esta es una de las razones del pequeño retardo de propagación típico de los circuitos ECL Y CML. La tensión de referencia en la base de Q2 de la figura 3.1.b es VREF = -0.2 V, y Vin es aplicada a la base de Q1. La fuente de corriente Io es de 1.5 mA, y RL = 270 Ω. La tensión de alimentación (Vee) es de -3 V.

Con Vin = -0.4 V, la tensión en la base de Q2 (Vref = -0.2 V) es mayor que en la base de Q1; así, Q2 causa que la unión Base-Emisor de Q1 esté inversamente polarizada y que Q1 opere en la regón de corte. En consecuencia:

$$Vo1 \approx 0V \qquad (3.1)$$

$$Vo2 = -Ic2 \cdot RL \approx -0.4V \qquad (3.2)$$

Con Vin = 0 V, la situación queda invertida con Q1 conduciendo y Q2 cortado. Por tanto:

$$Vo1 = -Ic1 \cdot RL \approx -0.4V \qquad (3.3)$$

$$Vo2 \approx 0V \qquad (3.4)$$

La corriente Io es conmutada desde un transistor a otro en función de si la tensión de entrada es menor o mayor que la tensión de referencia. Por tanto la transición desde un estado lógico al otro está centrada en VREF y es, en principio, independiente de los parámetros del transistor <HODJA83>.

3.1. Elección de la Excursión Lógica Adecuada

Existe un compromiso entre potencias de disipación bajas y tiempos de conmutación pequeños, ya que, un decremento en la potencia de disipación implica una reducción en la corriente disponible para cargar las capacidades parásitas y por tanto el aumento del tiempo necesario para la transición. Para los circuitos de la figura 3.1 tenemos, aproximadamente:

$$P = Io \cdot Vee \qquad (3.5)$$

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

y

$$RL = \frac{\Delta V}{Ic} \approx \frac{\Delta V}{Io} \qquad (3.6)$$

el retardo de propagación queda

$$\tau_D \approx RL \cdot CEFF \approx \frac{\Delta V}{Io} \cdot CEFF \approx \Delta V \cdot \frac{Vee}{P} \cdot CEFF \qquad (3.7)$$

donde Ic es la corriente de colector del transistor que está conduciendo, Io es el valor nominal de la fuente de corriente, VEE es la tensión de alimentación, ΔV es la excursión lógica, P es la potencia consumida, y CEFF es la capacidad efectiva equivalente que modela los efectos de las capacidades de las uniones y de las interconexiones. De la expresión (3.7) se desprende que, para una potencia dada P, la excursión lógica debe ser pequeña si se quiere que el retardo de propagación sea mínimo. Sin embargo, ésta no es la única razón para mantener una excursión lógica pequeña. Si consideramos dos circuitos CML conectados en cascada, la excursión lógica de salida es $\Delta V = V_{BC}$. Por tanto, ΔV debe ser menor de 0.7 V si se quiere evitar que los transistores se saturen.

La excursión lógica mínima viene impuesta por V_T (=KT/q ≈ 26mV a Temperatura ambiente). Por debajo de este límite la inmunidad al ruido disminuye hasta un valor demasiado pequeño. Un valor de compromiso que a menudo se utiliza es ΔV = 400 mV <FANGW90>. De esta manera para poder comparar los circuitos ECL y CML hemos elegido esta excursión lógica de salida: 400 mV.

3.2 Optimización

Una vez seleccionada la excursión lógica, el siguiente paso es calcular los valores de elementos de circuito necesarios para conseguirla. Para ello utilizamos las rutinas de optimización implementadas en HSPICE y simulamos la respuesta del circuito para aproximarlo a una medida determinada. La utilización básica de este optimizador consiste en la definición por el usuario de los valores a optimizar (resistencias, capacidades, dimensiones de dispositivos activos, etc), así como los

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

límites entre los que esos valores serán optimizados. Además debemos indicar al optimizador los valores a los que queremos aproximarnos (metas de la optimización). Las instrucciones que debe tener el fichero de entrada al simulador son del tipo:

```
.param opt_var=opt_par_fun (init_guess,l_limit,u_limit)
.model opptmod opt
.dc var1 start1 stop1 incr1... sweep optimize=opt_par_fun
+   results=measname1... model=optmod
.meas measname1... goal=value1
.meas measname2... goal=value2
.
.
.dc var1 start1 stop1 incr1...
```

Los nombres opt_var, opt_par_fun, init_guess, l_limit, u_limit, optmod, measname1..., value1..., son proporcionados por el usuario; sus atribuciones vienen descritas en el capítulo 10 de <HSPIC90>. En nuestro caso, el fichero de entrada al simulador se muestra en el Apéndice A. En dicho fichero, los parámetros que variamos son r, rl y vr, para conseguir una excursión lógica (Av) de 0.4 V, y que la tensión de referencia (vr) sea igual a la media de los valores máximo y mínimo de la tensión de salida. Para el caso de una puerta CML se procede de forma análoga.

En la tabla 3.I.a se dan los valores obtenidos para los distintos transistores de que se dispone. Hay que tener en cuenta que estos resultados son los que hacen que las puertas lógicas que estamos estudiando cumplan las especificaciones de excursión lógica en continua (DC). Sin embargo, se comprueba que las puertas ECL tienen una pésima respuesta temporal debido a la resistencia (r) obtenida como resultado de la optimización. En concreto, se observa que llegan a ser incluso más lentas que las puertas CML. Esto es debido a que dicha resistencia resulta ser de un valor demasiado grande como para que se descargue, a través de ella, la capacidad equivalente a la entrada de la siguiente puerta. En efecto, se observa mediante simulación SPICE que es el tiempo de bajada el que resulta de un valor excesivo. Este problema lo solucionamos disminuyendo el valor de la resistencia, de forma que se cumplan las especificaciones en DC y que los tiempos de propagación sean satisfactorios. Los valores de compromiso a los que hemos llegado se muestran en la tabla 3.I.b.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Tabla 3.I.a

Valores de componentes necesarios para conseguir una ΔV de 400 mV.

	TRANSISTOR	vmin (v)	vmax (v)	vmed (v)	rl (Ω)	r (Ω)
ECL	HOCT90	-1.7376	-1.3376	-1.5376	281	5.219K
	HABR91	-1.9007	-1.5007	-1.7007	290	9.159K
	HMAY93	-2.1076	-1.7076	-1.9076	413	1.181K
CML	HOCT90	-0.4	0	-0.2	275	
	HABR91	-0.4	0	-0.2	269	
	HMAY93	-0.4	0	-0.2	345	

Tabla 3.I.b

Valores de compromiso de los componentes necesarios para conseguir una ΔV de 400 mV para las puertas ECL.

	TRANSISTOR	vmin (v)	vmax (v)	vmed (v)	rl (Ω)	r (Ω)
ECL	HOCT90	-1.79	-1.39	-1.59	281	1.5K
	HABR91	-1.96	-1.56	-1.76	290	1.5K
	HMAY93	-2.1076	-1.7076	-1.9076	413	1K

3.3 Margen de Ruido

3.3.1 Fuentes de Ruido

Existen numerosas fuentes de ruido, tanto internas como externas al IC, que deben ser rechazadas si queremos que cualquier aplicación que hagamos tenga resultados fiables. Mientras que el ruido debido a la temperatura afecta bastante a las aplicaciones analógicas y a circuitos con niveles litográficos de 1μm, en general, sólo va a ser una limitación importante si las corrientes y las tensiones de los circuitos se reducen más allá de los límites actuales de fabricación. En general, hay muchas fuentes de ruidos que debe ser controladas, algunas de las cuales se representan en la figura 3.2 <HODJA83>. En esta gráfica se observan fuentes externas tales como la inductancia mutua entre dos nudos, la capacidad mutua (crosstalk), caídas resistivas e inductivas, y caídas en las líneas de alimentación y tierra.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

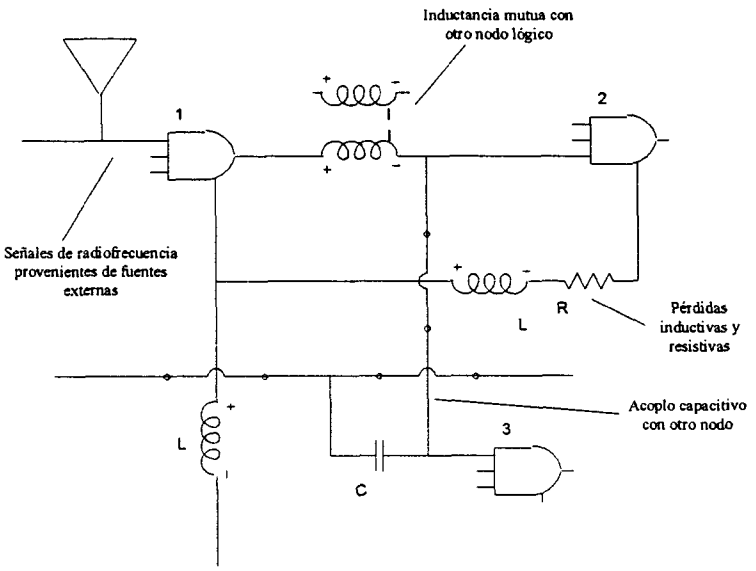


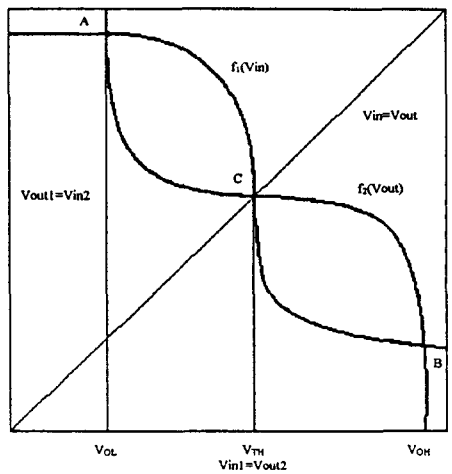
Fig 3.2 Fuentes de ruido en sistemas digitales <HODJA83>.

3.3.2 Definiciones de Margen de Ruido

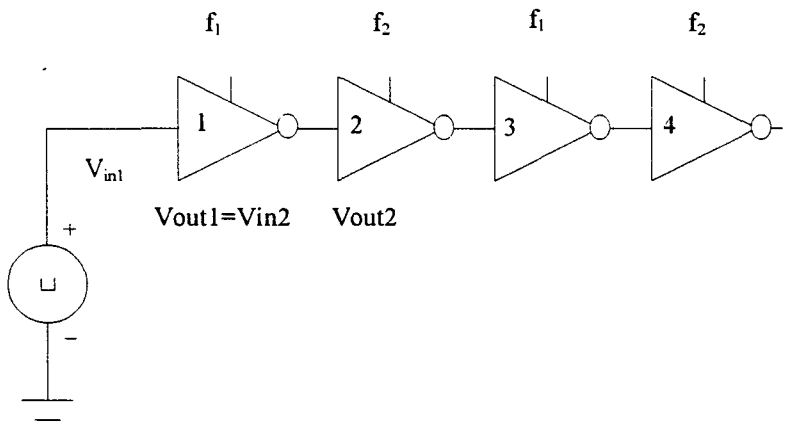
El margen de ruido es una función que nos permite medir la habilidad de un circuito digital para operar sin errores en un medio con ruido. Ésta función se puede definir de muchas maneras según las características de transferencia de los circuitos lógicos.

En la figura 3.3.a tenemos un ejemplo de característica de transferencia de un inversor típico, f1(Vin). Si la salida del primer inversor se conecta a la entrada de un segundo inversor, y las características de ambos inversores son iguales, entonces la característica de transferencia f2(Vout1) se podrá representar en la misma gráfica. Si se conecta una cadena de inversores (fig.3.3.b) la salida de cada etapa impar será como f1, y la de cada etapa par será como f2. Los puntos A y B corresponden a los niveles lógicos bajo y alto, V_{OH} y V_{OL}, que se obtienen cuando los inversores están en equilibrio estable. El punto C es un punto de equilibrio inestable, se denomina tensión umbral del inversor, y se denota por V_{TH}. Si un circuito se encuentra en este estado, cualquier variación de la V_{TH} o una tensión externa de ruido puede producir que los inversores basculen hacia A o hacia B de manera impredecible.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



(a)



(b)

Fig 3.3 Característica de transferencia de un inversor (f_1(Vin)).La característica se dibuja en la misma escala (f_2(Vin)) reflejandola sobre la línea Vin=Vout e intercambiando los ejes Vin y Vout.

Si consideramos un solo inversor y le aplicamos el nivel lógico bajo V_{OL} (ver figura 3.4) entonces la tensión de ruido $V_N = V_{iNL}$ que se requiere para que el inversor cambie de estado es $V_{TH} - V_{OL}$. De forma similar, si la entrada fuera V_{OH}, el ruido debería ser $V_N = V_{iNH} = V_{OH} - V_{TH}$. A estas tensiones de ruido críticas se las denomina margen de ruido intrínseco bajo y margen de ruido intrínseco alto. Sin embargo esta definición de ruido es poco real ya que en ella se ignora el efecto de las salidas de otras etapas que pueden tener también ruido asociado.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

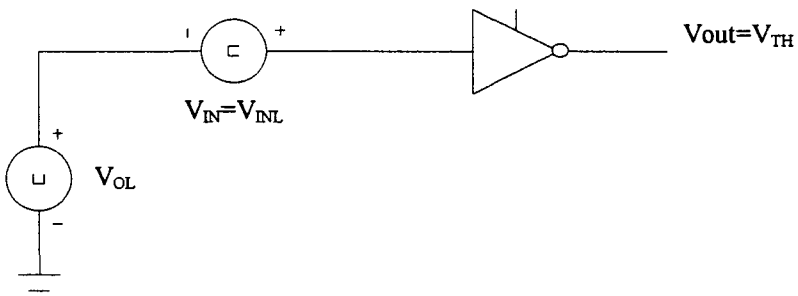
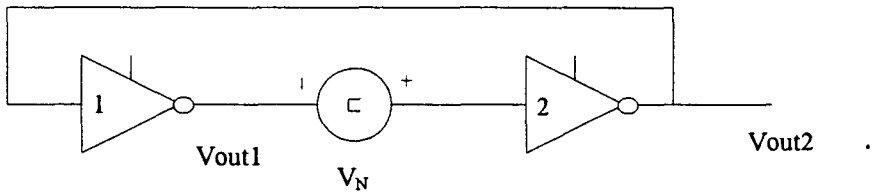


Fig 3.4 Definición del margen de ruido intrínseco para un inversor único. Si la tensión de ruido V_N es igual a V_{TH}-V_{OL}, la salida del inversor estará en equilibrio inestable (punto C de la fig.3.3).

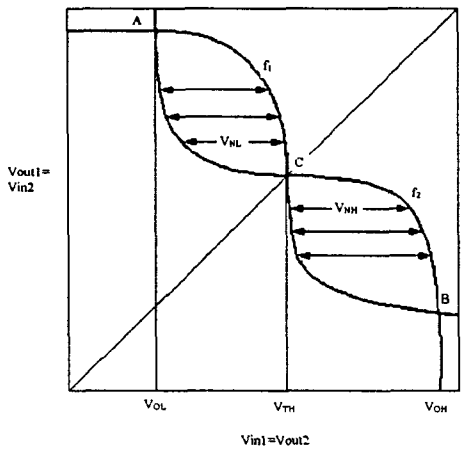
Una definición más real es la que se indica en la figura 3.5. En este ejemplo un lazo de dos inversores componen un latch biestable que cambiará su estado si el ruido V_N en la entrada del segundo inversor excede el margen de ruido. Si la salida de 1 es alta, entonces V_N debe ser igual al margen de ruido alto, V_{NH}, para que el latch cambie de estado. Si la salida de 1 es baja, entonces $V_N = V_{NL}$ (margen de ruido bajo). Estos márgenes de ruido no tienen que ser necesariamente iguales si las características de transferencia no son simétricas. Si se le aplica una tensión inversa a un solo inversor, el anillo formado por ambos inversores se comporta como una cadena de infinitos inversores. Este efecto se puede observar en la figura 3.5.b. Cuando V_N sube hasta Vin2, la salida Vout2 baja hasta Vin1, con lo que ambas entradas 1 y 2 se moverán en direcciones opuestas. La salida no recuperará su estado original cuando quitemos la tensión de ruido si se excede el margen de ruido. Las tensiones V_{NL} y V_{NH} se definen como la anchura máxima del bucle formado por la intersección de f1(Vin) y f2(Vout). El ancho del bucle representa el margen de ruido (NM) porque el eje vertical indica Vout para f1 y Vin para f2, que son los mismos que la conexión de la figura 3.5.

Una definición más estricta del margen de ruido se obtiene cuando a cada entrada del anillo le ponemos fuentes de ruido iguales pero opuestas (ver figura 3.6). Esta conexión corresponde a aquella en que se aplica, entre cada etapa de una cadena de infinitos inversores, fuentes de ruido contrarias entre si. Debido a que el ruido V_N es igual y opuesto, tanto Vin1 como Vin2 se aproximan a V_{TH}. Por ejemplo, empezando desde A, Vin1 = Vout2 + V_N = f2(Vin2) + V_N y Vin2 = Vout1 - V_N = f1(Vin1) - V_N. Como se puede observar en la figura 3.6.b las flechas van hacia V_{TH} por dos caminos diferentes, formando los lados de un cuadrado de lado $V_{MS} < V_{NH}$ o

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



(a)



(b)

Fig 3.5 (a) Definición del margen de ruido para un a cadena de inversores infinita. Un bucle de dos inversores componen un latch, el cual se pondrá a nivel alto si la tensión V_N excede el margen de ruido. (b) Los margenes de ruido V_{NL} y V_{NH} se definen como la anchura máxima de los bucles formados por f_1(Vin) y f_2(Vout).

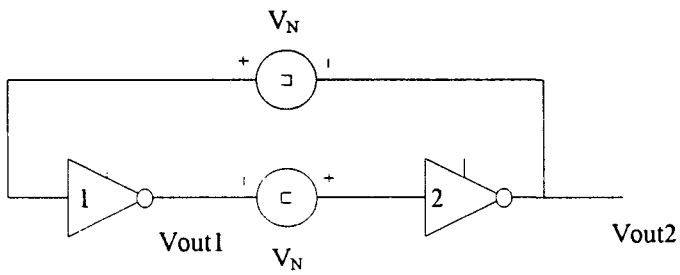
V_{NL}. V_{MS} será el mismo tanto si empezamos desde A como si empezamos desde B, y representa el ruido V_N que se requiere para "poner" el latch como hemos descrito antes. A esta definición del margen de ruido se la denomina "margen de ruido de cuadrado máximo", y representa la condición peor que no se debe exceder en cualquier aplicación real.

De estas definiciones, parece que el mismo método se puede aplicar a los casos en los que los inversores lógicos o puertas no son idénticos, simplemente dibujando las características de transferencia en la misma escala. Este sería el caso cuando las puertas no tienen las mismas cargas o cuando los dispositivos tienen características diferentes. También se pueden tratar con el mismo método circuitos no inversores.

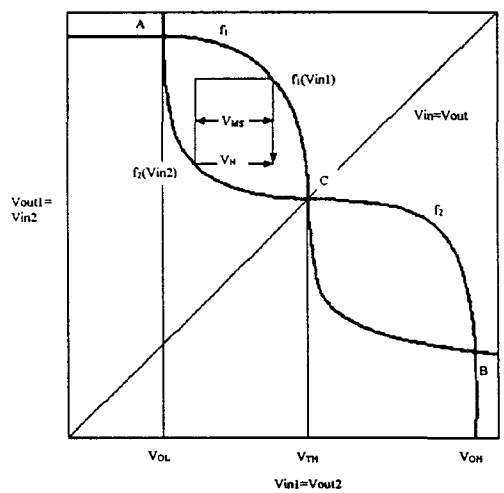
Finalmente, otra definición del NM que se usa bastante es el criterio de pendiente = -1. Como se muestra en la figura 3.7, las tensiones V_{IL} y V_{IH} se definen

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

para los puntos de f1(Vin) donde su pendiente es -1. Si se aumenta la V_N de entrada más allá de V_{IL} - V_{OL} o V_{OH} - V_{IH}, entonces el circuito lógico se comportará más como un amplificador de ruido que como un atenuador de ruido.



(a)



(b)

Fig 3.6 (a)Latch formado por un anillo de inversores en el cual se insertan tensiones de ruido iguales pero de sentido contrario, V_N, que pondrán el latch a "1" cuando son iguales a V_{MS}.(b) V_{MS} se define como el ancho del cuadrado máximo que se puede dibujar dentro de los bucles de la característica de transferencia.

Aunque esta última definición es más intuitiva que la de cuadrado máximo, la segunda es la que cubre la mayor parte de las estimaciones de NM para circuitos que tienen baja ganancia en la región de transición. Aquí utilizaremos la definición de cuadrado máximo ya que en los circuitos que estudiamos se da esta condición.

Las definiciones anteriores se refieren al margen de ruido estático, es decir, venían dadas por una tensión de ruido DC aplicada en serie con los terminales de entrada para las entradas V_{OL} o V_{OH}. Sin embargo, aunque esta definición es

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

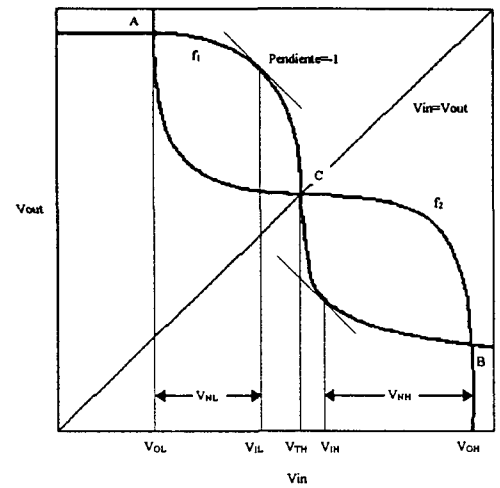


Fig 3.7 Definición del margen de ruido de pendiente -1.

suficiente para el diseño en DC, no da cuenta del hecho de que la tensión de salida se retrasará con respecto a la de entrada si se aplica un pulso en vez de la señal DC. Éste retardo en la respuesta de la puerta significa que se puede acomodar en la entrada de la misma una tensión de ruido mayor, sin perturbar la salida, con tal de que su duración sea comparable al retardo de propagación. El valor máximo de esta tensión de ruido se denomina margen de ruido dinámico (DNM), y variará con el ancho del pulso para una puerta dada. Como es natural, el DNM también variará con el diseño de la puerta y la carga de la misma; para una anchura de pulso fija, se observa un NM mayor para circuitos con respuesta lenta. En consecuencia, el DNM es bastante difícil de predecir por otros métodos que no sean simulación con ordenador y no se caracteriza por un solo número para todas las condiciones como en DC. El DNM se aproxima al NM estático si el ancho del pulso es grande ya que cualquier tensión de ruido superior a la impuesta por el NM estático que se produzca después del retardo de propagación podría producir un cambio de estado.

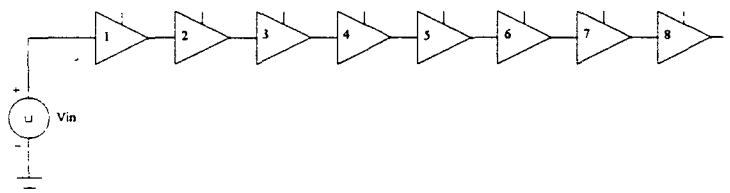
La aplicación principal del DNM es la evaluación de la respuesta de circuitos lógicos a señales de ruido de corta duración, como pueden ser las generadas por el crosstalk o por la reflexiones entre las líneas de transmisión. Por tanto, es de gran importancia a la hora de considerar el diseño de los empaquetamientos y las interconexiones. Sin embargo, para el diseño y optimización de la puerta lógica, no es necesario considerar el DNM. Esto es debido a que el DNM es siempre mayor que el NM estático y los diseños se hacen para un NM estático máximo, con lo que nos servirá para pequeños pulsos de entrada. Además, el DNM es muy sensible a las condiciones de carga, y por tanto, variará cuando lo apliquemos a un IC, por este

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

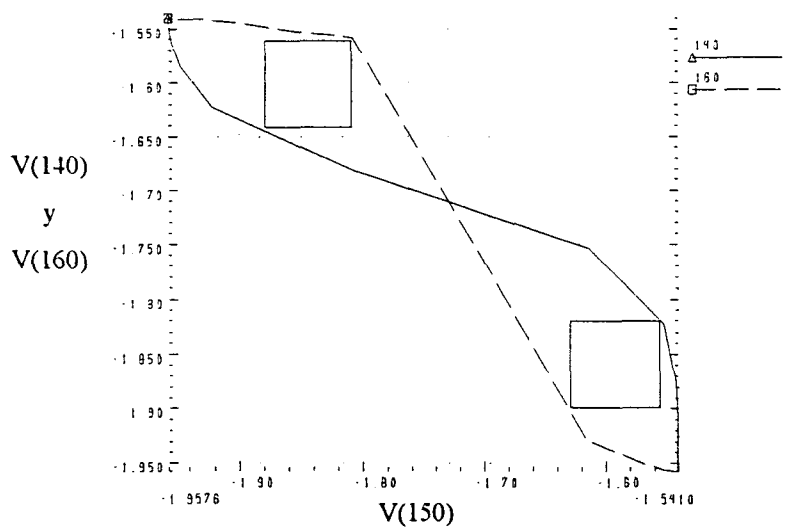
motivo, una evaluación del DNM de la puerta en solitario no es representativa para todas las aplicaciones posibles.

3.3.3 Obtención del Margen de Ruido

Como ya hemos dicho, la definición de margen de ruido que vamos a utilizar es la de cuadrado máximo. Para obtener el margen de ruido realizamos un análisis en DC de una cadena de inversores como la que se muestra en la figura 3.8.a. El fichero de entrada SPICE correspondiente a este circuito se escribe en el Apéndice A. En él se ha utilizado la función "subcircuit" de SPICE para no tener que repetir la descripción de las puertas. De esta manera se especifica un solo inversor y luego se definen las conexiones entre los mismos.



(a)



(b)

Fig 3.8 (a)Cadena de inversores para obtener el margen de ruido.(b) Obtención del margen de ruido de cuadrado máximo. Ejemplo hecho con el inversor ECL91, resultando NMH=70mV y NML=77mV. Ver Tabla 3.II.

Si representamos en un eje cartesiano, por un lado Vo, y por el otro Vi y Vo_{+1}, obtenemos la gráfica de la figura 3.8.b. Sobre esta gráfica hemos dibujado los

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

cuadrados máximos dentro de cada uno de los bucles, tanto superior como inferior, los cuales nos darán el NMH y el NML. Sin embargo, en la práctica, esto resulta muy "engorroso" de hacer. Por esta razón hemos utilizado un programa implementado con filtros UNIX <ARMAS93>. Este programa se basa en el hecho de que el cuadrado máximo es aquel que tiene una diagonal mayor, por tanto, si trazamos todas las diagonales posibles y cogemos la mayor de ellas, habremos conseguido ya nuestro objetivo.

En la tabla 3.II se muestran los márgenes de ruido de las familias ECL y CML para los diferentes transistores de prueba.

Tabla 3.II

Márgenes de ruido en mV de los inversores ECL y CML para los transistores estudiados.

	ECL	ECL	CML	CML
	NMH	NML	NMH	NML
HOCT90	59	60	65	65
HABR91	70	77	83	83
HMAY93	71	71	22	22

3.4 Estudio del FAN-OUT y del FAN-IN en DC

A continuación pasamos a considerar el comportamiento de las puertas ECL y CML con respecto al Fan-out y al Fan-in.

El Fan-out se define como el número de puertas idénticas a la estudiada que se pueden conectar a su salida. Para estudiarlo se utiliza una cadena de inversores de forma que se va cargando una puerta con otras del mismo tipo. Este proceso se repite hasta conseguir que a la salida de dicha puerta los niveles de tensión correspondientes a los estados lógicos 1 y 0, considerándo además los efectos del

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

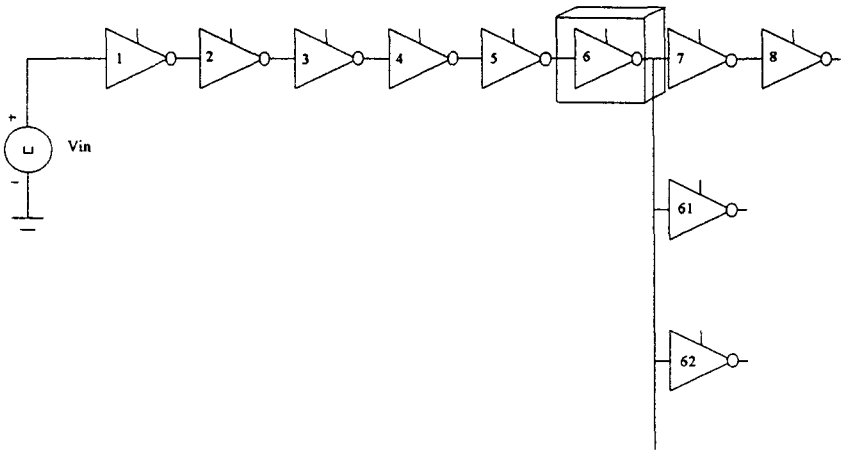


Fig 3.9 Circuito para medir el FO máximo de la puerta 6.

ruido, no aseguren la conmutación de la siguiente puerta. Un ejemplo de esto es el circuito de la figura 3.9, en el que estudiaremos el comportamiento de la puerta 6. El fichero de entrada al SPICE correspondiente a este circuito se escribe en el Apéndice A para fan-out 2. Como se puede observar este fichero realiza dos tipos de análisis, uno en DC, y otro en transitorio. El análisis transitorio será el objetivo del siguiente capítulo y, por tanto, no hablaremos de él ahora. Con el análisis en DC medimos las tensiones de salida: VOH, VOL, y VMED (=(VOH+VOL)/2), de forma reiterativa para los diferentes fan-out hasta que:

$$VOH_{medida} > VOH_{FO1} + NMOH$$
$$VOL_{medida} < VOL_{FO1} - NMOL$$

Es decir, repetimos el proceso hasta que se sobrepasen los niveles impuestos por el margen de ruido. Con ello obtenemos el fan-out máximo de la puerta. En las figuras 3.10, 3.11 y 3.12 se puede observar como se degradan los niveles VOH, VOL y VMED a medida que aumenta el FO. Debemos notar que el principal motivo de que se degrade la excursión lógica es que VOH disminuye, es decir, se hace más negativa. Esto se debe a que el FO introduce una capacidad de carga a la salida de la puerta. Cuanto mayor sea el FO, mayor será esa capacidad de carga, lo cual implica que la impedancia de carga es mayor (Z_{carga} = RL || Z_{FO}). Pues bien, cuando explicamos el funcionamiento de las puertas ECL y CML en la introducción a este capítulo, demostramos que la tensión de salida venía dada por la expresión (3.8):

$$Vo1 = -Ic1 \cdot RL \qquad (3.8)$$

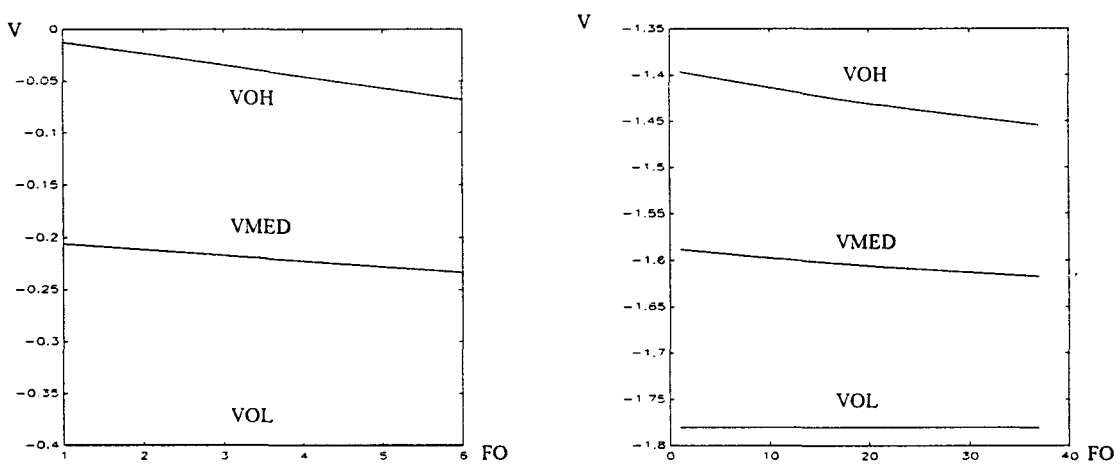
De esta forma teníamos los dos casos siguientes según fuese el valor de Vo1:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

a) Cuando Vo1 = -0.4 V, el transistor Q2 entraba en zona de saturación y Q1 en zona de corte. Como consecuencia Ic1 se hacía prácticamente nula con lo que el valor de Vo1 tambien se hacía cero.

b) Cuando Vo1 = 0 V, el transistor Q2 entraba en zona de corte y Q1 en zona de saturación. En este caso Ic1 alcanzaba su valor máximo (1.5 mA) y Vo1 alcanzaba el valor de -0.4 V.

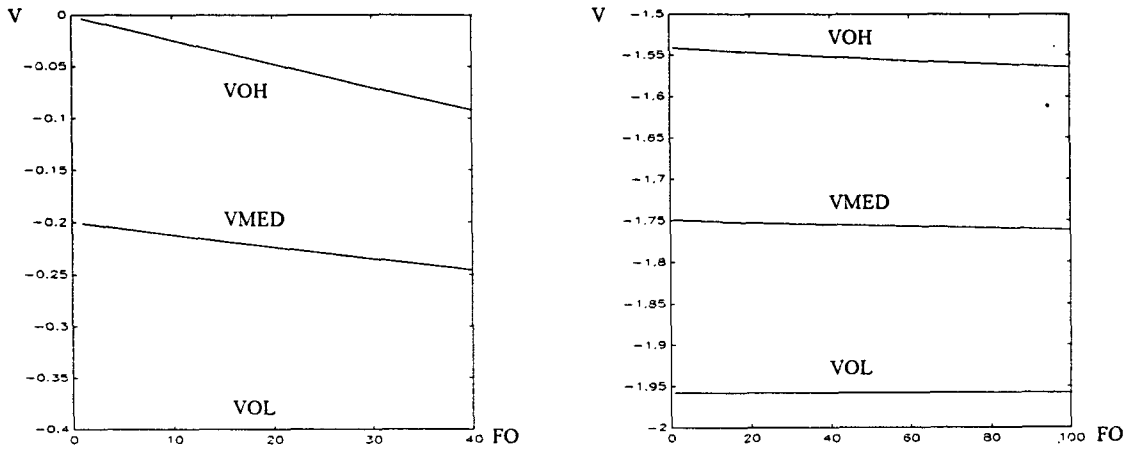
Ésto era válido para una resistencia de carga de valor RL = 270 Ω. sin embargo, si la resistencia de carga aumenta, estos resultados no son del todo correctos. En concreto las variaciones en la resistencia RL se notarán más en el caso a) que en el caso b) ya que para un valor pequeño de corriente los cambios en la resistencia son más significativos que para un valor de corriente grande en los que las variaciones en la resistencia son menos importantes. Éste es el motivo de que VOH se degrade más rápidamente que VOL.



(a) (b)

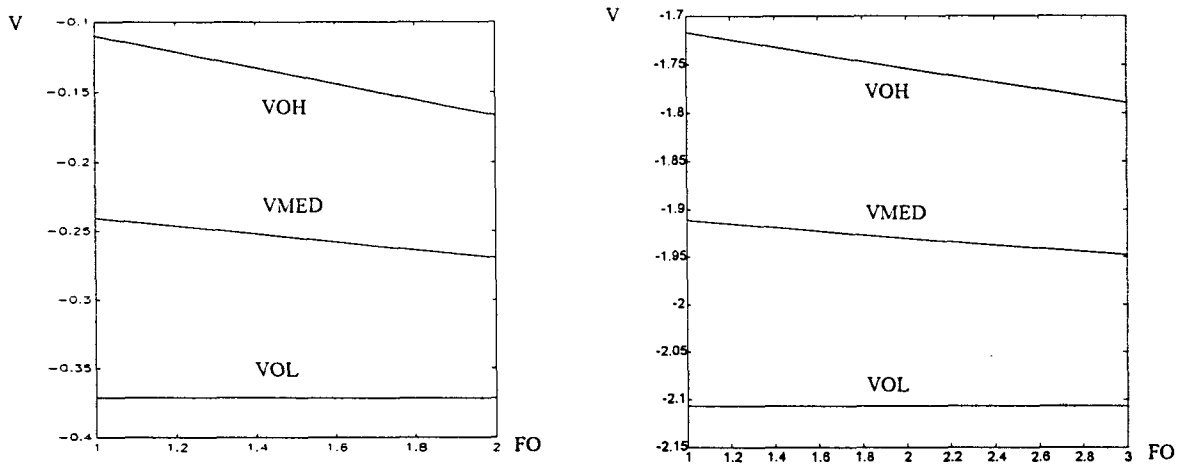
Fig 3.10 Variación de VOH, VMED y VOL con el FO a) caso CML90 b) caso ECL90.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



(a) (b)

Fig 3.11 Variación de VOH, VMED y VOL con el FO a) caso CML91 b) caso ECL91.



(a) (b)

Fig 3.12 Variación de VOH, VMED y VOL con el FO a) caso CML93 b) caso ECL93.

En la tabla 3.III recogemos los diferentes Fan-out de las familias ECL y CML para los diferentes transistores de prueba. Como se puede observar, las puertas ECL admiten un Fan-out mayor. Esto es debido, como ya se ha mencionado anteriormente, a que poseen un seguidor de emisor a la salida el cual es el encargado de suministrar corriente a las siguientes etapas. Además, la corriente de carga de las puertas de carga es la corriente de base de transistores no saturados.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Tabla 3.III
Fan-out.

	ECL	CML
HOCT90	40	6
HABR91	100	40
HMAY93	3	2

La medida del fan-in la hacemos a partir de puertas NOR de múltiples entradas. Este tipo de puertas se consigue conectando transistores en paralelo al transistor de entrada del circuito inversor como se muestra en la figura 3.13. Los límites en la iteración de las simulaciones para diferentes fan-in también vienen impuestos aquí por los márgenes de ruido. Estos límites son los siguientes:

$$VOL_{medida} < VOL_{FI1} - NMOL$$
$$VOH_{medida} > VOH_{FI1} + NMOH$$

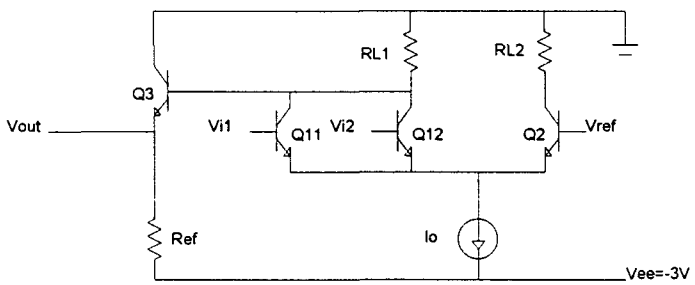


Fig 3.13 Conexión de transistores en paralelo al transistor de entrada para medir el FI.

En la tabla 3.IV se exponen los valores de fan-in obtenidos.

Tabla 3.IV
Fan-In.

	ECL	CML
HOCT90	70	85
HABR91	100	100
HMAY93	100	30

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Como se puede observar, salvo en casos muy particulares, tanto el fan-out como el fan-in no son factores muy determinantes en este tipo de lógicas. Sin embargo esto sólo es cierto para el diseño en DC. Para el diseño en régimen transitorio hay que tener en cuenta los retardos de propagación, de forma que si queremos obtener alta velocidad no tendremos mas remedio que limitar el número de puertas con que podemos cargar a una dada. El estudio de los problemas relacionados con el diseño en régimen transitorio será el objetivo del siguiente capítulo de este trabajo.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 4

Respuesta Temporal y Potencia Disipada

Hasta ahora hemos optimizado el diseño para funcionamiento en DC teniendo en cuenta los parámetros que influyen en dicho funcionamiento. Sin embargo no hemos tenido en cuenta las propiedades que tiene el circuito en el dominio del tiempo. La principal razón para usar circuitos con HBTs es su bajo retardo de propagación. Esta buena cualidad se consigue a costa de una relativamente alta disipación de potencia. Por esta razón se analizarán ambos parámetros (tiempos de conmutación y potencia) y se contrastarán los valores obtenidos en capítulos postriores. En este apartado daremos cuenta de esta propiedad mediante el análisis en régimen transitorio.

Hay diversos factores que contribuyen al retardo en el conexionado entre puertas lógicas. El primero es el efecto de las capacidades parásitas del cableado, las cuales aparecen principalmente por el acoplamiento entre las interconexiones sobre la superficie. Si las tiras de metal no son muy largas, una buena aproximación al modelado de éstos efectos es utilizar condensadores lineales en paralelo. Si lo son es preciso recurrir a análisis más detallados de la estructura a partir de las ecuaciones de campo. Típicamente se obtienen soluciones de compromiso involucrando condensadores lineales y resistencias.

En este punto hemos de mencionar que, gracias a las propiedades físicas del GaAs y sus aleaciones, las capacidades obtenidas con este material (semiaislante) son menores que con el Silicio para una misma estructura. Esto redunda en una mayor velocidad de respuesta.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Otra fuente de capacidad de carga proviene del fan-out. Las entradas de las puertas presentan una capacidad de entrada a la salida de la puerta que las precede asociada a los componentes activos. Esta capacidad varía, por lo general, con la tensión y, por tanto, es más difícil de estimar el retardo que introducen.

Un tercer efecto proviene del retardo intrínseco asociado al dispositivo causado por el tiempo de tránsito de los electrones libres através del transistor. Este tiempo de transito τ es modelado por la frecuencia intrínseca f_T; de hecho, $\tau = 1 / 2\pi f_T$. Como ya se vió en el apartado 2.2.2 del presente trabajo, el tiempo de transito τ se puede reducir empleando materiales o estructuras con velocidades de desplazamiento de electrones elevadas.

En este apartado estudiaremos la influencia de estos tres factores en la velocidad de los circuitos ECL y CML. El análisis en régimen transitorio debe tener en cuenta también la potencia disipada así como el compromiso entre ésta y el rango de señal de entrada y salida. También son importantes los efectos de carga como son el fan-in (numero de entradas) y el fan-out (numero de salidas).

4.1 Definiciones

La figura 4.1.a muestra las definiciones más aceptadas de retardos de propagación, tiempos de subida y bajada relativos a las tensiones de salida a nivel alto (VOH) y a nivel bajo (VOL) <LONBU90>. Como las puertas objeto del estudio usan lógica negativa, las definiciones que tomaremos son las de la figura 4.1.b.

4.2 Análisis Mediante Simulación SPICE

Los tiempos de propagación se pueden obtener mediante el uso de software de simulación de circuitos tales como el SPICE, el cual da cuenta de las variaciones de tensión en cada nudo y corriente de rama como resultado de la resolución mediante procedimientos iterativos de las ecuaciones que los describen para intervalos de tiempo discretos.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

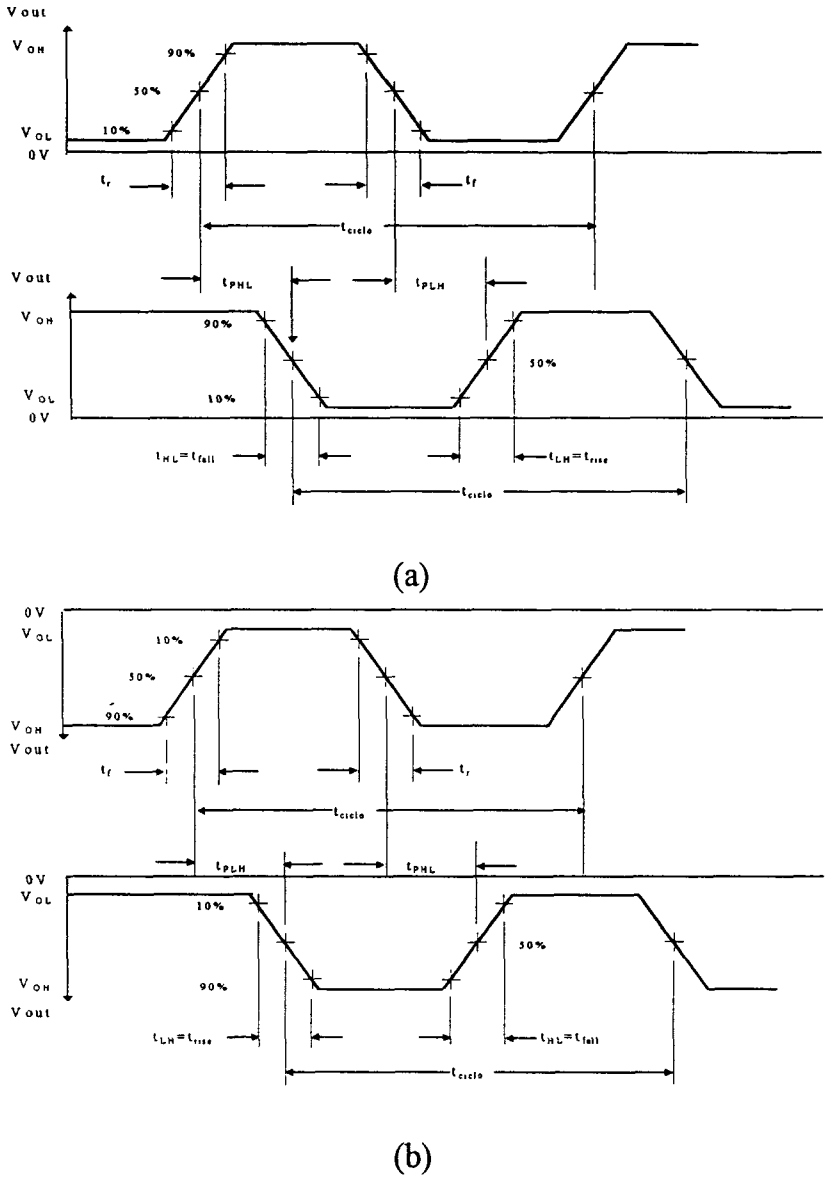


Fig 4.1 Definiciones más aceptadas de retardos de propagación, tiempos de subida y tiempos de bajada: (a) lógica positiva, (b) lógica negativa.

Sin embargo, es importante recordar que estos resultados son sólo tan precisos como lo es el modelo del dispositivo. Además, debido a que la solución en el dominio del tiempo de las ecuaciones de los nudos requieren muchos cálculos, SPICE se ajustará más al análisis y diseño de circuitos pequeños y para intervalos de tiempo cortos. De hecho SPICE es una herramienta muy buena para la optimización del diseño de puertas y circuitos lógicos. Con él podemos determinar los compromisos entre las anchuras de los dispositivos, las potencias de disipación y el retardo. También se puede determinar la dependencia del retardo con el fan-in, fan-out, tensiones de alimentación y la temperatura.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

4.2.1 Tiempos de Propagación. Dependencia con el FAN-OUT y con la Capacidad de Carga

A la hora de evaluar circuitos lógicos, es conveniente que los factores externos que intervienen en el funcionamiento del circuito sean lo más reales posibles. Por ello se usan formas de onda de entrada "reales", las cuales se consiguen haciendo pasar un pulso por una o varias puertas del mismo tipo antes de aplicarla a la puerta objeto del análisis. Un ejemplo de esto es el circuito de la figura 3.9 del capítulo anterior, en el que como ya se dijo estudiamos el comportamiento de la puerta 6. Además, se deben cargar las puertas con otras puertas ya que el diodo a la entrada del transistor de carga limita la tensión de salida y su ausencia introduciría estimaciones erróneas en el análisis.

4.2.1.1 Dependencia con el FO

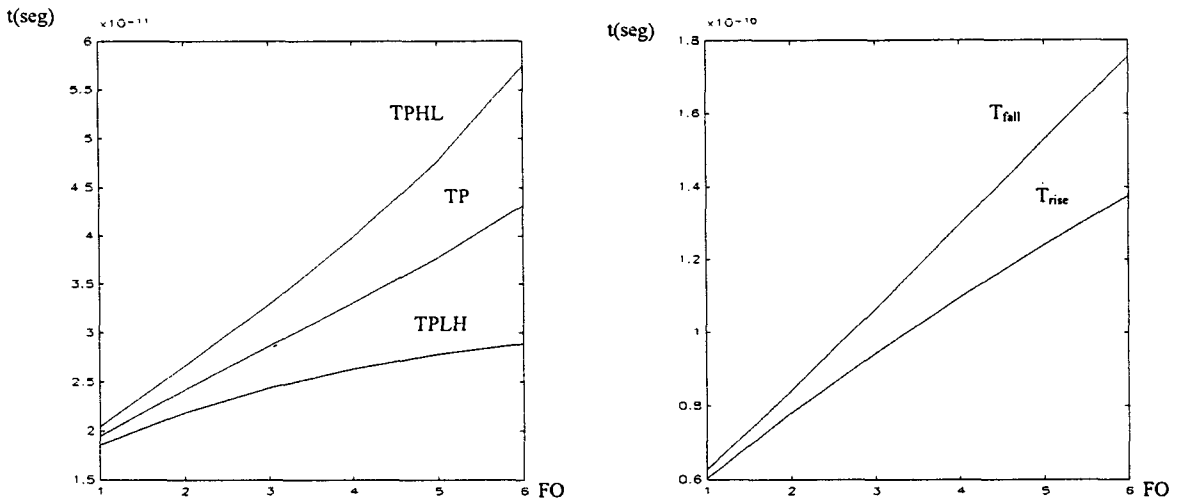
El fichero de entrada SPICE es el mismo que se describió en el apartado 3.4 para el estudio del fan-out, salvo que en este caso nos centraremos en el correspondiente análisis en régimen dinámico. En el análisis en transitorio medimos los tiempos de propagación: TPLH, TPHL, TP=tp (definido como la media de los dos anteriores, es decir, (TPLH+TPHL)/2), T_{rise} y T_{fall} para los diferentes valores del fan-out. En las figuras 4.2, 4.3, 4.4, 4.5, 4.6, y 4.7 se resume de forma gráfica cómo varían los tiempos de propagación obtenidos con el fan-out. A continuación pasamos a describir cada una de ellas con detalle:

4.2.1.1.1 CML90 y ECL90

En el capítulo anterior vimos que el FO máximo que admiten las puertas CML90 y ECL90 es 6 y 40 respectivamente. En las figuras 4.2 y 4.3 se puede ver como se degrada el tiempo de propagación a medida que aumentamos el FO. También, se desprende de dichas gráficas que el efecto del FO es más importante en las puertas CML que en las ECL. Así, para la puerta CML90 el retardo de propagación varía entre 19.5 pseg para FO = 1 , y 43.1 pseg para FO = 6, mientras que para la puerta ECL90 lo hace entre 17.6 pseg para FO = 1 y 123.0 pseg para FO = 40.

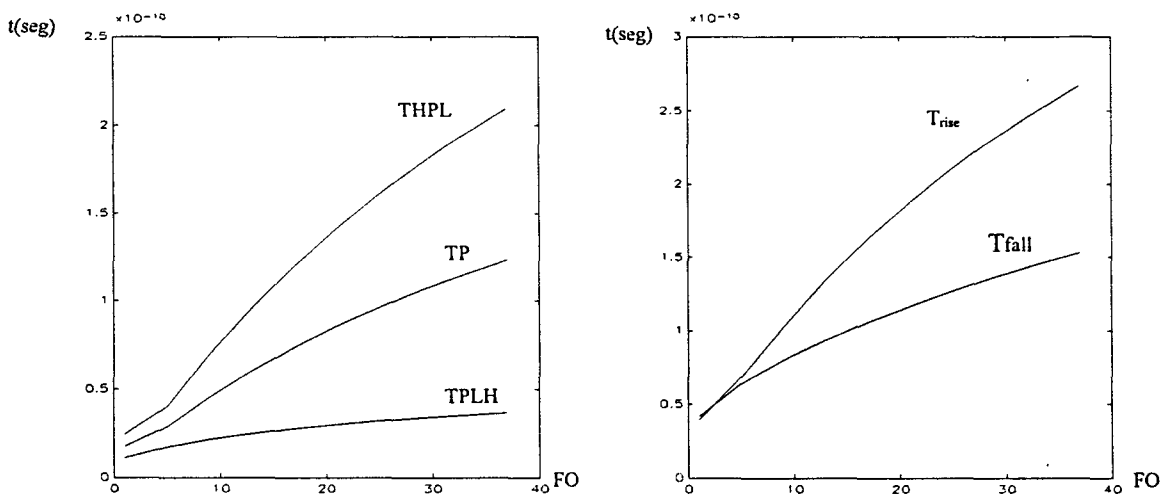
© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

En todas las puertas que hemos estudiado se ha observado que el TPHL es mayor que el TPLH, independientemente de que el T_{rise} fuese en algunos casos mayor y en otros menor que el T_{fall}. Esto se debe a que, en general, la puerta invierte más



(a) (b)

Fig 4.2 Para la puerta CML90: (a)tiempos de propagación TP, TPHL, y TPLH. (b) tiempos de subida (Trise) y bajada (Tfall).

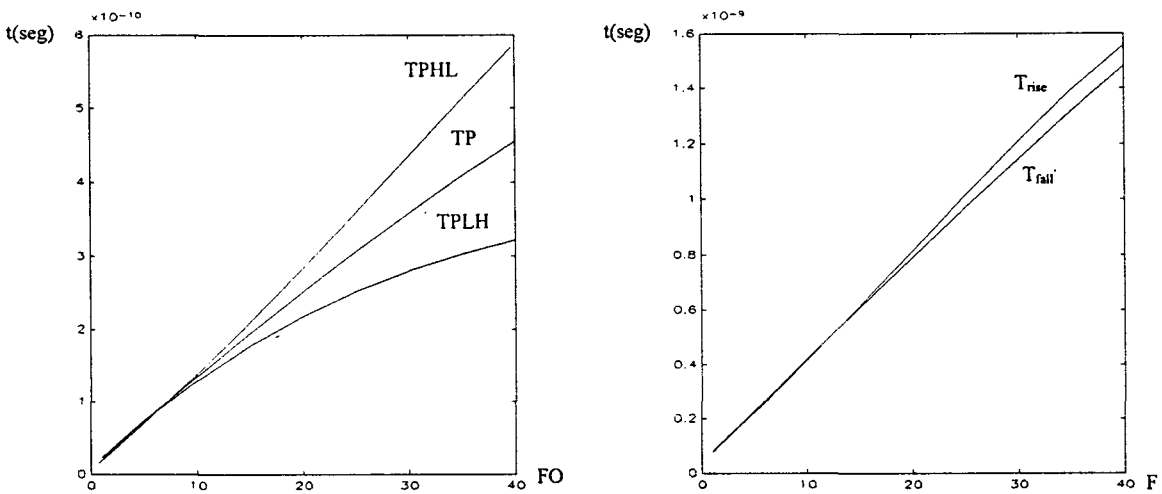


(a) (b)

Fig 4.3 Para la puerta ECL90: (a) tiempos de propagación TP,TPHL, y TPLH (b) tiempos de subida (T_{rise})y bajada(T_{fall}).

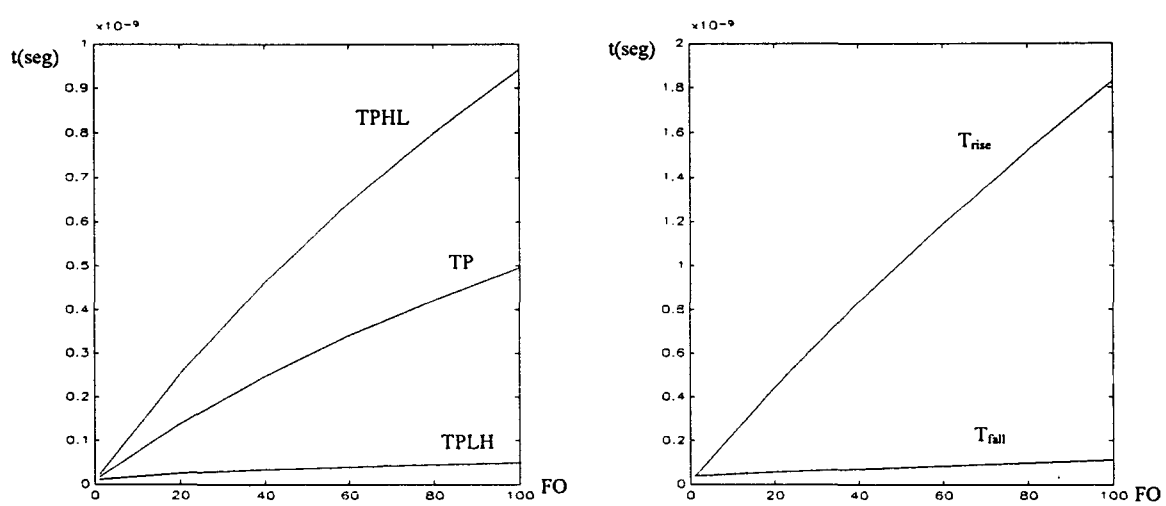
Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

tiempo en pasar de 0 a 1 que de 1 a 0. Esto no necesariamente implica que T_{rise} sea mayor que T_{fall}, ya que por ejemplo, el que una puerta tenga un tiempo de subida pequeño, no quiere decir que su respuesta al recibir un 0 para pasar a 1 sea más rápida o más lenta. En cualquier caso podemos decir que cuanto más difieran T_{rise} y T_{fall}, más diferirán TPHL y TPLH ya que las transiciones de un estado lógico a otro



(a) (b)

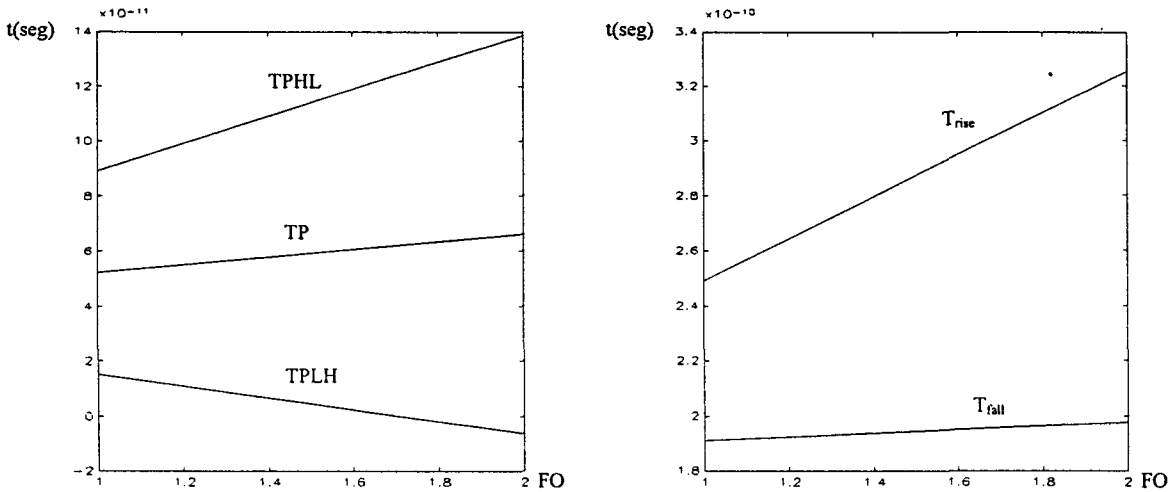
Fig 4.4 Para la puerta CML91: (a) tiempos de propagación TP,TPHL, y TPLH (b) tiempos de subida (T_{rise})y bajada(T_{fall}).



(a) (b)

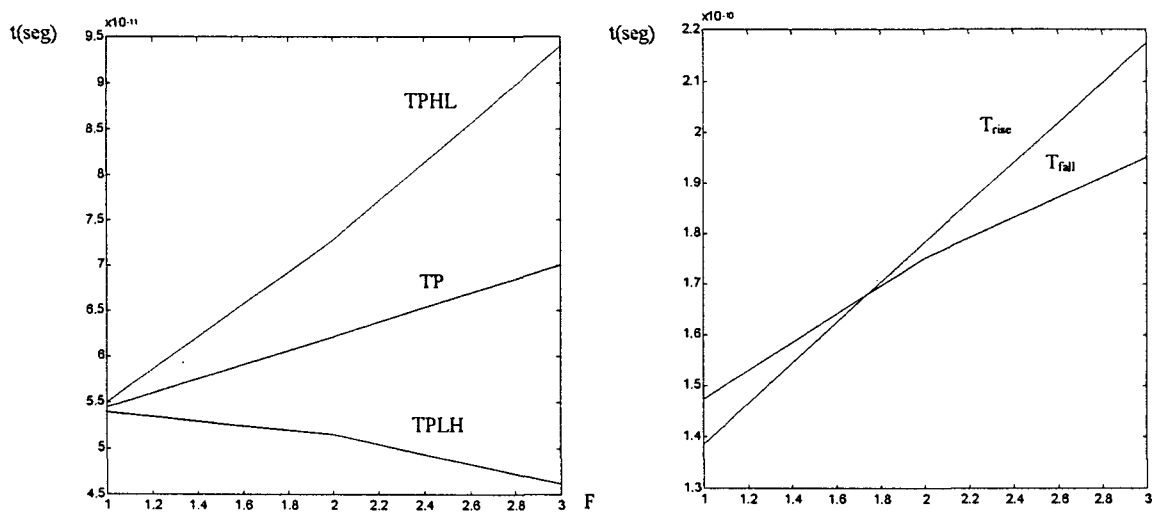
Fig 4.5 Para la puerta ECL91: (a) tiempos de propagación TP,TPHL, y TPLH (b) tiempos de subida (T_{rise})y bajada(T_{fall}).

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



(a) (b)

Fig 4.6 Para la puerta CML93: (a) tiempos de propagación TP,TPHL, y TPLH (b) tiempos de subida (T_{rise})y bajada(T_{fall}).



(a) (b)

Fig 4.7 Para la puerta ECL93: (a) tiempos de propagación TP,TPHL, y TPLH (b) tiempos de subida (T_{rise})y bajada(T_{fall}).

invierten tiempos dispares. Por ejemplo, supongamos que para varios valores de FO el T_{rise} de una puerta permanece constante. Si T_{fall} aumenta, entonces TPHL aumentará, mientras que TPLH permanece constante o incluso disminuye.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

4.2.1.1.2 CML91 y ECL91

El FO máximo que admiten estas puertas es 40 para la CML91 y 100 para la ECL91. Su comportamiento temporal con respecto al FO se puede ver en las figuras 4.4 y 4.5. Se observa que para la puerta CML91 el retardo de propagación varía entre 21.7 pseg para FO = 1, y 454.8 pseg para FO = 40, mientras que para la puerta ECL91 lo hace entre 16.9 pseg para FO = 1, y 495.6 pseg para FO = 100.

Las conclusiones que sacamos en el apartado anterior son también aplicables a este apartado. Así, se observa que para la puerta CML91 los tiempos de subida y bajada (T_{rise} y T_{fall}) son muy parecidos, con lo que TPHL y TPLH también se parecen mucho entre sí, mientras que para la puerta ECL91 los tiempos T_{rise} y T_{fall} presentan una diferencia mayor, observándose que TPHL y TPLH son aún más distintos entre sí.

4.2.1.1.3 CML93 y ECL93

Aquí el FO máximo admisible es 2 para la puerta CML93 y 3 para la ECL93. El motivo de tan bajo FO es el pequeño valor de la ganancia de corriente en directa ($\beta_F = 3.4$) del transistor, lo cual hace que su capacidad de dar corriente a otra puertas sea limitada. El retardo de propagación de la puerta CML93 varía entre 51.1 pseg para FO = 1 y 66.3 pseg para FO = 2, y el de la puerta ECL93 varía entre 54.4 pseg para FO = 1 y 70.1 pseg.

4.2.1.1.4 Conclusión

Comparando los tres transistores que hemos estudiado y las puertas que con ellos se generan concluimos que el que presenta un mejor compromiso entre su comportamiento en DC y en régimen transitorio es el HABR91. Las gráficas que hemos presentado, son de gran utilidad para el diseñador de circuitos digitales más complejos a partir de las puertas básicas estudiadas, ya que en ellas se puede ver como se degrada el tiempo de propagación a medida que aumentamos el fan-out de la puerta. Por ejemplo, el fan-out máximo de la puerta ECL que utiliza el transistor HABR91 es 100, sin embargo, si queremos que la puerta tenga un retardo inferior a 0.2ns, no podremos cargar dicha puerta con más de 30 puertas similares. Ahora bien, si el fan-out que vamos a utilizar es menor que 30, digamos, por ejemplo 10,

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

podríamos utilizar una puerta CML en vez de una ECL con lo que ahorraríamos tanto espacio, como consumo de potencia.

Lo dicho anteriormente se puede resumir diciendo que, tanto el tiempo de propagación TP como los tiempos de subida y bajada TPLH, TPHL, T_{rise} y T_{fall}, se van degradando a medida que aumentamos el fan-out de la puerta. Para un mismo fan-out las puertas ECL tienen un mejor comportamiento temporal que las puertas CML. Además, las puertas ECL alcanzan un mayor fan-out. Sin embargo como veremos en el apartado 4.3 las puertas ECL consumen más potencia que las CML y además ocupan más espacio.

4.2.1.2 Dependencia con la Capacidad de Carga

Otro factor que influye de manera decisiva en el diseño en régimen transitorio es la capacidad de carga introducida por el cableado entre varias etapas. Es normal, en el diseño de los circuitos lógicos, encontrar que dicha capacidad de carga varíe sobre un amplio rango dependiendo de la longitud de las interconexiones. Debido a que el retardo de propagación de los circuitos se puede estimar con la conocida ecuación

$$i = C \cdot \frac{dv}{dt} \qquad (4.1)$$

será necesario aumentar la corriente disponible para cargar y descargar la capacidad de carga cuando la puerta está fuertemente cargada. Hay dos métodos para conseguir aumentar la corriente:

a) El primero es aumentar el área de todos los transistores, de forma que las corrientes disponibles sean mayores. Sin embargo esta solución tiene el problema de que un aumento adicional del área de los transistores es muy costoso en términos de potencia disipada.

b) Una segunda solución es añadir a la salida un seguidor de emisor que contribuya a cargar la capacidad de carga. Esta alternativa es la que se lleva a cabo la lógica ECL y tiene la ventaja de que la potencia disipada no aumenta de forma tan drástica.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

En las figuras 4.8, 4.9 y 4.10 se muestra cómo varía el tiempo de propagación con la capacidad de carga CL. Se observa que la variación del tiempo de propagación con la capacidad de carga es menor a como lo hacía con el FO. Además, las puertas CML son más sensibles a las variaciones de la capacidad de carga que las puertas ECL. Por ejemplo, para la puerta CML90 el retardo de propagación varía entre 19.5 pseg para CL = 0 y 43.1 pseg para CL = 100 fF, mientras que para la puerta ECL90 lo hace entre 17.6 pseg y 28.6 pseg para los mismos valores de CL. En el caso de la puerta CML91, el retardo de propagación toma valores desde 21.7 pseg para CL = 0 hasta 42.2 para CL = 100 fF, mientras que para la puerta ECL91 lo hace desde 16.9 pseg hasta 24.9 pseg para los mismos valores de CL. Finalmente el retardo de propagación de la puerta CML93 toma valores entre 52.1 pseg y 73.0 pseg para CL = 0 y 100 fF respectivamente, y el retardo de propagación de la puerta ECL93 lo hace entre 54.4 pseg y 64 pseg para los mismos valores de CL.

Como se hizo con anterioridad, se eligirá una solución u otra según sean las características de nuestro diseño. En general podemos decir que si vamos a interconectar puertas muy separadas entre ellas es mejor utilizar una solución de tipo ECL, mientras que si las interconexiones son mas cortas podemos ahorrarnos espacio y consumo de potencia con una solución de tipo CML.

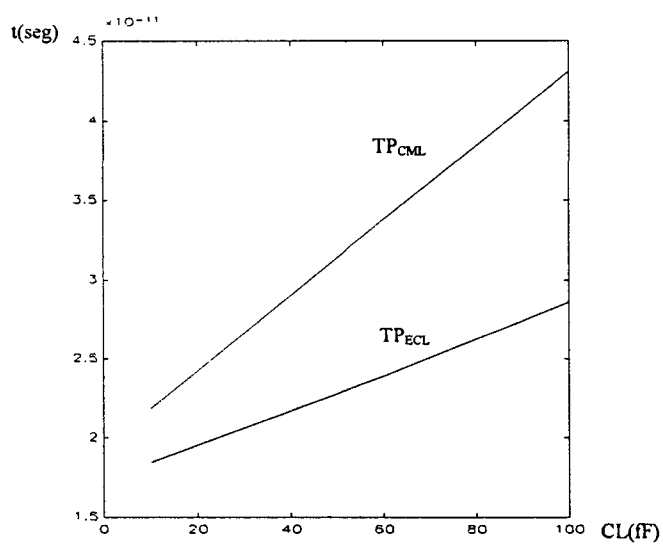


Fig 4.8 Retardos de propagación de las puertas ECL90 y CML90 en función de la capacidad de carga (CL).

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

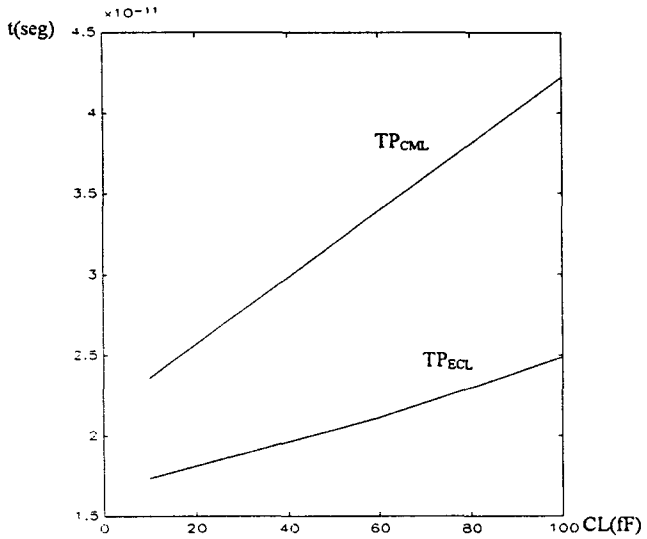


Fig 4.9 Retardos de propagación de las puertas ECL91 y CML91 en función de la capacidad de carga (CL).

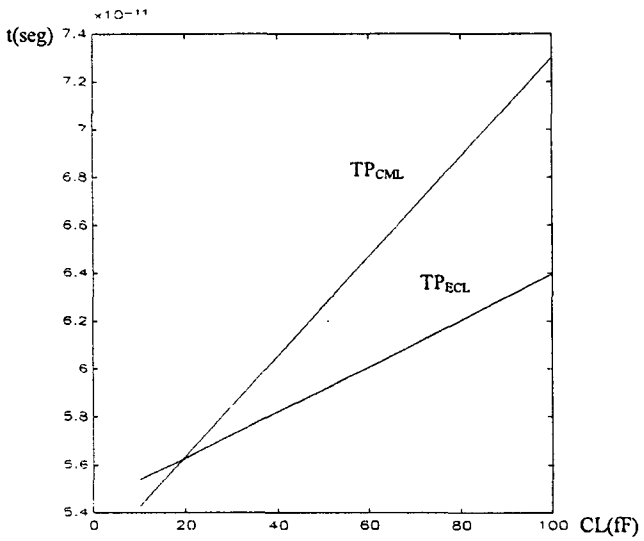


Fig 4.10 retardos de propagación de las puertas ECL93y CML93 en función de la capacidad de carga (CL).

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

4.2.2 Frecuencia Máxima de Operación

Muchas especificaciones de diseño incluyen una frecuencia máxima de reloj a la cual el circuito funcionará sin error. El objetivo de este apartado es determinar la frecuencia máxima a la cual la amplitud de la onda de salida permanece dentro de sus extremos máximos.

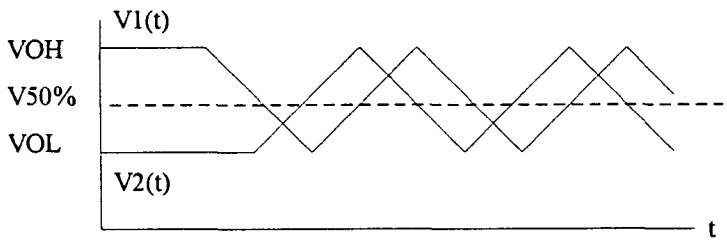


Fig 4.11 modelo para determinar la frecuencia máxima de reloj de una puerta lógica.

Una forma de encontrar esta frecuencia máxima puede ser la expresada en la figura 4.11, que es un modelo simplificado de las ondas de entrada y salida. Las rectas de subida y bajada ocurrirán en puntos tales que se cumplan las siguientes condiciones:

- Las corrientes de carga y descarga son constantes.
- La capacidad no depende de la tensión. Esto se puede considerar cierto cuando las capacidades de carga fijas exceden en un margen significativo las capacidades del dispositivo.
- Las pendientes de subida y bajada de las ondas de entrada y salida son iguales.

Bajo estas condiciones, la onda de salida, $V_2(t)$, comienza a cambiar cuando la entrada, $V_1(t)$, sobrepasa el umbral de entrada de la puerta (V_{TH}, que en este caso suponemos que está en $V_{50\%}$). Para mantener la excursión máxima en la onda de salida, la entrada alcanzará su valor mínimo, V_{OL}, justo cuando la salida pasa por $V_{50\%}$. Al mismo tiempo, la entrada comienza a aproximarse de nuevo a V_{OH}, y no pasará por $V_{50\%}$ hasta que la salida no haya alcanzado justo a V_{OL}. De este modelo se puede ver que la frecuencia de reloj máxima está limitada a:

$$f_{C,max} = \frac{1}{4 \cdot t_p} \qquad (4.2)$$

Este método de cálculo de la frecuencia máxima lo debemos verificar mediante simulaciones utilizando las condiciones para el peor caso que se pueda

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

dar. Sin embargo, visto como lo hemos hecho aquí, nos da un buen punto de partida para este análisis, e incluso, si los requerimientos de diseño no son muy importantes este método puede ser apropiado sin necesidad de hacer simulaciones adicionales. Por ejemplo, para el caso de la puerta ECL91 obteníamos que el retardo de propagación para FO = 1 y C_L = 0, era de 16.9 pseg. Utilizando la aproximación anterior, la frecuencia máxima a la que puede trabajar esta puerta es:

$$f_{C,max} = \frac{1}{4 \cdot t_p} = \frac{1}{4 \cdot 16.9 pseg} = 14.8 GHz \qquad (4.3)$$

Para comprobar este valor hemos hecho una simulación del circuito a esta frecuencia. El resultado que se obtiene se muestra en la figura 4.12. Como se puede observar, cuando la onda de entrada (primer nodo de una cadena de inversores fig. 3.8.a) tiene la frecuencia mencionada, la onda de salida (segundo nodo de dicha cadena) empieza a no seguirla correctamente. De esta forma podemos decir que la frecuencia máxima a la que puede trabajar el inversor coincide con la de la ecuación 4.3, sin perjuicio de que a frecuencias superiores dicho inversor pueda funcionar de forma correcta según la aplicación específica en la que se utilice.

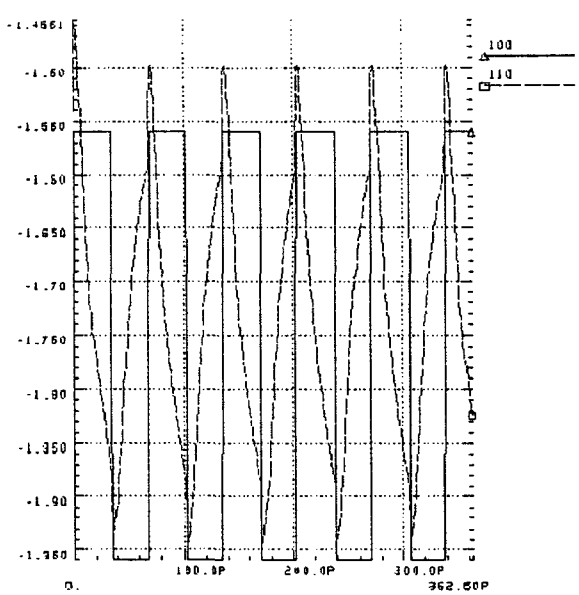


Fig 4.12 Cadena de inversores operando a la frecuencia máxima de operación según la ecuación 4.3. El nodo 100 es el nodo de entrada y el 110 es el de salida.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

En toda nuestra discusión anterior hemos hablado de la potencia disipada como un factor a tener en cuenta en el diseño. A continuación pasamos estudiarla en más detalle.

4.3 Potencia Disipada

La potencia disipada por un circuito lógico es un factor importante a considerar en la optimización del diseño del mismo. Los circuitos lógicos que estamos estudiando son estáticos, es decir, la corriente circula desde el terminal de colector a tierra durante todo el tiempo. Sin embargo, si la capacidad de carga es grande y la frecuencia también lo es, puede ser significativa la potencia dinámica disipada debido a la carga y descarga de dicha capacidad.

En primer lugar calculamos la potencia estática, es decir, la potencia que se disipa cuando a la salida hay un nivel alto (POH) y la que se disipa cuando a la salida hay un nivel bajo (POL). Para el circuito ECL de la figura 3.1.a del capítulo anterior podemos calcular el valor de POH sabiendo que para que a la salida haya un nivel alto de valor V1 a la entrada debe haber un nivel bajo de valor V0. En esta situación la potencia consumida será:

$$POH = Io \cdot (-Vee) + \frac{(-Vee - V1)^2}{\mathrm{Re}f} + Vref \cdot Iref \qquad (4.4)$$

De forma similar podemos calcular el valor de POL teniendo en cuenta que en este caso a la entrada tenemos un nivel alto V1 y a la salida tenemos un nivel bajo V0:

$$POL = Io \cdot (-Vee) + \frac{(-Vee - V0)^2}{\mathrm{Re}f} + Vref \cdot Iref \qquad (4.5)$$

Para el circuito CML de la figura 3.1.b los valores de POH y POL son iguales a los anteriores sin más que eliminar el sumando que da cuenta de la potencia consumida por el seguidor de emisor de salida, esto es:

$$POH = Io \cdot (-Vee) + Vref \cdot Iref \qquad (4.6)$$

$$POL = Io \cdot (-Vee) + Vref \cdot Iref \qquad (4.7)$$

Este es el motivo por el que las puertas CML consumen menos potencia que las ECL. Además, si suponemos que la corriente IREF de ambas puertas es muy pequeña (esto

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

es válido ya que se trata de una corriente de base), se observa que para la ECL la potencia varía con la entrada (Vin), mientras que para la CML ésta permanecerá constante con la entrada. Como consecuencia la diferencia entre los valores de POH y POL de la ECL es superior a la que habrá para la CML. Este hecho se puede observar en los datos obtenidos mediante simulación con SPICE que se muestran en la tabla 4.I. También se han representado los valores de la potencia media estática respectivos. Los ficheros SPICE correspondientes se encuentran en el Apéndice A.

Tabla 4.I

Potencia estática POH y POL y potencia media estática.

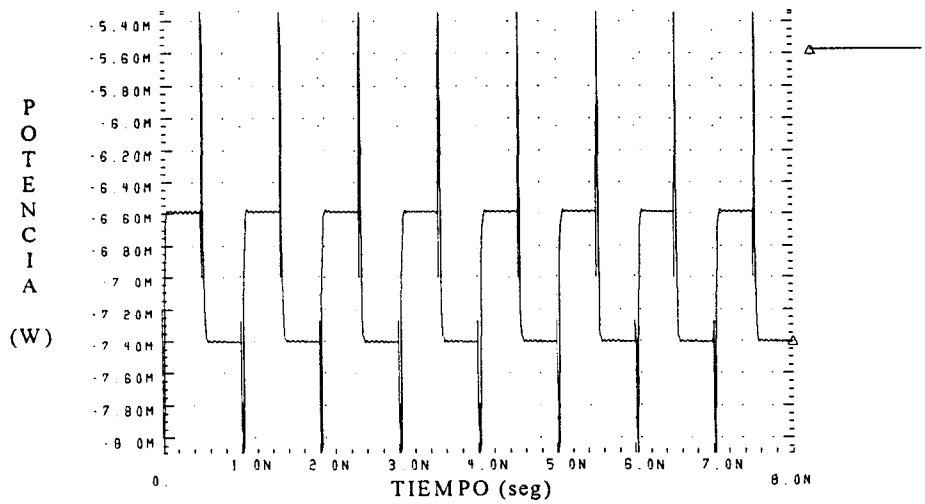
	ECL			CML		
	POH (mW)	POL (mW)	P_{med_est} (mW)	POH (mW)	POL (mW)	P_{med_est} (mW)
HOCT90	7.64	6.92	7.28	4.49	4.50	4.50
HABR91	7.40	6.59	7.00	4.50	4.50	4.50
HMAY93	7.11	6.77	6.94	4.43	5.00	4.71

A estos valores que hemos obtenido se añade la potencia en régimen dinámico. La potencia dinámica es una consecuencia directa de la energía que se requiere para cargar y descargar las capacidades del circuito por unidad de tiempo. Para el caso de los inversores ECL y CML estas capacidades se pueden resumir en una única capacidad de carga CL que podemos suponer conectada según se muestra en la figura 3.1. Esta capacidad modela la capacidad del cableado entre dos etapas consecutivas. La energía que se requiere para cargar y descargar este condensador con la variación de tensión ΔV es $CL \cdot \Delta V^2/2$. Si la señal de entrada a la puerta es periódica, y su frecuencia es f, el condensador se cargará y descargará una vez por ciclo. Por tanto la potencia dinámica disipada será:

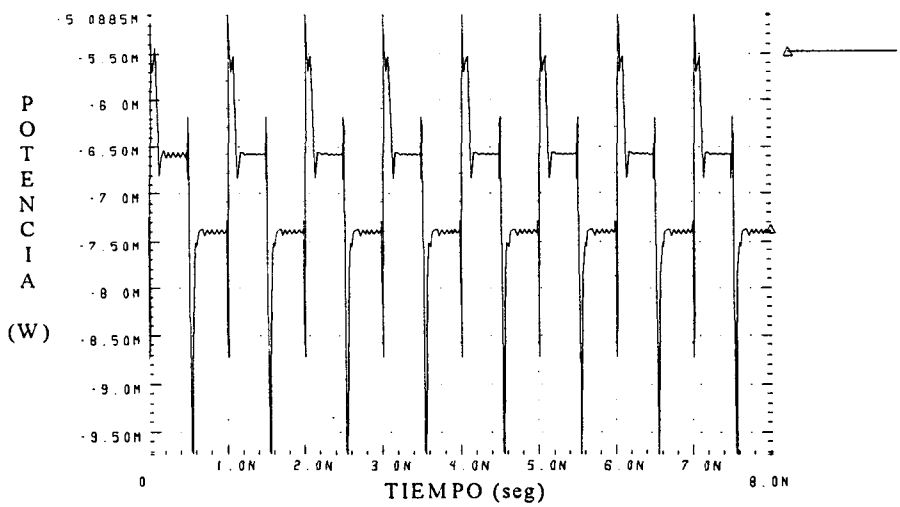
$$P_D = f \cdot CL \cdot \Delta V^2 \qquad (4.8)$$

Por ejemplo, para las puertas que estamos considerando, la excursión lógica es de 0.4V. Si la capacidad de carga fuese de 100 fF y la frecuencia de 1GHz, la potencia dinámica disipada será de 1.6 10^{-5} W. Vemos que es mucho menor que la potencia estática, aunque pueden haber casos en los que la potencia dinámica sea significativa debido a que estén conectadas a líneas largas (p.e. líneas de reloj). Otra manera de ver que la potencia dinámica de este tipo de circuitos es despreciable frente a la potencia estática es de forma gráfica. En la figura 4.13 se puede observar como la potencia dinámica se añade a los valores que hemos calculado de la potencia estática

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



(a)



(b)

Fig 4.13 Potencia instantánea:(a) corresponde al caso de CL=0,FO=1 y f=1GHz, (b) identico caso pero con CL=100 fF.

para cada estado. La figura 4.13.a corresponde al caso de CL=0 FO=1 y f=1GHz, y la figura 4.13.b corresponde al mismo caso pero con CL=100 fF. La energía asociada a la disipación de potencia en régimen dinámico será el área encerrada entre la potencia instantánea (figura 4.13) y la potencia estática. Esto es, dicha energía se corresponde con los picos de las señales representadas. Este area es despreciable con buena aproximación frente al area de la señal correspondiente al caso estático. Por

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

tanto, la potencia dinámica resulta de un valor muy pequeño y en todo caso despreciable frente a los valores de la potencia estática, incluso si la capacidad del cableado es de un valor considerable (caso b de la figura 4.13).

Como conclusión podemos decir que, en general, la potencia media del circuito lógico vendrá dada por la ecuación (4.9), y que será la suma de la potencia média estática y la dinámica.

$$P_{med_tot} = \frac{vee}{T}\int_0^T iee(t)dt + \frac{vref}{T}\int_0^T iref(t)dt = P_{med_est} + P_{med_din} \qquad (4.9)$$

Si suponemos que las longitudes de las interconexiones son de un tamaño tal que se pueda despreciar el efecto que producen sobre la potencia total, podemos eliminar el término P_{med_din} de la ecuación (4.9) e incluso cuando la carga es grande, los valores de la potencia disipada se pueden aproximar a los estáticos:

$$P_{med_est} >> P_{med_din}$$

De esta manera, la potencia media total se puede aproximar como la potencia media estática. Los valores respectivos se encuentran en la tabla 4.I.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 5

Modelo Temporal

En los últimos años, se han hecho intentos para obtener expresiones simples para cuantificar los retardos de propagación de las diferentes familias lógicas. Sin embargo, la variedad de los posibles circuitos, y las no linealidades intrínsecas hacen este problema difícil de resolver.

En términos generales, podemos encontrar expresiones que representen el retardo de propagación por puerta lógica para familias lógicas específicas. En este capítulo resolveremos este problema para las familias lógicas ECL y CML.

En general, podemos decir que hay dos formas diferentes de resolver este problema. En primer lugar podemos elaborar un modelo numérico que permita evaluar el retardo de propagación en base a los parámetros circuitales que más influyan en dicho retardo de propagación, por ejemplo, la capacidad del cableado o el fan-out. El objetivo principal de este modelo es el encontrar una expresión sencilla que prediga de forma rápida el retardo de propagación de un conjunto amplio de puertas lógicas. Este tipo de modelos es muy útil para herramientas de desarrollo de circuitos ASICs. Por otro lado, podemos encontrar un modelo temporal que nos dé el retardo de propagación en función de los parámetros eléctricos del circuito. Estos parámetros están a su vez relacionados con los parámetros del proceso de fabricación por medio de las fórmulas analíticas convencionales, y/o los programas de simulación (ej. MEDICI o TSUPREM4). Estas expresiones, pese a que son más complejas que las anteriores, proporcionan una idea clara de las relaciones entre los retardos de propagación del circuito y

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

sus parámetros eléctricos, y, por tanto, proporcionan un método efectivo para optimizar el proceso de fabricación y, con ello, mejorar la velocidad del circuito.

En este capítulo desarrollaremos la primera de estas ideas, encontrando un modelo temporal sencillo para cada una de las puertas lógicas estudiadas. Así mismo, estudiaremos el segundo tipo de modelo temporal en base a trabajos anteriores <CHBRA88><FANGW90>, centrándonos en su utilización para la optimización del proceso de fabricación.

5.1 Modelo Temporal Numérico

Como se mencionó en la introducción anterior, se trata de encontrar en este apartado un modelo sencillo que permita predecir el retardo de propagación de un conjunto amplio de puertas lógicas. Por tanto, debemos centrarnos en los elementos del circuito que influyan de forma más substancial sobre el retardo de propagación. Estos elementos son, tal y como se ha visto en el capítulo 4, apartado 4.2.1, en el caso de las familias lógicas que nos ocupan, los que den cuenta de la carga, es decir, la capacidad del cableado, C_L, y el fan-out, FO. A continuación, pasamos a describir en los apartados 5.1.1 y 5.1.2 el proceso de cálculo del modelo temporal de la puerta lógica ECL91, y por último, en el apartado 5.1.3 enumeraremos los resultados obtenidos para las otras puertas lógicas que estamos estudiando así como las conclusiones que extraemos de los mismos. Para la realización de estos apartados hemos utilizado el programa de cálculo numérico MATLAB pues resulta una herramienta de gran utilidad para este tipo de desarrollos. Nos basaremos en la suposición de que el retardo de propagación se puede poner como la suma de las contribuciones debidas a la C_L y al FO. Así calcularemos primero la variación del t_p con C_L (apdo. 5.1.1) y luego la variación del t_p con el FO (apdo. 5.1.2) para concluir entre otras cosas que el FO es el factor que influye de manera más significativa en el retardo total (apdo. 5.1.3).

5.1.1 Variación del t_p con C_L

Según se puede observar en la figura 5.1.a, la variación del tiempo de propagación con la capacidad del cableado es lineal. Por tanto, podemos

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

aproximarla mediante una recta. Para ello, utilizamos el siguiente programa de MATLAB:

```
% Programa que ajusta la variación del tp con CL a una recta
clear;
clg;
format long;
tpecl=[1.73511e-11;2.11513e-11;2.48949e-11]; datos de tp en función de los valores de
                                                    ; CL
cl=[10e-15;60e-15;100e-15]; valores de CL
coecl=polyfit(cl,tpecl,1); ajuste de los datos mediante un polinomio de grado 1 (recta)
p=polyval(coecl,cl); evaluación del polinomio (p = coecl(1)*CL+coecl(2))
subplot(211)
plot(cl,tpecl,cl,p); representación de la fig 5.1.a
subplot(212)
plot(cl,tpecl-p); representación de la fig 5.1.b
pause
maxerror=max(abs(tpecl-p)); error máximo
```

Este programa consiste en ajustar los datos de tiempo de propagación y capacidad de cableado contenidos en los vectores tpecl y cl y que han sido obtenidos previamente mediante simulaciones con SPICE, a una recta. Esta aproximación se lleva a cabo con la función polyfit(x,y,n) la cual encuentra los coeficientes del polinomio de grado n (n=1 para el caso de una recta) que se ajusta a los datos de x e y mediante el método de los mínimos cuadrados. Los valores de los coeficientes que se obtien son los siguientes:

coecl(1)=83.4996

coecl(2)=$1.64 \cdot 10^{-11}$

con lo que la variación de t_p con C_L queda:

$$t_p = 1.64 \cdot 10^{-11} + 83.4996 \cdot C_L \qquad (5.1)$$

En la misma figura 5.1.a se observa con trazo discontínuo como se ajusta la recta calculada a los datos obtenidos mediante SPICE. Asímismo, se puede ver en la figura 5.1.b el error que cometemos como la diferencia entre el valor de t_p simulado y el calculado con nuestro modelo, siendo el valor máximo de dicho error $2.6 \cdot 10^{-13}$. El error se suele expresar como el error relativo máximo de la siguiente forma:

$$error(\%) = \frac{(valor_real) - (valor_modelo)}{(valor_real)} \cdot 100(\%) \qquad (5.2)$$

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Así el error relativo máximo que cometemos en la aproximación es del 1.22%, que es un valor muy bueno ya que se suelen aceptar errores mayores.

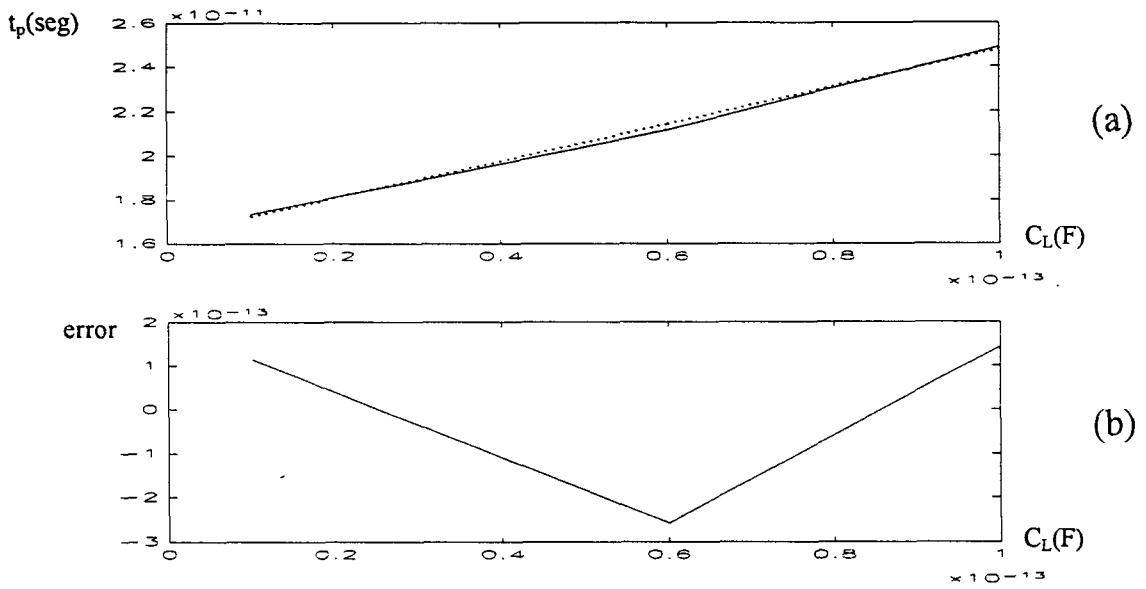


Fig 5.1 (a) Variación del tp con la C_L (modelo y simulaciones SPICE). (b) Error relativo medio.

5.1.2 Variación del t_p con el FO

En el capítulo anterior, se mostró cómo el tiempo de propagación no varía de forma lineal con el FO. Esto implica que su modelo temporal deberá ser una función que varíe de forma potencial o exponencial con el FO. Hay dos posibles soluciones a este problema.

En primer lugar, podemos plantear una solución del tipo:

$$t_p = 1.64 \cdot 10^{-11} + 83.4996 \cdot C_L + K_1 \cdot FO^{K_2} \qquad (5.3)$$

donde K_1 y K_2 son constantes que relacionan al tiempo de propagación con su variación exponencial con el FO. La constante K_2 la podemos calcular haciendo uso del siguiente programa para MATLAB. Este programa ajusta una función no lineal del tipo $y = t^{lam}$ a un conjunto de datos. lam es el parámetro no lineal. Para la realización de este programa hemos utilizado una función llamada FMINS la

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

cual implementa el algoritmo de Nelder-Meal para minimizar una función no lineal de varias variables.

```
% Programa que ajusta la variación del tp con el FO mediante una función del tipo y = t^lam
clc
global Data
Data= ...
[1 1.68820e-11
20 1.39044e-10
40 2.48270e-10
60 3.41328e-10
80 4.22838e-10
100 4.95559e-10];

t = Data(:,1);
y = Data(:,2);
% Representación preliminar de los datos a ajustar
plot(t,y,'o'),
pause
clc
% Empieza el ajuste
lam=[1];
lam = fmins('funmia1',lam)
pause
```

El valor de salida de K_2 será lam(1). Para hacer el ajuste especificado, hemos escrito una función, llamada funmia1, la cual, dado el parámetro no lineal lam(1) y los datos, retorna el error en el ajuste, el cual será utilizado por la función FMINS para calcular el valor de lam(1).

```
function f = fitfun(lam)

% Esta función (funmia1) es utilizada por fitmio1. funmia1(lam) retorna el error entre los
% datos y los valores calculados por la función de lam. En este caso funmia1 asume una
% función de la forma: y = c(1)*t^lam(1)

% Datos globales
t = Data(:,1); y = Data(:,2);
A = zeros(length(t),length(lam));
for j = 1:size(lam)
  A(:,j) = t.^lam(j);
end
c = A\y;
z = A*c;
```


© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
f = norm(z-y);

%   Instrucciones para dibujar el proceso de ajuste
plot(t,z,t,y,'o')
xt = max(t)/2;
yt = max(y)/2;
text(xt,1.16*yt,['lambda = ' num2str(lam(1)) ' ' ])
text(xt,1.0*yt,['err norm = ' num2str(f)])
```

El valor de K_2 que sale es 0.7683 con lo que nuestro modelo tendrá la siguiente forma:

$$t_p = 1.64 \cdot 10^{-11} + 83.4996 \cdot C_L + K_1 \cdot FO^{0.7683} \qquad (5.4)$$

La constante de proporcionalidad K_1 la obtenemos particularizando para CL=0 y los distintos FO que tenemos. Así, para cada valor de FO obtendremos una K_1 diferente. Para que este modelo sea aplicable para todos los posibles FO, el valor de K_1 que utilizamos será el valor medio de todos los K_1 que nos salen. De esta forma obtenemos un K_1 de $1.35672 \cdot 10^{-11}$, y, por tanto, nuestro modelo temporal quedará finalmente como:

$$t_p = 1.64 \cdot 10^{-11} + 83.4996 \cdot C_L + 1.35672 \cdot 10^{-11} \cdot FO^{0.7683} \qquad (5.5)$$

En la figura 5.2.a se muestra cómo se ajusta la curva calculada a los datos que le pasamos. El error que cometemos está reflejado en la figura 5.2.b siendo su valor relativo máximo del 3.12%.

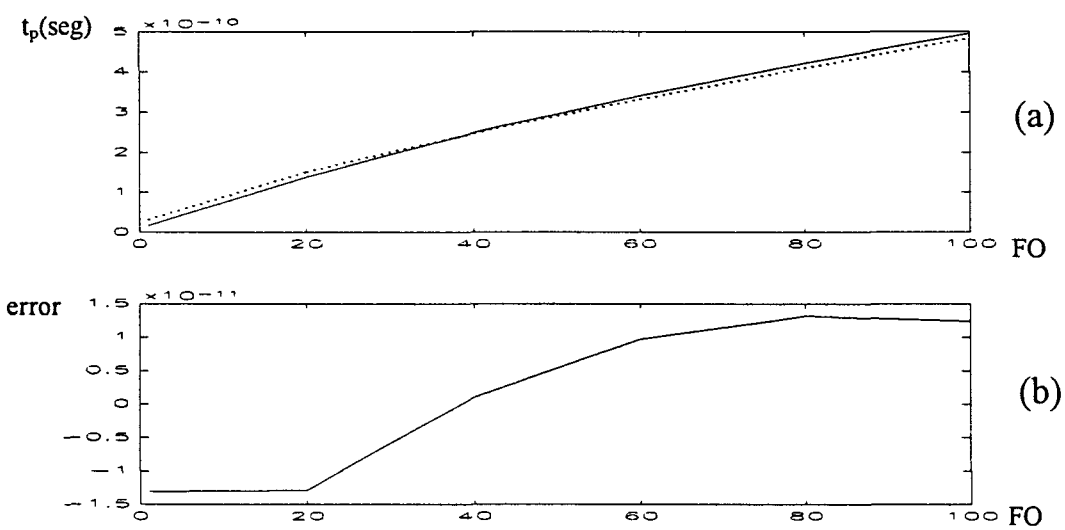


Fig 5.2 (a) Variación del tp con la C_L (modelo y simulaciones SPICE). (b) Error relativo medio.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

El modelo temporal obtenido, pese a que comete un error bastante pequeño, tiene el inconveniente de que hay un término en el que el FO está elevado a un numero fraccionario. Esto, como se verá posteriormente, no interesa pues durante la evaluación ocupará mucho tiempo de CPU de un ordenador. Por tanto, conviene hacer un modelo en el que el FO esté elevado a un número natural. Esto lo conseguimos con una solución polinómica del tipo:

$$t_p = 1.64 \cdot 10^{-11} + 83.4996 \cdot C_L + K_1 + K_2 \cdot FO + K_3 \cdot FO^2 \qquad (5.6)$$

Donde se observa la introducción de un parámetro adicional, K_3, que es el coste de la simplificación de los cálculos. Los valores de K_1,K_2 y K_3 los obtenemos gracias al siguiente programa de MATLAB:

```
% Programa que ajusta los datos de la matriz Data por un polinomio de grado 2
clg
clc
global Data
Data= ...
[1 1.68820e-11
20 1.39044e-10
40 2.48270e-10
60 3.41328e-10
80 4.22838e-10
100 4.95559e-10];

fo = Data(:,1);
tp = Data(:,2);

% Ajustamos los datos con polifit a un polinomio de grado 2
coe=polyfit(fo,tp,2)
p=polyval(coe,fo);

% Presentación en pantalla
subplot(211)
plot(fo,tp,fo,p)
subplot(212)
plot(fo,tp-p);
pause

% Calculo del error máximo absoluto
maxerror=max(abs(tp-p))
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Este programa ajustará los datos de tiempo de propagación y FO contenidos en los vectores tp y fo a un polinomio de grado 2. Los valores de salida de K_1, K_2 y K_3 serán coe(3),coe(2) y coe(1) respectivamente. Así tendremos las siguientes constantes:

$$K_1=coe(3)=12.28\cdot 10^{-12}$$
$$K_2=coe(2)=6.56\cdot 10^{-12}$$
$$K_3=coe(1)=-0.2\cdot 10^{-12}$$

El modelo temporal queda:

$$t_p = 1.64\cdot 10^{-11} + 83.4996\cdot C_L + 12.28\cdot 10^{-12} + 6.56\cdot 10^{-12}\cdot FO - 0.2\cdot 10^{-12}\cdot FO^2 \quad (5.7)$$

es decir:

$$t_p = 2.868\cdot 10^{-11} + 83.4996\cdot C_L + 6.56\cdot 10^{-12}\cdot FO - 2\cdot 10^{-14}\cdot FO^2 \quad (5.8)$$

En la figura 5.3 se muestra cómo se ajusta la curva calculada a los datos que le damos, así como el error que cometemos, siendo el error relativo máximo del 1.8%, valor inferior al conseguido con el modelo potencial gracias a la introducción del parámetro de ajuste adicional. Además, en este caso, el error para los valores típicos de FO (entre 0 y 20) es mucho menor que en el caso de la solución potencial. Esto se debe a que en aquel caso (solución potencial), la constante K_1 la obteníamos como el valor medio para los diferentes FO, motivo por el cual para valores de FO alejados del centro de la figura el error es mayor.

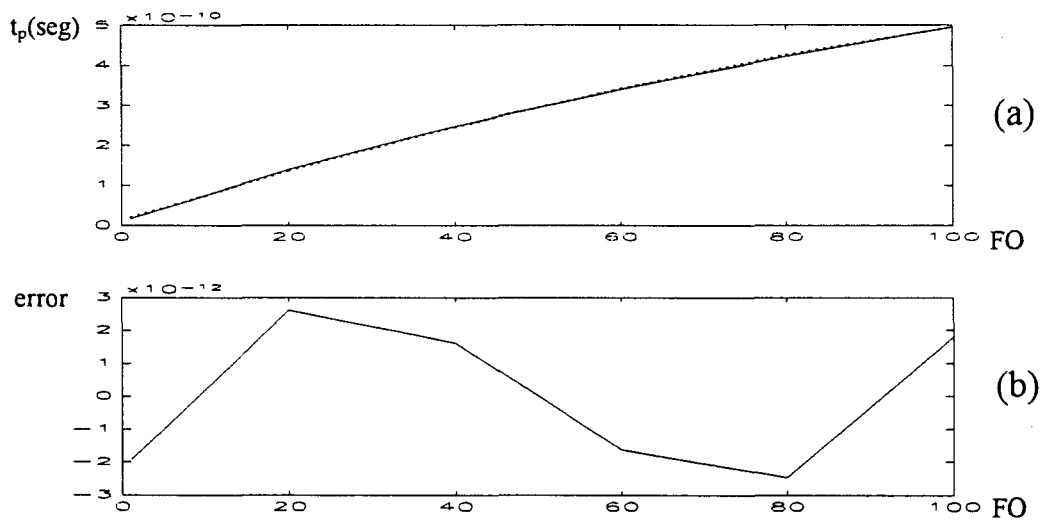


Fig 5.3 (a) Variación del tp con la C_L (modelo y simulaciones SPICE). (b) Error relativo medio.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Sin embargo, en el caso de la solución polinómica, los valores de las constantes de proporcionalidad han salido como fruto de una aproximación polinomial, con lo que el error se reparte para todos los valores de FO.

Si consideramos que la aplicación principal de estos modelos temporales será el cálculo del retardo de propagación de un conjunto amplio de puertas lógicas por medio de un ordenador, tenemos que resaltar que la primera propuesta que hacemos (ec 5.5) es peor que la segunda (ec 5.8). Esto es así pues, aunque tiene menos términos, hay uno que contiene un factor elevado a un número fraccionario. Esto ocupará mucho más a una CPU que si estuviese elevado a un número natural, ya que en este caso sólo tiene que hacer multiplicaciones mientras que en el otro caso todo dependería del algoritmo que utilizase la CPU para realizar tal operación. Además se observa que el segundo modelo temporal propuesto sólo añade dos términos más y consigue una mejor aproximación. En consecuencia optaremos por este segundo tipo de solución. En el anexo V se encuentra un programa de MATLAB útil para calcular el modelo temporal completo teniendo en cuenta esta filosofía. Se escribe para el caso de la ECL91. Para los demás casos sólo hay que cambiar los datos que correspondan. En el siguiente apartado se enumeran los resultados obtenidos para cada una de las puertas estudiadas así como las conclusiones que de ellos se extraen.

5.1.3 Resultados y Conclusiones

En la tabla 5.I se muestran los distintos modelos temporales calculados a partir del programa de MATLAB que mencionamos en el apartado anterior. También se dan los errores relativos máximos que cometen, tanto en su aproximación a la variación del t_p con la C_L (ERRCL %) como con el FO (ERRFO %).

La verificación de estos resultados ha sido llevada a cabo mediante la comparación de los resultados de las simulaciones SPICE con los valores que predice nuestro modelo. Así podemos resaltar que la discrepancia en el retardo de propagación entre los valores del SPICE y los de nuestros modelos es muy pequeña, y en la mayoría de los casos muy inferior al 9.5%. Por otro lado, a pesar de lo que podíamos presuponer de antemano, el comportamiento del retardo de

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Tabla 5.I
Modelos temporales polinómicos de las puertas lógicas objeto del estudio, y error relativo medio que cometen: ERRCL(%) Y ERRFO(%).

PUERTA	MODELO	ERR CL(%)	ERR FO(%)
ECL90	$t_p = 2.9 \cdot 10^{-11} + 112.44 \cdot C_L + 4 \cdot 10^{-12} \cdot FO$	0.45	9.48
ECL91	$t_p = 2.868 \cdot 10^{-11} + 83.4996 \cdot C_L + 0.656 \cdot 10^{-11} \cdot FO - 2 \cdot 10^{-14} \cdot FO^2$	1.22	1.87
ECL93	$t_p = 1.0129 \cdot 10^{-10} + 95.34 \cdot C_L + 7.43 \cdot 10^{-12} \cdot FO + 1 \cdot 10^{-13} \cdot FO^2$	0.1	0
CML90	$t_p = 3.5 \cdot 10^{-11} + 235.76 \cdot C_L + 4 \cdot 10^{-12} \cdot FO$	0.27	0.71
CML91	$t_p = 3 \cdot 10^{-11} + 207.03 \cdot C_L + 1.3 \cdot 10^{-11} \cdot FO$	0.05	0.15
CML93	$t_p = 1 \cdot 10^{-10} + 208.51 \cdot C_L + 5 \cdot 10^{-12} \cdot FO^2$	0.03	0

propagación es bastante lineal para algunas de las puertas lógicas que estamos estudiando con respecto a su variación con el FO. Esto se pude deducir de que en algunos casos no aparece el término relacionado con el factor FO^2.

La figura 5.4 representa de forma conjunta la variación del tiempo de propagación con la capacidad del cableado (C_L) y el fan-out (FO) de la puerta ECL91. Se aprecia claramente que la variación con el FO es más significativa que la variación con la capacidad del cableado. En efecto, el retardo de

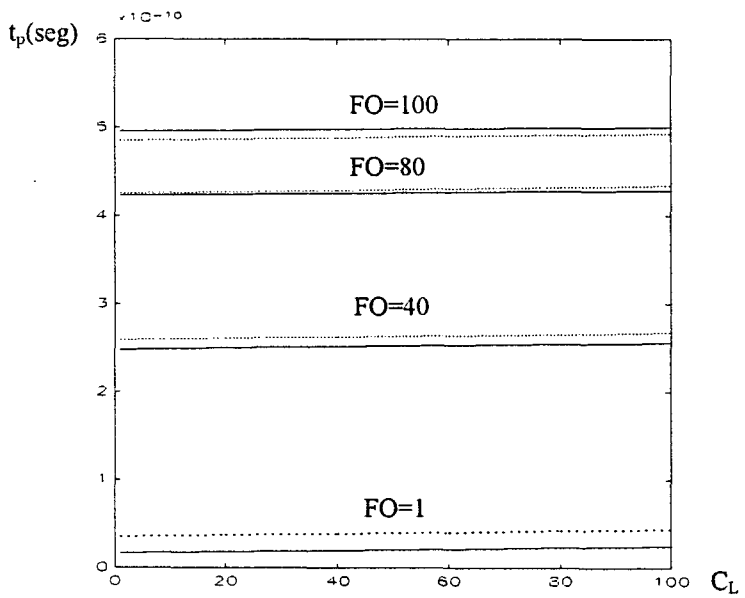


Fig 5.4 (a) Variación del tp con la C_L para diferentes valores de FO. Trazo contínuo: valores de SPICE; trazo discontínuo: valores obtenidos con el modelo polinomial

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

propagación varía desde aproximadamente $1.7 \cdot 10^{-11}$seg para un FO de 1 hasta $5 \cdot 10^{-10}$seg para un FO de 100, mientras que para un FO dado el retardo de propagación varía muy poco con CL de forma que se obtiene una recta casi horizontal. Esto implica que a la hora de hacer un diseño con este tipo de puertas debemos tener más en cuenta los requerimientos del FO que los de la capacidad del cableado asociado a las interconexiones entre las puertas.

Por otro lado, también se representa en la figura 5.4 los valores obtenidos con nuestro modelo. La discrepancia con los valores de SPICE varia, como ya dijimos antes, según la figura 5.3.b. Pese al error que se comete en la aproximación (ver tabla 5.I) podemos considerar que el modelo temporal que presentamos puede ser muy útil para el diseñador de circuitos integrados a partir de las células básicas que estamos estudiando. Esto se debe a que ponen de manifiesto de forma rápida la variación del retardo de propagación con los factores que más influyen sobre él (FO y C_L). De hecho, este tipo de modelos son muy utilizados a la hora de llevar a cabo un análisis de viabilidad temporal, es decir, a la hora de verificar si la tecnología elegida para implementar un diseño va a cumplir los requerimientos temporales que se le exige al circuito integrado.

Otra posible aplicación de los modelos aquí descritos es su utilización en programas de verificación temporal. En muchos diseños puede existir el peligro de que se produzcan carreras u otro tipo de problemas relacionados con el comportamiento temporal del circuito tales como que no se cumplan los tiempos de "set-up" y de "hold". Los programas de verificación temporal calculan las rutas críticas del circuito, es decir, aquellas donde hay peligro de que surja alguno de estos problemas. Así, una vez identificadas las rutas críticas, se podrá modificar el diseño para mejorar su funcionamiento, concentrándose los esfuerzos del diseñador en dichas rutas.

Por todo lo dicho, modelos análogos a los aquí descritos tienen un amplio uso en herramientas de desarrollo de circuitos ASICS. Estas herramientas ayudan al diseñador a elaborar circuitos complejos basados en células más sencillas. Gracias a los modelos temporales de dichas células se puede evaluar el comportamiento temporal del circuito sin necesidad de llevar a cabo la implementación del diseño. Este tipo de análisis se suele denominar simulación "prelayout". De no existir este tipo de modelos, la única posibilidad que tenemos

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

para llevar a cabo la simulación "prelayout" es asignar retardos unitarios a cada célula que compone el chip. Esto trae como consecuencia que dicha simulación sea mucho más imprecisa. Además, la carencia de estos modelos impediría el desarrollo de los programas de verificación temporal.

Es sabido que la mayor parte del tiempo que se emplea en el diseño de un circuito se invierte en la fase de simulación. Por tanto, el uso de modelos temporales sencillos pero a la vez precisos reducirá de forma considerable el tiempo de diseño. Como consecuencia, los circuitos se harán más baratos y con más probabilidades de que funcionen correctamente. Sin embargo, esto sólo es útil para el diseño a partir de puertas ya creadas. Para el diseño de la puerta lógica en sí, debemos crear modelos analíticos que den cuenta de los factores que influyen en su comportamiento temporal para, de esta forma, poder minimizarlos. Éste tipo de modelo será el objeto del siguiente apartado.

5.2 Modelo Temporal Analítico

Como se dijo en la introducción a este capítulo, una segunda alternativa para expresar el retardo de propagación por puerta lógica es mediante una función explícita de los parámetros físicos de los transistores y el resto de los elementos del circuito, que llamaremos expresión analítica. Los parámetros eléctricos del circuito, a su vez, se relacionan con los parámetros del proceso de fabricación por medio de las fórmulas analíticas convencionales, y/o los programas de simulación (ej. TSUPREM4).

Este modelo supone que el retardo de propagación de un circuito lógico se puede expresar de forma aproximada como una combinación lineal de constantes temporales del circuito (ec 5.9). Cada una de estas constantes está multiplicada por un factor que se determina por la topología del circuito.

$$t_p = \sum_j K_j \cdot \tau_j + \sum_i K_i \cdot R_i \cdot \tau_i \qquad (5.9)$$

Por ejemplo, para el circuito ECL y suponiendo que todas las constantes contribuyen al retardo de propagación, podemos poner:

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

$$
\begin{aligned}
t_p = {} & K_{01}\tau_F + K_{02}\tau_R + R_{BI}(K_{03}C_{JCI} + K_{04}C_{JCX} \\
& + K_{05}C_{JE} + K_{06}C_D + K_{07}C_{JS} + K_{08}C_L) \\
& + R_{BX}(K_{09}C_{JCI} + K_{10}C_{JCX} + K_{11}C_{JE} \\
& + K_{12}C_D + K_{13}C_{JS} + K_{14}C_L) \\
& + R_L(K_{15}C_{JCI} + K_{16}C_{JCX} + K_{17}C_{JE} \\
& + K_{18}C_D + K_{19}C_{JS} + K_{20}C_L) \\
& + R_C(K_{21}C_{JCI} + K_{22}C_{JCX} + K_{23}C_{JE} \\
& + K_{24}C_D + K_{25}C_{JS} + K_{26}C_L) \\
& + R_E(K_{2-}C_{JCI} + K_{28}C_{JCX} + K_{29}C_{JE} \\
& + K_{30}C_D + K_{31}C_{JS} + K_{32}C_L) \\
& + R_{EF}(K_{33}C_{JCI} + K_{34}C_{JCX} + K_{35}C_{JE} \\
& + K_{36}C_D + K_{37}C_{JS} + K_{38}C_L)
\end{aligned}
\tag{5.10}
$$

donde R_{BI} y R_{BX} son las resistencias de base intrínseca y extrínseca respectivamente de los transistores; C_{JCI} y C_{JCX} son las capacidades de deplexión de la unión BC intrínseca y extrínseca respectivamente; R_L es la resistencia de carga del circuito; R_E y R_C son las resistencias parásitas de emisor y colector respectivamente; C_L es la capacidad del cableado que modela la capacidad entre dos etapas consecutivas; y C_D es la capacidad de difusión de la unión BE de los transistores. Su valor lo podemos calcular de forma aproximada mediante la expresión $C_D = 2\tau_F/R_L$. Estos parámetros de transistores y circuitos equivalentes son consistentes con el modelo SPICE considerado en el capitulo 2.

Para el circuito CML eliminamos el factor de R_{EF} ya que este circuito no tiene seguidor de emisor.

Como se puede observar, si queremos tener en cuenta todas las constantes tenemos que calcular hasta 38 factores de proporcionalidad. Estos factores se calculan mediante el "sensitivity analysis" <CHBRA88><FANGW90>. Básicamente, este método consiste en variar el valor de R_i o C_i en un rango tal que quede aislada la contribución de la constante temporal R_iC_i y así evaluar la correspondiente K_i. Cada K_i se calcula para varios conjuntos de valores de los parámetros circuitales. De esta manera es posible determinar el rango de parámetros para los cuales las constantes K_i permanecen aproximadamente constantes.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Queda claro que el proceso para la consecución de un modelo temporal utilizando el método que hemos descrito, se convierte en una tarea complicada de realizar. Lo que se suele hacer es eliminar los términos de la ecuación (ec 5.9) que contribuyan poco o nada al valor final del retardo de propagación. Sin embargo, aun así quedan del orden de 24 parámetros que calcular.

Estas expresiones, pese a su complejidad, proporcionan una idea clara de las relaciones entre los retardos del circuito y sus parámetros eléctricos, y, por tanto, proporcionan un método efectivo para optimizar el proceso de fabricación y mejorar la velocidad del circuito.

Expresiones de este tipo se pueden encontrar en la literatura, siendo la más reciente la que se encuentra en <FANGW90>. Nosotros la utilizaremos como base para obtener ciertas conclusiones de interés sobre el diseño de los circuitos ECL y CML con HBTs. En la tabla 5.II se muestran los valores de las constantes K_i que se obtienen en dicho trabajo. También se muestra en dicha tabla la contribución de cada componente temporal al retardo de propagación para las puertas ECL91 y CML91.

Como se puede observar, este modelo temporal da una aproximación bastante grosera del retardo de propagación. Sin embargo nos sirve para identificar los parámetros que más influyen en el mismo y que aparecen marcados con un * en la tabla 5.II. Teniendo esto en cuenta, podemos construir una figura de mérito sencilla que relacione el retardo de propagación con los factores que presentan mayor influencia. La figura de mérito será la misma para ambas puertas ya que los factores marcados son los mismos. Se calcula multiplicando cada parámetro marcado en la tabla por su correspondiente K_i. El valor de C_D lo aproximamos por la expresión:

$$C_D = \frac{2\tau_F}{R_L} \qquad (5.11)$$

Así, la figura de mérito queda:

$$\tau_m = K_{01}\tau_F + K_{02}R_L C_{JCI} + K_{04}R_L C_{JE} + K_{06}R_L C_L + K_{07}R_B C_{JCI} + K_{13}R_C C_{JCI} + K_{19}R_E C_{JCI} + K_{09}R_B C_{JE} + K_{10}R_B \frac{2\tau_F}{R_L} \qquad (5.12)$$

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Tabla 5.II
Valores de las constantes Ki <FANGW90>.

i	Térm	K_i(ECL)	t(ECL)	K_i(CML)	t(CML)
1	τ_F	1.2	0.72 *	1.16	0.696 *
2	R_LC_{JCI}	1.42	10.7068 *	2.52	17.6904 *
3	R_LC_{JCX}	1.5	0	2.55	0
4	R_LC_{JE}	0.04	0.1508 *	0.33	1.1583 *
5	R_LC_{JS}	0.27	0	0.7	0
6	R_LC_L	0.31	1.798 *	0.65	3.5 *
7	R_BC_{JCI}	3.2	0.3827 *	3.42	0.409032 *
8	R_BC_{JCX}	0.22	0	0.26	0
9	R_BC_{JE}	0.95	0.05681 *	1.01	0.4646 *
10	R_BC_D	1.15	0.0218 *	1.3	0.02474 *
11	R_BC_{JS}	0.14	0	0.25	0
12	R_BC_L	0	0	0.4	0.0368
13	R_CC_{JCI}	1.72	0.237016 *	2.71	0.373438 *
14	R_CC_{JCX}	0.62	0	2.86	0
15	R_CC_{JE}	0	0	0.15	0.010335
16	R_CC_D	0.22	0.00509	0.3	0.006579
17	R_CC_{JS}	0.87	0	0.92	0
18	R_CC_L	0	0	0.27	0.02862
19	R_EC_{JCI}	3.85	0.19019 *	3.89	0.192166 *
20	R_EC_{JCX}	3.74	0	3.74	0
21	R_EC_{JE}	0.38	0.0093	0.35	0.008645
22	R_EC_D	0.16	0.0012	0.79	0.0062109
23	R_EC_{JS}	1.8	0	0.72	0
24	R_EC_L	0	0	0.84	0.03192
Total pred.			14.27969ps		24.6377ps
SPICE			18ps		34.14ps
ERR. REL. MED.			20.66%		27.8%

En la ecuación anterior se puede ver que los retardos de propagación asociados con R_L son los términos más importantes. Por tanto, si disminuimos el valor de R_L podremos conseguir una mejora en el retardo de propagación. El mínimo valor de R_L lo podemos obtener haciendo $\delta(\tau_m)/\delta(R_L)=0$. Así nos sale:

$$R_{Lopt} = \sqrt{\frac{K_{10} 2 R_B \tau_F}{K_{02} C_{JCI} + K_{04} C_{JE} + K_{06} C_L}} \qquad (5.13)$$

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Para la puerta lógica ECL91 obtenemos un valor de la resistencia de carga de 190Ω, lo cual implica una corriente de $I_o = \Delta V/R_L = 2.1$ mA (J_c=2.1e4 A/cm^2) para una ΔV de 400 mV. Este valor mínimo de la R_L va a limitar la velocidad de nuestro circuito. Por tanto, si queremos aumentar más la velocidad, tenemos que hacer que la R_{Lopt} sea aún menor. Esto lo podemos conseguir, según se ve en la expresión de R_{Lopt}, disminuyendo el valor de τ_F y el de R_B.

Como conclusión podemos decir que, el disminuir τ_F será un objetivo fundamental a la hora de diseñar HBTs para su utilización en circuitos ECL y CML de alta velocidad. El motivo no es sólo el que al disminuir τ_F conseguimos disminuir el retardo de propagación porque en la figura de mérito es uno de los factores que más contribuyen al retardo total, sino porque al disminuir su valor podemos reducir el valor óptimo de la R_L. También será de interés el disminuir en lo posible el valor de la resistencia de base de dichos transistores, lo cual se puede conseguir según los métodos vistos en el capítulo 1 de este trabajo.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 6

Ejemplos de Circuitos Basados en HBTs para Alta Velocidad

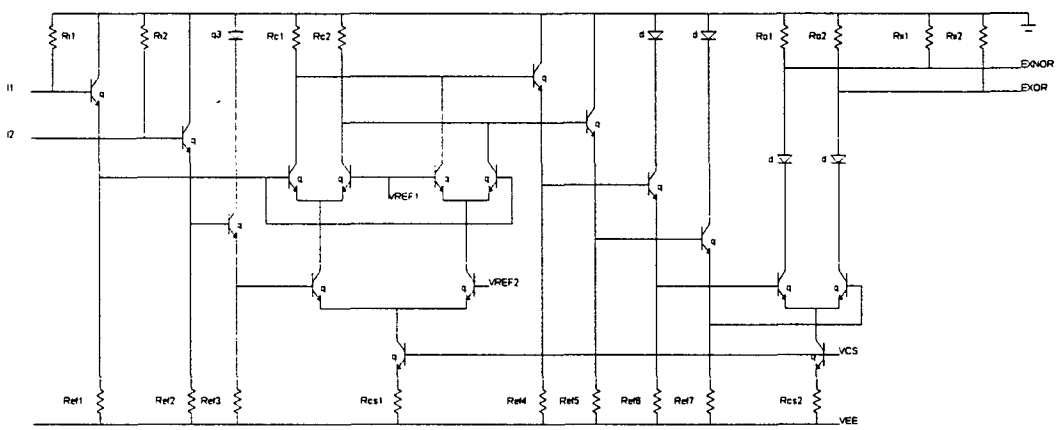
En la actualidad hay un considerable interés en el desarrollo de ICs y de tecnologías de ICs para su uso en comunicaciones ópticas. De hecho se espera que sistemas de transmisión ópticos de muy alta velocidad (superiores a 10 Gb/s) jueguen un papel importante en las futuras redes de banda ancha y redes digitales de servicios integrados. Para la realización de tales sistemas es indispensable encontrar circuitos electrónicos veloces que ofrezcan además altas prestaciones, a costes moderados y que sean bastante compactos. La cuestión que naturalmente se pone de manifiesto es qué tipo de dispositivos se deberían utilizar para realizar esos ICs de alta veocidad. Uno de los candidatos más prometedores son los transistores HBT de AlGaAs/GaAs, debido a que en ellos se combinan las ventajas de la elevada transconductancia de los dispositivos bipolares y la elevada movilidad de los electrones de los materiales que los componen. En ICs específicos se han conseguido velocidades superiores a los 20 Gb/s. Entre éstos se encuentran puertas OR/NOR EXCLUSIVAS de 20 Gb/s, toggle flip-flops de 26 Ghz y selectores o demultiplexores 2:1 de 28 Gb/s, circuitos todos que veremos a continuación además de una red de puertas configurables (gate array) que puede operar a frecuencias de hasta 15.6 GHz.

Los circuitos OR/NOR EXCLUSIVA (XOR), toggle flip-flop (TFF) y selectores 2:1 (SEL21) utilizan entradas y salidas con una excursión lógica de 1 V (entre 0 y -1 V) para la interconexión entre chips. Dentro de los chips, utilizan señales diferenciales con

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

excursiones lógicas de 500 mV. Las entradas y salidas diferenciales tienen ventajas inherentes a la hora de conseguir altas velocidades <RDSGN92>. Sin embargo, el tener pares de interconexiones entre chips hace que el ensamblado de los mismos sea más complicado que si se emplearan conexiones simples. Por tanto, las entradas y salidas al chip son simples, mientras que dentro del chip se utilizan señales diferenciales lo cual simplifica el ensamblado y permite al mismo tiempo operación a alta velocidad. Los transistores utilizados para la simulación de dichos circuitos serán del tipo HABR91, pues son los que mejor comportamiento han demostrado a lo largo de este trabajo.

6.1 Puerta OR/NOR EXCLUSIVA (XOR)



(a)

I1	I2	EXOR	EXNOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

(b)

Fig 6.1 (a)circuito y (b) tabla de verdad de una puerta OR/NOR EXCLUSIVA basada en la lógica ECL/CML de doble nivel implenmentada con HBTs.

Las puertas OR/NOR EXCLUSIVAS son componentes importantes para el procesado de señales en sistemas de transmisión ópticos. Entre sus aplicaciones se encuentran diferenciación, rectificación de onda completa, y codificación en CMI (code mark inversion) y en DMI (differential mark inversion). La configuración circuital de

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

una puerta XOR y su correspondiente tabla de verdad se muestran en la figura 6.1. El fichero SPICE es el del anexo VI. Consiste en una etapa de entrada compuesta por seguidores de emisor desplazadores de nivel, una parte central que realiza la función XOR, una etapa de salida que actua como driver y una etapa de generación de tensiones de referencia y alimentación que no se muestra en la figura.

Los valores de componentes y fuentes de alimentación y de referencia encontrados para el óptimo funcionamiento de la puerta OR/NOR EXCLUSIVA se muestran en la tabla 6.I.

Tabla 6.I
Valores de componentes y fuentes de alimentación y de referencia de la puerta OR/NOR EXCLUSIVA.

COMPONE	VALOR
Ri1..2	50 Ω
Ref1..7	2 KΩ
Rcs1..2	36.66 Ω
Rc1..2	33.33 Ω
Ro1..2	100 Ω
Rii1..2	50 Ω
VEE	-7 V
VCS	-4 V
VREF1	-2.4 V
VREF2	-3.4 V

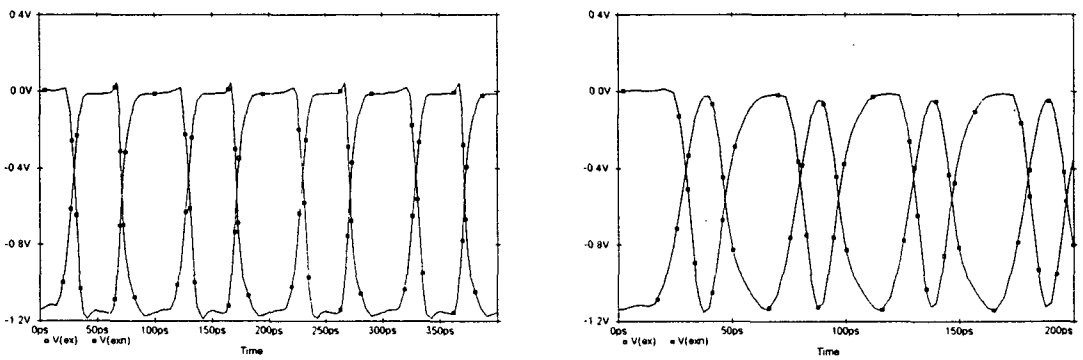
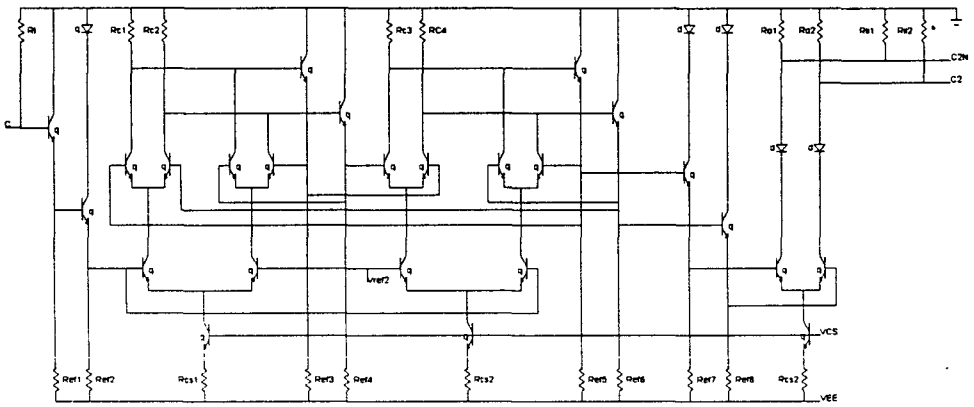


Fig 6.2 formas de onda de salida para el test de la puerta OR/NOR EXCLUSIVA.

La figura 6.2 muestra las formas de onda de salida cuando una entrada se mantiene a nivel lógico bajo y la otra se hace variar entre 0 y 1 a 10 GHz en el caso a y a 20 GHz en el caso b. Como se puede observar, se obtiene una satisfactoria excursión lógica de 1 V. Tambien se observa que esta puerta puede operar incluso más alla de los 20 GHz.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

6.2 TOGGLE FLIP-FLOP (TFF)



(a)

C	$Q(t+1)$
0	$Q(t)$
1	$\overline{Q(t)}$

(b)

Fig 6.3 (a)circuito y (b) tabla de verdad de un TFF basado en la lógica ECL/CML de doble nivel implenmentado con HBTs.

Los toggle flip-flop son fundamentales en la sincronización del procesado de datos entre dos canales con diferente tasa de bits en los sistemas de transmisión óptica. La velocidad máxima de operación de los TFF es uno de los factores limitadores de tales sistemas. La configuración circuital de un TFF y su correspondiente tabla de verdad se muestran en la figura 6.3. El fichero SPICE es el del anexo VII. Aqui tambien se puede observar una etapa de entrada compuesta por seguidores de emisor desplazadores de nivel, una parte central que realiza la función TFF, y una etapa de salida que actua como driver. La etapa de generación de tensiones de referencia y alimentación no se muestra en la figura.

En este caso, los valores de componentes y fuentes de alimentación y de referencia encontrados para el óptimo funcionamiento del TFF se muestran en la tabla 6.II.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Tabla 6.II
Valores de componentes y fuentes de alimentación y de referencia del TFF.

COMPONE	VALOR
Ri	50 Ω
Ref1..8	2 KΩ
Rcs1..3	36.66 Ω
Rc1..4	33.33 Ω
Ro1..2	100 Ω
Rii1..2	50 Ω
VEE	-7 V
VCS	-4 V
VREF2	-3.4 V

En la figura 6.4 se puede obsevar las formas de onda de salida a 10 y 25 Ghz. En ambos casos se obtienen formas de onda bastante limpias con excursiones lógicas que alcanzan valores superiores a 1 V, lo cual es indicativo de que se pueden obtener frecuencias superiores.

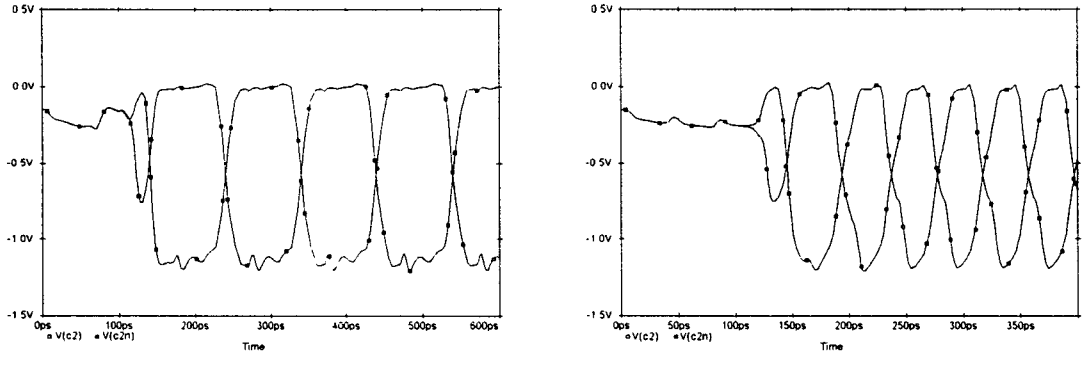


Fig 6.4 formas de onda de salida del TFF a 10 GHz caso (a) y 25 GHz caso (b).

6.3 SELECTOR o DEMULTIPLEXOR 2:1 (SEL21)

Los multiplexores para división en el tiempo son componentes muy utilizados en los transmisores. Este tipo de dispositivo se encarga de combinar varios canales de datos paralelos en una única secuencia de datos a la velocidad de las transmisiones ópticas. El circuito, que corresponde al de la figura 6.5, consta de tres bufers de entrada (uno para cada entrada y otro para la señal de selección), una etapa de selección, y un driver de salida. El fichero SPICE se muestra en el anexo VIII.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

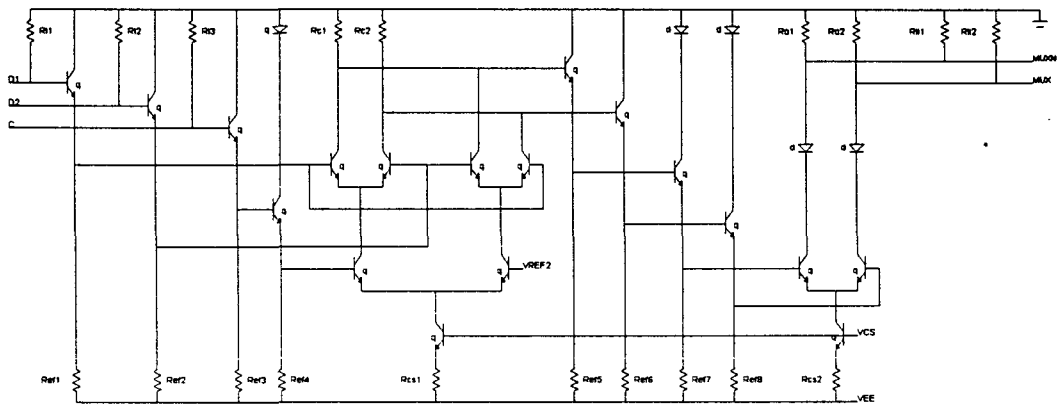


Fig 6.5 circuito de un multiplexor selector basado en la lógica ECL/CML de doble nivel implenmentado con HBTs.

Los valores de componentes y fuentes de alimentación y de referencia encontrados para el óptimo funcionamiento del multiplexor selector se muestran en la tabla 6.III.

Tabla 6.III

Valores de componentes y fuentes de alimentación y de referencia del multiplexor selector.

COMPONE	VALOR
Ri1..3	50 Ω
Ref1..8	2 KΩ
Rcs1..2	36.66 Ω
Rc1..2	33.33 Ω
Ro1..2	100 Ω
Rii1..2	50 Ω
VEE	-7 V
VCS	-4 V
VREF2	-3.4 V

Para el test de este circuito se ha aplicado a la entrada de selección una señal de reloj cuya frecuencia es equivalente a la tasa de bits de las entradas , es decir la mitad de la tasa de bits de la salida. Para que a la salida tengamos la frecuencia deseada, la entrada d2 se retrasa medio periodo de bit con respecto a la d1, como se muestra en la figura 6.1. Los resultados que presentamos en dicha figura son para una tasa de bits de salida de 28 Gb/s, aunque se pueden alcanzar velocidades algo superiores.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

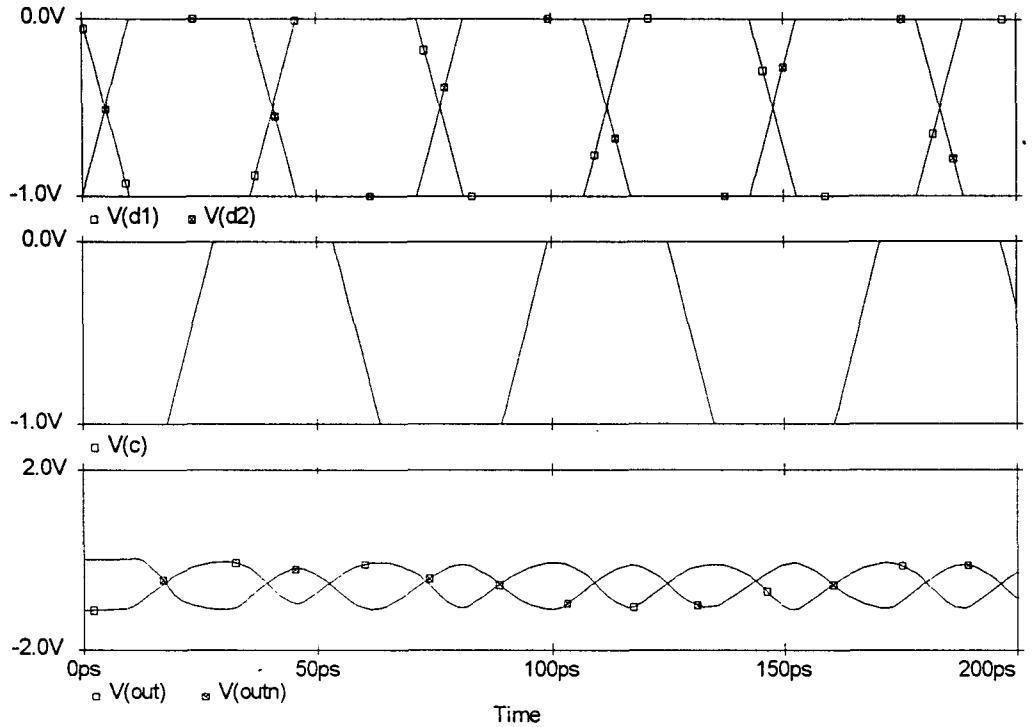


Fig 6.1 formas de onda de salida del multiplexor para una tasa de bits de entrada de 14 Gb/s y una tasa de bits de salida de 28 Gb/s.

Los circuitos que hemos visto evidencian la relativa sencillez con la que se pueden realizar circuitos para sistemas de transmisión óptica que operan a velocidades superiores a los 20 Gb/s con transistores HBT. Más aún cuando el transistor elegido no fue diseñado específicamente para tales aplicaciones. Otros ejemplos documentados son los siguientes:

- Circuito de decisión de 20 Gb/s <ICHIN93><RDSGN92>.
- Divisor de 36 GHz <JENSE91>.
- Multiplexor 4:1 de 27 Gb/s <RDSGN92>.

Los resultados que hemos obtenido ponen de manifiesto las perspectivas de futuro de la utilización de HBTs en la implementación de sistemas de transmisión óptica. En efecto, todos estos circuitos superan los 20 Gb/s lo cual implica que con la tecnología actual se pueden implementar redes digitales que operen en ese rango de velocidades. Lo que es más, se prevee que este límite pueda ser llevado incluso hasta los 40 Gb/s gracias a mejoras técnicas posibles en un futuro cercano <ICHIN93>. Para ello, los problemas que tendrían que ser solucionados son, entre otros, el encapsulado y el ensamblado de todos los elementos del circuito sin pérdida de las características

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

electricas de cada uno de ellos. Sin embargo podemos decir que es probable que estos problemas se solucionen antes de que podamos tener circuitos que operen a más de 40 Gb/s.

6.4 Red de Puertas Programable (Gate Array)

Para finalizar, presentaremos una red de puertas programable (gate array) implementada con HBT de AlGaAs/GaAs que es capaz de operar a más de 15 Ghz <WACNP91>. Se trata de una red de 500 puertas de tipo ECL/CML de doble nivel. En total contiene alrededor de 2700 HBTs en un area de chip de 4.0 mm X 2.6 mm. La potencia total que consume la red de puertas estriba entre 2 y 3 W, dependiendo del factor de utilización y de la potencia localizada por puerta. Las características de la red de puertas se resumen en la tabla 6.IV.

Las puertas CML de doble nivel diferencial proveen salidas complementarias, las cuales se llevan a las puertas siguientes. Esto hace que el margen de ruido aumente y mejore por tanto la tolerancia a las variaciones de las características de los dispositivos, los voltajes de alimentación y la temperatura que pueden existir entre diferentes obleas. La corriente por árbol se puede seleccionar entre 0.5, 1, 2, o 3mA, lo cual permite mayor flexibilidad a la hora de salvar el compromiso entre potencia y retardo de

Tabla 6.IV

Características de la red de 500 puertas programables.

CARACTERÍSTICAS DE LA RED DE PUERTAS
• Lógica CML/ECL de doble nivel con ruteado diferencial
• 144 células lógicas (con 12 HBTs cada una)
72 células de I/O
2648 HBTs en total
• Personalización
-Corriente seleccionable entre 0.5, 1, 2, y 3 mA
-4 mascaras (M1, M2, via, y resistencias)
-Grosor del cableado: 4.5 μm (M1), 6 μm (M2)
• Tamaño del chip: 4 mm X 2.5 mm
• Potencia: 2-3 W dependiendo de la personalización
• Velocidad
-Retardo de la puerta descargada: 26 ps a 2 mA
-Frecuencia toggle máxima: 15.6 GHz

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

propagación. Los drivers de salida pueden ser de dos tipos diferentes. Para velocidades de salida relativamente bajas, se usan seguidores de emisor para generar salidas compatibles ECL. Para velocidades de salida elevadas, se utilizan buffers de salida diferenciales de colector abierto. La tensión de alimentación es -5.2 V, compatible con los estandards disponibles. Los efectos de las inductancias parásitas producidas por las interconexiones sobre la fuente de alimentación y la tierra se minimizan mediante el uso de multiples pads de I/O y un anillo de tierra que rodea la red de puertas. En total la red de puertas contiene 72 pads de I/O.

Para la verificación de este tipo de redes de puertas se suelen utilizar divisores de frecuencia. En este caso se ha implementado un divisor de frecuencia por 8 el cual ha demostrado un funcionamiento correcto para frecuencias de entrada superiores a los 15.6 Ghz. Ésto nos permite decir que la frecuencia máxima que se puede conseguir es superior a los 15 GHz sin menoscabo de que para ciertas aplicaciones se puedan conseguir frecuencias incluso un poco superiores. Estas frecuencias de operación se encuentran entre las más altas (si no la más alta) que jamás se haya conseguido con una red de puertas programable.

La red de puertas de alta velocidad descrita está pensada para proveer una implementación rápida y eficiente de circuitos digitales para sistemas de comunicación y de instrumentación. Por ejemplo, multiplexores y demultiplexores, detectores de bit-error-rate, circuitos de codificación, módulos preescaladores fijos y variables, y otros pueden ser rápidamente implementados con esta red de puertas , con frecuencias de reloj superiores a los 10 GHz.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 7

Conclusiones

En el presente trabajo se han estudiado los transistores bipolares de heteroestructura así como las familias lógicas ECL y CML a que dan lugar. Comenzamos en el primer capítulo estudiando las heteroestructuras y los transistores bipolares de heteroestructura, centrándonos en aquellos compuestos por AlGaAs/GaAs ya que son los que presentan un proceso de fabricación más desarrollado en la actualidad. El estudio de este tipo de transistores se basó en señalar cuál es su estructura básica y cuales son las tecnologías de fabricación utilizadas en su desarrollo así como las ventajas que presentan este tipo de heterouniones.

En el segundo capítulo revisamos los modelos de SPICE para los transistores bipolares y comprobamos que eran también utilizables para los HBTs.

En los siguientes capítulos nos centramos en la utilización de los HBTs en circuitos digitales. En concreto, se estudió su utilización en las familias lógicas ECL y CML ya que son las que consiguen retardos de propagación menores con transistores bipolares. De esta forma, en el capítulo 3 evaluamos los inversores ECL y CML en régimen continuo buscando en primer lugar la excursión lógica adecuada y los valores de los componentes que daban un funcionamiento óptimo. También se estudió en este capítulo los márgenes de ruido y los límites de Fan-Out y Fan-In que se podían alcanzar. Encontramos que estos valores eran bastante elevados en comparación con otras familias lógicas basadas en otros dispositivos no bipolares y que esto se debe, principalmente, a que los transistores bipolares y más aún los HBTs poseen una capacidad de suministrar corriente superior al resto de dispositivos.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

En el capítulo 4 estudiamos su funcionamiento en régimen transitorio. Así, nuestro objetivo fue la obtención de los tiempos de propagación en función del Fan-Out y de la capacidad de carga aplicada a la puerta. También fue objeto de este capítulo el cálculo de la frecuencia máxima de operación y la evaluación de la potencia disipada. Los valores de retardo de propagación que obtuvimos en el capítulo 4 nos sirvieron como base para la elaboración, en el capítulo 5, de un modelo temporal numérico.

El modelo temporal calculado en el capítulo 5 es útil para evaluar rápidamente los retardos de propagación en circuitos digitales de gran envergadura. Como se menciona en el apartado 5.1.3, ésta no va a ser la única utilización posible de éste tipo de modelos. En efecto, más allá de la mera simulación de circuitos complejos, los modelos descritos pueden ser utilizados en programas de verificación temporal en donde se calculen las rutas críticas del circuito, es decir, aquellas en las que puedan surgir carreras u otro tipo de problemas relacionados con el comportamiento temporal del circuito. Así mismo, otro tipo de utilización es la de servir de instrumento a la hora de llevar a cabo análisis de viabilidad temporal, esto es, a la hora de verificar si la tecnología elegida para implementar un diseño va a cumplir los requerimientos temporales que se le exige al circuito integrado. Por estas razones, los modelos descritos en este trabajo pueden tener un amplio uso en herramientas de desarrollo de circuitos ASICS, las cuales ayudan al diseñador a elaborar circuitos complejos basados en células más sencillas.

Por otro lado, en el mismo capítulo se presentó otro modelo temporal, esta vez de forma analítica, el cual relaciona los retardos de propagación con los parámetros eléctricos del circuito. Dicho modelo, por tanto, presenta como finalidad principal el proporcionar un método efectivo para optimizar el proceso de fabricación y mejorar la velocidad del circuito.

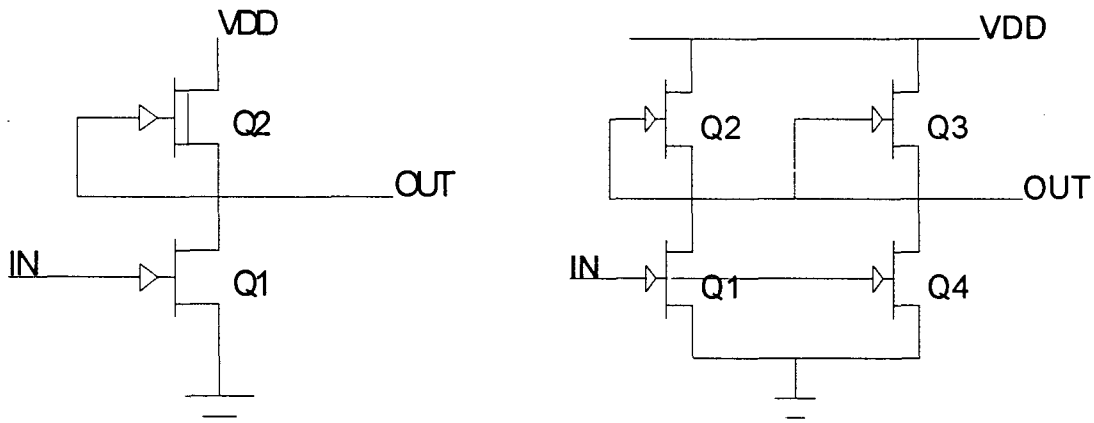
Por último, en el capítulo 6 se muestran varios ejemplos de circuitos digitales basados en lógicas de tipo ECL y CML con HBTs entre los que se encuentran puertas OR/NOR EXCLUSIVAS de 20 Gb/s, toggle flip-flops de 26 Ghz y selectores o demultiplexores 2:1 de 28 Gb/s, circuitos todos cuya principal aplicación se encuentra en sistemas de transmisión ópticos debido a su elevada velocidad de operación y a la fácil integración con dichos dispositivos. Se presentó también una red de puertas configurables (gate array) la cual es capaz de operar a frecuencias de

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

hasta 15.6 Ghz, lo cual la convierte en una de las redes de puerta más veloces que se encuentran.

7.1 Estudios comparativos relativos a la velocidad y el consumo

En este apartado compararemos los inversores ECL y CML estudiados con inversores CMOS, y MESFETs de dos tipos: H-GaAs II y H-GaAs III, centrándonos principalmente en su comportamiento temporal y en los requerimientos de potencia. Los inversores CMOS utilizados serán los de la librería ECPD10 de ES2 <ES2EC93> y los MESFETs han sido suministrados por <CMA95>. En la figura 7.1 tenemos las estructuras básicas de las lógicas utilizadas en este tipo de inversores. La primera (figura 7.1.a) se trata de la lógicas DCFL (Direct-Coupled Fet Logic). En este dibujo el símbolo del transistor de modo deplexión se diferencia de el de modo acumulación por una doble barra en el canal. Entre las ventajas más importantes se encuentran el pequeño retardo de propagación, y la reducida área que ocupan. Por contra, el margen de ruido que presentan es relativamente bajo, con lo que el Fan-Out es mucho menor que el de los circuitos ECL y CML. El margen de ruido y el retardo de propagación se puede mejorar significativamente utilizando un driver de salida cuasi-complementario (superbuffer) como se muestra en la figura 7.1.b. Este tipo de solución se denomina SDCFL (Superbuffer Direct-Coupled Fet Logic). Los



(a) (b)

Fig 7.1 (a) inversor DCFL (Direct-Coupled Fet Logic), (b) inversor SDCFL (Superbuffer Direct-Coupled Fet Logic).

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

transistores Q1 y Q2 son un inversor DCFL; Q3 se conecta como un seguidor de surtidor a la salida del inversor. Q4 es un pull-down, activo cuando la entrada es un nivel alto, pero cortado cuando la entrada es un nivel bajo. El inconveniente que tiene este tipo de puertas frente al anterior es que el área se duplica, lo cual produce además que el consumo aumente.

Los circuitos lógicos basados en las lógicas ECL y CML que hemos visto a lo largo de este trabajo, han demostrado un funcionamiento ultrarrápido. Los retardos de propagación medidos para FO=1 y CL=0 se muestran en la figura 7.2 comparándolos con los de otras tecnologías. Como se puede observar, los circuitos ECL son, en general, los que mejor comportamiento temporal tienen seguidos de los CML. Así, el inversor ECL91, con 16.9 pseg de retardo de propagación, es el que mejor ha respondido seguido de los circuitos ECL90, CML90 y CML91 con 17.6, 19.5 y 21.7 pseg respectivamente. Los inversores tipo ECL93 y CML93 con 54.4 y 52.1 pseg respectivamente, no respondieron de forma tan satisfactoria como los anteriores, siendo incluso un poco más lentos que inversores MESFETs de la familia H-GaAs III, los cuales presentan un t_p de 46.1 pseg. Sin embargo, tenemos que decir que los circuitos ECL93 y CML93 se basan en el transistor HMAY93, el cual fue diseñado para aplicaciones de microondas y no digitales. Aún así, todos los circuitos ECL y CML estudiados en este trabajo demostraron prestaciones superiores en cuanto a velocidad con respecto al resto de los circuitos mostrados en la figura 7.2 y de hecho nos consta que con este tipo de circuitos se pueden alcanzar velocidades muy superiores. Los inversores SDCFL y DCFL de GaAs y los CMOS con 95.9, 108.6 y 115 pseg son todos mucho más lentos que nuestros circuitos ECL y CML.

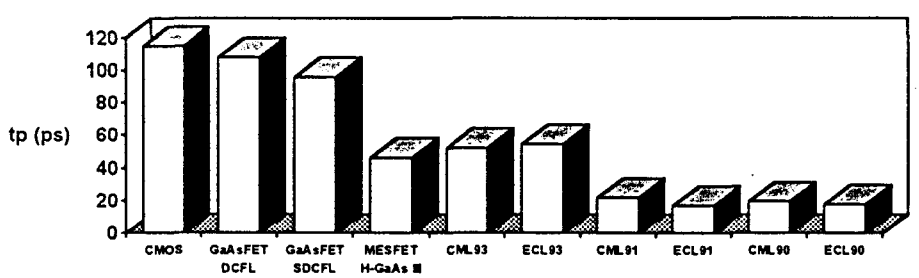


Fig 7.2 Retardo de propagación (en ps) para FO=1 y CL=0 de diferentes tecnologías.

Por contra, los circuitos CML y más aún los ECL poseen un consumo de potencia muy superior al del resto de los circuitos que comparamos. Según se puede ver en la figura 7.3, La potencia disipada por las puertas ECL y CML es en termino medio de 7 y 4.5 mW respectivamente, mientras que la disipada por las puertas basadas en otros dispositivos como los MESFETS no supera los 0.45 mW. Esto hace que sólo sean aplicables a circuitos de muy altas prestaciones en las que no importe demasiado la potencia que se consume o en aplicaciones muy específicas en las que por ejemplo se tengan que incluir en un mismo circuito integrado partes analógicas o

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

digitales de muy alta velocidad (ej, conversores A/D con velocidades de muestreo elevadas). Otras aplicaciones son aquellas en las que las puertas están fuertemente cargadas. Ejemplos de este tipo de aplicaciones son circuitos que están conectados a líneas de transmisión o circuitos con mucho Fan-Out, en donde la capacidad de dar corriente de los transistores HBTs sea aprovechada de forma efectiva.

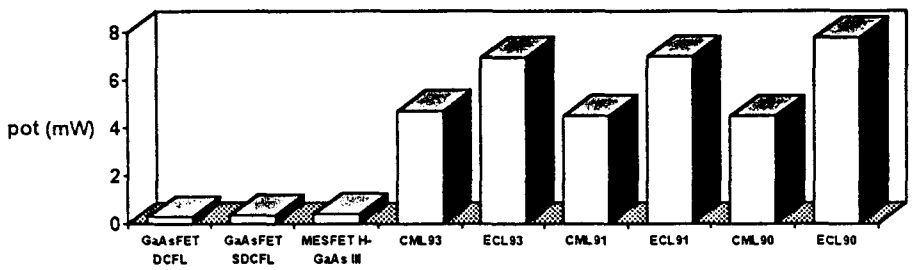


Fig 7.3 potencia consumida (en mW) por inversores basados en diferentes tecnologías.

Una figura de mérito muy utilizada en la evaluación de puertas y/o familias lógicas es el producto potencia-retardo, que en nuestro caso se presenta en la figura 7.4. En ella se observa cómo las prestaciones de las lógicas con MESFETs superan a las de los HBTs.

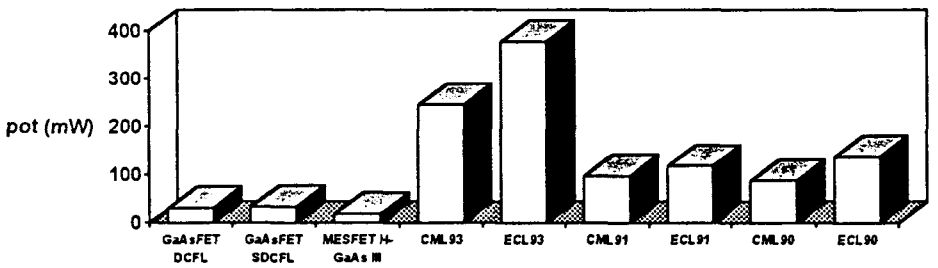


Fig 7.4 producto potencia-retardo (en mW·ps) de inversores basados en diferentes tecnologías.

Otra figura en la que incluimos el Fan-Out es la presentada en la figura 7.5 en donde se muestra el producto potencia-retardo dividido por el Fan-Out máximo admisible en la familia lógica. Aquí se justifica la elección de HBTs para implementar circuitos digitales que puedan requerir cargas grandes en sus nudos. Destaca las malas prestaciones del HMAY93 que se entienden a la vista de las razones mencionadas anteriormente.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

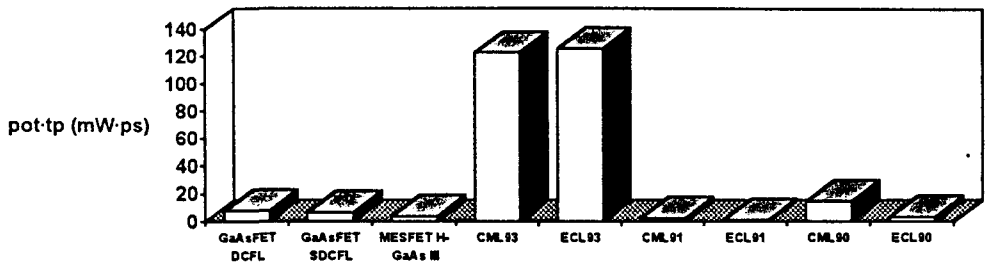


Fig 7.5 producto potencia-retardo (en mW·ps) dividido por el FO máximo admisible por la familia lógica.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

ANEXOS

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo I

Fichero SPICE para Optimización de la Puerta ECL

Listado del fichero de entrada al HSPICE para la optimización del circuito ECL para el transistor bipolar de heterounión HABR91.

```
**optimización del circuito ecl91**
.option post
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3
+   cjc=o.o26p cje=o.o13p tf=0.6p nf=1.3 ise=8,6e-27 ne=1.6
+   eg=1.52 isc=7.46e-26)

q1 2 1 3 habr91
q2 5 4 3 habr91
q3 0 2 7 habr91
rl1 0 2 rl
rl2 0 5 rl
ref 7 6 r

vref 4 0 vr
io 3 6 1.5m
vee 6 0 -3
vin 1 0 0

.param r=optrx(10k,0,50k)
.param rl=optrx(270,0,1000k)
.param vr=optrx(-1.5,-2,-1)

.meas dc vmin min v(7)
.meas dc vmax max v(7)
.meas dc Av param= '(vmax-vmin)' goal=0.4v
.meas dc vmed param= '(vmax+vmin)/2' goal=vr
.model opt1 opt
.dc vin -1.2 -2 0.1
.dc vin -1.2 -2 0.1 sweep optimize=optrx results=vmed,Av model=opt1
.dc vin -1.2 -2 0.1
.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo II

Fichero SPICE para Obtención del Margen de Ruido de la puerta ECL91

Listado del fichero de entrada al HSPICE para la obtención del margen de ruido del circuito ECL para el transistor bipolar de heterounión HABR91. Para el circuito CML nos sirve el mismo fichero sin más que cambiar el subcircuito ECL por el subcircuito CML, y los niveles de las tensiones de exitación.

```
**margen de ruido ECL91**
.option post
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3
+   cjc=o.o26p cje=o.o13p tf=0.6p nf=1.3 ise=8,6e-27 ne=1.6
+   eg=1.52 isc=7.46e-26)

* definición del inversor como subcircuito *
.subckt inv 1 7
q1 2 1 3 habr91
q2 5 4 3 habr91
q3 0 2 7 habr91
rl1 0 2 290
rl2 0 5 290
ref 7 6 9.159k

vref 4 0 -1.7007
io 3 6 1.5m
vee 6 0 -3
.ends

* cadena de inversores *
x1 100 110 inv
x2 110 120 inv
x3 120 130 inv
x4 130 140 inv
x5 140 150 inv
x6 150 160 inv
x7 160 170 inv
x8 170 180 inv

vin 100 0 pwl(0 -1.95 200p -1.45)
.dc vin -2.5 -0.5 .001
.print dc v(150) v(140) v(160)
.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo III

Fichero SPICE para el Análisis en AC y en DC de la Puerta ECL91

Listado del fichero de entrada al HSPICE para la obtención de los tiempos de propagación del circuito ECL para el transistor bipolar de heterounión HABR91. Para el circuito CML nos sirve el mismo fichero sin más que cambiar el subcircuito ECL por el subcircuito CML, y los niveles de las tensiones de exitación.

```
**Cadena de inversores ECL91**
.option post
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3
+   cjc=o.o26p cje=o.o13p tf=0.6p nf=1.3 ise=8,6e-27 ne=1.6
+   eg=1.52 isc=7.46e-26)

* definición del inversor como subcircuito *
.subckt inv 1 7
q1 2 1 3 habr91
q2 5 4 3 habr91
q3 0 2 7 habr91
rl1 0 2 290
rl2 0 5 290
ref 7 6 9.159k

vref 4 0 -1.7007
io 3 6 1.5m
vee 6 0 -3
.ends

* cadena de inversores *
x1 100 110 inv
x2 110 120 inv
x3 120 130 inv
x4 130 140 inv
x5 140 150 inv
x6 150 160 inv
x7 160 170 inv
x8 170 180 inv

* fan-out = 2 *
x41 160 161 inv

vin 100 0 pwl(0 -1.9007 1n -1.9007 1.1n -1.5007 4n -1.5007 4.1n -1.9007)
.tran 1p 10n
.dc vin -1.9007 -1.5007 0.01
```


© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
* medida de VOH VOL y VMED *
.meas dc vmax min v(160)
.meas dc vmin max v(160)
.meas dc vmed param='(vmax+vmin)/2'

* medida de TPLH TPHL Trise y Tfall *
.meas tran tplh trig v(150) val=vmed fall=1
+           targ v(160) val=vmed rise=1
.meas tran tphl trig v(150) val=vmed rise=1
+           targ v(160) val=vmed fall=1
.meas tran tp param='(tplh+tphl)/2'
.meas tran trise trig v(160) val='(vmax-vmin)*0.1+vmin' fall=1
+            targ v(160) val='(vmax-vmin)*0.9+vmin' fall=1
.meas tran tfall trig v(160) val='(vmax-vmin)*0.9+vmin' rise=1
+            targ v(160) val='(vmax-vmin)*0.1+vmin' rise=1
.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo IV

Fichero SPICE para Obtención de la Potencia Disipada en Régimen Estático de la puerta ECL91

Listado del fichero de entrada al HSPICE para la obtención de la potencia disipada en régimen estático del circuito ECL para el transistor bipolar de heterounión HABR91. El primer fichero calcula la potencia disipada para la salida a nivel alto y el segundo la potencia para la salida a nivel bajo. Para el circuito CML nos sirve el mismo fichero sin más que cambiar el subcircuito ECL por el subcircuito CML, y los niveles de las tensiones de exitación.

```
**potencia disipada de la puerta ECL91 para la salida a nivel alto**
.options post
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3
+    cjc=0.026p cje=0.013p tf=0.6p nf=1.3 ise=8.6e-27 ne=1.6
+    eg=1.52 isc=7.46e-26)

.subckt inv 1 7
q1 2 1 3 habr91
q2 5 4 3 habr91
q3 0 2 7 habr91
rl1 0 2 290.5226
rl2 0 5 290.5226
ref 7 6 1.5k

vref 4 0 -1.7007
io 3 6 1.5m
vee 6 0 -3
.ends

*entrada a nivel bajo*
vin 20 0 -1.96

*cadena de inversores*
x1 20 21 inv
x2 21 22 inv

.tran 5ps 4ns
.meas tran pot param='v(x1.6)*i(x1.vee)+v(x1.4)*i(x1.vref)'
.meas tran potrms rms pot
.end


**potencia disipada de la puerta ECL91 para la salida a nivel bajo**
.options post
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3
+    cjc=0.026p cje=0.013p tf=0.6p nf=1.3 ise=8.6e-27 ne=1.6
```


© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
+    eg=1.52 isc=7.46e-26)

.subckt inv 1 7
q1 2 1 3 habr91
q2 5 4 3 habr91
q3 0 2 7 habr91
rl1 0 2 290.5226
rl2 0 5 290.5226
ref 7 6 1.5k

vref 4 0 -1.7007
io 3 6 1.5m
vee 6 0 -3
.ends

*entrada a nivel alto*
vin 20 0 -1.56

*cadena de inversores*
x1 20 21 inv
x2 21 22 inv

.tran 5ps 4ns
.meas tran pot param='v(x1.6)*i(x1.vee)+v(x1.4)*i(x1.vref)'
.meas tran potrms rms pot
.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo V

Programa de MATLAB para Obtener el Modelo Temporal Numérico Completo

```
%Ajuste de la variación del tp con CL mediante una recta
clc
clear;
clg;
format long
tpecl=[1.73511e-11;2.11513e-11;2.48949e-11]; datos de tp en función de los valores de
CL
cl=[10e-15;60e-15;100e-15]; valores de CL
coecl=polyfit(cl,tpecl,1); ajuste de los datos mediante un polinomio de grado 1 (recta)
p=polyval(coecl,cl); evaluación del polinomio (p = coecl(1)*CL+coecl(2))
clc
subplot(211)
plot(cl,tpecl,cl,p); representación de la fig 5.1.a
subplot(212)
plot(cl,tpecl-p); representación de la fig 5.1.b
pause
maxerrorcl=max(abs(tpecl-p)); calculo del error máximo absoluto y presentación en
pantalla
clc
echo on
% El error máximo cometido en la aproximación para cl es:
echo off
maxerrorcl
pause

%Ajuste de la variación del tp con el FO (matriz Data) mediante un polinomio de grado 2
clc
clg
global Data
Data= ...
[1 1.68820e-11
20 1.39044e-10
40 2.48270e-10
60 3.41328e-10
80 4.22838e-10
100 4.95559e-10];

fo = Data(:,1);
tp = Data(:,2);

coe=polyfit(fo,tp,2); ajustamos los datos con polifit a un polinomio de grado 2
pp=polyval(coe,fo);
subplot(211)
plot(fo,tp,fo,pp) ;presentación en pantalla
subplot(212)
plot(fo,tp-pp); ;presentación en pantalla del error cometido
pause
```


© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
maxerrorfo = max(abs(tp-pp)); cálculo del error máximo absoluto y presentación en pantalla
echo on
% El error máximo cometido en la aproximaci¢n para fo es:
echo off
maxerrorfo
pause

%Presentación del modelo temporal completo
clc
echo on
% El modelo temporal queda: tp = A + B*cl + C*fo + D*fo.^2
% donde:
ABCD = [coecl(2) + coe(3);coecl(1);coe(2);coe(1)]
echo off
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo VI

Fichero SPICE de la Puerta OR/NOR EXCLUSIVA

```
optimizacion del circuito XOR/XNOR

*definición del transistor HABR91
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3 cjc=0.026p
+          cje=0.013p tf=0.6p nf=1.3 ise=8.6e-27 ne=1.6 eg=1.52
+          isc=7.46e-26)

*circuito de entrada
q1  0  i1  3  habr91
q2  0  i2  4  habr91
q3  0  0   5  habr91
q4  5  4   6  habr91
ri1 i1 0   50
ri2 i2 0   50
ref1 3 26 2k
ref2 4 26 2k
ref3 6 26 2k

*puerta logica interna
q5 8  3  7  habr91
q6 10 9  7  habr91
q7 7  6  12 habr91
q8 8  9  23 habr91
q9 10 3  23 habr91
q10 23 11 12 habr91
q11 12 13 24 habr91
q12 0  8  14 habr91
q13 0  10 15 habr91
rcs1 24 26 36.66
rl1 0  8  33.33
rl2 0  10 33.33
ref4 14 26 2k
ref5 15 26 2k

*circuito de la salida
q17 22   17    18 habr91
q21 ex   ex    22 habr91
q16 21   16    18 habr91
q20 exn  exn   21 habr91
q18 0    0     19 habr91
q14 19   14    16 habr91
ref6 16 26 2k
q19 0    0     20 habr91
q15 20   15    17 habr91
ref7 17 26 2k
q22 18   13    25 habr91
rcs2 25 26 36.66
ro1 exn 0 100
```


© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
ro2 ex  0 100

* resistencias externas
rii1 exn 0 50
rii2 ex  0 50

* fuentes de tension y entradas al circuito (f = 20 GHz)
vcs 13 0 -4
vee 26 0 -7
vref1 9  0  -2.4
vref2 11 0  -3.4

vi1 i1 0 pulse(0 -1   0       0 0  0.025n 0.05n)
vi2 i2 0 pulse(0 -1   0.0125n 0 0  0.025n 0.05n)
.tran 10p 0.3n
.probe

.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo VII

Fichero SPICE del TOGGLE FLIP-FLOP

```
optimizacion del circuito TFF

*definición de transistor HABR91
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3 cjc=0.026p
+          cje=0.013p tf=0.6p nf=1.3 ise=8.6e-27 ne=1.6 eg=1.52
+          isc=7.46e-26)

*circuito de entrada
ri c 0 50
q1 0 c 1 habr91
q2 0 0 2 habr91
q3 2 1 e habr91
ref1 1 20 2k
ref2 e 20 2k

*circuito lógico interno
q4 3 a ab habr91
q5 4 b ab habr91
q6 3 ch chd habr91
q7 4 d chd habr91
q8 ab e 7 habr91
q9 chd f 7 habr91
q10 7 16 17 habr91
q11 0 3 d habr91
q12 0 4 ch habr91
q13 5 ch dch habr91
q14 6 d dch habr91
q15 5 b ba habr91
q16 6 a ba habr91
q17 dch f 8 habr91
q18 ba e 8 habr91
q19 8 16 18 habr91
q20 0 5 a habr91
q21 0 6 b habr91
ref3 d 20 2k
ref4 ch 20 2k
ref5 a 20 2k
ref6 b 20 2k
rcs1 17 20 36.66
rcs2 18 20 36.66
rc1 3 0 33.33
rc2 4 0 33.33
rc3 5 0 33.33
rc4 6 0 33.33

*circuito de salida
q22 0 0 9 habr91
q23 9 a 11 habr91
q24 0 0 10 habr91
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
q25 10  b   12   habr91
q26 c2n c2n 13   habr91
q27 13  11  15   habr91
q28 c2  c2  14   habr91
q29 14  12  15   habr91
q30 15  16  19   habr91
ref7 11  20 2k
ref8 12  20 2k
rcs3 19  20 36.66
ro1 c2n 0 100
ro2 c2  0 100

*resistencias externas
rii1 c2n 0 50
rii2 c2  0 50

* fuentes de tension y entradas al circuito
vcs 16 0 -4
vee 20 0 -7
vref2 f 0  -3.4

vi1 c 0 pulse(0 -1 0 0 0 2n 4n)

.tran 10p 16n
.probe

.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Anexo VIII

Fichero SPICE del SELECTOR o DEMULTIPLEXOR 2:1

```
optimizacion del circuito MUX21

*definición del transistor HABR91
.model habr91 npn (is=1e-23 bf=170 re=1.9 rb=4.6 rc=5.3 cjc=0.026p
+          cje=0.013p tf=0.6p nf=1.3 ise=8.6e-27 ne=1.6 eg=1.52
+          isc=7.46e-26)

*circuito de entrada
q1  0  d1  2   habr91
q2  0  d2  4   habr91
q3  0  c   6   habr91
q4  0  0   7   habr91
q5  7  6   8   habr91
ri1 d1  0  50
ri2 d2  0  50
ri3 c   0  50
ref1 2  v  2k
ref2 4  v  2k
ref3 6  v  2k
ref4 8  v  2k

*circuito lógico interno
q6  9  2  11  habr91
q7  10 4  11  habr91
q8  9  4  12  habr91
q9  10 2  12  habr91
q10 11 8  13  habr91
q11 12 p  13  habr91
q12 13 24 14  habr91
q13 0  9  15  habr91
q14 0  10 16  habr91
ref5 15 v  2k
ref6 16 v  2k
rc1 9  0 33.33
rc2 10 0 33.33
rcs1 14 v 36.66

*circuito de salida
q15 0  0  17  habr91
q16 17 15 18  habr91
q17 0  0  19  habr91
q18 19 16 20  habr91
q19 out out 21  habr91
q20 21 18 23  habr91
q21 outn outn 22 habr91
q22 22 20 23  habr91
q23 23 24 25  habr91
ref7 18 v  2k
ref8 20 v  2k
```


© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

```
rcs2 25  v  36.66
ro1 out  0 100
ro2 outn 0 100

*resistencias externas
rii1 out  0 50
rii2 outn 0 50

* fuentes de tension y entradas al circuito
vcs 24 0 -4
vee v  0 -7
vref2 p  0 -3.4

vd1 d1 0 pulse(0 -1 0 0 0 25.7142p 71.4285p)
vd2 d2 0 pulse(-1 0 0 0 0 25.7142p 71.4285p)
vc  c  0 pulse(-1 0 17.8571p 0 0 25.7142p 71.4285p)

.tran 10p 0.2n
.probe

.end
```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

REFERENCIAS BIBLIOGRÁFICAS

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Referencias Bibliográficas

Antecedentes

<COURT94> B. Courtois: "Anual Report 1994," TIMA Laboratory, pp 59-60 Septiembre 1994

<ICHIN93> Haruhiko Ichino: "20-Gb/s Digital SSI's Using AlGaAs/GaAs Heterojunction Bipolar Transistors for Future Optical Transmission Systems," *IEEE Journal of Solid-State Circuits*, VOL.28, NO.2, pp. 115-122, Febrero 1993.

Capitulo 1

<AFKHM84> Arnold,D.J.,Fischer,R.,Kopp,W.F.,Henderson,T.S.,y H. Morkoc: "Microwave Characterization of (AL,Ga)As/GaAs Modulation-Doped FETs: Bias Dependence of Small-Signal Parameters," *IEEE Trans. Elect. Dev.*, vol. ED-31, pp. 1399-1402, Octubre 1984.

<SMSZE81> S.M.Sze, "Physics of Semiconductor Devices (2nd. Edition)", John Wiley & Sons. 1981.

<ISHYA87> Ishibashi, T., y Yamauchi: "A novel ALGaAs/GaAs HBT Structure for Near-Ballistic Collection," Paper IVA-6, Device Research Conf., Santa Barbara, Calif., Junio 1987. Ver estracto en *IEEE Trans. Elect. Dev.*, VOL. ED-34, p. 2371, Noviembre 1987.

<LONBU90> Stephen L. Long, Steven E. Butner, "Galium Arsenide Digital Circuit Design", McGraw-Hill. 1990.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

<SMSZE90> S.M.Sze, "High-Speed Semiconductor Devices", John Wiley & Sons. 1990.

Capitulo 2

<TUINE88> Tuinenga, P. W.: "SPICE. A Guide to Circuit Simulation and Analisis Using PSPICE",Prentice-Hall, 1988.

<HACRG90> Madjid E. Hafizi, Clarence R. Crowell, Matthew E. Grupen: "The DC Characteristics of GaAs/AlGaAs Heterojunction Bipolar Transistors with Application to Device Modeling," *IEEE Trans. Elect. Dev.*, VOL.37, NO. 10 , pp. 2121-2129, Octubre 1990.

<HADMX91> W. Andre Hagley, Derek Day, Duljit S. Malhi, y J. M. Xu: "High-Speed Noise-Immune AlGaAs/GaAs HBT Logic for Static Memory Application," *IEEE Trans. Elect. Dev.*, VOL.38, NO. 4 , pp. 932-934, Abril 1991.

<TEEMH93> Douglas A. Teeter, Jack R. East, Richard K. Mains, George I. Haddad: " Large-Signal Numerical and Analytical HBT Models," *IEEE Trans. Elect. Dev.*, VOL.40, NO. 5 , pp. 837-845, Mayo 1993.

Capitulo 3

<HODJA83> Hodges,D. A., y Jackson, H.: "Analysis and Design of Digital Integrated Circuits," pp 23-24, McGraw-Hill, New York, 1983.

<FANGW90> Wen Fang: "Accurate Analytical Delay Expressions for ECL and CML Circuits and Their Applications to Optimizing High-Speed Bipolar Circuits," *IEEE Journal of Solid-State Circuits*, VOL.25, NO.2, pp 572-583 Abril 1990.

<HSPIC90> "HSPICE User's Manual H9001", Meta-Software, Inc., Capítulo 10, Copyright 1990.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

<ARMAS93> de Armas Sosa,V.:Comunicación interna. 1993.

Capitulo 5

<CHBRA88> Eng-Fong Chor, Arthur Brunnschweiler, Peter Ashburn: "A Propagatio-Delay Expresion and its Application to the Optimization of Polysilicon Emitter ECL Processes," *IEEE Journal of Solid-State Circuits*, VOL.23, NO.1, pp 251-259 Abril 1988.

<ASHRE88> P. Ashburn y A. A. Rezazadeh: "Comparison of Silicon Bipolar and GaAlAs/GaAs Heterojunction Bipolar Tecnologies Using a Propagation Delay Expression," *GEC Journal of Research*, VOL.6, NO.3, pp 176-182, 1988.

Capitulo 6

<RDSGN92> Klaus Runge, Detlef Daniel, R.D. Standley, James L. Gimlett, Randall B. Nubling, Richard L. Pierson, Steve M. Beccue, Heh-Chung Wang, Neng-Haung Sheng, Mau-Chung F. Chang, Dong Ming Cheng, y Peter M. Asbeck: "AlGaAs/GaAs HBT IC's for High-Speed Lightwave Transmission Systems," *IEEE Journal of Solid-State Circuits*, VOL.27, NO.10, pp 1332-1339 Octubre 1992.

<JENSE91> J.F Jensen et al., "36 GHz static digital Frecuency divider in AlInAs/GaInAs HBT tecnology," en *Proc. Device Res. Conf.*, 1991, VIA-5.

<WACNP91> Keh-Chung Wang, Peter M. Asbeck, Mau-Chung F. Chang, Randy B. Nubling, Richard L. Pierson, Neng-Haung Sheng, Gerard J. Sullivan, Jimmy Yu, Andy Chen, Don Clement, Tom C. Tsen, Haris F. Basit, Joseoh D. George, y Rock Young: "A 15-GHz Gate Array Implemented with AlGaAs/GaAs Heterojunction Bipolar Transistors," *IEEE Journal of Solid-State Circuits*, VOL.26, NO.11, pp 1669-1672 Noviembre 1991.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Capítulo 7

<ES2EC93> ES2: "ES2 ECPD10 LIBRARY DATA BOOK," Número de versión E01A11 Marzo 1993.

<CMA95> Centro de Microelectrónica Aplicada (CMA). Universidad de las Palmas de Gran Canaria. ETSI telecomunicación: Comunicación interna. 1995.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006