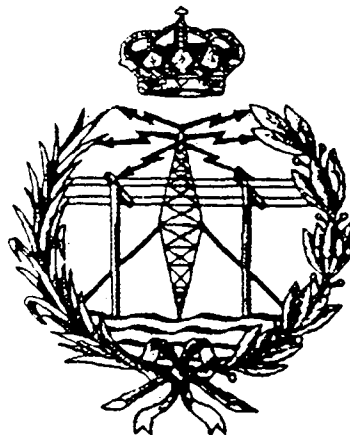


UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE INGENIERIA TECNICA
DE TELECOMUNICACION DE LAS PALMAS



PROYECTO FIN DE CARRERA

TITULO :

DISEÑO DE LA UNIDAD DE EJECUCION DE UNA VERSION DEL
8085A, CPA, CON CELULAS ESTANDAR DE PHILIPS, EN TECNOLOGIA
CMOS DE 1.5 MICRAS.

ESPECIALIDAD : EQUIPOS ELECTRONICOS

AUTOR : D. EULOGIO PEÑA VAZQUEZ

TUTOR : D. Fco. J. LOPEZ CURBELO

CO-TUTOR : Dr. D. ANTONIO NUÑEZ ORDOÑEZ

LAS PALMAS DE GRAN CANARIA , A 20 DE JULIO DE 1989

FIRMA TUTOR :

FIRMA CO-TUTOR :

FIRMA AUTOR :

INDICE

INDICE

CAPITULO 1	1
1 INTRODUCCION	2
1.1 BREVE INTRODUCCION HISTORICA	2
1.2 CUSTOMS	3
1.2.1 DISEÑO FULL CUSTOM	3
1.2.2 TECNICAS SEMICUSTOM	5
CAPITULO 2	9
2 OBJETIVO DEL PROYECTO	10
CAPITULO 3	12
3 TECNOLOGIA CMOS	13
3.1 INTRODUCCION	13
3.1.1 CELULAS BASICAS	13
3.2 AREA	17
3.3 POTENCIA	17
3.3.1 POTENCIA ESTATICA	18
3.3.2 DISIPACION DE POTENCIA DINAMICA	19
3.3.3 POTENCIA TOTAL	20
3.4 RETARDOS	21
3.5 CELULAS DE ENTRADA-SALIDA	25
3.6 REGLAS DE DISEÑO	26
3.7 ASIGNACION DE PINES DE ALIMENTACION Y TIERRA	28
CAPITULO 4	30
4 HERRAMIENTAS DE DISEÑO	31
4.1 CAPTURADOR DE ESQUEMAS ORCAD/SDT III	31
4.1.1 COMANDOS DEL ORCAD	31
4.1.1.1 BLOCK	31
4.1.1.2 DELETE	32
4.1.1.3 EDIT	32

4.1.1.4	FIND	32
4.1.1.5	GET	32
4.1.1.6	HARDCOPY	32
4.1.1.7	JUMP	33
4.1.1.8	LIBRARY	33
4.1.1.9	MACRO	33
4.1.1.10	PLACE	34
4.1.1.11	REPEAT	34
4.1.1.12	QUIT	35
4.1.1.13	SET	35
4.1.1.14	TAG	35
4.1.1.15	ZOOM	35
4.1.2	UTILIDADES DEL ORCAD/SDT III	36
4.1.2.1	ANNOTATE	36
4.1.2.2	BACKANNO	37
4.1.2.3	CLEANUP	37
4.1.2.4	ERCHEK (ERC)	38
4.1.2.5	NETLIST	39
4.1.2.6	PARTLIST	40
4.1.2.7	PLOTALL	40
4.1.2.8	PRINTALL	41
4.1.2.9	TREELIST	41
4.1.2.10	CROSSREF	42
4.1.2.11	LIBARCH	42
4.1.2.12	LIBLIST	42
4.2	SIMULADOR LESIM2	43
4.2.1	CONLIST	44
4.2.2	NETSIMON	45
4.2.3	SIMNET	46
4.2.4	BINANALY	46
4.2.5	SIMSCL	46
4.2.6	SIMPRT	47
4.2.7	PLOT	48
4.3	JERARQUIA DE DISEÑOS	48
4.3.1	JERARQUIA DE SHEET	49
4.3.2	JERARQUIA DE MACRO	50

CAPITULO 5	55
5 DISEÑO DEL CIRCUITO	56
5.1 INTRODUCCION	56
5.2 PROCESO GENERAL DE DISEÑO	56
5.3 ESPECIFICACIONES DE DISEÑO	60
5.3.1 DESCRIPCION GENERAL DE LA UNIDAD DE EJECUCION	61
5.3.1.1 DESCRIPCION DE LA UNIDAD FUNDAMENTAL DE PROCESO	64
5.3.2 ESPECIFICACION DEL CIRCUITO GLOBAL	66
5.4 ESTUDIO DE VIABILIDAD	67
5.4.1 ESTUDIO DE AREA	67
5.4.1.1 PRIMERA ESTIMACION DE AREA	69
5.4.1.2 SEGUNDA ESTIMACION DE AREA	69
5.4.1.3 ESTIMACION FINAL DE AREA	70
5.4.2 FRECUENCIA DE RELOJ	70
5.4.2.1 CALCULOS	71
5.4.2.1.1 CAMINO CRITICO	71
5.4.2.1.2 TIEMPO DE ESCRITURA EN LA RAM EN OPERACIONES DE 16 BITS	74
5.4.2.1.3 RETARDO DE LAS OPERACIONES DE 16 BITS	76
5.4.2.1.4 RETARDO DE SALIDA DE DATOS DE 16 BITS	79
5.4.2.1.5 RETARDO DE SALIDA DE DATOS DE 8 BITS	81
5.4.3 ESTUDIO DE POTENCIA	84
5.4.3.1 PRIMER ESTUDIO VIABLE DE POTENCIA	84
5.4.3.1.1 CALCULO DE LA POTENCIA ESTATICA	85
5.4.3.1.2 CALCULO DE LA POTENCIA DINAMICA	86
5.4.3.1.2.1 POTENCIA QUE SE DISIPA EN EL NUCLEO	86
5.4.3.1.2.2 POTENCIA DE ENTRADA-SALIDA	90
5.4.3.1.3 POTENCIA TOTAL	91
5.4.3.2 SEGUNDO ESTUDIO VIABLE DE POTENCIA	91
5.4.3.2.1 POTENCIA ESTATICA	91
5.4.3.2.2 POTENCIA DINAMICA	92
5.4.3.2.2.1 POTENCIA QUE SE DISIPA EN EL NUCLEO	92
5.4.3.2.2.2 POTENCIA DE ENTRADA-SALIDA	93
5.4.3.2.3 POTENCIA TOTAL	93
5.4.3.3 ESTUDIO FINAL DE POTENCIA	94

5.4.3.3.1 POTENCIA ESTATICA	94
5.4.3.3.2 POTENCIA DINAMICA	94
5.4.3.3.2.1 POTENCIA QUE DISIPA EN EL NUCLEO	94
5.4.3.3.2.2 POTENCIA DE ENTRADA-SALIDA	96
5.4.3.3.3 POTENCIA TOTAL	96
5.4.3.4 CONCLUSION	96
5.4.3 ASIGNACION DE PINES DE ALIMENTACION Y TIERRA	97
5.4.4 NUMERO DE PINES	98
5.4.5 RANGOS DE VOLTAJE Y TEMPERATURA	98
5.5 SELECCION DE CELULAS E IMPLEMENTACION LOGICA	99
5.5.1 EXPLICACION DE LOS BLOQUES CAPTURADOS	99
5.5.1.1 DISEÑO DE LAS UNIDADES DE PROCESO	100
5.5.1.1.1 DISEÑO DE LAS ALUS	101
5.5.1.1.1.1 DISEÑO DE LA A1	103
5.5.1.1.1.2 DISEÑO DE LA A2	103
5.5.1.1.1.3 DISEÑO DE LA A3	103
5.5.1.1.2 DISEÑO DE LAS RAM	103
5.5.1.1.2.1 DISEÑO DEL CIRCUITO REG	104
5.5.1.1.2.2 DISEÑO DEL CIRCUITO DEC	104
5.5.1.1.3 DISEÑO DE LOS DECODIFICADORES	106
5.5.1.1.3.1 DECODIFICADOR DE LA ALU	106
5.5.1.1.3.2 DISEÑO DEL DECODIFICADOR DE SELECCION DE OPERANDO FUENTE	107
5.5.1.1.3.3 DISEÑO DEL DECODIFICADOR DE DESTINO DE LA ALU	108
5.5.1.1.4 DISEÑO DE LOS MULTIPLEXORES	109
5.5.1.1.4.1 DISEÑO DEL MULTIPLEXOR MUX1	109
5.5.1.1.4.2 DISEÑO DEL MULTIPLEXOR MUX2	109
5.5.1.1.4.3 DISEÑO DEL MULTIPLEXOR MUX3	110
5.5.1.1.5 DISEÑO DEL COMPARADOR DE MAGNITUD A85	110
5.5.1.1.6 DISEÑO DEL GENERADOR DE PARIDAD A80	111
5.5.1.1.7 DISEÑO DEL REGISTRO A74	111
5.5.1.1.8 DISEÑO DEL MULTIPLEXOR A57	112
5.5.1.1.9 DISEÑO DEL MULTIPLEXOR A53	112
5.5.1.1.10 DISEÑO DEL MULTIPLEXOR A51	113
5.5.1.1.11 DISEÑO DE LOS REGISTROS A20 Y B20	113
5.5.1.1.12 DISEÑO DE LOS REGISTROS A18 Y B18	114

5.5.1.1.13 DISEÑO DE LOS MULTIPLEXORES B57,C57 Y D57	114
5.5.1.1.14 DISEÑO DEL MULTIPLEXOR B53	115
5.5.1.1.15 DISEÑO DEL GENERADOR DE ACARREO RAPIDO	115
5.6 SIMULACION	117
5.6.1 SIMULACION DE LA ALU A1	118
5.6.1.1 FICHERO ESTIMULO DE A1	118
5.6.1.2 SIMULACION ALFANUMERICA DE A1	120
5.6.1.3 SIMULACION GRAFICA DE A1	121
5.6.2 SIMULACION DE LA ALU A2	122
5.6.2.1 FICHERO ESTIMULO DE A2	122
5.6.2.2 SIMULACION ALFANUMERICA DE A2	124
5.6.2.3 SIMULACION GRAFICA DE A2	125
5.6.3 SIMULACION DE LA ALU A3	126
5.6.3.1 FICHERO ESTIMULO DE A3	126
5.6.3.2 SIMULACION ALFANUMERICA DE A3	128
5.6.3.3 SIMULACION GRAFICA DE A3	129
5.6.4 SIMULACION DE LA RAM B1	130
5.6.4.1 FICHERO ESTIMULO DE B1	131
5.6.4.2 SIMULACION ALFANUMERICA DE B1	132
5.6.4.3 SIMULACION GRAFICA DE B1	139
5.6.5 SIMULACION DE LA UNIDAD DE PROCESO A01	140
5.6.5.1 FICHERO ESTIMULO DE A01	141
5.6.5.2 SIMULACION ALFANUMERICA DE A01	144
5.6.5.3 SIMULACION GRAFICA DE A01	149
5.6.6 SIMULACION DE LA UNIDAD DE PROCESO B01	150
5.6.6.1 FICHERO ESTIMULO DE B01	150
5.6.6.2 SIMULACION ALFANUMERICA DE B01	154
5.6.6.3 SIMULACION GRAFICA DE B01	160
5.6.7 SIMULACION DE LA UNIDAD DE PROCESO C01	161
5.6.7.1 FICHERO ESTIMULO DE C01	161
5.6.7.2 SIMULACION ALFANUMERICA DE C01	165
5.6.7.3 SIMULACION GRAFICA DE C01	170
5.6.8 SIMULACION DEL COMPARADOR DE MAGNITUD A85	171
5.6.8.1 FICHERO ESTIMULO DE A85	171

5.6.8.2	SIMULACION ALFANUMERICA DE A85	172
5.6.8.3	SIMULACION GRAFICA DE A85	173
5.6.9	SIMULACION DEL GENERADOR DE PARIDAD A80	174
5.6.9.1	FICHERO ESTIMULO DE A80	174
5.6.9.2	SIMULACION ALFANUMERICA DE A80	175
5.6.9.3	SIMULACION GRAFICA DE A80	176
5.6.10	SIMULACION DEL REGISTRO A74	177
5.6.10.1	FICHERO ESTIMULO DE A74	177
5.6.10.2	SIMULACION ALFANUMERICA DE A74	178
5.6.10.3	SIMULACION GRAFICA DE A74	179
5.6.11	SIMULACION DEL MULTIPLEXOR A57	180
5.6.11.1	FICHERO ESTIMULO DE A57	180
5.6.11.2	SIMULACION ALFANUMERICA DE A57	181
5.6.11.3	SIMULACION GRAFICA DE A57	182
5.6.12	SIMULACION DEL MULTIPLEXOR A53	183
5.6.12.1	FICHERO ESTIMULO DE A53	183
5.6.12.2	SIMULACION ALFANUMERICA DE A53	184
5.6.12.3	SIMULACION GRAFICA DE A53	185
5.6.13	SIMULACION DEL MULTIPLEXOR A51	186
5.6.13.1	FICHERO ESTIMULO DE A51	186
5.6.13.2	SIMULACION ALFANUMERICA DE A51	187
5.6.13.3	SIMULACION GRAFICA DE A51	188
5.6.14	SIMULACION DEL REGISTRO A20	189
5.6.14.1	FICHERO ESTIMULO DE A20	189
5.6.14.2	SIMULACION ALFANUMERICA DE A20	190
5.6.14.3	SIMULACION GRAFICA DE A20	191
5.6.15	SIMULACION DEL REGISTRO A18	192
5.6.15.1	FICHERO ESTIMULO DE A18	192
5.6.15.2	SIMULACION ALFANUMERICA DE A1	193
5.6.15.3	SIMULACION GRAFICA DE A18	194
5.6.16	SIMULACION DEL MULTIPLEXOR B53	195
5.6.16.1	FICHERO ESTIMULO DE B53	195
5.6.16.2	SIMULACION ALFANUMERICA DE B53	196
5.6.16.3	SIMULACION GRAFICA DE B53	197
5.6.17	SIMULACION DEL REGISTRO B20	198
5.6.17.1	FICHERO ESTIMULO DE B20	198
5.6.17.2	SIMULACION ALFANUMERICA DE B20	199

5.6.17.3 SIMULACION GRAFICA DE B20	200
5.6.18 SIMULACION DEL REGISTRO B18	201
5.6.18.1 FICHERO ESTIMULO DE B18	201
5.6.18.2 SIMULACION ALFANUMERICA DE B18	202
5.6.18.3 SIMULACION GRAFICA DE B18	203
5.6.19 SIMULACION DEL GENERADOR DE ACARREO RAPIDO B02	204
5.6.19.1 FICHERO ESTIMULO DE B02	204
5.6.19.2 SIMULACION ALFANUMERICA DE B02	205
5.6.19.3 SIMULACION DE LA UNIDAD DE EJECUCION UE	206
5.6.20 SIMULACION DE LA UNIDAD DE EJECUCION UE	207
5.6.20.1 FICHERO ESTIMULO DE UE	209
CAPITULO 6	211
6 ESPECIFICACIONES DE FABRICA	212
CAPITULO 7	223
7 PRESUPUESTO	224
7.1 PRESUPUESTO DE DESARROLLO	224
7.2 PRESUPUESTO DE PROTOTIPADO	224
7.3 PRESUPUESTO DE PRODUCCION	224
INDICE DE APENDICES :	
APENDICE A	225
NOMENCLATURA SYSTEMCELL	226
APENDICE B	237
LISTA DE CELULAS	238
APENDICE C	246
LIBRERIA DE CELULAS	247
APENDICE D	328
TABLAS DE PUERTAS, AREA, CPD	329

APENDICE E	338
ESPECIFICACIONES SYSTEMCELL 1.5 MICRAS	339
APENDICE F	348
PAQUETES	349
APENDICE G	352
EDICION DE MACROS	353
APENDICE H	362
LISTA DE PARTES	363
BIBLIOGRAFIA	376
PLANOS	
INDICE DE PLANOS	
1) EC 8085.DRT	
2) UCE.DRT	
3) UEF.DRT	
4) AO1.DRT	
5) BO1.DRT	
6) CO1.DRT	
7) A1.DRT	
8) A2.DRT	
9) A3.DRT	
10) DEC.DRT	
11) REG.DRT	
12) MUX1.DRT	
13) MUX2.DRT	
14) MUX3.DRT	
15) A85.DRT	

- 16) A80.DRT
- 17) A74.DRT
- 18) A57.DRT
- 19) A53.DRT
- 20) A51.DRT
- 21) A20.DRT
- 22) A18.DRT
- 23) B57.DRT
- 24) B53.DRT
- 25) B20.DRT
- 26) B18.DRT
- 27) C57.DRT
- 28) D57.DRT
- 29) B02.DRT

CAPITULO 1

1 INTRODUCCION

1.1 BREVE INTRODUCCION HISTORICA

En la fabricación de microprocesadores en un único chip, se utilizan varias tecnologías MOS. Los primeros chips se fabricaban en tecnología PMOS, los segundos en tecnología NMOS, y cuando se requieren aplicaciones de bajo consumo se utiliza la tecnología CMOS.

El microprocesador 4004 de INTEL, fué introducido en 1971, y fué el primer microprocesador disponible comercialmente. Utiliza tecnología PMOS, dispone de 45 instrucciones en su conjunto, y mide 117 x 159 milésimas de pulgada.

En 1971, INTEL introdujo también el primer microprocesador de 8 bits, el 8008. El 8008 utiliza tecnología PMOS, con un chip CI más grande, de 125 x 170 milésimas de pulgada.

En 1973, INTEL saca el 8080, que incluía 72 instrucciones. Su tecnología era NMOS, más rápida.

En 1976, la casa ZILOG introduce el Z80, un microprocesador NMOS que utiliza una sola tensión de alimentación, y realiza 158 instrucciones.

En 1977, la casa INTEL saca el 8085A, de 5 voltios de tensión única de alimentación, y tiene 74 instrucciones. Este microprocesador de 8 bits es adecuado para un alto rango de aplicaciones. En un único chip, en tecnología NMOS, implementado con 6200 transistores aproximadamente, en un tamaño de 164 x 222 milésimas de pulgada, contenido en una cápsula de 40 patas dual-in-line.

1.2 CUSTOMS

El diseño de un circuito microelectrónico conforme a los requerimientos particulares del cliente, contrasta con el volumen de producción de artículos estándar. Los diseños CUSTOMS se dividen en dos categorías, FULL CUSTOM, y SEMICUSTOM.

1.2.1. DISEÑO FULL CUSTOM

Se podría definir como el diseño CUSTOM de un requerimiento particular del cliente, usando la habilidad manual o diseño CAD a nivel de dispositivo, para lograr la menor área de silicio posible, y la mayor eficiencia del diseño.

Como veremos después, el diseño SEMICUSTOM no ofrece generalmente el uso eficiente de silicio para un requerimiento dado, o el más alto rendimiento en velocidad, y por ésta razón el fabricante puede desear las posibilidades del diseño en FULL CUSTOM, particularmente para diseños militares, espaciales, etc..., donde el coste no es un parámetro esencial.

El diseño FULL CUSTOM implica el diseño del circuito y layout por personas expertas en el diseño detallado de estructuras de puertas y topología de interconexión a nivel de silicio. Entre los factores que se requieren tenemos :

1. Incorporación de circuitería que es funcionalmente necesaria, sin puertas inusuales o innecesarias, ni buffers de interconexión entrada-salida.
2. El uso posible de diferentes tamaños geométricos de dispositivos en partes diferentes del circuito, con el fin de maximizar el rendimiento o funcionamiento, y/o minimizar el área de silicio.
3. La interacción CAD/diseñador de "placement" y "routing" de el chip, con el fin de disminuir el área de silicio y cualquier longitud crítica de interconexión sobre el chip.
4. La posible introducción de nuevas estructuras de puertas para proveer específicos requerimientos de combinaciones lógicas.

Es aparente que este procedimiento está al alcance de las compañías de microelectrónica, y es idéntico al procedimiento de sus volúmenes de productos estándar. Sin embargo, esto está fuera de las posibilidades de un equipo de fabricantes sin una experiencia actualizada en el diseño microelectrónico.

Existe una similitud en la fabricación artesanal de un requerimiento particular del cliente, ya sea de un coche, un mueble o un circuito integrado. El coste será alto, pero se conseguirán satisfactoriamente los requerimientos del cliente.

En lo que se refiere al coste, es evidente que en el coste de un circuito FULL CUSTOM, dependerá bastante la duración del diseño y también de la mano de obra que conlleva ; el coste de fabricación total no será excesivo en general,

sobre líneas de producción estándar. De esta forma es el coste de silicio el problema insuperable, para FULL CUSTOM, en comparación con las rutas de diseños SEMICUSTOM. El conflicto entre, alto coste de diseño, mayor rendimiento eficiente del circuito final, y de bajo coste en diseño SEMICUSTOM, menor rendimiento eficiente en el circuito final, siempre estará presente.

El coste de diseños FULL CUSTOM para requerimientos específicos sólo puede ser considerado cuando se aplican ciertas consideraciones primordiales, tales como requerimientos militares.

1.2.2 TECNICAS SEMICUSTOM

Las rutas principales de diseño SEMICUSTOM se llaman vía de librería de células, y la vía de MASTERSLICE o MASTERCHIP. La diferencia principal entre esas dos alternativas, es que un enmascaramiento completo colocado tiene que ser generado en la producción de circuitos diseñados con librerías de células, pero sólo las máscaras de interconexión final tienen que ser generadas por circuitos MASTERSLICE.

Considerando la vía de la librería de células, un requisito previo es que esté ya disponible una serie de diseños de circuitos estándar probados, como puertas, latches, y otras entidades funcionales de las que los requerimientos específicos CUSTOM puedan ser ensamblados. Puede apreciarse que esos diseños disponibles, las células o macros

corresponden a OFF-THE-SHELF de la pequeña escala de integración (SSI) o media escala de integración (MSI) de paquetes que el cliente puede usar, diseñando sus requerimientos como un circuito impreso; aquí, sin embargo, no se usan circuitos separados físicamente, pero que se conectan a células apropiadas para formar un circuito integrado completo.

El número de diseños de células en la librería del diseñador, puede variar de unas pocas macros básicas, hasta un número largo, dependiendo de sus recursos.

Cada nuevo diseño del cliente puede justificarse añadiendo mejores macros a la librería existente, y por lo tanto un cuerpo de MACRO disponible es acumulado. Nótese que cada macro debe ser enteramente diseñada a través de los niveles de máscara necesarios para su fabricación final, y su rendimiento debe ser completamente documentado, tal que en conjunto el rendimiento del sistema debe ser chequeado tanto como sea posible.

Por lo tanto el procedimiento de diseño SEMICUSTOM de la librería de células es como sigue :

1. La separación de los requerimientos del cliente en MACROS funcionales se traduce en la disposición de diseños en la librería de células.
2. El layout de las células requeridas y de las interconexiones del diseño, incluyen conexiones finales de entrada-salida ("placement" y "routing").

3. Simulación del conjunto del funcionamiento del circuito completo, con el fin de chequear los errores lógicos, etc...

4. Obtener la seguridad de que el diseño encuentra los requerimientos del cliente.

5. Generar la completa y requerida colocación de máscaras para fabricar el ensamblaje único de MACROS, más sus interconexiones, y fabricarlos en la forma convencional.

El ahorro económico en la librería de células SEMICUSTOM, comparada con la FULL CUSTOM, está en la eliminación del coste de mano de obra que envuelve el diseño detallado de silicio a nivel de transistor, cuando cada transistor y cada parte del circuito está hecho manualmente y de forma individual, para conseguir la máxima eficiencia del circuito y la mínima área de silicio. El área final de silicio de un diseño de librería de células, sin embargo, puede ser el 30-50 % mayor que el correspondiente diseño en FULL CUSTOM, particularmente si las MACROS disponibles se separan de los requerimientos del cliente, o si el procedimiento de "placement" y "routing" no es optimizado debido al tiempo o a otros problemas.

Uno de los problemas que existen con la librería de células es la actualización de todos los diseños de librería, la cual puede ser deseable o necesario por los cambios en la tecnología de fabricación. Igualmente, si el diseñador desea ofrecer diseños de librería de células en más de una tecnología, por ejemplo, en simple canal MOS o en CMOS, entonces debe preparar los diseños detalladamente de sus

células en ambas tecnologías. De esta forma, debe realizarse un estudio económico; el coste será reflejado en el precio final del producto CUSTOM diseñado.

La alternativa MASTERSLICE SEMICUSTOM, tiene muchas variaciones técnicas. La característica esencial de todas las MASTERSLICE o MASTERCHIP SEMICUSTOM en el uso de circuitos estándar LSI, conteniendo ARRAYS de células idénticas, es que pueden ser fabricadas excluyendo la metalización de las interconexión final como base de las aplicaciones CUSTOM. La metalización de las interconexiones de estándar ARRAYS en el diseño será única para cada requerimiento del cliente. Por lo tanto, las obleas MASTERSLICE pueden ser fabricadas en cantidad y tener reservas para lograr la dedicación específica final.

La diversidad de productos MASTERSLICE, hacen que hayan elecciones de circuitos que pueden ser usados como células estándar, en un ARRAY MASTERSLICE. Existen dos elecciones iniciales, (1) si provee células conteniendo componentes con transistores separados, o (2) si provee células con entera entidad funcional, tales como una puerta NAND o NOR.

CAPITULO 2

2 OBJETIVO DEL PROYECTO

No cabe duda que en nuestros días, la electrónica está bastante difundida, y cualquier sistema de control incorpora ya, un microprocesador. Las aplicaciones de los microprocesadores no tienen límite, y cada vez más se van introduciendo en nuevos campos. Es por esto, que el proyecto de diseño de un microprocesador ya no debe sorprender a nadie.

El proyecto es un diseño propio de la arquitectura, de la Unidad de Ejecución, de la versión del microprocesador 8085A en una tarjeta CPA en tecnología ECL, que he diseñado con células estándar de PHILIPS, en tecnología CMOS de 1.5 micras. Esta Unidad de Ejecución, junto con el proyecto de la Unidad de Control, realizado simultáneamente a éste, conforman el proyecto del microprocesador 8085A, uniendo ambas unidades en una pastilla, y añadiendo externamente a ésta la micromemoria, grabada en una EPROM.

El diseño de un microprocesador con tecnología SEMICUSTOM, conlleva un tiempo de desarrollo menor, lo que implica una disminución del coste de desarrollo. La tecnología CMOS, hace que su consumo sea bajo, en relación a otras tecnologías.

Este proyecto puede servir a futuros diseñadores con células estándar de PHILIPS, ya que contiene una librería de macrodiseños, lo que permitiría el ahorro de tiempo y trabajo en el desarrollo de otros proyectos.

Otro de los objetivos de este proyecto, es de servir de guía a los diseñadores que trabajen con este tipo de tecnología. Sobre todo si se piensan diseñar proyectos que sobrepasen las 10000 puertas en área, ya que existe poca información al respecto, por lo menos de momento, y que podrían encontrarse con una serie de problemas, que comento en el capítulo 5 de la memoria. En España, según fuentes consultadas, no se conocen proyectos en los que se empleen más de 10000 puertas en área, por lo que lo hacen ser uno de los pioneros en este tema.

Por otro lado el proyecto de diseño de la CPA con células estándar de PHILIPS, a nivel de puerta lógica, es un paso más hacia la realización de nuevos proyectos, como el de hacer que el diseño sea testeable, "placement" y "routing", etc..., de forma que se llegue a los procesos finales de fabricación.

CAPITULO 3

3 TECNOLOGIA CMOS

3.1 INTRODUCCION

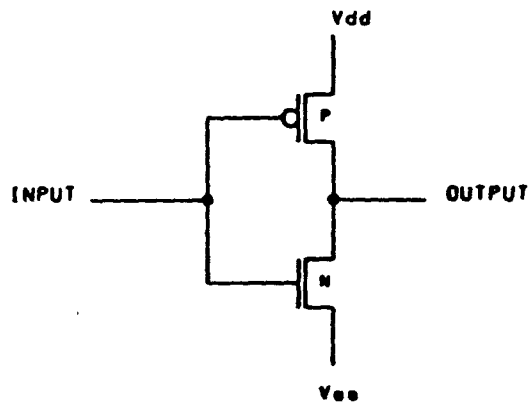
En este capítulo trataré de dar las bases necesarias para comprender los distintos cálculos ya sean estimativos o finales, de potencia, área, retardos, número de pines, etc... . También mostraré las reglas que se siguen en la elección de las células estándar, y de la asignación de pines de alimentación y tierra.

3.1.1 CELULAS BASICAS

El proceso de diseño SEMICUSTOM en SYSTEMCELL, combina la arquitectura de las células estándar con un proceso de fabricación en CMOS de 1.5 micras, de doble metalización y óxido aislado. El diseñador o usuario dispone de una herramienta de diseño moderna, de captura de esquemas y simulación. Al principio el diseñador ha de familiarizarse bastante con la librería de células, y realizar estudios viables de los distintos tipos de células, de retardos, área, Cpd, etc... . También ha de familiarizarse con las herramientas software, como el capturador ORCAD, y el simulador LESIM2.

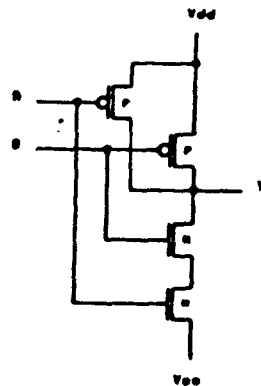
La operación básica de los elementos lógicos CMOS, depende de las diversas configuraciones de los MOSFETs de canal P y de canal N. La figura ilustra la estructura de un inversor.

La figura siguiente muestra el esquema del inversor, y la tabla de verdad.



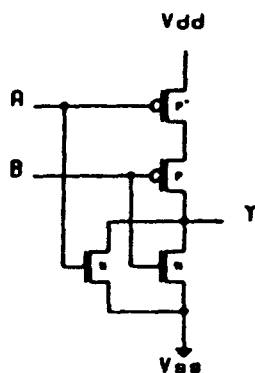
Logical Input	P-FET	N-FET	Logical Output
0	ON	OFF	1
1	OFF	ON	0

La transformación de un inversor, en una función NAND, se muestra en la figura de abajo, donde se le han añadido una serie de MOSFETs de canal N y de canal P. Si en las dos entradas hay un uno, los transistores de canal P estarán cortados, y los de canal N estarán activos, con lo que habrá un cero a la salida. Si ambas entradas están a cero, ocurre el caso contrario, con lo que en la salida habrá un uno. Esta operación básica es el núcleo de la mayoría de las estructuras combinatorias CMOS.

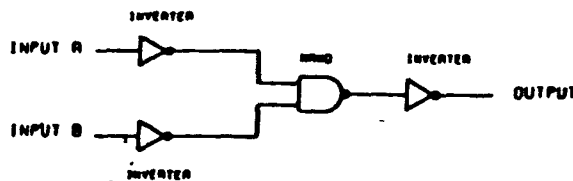


INPUTS		OUTPUT
A	B	Y
0	X	1
X	0	1
1	1	0

A partir de la estructura de la NAND de 2 entradas, se pueden generar múltiples entradas NANDs, por expansión. Algunas estructuras son generadas combinando transistores, y otras combinando funciones de niveles de puerta. La figura siguiente muestra el primitivo nivel de diseño de una NOR de 2 entradas, y en la figura que le sigue tiene la misma función, y se genera usando inversores y puertas NAND. La primera figura será más rápida, más pequeña, y eficiente que la segunda, en la mayoría de los casos.



INPUTS		OUTPUT
A	B	Y
1	x	0
x	1	0
0	0	1



3.2 AREA

La unidad de área viene dada por el área que ocupa una puerta NAND básica de 2 entradas. De esta forma existen unas tablas en tecnología de 2 micras, donde podemos observar el equivalente en puertas NAND de área que ocupa cualquier puerta lógica.

Cuánto mayor es la capacidad de conexión de las puertas, mayor es el área, o mayor número de puertas equivalentes en área.

El número de puertas equivalentes en área no debe confundirse con el número de puertas equivalentes en transistores, ya que éstos últimos tienen como célula básica, un operador inversor de 2 entradas, que puede ser una NAND, o una NOR, poseyendo ambas 4 transistores.

Para el cálculo del área podemos ir sumando las puertas equivalentes totales, o también obtenerla del simulador, pero teniendo en cuenta que éste realiza un redondeo de medias puertas, a puertas enteras.

3.3 POTENCIA

Aunque los integrados CMOS consumen poca potencia, los diseñadores deben comprender el motivo de los cálculos de potencia. El cálculo de disipación de potencia es extremadamente importante, cuando se requieren un gran número de dispositivos, esto puede ser una limitación definitiva en la determinación de la densidad del soporte

del dispositivo.

Generalmente en los sistemas CMOS, hay dos tipos de disipación de potencia, estática ó DC, y dinámica ó AC. Juntas forman la disipación de potencia total de un circuito.

3.3.1 POTENCIA ESTÁTICA

En un dispositivo CMOS, la potencia estática es consumida cuando no ocurren conmutaciones, y ambos transistores PMOS y NMOS están en OFF. Idealmente no hay un camino directo entre alimentación y tierra, en transistores MOS. En la realidad, hay una corriente de pérdida a tierra, I_{cc} , entre alimentación y tierra, debido a los portadores de carga minoritarios presentes en toda unión de diodo en inversa. El consumo de potencia debido a ésta pérdida de corriente es igual a :

$$P_{dc} = V_{dd} I_{cc}$$

También es necesario considerar que los caminos de salida requieren grandes cantidades de corriente en continua (Por ejemplo, las cargas TTL, LED, resistivas, etc...). Un dispositivo TTL con su entrada a cero, produce una corriente de 1.6 mA en un dispositivo CMOS, la cual, si la multiplicamos por la $V_{OL}(0.44)$ y por su ciclo de rendimiento %, resulta considerable para el consumo de potencia.

Las componentes que contribuyen a la potencia estática son :

$$\text{Potencia de pérdida} = V_{dd} I_{cc}$$

$$\text{Potencia de carga} = \sum_n (V_{OL} I_{IL} (\% \text{ ciclo de bajo rend.}))_n$$

n = número de cargas TTL

3.3.2 DISIPACION DE POTENCIA DINAMICA

En una situación ideal, bajo la suposición de una señal de entrada y capacitancia de carga, el consumo de potencia dinámica puede ser calculado por :

$$P_{ac} = C_L V_{dd}^2 F$$

Las entradas a dispositivos CMOS, sin embargo, no son perfectas funciones de paso, y durante una transición de tensión, ambos transistores PMOS y NMOS, estarán simultáneamente creando un camino de baja resistencia entre alimentación y tierra. También, la carga, no es la única capacitancia presente en un dispositivo CMOS. Cualquier dispositivo semiconductor activo, tiene una capacidad parásita inherente en las uniones de diodos, en las estructuras del transistor MOS, aluminio, y interconexiones de polisilicio. La capacitancia interna afecta a los circuitos activos de la misma forma que las cargas capacitivas externas, aunque esto varía de un dispositivo a

otro dependiendo de su complejidad.

Con el fin de obtener más fácilmente la cantidad total de los diferentes factores que intervienen en el cálculo de potencia dinámica, el término Cpd, que viene a ser la capacitancia interna efectiva del dispositivo. Por lo tanto, la ecuación será :

$$P_{ac} = (C_{pd} + C_L) V_{dd}^2 F$$

3.3.3 POTENCIA TOTAL

Procedimiento para el cálculo de la potencia en CMOS :

- 1) Encontrar la estimación de puertas total.
- 2) Encontrar el voltaje de alimentación.
- 3) Encontrar la frecuencia a la que se trabaja. Hacer un cálculo de las frecuencias en el núcleo y en la periferia.
- 4) Encontrar la disipación estática de potencia.

$$P_{dc} = V_{cc} I_{cc} + \left(\sum_n (V_{OL} I_{IL} (\% dc))_n \right) \text{cargas TTL}$$

- 5) Encontrar la disipación de potencia dinámica.

$$(P_{ac})_{\text{núcleo}} = \sum_n (C_{pd} + C_L) V_{dd}^2 F_i)_n$$

n = número de puertas internas

F_i = frecuencias internas

6) Encontrar la disipación de potencia de entrada-salida

$$(Pac)_{I/O} = \sum_n (C_{pd} + C_L) V_{dd} F_o)_n$$

n = número de I/Os

7) Encontrar la disipación de potencia total.

$$P_{TOTAL} = P_{dc} + (Pac)_{NUCLEO} + (Pac)_{I/Os}$$

3.4 RETARDOS

El diseñador ha de tener en cuenta la adicional capacidad de carga representada por las células grandes, y sus efectos en los caminos críticos de tiempo. Desde un punto de vista estático (diseñando en tecnología CMOS), el fan-out no tiene límites. Sin embargo, CMOS es muy sensible a la capacidad de carga. Los requerimientos de velocidad necesarios serán cuidadosamente evaluados para seleccionar la versión óptima de la célula. Algunos diseñadores estarán tentados a utilizar las células más grandes en sus diseños. El diseñador deberá tener cuidado, ya que las células grandes también poseen mayor capacidad a la entrada y por lo tanto impone una gran carga sobre la que la precede. Las librerías nos informan sobre los retardos intrínsecos, e incrementos de retardo de cada tipo de célula.

La propagación del retardo modificado por la capacidad de carga puede ser calculado usando las siguientes ecuaciones :

$$T_{phl} = t_{phl} + \Delta t_{phl} C_{nodo}$$

Donde t_{phl} es el retardo intrínseco de la célula en la transición del nivel alto al bajo, y Δt_{phl} es el incremento de retardo en la misma transición.

$$T_{plh} = t_{plh} + \Delta t_{plh} C_{nodo}$$

Donde t_{plh} es el retardo intrínseco de la célula en la transición del nivel bajo al alto, y Δt_{plh} es el incremento de retardo en dicha transición.

La capacitancia del nodo, C_{nodo} , se logra añadiendo la combinación de la capacitancia de entrada de todas las células conectadas, C_{in} , a la capacitancia de interconexión, C_{int} :

$$C_{nodo} = C_{int} + C_{in}$$

$$C_{in} = F C_{ent}$$

$$C_{int} = (0.088 + K \quad 0.104) \quad (0.83 + F \quad 0.136)$$

Siendo :

F = Número de cargas o fan-out

K = Número de puertas equivalentes en área

C_{ent} = Capacidad de carga a la entrada

Unidades :

(Δt) = nanosegundos/picofaradios

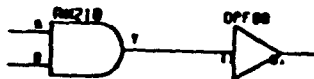
(C) = picofaradios

(T) = nanosegundos

(K) = número adimensional en miles

Ejemplo de diseño :

Supongamos que se utilizan 1000 puertas en el diseño global, y queremos calcular el retardo de la puerta AN210 que muestra la figura siguiente :



$$C_{in} = 2 \cdot 0.14 = 0.28 \text{ pF}$$

$$C_{int} = (0.088 + 1 \cdot 0.104) (0.83 + 2 \cdot 0.136) = 0.21 \text{ pF}$$

$$C_{nodo} = C_{in} + C_{int} = 0.28 + 0.21 = 0.49 \text{ pF}$$

De las tablas de las figuras que se adjuntan obtenemos :

$$T_{plh} = 2.5 + 3.7 \cdot 0.49 = 4.32 \text{ nseg}$$

REV: 1.0

AND GATE

AN210

AN210. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tp10	any	Y	0.5	1.2	2.5	ns
STp10	any	Y	0.7	1.5	3.7	ns/pF
Tp01	any	Y	0.2	0.9	2.4	ns
STp01	any	Y	0.5	1.1	2.0	ns/pF

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0

OUTPUT BUFFER

OPF80

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	2

(Equivalent Load = 0.14 pF)

REV: 1.0

AND GATE

AN220

AN220. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tp10	any	Y	0.6	1.2	2.9	ns
STp10	any	Y	0.3	0.9	1.9	ns/pF
Tp01	any	Y	0.2	1.1	2.7	ns
STp01	any	Y	0.3	0.6	1.1	ns/pF

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	20

(Equivalent Load = 0.14 pF)

Si utilizamos ahora una puerta AN220 de mayor capacidad de conexión tenemos :

$$C_{in} = 0.28pF$$

$$C_{int} = 0.21pF$$

$$C_{nodo} = 0.49pF$$

De la tabla se obtiene :

$$T_{plh} = 2.9 + 1.9 \cdot 0.49 = 3.83nseg$$

En este ejemplo podemos observar como las células de mayor capacidad de conexión tienen retardos menores.

3.5 CELULAS DE ENTRADA-SALIDA

En la elección de las células de entrada-salida existen una serie de parámetros a considerar, como son los niveles lógicos de entrada y salida, requerimientos de corriente de salida, características de carga como capacitancias, resistencias e inductancias, así como los retardos añadidos por los buffers de entrada y salida.

Los buffers de entrada y los birideccionales pueden ser compatibles TTL y compatibles CMOS.

Los buffers de salida son compatibles con ambas tecnologías. La interface de ambas tecnologías puede realizarse externamente adaptando mediante impedancias los niveles de tensión y de corriente.

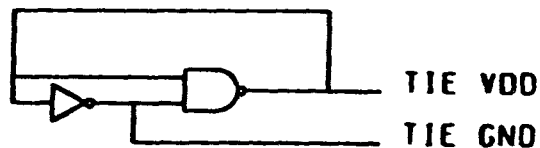
3.6 REGLAS DE DISEÑO

Existen una serie de reglas en la elección de las células estándar, y en el diseño en general que podemos resumir en siete :

- 1) No conectar las salidas de células juntas, a menos que sean TRIESTATE o drenador abierto.
- 2) No dejar las entradas a células flotando, en donde incluimos los buses internos. Utiliza la salida apropiada de la célula TIE-OFF, para las entradas que no se usan.
- 3) Regla del 1/3x . Conecta una célula de alto rendimiento a una célula de un tercio de su fuerza. Por ejemplo conecto un inversor IV130 a la salida de un inversor IV110.
- 4) Regla de los dos nanosegundos. Escoge la mínima célula, tal que el producto de sus A_{tpd} por la capacitancia del nodo sea menor de 2 nanosegundos.
- 5) Regla de la mínima célula. Usa el mínimo tamaño de célula requerida para tu diseño.
- 6) Utiliza las células de entrada- salida apropiadas para otras tecnologías.
- 7) Asigna al menos un pin de alimentación y uno de tierra, por 60mA de corriente.

Una mirada rápida a las librerías, te da una idea de que existen muchos tipos de células a nuestra disposición, y en varias versiones. Para células lógicas, éstas variaciones representan variaciones en capacidad. Cada célula de éstas caracteriza idéntica función lógica. Sin embargo difieren en su velocidad intrínseca, capacidad de conexión, y en su tamaño físico. Un incremento en la capacidad de conexión se traduce en mayor velocidad, pero requiere mayor área de silicio.

Hay muchas formas de seleccionar las células. Sin embargo, se recomienda que hagas tu diseño inicial usando células de baja capacidad de conexión,. Si encontrases problemas de tiempo durante la simulación, reemplaza las células de los caminos críticos por células de mayor capacidad de conexión. Además se recomienda que empieces reemplazando células comenzando a la salida, y trabajes hacia atrás, hacia la entrada.



Célula TIE-OFF

3.7 ASIGNACION DE PINES DE ALIMENTACION Y TIERRA

Las líneas a seguir en la asignación de los pines de alimentación y tierra, son :

1) Al menos un pin de alimentación y otro de tierra debe ser asignado. Un pin de tierra adicional debe asignarse por cada 60mA de corriente de entrada-salida (uno por 60mA, dos por 120mA, etc...). Los pines de entrada-salida y las conexiones contribuyen a una inductancia, que puede causar problemas. Si más de 60mA de corriente es necesitada, se han de colocar pines de alimentación adicionales.

2) Los pines de alimentación y tierra seleccionados deberían tener poca inductancia para reducir los voltajes transitorios. Para la mayoría de los soportes, las diferencias de inductancias de los pines es pequeña. Sin embargo , para ciertos soportes, los pines de las esquinas pueden tener cuatro veces la inductancia de los pines centrales.

3) Los pines de alimentación y masa no deberían ser colocados exactamente 180 grados en oposición uno del otro. Por otro lado, una incorrecta inserción del circuito integrado, invertiría los voltajes de alimentación y tierra, dañando considerablemente el circuito integrado.

4) Todas las señales de entrada-salida que controlan cualquier entrada de reloj de un flip-flop o de una entrada de habilitación de un latch, deben ser colocadas lo más cerca posible de un pin de masa. Esto minimiza la posibilidad de tener una acumulación de elementos

posibilidad de tener una acumulación de elementos perturbadores de ruido.

5) Las salidas con altos requerimientos de corriente de sumidero, es decir que entre corriente dentro del chip, deben ser colocadas cerca de los pines de tierra. Las salidas con altos requerimientos de corriente de fuente, o sea que salga corriente del chip, deben ser colocadas cerca de los pines de alimentación. Esto minimiza los voltajes de la doble metalización del chip. La colocación de las salidas con altos requerimientos de corriente de sumidero, tiene preferencia sobre la colocación de las salidas con altos requerimientos de corriente de fuente, esto reduce los niveles de ruido.

CAPITULO 4

4 HERRAMIENTAS DE DISEÑO

4.1 CAPTURADOR DE ESQUEMAS ORCAD/SDT III

El capturador ORCAD es compatible con el simulador de LESIM2. Tiene además una serie de utilidades, las cuales he utilizado en la realización del proyecto. Es bastante potente en la captura de esquemas, y cumple con los requisitos necesarios para el diseño con células estándar.

4.1.1 COMANDOS DEL ORCAD

ORCAD posee una gran cantidad de comandos, cuya explicación detallada podría ser prolija. De esta forma explicaré los comandos más útiles y interesantes para la captura de esquemas.

4.1.1.1 BLOCK

Este comando posibilita el movimiento de toda clase de objetos o un área que contenga muchos objetos. Mueve objetos manteniendo las conexiones. Guarda y recupera un grupo o área de objetos, también en ficheros.

4.1.1.2 DELETE

Borra toda clase de objetos o área que contenga muchos objetos. Recupera los objetos borrados accidentalmente.

4.1.1.3 EDIT

Edita símbolos, nombres de todo tipo, referencias , valores, cuadrícula, etc...

4.1.1.4 FIND

Coloca el cursor en un lugar que previamente le hemos indicado mediante un nombre.

4.1.1.5 GET

Recupera objetos de la librería.

4.1.1.6 HARDCOPY

Imprime el diseño que esté en ese momento en la pantalla.

4.1.1.7 JUMP

Mueve el cursor rápidamente a un lugar especificado.

4.1.1.8 LIBRARY

Muestra una lista de librerías y sus contenidos.

4.1.1.9 MACRO

Posibilita la ejecución de una secuencia de comandos, pulsando uno o dos caracteres o funciones, consiguiendo mayor rapidez en la operación que queramos realizar.

Abajo, en la primera figura tenemos una tabla que muestra un ejemplo de asignación de las funciones del teclado con las operaciones típicas en la captura de esquemas. En la siguiente figura se muestran las funciones o caracteres del teclado que se pueden utilizar.

function key	normal	shift	control	alt
F1	pl. wire	del wire	upper left	initialize
F2	pl. bus	del bus	upper right	
F3	pl. junct.	del junct.	lower left	
F4	edit name	edit type	lower right	
F5	pl. label	del label		
F6	pl. port	del port		
F7	drag obj.	drag obj. begin		
F8	move obj.	move obj. begin		
F9	undo	del obj.		
F10	pl. $\langle \text{ESC} \rangle$			

{^A}	{^B}	{^C}	{^D}	{^E}
{^F}	{^G}	{^I}	{^J}	{^K}
{^L}	{^N}	{^O}	{^P}	{^Q}
{^R}	{^S}	{^T}	{^U}	{^V}
{^W}	{^X}	{^Y}	{^Z}	
{^_}	{^}	{^}	{^}	
{\0}	{\1}	{\2}	{\3}	{\4}
{\5}	{\6}	{\7}	{\8}	{\9}
{\-}	{_}			
{\A}	{\B}	{\C}	{\D}	{\E}
{\F}	{\G}	{\H}	{\I}	{\J}
{\K}	{\L}	{\M}	{\N}	{\O}
{\P}	{\Q}	{\R}	{\S}	{\T}
{\U}	{\V}	{\W}	{\X}	{\Y}
{\Z}				
{F1}	{F2}	{F3}	{F4}	{F5}
{F6}	{F7}	{F8}	{F9}	{F10}
{^F1}	{^F2}	{^F3}	{^F4}	{^F5}
{^F6}	{^F7}	{^F8}	{^F9}	{^F10}
{SHIFT-F1}	{SHIFT-F2}	{SHIFT-F3}	{SHIFT-F4}	{SHIFT-F5}
{SHIFT-F6}	{SHIFT-F7}	{SHIFT-F8}	{SHIFT-F9}	{SHIFT-F10}
{\F1}	{\F2}	{\F3}	{\F4}	{\F5}
{\F6}	{\F7}	{\F8}	{\F9}	{\F10}
{BACK TAB}	{DEL}	{INS}	{^RIGHT}	{^LEFT}
{END}	{HOME}	{PGDN}	{PGUP}	{^PGDN}
{^PGUP}	{D}	{L}	{R}	{U}
{MSB}	{MACROBREAK}			

4.1.1.10 PLACE

Coloca toda clase de objetos, como cables, uniones, buses, etiquetas, etc... .

4.1.1.11 REPEAT

Repite el proceso de entrada de objetos o colocación de etiquetas en la hoja de diseño.

4.1.1.12 QUIT

Sirve para inicializar ficheros, guardarlos, entrar y salir de los niveles de jerarquía de SHEETs, y para abandonar el programa.

4.1.1.13 SET

Es un comando donde se configuran la mayoría de las funciones del programa, como pueden ser los tamaños de la hoja, las coordenadas de la pantalla, las referencias de los bordes de la pantalla y cuadrícula, etc... .

4.1.1.14 TAG

Identifica y recuerda el lugar sobre el que se había colocado en un principio el cursor.

4.1.1.15 ZOOM

Posibilita ver el diseño desde distintas ópticas.

4.1.2 UTILIDADES DEL ORCAD/SDT III

Las utilidades del ORCAD/SDT III son 12. Este número puede variar según de la versión de que se trate.

4.1.2.1 ANNOTATE

Esta utilidad actualiza los nombres de los bloques en el dibujo. Puede ser realizada a través de la fase del simulador CONLIST. Entre las ventajas podemos resaltar el ahorro de tiempo y trabajo. La desventaja mas notable sería la de difícil búsqueda de bloques.

Se recomienda que actualicemos los nombres en un principio, y que luego cambiemos los nombres de los bloques específicos que deseemos.

En la tabla siguiente se muestra como actualiza los nombres de los bloques. En la primera fila se dan los nombres iniciales, y debajo de cada una se da el nombre que les asignaría.

symbol	1	2	3	4	5	6	7	8	9	10
block name (drawing)	BNN?	BNN?	X	Y	E	E	A1	A4	A2	1
automatically produced										
block name (net list)	BNN1	BNN2	X1	Y1	E1	E2	A1	A2	A3	?1

4.1.2.2 BACKANNO

Esta utilidad actualiza los nombres de parte de los bloques que hay en el dibujo.

Los nombres que queremos actualizar van en un fichero de texto de la forma siguiente :

NA15	NA5
INV2	INV3
H1A	H5C
.	.
.	.

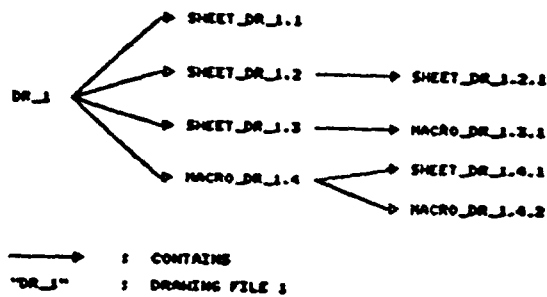
En la parte izquierda van los nombres que se quieren actualizar.

4.1.2.3 CLEANUP

Nos advierte de los errores que cometemos cuando solapamos o duplicamos cables, buses, uniones, etiquetas, MODULE PORTS, y otros objetos, y donde se encuentran.

Cuando utilizamos jerarquías de diseños, la utilidad CLEANUP solo hay que realizarla en el diseño raíz, mientras que si

utilizamos macros, hay que realizarlo en cada una de ellas. En la figura se muestra un diagrama jerárquico de niveles, y debajo de ésta, se muestra como se ha de realizar la utilidad.



```

CLEANUP DR_1
CLEANUP MACRO_DR_1.4
CLEANUP MACRO_DR_1.3.1
CLEANUP MACRO_DR_1.4.2
  
```

4.1.2.4 ERCHECK (ERC)

Nos dice donde estan los posibles errores referidos a entradas flotantes, cables conectados a un bus sin etiquetar, salidas conectadas juntas como posibles cortocircuitos. Con relación a este último caso, también señalaría las salidas unidas de buffers activos a un bus de

comunicación, aunque electricamente no representasen conflicto alguno por su estado de alta impedancia, pero que por ser salidas unidas se nos advierte de un posible conflicto.

En la siguiente figura muestro un ejemplo del resultado de ejecutar ésta utilidad.

```
Time Stamp - 8-MAY-1989 8:02:40
"UE.DRT"

<<<WARNING>>> Unconnected MODULE PORT X= 30.20 Y= 8.30 "BUS_Y"
UNCONNECTED REPORT
X= 30.20 Y= 8.30 Module Port BUS_Y
X= 21.60 Y= 15.20 Input A20,OEN
X= 25.00 Y= 15.20 Input A20,OEN
X= 28.30 Y= 15.20 Input A20,OEN
X= 8.30 Y= 17.40 Output A18,Y3
X= 8.60 Y= 17.40 Output A18,Y0
```

Electrical Rules Check Report
Revised: January 4, 1980
Revision:

```
Warning, possible conflict OUTPUT connected to I/O C01,R3
Warning, possible conflict OUTPUT connected to I/O B01,R0
WARNING - INPUT has NO Driving Source A20,OEN
WARNING - INPUT has NO Driving Source A20,OEN
WARNING - INPUT has NO Driving Source A20,OEN
<<<ERROR>>> CONFLICT Found port In/Out connected to OUTPUT BUA4,Y
<<<ERROR>>> CONFLICT Found OUTPUT connected to OUTPUT A18,Y1
```

4.1.2.5 NETLIST

Genera un NETLIST en un número de formatos que se pueden seleccionar. El formato viene a ser el nombre de un fichero formato especial en el que queremos generar el NETLIST.

4.1.2.6 PARTLIST

Crea un sumario de todas las partes o bloques usadas en un grupo de hojas de diseño.

También añade información sobre algunas partes específicas.

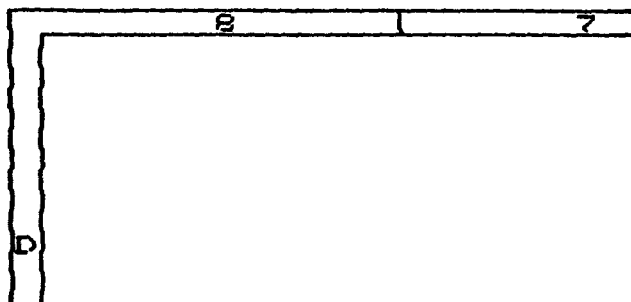
La figura muestra una lista de partes de un diseño.

Bill Of Materials		May 19, 1989	
Item	Quantity	Reference	Part
1	12	INV14, IA2, IA5, IA8, IA11, INV15, INV16, INV17, INV18, INV19, INV20, INV21	IV160
2	4	AND29, A4, AND30, AND0	AN260
3	1	NAND6	NA210
4	1	NOR1	NO240
5	1	NAND7	NA410
6	7	INV3, I01, INV1, INV2, INV8, INV9, INV10	IV180

4.1.2.7 PLOTALL

Esta utilidad sirve para sacar los diseños que tenemos en ficheros por un plotter. La configuración del tipo de plotter, velocidad, paridad, etc . . . , se realiza a través de la invocación de DRAFT/C. También existe la opción de sacar los diseños con referencias en los bordes de las

hojas, como muestra la figura.



4.2.1.8 PRINTALL

Imprime un grupo de hojas de diseño. Posee dos opciones, referencias en los bordes, y ancho de papel de 8 y 13 pulgadas.

4.2.1.9 TREELIST

Muestra los nombres de las hojas de diseño, y las fechas de las últimas modificaciones realizadas.

```

Scanning "SHEET\286sys.sch"
Scanning "SHEET\286proc.sch"
Scanning "SHEET\286io.sch"
Scanning "SHEET\286hd.sch"
Scanning "SHEET\286fd.sch"
Scanning "SHEET\286lan.sch"
Scanning "SHEET\286gd.sch"
Scanning "SHEET\286mem.sch"
<<<Root File>>
[286sys.sch] February 23, 1986
Processor and Contrc:
[286proc.sch] August 28,
1986
Peripheral Interface
[286io.sch] January 20, 1986
Hard Disk Interface
[286hd.sch] October 7, 1986
Floppy Disk Interface
[286fd.sch] December 6, 1986
LAN Interface
[286lan.sch] <empty>
worksheet>
Graphics Display Subsystem
[286gd.sch] May 31, 1986
Memory Array
[286mem.sch] June 16, 1986

```


4.1.2.10 CROSSREF

Busca en ficheros esquemáticos información de sus partes, y crea una lista de referencias y donde están localizadas dichas partes, como se muestra en la figura.

Part Cross Reference Listing May 19, 1989 18:23:23 Page 1

Item	Reference	Part	Sheetname	Sheet#	Filename	X	Y
1	AND0	AN460	<<<root>>>	0	UE.DRT	9.00	17.90
2	BUA5	BU262	<<<root>>>	0	UE.DRT	16.60	17.00
3	BUA6	BU262	<<<root>>>	0	UE.DRT	17.60	17.00
4	BUA7	BU262	<<<root>>>	0	UE.DRT	18.60	17.00
5	BUA8	BU262	<<<root>>>	0	UE.DRT	19.60	17.00

Revised:
Revision:

May 19, 1989

4.1.2.11 LIBARCH

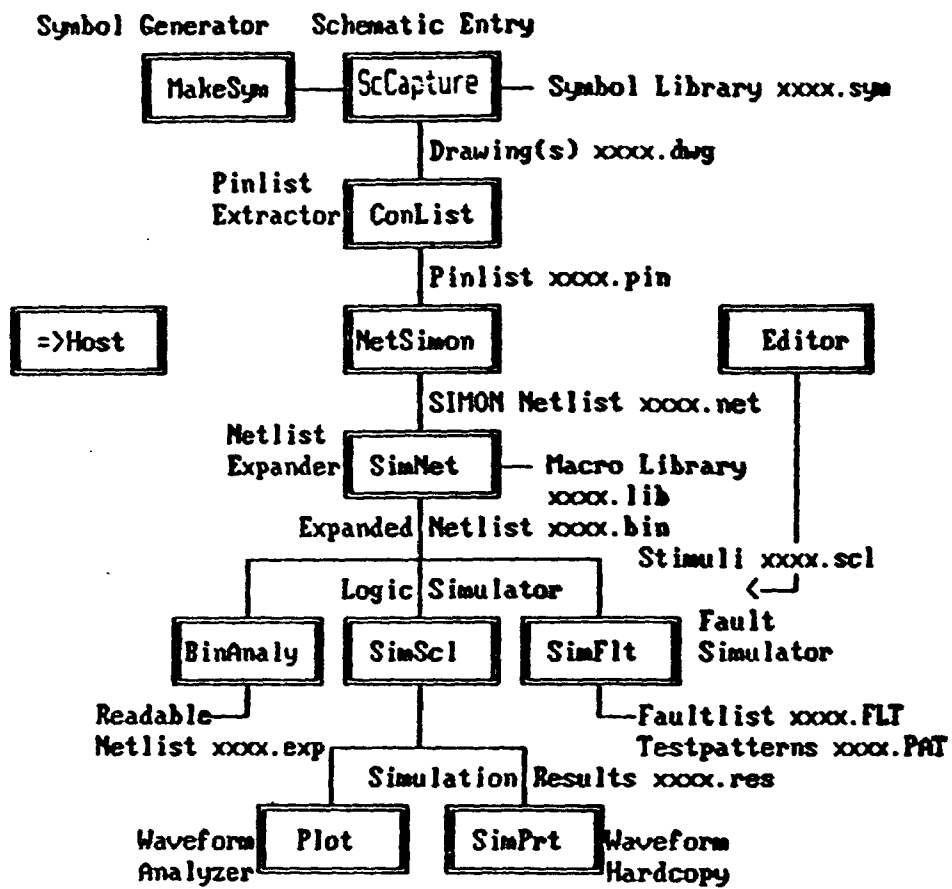
Este programa toma todas las partes usadas en ficheros esquemáticos, y hace una librería origen simple, una librería archivo, conteniendo solo partes que son usadas por esos ficheros esquemáticos.

4.1.2.12 LIBLIST

Este programa toma un fichero de librería objeto y genera un fichero de texto en ASCII listando todas sus partes.

4.2 SIMULADOR LESIM2

La figura siguiente muestra el diagrama de bloques del simulador. A continuación explicaré las distintas fases del mismo.



4.2.1 CONLIST

En esta fase de simulación, se extrae toda la información de los símbolos y el cableado de la red, creando un fichero de lista de pines o ".PIN ". Para ello, se entra el nombre del dibujo principal, en el caso de que se emplee la jerarquía de SHEETS, y el de todas las macros, en el caso de jerarquía de macros.

En esta fase se puede actualizar los nombres de símbolos y de señales.

Los errores que se detectan en esta fase, se leen en el fichero de errores LESIM.ERR que crea la fase de simulación NETSIMON.

```

1      2  PROCES01
1      3  A01
1      1  C          ***000035
1      1  B3        ***000035
1      1  B2        ***000036
1      1  B1        ***000037
1      1  A3        ***000038
1      1  A2        ***000039
1      1  A1        ***000040
1      1  A0        ***000042
1      1  B0        ***000044
1      1  D3        ***000057
1      1  D2        ***000058
1      1  D1        ***000059
1      1  D0        ***000060
1      1  R0        ***000062
1      1  R3        ***000064
1      1  F0        ***000089
1      1  GN        ***000090
1      1  Y3        ***000091
1      1  Y2        ***000092
1      1  Y1        ***000093
1      1  Y0        ***000094
1      1  PN        ***000120
1      1  C1        ***000123
1      1  I8        OD2
1      1  I7        OD1
1      1  I6        OD0
1      1  I5        FS5
1      1  I4        FS4
1      1  I3        FS3
1      1  I2        FS2
1      1  I1        FS1
1      1  I0        FS0
1      1  CLK       CLK
2      2  PROCES01
2      3  A01
2      1  C          ***000002
2      1  B3        ***000035
2      1  B2        ***000036
2      1  B1        ***000037
2      1  A3        ***000038
2      1  A2        ***000039
2      1  A1        ***000040

```

4.2.2 NETSIMON

En esta fase, se entra el diseño principal, en el caso de ambas jerarquías. Con la información procedente de CONLIST, se crea una lista alfanumérica de la red.

En una primera fase de NETSIMON, se leen los ficheros LESIM.SET y ".PIN ", extrayendo de LESIM.SET, cuales son las librerías seleccionadas. También los errores detectados por CONLIST son escritos en LESIM.ERR. Por último crea un fichero de jerarquía con la extensión ".HIR ".

En una segunda fase se analiza la red desde abajo hacia arriba, y se ensambla dando un fichero de extensión ".NET ".

En esta fase se pueden generar más errores.

El fichero ".NET ", puede ser generado directamente, sin pasar por la captura de esquemas, ni por la fase de CONLIST, ni de NETSIMON. Todo esto gracias al lenguaje de descripción de la red NDL.

```

*****
#                               :NETSIMON 2.1 : Automatic SIMON, Netlist Generator                               #
#                               (c) Copyright 1977, Philips' Gloeilampenfabrieken 1957                               #
*****
#                               Oct 13, 1937
# IDENT *****
#
***** Drawing CU *****
#
MACRO
Z          CU          I(PIN,PEN,CK,REN,CE) 0(0,CK)
Z.GC1     BF051       I(Z.GB1,PIN,PEN) 0(Z.GC1)
Z.GD1     SF000       I(C,CK,REN,PEN,FEN,Z.GC1) 0(0,CK)
Z.GA1     EX210       I(0,CE) 0(Z.GA1)
Z.SB1     MA210       I(FEN,Z.GA1) 0(Z.GB1)
# MEND
#
```

4.2.3 SIMNET

La fase de simulación SIMNET traduce la información dada por NETSIMON, a un formato binario. En el caso de que el fichero ".NET ", sea generado a través del NDL, SIMNET chequea los errores de sintaxis, y los escribe en LESIM.ERR.

SIMNET proporciona el número total de señales, las señales visibles y invisibles, el número de entradas, salidas y entradas-salidas, buses, puertas equivalentes en área, y primitivas.

Esta fase crea el fichero con la extensión ".BIN ".

4.2.4 BINANALY

Esta fase genera un fichero de explicación del fichero creado por SIMNET, ".BIN ". El fichero de explicación lleva la extensión ".EXP ", y contiene la información acerca de los retardos.

4.2.5 SIMSCL

En una primera fase, chequea los errores de sintaxis del fichero estímulo, que lleva la extensión ".SCL ", y muestra los posibles errores por pantalla. A continuación carga la red en memoria, y se dispone a realizar la simulación. Es aquí donde comienza la segunda fase, en donde se realiza la

simulación, y se genera el fichero de resultados que lleva la extensión ".RES".

Existen cinco posibles estados lógicos de una señal que puede representar SIMSCL, que son :

0	nivel bajo	
1	nivel alto	
3	tres estados	
#	no definido	(0 = # = 1)
*	no determinado	(0 < * < 1)

También aquí hemos de especificar los rangos de valores de alimentación del circuito, así como los de temperatura, ya sea en los casos más favorables, nominales, o menos favorables. Igualmente hemos de especificar la unidad de la escala de tiempos, en que queremos que nos presente los retardos.

4.2.6 SIMPRT

Esta fase, a través del fichero ".RES", muestra los resultados de la simulación. Estos resultados pueden mostrarse de foma alfanumérica o gráfica, y la salida de los mismos puede ser a una impresora, disco o pantalla. La salida por pantalla de la forma gráfica se realiza en la fase de PLOT.

4.2.7 PLOT

Utilizando los resultados a través del fichero de extensión ".RES ", realiza una muestra gráfica de los mismos.

Los ejemplos de SIMPRT y de PLOT pueden verse en el siguiente capítulo.

VER SECCION 5.6

4.3 JERARQUIA DE DISEÑOS

El simulador LESIM2 soporta dos técnicas de dibujo diferentes para los usuarios de ORCAD :

JERARQUIA DE SHEET

JERARQUIA DE MACRO

Las dos técnicas son bastantes diferentes. La jerarquía de SHEET no se sigue en las fases de generación de la lista de pines y de NETLIST. Existe jerarquía mientras se pasa de un nivel de dibujo a otro. Siendo el proceso de anidación de

dibujos fácil de realizar.

En el capturador ORCAD no existe jerarquía de MACRO, pero es una característica del simulador LESIM2. La jerarquía de MACRO, nos provee de un NETLIST jerárquico. Esto puede resultar de ayuda en un futuro.

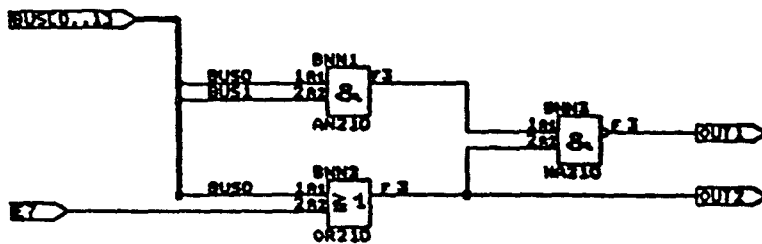
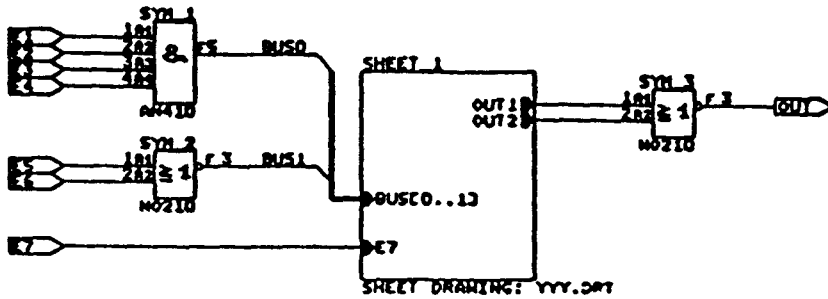
4.3.1 JERARQUIA DE SHEET

ORCAD utiliza una jerarquía gráfica llamada técnica de SHEET. Este tipo de estructura jerárquica consta de un dibujo raíz, siendo éste el primer nivel de la jerarquía.

En ORCAD puedo crear un símbolo o SHEET que represente a otros dibujos. Este símbolo o SHEET, consiste en un bloque rectangular. A este bloque se le añaden los nombres de señales, a la izquierda y a la derecha del mismo.

En la parte de arriba del bloque se le asigna el nombre, que ha de ser el mismo que el del dibujo que se quiere representar. En el comando FILENAME, se ha de poner el nombre del dibujo con la extensión ".DRT".

El número de niveles puede llegar hasta 500. Las señales que se nombran en el SHEET, han de corresponderse con los nombres de los módulos o puertos de entrada o salida del dibujo que se quiere representar. También pueden incluirse buses en dichas señales.



Esta estructura jerárquica se destruye cuando se realiza la fase del simulador CONLIST. Todos los símbolos y señales serán puestos en un mismo fichero de pines.

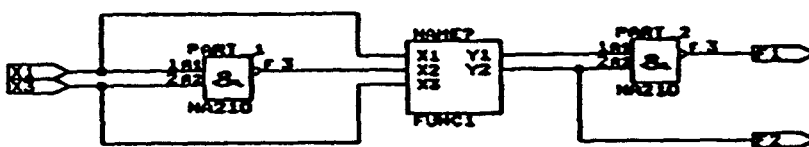
4.3.2 JERARQUIA DE MACRO

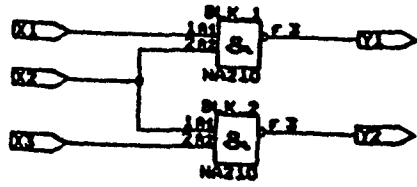
Esta técnica es la única forma de estructurar una jerarquía de red eléctrica y mantener esta estructura en el NETLIST. Esta técnica se utiliza en el caso de que se vayan a repetir partes especiales de la red.

Para crear una macro se necesita un dibujo de la parte electrónica, y una librería de símbolos. Primero se crea el dibujo del circuito eléctrico, y luego se edita la MACRO como si fuese una célula de librería.

El dibujo y el símbolo de librería se relacionan por el nombre, que debe ser el mismo para ambos(aquí no hace falta la extensión del nombre del fichero). El NETSIMON, que crea el NETLIST, combina la lista de pines del MACRO dibujo, con la lista de pines del dibujo que contiene dicha MACRO. El resultado es un NETLIST o lista de señales que retiene la estructura jerárquica.

Los símbolos de librería se crean con un editor. Las señales del MACRO dibujo han de corresponderse con la de los módulos o puertos del dibujo que contiene la MACRO. Los buses no son permitidos en esta técnica.





La MACRO se crea editando el siguiente texto :

```
PREFIX
END
```

```
'FUNCI'
```

```
REFERENCE 'NAME'
```

```
(X Size =) 6 (Y Size =) 5 (Parts per Package =) 0
```

```
L1 SHORT IN 'X1'
```

```
L2 SHORT IN 'X2'
```

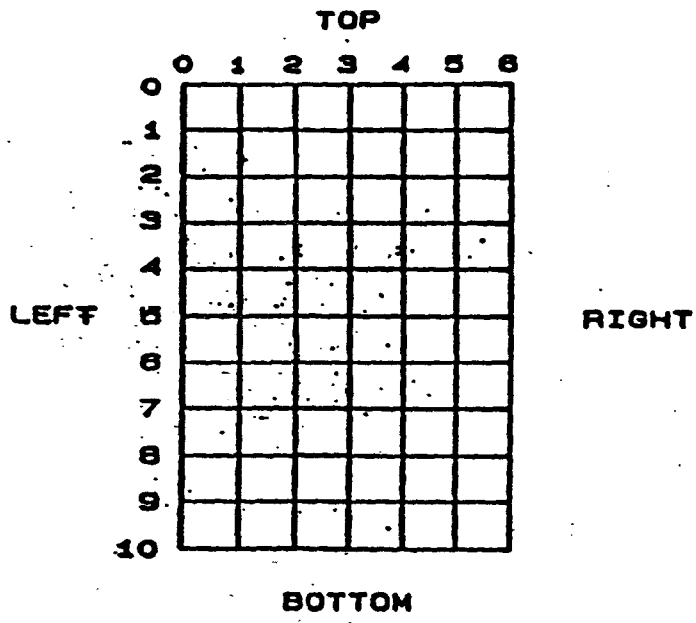
```
L3 SHORT IN 'X3'
```

```
R1 SHORT OUT 'Y1'
```

```
R2 SHORT OUT 'Y2'
```

Las longitudes de la MACRO se especifican en los lugares señalados en la figura, así como el número de MACROs iguales que se quieren editar.

A la izquierda se especifican las posiciones de los nombres que se señalan a la derecha, y la descripción de los mismos en el medio de ambas, tal y como se ve en la figura.



Si el nombre de las MACROS es muy largo, entonces cabe la posibilidad de poner un prefijo, entre los comandos PREFIX y END. Estos comandos no deben ser repetidos. Si se desean editar más MACROS, éstas se ponen consecutivamente una debajo de otra.

ORCAD posee un compilador de librería llamado COMPOSER, que traduce el fichero de texto a un formato binario, poniendo :

COMPOSER EJEMPLO.SRC EJEMPLO.LOR

El fichero de librería de símbolos será creado. Sólo faltará configurarlo invocando "DRAFT/C".

Otras diferencias entre éstas dos técnicas, son que la jerarquía de SHEET se puede pasar de un nivel de dibujo a otro sin tener que inicializarlo en la pantalla, y en la técnica de MACRO no.

La técnica de MACRO, se debe emplear en el caso de tener que repetir un dibujo varias veces. La técnica de SHEET debería ser usada cuando no haya suficiente espacio para concentrar el dibujo.

Las dos técnicas pueden combinarse de varias formas :

MACROs y SHEETs en un dibujo

MACROs en MACROs

MACROs en SHEETs

SHEETs en SHEETs

SHEETs en MACROs

Estas dos técnicas no deberían ser usadas repetidamente.

CAPITULO 5

5 DISEÑO DEL CIRCUITO

5.1 INTRODUCCION

En este capítulo comienzo explicando de forma general, el proceso que se sigue en el diseño en SystemCell. A continuación, haré una descripción general de la arquitectura de los dos bloques más importantes, como son la Unidad de Ejecución en su conjunto, y uno de sus bloques, como es la unidad de proceso. Seguidamente daré las especificaciones del circuito global.

Luego mostraré un estudio estimativo previo que antecede al estudio final de la viabilidad del proyecto, y a continuación mostraré los datos finales del mismo.

También mostraré los bloques capturados, y describiré las notas más características de su implementación lógica, así como la selección de las células que contienen.

Por último, enseñaré los ficheros estímulos ó de entrada, la simulación lógica alfanumérica, y la simulación gráfica de los diseños.

5.2 PROCESO GENERAL DE DISEÑO

El proceso de diseño en SystemCell conlleva una serie de pasos, que están representados en el diagrama de bloques de la figura que se adjunta. El primer paso es el diseño lógico, el cual lo he realizado utilizando las simplificaciones Booleanas, mapas de Karnaugh y lógica de

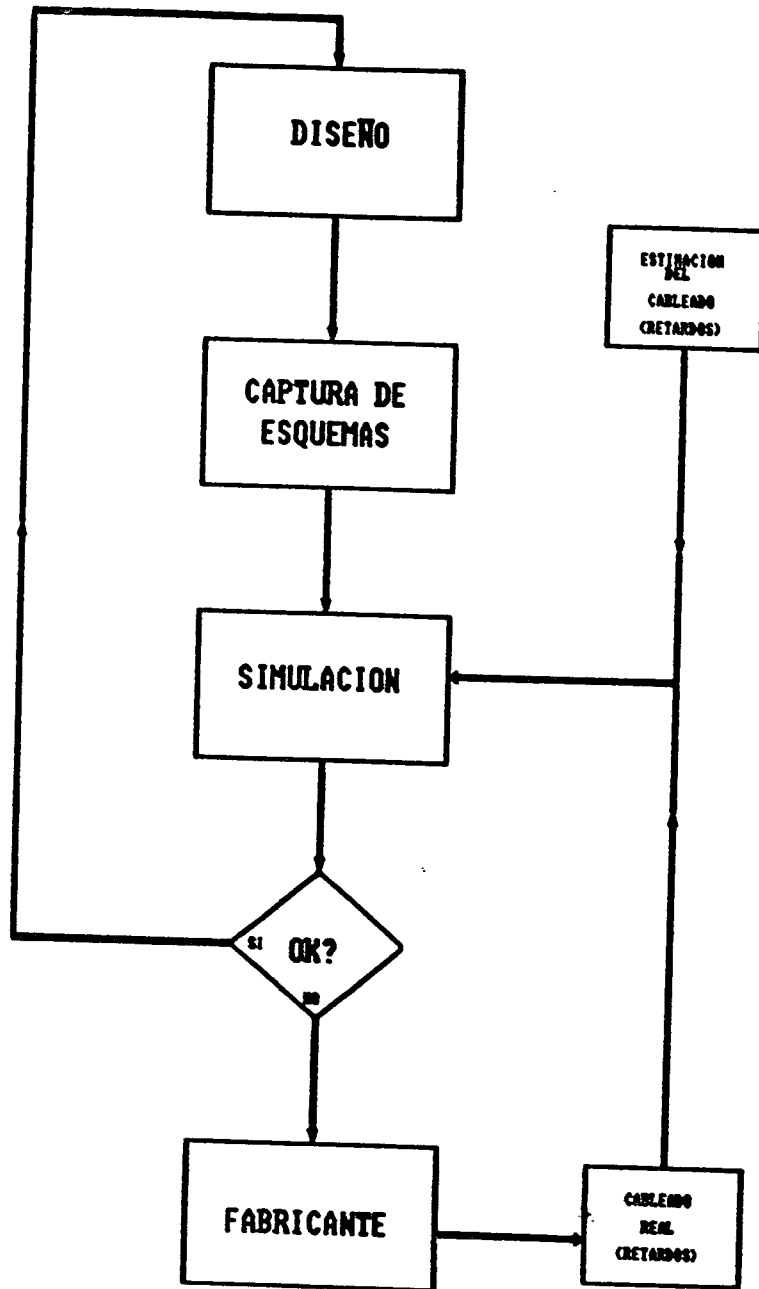
minimización de estados. Dentro de este paso se encuentra la elección de las células de las librerías de SystemCell de 1.5 micras, en las cuales se detallan los retardos intrínsecos e incrementos de retardo, fan-out, capacidad de carga a la entrada, tabla de verdad, dibujo de la célula y tabla de entradas y salidas (ver apéndice B). Para la elección de las células he utilizado una serie de consideraciones de diseño ó reglas, las cuales me son útiles para escoger de forma propicia las células más adecuadas para el circuito. Una de las fases más importantes de este primer bloque ó paso, es el de la viabilidad del diseño, el cual incluye un cálculo estimativo de área, coste, potencia, velocidad, número de pines, rangos de temperatura y voltajes. Estos cálculos me han dado una idea de mis limitaciones.

El paso segundo es la captura de esquemas, con el que dibujo mis diseños, utilizando el capturador ORCAD.

El tercer paso viene dado por la simulación de mis diseños que he capturado previamente, en donde compruebo si mis diseños funcionan como deseo. La simulación la he realizado con el simulador LESIM2, el cual está compuesto por una serie de fases, que representan un proceso iterativo, del que he salido cuando he obtenido las especificaciones requeridas. En la fase de cálculo de retardos, he de añadir un incremento, en porcentaje, de fan-out, y consecuentemente de retardos, introducido por el cableado. Dicho incremento es una estimación de lo que representará, en capacidad, el

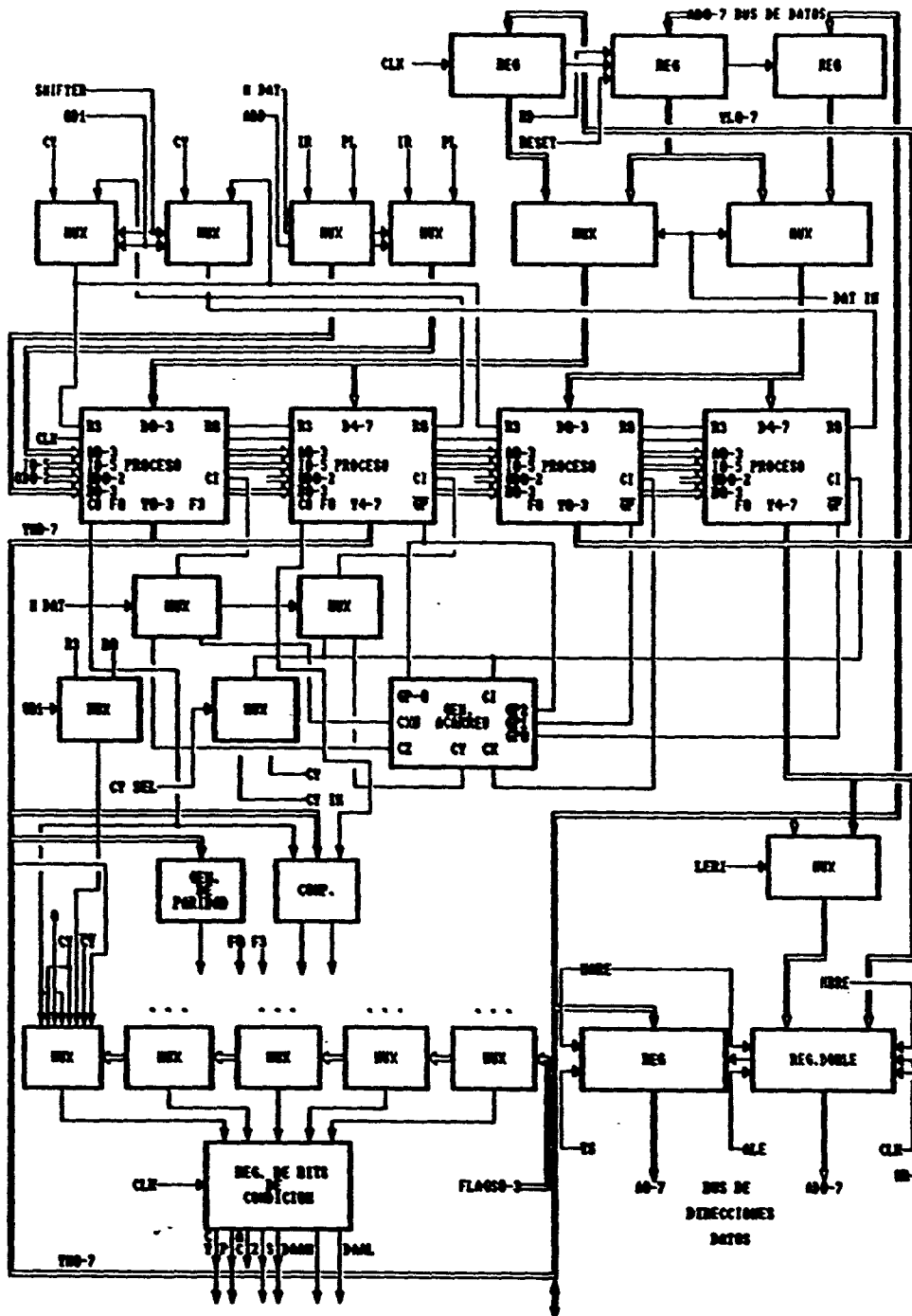
cableado cuando se realice el layout del diseño.

El siguiente paso es adjuntar todos los datos, requerimientos del encapsulado, características de entrada-salida, caminos críticos, software, etc, necesarios, y enviárselos a el fabricante. Una vez haya realizado el layout conoceré el valor real de el incremento en los cálculos de retardo, y se procederá a repetir el proceso, hasta alcanzar las especificaciones requeridas.



5.3 ESPECIFICACIONES DE DISEÑO

El diagrama de bloques de la Unidad de Ejecución viene dado por la figura de abajo. En dicha figura, he detallado muchos puntos, para poder así, entender mejor su descripción.



5.3.1 DESCRIPCIÓN GENERAL DE LA UNIDAD DE EJECUCIÓN

La Unidad de Ejecución es capaz de ejecutar en total 246 instrucciones, 84 de ellas son de transferencia de datos, 108 aritmético-lógicas, 36 de bifurcación, y 18 de stack, entrada-salida y control de máquina.

Durante la ejecución de una instrucción, en el flanco de subida de la señal de reloj, la Unidad de Control envía, en su mayoría, a través del registro de campo, todos los bits necesarios para la ejecución de la instrucción que se ha decodificado previamente. La Unidad de Ejecución contiene como parte principal dos unidades de proceso, de 8 bits cada una, divididas cada una de ellas en dos de 4 bits. Dichas unidades de 8 bits ejecutan paralelamente las microoperaciones de 8/16 bits.

La entrada de datos a las unidades de proceso se realiza a través, ó bien de el bus de datos externo ADO-7, ó de los buses internos YHO-7 y YLO-7 a través de tres registros, controlados por la señal de reloj, y el registro del bus de datos externo, es controlado además por el bit de control RD, y la señal externa RESET, pasando los datos a unos multiplexores, que seleccionan una u otra fuente de datos según el bit de control DAT_IN.

Los bits de control W_DAT, AS0, y AS1, seleccionan mediante multiplexores, los bits de direcciones, que direccionan los registros internos de las unidades de proceso, provenientes ó del registro de campo, ó del registro de instrucción, ambos pertenecientes a la Unidad de Control. Al mismo

tiempo, los bits 10-5, y ODO-2, seleccionan interna y directamente las microoperaciones que han de realizar las unidades de proceso.

Las operaciones de rotación de 8 bits se realizan por medio de unos multiplexores que son seleccionados por el bit de control OD1, el cual selecciona las señales R0 y R3, de las unidades de proceso.

Las operaciones de suma y resta aritméticas se realizan por medio de un generador de acarreo rápido, y son controladas por las señales W_DAT y CY_SEL, que seleccionan las operaciones de 8/16 bits.

Los datos de salida de la unidad de proceso, que vuelca sus datos a el bus de mayor peso YH0-7, pasan por un generador de paridad, y dos comparadores, éstos últimos para la ejecución de la instrucción DAA, de conversión binario-décimal, utilizando el bit de acarreo auxiliar AC, y el de acarreo ordinario CY. El bit de paridad, de acarreo CY, signo P3, cero F0, y los de la salida de los comparadores DAAH y DAAL, son seleccionados, a través de cinco multiplexores, por los bits FLAGSO-2, pasando a el registro de bits de condición que a su vez es controlado por la señal de reloj. De aquí, los reciclo de nuevo a los 5 multiplexores, y al mismo tiempo pasan directamente a la Unidad de Control, y a el bus de datos interno de mayor peso YH0-7 mediante buffers tri-estado controlados por el bit UDAT.

La salida de los datos de las unidades de proceso se vuelcan

en sus respectivos buses, a través de buffers tri-estado controlados por el bit BUS_Y.

Unos multiplexores seleccionan los 8 bits de un bus de datos interno u otro, a través del bit LERI, que pasan a un registro, que es controlado por la señal de reloj y por el bit MBRE, cuya salida es volcada a unos buffers bidireccionales, y de aquí a el bus de datos ADO-7 externo, mediante unos buffers tri-estado controlados por la señal WR.

Por otro lado, el bus de datos interno de menor peso YLO-7, pasa sus datos a un registro controlado por la señal de reloj, y la señal MARE, y de aquí a unos buffers tri-estado controlados por una señal que depende de dos señales, que son la señal de reloj, y la señal ALE, volcando la salida de dichos buffers a unos buffers bidireccionales, y de aquí a el bus de datos ADO-7 externo.

Al igual que el caso anterior, el bus de datos interno de mayor peso YHO-7, pasa sus datos a un registro controlado por la señal de reloj, y la señal MARE, y de aquí a unos buffers tri-estado controlados por la señal TS, volcando la salida a el bus de direcciones AO-7 externo.

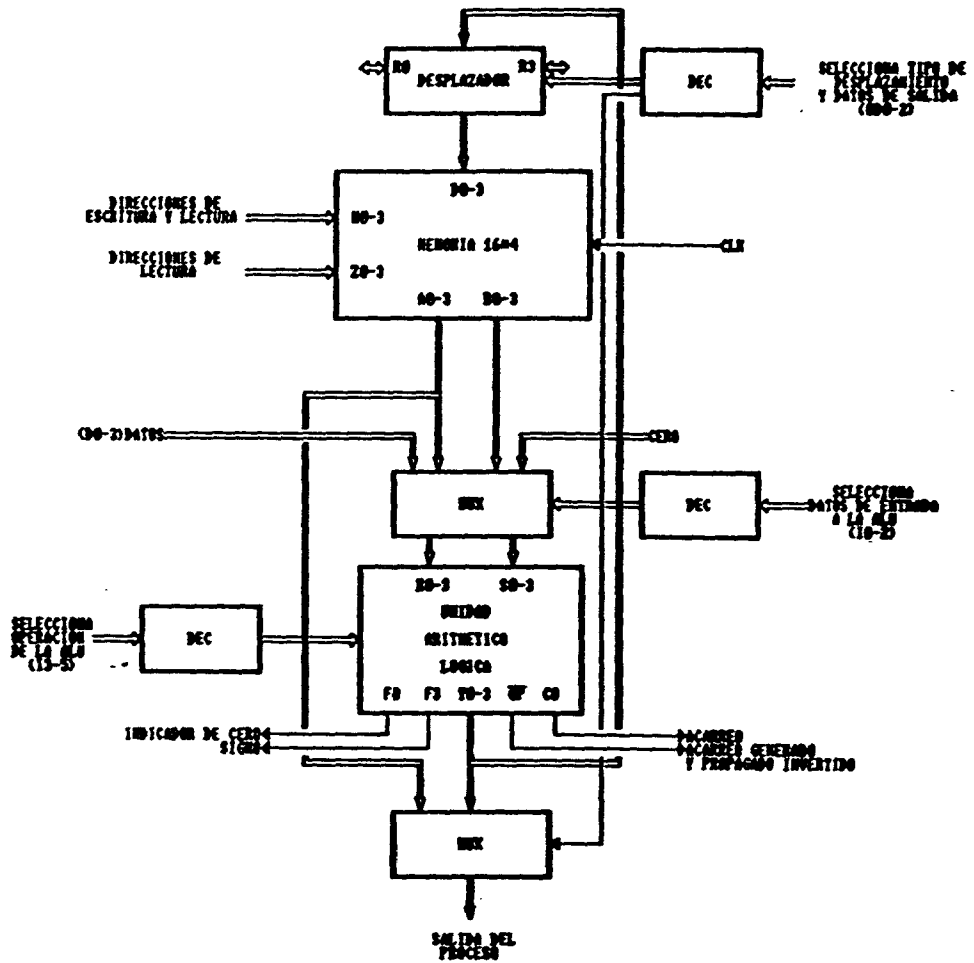
De esta forma, en las salidas de datos de 8 bits, se utiliza el bus de datos ADO-7, y en las salidas de datos y direcciones de 16 bits, se utilizan ambos buses, en donde los buses AO-7 y ADO-7 son los buses de mayor y menor peso respectivamente.

5.3.1.1 DESCRIPCION DE LA UNIDAD FUNDAMENTAL DE PROCESO

En el flanco de subida del ciclo del reloj, la Unidad de Control envía los bits de control ODO-2 y IO-5, necesarios para la ejecución de las microoperaciones. Los bits IO-2 mediante una decodificación previa, seleccionan el tipo de operación aritmético-lógica que se desea realizar. Los bits I3-5, seleccionan la fuente de los datos de entrada a la ALU, que pueden ser datos externos, un cero lógico, y los datos A0-3 y B0-3, ambos provenientes de la RAM. Por último los bits ODO-2 seleccionan el tipo de rotación, así como el tipo de dato de salida de la unidad de proceso, que pueden ser los datos de salida de la ALU, FO-3, o los datos de salida de la RAM, AO-3.

La ALU realiza 7 operaciones, 3 aritméticas y 4 lógicas, de 4 bits. Tiene un bit de acarreo de entrada CI, y puede dar según la unidad de proceso que se esté tratando, el acarreo de salida, los acarreos generados y propagados, el bit de cero, y el de signo. Los datos de salida de la unidad de proceso pueden salir fuera de la misma, o introducirse en la RAM, por medio de un desplazador, que consta de una lógica cableada y unos multiplexores, controlados por los bits ODO-2.

La RAM consta de 16 palabras de 4 bits, de doble lógica de decodificación, y con doble puerto. Los bits W0-3 direccionan una posición de memoria, pudiendo realizar, tanto la escritura, como la lectura a través esta última de el puerto B0-3. Por otra parte los bits Z0-3, sólo pueden realizar la



lectura, a través de el puerto de salida A0-3. Los periodos de lectura y escritura los marca la señal del reloj. En el nivel alto del ciclo del reloj se realiza la operación de lectura, y en nivel bajo del ciclo se realiza la operación de escritura. De esta forma, cuando el ciclo del reloj está a nivel alto, y leemos un dato de la RAM, al mismo tiempo los latches de salida de la RAM estan abiertos, y cuando se pasa a el nivel bajo del ciclo, estos latches se cierran, y retienen los datos anteriormente leídos, realizandose entonces las operaciones que se requieren, y escribiendo los resultados en la RAM.

5.3.2 ESPECIFICACION DEL CIRCUITO GLOBAL

El conjunto formado por la Unidad de Ejecución y Unidad de Control posee las siguientes especificaciones:

Vdd :	3V min.	5.0V tip.	5.5V
Rango de temperatura:	-40°C		+85°C
Frecuencia max. de reloj:	1.874 MHz		
Encapsulado:	120-pin.,	QFP,	plástico

5.4 ESTUDIO DE VIABILIDAD

Utilizando las bases de cálculo explicadas en la sección 3, daré los resultados obtenidos del estudio viable de cada parte, dando las convenientes razones y explicaciones del proceso que se ha seguido en cada caso.

5.4.1 ESTUDIO DE AREA

Para el cálculo de área, utilizo las tablas de 2 micras, lo que representa estar en el peor caso, y en ellas encontramos las puertas equivalentes en área de cada célula. Sabiendo que la unidad de área es una NAND de 2 entradas, todas las células vendrán dadas en equivalentes de dicha unidad. Si sumo todas las puertas equivalentes en área de una NAND de 2 entradas, tengo el área total.

El área real que ocupa una NAND de 2 entradas no la conozco, por ser secreto tecnológico. No obstante he realizado cálculos estimativos de la misma. Se ha realizado tres cálculos, por diferentes caminos, y de los tres he escogido el de mayor área, que representa el caso peor. Dos de éstos caminos se han hecho relativos a 2 micras, y el tercero a 1.5 micras.

La primera estimación la realicé, partiendo de el conocimiento de el área de una NAND de dos entradas en tecnología de tres micras. Dicha área es de $5.4 \cdot 10^{-3} \text{ mm}^2$.

Realizando una regla de tres cuadrática obtenemos :

$$\begin{array}{r} 3 \text{ ----- } 5400 \mu^2 \\ 2 \text{ ----- } x \end{array}$$

$$x = (2/3)^2 5.4 \cdot 10^{-9} \text{mm}^2 = 2.4 \cdot 10^{-9} \text{mm}^2$$

El segundo método que empleé, fué el de realizar medidas sobre un dibujo de el layout de una NAND de 2 entradas en tecnología de 3 micras, donde se obtuvo un área de $110 \mu \times 47 \mu = 5170 \mu^2 = 5.17 \cdot 10^{-9} \text{mm}^2$. Aplicando una regla de tres cuadrática obtengo :

$$\begin{array}{r} 3 \text{ ----- } 5170 \mu^2 \\ 2 \text{ ----- } x \end{array}$$

$$x = (2/3)^2 5.17 \cdot 10^{-9} \text{mm}^2 = 2.3 \cdot 10^{-9} \text{mm}^2$$

La última estimación la tomé de un proyecto en tecnología CMOS, en donde se tenía calculada el área en full-custom de una NAND de 2 entradas, en tecnología de 1.5μ , resultando un área de $45 \times 58.5 = 2632.5 \mu^2 = 2.632 \cdot 10^{-9} \text{mm}^2$

A raíz de estos cálculos estimativos, me he quedado con el último, por ser el mayor de los tres, representando el peor caso. Los dos primeros, son diseños semicustoms de una NAND de 2 entradas, 4 transistores.

A continuación daré los cálculos de área para un diseño con células de poca capacidad de conexión, luego mostraré los de un diseño con células con mucha capacidad de conexión, y por último los del diseño final.

5.4.1.1 PRIMERA ESTIMACION DE AREA

La suma de área en puertas equivalentes de área de todas las células de la Unidad de Ejecución es de 9855, que junto con las estimadas en la Unidad de Control, son en total 12500. Si multiplico este dato por la unidad de área obtenida en el primer apartado, tengo :

$$A = 12500 \cdot 2.632 \cdot 10^{-3} \text{ mm}^2 = 33 \text{ mm}^2$$

A esto se le suma el área que ocupan los PADS de salida, que resultan el 20% de el área calculada anteriormente, por lo tanto el área será :

$$\text{AREA TOTAL} = (20/100) 33 + 33 = 6.6 + 33 = 39.6 \text{ mm}^2$$

5.4.1.2 SEGUNDA ESTIMACION DE AREA

En esta estimación se obtuvo un número de puertas equivalentes de área para la U .de Ejecución de 12706, que junto con los de la U. de Control suman en total 16000 puertas equivalentes en área. El área será entonces de :

$$A = 16000 \cdot 2.632 \cdot 10^{-3} \text{ mm}^2 = 42.12 \text{ mm}^2$$

$$\text{AREA TOTAL} = (20/100) 42.12 + 42.12 = 8.424 + 42.12 = 50.544 \text{ mm}^2$$

5.4.1.3 ESTIMACION FINAL DE AREA

Para la U. de Ejecución obtuve un total de 10358 puertas equivalentes en área, que junto con la U. de Control son 17000. En total tengo :

$$A = 17000 \cdot 2.632 \cdot 10^{-9} \text{ mm}^2 = 44.744 \text{ mm}^2$$

$$\text{AREA TOTAL} = (20/100) \cdot 44.744 + 44.744 = 8.9488 + 44.744 = 53.7 \text{ mm}^2$$

5.4.2 FRECUENCIA DEL RELOJ

El cálculo de la frecuencia de reloj lo he realizado a través de un estudio de los caminos más largos en la ejecución de las instrucciones. El camino más crítico, va desde que se direcciona la memoria de la unidad de proceso, se saca el dato de la misma, se realiza la operación en la alu, al mismo tiempo atraviesa el generador de acarreo rápido, sale de la unidad de proceso, pasa por el generador de paridad y sigue por los multiplexores hasta los registros de condición.

En primer lugar mostraré los cálculos del camino más crítico, después mostraré los de otros caminos como comprobación de que el primero es el más largo.

5.4.2.1 CALCULOS

Como hemos visto en el capítulo 3, la fórmula de los retardos es la siguiente :

$$Tpd = tpd + \Delta tpd \quad Cnodo$$

Siendo :

$$Cnodo = Cint + Cin$$

$$Cin = 0.14 \quad F$$

$$Cint = (0.088 + 0.104 \quad K) (0.83 + 0.136 \quad F)$$

$K \equiv$ Número de puertas equivalentes en miles

$F \equiv$ Número de cargas

Al número de cargas le he añadido el incremento de un 50% debido a la influencia del cableado. Y he sumado en cada caso, al número de cargas, la mitad del mismo.

5.4.2.1.1 CAMINO CRITICO

He seguido el camino explicado anteriormente, y en cada diseño del camino, muestro el retardo de cada célula. Al final sumo todos los retardos, obtengo el camino crítico y consecuentemente la frecuencia del reloj. Este camino se ha tomado en las operaciones de 8 bits, que si bien el retardo del generador de acarreo rápido es un poco menor que las de 16 bits, no obstante en las operaciones de 8 bits se ha de pasar por el generador de paridad, y en las de 16 bits no.

El camino es el siguiente :

Ciclo de lectura :

En A53 :

$$IV180 \quad Tpd = 1.8 + 0.5 \quad 10.958464 = 7.279232$$

$$NA340 \quad Tpd = 1.9 + 1.5 \quad 3.50256 = 7.15384$$

$$NA430 \quad Tpd = 2.7 + 2.5 \quad 3.894976 = 12.43744$$

En la unidad de proceso :

$$BU130 \quad Tpd = 2.8 + 1.3 \quad 10.958464 = 17.046003$$

En DEC :

$$IV130 \quad Tpd = 1.3 + 1.3 \quad 2.325312 = 4.3229056$$

$$AN440 \quad Tpd = 7.3 + 1.1 \quad 2.717728 = 10.289501$$

$$AN240 \quad Tpd = 3.9 + 1 \quad 8.603968 = 12.503968$$

En REG :

$$BU262 \quad Tpd = 2.8 + 0.7 \quad 2.717728 = 4.7024096$$

En la unidad de proceso :

$$LAH20 \quad Tpd = 4.1 + 1.9 \quad 9.3888 = 21.93872$$

Ciclo de escritura :

En MUX2 :

$$NA330 \quad Tpd = 2 + 1.9 \quad 3.50256 = 8.654864$$

$$NA430 \quad Tpd = 2.7 + 2.5 \quad 2.325312 = 8.51328$$

$$BU130 \quad Tpd = 2.8 + 1.3 \quad 9.781216 = 15.51558$$

En la alu :

$$IV160 \quad Tpd = 1.6 + 0.7 \quad 8.211552 = 7.3480864$$

$$NA520 \quad Tpd = 4 + 4.8 \quad 2.717728 = 17.045094$$

$$AN460 \quad Tpd = 6.1 + 0.7 \quad 9.3888 = 12.67216$$

$$NA520 \quad Tpd = 4 + 4.8 \quad 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 7.42672 = 11.298704$$

En B02 :

$$\text{AN260 Tpd} = 3.4 + 0.7 \cdot 4.932224 = 6.8525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.717728 = 3.8024096$$

En B57 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 7.42672 = 7.098704$$

En la alu :

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 2.71728 = 8.0024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 2.717728 = 8.9024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 8.211552 = 12.748086$$

En MUX1 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.325312 = 3.5277184$$

En la Unidad de Ejecución :

$$\text{BU262 Tpd} = 5 + 0.7 \cdot 9.3888 = 11.57216$$

En A80 :

$$\text{IV180 Tpd} = 1.8 + 0.5 \cdot 8.603968 = 6.101984$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 6.249472 = 11.37463$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 2.717728 = 8.9024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 2.717728 = 8.9024096$$

En A51 :

$$\text{NA340 Tpd} = 1.8 + 1 \cdot 3.50256 = 5.30256$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 3.894976 = 12.43744$$

$$\text{NA240 Tpd} = 1.7 + 1 \cdot 4.932224 = 6.632224$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.325312 = 3.5277184$$

En A18 y B18 :

$$\text{DTN11 Tpd} = 5.5 + 3.6 \cdot 2.717728 = 15.283821$$

La suma total es de 364.48874 nanosegundos.

Ciclo de lectura :

$$97.674019 \text{ nseg.}$$

Ciclo de escritura :

$$266.81472 \text{ nseg.}$$

La frecuencia de reloj la marca el ciclo de escritura, por ser el ciclo más largo. La frecuencia del reloj es entonces el doble del ciclo de escritura, siendo ésta de 1.87395 MHz

5.4.2.1.2 TIEMPO DE ESCRITURA EN LA RAM EN OPERACIONES DE 16 BITS

Este camino va desde que se direcciona la ram, se realiza la operación en la alu, y se escribe el dato en la ram. Esto se refiere a las operaciones de 16 bits, ya que en este caso tardan más que las de 8 bits, debido a que el retardo del generador de acarreo rápido es un poco mayor.

El camino es el siguiente :

Ciclo de lectura :

En A53 :

$$\text{IV180 Tpd} = 1.8 + 0.5 \cdot 10.958464 = 7.279232$$

$$\text{NA340 Tpd} = 1.9 + 1.5 \cdot 3.50256 = 7.15384$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 3.894976 = 12.43744$$

En la unidad de proceso :

$$\text{BU130 Tpd} = 2.8 + 1.3 \cdot 10.958464 = 17.046003$$

En DEC :

$$\text{IV130 Tpd} = 1.3 + 1.3 \cdot 2.325312 = 4.3229056$$

$$\text{AN440 Tpd} = 7.3 + 1.1 \cdot 2.717728 = 10.289501$$

$$\text{AN240 Tpd} = 3.9 + 1 \cdot 8.603968 = 12.503968$$

En REG :

$$\text{BU262 Tpd} = 2.8 + 0.7 \cdot 2.717728 = 4.7024096$$

En la unidad de proceso :

$$\text{LAH20 Tpd} = 4.1 + 1.9 \cdot 9.3888 = 21.93872$$

Ciclo de escritura :

En MUX2 :

$$\text{NA330 Tpd} = 2 + 1.9 \cdot 3.50256 = 8.654864$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 2.325312 = 8.51328$$

$$\text{BU130 Tpd} = 2.8 + 1.3 \cdot 9.781216 = 15.515581$$

En la alu :

$$\text{IV160 Tpd} = 1.6 + 0.7 \cdot 8.211552 = 7.3480864$$

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 9.3888 = 12.67216$$

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 7.42672 = 11.298704$$

En B02 :

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 4.932224 = 9.5525568$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 2.717728 = 9.49432$$

En B57 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 7.42672 = 7.098704$$

En la alu :

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 2.71728 = 8.0024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 2.717728 = 8.9024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 8.211552 = 12.748086$$

Retardo de escritura en la ram :

En la unidad de proceso :

En MUX3 :

$$\text{NA310 Tpd} = 2.3 + 5.9 \cdot 2.325312 = 16.019341$$

$$\text{AN310 Tpd} = 3.8 + 4 \cdot 4.932224 = 23.528896$$

$$\text{IV160 Tpd} = 1.6 + 0.7 \cdot 2.717728 = 3.5024096$$

En REG :

$$\text{LAH10 Tpd} = 8.1 + 2.4 \cdot 2.717728 = 14.622547$$

Como podemos observar, el retardo de lectura es el mismo que el del camino crítico, y lo que varía es el de escritura :

Ciclo de lectura :

$$97.674019 \text{ nseg.}$$

Ciclo de escritura :

$$233.96219 \text{ nseg.}$$

El ciclo de escritura en la RAM, es menor que el del camino crítico.

5.4.2.1.3 RETARDO DE LAS OPERACIONES DE 16 BITS

Este retardo se refiere al mismo camino empleado en el camino crítico, pero con el retardo del generador de acarreo

rápido en las operaciones de 16 bits, y sin pasar por el generador de paridad.

El camino es el siguiente :

Ciclo de lectura :

En A53 :

$$\text{IV180 Tpd} = 1.8 + 0.5 \cdot 10.958464 = 7.279232$$

$$\text{NA340 Tpd} = 1.9 + 1.5 \cdot 3.50256 = 7.15384$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 3.894976 = 12.43744$$

En la unidad de proceso :

$$\text{BU130 Tpd} = 2.8 + 1.3 \cdot 10.958464 = 17.046003$$

En DEC :

$$\text{IV130 Tpd} = 1.3 + 1.3 \cdot 2.325312 = 4.3229056$$

$$\text{AN440 Tpd} = 7.3 + 1.1 \cdot 2.717728 = 10.289501$$

$$\text{AN240 Tpd} = 3.9 + 1 \cdot 8.603968 = 12.503968$$

En REG :

$$\text{BU262 Tpd} = 2.8 + 0.7 \cdot 2.717728 = 4.7024096$$

En la unidad de proceso :

$$\text{LAH20 Tpd} = 4.1 + 1.9 \cdot 9.3888 = 21.93872$$

Ciclo de escritura :

En MUX2 :

$$\text{NA330 Tpd} = 2 + 1.9 \cdot 3.50256 = 8.654864$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 2.325312 = 8.51328$$

$$\text{BU130 Tpd} = 2.8 + 1.3 \cdot 9.781216 = 15.515581$$

En la alu :

$$\text{IV160 Tpd} = 1.6 + 0.7 \cdot 8.211552 = 7.3480864$$

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 9.3888 = 12.67216$$

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 7.42672 = 11.298704$$

En B02 :

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 4.932224 = 9.5525568$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 2.717728 = 9.49432$$

En B57 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 7.42672 = 7.098704$$

En la alu :

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 2.71728 = 8.0024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 2.717728 = 8.9024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 8.211552 = 12.748086$$

En MUX1 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.325312 = 3.5277184$$

En la Unidad de Ejecución :

$$\text{BU262 Tpd} = 5 + 0.7 \cdot 9.3888 = 11.57216$$

En A51 :

$$\text{NA340 Tpd} = 1.8 + 1 \cdot 3.50256 = 5.30256$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 3.894976 = 12.43744$$

$$\text{NA240 Tpd} = 1.7 + 1 \cdot 4.932224 = 6.632224$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.325312 = 3.5277184$$

En A18 y B18 :

$$\text{DTN11 Tpd} = 5.5 + 3.6 \cdot 2.717728 = 15.283821$$

Ciclo de lectura :

$$97.674019 \text{ nseg.}$$

Ciclo de escritura :

231.27034 nseg.

Como vemos, el ciclo de lectura es el mismo, y el de escritura es menor que el del camino crítico.

5.4.2.1.4 RETARDO DE SALIDA DE DATOS DE 16 BITS

El camino es el siguiente :

Ciclo de lectura :

En A53 :

$$IV180 \quad Tpd = 1.8 + 0.5 \quad 10.958464 = 7.279232$$

$$NA340 \quad Tpd = 1.9 + 1.5 \quad 3.50256 = 7.15384$$

$$NA430 \quad Tpd = 2.7 + 2.5 \quad 3.894976 = 12.43744$$

En la unidad de proceso :

$$BU130 \quad Tpd = 2.8 + 1.3 \quad 10.958464 = 17.046003$$

En DEC :

$$IV130 \quad Tpd = 1.3 + 1.3 \quad 2.325312 = 4.3229056$$

$$AN440 \quad Tpd = 7.3 + 1.1 \quad 2.717728 = 10.289501$$

$$AN240 \quad Tpd = 3.9 + 1 \quad 8.603968 = 12.503968$$

En REG :

$$BU262 \quad Tpd = 2.8 + 0.7 \quad 2.717728 = 4.7024096$$

En la unidad de proceso :

$$LAH20 \quad Tpd = 4.1 + 1.9 \quad 9.3888 = 21.93872$$

Ciclo de escritura :

En MUX2 :

$$NA330 \quad Tpd = 2 + 1.9 \quad 3.50256 = 8.654864$$

$$NA430 \quad Tpd = 2.7 + 2.5 \quad 2.325312 = 8.51328$$

$$\text{BU130 Tpd} = 2.8 + 1.3 \quad 9.781216 = 15.515581$$

En la alu :

$$\text{IV160 Tpd} = 1.6 + 0.7 \quad 8.211552 = 7.3480864$$

$$\text{NA520 Tpd} = 4 + 4.8 \quad 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \quad 9.3888 = 12.67216$$

$$\text{NA520 Tpd} = 4 + 4.8 \quad 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \quad 7.42672 = 11.298704$$

En B02 :

$$\text{AN460 Tpd} = 6.1 + 0.7 \quad 4.932224 = 9.5525568$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \quad 2.717728 = 9.49432$$

En B57 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \quad 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \quad 7.42672 = 7.098704$$

En la alu :

$$\text{NA520 Tpd} = 4 + 4.8 \quad 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \quad 2.71728 = 8.0024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \quad 2.717728 = 8.9024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \quad 8.211552 = 12.748086$$

En MUX1 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \quad 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \quad 2.325312 = 3.5277184$$

En la Unidad de Ejecución :

$$\text{BU262 Tpd} = 5 + 0.7 \quad 9.3888 = 11.57216$$

En A20 :

$$\text{NA210 Tpd} = 1.4 + 3.9 \quad 2.325312 = 10.468717$$

$$\text{NA210 Tpd} = 1.4 + 3.9 \quad 2.325312 = 10.468717$$

$$\text{DFN20 Tpd} = 2 + 1.1 \quad 2.71728 = 4.9895008$$

En UEF :

$$\text{BU222 Tpd} = 2.9 + 3.7 \cdot 2.325312 = 11.503654$$

En la periferia :

$$\text{IOP41 Tpd} = 8.8 + 0.14 \cdot 32 = 13.28$$

Ciclo de lectura :

$$97.674019 \text{ nseg.}$$

Ciclo de escritura :

$$247.45202 \text{ nseg.}$$

El ciclo de escritura es menor que el del camino crítico.

5.4.2.1.5 RETARDO DE SALIDA DE DATOS DE 8 BITS

El camino es el siguiente :

Ciclo de lectura :

En A53 :

$$\text{IV180 Tpd} = 1.8 + 0.5 \cdot 10.958464 = 7.279232$$

$$\text{NA340 Tpd} = 1.9 + 1.5 \cdot 3.50256 = 7.15384$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 3.894976 = 12.43744$$

En la unidad de proceso :

$$\text{BU130 Tpd} = 2.8 + 1.3 \cdot 10.958464 = 17.046003$$

En DEC :

$$\text{IV130 Tpd} = 1.3 + 1.3 \cdot 2.325312 = 4.3229056$$

$$\text{AN440 Tpd} = 7.3 + 1.1 \cdot 2.717728 = 10.289501$$

$$\text{AN240 Tpd} = 3.9 + 1 \cdot 8.603968 = 12.503968$$

En REG :

$$\text{BU262 Tpd} = 2.8 + 0.7 \cdot 2.717728 = 4.7024096$$

En la unidad de proceso :

$$\text{LAH20 Tpd} = 4.1 + 1.9 \cdot 9.3888 = 21.93872$$

Ciclo de escritura :

En MUX2 :

$$\text{NA330 Tpd} = 2 + 1.9 \cdot 3.50256 = 8.654864$$

$$\text{NA430 Tpd} = 2.7 + 2.5 \cdot 2.325312 = 8.51328$$

$$\text{BU130 Tpd} = 2.8 + 1.3 \cdot 9.781216 = 15.515581$$

En la alu :

$$\text{IV160 Tpd} = 1.6 + 0.7 \cdot 8.211552 = 7.3480864$$

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 9.3888 = 12.67216$$

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 7.42672 = 11.298704$$

En B02 :

$$\text{AN260 Tpd} = 3.4 + 0.7 \cdot 4.932224 = 6.8525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.717728 = 3.8024096$$

En B57 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 7.42672 = 7.098704$$

En la alu :

$$\text{NA520 Tpd} = 4 + 4.8 \cdot 2.717728 = 17.045094$$

$$\text{AN460 Tpd} = 6.1 + 0.7 \cdot 2.71728 = 8.0024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 2.717728 = 8.9024096$$

$$\text{EX240 Tpd} = 7 + 0.7 \cdot 8.211552 = 12.748086$$

En MUX1 :

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 4.932224 = 5.3525568$$

$$\text{NA260 Tpd} = 1.9 + 0.7 \cdot 2.325312 = 3.5277184$$

En la Unidad de Ejecución :

$$\text{BU262 Tpd} = 5 + 0.7 \cdot 9.3888 = 11.57216$$

En D57 :

$$\text{NA210 Tpd} = 1.4 + 3.9 \cdot 2.325312 = 10.468717$$

$$\text{NA210 Tpd} = 1.4 + 3.9 \cdot 3.894976 = 16.590406$$

En A20 :

$$\text{NA210 Tpd} = 1.4 + 3.9 \cdot 2.325312 = 10.468717$$

$$\text{NA210 Tpd} = 1.4 + 3.9 \cdot 2.325312 = 10.468717$$

$$\text{DFN20 Tpd} = 2 + 1.1 \cdot 2.71728 = 4.9895008$$

En UEF :

$$\text{BU222 Tpd} = 2.9 + 3.7 \cdot 2.325312 = 11.503654$$

En la periferia :

$$\text{IOF41 Tpd} = 8.8 + 0.14 \cdot 32 = 13.28$$

Ciclo de lectura :

$$97.674019 \text{ nseg.}$$

Ciclo de escritura :

$$266.11923 \text{ nseg.}$$

El ciclo de escritura es menor que el del camino crítico, pero se aproxima bastante.

Hay que decir, que el camino crítico ha sido optimizado, de forma que se obtenga la mayor velocidad, aumentando la capacidad de conexión o el área de las células del mismo. Sin embargo, en los otros caminos, sus células tienen la capacidad o área mínima que necesitan. No obstante, si alguno de éstos caminos hubiese resultado mayor que el camino crítico, se procedería a aumentar el área de las células para ajustarlo al del camino crítico.

5.4.3 ESTUDIO DE POTENCIA

La potencia se divide en dos partes, potencia estática y potencia dinámica. En CMOS la potencia estática es prácticamente despreciable frente a la potencia dinámica. La potencia dinámica a su vez, se divide en dos, la potencia que se disipa en el núcleo, y la que se disipa en la periferia. Los cálculos de potencia necesitan como parámetro fundamental, la capacidad interna efectiva del dispositivo o CPD, dicha capacidad se ha obtenido de las tablas de CMOS en tecnología de 2 micras, debido a que la tecnología CMOS de 1.5 micras es una tecnología punta, y su conocimiento es secreto tecnológico de la casa PHILIPS. De esta forma he considerado que dichos datos de 2 micras son totalmente factibles para los cálculos en 1.5 micras, debido a que físicamente las capacidades serían mayores, lo que redundaría en un mayor valor de potencia, sabiendo que el valor real de potencia va a ser menor. Estaría estimando por arriba del valor real, lo que implica un beneficio a los cálculos de viabilidad, ya que es como si lo estimase en el caso peor.

5.4.3.1 PRIMER ESTUDIO VIABLE DE POTENCIA

En un principio, después de haber realizado un diseño lógico, y de haberme familiarizado con las librerías de SystemCell, es conveniente realizar un estudio viable del proyecto, ya que así tendré una idea más exacta de mis

limitaciones.

En esta estimación, en la mayoría de los diseños, he utilizado células con poca capacidad de conexión.

5.4.3.1.1 CALCULO DE LA POTENCIA ESTÁTICA

La fórmula de la potencia estática es la siguiente:

$$P_{DC} = V_{CC} I_{CC} + \sum_n (V_{OL} I_{IL} \% DC)$$

Donde :

V_{CC} \equiv Tensión de alimentación. Es igual a 5 voltios.

I_{CC} \equiv Intensidad de pérdida a tierra. Es la suma de las intensidades máximas de cada una de las células del núcleo, (Ver bibliografía, Data Book de Texas Instruments en tecnología de 2 micras). He empleado la tecnología de 2 micras, por ser secreto tecnológico la de 1.5 micras. De todas formas la potencia estática es un término despreciable frente a la potencia dinámica, y más aún la corriente de fuga I_{CC} . Resultando dicha suma de 58.449 microamperios.

V_{OL} \equiv Tensión de salida a nivel bajo. Que es 0.44 voltios.

I_{IL} \equiv Intensidad de salida a nivel bajo. Debido a que nuestro circuito integrado es compatible CMOS, por razones de bajo consumo, la I_{IL} es aproximadamente de 1 microamperio para los dispositivos CMOS, (ver bibliografía). Tengo que conectando 3 dispositivos CMOS, resulta una I_{IL} total de 3 microamperios.

$\% DC$ \equiv Ciclo de rendimiento. Es del 50%.

n \equiv Número de cargas CMOS. Que es de 48 cargas, ya que tengo 16 salidas, con tres dispositivos conectados a cada una.

De esta forma la potencia estática queda :

$$P_{DC} = 5 \cdot 58.449 + 48 \cdot 0.44 \cdot 3 \cdot 0.5 = 323.927 \text{ microvatios}$$

$$P_{DC} = 0.323927 \text{ milivatios}$$

5.4.3.1.2 CALCULO DE LA POTENCIA DINAMICA

La potencia dinámica se divide en dos partes, la potencia que se disipa en el núcleo, y la que se disipa en la periferia.

5.4.3.1.2.1. POTENCIA QUE SE DISIPA EN EL NUCLEO

La formula es la siguiente :

$$(PAC)_{\text{núcleo}} = \% \sum_n ((CPD + CL) VDD^2 F_i)_n$$

Obteniendo :

CPD \equiv Capacidad interna efectiva del dispositivo. La suma de todas las capacidades de las células de cada diseño.

CL \equiv Capacidad de carga de salida. Esta capacidad viene a ser la capacidad que hay en el nodo de cada célula del núcleo, (ver capacidad del nodo en la sección 3.2.4).

Existen dos parámetros importantes, como son el número de puertas equivalentes en área K, y el número de cargas a la salida de la célula P. La K es igual a 12.5 (ver sección 5.4.1.1), y la P la he calculado dividiendo el número de cargas totales entre el número de nodos de cada diseño.

Sustituyendo en la fórmula obtengo la capacidad media de un nodo en cada diseño, y multiplicando ésta por el número de nodos, obtengo la suma de las capacidades de los nodos en cada diseño. Por último se sumo todas las capacidades de todos los diseños.

VDD² \equiv Es el valor de la alimentación al cuadrado. Su valor es de 25.

F_i \equiv Es la frecuencia interna. Esta frecuencia, es la frecuencia a la que conmutan las células internas. Hé estimado para cada diseño, la frecuencia a la que conmutan, y hé tomado como referencia la frecuencia del reloj, siendo la de los diferentes diseños, la misma, ó en algunos casos múltiplos de ella, según el caso de que se trate. En

un principio se estimó que la frecuencia del reloj sería de 4 Mhz. Esta frecuencia surge de cálculos de retardos en los caminos que se consideran los más críticos.

% \equiv Es el porcentaje de las células que conmutan a un mismo tiempo, en tanto por ciento, que hay que aplicarle al sumatorio. Este porcentaje se ha realizado calculando aproximadamente el número de células que conmutan en cada diseño, en cada ciclo de reloj, y haciendo una simple regla de tres, se obtiene un porcentaje del 25.92 %, teniendo un número total de 3001 células, y siendo 778 las que conmutan.

Cálculos :

Capacidades medias de los nodos en cada diseño, número de nodos, y CPD respectivamente :

Para una frecuencia de 6 MHz :

Cmn (DEC) = 2.63 pF ; N = 3 ; CPD = 2.84 pF

Cmn (A01) = 2.33 pF ; N = 30 ; CPD = 41.73 pF

Cmn (B01) = 2.33 pF ; N = 30 ; CPD = 41.73 pF

Cmn (C01) = 2.33 pF ; N = 30 ; CPD = 41.73 pF

Para una frecuencia de 3 MHz :

Cmn (UE) = 2.941 pF ; N = 40 ; CPD = 101.17 pF

Cmn (A01) = 2.33 pF ; N = 13 ; CPD = 10.22 pF

Cmn (B01) = 2.33 pF ; N = 13 ; CPD = 10.22 pF

Cmn (C01) = 2.33 pF ; N = 13 ; CPD = 10.22 pF

Cmn (A1) = 6.1 pF ; N = 131 ; CPD = 312.31 pF

Cmn (A2) = 6.17 pF ; N = 132 ; CPD = 311.7 pF

Cmn (A3) = 6.2 pF ; N = 131 ; CPD = 312.2 pF

Cmn (MUX1) = 2.3 pF ; N = 4 ; CPD = 0.95 pF

Cmn (MUX2) = 2.717 pF ; N = 8 ; CPD = 5.11 pF

Cmn (MUX3) = 2.89 pF ; N = 7 ; CPD = 5.83 pF
Cmn (A85) = 5.89 pF ; N = 5 ; CPD = 13.2 pF
Cmn (A80) = 4.98 pF ; N = 8 ; CPD = 11.84 pF
Cmn (A74) = 2.724 pF ; N = 9 ; CPD = 28.8 pF
Cmn (A57) = 3.7822 pF ; N = 4 ; CPD = 4.42 pF
Cmn (A51) = 6.412 pF ; N = 16 ; CPD = 28.56 pF
Cmn (A18) = 2.55 pF ; N = 4 ; CPD = 10.94 pF
Cmn (B57) = 3.5 pF ; N = 7 ; CPD = 8.56 pF
Cmn (B18) = 2.6 pF ; N = 5 ; CPD = 14.44 pF
Cmn (D57) = 2.42 pF ; N = 13 ; CPD = 6.56 pF
Cmn (B02) = 3.97 pF ; N = 16 ; CPD = 22.84 pF

Para una frecuencia de 1.5 MHz :

Cmn (DEC) = 2.63 pF ; N = 4 ; CPD = 1.18 pF
Cmn (REG) = 3.344 pF ; N = 12 ; CPD = 34.44 pF
Cmn (UE) = 2.941 pF ; N = 4 ; CPD = 1.76 pF
Cmn (A01) = 2.33 pF ; N = 94 ; CPD = 73.84 pF
Cmn (B01) = 2.33 pF ; N = 94 ; CPD = 73.84 pF
Cmn (C01) = 2.33 pF ; N = 94 ; CPD = 73.84 pF
Cmn (A53) = 4.39 pF ; N = 12 ; CPD = 12.4 pF
Cmn (C57) = 3.59 pF ; N = 10 ; CPD = 12.62 pF

Para una frecuencia de 1.2 MHz :

Cmn (A20) = 2.537 pF ; N = 33 ; CPD = 34.72 pF
Cmn (B20) = 2.94 pF ; N = 33 ; CPD = 40.16 pF
Cmn (UE) = 2.941 pF ; N = 24 ; CPD = 38.88 pF

Para una frecuencia muy baja, prácticamente despreciable :

Cmn (A57) = 3.79 pF ; N = 4 ; CPD = 4.42 pF
Cmn (B53) = 2.47 pF ; N = 11 ; CPD = 10.98 pF

$$C_{mn} (A01) = 2.33 \text{ pF} ; N = 2 ; C_{PD} = 6.6 \text{ pF}$$

$$C_{mn} (B01) = 2.33 \text{ pF} ; N = 2 ; C_{PD} = 6.6 \text{ pF}$$

$$C_{mn} (C01) = 2.33 \text{ pF} ; N = 2 ; C_{PD} = 6.6 \text{ pF}$$

$$\begin{aligned} (PAC)_{\text{núcleo}} = & \% (64 (2.84 + 3 \ 2.63) + 2 (41.73 + 30 \ 2.33) \\ & + 1 (41.73 + 30 \ 2.33) + 1 (41.73 + 30 \ 2.33)) 10^{-12} \ 25 \ 6 \\ & 10^6 + (1 (101.17 + 40 \ 2.941) + 2 (10.22 + 13 \ 2.33) + 1 \\ & (10.22 + 13 \ 2.33) + 1 (10.22 + 13 \ 2.33) + 2 (312.31 + 131 \\ & 6.1) + 1 (311.7 + 132 \ 6.17) + 1 (312.2 + 131 \ 6.2) + 16 \\ & (0.95 + 4 \ 2.3) + 32 (5.11 + 8 \ 2.717) + 16 (5.83 + 7 \ 2.89) \\ & + 2 (13.2 + 5 \ 5.89) + 1 (11.84 + 8 \ 4.98) + 2 (28.8 + 9 \\ & 2.724) + 2 (4.42 + 4 \ 3.7822) + 5 (28.56 + 16 \ 6.412) + 1 \\ & (10.92 + 4 \ 2.55) + 1 (8.56 + 7 \ 3.5) + 1 (14.44 + 5 \ 2.6) + \\ & 6 (6.56 + 13 \ 2.42) + 1 (22.84 + 16 \ 3.97)) 10^{-12} \ 25 \ 3 \ 10^6 \\ & + (64 (1.18 + 4 \ 2.63) + 64 (34.44 + 12 \ 3.344) + 1 (1.76 + \\ & 4 \ 2.941) + 2 (73.84 + 94 \ 2.33) + 1 (73.84 + 94 \ 2.33) + 1 \\ & (73.84 + 94 \ 2.33) + 2 (12.4 + 12 \ 4.39) + 2 (12.62 + 10 \\ & 3.59)) 10^{-12} \ 25 \ 1.5 \ 10^6 + (3 (34.72 + 33 \ 2.537) + 1 \\ & (40.16 + 33 \ 2.94) + 1 (38.88 + 24 \ 2.941)) 10^{-12} \ 25 \ 1.2 \\ & 10^6 + (1 (4.42 + 4 \ 3.79) + 1 (10.98 + 11 \ 2.47) + 2 (6.6 + \\ & 2 \ 2.33) + 1 (6.6 + 2 \ 2.33) + 1 (6.6 + 2 \ 2.33)) 10^{-12} \ 25 \\ & 0 \ 10^6) = \% (1133.24 \ 10^{-12} \ 25 \ 6 \ 10^6 + 7627.2316 \ 10^{-12} \ 25 \ 3 \\ & 10^6 + 6893.916 \ 10^{-12} \ 25 \ 1.5 \ 10^6 + 601.967 \ 10^{-12} \ 25 \ 1.2 \ 10^6 + \\ & 102.77 \ 10^{-12} \ 25 \ 0 \ 10^6) = \% (1.0186) \text{ vatios} \end{aligned}$$

Realizando el porcentaje de las células que conmutan, obtenemos :

$$(PAC)_{\text{núcleo}} = 22.92/100 \ 1.0186 = 0.2640235 \text{ vatios}$$

$$(PAC)_{\text{núcleo}} = 264.0235 \text{ mW}$$

5.4.3.1.2.2 POTENCIA DE ENTRADA-SALIDA

La Unidad de Ejecución posee 8 salidas y 8 entradas-salidas, que son los 8 bits de direcciones de mayor peso, y los 8 bits de direcciones de menor peso y de datos, respectivamente. La potencia en la periferia se calcula con la fórmula siguiente :

$$(PAC)_{I/O} = \sum_n (C_{PD} + C_L) V_{DD}^2 F_o)_n$$

Donde F_o es la frecuencia a la que conmutan las células de entrada-salida, y n el número de entradas-salidas.

$C_{PD} \equiv$ Es la capacidad interna de los buffers de entrada-salida utilizados.

$C_L \equiv$ Es la capacidad que hay en los nodos de salida. En ésta se incluyen las capacidades de entrada de 3 dispositivos CMOS. También se ha incluido la capacidad parásita de las patillas de salida, que es de 2pF, así como la capacidad de los nodos a la entrada de los buffers de entrada-salida, o sea la capacidad de salida de las células del núcleo que representan los buffers de entrada-salida de la periferia, que es de 2.467 pF.

$$(PAC)_{I/O} = 8 (14.3 + 2 + 2.467 + 30) 10^{-12} 25 1.2 10^6 + 8 (10.9 + 2 + 2.467 + 30) 10^{-12} 25 1.2 10^6 = 22.6 \text{ mW}$$

5.4.3.1.3 POTENCIA TOTAL

La potencia total es la suma de las tres potencias calculadas en los apartados anteriores :

$$P_{TOTAL} = P_{DC} + (PAC)_{nucleo} + (PAC)_{I/O}$$

$$P_{TOTAL} = 0.324 + 264.0235 + 22.6 = 286.95 \text{ mW}$$

5.4.3.2 SEGUNDO ESTUDIO VIABLE DE POTENCIA

En este segundo estudio se han empleado células de gran capacidad de conexión. Como veremos, esto hace que aumente la potencia que se disipa en el núcleo.

5.4.3.2.1 POTENCIA ESTÁTICA

$$P_{DC} = V_{CC} I_{CC} + \sum_n (V_{OL} I_{IL} \alpha_{DC})$$

$$P_{DC} = 5 \cdot 0.08199234 + 48 \cdot 0.44 \cdot 0.003 \cdot 0.5 = 0.41 + 0.032 = 0.442 \text{ mW}$$

5.4.3.2.2 POTENCIA DINAMICA

5.4.3.2.2.1 POTENCIA QUE SE DISIPA EN EL NUCLEO

Siguiendo el mismo proceso de cálculo que en el primer estudio de viabilidad. Teniendo en cuenta el mismo orden en el desarrollo de la ecuación, podemos identificar cada dato con el respectivo nombre y diseño al que pertenece. El porcentaje se ha tomado teniendo un total de 3172 puertas lógicas, y siendo 778 las que conmutan, obteniendo un porcentaje de 24.53%.

$$(PAC)_{\text{núcleo}} = \% \sum_n ((CPD + CL) VDD^2 F_i)_n$$

$$\begin{aligned} (PAC)_{\text{núcleo}} = \% & ((64 (7.45 + 3 \ 4.01) + 2 (76.37 + 33 \ 3.74) \\ & + 1 (76.37 + 33 \ 3.74) + 1 (76.37 + 33 \ 3.74)) \ 10^{-12} \ 25 \ 6 \\ & 10^6 + (1 (105.84 + 40 \ 4.34) + 2 (68.8 + 22 \ 3.74) + 1 \\ & (68.8 + 22 \ 3.74) + 1 (68.8 + 22 \ 3.74) + 2 (309.17 + 130 \\ & 7.315) + 1 (311.7 + 131 \ 7.27) + 1 (311.7 + 130 \ 7.29) + 16 \\ & (6.14 + 4 \ 7.7) + 32 (16.5 + 8 \ 6.041) + 16 (19.14 + 7 \\ & 7.78) + 2 (13.2 + 5 \ 6.902) + 1 (11.84 + 8 \ 5.852) + 2 \\ & (31.16 + 9 \ 3.64) + 1 (12.1 + 4 \ 7.7) + 5 (34.38 + 16 \ 9.72) \\ & + 1 (10.94 + 4 \ 3.062) + 1 (21.04 + 7 \ 7.94) + 1 (17.12 + 5 \\ & 3.876) + 6 (38.92 + 13 \ 8.1) + 1 (22.84 + 16 \ 4.7)) \ 10^{-12} \\ & 25 \ 3 \ 10^6 + (64 (4.58 + 1 \ 3.724) + 64 (60.4 + 16 \ 4.01) + 1 \\ & (12.64 + 4 \ 4.34) + 2 (126.54 + 94 \ 3.74) + 1 (126.54 + 94 \\ & 3.74) + 1 (126.54 + 94 \ 3.74) + 2 (24.12 + 12 \ 8.012) + 2 \end{aligned}$$

$$\begin{aligned}
 & (29.98 + 10 \cdot 8.04) \cdot 10^{-12} \cdot 25 \cdot 1.5 \cdot 10^6 + (3 \cdot (37.08 + 33 \\
 & 3.151) + 1 \cdot (101.8 + 33 \cdot 7.461) + 79.2 + 24 \cdot 4.34) \cdot 10^{-12} \cdot 25 \\
 & 1.2 \cdot 10^6 + (1 \cdot (12.1 + 4 \cdot 7.7) + 1 \cdot (33.96 + 11 \cdot 6.96) + 2 \\
 & (6.6 + 2 \cdot 3.74) + 1 \cdot (6.6 + 2 \cdot 3.74) + 1 \cdot (6.6 + 2 \cdot 3.74)) \\
 & 10^{-12} \cdot 25 \cdot 0 \cdot 10^6) = \% (2045.88 \cdot 10^{-12} \cdot 25 \cdot 6 \cdot 10^6 + 11464.19 \\
 & 10^{-12} \cdot 25 \cdot 3 \cdot 10^6 + 10906.984 \cdot 10^{-12} \cdot 25 \cdot 1.5 \cdot 10^6 + 954.562 \cdot 10^{-12} \\
 & 25 \cdot 1.2 \cdot 10^6) = \% 1.604345 \text{ Watos}
 \end{aligned}$$

$$(PAC)_{\text{núcleo}} = 24.53/100 \cdot 1.604345 = 393.545 \text{ mW}$$

5.4.3.2.2.2 POTENCIA DE ENTRADA-SALIDA

$$(PAC)_{I/O} = \sum_n ((C_{PD} + C_L) \cdot V_{DD}^2 \cdot F_o)_n$$

$$\begin{aligned}
 (PAC)_{I/O} &= 8 \cdot (14.3 + 2 + 2.967248 + 30) \cdot 10^{-12} \cdot 25 \cdot 1.2 \cdot 10^6 \\
 &+ 8 \cdot (10.9 + 2 + 2.967248 + 30) \cdot 10^{-12} \cdot 25 \cdot 1.2 \cdot 10^6 = 22.833 \\
 &\text{mW}
 \end{aligned}$$

5.4.3.2.3 POTENCIA TOTAL

$$P_{TOTAL} = P_{DC} + (PAC)_{\text{núcleo}} + (PAC)_{I/O}$$

$$P_{TOTAL} = 0.442 + 393.545 + 22.833 = 416.82 \text{ mW}$$

5.4.3.3 ESTUDIO FINAL DE POTENCIA

Una vez se ha comprobado que los diseños soportan las especificaciones requeridas, se procede a la realización de los cálculos finales.

5.4.3.3.1 POTENCIA ESTÁTICA

$$P_{DC} = V_{CC} I_{CC} + \sum_n (V_{OL} I_{IL} \times DC)$$

$$P_{DC} = 5 \cdot 0.06258103 + 48 \cdot 0.44 \cdot 0.003 \cdot 0.5 = 0.344 \text{ mW}$$

5.4.3.3.2 POTENCIA DINÁMICA

Al igual que en las estimaciones anteriores, se ha llevado el mismo orden en el desarrollo de las ecuaciones, pudiendo así asignar los datos a las explicaciones dadas en el primer estudio de viabilidad.

5.4.3.3.2.1 POTENCIA QUE DISIPA EN EL NÚCLEO

El porcentaje que se le aplica a la potencia que se disipa en el núcleo es de 26.27 %, teniendo en cuenta que el número total de puertas lógicas es de 2961, siendo 778 el número máximo de células que conmutan a un mismo tiempo.

$$(PAC)_{\text{núcleo}} = \% \sum_n (C_{PD} + C_L) V_{DD}^2 F_I)_n$$

$$\begin{aligned}
(\text{Pac})_{\text{núcleo}} = \% & \left((64 (5.14 + 3 \quad 3.31) + 2 (86.56 + 29 \right. \\
& 3.542) + 1 (86.56 + 29 \quad 3.542) + 1 (86.56 + 29 \quad 3.542)) \\
& 10^{-12} 25 3.75 10^6 + (1 (111.22 + 41 \quad 4.88567) + 2 (25.54 + \\
& 13 \quad 3.542) + 1 (25.54 + 13 \quad 3.542) + 1 (25.54 + 13 \quad 3.542) + \\
& 2 (267.91 + 114 \quad 8.055) + 1 (269.42 + 115 \quad 7.871) + 1 \\
& (267.44 + 113 \quad 7.941) + 16 (9.38 + 4 \quad 7.035) + 32 (9.71 + 8 \\
& 5.759) + 16 (5.83 + 7 \quad 3.615) + 2 (13.2 + 5 \quad 7.2) + 1 (21.01 \\
& + 8 \quad 4.2) + 2 (28.8 + 9 \quad 3.163) + 1 (4.42 + 4 \quad 4.68) + 5 \\
& (28.56 + 16 \quad 7.82) + 1 (10.94 + 4 \quad 3.21) + 1 (13.8 + 7 \\
& 6.082) + 1 (14.44 + 5 \quad 3.2672) + 6 (8.52 + 13 \quad 3.292) + 1 \\
& (36.61 + 16 \quad 7.13241)) 10^{-12} 25 1.874 10^6 + (64 (2.77 + 1 \\
& 3.31) + 64 (34.44 + 12 \quad 4.157) + 1 (12.64 + 4 \quad 4.88567) + 2 \\
& (189.58 + 94 \quad 3.542) + 1 (189.58 + 94 \quad 3.542) + 1 (189.58 + \\
& 94 \quad 3.542) + 2 (24.12 + 12 \quad 8.34262) + 2 (11.82 + 10 \\
& 4.32664)) 10^{-12} 25 0.937 10^6 + (3 (34.72 + 33 \quad 3.2) + 1 \\
& (40.16 + 33 \quad 3.67) + 1 (12.48 + 16 \quad 4.88567)) 10^{-12} 25 0.75 \\
& 10^6 + (1 (4.42 + 4 \quad 4.68) + 1 (10.98 + 11 \quad 3.11015) + 2 (6.6 \\
& + 2 \quad 3.542) + 1 (6.6 + 2 \quad 3.542) + 1 (6.6 + 2 \quad 3.542)) \\
& 10^{-12} 25 0 10^6) = \% (1721.592 10^{-12} 25 3.75 10^6 + 9821.717 \\
& 10^{-12} 25 1.874 10^6 + 8234.6037 10^{-12} 25 0.937 10^6 + 672.881 \\
& 10^{-12} 25 0.75 10^6 + 123.07 10^{-12} 25 0 10^6 = \% 0.8270588 \\
& \text{vatios}
\end{aligned}$$

$$(\text{Pac})_{\text{núcleo}} = 26.27/100 0.8270588 = 217.268 \text{ mW}$$

5.4.3.3.2 POTENCIA DE ENTRADA-SALIDA

$$(P_{AC})_{I/O} = \sum_n ((C_{PD} + C_L) V_{DD}^2 F_o)_n$$

$$(P_{AC})_{I/O} = 8 (14.3 + 2 + 2.53856 + 30) 10^{-12} 25 0.75 10^6 + 8 (10.9 + 2 + 2.53856 + 30) 10^{-12} 25 0.75 10^6 = 14.1415 \text{ mW}$$

5.4.3.3.3 POTENCIA TOTAL

$$P_{TOTAL} = P_{DC} + (P_{AC})_{\text{núcleo}} + (P_{AC})_{I/O}$$

$$P_{TOTAL} = 0.344 + 217.268 + 14.1415 = 231.7535 \text{ mW}$$

La potencia total del chip, formado por la Unidad de Control y de Ejecución es de 325 mW

5.4.3.4 CONCLUSION

Los dos estudios de potencia previos, los realicé en un principio sin tener en cuenta el área que ocupaban los buffers de la periferia, sobre todo de la Unidad de Control, que contiene la mayor parte de los mismos. Por este motivo la frecuencia salía mayor que la real. El cálculo final lleva el área total, incluyendo el de éstos buffers.

Como podemos observar, la potencia estática es prácticamente despreciable frente a la potencia dinámica. Al aumentar la capacidad de conexión de las células, aumenta la capacidad,

lo que hace que aumente la potencia. No obstante éste no es el único parámetro que hace elevar la potencia, ya que si aumenta la frecuencia, se incrementa notablemente la potencia. Así pues, la potencia depende de ambos parámetros, lo que crea una consideración en el diseño del circuito, y en la elección de las células. Habiendo realizado un estudio de viabilidad, descubrí cuales son mis limitaciones, y pude, teniendo en cuenta mis requerimientos, jugar con ambos parámetros para conseguir el resultado más idóneo.

En el diseño, he conseguido una baja disipación de potencia, teniendo en cuenta que la velocidad no iba a ser muy elevada, debido a el gran retardo que poseen éstas células. No obstante en los caminos críticos se ha intentado aumentar la velocidad, de forma que se logre también mayor rapidez, teniendo que aumentar la potencia. Todo esto es razonable por cuanto se puede observar en los estudios de viabilidad, que para una velocidad máxima, obtenida aumentando la capacidad de conexión de las células del camino más crítico, se obtienen unos valores bajos de potencia.

5.4.3 ASIGNACION DE PINES DE ALIMENTACION Y MASA

Se ha requerido la utilización de 3 pines de alimentación y de 2 de masa, para el conjunto del chip. (Referirse a el proyecto de la Unidad de Control)

5.4.4 NUMERO DE PINES

El número de pines de la Unidad de Ejecución son en total de 16, 8 de datos-direcciones, y 8 de direcciones. El número de pines de la Unidad de Control son en total de 99, 62 del campo de datos procedentes de la memoria externa, 10 de dirección de la memoria, y 27 restantes del 8085, incluyendo en éstas los de alimentación y tierra. De esta forma salen en total 115 pines, escogiendo el encapsulado QFP plástico de 120 pines que muestra la siguiente tabla :

Package Type		Number of pins																
		14	16	16L	18	20	24	28	40	44	54	68	80	84	100	120	144	160
DIL	Plastic	X	X		X	X	X	X	X									
SO	Plastic	X	X	X		X	X	X										
PLCC	Plastic									X	X		X					
QFP	Plastic									X		X		X	X		X	
PGA	Ceramic										X		X		X	X		

5.4.5 RANGOS DE VOLTAJE Y TEMPERATURA

He utilizado el rango de voltaje de alimentación de 3v.--5v.--5.5v., que son los rangos que se utilizan para entradas CMOS, y entradas-salidas CMOS. Para el rango de temperatura he utilizado el rango de temperatura ambiente de -40 a +85 grados centígrados.

5.5 SELECCION DE CELULAS E IMPLEMENTACION LOGICA

En un principio explicaré las consideraciones que he seguido en el diseño lógico de cada circuito, y las de la selección de las células. Los planos que contienen los diseños de los circuitos, se adjuntan al final de este proyecto.

5.5.1 EXPLICACION DE LOS BLOQUES CAPTURADOS

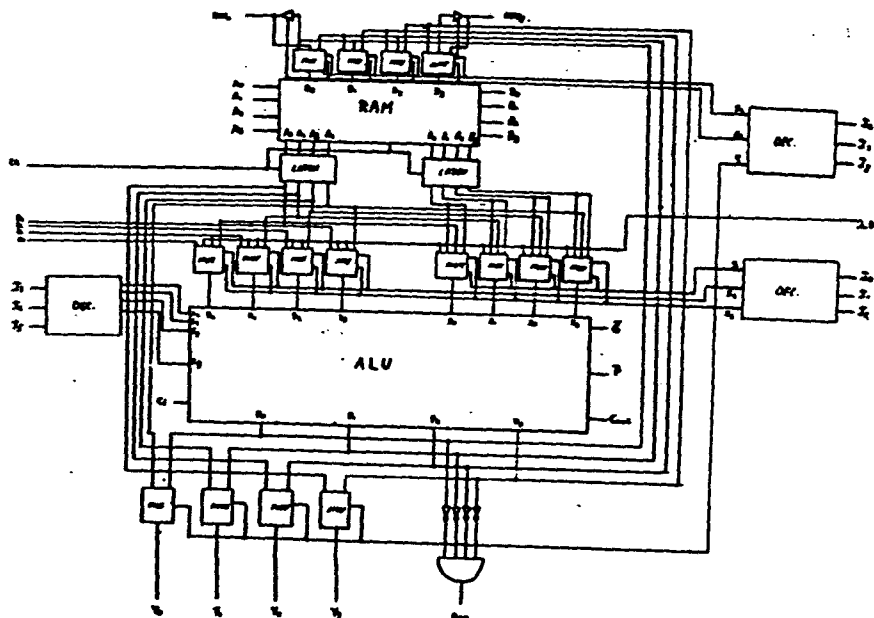
En un principio realicé un estudio de velocidad, número de cargas a la entrada, CPD, y número de puertas equivalentes en área, de todas las células de las diferentes familias lógicas de la librería. En este estudio observé, que en relación a la CPD y número de puertas equivalentes en área, las diferencias entre unas familias y otras no eran muy considerables. Con respecto a el número de cargas a la entrada, observé que sí habían diferencias entre las distintas familias lógicas, y que había que tener en cuenta, debido a que aumentaban un poco el retardo, y en algunos casos podía llegar a ser considerable. Observé en este caso que las familias de los Inversores, NAND, NOR, y OR-exclusivas, representaban mayor número de cargas a sus entradas, que las demás familias. Por otro lado las familias más rápidas son las de los Inversores, NAND, y AND, siguiéndoles a estas en rapidez y por ese orden, las OR, NOR, y OR-exclusivas. La velocidad de las células, las medí

comparando el retardo en las mismas condiciones, como capacidad de conexión, el mismo número de cargas conectadas a la salida, y el mismo número de puertas equivalentes en área.

El diseño de la Unidad de Ejecución de la CPA en células estándar de PHILIPS, lo he realizado traduciendo dicha arquitectura CPA, de tal forma que he tenido que eliminar partes innecesarias, quedándome con lo fundamental, y adecuándolo a las células estándar ó SystemCell, de forma que algunas veces he tenido que diseñar con lo que hay disponible, células o puertas no existentes en la librería.

5.5.1.1 DISEÑO DE LAS UNIDADES DE PROCESO

Las unidades de proceso tienen el siguiente diagrama de bloques detallado, cuya explicación he dado ya en la sección 5.3.1.1 :



Figura

5.5.1.1.1 DISEÑO DE LAS ALUS

El diseño de las ALUs requiere las siguientes operaciones aritmético-lógicas para cada código de control :

Mnemonic	MICRO CODE				ALU Function	SYMBOL
	l ₃	l ₄	l ₅	Octal Code		
ADD	L	L	L	0	R Plus S	R + S
SUBR	L	L	H	1	S Minus R	S - R
SUBS	L	H	L	2	R Minus S	R - S
OR	L	H	H	3	R OR S	R V S
AND	H	L	L	4	R AND S	R A S
X	H	L	H	5	X	X
EXOR	H	H	L	6	R EX-OR S	R V S
EXNOR	H	H	H	7	R EX-NOR S	R V S

Para estos requisitos escogí la ALU rápida de 4 bits AM25LS381, y la AM25LS2517, las dos de AMD que realizan 6 de las 7 operaciones necesarias. Ambas ALUs se diferencian únicamente en que la primera da los acarrees generados y propagados invertidos, y la segunda da el bit de acarreo y el de desbordamiento (overflow). Estas ALUs tienen códigos diferentes a los de la tabla, por lo que necesito un decodificador, que incluí en los mismos dibujos de las alus. Por otra parte estas ALUs no realizan la operación de OR-exclusiva invertida, por lo que tuve que diseñar un nivel de lógica más en la ALU, con OR-exclusivas controladas por una señal proveniente del decodificador, que realizaran dicha operación.

Por otra parte, los diseños de las ALUs anteriormente

citadas, estaban diseñadas en sus dos bloques centrales con puertas AND seguidas de puertas NOR, lo que introducía en células estandar un aumento considerable del retardo. Dichos bloques los rediseñé con células más rápidas, como son las NAND y las AND, produciendo mayor rapidez en las ALUs, y consecuentemente a el camino crítico.

$$\begin{aligned}
 F &= \overline{\overline{A_3 A_2 A_1 A_0} + \overline{B_3 B_2 B_1 B_0} + \overline{C_3 C_2 C_1 C_0}} = \\
 &= \overline{A_3 A_2 A_1 A_0} \overline{B_3 B_2 B_1 B_0} \overline{C_3 C_2 C_1 C_0}
 \end{aligned}$$

Con respecto a la capacidad de conexión de las células, en un principio se hizo un estudio de el retardo que introducían las células de baja capacidad de conexión, llegando a la conclusión de que eran demasiado lentas. Luego fui aumentando el fan-out o la capacidad de conexión de las mismas desde la salida hacia atrás. El resultado fué una disminución de el retardo , pero no considerablemente, debido a que en las células NAND, al aumentar la capacidad de conexión, aumentamos también el número de cargas a la entrada de las mismas, lo que hace aumentar el retardo de la célula o puerta que esté conectada a su entrada. Otra de las limitaciones al emplear las células NAND, es que a pesar de ser una de las más rápidas, no tienen mucho fan-out, siendo el número máximo de puertas que pueden conectarsele a una NAND, de máxima capacidad de conexión, de 30 cargas. Comparando con las de otras familias que llegan hasta 60, y en el caso de los inversores a 100.

5.5.1.1.1.1 DISEÑO DE LA A1

El diseño de la ALU A1 conlleva todo lo que he expresado anteriormente, aunque requería a su salida los acarrees generados y propagados invertidos, teniendo que utilizar el modelo de la ALU AM25LS381.

5.5.1.1.1.2 DISEÑO DE LA A2

En el diseño de la A2 se requiere además de los acarrees generados y propagados invertidos, el acarreo de salida , por lo que he tenido que realizar una composición de ambas ALUs, la AM25LS381 y la AM25LS2517.

5.5.1.1.1.3 DISEÑO DE LA A3

Por último el diseño de la A3 requería sólo el acarreo de salida, por lo que sólo he utilizado el modelo de la AM25LS2517, quitándole a éste diseño el circuito que generaba el bit de desbordamiento o overflow.

5.5.1.1.2 DISEÑO DE LAS RAM

Cuando la señal de reloj está a nivel alto se pueden leer datos de la RAM, y cuando está a nivel bajo se pueden escribir datos en la RAM. La RAM está compuesta de 16 palabras de 4 bits cada una. Es de doble puerto , con doble

lógica de decodificación, pudiendo leer y escribir al direccionar uno de éstos decodificadores, y sólo leer al direccionar el otro.

5.5.1.1.2.1 DISEÑO DEL CIRCUITO REG

En el diseño REG he utilizado latches activos por nivel, controlados tanto por el decodificador, como por la señal de reloj, de tal forma que cuando la señal de reloj esté a cero, o sea se puede escribir, y sea seleccionado el registro por el decodificador, los datos en la entrada de datos del latch pasan a la salida del mismo. A la salida de cada latch existen dos buffers activos, uno para cada puerto, de tal forma que cuando la señal de reloj esté a uno, y se direcciona mediante el decodificador dicho registro, se produce la activación de los buffers del puerto que se esté direccionando, pasando los bits de la salida de dichos latches hacia dicho puerto de salida.

5.5.1.1.2.2 DISEÑO DEL CIRCUITO DEC

En el diseño DEC, el cual se repite 16 veces al igual que el registro REG, se decodifican los 4 bits de direcciones, resultando una señal a uno lógico a la salida de AND de 4 entradas, si éste es el registro que se quiere direccionar, y ésta señal unida a la del reloj controlan mediante dos puertas AND y un inversor, las operaciones de lectura y

escritura. Todo lo explicado se refiere al decodificador de lectura y escritura, en el otro decodificador, el de sólo lectura, se ha eliminado una de las AND y un inversor, que servían para la operación de escritura.

TABLAS DE VERDAD

S	CLK	S0	S1
0	0	0	0
0	1	0	0
1	0	1	0
1	1	0	1

B3	B2	B1	B0	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Las puertas AND de el diseño DEC son de gran capacidad de conexión debido a que este diseño forma parte del camino crítico, no obstante no poseen la máxima capacidad, ya que pertenece a el ciclo de lectura. El inversor tiene la mínima capacidad de conexión, ya que la señal de reloj llega mucho antes.

5.5.1.1.3 DISEÑO DE LOS DECODIFICADORES

5.5.1.1.3.1 DECODIFICADOR DE LA ALU

El decodificador de las distintas operaciones de las 3 ALUs, realiza la decodificación lógica expresada en la tabla siguiente :

TABLA DE VERDAD

Selection			Arithmetic/Logic Operation
S ₂	S ₁	S ₀	
L	L	L	Clear
L	L	H	B Minus A
L	H	L	A Minus B
L	H	H	A Plus B
H	L	L	A * B
H	L	H	A + B
H	H	L	AB
H	H	H	Preset

Mnemonic	MICRO CODE			Octal Code	ALU Function	SYMBOL
	b ₂	b ₁	b ₀			
ADD	L	L	L	0	R Plus S	R + S
SUBR	L	L	H	1	S Minus R	S - R
SUBS	L	H	L	2	R Minus S	R - S
OR	L	H	H	3	R OR S	R VS
AND	H	L	L	4	R AND S	R AS
X	H	L	H	5	X	X
EXOR	H	H	L	6	R EX-OR S	R VS
EXNOR	H	H	H	7	R EX-NOR S	R VS

Este diseño se ha realizado en tres niveles de lógica, y se ha implementado con puertas NAND e inversores.

El decodificador traduce el código requerido a el de las ALUs AM25LS381 y AM25LS2517, realizando ambas las mismas operaciones.

5.5.1.1.3.2 DISEÑO DEL DECODIFICADOR DE SELECCION DE OPERANDO FUENTE

Este diseño decodifica los bits de control I0, I1, I2, y selecciona mediante multiplexores, con una lógica cableada, los operandos fuentes de la ALU.

TABLA DE VERDAD

Mnemonic	MICRO CODE				ALU SOURCE OPERANDS	
	I ₂	I ₁	I ₀	Octal Code	R	S
X	L	L	L	0	X	X
AB	L	L	H	1	A	B
X	L	H	L	2	X	X
ZB	L	H	H	3	O	B
ZA	H	L	L	4	O	A
DA	H	L	H	5	D	A
X	H	H	L	6	X	X
DZ	H	H	H	7	D	O

Su diseño se ha realizado con células NAND, ya que son rápidas, lo que disminuye el retardo del camino crítico al que pertenece.

5.5.1.1.3.3 DISEÑO DEL DECODIFICADOR DE DESTINO DE LA ALU

Este diseño decodifica los bits de control I8, I7, I6, y selecciona mediante multiplexores, el destino de los datos de salida de la ALU. Este decodificador controla entonces las operaciones de escritura de datos en la RAM, y de rotación, y de salida de datos de la unidad de proceso.

TABLA DE VERDAD

Mnemonic	MICRO CODE				RAM FUNCTION		Y OUTPUT	RAM SHIFTER	
	I ₈	I ₇	I ₆	Octal Code	Shift	Load		RAM ₀	RAM ₃
	L	L	L	0	X	NONE	F	X	X
NOP	L	L	H	1	X	NONE	F	X	X
RAMA	L	H	L	2	NONE	F → B	A	X	X
RAMF	L	H	H	3	NONE	F → B	F	X	X
X	H	L	L	4	X	X	F	X	X
RAMD	H	L	H	5	DOWN	F2 → B	F	F ₀	2N ₃
X	H	H	L	6	X	X	F	X	X
RAMU	H	H	H	7	UP	2F → B	F	2N ₀	F ₃

Su diseño fué bastante simple, y se vió con sólo observar detenidamente la tabla. Se utilizó una puerta NAND y un inversor.

5.5.1.1.4 DISEÑO DE LOS MULTIPLEXORES

5.5.1.1.4.1 DISEÑO DEL MULTIPLEXOR MUX1

Este diseño lo he realizado con 3 puertas NAND, de gran capacidad de conexión, para lograr mayor velocidad, ya que pertenece al camino crítico, y un inversor de poca capacidad de conexión, debido a que su señal llega mucho antes.

TABLA DE VERDAD

INPUTS			OUTPUT
S	A	B	Y
L	L	X	L
L	H	X	H
H	X	L	L
H	X	H	H

5.5.1.1.4.2 DISEÑO DEL MULTIPLEXOR MUX2

Este multiplexor lo he realizado con 5 puertas NAND de gran capacidad de conexión para lograr mayor velocidad. También posee dos inversores de capacidad mínima, ya que su señal llega con antelación, y de un buffer a la salida debido a que la puerta NAND de 4 entradas a pesar de ser la de mayor capacidad de su familia, sólo tiene la posibilidad de conectarsele 7 cargas, lo que aumenta un poco el retardo, pero resultando aún más rápido que otros diseños con otras puertas lógicas.

TABLA DE VERDAD

INPUTS						OUTPUT
S2	S1	A	B	C	D	Y
L	L	L	X	X	X	L
L	L	H	X	X	X	H
L	H	X	L	X	X	L
L	H	X	H	X	X	H
H	L	X	X	L	X	L
H	L	X	X	H	X	H
H	H	X	X	X	L	L
H	H	X	X	X	H	H

5.5.1.1.4.2 DISEÑO DEL MULTIPLEXOR MUX3

Este multiplexor está diseñado con puertas NAND, de mínima capacidad de conexión, debido a que no pertenece a el camino crítico, y con puertas AND seguida de un inversor, ambas de poca capacidad de conexión. Al no pretender ganar velocidad, y ser las puertas NAND de bajo fan-out, consideré ésta la mejor forma. Los inversores son de poca capacidad de conexión, ya que su señal llega incluso antes.

TABLA DE VERDAD

B	C	D	S2	S1	Y
X	X	X	0	0	X
X	X	X	0	0	X
0	X	X	0	1	0
1	X	X	0	1	1
X	0	X	1	0	0
X	1	X	1	0	1
X	X	0	1	1	0
X	X	1	1	1	1

5.5.1.1.5 DISEÑO DEL COMPARADOR DE MAGNITUD A85

Este diseño lo he realizado con puertas NAND y inversores de gran capacidad de conexión, ya que tiene un retardo próximo al del generador de paridad. Se utilizan 2 comparadores

iguales, uno para comparar si el valor de los 4 bits menos significativos del acumulador es mayor que 9, y el otro lo mismo para los 4 bits más significativos. Este diseño se ha realizado específicamente para que realice dichas funciones.

5.5.1.1.6 DISEÑO DEL GENERADOR DE PARIDAD A80

Este diseño lo he realizado con Or-exclusivas y con un inversor a la salida, ambas de gran capacidad de conexión, para obtener mayor velocidad, ya que pertenece al camino crítico.

TABLA DE VERDAD

I_0	I_1	PO	PE
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

5.5.1.1.7 DISEÑO DEL REGISTRO A74

En este diseño encontré que las células DTN11 cumplían las especificaciones requeridas en la tabla siguiente :

TABLA DE VERDAD

CLOCK	D	OUTPUT
↑	H	H
↑	L	L
L	X	Q_0

5.5.1.1.8 DISEÑO DEL MULTIPLEXOR A57

Este diseño se repite bastante en otros diseños, y se ha realizado en este caso con células NAND y inversores de poca capacidad de conexión ya que no forma parte del camino crítico.

TABLA DE VERDAD

SELECT \bar{A}/B	A	B	Y
X	X	X	L
L	L	X	L
L	H	X	H
H	X	L	L
H	X	H	H

5.5.1.1.9 DISEÑO DEL MULTIPLEXOR A53

El diseño de este multiplexor lo he realizado con células NAND y inversores, de gran capacidad de conexión para conseguir mayor velocidad, debido a que pertenece al camino crítico.

TABLA DE VERDAD

S2	S1	A	B	C	D	Y
L	L	L	X	X	X	L
L	L	H	X	X	X	H
L	H	X	L	X	X	L
L	H	X	H	X	X	H
H	L	X	X	L	X	L
H	L	X	X	H	X	H
H	H	X	X	X	L	L
H	H	X	X	X	H	H

5.5.1.1.10 DISEÑO DEL MULTIPLEXOR A51

Este diseño lo he realizado con células NAND de gran capacidad de conexión para conseguir mayor velocidad, ya que forma parte del camino crítico. Los inversores tienen poca capacidad de conexión, debido a que su señal llega con mucha anticipación. De todas formas este diseño introduce un retardo considerable.

TABLA DE VERDAD

SELECT			Y
C	B	A	
X	X	X	L
L	L	L	D0
L	L	H	D1
L	H	L	D2
L	H	H	D3
H	L	L	D4
H	L	H	D5
H	H	L	D6
H	H	H	D7

5.5.1.1.11 DISEÑO DE LOS REGISTROS A20 Y B20

Estos registros no pertenecen al camino crítico, por lo que los he diseñado con células de poca capacidad de conexión. Las células se han elegido en el diseño B20 de forma que realice la función mostrada en la tabla de abajo. El diseño A20 es similar pero se ha diseñado quitando la señal de CLEAR.

TABLA DE VERDAD

Function	Inputs				Internal	Outputs
	CLR	\bar{E}	D_i	CP	Q_i	Y_i
Clear	L	X	X	X	L	Z
	L	X	X	X	L	L
Hold	H	H	X	X	NC	Z
	H	H	X	X	NC	NC
Load	H	L	L	↑	L	Z
	H	L	H	↑	H	Z
	H	L	L	↑	L	L
	H	L	H	↑	H	H

5.5.1.1.12 DISEÑO DE LOS REGISTROS A18 Y B18

Debido a la necesidad de velocidad en estos diseños, he realizado un estudio de los flip-flops que realizaran las funciones deseadas, encontrando los DTN11 ideales para ello.

TABLA DE VERDAD

CLOCK CP	D	Q
L	X	NC
H	X	NC
↑	L	L
↑	H	H
↑	L	L
↑	H	H
-	-	L
-	-	H

5.5.1.1.13 DISEÑO DE LOS MULTIPLEXORES B57, C57, Y D57

Estos diseños son idénticos a los del A57, y repiten 2 ó más veces el mismo diseño de A57 (ver sección 5.5.1.1.8).

5.5.1.1.14 DISEÑO DEL MULTIPLEXOR B53

El multiplexor lo he diseñado con células NAND e inversores de poca capacidad de conexión, por estar este diseño fuera del camino crítico. También se han empleado buffers activos de tres estados para no provocar cortocircuitos en las líneas o buses de rotación.

TABLA DE VERDAD

A	C0	C1	\bar{G}	Y
X	X	X	H	Z
L	L	X	L	L
L	H	X	L	H
H	X	L	L	L
H	X	H	L	H

5.5.1.1.15 DISEÑO DEL GENERADOR DE ACARREO RAPIDO B02

Debido a que este circuito forma parte del camino crítico, lo he diseñado con células de mayor capacidad de conexión, para conseguir mayor velocidad. Este circuito se ha rediseñado con células NAND y AND en vez de las AND y NOR empleadas en el diseño de la AM2902A de AMD, para imprimir aún mayor velocidad al diseño.

$$C_{x0,x1} = \overline{\overline{G_0} \overline{P_0}} + \overline{\overline{C_n} \overline{G_0}} = \overline{\overline{G_0} \overline{P_0}} \overline{\overline{C_n} \overline{G_0}}$$

$$C_y = \overline{\overline{G_1} \overline{P_1}} + \overline{\overline{G_0} \overline{G_1} \overline{P_0}} + \overline{\overline{G_0} \overline{G_1} \overline{C_n}} = \overline{\overline{G_1} \overline{P_1}} \overline{\overline{G_0} \overline{G_1} \overline{P_0}} \overline{\overline{G_0} \overline{G_1} \overline{C_n}}$$

$$\begin{aligned}
 Cz &= \overline{G_2} \overline{P_2} + \overline{G_1} \overline{G_2} \overline{P_1} + \overline{G_0} \overline{G_1} \overline{G_2} \overline{P_0} + \overline{G_0} \overline{G_1} \overline{G_2} \overline{C_n} = \\
 &= \overline{G_2} \overline{P_2} \quad \overline{G_1} \overline{G_2} \overline{P_1} \quad \overline{G_0} \overline{G_1} \overline{G_2} \overline{P_0} \quad \overline{G_0} \overline{G_1} \overline{G_2} \overline{C_n} =
 \end{aligned}$$

5.6 SIMULACION

En este apartado mostraré en primer lugar los ficheros estímulos o ficheros de valores de entrada necesarios para la simulación. A continuación daré la simulación alfanumérica, y por último mostraré la simulación gráfica de los diseños.

La simulación de la mayoría de los diseños ocupan mucho espacio, debido a que se ha realizado para todos los casos posibles. Por lo que sólo he dado una pequeña muestra de la simulación. Si se desean ver los demás casos, se cogerán los ficheros con la extensión .RES, y se verán en el simulador LESIM2, en la última fase, en SIMPRT para ver la simulación alfanumérica, y en PLOT para ver la simulación gráfica.

Los diseños MUX1,B57,C57, y D57 no les he realizado la simulación, por ser repeticiones del diseño A57, al que si se la he realizado.

Los diseños MUX2, y MUX3, los he simulado directamente con la simulación de las unidades de proceso. Los diseños DEC y REG los he simulado primero con la simulación de la RAM B1, y luego en las unidades de proceso.

La RAM B1 fué simulada en un principio, para ver si los diseños DEC y REG funcionaban perfectamente, y por supuesto la RAM. Sin embargo ésta fué absorbida por la unidad de proceso, por lo que se incluye en el dibujo de la misma, aunque la simulación de la RAM está un poco anticuada debido a la cantidad de cambios que ha sufrido.

5.6.1 SIMULACION DE LA ALU A1

5.6.1.1 FICHERO ESTIMULO DE A1

```
*****
*   SCL   DESCRIPCION           *
*****
  IDENT 'A1'
*
  P I5,I4,I3,,R3,R2,R1,RO,,S3,S2,S1,SO,,CI,,GN,PN,,F3,F2,F1,
#FO
  PCO
*
  STAB
  SETV I,0
  SETV C,0
LABEL1 SETV Q,0
  IFV I=8 GT LABEL13
  IFV I>0 GT LABEL2
  IFV C=1 GT LABEL2
  PC 'R+S'
LABEL2 IFV Q=256 GT LABEL3
  DECV I(I5,I4,I3)
  DECV C(CI)
  DECV Q(R3,R2,R1,RO,S3,S2,S1,SO)
  SU TIME=*+5000
  INCR Q,1
  GT LABEL2
LABEL3 IFV C=0 GT LABEL4
  SETV C,0
  GT LABEL5
LABEL4 INCR C,1
  GT LABEL1
LABEL5 IFV I>0 GT LABEL6
  PC 'S-R'
```

```
GT LABEL12
LABEL6 IFV I>1 GT LABEL7
PC 'R-S'
GT LABEL12
LABEL7 IFV I>2 GT LABEL8
PC 'R OR S'
GT LABEL12
LABEL8 IFV I>3 GT LABEL9
PC 'R AND S'
GT LABEL12
LABEL9 IFV I>4 GT LABEL10
PC 'INDEFINIDO'
GT LABEL12
LABEL10 IFV I>5 GT LABEL11
PC 'R OR-EX S'
GT LABEL12
LABEL11 IFV I>6 GT LABEL12
PC '(R OR-EX S)N'
LABEL12 INCR I,1
GT LABEL1
LABEL13 F
```

5.6.1.2 SIMULACION ALFANUMERICA DE A1

```
*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
```

```
File=A:A1.RES           Unit= 10 psec Case=MC           Jan 4,1980
```

```
-----
T   III RRRR SSSS C GP FFFP *
I   543 3210 3210 I NN 3210 *
M                                     C
E                                     H
                                     K
-----
```

R+S

```
-----
O   000 0000 0000 0 ** .**** *
2717 000 0000 0000 0 *1 **** *
3077 000 0000 0000 0 11 **** *
4225 000 0000 0000 0 11 **0* *
4296 000 0000 0000 0 11 **00 *
4361 000 0000 0000 0 11 *000 *
4525 000 0000 0000 0 11 0000 0
500000 000 0000 0001 0 11 0000 0
502066 000 0000 0001 0 11 0001 0
1000000 000 0000 0010 0 11 0001 0
1002061 000 0000 0010 0 11 0011 0
1002457 000 0000 0010 0 11 0010 0
1500000 000 0000 0011 0 11 0010 0
1502066 000 0000 0011 0 11 0011 0
2000000 000 0000 0100 0 11 0011 0
2002045 000 0000 0100 0 11 0111 0
2002447 000 0000 0100 0 11 0101 0
2002457 000 0000 0100 0 11 0100 0
2500000 000 0000 0101 0 11 0100 0
2502066 000 0000 0101 0 11 0101 0
3000000 000 0000 0110 0 11 0101 0
3002061 000 0000 0110 0 11 0111 0
3002457 000 0000 0110 0 11 0110 0
3500000 000 0000 0111 0 11 0110 0
3502066 000 0000 0111 0 11 0111 0
4000000 000 0000 1000 0 11 0111 0
4002030 000 0000 1000 0 11 1111 0
4002419 000 0000 1000 0 11 1011 0
4002447 000 0000 1000 0 11 1001 0
4002457 000 0000 1000 0 11 1000 0
4500000 000 0000 1001 0 11 1000 0
-----
```

5.6.1.3 SIMULACION GRAFICA DE A1

```

*****
*           SimPrt 2.2 : L E S I M 2 Print Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988       *
*****

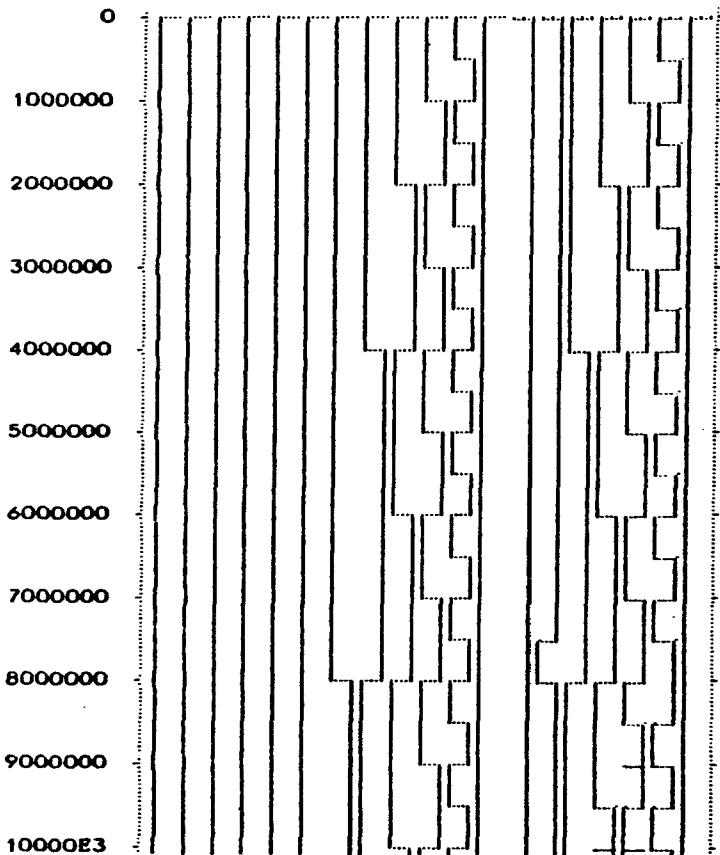
```

File=A:A1.RES Unit= 10 psec Case=MC Step=25000 Jan 4,1980

```

-----
T   I I I R R R R S S S S C G P P P P P *
I   5 4 3 3 2 1 0 3 2 1 0 I N N 3 2 1 0 #
M
E                                     C
                                     H
                                     K
-----

```



5.6.2 SIMULACION DE LA ALU A2

5.6.2.1 FICHERO ESTIMULO DE A2

```
*****
*   SCL   DESCRIPCION                               *
*****
  IDENT 'A2'
*
  P  I5,I4,I3,,R3,R2,R1,RO,,S3,S2,S1,SO,,CI,,GN,PN,,CO,,F3,F2,
#F1,FO
  PCO
*
  STAB
  SETV I,O
  SETV C,O
LABEL1 SETV Q,O
  IFV I=8 GT LABEL13
  IFV I>0 GT LABEL2
  IFV C=1 GT LABEL2
  PC 'R+S'
LABEL2 IFV Q=256 GT LABEL3
  DECV I(I5,I4,I3)
  DECV C(CI)
  DECV Q(R3,R2,R1,RO,S3,S2,S1,SO)
  SU TIME=*+5000
  INCR Q,1
  GT LABEL2
LABEL3 IFV C=0 GT LABEL4
  SETV C,O
  GT LABEL5
LABEL4 INCR C,1
  GT LABEL1
LABEL5 IFV I>0 GT LABEL6
  PC 'S-R'
```

GT LABEL12
LABEL6 IFV I>1 GT LABEL7
PC 'R-S'
GT LABEL12
LABEL7 IFV I>2 GT LABEL8
PC 'R OR S'
GT LABEL12
LABEL8 IFV I>3 GT LABEL9
PC 'R AND S'
GT LABEL12
LABEL9 IFV I>4 GT LABEL10
PC 'INDEFINIDO'
GT LABEL12
LABEL10 IFV I>5 GT LABEL11
PC 'R OR-EX S'
GT LABEL12
LABEL11 IFV I>6 GT LABEL12
PC '(R OR-EX S)N'
LABEL12 INCR I,1
GT LABEL1
LABEL13 F

5.6.2.2 SIMULACION ALFANUMERICA DE A2

```

*****
*                               *
*           SimPrt 2.2 ; L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*                               *
*****

```

```

File=A:A2.RES           Unit= 10 psec  Case=WC           Jan 4,1980

```

```

-----
T   III RRRR SSSS C GP C PFFF *
I   543 3210 3210 I NN O 3210 #
M                                       C
E                                       H
                                       K
-----

```

R+S

```

-----
0   000 0000 0000 0 ** * **** *
2732 000 0000 0000 0 *1 * **** *
3129 000 0000 0000 0 11 * **** *
3268 000 0000 0000 0 11 0 **** *
4225 000 0000 0000 0 11 0 **0* *
4296 000 0000 0000 0 11 0 **00 *
4376 000 0000 0000 0 11 0 *000 *
4540 000 0000 0000 0 11 0 0000 0
500000 000 0000 0001 0 11 0 0000 0
502066 000 0000 0001 0 11 0 0001 0
1000000 000 0000 0010 0 11 0 0001 0
1002061 000 0000 0010 0 11 0 0011 0
1002457 000 0000 0010 0 11 0 0010 0
1500000 000 0000 0011 0 11 0 0010 0
1502066 000 0000 0011 0 11 0 0011 0
2000000 000 0000 0100 0 11 0 0011 0
2002045 000 0000 0100 0 11 0 0111 0
2002447 000 0000 0100 0 11 0 0101 0
2002457 000 0000 0100 0 11 0 0100 0
2500000 000 0000 0101 0 11 0 0100 0
2502066 000 0000 0101 0 11 0 0101 0
3000000 000 0000 0110 0 11 0 0101 0
3002061 000 0000 0110 0 11 0 0111 0
3002457 000 0000 0110 0 11 0 0110 0
3500000 000 0000 0111 0 11 0 0110 0
3502066 000 0000 0111 0 11 0 0111 0
4000000 000 0000 1000 0 11 0 0111 0
4002030 000 0000 1000 0 11 0 1111 0
4002419 000 0000 1000 0 11 0 1011 0
4002447 000 0000 1000 0 11 0 1001 0
4002457 000 0000 1000 0 11 0 1000 0
4500000 000 0000 1001 0 11 0 1000 0

```

5.6.2.3 SIMULACION GRAFICA DE A2

```

*****
*           SimPrt 2.2 ; L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

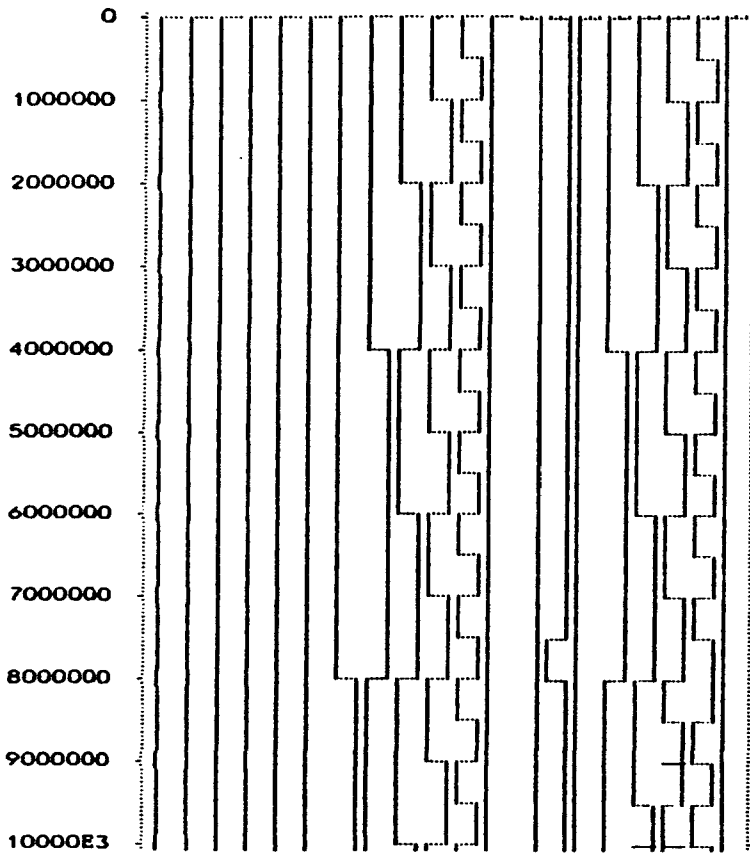
File=A:A2.RES           Unit= 10 psec Case=MC Step=25000 Jul 7,1989

```

```

-----
T   I I I R R R R S S S S C G P C F F F *
I   5 4 3 3 2 1 0 3 2 1 0 I N N 0 3 2 1 0 #
M
E                                     C
                                     H
                                     K
-----

```



5.6.3 SIMULACION DE LA ALU A3

5.6.3.1 FICHERO ESTIMULO DE A3

```
*****
*   SCL   DESCRIPCION                               *
*****
  IDENT 'A3'
*
  P I5,I4,I3,,R3,R2,R1,RO,,S3,S2,S1,SO,,CI,,CO,,F3,F2,F1,FO,
  PCO
*
  STAB
  SETV I,0
  SETV C,0
LABEL1 SETV Q,0
  IFV I=8 GT LABEL13
  IFV I>0 GT LABEL2
  IFV C=1 GT LABEL2
  PC 'R+S'
LABEL2 IFV Q=256 GT LABEL3
  DECV I(I5,I4,I3)
  DECV C(CI)
  DECV Q(R3,R2,R1,RO,S3,S2,S1,SO)
  SU TIME=*+5000
  INCR Q,1
  GT LABEL2
LABEL3 IFV C=0 GT LABEL4
  SETV C,0
  GT LABEL5
LABEL4 INCR C,1
  GT LABEL1
LABEL5 IFV I>0 GT LABEL6
  PC 'S-R'
  GT LABEL12
```

LABEL6 IFV I>1 GT LABEL7
PC 'R-S'
GT LABEL12
LABEL7 IFV I>2 GT LABEL8
PC 'R OR S'
GT LABEL12
LABEL8 IFV I>3 GT LABEL9
PC 'R AND S'
GT LABEL12
LABEL9 IFV I>4 GT LABEL10
PC 'INDEFINIDO'
GT LABEL12
LABEL10 IFV I>5 GT LABEL11
PC 'R OR-EX S'
GT LABEL12
LABEL11 IFV I>6 GT LABEL12
PC '(R OR-EX S)N'
LABEL12 INCR I,1
GT LABEL1
LABEL13 F

5.6.3.2 SIMULACION ALFANUMERICA DE A3

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright M.V. Philips'Gloeilampenfabrieken 1988   *
*****

```

```

File=A:A3.RES           Unit= 10 psec  Case=WC           Jan  4,1980

```

```

-----
T   III RRRR SSSS C C PPPP *
I   543 3210 3210 I 0 3210 #
M                                     C
E                                     H
                                     K
-----

```

R+S

```

-----
0   000 0000 0000 0 * **** *
3263 000 0000 0000 0 0 **** *
4225 000 0000 0000 0 0 **0* *
4296 000 0000 0000 0 0 **00 *
4371 000 0000 0000 0 0 *000 *
4535 000 0000 0000 0 0 0000 0
500000 000 0000 0001 0 0 0000 0
502066 000 0000 0001 0 0 0001 0
1000000 000 0000 0010 0 0 0001 0
1002061 000 0000 0010 0 0 0011 0
1002457 000 0000 0010 0 0 0010 0
1500000 000 0000 0011 0 0 0010 0
1502066 000 0000 0011 0 0 0011 0
2000000 000 0000 0100 0 0 0011 0
2002045 000 0000 0100 0 0 0111 0
2002447 000 0000 0100 0 0 0101 0
2002457 000 0000 0100 0 0 0100 0
2500000 000 0000 0101 0 0 0100 0
2502066 000 0000 0101 0 0 0101 0
3000000 000 0000 0110 0 0 0101 0
3002061 000 0000 0110 0 0 0111 0
3002457 000 0000 0110 0 0 0110 0
3500000 000 0000 0111 0 0 0110 0
3502066 000 0000 0111 0 0 0111 0
4000000 000 0000 1000 0 0 0111 0
4002030 000 0000 1000 0 0 1111 0
4002419 000 0000 1000 0 0 1011 0
4002447 000 0000 1000 0 0 1001 0
4002457 000 0000 1000 0 0 1000 0
4500000 000 0000 1001 0 0 1000 0

```

5.6.3.3 SIMULACION GRAFICA DE A3

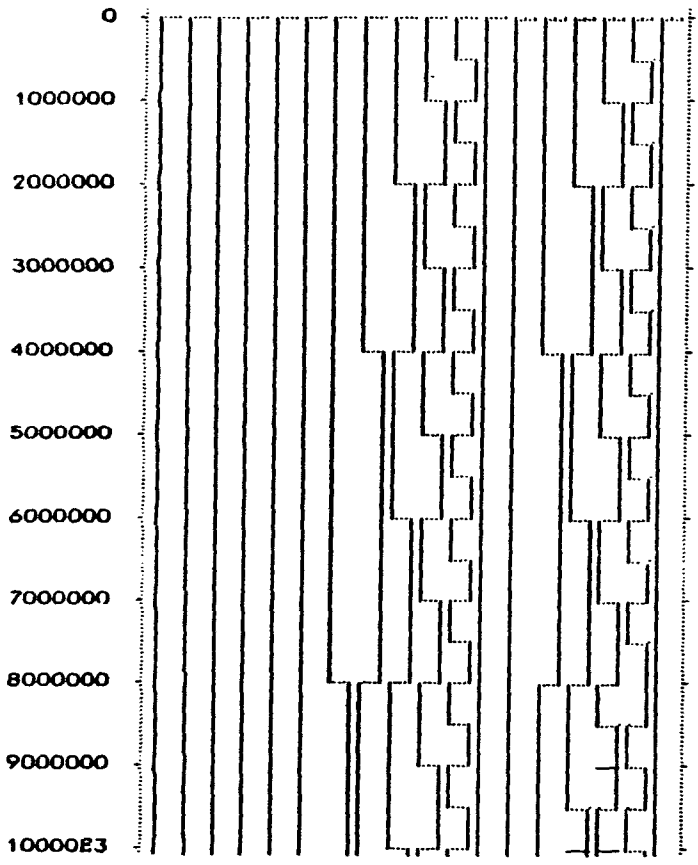
```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
  
```

File=A:A3.RES Unit= 10 psec Case=WC Step=25000 Jan 4,1980

```

-----
T   I I I R R R R S S S S C C P P P P *
I   5 4 3 3 2 1 0 3 2 1 0 I 0 3 2 1 0 #
K                                       C
E                                       H
                                           K
-----
  
```



© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

5.6.4 SIMULACION DE LA RAM B1

En un principio, cuando el reloj está a nivel bajo, direcciono los registros de la RAM a través de la entrada de direcciones de lectura y escritura, y voy escribiendo datos de valores iguales a los bits de direcciones. He introducido los datos de forma que no varíen antes del tiempo de activación de los latches. Cuando el reloj está a nivel alto, se direccionan los datos, de los dos posibles direccionamientos, leyendo los datos por ambos puertos.

5.6.4.1 FICHERO ESTIMULO DE B1

```
*****
*   SCL DESCRIPCION           *
*****
  IDENT 'B1'
*
  P  Z3,Z2,Z1,Z0,,W3,W2,W1,WO,,D3,D2,D1,DO,CLK,A3,A2,A1,AO,
#B3,B2,B1,BO
  PCO
*
  STAB
  SETV C,0
LABEL3 SETV A,0
  SETV B,0
  IFV B=0 GT LABEL5
LABEL4 INCR B,1
LABEL5 DECV B (W3,W2,W1,WO)
  DECV C (CLK)
  SU TIME=*+1000
  DECV B (D3,D2,D1,DO)
  SU TIME=*+500
  IFV B<16 GT LABEL4
  IFV A=0 GT LABEL7
LABEL6 INCR A,1
LABEL7 DECV A (Z3,Z2,Z1,ZO)
  DECV C (CLK)
  SU TIME=*+1000
  IFV A<16 GT LABEL6
  INCR C,1
  IFV C<4 GT LABEL3
  F
```


T I M E	3333 3210	NNNN 3210	DDDDCAAAA 3210CL3210 K	BBBB 3210	# # C H K
4050000	1111	0000	000003333	3333	#
4150000	0000	0000	000003333	3333	#
4250000	0000	0000	000013333	3333	#
4251524	0000	0000	000013333	0000	#
4251528	0000	0000	000010000	0000	#
4400000	0000	0001	000010000	0000	#
4401332	0000	0001	000010000	3333	#
4401453	0000	0001	000010000	0003	#
4401497	0000	0001	000010000	0001	#
4500000	0000	0001	000110000	0001	#
4550000	0000	0010	000110000	0001	#
4551145	0000	0010	000110000	3333	#
4551610	0000	0010	000110000	0030	#
4551654	0000	0010	000110000	0010	#
4650000	0000	0010	001010000	0010	#
4700000	0000	0011	001010000	0010	#
4701332	0000	0011	001010000	3333	#
4701453	0000	0011	001010000	0033	#
4701497	0000	0011	001010000	0011	#
4800000	0000	0011	001110000	0011	#
4850000	0000	0100	001110000	0011	#
4851145	0000	0100	001110000	3333	#
4851610	0000	0100	001110000	0300	#
4851654	0000	0100	001110000	0100	#
4950000	0000	0100	010010000	0100	#
5000000	0000	0101	010010000	0100	#
5001332	0000	0101	010010000	3333	#
5001453	0000	0101	010010000	0303	#
5001497	0000	0101	010010000	0101	#
5100000	0000	0101	010110000	0101	#
5150000	0000	0110	010110000	0101	#
5151145	0000	0110	010110000	3333	#
5151610	0000	0110	010110000	0330	#
5151654	0000	0110	010110000	0110	#
5250000	0000	0110	011010000	0110	#
5300000	0000	0111	011010000	0110	#
5301332	0000	0111	011010000	3333	#
5301453	0000	0111	011010000	0333	#
5301497	0000	0111	011010000	0111	#
5400000	0000	0111	011110000	0111	#
5450000	0000	1000	011110000	0111	#
5451145	0000	1000	011110000	3333	#
5451610	0000	1000	011110000	3000	#
5451654	0000	1000	011110000	1000	#
5550000	0000	1000	100010000	1000	#
5600000	0000	1001	100010000	1000	#
5601332	0000	1001	100010000	3333	#
5601453	0000	1001	100010000	3003	#
5601497	0000	1001	100010000	1001	#
5700000	0000	1001	100110000	1001	#
5750000	0000	1010	100110000	1001	#
5751145	0000	1010	100110000	3333	#
5751610	0000	1010	100110000	3030	#
5751654	0000	1010	100110000	1010	#
5850000	0000	1010	101010000	1010	#
5900000	0000	1011	101010000	1010	#
5901332	0000	1011	101010000	3333	#
5901453	0000	1011	101010000	3033	#
5901497	0000	1011	101010000	1011	#
6000000	0000	1011	101110000	1011	#

T	2222	WWWW	DDDD	CAAAA	BBBB	†
I	3210	3210	3210	L3210	3210	#
M				K		C
E						H
						K
6051145	0000	1100	101110000	3333	#	
6051610	0000	1100	101110000	3300	#	
6051654	0000	1100	101110000	1100	#	
6150000	0000	1100	110010000	1100	#	
6200000	0000	1101	110010000	1100	#	
6201332	0000	1101	110010000	3333	#	
6201453	0000	1101	110010000	3303	#	
6201497	0000	1101	110010000	1101	#	
6300000	0000	1101	110110000	1101	#	
6350000	0000	1110	110110000	1101	#	
6351145	0000	1110	110110000	3333	#	
6351610	0000	1110	110110000	3330	#	
6351654	0000	1110	110110000	1110	#	
6450000	0000	1110	111010000	1110	#	
6500000	0000	1111	111010000	1110	#	
6501332	0000	1111	111010000	3333	#	
6501497	0000	1111	111010000	1111	#	
6600000	0000	1111	111110000	1111	#	
6650000	0000	0000	111110000	1111	#	
6651145	0000	0000	111110000	3333	#	
6651610	0000	0000	111110000	0000	#	
6750000	0000	0000	000010000	0000	#	
6900000	0001	0000	000010000	0000	#	
6901340	0001	0000	000013333	0000	#	
6901530	0001	0000	000010003	0000	#	
6901574	0001	0000	000010001	0000	#	
7000000	0010	0000	000010001	0000	#	
7001163	0010	0000	000013333	0000	#	
7001669	0010	0000	000010030	0000	#	
7001713	0010	0000	000010010	0000	#	
7100000	0011	0000	000010010	0000	#	
7101340	0011	0000	000013333	0000	#	
7101530	0011	0000	000010033	0000	#	
7101574	0011	0000	000010011	0000	#	
7200000	0100	0000	000010011	0000	#	
7201163	0100	0000	000013333	0000	#	
7201669	0100	0000	000010300	0000	#	
7201713	0100	0000	000010100	0000	#	
7300000	0101	0000	000010100	0000	#	
7301340	0101	0000	000013333	0000	#	
7301530	0101	0000	000010303	0000	#	
7301574	0101	0000	000010101	0000	#	
7400000	0110	0000	000010101	0000	#	
7401163	0110	0000	000013333	0000	#	
7401669	0110	0000	000010330	0000	#	
7401713	0110	0000	000010110	0000	#	
7500000	0111	0000	000010110	0000	#	
7501340	0111	0000	000013333	0000	#	
7501530	0111	0000	000010333	0000	#	
7501574	0111	0000	000010111	0000	#	
7600000	1000	0000	000010111	0000	#	
7601163	1000	0000	000013333	0000	#	
7601669	1000	0000	000013000	0000	#	
7601713	1000	0000	000011000	0000	#	
7700000	1001	0000	000011000	0000	#	
7701340	1001	0000	000013333	0000	#	
7701530	1001	0000	000013003	0000	#	
7701574	1001	0000	000011001	0000	#	
7800000	1010	0000	000011001	0000	#	
7801163	1010	0000	000013333	0000	#	
7801669	1010	0000	000013030	0000	#	

T I M E	ZZZ 3210	WWW 3210	DDDDCAAAA 3210L3210 K	BBB 3210	# C H K
7801713	1010	0000	000011010	0000	#
7900000	1011	0000	000011010	0000	#
7901340	1011	0000	000013333	0000	#
7901530	1011	0000	000013033	0000	#
7901574	1011	0000	000011011	0000	#
8000000	1100	0000	000011011	0000	#
8001163	1100	0000	000013333	0000	#
8001669	1100	0000	000013300	0000	#
8001713	1100	0000	000011100	0000	#
8100000	1101	0000	000011100	0000	#
8101340	1101	0000	000013333	0000	#
8101530	1101	0000	000013303	0000	#
8101574	1101	0000	000011101	0000	#
8200000	1110	0000	000011101	0000	#
8201163	1110	0000	000013333	0000	#
8201669	1110	0000	000013330	0000	#
8201713	1110	0000	000011110	0000	#
8300000	1111	0000	000011110	0000	#
8301340	1111	0000	000013333	0000	#
8301574	1111	0000	000011111	0000	#
8400000	0000	0000	000011111	0000	#
8401163	0000	0000	000013333	0000	#
8401669	0000	0000	000010000	0000	#
8500000	0000	0000	000000000	0000	#
8501290	0000	0000	000003333	0000	#
8501317	0000	0000	000003333	3333	#
8650000	0000	0001	000003333	3333	#
8750000	0000	0001	000103333	3333	#
8800000	0000	0010	000103333	3333	#
8900000	0000	0010	001003333	3333	#
8950000	0000	0011	001003333	3333	#
9050000	0000	0011	001103333	3333	#
9100000	0000	0100	001103333	3333	#
9200000	0000	0100	010003333	3333	#
9250000	0000	0101	010003333	3333	#
9350000	0000	0101	010103333	3333	#
9400000	0000	0110	010103333	3333	#
9500000	0000	0110	011003333	3333	#
9550000	0000	0111	011003333	3333	#
9650000	0000	0111	011103333	3333	#
9700000	0000	1000	011103333	3333	#
9800000	0000	1000	100003333	3333	#
9850000	0000	1001	100003333	3333	#
9950000	0000	1001	100103333	3333	#
10000000	0000	1010	100103333	3333	#
10100000	0000	1010	101003333	3333	#
10150000	0000	1011	101003333	3333	#
10250000	0000	1011	101103333	3333	#
10300000	0000	1100	101103333	3333	#
10400000	0000	1100	110003333	3333	#
10450000	0000	1101	110003333	3333	#
10550000	0000	1101	110103333	3333	#
10600000	0000	1110	110103333	3333	#
10700000	0000	1110	111003333	3333	#
10750000	0000	1111	111003333	3333	#
10850000	0000	1111	111103333	3333	#
10900000	0000	0000	111103333	3333	#
11000000	0000	0000	000003333	3333	#
11150000	0001	0000	000003333	3333	#
11250000	0010	0000	000003333	3333	#

T	ZZZZ	WRRW	DDDOCAAAA	BBBB	†
I	3210	3210	3210L3210	3210	#
M			K		C
E					H
					K
11450000	0100	0000	000003333	3333	#
11550000	0101	0000	000003333	3333	#
11650000	0110	0000	000003333	3333	#
11750000	0111	0000	000003333	3333	#
11850000	1000	0000	000003333	3333	#
11950000	1001	0000	000003333	3333	#
12050000	1010	0000	000003333	3333	#
12150000	1011	0000	000003333	3333	#
12250000	1100	0000	000003333	3333	#
12350000	1101	0000	000003333	3333	#
12450000	1110	0000	000003333	3333	#
12550000	1111	0000	000003333	3333	#
12650000	0000	0000	000003333	3333	#
12750000	0000	0000	000013333	3333	#
12751524	0000	0000	000013333	0000	#
12751528	0000	0000	000010000	0000	#
12900000	0000	0001	000010000	0000	#
12901332	0000	0001	000010000	3333	#
12901453	0000	0001	000010000	0003	#
12901497	0000	0001	000010000	0001	#
13000000	0000	0001	000110000	0001	#
13050000	0000	0010	000110000	0001	#
13051145	0000	0010	000110000	3333	#
13051610	0000	0010	000110000	0030	#
13051654	0000	0010	000110000	0010	#
13150000	0000	0010	001010000	0010	#
13200000	0000	0011	001010000	0010	#
13201332	0000	0011	001010000	3333	#
13201453	0000	0011	001010000	0033	#
13201497	0000	0011	001010000	0011	#
13300000	0000	0011	001110000	0011	#
13350000	0000	0100	001110000	0011	#
13351145	0000	0100	001110000	3333	#
13351610	0000	0100	001110000	0300	#
13351654	0000	0100	001110000	0100	#
13450000	0000	0100	010010000	0100	#
13500000	0000	0101	010010000	0100	#
13501332	0000	0101	010010000	3333	#
13501453	0000	0101	010010000	0303	#
13501497	0000	0101	010010000	0101	#
13600000	0000	0101	010110000	0101	#
13650000	0000	0110	010110000	0101	#
13651145	0000	0110	010110000	3333	#
13651610	0000	0110	010110000	0330	#
13651654	0000	0110	010110000	0110	#
13750000	0000	0110	011010000	0110	#
13800000	0000	0111	011010000	0110	#
13801332	0000	0111	011010000	3333	#
13801453	0000	0111	011010000	0333	#
13801497	0000	0111	011010000	0111	#
13900000	0000	0111	011110000	0111	#
13950000	0000	1000	011110000	0111	#
13951145	0000	1000	011110000	3333	#
13951610	0000	1000	011110000	3000	#
13951654	0000	1000	011110000	1000	#
14050000	0000	1000	100010000	1000	#
14100000	0000	1001	100010000	1000	#
14101332	0000	1001	100010000	3333	#
14101453	0000	1001	100010000	3003	#
14101497	0000	1001	100010000	1001	#
14200000	0000	1001	100110000	1001	#

T	2222	MMMN	DDDCAAAA	BBBB	#
I	3210	3210	3210L3210	3210	#
M			K		C
E					H
					K
14250000	0000	1010	100110000	1001	#
14251145	0000	1010	100110000	3333	#
14251610	0000	1010	100110000	3030	#
14251654	0000	1010	100110000	1010	#
14350000	0000	1010	101010000	1010	#
14400000	0000	1011	101010000	1010	#
14401332	0000	1011	101010000	3333	#
14401453	0000	1011	101010000	3033	#
14401497	0000	1011	101010000	1011	#
14500000	0000	1011	101110000	1011	#
14550000	0000	1100	101110000	1011	#
14551145	0000	1100	101110000	3333	#
14551610	0000	1100	101110000	3300	#
14551654	0000	1100	101110000	1100	#
14650000	0000	1100	110010000	1100	#
14700000	0000	1101	110010000	1100	#
14701332	0000	1101	110010000	3333	#
14701453	0000	1101	110010000	3303	#
14701497	0000	1101	110010000	1101	#
14800000	0000	1101	110110000	1101	#
14850000	0000	1110	110110000	1101	#
14851145	0000	1110	110110000	3333	#
14851610	0000	1110	110110000	3330	#
14851654	0000	1110	110110000	1110	#
14950000	0000	1110	111010000	1110	#
15000000	0000	1111	111010000	1110	#
15001332	0000	1111	111010000	3333	#
15001497	0000	1111	111010000	1111	#
15100000	0000	1111	111110000	1111	#
15150000	0000	0000	111110000	1111	#
15151145	0000	0000	111110000	3333	#
15151610	0000	0000	111110000	0000	#
15250000	0000	0000	000010000	0000	#
15400000	0001	0000	000010000	0000	#
15401340	0001	0000	000013333	0000	#
15401530	0001	0000	000010003	0000	#
15401574	0001	0000	000010001	0000	#
15500000	0010	0000	000010001	0000	#
15501163	0010	0000	000013333	0000	#
15501669	0010	0000	000010030	0000	#
15501713	0010	0000	000010010	0000	#
15600000	0011	0000	000010010	0000	#
15601340	0011	0000	000013333	0000	#
15601530	0011	0000	000010033	0000	#
15601574	0011	0000	000010011	0000	#
15700000	0100	0000	000010011	0000	#
15701163	0100	0000	000013333	0000	#
15701669	0100	0000	000010300	0000	#
15701713	0100	0000	000010100	0000	#
15800000	0101	0000	000010100	0000	#
15801340	0101	0000	000013333	0000	#
15801530	0101	0000	000010303	0000	#
15801574	0101	0000	000010101	0000	#
15900000	0110	0000	000010101	0000	#
15901163	0110	0000	000013333	0000	#
15901669	0110	0000	000010330	0000	#
15901713	0110	0000	000010110	0000	#
16000000	0111	0000	000010110	0000	#
16001340	0111	0000	000013333	0000	#
16001530	0111	0000	000010333	0000	#
16001574	0111	0000	000010111	0000	#


```

-----
      T  2222  NNWW  DDDDCAAA  BBBB  #
      I  3210  3210  3210L3210  3210  #
      M                                     F      C
      E                                     K      H
                                     K      K
-----
16100000  1000  0000  000010111  0000  #
16101163  1000  0000  000013333  0000  #
16101669  1000  0000  000013000  0000  #
16101713  1000  0000  000011000  0000  #
16200000  1001  0000  000011000  0000  #
16201340  1001  0000  000013333  0000  #
16201530  1001  0000  000013003  0000  #
16201574  1001  0000  000011001  0000  #
16300000  1010  0000  000011001  0000  #
16301163  1010  0000  000013333  0000  #
16301669  1010  0000  000013030  0000  #
16301713  1010  0000  000011010  0000  #
16400000  1011  0000  000011010  0000  #
16401340  1011  0000  000013333  0000  #
16401530  1011  0000  000013033  0000  #
16401574  1011  0000  000011011  0000  #
16500000  1100  0000  000011011  0000  #
16501163  1100  0000  000013333  0000  #
16501669  1100  0000  000013300  0000  #
16501713  1100  0000  000011100  0000  #
16600000  1101  0000  000011100  0000  #
16601340  1101  0000  000013333  0000  #
16601530  1101  0000  000013303  0000  #
16601574  1101  0000  000011101  0000  #
16700000  1110  0000  000011101  0000  #
16701163  1110  0000  000013333  0000  #
16701669  1110  0000  000013330  0000  #
16701713  1110  0000  000011110  0000  #
16800000  1111  0000  000011110  0000  #
16801340  1111  0000  000013333  0000  #
16801574  1111  0000  000011111  0000  #
16900000  0000  0000  000011111  0000  #
16901163  0000  0000  000013333  0000  #
16901669  0000  0000  000010000  0000  #
Simulation terminated at timeslot 17000000

```

5.6.4.3 SIMULACION GRAFICA DE B1

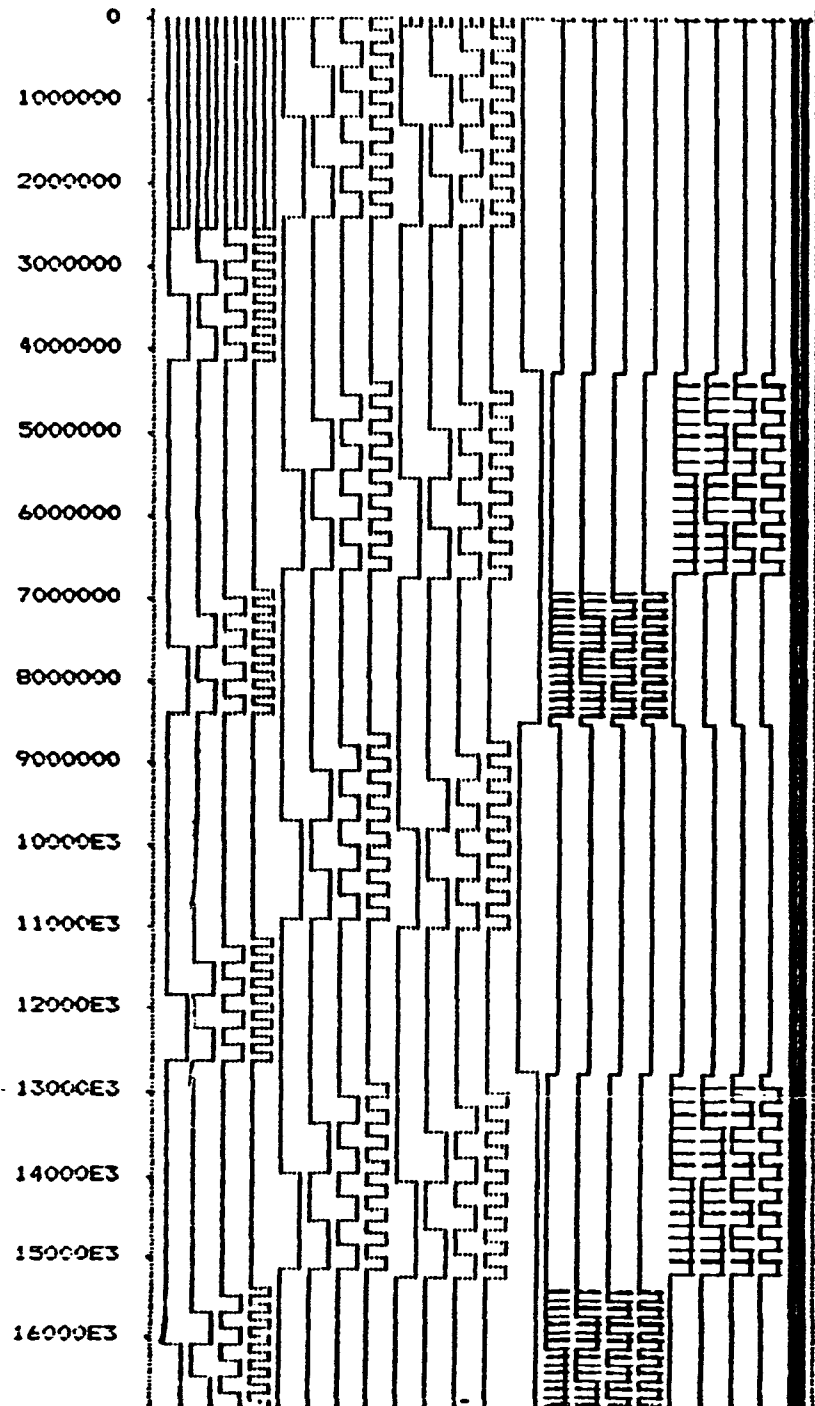
```

*****
$          SimPrt 2.2 | L E S I M 2 Print_Processor          $
$          (c) Copyright N.V. Philips' Gloeilampenfabrieken 1988      $
*****
  
```

File=A:B1.RES Unit= 10 psec Case=WC Step=25000 Apr 24,1989

```

-----
T  Z Z Z Z W W W W D D D D C A A A B B B B $
I  3 2 1 0 3 2 1 0 3 2 1 0 L 3 2 1 0 3 2 1 0 #
M                                     K
E                                     C
                                     H
                                     K
-----
  
```



5.6.5 SIMULACION DE LA UNIDAD DE PROCESO A01

Primero sumo un dato, que entra exteriormente, de valor 9, con el cero, y el resultado lo escribo en la RAM. Después, hago lo mismo con otro dato de valor 11, y lo escribo en otra dirección. Posteriormente leo ambos datos, los sumo, y obtengo el dato 4, que en realidad es el 20 sin el bit de acarreo, ya que son datos de 4 bits. Este dato se va rotando hacia la izquierda primero, hasta conseguir el mismo valor, y hacia la derecha después, siguiendo el mismo proceso. Luego se realiza la operación de restar el dato cero menos el dato en cuestión. A continuación se realiza la operación AND lógica, y por último se repite la operación de resta anterior.

5.6.5.1 FICHERO ESTIMULO DE AO1

```
*****
* SCL DESCRIPCION          *
*****

  IDENT 'AO1'
*
  P D3,D2,D1,DO,,I8,I7,I6,I5,I4,I3,I2,I1,I0,,B3,B2,B1,BO,,
#  A3,A2,A1,AO,,CLK,,CI,,GN,PN,,FO,,R3,,RO,,C,,Y3,Y2,Y1,YO,
  PCO
*
  STAB
  S 1(10000,20000,ETC)CLK
  SETV K,0
  SETV J,0
  SETV H,0
  SETV D,9
  SETV E,7
  SETV F,0
  SETV G,3
  SETV B,7
  GT LABEL1
LABEL2 SU TIME=#+20000
  SETV D,11
  SETV E,7
  SETV G,3
  SETV B,8
  GT LABEL1
LABEL3 SU TIME=#+20000
  SETV E,1
  SETV G,3
  SETV B,7
  SETV A,8
  GT LABEL1
LABEL4 DECV A (A3,A2,A1,AO)
  SU TIME=#+20000
  SETV E,3
```

SETV G,7
SETV S,0
GT LABEL1
LABEL5 DECV S (RO)
SU TIME=*+20000
SETV S,1
GT LABEL1
LABEL6 DECV S (RO)
SU TIME=*+20000
SETV S,0
GT LABEL1
LABEL7 DECV S (RO)
SU TIME=*+20000
GT LABEL1
LABEL8 DECV S (RO)
SU TIME=*+20000
SETV R,0
SETV G,5
GT LABEL1
LABEL9 DECV R (R3)
SU TIME=*+20000
GT LABEL1
LABEL10 DECV R (R3)
SU TIME=*+20000
SETV R,1
GT LABEL1
LABEL11 DECV R (R3)
SU TIME=*+20000
SETV R,0
GT LABEL1
LABEL12 DECV R (R3)
SU TIME=*+20000
GT LABEL1
LABEL13 SU TIME=*+20000
SETV G,3
GT LABEL1
LABEL14 SU TIME=*+20000

```

SETV D,0
SETV E,7
SETV F,1
GT LABEL1
LABEL15 SU TIME=*+20000
SETV E,5
SETV F,4
SETV A,7
GT LABEL1
LABEL16 DECV A (A3,A2,A1,A0)
SU TIME=*+20000
SETV F,1
LABEL1 INCR H,1
DECV D (D3,D2,D1,D0)
DECV E (I2,I1,I0)
DECV F (I5,I4,I3)
DECV G (I8,I7,I6)
DECV B (B3,B2,B1,B0)
DECV J (C)
DECV K (CI)
IFV H=1 GT LABEL2
IFV H=2 GT LABEL3
IFV H=3 GT LABEL4
IFV H=4 GT LABEL5
IFV H=5 GT LABEL6
IFV H=6 GT LABEL7
IFV H=7 GT LABEL8
IFV H=8 GT LABEL9
IFV H=9 GT LABEL10
IFV H=10 GT LABEL11
IFV H=11 GT LABEL12
IFV H=12 GT LABEL13
IFV H=13 GT LABEL14
IFV H=14 GT LABEL15
IFV H=15 GT LABEL16
SU TIME=*+20000
F

```

5.6.5.2 SIMULACION ALFANUMERICA DE A01

```

*****
*                               *
*      SimPrt 2.2 ; L E S I M 2 Print_Processor      *
*      (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988      *
*                               *
*****

```

File=A:A01.RES Unit= 10 psec Case=WC Jan 4,1980

```

-----
T   DDDD Iiiiiiii BBBB AAAA C C GP P R R C YYYY *
I   3210 876543210 3210 3210 L I NN O 3 O 3210 #
M                                     K                                     C
E                                     K                                     H
                                     K                                     K
-----
O   1001 011000111 0111 **** 1 0 ** * * * 0 **** *
1888 1001 011000111 0111 **** 1 0 ** * * * 0 **** #
3187 1001 011000111 0111 **** 1 0 *1 * * * 0 **** #
3559 1001 011000111 0111 **** 1 0 11 * * * 0 **** #
4662 1001 011000111 0111 **** 1 0 11 * * * 0 **** #
4752 1001 011000111 0111 **** 1 0 11 * * * 1 0 **** #
4862 1001 011000111 0111 **** 1 0 11 0 * 1 0 **** #
5354 1001 011000111 0111 **** 1 0 11 0 * 1 0 *01 #
5401 1001 011000111 0111 **** 1 0 11 0 * 1 0 *01 #
5462 1001 011000111 0111 **** 1 0 11 0 * 1 0 1001 #
5552 1001 011000111 0111 **** 1 0 11 0 1 1 0 1001 #
1000000 1001 011000111 0111 **** 0 0 11 0 1 1 0 1001 #
2000000 1011 011000111 1000 **** 1 0 11 0 1 1 0 1001 #
2003892 1011 011000111 1000 **** 1 0 11 0 1 1 0 1011 #
3000000 1011 011000111 1000 **** 0 0 11 0 1 1 0 1011 #
4000000 1011 011000001 0111 1000 1 0 11 0 1 1 0 1011 #
4002819 1011 011000001 0111 1000 1 0 #1 0 1 1 0 1011 #
4003077 1011 011000001 0111 1000 1 0 ## 0 1 1 0 1011 #
4004108 1011 011000001 0111 1000 1 0 ## 0 1 1 0 #011 #
4004123 1011 011000001 0111 1000 1 0 ## 0 1 1 0 ##11 #
4004139 1011 011000001 0111 1000 1 0 ## 0 1 1 0 ###1 #
4004144 1011 011000001 0111 1000 1 0 ## 0 1 1 0 ##### #
4004242 1011 011000001 0111 1000 1 0 ## 0 # 1 0 ##### #
4004278 1011 011000001 0111 1000 1 0 ## 0 # # 0 ##### #
4004380 1011 011000001 0111 1000 1 0 ## # # # 0 ##### #
4006246 1011 011000001 0111 1000 1 0 0# # # # 0 ##### #
4006469 1011 011000001 0111 1000 1 0 01 # # # 0 ##### #
4007762 1011 011000001 0111 1000 1 0 01 # # # 0 ##### #
4007966 1011 011000001 0111 1000 1 0 01 # # # 0 ##### #
4008334 1011 011000001 0111 1000 1 0 01 # # # 0 ##### #
4008379 1011 011000001 0111 1000 1 0 01 # # # 0 #100 #
4008579 1011 011000001 0111 1000 1 0 01 0 # # 0 #100 #
4008858 1011 011000001 0111 1000 1 0 01 0 # # 0 0100 #
4009062 1011 011000001 0111 1000 1 0 01 0 0 0 0 0100 #
4010087 1011 011000001 0111 1000 1 0 01 0 0 0 0 0100 *
5000000 1011 011000001 0111 1000 0 0 01 0 0 0 0 0100 *
5001409 1011 011000001 0111 1000 0 0 01 0 0 0 0 0100 #
6000000 1011 111000011 0111 1000 1 0 01 0 0 0 0 0100 #
6003794 1011 111000011 0111 1000 1 0 #1 0 0 0 0 0100 #
6003847 1011 111000011 0111 1000 1 0 ## 0 0 0 0 0100 #
6004893 1011 111000011 0111 1000 1 0 ## 0 0 0 0 0#00 #
6005083 1011 111000011 0111 1000 1 0 ## 0 0 0 0 #00 #
6005114 1011 111000011 0111 1000 1 0 ## 0 0 0 0 ###0 #
6005119 1011 111000011 0111 1000 1 0 ## 0 0 0 0 ##### #
6005129 1011 111000011 0111 1000 1 0 ## # 0 0 0 ##### #
6005217 1011 111000011 0111 1000 1 0 ## # # 0 0 ##### #
6005465 1011 111000011 0111 1000 1 0 #1 # # 0 0 ##### #
6005825 1011 111000011 0111 1000 1 0 11 # # 0 0 ##### #
6006847 1011 111000011 0111 1000 1 0 11 # # 0 0 ##### #
6007548 1011 111000011 0111 1000 1 0 11 # # 0 0 #00 #
6007585 1011 111000011 0111 1000 1 0 11 # # 0 0 #100 #
6007785 1011 111000011 0111 1000 1 0 11 0 # 0 0 #100 #
6007889 1011 111000011 0111 1000 1 0 11 0 # 0 0 0100 #
6008093 1011 111000011 0111 1000 1 0 11 0 0 0 0 0100 #

```

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

T I K E	DDDD	IIIIIIIIII	BBBB	AAAA	C	C	GP	P	R	R	C	YYYY	*	
	3210	876543210	3210	3210	L	J	NN	O	3	O		3210	#	
													C	
													H	
													K	
6008777	1011	111000011	0111	1000	1	0	11	0	0	0	0	0100	*	
7000000	1011	111000011	0111	1000	0	0	11	0	0	0	0	0100	*	
7001409	1011	111000011	0111	1000	0	0	11	0	0	0	0	0100	#	
8000000	1011	111000011	0111	1000	1	0	11	0	0	1	0	0100	#	
8003832	1011	111000011	0111	1000	1	0	#1	0	0	1	0	0100	#	
8003862	1011	111000011	0111	1000	1	0	#	0	0	1	0	0100	#	
8004878	1011	111000011	0111	1000	1	0	#	0	0	1	0	#100	#	
8004893	1011	111000011	0111	1000	1	0	#	0	0	1	0	#00	#	
8004909	1011	111000011	0111	1000	1	0	#	0	0	1	0	#00	#	
8004914	1011	111000011	0111	1000	1	0	#	0	0	1	0	####	#	
8005012	1011	111000011	0111	1000	1	0	#	0	#	1	0	####	#	
8005129	1011	111000011	0111	1000	1	0	#	#	#	1	0	####	#	
8005500	1011	111000011	0111	1000	1	0	#	1	#	#	1	0	####	#
8005860	1011	111000011	0111	1000	1	0	11	#	#	1	0	####	#	
8006847	1011	111000011	0111	1000	1	0	11	#	#	1	0	####	#	
8007548	1011	111000011	0111	1000	1	0	11	#	#	1	0	####	#	
8007699	1011	111000011	0111	1000	1	0	11	#	#	1	0	#000	#	
8007775	1011	111000011	0111	1000	1	0	11	#	#	1	0	1000	#	
8007865	1011	111000011	0111	1000	1	0	11	#	1	1	0	1000	#	
8007975	1011	111000011	0111	1000	1	0	11	0	1	1	0	1000	#	
8008928	1011	111000011	0111	1000	1	0	11	0	1	1	0	1000	*	
9000000	1011	111000011	0111	1000	0	0	11	0	1	1	0	1000	*	
9001409	1011	111000011	0111	1000	0	0	11	0	1	1	0	1000	#	
10000000	1011	111000011	0111	1000	1	0	11	0	1	0	0	1000	#	
10003589	1011	111000011	0111	1000	1	0	#1	0	1	0	0	1000	#	
10003862	1011	111000011	0111	1000	1	0	#	0	1	0	0	1000	#	
10004878	1011	111000011	0111	1000	1	0	#	0	1	0	0	#000	#	
10004893	1011	111000011	0111	1000	1	0	#	0	1	0	0	#000	#	
10004909	1011	111000011	0111	1000	1	0	#	0	1	0	0	#000	#	
10004914	1011	111000011	0111	1000	1	0	#	0	1	0	0	####	#	
10005012	1011	111000011	0111	1000	1	0	#	0	#	0	0	####	#	
10005114	1011	111000011	0111	1000	1	0	#	#	#	0	0	####	#	
10005465	1011	111000011	0111	1000	1	0	#	1	#	0	0	####	#	
10005793	1011	111000011	0111	1000	1	0	11	#	#	0	0	####	#	
10006200	1011	111000011	0111	1000	1	0	11	#	#	0	0	####	#	
10006400	1011	111000011	0111	1000	1	0	11	0	#	0	0	####	#	
10006892	1011	111000011	0111	1000	1	0	11	0	#	0	0	####	#	
10007680	1011	111000011	0111	1000	1	0	11	0	#	0	0	#001	#	
10007857	1011	111000011	0111	1000	1	0	11	0	#	0	0	0001	#	
10008061	1011	111000011	0111	1000	1	0	11	0	0	0	0	0001	#	
10008909	1011	111000011	0111	1000	1	0	11	0	0	0	0	0001	*	
11000000	1011	111000011	0111	1000	0	0	11	0	0	0	0	0001	*	
11001409	1011	111000011	0111	1000	0	0	11	0	0	0	0	0001	#	
12000000	1011	111000011	0111	1000	1	0	11	0	0	0	0	0001	#	
12003832	1011	111000011	0111	1000	1	0	#1	0	0	0	0	0001	#	
12003862	1011	111000011	0111	1000	1	0	#	0	0	0	0	0001	#	
12004878	1011	111000011	0111	1000	1	0	#	0	0	0	0	#001	#	
12004893	1011	111000011	0111	1000	1	0	#	0	0	0	0	#01	#	
12004909	1011	111000011	0111	1000	1	0	#	0	0	0	0	####	#	
12004914	1011	111000011	0111	1000	1	0	#	0	0	0	0	####	#	
12005012	1011	111000011	0111	1000	1	0	#	0	#	0	0	####	#	
12005150	1011	111000011	0111	1000	1	0	#	#	#	0	0	####	#	
12005465	1011	111000011	0111	1000	1	0	#	1	#	0	0	####	#	
12005825	1011	111000011	0111	1000	1	0	11	#	#	0	0	####	#	
12006847	1011	111000011	0111	1000	1	0	11	#	#	0	0	####	#	
12007434	1011	111000011	0111	1000	1	0	11	#	#	0	0	##10	#	
12007634	1011	111000011	0111	1000	1	0	#1	#	#	0	0	##10	#	
12007699	1011	111000011	0111	1000	1	0	11	0	#	0	0	#010	#	
12007889	1011	111000011	0111	1000	1	0	11	0	#	0	0	0010	#	
12008093	1011	111000011	0111	1000	1	0	11	0	0	0	0	0010	#	
12008928	1011	111000011	0111	1000	1	0	11	0	0	0	0	0010	*	

T I M E	DDDD	IIIIIIII	BBBB	AAAA	C	C	GP	F	R	R	C	YYYY	*
	3210	876543210	3210	3210	L	I	NN	O	3	O	3210	*	C H K
							K						
13000000	1011	111000011	0111	1000	0	0	11	0	0	0	0	0010	*
13001409	1011	111000011	0111	1000	0	0	11	0	0	0	0	0010	*
14000000	1011	101000011	0111	1000	1	0	11	0	0	0	0	0010	*
14003832	1011	101000011	0111	1000	1	0	#1	0	0	0	0	0010	*
14003847	1011	101000011	0111	1000	1	0	#	0	0	0	0	0010	*
14004878	1011	101000011	0111	1000	1	0	#	0	0	0	0	#010	*
14004893	1011	101000011	0111	1000	1	0	#	0	0	0	0	#10	*
14004909	1011	101000011	0111	1000	1	0	#	0	0	0	0	###0	*
14004914	1011	101000011	0111	1000	1	0	#	0	0	0	0	####	*
14005048	1011	101000011	0111	1000	1	0	#	0	0	0	0	####	*
14005145	1011	101000011	0111	1000	1	0	#	0	0	0	0	####	*
14005465	1011	101000011	0111	1000	1	0	#1	0	0	0	0	####	*
14005825	1011	101000011	0111	1000	1	0	11	0	0	0	0	####	*
14006847	1011	101000011	0111	1000	1	0	11	0	0	0	0	###0	*
14007051	1011	101000011	0111	1000	1	0	11	0	0	0	0	###0	*
14007548	1011	101000011	0111	1000	1	0	11	0	0	0	0	#00	*
14007585	1011	101000011	0111	1000	1	0	11	0	0	0	0	#100	*
14007785	1011	101000011	0111	1000	1	0	11	0	0	0	0	#100	*
14007889	1011	101000011	0111	1000	1	0	11	0	0	0	0	0100	*
14009118	1011	101000011	0111	1000	1	0	11	0	0	0	0	0100	*
15000000	1011	101000011	0111	1000	0	0	11	0	0	0	0	0100	*
15001409	1011	101000011	0111	1000	0	0	11	0	0	0	0	0100	*
16000000	1011	101000011	0111	1000	1	0	11	0	0	0	0	0100	*
16003832	1011	101000011	0111	1000	1	0	#1	0	0	0	0	0100	*
16003862	1011	101000011	0111	1000	1	0	#	0	0	0	0	0100	*
16004878	1011	101000011	0111	1000	1	0	#	0	0	0	0	#100	*
16004893	1011	101000011	0111	1000	1	0	#	0	0	0	0	##00	*
16004909	1011	101000011	0111	1000	1	0	#	0	0	0	0	##00	*
16004914	1011	101000011	0111	1000	1	0	#	0	0	0	0	####	*
16005048	1011	101000011	0111	1000	1	0	#	0	0	0	0	####	*
16005129	1011	101000011	0111	1000	1	0	#	0	0	0	0	####	*
16005465	1011	101000011	0111	1000	1	0	#1	0	0	0	0	####	*
16005825	1011	101000011	0111	1000	1	0	11	0	0	0	0	####	*
16006847	1011	101000011	0111	1000	1	0	11	0	0	0	0	###0	*
16007051	1011	101000011	0111	1000	1	0	11	0	0	0	0	###0	*
16007434	1011	101000011	0111	1000	1	0	11	0	0	0	0	##10	*
16007634	1011	101000011	0111	1000	1	0	11	0	0	0	0	##10	*
16007699	1011	101000011	0111	1000	1	0	11	0	0	0	0	#010	*
16007889	1011	101000011	0111	1000	1	0	11	0	0	0	0	0010	*
16009118	1011	101000011	0111	1000	1	0	11	0	0	0	0	0010	*
17000000	1011	101000011	0111	1000	0	0	11	0	0	0	0	0010	*
17001409	1011	101000011	0111	1000	0	0	11	0	0	0	0	0010	*
18000000	1011	101000011	0111	1000	1	0	11	0	1	0	0	0010	*
18003832	1011	101000011	0111	1000	1	0	#1	0	1	0	0	0010	*
18003847	1011	101000011	0111	1000	1	0	#	0	1	0	0	0010	*
18004878	1011	101000011	0111	1000	1	0	#	0	1	0	0	#010	*
18004893	1011	101000011	0111	1000	1	0	#	0	1	0	0	##10	*
18004909	1011	101000011	0111	1000	1	0	#	0	1	0	0	##00	*
18004914	1011	101000011	0111	1000	1	0	#	0	1	0	0	####	*
18005048	1011	101000011	0111	1000	1	0	#	0	1	0	0	####	*
18005145	1011	101000011	0111	1000	1	0	#	0	1	0	0	####	*
18005465	1011	101000011	0111	1000	1	0	#1	0	1	0	0	####	*
18005793	1011	101000011	0111	1000	1	0	11	0	1	0	0	####	*
18006200	1011	101000011	0111	1000	1	0	11	0	1	0	0	###1	*
18006400	1011	101000011	0111	1000	1	0	11	0	1	0	0	###1	*
18006892	1011	101000011	0111	1000	1	0	11	0	1	0	0	##01	*
18007680	1011	101000011	0111	1000	1	0	11	0	1	0	0	#001	*
18007857	1011	101000011	0111	1000	1	0	11	0	1	0	0	0001	*
19000000	1011	101000011	0111	1000	0	0	11	0	1	0	0	0001	*
20000000	1011	101000011	0111	1000	1	0	11	0	0	0	0	0001	*
20003832	1011	101000011	0111	1000	1	0	#1	0	0	0	0	0001	*

T I M E	DDDD	IIIIIIIII	BBBB	AAAA	C L K	C I	GP NM	F O	R 3	R 0	C 0	YYYY 3210	* # C H K
20003862	1011	101000011	0111	1000	1	0	##	0	0	#	0	0001	#
20004878	1011	101000011	0111	1000	1	0	##	0	0	#	0	#001	#
20004893	1011	101000011	0111	1000	1	0	##	0	0	#	0	##01	#
20004909	1011	101000011	0111	1000	1	0	##	0	0	#	0	###1	#
20004914	1011	101000011	0111	1000	1	0	##	0	0	#	0	####	#
20005150	1011	101000011	0111	1000	1	0	##	#	0	#	0	####	#
20005500	1011	101000011	0111	1000	1	0	#1	#	0	#	0	####	#
20005860	1011	101000011	0111	1000	1	0	11	#	0	#	0	####	#
20006847	1011	101000011	0111	1000	1	0	11	#	0	#	0	####	#
20007051	1011	101000011	0111	1000	1	0	11	#	0	0	0	####	#
20007548	1011	101000011	0111	1000	1	0	11	#	0	0	0	#000	#
20007699	1011	101000011	0111	1000	1	0	11	#	0	0	0	#000	#
20007775	1011	101000011	0111	1000	1	0	11	#	0	0	0	1000	#
20007975	1011	101000011	0111	1000	1	0	11	0	0	0	0	1000	#
20008928	1011	101000011	0111	1000	1	0	11	0	0	0	0	1000	*
21000000	1011	101000011	0111	1000	0	0	11	0	0	0	0	1000	*
21001409	1011	101000011	0111	1000	0	0	11	0	0	0	0	1000	#
22000000	1011	101000011	0111	1000	1	0	11	0	0	0	0	1000	#
22003589	1011	101000011	0111	1000	1	0	#1	0	0	0	0	1000	#
22003862	1011	101000011	0111	1000	1	0	##	0	0	0	0	1000	#
22004878	1011	101000011	0111	1000	1	0	##	0	0	0	0	#000	#
22004893	1011	101000011	0111	1000	1	0	##	0	0	0	0	##00	#
22004909	1011	101000011	0111	1000	1	0	##	0	0	0	0	###0	#
22004914	1011	101000011	0111	1000	1	0	##	0	0	0	0	####	#
22005048	1011	101000011	0111	1000	1	0	##	0	0	#	0	####	#
22005114	1011	101000011	0111	1000	1	0	##	#	0	#	0	####	#
22005465	1011	101000011	0111	1000	1	0	#1	#	0	#	0	####	#
22005825	1011	101000011	0111	1000	1	0	11	#	0	#	0	####	#
22006847	1011	101000011	0111	1000	1	0	11	#	0	#	0	####	#
22007051	1011	101000011	0111	1000	1	0	11	#	0	0	0	####	#
22007548	1011	101000011	0111	1000	1	0	11	#	0	0	0	##00	#
22007585	1011	101000011	0111	1000	1	0	11	#	0	0	0	#100	#
22007785	1011	101000011	0111	1000	1	0	11	0	0	0	0	#100	#
22007889	1011	101000011	0111	1000	1	0	11	0	0	0	0	0100	#
22009118	1011	101000011	0111	1000	1	0	11	0	0	0	0	0100	*
23000000	1011	101000011	0111	1000	0	0	11	0	0	0	0	0100	*
23001409	1011	101000011	0111	1000	0	0	11	0	0	0	0	0100	#
24000000	1011	011000011	0111	1000	1	0	11	0	0	0	0	0100	#
24003832	1011	011000011	0111	1000	1	0	#1	0	0	0	0	0100	#
24003862	1011	011000011	0111	1000	1	0	##	0	0	0	0	0100	#
24004878	1011	011000011	0111	1000	1	0	##	0	0	0	0	#100	#
24004893	1011	011000011	0111	1000	1	0	##	0	0	0	0	##00	#
24004909	1011	011000011	0111	1000	1	0	##	0	0	0	0	###0	#
24004914	1011	011000011	0111	1000	1	0	##	0	0	0	0	####	#
24005012	1011	011000011	0111	1000	1	0	##	0	#	0	0	####	#
24005048	1011	011000011	0111	1000	1	0	##	0	#	0	0	####	#
24005129	1011	011000011	0111	1000	1	0	##	#	#	0	0	####	#
24005465	1011	011000011	0111	1000	1	0	#1	#	#	0	0	####	#
24005825	1011	011000011	0111	1000	1	0	11	#	#	0	0	####	#
24006847	1011	011000011	0111	1000	1	0	11	#	#	0	0	####	#
24007051	1011	011000011	0111	1000	1	0	11	#	0	0	0	###0	#
24007434	1011	011000011	0111	1000	1	0	11	#	0	0	0	#110	#
24007634	1011	011000011	0111	1000	1	0	11	0	#	0	0	#110	#
24007699	1011	011000011	0111	1000	1	0	11	0	#	0	0	#010	#
24007889	1011	011000011	0111	1000	1	0	11	0	#	0	0	0010	#
24008093	1011	011000011	0111	1000	1	0	11	0	0	0	0	0010	#
24009118	1011	011000011	0111	1000	1	0	11	0	0	0	0	0010	*
25000000	1011	011000011	0111	1000	0	0	11	0	0	0	0	0010	*
25001409	1011	011000011	0111	1000	0	0	11	0	0	0	0	0010	#
26000000	0000	011001111	0111	1000	1	0	11	0	0	0	0	0010	#
26002660	0000	011001111	0111	1000	1	0	01	0	0	0	0	0010	#

```

-----
      T   DDDD I I I I I I I I I I BBBB AAAA C C GP F R R C YYYY *
      I   3210 876543210 3210 3210 L I NN O 3 O 3210 #
      N
      E
                                     K
                                     C
                                     H
                                     K
-----
26002945 0000 011001111 0111 1000 1 0 01 0 0 0 0 0010 *
26003031 0000 011001111 0111 1000 1 0 00 0 0 0 0 0010 *
26003708 0000 011001111 0111 1000 1 0 10 0 0 0 0 0010 *
26004470 0000 011001111 0111 1000 1 0 10 0 0 0 0 0011 *
26004560 0000 011001111 0111 1000 1 0 10 0 0 # 0 0011 #
26005431 0000 011001111 0111 1000 1 0 10 0 0 # 0 0111 #
26005623 0000 011001111 0111 1000 1 0 10 0 0 # 0 1111 #
26005713 0000 011001111 0111 1000 1 0 10 0 # # 0 1111 #
27000000 0000 011001111 0111 1000 0 0 10 0 # # 0 1111 #
28000000 0000 011100101 0111 0111 1 0 10 0 # # 0 1111 #
28003116 0000 011100101 0111 0111 1 0 11 0 # # 0 1111 #
28003849 0000 011100101 0111 0111 1 0 #1 0 # # 0 1111 #
28003879 0000 011100101 0111 0111 1 0 ## 0 # # 0 1111 #
28004972 0000 011100101 0111 0111 1 0 ## 0 # # 0 0111 #
28005000 0000 011100101 0111 0111 1 0 ## 0 # # 0 0011 #
28005028 0000 011100101 0111 0111 1 0 ## 0 # # 0 0001 #
28005038 0000 011100101 0111 0111 1 0 ## 0 # # 0 0000 #
28005176 0000 011100101 0111 0111 1 0 ## 0 0 # 0 0000 #
28005242 0000 011100101 0111 0111 1 0 ## 0 0 0 0 0000 #
28005511 0000 011100101 0111 0111 1 0 ## 1 0 0 0 0000 #
28005878 0000 011100101 0111 0111 1 0 #1 1 0 0 0 0000 #
28006238 0000 011100101 0111 0111 1 0 11 1 0 0 0 0000 *
29000000 0000 011100101 0111 0111 0 0 11 1 0 0 0 0000 *
29001409 0000 011100101 0111 0111 0 0 11 1 0 0 0 0000 #
30000000 0000 011001101 0111 0111 1 0 11 1 0 0 0 0000 #
30003297 0000 011001101 0111 0111 1 0 01 1 0 0 0 0000 #
30003685 0000 011001101 0111 0111 1 0 00 1 0 0 0 0000 #
30004231 0000 011001101 0111 0111 1 0 #0 1 0 0 0 0000 #
30005369 0000 011001101 0111 0111 1 0 #0 1 0 0 0 #000 #
30005384 0000 011001101 0111 0111 1 0 #0 1 0 0 0 ##00 #
30005400 0000 011001101 0111 0111 1 0 #0 1 0 0 0 ###0 #
30005405 0000 011001101 0111 0111 1 0 #0 1 0 0 0 #### #
30005503 0000 011001101 0111 0111 1 0 #0 1 # 0 0 #### #
30005539 0000 011001101 0111 0111 1 0 #0 1 # # 0 #### #
30005605 0000 011001101 0111 0111 1 0 #0 # # # 0 #### #
30006279 0000 011001101 0111 0111 1 0 10 # # # 0 #### #
30007275 0000 011001101 0111 0111 1 0 10 # # # 0 ####1 #
30007475 0000 011001101 0111 0111 1 0 10 0 # # 0 ####1 #
30007853 0000 011001101 0111 0111 1 0 10 0 # # 0 ##11 #
30008004 0000 011001101 0111 0111 1 0 10 0 # # 0 #111 #
30008194 0000 011001101 0111 0111 1 0 10 0 # # 0 1111 #
31000000 0000 011001101 0111 0111 0 0 10 0 # # 0 1111 #
Simulation terminated at timeslot 32000000

```

5.6.5.3 SIMULACION GRAFICA DE A01

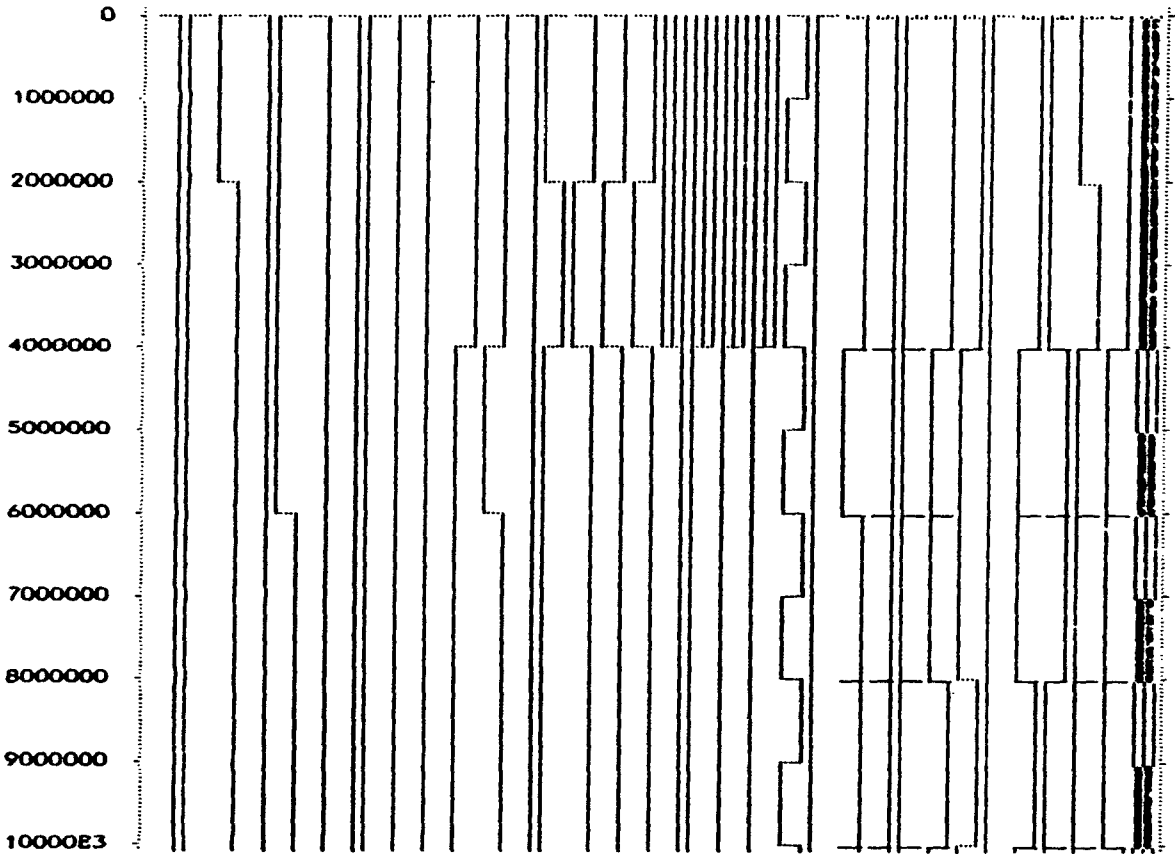
```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
  
```

File=A:A01.RES Unit= 10 psec Case=WC Step=25000 Jul 7,1989

```

-----
T   D D D D I I I I I I I I B B B B A A A A C C G P F R R C Y Y Y Y *
I   3 2 1 0 8 7 6 5 4 3 2 1 0 3 2 1 0 3 2 1 0 L I N N 0 3 0   3 2 1 0 #
M                                     K                                     C
E                                     K                                     H
                                                                K
-----
  
```



5.6.6 SIMULACION DE LA UNIDAD DE PROCESO B01

5.6.6.1 FICHERO ESTIMULO DE B01

```
*****
* SCL DESCRIPCION          *
*****

  IDENT 'B01'
*
  P D3,D2,D1,DO,,I8,I7,I6,I5,I4,I3,I2,I1,I0,,B3,B2,B1,BO,,
#A3,A2,A1,AO,,CLK,,C1,,GN,PN,,CO,,FO,,R3,,RO,,C,,Y3,Y2,Y1,

#YO
  PCO
*
  STAB
  S 1(10000,20000,ETC)CLK
  SETV K,0
  SETV J,0
  SETV H,0
  SETV D,9
  SETV E,7
  SETV F,0
  SETV G,3
  SETV B,7
  GT LABEL1
LABEL2 SU TIME=**+20000
  SETV D,11
  SETV E,7
  SETV G,3
  SETV B,8
  GT LABEL1
LABEL3 SU TIME=**+20000
  SETV E,1
  SETV G,3
  SETV B,7
```

SETV A,8
GT LABEL1
LABEL4 DECV A (A3,A2,A1,A0)
SU TIME=#+20000
SETV E,3
SETV G,7
SETV S,0
GT LABEL1
LABEL5 DECV S (R0)
SU TIME=#+20000
SETV S,1
GT LABEL1
LABEL6 DECV S (R0)
SU TIME=#+20000
SETV S,0
GT LABEL1
LABEL7 DECV S (R0)
SU TIME=#+20000
GT LABEL1
LABEL8 DECV S (R0)
SU TIME=#+20000
SETV R,0
SETV G,5
GT LABEL1
LABEL9 DECV R (R3)
SU TIME=#+20000
GT LABEL1
LABEL10 DECV R (R3)
SU TIME=#+20000
SETV R,1
GT LABEL1
LABEL11 DECV R (R3)
SU TIME=#+20000
SETV R,0
GT LABEL1
LABEL12 DECV R (R3)
SU TIME=#+20000

```

GT LABEL1
LABEL13 SU TIME=*+20000
SETV G,3
GT LABEL1
LABEL14 SU TIME=*+20000
SETV D,0
SETV E,7
SETV F,1
GT LABEL1
LABEL15 SU TIME=*+20000
SETV E,5
SETV F,4
SETV A,7
GT LABEL1
LABEL16 DECV A (A3,A2,A1,A0)
SU TIME=*+20000
SETV F,1
LABEL1 INCR H,1
DECV D (D3,D2,D1,D0)
DECV E (I2,I1,I0)
DECV F (I5,I4,I3)
DECV G (I8,I7,I6)
DECV B (B3,B2,B1,B0)
DECV J (C)
DECV K (CI)
IFV H=1 GT LABEL2
IFV H=2 GT LABEL3
IFV H=3 GT LABEL4
IFV H=4 GT LABEL5
IFV H=5 GT LABEL6
IFV H=6 GT LABEL7
IFV H=7 GT LABEL8
IFV H=8 GT LABEL9
IFV H=9 GT LABEL10
IFV H=10 GT LABEL11
IFV H=11 GT LABEL12
IFV H=12 GT LABEL13

```

IFV H=13 GT LABEL14

IFV H=14 GT LABEL15

IFV H=15 GT LABEL16

SU TIME=**+20000

F

5.6.6.2 SIMULACION ALFANUMERICA DE B01

```

*****
*           SimPrt 2.2 : L E S I M 2 Print Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

File=A:B01.RES

Unit= 10 psec Case=MC

Jan 4,1980

T	DDDD	IIIIIIIII	BBBB	AAAA	C	C	GP	C	P	R	R	C	YYYY	*
I	3210	876543210	3210	3210	L	I	NN	O	O	3	O	3210	#	
M					K								C	
E													H	
													K	
O	1001	011000111	0111	****	1	0	**	*	*	*	*	0	****	*
1888	1001	011000111	0111	****	1	0	**	*	*	*	*	0	****	#
3202	1001	011000111	0111	****	1	0	*1	*	*	*	*	0	****	#
3599	1001	011000111	0111	****	1	0	11	*	*	*	*	0	****	#
3738	1001	011000111	0111	****	1	0	11	0	*	*	*	0	****	#
4662	1001	011000111	0111	****	1	0	11	0	*	*	*	0	***1	#
4752	1001	011000111	0111	****	1	0	11	0	*	*	1	0	***1	#
4862	1001	011000111	0111	****	1	0	11	0	0	*	1	0	***1	#
5354	1001	011000111	0111	****	1	0	11	0	0	*	1	0	**01	#
5416	1001	011000111	0111	****	1	0	11	0	0	*	1	0	*001	#
5477	1001	011000111	0111	****	1	0	11	0	0	*	1	0	1001	#
5567	1001	011000111	0111	****	1	0	11	0	0	1	1	0	1001	#
1000000	1001	011000111	0111	****	0	0	11	0	0	1	1	0	1001	#
2000000	1011	011000111	1000	****	1	0	11	0	0	1	1	0	1001	#
2003892	1011	011000111	1000	****	1	0	11	0	0	1	1	0	1011	#
3000000	1011	011000111	1000	****	0	0	11	0	0	1	1	0	1011	#
4000000	1011	011000001	0111	1000	1	0	11	0	0	1	1	0	1011	#
4002839	1011	011000001	0111	1000	1	0	*1	0	0	1	1	0	1011	#
4002978	1011	011000001	0111	1000	1	0	*1	0	0	1	1	0	1011	#
4003092	1011	011000001	0111	1000	1	0	**	0	0	1	1	0	1011	#
4004108	1011	011000001	0111	1000	1	0	**	0	0	1	1	0	*011	#
4004123	1011	011000001	0111	1000	1	0	**	0	0	1	1	0	**11	#
4004139	1011	011000001	0111	1000	1	0	**	0	0	1	1	0	***1	#
4004144	1011	011000001	0111	1000	1	0	**	0	0	1	1	0	****	#
4004242	1011	011000001	0111	1000	1	0	**	0	0	*1	0	0	****	#
4004278	1011	011000001	0111	1000	1	0	**	0	0	*0	0	0	****	#
4004380	1011	011000001	0111	1000	1	0	**	0	0	*0	0	0	****	#
4006266	1011	011000001	0111	1000	1	0	0*	0	0	*0	0	0	****	#
4006423	1011	011000001	0111	1000	1	0	0*	1	0	*0	0	0	****	#
4006484	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	****	#
4007762	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	***0	#
4007966	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	***0	#
4008334	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	*000	#
4008380	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	*100	#
4008580	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	*100	#
4008873	1011	011000001	0111	1000	1	0	01	1	0	*0	0	0	0100	#
4009077	1011	011000001	0111	1000	1	0	01	1	0	0	0	0	0100	#
4010102	1011	011000001	0111	1000	1	0	01	1	0	0	0	0	0100	*
5000000	1011	011000001	0111	1000	0	0	01	1	0	0	0	0	0100	*
5001409	1011	011000001	0111	1000	0	0	01	1	0	0	0	0	0100	#
6000000	1011	111000011	0111	1000	1	0	01	1	0	0	0	0	0100	#
6003814	1011	111000011	0111	1000	1	0	*1	1	0	0	0	0	0100	#
6003862	1011	111000011	0111	1000	1	0	**	1	0	0	0	0	0100	#
6003953	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	0100	#
6004893	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	0*00	#
6005083	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	*000	#
6005114	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	***0	#
6005119	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	****	#
6005129	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	****	#
6005217	1011	111000011	0111	1000	1	0	**	0	0	0	0	0	****	#
6005480	1011	111000011	0111	1000	1	0	*1	0	0	0	0	0	****	#
6005877	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	****	#
6006016	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	****	#
6006847	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	***0	#

T I R E	DDDD	IIIIIIIII	BBBB	AAAA	C L	C I	GP	C N	P O	R O	R 3	C O	YYYY	* # C H K	
	3210	876543210	3210	3210									3210		
6007563	1011	111000011	0111	1000	1	0	11	0	#	#	0	0	#00	#	
6007600	1011	111000011	0111	1000	1	0	11	0	#	#	0	0	#100	#	
6007800	1011	111000011	0111	1000	1	0	11	0	0	#	0	0	#100	#	
6007904	1011	111000011	0111	1000	1	0	11	0	0	#	0	0	0100	#	
6008108	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0100	#	
6008792	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0100	*	
7000000	1011	111000011	0111	1000	0	0	11	0	0	0	0	0	0100	*	
7001409	1011	111000011	0111	1000	0	0	11	0	0	0	0	0	0100	#	
8000000	1011	111000011	0111	1000	1	0	11	0	0	0	1	0	0100	#	
8003867	1011	111000011	0111	1000	1	0	#1	0	0	0	1	0	0100	#	
8003877	1011	111000011	0111	1000	1	0	#	#	0	0	1	0	0100	#	
8004006	1011	111000011	0111	1000	1	0	#	#	#	0	0	1	0	0100	#
8004878	1011	111000011	0111	1000	1	0	#	#	#	0	0	1	0	#100	#
8004893	1011	111000011	0111	1000	1	0	#	#	#	0	0	1	0	#00	#
8004909	1011	111000011	0111	1000	1	0	#	#	#	0	0	1	0	#00	#
8004914	1011	111000011	0111	1000	1	0	#	#	#	0	0	1	0	####	#
8005012	1011	111000011	0111	1000	1	0	#	#	#	0	#	1	0	####	#
8005129	1011	111000011	0111	1000	1	0	#	#	#	#	#	1	0	####	#
8005515	1011	111000011	0111	1000	1	0	#1	#	#	#	#	1	0	####	#
8005912	1011	111000011	0111	1000	1	0	11	#	#	#	#	1	0	####	#
8006051	1011	111000011	0111	1000	1	0	11	0	#	#	#	1	0	####	#
8006847	1011	111000011	0111	1000	1	0	11	0	#	#	#	1	0	####	#
8007563	1011	111000011	0111	1000	1	0	11	0	#	#	#	1	0	#00	#
8007714	1011	111000011	0111	1000	1	0	11	0	#	#	#	1	0	#00	#
8007790	1011	111000011	0111	1000	1	0	11	0	#	#	#	1	0	1000	#
8007880	1011	111000011	0111	1000	1	0	11	0	#	#	1	1	0	1000	#
8007990	1011	111000011	0111	1000	1	0	11	0	0	1	1	0	1000	#	
8008943	1011	111000011	0111	1000	1	0	11	0	0	1	1	0	1000	*	
9000000	1011	111000011	0111	1000	0	0	11	0	0	1	1	0	1000	*	
9001409	1011	111000011	0111	1000	0	0	11	0	0	1	1	0	1000	#	
10000000	1011	111000011	0111	1000	1	0	11	0	0	1	0	0	1000	#	
10003609	1011	111000011	0111	1000	1	0	#1	0	0	1	0	0	1000	#	
10003748	1011	111000011	0111	1000	1	0	#1	#	0	1	0	0	1000	#	
10003877	1011	111000011	0111	1000	1	0	#	#	#	0	1	0	0	1000	#
10004878	1011	111000011	0111	1000	1	0	#	#	#	0	1	0	0	#000	#
10004893	1011	111000011	0111	1000	1	0	#	#	#	0	1	0	0	#00	#
10004909	1011	111000011	0111	1000	1	0	#	#	#	0	1	0	0	#00	#
10004914	1011	111000011	0111	1000	1	0	#	#	#	0	1	0	0	####	#
10005012	1011	111000011	0111	1000	1	0	#	#	#	0	#	0	0	####	#
10005114	1011	111000011	0111	1000	1	0	#	#	#	#	#	0	0	####	#
10005480	1011	111000011	0111	1000	1	0	#1	#	#	#	0	0	####	#	
10005845	1011	111000011	0111	1000	1	0	11	#	#	#	#	0	0	####	#
10005984	1011	111000011	0111	1000	1	0	11	0	#	#	#	0	0	####	#
10006200	1011	111000011	0111	1000	1	0	11	0	#	#	#	0	0	###1	#
10006400	1011	111000011	0111	1000	1	0	11	0	#	#	#	0	0	###1	#
10006892	1011	111000011	0111	1000	1	0	11	0	0	#	0	0	##01	#	
10007695	1011	111000011	0111	1000	1	0	11	0	0	#	0	0	##01	#	
10007872	1011	111000011	0111	1000	1	0	11	0	0	#	0	0	0001	#	
10008076	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0001	#	
10008924	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0001	*	
11000000	1011	111000011	0111	1000	0	0	11	0	0	0	0	0	0001	*	
11001409	1011	111000011	0111	1000	0	0	11	0	0	0	0	0	0001	#	
12000000	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0001	#	
12003867	1011	111000011	0111	1000	1	0	#1	0	0	0	0	0	0001	#	
12003877	1011	111000011	0111	1000	1	0	#	#	0	0	0	0	0001	#	
12004006	1011	111000011	0111	1000	1	0	#	#	#	0	0	0	0001	#	
12004878	1011	111000011	0111	1000	1	0	#	#	#	0	0	0	##01	#	
12004893	1011	111000011	0111	1000	1	0	#	#	#	0	0	0	##01	#	
12004909	1011	111000011	0111	1000	1	0	#	#	#	0	0	0	##01	#	
12004914	1011	111000011	0111	1000	1	0	#	#	#	0	0	0	####	#	
12005012	1011	111000011	0111	1000	1	0	#	#	#	0	#	0	0	####	#

T I M E	DDDD	IIIIIIIII	BBBB	AAAA	C L K	C I	GP MN	C O	P O	R 3	R O	C O	YYYY	*
12005150	1011	111000011	0111	1000	1	0	##	##	##	##	0	0	####	*
12005480	1011	111000011	0111	1000	1	0	#1	##	##	##	0	0	####	*
12005877	1011	111000011	0111	1000	1	0	11	##	##	##	0	0	####	*
12006016	1011	111000011	0111	1000	1	0	11	0	##	##	0	0	####	*
12006847	1011	111000011	0111	1000	1	0	11	0	##	##	0	0	####	*
12007449	1011	111000011	0111	1000	1	0	11	0	##	##	0	0	##10	*
12007649	1011	111000011	0111	1000	1	0	11	0	0	##	0	0	##10	*
12007714	1011	111000011	0111	1000	1	0	11	0	0	##	0	0	##010	*
12007904	1011	111000011	0111	1000	1	0	11	0	0	##	0	0	0010	*
12008108	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0010	*
12008943	1011	111000011	0111	1000	1	0	11	0	0	0	0	0	0010	*
13000000	1011	111000011	0111	1000	0	0	11	0	0	0	0	0	0010	*
13001409	1011	111000011	0111	1000	0	0	11	0	0	0	0	0	0010	*
14000000	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	0010	*
14003862	1011	101000011	0111	1000	1	0	1#	0	0	0	0	0	0010	*
14003867	1011	101000011	0111	1000	1	0	##	0	0	0	0	0	0010	*
14004006	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	0010	*
14004878	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	##010	*
14004893	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	##10	*
14004909	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	###0	*
14004914	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	####	*
14005048	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	####	*
14005145	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	####	*
14005480	1011	101000011	0111	1000	1	0	#1	##	##	##	0	0	####	*
14005877	1011	101000011	0111	1000	1	0	11	##	##	##	0	0	####	*
14006016	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	####	*
14006847	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	###0	*
14007051	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	###0	*
14007563	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	###0	*
14007600	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	##100	*
14007800	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	##100	*
14007904	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	0100	*
14009133	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	0100	*
15000000	1011	101000011	0111	1000	0	0	11	0	0	0	0	0	0100	*
15001409	1011	101000011	0111	1000	0	0	11	0	0	0	0	0	0100	*
16000000	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	0100	*
16003867	1011	101000011	0111	1000	1	0	#1	0	0	0	0	0	0100	*
16003877	1011	101000011	0111	1000	1	0	##	0	0	0	0	0	0100	*
16004006	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	0100	*
16004878	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	##100	*
16004893	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	###00	*
16004909	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	###0	*
16004914	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	####	*
16005048	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	####	*
16005129	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	####	*
16005480	1011	101000011	0111	1000	1	0	#1	##	##	##	0	0	####	*
16005877	1011	101000011	0111	1000	1	0	11	##	##	##	0	0	####	*
16006016	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	####	*
16006847	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	###0	*
16007051	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	###0	*
16007449	1011	101000011	0111	1000	1	0	11	0	##	##	0	0	##10	*
16007649	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	##10	*
16007714	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	##010	*
16007904	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	0010	*
16009133	1011	101000011	0111	1000	1	0	11	0	0	0	0	0	0010	*
17000000	1011	101000011	0111	1000	0	0	11	0	0	0	0	0	0010	*
17001409	1011	101000011	0111	1000	0	0	11	0	0	0	0	0	0010	*
18000000	1011	101000011	0111	1000	1	0	11	0	0	1	0	0	0010	*
18003862	1011	101000011	0111	1000	1	0	1#	0	0	1	0	0	0010	*
18003867	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	0010	*
18004006	1011	101000011	0111	1000	1	0	##	##	##	##	0	0	0010	*

T I M E	DDDD	IIIIIIIII	BBBB	AAAA	C C	GP	C P	R R	C	YYYY	*
	3210	876543210	3210	3210	L I	NN	O O	3 O		3210	#
					K						C M K
18004878	1011	101000011	0111	1000	1 0	##	# 0	1 0	0	#010	#
18004893	1011	101000011	0111	1000	1 0	##	# 0	1 0	0	##10	#
18004909	1011	101000011	0111	1000	1 0	##	# 0	1 0	0	###0	#
18004914	1011	101000011	0111	1000	1 0	##	# 0	1 0	0	####	#
18005048	1011	101000011	0111	1000	1 0	##	# 0	1 #	0	####	#
18005145	1011	101000011	0111	1000	1 0	##	# 1	# 0		####	#
18005480	1011	101000011	0111	1000	1 0	#1	# #	1 #	0	####	#
18005845	1011	101000011	0111	1000	1 0	11	# #	1 #	0	####	#
18005984	1011	101000011	0111	1000	1 0	11	0 #	1 #	0	####	#
18006200	1011	101000011	0111	1000	1 0	11	0 #	1 #	0	###1	#
18006400	1011	101000011	0111	1000	1 0	11	0 0	1 #	0	###1	#
18006892	1011	101000011	0111	1000	1 0	11	0 0	1 #	0	#01	#
18007695	1011	101000011	0111	1000	1 0	11	0 0	1 #	0	#01	#
18007872	1011	101000011	0111	1000	1 0	11	0 0	1 #	0	0001	#
19000000	1011	101000011	0111	1000	0 0	11	0 0	1 #	0	0001	#
20000000	1011	101000011	0111	1000	1 0	11	0 0	0 #	0	0001	#
20003867	1011	101000011	0111	1000	1 0	#1	0 0	0 #	0	0001	#
20003877	1011	101000011	0111	1000	1 0	##	0 0	0 #	0	0001	#
20004006	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	0001	#
20004878	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	#001	#
20004893	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	##01	#
20004909	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	##1	#
20004914	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	####	#
20005150	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	####	#
20005515	1011	101000011	0111	1000	1 0	#1	# #	0 #	0	####	#
20005912	1011	101000011	0111	1000	1 0	11	# #	0 #	0	####	#
20006051	1011	101000011	0111	1000	1 0	11	0 #	0 #	0	####	#
20006847	1011	101000011	0111	1000	1 0	11	0 #	0 #	0	###0	#
20007051	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	###0	#
20007563	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	##00	#
20007714	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	##00	#
20007790	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	1000	#
20007990	1011	101000011	0111	1000	1 0	11	0 0	0 0	0	1000	#
20008943	1011	101000011	0111	1000	1 0	11	0 0	0 0	0	1000	*
21000000	1011	101000011	0111	1000	0 0	11	0 0	0 0	0	1000	*
21001409	1011	101000011	0111	1000	0 0	11	0 0	0 0	0	1000	#
22000000	1011	101000011	0111	1000	1 0	11	0 0	0 0	0	1000	#
22003609	1011	101000011	0111	1000	1 0	#1	0 0	0 0	0	1000	#
22003748	1011	101000011	0111	1000	1 0	#1	# 0	0 0	0	1000	#
22003877	1011	101000011	0111	1000	1 0	##	# 0	0 0	0	1000	#
22004878	1011	101000011	0111	1000	1 0	##	# 0	0 0	0	#000	#
22004893	1011	101000011	0111	1000	1 0	##	# 0	0 0	0	##00	#
22004909	1011	101000011	0111	1000	1 0	##	# 0	0 0	0	###0	#
22004914	1011	101000011	0111	1000	1 0	##	# 0	0 0	0	####	#
22005048	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	####	#
22005114	1011	101000011	0111	1000	1 0	##	# 0	0 #	0	####	#
22005480	1011	101000011	0111	1000	1 0	#1	# #	0 #	0	####	#
22005877	1011	101000011	0111	1000	1 0	11	# #	0 #	0	####	#
22006016	1011	101000011	0111	1000	1 0	11	0 #	0 #	0	####	#
22006847	1011	101000011	0111	1000	1 0	11	0 #	0 #	0	###0	#
220Q7051	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	###0	#
22007563	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	##00	#
22007600	1011	101000011	0111	1000	1 0	11	0 #	0 0	0	#100	#
22007800	1011	101000011	0111	1000	1 0	11	0 0	0 0	0	#100	#
22007904	1011	101000011	0111	1000	1 0	11	0 0	0 0	0	0100	#
22009133	1011	101000011	0111	1000	1 0	11	0 0	0 0	0	0100	*
23000000	1011	101000011	0111	1000	0 0	11	0 0	0 0	0	0100	*
23001409	1011	101000011	0111	1000	0 0	11	0 0	0 0	0	0100	#
24000000	1011	011000011	0111	1000	1 0	11	0 0	0 0	0	0100	#
24003867	1011	011000011	0111	1000	1 0	#1	0 0	0 0	0	0100	#
24003877	1011	011000011	0111	1000	1 0	##	0 0	0 0	0	0100	#

T I M E	DDDD	IIIIIIIII	BBBB	AAAA	C	C	GP	C	P	R	R	C	YYYY	*
	3210	876543210	3210	3210	L	I	NN	O	O	3	O		3210	C H K
24004006	1011	011000011	0111	1000	1	0	##	#	0	0	0	0	0100	#
24004878	1011	011000011	0111	1000	1	0	##	#	0	0	0	0	#100	#
24004893	1011	011000011	0111	1000	1	0	##	#	0	0	0	0	##00	#
24004909	1011	011000011	0111	1000	1	0	##	#	0	0	0	0	##00	#
24004914	1011	011000011	0111	1000	1	0	##	#	0	0	0	0	##00	#
24005012	1011	011000011	0111	1000	1	0	##	#	0	#	0	0	##00	#
24005048	1011	011000011	0111	1000	1	0	##	#	0	#	#	0	##00	#
24005129	1011	011000011	0111	1000	1	0	##	#	#	#	#	0	##00	#
24005480	1011	011000011	0111	1000	1	0	#1	#	#	#	#	0	##00	#
24005877	1011	011000011	0111	1000	1	0	11	#	#	#	#	0	##00	#
24006016	1011	011000011	0111	1000	1	0	11	0	#	#	#	0	##00	#
24006847	1011	011000011	0111	1000	1	0	11	0	#	#	#	0	##00	#
24007051	1011	011000011	0111	1000	1	0	11	0	#	#	0	0	##00	#
24007449	1011	011000011	0111	1000	1	0	11	0	#	#	0	0	##10	#
24007649	1011	011000011	0111	1000	1	0	11	0	#	0	0	0	##10	#
24007714	1011	011000011	0111	1000	1	0	11	0	0	#	0	0	#010	#
24007904	1011	011000011	0111	1000	1	0	11	0	0	#	0	0	0010	#
24008108	1011	011000011	0111	1000	1	0	11	0	0	0	0	0	0010	#
24009133	1011	011000011	0111	1000	1	0	11	0	0	0	0	0	0010	*
25000000	1011	011000011	0111	1000	0	0	11	0	0	0	0	0	0010	*
25001409	1011	011000011	0111	1000	0	0	11	0	0	0	0	0	0010	#
26000000	0000	011001111	0111	1000	1	0	11	0	0	0	0	0	0010	#
26002707	0000	011001111	0111	1000	1	0	01	0	0	0	0	0	0010	#
26002864	0000	011001111	0111	1000	1	0	01	1	0	0	0	0	0010	#
26002945	0000	011001111	0111	1000	1	0	01	1	0	0	0	0	0010	*
26003058	0000	011001111	0111	1000	1	0	00	1	0	0	0	0	0010	*
26003745	0000	011001111	0111	1000	1	0	10	1	0	0	0	0	0010	*
26003884	0000	011001111	0111	1000	1	0	10	0	0	0	0	0	0010	*
26004470	0000	011001111	0111	1000	1	0	10	0	0	0	0	0	0011	*
26004560	0000	011001111	0111	1000	1	0	10	0	0	0	#	0	0011	#
26005431	0000	011001111	0111	1000	1	0	10	0	0	0	#	0	0111	#
26005623	0000	011001111	0111	1000	1	0	10	0	0	0	#	0	1111	#
26005713	0000	011001111	0111	1000	1	0	10	0	0	#	#	0	1111	#
27000000	0000	011001111	0111	1000	0	0	10	0	0	#	#	0	1111	#
28000000	0000	011100101	0111	0111	1	0	10	0	0	#	#	0	1111	#
28003131	0000	011100101	0111	0111	1	0	11	0	0	#	#	0	1111	#
28003884	0000	011100101	0111	0111	1	0	#1	0	0	#	#	0	1111	#
28003894	0000	011100101	0111	0111	1	0	##	0	0	#	#	0	1111	#
28004023	0000	011100101	0111	0111	1	0	##	#	0	#	#	0	1111	#
28004972	0000	011100101	0111	0111	1	0	##	#	0	#	#	0	0111	#
28005000	0000	011100101	0111	0111	1	0	##	#	0	#	#	0	0011	#
28005028	0000	011100101	0111	0111	1	0	##	#	0	#	#	0	0001	#
28005038	0000	011100101	0111	0111	1	0	##	#	0	#	#	0	0000	#
28005176	0000	011100101	0111	0111	1	0	##	#	0	0	#	0	0000	#
28005242	0000	011100101	0111	0111	1	0	##	#	0	0	0	0	0000	#
28005511	0000	011100101	0111	0111	1	0	##	#	1	0	0	0	0000	#
28005893	0000	011100101	0111	0111	1	0	#1	#	1	0	0	0	0000	#
28006290	0000	011100101	0111	0111	1	0	11	#	1	0	0	0	0000	#
28006429	0000	011100101	0111	0111	1	0	11	0	1	0	0	0	0000	*
29000000	0000	011100101	0111	0111	0	0	11	0	1	0	0	0	0000	*
29001409	0000	011100101	0111	0111	0	0	11	0	1	0	0	0	0000	#
30000000	0000	011001101	0111	0111	1	0	11	0	1	0	0	0	0000	#
30003344	0000	011001101	0111	0111	1	0	01	0	1	0	0	0	0000	#
30003501	0000	011001101	0111	0111	1	0	01	1	1	0	0	0	0000	#
30003712	0000	011001101	0111	0111	1	0	00	1	1	0	0	0	0000	#
30004251	0000	011001101	0111	0111	1	0	#0	1	1	0	0	0	0000	#
30004390	0000	011001101	0111	0111	1	0	#0	#	1	0	0	0	0000	#
30005369	0000	011001101	0111	0111	1	0	#0	#	1	0	0	0	#000	#
30005384	0000	011001101	0111	0111	1	0	#0	#	1	0	0	0	##00	#
30005400	0000	011001101	0111	0111	1	0	#0	#	1	0	0	0	##00	#
30005405	0000	011001101	0111	0111	1	0	#0	#	1	0	0	0	####	#

```

-----
T   DDDD 1111111111 BBBB AAAA C C GP C F R R C YYYY *
I   3210 876543210 3210 3210 L I MN O O 3 O   3210 #
N                                     K                                     C
E                                     K                                     H
                                     K                                     K
-----
30005503 0000 011001101 0111 0111 1 0 #0 # 1 # 0 0 ##### #
30005539 0000 011001101 0111 0111 1 0 #0 # 1 # # 0 ##### #
30005605 0000 011001101 0111 0111 1 0 #0 # # # # 0 ##### #
30006316 0000 011001101 0111 0111 1 0 10 # # # # 0 ##### #
30006455 0000 011001101 0111 0111 1 0 10 0 # # # 0 ##### #
30007275 0000 011001101 0111 0111 1 0 10 0 # # # 0 ##### #
30007475 0000 011001101 0111 0111 1 0 10 0 0 # # 0 ##### #
30007853 0000 011001101 0111 0111 1 0 10 0 0 # # 0 ##### #
30008004 0000 011001101 0111 0111 1 0 10 0 0 # # 0 ##### #
30008194 0000 011001101 0111 0111 1 0 10 0 0 # # 0 ##### #
31000000 0000 011001101 0111 0111 0 0 10 0 0 # # 0 ##### #
Simulation terminated at timeslot 32000000

```

5.6.6.3 SIMULACION GRAFICA DE B01

```

*****
*           SimPrt 2.2 ; L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

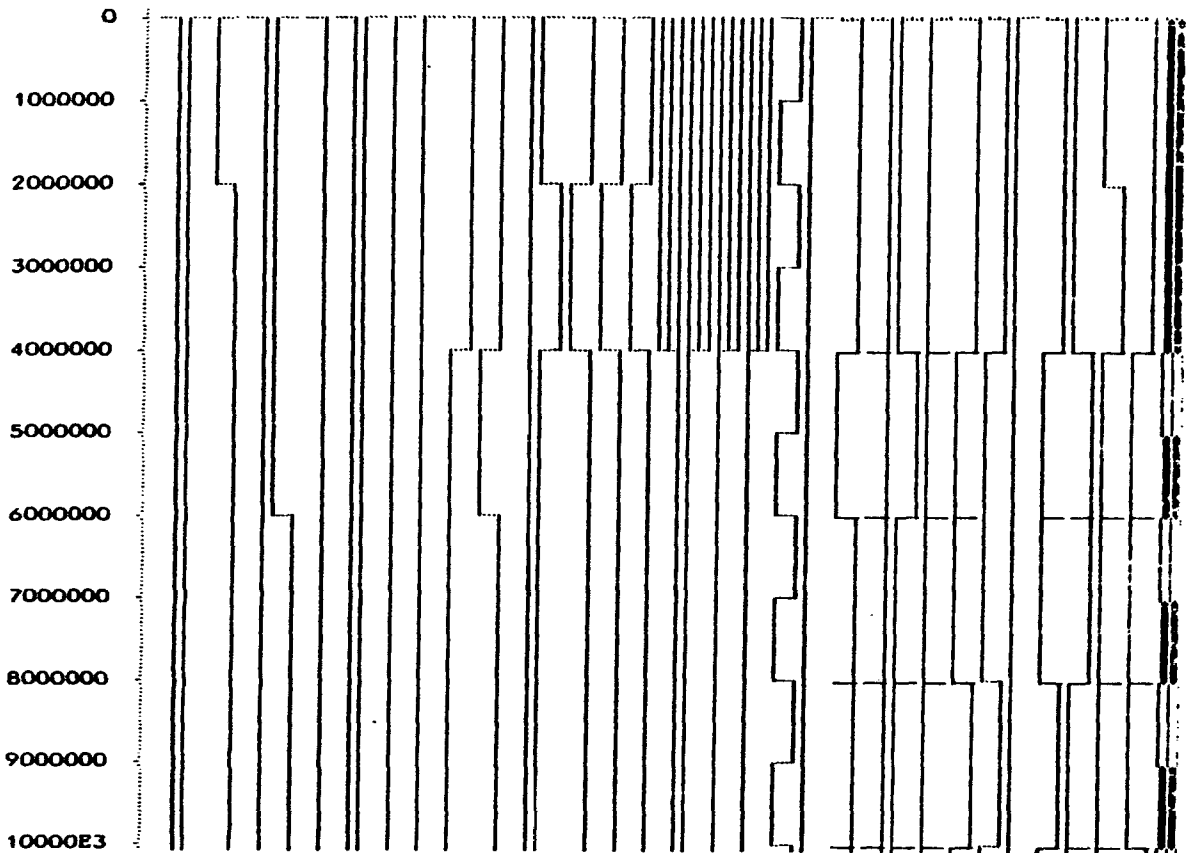
```

File=A:B01.RES Unit= 10 psec Case=MC Step=25000 Jul 7,1989

```

-----
T  D D D D I I I I I I I I I B B B B A A A A C C G P C P R R C Y Y Y *
I  3 2 1 0 8 7 6 5 4 3 2 1 0 3 2 1 0 3 2 1 0 L I N N 0 0 3 0   3 2 1 0 #
M                                     K                                     C
E                                     K                                     H
-----

```



5.6.7 SIMULACION DE LA UNIDAD DE PROCESO C01

5.6.7.1 FICHERO ESTIMULO DE C01

```
*****
* SCL DESCRIPCION          *
*****

  IDENT 'C01'
*
  P D3,D2,D1,DO,,18,I7,I6,I5,I4,I3,I2,I1,I0,,B3,B2,B1,BO,,
#A3,A2,A1,A0,,CLK,,CI,,CO,,FO,,F3,,R3,,RO,,C,,Y3,Y2,Y1,YO
  PCO
*
  STAB
  S 1(10000,20000,ETC)CLK
  SETV K,0
  SETV J,0
  SETV H,0
  SETV D,9
  SETV E,7
  SETV F,0
  SETV G,3
  SETV B,7
  GT LABEL1
LABEL2 SU TIME=#+20000
  SETV D,11
  SETV E,7
  SETV G,3
  SETV B,8
  GT LABEL1
LABEL3 SU TIME=#+20000
  SETV E,1
  SETV G,3
  SETV B,7
  SETV A,8
```


GT LABEL1
LABEL4 DECV A (A3,A2,A1,A0)
SU TIME=*+20000
SETV E,3
SETV G,7
SETV S,0
GT LABEL1
LABEL5 DECV S (RO)
SU TIME=*+20000
SETV S,1
GT LABEL1
LABEL6 DECV S (RO)
SU TIME=*+20000
SETV S,0
GT LABEL1
LABEL7 DECV S (RO)
SU TIME=*+20000
GT LABEL1
LABEL8 DECV S (RO)
SU TIME=*+20000
SETV R,0
SETV G,5
GT LABEL1
LABEL9 DECV R (R3)
SU TIME=*+20000
GT LABEL1
LABEL10 DECV R (R3)
SU TIME=*+20000
SETV R,1
GT LABEL1
LABEL11 DECV R (R3)
SU TIME=*+20000
SETV R,0
GT LABEL1
LABEL12 DECV R (R3)
SU TIME=*+20000
GT LABEL1

```

LABEL13 SU TIME=*+20000
  SETV G,3
  GT LABEL1
LABEL14 SU TIME=*+20000
  SETV D,0
  SETV E,7
  SETV F,1
  GT LABEL1
LABEL15 SU TIME=*+20000
  SETV E,5
  SETV F,4
  SETV A,7
  GT LABEL1
LABEL16 DECV A (A3,A2,A1,A0)
  SU TIME=*+20000
  SETV F,1
LABEL1 INCR H,1
  DECV D (D3,D2,D1,D0)
  DECV E (I2,I1,I0)
  DECV F (I5,I4,I3)
  DECV G (I8,I7,I6)
  DECV B (B3,B2,B1,B0)
  DECV J (C)
  DECV K (CI)
  IFV H=1 GT LABEL2
  IFV H=2 GT LABEL3
  IFV H=3 GT LABEL4
  IFV H=4 GT LABEL5
  IFV H=5 GT LABEL6
  IFV H=6 GT LABEL7
  IFV H=7 GT LABEL8
  IFV H=8 GT LABEL9
  IFV H=9 GT LABEL10
  IFV H=10 GT LABEL11
  IFV H=11 GT LABEL12
  IFV H=12 GT LABEL13
  IFV H=13 GT LABEL14

```

IFV H=14 GT LABEL15

IFV H=15 GT LABEL16

SU TIME=*+20000

F

5.6.7.2 SIMULACION ALFANUMERICA DE C01

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

File=A:C01.RES

Unit= 10 psec Case=MC

Jan 4,1980

T	DDDD	IIIIIIIII	BBBB	AAAA	C	C	C	P	P	R	R	C	YYYY	*
I	3210	876543210	3210	3210	L	I	O	O	3	3	O		3210	#
M					K									C
E														H
														K
O	1001	011000111	0111	****	1	0	*	*	*	*	*	0	****	*
1888	1001	011000111	0111	****	1	0	*	*	*	*	*	0	****	#
3735	1001	011000111	0111	****	1	0	0	*	*	*	*	0	****	#
4662	1001	011000111	0111	****	1	0	0	*	*	*	*	0	****	#
4752	1001	011000111	0111	****	1	0	0	*	*	*	1	0	****	#
4862	1001	011000111	0111	****	1	0	0	0	*	*	1	0	****	#
5060	1001	011000111	0111	****	1	0	0	0	1	*	1	0	****	#
5354	1001	011000111	0111	****	1	0	0	0	1	*	1	0	****	#
5411	1001	011000111	0111	****	1	0	0	0	1	*	1	0	****	#
5472	1001	011000111	0111	****	1	0	0	0	1	*	1	0	****	#
5562	1001	011000111	0111	****	1	0	0	0	1	1	1	0	****	#
1000000	1001	011000111	0111	****	0	0	0	0	1	1	1	0	****	#
2000000	1011	011000111	1000	****	1	0	0	0	1	1	1	0	****	#
2003892	1011	011000111	1000	****	1	0	0	0	1	1	1	0	****	#
3000000	1011	011000111	1000	****	0	0	0	0	1	1	1	0	****	#
4000000	1011	011000001	0111	1000	1	0	0	0	1	1	1	0	****	#
4002978	1011	011000001	0111	1000	1	0	*	0	1	1	1	0	****	#
4003743	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004108	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004123	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004139	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004144	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004242	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004278	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4004380	1011	011000001	0111	1000	1	0	*	0	*	1	1	0	****	#
4006423	1011	011000001	0111	1000	1	0	1	*	*	*	0	0	****	#
4007762	1011	011000001	0111	1000	1	0	1	*	*	*	0	0	****	#
4007966	1011	011000001	0111	1000	1	0	1	*	*	*	0	0	****	#
4008334	1011	011000001	0111	1000	1	0	1	*	*	*	0	0	****	#
4008379	1011	011000001	0111	1000	1	0	1	*	*	*	0	0	****	#
4008465	1011	011000001	0111	1000	1	0	1	*	0	*	0	0	****	#
4008579	1011	011000001	0111	1000	1	0	1	0	0	*	0	0	****	#
4008868	1011	011000001	0111	1000	1	0	1	0	0	*	0	0	****	#
4009072	1011	011000001	0111	1000	1	0	1	0	0	0	0	0	****	#
4010097	1011	011000001	0111	1000	1	0	1	0	0	0	0	0	****	*
5000000	1011	011000001	0111	1000	0	0	1	0	0	0	0	0	****	*
5001409	1011	011000001	0111	1000	0	0	1	0	0	0	0	0	****	#
6000000	1011	111000011	0111	1000	1	0	1	0	0	0	0	0	****	#
6003953	1011	111000011	0111	1000	1	0	*	0	0	0	0	0	****	#
6004718	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6004893	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6005083	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6005114	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6005119	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6005129	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6005217	1011	111000011	0111	1000	1	0	*	0	*	0	0	0	****	#
6006006	1011	111000011	0111	1000	1	0	0	*	*	0	0	0	****	#
6006847	1011	111000011	0111	1000	1	0	0	*	*	0	0	0	****	#
6007496	1011	111000011	0111	1000	1	0	0	*	0	*	0	0	****	#
6007558	1011	111000011	0111	1000	1	0	0	*	0	*	0	0	****	#
6007595	1011	111000011	0111	1000	1	0	0	*	0	*	0	0	****	#
6007795	1011	111000011	0111	1000	1	0	0	0	0	*	0	0	****	#
6007899	1011	111000011	0111	1000	1	0	0	0	0	*	0	0	****	#
6008103	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	****	#

T I M E	DDDD	IIIIIIIII	BBBB	AAAA	C L	C I	C O	F O	P 3	R 3	R O	C	YYYY	* # C H K
	3210	876543210	3210	3210									3210	
6008787	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	0100	*
7000000	1011	111000011	0111	1000	0	0	0	0	0	0	0	0	0100	*
7001409	1011	111000011	0111	1000	0	0	0	0	0	0	0	0	0100	#
8000000	1011	111000011	0111	1000	1	0	0	0	0	0	1	0	0100	#
8003996	1011	111000011	0111	1000	1	0	#	0	0	0	1	0	0100	#
8004513	1011	111000011	0111	1000	1	0	#	0	#	0	1	0	0100	#
8004878	1011	111000011	0111	1000	1	0	#	0	#	0	1	0	#100	#
8004893	1011	111000011	0111	1000	1	0	#	0	#	0	1	0	##00	#
8004909	1011	111000011	0111	1000	1	0	#	0	#	0	1	0	###0	#
8004914	1011	111000011	0111	1000	1	0	#	0	#	0	1	0	####	#
8005012	1011	111000011	0111	1000	1	0	#	0	#	#	1	0	####	#
8005129	1011	111000011	0111	1000	1	0	#	#	#	#	1	0	####	#
8006046	1011	111000011	0111	1000	1	0	0	#	#	#	1	0	####	#
8006847	1011	111000011	0111	1000	1	0	0	#	#	#	1	0	###0	#
8007373	1011	111000011	0111	1000	1	0	0	#	1	#	1	0	###0	#
8007558	1011	111000011	0111	1000	1	0	0	#	1	#	1	0	###0	#
8007709	1011	111000011	0111	1000	1	0	0	#	1	#	1	0	#000	#
8007785	1011	111000011	0111	1000	1	0	0	#	1	#	1	0	1000	#
8007875	1011	111000011	0111	1000	1	0	0	#	1	1	1	0	1000	#
8007985	1011	111000011	0111	1000	1	0	0	0	1	1	1	0	1000	#
8008938	1011	111000011	0111	1000	1	0	0	0	1	1	1	0	1000	*
9000000	1011	111000011	0111	1000	0	0	0	0	1	1	1	0	1000	*
9001409	1011	111000011	0111	1000	0	0	0	0	1	1	1	0	1000	#
10000000	1011	111000011	0111	1000	1	0	0	0	1	1	0	0	1000	#
10003748	1011	111000011	0111	1000	1	0	#	0	1	1	0	0	1000	#
10004513	1011	111000011	0111	1000	1	0	#	0	#	1	0	0	1000	#
10004878	1011	111000011	0111	1000	1	0	#	0	#	1	0	0	#000	#
10004893	1011	111000011	0111	1000	1	0	#	0	#	1	0	0	##00	#
10004909	1011	111000011	0111	1000	1	0	#	0	#	1	0	0	###0	#
10004914	1011	111000011	0111	1000	1	0	#	0	#	1	0	0	####	#
10005012	1011	111000011	0111	1000	1	0	#	0	#	#	0	0	####	#
10005114	1011	111000011	0111	1000	1	0	#	#	#	#	0	0	####	#
10005974	1011	111000011	0111	1000	1	0	0	#	#	#	0	0	####	#
10006200	1011	111000011	0111	1000	1	0	0	#	#	#	0	0	###1	#
10006400	1011	111000011	0111	1000	1	0	0	0	#	#	0	0	###1	#
10006892	1011	111000011	0111	1000	1	0	0	0	#	#	0	0	##01	#
10007464	1011	111000011	0111	1000	1	0	0	0	#	0	0	0	##01	#
10007690	1011	111000011	0111	1000	1	0	0	0	#	0	0	0	#001	#
10007867	1011	111000011	0111	1000	1	0	0	0	0	#	0	0	0001	#
10008071	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	0001	#
10008919	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	0001	*
11000000	1011	111000011	0111	1000	0	0	0	0	0	0	0	0	0001	*
11001409	1011	111000011	0111	1000	0	0	0	0	0	0	0	0	0001	#
12000000	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	0001	#
12003996	1011	111000011	0111	1000	1	0	#	0	0	0	0	0	0001	#
12004513	1011	111000011	0111	1000	1	0	#	0	#	0	0	0	0001	#
12004878	1011	111000011	0111	1000	1	0	#	0	#	0	0	0	#001	#
12004893	1011	111000011	0111	1000	1	0	#	0	#	0	0	0	##01	#
12004909	1011	111000011	0111	1000	1	0	#	0	#	0	0	0	###1	#
12004914	1011	111000011	0111	1000	1	0	#	0	#	0	0	0	####	#
12005012	1011	111000011	0111	1000	1	0	#	0	#	#	0	0	####	#
12005150	1011	111000011	0111	1000	1	0	#	#	#	#	0	0	####	#
12006006	1011	111000011	0111	1000	1	0	0	#	#	#	0	0	####	#
12006847	1011	111000011	0111	1000	1	0	0	#	#	#	0	0	###0	#
12007444	1011	111000011	0111	1000	1	0	0	#	#	#	0	0	##10	#
12007496	1011	111000011	0111	1000	1	0	0	#	0	#	0	0	##10	#
12007644	1011	111000011	0111	1000	1	0	0	0	0	#	0	0	##10	#
12007709	1011	111000011	0111	1000	1	0	0	0	0	#	0	0	#010	#
12007899	1011	111000011	0111	1000	1	0	0	0	0	#	0	0	0010	#
12008103	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	0010	#
12008938	1011	111000011	0111	1000	1	0	0	0	0	0	0	0	0010	*

T I M E	DDDD	IIIIIIII	BBBB	AAAA	C	C	C	P	F	R	R	C	YYYY	*
	3210	876543210	3210	3210	L	I	0	0	3	3	0	3210	#	
					K									C H K
13000000	1011	111000011	0111	1000	0	0	0	0	0	0	0	0	0010	*
13001409	1011	111000011	0111	1000	0	0	0	0	0	0	0	0	0010	#
14000000	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0010	#
14003996	1011	101000011	0111	1000	1	0	#	0	0	0	0	0	0010	#
14004513	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	0010	#
14004878	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	#010	#
14004893	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	#10	#
14004909	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	###0	#
14004914	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
14005048	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
14005145	1011	101000011	0111	1000	1	0	#	#	#	0	#	0	####	#
14006006	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	####	#
14006847	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	###0	#
14007051	1011	101000011	0111	1000	1	0	0	#	#	0	0	0	###0	#
14007496	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	###0	#
14007558	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	###0	#
14007595	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	#100	#
14007795	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	#100	#
14007899	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0100	#
14009128	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0100	*
15000000	1011	101000011	0111	1000	0	0	0	0	0	0	0	0	0100	*
15001409	1011	101000011	0111	1000	0	0	0	0	0	0	0	0	0100	#
16000000	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0100	#
16003996	1011	101000011	0111	1000	1	0	#	0	0	0	0	0	0100	#
16004513	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	0100	#
16004878	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	#100	#
16004893	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	###0	#
16004909	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	###0	#
16004914	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
16005048	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
16005129	1011	101000011	0111	1000	1	0	#	#	#	0	#	0	####	#
16006006	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	####	#
16006847	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	###0	#
16007051	1011	101000011	0111	1000	1	0	0	#	#	0	0	0	###0	#
16007444	1011	101000011	0111	1000	1	0	0	#	#	0	0	0	##10	#
16007496	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	##10	#
16007644	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	##10	#
16007709	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	#010	#
16007899	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0010	#
16009128	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0010	*
17000000	1011	101000011	0111	1000	0	0	0	0	0	0	0	0	0010	*
17001409	1011	101000011	0111	1000	0	0	0	0	0	0	0	0	0010	#
18000000	1011	101000011	0111	1000	1	0	0	0	0	1	0	0	0010	#
18003996	1011	101000011	0111	1000	1	0	#	0	0	1	0	0	0010	#
18004513	1011	101000011	0111	1000	1	0	#	0	#	1	0	0	0010	#
18004878	1011	101000011	0111	1000	1	0	#	0	#	1	0	0	#010	#
18004893	1011	101000011	0111	1000	1	0	#	0	#	1	0	0	##10	#
18004909	1011	101000011	0111	1000	1	0	#	0	#	1	0	0	###0	#
18004914	1011	101000011	0111	1000	1	0	#	0	#	1	0	0	####	#
18005048	1011	101000011	0111	1000	1	0	#	0	#	1	#	0	####	#
18005145	1011	101000011	0111	1000	1	0	#	#	#	1	#	0	####	#
18005974	1011	101000011	0111	1000	1	0	0	#	#	1	#	0	####	#
18006200	1011	101000011	0111	1000	1	0	0	#	#	1	#	0	###1	#
18006400	1011	101000011	0111	1000	1	0	0	0	#	1	#	0	###1	#
18006892	1011	101000011	0111	1000	1	0	0	0	#	1	#	0	##01	#
18007464	1011	101000011	0111	1000	1	0	0	0	1	#	0	0	##01	#
18007690	1011	101000011	0111	1000	1	0	0	0	1	#	0	0	#001	#
18007867	1011	101000011	0111	1000	1	0	0	0	1	#	0	0	0001	#
19000000	1011	101000011	0111	1000	0	0	0	0	0	1	#	0	0001	#
20000000	1011	101000011	0111	1000	1	0	0	0	0	#	0	0	0001	#
20003996	1011	101000011	0111	1000	1	0	#	0	0	#	0	0	0001	#

T I M E	DDDD	IIIIIIIIII	BBBB	AAAA	C L	C I	C O	F O	F 3	R 3	R O	C	YYYY	* # C H K
20004513	1011	101000011	0111	1000	1	0	#	0	#	0	#	0	0001	#
20004878	1011	101000011	0111	1000	1	0	#	0	#	0	#	0	#001	#
20004893	1011	101000011	0111	1000	1	0	#	0	#	0	#	0	##01	#
20004909	1011	101000011	0111	1000	1	0	#	0	#	0	#	0	####	#
20004914	1011	101000011	0111	1000	1	0	#	0	#	0	#	0	####	#
20005150	1011	101000011	0111	1000	1	0	#	#	0	#	0	#	####	#
20006046	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	####	#
20006847	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	####	#
20007051	1011	101000011	0111	1000	1	0	0	#	#	0	0	0	####	#
20007373	1011	101000011	0111	1000	1	0	0	#	1	0	0	0	####	#
20007558	1011	101000011	0111	1000	1	0	0	#	1	0	0	0	####	#
20007709	1011	101000011	0111	1000	1	0	0	#	1	0	0	0	####	#
20007785	1011	101000011	0111	1000	1	0	0	#	1	0	0	0	1000	#
20007985	1011	101000011	0111	1000	1	0	0	0	1	0	0	0	1000	#
20008938	1011	101000011	0111	1000	1	0	0	0	1	0	0	0	1000	*
21000000	1011	101000011	0111	1000	0	0	0	0	1	0	0	0	1000	*
21001409	1011	101000011	0111	1000	0	0	0	0	1	0	0	0	1000	#
22000000	1011	101000011	0111	1000	1	0	0	0	1	0	0	0	1000	#
22003748	1011	101000011	0111	1000	1	0	#	0	1	0	0	0	1000	#
22004513	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	1000	#
22004878	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
22004893	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
22004909	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
22004914	1011	101000011	0111	1000	1	0	#	0	#	0	0	0	####	#
22005048	1011	101000011	0111	1000	1	0	#	0	#	0	#	0	####	#
22005114	1011	101000011	0111	1000	1	0	#	#	#	0	#	0	####	#
22006006	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	####	#
22006847	1011	101000011	0111	1000	1	0	0	#	#	0	#	0	####	#
22007051	1011	101000011	0111	1000	1	0	0	#	#	0	0	0	####	#
22007496	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	####	#
22007558	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	####	#
22007595	1011	101000011	0111	1000	1	0	0	#	0	0	0	0	#100	#
22007795	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	#100	#
22007899	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0100	#
22009128	1011	101000011	0111	1000	1	0	0	0	0	0	0	0	0100	*
23000000	1011	101000011	0111	1000	0	0	0	0	0	0	0	0	0100	*
23001409	1011	101000011	0111	1000	0	0	0	0	0	0	0	0	0100	#
24000000	1011	011000011	0111	1000	1	0	0	0	0	0	0	0	0100	#
24003996	1011	011000011	0111	1000	1	0	#	0	0	0	0	0	0100	#
24004513	1011	011000011	0111	1000	1	0	#	0	#	0	0	0	0100	#
24004878	1011	011000011	0111	1000	1	0	#	0	#	0	0	0	#100	#
24004893	1011	011000011	0111	1000	1	0	#	0	#	0	0	0	##00	#
24004909	1011	011000011	0111	1000	1	0	#	0	#	0	0	0	####	#
24004914	1011	011000011	0111	1000	1	0	#	0	#	0	0	0	####	#
24005012	1011	011000011	0111	1000	1	0	#	0	#	#	0	0	####	#
24005048	1011	011000011	0111	1000	1	0	#	0	#	#	#	0	####	#
24005129	1011	011000011	0111	1000	1	0	#	#	#	#	#	0	####	#
24006006	1011	011000011	0111	1000	1	0	0	#	#	#	#	0	####	#
24006847	1011	011000011	0111	1000	1	0	0	#	#	#	#	0	####	#
24007051	1011	011000011	0111	1000	1	0	0	#	#	#	0	0	####	#
24007444	1011	011000011	0111	1000	1	0	0	#	#	#	#	0	##10	#
24007496	1011	011000011	0111	1000	1	0	0	#	0	#	0	0	##10	#
24007644	1011	011000011	0111	1000	1	0	0	0	0	#	0	0	##10	#
24007709	1011	011000011	0111	1000	1	0	0	0	0	#	0	0	#010	#
24007899	1011	011000011	0111	1000	1	0	0	0	0	#	0	0	0010	#
24008103	1011	011000011	0111	1000	1	0	0	0	0	0	0	0	0010	#
24009128	1011	011000011	0111	1000	1	0	0	0	0	0	0	0	0010	*
25000000	1011	011000011	0111	1000	0	0	0	0	0	0	0	0	0010	*
25001409	1011	011000011	0111	1000	0	0	0	0	0	0	0	0	0010	#
26000000	0000	011001111	0111	1000	1	0	0	0	0	0	0	0	0010	#
26002846	0000	011001111	0111	1000	1	0	1	0	0	0	0	0	0010	#

```

-----
T      DDDD IIIIIIIIII BBBB AAAA C C C P P R R C YYYY *
I      3210 876543210 3210 3210 L I O O 3 3 O 3210 #
M
E
K
-----
26002945 0000 011001111 0111 1000 1 0 1 0 0 0 0 0 0010 *
26003884 0000 011001111 0111 1000 1 0 0 0 0 0 0 0 0010 *
26004470 0000 011001111 0111 1000 1 0 0 0 0 0 0 0 0011 *
26004560 0000 011001111 0111 1000 1 0 0 0 0 0 # 0 0011 #
26005211 0000 011001111 0111 1000 1 0 0 0 1 0 # 0 0011 #
26005431 0000 011001111 0111 1000 1 0 0 0 1 0 # 0 0111 #
26005623 0000 011001111 0111 1000 1 0 0 0 1 0 # 0 1111 #
26005713 0000 011001111 0111 1000 1 0 0 0 1 # # 0 1111 #
27000000 0000 011001111 0111 1000 0 0 0 0 1 # # 0 1111 #
28000000 0000 011100101 0111 0111 1 0 0 0 1 # # 0 1111 #
28004013 0000 011100101 0111 0111 1 0 # 0 1 # # 0 1111 #
28004569 0000 011100101 0111 0111 1 0 # 0 0 # # 0 1111 #
28004972 0000 011100101 0111 0111 1 0 # 0 0 # # 0 0111 #
28005000 0000 011100101 0111 0111 1 0 # 0 0 # # 0 0011 #
28005028 0000 011100101 0111 0111 1 0 # 0 0 # # 0 0001 #
28005038 0000 011100101 0111 0111 1 0 # 0 0 # # 0 0000 #
28005176 0000 011100101 0111 0111 1 0 # 0 0 0 # 0 0000 #
28005242 0000 011100101 0111 0111 1 0 # 0 0 0 0 0000 #
28005511 0000 011100101 0111 0111 1 0 # 1 0 0 0 0000 #
28006419 0000 011100101 0111 0111 1 0 0 1 0 0 0 0000 *
29000000 0000 011100101 0111 0111 0 0 0 1 0 0 0 0000 *
29001409 0000 011100101 0111 0111 0 0 0 1 0 0 0 0000 #
30000000 0000 011001101 0111 0111 1 0 0 1 0 0 0 0000 #
30003483 0000 011001101 0111 0111 1 0 1 1 0 0 0 0000 #
30004390 0000 011001101 0111 0111 1 0 # 1 0 0 0 0000 #
30005004 0000 011001101 0111 0111 1 0 # 1 # 0 0 0000 #
30005369 0000 011001101 0111 0111 1 0 # 1 # 0 0 0000 #
30005384 0000 011001101 0111 0111 1 0 # 1 # 0 0 #000 #
30005400 0000 011001101 0111 0111 1 0 # 1 # 0 0 #000 #
30005405 0000 011001101 0111 0111 1 0 # 1 # 0 0 #000 #
30005503 0000 011001101 0111 0111 1 0 # 1 # # 0 #000 #
30005539 0000 011001101 0111 0111 1 0 # 1 # # # 0 #000 #
30005605 0000 011001101 0111 0111 1 0 # # # # 0 #000 #
30006455 0000 011001101 0111 0111 1 0 0 # # # 0 #000 #
30007275 0000 011001101 0111 0111 1 0 0 # # # 0 #001 #
30007475 0000 011001101 0111 0111 1 0 0 # # # 0 #001 #
30007782 0000 011001101 0111 0111 1 0 0 0 1 # # 0 #001 #
30007853 0000 011001101 0111 0111 1 0 0 0 1 # # 0 #011 #
30008004 0000 011001101 0111 0111 1 0 0 0 1 # # 0 #111 #
30008194 0000 011001101 0111 0111 1 0 0 0 1 # # 0 1111 #
31000000 0000 011001101 0111 0111 0 0 0 0 1 # # 0 1111 #
Simulation terminated at timeslot 32000000

```


5.6.7.3 SIMULACION GRAFICA DE C01

```

*****
*                               *
*      SimPrt 2.2 : L E S I M 2 Print_Processor      *
*      (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988      *
*                               *
*****

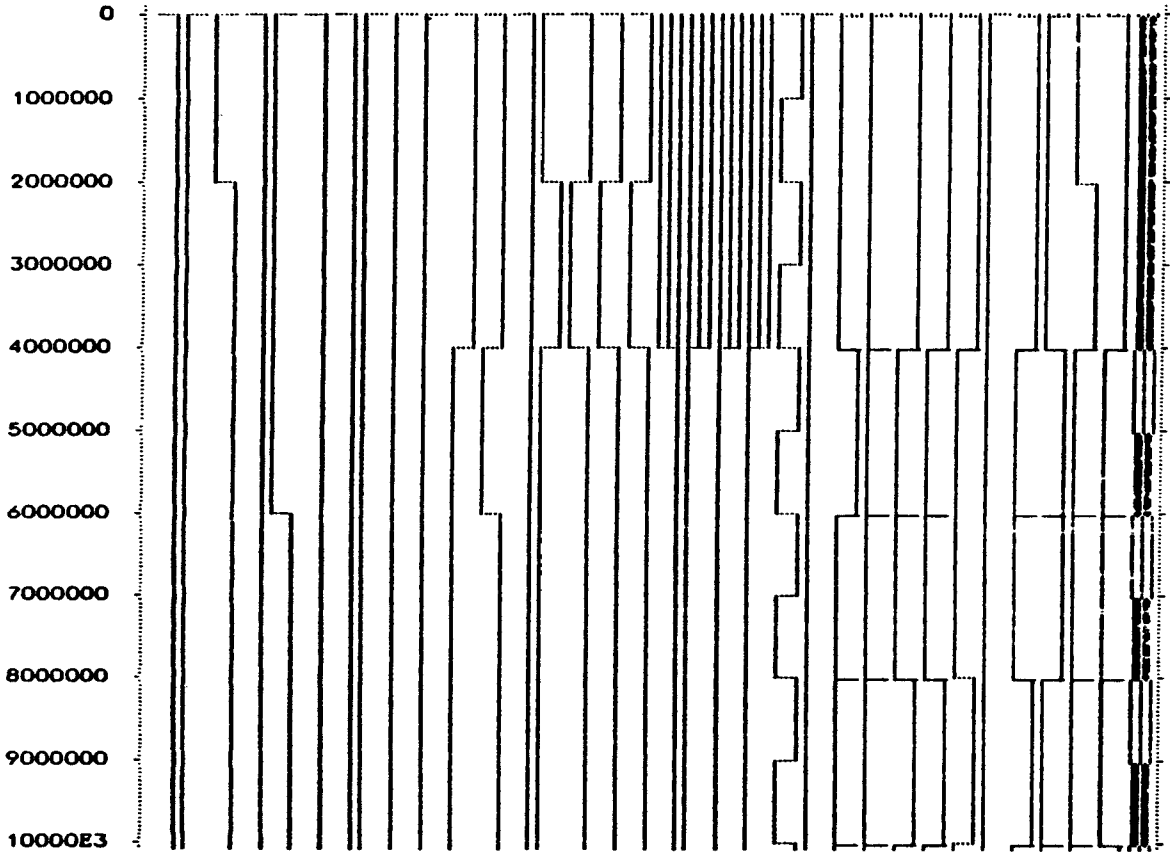
```

File=A:C01.RES Unit= 10 psec Case=MC Step=25000 Jul 7, 1989

```

-----
T   D D D D I I I I I I I I I B B B B A A A A C C C P P R R C Y Y Y Y *
I   3 2 1 0 8 7 6 5 4 3 2 1 0 3 2 1 0 3 2 1 0 L I 0 0 3 3 0   3 2 1 0 #
M                                     K                                     C
E                                     K                                     H
                                                                    K
-----

```



5.6.8 SIMULACION DEL COMPARADOR DE MAGNITUD A85

5.6.8.1 FICHERO ESTIMULO DE A85

```
*****  
* SCL DESCRIPCION          *  
*****  
  IDENT 'A85'  
*  
  P B3,,B2,,B1,,A,,Y  
  PCO  
*  
  STAB  
  SETV B,0  
LABEL1 DECV B (B3,B2,B1,A)  
  SU TIME=*+1000  
  INCR B,1  
  IFV B=16 GT LABEL2  
  GT LABEL1  
LABEL2 F
```

5.6.8.2 SIMULACION ALFANUMERICA DE A85

```
*****
*           SimPrt 2.2 : L E S I M 2 Print Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
```

File=A:A85.RES

Unit= 10 psec Case=WC

Jan 4,1980

```
-----
      T  B B B A Y *
      I  3 2 1     #
      M                                     C
      E                                     H
                                           K
-----
      0  0 0 0 0 * *
    179  0 0 0 0 1 *
    256  0 0 0 0 1 0
  100000  0 0 0 1 1 0
  200000  0 0 1 0 1 0
  300000  0 0 1 1 1 0
  400000  0 1 0 0 1 0
  500000  0 1 0 1 1 0
  600000  0 1 1 0 1 0
  700000  0 1 1 1 1 0
  800000  1 0 0 0 1 0
  800393  1 0 0 0 0 0
  800695  1 0 0 0 1 0
  900000  1 0 0 1 1 0
 1000000  1 0 1 0 1 0
 1000595  1 0 1 0 0 0
 1100000  1 0 1 1 0 0
 1100337  1 0 1 1 1 0
 1200000  1 1 0 0 1 0
 1200393  1 1 0 0 0 0
 1300000  1 1 0 1 0 0
 1300337  1 1 0 1 1 0
 1400000  1 1 1 0 1 0
 1400393  1 1 1 0 0 0
 1500000  1 1 1 1 0 0
 1500337  1 1 1 1 1 0
Simulation terminated at timeslot 1600000
```

5.6.8.3 SIMULACION GRAFICA DE A85

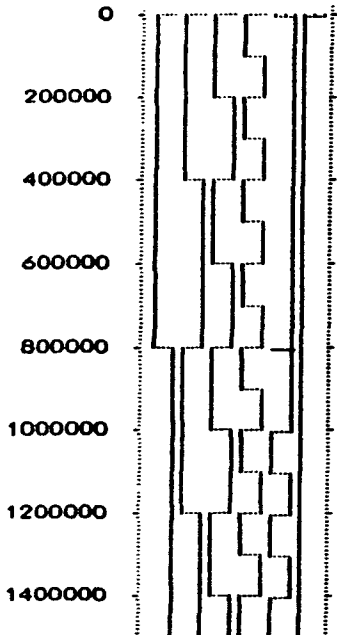
```

*****
*           SimPrt 2.2 ; L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
  
```

File=A:A85.RES Unit= 10 psec Case=MC Step= 5000 Jul 7,1989

```

-----
T   B B B A Y *
I   3 2 1     #
M                                     C
E                                     H
                                     K
-----
  
```



5.6.9 SIMULACION DEL GENERADOR DE PARIDAD A80

5.6.9.1 FICHERO ESTIMULO DE A80

```
*****
* SCL DESCRIPCION          *
*****
  IDENT 'A80'
*
  P A,,B,,C,,D,,E,,F,,G,,H,,EVEN
  PCO
*
  STAB
  SETV H,0
LABEL1 DECV H (A,B,C,D,E,F,G,H)
  SU TIME=*+2500
  INCR H,1
  IFV H=256 GT LABEL2
  GT LABEL1
LABEL2 F
```

5.6.9.2 SIMULACION ALFANUMERICA DE A80

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

File=A:A80.RES

Unit= 10 psec Case=WC

Jan 4,1980

T	A	B	C	D	E	F	G	H	E	*
I										V
M										E
E										N
										H
										K
0	0	0	0	0	0	0	0	0	0	*
2430	0	0	0	0	0	0	0	0	1	0
250000	0	0	0	0	0	0	0	1	1	0
252144	0	0	0	0	0	0	0	1	0	0
500000	0	0	0	0	0	0	1	0	0	0
750000	0	0	0	0	0	0	1	1	0	0
752430	0	0	0	0	0	0	1	1	1	0
1000000	0	0	0	0	0	1	0	0	1	0
1002144	0	0	0	0	0	1	0	0	0	0
1250000	0	0	0	0	0	1	0	1	0	0
1252334	0	0	0	0	0	1	0	1	1	0
1500000	0	0	0	0	0	1	1	0	1	0
1750000	0	0	0	0	0	1	1	1	1	0
1752240	0	0	0	0	0	1	1	1	0	0
2000000	0	0	0	0	1	0	0	0	0	0
2250000	0	0	0	0	1	0	0	1	0	0
2252334	0	0	0	0	1	0	0	1	1	0
2500000	0	0	0	0	1	0	1	0	1	0
2750000	0	0	0	0	1	0	1	1	1	0
2752240	0	0	0	0	1	0	1	1	0	0
3000000	0	0	0	0	1	1	0	0	0	0
3002430	0	0	0	0	1	1	0	0	1	0
3250000	0	0	0	0	1	1	0	1	1	0
3252144	0	0	0	0	1	1	0	1	0	0
3500000	0	0	0	0	1	1	1	0	0	0
3750000	0	0	0	0	1	1	1	1	0	0
3752430	0	0	0	0	1	1	1	1	1	0
4000000	0	0	0	1	0	0	0	0	1	0
4002144	0	0	0	1	0	0	0	0	0	0
4250000	0	0	0	1	0	0	0	1	0	0
4252238	0	0	0	1	0	0	0	1	1	0
4500000	0	0	0	1	0	0	1	0	1	0
4750000	0	0	0	1	0	0	1	1	1	0
4752336	0	0	0	1	0	0	1	1	0	0
5000000	0	0	0	1	0	1	0	0	0	0
5002238	0	0	0	1	0	1	0	0	1	0
5250000	0	0	0	1	0	1	0	1	1	0
5252240	0	0	0	1	0	1	0	1	0	0
5500000	0	0	0	1	0	1	1	0	0	0
5750000	0	0	0	1	0	1	1	1	0	0
5752334	0	0	0	1	0	1	1	1	1	0
6000000	0	0	0	1	1	0	0	0	1	0
6250000	0	0	0	1	1	0	0	1	1	0
6252240	0	0	0	1	1	0	0	1	0	0
6500000	0	0	0	1	1	0	1	0	0	0
6750000	0	0	0	1	1	0	1	1	0	0
6752334	0	0	0	1	1	0	1	1	1	0
7000000	0	0	0	1	1	1	0	0	1	0
7002336	0	0	0	1	1	1	0	0	0	0
7250000	0	0	0	1	1	1	0	1	0	0

5.6.9.3 SIMULACION GRAFICA DE A80

```

*****
*                               *
*   SimPrt 2.2 : L E S I R 2 Print_Processor   *
*   (c) Copyright M.V. Philips'Gloeilampenfabrieken 1988   *
*                               *
*****

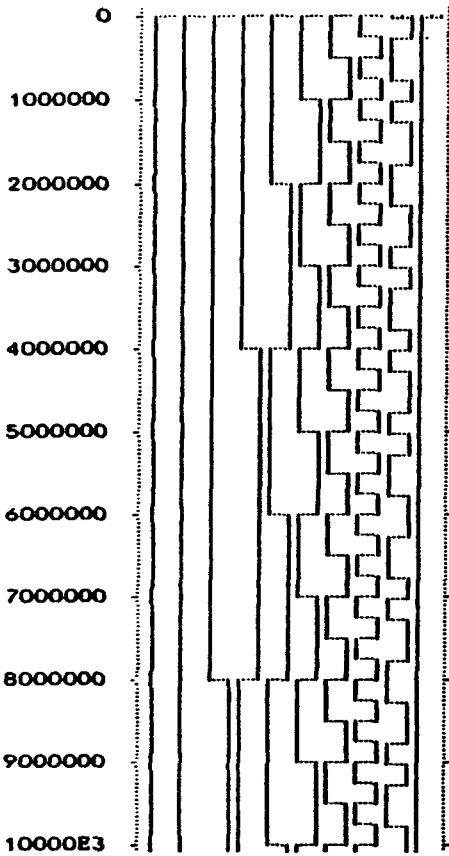
```

File=A:A80.RES Unit= 10 psec Case=MC Step=25000 Jul 7,1989

```

-----
T   A B C D E F G H E *
l   V #
M   E C
E   N H
      K
-----

```



5.6.10 SIMULACION DEL REGISTRO A74

5.6.10.1 FICHERO ESTIMULO DE A74

```
*****  
* SCL DESCRIPCION          *  
*****
```

```
  IDENT 'A74'  
*  
  P D7,D6,D5,D4,D3,D2,D1,DO,,CLK,,Y7,Y6,Y5,Y4,Y3,Y2,Y1,Y0  
  PCO  
*  
  STAB  
  S 0(2000,4000,ETC)CLK  
  SETV I,0  
LABEL1 DECV I (D7,D6,D5,D4,D3,D2,D1,DO)  
  SU TIME=*+4000  
  INCR I,1  
  IFV I=256 GT LABEL2  
  GT LABEL1  
LABEL2 F
```


5.6.10.2 SIMULACION ALFANUMERICA DE A74

 * SimPrt 2.2 : L E S I M 2 Print Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:A74.RES Unit= 10 psec Case=MC Jan 4,1980

```
-----
T DDDDDDD C YYYYYYY *
I 76543210 L 76543210 #
M K C
E H K
-----
```

```

O 00000000 0 ***** *
200000 00000000 1 ***** *
200845 00000000 1 00000000 0
400000 00000001 0 00000000 0
600000 00000001 1 00000000 0
600876 00000001 1 00000001 0
800000 00000010 0 00000001 0
1000000 00000010 1 00000001 0
1000845 00000010 1 00000000 0
1000876 00000010 1 00000010 0
1200000 00000011 0 00000010 0
1400000 00000011 1 00000010 0
1400876 00000011 1 00000011 0
1600000 00000100 0 00000011 0
1800000 00000100 1 00000011 0
1800845 00000100 1 00000000 0
1800876 00000100 1 00000100 0
2000000 00000101 0 00000100 0
2200000 00000101 1 00000100 0
2200876 00000101 1 00000101 0
2400000 00000110 0 00000101 0
2600000 00000110 1 00000101 0
2600845 00000110 1 00000100 0
2600876 00000110 1 00000110 0
2800000 00000111 0 00000110 0
3000000 00000111 1 00000110 0
3000876 00000111 1 00000111 0
3200000 00001000 0 00000111 0
3400000 00001000 1 00000111 0
3400845 00001000 1 00000000 0
3400876 00001000 1 00001000 0
3600000 00001001 0 00001000 0
3800000 00001001 1 00001000 0
3800876 00001001 1 00001001 0
4000000 00001010 0 00001001 0
4200000 00001010 1 00001001 0
4200845 00001010 1 00001000 0
4200876 00001010 1 00001010 0
4400000 00001011 0 00001010 0
4600000 00001011 1 00001010 0
4600876 00001011 1 00001011 0
4800000 00001100 0 00001011 0
5000000 00001100 1 00001011 0
5000845 00001100 1 00001000 0
5000876 00001100 1 00001100 0
5200000 00001101 0 00001100 0
5400000 00001101 1 00001100 0
5400876 00001101 1 00001101 0
5600000 00001110 0 00001101 0

```

5.6.10.3 SIMULACION GRAFICA DE A74

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

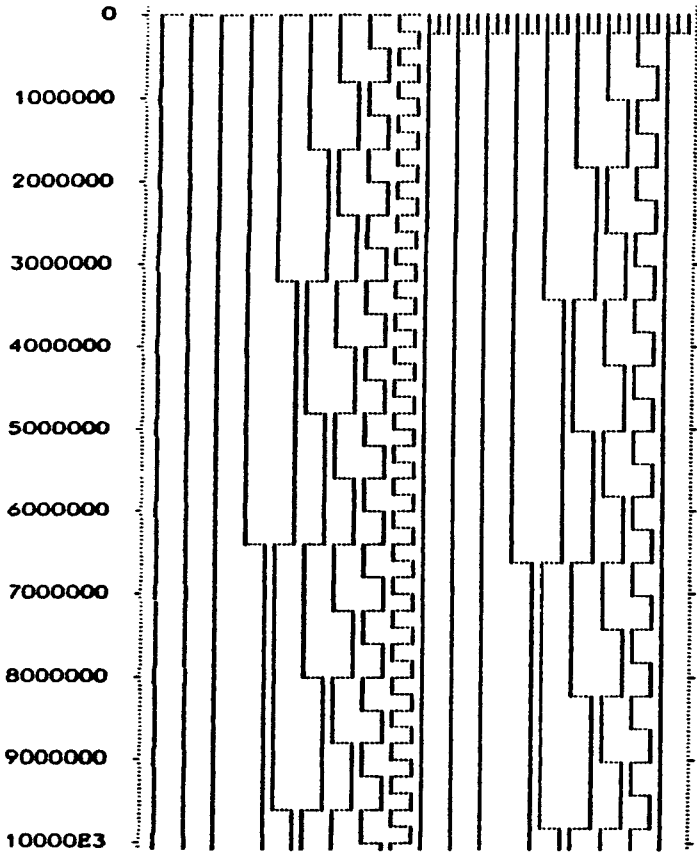
File=A:A74.RES           Unit= 10 psec  Case=MC  Step=25000   Jul 7,1989

```

```

-----
T  D D D D D D D C Y Y Y Y Y Y Y Y *
I  7 6 5 4 3 2 1 0 L 7 6 5 4 3 2 1 0 *
M                                     K                               C
E                                                                 H
                                                                 K
-----

```



5.6.11 SIMULACION DEL MULTIPLEXOR A57

5.6.11.1 FICHERO ESTIMULO DE A57

* SCL DESCRIPCION *

IDENT 'A57'

*

P A,,,B,,,S,,,Y

PCO

*

STAB

SETV H,0

LABEL1 DECV H (S,A,B)

SU TIME=*+1000

INCR H,1

IFV H=8 GT LABEL2

GT LABEL1

LABEL2 F

5.6.11.2 SIMULACION ALFANUMERICA DE A57

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

File=A:A57.RES

Unit= 10 psec Case=MC

Jan 4,1980

```

-----
  T  A  B  S  Y  *
  I                                     *
  M                                     C
  E                                     H
                                     K
-----
  0  0  0  0  *  *
 513 0  0  0  0  0
100000 0  1  0  0  0
200000 1  0  0  0  0
200581 1  0  0  1  0
300000 1  1  0  1  0
400000 0  0  1  1  0
400513 0  0  1  0  0
500000 0  1  1  0  0
500581 0  1  1  1  0
600000 1  0  1  1  0
600513 1  0  1  0  0
700000 1  1  1  0  0
700581 1  1  1  1  0
Simulation terminated at timeslot      800000

```

5.6.11.3 SIMULACION GRAFICA DE A57

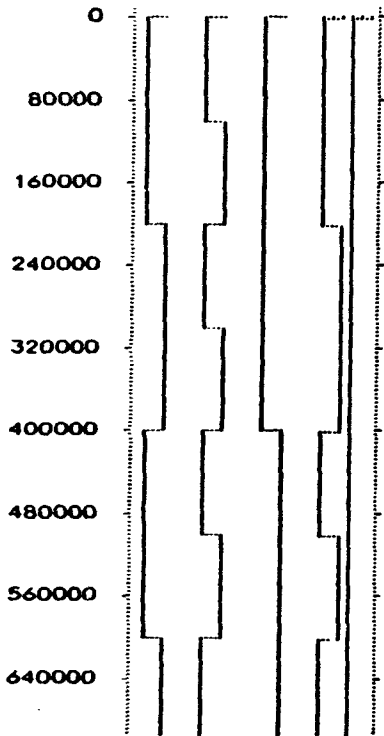
```

*****
*                               *
*   SimPrt 2.2 : L E S I M 2 Print_Processor   *
*   (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988   *
*                               *
*****
    
```

File=A:A57.RES Unit= 10 psec Case=MC Step= 2000 Jul 7,1989

```

-----
T   A   B   S   Y *
I   *
H   C
E   H
      K
-----
    
```



5.6.12 SIMULACION DEL MULTIPLEXOR A53

5.6.12.1 FICHERO ESTIMULO DE A53

```
*****
* SCL DESCRIPCION      *
*****
  IDENT 'A53'
*
  P S2,S1,,AO,BO,CO,DO,,A1,B1,C1,D1,,YO,Y1
  PCO
*
  STAB
  SETV S,0
  LABELO SETV I,0
  LABEL1 DECV I (AO,BO,CO,DO)
  DECV I (A1,B1,C1,D1)
  DECV S (S2,S1)
  SU TIME=**+1500
  INCR I,1
  IFV I=16 GT LABEL2
  GT LABEL1
  LABEL2 INCR S,1
  IFV S=4 GT LABEL3
  GT LABELO
  LABEL3 F
```

5.6.12.2 SIMULACION ALFANUMERICA DE A53

```
*****
*                               *
*      SimPrt 2.2 : L E S I M 2 Print_Processor      *
*      (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988      *
*                               *
*****
```

File=A:A53.RES

Unit= 10 psec Case=NC

Jan 4,1980

```
-----
T   SS ABCD ABCD YY *
I   21 0000 1111 01 #
M                                     C
E                                     H
                                     K
-----
```

```

O   00 0000 0000 ** *
495 00 0000 0000 00 0
150000 00 0001 0001 00 0
300000 00 0010 0010 00 0
450000 00 0011 0011 00 0
600000 00 0100 0100 00 0
750000 00 0101 0101 00 0
900000 00 0110 0110 00 0
1050000 00 0111 0111 00 0
1200000 00 1000 1000 00 0
1200462 00 1000 1000 11 0
1350000 00 1001 1001 11 0
1500000 00 1010 1010 11 0
1650000 00 1011 1011 11 0
1800000 00 1100 1100 11 0
1950000 00 1101 1101 11 0
2100000 00 1110 1110 11 0
2250000 00 1111 1111 11 0
2400000 01 0000 0000 11 0
2400495 01 0000 0000 00 0
2550000 01 0001 0001 00 0
2700000 01 0010 0010 00 0
2850000 01 0011 0011 00 0
3000000 01 0100 0100 00 0
3000462 01 0100 0100 11 0
3150000 01 0101 0101 11 0
3300000 01 0110 0110 11 0
3450000 01 0111 0111 11 0
3600000 01 1000 1000 11 0
3600495 01 1000 1000 00 0
3750000 01 1001 1001 00 0
3900000 01 1010 1010 00 0
4050000 01 1011 1011 00 0
4200000 01 1100 1100 00 0
4200462 01 1100 1100 11 0
4350000 01 1101 1101 11 0
4500000 01 1110 1110 11 0
4650000 01 1111 1111 11 0
4800000 10 0000 0000 11 0
4800495 10 0000 0000 00 0
4950000 10 0001 0001 00 0
5100000 10 0010 0010 00 0
5100462 10 0010 0010 11 0
5250000 10 0011 0011 11 0
5400000 10 0100 0100 11 0
5400495 10 0100 0100 00 0
5550000 10 0101 0101 00 0
5700000 10 0110 0110 00 0
5700462 10 0110 0110 11 0
```

5.6.12.3 SIMULACION GRAFICA DE A53

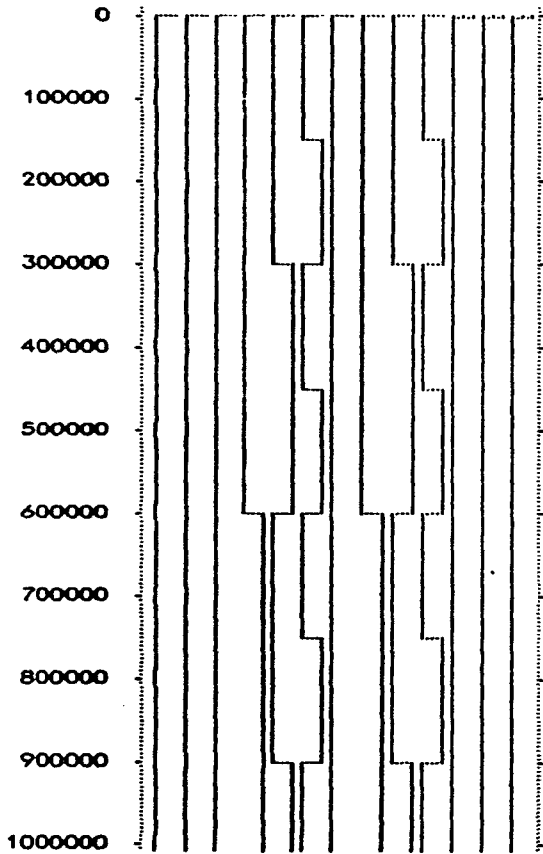
```

*****
*                               *
*      SimPrt 2.2 : L E S I M 2 Print Processor      *
*      (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988      *
*                               *
*****
  
```

File=A:A53.RES Unit= 10 psec Case=WC Step= 2500 Jul 15, 1989

```

-----
T   S S A B C D A B C D Y Y *
I   2 1 0 0 0 0 1 1 1 1 0 1 *
M                                     C
E                                     H
                                     K
-----
  
```



5.6.13 SIMULACION DEL MULTIPLEXOR A51

5.6.13.1 FICHERO ESTIMULO DE A51

```
*****
* SCL DESCRIPCION          *
*****

  IDENT 'A51'
*
  P D7,D6,D5,D4,D3,D2,D1,DO,,C,,B,,A,,Y
  PCO
*
  STAB
  SETV E,0
  LABELO SETV D,0
  LABEL1 DECV D (D7,D6,D5,D4,D3,D2,D1,DO)
  DECV E (C,B,A)
  SU TIME=#+2500
  INCR D,1
  IFV D=256 GT LABEL2
  GT LABEL1
  LABEL2 INCR E,1
  IFV E=8 GT LABEL3
  GT LABELO
  LABEL3 F
```

5.6.13.2 SIMULACION ALFANUMERICA DE A51

```
*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
```

File=A:A51.RES Unit= 10 psec Case=WC Jan 4, 1980

```
-----
T    DDDDDDDD C B A Y *
I    76543210            #
M                            C
E                            H
                              K
-----
O    00000000 0 0 0 * *
1124 00000000 0 0 0 0 0
250000 00000001 0 0 0 0 0
251027 00000001 0 0 0 1 0
500000 00000010 0 0 0 1 0
501124 00000010 0 0 0 0 0
750000 00000011 0 0 0 0 0
751027 00000011 0 0 0 1 0
1000000 00000100 0 0 0 1 0
1001124 00000100 0 0 0 0 0
1250000 00000101 0 0 0 0 0
1251027 00000101 0 0 0 1 0
1500000 00000110 0 0 0 1 0
1501124 00000110 0 0 0 0 0
1750000 00000111 0 0 0 0 0
1751027 00000111 0 0 0 1 0
2000000 00001000 0 0 0 1 0
2001124 00001000 0 0 0 0 0
2250000 00001001 0 0 0 0 0
2251027 00001001 0 0 0 1 0
2500000 00001010 0 0 0 1 0
2501124 00001010 0 0 0 0 0
2750000 00001011 0 0 0 0 0
2751027 00001011 0 0 0 1 0
3000000 00001100 0 0 0 1 0
3001124 00001100 0 0 0 0 0
3250000 00001101 0 0 0 0 0
3251027 00001101 0 0 0 1 0
3500000 00001110 0 0 0 1 0
3501124 00001110 0 0 0 0 0
3750000 00001111 0 0 0 0 0
3751027 00001111 0 0 0 1 0
4000000 00010000 0 0 0 1 0
4001124 00010000 0 0 0 0 0
4250000 00010001 0 0 0 0 0
4251027 00010001 0 0 0 1 0
4500000 00010010 0 0 0 1 0
4501124 00010010 0 0 0 0 0
4750000 00010011 0 0 0 0 0
4751027 00010011 0 0 0 1 0
5000000 00010100 0 0 0 1 0
5001124 00010100 0 0 0 0 0
5250000 00010101 0 0 0 0 0
5251027 00010101 0 0 0 1 0
5500000 00010110 0 0 0 1 0
5501124 00010110 0 0 0 0 0
5750000 00010111 0 0 0 0 0
5751027 00010111 0 0 0 1 0
-----
```

5.6.13.3 SIMULACION GRAFICA DE A51

```

*****
*                               *
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*                               *
*****

```

```

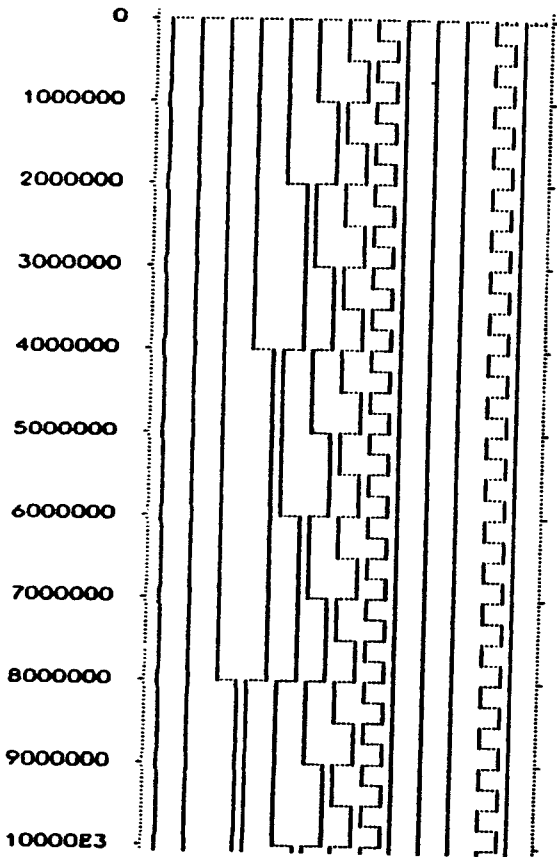
File=A:A51.RES           Unit= 10 psec  Case=MC  Step=25000   Jul  7,1989

```

```

-----
T  D D D D D D D D C B A Y *
I  7 6 5 4 3 2 1 0         *
M                                 C
E                                 H
                                 K
-----

```



5.6.14 SIMULACION DEL REGISTRO A20

5.6.14.1 FICHERO ESTIMULO DE A20

```
*****
* SCL DESCRIPCION          *
*****
  IDENT 'A20'
*
  P D7,D6,D5,D4,D3,D2,D1,DO,,EN,,CLK,,
# Y7,Y6,Y5,Y4,Y3,Y2,Y1,YO
  PCO
*
  STAB
  S 0(2500,5000,ETC)CLK
  SETV C,0
LABEL1 SETV D,0
LABEL2 DECV D (D7,D6,D5,D4,D3,D2,D1,DO)
  DECV C (EN)
  SU TIME=*+5000
  INCR D,1
  IFV D=256 GT LABEL3
  GT LABEL2
LABEL3 INCR C,1
  IFV C=2 GT LABEL4
  GT LABEL1
LABEL4 DECV D (D7,D6,D5,D4,D3,D2,D1,DO)
  DECV C (EN)
  SU TIME=*+5000
  F
```

5.6.14.2 SIMULACION ALFANUMERICA DE A20

```

*****
*                               *
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*                               *
*****

```

File=A:A20.RES

Unit= 10 psec Case=MC

Jan 4, 1980

```

-----
T  DDDDDDDD E C YYYYYYYY *
I  76543210 N L 76543210 #
M                               C
E                               H
                               K
-----
O  00000000 0 0 ***** *
250000 00000000 0 1 ***** *
250732 00000000 0 1 00000000 *
250957 00000000 0 1 00000000 0
500000 00000001 0 0 00000000 0
750000 00000001 0 1 00000000 0
750860 00000001 0 1 00000001 0
1000000 00000010 0 0 00000001 0
1250000 00000010 0 1 00000001 0
1250732 00000010 0 1 00000000 0
1250860 00000010 0 1 00000010 0
1500000 00000011 0 0 00000010 0
1750000 00000011 0 1 00000010 0
1750860 00000011 0 1 00000011 0
2000000 00000100 0 0 00000011 0
2250000 00000100 0 1 00000011 0
2250732 00000100 0 1 00000000 0
2250860 00000100 0 1 00000100 0
2500000 00000101 0 0 00000100 0
2750000 00000101 0 1 00000100 0
2750860 00000101 0 1 00000101 0
3000000 00000110 0 0 00000101 0
3250000 00000110 0 1 00000101 0
3250732 00000110 0 1 00000100 0
3250860 00000110 0 1 00000110 0
3500000 00000111 0 0 00000110 0
3750000 00000111 0 1 00000110 0
3750860 00000111 0 1 00000111 0
4000000 00001000 0 0 00000111 0
4250000 00001000 0 1 00000111 0
4250732 00001000 0 1 00000000 0
4250860 00001000 0 1 00001000 0
4500000 00001001 0 0 00001000 0
4750000 00001001 0 1 00001000 0
4750860 00001001 0 1 00001001 0

```

5.6.14.3 SIMULACION GRAFICA DE A20

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

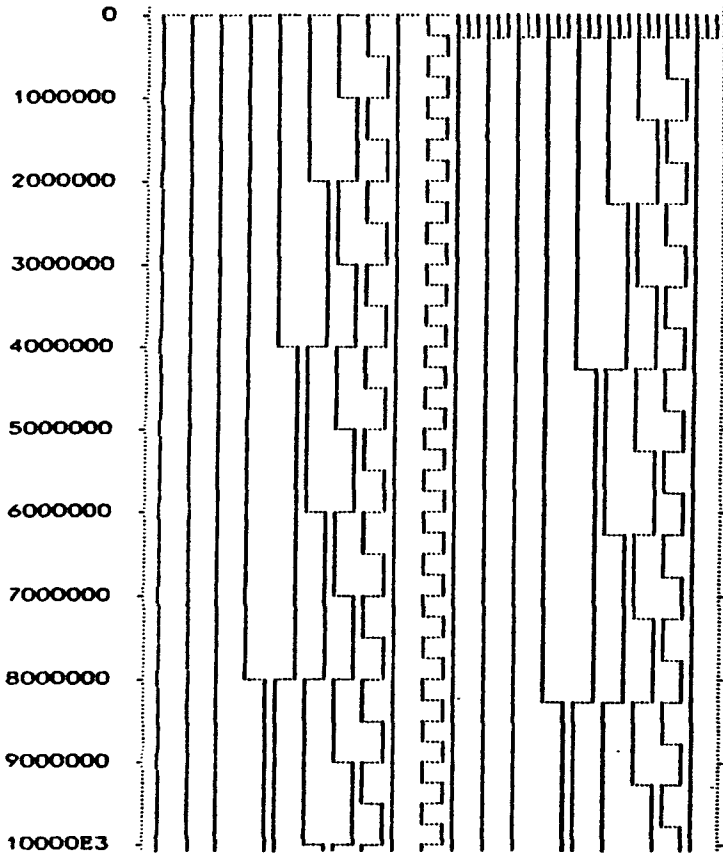
```

File=A:A20.RES Unit= 10 psec Case=WC Step=25000 Jul 7,1989

```

-----
T   D D D D D D D D D E C Y Y Y Y Y Y Y Y *
I   7 6 5 4 3 2 1 0 N L 7 6 5 4 3 2 1 0 #
M                                            K                                            C
E                                                                                       H
                                                                                          K
-----

```



5.6.15 SIMULACION DEL REGISTRO A18

5.6.15.1 FICHERO ESTIMULO DE A18

```
*****
* SCL DESCRIPCION          *
*****
  IDENT 'A18'
*
  P D2,D1,DO,,CLK,,Y2,Y1,YO
  PCO
*
  STAB
  S 0(2000,4000,ETC)CLK
  SETV D,0
LABEL1 DECV D (D2,D1,DO)
  SU TIME=**+4000
  INCR D,1
  IFV D=8 GT LABEL3
  GT LABEL1
LABEL3 F
```

5.6.15.2 SIMULACION ALFANUMERICA DE A18

```

*****
*                               SimPrt 2.2 ; L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****

```

```

File=A:A18.RES           Unit= 10 psec  Case=MC           Jan 4,1980

```

```

-----
T   DDD C YYY *
I   210 L 210 #
M           K   C
E                               H
                               K
-----

```

```

O   000 0 *** *
200000 000 1 *** *
200785 000 1 000 0
400000 001 0 000 0
600000 001 1 000 0
600816 001 1 001 0
800000 010 0 001 0
1000000 010 1 001 0
1000785 010 1 000 0
1000816 010 1 010 0
1200000 011 0 010 0
1400000 011 1 010 0
1400816 011 1 011 0
1600000 100 0 011 0
1800000 100 1 011 0
1800785 100 1 000 0
1800816 100 1 100 0
2000000 101 0 100 0
2200000 101 1 100 0
2200816 101 1 101 0
2400000 110 0 101 0
2600000 110 1 101 0
2600785 110 1 100 0
2600816 110 1 110 0
2800000 111 0 110 0
3000000 111 1 110 0
3000816 111 1 111 0
Simulation terminated at timeslot 3200000

```


5.6.15.3 SIMULACION GRAFICA DE A18

```

*****
*                               *
*           SimPrt 2.2 ; L E S I M 2 Print Processor           *
*           (c) Copyright M.V. Philips'Gloeilampenfabrieken 1988   *
*                               *
*****

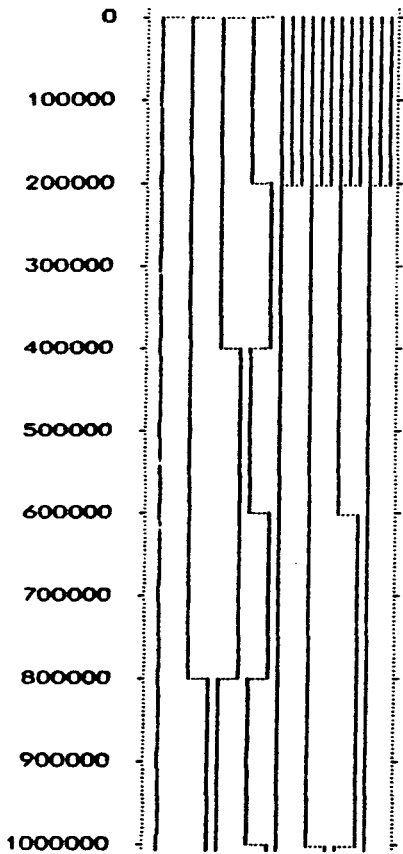
```

File=A:A18.RES Unit= 10 psec Case=MC Step= 2500 Jul 7,1989

```

-----
T    D D D C Y Y Y *
I    2 1 0 L 2 1 0 #
H            K        C
E                    H
                         K
-----

```



5.6.16 SIMULACION DEL MULTIPLEXOR B53

5.6.16.1 FICHERO ESTIMULO DE B53

```
*****
* SCL DESCRIPCION      *
*****
  IDENT 'B53'
*
  P G1,GO,,A,,B1,A1,,BO,AO,,Y1,YO
  PCO
*
  STAB
  SETV H,0
  LABELO SETV S,0
  LABEL1 SETV I,0
  LABEL2 DECV I (AO,BO)
  DECV I (A1,B1)
  DECV S (G1)
  DECV S (GO)
  DECV H (A)
  SU TIME=#+1500
  INCR I,1
  IFV I=4 GT LABEL3
  GT LABEL2
  LABEL3 INCR S,1
  IFV S=2 GT LABEL4
  GT LABEL1
  LABEL4 INCR H,1
  IFV H=2 GT LABEL5
  GT LABELO
  LABEL5 F
```

5.6.16.2 SIMULACION ALFANUMERICA DE B53

```

*****
*                               *
*      SimPrt 2.2 ; L E S I M 2 Print Processor      *
*      (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988      *
*                               *
*****

```

File=A:B53.RES Unit= 10 psec Case=MC Jan 4,1980

```

-----
T   GG A BA BA YY *
I   10   11 00 10 #
M                                     C
E                                     H
                                     K
-----

```

```

O   00 0 00 00 ** *
992  00 0 00 00 00 0
150000 00 0 10 10 00 0
300000 00 0 01 01 00 0
300884 00 0 01 01 11 0
450000 00 0 11 11 11 0
600000 11 0 00 00 11 0
600549 11 0 00 00 33 0
750000 11 0 10 10 33 0
900000 11 0 01 01 33 0
1050000 11 0 11 11 33 0
1200000 00 1 00 00 33 0
1200592 00 1 00 00 11 0
1200992 00 1 00 00 00 0
1350000 00 1 10 10 00 0
1350884 00 1 10 10 11 0
1500000 00 1 01 01 11 0
1500992 00 1 01 01 00 0
1650000 00 1 11 11 00 0
1650884 00 1 11 11 11 0
1800000 11 1 00 00 11 0
1800549 11 1 00 00 33 0
1950000 11 1 10 10 33 0
2100000 11 1 01 01 33 0
2250000 11 1 11 11 33 0

```

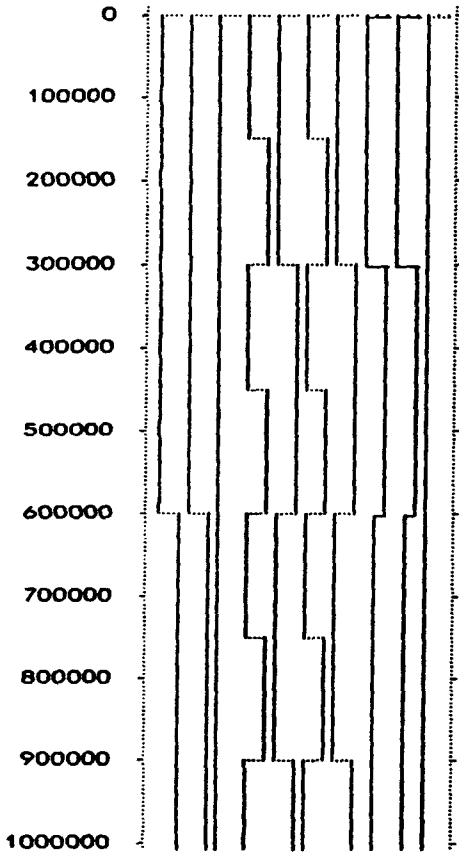
Simulation terminated at timeslot 2400000

5.6.16.3 SIMULACION GRAFICA DE B53

```
*****
*           SimPrt 2.2 : L E S I M 2 Print Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
```

File=A:B53.RES Unit= 10 psec Case=MC Step= 2500 Jul 7,1989

```
-----
T   G G A B A B A Y Y *
I   1 0  1 1 0 0 1 0 #
M                                     C
E                                     H
                                     K
-----
```



5.6.17 SIMULACION DEL REGISTRO B20

5.6.17.1 FICHERO ESTIMULO DE B20

```
*****
* SCL DESCRIPCION          *
*****
  IDENT 'B20'
*
  P D7,D6,D5,D4,D3,D2,D1,DO,,EN,,CLR,,CLK,,
#  Y7,Y6,Y5,Y4,Y3,Y2,Y1,YO
  PCO
*
  STAB
  S 0(2500,5000,ETC)CLK
  SETV C,0
LABEL1 SETV D,0
LABEL2 DECV D (D7,D6,D5,D4,D3,D2,D1,DO)
  DECV C (EN,CLR)
  SU TIME=#+5000
  INCR D,1
  IFV D=256 GT LABEL3
  GT LABEL2
LABEL3 INCR C,1
  IFV C=4 GT LABEL4
  GT LABEL1
LABEL4 F
```

5.6.17.2 SIMULACION ALFANUMERICA DE B20

```
*****
*                               *
*           SimPrt 2.2 ; L E S I M 2 Print Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*                               *
*****
```

```
File=A:B20.RES           Unit= 10 psec  Case=MC           Jan 4,1980
```

```
-----
T  DDDDDDDD E C C YYYYYYYY *
I  76543210 N L L 76543210 #
M                               R K           C
E                               N             H
                                           K
-----
```

```

O  00000000 0 0 0 ***** *
389 00000000 0 0 0 00000000 *
1137 00000000 0 0 0 00000000 0
250000 00000000 0 0 1 00000000 0
500000 00000001 0 0 0 00000000 0
750000 00000001 0 0 1 00000000 0
1000000 00000010 0 0 0 00000000 0
1250000 00000010 0 0 1 00000000 0
1500000 00000011 0 0 0 00000000 0
1750000 00000011 0 0 1 00000000 0
2000000 00000100 0 0 0 00000000 0
2250000 00000100 0 0 1 00000000 0
2500000 00000101 0 0 0 00000000 0
2750000 00000101 0 0 1 00000000 0
3000000 00000110 0 0 0 00000000 0
3250000 00000110 0 0 1 00000000 0
3500000 00000111 0 0 0 00000000 0
3750000 00000111 0 0 1 00000000 0
4000000 00001000 0 0 0 00000000 0
4250000 00001000 0 0 1 00000000 0
4500000 00001001 0 0 0 00000000 0
4750000 00001001 0 0 1 00000000 0
5000000 00001010 0 0 0 00000000 0
5250000 00001010 0 0 1 00000000 0
5500000 00001011 0 0 0 00000000 0
5750000 00001011 0 0 1 00000000 0
6000000 00001100 0 0 0 00000000 0
6250000 00001100 0 0 1 00000000 0
6500000 00001101 0 0 0 00000000 0
6750000 00001101 0 0 1 00000000 0
7000000 00001110 0 0 0 00000000 0
7250000 00001110 0 0 1 00000000 0
7500000 00001111 0 0 0 00000000 0
7750000 00001111 0 0 1 00000000 0
8000000 00010000 0 0 0 00000000 0

```

5.6.17.3 SIMULACION GRAFICA DE B20

```

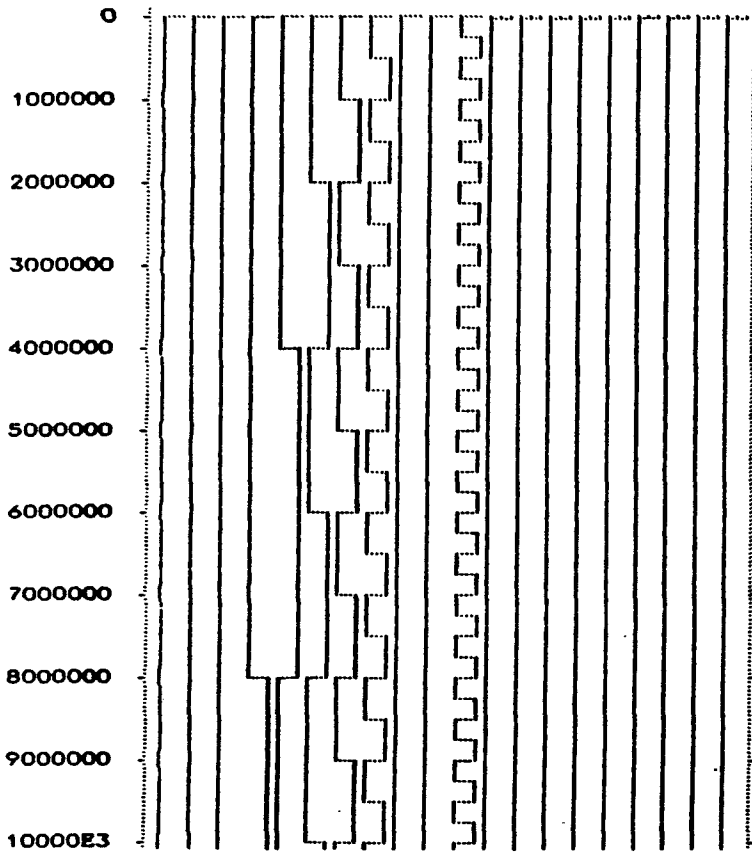
*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****
  
```

```

File=A:B20.RES           Unit= 10 psec Case=NC Step=25000       Jul 7,1989
  
```

```

-----
T   D D D D D D D D D E C C Y Y Y Y Y Y Y Y *
I   7 6 5 4 3 2 1 0 N L L 7 6 5 4 3 2 1 0 #
H                                     R K           C
E                                     N           H
                                           K
-----
  
```



5.6.18 SIMULACION DEL REGISTRO B18

5.6.18.1 FICHERO ESTIMULO DE B18

* SCL DESCRIPCION *

IDENT 'B18'

*

P D3,D2,D1,DO,,CLK,,Y3,Y2,Y1,YO

PCO

*

STAB

S 0(2000,4000,ETC)CLK

SETV D,0

LABEL1 DECV D (D3,D2,D1,DO)

SU TIME=**+4000

INCR D,1

IPV D=16 GT LABEL3

GT LABEL1

LABEL3 F

5.6.18.2 SIMULACION ALFANUMERICA DE B18

```
*****
*                               *
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988   *
*                               *
*****
```

File=A;B18.RES Unit= 10 psec Case=MC Jan 4,1980

```
-----
T    DDDD C YYYY *
I    3210 L 3210 #
M           K    C
E                   H
                     K
-----
```

```
O    0000 0 **** *
200000 0000 1 **** *
200840 0000 1 0000 0
400000 0001 0 0000 0
600000 0001 1 0000 0
600871 0001 1 0001 0
800000 0010 0 0001 0
1000000 0010 1 0001 0
1000840 0010 1 0000 0
1000871 0010 1 0010 0
1200000 0011 0 0010 0
1400000 0011 1 0010 0
1400871 0011 1 0011 0
1600000 0100 0 0011 0
1800000 0100 1 0011 0
1800840 0100 1 0000 0
1800871 0100 1 0100 0
2000000 0101 0 0100 0
2200000 0101 1 0100 0
2200871 0101 1 0101 0
2400000 0110 0 0101 0
2600000 0110 1 0101 0
2600840 0110 1 0100 0
2600871 0110 1 0110 0
2800000 0111 0 0110 0
3000000 0111 1 0110 0
3000871 0111 1 0111 0
3200000 1000 0 0111 0
3400000 1000 1 0111 0
3400840 1000 1 0000 0
3400871 1000 1 1000 0
3600000 1001 0 1000 0
3800000 1001 1 1000 0
3800871 1001 1 1001 0
4000000 1010 0 1001 0
4200000 1010 1 1001 0
4200840 1010 1 1000 0
4200871 1010 1 1010 0
4400000 1011 0 1010 0
4600000 1011 1 1010 0
4600871 1011 1 1011 0
4800000 1100 0 1011 0
5000000 1100 1 1011 0
5000840 1100 1 1000 0
5000871 1100 1 1100 0
5200000 1101 0 1100 0
5400000 1101 1 1100 0
5400871 1101 1 1101 0
5600000 1110 0 1101 0
```

5.6.18.3 SIMULACION GRAFICA DE B18

```

*****
*                               *
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*                               *
*****

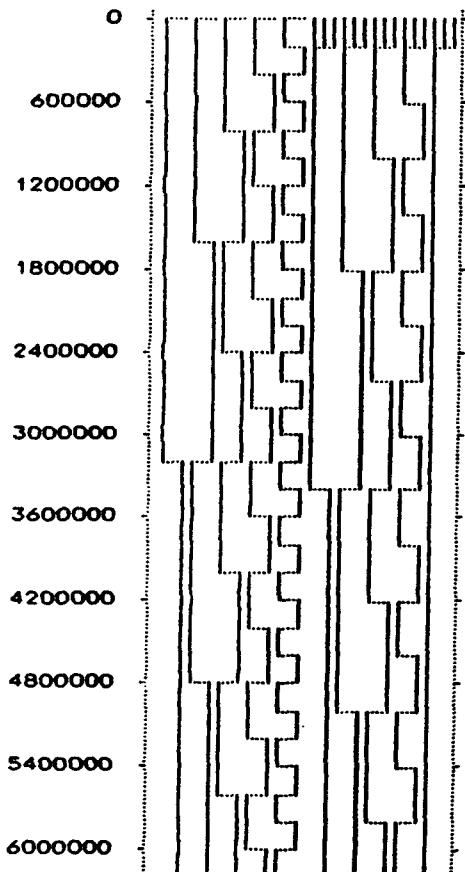
```

File=A:B18.RES Unit= 10 psec Case=WC Step=15000 Jul 7,1989

```

-----
T   D D D D C Y Y Y Y *
I   3 2 1 0 L 3 2 1 0 #
M           K           C
E                               H
                               K
-----

```



5.6.19 SIMULACION DEL GENERADOR DE ACARREO RAPIDO B02

5.6.19.1 FICHERO ESTIMULO DE B02

```
*****
* SCL DESCRIPCION          *
*****
  IDENT 'B02'
*
  P G3N,P3N, ,G2N,P2N, ,G1N,P1N, ,GON,PON, ,CIN, ,CX0,CX1,CY,CZ
  PCO
*
  STAB
  SETV C,0
  LABELO SETV G,0
  LABEL1 DECV G (G3N,P3N)
  DECV G (G2N,P2N)
  DECV G (G1N,P1N)
  DECV G (GON,PON)
  DECV C (CIN)
  SU TIME=**+1000
  INCR G,1
  IFV G=4 GT LABEL2
  GT LABEL1
  LABEL2 INCR C,1
  IFV C=2 GT LABEL3
  GT LABELO
  LABEL3 F
```

5.6.19.2 SIMULACION ALFANUMERICA DE B02

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

File=A;B02.RES Unit= 10 psec Case=NC Jan 4,1980

```

-----
T   GP GP GP GP C CCCC *
I   33 22 11 00 I XXYZ #
M   NN NN NN NN N O1  C
E                                     H
                                     K

```

```

-----
Q   00 00 00 00 0 **** *
547 00 00 00 00 0 11** *
670 00 00 00 00 0 111* *
859 00 00 00 00 0 1111 0
100000 01 01 01 01 0 1111 0
200000 10 10 10 10 0 1111 0
200484 10 10 10 10 0 0011 0
200588 10 10 10 10 0 0001 0
200753 10 10 10 10 0 0000 0
300000 11 11 11 11 0 0000 0
400000 00 00 00 00 1 0000 0
400547 00 00 00 00 1 1100 0
400670 00 00 00 00 1 1110 0
400859 00 00 00 00 1 1111 0
500000 01 01 01 01 1 1111 0
600000 10 10 10 10 1 1111 0
700000 11 11 11 11 1 1111 0
700484 11 11 11 11 1 0011 0
700576 11 11 11 11 1 0001 0
700613 11 11 11 11 1 0000 0

```

Simulation terminated at timeslot 800000

5.6.19.3 SIMULACION GRAFICA DE B02

```

*****
*           SimPrt 2.2 ; L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

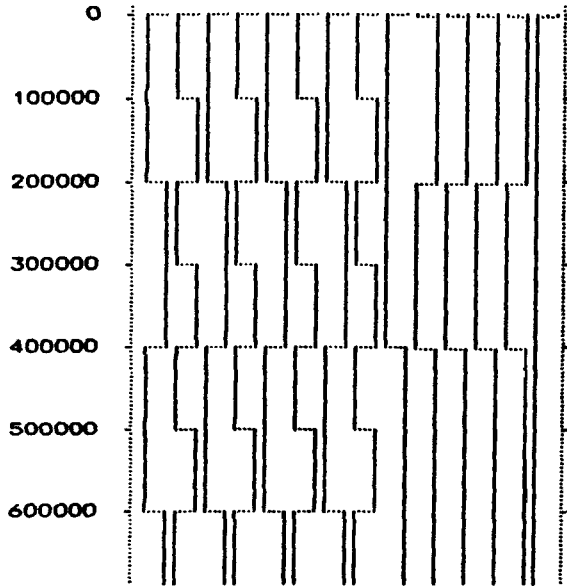
```

File=A;B02.RES Unit= 10 psec Case=MC Step= 2500 Jul 7,1989

```

-----
T  G P G P G P G P C C C C C *
I  3 3 2 2 1 1 0 0 I X X Y Z *
M  N N N N N N N N N O 1       C
E                                       H
                                         K
-----

```



5.6.20 SIMULACION DE LA UNIDAD DE EJECUCION UE

La Unidad de Ejecución global, a pesar de haber realizado un fichero estímulo, no he podido llevarla a cabo, debido a una limitación de memoria de los PCs, y en mi caso de un AT. Se puede comprobar que en la fase del simulador LESIM2, SIMNET, ésta carga el fichero estímulo, chequea los errores de programa, lo dá por bueno, y comienza a cargar la red o fichero con la extensión .BIN. A partir de éste momento debería de comenzar la simulación, pero se produce un error. Después de consultar con los especialistas de la casa que suministra el soporte software, éstos confirmaron que el error se debía a una limitación de memoria. Dicha limitación viene dada por la complejidad que conlleva la Unidad de Ejecución. No obstante este diseño podría simularse en estaciones de trabajo más potentes, como pueden ser las APOLO, SUNs, VAXs, etc... . La casa PHILIPS, no suministra, de momento, el soporte software para éstas estaciones. El número máximo de puertas equivalentes en área, de diseños, que conocen los especialistas que se hayan simulado sin errores, con este soporte software, es de 10000 puertas. No obstante se tiene conocimiento de la simulación de 20000 puertas con estaciones más potentes, como las que he nombrado anteriormente.

El fichero estímulo de la Unidad de Ejecución está realizado para el diseño UE.DRT, sin embargo el diseño válido es el UEF.DRT. Dicho fichero tiene la secuencia de programa

siguiente :

MVI A,00 H Mueve el dato cero al acumulador.
STC Pone a uno el bit de acarreo CY.
CMC Complementa el bit de acarreo CY.
SBB A Resta el acumulador consigo mismo, y con
CY, y el resultado se deja en el acumulador.
STA 2030 H Guarda el contenido del acumulador en la
posición de memoria 2030.

5.6.20.1 FICHERO ESTIMULO DE UE

```
*****
*                               SCL DESCRIPCION                               *
*****
  IDENT 'UE'
*
  P TS,C,UDAT,FLAGS2,FLAGS1,FLAGSO,FS5,FS4,FS3,FS2,FS1,FSO,
#OD2,OD1,ODO,SHIFTER,DP3,DP2,DP1,DPO,SP3,SP2,SP1,SPO,AS1,
#ASO,ADD5,ADD4,ADD3,ADD2,ADD1,ADDO,RESET,RD,DAT_IN,CLK,
#BUS_Y,IDB7,IDB6,IDB5,IDB4,IDB3,IDB2,IDB1,IDBO,LERI,MARE,
#MBRE,AD7,AD6,AD5,AD4,AD3,AD2,AD1,ADO,WR,CY_SEL,CY_IN,
#W_DAT,A7,A6,A5,A4,A3,A2,A1,A0,ALE,CY,PARIDAD,ZERO
#DAAH,DAAL
  PCO
*
  STAB
  DATS
    /BIN/HEX/100/60493377/100/634B37DD/100/60493377/100
    /634B37CC
    100/60493377/200/674B44FF/67E/674BOCPF/200/40493377/00
    /600/794B3777
    177/60493377/100/634B37AA/600/735D33AA/67F/70693377
    /65F/720B9177
    672/674BOCPF/200/40493377/30/200/6B4B377B/600/674BOCPF
    /200/40493377
    20/200/6B4B377A/200/634B3477/200/674A34AA/600/774B34PF
    /200/30493377
  DATE
  S 1(20000,40000,ETC)CLK
  SETV H,0
  PC 'INIT'
  LABELO ST DATA (TS,ALE,UDAT,BUS_Y,C,RESET,ADD5,ADD4,ADD3,
```



```

#ADD2,ADD1,ADD0)
  ST DATA (MARE,MBRE,WR,RD,DAT_IN,W_DAT,AS1,ASO,LERI,
#FLAGS2,FLAGS1,FLAGSO,SHIFTER,OD2,OD1,ODO,CY_SEL,
#FSS,FS4,FS3,CY_IN,FS2,FS1,FS0,SP3,SP2,SP1,SPO,
#DP3,DP2,DP1,DPO)
  IFV H=8 GT LABEL1
  IFV H=16 GT LABEL1
  IFV H=19 GT LABEL1
  GT LABEL2
LABEL1 ST DATA (AD7,AD6,AD5,AD4,AD3,AD2,AD1,ADO)
LABEL2 SU TIME=**+20000
  INCR H,1
  IFV H=24 GT LABEL8
  IFV H=6 GT LABEL3
  IFV H=9 GT LABEL4
  IFV H=12 GT LABEL5
  IFV H=13 GT LABEL6
  IFV H=14 GT LABEL7
  GT LABEL0
LABEL3 PC 'MVI A,OOH'
  GT LABEL0
LABEL4 PC 'STC'
  GT LABEL0
LABEL5 PC 'CMC'
  GT LABEL0
LABEL6 PC 'SBB A'
  GT LABEL0
LABEL7 PC 'STA 2030H'
  GT LABEL0
LABEL8 F

```

CAPITULO 6

6 ESPECIFICACIONES DE FABRICA

En este capítulo daré las especificaciones técnicas del circuito que he diseñado, de forma que el fabricante conozca con toda exactitud los requisitos de el diseño. De esta forma, daré información sobre caminos críticos de tiempo, buffers de entrada, salida, y bidireccionales, tipo de encapsulado, tensión de alimentación, etc..., así como cualquier otro requisito que sea indispensable conocer para el proceso de fabricación o que se desee.

Factory Part No: _____
Factory Code No: _____
Contract No: Pending

CUSTOMER: Company Name: E.T.S.I.T

Purchasing Contact:

Name: Dr. A. MUÑEZ ORDÓÑEZ Title: CATEDRATICO DE ELECTRONICA

Address: E.T.S.I.T. DE TAFIRA. LAS PALMAS DE G. C.

Telephone: _____ Telex: _____

Technical Contact:

Name: Dr. A. N. ORDÓÑEZ Title: CAT. DE ELECTRONICA

Address: E.T.S.I.T. DE TAFIRA. LAS PALMAS DE G. C.

Telephone: _____

Product Engineer:

Name: EULOGIO PEÑA VAZQUEZ Telephone: _____

Customer Drawing Number: E.P.V. REV: 1

Signature: E.P.V. DATE: 1989

Designer's Name: E.P.V.

FACTORY:

Salesman: PEDRO MARTINEZ MENEAU

Address: COMPANIA DE PRODUCTOS ELECTRONICOS COPRESA S.A.

BALMES 22 8007 BARCELONA

Telephone: _____ Telex: _____

TSC ENGINEER: (To be filled by factory)

Name: _____ Telephone: _____

TEST/PRODUCT ENGINEER:

Name: _____ Telephone: _____

ENGINEERING WORKSTATION PARTICULARS

Please include the Design Tree Pathname.

Note: The DESIGN TREE must include all the circuit modules and files.

DESIGN TREE PATHNAME: PROYECTO 1 Y 2 (See DESCRIP.SCL file)

BLOCK DIAGRAM: Use this form and copies of it, or add your forms with appropriate drawing reference.

Include a written description of the System Operation.

(Refer to seccion 5.3)

PINNING ASSIGNMENT AND PLACEMENT DIAGRAM

Give only the important requirements. The less you specify the easier the automatic routing and the smaller the die size.

In case of peculiar requirements (proximity relationship of signal pins, rank of signal pins on the package, alignment of signal pins), please list them in decreasing order of priority. Detail the type of requirement and indicate which signals are concerned, in the comments. Please designate bussed signal groups.

The final proposal for pinning and placement will be returned to the customer after routing, for approval.

Define Comments:

1. Outputs or transceivers should specify t_{pF} load. (Minimum 30 pF.).
2. Transceivers should specify controlling net signal name.
3. Inputs should clarify the use of pullup voltages.
4. Additional comments should be made appropriately.

PIN #	INPUT (I) OUTPUT (O) BIDIRECT (B) POWER (P) GROUND (G)	TTL or CMOS	SIMULATION SIGNAL NAME	COMMENTS
NO PIN ASSIGNMENT	O	CMOS	A0	30pF, TRISTATE CONTROL SIGNAL : TS
	O	"	A1	"
	O	"	A2	"
	O	"	A3	"
	O	"	A4	"
	O	"	A5	"
	O	"	A6	"
	O	"	A7	"
	B	"	AD00	30 pF, CONTROL SIGNAL : S
	B	"	AD1	"
	B	"	AD2	"
	B	"	AD3	"
	B	"	AD4	"
	B	"	AD5	"
	B	"	AD6	"
B	"	AD7	"	

PRIORITY ROUTES FOR AUTOMATIC LAYOUT
 (Use additional pages if necessary)

PRIORITY	ORIGIN* Pin/Sig. Name	DESTINATION* Pin/ Sig. Name	SIGNAL	MAX LOAD (WIRE ONLY) ns
<u>STANDARD CRITICAL PATHS</u>				
1	ADD(0..5)	SIGNO		
1	"	ZERO		
1	"	PARIDAD		
1	"	CY		
1	"	DAAL		
1	"	DAAH		

<u>OTHER CONCERNS</u>				
2	ADD(0..5)	AD(0..7)		

*Note: For specifications of more than 2 critical paths, please consult your Marketing or Sales Representative.

PROPAGATION DELAY OF CRITICAL PATH (for prototypes only)

Path Number----- 1

Input signal----- ADD(0..5)

Rising

Falling

Time of transition of input pin (with respect to t = 0) _____

Output signal----- CONDITION BITS

Rising

Falling

Time of transition of output pin (with respect to t = 0) _____

tpd value: typical----- _____

worst case----- 267 nseg

CAPITULO 7

7 PRESUPUESTO

Existen tres tipos de presupuestos :

Presupuesto de desarrollo

Presupuesto de prototipado

Presupuesto de producción

7.1 PRESUPUESTO DE DESARROLLO

El presupuesto de desarrollo es de 2, millones, 851 mil ,200 pesetas, que cobraría en total, por las horas de trabajo empleadas por el ingeniero de diseño, incluye horas de uso del ordenador, horas extraordinarias y gastos de material.

El presupuesto de desarrollo de la Unidad de Control es similar al de la Unidad de Ejecución.

7.2 PRESUPUESTO DE PROTOTIPADO

El presupuesto de prototipado es de 4 millones, 500 mil pesetas, del juego de máscaras y los primeros 20 circuitos de muestra.

7.3 PRESUPUESTO DE PRODUCCION

Para un volumen superior a 10000 unidades, el costo es de 1000 pesetas por unidad.

APENDICE A

NOMENCLATURA SYSTEMCELL

ASIC Naming Convention

AN	AND Gate
AO	AND-OR Gate
BF	Boolean Function
BU	Buffer
DL	Delay Element
CK	Clock Generator
CO	Comparator
D	D-Type Flip-Flop
DE	Decoder
EN	Exclusive NOR Gate
EX	Exclusive OR Gate
GM	Latches, Gated S-R
GS	Latches, Gated NOR S-R
IO	Bidirectional Buffer
IP	Input Buffer
IV	Inverter
JK	J-K Flip-Flop
LA	Latches, D-TYPE and S-R
MU	Multiplexer
MV	Multivibrator
NA	NAND Gate
NO	NOR Gate
OP	Output Buffer
OR	OR Gate
OS	Oscillator
PD	Pull-Down, Active
PR	Pull-Up, Active
PL	PLA, Hard-Wired
PUC	Power-Up Clear
R	Registers
RA	RAM, Hard-Wired
RF	Register File
RO	ROM, Hard-Wired
S	Soft Macro
SF	Scan Flip-Flop
T	Toggle Type Flip-Flop
TO	Tie-off

ASIC Extended Naming Convention

ABC	Analog Biased Circuits
ALU	Arithmetic Logic Unit
AMC	Analog Operational Amplifier
BUF	Core to Core Periphery Buffer
ID	Input Buffer with Pull-Down
IOU	Bidirectional Buffer with Pull-Up
IPS	Straight Input Buffer
IU	Input Buffer with Pull-Up
IOD	Bidirectional Buffer with Pull-Down
RA	Compiler Generated Cell
RO	Compiler Generated Cell
PLA	Compiler Generated Cell
VDD	Power Pad
VSS	Power Pad

1.1. Buffers, Logic and Complex Logic Gates

For cell categories:

- AND
- Buffer
- Decoder
- Exclusive NOR
- Exclusive OR
- Inverters
- Multiplexers
- NAND
- NOR
- OR

Name = AABCD

where:

	<u>CODE</u>	<u>MEANING</u>
AA =	AN	AND Gate
	BU	Buffer
	DE	Decoder
	EN	Exclusive NOR Gate
	EX	Exclusive OR Gate
	IV	Inverters
	MU	Multiplexers
	NA	NAND Gate
	NO	NOR Gate
	OR	OR Gate
B =	#1 thru #0, (1 through 10), represents number of gate inputs.	
C =	#1 thru #0, represents relative drive capabilities.	
D =	#0 thru #9, differentiates between logically equivalent but geometrically different cells.	

© Del documento: los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



1.2 Boolean Functions

For cell category: Boolean Functions

Name = BFxxx

where:

- xxx = 000 to 014
Two level AND-NOR structures.
- = 015 to 029
Three level OR-AND-NOR structures.
- = 030 to 049
Four level AND-OR-AND-NOR structures.
- = 050 to 064
Two level OR-NAND structures.
- = 065 to 075
Three level AND-OR-NAND structures.
- = 080 to 088
Four level OR-AND-OR-NAND structures.

1.3. D-Type and JK Types and Toggle

For cell categories: D-Type, JK, Scan, Toggle.

Name = AABCD

where:

	<u>CODE</u>	<u>MEANING</u>
AA =	DF	D-TYPE
	DT	D-TYPE TRANSMISSION GATE
	JK	JK FF
	SF	Scan Test FF
	TA	Toggle
B =	N	No preset or clear inputs
	P	With preset, no clear
	C	With clear, no preset
	B	With preset and clear inputs
	L	With asynchronous parallel load
	X	With asynchronous parallel load
	Y	With preset, no clear
Z	With preset and clear inputs	
C =	#1 thru #0, represents relative drive capabilities.	
D =	#0 thru #9, differentiates between logically equivalent but geometrically different cells.	

1.4. Transparent Latches

For cell category: Latches

Name = AABCD

where:

	<u>CODE</u>	<u>MEANING</u>
AA =	LA	Latches, D-TYPE and S-R
B =	B	Set/Reset (two cross coupled gates only)
	L	Gated Latch, active low enable
	H	Gated Latch, active high enable
C =	#1 thru #0,	represents relative drive capabilities.
D =	#0 thru #9,	differentiates between logically equivalent but geometrically different cells.

1.5 Master Slave Modules

For cell category: Gated Latches

Name = AABCD

where:

	<u>CODE</u>	<u>MEANING</u>
AA =	GM GS	Latches, Gated S-R Latches, Gated NOR S-R
B =	#0 1 S 2 3 4	R/S Input R/S Input with Reset R/S Input with Set R/S Input with Set and Reset R/S and J/K Inputs R/S and J/K Inputs with Set and Reset
C =		#1 thru #0, represents relative drive capabilities.
D =		#0 thru #9, differentiates between logically equivalent but geometrically different cells.



1.6. Input/Output PAD Cells

For cell categories: Input and Output cells.

Name = AABCD

where:

	<u>CODE</u>	<u>MEANING</u>
AA =	ID	Input Buffers with Pull-Down
	IP	Input Buffers
	IU	Input Buffers with Pull-Up
	OP	Output Buffers
B =	F	Minimum width cell
C =	#1 thru #9,	represents output currents for output buffers. As a special case, the numeral 0 corresponds to a 10mA current capability. Letters are used for higher currents.

<u>CODE</u>	<u>CURRENT</u>
1-9	1-9mA
#0	10mA
H	12mA
A	16mA
B	24mA
C	32mA
D	44mA

1.6. Input/Output PAD Cells (cont.)

CODE	BASIC TYPE	MEANING
D = #0	Core	No Tristate input
1	Tristate buffer	Active low enable
2	Tristate buffer	Active high enable
#0	Output buffer	Push-pull output, non inverting.
1	Output buffer	Open drain output, non inverting.
2	Output buffer	Tristate output, non inverting, active high enable.
3	Output buffer	Tristate output, non inverting, active low enable.
#0	Input buffer	CMOS threshold voltages, inverting.
1	Input buffer	CMOS threshold voltages, non inverting.
2	Input buffer	TTL threshold voltages, open drain output.
3	Input buffer	TTL threshold voltages, inverting.
4	Input buffer	TTL threshold voltages, non inverting.
5	Input buffer	CMOS threshold voltages, open drain output.
6	Input buffer	CMOS threshold with hysteresis, inverting.
7	Input buffer	CMOS threshold with hysteresis, non inverting.
8	Input buffer	TTL threshold with hysteresis, inverting.
9	Input buffer	TTL threshold with hysteresis, non inverting.



1.7. Bidirectional Buffers

For cell category: Bidirectional Buffers

Name = AAABC

where:

	<u>CODE</u>	<u>MEANING</u>
AAA =	IOD	Bidirectional Buffer with Pull-Down
	IOF	Bidirectional optimized in layout width
	IOU	Bidirectional Buffer with Pull-Up
B =		Identifies the current drive of the output stage.
C =		Identifies the type of input buffer according to the previous list of input assignments (see paragraph 1.6.).

APENDICE B

List of Cells

SystemCell II List of Cells

CELL NAME	FUNCTION
--------------	----------

AND Gate

AN210 : 2 INPUT AND GATE
 AN220 : 2 INPUT AND GATE (2 x DRIVE)
 AN240 : 2 INPUT AND GATE (4 x DRIVE)
 AN260 : 2 INPUT AND GATE (6 x DRIVE)
 AN310 : 3 INPUT AND GATE
 AN320 : 3 INPUT AND GATE (2 x DRIVE)
 AN340 : 3 INPUT AND GATE (4 x DRIVE)
 AN360 : 3 INPUT AND GATE (6 x DRIVE)
 AN410 : 4 INPUT AND GATE
 AN420 : 4 INPUT AND GATE (2 x DRIVE)
 AN440 : 4 INPUT AND GATE (4 x DRIVE)
 AN460 : 4 INPUT AND GATE (6 x DRIVE)
 AN510 : 5 INPUT AND GATE

Boolean Function

BF001 : $-(A1 + B1 \cdot B2)$
 BF002 : $-(A1 + B1 \cdot B2 \cdot B3)$
 BF003 : $-(A1 \cdot A2 + B1 \cdot B2)$
 BF004 : $-(A1 \cdot A2 + B1 \cdot B2 \cdot B3)$
 BF005 : $-(A1 \cdot A2 \cdot A3 + B1 \cdot B2 \cdot B3)$
 BF006 : $-(A1 + A2 + B1 \cdot B2)$
 BF007 : $-(A1 + A2 + B1 \cdot B2 \cdot B3)$
 BF008 : $-(A1 + B1 \cdot B2 + C1 \cdot C2)$
 BF015 : $-(A1 + B1 \cdot (C1 \cdot C2))$
 BF016 : $-(A1 + (B1 \cdot B2) \cdot (C1 \cdot C2))$
 BF017 : $-(A1 + B1 \cdot B2 \cdot (C1 \cdot C2))$
 BF051 : $-(A1 \cdot (B1 \cdot B2))$
 BF052 : $-(A1 \cdot (B1 \cdot B2 \cdot B3))$
 BF053 : $-((A1 \cdot A2) \cdot (B1 \cdot B2))$
 BF054 : $-((A1 \cdot A2) \cdot (B1 \cdot B2 \cdot B3))$
 BF055 : $-((A1 \cdot A2 \cdot A3) \cdot (B1 \cdot B2 \cdot B3))$
 BF056 : $-(A1 \cdot A2 \cdot (B1 \cdot B2))$
 BF057 : $-(A1 \cdot A2 \cdot (B1 \cdot B2 \cdot B3))$
 BF058 : $-(A1 \cdot (B1 \cdot B2) \cdot (C1 \cdot C2))$
 BF065 : $-(A1 \cdot (B1 + C1 \cdot C2))$
 BF066 : $-(A1 \cdot (B1 \cdot B2 + C1 \cdot C2))$
 BF067 : $-(A1 \cdot (B1 \cdot B2 \cdot C1 \cdot C2))$

CELL NAME	FUNCTION
--------------	----------

Buffer

BU120 ; BUFFER (2 x DRIVE)
 BU130 ; BUFFER (3 x DRIVE)
 BU222 ; TRISTATE BUFFER ACTIVE HIGH ENABLE (2 x DRIVE)
 BU262 ; TRISTATE BUFFER ACTIVE HIGH ENABLE (6 x DRIVE)

Core to Core Periphery Buffer

BUF40 ; 4 mA PUSH-PULL BUFFER CORE TO CORE

Decoder

DE210 ; 2 TO 4 DECODER
 DE212 ; 2 TO 4 DECODER WITH ACTIVE HIGH ENABLE

D-Type Flip-Flop

DFB20 ; D-TYPE POSITIVE EDGE TRIGGERED FF WITH SET AND RESET
 DFC20 ; D-TYPE POSITIVE EDGE TRIGGERED FF WITH RESET
 DFN20 ; D-TYPE POSITIVE EDGE TRIGGERED FF
 DFP20 ; D-TYPE POSITIVE EDGE TRIGGERED FF WITH SET
 DTB11 ; D-TYPE NEGATIVE EDGE TRIGGERED TG-FF WITH SET AND RESET
 DTC11 ; D-TYPE NEGATIVE EDGE TRIGGERED TG-FF WITH RESET
 DTN11 ; D-TYPE NEGATIVE EDGE TRIGGERED TG-FF
 DTP11 ; D-TYPE NEGATIVE EDGE TRIGGERED TG-FF WITH SET

Exclusive NOR Gate

EN210 ; EXCLUSIVE NOR GATE

Exclusive OR Gates

EX210 ; EXCLUSIVE OR GATE
 EX220 ; EXCLUSIVE OR GATE (2 x DRIVE)
 EX240 ; EXCLUSIVE OR GATE (4 x DRIVE)

Latches Gated S-R

GM010 ; MASTER MODULE WITHOUT RESET
 GM110 ; MASTER MODULE WITH RESET
 GM210 ; MASTER MODULE WITH SET AND RESET
 GM310 ; MASTER MODULE WITHOUT RESET, TWO R- AND S-INPUTS
 GM410 ; MASTER MODULE WITH RESET, TWO R- AND S-INPUTS
 GM510 ; MASTER MODULE WITH SET AND RESET, TWO R- AND S-INPUTS
 GM510 ; MASTER MODULE WITH SET

CELL NAME	FUNCTION
--------------	----------

Latches Gated NOR S-R

GS010 : SLAVE MODULE
 GS110 : SLAVE MODULE WITH RESET
 GS210 : SLAVE MODULE WITH SET AND RESET
 GS310 : SLAVE MODULE WITHOUT RESET
 GS410 : SLAVE MODULE WITH RESET
 GS510 : SLAVE MODULE WITH SET AND RESET
 GS610 : SLAVE MODULE WITH SET

Input Buffers with Pull-Down

IDF01 : INPUT BUFFER WITH CMOS LEVELS
 IDF07 : INPUT BUFFER WITH CMOS LEVELS (HYSTERESIS)

Bidirectional Buffer with Pull Down

IOD41 : 4 mA TRISTATE OUTPUT, CMOS LEVELS INPUT

Bidirectional Buffer

IOF41 : 4 mA TRISTATE OUTPUT, CMOS LEVELS INPUT
 IOF44 : 4 mA TRISTATE OUTPUT, TTL LEVELS INPUT
 IOF47 : 4 mA TRISTATE OUTPUT, CMOS LEVELS INPUT (HYSTERESIS)
 IOF49 : 4 mA TRISTATE OUTPUT, TTL LEVELS INPUT (HYSTERESIS)
 IOF81 : 8 mA TRISTATE OUTPUT, CMOS LEVELS INPUT
 IOF84 : 8 mA TRISTATE OUTPUT, TTL LEVELS INPUT
 IOF87 : 8 mA TRISTATE OUTPUT, CMOS LEVELS INPUT (HYSTERESIS)
 IOF89 : 8 mA TRISTATE OUTPUT, TTL LEVELS INPUT (HYSTERESIS)
 IOFA1 : 16 mA TRISTATE OUTPUT, CMOS LEVELS INPUT
 IOFA4 : 16 mA TRISTATE OUTPUT, TTL LEVELS INPUT
 IOFA7 : 16 mA TRISTATE OUTPUT, CMOS LEVELS INPUT (HYSTERESIS)
 IOFA9 : 16 mA TRISTATE OUTPUT, TTL LEVELS INPUT (HYSTERESIS)
 IOFH1 : 12 mA TRISTATE OUTPUT, CMOS LEVELS INPUT
 IOFH4 : 12 mA TRISTATE OUTPUT, TTL LEVELS INPUT
 IOFH7 : 12 mA TRISTATE OUTPUT, CMOS LEVELS INPUT (HYSTERESIS)
 IOFH9 : 12 mA TRISTATE OUTPUT, TTL LEVELS INPUT (HYSTERESIS)

Input Buffers

IPF01 : INPUT BUFFER WITH CMOS LEVELS
 IPF04 : INPUT BUFFER WITH TTL LEVELS
 IPF07 : INPUT BUFFER WITH CMOS LEVELS (HYSTERESIS)
 IPF09 : INPUT BUFFER WITH TTL LEVELS (HYSTERESIS)

CELL NAME	FUNCTION
--------------	----------

Input Buffers with Pull-Up

IUF01 ; INPUT BUFFER WITH CMOS LEVELS
 IUF04 ; INPUT BUFFER WITH TTL LEVELS
 IUF07 ; INPUT BUFFER WITH CMOS LEVELS (HYSTERESIS)
 IUF09 ; INPUT BUFFER WITH TTL LEVELS (HYSTERESIS)

Inverters

IV101 ; INVERTER (10 x DRIVE)
 IV110 ; INVERTER
 IV120 ; INVERTER (2 x DRIVE)
 IV130 ; INVERTER (3 x DRIVE)
 IV140 ; INVERTER (4 x DRIVE)
 IV160 ; INVERTER (6 x DRIVE)
 IV180 ; INVERTER (8 x DRIVE)
 IV212 ; TRISTATE INVERTER ACTIVE HIGH ENABLE
 IV222 ; TRISTATE INVERTER ACTIVE HIGH ENABLE (2 x DRIVE)
 IV242 ; TRISTATE INVERTER ACTIVE HIGH ENABLE (4 x DRIVE)

J-K Flip-Flops

JKB13 ; J-KN NEGATIVE EDGE TRIGGERED TG-FF WITH SET AND RESET
 JKB20 ; J-KN POSITIVE EDGE TRIGGERED MS-FF WITH SET AND RESET

Latches, D-Type and S-R

LAB10 ; SR-LATCH
 LAB20 ; SR-LATCH (2 x DRIVE)
 LAH10 ; TRANSPARENT D-LATCH WITH HIGH ENABLE
 LAH20 ; TRANSPARENT D-LATCH WITH HIGH ENABLE (2 x DRIVE)
 LAL20 ; TRANSPARENT D-LATCH WITH LOW ENABLE

Multiplexers

MU111 ; 2 INPUT MULTIPLEXER
 MU210 ; 4 INPUT MULTIPLEXER

NAND Gates

NA210 ; 2 INPUT NAND GATE
 NA220 ; 2 INPUT NAND GATE (2 x DRIVE)
 NA230 ; 2 INPUT NAND GATE (3 x DRIVE)
 NA240 ; 2 INPUT NAND GATE (4 x DRIVE)
 NA260 ; 2 INPUT NAND GATE (6 x DRIVE)
 NA310 ; 3 INPUT NAND GATE
 NA320 ; 3 INPUT NAND GATE (2 x DRIVE)
 NA330 ; 3 INPUT NAND GATE (3 x DRIVE)
 NA340 ; 3 INPUT NAND GATE (4 x DRIVE)
 NA410 ; 4 INPUT NAND GATE

CELL NAME	FUNCTION
-----------	----------

NAND Gates (cont.)

NA420 : 4 INPUT NAND GATE (2 x DRIVE)
 NA430 : 4 INPUT NAND GATE (3 x DRIVE)
 NA510 : 5 INPUT NAND GATE
 NA520 : 5 INPUT NAND GATE (2 x DRIVE)

NOR Gates

NO210 : 2 INPUT NOR GATE
 NO220 : 2 INPUT NOR GATE (2 x DRIVE)
 NO230 : 2 INPUT NOR GATE (3 x DRIVE)
 NO240 : 2 INPUT NOR GATE (4 x DRIVE)
 NO310 : 3 INPUT NOR GATE
 NO320 : 3 INPUT NOR GATE (2 x DRIVE)
 NO330 : 3 INPUT NOR GATE (3 x DRIVE)
 NO410 : 4 INPUT NOR GATE
 NO420 : 4 INPUT NOR GATE (2 x DRIVE)
 NO510 : 5 INPUT NOR GATE
 NO520 : 5 INPUT NOR GATE (2 x DRIVE)

Output Buffers

OFF40 : 4 mA PUSH-PULL OUTPUT
 OFF41 : 4 mA OPEN DRAIN OUTPUT
 OFF43 : 4 mA TRISTATE ACTIVE LOW ENABLE OUTPUT
 OFF80 : 8 mA PUSH-PULL
 OFF81 : 8 mA OPEN DRAIN
 OFF83 : 8 mA TRISTATE ACTIVE LOW ENABLE
 OFFA0 : 16 mA PUSH-PULL
 OFFA1 : 16 mA OPEN DRAIN
 OFFA3 : 16 mA TRISTATE ACTIVE LOW ENABLE
 OFFH0 : 12 mA PUSH-PULL
 OFFH1 : 12 mA OPEN DRAIN
 OFFH3 : 12 mA TRISTATE ACTIVE LOW ENABLE

CELL NAME	FUNCTION
--------------	----------

OR Gates

OR210 ; 2 INPUT OR GATE
 OR220 ; 2 INPUT OR GATE (2 x DRIVE)
 OR240 ; 2 INPUT OR GATE (4 x DRIVE)
 OR260 ; 2 INPUT OR GATE (6 x DRIVE)
 OR310 ; 3 INPUT OR GATE
 OR320 ; 3 INPUT OR GATE (2 x DRIVE)
 OR340 ; 3 INPUT OR GATE (4 x DRIVE)
 OR360 ; 3 INPUT OR GATE (6 x DRIVE)
 OR410 ; 4 INPUT OR GATE
 OR420 ; 4 INPUT OR GATE (2 x DRIVE)
 OR440 ; 4 INPUT OR GATE (4 x DRIVE)
 OR460 ; 4 INPUT OR GATE (6 x DRIVE)
 OR510 ; 5 INPUT OR GATE

Oscillators

- THREE PIN RC OSCILLATOR
- THREE PIN RC OSCILLATOR WITH ACTIVE HIGH ENABLE
- CRYSTAL OSCILLATOR
- CRYSTAL OSCILLATOR WITH ACTIVE HIGH ENABLE
- CRYSTAL OSCILLATOR 32 KHz, LOW CURRENT

Soft Macros

S137 ; 3 TO 8 DECODER WITH LATCHES
 S138 ; 3 TO 8 DECODER
 S139 ; DUAL 2 TO 4 DECODER
 S153 ; DUAL 4 TO 1 MULTIPLEXER
 S155 ; 2 TO 4 DECODER/DEMUTIPLEXER
 S157 ; QUAD 2 TO 1 MULTIPLEXER
 S158 ; QUAD 2 TO 1 MULTIPLEXER (INVERTING)
 S161A ; 4 BIT BINARY COUNTER, ASYNC. CLEAR
 S163A ; 4 BIT BINARY COUNTER, SYNC. CLEAR
 S164 ; 8 BIT, SERIAL IN, PARALLEL OUT SHIFT REG ASYNC. CLEAR
 S165 ; 8 BIT, SERIAL/PARALLEL IN, SERIAL OUT SHIFT REG ASYNC. CLEAR
 S166 ; 8 BIT, SERIAL/PARALLEL IN, SERIAL OUT SHIFT REG SYNC. CLEAR
 S173 ; QUAD D-TYPE FLIP-FLOP WITH TRISTATE OUTPUTS
 S174 ; HEX D-TYPE FLIP-FLOP
 S175 ; QUAD D-TYPE FLIP-FLOP, Q AND QB OUTPUTS
 S177 ; 4 BIT BINARY COUNTER, ASYNC. PARALLEL LOAD, RIPPLE CLOCK
 S181 ; 4 BIT ALU
 S191 ; PRESETTABLE 4 BIT BINARY UP/DOWN COUNTER
 S193 ; PRESETTABLE 4 BIT BINARY UP/DOWN COUNTER, 2 CLOCKS, CLEAR
 S194A ; 4 BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER
 S195A ; 4 BIT PARALLEL ACCESS SHIFT REGISTER
 S244 ; OCTAL DRIVER/RECEIVER, NON-INVERTING, TRISTATE

* = DATA SHEET AVAILABLE LATER



CELL NAME	FUNCTION
-----------	----------

Soft Macros (cont.)

S257A : QUAD 2 TO 1 MULTIPLEXER, NON INVERTING, TRISTATE
 S258A : QUAD 2 TO 1 MULTIPLEXER, INVERTING, TRISTATE
 S259 : 8 BIT ADDRESSABLE LATCH
 S273 : OCTAL D-TYPE FLIP-FLOP
 S280 : 9 BIT ODD/EVEN PARITY GENERATOR/CHECKER
 S283 : 4 BIT FULL ADDER WITH FAST CARRY
 S298 : QUAD 2 PORT REGISTER
 S299 : 8 BIT UNIVERSAL SHIFT REGISTER, TRISTATE
 S299X : 8 BIT UNIVERSAL SHIFT REGISTER, INPUTS SPLIT
 S373 : OCTAL TRANSPARENT LATCH WITH TRISTATE OUTPUTS
 S374 : OCTAL D-TYPE FLIP-FLOP WITH TRISTATE OUTPUTS
 S375 : QUAD BISTABLE LATCH
 S393 : DUAL 4 BIT BINARY RIPPLE COUNTER
 S398 : QUAD 2 PORT REGISTER WITH Q AND QB OUTPUTS
 S399 : QUAD 2 PORT REGISTER
 S593X : 8 BIT BINARY COUNTER WITH INPUT REGISTERS
 S595 : 8 BIT SHIFT REGISTER WITH OUTPUT REGISTERS
 S598X : 8 BIT SHIFT REGISTER WITH INPUT LATCHES
 S651 : DUAL 8 BIT REGISTER AND BUS TRANSCEIVER, TRISTATE, D LOW
 S652 : DUAL 8 BIT REGISTER AND BUS TRANSCEIVER, TRISTATE
 S669 : 4 BIT UP/DOWN BINARY COUNTER
 S686 : 8 BIT MAGNITUDE COMPARATOR, P=Q, P>Q
 S688 : 4 BIT MAGNITUDE COMPARATOR, P=Q

Scan Flip-Flops

SFDN1 : SCAN TEST NEGATIVE EDGE TRIGGERED MS-FF
 SFLN2 : SCAN TEST NEGATIVE EDGE TRIGGERED TG-FF

Toggle Type Flip-Flops

TAB20 : TOGGLE POSITIVE EDGE TRIGGERED MS-FF WITH SET AND RESET
 TAC20 : TOGGLE POSITIVE EDGE TRIGGERED MS-FF WITH RESET
 TAP20 : TOGGLE POSITIVE EDGE TRIGGERED MS-FF WITH SET

APENDICE C

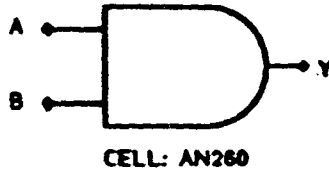
LIBRERIA DE CELULAS

Data Sheets



REV: 1.0	AND GATE	AN260
-----------------	-----------------	--------------

$Y=A \cdot B$



Function: 2 Input AND Gate (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output
..	

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 AND GATE AN260

AN260, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TRP	MAX	UNIT
Tplh	any	Y	0.7	1.4	3.4	ns
ΔTplh	any	Y	0.1	0.3	0.7	ns/pf
Tphi	any	Y	0.3	1.3	3.2	ns
ΔTphi	any	Y	0.1	0.2	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (OHMS)
Y	60

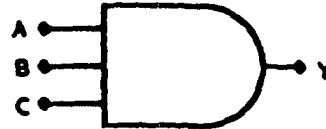
(Equivalent Load = 0.14 pF)

REV: 1.0

AND GATE

AN310

$$Y=A*B*C$$



CELL: AN310

Function: 3 Input AND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



REV: 1.0 AND GATE AN310

AN310, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	Typ	MAX	UNIT
T _{plh}	any	Y	0.8	1.6	3.0	ns
ΔT _{plh}	any	Y	0.7	1.6	4.9	ns/pf
T _{phl}	any	Y	0.2	1.2	3.0	ns
ΔT _{phl}	any	Y	0.6	1.2	2.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

T_{phl} = propagation delay time, high-to-low output ΔT_{phl} = load cap. delay to add to T_{phl}
T_{plh} = propagation delay time, low-to-high output ΔT_{plh} = load cap. delay to add to T_{plh}
any = from any input

Input Loading

INPUT STATE	EQUIVALENT LOAD
C	1
D	1
A	1

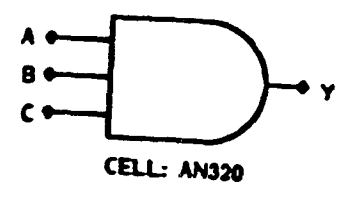
Output Drive

OUTPUT STATE	EQUIVALENT LOAD (max.)
Y	10

(Equivalent Load = 0.16 pF)

REV: 1.0 AND GATE AN320

$Y=A*B*C$



Function: 3 Input AND Gate (2 x Drive)

Pin Description	
Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 AND GATE AN320

AN320, Propagation and Load Dependent Delay

PARAMETER	FROM (input)	TO (output)	MIN	TYP	MAX	UNIT
Tplh	any	F	2.9	1.0	6.2	ns
ΔTplh	any	F	2.2	0.0	2.0	ns/pf
Tphl	any	F	0.3	1.3	3.3	ns
ΔTphl	any	F	0.3	0.5	1.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	1
B	1
A	1

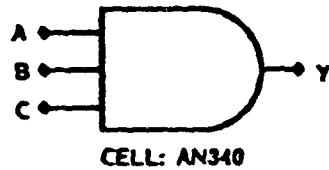
Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
F	20

(Equivalent Load = 0.10 pF)



REV: 1.0	AND GATE	AN340
-----------------	-----------------	--------------



$Y=A \cdot B \cdot C$

Function: 3 Input AND Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC - Biblioteca Universitaria, 2006

REV: 1.0 AND GATE AN340

AN340, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	1.2	2.4	3.6	ns
ΔTplh	any	Y	0.1	3.6	1.0	ns/pf
Tpll	any	Y	0.4	1.7	4.3	ns
ΔTpll	any	Y	0.1	9.3	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tpll = propagation delay time, high-to-low output ΔTpll = load cap. delay to add to Tpll
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = Free any input

Input Loading

INPUT STATE	EQUIVALENT LOAD
C	1
D	1
A	1

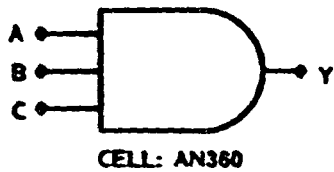
Output Drive

OUTPUT STATE	EQUIVALENT LOAD (ns.)
Y	40

(Equivalent Load = 0.16 pF)

REV: 1.0	AND GATE	AN360
-----------------	-----------------	--------------

$Y=A*B*C$



Function: 3 Input AND Gate (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

**This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family**

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

REV: 1.0 AND GATE AN360

AN360. Propagation and Load Dependent Delay

PARAMETER	FROM 'Input'	TO 'Output'	MIN	1TP	MAX	UNIT
Tplh	any	Y	1.8	1.9	4.0	ns
ΔTph	any	Y	0.1	0.3	2.7	ns/pf
Tpll	any	Y	2.3	2.4	3.5	ns
ΔTpll	any	Y	0.1	0.2	2.4	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tplh = propagation delay time, high-to-low output ΔTph = load cap. delay to add to Tplh
Tpll = propagation delay time, low-to-high output ΔTpll = load cap. delay to add to Tpll
any = from any input

Input Loading

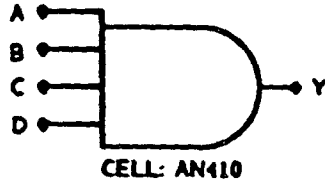
INPUT NAME	EQUIVALENT LOAD
C	2
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD: max. 1
Y	60

(Equivalent Load = 0.16 pF)

REV: 1.0 AND GATE AN410



$Y=A*B*C*D$

Function: 4 Input AND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

**This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family**

© Del documento, los autores. Digitalización realizada por ULPGC - Biblioteca Universitaria, 2006

REV: 1.0

AND GATE

AN410

AN410, Propagation and Load Dependent Delay

PARAMETER	VDCN (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	F	1.2	2.2	5.1	ns
ΔTplh	any	F	0.0	1.5	4.1	ns/pf
Tpll	any	F	0.9	1.3	3.3	ns
ΔTpll	any	F	0.6	1.2	2.3	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tplh = propagation delay time, high-to-low output ΔTplh = load cap. delay to add to Tplh
Tpll = propagation delay time, low-to-high output ΔTpll = load cap. delay to add to Tpll
any = from any input

Input Loading

INPUT STATE	EQUIVALENT LOAD
D	1
C	1
B	1
A	1

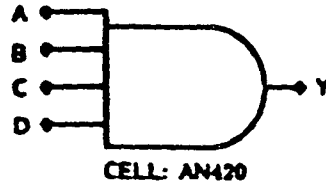
Output Drive

OUTPUT STATE	EQUIVALENT LOAD (ns.)
F	10

(Equivalent Load = 0.10 pF)

REV: 1.0	AND GATE	AN420
-----------------	-----------------	--------------

$Y=A*B*C*D$



Function: 4 Input AND Gate (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y . .	Data Output

**This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family**

REV: 1.0 AND GATE AN420

AN420, Propagation and Load Dependent Delay

PARAMETER	FROM 'Input'	TO 'Output'	MIN	TPP	MAX	UNIT
Tph	any	Y	1.2	2.4	5.6	ns
ΔTph	any	Y	0.3	0.0	2.0	ns/pf
Tpl	any	Y	0.3	1.6	3.6	ns
ΔTpl	any	Y	0.3	0.6	1.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tph = propagation delay time, high-to-low output ΔTph = load cap. delay to add to Tph
Tph = propagation delay time, low-to-high output ΔTph = load cap. delay to add to Tph
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
C	1
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	20

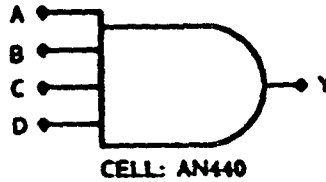
(Equivalent Load = 0.10 pF)

• •

REV: 1.0

AND GATE

AN440



$$Y=A \cdot B \cdot C \cdot D$$

Function: 4 Input AND Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC - Biblioteca Universitaria, 2006



REV: 1.0 AND GATE AN440

AN440, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	1.6	3.1	7.3	ns
ΔTplh	any	Y	0.2	0.4	1.1	ns/pF
Tpll	any	Y	2.4	1.0	4.6	ns
ΔTpll	any	Y	0.1	0.3	2.6	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tplh = propagation delay time, high-to-low output ΔTplh = load cap. delay to add to Tplh
Tpll = propagation delay time, low-to-high output ΔTpll = load cap. delay to add to Tpll
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
C	1
B	1
A	1

Output Drive

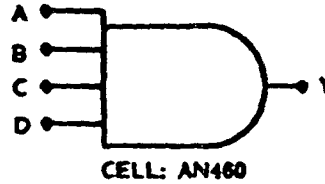
OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	40

(Equivalent Load = 0.10 pF)

• •

REV: 1.0	AND GATE	AN460
----------	----------	-------

$Y=A+B+C+D$



Function: 4 Input AND Gate (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input Data Input Data Input Data Input Data Output
B	
C	
D	
Y	

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 AND GATE AN460

AN460. Propagation and Load Dependent Delay

PARAMETER	FROM 'Input'	TO 'Output'	MIN	TYP	MAX	UNIT
Tplh	any	Y	2.3	2.6	6.2	ns
STplh	any	Y	2.1	0.3	0.7	ns/pf
Tphl	any	Y	0.3	1.5	3.0	ns
STphl	any	Y	0.1	0.2	0.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output STphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output STplh = load cap. delay to add to Tplh
any = From any input

Input Loading

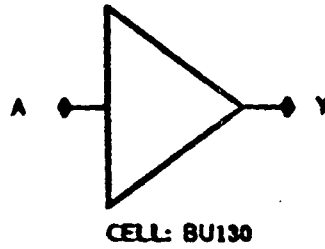
INPUT NAME	EQUIVALENT LOAD
D	2
C	2
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	80

(Equivalent Load = 0.16 pF)

REV: 1.0 BUFFER BU130



$Y = A$

Function: Buffer (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 BUFFER BU130

BU130, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.6	1.2	2.0	ns
ΔTplh	A	Y	0.2	0.5	1.3	ns/pF
Tphl	A	Y	0.3	1.3	3.2	ns
ΔTphl	A	Y	0.2	0.6	0.8	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1

Output Drive

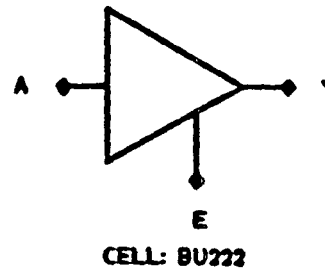
OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	30

(Equivalent Load = 0.10 pF)

REV: 1.0	BUFFER	BU222
----------	--------	-------

FUNCTION TABLE

INPUTS		OUTPUT
A	E	Y
X	L	Z
L	H	L
H	H	H



Note:

- H = HIGH voltage level
- L = LOW voltage level
- X = don't care
- Z = high impedance OFF-state

Function: Tristate Buffer, Active High Enable (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output
E	Output Enable Input (Active High)

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

BUFFER

BU222

BU222, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	Typ	MAX	UNIT
Tplh	A	Y	0.6	1.2	2.9	ns
ΔTplh	A	Y	0.7	1.3	3.7	ns/pf
Tphl	A	Y	0.2	1.1	2.9	ns
ΔTphl	A	Y	0.6	1.1	2.1	ns/pf
Tpls	E	Y	0.2	0.9	2.2	ns
Tphs	E	Y	0.2	0.9	2.2	ns
Tysl	E	Y	0.4	0.9	2.2	ns
ΔTysl	E	Y	0.6	1.1	2.1	ns/pf
Tysh	E	Y	0.4	0.9	2.2	ns
ΔTysh	E	Y	0.7	1.3	3.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output
 Tplh = propagation delay time, low-to-high output
 Tphs = Enable time, tristate-to-high output
 Tpls = Enable time, tristate-to-low output
 Tphs = Disable time, high-to-tristate output
 Tpls = Disable time, low-to-tristate output
 ΔTphl = load cap. delay to add to Tphl
 ΔTplh = load cap. delay to add to Tplh
 ΔTphs = load cap. delay to add to Tphs
 ΔTpls = load cap. delay to add to Tpls
 ΔTysl = load cap. delay to add to Tysl

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1
E	2

Output Drive

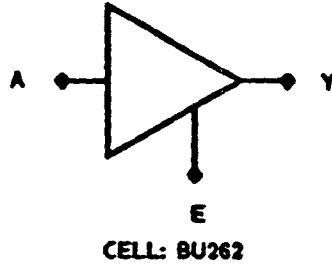
OUTPUT NAME	EQUIVALENT LOAD (Max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0	BUFFER	BU262
----------	--------	-------

FUNCTION TABLE

INPUTS		OUTPUT
A	E	Y
X	L	Z
L	H	L
H	H	H



Notes:

- H = HIGH voltage level
- L = LOW voltage level
- X = don't care
- Z = high impedance OFF-state

Function: Tristate Buffer, Active High Enable (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output
E	Output Enable Input (Active High)

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

BUFFER

BU262

BU262, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TRP	MAX	UNIT
Tplb	A	Y	1.1	2.1	3.0	ns
ΔTplb	A	Y	0.1	0.3	0.7	ns/pf
Tphl	A	Y	0.6	2.4	6.1	ns
ΔTphl	A	Y	0.1	0.2	0.5	ns/pf
Tplz	E	Y	0.2	1.1	2.0	ns
Tphz	E	Y	0.2	1.1	2.0	ns
Tpl1	E	Y	0.6	1.2	2.0	ns
ΔTpl1	E	Y	0.1	0.2	0.5	ns/pf
Tph1	E	Y	0.6	1.2	2.0	ns
ΔTph1	E	Y	0.1	0.3	0.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 3.3 Volts

Note:

Tplb = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tphl = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 Tplz = Enable time, tristate-to-high output ΔTphz = load cap. delay to add to Tphz
 Tphz = Enable time, tristate-to-low output ΔTplz = load cap. delay to add to Tplz
 Tpl1 = Disable time, low-to-tristate output
 Tph1 = Disable time, high-to-tristate output

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1
E	3

Output Drive

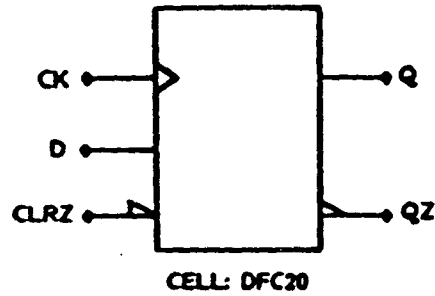
OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	60

(Equivalent Load = 0.14 pF)

REV: 1.0 D-TYPE FLIP-FLOP DFC20

FUNCTION TABLE

INPUTS			OUTPUTS	
CLRZ	CK	D	Q	QZ
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q ₀	Q ₀



Note:
 H = HIGH voltage level
 L = LOW voltage level
 ↑ = LOW to HIGH CK transition
 X = don't care
 Q₀, Q₀ = previously stable condition of Q, QZ

Function: D-Type Positive Edge Triggered FF With Reset

Pin Description

Pin Name	Description
CK	Clock
D	Data Input
CLRZ	Reset Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

D-TYPE FLIP-FLOP

DFC20

DFC20, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	CK	Q	2.6	4.9	11.4	ns
ΔTplh	any	Q	0.4	0.8	2.1	ns/pf
Tphl	CK	Q	1.7	3.2	7.3	ns
ΔTphl	any	Q	0.3	1.5	3.8	ns
Tplh	CK	Q2	0.3	0.6	1.2	ns/pf
Tplh	CLRE	Q2	2.3	4.3	10.1	ns
ΔTplh	any	Q2	0.3	2.6	6.4	ns
Tphl	CK	Q2	0.3	0.8	2.0	ns/pf
ΔTphl	any	Q2	1.7	3.3	7.0	ns
		Q2	0.3	0.6	1.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output
Tplh = propagation delay time, low-to-high output
any = From any input
ΔTphl = load cap. delay to add to Tphl
ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
CLRE	3
CK	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Q	20
Q2	20

(Equivalent Load = 0.16 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu D to CK	6.0			ns
Th D to CK	1.2			ns
Tv CLRE, CK high	0.4			ns
Tv CLRE, CK low	0.4			ns

Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

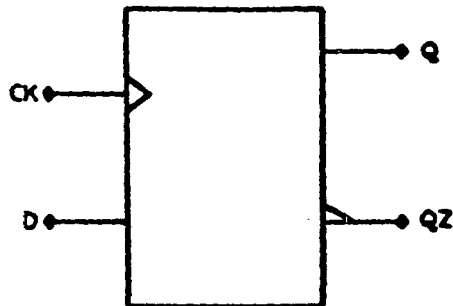
REV: 1.0

D-TYPE FLIP-FLOP

DFN20

FUNCTION TABLE

INPUTS		OUTPUTS	
CK	D	Q	QZ
↑	H	H	L
↑	L	L	H
L	X	Q ₀	Q ₀



CELL: DFN20

Note:

- H = HIGH voltage level
- L = LOW voltage level
- ↑ = LOW to HIGH CK transition
- X = don't care
- Q₀, Q₀ = previously stable condition of Q, QZ

Function: D-Type Positive Edge Triggered FF

Pin Description

Pin Name	Description
CK	Clock
D	Data Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 D-TYPE FLIP-FLOP DFN20

DFN20, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplb	CK	Q	1.9	3.6	8.4	ns
ATplb	any	Q	0.3	0.8	2.0	ns/pF
Tphl	CK	Q	1.4	3.0	7.2	ns
ATphl	any	Q	0.3	0.6	1.1	ns/pF
Tplb	CK	Q2	2.2	4.1	9.0	ns
ATplb	any	Q2	0.3	0.8	2.0	ns/pF
Tphl	CK	Q2	1.3	2.5	6.0	ns
ATphl	any	Q2	0.3	0.6	1.1	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 3.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ATphl = load cap. delay to add to Tphl
Tplb = propagation delay time, low-to-high output ATplb = load cap. delay to add to Tplb
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
CK	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MOS.)
Q	20
Q2	20

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu D to CK	6.0			ns
Th D to CK	2.4			ns
Tv CK high	8.6			ns
Tv CK low	8.4			ns

Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

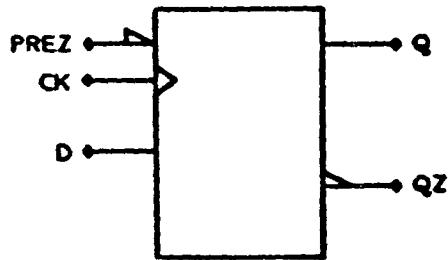
REV: 1.0

D-TYPE FLIP-FLOP

DFP20

FUNCTION TABLE

INPUTS			OUTPUTS	
PREZ	CK	D	Q	QZ
L	X	X	H	L
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q ₀	Q ₀



CELL: DFP20

Note:

H = HIGH voltage level

L = LOW voltage level

↑ = LOW to HIGH CK transition

X = don't care

Q₀, Q₀ = previously stable condition of Q, QZ

Function: D-Type Positive Edge Triggered FF With Set

Pin Description

Pin Name	Description
PREZ	Set Input
CK	Clock
D	Data Input
Q	Data Output

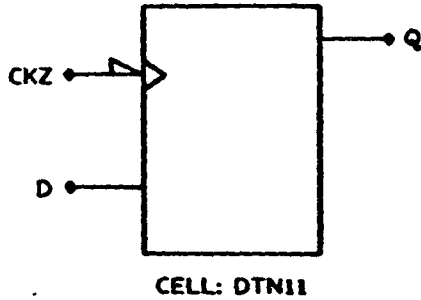
This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 D-TYPE FLIP-FLOP DTN11

FUNCTION TABLE

INPUTS		OUTPUT
CKZ	D	Q
↓	L	L
↓	H	H
H	X	Q ₀

Note:
 H = HIGH voltage level
 L = LOW voltage level
 ↓ = HIGH to LOW CKZ transition
 X = don't care
 Q₀ = previously stable condition of Q



Function: D-Type Negative Edge Triggered TG-FF

Pin Description

Pin Name	Description
CKZ	Clock
D	Data Input
Q	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 D-TYPE FLIP-FLOP DTN11

DTN11, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	CEZ	Q	0.5	2.2	5.5	ns
ΔTplh	any	Q	0.7	1.4	3.6	ns/pf
Tphl	CEZ	Q	0.5	2.0	5.2	ns
ΔTphl	any	Q	0.5	1.0	1.9	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
CEZ	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Q	10

(Equivalent Load = 0.14 pF)

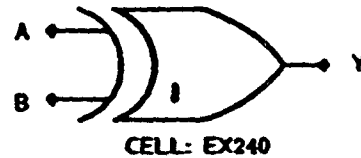
A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu D to CEZ	4.0			ns
Th D to CEZ	3.6			ns
Tv CEZ high	0.4			ns
Tv CEZ low	0.4			ns

Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

REV: 1.0 EXCLUSIVE OR GATE EX240



$$Y = A \oplus B = A\bar{B} + \bar{A}B$$

Function: Exclusive OR Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 EXCLUSIVE OR GATE EX240

EX240, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tph	any	Y	1.3	2.5	5.9	ns
ΔTph	any	Y	0.1	0.4	1.0	ns/pf
Tpl	any	Y	0.6	2.8	7.0	ns
ΔTpl	any	Y	0.2	0.4	0.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tph = propagation delay time, high-to-low output ΔTph = load cap. delay to add to Tph
 Tpl = propagation delay time, low-to-high output ΔTpl = load cap. delay to add to Tpl
 any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	2
B	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (DR.)
Y	40

(Equivalent Load = 0.14 pF)

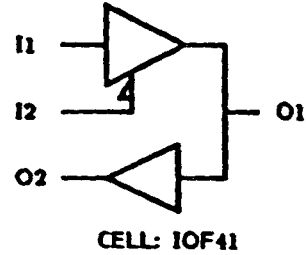
..

REV: 1.0 BIDIRECTIONAL BUFFER IOF41

FUNCTION TABLE

INPUTS			OUTPUTS	
I1	I2	O1	O1	O2
L	L	Z	L	L
H	L	Z	H	H
X	H	L	Z	L
X	H	H	Z	H

Note:
 H = HIGH voltage level
 L = LOW voltage level
 X = don't care
 Z = high impedance OFF-state



Function: 4 mA Tristate Output, CMOS Levels Input.

Pin Description

Pin Name	Description
I1	Data Input
I2	Output Enable, (active low)
O1	Data Input, Output
O2	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 BIDIRECTIONAL BUFFER IOF41

IOF41, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	I1	O1	1.6	3.1	7.2	ns
ΔTplh	I1	O1	0.03	0.05	0.15	ns/pF
Tphl	I1	O1	0.8	3.3	8.8	ns
ΔTphl	I1	O1	0.04	0.08	0.14	ns/pF
Tpls	I2	O1	2.3	4.4	10.3	ns
Tphs	I2	O1	2.2	4.1	9.6	ns
Tpsl	I2	O1	0.8	3.3	8.2	ns
ΔTpsl	I2	O1	0.04	0.08	0.14	ns/pF
Tpsh	I2	O1	0.9	3.3	8.8	ns
ΔTpsh	I2	O1	0.03	0.06	0.15	ns/pF
Tplh	O1	O2	0.5	1.9	2.4	ns
ΔTplh	O1	O2	0.7	1.3	3.9	ns/pF
Tphl	O1	O2	0.1	0.6	1.6	ns
ΔTphl	O1	O2	0.6	1.1	2.1	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output
 Tplh = propagation delay time, low-to-high output
 Tpsb = Enable time, tristate-to-high output
 Tpsl = Enable time, tristate-to-low output
 Tpls = Disable time, low-to-tristate output
 Tphs = Disable time, high-to-tristate output
 ΔTphl = load cap. delay to add to Tphl
 ΔTplh = load cap. delay to add to Tplh
 ΔTpsb = load cap. delay to add to Tpsb
 ΔTpsl = load cap. delay to add to Tpsl

Input Loading

INPUT NAME	EQUIVALENT LOAD
I2	1
I1	1

Output Drive

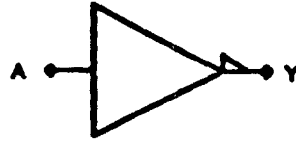
OUTPUT NAME	EQUIVALENT LOAD(MAX.)
O2	10

Equivalent Load = 0.16 pF

REV: 1.0

INVERTER

IV110



$$Y = \bar{A}$$

CELL: IV110

Function: Inverter (1 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

INVERTER

IV110

IV110, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.2	0.5	1.2	ns
ΔTplh	A	Y	0.7	1.5	3.7	ns/pf
Tphl	A	Y	0.1	0.7	1.7	ns
ΔTphl	A	Y	0.5	1.1	2.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1

Output Drive

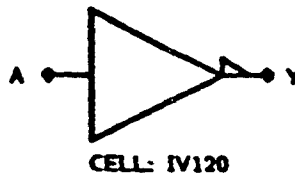
OUTPUT NAME	EQUIVALENT LOAD (MAX.)
Y	10

(Equivalent Load = 0.16 pF)

REV: 1.0

INVERTER

IV120



$$Y = \bar{A}$$

Function: Inverter (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0	INVERTER	IV120
----------	----------	-------

IV120, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.2	0.5	1.2	ns
ATplh	A	Y	0.3	0.7	1.9	ns/pf
Tphl	A	Y	0.1	0.7	1.7	ns
ATphl	A	Y	0.3	0.6	1.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ATphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ATplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	2

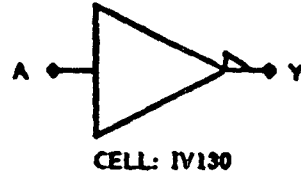
Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Y	20

(Equivalent Load = 0.10 pF)

..

REV: 1.0	INVERTER	IV130
----------	----------	-------



$$Y = \bar{A}$$

Function: Inverter (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

INVERTER

IV130

IV130, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.2	0.3	1.3	ns
ΔTplh	A	Y	0.2	0.3	1.3	ns/pf
Tphl	A	Y	0.1	0.7	1.7	ns
ΔTphl	A	Y	0.2	0.4	0.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

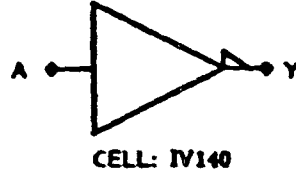
INPUT NAME	EQUIVALENT LOAD
A	3

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	30

(Equivalent Load = 0.14 pF)

REV: 1.0	INVERTER	IV140
----------	----------	-------



$Y = \bar{A}$

Function: Inverter (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 INVERTER IV140

IV140, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN TYP MAX			UNIT
Tplh	A	Y	0.3	0.6	1.4	ns
ΔTplh	A	Y	0.1	0.4	1.0	ns/pf
Tphi	A	Y	0.1	0.6	1.5	ns
ΔTphi	A	Y	0.1	0.3	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:
Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	4

Output Drive

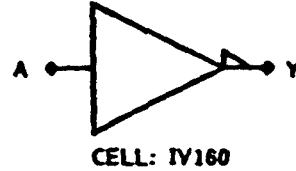
OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Y	40

(Equivalent Load = 0.10 pF)

REV: 1.0

INVERTER

IV160



$$Y = \bar{A}$$

Function: Inverter (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 INVERTER IV160

IV160, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.3	0.7	1.6	ns
ΔTplh	A	Y	0.1	0.2	0.7	ns/pf
Tphl	A	Y	0.1	0.6	1.5	ns
ΔTphl	A	Y	0.1	0.2	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 3.3 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	6

Output Drive

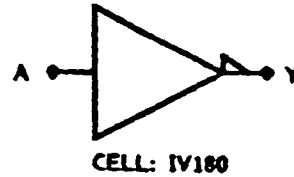
OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	60

(Equivalent Load = 0.16 pF)

REV: 1.0

INVERTER

IV180



$Y = \bar{A}$

Function: Inverter (8 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

**This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family**

REV: 1.0 INVERTER IV180

IV180, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TRP	MAX	UNIT
Tplh	A	Y	0.4	0.7	1.0	ns
ΔTplh	A	Y		0.2	0.5	ns/pf
Tphl	A	Y	0.1	0.5	1.0	ns
ΔTphl	A	Y		0.1	0.3	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:
Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	5

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(SER.)
Y	50

(Equivalent Load = 0.10 pF)

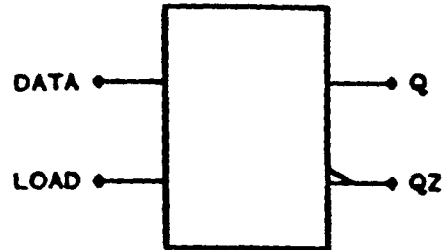
..

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

REV: 1.0 LATCH, D-TYPE AND S-R LAH10

FUNCTION TABLE

INPUTS		OUTPUTS	
LOAD	DATA	Q	QZ
H	H	H	L
H	L	L	H
L	X	Q ₀	Q ₀



CELL: LAH10

Note:

H = HIGH voltage level

L = LOW voltage level

X = don't care

Q₀, Q₀ = previously stable condition of Q, QZ

Function: Transparent D-Latch With High Enable

Pin Description

Pin Name	Description
DATA	Data Input
LOAD	Control input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II 1.5 micron CMOS Double Layer Metal standard cell family

SystemCell II cell library

ASIC

REV: 1.0 LATCH, D-TYPE AND S-R LAH10

LAH10, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	DATA	0	0.8	1.6	3.7	ns
Tplh	LOAD	0	0.8	1.6	3.7	ns
ΔTplh	any	0	0.7	1.5	3.7	ns/pf
Tphi	DATA	Q	0.8	3.2	6.1	ns
Tphi	LOAD	Q	0.7	2.7	6.8	ns
ΔTphi	any	Q	0.6	1.3	2.6	ns/pf
Tplh	DATA	QZ	0.8	2.0	4.8	ns
Tplh	LOAD	QZ	0.7	1.5	3.3	ns
ΔTplh	any	QZ	0.7	1.6	4.8	ns/pf
Tphi	DATA	QZ	0.7	2.7	6.9	ns
Tphi	LOAD	QZ	0.7	2.7	6.9	ns
ΔTphi	any	QZ	0.7	1.3	2.5	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output
 Tplh = propagation delay time, low-to-high output
 any = from any input
 ΔTphi = load cap. delay to add to Tphi
 ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
DATA	2
LOAD	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MSR.)
Q	10
QZ	10

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu DATA to LOAD	10.0			ns
Th DATA to LOAD	0.0			ns
Tv LOAD high	9.6			ns
Tv LOAD low	8.4			ns

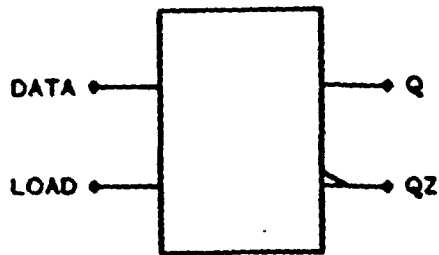
Note:

Tsu = set-up time
 Th = hold time
 Tv = pulse width

REV: 1.0 LATCH, D-TYPE AND S-R LAH20

FUNCTION TABLE

INPUTS		OUTPUTS	
LOAD	DATA	Q	QZ
H	H	H	L
H	L	L	H
L	X	Q ₀	Q ₀



CELL: LAH20

Note:

H = HIGH voltage level
L = LOW voltage level

X = don't care

Q₀, Q₀ = previously stable condition of Q, QZ

Function: Transparent D-Latch With High Enable (2 x Drive)

Pin Description

Pin Name	Description
DATA	Data Input
LOAD	Control Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPOC, Biblioteca Universitaria, 2006

REV: 1.0 LATCH, D-TYPE AND S-R LAH20

LAH20, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	DATA	Q	0.9	1.7	4.1	ns
Tplh	LOAD	Q	0.9	1.7	4.1	ns
ΔTplh	any	Q	0.3	0.8	1.9	ns/pf
Tphl	DATA	Q	0.9	3.7	9.4	ns
Tphl	LOAD	Q	0.8	3.3	8.3	ns
ΔTphl	any	Q	0.3	0.7	1.3	ns/pf
Tplh	DATA	QS	0.9	2.2	5.2	ns
Tplh	LOAD	QS	0.9	1.7	4.0	ns
ΔTplh	any	QS	0.3	0.8	1.9	ns/pf
Tphl	DATA	QS	0.8	3.2	8.1	ns
Tphl	LOAD	QS	0.8	3.2	8.1	ns
ΔTphl	any	QS	0.3	0.7	1.3	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
DATA	2
LOAD	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Q	20
QS	20

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu DATA to LOAD	14.4			ns
Th DATA to LOAD	0.0			ns
Tv LOAD high	10.0			ns
Tv LOAD low	0.0			ns

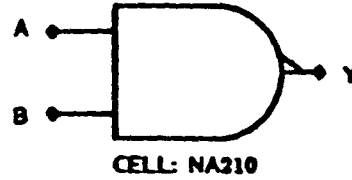
Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

REV: 1.0

NAND_GATE

NA210



$$Y = \overline{A \cdot B}$$

Function: 2 Input NAND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



REV: 1.0

NAND GATE

NA210

NA210, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.6	1.0	ns
ΔTplh	any	Y	0.7	1.5	3.0	ns/pf
Tphl	any	Y	0.1	0.6	1.5	ns
ΔTphl	any	Y	1.1	2.2	4.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	1
A	1

Output Drive

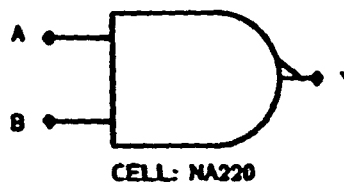
OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	5

(Equivalent Load = 0.10 pF)

REV: 1.0

NAND GATE

NA220



$$Y = \overline{A \cdot B}$$

Function: 2 Input NAND Gate (2.x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

**This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family**

REV: 1.0

NAND GATE

NA220

NA220, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.6	1.5	ns
ΔTplh	any	Y	0.3	0.7	1.9	ns/pf
Tphl	any	Y	0.1	0.6	1.5	ns
ΔTphl	any	Y	0.5	1.1	2.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	10

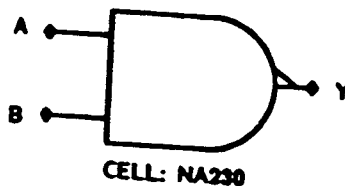
(Equivalent Load = 0.14 pF)

..

REV: 1.0

NAND GATE

NA230



$$Y = \overline{A \cdot B}$$

Function: 2 Input NAND Gate (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input Data Input Data Output
B	
Y	

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

NAND GATE

NA230

NA230, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.7	1.6	ns
ΔTplh	any	Y	0.2	0.5	1.2	ns/pF
Tphi	any	Y	0.1	0.6	1.4	ns
ΔTphi	any	Y	0.3	0.7	1.4	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	3
A	3

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	15

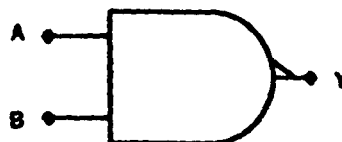
(Equivalent Load = 0.14 pF)

..

REV: 1.0

NAND GATE

NA240



$$Y = \overline{A \cdot B}$$

CELL: NA240

Function: 2 Input NAND Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

NAND GATE

NA240

NA240, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.7	1.7	ns
ΔTplh	any	Y	0.1	0.4	1.0	ns/pf
Tphl	any	Y	0.1	0.6	1.5	ns
ΔTphl	any	Y	0.2	0.5	1.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 9.5 Volts

ote:

phl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 plh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 y = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	4
A	4

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (MAX.)
Y	20

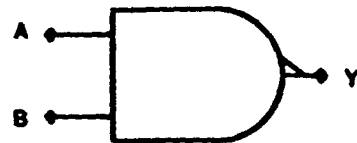
(Equivalent Load = 0.14 pF)

..

REV: 1.0

NAND GATE

NA260



CELL: NA260

$$Y = \overline{A \cdot B}$$

Function: 2 Input NAND Gate (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

**This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family**

REV: 1.0 NAND GATE NA260

NA260, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.4	0.8	1.9	ns
ΔTplh	any	Y	0.1	0.2	0.7	ns/pf
Tphl	any	Y	0.1	0.5	1.4	ns
ΔTphl	any	Y	0.2	0.4	0.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	C
A	C

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Y	30

(Equivalent Load = 0.14 pF)

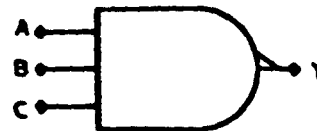
..

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

REV: 1.0

NAND GATE

NA310



$$Y = \overline{A+B+C}$$

CELL: NA310

Function: 3 Input NAND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



REV: 1.0

NAND GATE

NA310

NA310, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
T _{plh}	any	Y	0.4	0.8	1.8	ns
ΔT _{plh}	any	Y	0.7	1.3	3.9	ns/pF
T _{phl}	any	Y	0.2	0.9	2.3	ns
ΔT _{phl}	any	Y	1.7	3.2	5.9	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

T_{phl} = propagation delay time, high-to-low output ΔT_{phl} = load cap. delay to add to T_{phl}
T_{plh} = propagation delay time, low-to-high output ΔT_{plh} = load cap. delay to add to T_{plh}
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	1
B	1
A	1

Output Drive

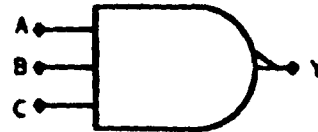
OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	3

(Equivalent Load = 0.14 pF)

REV: 1.0

NAND GATE

NA320



$$= \overline{A \cdot B \cdot C}$$

CELL: NA320

Function: 3 Input NAND Gate (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 NAND GATE NA320

NA320, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
T _{plh}	any	Y	0.3	0.7	1.6	ns
ΔT _{plh}	any	Y	0.3	0.7	1.9	ns/pf
T _{phl}	any	Y	0.1	0.8	1.9	ns
ΔT _{phl}	any	Y	0.8	1.6	2.9	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

T_{phl} = propagation delay time, high-to-low output ΔT_{phl} = load cap. delay to add to T_{phl}
T_{plh} = propagation delay time, low-to-high output ΔT_{plh} = load cap. delay to add to T_{plh}
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	2
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(nes.)
Y	6

(Equivalent Load = 0.14 pF)

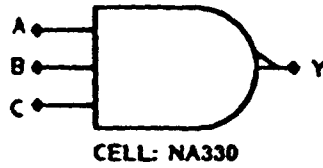
© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

REV: 1.0

NAND GATE

NA330

$$Y = \overline{A \cdot B \cdot C}$$



Function: 3 Input NAND Gate (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

NAND GATE

NA330

NA330. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TRF	MAX	UNIT
Tp1h	any	1	0.3	0.7	1.0	ns
ΔTp1h	any	1	0.2	0.5	1.1	ns/pf
Tp1l	any	1	0.1	0.8	2.0	ns
ΔTp1l	any	1	0.3	1.0	1.9	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tp1h = propagation delay time, high-to-low output ΔTp1h = load cap. delay to add to Tp1h
Tp1l = propagation delay time, low-to-high output ΔTp1l = load cap. delay to add to Tp1l
any = Free any input

Input Loading

INPUT STATE	EQUIVALENT LOAD
1	3
0	3
A	3

Output Drive

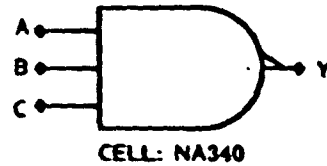
OUTPUT STATE	EQUIVALENT LOAD (max.)
1	10

(Equivalent Load = 0.14 pF)

REV: 1.0

NAND GATE

NA340



$$Y = \overline{A \cdot B \cdot C}$$

Function: 3 Input NAND Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento: los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



REV: 1.0

NAND GATE

NA340

NA340, Propagation and Load Dependent Delay

PARAMETER	FROM 'Input'	TO 'Output'	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.4	0.8	1.8	ns
ΔTplh	any	Y	0.1	0.4	1.3	ns/pf
Tphl	any	Y	0.1	0.7	1.3	ns
ΔTphl	any	Y	0.4	0.8	1.5	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	4
B	4
A	4

Output Drive

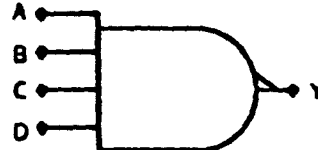
OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	13

(Equivalent Load = 0.14 pF)

REV: 1.0

NAND GATE

NA430



$$Y = \overline{A \cdot B \cdot C \cdot D}$$

CELL: NA430

Function: 4 Input NAND Gate (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

SystemCell II cell library

ASIC

REV: 1.0 NAND GATE NA430

NA430, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN TYP MAX			UNIT
Tplh	any	Y	0.4	0.9	2.0	ns
ΔTplh	any	Y	0.2	0.5	1.3	ns/pF
Tphl	any	Y	0.2	1.1	2.7	ns
ΔTphl	any	Y	0.7	1.4	2.5	ns/pF

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	3
C	3
B	3
A	3

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (see 1)
Y	7

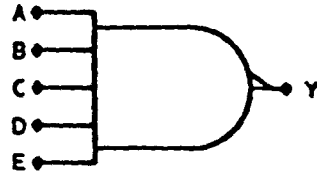
(Equivalent Load = 0.14 pF)

• •

REV: 1.0

NAND GATE

NA510



CELL: NA510

$$Y = \overline{A \cdot B \cdot C \cdot D \cdot E}$$

Function: 5 Input NAND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
E	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV:1.0 NAND GATE NA510

NA510, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.5	1.0	2.3	ns
ΔTph	any	Y	0.8	1.7	4.2	ns/pf
Tphl	any	Y	0.4	1.9	4.8	ns
ΔTphl	any	Y	2.9	5.3	9.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTph = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
E	1
D	1
C	1
B	1
A	1

Output Drive

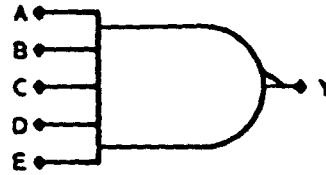
OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	2

(Equivalent Load = 0.14 pF)

REV:1.0

NAND GATE

NA520



CELL: NA520

$$Y = \overline{A \cdot B \cdot C \cdot D \cdot E}$$

Function: 5 Input NAND Gate (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
E	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

REV: 1.0 NAND GATE NA520

NA520. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tp1h	any	Y	0.4	0.9	2.1	ns
ΔTp1h	any	Y	0.3	0.8	2.0	ns/pf
Tp1l	any	Y	0.3	1.6	4.8	ns
ΔTp1l	any	Y	1.4	2.6	4.8	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tp1h = propagation delay time, high-to-low output ΔTp1h = load cap. delay to add to Tp1h
 Tp1l = propagation delay time, low-to-high output ΔTp1l = load cap. delay to add to Tp1l
 any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
E	2
D	2
C	2
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	8

(Equivalent Load = 0.14 pF)

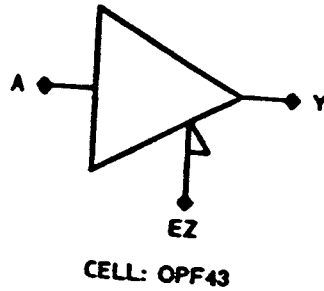
SystemCell II cell library

REV: 1.0 OUTPUT BUFFER OPF43

FUNCTION TABLE

INPUTS		OUTPUT
A	EZ	Y
L	L	L
H	L	H
X	H	Z

Note:
 H = HIGH voltage level
 L = LOW voltage level
 X = don't care
 Z = high impedance OFF-state



Function: 4 mA Tristate Active Low Enable Output

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output
EZ	Enable Input

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family



REV: 1.0 OUTPUT BUFFER OPF43

OPF43, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TRP	MAX	UNIT
Tplh	A	Y	1.6	3.1	7.2	ns
ΔTplh	A	Y	0.03	0.06	0.13	ns/pf
Tphl	A	Y	0.8	3.5	8.8	ns
ΔTphl	A	Y	0.04	0.08	0.14	ns/pf
Tplz	EE	Y	2.3	4.4	10.2	ns
Tphz	EE	Y	2.2	4.1	9.6	ns
Tpzl	EE	Y	0.8	3.3	8.2	ns
ΔTpzl	EE	Y	0.04	0.08	0.14	ns/pf
Tpzh	EE	Y	0.9	3.5	8.8	ns
ΔTpzh	EE	Y	0.03	0.06	0.13	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 Tpzl = Enable time, tristate-to-low output ΔTpzl = load cap. delay to add to Tpzl
 Tplz = Disable time, low-to-tristate output ΔTplz = load cap. delay to add to Tplz
 Tphz = Disable time, high-to-tristate output

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1
EE	1

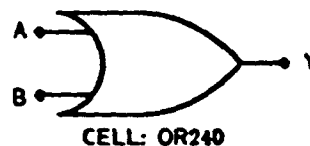
(Equivalent Load = 0.14 pf)

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

REV: 1.0

OR GATE

OR240



$$Y = A + B$$

Function: 2 Input OR Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 OR GATE OR240

OR240, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	Typ	MAX	UNIT
Tplh	any	Y	0.4	0.9	2.1	ns
ΔTplh	any	Y	0.1	0.4	1.0	ns/pf
Tphl	any	Y	0.3	1.5	3.0	ns
ΔTphl	any	Y	0.1	0.3	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT STATE	EQUIVALENT LOAD
B	2
A	2

Output Drive

OUTPUT STATE	EQUIVALENT LOAD (max.)
Y	40

(Equivalent Load = 0.10 pF)

APENDICE D

TABLAS DE PUERTAS, AREA, CPD

SSI LOGIC FUNCTIONS

INVERTERS

	<u>GATES</u>	<u>AREA</u>	<u>Cpd (DF)</u>
IV110 - INVERTER	0.5	0.75	.44
IV120 - INVERTER (2X DRIVE)	0.5	1.00	.80
IV130 - INVERTER (3X DRIVE)	0.5	1.25	1.29
IV140 - INVERTER (4X DRIVE)	0.5	1.50	1.61
IV160 - INVERTER (6X DRIVE)	0.5	2.00	2.39
IV180 - INVERTER (8X DRIVE)	0.5	2.50	3.16
IV101 - INVERTER (10X DRIVE)	1.5	4.50	7.22
IV211 - THREE-STATE INVERTER ACTIVE LOW	1.5	1.50	.49
IV221 - THREE-STATE INVERTER ACTIVE LOW (2X DRIVE)	1.5	2.00	1.00
IV241 - THREE-STATE INVERTER ACTIVE LOW (4X DRIVE)	1.5	3.00	1.88
IV212 - THREE-STATE INVERTER ACTIVE HIGH	1.5	1.50	.50
IV222 - THREE-STATE INVERTER ACTIVE HIGH (2X DRIVE)	1.5	2.00	.98
IV242 - THREE-STATE INVERTER ACTIVE HIGH (4X DRIVE)	1.5	3.00	1.86

BUFFERS

BU120 - BUFFER (IN1/IN2)	2.0	1.50	1.29
BU130 - BUFFER (IN1/IN3)	2.0	1.75	1.73
BU221 - THREE-STATE BUFFER ACTIVE LOW (2X DRIVE)	2.5	2.75	1.62
BU222 - THREE-STATE BUFFER ACTIVE HIGH (2X DRIVE)	2.5	2.75	1.62
BU261 - THREE-STATE BUFFER ACTIVE LOW (6X DRIVE)	2.5	4.75	3.29
BU262 - THREE-STATE BUFFER ACTIVE HIGH (6X DRIVE)	2.5	4.75	3.30

NAND GATES

NA210 - 2 INPUT NAND GATE	1.0	1.00	.51
NA220 - 2 INPUT NAND GATE (2X DRIVE)	1.0	1.50	1.00
NA230 - 2 INPUT NAND GATE (3X DRIVE)	1.0	2.00	1.51
NA240 - 2 INPUT NAND GATE (4X DRIVE)	1.0	2.50	2.06
NA260 - 2 INPUT NAND GATE (6X DRIVE)	1.0	3.50	2.98
NA310 - 3 INPUT NAND GATE	1.5	1.25	.50
NA320 - 3 INPUT NAND GATE (2X DRIVE)	1.5	2.00	.94
NA330 - 3 INPUT NAND GATE (3X DRIVE)	1.5	2.50	1.41
NA340 - 3 INPUT NAND GATE (4X DRIVE)	1.5	3.50	1.86
NA410 - 4 INPUT NAND GATE	2.0	1.50	.50
NA420 - 4 INPUT NAND GATE (2X DRIVE)	2.0	2.50	.96
NA430 - 4 INPUT NAND GATE (3X DRIVE)	2.0	3.75	1.46

NAND GATES (continued)

	<u>GATES</u>	<u>AREA</u>	<u>C_pd (pF)</u>
NA510 - 5 INPUT NAND GATE	2.5	1.75	.52
NA520 - 5 INPUT NAND GATE (2X DRIVE)	2.5	3.00	1.02
NA810 - 8 INPUT NAND GATE	4.0	2.50	.61
NA820 - 8 INPUT NAND GATE (2X DRIVE)	4.0	4.75	1.13

AND GATES

AN210 - 2 INPUT AND GATE	1.5	1.50	.90
AN220 - 2 INPUT AND GATE (2X DRIVE)	1.5	1.75	1.20
AN240 - 2 INPUT AND GATE (4X DRIVE)	1.5	2.25	2.35
AN260 - 2 INPUT AND GATE (6X DRIVE)	1.5	3.00	3.08
AN310 - 3 INPUT AND GATE	2.0	1.75	1.06
AN320 - 3 INPUT AND GATE (2X DRIVE)	2.0	2.00	1.56
AN340 - 3 INPUT AND GATE (4X DRIVE)	2.0	2.50	2.59
AN360 - 3 INPUT AND GATE (6X DRIVE)	2.0	3.50	4.08
AN410 - 4 INPUT AND GATE	2.5	2.00	1.18
AN420 - 4 INPUT AND GATE (2X DRIVE)	2.5	2.25	1.72
AN440 - 4 INPUT AND GATE (4X DRIVE)	2.5	2.75	2.77
AN460 - 4 INPUT AND GATE (6X DRIVE)	2.5	4.00	4.58
AN510 - 5 INPUT AND GATE	3.0	2.25	1.12
AN810 - 8 INPUT AND GATE	4.5	3.25	1.22

EXCLUSIVE OR GATES

EX210 - EXCLUSIVE OR GATE	2.0	2.00	1.00
EX220 - EXCLUSIVE OR GATE (2X DRIVE)	2.0	2.25	1.35
EX240 - EXCLUSIVE OR GATE (4X DRIVE)	2.0	2.50	2.55

NO210 - 2 INPUT NOR GATE	1.0	1.00	.33
NO220 - 2 INPUT NOR GATE (2X DRIVE)	1.0	1.50	.52
NO230 - 2 INPUT NOR GATE (3X DRIVE)	1.0	2.00	.80
NO240 - 2 INPUT NOR GATE (4X DRIVE)	1.0	2.50	.98
NO310 - 3 INPUT NOR GATE	1.5	1.25	.32
NO320 - 3 INPUT NOR GATE (2X DRIVE)	1.5	2.00	.56
NO330 - 3 INPUT NOR GATE (3X DRIVE)	1.5	2.75	.85
NO410 - 4 INPUT NOR GATE	2.0	1.50	.35
NO420 - 4 INPUT NOR GATE (2X DRIVE)	2.0	2.50	.55
NO510 - 5 INPUT NOR GATE	2.5	1.75	.37
NO520 - 5 INPUT NOR GATE (2X DRIVE)	2.5	3.00	.64
NO810 - 8 INPUT NOR GATE	4.0	3.50	1.54
NO820 - 8 INPUT NOR GATE (2X DRIVE)	4.0	4.50	.65

NOR GATES/OR GATES (continued)

	<u>GATES</u>	<u>AREA</u>	<u>C_p d (PF)</u>
OR210 - 2 INPUT OR GATE	1.5	1.50	.86
OR220 - 2 INPUT OR GATE (2X DRIVE)	1.5	1.75	1.62
OR240 - 2 INPUT OR GATE (4X DRIVE)	1.5	2.50	3.09
OR260 - 2 INPUT OR GATE (6X DRIVE)	1.5	3.75	4.70
OR310 - 3 INPUT OR GATE	2.0	1.75	.90
OR320 - 3 INPUT OR GATE (2X DRIVE)	2.0	2.00	1.71
OR340 - 3 INPUT OR GATE (4X DRIVE)	2.0	3.00	3.51
OR360 - 3 INPUT OR GATE (6X DRIVE)	2.0	4.50	5.36
OR410 - 4 INPUT OR GATE	2.5	2.00	.92
OR420 - 4 INPUT OR GATE (2X DRIVE)	2.5	2.25	1.83
OR440 - 4 INPUT OR GATE (4X DRIVE)	2.5	3.50	5.48
OR460 - 4 INPUT OR GATE (6X DRIVE)	2.5	5.25	5.48

MSI LOGIC FUNCTIONSMULTIPLEXERS/DECODERS

MU110 - 2 INPUT MULTIPLEXER	3.5	3.75	.92
MU210 - 4 INPUT MULTIPLEXER	5.5	5.00	1.28
MU310 - 8 INPUT MULTIPLEXER (SOFT MACRO ONLY)	9.0	15.75	1.68
DE210 - 2 TO 4 DECODER	5.0	4.25	N/A
DE212 - 2 TO 4 DECODER (ENABLE ACTIVE HIGH)	5.0	5.25	N/A

BOOLEANS (TWO DEEP NOR COMPLEX)

BF001 - -(A1 + B1B2)	1.5	1.50	.38
BF002 - -(A1 + B1B2B3)	2.0	1.50	.42
BF003 - -(A1A2 + B1B2)	2.0	1.75	.51
BF004 - -(A1A2 + B1B2B3)	2.5	1.75	.53
BF005 - -(A1A2A3 + B1B2B3)	3.0	2.00	.64
BF006 - -(A1 + A2 + B1B2)	2.0	1.75	.36
BF007 - -(A1 + A2 + B1B2B3)	2.5	1.75	.36
BF008 - -(A1 + B1B2 + C1C2)	2.5	2.00	.44
BF009 - -(A1 + B1B2 + C1C2C3)	3.0	2.00	.45
BF010 - -(A1 + B1B2B3 + C1C2C3)	3.5	2.25	.45
BF011 - -(A1A2 + B1B2 + C1C2)	3.0	2.75	.52
BF012 - -(A1A2 + B1B2 + C1C2C3)	3.5	2.50	.56
BF013 - -(A1A2 + B1B2B3 + C1C2C3)	4.0	2.50	.57
BF014 - -(A1A2A3 + B1B2B3 + C1C2C3)	4.5	2.75	.71

<u>BOOLEANS (THREE DEEP NOR COMPLEX)</u>	<u>GATES</u>	<u>AREA</u>	<u>C_{p d} (pF)</u>
BF015 = $-(A1 + B1(C1 + C1))$	2.0	1.75	.36
BF016 = $-(A1 + (B1 + B2)(C1 + C2))$	2.5	2.50	.42
BF017 = $-(A1 + B1B2(C1 + C2))$	2.5	2.00	.40
BF020 = $-(A1A2 + B1(C1 + C2))$	2.5	2.00	.47
BF022 = $-(A1A2 + B1B2(C1 + C2))$	3.0	2.25	.54
BF025 = $-(A1A2A3 + B1 (C1 + C2))$	3.0	2.25	.64

BOOLEANS (TWO DEEP NAND COMPLEX)

BF051 = $-(A1(B1 + B2))$	1.5	1.50	.57
BF052 = $-(A1(B1 + B2 + B3))$	2.0	1.50	.57
BF053 = $-(A1 + A2)(B1 + B2)$	2.0	1.75	.49
BF054 = $-(A1 + A2)(B1 + B2 + B3)$	2.5	1.75	.47
BF055 = $-(A1 + A2 + A3)(B1 + B2 + B3)$	3.0	2.00	.51
BF056 = $-(A1A2(B1 + B2))$	2.0	1.75	.55
BF057 = $-(A1A2(B1 + B2 + B3))$	2.5	1.75	.58
BF058 = $-(A1(B1 + B2)(C1 + C2))$	2.5	2.00	.64
BF059 = $-(A1(B1 + B2)(C1 + C2 + C3))$	3.0	2.25	.65
BF060 = $-(A1(B1 + B2 + B3)(C1 + C2 + C3))$	3.5	2.25	.65
BF062 = $-((A1 + A2)(B1 + B2)(C1 + C2 + C3))$	3.5	2.50	.65
BF063 = $-((A1 + A2)(B1 + B2 + B3)(C1 + C2 + C3))$	4.0	2.50	.64
BF064 = $-((A1 + A2 + A3)(B1 + B2 + B3)(C1 + C2 + C3))$	4.5	2.75	.70

BOOLEANS (THREE DEEP NAND COMPLEX)

BF065 = $-(A1(B1 + C1C2))$	2.0	1.75	.58
BF066 = $-(A1(B1B2 + C1C2))$	2.5	2.50	.64
BF067 = $-(A1(B1 + B2 + C1C2))$	2.5	2.00	.57
BF068 = $-(A1(B1 + C1C2 + D1D2))$	3.0	2.75	.61
BF069 = $-(A1(B1B2 + C1C2 + D1D2))$	3.5	3.00	.66
BF070 = $-((A1 + A2)(B1 + C1C2))$	2.5	2.00	.53
BF071 = $-((A1 + A2)(B1B2 + C1C2))$	3.0	2.50	.64

MSI SOFT MACRO FUNCTIONS

SOFT MACROS

S85 - 4 BIT MAGNITUDE COMPARATOR	48
S137 - 3 TO 8 DECODER WITH LATCHES	35
S138 - 3 TO 8 DECODER	21
S139 - DUAL 2 TO 4 DECODER	17
S151 - 8 TO 1 MULTIPLEXER	28

SOFT MACROSGATES

S153	- DUAL 4 TO 1 MULTIPLEXER	23
S155	- 2 TO 4 DECODER/DEMULTIPLEXER	17
S157	- QUAD 2 TO 1 MULTIPLEXER	16
S158	- QUAD 2 TO 1 MULTIPLEXER (INVERTING)	18
S161A	- 4 BIT BINARY COUNTER, ASYNC CLEAR	60
S163A	- 4 BIT BINARY COUNTER, SYNC CLEAR	63
S164	- 8 BIT, SERIAL IN, PARALLEL OUT SHIFT REG ASYNC. CLEAR	53
S165	- 8 BIT, SERIAL/PARALLEL IN, SERIAL OUT SHIFT REG ASYNC. CLEAR	103
S166	- 8 BIT, SERIAL/PARALLEL IN, SERIAL OUT SHIFT REG SYNC. CLEAR	74
S173	- QUAD D-TYPE FLIP-FLOP WITH 3 STATE OUTPUTS	44
S174	- HEX D-TYPE FLIP-FLOP	56
S175	- QUAD D-TYPE FLIP-FLOP, Q AND QB OUTPUTS	24
S177	- 4 BIT BINARY COUNTER, ASYNC PARALLEL LOAD, RIPPLE CLOCK	58
S181	- 4 BIT ALU	94
S191	- PRESETTABLE 4 BIT BINARY UP/DOWN COUNTER	89
S193	- PRESETTABLE 4 BIT BINARY UP/DOWN COUNTER, 2 CLOCKS, CLEAR	81
S194A	- 4 BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER	60
S195A	- 4 BIT PARALLEL ACCESS SHIFT REGISTER	40
S244	- OCTAL DRIVER/RECEIVER, NON INVERTING, 3 STATE	17
S245	- OCTAL DRIVER/RECEIVER, BIDIRECTIONAL, NON INVERTING, 3 STATE	35
S251	- 8 TO 1 MULTIPLEXER, 3 STATE	27
S257A	- QUAD 2 TO 1 MULTIPLEXER, NON INVERTING, 3 STATE	20
S258A	- QUAD 2 TO 1 MULTIPLEXER, INVERTING, 3 STATE	16
S259	- 8 BIT ADDRESSABLE LATCH	59
S273	- OCTAL D-TYPE FLIP-FLOP	51
S280	- 9 BIT ODD/EVEN PARITY GENERATOR/CHECKER	52
S283	- 4 BIT FULL ADDER WITH FAST CARRY	51
S298	- QUAD 2 PORT REGISTER	40
S299	- 8 BIT UNIVERSAL SHIFT REGISTER, 3 STATE	128
S299X	- 8 BIT UNIVERSAL SHIFT REGISTER, INPUTS SPLIT	117
S273	- OCTAL TRANSPARENT LATCH WITH 3 STATE OUTPUTS	51
S374	- OCTAL D-TYPE FLIP-FLOP WITH 3 STATE OUTPUTS	48

SOFT MACROS (continued)GATES

S375	- QUAD BISTABLE LATCH	12
S393	- DUAL 4 BIT BINARY RIPPLE COUNTER	52
S398	- 2 PORT REGISTER WITH Q AND QB OUTPUTS	38
S399	- 2 PORT REGISTER	40
S590	- 8 BIT BINARY COUNTER WITH OUTPUT REGISTERS	141
S593X	- 8 BIT BINARY COUNTER WITH INPUT REGISTERS	199
S595	- 8 BIT SHIFT REGISTER WITH OUTPUT REGISTERS	99
S598X	- 8 BIT SHIFT REGISTER WITH INPUT LATCHES	182
S651	- DUAL 8 BIT REGISTER AND BUS TRANSCEIVER, 3 STATE, D LOW	
S652	- DUAL 8 BIT REGISTER AND BUS TRANSCEIVER, 3 STATE	177
S669	- 4 BIT UP/DOWN BINARY COUNTER	70
S686	- 8 BIT MAGNITUDE COMPARTOR, P=Q, P>Q	78
S688	- 8 BIT MAGNITUDE COMPARTOR, P=Q	28

INPUT/OUTPUT BUFFERAREAC_d (pF)INPUT BUFFERS

IPF00	- CMOS-LEVEL INVERTING	33.0	2.05
IPF01	- CMOS-LEVEL NON-INVERTING	33.0	2.95
IPF03	- TTL-LEVEL INVERTING	33.0	16.50
IPF04	- TTL-LEVEL NON-INVERTING	33.0	18.20
IPF04	- TTL-LEVEL INVERTING, WITH HYSTERESIS	39.0	19.70
IPF12	- CMOS-LEVEL NON-INVERTING	39.0	42.60

OUTPUT BUFFERS

OPF00	- 10 MA PUSH-PULL	43.5	20.10
OPF01	- 10 MA OPEN DRAIN	43.5	5.81
OPF03	- 10 MA 3-STATE	54.0	23.20
OPF40	- 4 MA PUSH-PULL	40.5	10.90
OPF41	- 4 MA OPEN DRAIN	40.5	2.60
OPF43	- 4 MA 3 STATE ACTIVE LOW ENABLE	46.5	10.90
OPF60	- 6 MA PUSH-PULL	42.0	17.30
OPF61	- 6 MA OPEN DRAIN	42.0	4.00
OPF63	- 6 MA 3 STATE ACTIVE LOW ENABLE	55.7	17.30

TRANSCEIVERS

IOF00	- 10 MA OUTPUT, CMOS LEVEL INPUT	64.5	25.80
IOF01	- 10 MA OUTPUT, CMOS LEVEL INPUT	66.0	26.60
IOF03	- 10 MA OUTPUT, TTL LEVEL INPUT	64.5	24.40

TRANSCEIVERS (continued)

	<u>AREA</u>	<u>C_{p d} (PF)</u>
IOF04 - 10 MA OUTPUT, TTL LEVEL INPUT	64.5	25.70
IOF40 - 4 MA OUTPUT, TTL LEVEL INPUT	51.0	12.70
IOF41 - 4 MA OUTPUT, CMOS LEVEL INPUT	51.0	14.30
IOF43 - 4 MA OUTPUT, TTL LEVEL INPUT	52.5	13.40
IOF64 - 6 MA OUTPUT, TTL LEVEL INPUT	60.0	22.40

SPECIAL CELLS

	<u>GATES</u>	<u>AREA</u>	<u>C_{p d} (PF)</u>
TO101 - FIXED VOLTAGE FOR UNUSED INPUTS	1.5	1.5	N/A

SEQUENTIAL FUNCTIONSPOSITIVE TRIGGERED LATCHES/MASTER MODULES

LAH10 - TRANSPARENT D-LATCH WITH HIGH ENABLE	3.5	4.00	2.01
LAH20 - TRANSPARENT D-LATCH WITH HIGH ENABLE	3.5	4.50	5.20
GM010 - MASTER MODULE (R/S INPUT)	4.0	3.00	.75
GM110 - GMO WITH RESET	4.0	3.00	.80
GM210 - GMO WITH SET	4.0	3.25	.81
GM310 - GMO WITH SET AND RESET	4.0	2.75	.80

NEGATIVE TRIGGERED LATCHES/SLAVE MODULES

LAB10 - TRANSPARENT D-LATCH WITH LOW ENABLE	3.0	2.50	2.11
LAB20 - TRANSPARENT D-LATCH WITH LOW ENABLE	3.0	3.00	5.20
GS010 - SLAVE MODULE (RN/SN INPUT)	4.0	2.75	.72
GS110 - GSO WITH RESET	4.0	3.00	.84
GSS10 - GSO WITH SET	4.0	3.00	.72
GS210 - GSO WITH SET AND RESET	4.0	3.00	.84

FLIP-FLOPS

DBF20 - D-TYPE EDGE TRIGGERED FF WITH RESET AND CLEAR	10.5	7.75	3.76
DFC20 - D-TYPE EDGE TRIGGERED FF WITH CLEAR	7.5	7.25	3.39
DFN20 - D-TYPE EDGE TRIGGERED FF	9.0	6.50	2.71
DFP20 - D-TYPE EDGE TRIGGERED FF WITH RESET	7.0	7.00	3.49
DFY20 - D-TYPE EDGE TRIGGERED WITH PRESET (D LOW)	8.0	5.75	4.63
JKB20 - J-KBAR MASTER/SLAVE FF WITH PRESET AND CLEAR (POS. TRIG)	11.0	10.00	4.81

<u>FLIP-FLOPS (continued)</u>	<u>GATES</u>	<u>AREA</u>	<u>Cap (pF)</u>
JKB21 - J-KBAR MASTER/SLAVE FF WITH PRESET AND CLEAR (NEG. TRIG)	10.5	10.25	4.97
TAB20 - T-TYPE FF WITH PRESET AND CLEAR	9.0	7.75	4.20
TAC20 - T-TYPE FF WITH CLEAR	9.0	7.75	3.79
TAP20 - T-TYPE FF WITH PRESET	9.0	7.00	3.59

REGISTERS

R2401 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT	25.0	25.25	10.30
R2402 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT, Q AND QB OUT	25.0	28.25	12.10
R2403 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT	25.0	31.25	11.10
R2404 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT, Q AND QB OUT	25.0	34.25	12.10
R2405 - 4 BIT D-TYPE FLIP-FLOP	23.0	23.25	10.20
R2406 - 4 BIT D-TYPE FLIP-FLOP, Q AND QB OUT	23.0	26.25	11.70
R2407 - 4 BIT D-TYPE FLIP-FLOP, 3 STATE	23.0	26.25	11.00
R2408 - 4 BIT RIPPLE UP COUNTER	25.0	28.25	7.22

APENDICE E

ESPECIFICACIONES SYSTEMCELL 1.5 MICRAS

Family Specification

..

GENERAL DESCRIPTION

This high-speed, standard cell family offers the circuit designer the facility to create an ASIC circuit in a double metal CMOS process. To do so, he has at his disposal a unique set of CAD tools.

Circuits are of the 'standard temperature range' type (-40 to +85 degrees C).

The basis for the design procedure is formed by a logic network description which outlines the required logic in terms of basic functions. A simulation control language is used to check this logic, simulate it with actual propagation delay times and generate test patterns.

The network and cell placement procedure is input for the automatic placement and router program, AUTOCELL. This program interconnects cells and blocks and then connects the peripheral cells and bonding pads. AUTOCELL also directly generates the mask pattern tape.

This extensive and comprehensive CAD procedure gives designers very fast turn around times for LSI prototypes.

FEATURES

- Fast development time
- CAD tools enable customers to make their own designs from logic to mask pattern tape.
- Network descriptions are made using a comprehensive library of fully defined cell functions.
- Designing is as easy as with standard SSI or MSI.
- Design changes can be easily incorporated.
- Low-power CMOS technology with wide supply voltage range, high noise immunity and high speed operation.
- Supply voltage range 3.0 V to 5.5 V.
- Compatible with most other logic families
- Post processors for test vector generation and test coverage.

FAMILY CHARACTERISTICS

For the logic part of the circuit a comprehensive cell library includes:

- inverters, buffers
- (n)ands, (n)ors, ex(n)ors
- multiplexers, decoders
- boolean functions
- 4 bit shift registers, 4 bit D flip flops
- 4 bit binary ripple counter
- master-, slave-, D type and toggle flip flops, with or without set and/or reset
- latches, J-KN- and scan test flip flops

Peripheral cells available:

Inputs

- buffer inputs
- Schmitt trigger inputs

All inputs with CMOS or TTL levels, and non-inverting

Peripheral cells available cont. :

Outputs

- push-pull outputs
 - open drain-N outputs
 - tri-state outputs
- All outputs are of the types 4mA, 8mA, 12mA, 16mA

I/O cells

- buffer or Schmitt trigger inputs
- tri-state outputs

All I/O cells with non-inverting CMOS or TTL levels and outputs are of the types 4mA, 8mA, 12mA, 16mA

Other functions

- extra VDD and VSS
- optional pull-up, pull-down
- 4mA output buffer can be used as an array cell,
- eg. clock drive.
- RC and crystal oscillators

RECOMMENDED OPERATING CONDITIONS

Voltages are referenced to VSS (-0V)

Symbol	Parameter	min	typ	max	unit	Condition
VDD	DC supply voltage	3.0	5.0	5.5	V	Only CMOS inputs and CMOS I/Os are used
VDD	DC supply voltage	4.5	5.0	5.5	V	One or more TTL inputs and/or TTL I/Os are used
V _I	DC input voltage range	0		VDD	V	
V _O	DC output voltage range	0		VDD	V	
T _{amb}	Operating ambient temperature range	-40		+85	deg C	
t _r , t _f	Input rise and fall times; except for Schmitt-trigger inputs		6	500 250 200	ns ns ns	VDD= 3.0 V VDD= 4.5 V VDD= 5.5 V

MAXIMUM RATINGS

Functional operation under these conditions is not implied.
Limiting values in accordance with the Absolute Maximum System (IEC134).
Beyond these values, damage to the device may occur.

Symbol	Parameter	Min	Max	Unit	Condition
VDD	DC supply voltage	-0.5	+6.5	V	
+/- Iik	DC input clamp diode current		10	mA	for $V_i < -0.5V$ or $V_i > VDD + 0.5V$
+/- Iok	DC output clamp diode current output type 4mA/8mA/12mA/16mA		20/40 60/80	mA	for $V_o < -0.5V$ or $V_o > VDD + 0.5V$
+/- Io	DC output source or sink current output type 4mA/8mA/12mA/16mA		20/40 60/80	mA	$-0.5 < V_o < VDD + 0.5V$
+/- IDD +/- ISS	DC VDD or VSS current per supply pin		50	mA	
Tstg	Storage temperature range	-65	+150	deg. C.	
P	Power dissipation per output type 4mA/8mA/12mA/16mA		50/100 200/400	mW	
Ptot	Power dissipation per package plastic DIL		750	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 12.5 mW/K
Ptot	Power dissipation per package plastic minipack (SO)		400	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 6 mW/K
Ptot	Power dissipation per package ceramic (Cerdip) DIL		500	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 8 mW/K
Ptot	Power dissipation per package PLCC		750	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 12.5 mW/K

DC CHARACTERISTICS

Voltages referenced to VSS (=0V)

VDD = 3.0 to 5.5 V unless otherwise specified.

Symb	Parameter	+ 25			- 40 to + 85		unit	condition
		min	typ	max	min	max		
VIH	High level input voltage	2.1			2.1		V	VDD = 3.0 V
	CMOS input	3.15			3.15		V	VDD = 4.5 V
	no Schmitt trigger	3.85			3.85		V	VDD = 5.5 V
VIL	Low level input voltage			0.9		0.9	V	VDD = 3.0 V
	Direct input			1.35		1.35	V	VDD = 4.5 V
	no Schmitt trigger			1.65		1.65	V	VDD = 5.5 V
VIH	High level input voltage	2.0			2.0		V	VDD = 4.5 V
	TTL input	2.0			2.0		V	VDD = 5.0 V
	no Schmitt trigger	2.0			2.0		V	VDD = 5.5 V
VIL	Low level input voltage			0.8		0.8	V	VDD = 4.5 V
	TTL input			0.8		0.8	V	VDD = 5.0 V
	no Schmitt trigger			0.8		0.8	V	VDD = 5.5 V
Vth	Positive-going threshold CMOS input with Schmitt trigger			2.4		2.4	V	VDD = 3.0 V
				3.6		3.6	V	VDD = 4.5 V
				4.4		4.4	V	VDD = 5.5 V
Vth	Negative-going threshold CMOS input with Schmitt trigger	0.6			0.6		V	VDD = 3.0 V
		0.9			0.9		V	VDD = 4.5 V
		1.1			1.1		V	VDD = 5.5 V
Vhys	Hysteresis voltage Direct Input		1.0				V	VDD = 3.0 V
			1.5				V	VDD = 4.5 V
	with Schmitt trigger		1.9				V	VDD = 5.5 V
Vth	Positive-going threshold TTL input with Schmitt trigger			2.4		2.4	V	VDD = 4.5 V
				2.4		2.4	V	VDD = 5.0 V
				2.4		2.4	V	VDD = 5.5 V
Vth	Negative-going threshold TTL input with Schmitt trigger	0.6			0.6		V	VDD = 4.5 V
		0.6			0.6		V	VDD = 5.0 V
		0.6			0.6		V	VDD = 5.5 V
Vhys	Hysteresis voltage TTL-Input		0.6				V	VDD = 4.5 V
			0.8				V	VDD = 5.0 V
	with Schmitt trigger		0.8				V	VDD = 5.5 V

DC CHARACTERISTICS (cont.)

Voltages referenced to VSS (= 0 V)

VDD = 3.0 to 5.5 V unless otherwise specified.

Symb	Parameter	+25		-40 to +85		unit	Condition		
		min	max	min	max		VDD	VI	Other
VOH	High level output voltage (note 3) all outputs	2.9		2.9		V	3.0V	V _{IH}	-I _o = 20 µA
		4.4		4.4		V	4.5V	or	-I _o = 20 µA
		5.4		5.4		V	5.5V	V _{IL}	-I _o = 20 µA
VOH	High level output voltage (note 1) output xxF4x	2.6		2.5		V	3.0V	V _{IH}	-I _o = 2.7 mA
		4.1		4.0		V	4.5V	or	-I _o = 3.5 mA
		5.1		5.0		V	5.5V	V _{IL}	-I _o = 4.0 mA
VOL	Low level output voltage (note 3) all outputs		0.1		0.1	V	3.0V	V _{IH}	-I _o = 20 µA
			0.1		0.1	V	4.5V	or	-I _o = 20 µA
			0.1		0.1	V	5.5V	V _{IL}	-I _o = 20 µA
VOL	Low level output voltage (note 1) output xxF4x		0.4		0.5	V	3.0V	V _{IH}	-I _o = 2.0 mA
			0.4		0.5	V	4.5V	or	-I _o = 3.5 mA
			0.4		0.5	V	5.5V	V _{IL}	-I _o = 4.0 mA
+/- I _{oz}	3-state output OFF state (note 3)		0.5		5.0	µA	5.5V	V _{IH} or V _{IL}	V _o = VDD or VSS
+/- I _i	Input leakage current		0.1		1.0	µA	5.5V	VDD or VSS	
IDD	Quiescent supply current (note 4)		0.1		1.0	mA	5.5V	VDD or VSS	I _o = 0 µA
R _{pull}	Pull-up or pull-down resistor (note 2)	65 35 30	210 100 70	45 25 20	315 160 125	kOHM kOHM kOHM	3.0V 4.5V 5.5V		

Note 1: Output stage xxF8x : 2 * I_o of xxF4x
Output stage xxF4x : 3 * I_o of xxF4x
Output stage xxF4x : 4 * I_o of xxF4x

Note 2: Pull-up and pull-down resistances are active transistors.
Resistor figures are given for pull-up : input at VSS voltage
and for pull-down : input at VDD voltage

Note 3: Not valid if a pull-up/pull-down resistor is used

Note 4: Not valid if a combination of pull-up and pull-down resistors is used

SystemCell II cell library

ASIC

AC CHARACTERISTICS

Output transition times

VSS = 0 V; Inputs: tr = tf = 6 ns; Outputs: Cl = 50 pF

Output Type	Symbol	25 deg. C			-40 to +85		unit	VDD (V)	Typical extrapolation formula at 25 deg. C.	
		min	typ	max	min	max				
4 mA	↑THL		13	41		52	ns	3.0	$6.3 \text{ ns} + (0.13 \text{ ns/pF})C_l$	@
	↑THL		3.5	10		13	ns	4.5	$1.6 \text{ ns} + (0.031 \text{ ns/pF})C_l$	@
	↑THL		2.5	7		9	ns	5.5	$1.1 \text{ ns} + (0.021 \text{ ns/pF})C_l$	@
	↓TLH		13	43		55	ns	3.0	$6.5 \text{ ns} + (1.32 \text{ ns/pF})C_l$	@
	↓TLH		3.5	11		14	ns	4.5	$1.7 \text{ ns} + (0.033 \text{ ns/pF})C_l$	@
	↓TLH		2.5	7		9	ns	5.5	$1.1 \text{ ns} + (0.023 \text{ ns/pF})C_l$	@
8 mA	↑THL		10	31		39	ns	3.0	$6.2 \text{ ns} + (0.062 \text{ ns/pF})C_l$	@
	↑THL		2.5	8		10	ns	4.5	$1.6 \text{ ns} + (0.016 \text{ ns/pF})C_l$	@
	↑THL		2.0	5		7	ns	5.5	$1.1 \text{ ns} + (0.011 \text{ ns/pF})C_l$	@
	↓TLH		10	31		39	ns	3.0	$6.8 \text{ ns} + (0.056 \text{ ns/pF})C_l$	@
	↓TLH		2.5	8		10	ns	4.5	$1.7 \text{ ns} + (0.014 \text{ ns/pF})C_l$	@
	↓TLH		2.0	5		7	ns	5.5	$1.2 \text{ ns} + (0.010 \text{ ns/pF})C_l$	@
12 mA	↑THL		10	31		39	ns	3.0	$6.2 \text{ ns} + (0.062 \text{ ns/pF})C_l$	@
	↑THL		2.5	8		10	ns	4.5	$1.6 \text{ ns} + (0.016 \text{ ns/pF})C_l$	@
	↑THL		2.0	5		7	ns	5.5	$1.1 \text{ ns} + (0.011 \text{ ns/pF})C_l$	@
	↓TLH		10	31		39	ns	3.0	$6.8 \text{ ns} + (0.056 \text{ ns/pF})C_l$	@
	↓TLH		2.5	8		10	ns	4.5	$1.7 \text{ ns} + (0.014 \text{ ns/pF})C_l$	@
	↓TLH		2.0	5		7	ns	5.5	$1.2 \text{ ns} + (0.010 \text{ ns/pF})C_l$	@
16 mA	↑THL		10	31		39	ns	3.0	$6.2 \text{ ns} + (0.062 \text{ ns/pF})C_l$	@
	↑THL		2.5	8		10	ns	4.5	$1.6 \text{ ns} + (0.016 \text{ ns/pF})C_l$	@
	↑THL		2.0	5		7	ns	5.5	$1.1 \text{ ns} + (0.011 \text{ ns/pF})C_l$	@
	↓TLH		10	31		39	ns	3.0	$6.8 \text{ ns} + (0.056 \text{ ns/pF})C_l$	@
	↓TLH		2.5	8		10	ns	4.5	$1.7 \text{ ns} + (0.014 \text{ ns/pF})C_l$	@
	↓TLH		2.0	5		7	ns	5.5	$1.2 \text{ ns} + (0.010 \text{ ns/pF})C_l$	@

Lines ending in @ may be changed.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

Dynamic Power Dissipation (Pd) and Capacitance per Package (Cpd)

Typical Cpd value range: 20 to 200 pF.
The lower value is applied when only a small part of the internal logic is being accessed during dynamic operation. This is comparable to SSI/FF complexity.

When a larger part of the internal logic is accessed, Cpd can rise to 200 pF or more. The amount of logic here would be comparable to MSI complex logic, eg. a 64 bit shift register with alternating HIGH-LOW levels at the D-input.

Cpd is used to determine the dynamic power dissipation (Pd in uW). It is the average equivalent device capacitance of all internal nodes that are being accessed during typical operation.

$$Pd = Cpd \cdot VDD \cdot VDD \cdot f + \text{SUM} (Cl \cdot VDD \cdot VDD \cdot fo)$$

Where:

- f = input frequency in MHz
- fo = output frequency in MHz
- SUM (Cl · VDD · VDD · fo) = sum of outputs
- Cl = output load capacitance in pF
- VDD = supply voltage in V



APENDICE F

Packages

..

*** SURVEY OF ALLOWED ENVELOPES FOR SYSTEMCELL II ***						
ENVELOPE TYPE	MR OF PINS	ENVELOPE	D.P.S. MM		MAX D.S. MM **	
			X	Y	X	Y
	14	SOT 27 ..7	1.78	X 1.78	1.37	X 1.26
	14	SOT 27 ..8	2.79	X 3.81	2.38	X 3.21
	14	SOT 27 ..9	3.68	X 4.45	3.20	X 3.79
	16	SOT 38 ..11	2.16	X 2.29	1.75	X 1.77
	16	SOT 38 ..12	2.79	X 3.81	2.38	X 3.21
	16	SOT 38 ..13	3.81	X 4.39	3.32	X 3.73
DIL	18	SOT 102 ..11	3.00	X 3.50	2.59	X 2.93
	18	SOT 102 ..3	3.40	X 3.00	2.95	X 4.28
	20	SOT 146 ..4	3.30	X 3.56	2.86	X 2.98
	20	SOT 146 ..6	3.50	X 5.60	3.04	X 4.82
	24	SOT 101 ..3	4.20	X 5.20	3.67	X 4.46
	24	SOT 101 ..11	5.40	X 6.20	4.75	X 5.36
	28	SOT 117 ..11	4.20	X 5.20	3.67	X 4.46
P	28	SOT 117 ..22	5.40	X 6.20	4.75	X 5.36
L	28	SOT 117 ..3	6.20	X 7.20	5.47	X 6.26
A	40	SOT 129 ..1	4.57	X 4.57	4.00	X 4.89
S	40	SOT 129 ..2	5.33	X 5.84	4.69	X 5.04
T	40	SOT 129 ..3	6.60	X 6.76	5.83	X 5.86
X	40	SOT 129 ..5	7.62	X 7.62	6.75	X 6.64
C						
SO	14	SOT 108 ..7	2.10	X 3.60	1.69	X 3.02
small	16	SOT 109 ..7	2.10	X 3.60	1.69	X 3.02
SO	16	SOT 162 ..6	3.00	X 4.00	2.59	X 3.38
large	16	SOT 162 ..6	4.20	X 5.20	3.67	X 4.46
	20	SOT 163 ..6	3.00	X 4.00	2.59	X 3.38
	20	SOT 163 ..6	4.20	X 5.20	3.67	X 4.46
	24	SOT 137 ..1	4.20	X 5.20	3.67	X 4.46
	28	SOT 136 ..4	4.20	X 5.20	3.67	X 4.46
	28	SOT 136 ..5	5.00	X 7.40	4.39	X 6.44
PLCC	44	SOT 187 . 1	6.60	X 6.60	5.83	X 5.72
	44	SOT 187 . 2	8.89	X 8.89	7.89	X 7.78
	44	SOT 187 . 3	10.92	X 10.92	9.71	X 9.60
	68	SOT 188 . 1	7.62	X 7.62	6.75	X 6.64
	68	SOT 188 . 5	10.41	X 10.41	9.26	X 9.15
	84	SOT 189 . .	9.14	X 9.14	8.12	X 8.01
	64	SOT 208 . 1	6.00	X 6.00	5.49	X 5.38
	64	SOT 208 . 2	7.40	X 7.40	6.89	X 6.78
	80	SOT 219 . 1	6.40	X 6.40	5.89	X 5.78
QFP	80	SOT 219 . 2	8.00	X 8.00	7.49	X 7.38
	100	SOT 210 . 1	8.00	X 8.00	7.49	X 7.38
	120	SOT 220 . 1	9.00	X 9.00	8.49	X 8.38
V	120	SOT 220 . 2	10.30	X 10.30	9.79	X 9.68

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



*** SURVEY OF ALLOWED ENVELOPES FOR SYSTEMCELL II ***

ENVELOPE REF.		ENVELOPE	D.P.S.		MAX D.S.	
TYPE	PINS		MM	MM	MM	**
	14	SOT 83 . 0	4.45 X 5.59	3.69 X 4.78		
	16	SOT 84 . 4	3.81 X 5.59	3.19 X 4.78		
	16	SOT 84 . 0	4.45 X 5.59	3.69 X 4.78		
	CER-18	SOT 85 . 0	4.32 X 5.59	3.69 X 4.78		
	DIL 20	SOT 154 . 0	4.42 X 5.46	3.69 X 4.78		
	C 24	SOT 86 . 6	6.35 X 6.35	5.69 X 5.58		
	E 24	SOT 86 . 7	7.87 X 7.87	7.19 X 7.08		
	R 28	SOT 87 . 5	6.35 X 6.35	5.69 X 5.58		
	A 28	SOT 87 . 6	7.87 X 7.87	7.19 X 7.08		
	M 40	SOT 88 . 5	7.87 X 7.87	7.19 X 7.08		
	I					
	C 68	NO 293 . 1	7.39 X 7.39	5.76 X 5.65		
	68	NO 293 . 2	11.18 X 11.18	9.55 X 9.44		
	PGA 84	NO 291 . 2	8.89 X 8.89	7.26 X 7.15		
	84	NO 291 . .	10.16 X 10.16	8.53 X 8.42		
	84	NO 291 . 3	11.18 X 11.18	9.55 X 9.44		
	120	NO 292 . 2	8.26 X 8.26	6.62 X 6.51		
	120	NO 292 . 1	11.00 X 11.00	9.36 X 9.25		
	144	NO 275 . 2	10.16 X 10.16	8.53 X 8.42		
	V 144	NO 275 . 1	11.99 X 11.99	10.35 X 10.24		

** MAX. D. S. WITHOUT SAWFLAME.

APENDICE 6

EDICION DE MACROS

(De-Compiled Library)

PREFIX
END

'A1'

REFERENCE 'A1'
(X Size =) 18 (Y Size =) 8 (Parts per Package =) 0
B6 OUT 'F0'
B8 OUT 'F1'
B10 OUT 'F2'
B12 OUT 'F3'
L5 IN 'PN'
L3 IN 'GN'
T2 IN 'I3'
T3 IN 'I4'
T4 IN 'I5'
T6 IN 'RO'
T7 IN 'R1'
T8 IN 'R2'
T9 IN 'R3'
T11 IN 'S0'
T12 IN 'S1'
T13 IN 'S2'
T14 IN 'S3'
T16 IN 'CI'

'A2'

REFERENCE 'A2'
(X Size =) 18 (Y Size =) 8 (Parts per Package =) 0
B6 OUT 'F0'
B8 OUT 'F1'
B10 OUT 'F2'
B12 OUT 'F3'
L7 OUT 'CO'
L5 OUT 'PN'
L3 OUT 'GN'
T2 IN 'I3'
T3 IN 'I4'
T4 IN 'I5'
T6 IN 'RO'
T7 IN 'R1'
T8 IN 'R2'
T9 IN 'R3'
T11 IN 'S0'
T12 IN 'S1'
T13 IN 'S2'
T14 IN 'S3'
T16 IN 'CI'

'DEC'

REFERENCE 'DEC'
(X Size =) 8 (Y Size =) 10 (Parts per Package =) 0
L4 OUT 'S0'
L6 OUT 'S1'
B3 CLK IN 'CLK'
R2 IN 'W3'
R4 IN 'W2'
R6 IN 'W1'
R8 IN 'W0'

'B18'
 REFERENCE 'B18'
 8 7 0
 T1 CLK IN 'CLK'
 T3 IN 'D3'
 T4 IN 'D2'
 T5 IN 'D1'
 T6 IN 'DO'
 B3 OUT 'Y3'
 B4 OUT 'Y2'
 B5 OUT 'Y1'
 B6 OUT 'YO'

'A18'
 REFERENCE 'A18'
 8 7 0
 T2 CLK IN 'CLK'
 T5 IN 'D2'
 T6 IN 'D1'
 T7 IN 'DO'
 B5 OUT 'Y2'
 B6 OUT 'Y1'
 B7 OUT 'YO'

'A51'
 REFERENCE 'A51'
 13 4 0
 T1 IN 'C'
 T2 IN 'B'
 T3 IN 'A'
 T4 IN 'D7'
 T5 IN 'D6'
 T6 IN 'D5'
 T7 IN 'D4'
 T8 IN 'D3'
 T9 IN 'D2'
 T10 IN 'D1'
 T11 IN 'DO'
 B6 OUT 'Y'

'A53'
 REFERENCE 'A53'
 12 6 0
 T1 IN 'S2'
 T2 IN 'S1'
 T4 IN 'AO'
 T5 IN 'BO'
 T6 IN 'CO'
 T7 IN 'DO'
 T8 IN 'A1'
 T9 IN 'B1'
 T10 IN 'C1'
 T11 IN 'D1'
 B4 OUT 'Y1'
 B8 OUT 'YO'

```

'A80'
REFERENCE 'A80'
10      8      0
T1      IN    'A'
T2      IN    'B'
T3      IN    'C'
T4      IN    'D'
T5      IN    'E'
T6      IN    'F'
T7      IN    'G'
T8      IN    'H'
B5      OUT   'EVEN'

```

```

'A20'
REFERENCE 'A20'
14      8      0
T2      IN    'EN'
T4      CLK IN  'CLK'
T6      IN    'D7'
T7      IN    'D6'
T8      IN    'D5'
T9      IN    'D4'
T10     IN    'D3'
T11     IN    'D2'
T12     IN    'D1'
T13     IN    'D0'
B6      OUT   'Y7'
B7      OUT   'Y6'
B8      OUT   'Y5'
B9      OUT   'Y4'
B10     OUT   'Y3'
B11     OUT   'Y2'
B12     OUT   'Y1'
B13     OUT   'Y0'

```

```

'B20'
REFERENCE 'B20'
13      8      0
T1      IN    'CLRN'
T2      IN    'EN'
T3      CLK IN  'CLK'
T5      IN    'D7'
T6      IN    'D6'
T7      IN    'D5'
T8      IN    'D4'
T9      IN    'D3'
T10     IN    'D2'
T11     IN    'D1'
T12     IN    'D0'
B5      OUT   'Y7'
B6      OUT   'Y6'
B7      OUT   'Y5'
B8      OUT   'Y4'
B9      OUT   'Y3'
B10     OUT   'Y2'
B11     OUT   'Y1'
B12     OUT   'Y0'

```

```

'A74'
REFERENCE 'A74'
13          7          0
T2          CLK IN  'CLK'
T5          IN  'D7'
T6          IN  'D6'
T7          IN  'D5'
T8          IN  'D4'
T9          IN  'D3'
T10         IN  'D2'
T11         IN  'D1'
T12         IN  'D0'
B5          OUT 'Y7'
B6          OUT 'Y6'
B7          OUT 'Y5'
B8          OUT 'Y4'
B9          OUT 'Y3'
B10         OUT 'Y2'
B11         OUT 'Y1'
B12         OUT 'Y0'

```

```

'A85'
REFERENCE 'A85'
6          4          0
T1          IN  'B3'
T2          IN  'B2'
T3          IN  'B1'
T5          IN  'A'
B3          OUT 'Y'

```

```

'MUX1'
REFERENCE 'MUX1'
4          4          0
T1          IN  'B'
T2          IN  'A'
T3          IN  'S'
B2          OUT 'Y'

```

```

'MUX2'
REFERENCE 'MUX2'
7          4          0
T1          IN  'D'
T2          IN  'C'
T3          IN  'B'
T4          IN  'A'
T5          IN  'S2'
T6          IN  'S1'
B4          OUT 'Y'

```

```

'MUX3'
REFERENCE 'MUX3'
7          4          0
T1          IN  'D'
T2          IN  'C'
T3          IN  'B'
T4          IN  'S2'
T5          IN  'S1'
B4          OUT 'Y'

```

'CO1'
REFERENCE 'CO1'

35 10 0
T1 I/O 'R3'
T2 I/O 'RO'
T3 IN 'C'
T5 CLK IN 'CLK'
T6 IN 'CI'
T8 IN 'I8'
T9 IN 'I7'
T10 IN 'I6'
T11 IN 'I5'
T12 IN 'I4'
T13 IN 'I3'
T14 IN 'I2'
T15 IN 'I1'
T16 IN 'IO'
T18 IN 'D3'
T19 IN 'D2'
T20 IN 'D1'
T21 IN 'DO'
T23 IN 'B3'
T24 IN 'B2'
T25 IN 'B1'
T26 IN 'BO'
T28 IN 'A3'
T29 IN 'A2'
T30 IN 'A1'
T31 IN 'AO'
B18 OUT 'Y3'
B19 OUT 'Y2'
B20 OUT 'Y1'
B21 OUT 'YO'
B9 OUT 'CO'
B10 OUT 'F3'
B11 OUT 'FO'

'B02'
REFERENCE 'B02'

10 8 0
T1 IN 'C1N'
T2 IN 'G3N'
T3 IN 'P3N'
T4 IN 'G2N'
T5 IN 'P2N'
T6 IN 'G1N'
T7 IN 'P1N'
T8 IN 'GON'
T9 IN 'PON'
B2 OUT 'CXO'
B4 OUT 'CX1'
B6 OUT 'CY'
B8 OUT 'CZ'

'A01'
REFERENCE 'A01'

32 10 0

T1	I/O	'R3'
T2	I/O	'R0'
T3	IN	'C'
T5	CLK IN	'CLK'
T6	IN	'C1'
T8	IN	'I8'
T9	IN	'I7'
T10	IN	'I6'
T11	IN	'I5'
T12	IN	'I4'
T13	IN	'I3'
T14	IN	'I2'
T15	IN	'I1'
T16	IN	'I0'
T18	IN	'D3'
T19	IN	'D2'
T20	IN	'D1'
T21	IN	'D0'
T23	IN	'B3'
T24	IN	'B2'
T25	IN	'B1'
T26	IN	'B0'
T28	IN	'A3'
T29	IN	'A2'
T30	IN	'A1'
T31	IN	'A0'
B18	OUT	'Y3'
B19	OUT	'Y2'
B20	OUT	'Y1'
B21	OUT	'Y0'
B11	OUT	'F0'
B12	OUT	'GN'
B13	OUT	'PN'

'D57'
REFERENCE 'D57'

10 6 0

T1	IN	'B3'
T2	IN	'A3'
T3	IN	'B2'
T4	IN	'A2'
T5	IN	'B1'
T6	IN	'A1'
T7	IN	'B0'
T8	IN	'A0'
T9	IN	'S'
B2	OUT	'Y3'
B4	OUT	'Y2'
B6	OUT	'Y1'
B8	OUT	'Y0'

'B01'
 REFERENCE 'B01'

35	10		0
T1	I/O	'R3'	
T2	I/O	'R0'	
T3	IN	'C'	
T5	CLK IN	'CLK'	
T6	IN	'CI'	
T8	IN	'I8'	
T9	IN	'I7'	
T10	IN	'I6'	
T11	IN	'I5'	
T12	IN	'I4'	
T13	IN	'I3'	
T14	IN	'I2'	
T15	IN	'I1'	
T16	IN	'I0'	
T18	IN	'D3'	
T19	IN	'D2'	
T20	IN	'D1'	
T21	IN	'D0'	
T23	IN	'B3'	
T24	IN	'B2'	
T25	IN	'B1'	
T26	IN	'B0'	
T28	IN	'A3'	
T29	IN	'A2'	
T30	IN	'A1'	
T31	IN	'A0'	
B18	OUT	'Y3'	
B19	OUT	'Y2'	
B20	OUT	'Y1'	
B21	OUT	'Y0'	
B10	OUT	'CO'	
B11	OUT	'FO'	
B12	OUT	'GN'	
B13	OUT	'PN'	

'A3'
 REFERENCE 'A3'

(X Size =)	18	(Y Size =)	8	(Parts per Package =)	0
B6	OUT	'FO'			
B8	OUT	'F1'			
B10	OUT	'F2'			
B12	OUT	'F3'			
L4	OUT	'CO'			
T2	IN	'I3'			
T3	IN	'I4'			
T4	IN	'I5'			
T6	IN	'R0'			
T7	IN	'R1'			
T8	IN	'R2'			
T9	IN	'R3'			
T11	IN	'S0'			
T12	IN	'S1'			
T13	IN	'S2'			
T14	IN	'S3'			
T16	IN	'CI'			

'REG'					
REFERENCE	'REG'	(X Size =)	(Y Size =)	8	(Parts per Package =)
		10			0
B1	OUT		'A0'		
B2	OUT		'A1'		
B3	OUT		'A2'		
B4	OUT		'A3'		
B6	OUT		'B0'		
B7	OUT		'B1'		
B8	OUT		'B2'		
B9	OUT		'B3'		
T2	IN		'D0'		
T4	IN		'D1'		
T6	IN		'D2'		
T8	IN		'D3'		
R3	IN		'S0'		
R5	IN		'S1'		
L4	IN		'S2'		

'B53'					
REFERENCE	'B53'	(X Size =)	(Y Size =)	8	(Parts per Package =)
		10			0
T1	IN		'A'		
T2	IN		'G1'		
T3	IN		'GO'		
T5	IN		'B1'		
T6	IN		'A1'		
T8	IN		'BO'		
T9	IN		'AO'		
B3	OUT		'Y1'		
B7	OUT		'YO'		

'A57'					
REFERENCE	'A57'	(X Size =)	(Y Size =)	8	(Parts per Package =)
		4			0
T1	IN		'B'		
T2	IN		'A'		
T3	IN		'S'		
B2	OUT		'Y'		

'B57'					
REFERENCE	'B57'	(X Size =)	(Y Size =)	8	(Parts per Package =)
		6			0
T1	IN		'B1'		
T2	IN		'A1'		
T3	IN		'BO'		
T4	IN		'AO'		
T5	IN		'S'		
B2	OUT		'Y1'		
B4	OUT		'YO'		

'C57'					
REFERENCE	'C57'	(X Size =)	(Y Size =)	8	(Parts per Package =)
		8			0
T1	IN		'B2'		
T2	IN		'A2'		
T3	IN		'B1'		
T4	IN		'A1'		
T5	IN		'BO'		
T6	IN		'AO'		
T7	IN		'S'		
B2	OUT		'Y2'		
B4	OUT		'Y1'		
B6	OUT		'YO'		

APENDICE H

LISTA DE PARTES

Item	Quantity	Reference	Part
1	5	MUX810, MUX811, MUX812, MUX813, MUX814	A51
2	2	MUX20, MUX21	A57
3	1	MUX22	B57
4	1	MUX220	B53
5	2	MUX30, MUX31	C57
6	2	MUX240, MUX241	A53
7	6	MUX40, MUX41, MUX42, MUX43, MUX44, MUX45	D57
8	1	PROCESO3	C01
9	1	PROCESO2	B01
10	2	PROCESO1, PROCESO0	A01
11	1	PAR	A80
12	2	COMPO, COMP1	A85
13	1	CLA	B02
14	3	REG85, REG83, REG84	A20
15	2	REG80, REG82	A74
16	1	REG81	B20
17	21	BUA21, BUA5, BUA6, BUA7, BUA8, BUA9, BUA10, BUA11, BUA12, BUA13, BUA14, BUA15, BUA16, BUA17, BUA18, BUA19, BUA20, BUA22, BUA23, BUA24, BUA25	BU262
18	1	REG40	A18
19	1	REG30	B18
20	1	INVER9	IV110
21	9	B0, B1, B2, B3, B4, B5, B8, B9	BU130
22	16	BUA46, BUA34, BUA35, BUA36, BUA37, BUA38, BUA39, BUA40, BUA41, BUA42, BUA43, BUA44, BUA45, BUA47, BUA48, BUA49	BU222

UNIDAD DE EJECUCION UEF.DRT
27

Bill Of Materials

January 1, 1980

Revised:

Revision: 1

16:47:28

Item	Quantity	Reference	Part
23	1	INVER15	IV130
24	1	AND0	AN440
25	12	INVER5,B02,B04,B05, INVER6,B07,INVER7,INVER8, INVER11,INVER12,INVER13, INVER14	IV180
26	1	INVER10	IV120
27	2	ORA1,ORA0	OR240
28	1	NAUE	NA260
29	1	BO9	NO240
30	4	B08,B01,B03,B06	NA240

Bill Of Materials DEC

June 23, 1989

Revised: January 4, 1980

Revision: 17:47:13

Page 1

Item	Quantity	Reference	Part
1	1	INVO	IV100
2	2	AND2,AND1	AN240
3	1	AND3	AN440

Bill Of Materials REG

June 23, 1989

Revised: June 2, 1989

Revision: 17:48:15

Page 1

Item	Quantity	Reference	Part
1	4	LA1,LA2,LA3,LA4	LAH10
2	8	BUS,BU6,BU7,BU8,BU9,BU10, BU11,BU12	BUS262

Item	Quantity	Reference	Part
1	16	REG1, REG2, REG3, REG4, REG5, REG6, REG7, REG8, REG9, REG10, REG11, REG12, REG13, REG14, REG15, REG16	
2	16	DEC1, DEC2, DEC3, DEC4, DEC5, DEC6, DEC7, DEC8, DEC9, DEC10, DEC11, DEC12, DEC13, DEC14, DEC15, DEC16	
3	18	BU7, BN1, BN2, BN3, BN4, BN5, BN6, BN7, BN8, BN9, BN10, BN11, BN12, BN13, BN14, BN15, BU18, BNO	BU130
4	62	INV51, INV1, INV2, INV4, INV5, INV6, INV7, INV8, INV9, INV10, INV11, INV12, INV13, INV14, INV15, INV16, INV17, INV18, INV19, INV20, INV21, INV22, INV23, INV24, INV25, INV26, INV27, INV28, INV29, INV30, INV31, INV32, INV33, INV34, INV35, INV36, INV37, INV38, INV39, INV40, INV41, INV42, INV44, INV45, INV46, INV47, INV48, INV49, INV50, INV52, INV53, INV54, INV55, INV56, INV57, INV58, INV59, INV60, INV61, INV62, INV63, INV64	IV130
5	1	A1	A1
6	4	MUX3, MUX1, MUX2, MUX4	MUX3
7	8	MUX5, MUX6, MUX7, MUX8, MUX9, MUX10, MUX11, MUX12	MUX2
8	4	MUX13, MUX14, MUX15, MUX16	MUX1
9	2	INV3, INV43	IV110
10	2	B14, B13	BU262
11	3	BU17, BU16, BU19	BU120
12	3	NAS, NAB1, NAB2	NA260
13	8	LA12, LA5, LA6, LA7, LA8, LA9, LA10, LA11	LAH20
14	4	INV73, INV70, INV71, INV72	IV140

Item	Quantity	Reference	Part
15	17	AND33, AND17, AND18, AND19, AND20, AND21, AND22, AND23, AND24, AND25, AND26, AND27, AND28, AND29, AND30, AND31, AND32	AN440
16	16	AND16, AND1, AND2, AND3, AND4, AND5, AND6, AND7, AND8, AND9, AND10, AND11, AND12, AND13, AND14, AND15	AN240
17	1	INV69	IV160
18	2	NAB3, NAB4	NA240

Item	Quantity	Reference	Part
1	16	REG1, REG2, REG3, REG4, REG5, REG6, REG7, REG8, REG9, REG10, REG11, REG12, REG13, REG14, REG15, REG16	REG
2	16	DEC1, DEC2, DEC3, DEC4, DEC5, DEC6, DEC7, DEC8, DEC9, DEC10, DEC11, DEC12, DEC13, DEC14, DEC15, DEC16	DEC
3	18	BU7, BN1, BN2, BN3, BN4, BN5, BN6, BN7, BN8, BN9, BN10, BN11, BN12, BN13, BN14, BN15, BU18, BNO	BU130
4	62	INV51, INV1, INV2, INV4, INV5, INV6, INV7, INV8, INV9, INV10, INV11, INV12, INV13, INV14, INV15, INV16, INV17, INV18, INV19, INV20, INV21, INV22, INV23, INV24, INV25, INV26, INV27, INV28, INV29, INV30, INV31, INV32, INV33, INV34, INV35, INV36, INV37, INV38, INV39, INV40, INV41, INV42, INV44, INV45, INV46, INV47, INV48, INV49, INV50, INV52, INV53, INV54, INV55, INV56, INV57, INV58, INV59, INV60, INV61, INV62, INV63, INV64	IV130
5	4	MUX3, MUX1, MUX2, MUX4	MUX3
6	8	MUX5, MUX6, MUX7, MUX8, MUX9, MUX10, MUX11, MUX12	MUX2
7	4	MUX13, MUX14, MUX15, MUX16	MUX1
8	2	INV3, INV43	IV110
9	2	B14, B13	BU262
10	3	BU17, BU16, BU19	BU120
11	3	NAB, NAB1, NAB2	NA260
12	8	LA12, LA5, LA6, LA7, LA8, LA9, LA10, LA11	LAR20
13	4	INV73, INV70, INV71, INV72	IV140
14	17	AND33, AND17, AND18, AND19,	AN440

Item	Quantity	Reference	Part
		AND20, AND21, AND22, AND23, AND24, AND25, AND26, AND27, AND28, AND29, AND30, AND31, AND32	
15	16	AND16, AND1, AND2, AND3, AND4, AND5, AND6, AND7, AND8, AND9, AND10, AND11, AND12, AND13, AND14, AND15	AN240
16	1	INV69	IV160
17	2	NAB3, NAB4	NA240
18	1	A2	A2

Item	Quantity	Reference	Part
1	16	REG1, REG2, REG3, REG4, REG5, REG6, REG7, REG8, REG9, REG10, REG11, REG12, REG13, REG14, REG15, REG16	REG
2	16	DEC1, DEC2, DEC3, DEC4, DEC5, DEC6, DEC7, DEC8, DEC9, DEC10, DEC11, DEC12, DEC13, DEC14, DEC15, DEC16	DEC
3	18	BU7, BN1, BN2, BN3, BN4, BN5, BN6, BN7, BN8, BN9, BN10, BN11, BN12, BN13, BN14, BN15, BU18, BNO	BU130
4	62	INV51, INV1, INV2, INV4, INV5, INV6, INV7, INV8, INV9, INV10, INV11, INV12, INV13, INV14, INV15, INV16, INV17, INV18, INV19, INV20, INV21, INV22, INV23, INV24, INV25, INV26, INV27, INV28, INV29, INV30, INV31, INV32, INV33, INV34, INV35, INV36, INV37, INV38, INV39, INV40, INV41, INV42, INV44, INV45, INV46, INV47, INV48, INV49, INV50, INV52, INV53, INV54, INV55, INV56, INV57, INV58, INV59, INV60, INV61, INV62, INV63, INV64	IV130
5	4	HUX3, HUX1, HUX2, HUX4	HUX3
6	8	HUX5, HUX6, HUX7, HUX8, HUX9, HUX10, HUX11, HUX12	HUX2
7	4	HUX13, HUX14, HUX15, HUX16	HUX1
8	2	INV3, INV43	IV110
9	2	B14, B13	BU262
10	3	BU17, BU16, BU19	BU120
11	3	NAS, NAB1, NAB2	NA260
12	8	LA12, LA5, LA6, LA7, LA8, LA9, LA10, LA11	LAH20
13	4	INV73, INV70, INV71, INV72	IV140
14	17	AND33, AND17, AND18, AND19,	AN440

Item	Quantity	Reference	Part
		AND20, AND21, AND22, AND23, AND24, AND25, AND26, AND27, AND28, AND29, AND30, AND31, AND32	
15	16	AND16, AND1, AND2, AND3, AND4, AND5, AND6, AND7, AND8, AND9, AND10, AND11, AND12, AND13, AND14, AND15	AN240
16	1	INV69	IV160
17	2	NAB3, NAB4	NA240
18	1	A3	A3

Bill Of Materials **A1**

June 23, 1989

Item	Quantity	Reference	Part
1	8	INV14, INV15, INV16, INV17, INV18, INV19, INV20, INV21	IV160
2	4	AND29, A4, AND30, ANDO	AN260
3	1	NAND6	NA210
4	1	NOR1	NO240
5	10	INV8, INV1, V1, INV2, V2, INV3, V3, V4, INV9, INV10	IV180
6	24	N10, N11, N12, N14, N16, N17, N18, N19, N21, N23, N24, N25, N26, N28, N30, N31, N32, N33, N35, N37, N40, N43, N47, N48	NA430
7	11	N13, N15, N20, N22, N27, N29, N34, N36, N41, N44, N45	NA520
8	26	N38, N55, N56, N57, N58, N59, N60, N61, N62, N63, N64, N65, N70, N71, N72, N73, N74, N75, N76, N79, N84, N85, N86, N87, N88, N89	NA260
9	11	N39, N42, N46, N49, N50, N77, N78, N80, N81, N82, N83	NA340
10	6	A1, A2, A5, A7, A9, A11	AN460
11	5	A6, A3, A8, A10, A12	AN360
12	8	OREX1, EXP1, EXP2, OREX2, EXP3, OREX3, OREX4, EXPO	EX240
13	1	A13	AN410
14	1	NZ1	AN320
15	1	IVRO	IV120

Bill Of Materials **MUX1**

June 23, 1989

Item	Quantity	Reference	Part
1	1	IN1	IV110
2	3	NA3, NA1, NA2	NA260

Item	Quantity	Reference	Part
1	8	INV14, INV15, INV16, INV17, INV18, INV19, INV20, INV21	IV160
2	4	AND29, A4, AND30, AND0	AN260
3	1	NAND6	NA210
4	1	NOR1	NO240
5	10	INV3, INV1, V1, INV2, V2, V3, V4, INV8, INV9, INV10	IV180
6	24	N10, N11, N12, N14, N16, N17, N18, N19, N21, N23, N24, N25, N26, N28, N30, N31, N32, N33, N35, N37, N40, N43, N47, N48	NA430
7	12	N13, NAND8, N15, N20, N22, N27, N29, N34, N36, N41, N44, N45	NA520
8	26	N38, N55, N56, N57, N58, N59, N60, N61, N62, N63, N64, N65, N70, N71, N72, N73, N74, N75, N76, N79, N84, N85, N86, N87, N88, N89	NA260
9	11	N39, N42, N46, N49, N50, N77, N78, N80, N81, N82, N83	NA340
10	6	A1, A2, A5, A7, A9, A11	AN460
11	5	A6, A3, A8, A10, A12	AN360
12	8	OREX1, EXP1, EXP2, OREX2, EXP3, OREX3, OREX4, EXPO	EX240
13	1	NB15	NA230
14	1	BNO	AN410
15	1	BNN1	IV120
16	1	NZ1	AN320

Item	Quantity	Reference	Part
1	1	BA	BU130
2	2	IV2, IV1	IV110
3	1	N5	NA430
4	4	N1, N2, N3, N4	NA330

Bill Of Materials **A3**

June 23, 1989

Item	Quantity	Reference	Part
1	8	INV14, INV15, INV16, INV17, INV18, INV19, INV20, INV21	IV100
2	4	AND29, A4, AND30, AND0	AN200
3	1	NAND6	NA210
4	1	NOR1	NO240
5	10	INV3, INV1, V1, INV2, V2, V3, V4, INV8, INV9, INV10	IV150
6	24	N10, N11, N12, N14, N16, N17, N18, N19, N21, N23, N24, N25, N26, N28, N30, N31, N32, N33, N35, N37, N40, N43, N47, N48	NA430
7	12	N13, NAND7, N15, N20, N22, N27, N29, N34, N36, N41, N44, N45	NA520
8	26	N38, N55, N56, N57, N58, N59, N60, N61, N62, N63, N64, N65, N70, N71, N72, N73, N74, N75, N76, N79, N84, N85, N86, N87, N88, N89	NA250
9	11	N39, N42, N46, N49, N50, N77, N78, N80, N81, N82, N83	NA340
10	6	A1, A2, A5, A7, A9, A11	AN460
11	5	A6, A3, A8, A10, A12	AN360
12	8	OREX1, EXP1, EXP2, OREX2, EXP3, OREX3, OREX4, EXPO	EX240
13	1	NB16	NA230
14	1	N21	AN320

Bill Of Materials **MUX3**

June 23, 1989

Item	Quantity	Reference	Part
1	2	I5, I4	IV110
2	3	NAN3, NAN1, NAN2	NA310
3	1	A100	AN310
4	1	IA	IV160

Revised: April 13, 1989
 Revision: 17:49:29
 Bill Of Materials **A85** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	3	I11,I12,I13	IV180
2	2	N11,N12	NA340

Revised: January 4, 1980
 Revision: 17:50:08
 Bill Of Materials **A80** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	1	IN1	IV180
2	7	E7,E1,E2,E3,E4,E5,E6	EX240

Revised: June 2, 1989
 Revision: 17:50:47
 Bill Of Materials **A74** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	8	DB1,DB2,DB3,DB4,DB5,DB6, DB7,DB8	DTN11
2	1	IL2	IV120

Revised: June 3, 1989
 Revision: 17:51:24
 Bill Of Materials **A57** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	1	IB1	IV110
2	1	NC3	NA260
3	2	NC1,NC2	NA220

Revised: January 4, 1980
 Revision: 17:52:06
 Bill Of Materials **A53** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	2	N5,N10	NA430
2	8	N1,N2,N3,N4,N6,N7,N8,N9	NA340
3	2	IV2,IV1	IV180

Revised: June 2, 1989
 Revision: 17:52:45
 Bill Of Materials **A51** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	8	NH1, NH2, NH3, NH4, NH5, NH6, NH7, NH8	NA340
2	2	NH9, NH10	NA430
3	1	NH13	NA260
4	2	NH11, NH12	NA240
5	1	IH1	IV110
6	2	IH2, IH3	IV140

Revised: June 3, 1989
 Revision: 17:54:04
 Bill Of Materials **A20** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	8	D1, D2, D3, D4, D5, D6, D7, D8	DPN20
2	24	N223, N200, N201, N202, N203, N204, N205, N206, N207, N208, N209, N210, N211, N212, N213, N214, N215, N216, N217, N218, N219, N220, N221, N222	NA210
3	1	I200	IV120

Revised: June 2, 1989
 Revision: 17:54:53
 Bill Of Materials **A18** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	3	DT1, DT2, DT3	DTN11
2	1	IJ2	IV110

Revised: January 4, 1980
 Revision: 17:56:00
 Bill Of Materials **B57** June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	1	ND7	NA240
2	2	ND4, ND5	NA220
3	3	ND3, ND1, ND2	NA260
4	1	IC1	IV120

Revised: June 2, 1989
 Revision: 17:57:29
 Bill Of Materials B53 June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	2	BNNO, BNN1	BU262
2	3	IG3, IG1, IG2	IV110
3	6	NG5, NG1, NG2, NG3, NG4, NG6	NA210

Revised: June 3, 1989
 Revision: 17:58:09
 Bill Of Materials B20 June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	8	D1, D2, D3, D4, D5, D6, D7, D8	DPC20
2	24	N223, N200, N201, N202, N203, N204, N205, N206, N207, N208, N209, N210, N211, N212, N213, N214, N215, N216, N217, N218, N219, N220, N221, N222	NA210
3	1	I200	IV120

Revised: June 2, 1989
 Revision: 17:58:44
 Bill Of Materials B18 June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	4	DA1, DA2, DA3, DAO	DTN11
2	1	IK2	IV110

Revised: January 4, 1980
 Revision: 17:59:23
 Bill Of Materials C57 June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	6	NE1, NE2, NE4, NE5, NE7, NE8	NA220
2	3	NE9, NE3, NE6	NA230
3	1	ID1	IV130

Revised: January 4, 1980
 Revision: 18:00:43
 Bill Of Materials D57 June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	1	IE1	IV110
2	8	NP1, NP2, NP4, NP5, NP7, NP8, NP10, NP11	NA210
3	4	NP12, NP3, NP6, NP9	NA220

Revised: January 5, 1980
 Revision: 18:02:15
 Bill Of Materials B02 June 23, 1989 Page 1

Item	Quantity	Reference	Part
1	2	NM8, NM5	NA220
2	1	NM9	NA320
3	2	NM10, NM11	NA430
4	1	AE4	AN460
5	1	IM	IV130
6	4	NM1, NM2, NM3, NM4	NA260
7	2	AE1, AE2	AN260
8	2	NM6, NM7	NA340
9	1	AE3	AN360

BIBLIOGRAFIA

BIBLIOGRAFIA

Bipolar Microprocesor Logic and Interface

AM2900 Family. 1983 Data Book

Advanced Micro Devices

CMOS 3 Cell Library

Dennis V. Heinbuch

Circuitos Electrónicos

Elias Muñoz Merino

Universidad Politécnica de Madrid

CMOS Technology

Logic Data Book

FAIRCHILD

Circuitos Integrados MOS y CMOS

Principios y Aplicaciones

H. Lilen

Microprocesadores y Lógica Programada

Kenneth L. Short

ORCAD/SDT III

Esquematic Design Tools

ORCAD Systems Corporation

Electronics Components and Materials

Data Handbook. Book IC06

PHILIPS 1988

SystemCell 1987

Design Manual. Cell Library

PHILIPS

PHILIPS Personal Design Station

User Manual ASIC

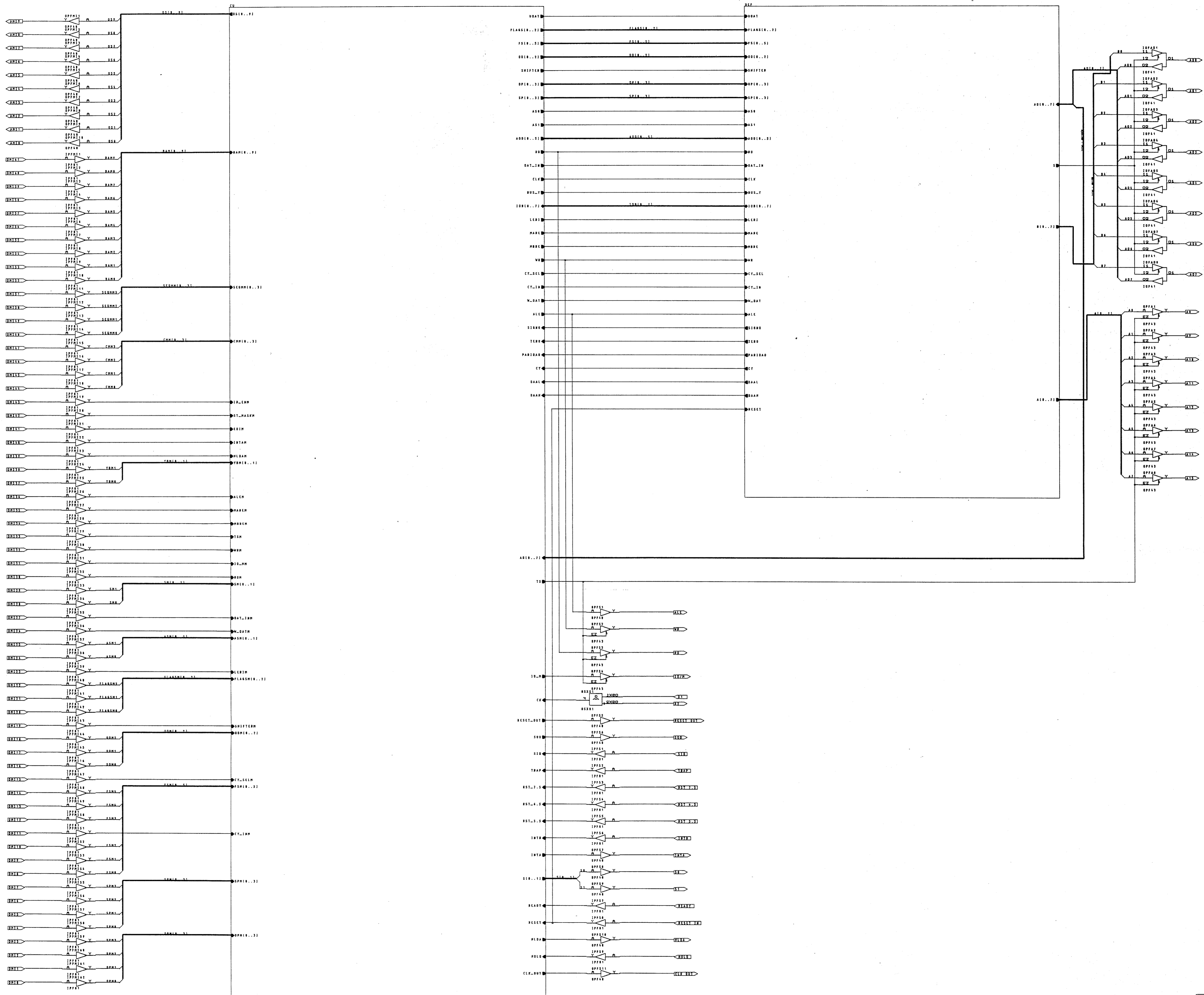
System Cell II
Cell Library (ASIC)
PHILIPS

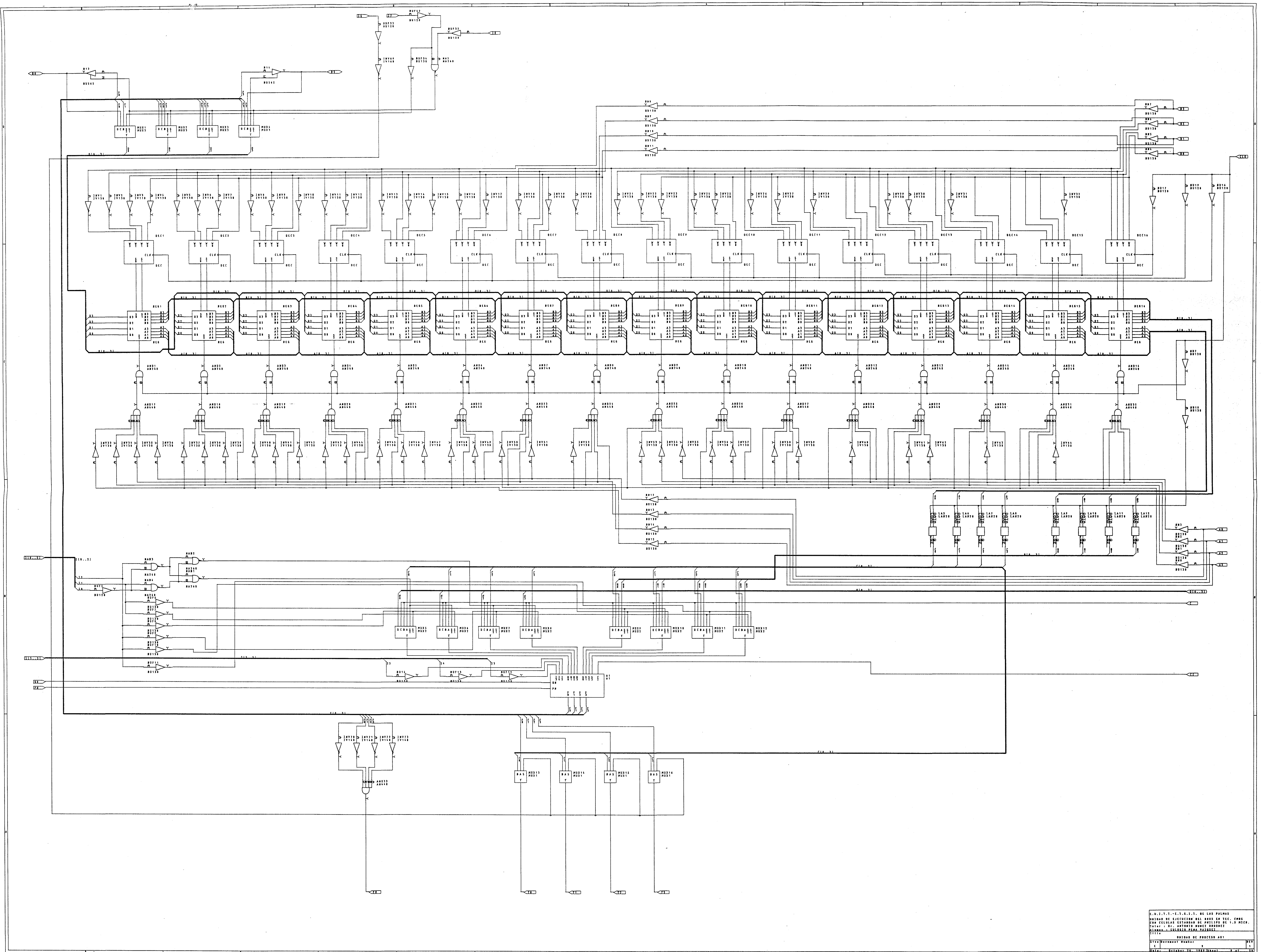
Custom-Especific Integrated Circuits
Design and Fabrication
Stanley L. Hurst
The Ohio State University Columbus
University of Cincinnati

TTL Data Book
Texas Instruments

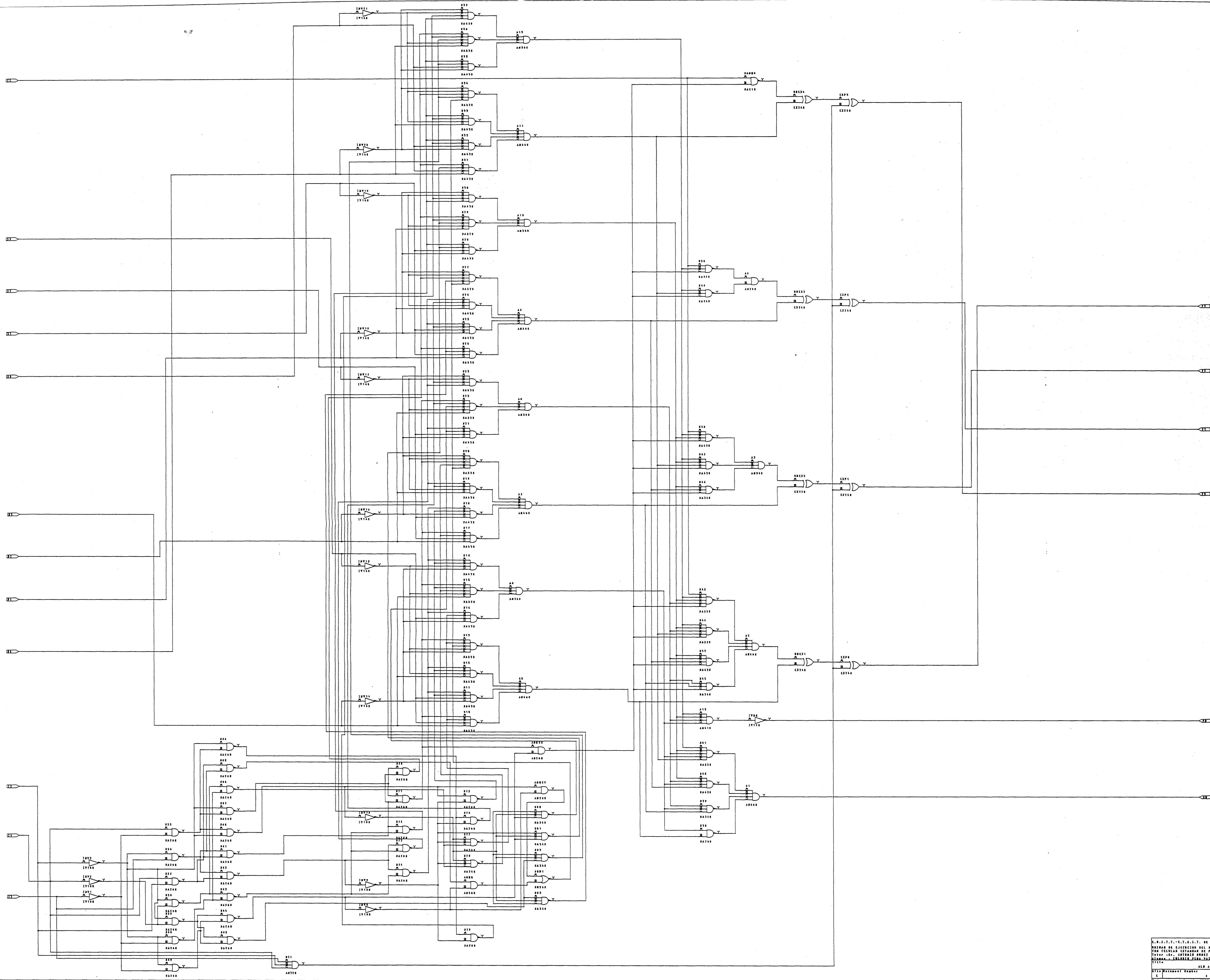
2 μ m CMOS
Standar Cell Data Book
Texas Instruments

PLANOS

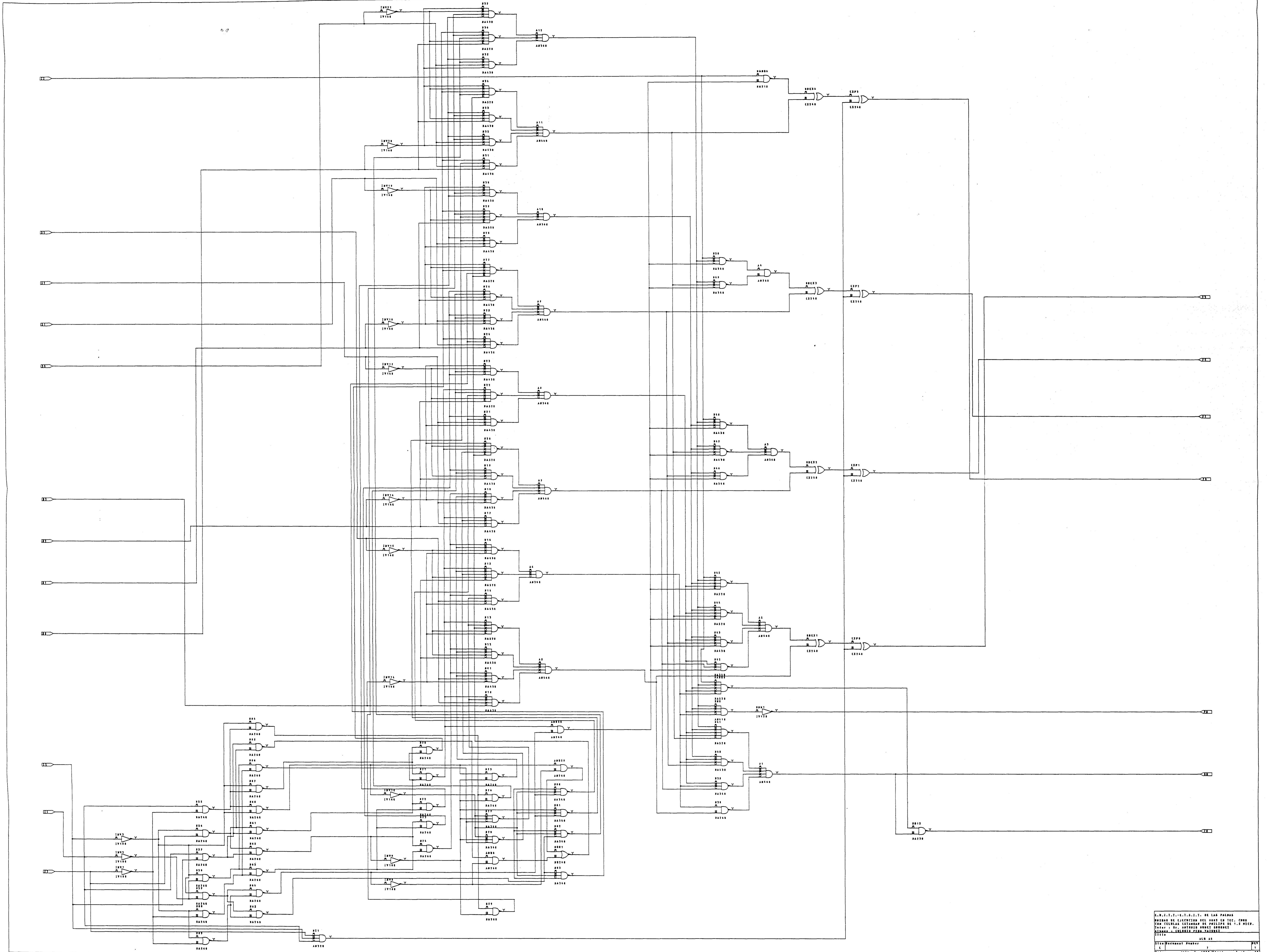




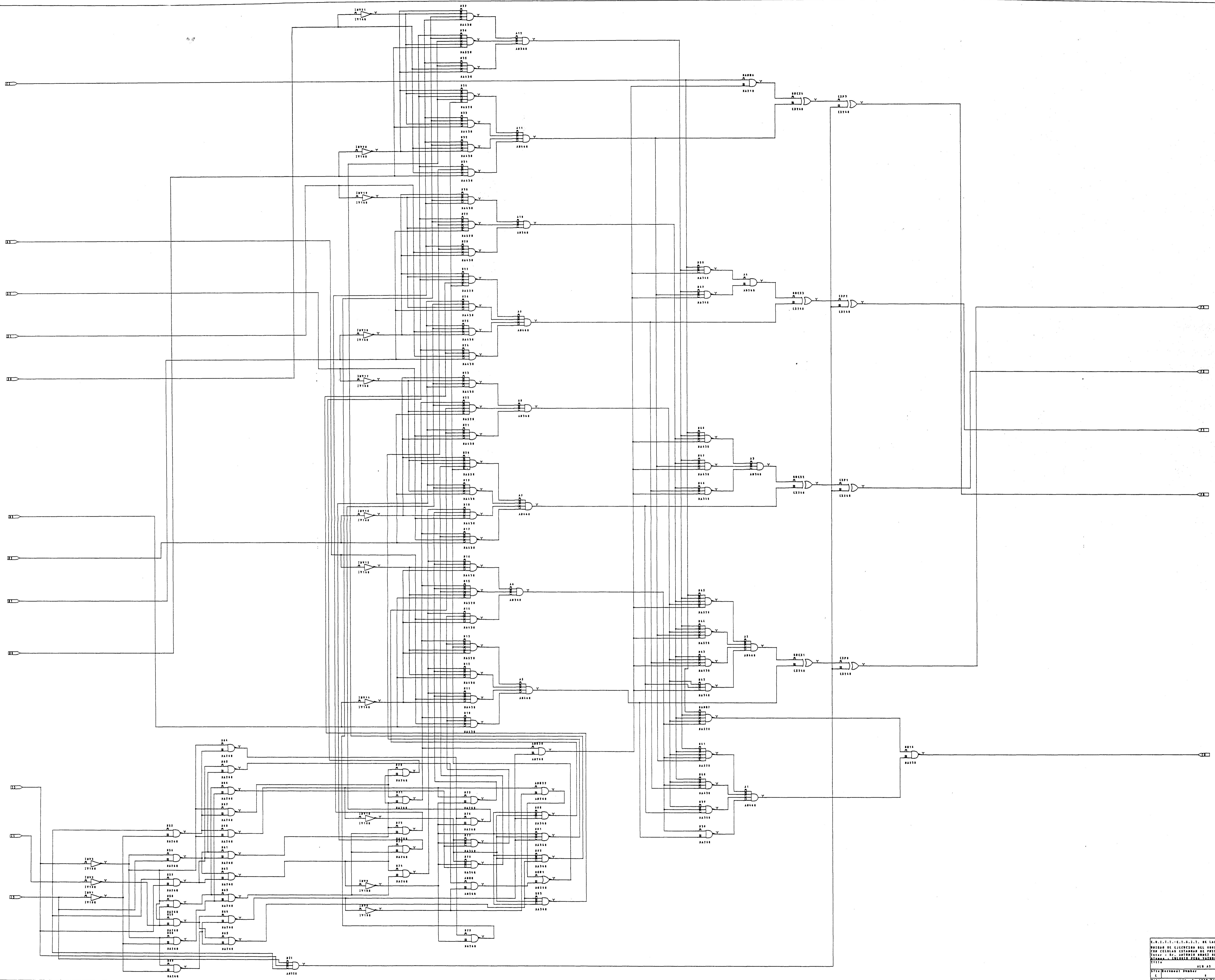
U.N.S.T. - C.R.C.S.T. DE LAS PALMAS
 DISEÑO DE EJECUCIÓN DEL BOO EN DEC. CMOS
 CON CÉLULAS ESTÁNDAR DE PULSOS DE 1.5 MICR.
 TITULO: DR. ANTONIO RAMON GONZALEZ
 ALUMNO: JULIAN RAMON VALENTIN
 DISEÑO DE PROCESO ASÍ
 1
 1
 1



U.S. GOVERNMENT PRINTING OFFICE: 1964 O 354-000
 FOR CATALOG INFORMATION SEE GPO GEN. REG. INFO. STATEMENT OF WORK ORDER NO. 354-000
 ALB A1
 JULY 1, 1964

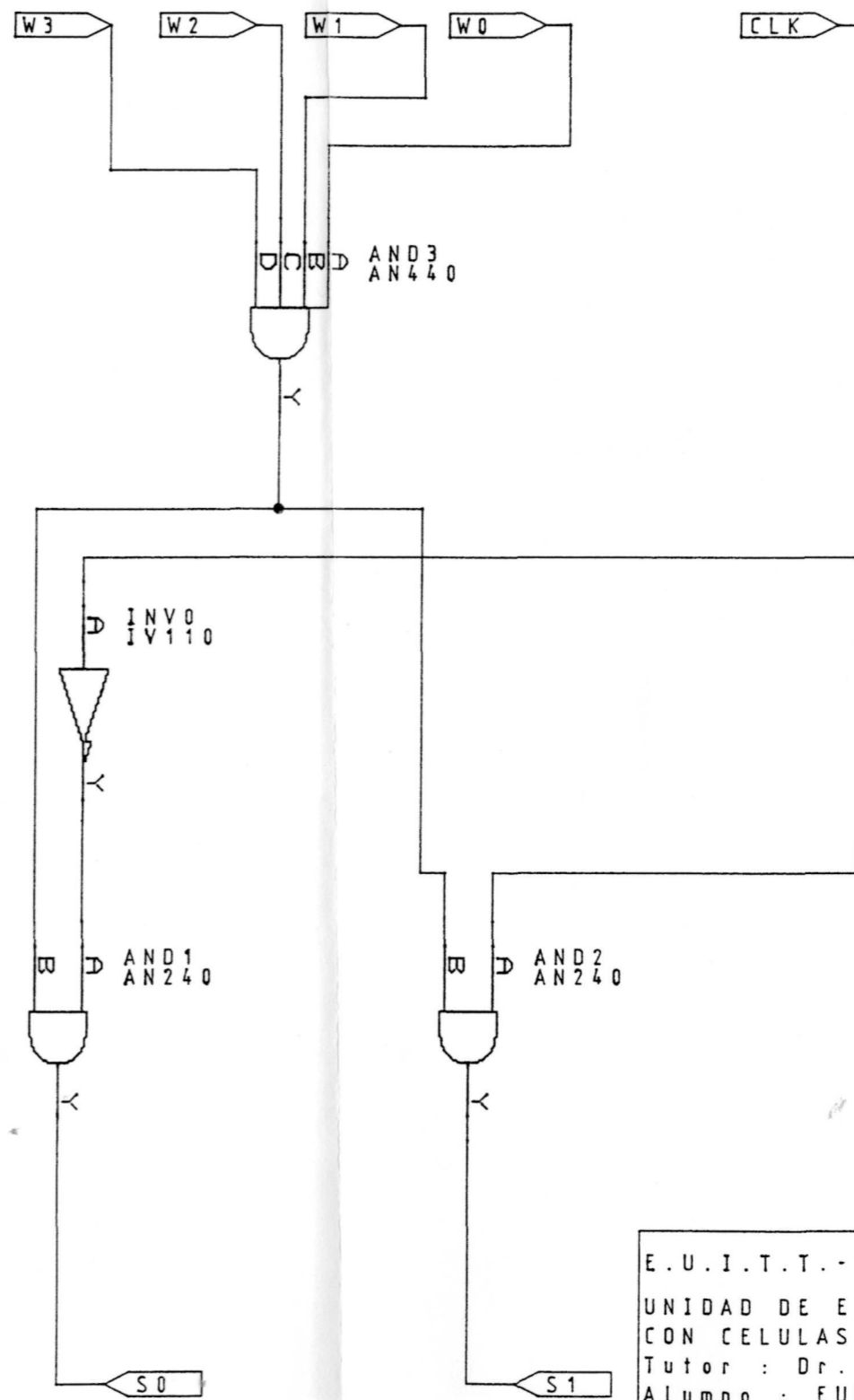


U.N.I.V.E.R.S.I.D.A.D. DE LOS ANDES
 DEPARTAMENTO DE INGENIERIA EN SISTEMAS DE COMPUTACION
 LABORATORIO DE SISTEMAS DE COMPUTACION
 TITULO: ALGORITMO DE ADICION
 ALUMNO: JUAN CARLOS GONZALEZ
 FECHA: 10/05/2011

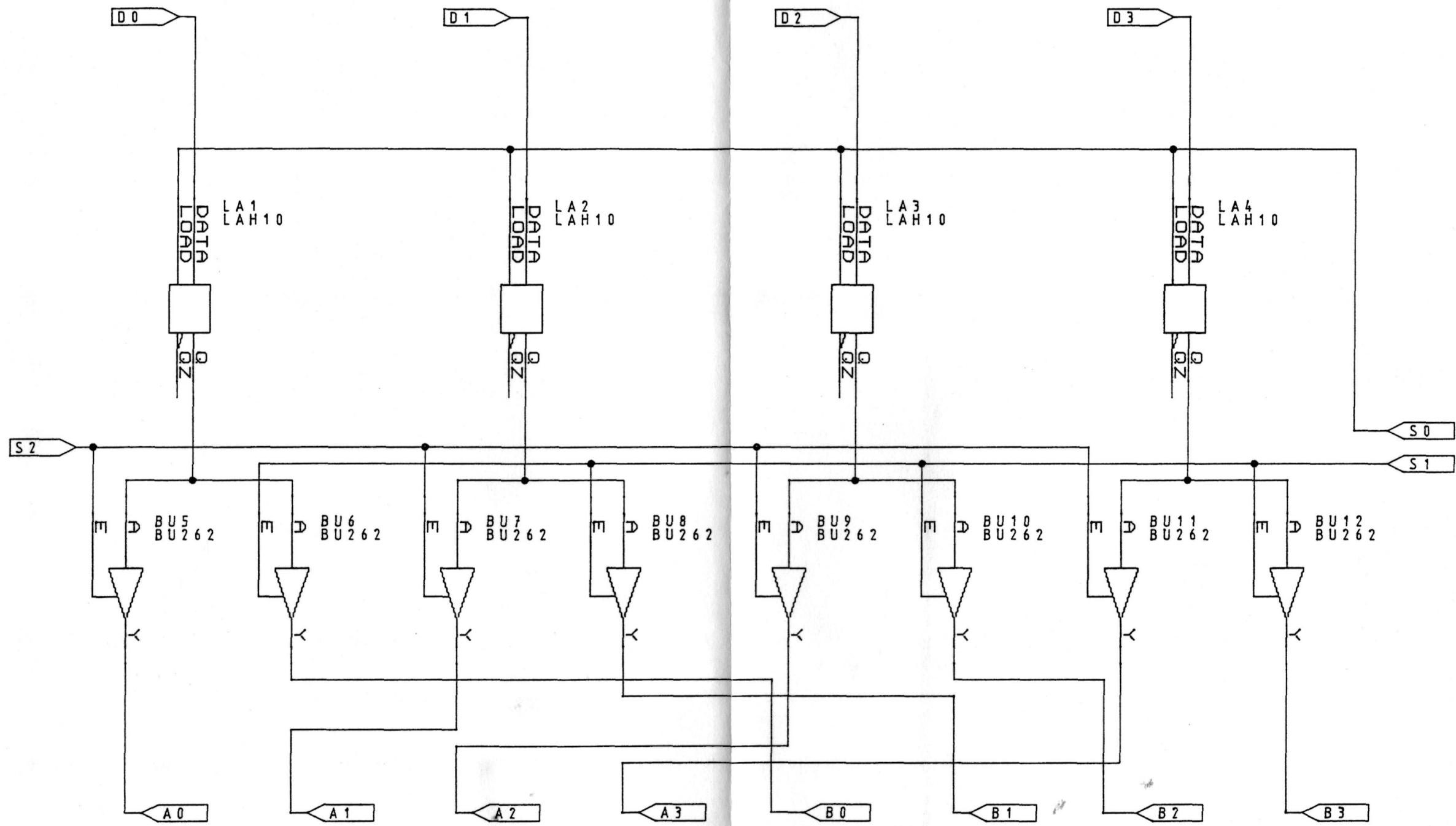


C. R. S. S. - C. R. S. S. S. DE LAS PALMAS
 UNIDAD DE DISEÑO DEL BARRIL DE T.C. CMR
 CON CLAVES (ESTADIA DE PROYECTO DE T.C. MICA)
 TITULO: "SISTEMA DE CONTROL DE PROYECTO
 MICA - ESTADIA DE PROYECTO"

DISEÑADOR: ALB AD REVISOR: ALB AD APROBADO: ALB AD FECHA: JUL 10 1982	PÁGINA: 10 DE: 10
--	----------------------



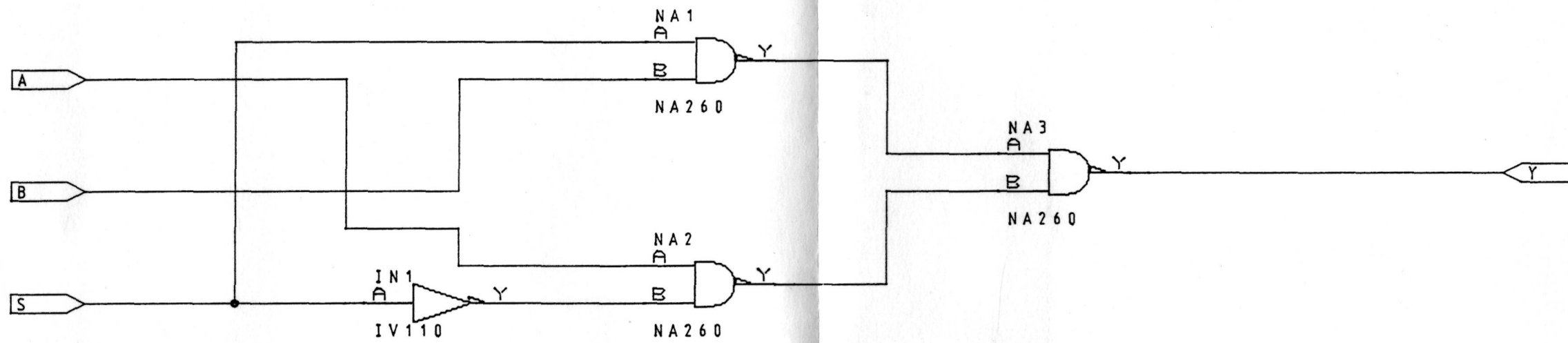
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
DECODIFICADOR DEC		
Size	Document Number	REV
A	4	1
Date:	July 8, 1989	Sheet 4 of 29



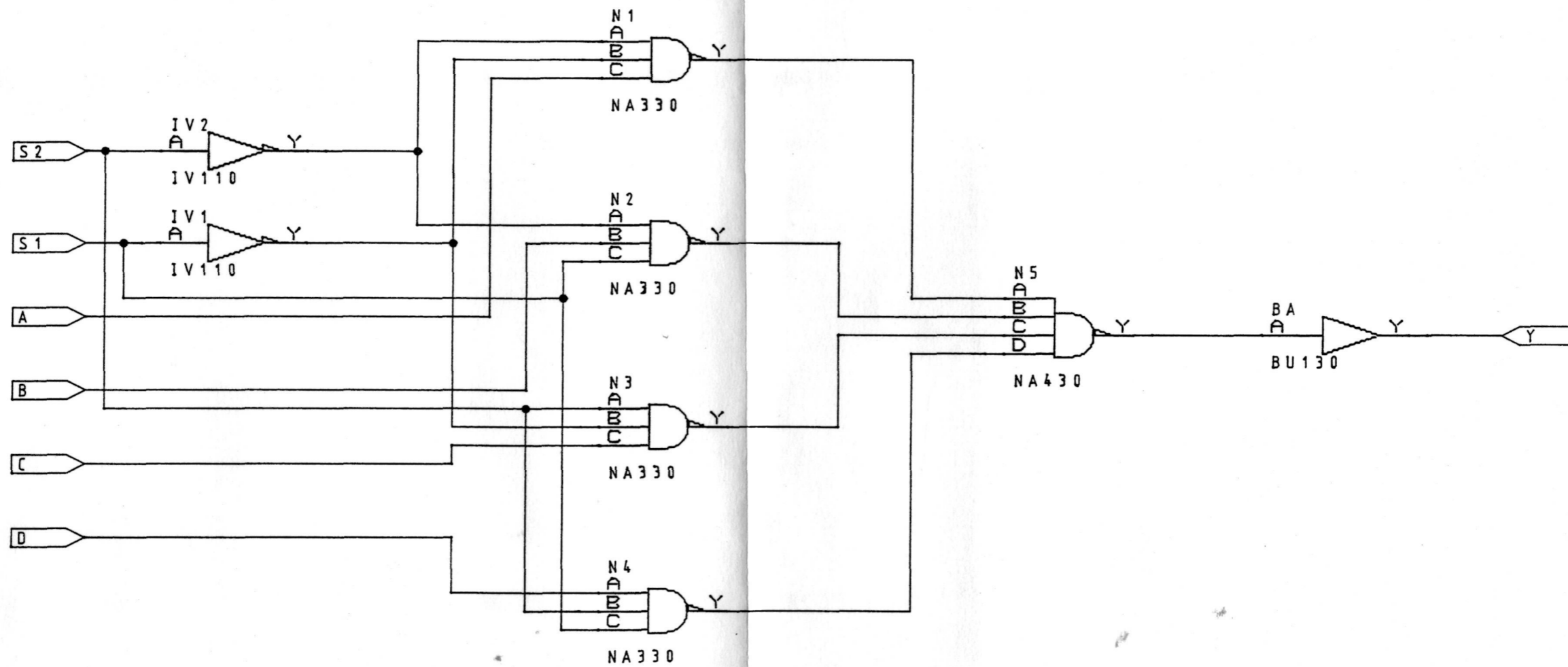
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS
 UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS
 CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.
 Tutor : Dr. ANTONIO NUNEZ ORDONEZ
 Alumno : EULOGIO PENA VAZQUEZ

Title
 REGISTRO REG

Size	Document Number	REV
A	5	1
Date:	July 8, 1989	Sheet 5 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR MUX1		
Size	Document Number	REV
A	1	1
Date:	July 8, 1989	Sheet 1 of 29

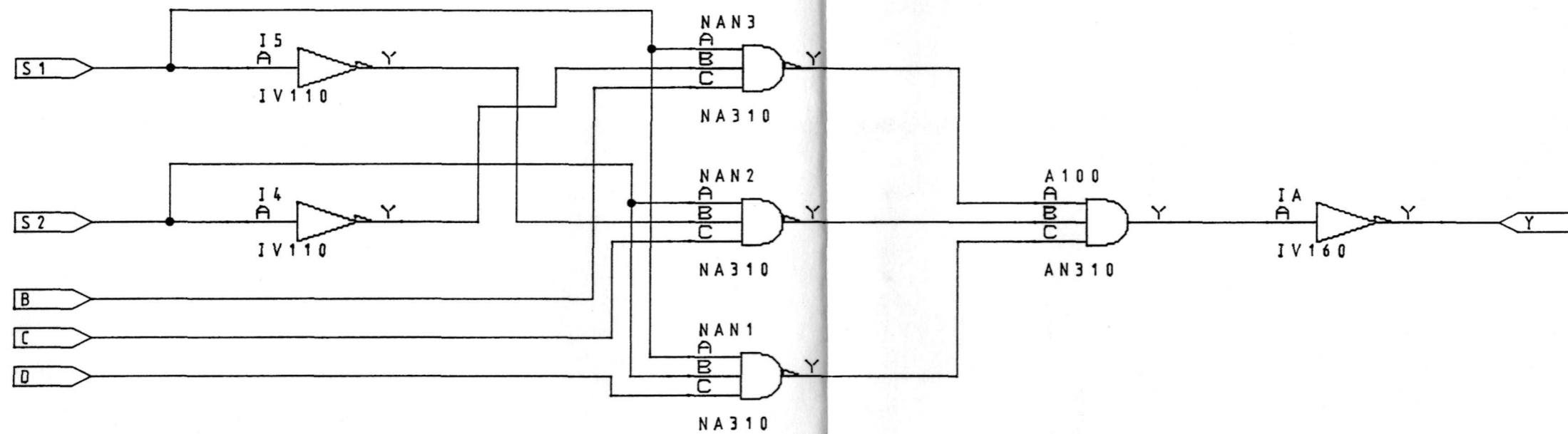


E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS
 UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS
 CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.
 Tutor : Dr. ANTONIO NUNEZ ORDONEZ
 Alumno : EULOGIO PENA VAZQUEZ

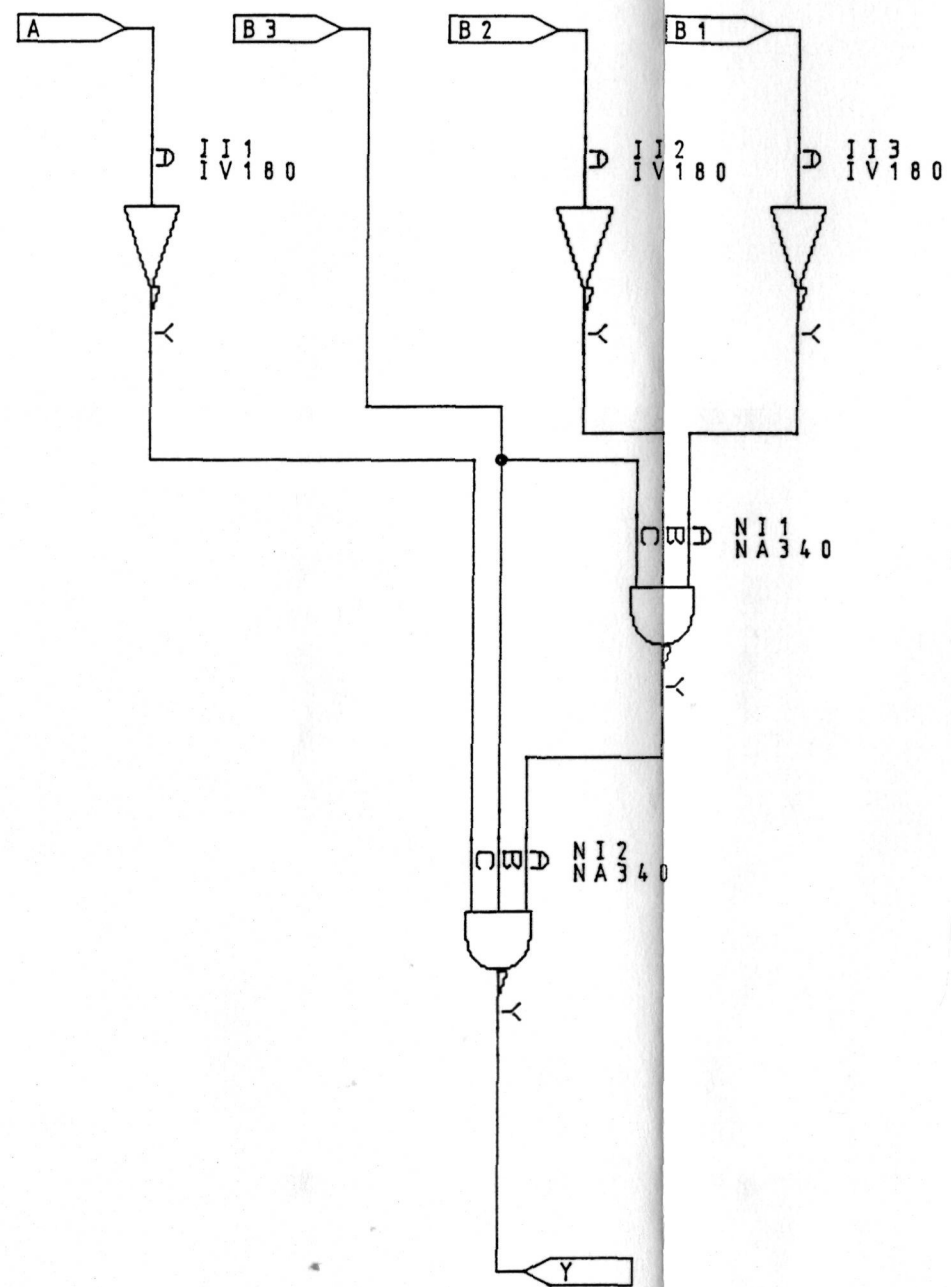
Title
 MULTIPLEXOR MUX2

Size	Document Number	REV
A	2	1

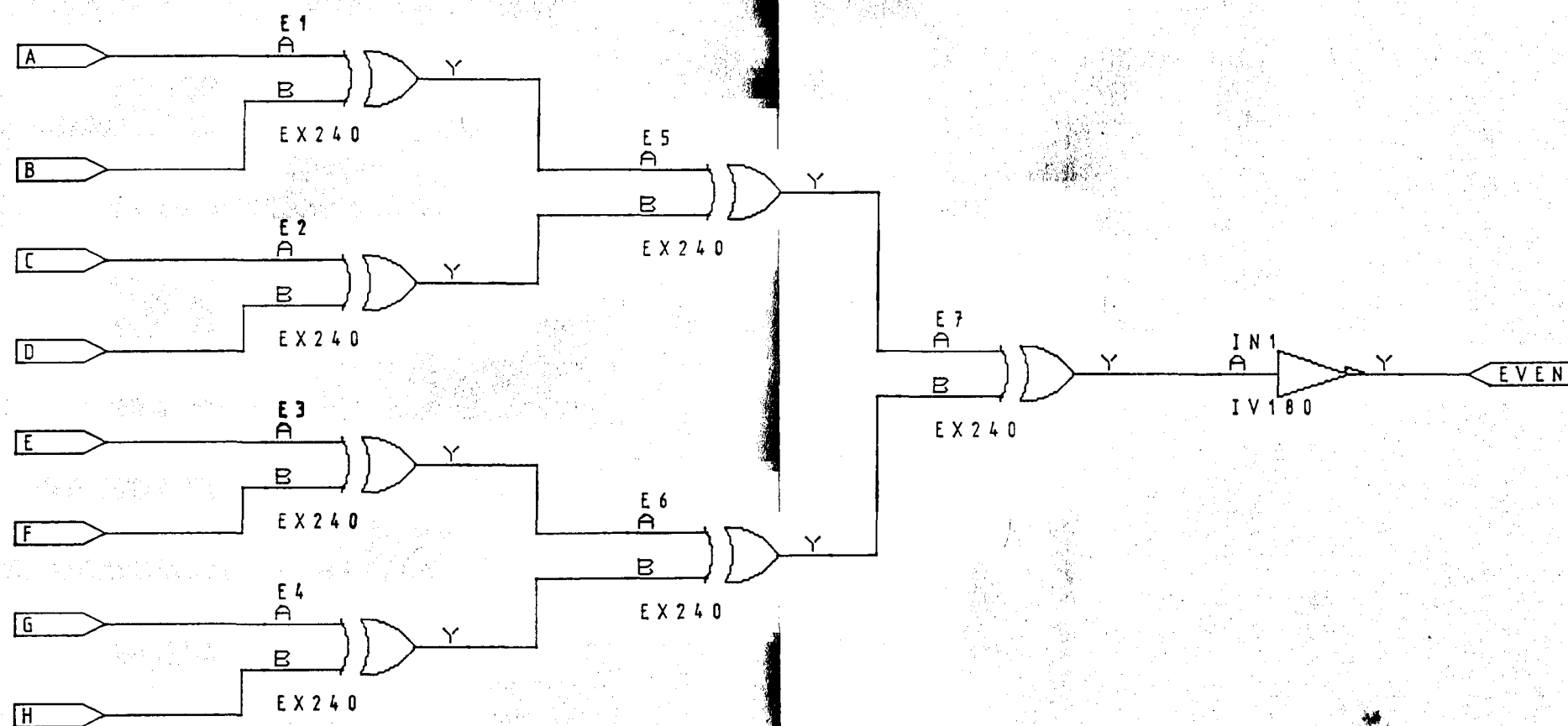
Date: July 8, 1989 Sheet 2 of 29



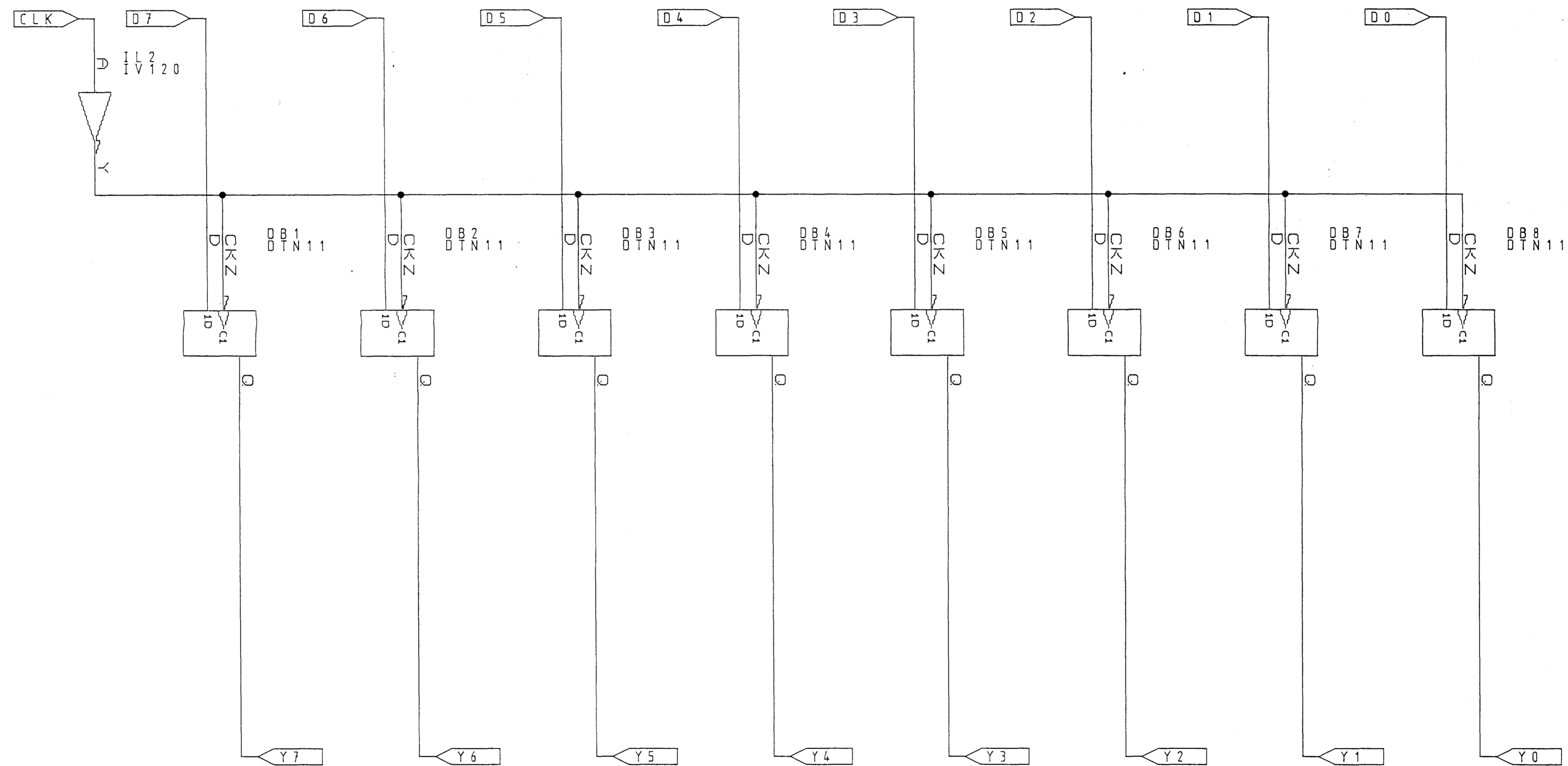
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR MUX3		
Size	Document Number	REV
A	3	1
Date:	July 8, 1989	Sheet 3 of 29



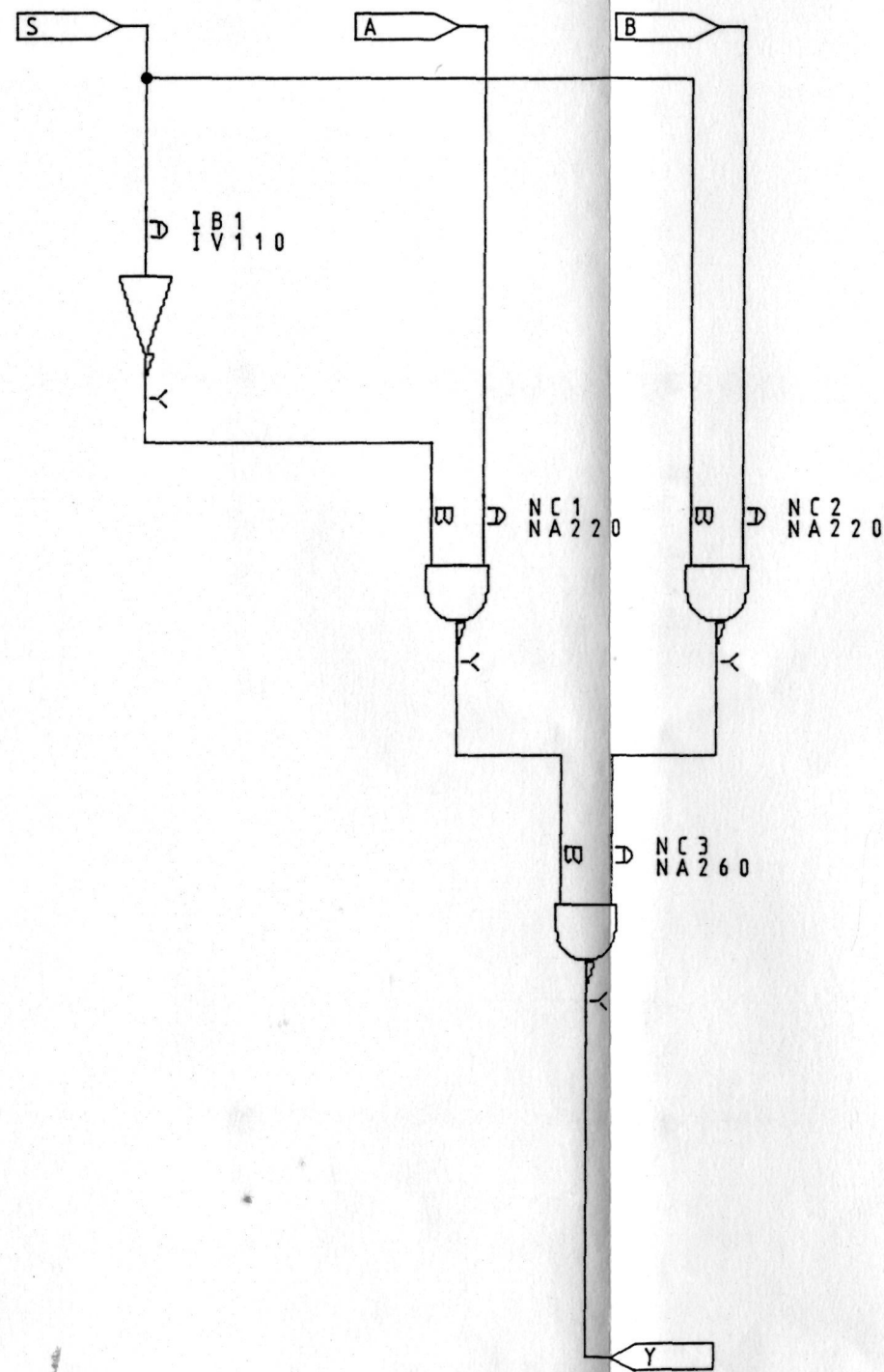
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
COMPARADOR DE MAGNITUD A85		
Size	Document Number	REV
A	12	1
Date:	July 8, 1989	Sheet 12 of 29



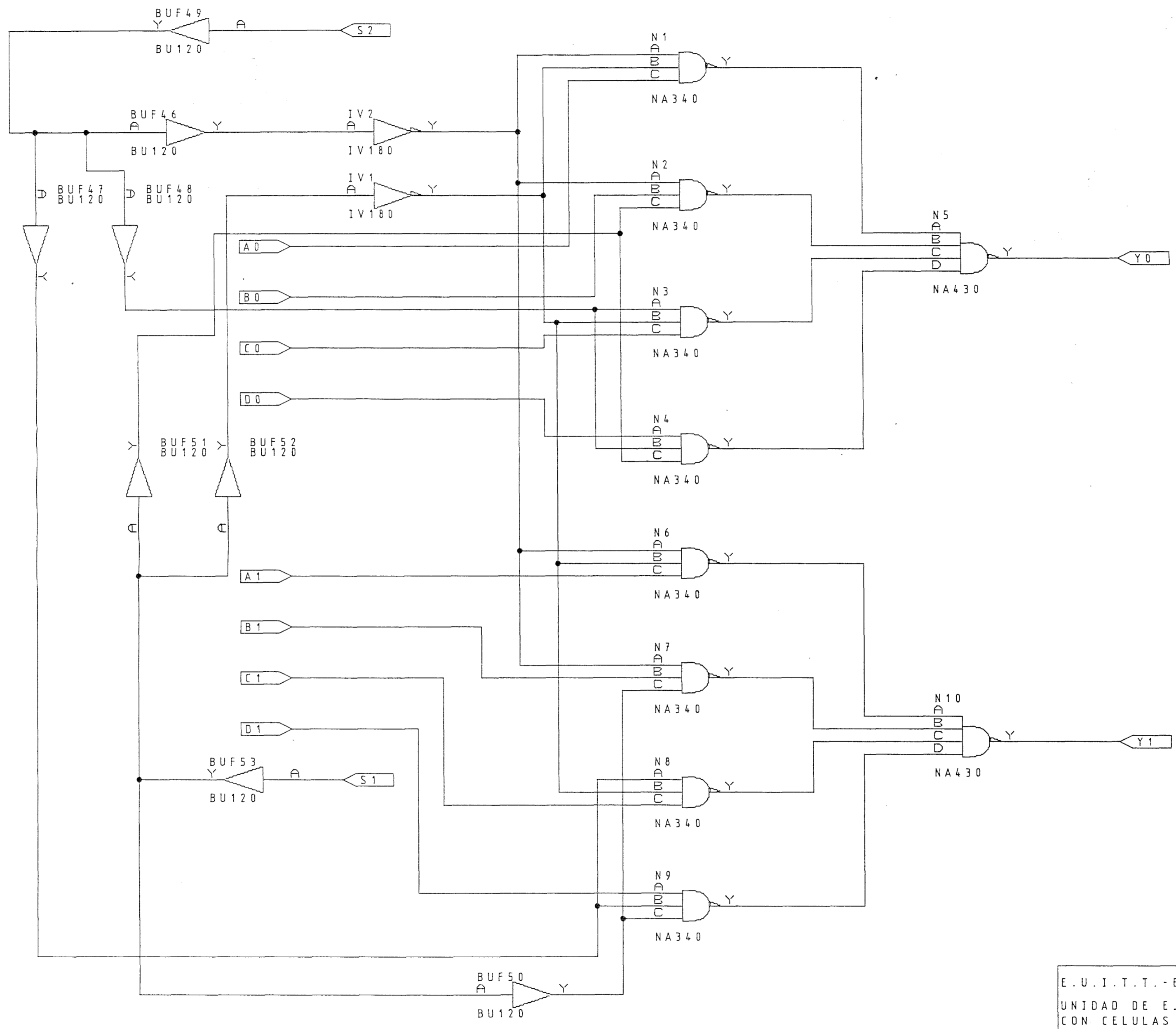
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
GENERADOR DE PARIDAD A80		
Size	Document Number	REV
A	13	1
Date:	July 8, 1989	Sheet 13 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
REGISTRO A74		
Size	Document Number	REV
B	14	1
Date:	July 8, 1989	Sheet 14 of 29

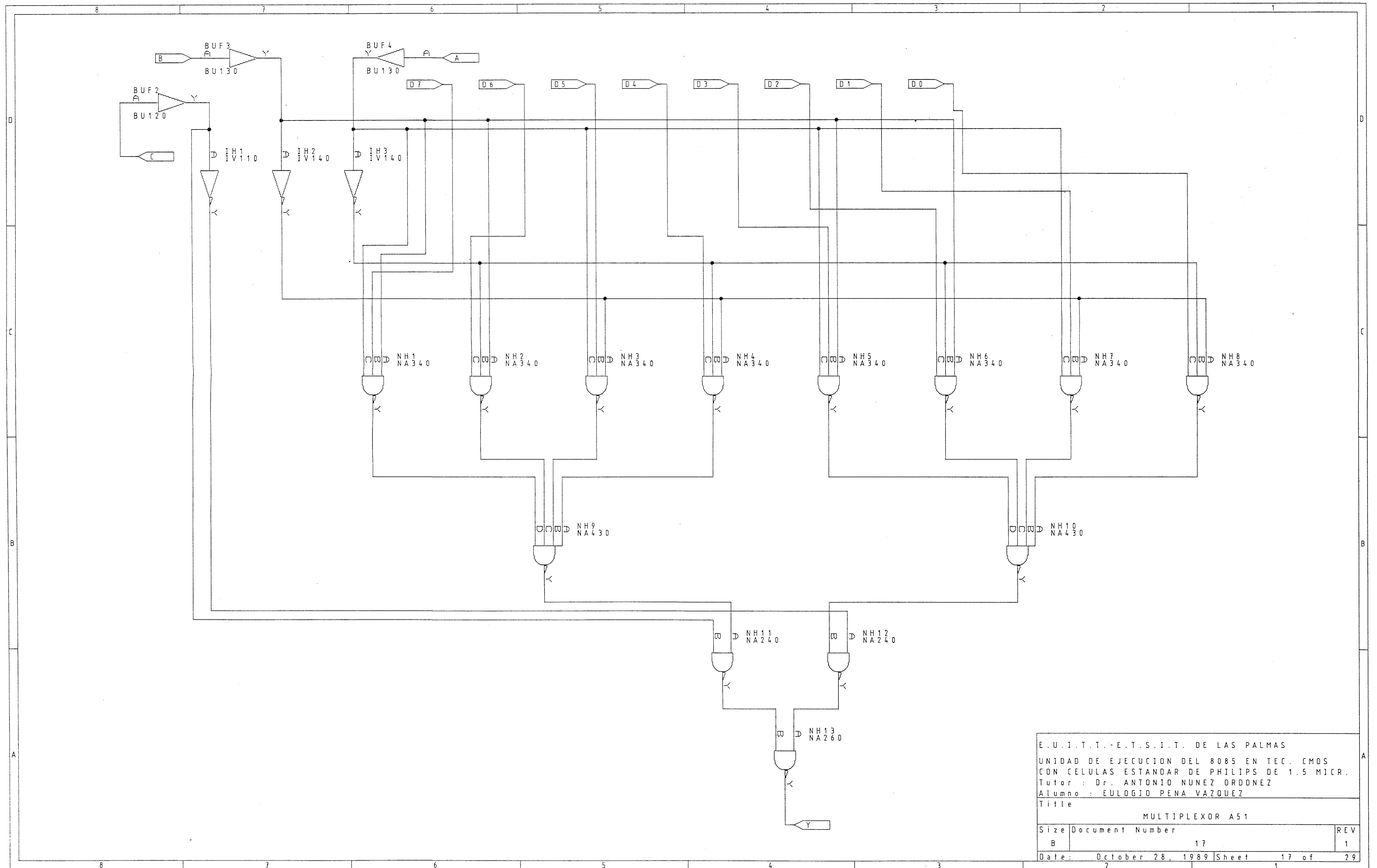


E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR A57		
Size	Document Number	REV
A	15	1
Date:	July 10, 1989	Sheet 15 of 29



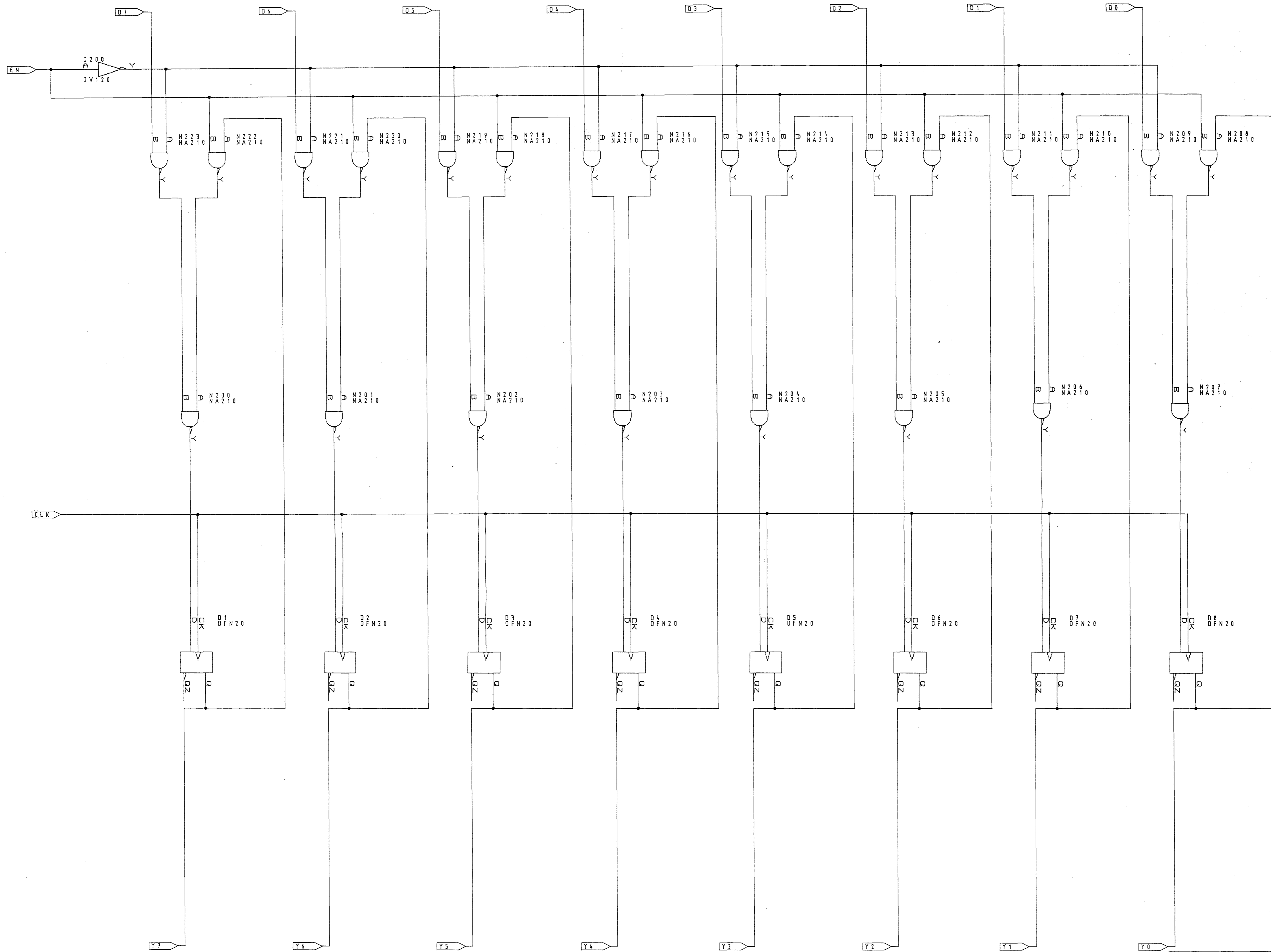
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS
 UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS
 CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.
 Tutor : Dr. ANTONIO NUNEZ ORDONEZ
 Alumno : EULOGIO PENA VAZQUEZ
 Title
 MULTIPLEXOR A53

Size	Document Number	REV
B	16	1
Date:	October 28, 1989	Sheet 16 of 29

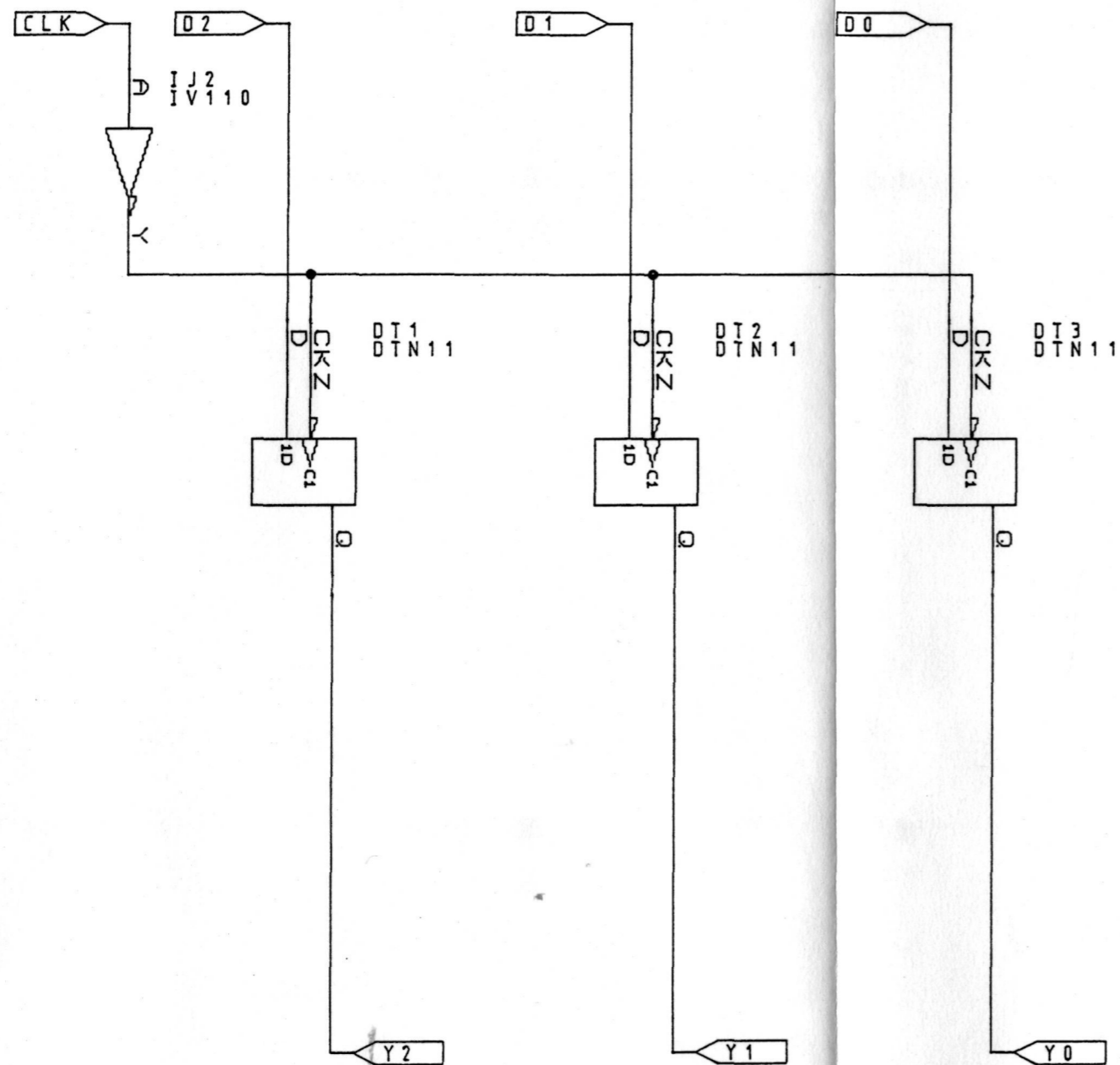


E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS
 UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS
 CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.
 Tutor : Dr. ANTONIO NUNEZ ORDONEZ
 Alumno : EULOGIO PENA VAZQUEZ
 Title
 MULTIPLEXOR A51

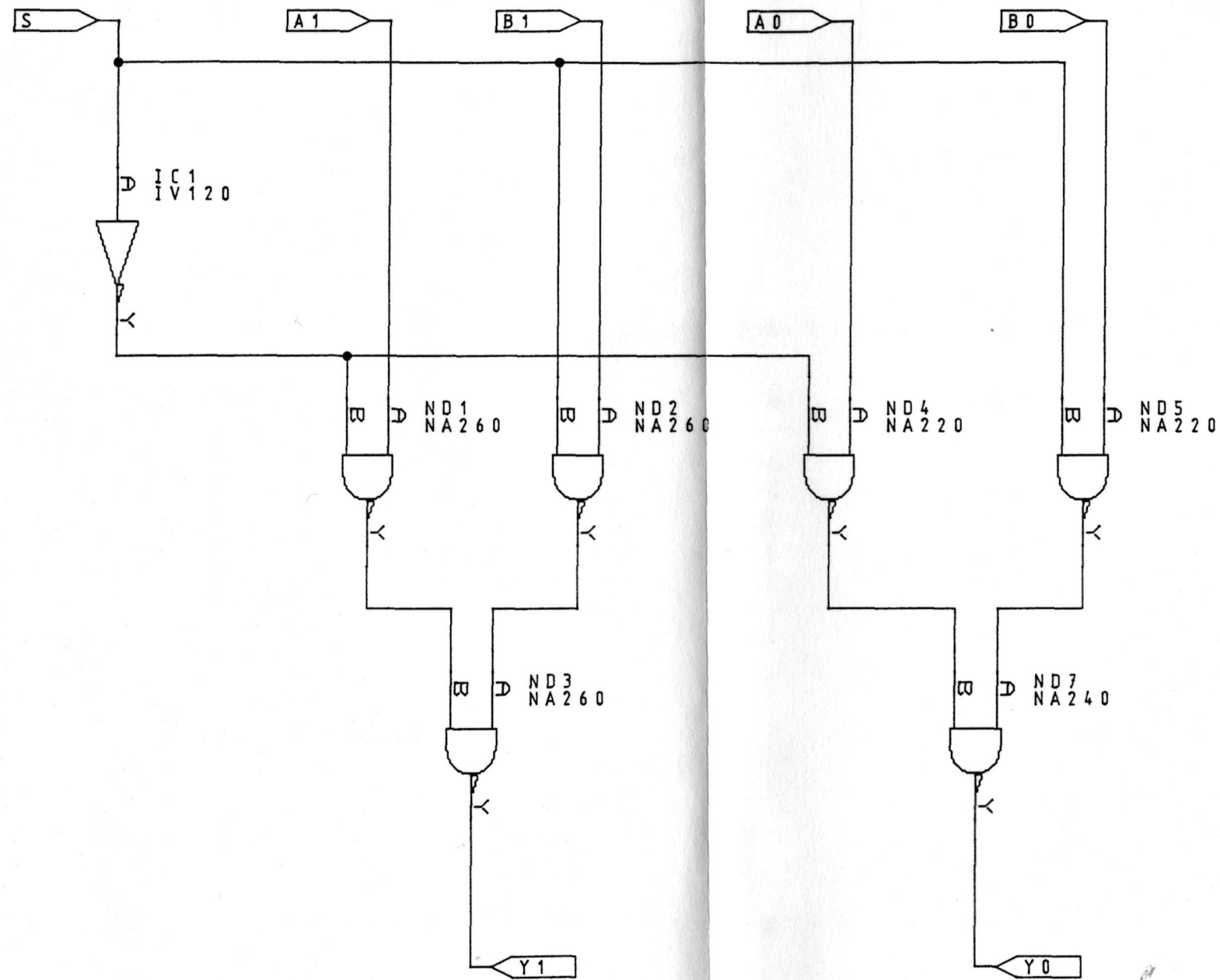
Size	Document Number	REV
B	17	1
Date:	October 28, 1989	Sheet 17 of 29



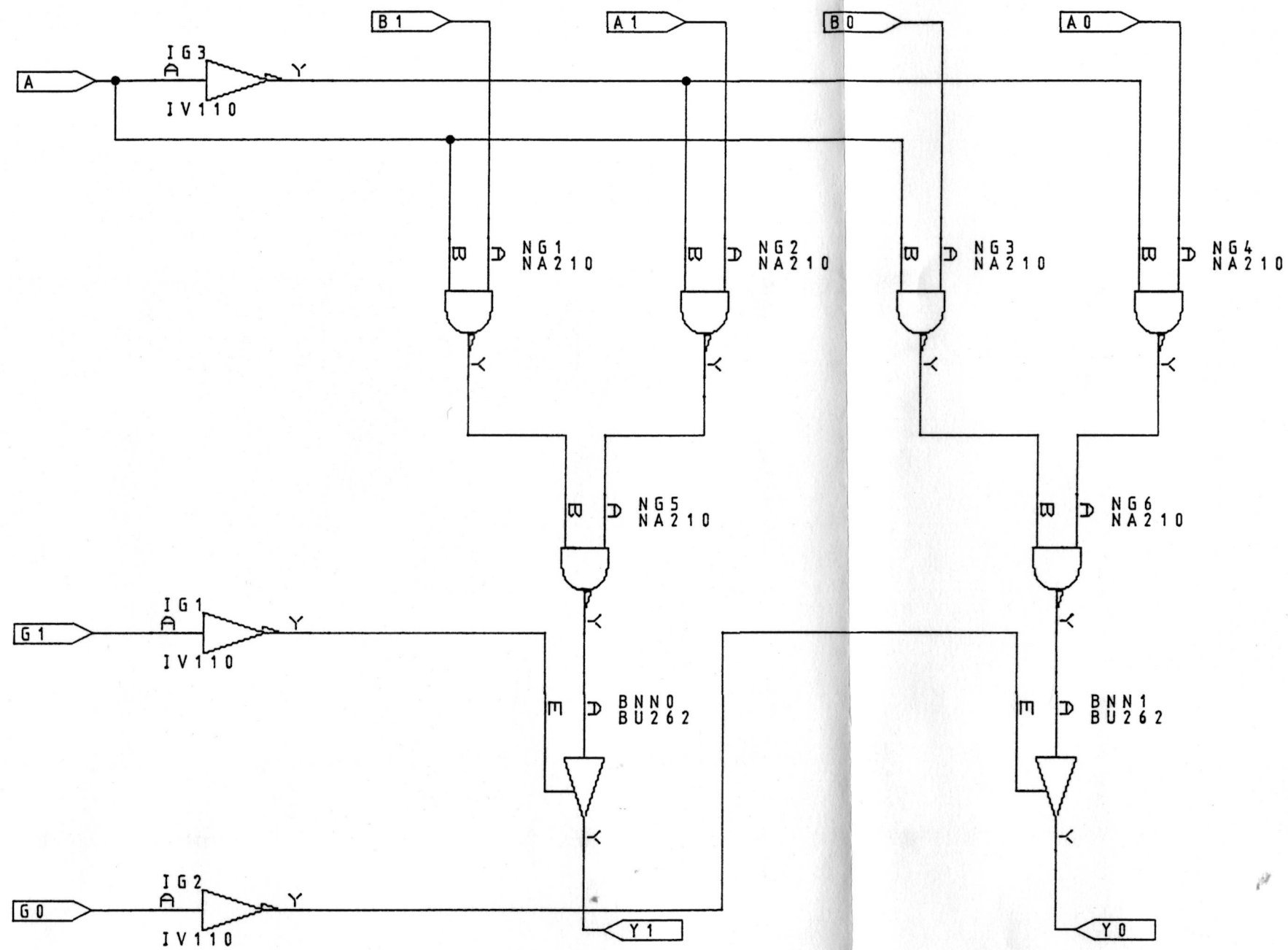
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS
 UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS
 CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.
 Tutor : Dr. ANTONIO NUNEZ ORDONEZ
 Alumno : EULOGIO PENA VAZQUEZ
 Title
 REGISTRO A20
 Size Document Number 18 REV 1
 C
 Date: July 10, 1989 Sheet 18 of 29



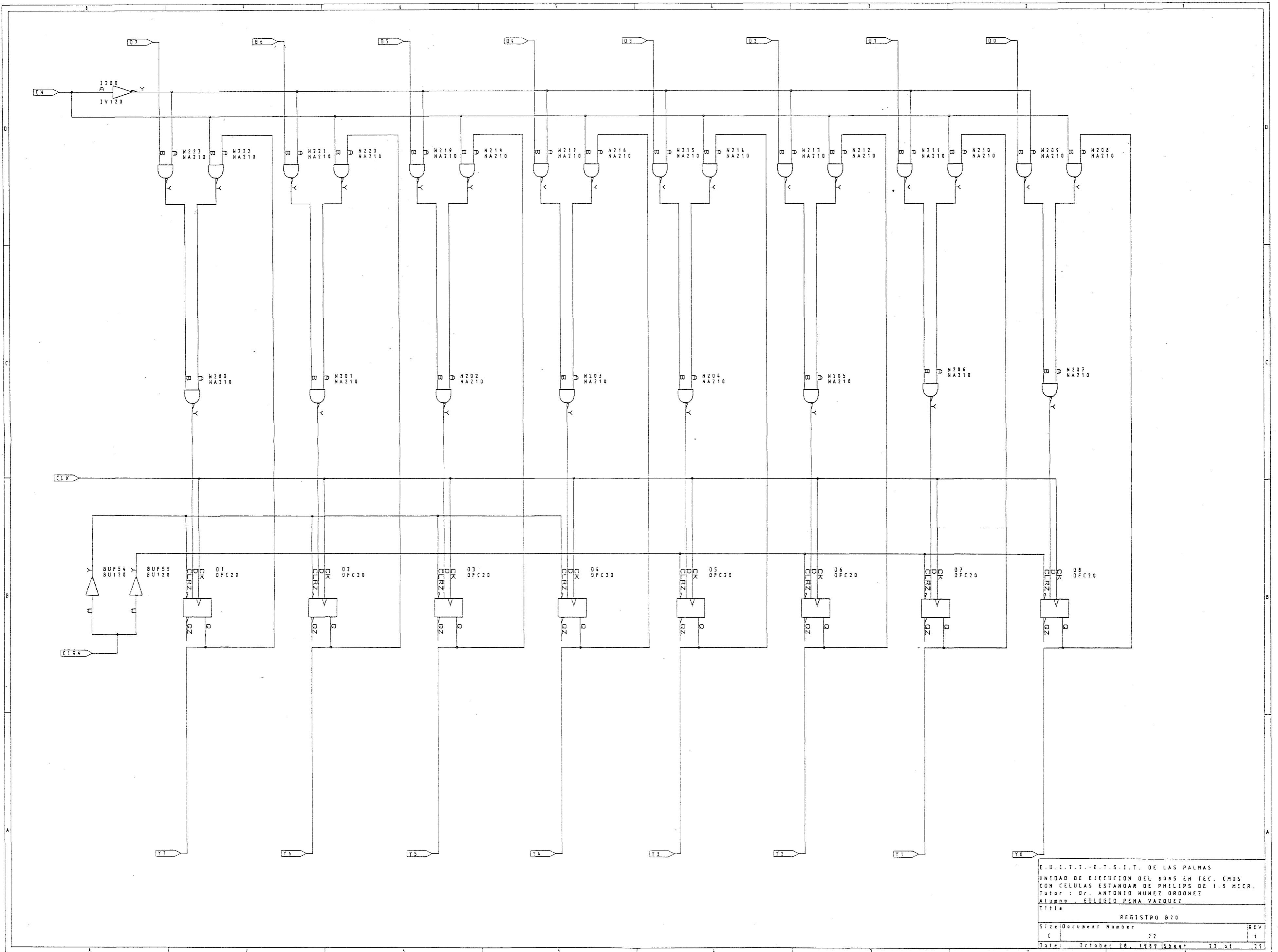
E.U.I.T.T. - E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 DEN TEC. CMOS CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
REGISTRO A18		
Size	Document Number	REV
A	19	1
Date:	July 10, 1989	Sheet 19 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR B57		
Size	Document Number	REV
A	20	1
Date:	July 21, 1989	Sheet 20 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR B53		
Size	Document Number	REV
A	21	1
Date:	July 10, 1989	Sheet 21 of 29

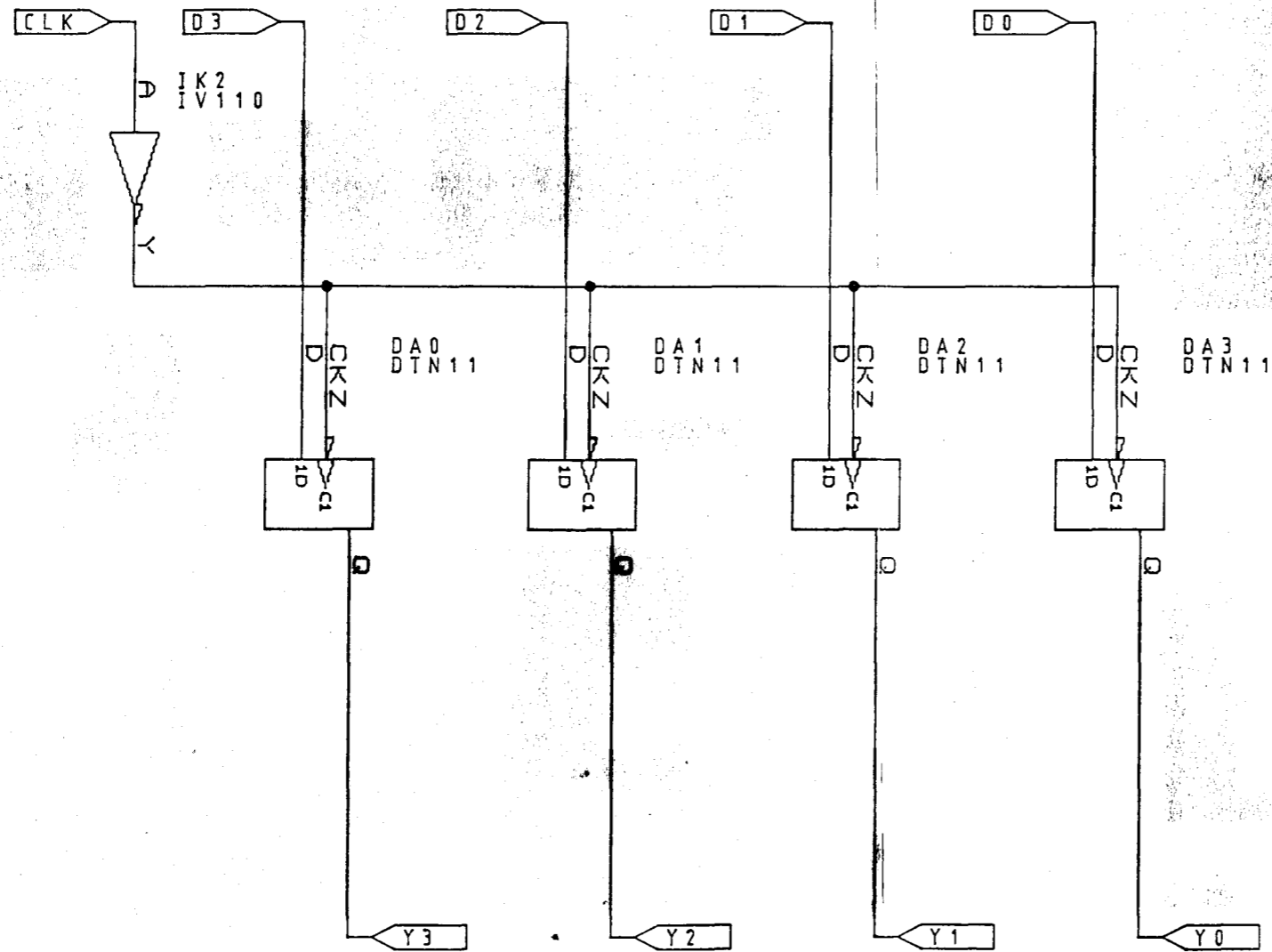


E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS
 UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS
 CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.
 Tutor : Dr. ANTONIO NUNEZ ORDOÑEZ
 Alumno : EULOGIO PENA VAZQUEZ

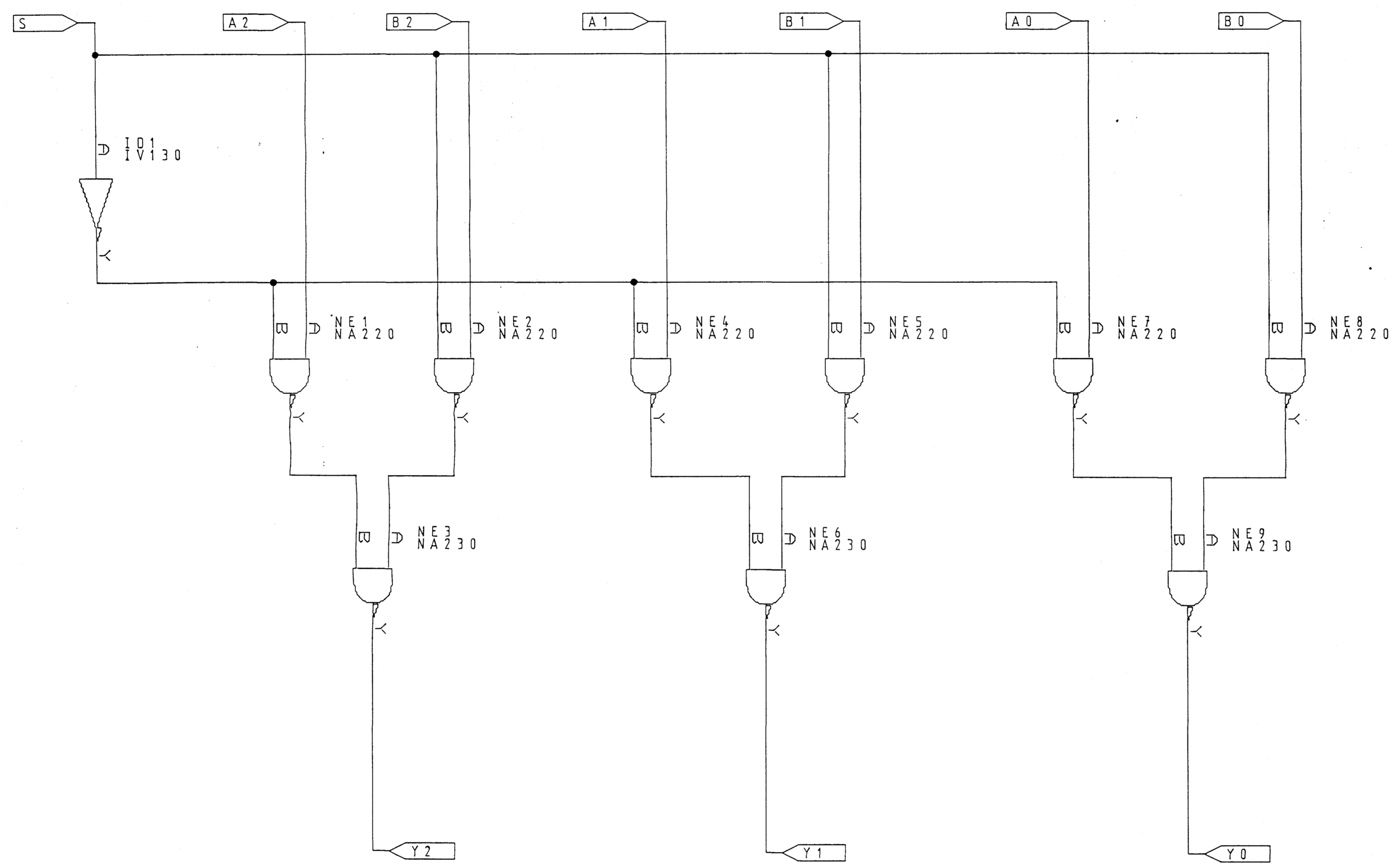
Title
 REGISTRO B20

Size	Document Number	REV
C	22	1

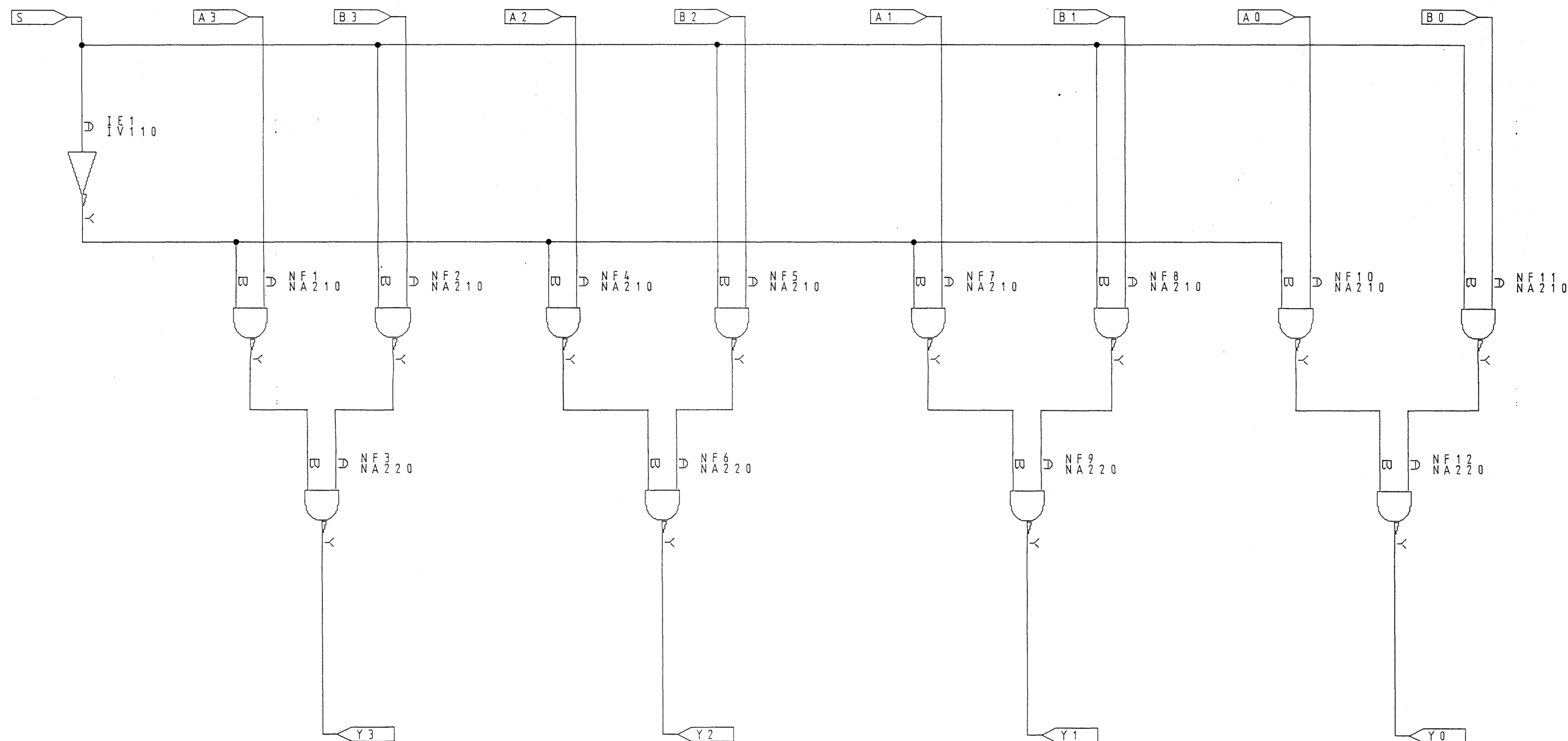
Date: October 28, 1989 Sheet 22 of 29



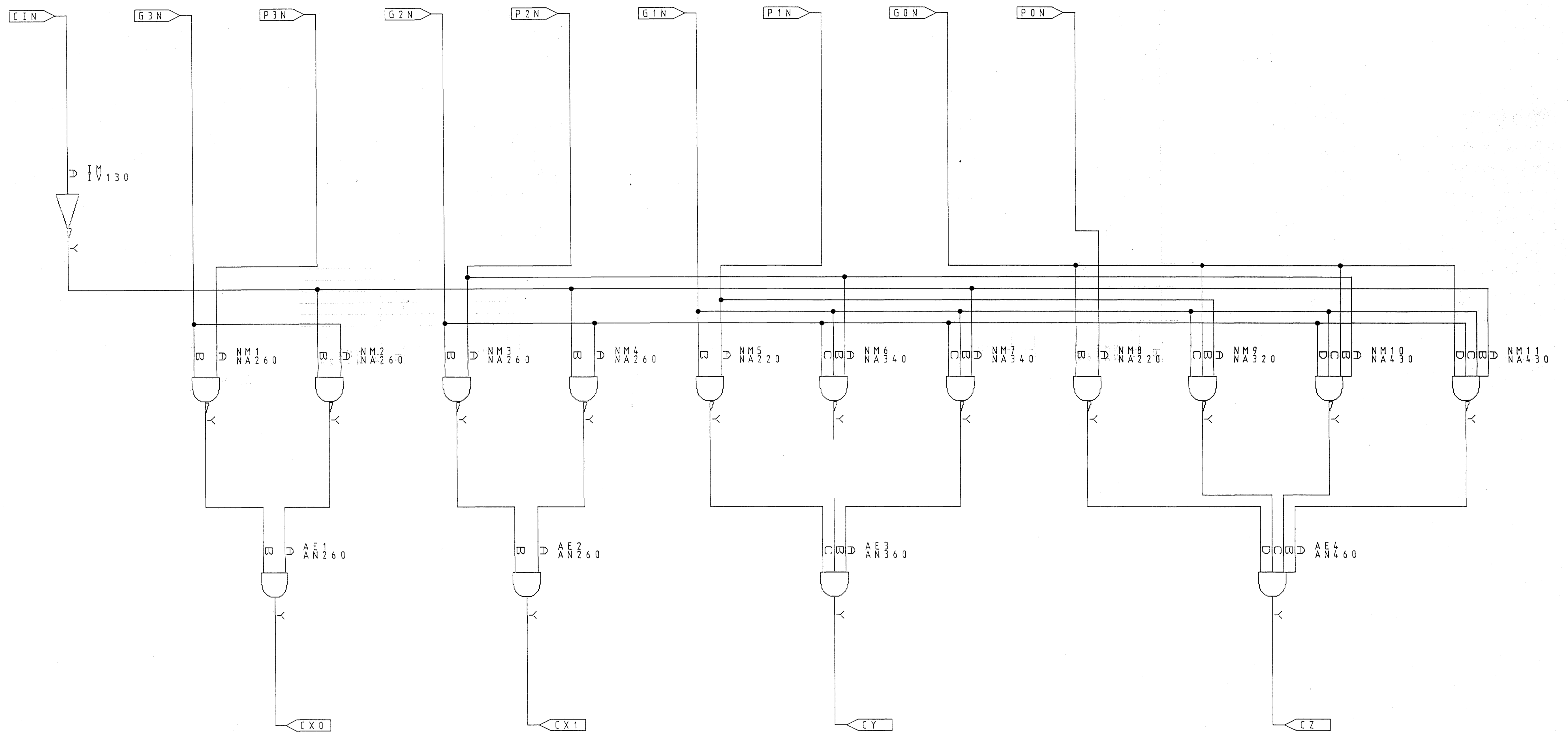
E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno . EULOGIO PENA VAZQUEZ		
Title		
REGISTRO B18		
Size	Document Number	REV
A	23	1
Date:	July 10, 1989	Sheet 23 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS		
Tutor : Dr. ANTONIO NUNEZ ORDOÑEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR C57		
Size	Document Number	REV
B	24	1
Date:	July 10, 1989	Sheet 24 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD DE EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
MULTIPLEXOR D57		
Size	Document Number	REV
B	25	1
Date:	July 10, 1989	Sheet 25 of 29



E.U.I.T.T.-E.T.S.I.T. DE LAS PALMAS		
UNIDAD EJECUCION DEL 8085 EN TEC. CMOS		
CON CELULAS ESTANDAR DE PHILIPS DE 1.5 MICR.		
Tutor : Dr. ANTONIO NUNEZ ORDONEZ		
Alumno : EULOGIO PENA VAZQUEZ		
Title		
GENERADOR DE ACARREO RAPIDO B02		
Size	Document Number	REV
B	26	1
Date:	July 10, 1989	Sheet 26 of 29