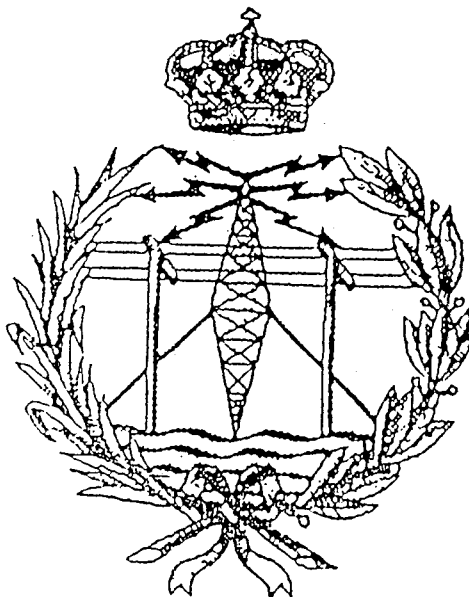


UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA UNIVERSITARIA DE TELECOMUNICACION DE LAS PALMAS



TRABAJO FIN DE CARRERA

TITULO: DISEÑO DE LA PARTE DE CONTROL DE CPA EN CELULAS
ESTANDAR CMOS DE 1.5 μ DE PHILIPS

ESPECIALIDAD: EQUIPOS ELECTRONICOS

AUTOR: CARLOS SALVADOR BETANCOR MARTIN

FECHA Y AÑO: A 5 DE NOVIEMBRE DE 1989

CALIFICACION: SOBRESALIENTE
(9)

TUTOR: D. JAVIER LOPEZ CURBELO

CO-TUTOR: D. ANTONIO NUÑEZ ORDOÑEZ

TRIBUNAL:

INDICE

CAPITULO I	1
1. INTRODUCCION	2
1.1 EL CIRCUITO INTEGRADO	2
1.2 ASIC (Aplication Specific Integrated Circuits)	3
1.2.1 GATE ARRAY	7
1.2.1.1 SystemGate II (PHILIPS)	7
1.2.2 STANDARD CELL	8
1.2.2.1 SystemCell II (PHILIPS)	8
CAPITULO II	10
2. OBJETIVO DEL PROYECTO	11
CAPITULO III	13
3. TECNOLOGIA	14
3.1 DESCRIPCION GENERAL DE LA TECNOLOGIA	14
3.2 PARAMETROS A TENER EN CUENTA EN EL DISEÑO	18
3.2.1 AREA	18
3.2.2 POTENCIA	19
3.2.2.1 Potencia estática	20
3.2.2.2 Potencia dinámica	21
3.2.2.3 Potencia total	23
3.2.3 RETARDOS	24
3.3 SELECCION DE LAS CELULAS	26
3.4 ASIGNACION DE LOS PINES	27
3.5 REGLAS BASICAS DE DISEÑO	29

CAPITULO IV	31
4. HERRAMIENTAS DE DISEÑO	32
4.1 CAPTURADOR DE ESQUEMAS OrCAD/SDT III	32
4.2 SIMULADOR LESIM 2	33
 CAPITULO V	 34
5. PROCESO GENERAL DE DISEÑO	35
5.1 Estudio de viabilidad	37
5.1.1 Area	37
5.1.2 Potencia	38
5.1.3 Número de pines	38
 CAPITULO VI	 40
6. DISEÑO DE LA PARTE DE CONTROL DE CPA	41
6.1 ESPECIFICACION DEL DISEÑO	41
6.1.1 ESPECIFICACIONES DEL CIRCUITO	41
6.1.2 ARQUITECTURA DE LA PARTE DE CONTROL DE CPA	41
6.2 DISEÑO	69
6.2.1 SECUENCIADOR DE MICROPROGRAMA	69
6.2.2 REGISTRO DE INSTRUCCIONES	81
6.2.3 REGISTRO PIPELINE	81
6.2.4 DECODIFICADOR	81
6.2.5 MULTIPLEXOR DE CONDICION	82
6.2.6 MULTIPLEXOR DE RESET	83
6.2.7 BUFFERS DE DIRCCIONES Y DATOS	84
6.2.8 LOGICA DE INTERRUPCION	85
6.2.9 MAPEO DE INTERRUPCIONES	86

6.3.3.2.2 Potencia dinámica	141
6.3.3.2.2.1 Potencia que se disipa en el núcleo	141
6.3.3.2.2.2 Potencia que se disipa en la periferia	146
6.3.3.2.3 Potencia total	147
6.3.3.3 CONCLUSION	148
6.3.3.4 POTENCIA TOTAL DEL ASIC	148
6.3.4 NUMERO DE PINES	148
6.4 CALCULOS DE ADAPTACION	150
6.4.1 Cálculos del fan-out	150
6.4.2 Cálculos del reloj	152
6.5 DISTRIBUCION DE LOS PINES	155
CAPITULO VII	157
7. SIMULACION	158
7.1 SECUENCIADOR DE MICROPROGRAMA	161
7.1.1 Fichero estímulo	161
7.1.2 Resultados alfanuméricos	164
7.2 LOGICA DE INTERRUPCION	173
7.2.1 Fichero estímulo	173
7.2.2 Resultados alfanuméricos	175
7.3 MAPEO DE INTERRUPCIONES	180
7.3.1 Fichero estímulo	180
7.3.2 Resultados alfanuméricos	182
7.4 REGISTRO DE INSTRUCCION	184
7.4.1 Fichero estímulo	184

7.4.2 Resultados alfanuméricos	185
7.5 MULTIPLEXOR DE CONDICION	186
7.5.1 Fichero estímulo	186
7.5.2 Resultados alfanuméricos	187
7.6 MULTIPLEXOR DE RESET	188
7.6.1 Fichero estímulo	188
7.6.2 Resultados alfanuméricos	189
7.7 DECODIFICADOR	190
7.7.1 Fichero estímulo	190
7.7.2 Resultados alfanuméricos	191
7.8 SIMULACION DE LA UNIDAD DE CONTROL	192
7.8.1 Fichero estímulo	192
7.8.2 Resultados alfanuméricos	206
CAPITULO VIII	251
8. ESPECIFICACIONES DE FABRICA	252
PRESUPUESTO	264
APENDICES:	
APENDICE A	267
ESPECIFICACIONES DE LAS CELULAS	268
APENDICE B	277
LIBRERIA DE CELULAS, MEMORIA EPROM	278

APENDICE C	370
DATOS DE LAS CELULAS DE 2 μ	371
BIBLIOGRAFIA	380

CAPITULO I

1 INTRODUCCION

1.1 EL CIRCUITO INTEGRADO

Uno de los fundamentos de la rápida evolución de los sistemas electrónicos hay que buscarlo en el desarrollo de los circuitos integrados, cuyas líneas de mejora van dirigidas basicamente en cinco sentidos:

- Reducción del tamaño característico de los dispositivos dentro del CI, simultáneamente al aumento del área del chip.
- Aumento de la velocidad de tratamiento de la información.
- Reducción de la potencia disipada por dispositivo.
- Reducción del coste de diseño y producción del CI.
- Aumento de la capacidad de conexión y adaptación del CI al mundo exterior.

Paralelamente a la reducción del tamaño geométrico mínimo de los dispositivos integrados, se ha producido un incremento de la superficie del chip (superficie de silicio que ocupa el CI). Esto es debido a la mejora de calidad de los procesos tecnológicos, que permiten una disminución de la tasa de defectos inducidos por unidad de área sobre el silicio en cada uno de los niveles de máscara empleados en el proceso (defectos/cm² y nivel de máscara).

Como resultado de la disminución del tamaño característico del dispositivo y del incremento del área del chip, se produce un drástico crecimiento de la capacidad de

integración.

A sí mismo, la reducción del tamaño característico de los dispositivos, da lugar a una disminución del retardo asociado a cada uno de ellos, así como de la potencia que tienen que disipar individualmente. Aunque existen multitud de aspectos que limitan en mayor o menor grado las mejoras apuntadas, el efecto neto es una constante superación de las prestaciones ofrecidas por los sistemas integrados.

El crecimiento en capacidad de integración y la mejora de las prestaciones de los dispositivos integrados, suponen que, en general, se pueden construir sistemas de mayor complejidad, más veloces y de menor consumo de una forma integrada.

Persiguiendo el fin de aprovechar las mejores prestaciones que ofrecen los sistemas integrados frente a sus homólogos no integrados, las próximas décadas hacen vislumbrar un nuevo estilo de diseño, en el que las placas enteras de circuito impreso con componentes MSI o LSI estándar serán integradas en un solo chip. Paralelamente al aumento de la complejidad del sistema a diseñar, crecerá la dificultad para encontrar un CI estándar que responda a las necesidades del usuario, en cuyo caso se podrá pensar en el desarrollo de uno específico. Este es el fundamento de los ASIC o circuitos integrados de aplicación específica.

1.2 ASIC (*Application Specific Integrated Circuits*)

La continua demanda de la industria electrónica para incrementar la integración y aumentar el rendimiento de un sistema ha tenido como resultado el desarrollo de una nueva filosofía de diseño llamada 'Circuitos Integrados de Aplicación Específica' o ASIC.

Por ASIC se entiende cualquier circuito integrado que en algún momento anterior a su integración en el sistema del que forma parte, ha sido caracterizado para una aplicación concreta, determinada por el usuario del chip.

Sin embargo, no tendría ningún sentido plantearse la conveniencia de la integración de sistemas si ésta no fuese económicamente abordable por la empresa. Afortunadamente, la mejora de las características puramente técnicas en el terreno de los CI, ha venido acompañada de una impresionante reducción de los costes de desarrollo y fabricación, algo que está permitiendo a las empresas, en la actualidad, el acceso al diseño de ASIC con unos costes de desarrollo y fabricación relativamente bajos, hecho que se produce fundamentalmente por dos causas:

- Evolución de la oferta tecnológica, circunstancia que se manifiesta ofreciendo simultáneamente mejores productos a precios más bajos, así como ampliando la oferta, es decir, intentando abrir nuevos mercados al consumo de CI.

- Desarrollo de nuevas metodologías de diseño que permiten conjugar la creciente complejidad de los sistemas integrados con el desarrollo de un diseño adaptado a las necesidades del usuario sin que los costes se disparen.

Simultáneamente a la caída de precios, se ha producido un notable descenso del tiempo empleado en el diseño y fabricación. En un sector donde la rapidez de respuesta a las necesidades de mercado es cada vez mayor, ésta es una de las características que hacen más atractivos a los ASIC.

Otro aspecto estratégico, de gran interés para la empresa, reside en la seguridad de sus diseños. El uso de ASIC dificulta notablemente el acceso al conocimiento del diseño por parte de otras empresas de la competencia, cuestión de gran importancia en un mercado de alta competitividad.

Todo el conjunto de factores que se han ido mencionando está dando lugar a que, en la actualidad, la pendiente de crecimiento del mercado ASIC sea mayor que la del mercado de CI estándar, tendencia que previsiblemente se mantendrá hasta finales de siglo. La mayor parte de los especialistas de mercado del mundo de la microelectrónica, coinciden en señalar que, si bien hoy en día el mercado de los ASIC y el de los CI estándar se reparte en un 20/80%, para finales de la década de los 90 esta proporción estará próxima al 50/50%.

Se suelen distinguir cuatro grandes familias dentro de los circuitos de aplicación específica:

- Los dispositivos lógicos programables: PLD, PAL, PLA, etc.
- Los circuitos predifundidos: redes de puertas (gate arrays).

- Los circuitos a base de células: células estándar (standard cells).

- Los circuitos completamente a medida: full custom.

Aunque las características de cada una de estas familias siguen estando claras, las fronteras entre las mismas han sido cubiertas por dispositivos que presentan características de más de una de ellas, como las redes de puertas programables por el usuario, los PLD que requieren una caracterización por parte del fabricante, o las redes de puertas que incluyen células complejas al estilo de las 'standard cells', etc.

Atendiendo sólo al mercado europeo, y según fuentes de Dataquest, los ASIC acrecentarán su participación desde el 39% de 1987 al 48% en 1993, sobre un mercado total de 3197 millones de dólares para los circuitos integrados digitales. Los ASIC analógicos, según la misma fuente, tendrán una parte mucho más modesta, aunque también en aumento, pasando del 6 al 9% en el mismo periodo de tiempo, sobre un mercado de CI lineales que será de 1730 millones de dólares en 1993.

En conjunto, los ASIC, que tuvieron unas ventas de 750 millones de dólares en 1987, sumarán 1695 millones de dólares dentro de cuatro años. Por familias, y comparando los porcentajes en las mismas fechas de 1987 y 1993, los predifundidos son los que ostentan una parte mayor, pasando del 32 al 40%; las células estándar serán las de mayor crecimiento, pasando del 9 al 27%; y los dispositivos programables también verán aumentar su participación, aunque

solamente del 10 al 12%. Los circuitos bajo demanda puros, por contra, verán disminuir su participación del 39 al 12%, al igual que los circuitos específicos analógicos, que pasarán del 10 al 9%. El descenso de los circuitos lineales tiene su explicación en la aparición de circuitos mixtos analógicos/digitales.

1.2.1 GATE ARRAY

En Gate Arrays los datos son prefabricados sobre obleas que contienen tiras de puertas lógicas. Estas son interconectadas por un modelo que especifica el diseñador. Debido a que la adaptación del diseñador es hecha solo en la fase final de fabricación, las obleas maestras estándar pueden ser prefabricadas, conduciendo a grandes reducciones en el costo. Sin embargo, área de silicio puede quedar sin ser usada.

1.2.1.1 SystemGate II (PHILIPS)

SystemGate II es una extensa familia de gate arrays CMOS de 1.5 micras, particularmente ajustadas para los diseños que necesiten hasta 12700 puertas en un solo circuito integrado.

Los niveles predifundidos de SystemGate II, forman una matriz de puertas básicas de cuatro transistores (dos de canal N y dos de canal P), rodeada por un número de bloques

funcionales (entradas, salidas, transceivers,...).

1.2.2 STANDARD CELL

Una simple célula estándar es un bloque predefinido que lleva a cabo una función específica. Un dispositivo de células estándar integra algunos de esos bloques.

El diseñador selecciona la combinación de células necesarias para su diseño usando sofisticados sistemas CAE. Debido a que todas las células son predefinidas y comprobadas, el diseñador tiene un alto grado de seguridad de que su diseño trabajará correctamente.

La densidad de funciones es también más alta que para Gate Array y no hay área de silicio sin usar. Los diseños en Standard Cell requieren un juego de máscaras completo, por lo que el gasto es más alto que para los diseños con Gate Array. Un error común es pensar de Standard Cell como un Gate Array optimizado o consolidado, sin embargo, esto no es así; ello es una solución de ingeniería ofreciendo funciones adicionales.

1.2.2.1 SystemCell II (PHILIPS)

SystemCell II es una extensa familia de células estándar CMOS de 1.5 micras, a través de la cual se pueden realizar diseños de amplitud hasta 20K puertas en un solo circuito integrado.

Como en SystemGate II, SystemCell II es fabricado en un proceso CMOS de 1.5 micras con doble nivel de interconexiones de metal. Las células son ordenadas en una rejilla simétrica X-Y, de tal forma que pueden ser fácilmente giradas para la orientación óptima, para minimizar las longitudes de las interconexiones. La longitud de 1.2 micras efectiva de la puerta, permite a un flip-flop bascular a frecuencias del orden de 60MHz. Los transistores de salida son grandes, por lo que pueden manejar altas corrientes con el mínimo retardo causado por la capacitancia del cableado del sistema. El tamaño de los transistores canal N y canal P son variables para permitir los mismos umbrales de conmutación lógica para ser realizados en diferentes células.

CAPITULO II

2 OBJETIVO DEL PROYECTO

El objetivo del proyecto es la integración en un chip de la tarjeta CPA, que es un procesador emulador del i8085.

Este proyecto de integración de CPA se ha dividido en dos:

- Parte de ejecución de CPA, realizada por el compañero Eulogio Peña.

- Parte de control de CPA, que es la que me ha tocado llevar a cabo.

Para esta implementación se han escogido las células estándar de PHILIPS en tecnología CMOS de 1.5 micras (SystemCell II). A través de estas células y el CAD apropiado (en este caso el paquete PPDS de PHILIPS con el capturador OrCAD/SDT III) se llevará a cabo el proceso de conversión, constituyendo lo que se denomina un ASIC.

Aunque en principio la idea era integrar la CPA en una sola pastilla, ha resultado imposible por la falta de área, por lo que se ha decidido separar la micromemoria y colocar una EPROM comercial.

Cabe preguntarse las ventajas que se obtienen con esta integración de CPA. Citemos algunas:

- Menor consumo de potencia.
- Circuito mucho más compacto, con menor riesgo de avería y menor espacio ocupado.
- Circuito de difícil acceso para la competencia.

Sin embargo también existe un inconveniente inherente a la

propia tecnología CMOS, y es la menor velocidad de operación que se ha obtenido.

Por otra parte, este proyecto se ha convertido en parte un poco en investigación de estas células de PHILIPS, ya que la información que se tenía de éstas era escasa y los rendimientos que podrían ofrecer eran impredecibles. Por lo tanto, con este proyecto se ha obtenido una información bastante completa de estas células y de todo lo relacionado con un diseño ASIC, que servirá de base a futuros proyectos, los cuales espero que la aprovechen al 100%.

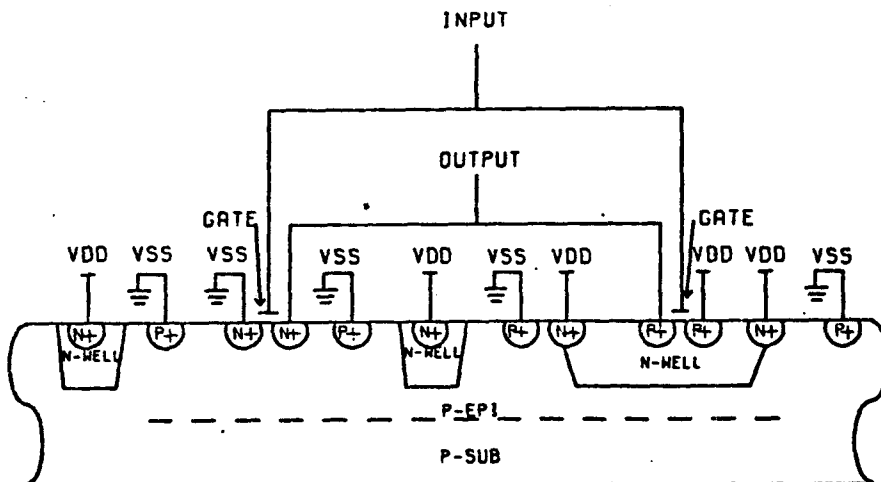
CAPITULO III

3. TECNOLOGIA

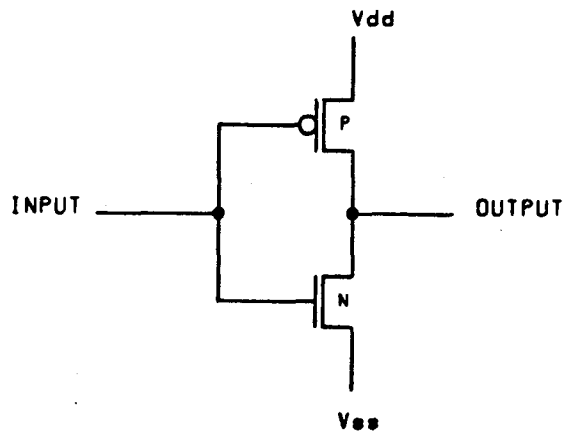
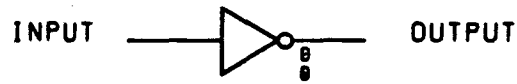
3.1 DESCRIPCION GENERAL DE LA TECNOLOGIA

El método de diseño semicustom en systemcell, combina la arquitectura de la familia de células estándar con un proceso de fabricación en CMOS de 1.5 micras, con doble metalización y óxido aislado. El diseñador de sistemas se encuentra así con unas modernas herramientas CAD para llevar a cabo la captura de esquemas y la simulación. Para llevar a cabo estas actividades correctamente, el diseñador debe familiarizarse con la librería de células con la que esté trabajando y una serie de utilidades específicas del CAD y software apropiado, que permiten chequear cada nivel de lo realizado por el usuario.

La operación básica de los elementos lógicos CMOS dependerá de las configuraciones de los MOSFETs de canal P y N. A continuación vemos la estructura del proceso para un inversor:

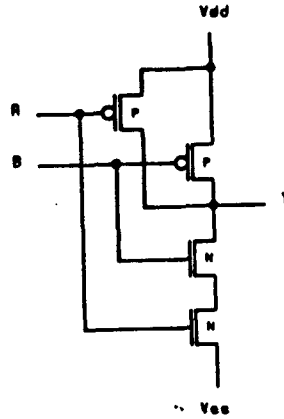
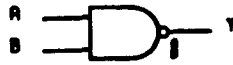


Su representación simbólica junto con su esquema eléctrico y la correspondiente tabla de verdad se presentan a continuación:



Logical Input	P-FET	N-FET	Logical Output
0	ON	OFF	1
1	OFF	ON	0

Inicialmente partimos del inversor; a partir de ahí expandimos y obtenemos la función NAND, en la cual una serie de MOSFETs canal N y P han sido añadidos. La figura siguiente muestra una NAND:



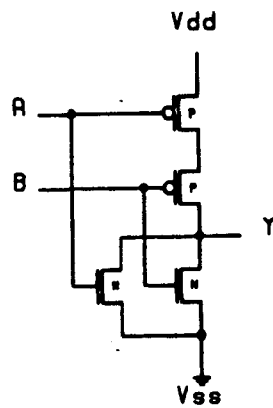
INPUTS		OUTPUT
A	B	Y
0	X	1
X	0	1
1	1	0

Del circuito eléctrico de la NAND podemos observar que si las dos entradas están a uno, los transistores de canal P estarán cortados y los de canal N activos, y por lo tanto habrá un cero a la salida. Para el caso de que las dos entradas estén a cero ocurre lo contrario que en el caso anterior. Esta operación básica es el núcleo de la mayoría de las estructuras combinatorias en CMOS.

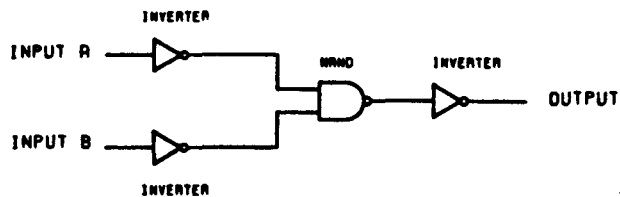
Múltiples entradas a una NAND pueden ser generadas por expansión. Las estructuras se pueden generar:

- Combinando los transistores.
- Combinando las funciones a nivel de puerta.

A continuación vemos un ejemplo en el que una NOR se ha diseñado mediante la combinación de transistores y mediante la combinación de puertas. Se puede observar claramente que la primera estructura es mas rápida:



INPUTS		OUTPUT
A	B	Y
1	X	0
X	1	0
0	0	1



3.2 PARAMETROS A TENER EN CUENTA EN EL DISEÑO

Hay una serie de parámetros que hay que tener muy en cuenta cuando se quiere realizar un diseño de un circuito integrado en tecnología CMOS, ya que éstos son los que nos van a poner las limitaciones del diseño. Vamos a explicar claramente estos parámetros y como se realizan sus cálculos.

3.2.1 AREA

Como sabemos, el dado tiene una determinada área, dentro de la cual tendremos que meter nuestro diseño. Cuando los diseños son complicados el área puede ser un factor decisivo, de tal forma que incluso en ocasiones tendremos que particionar nuestro diseño en varios chips.

La unidad de área viene dada por el área que ocupa una puerta NAND de dos entradas. O sea, una NAND de dos entradas equivale a una puerta en área. El fabricante nos da la limitación en puertas del dado, que en SystemCell II (1.5 micras) es de 20K. Se puede deducir que si nuestro diseño supera las 20K puertas no lo podremos meter en un único chip, habrá que hacer una partición del diseño.

Sin embargo, aquí nos encontramos con un grave problema, ya que no disponemos de la equivalencia en área de las células de SystemCell II, puesto que PHILIPS no las suministra debido a que actualmente es secreto tecnológico. Para disponer de unos cálculos estimativos del área (nunca

exactos), se puede optar por aplicar al diseño los datos de SystemCell I (2 micras) que si los ha suministrado PHILIPS. A través de unas tablas observamos el equivalente en área de la célula en cuestión, basta ir sumando el área de cada célula del diseño para obtener el área total. El resultado obtenido siempre va a estar por arriba del valor real, debido a que el área que ocupa una célula de 2 micras es siempre superior a la que ocuparía en 1.5 micras.

Otra solución es tomar el número de puertas que nos da el simulador (LESIM II), pero teniendo en cuenta que este redondea a una las medias puertas, con lo que también nos dará un número superior al real.

Así, disponemos de dos valores:

- El teórico, a través de las tablas de 2 micras.
- El práctico, dado por el simulador LESIM II.

Cuanto mayor es la capacidad de conexión de las puertas, mayor es el área que ocupa.

No debe confundirse el término de puerta equivalente en área, con la de puertas equivalentes en transistores, ya que estos últimos tienen como célula básica un operador inversor de dos entradas, que puede ser una NAND o una NOR, poseyendo ambas cuatro transistores.

3.2.2 POTENCIA

Aunque los integrados CMOS consumen poca potencia, los diseñadores deben comprender el motivo de los cálculos de

potencia. El cálculo de la potencia de disipación es extremadamente importante cuando el diseño requiere un gran número de puertas, constituyéndose en una limitación definitiva en la determinación de la densidad del soporte del circuito.

En un circuito integrado podemos distinguir básicamente dos regiones bien definidas: núcleo y periferia.

Los MOSFETs del núcleo se tratarán con corrientes muy pequeñas y por lo tanto tendrán pequeña geometría. Los MOSFETs de la periferia conducirán corrientes mayores y consiguientemente tendrán una mayor geometría.

Por lo tanto, en el cálculo de la potencia disipada, la primera distinción consiste en separar las células del núcleo de las células de la periferia en la ecuación de la potencia disipada.

En CMOS podemos dividir la potencia en dos tipos:

- Potencia estática: producida por las células que no conmutan.
- Potencia dinámica: producida por las células que están conmutando.

3.2.2.1 Potencia estática

En un dispositivo CMOS, la potencia estática se produce cuando no ocurren conmutaciones, y ambos transistores PMOS y NMOS están en OFF. Idealmente no hay un camino directo entre alimentación y masa en transistores MOS. En la práctica, hay

una corriente de fuga, I_{cc} , entre alimentación y masa, debido a los portadores de carga minoritarios presentes en la unión de un diodo en inversa.

La potencia estática se calcula mediante la ecuación siguiente:

$$P_{DC} = V_{DD} \cdot I_{CC}$$

También es necesario considerar las salidas que requieren mayor cantidad de corriente continua (cargas TTL, LED, resistencias,...). Un dispositivo TTL con su entrada a 0, vierte una corriente de 1.6 mA en un dispositivo CMOS, que si se multiplica por V_{OL} (0.44) y por su ciclo de rendimiento en %, se convierte en un considerable consumo de potencia.

La potencia total estática es la suma de la potencia de pérdida y la potencia de las cargas:

$$P_{EST} = P_{PER} + P_{CARG}$$

$$P_{PER} = V_{DD} \cdot I_{CC}$$

$$P_{CARG} = \sum_n [V_{OL} \cdot I_{IL} \cdot (\% \text{ ciclo rendimiento bajo})]_n$$

siendo n el número de cargas TTL

3.2.2.2 Potencia dinámica

En la situación dinámica entran varios componentes a

formar parte en la potencia dinámica. La potencia se disipará, mayoritariamente, cuando ambos transistores complementarios están conduciendo. El tiempo de slow rise de las señales de entrada, las entradas flotantes o sin conectar y las capacidades excesivas de entrada/salida contribuyen a disipar la potencia en dinámica, pero el efecto dominante se debe básicamente a las capacidades.

En una situación ideal, asumiendo una entrada de función escalón y una carga capacitiva, el consumo de potencia dinámica puede obtenerse mediante la siguiente fórmula:

$$PAC = CL \cdot V_{DD}^2 \cdot f$$

siendo: CL la carga capacitiva

f la frecuencia

Las entradas a dispositivos CMOS, sin embargo, no son funciones escalón perfectas, y durante una transición, ambos transistores PMOS y NMOS, estarán conduciendo, ofreciendo una baja resistencia entre alimentación y masa (conocidas como corrientes transitorias de conmutación).

Además, la carga no es la única capacitancia presente en un dispositivo CMOS. Cualquier dispositivo semiconductor activo, tiene una capacidad parásita inherente en las uniones de los diodos, en las estructuras del transistor MOS y en las interconexiones de aluminio y polisilicio. La capacidad interna afecta a los circuitos activos, de la misma forma que las cargas capacitivas externas, variando de

un dispositivo a otro dependiendo de su complejidad.

Con el fin de obtener más fácilmente la cantidad total de los diferentes factores que intervienen en la potencia dinámica, se introduce el término Cpd, que es la capacitancia interna efectiva del dispositivo. La ecuación de la potencia dinámica nos queda:

$$P_{AC} = (C_{PD} + C_L) \cdot V_{DD}^2 \cdot f$$

Un factor muy importante a tener en cuenta y que marcará la exactitud de los cálculos realizados, es el acertar en el número de puertas que conmutarán a un mismo tiempo y a que frecuencia lo hacen.

3.2.2.3 Potencia total

A continuación se detallan los pasos a seguir para la estimación de la potencia en CMOS:

1. Calcular el número de puertas del circuito.
2. Tensión de alimentación a la que se va a trabajar.
3. Estimación de las frecuencias operativas del núcleo y la periferia.
4. Calcular la potencia estática:

$$P_{DC} = V_{DD} \cdot I_{CC} + \left\{ \sum_n [V_{OL} \cdot I_{IL} \cdot (\% \text{ dc})] \right\}_n \text{ TTL loads}$$

5. Calcular la potencia dinámica del núcleo:

$$[PAC]_{CORE} = \sum_n [(CPD + CL) \cdot VDD^2 \cdot f_i]_n$$

siendo n el número de puertas internas

6. Calcular la potencia dinámica de la periferia:

$$[PAC]_{PERIPHERY} = \sum_n [(CPD + CL) \cdot Vdd^2 \cdot f_o]_n$$

siendo n el número de entradas/salidas

7. Calcular la potencia total:

$$P_{TOTAL} = PDC + [PAC]_{CORE} + [PAC]_{PERIPHERY}$$

3.2.3 RETARDOS

Los retardos producidos por las células nos van a limitar la velocidad a la que va a trabajar el dispositivo. Por lo tanto, aunque no sea un factor decisivo que nos imponga una limitación en el diseño, sí hay que tenerlo en cuenta cuando queramos que nuestro diseño sea rápido.

El diseñador ha de tener en cuenta la adicional capacidad de carga representada por las células grandes, y sus efectos en los caminos críticos de tiempo. En un diseño en CMOS y desde un punto de vista estático, el fan-out es prácticamente ilimitado. Sin embargo, CMOS es muy sensible a la carga capacitiva. Los requerimientos de velocidad

deseados serán cuidadosamente evaluados para seleccionar la versión óptima de la célula. Algunos diseñadores estarán tentados a utilizar las células más grandes en sus diseños. Sin embargo, el diseñador deberá tener cuidado, ya que las células grandes poseen también mayor capacidad a la entrada y por lo tanto imponen una gran carga sobre las células que las preceden. Las librerías nos informan sobre los retardos intrínsecos e incrementos de retardo de cada célula en tres situaciones diferentes: caso más favorable, caso nominal y caso más desfavorable. Se recomienda al diseñador escoger siempre el peor caso.

La propagación del retardo modificado por la capacidad de carga, puede ser calculado usando las siguientes ecuaciones:

$$T_{PHL} = t_{PHL} + (\Delta t_{PHL}) \cdot (C_{node})$$

siendo: t_{PHL} el retardo intrínseco de la célula,
en la transición alto-bajo

Δt_{PHL} el incremento de retardo en la
transición alto-bajo

C_{node} la capacitancia del nodo

$$T_{PLH} = t_{PLH} + (\Delta t_{PLH}) \cdot (C_{node})$$

siendo: t_{PLH} el retardo intrínseco de la célula,
en la transición bajo-alto

Δt_{PLH} el incremento de retardo en la
transición bajo-alto

La capacitancia del nodo se calcula mediante la suma de la capacitancia de entrada de todas las células conectadas (C_{in}), con la capacitancia de interconexión (C_{int}):

$$C_{node} = C_{in} + C_{int}$$

donde: $C_{in} = F \cdot C_{ent}$

$$C_{int} = (0.088 + 0.104 \cdot K) \cdot (0.83 + 0.136 \cdot F)$$

siendo: F el número de cargas o fan-out

C_{ent} la capacidad de carga a la entrada

K el número de puertas en área

Para realizar un estudio de la velocidad del diseño, nos tendremos que fijar en los posibles caminos críticos existentes, y hacer los cálculos mediante las fórmulas antes reseñadas para cada célula del camino.

Existe también la solución de coger los resultados que nos de el simulador, sin embargo, hay que tener en cuenta que para que estos resultados sean verídicos "el diseño entero tiene que ser simulado". Además hay que tener en cuenta que el simulador siempre da más área de la real y por lo tanto, los resultados no serán totalmente exactos.

3.3 SELECCION DE LAS CELULAS

Un examen cuidadoso de la librería de SystemCell, muestra que muchos tipos de células se encuentran en varias

versiones. Para las células lógicas, esas versiones representan variaciones en la capacidad de ataque, y además, cada una de ellas realiza la misma función lógica. Sin embargo, se diferencian en la velocidad intrínseca, capacidad de ataque a otras células y tamaño físico. Así, un incremento de la capacidad de ataque, se traduce en una mayor rapidez y una mayor cargabilidad, pero requiere más área de silicio.

Hay varias maneras de seleccionar las células. Sin embargo, se recomienda comenzar con un diseño donde se usen células de bajo fan-out. Posteriormente, si hay problemas de tiempos, comenzar a reemplazar células en las rutas críticas por otras de mayor fan-out, empezando en la salida y siguiendo hacia la entrada.

En la elección de las células de entrada-salida existen una serie de parámetros a considerar, como: niveles lógicos de entrada-salida, requerimientos de corriente de salida, características de la carga y retardos añadidos por los buffers de entrada-salida.

SystemCell proporciona dos tipos de buffers de entrada: los compatibles con TTL y los compatibles con CMOS. Por compatible se entiende que no se necesita ningún circuito de interface adicional para adaptar los niveles lógicos desde la lógica estándar TTL y CMOS. Todos los buffers de salida están diseñados para ser compatibles con ambas tecnologías.

3.4 ASIGNACION DE LOS PINES

La asignación de cada pin del paquete para una señal de entrada-salida, alimentación o masa es en algunos casos predeterminado por el usuario. Un ejemplo de esto sería una aplicación donde un diseño de células estándar reemplaza a un dispositivo existente de gate array. Si la selección de los pines de salida no es fijada, ciertas líneas de referencia son recomendadas durante el proceso de selección:

1. Se debe asignar al menos un pin de alimentación y otro de masa. Se requiere un pin de masa adicional por cada 60 mA de corriente de entrada-salida (uno para 60 mA, dos para 120 mA,...). Pines de alimentación adicionales pueden ser requeridos si hay más de 60 mA de corriente de alimentación. Los pines de entrada-salida y las conexiones contribuyen a una inductancia que puede causar problemas.

2. Para reducir los voltajes transitorios, los pines de alimentación y masa deberían ser de mínima inductancia. Para la mayoría de los soportes, hay pequeñas diferencias de inductancia entre los pines. Sin embargo, para los paquetes dual-in-line, los pines de las esquinas pueden tener cuatro veces la inductancia de los pines centrales.

3. Los pines de alimentación y masa no se deben colocar 180 grados en oposición uno del otro. Por otro lado, una incorrecta inserción del circuito integrado, invertiría los voltajes de alimentación y masa, dañando seriamente al circuito integrado.

4. Todas las señales de entrada-salida que controlan

cualquier entrada de reloj de un flip-flop o de una entrada de habilitación de un latch, deben ser colocadas lo más cerca posible de un pin de masa. Esto minimiza la posibilidad de tener una acumulación de elementos perturbadores de ruido.

5. Las salidas con altos requerimientos de corriente de sumidero, deben ser colocadas cerca de los pines de masa. Las salidas con altos requerimientos de corriente de fuente, deben ser colocadas cerca de los pines de alimentación. Esto minimiza los voltajes de la doble metalización del chip. La colocación de las salidas con altos requerimientos de corriente de sumidero, tiene preferencia sobre la colocación de las salidas con altos requerimientos de corriente de fuente, esto reduce los niveles de ruido.

3.5 REGLAS BASICAS DE DISEÑO

Las siguientes reglas son las más importantes y que hay que tener en cuenta para el desarrollo del diseño:

1. No conectar las salidas de las células juntas, a menos que sean three-state o drenador abierto.

2. No dejar las entradas de las células flotando. Esto incluye a los buses internos. Siempre debemos conectar las entradas no utilizadas a la célula tie-off con el nivel apropiado.

3. Regla de 1/3X: atacar un dispositivo de alta

prestación con una célula que tenga $1/3$ de su potencia.

4. Regla de los dos nanosegundos: escoger la célula más pequeña, tal que el producto de sus Δt_P por la capacitancia del nodo sea inferior a los dos nanosegundos.

5. Regla de la mínima célula: utilizar la célula más pequeña que el caso lo requiera.

6. Usar las células de entrada- salida de acuerdo a la tecnología a la que se va a conectar.

7. Utilizar como mínimo un pin de alimentación y otro de masa por cada 60 mA de corriente.

CAPITULO IV

4. HERRAMIENTAS DE DISEÑO

Como herramientas de diseño se han utilizado el capturador de esquemas OrCAD/SDT III y el simulador LESIM 2.

Usando un simple PC-XT/AT se puede llevar a cabo el desarrollo de diseños tanto en SystemGate como en SystemCell, teniendo en cuenta las limitaciones que conlleva el uso de un PC. Una estación de trabajo sería la solución ideal cuando los diseños son bastantes complicados, debido a que un diseño que supere un número de 10000 puertas no podrá ser simulado en un PC a causa de las limitaciones de memoria de éste.

4.1 CAPTURADOR DE ESQUEMAS OrCAD/SDT III

LESIM 2 soporta al capturador de esquemas OrCAD.

OrCAD además de disponer de toda una completa serie de comandos para el diseño de esquemas, posee una serie de utilidades que complementan a LESIM 2 en la comprobación, análisis y obtención de datos del circuito.

Las utilidades son programas que nos facilitan el análisis de un circuito, como por ejemplo la detección de posibles errores debido a fallos en la realización del dibujo.

Según la versión de OrCAD de que se trate el número de utilidades puede variar, siendo 12 para OrCAD/SDT III.

4.2 SIMULADOR LESIM 2

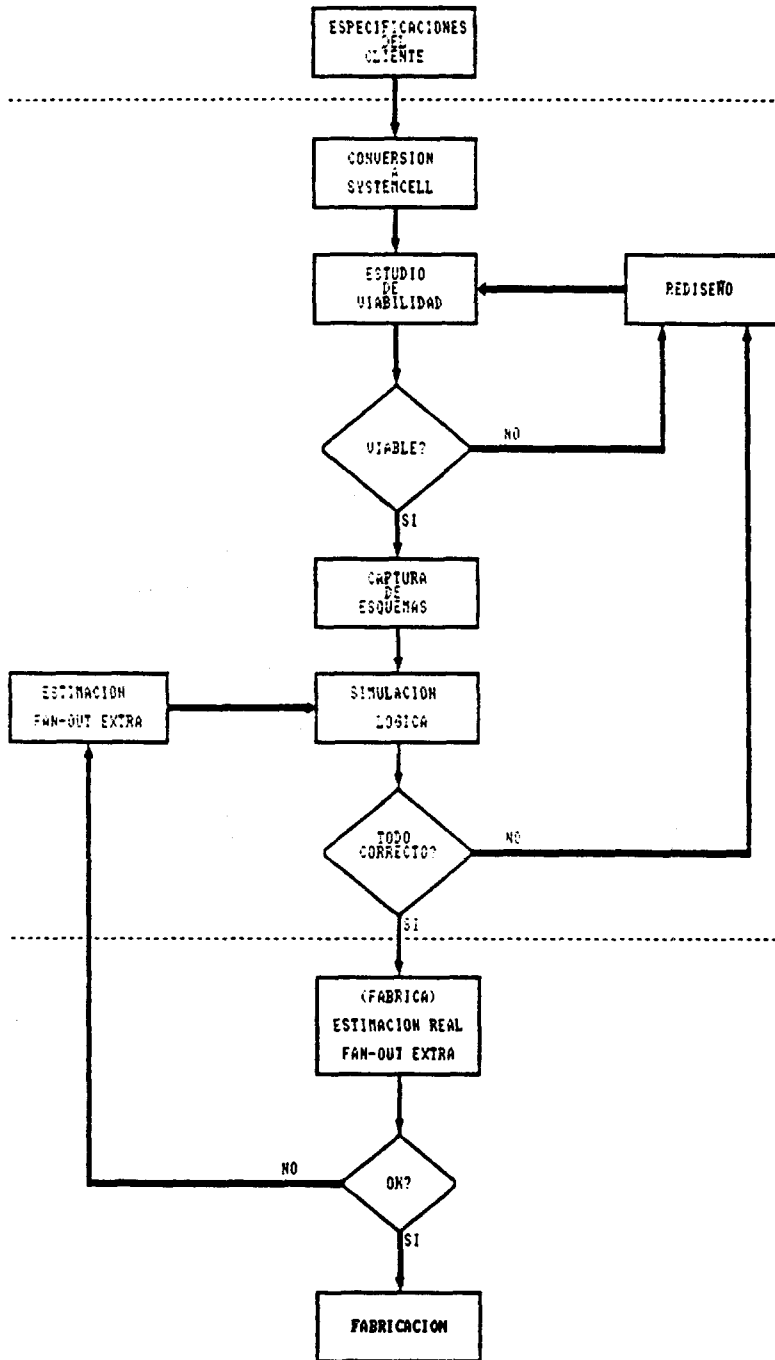
Tras haber efectuado la captura del esquema con OrCAD y haber efectuado las utilidades que nosotros creamos convenientes sin haberse detectado errores, se procede a la fase de simulación del circuito a través de LESIM 2.

Antes de realizar la simulación eléctrica en sí, LESIM 2 posee una serie de pasos a través de los cuales detecta errores en el circuito y consigue la información que necesita para la fase de simulación (SimsCL).

CAPITULO V

5 PROCESO GENERAL DE DISEÑO

En el siguiente diagrama de bloques se muestra el proceso a seguir para el diseño del ASIC:



Normalmente, los diseñadores comienzan el proceso de conversión de un diseño que ya estaba implementado en partes discretas, comparando estas partes con la librería de células y sustituyendo la parte con la correspondiente célula o células equivalentes. Esto es una lógica aproximación y muchos diseñadores comienzan la captura del esquema inmediatamente. Sin embargo, es mejor pararse un momento y considerar las diferencias entre un diseño de un sistema y un diseño de un circuito integrado.

En una célula, la capacidad de ataque, el número de cargas conectadas a ella, las características térmicas y los retardos, son parámetros críticos. Es importante mantener una mente abierta en el proceso de conversión, para que eventos inesperados no parezcan insalvables en el primer diseño de un circuito integrado para el diseñador.

Tras el proceso de conversión, que es fundamental para obtener el éxito esperado, se debe llevar a cabo un estudio de viabilidad del diseño, considerando: número de puertas, área de silicio ocupada, potencia, retardos y número de pines del chip. Si el estudio resulta satisfactorio, se podrá proceder inmediatamente a la captura del esquema, pero si aparecen problemas habrá que hacer un rediseño del circuito.

Una vez realizada la captura del esquema se llevará a cabo la simulación lógica, en la que además deberemos introducir el dato que nosotros creamos conveniente relativo al fan-out extra. Observando los resultados de la

simulación, podremos deducir si definitivamente éste es el circuito que mandaremos a fábrica o por el contrario hay que hacer un nuevo rediseño.

Fábrica nos dará la estimación real de fan-out extra producida en el layout, la cual debe ser menor o igual a la estimada por nosotros. En caso contrario, tendremos que hacer la simulación lógica nuevamente con el nuevo valor, por si se produce exeso de fan-out en algún punto del circuito.

Una vez superada esta etapa, el proceso final es el de fabricación.

5.1 Estudio de viabilidad

Un buen estudio de viabilidad es fundamental para hacernos una idea de las limitaciones a que estamos sometidos. Son tres los factores que fundamentalmente nos limitan el diseño:

- Area de silicio.
- Potencia.
- Número de pines.

5.1.1 Area

El primer paso en la viabilidad del diseño es estimar el tamaño del dado, ya que este afecta enormemente al costo de fabricación. También influye en la velocidad, ya que enviar

una señal a través de un dado grande, requiere más tiempo que a través de uno pequeño, por lo que la velocidad de las señales críticas depende del tamaño del dado.

Cuanto menor sea el dado, casi siempre será mejor el rendimiento que cuando sea mayor, debido, en gran medida, a la disposición estadística del dado sobre la oblea.

Una estimación del área puede hacerse a partir del número de puertas del circuito, considerando como unidad de área a la NAND de dos entradas con mínimo poder de ataque. Sin embargo, en estos cálculos no se tiene en cuenta los pequeños canales de silicio en los que figuran las interconexiones metálicas de las células.

Actualmente para SystemCell II, el área máxima es de cien milímetros cuadrados.

5.1.2 *Potencia*

Puede ocurrir que el dado exeda de los requerimientos de potencia del soporte. En este caso, tenemos dos opciones:

- Disminuir área de silicio.
- Realizar una partición del circuito en más de un dado, o sea, en más de un chip.

5.1.3 *Número de pines*

En el caso de que el número de pines exeda el máximo que el soporte admita, o tengamos que poner tantos pines de

alimentación y masa que excedan el número máximo asignado al dado, solo existe la solución de realizar una partición del circuito en más de un chip.

Actualmente SystemCell II soporta como máximo 120 pines, estando en desarrollo el de 160.

CAPITULO VI

6 DISEÑO DE LA PARTE DE CONTROL DE CPA

Como ya comentamos en el capítulo anterior , el diseño de un circuito en SystemCell conlleva la realización de una serie de pasos bien definidos.

Partiendo de todos los conceptos fundamentales descritos en capítulos anteriores, a continuación se hará un extenso análisis de la implementación en SystemCell II de la parte de control de CPA.

6.1 ESPECIFICACION DEL DISEÑO

El circuito que se va a implementar se denomina "*Unidad de Control de CPA*".

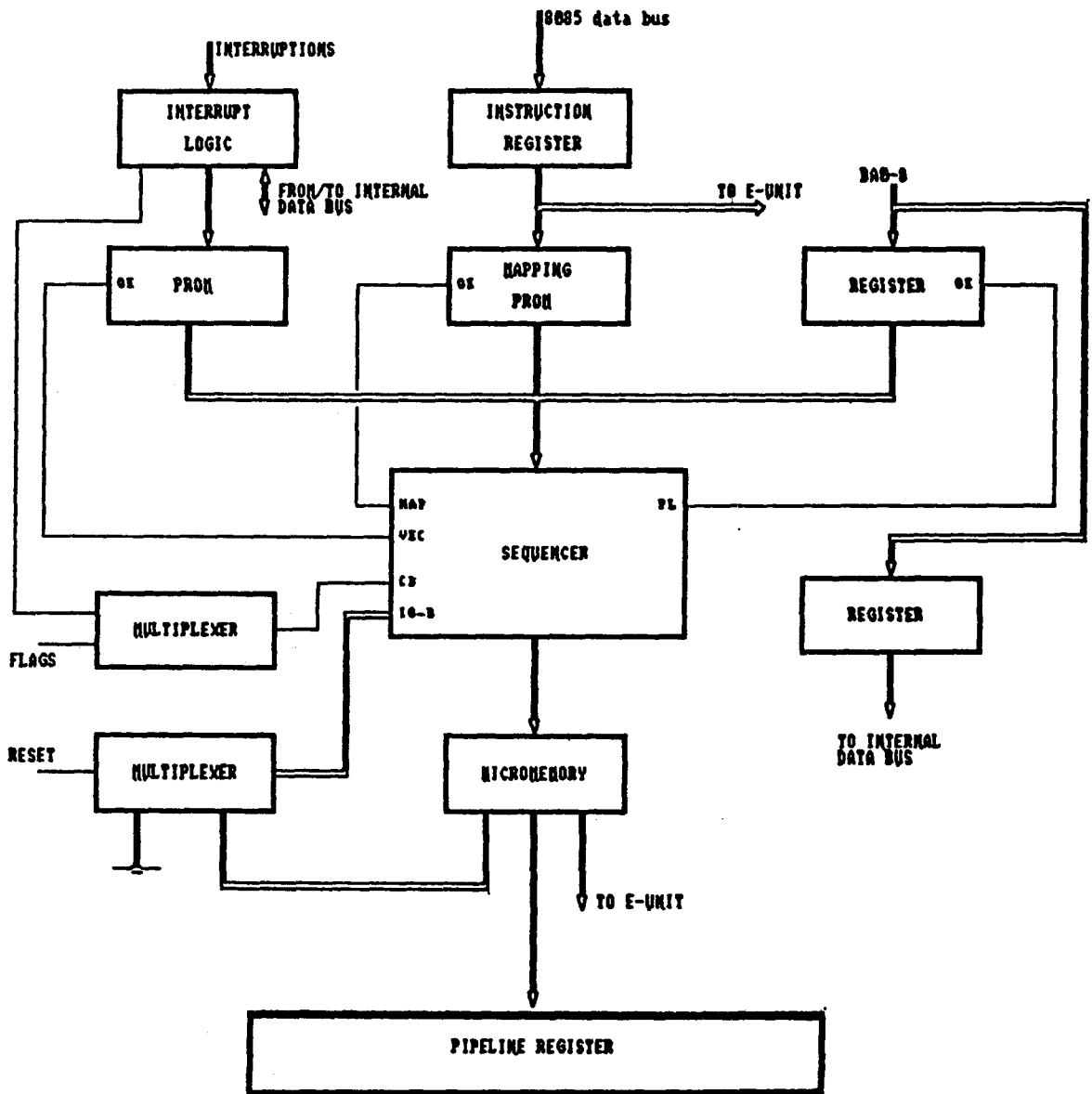
6.1.1 ESPECIFICACIONES DEL CIRCUITO

Tanto la unidad de ejecución como la unidad de control poseen las siguientes especificaciones:

- Alimentación (V_{DD}): 3.0v (Min) 5.0v (tip) 5.5v (Max)
- Rango de temperatura: -45°C (Min) 85°C (Max)
- Máxima frecuencia de reloj: 1.274MHz
- Encapsulado: QFP plástico de 120 pines

6.1.2 ARQUITECTURA DE LA PARTE DE CONTROL DE CPA

En principio, expliquemos un poco el funcionamiento de la parte de control de CPA. En la siguiente figura se ve de una forma muy general la arquitectura de la parte de control de CPA:



La unidad de control de CPA corresponde a la típica de un sistema microprogramado horizontalmente.

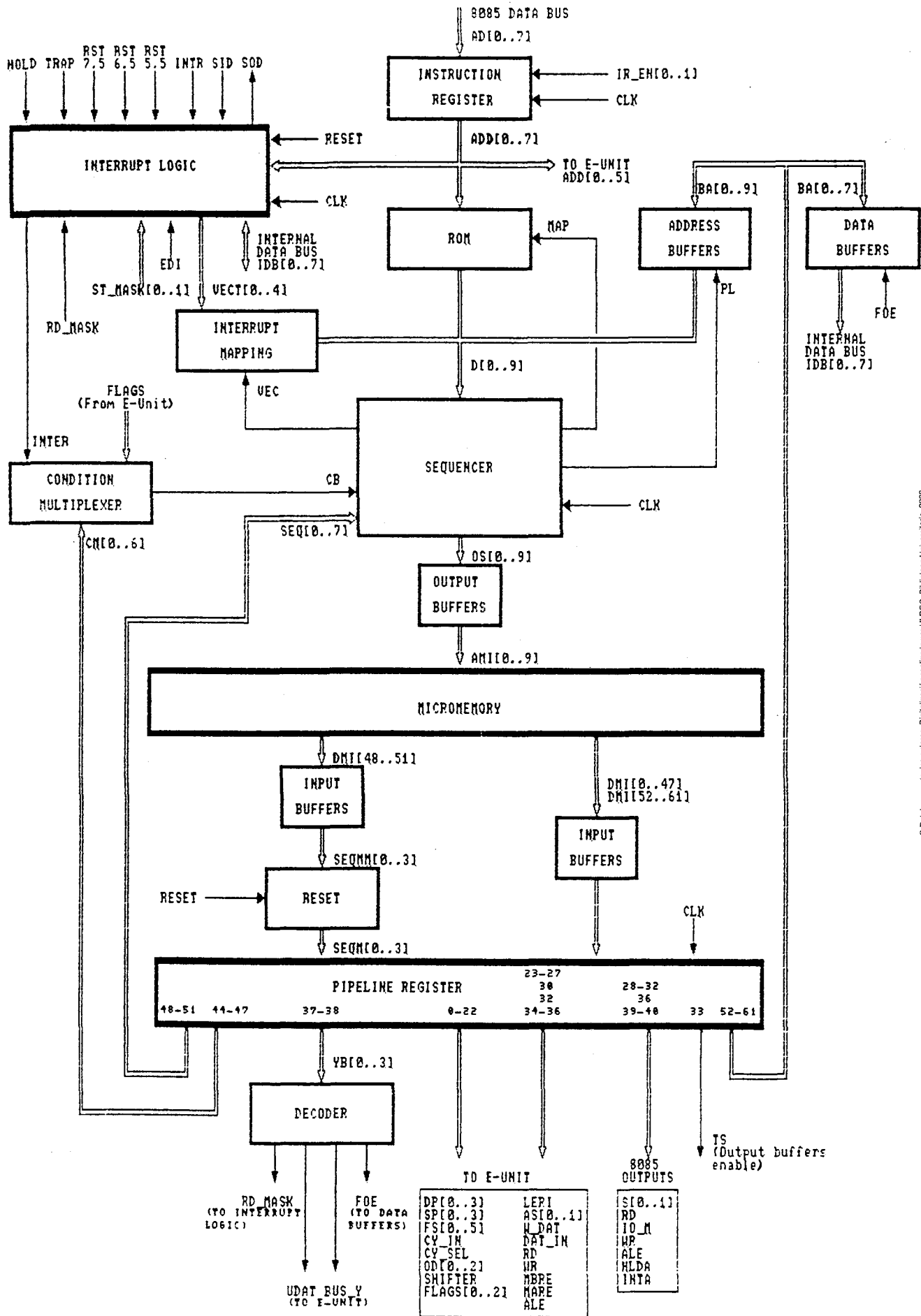
El código de operación de la instrucción (opcode), que proviene desde la memoria de programa externa, se almacena durante el segundo ciclo de reloj en el registro de instrucción. A continuación el opcode es mapeado en una PROM, la cual es la encargada de trasladar los códigos de operación del i8085 a direcciones de 12 bits de la micromemoria. A partir de esta dirección de la micromemoria, se encuentra el conjunto de microinstrucciones que generan las microoperaciones que ejecutan cada instrucción.

La secuencia de ejecución del conjunto de microinstrucciones almacenadas en la micromemoria es llevada a cabo por el secuenciador de microprograma Am2910.

Existen 526 microinstrucciones de 64 bits, distribuidos en 30 campos en la micromemoria.

El multiplexor de condiciones permite al CPA realizar los saltos condicionales y el reconocimiento de interrupciones, poniendo la información adecuada a la entrada \overline{CC} del Am2910.

A continuación podemos observar el diagrama de bloques de la parte de control de CPA, tal y como ha quedado para su integración:



Debido a que vamos a trabajar con células básicas, tenemos la ventaja de poder realizar simplificaciones del circuito original, excluyendo las partes que resulten redundantes ó inútiles.

Partamos del hecho de que la micromemoria no se va a integrar junto con el resto de la arquitectura de CPA, debido a las limitaciones de área de silicio, por lo que será necesario poner 62 buffers de entrada, para los datos, y 10 buffers de salida para el direccionamiento de la micromemoria. Son los que he denominado INPUT BUFFERS y OUTPUT BUFFERS y que pertenecerán a la periferia del dado.

El resto del circuito pertenecerá al núcleo del dado, exepcto los buffers de entrada y salida que harán de interface con la circuitería externa y el oscilador que no figuran en el anterior diagrama de bloques.

Tampoco figura en este diagrama el circuito de reloj, el cual ya será analizado en su momento. Por ahora diremos, que solo es necesaria una fase para el funcionamiento tanto de la parte de control como de la de ejecución; esta fase es la señalada como CLK.

Quizás lo mejor, en este momento, sea meternos en cada bloque y ver como se ha realizado su implementación. Posteriormente, haremos los estudios de viabilidad, a los que seguirá unos cálculos de adaptación para la interconexión unidad de control-unidad de ejecución, tanto en lo referente a carga como a los desfases que se producen en la señal de reloj. Diseñaremos las redes de retardo

adecuadas para asegurarnos de un funcionamiento óptimo. Como último apartado dentro del diseño de CPA, haremos la distribución de las patillas en el QFP.

Pero antes de meternos en el desarrollo del diseño de cada bloque, veamos primero la descripción de los campos que componen las microinstrucciones, posteriormente las microoperaciones, para terminar con el microprograma de CPA.

TITLE
MACHINE 64;

CPA;

[

Descripción de los campos de las microinstrucciones

0-3	Dirección de la ruta B	DP (0..3)
4-7	Dirección de la ruta A	SP (0..3)
8-10	Selección del operando fuente	FS (0..2)
11	Carry inicial	CY_IN
12-14	Función de la alu	FS (3..5)
15	Selección de carry de entrada	CY_SEL
16-18	Destino de la operación	OD (0..2)
19	Selección del tipo de rotación	SHIFTER
20-22	Selección de la fuente de los flags	FLAGS (0..2)
23	Selección de la ALU left/right	LERI
24-25	Selecciona A B del PL or IR	AS (0..1)
26	Selecciona un dato interno de 8/16 bits	W_DAT
27	Dato de entrada a la alu interno o externo	DAT_IN
28-29	Status (S0, S1)	S (0..1)
30	Señal Read	RD
31	Input-output/memory	IO_M
32	Señal Write	WR
33	Triestado para rd, wr, io/m	TS
34	Enable del MBR	MBRE
35	Enable del MAR	MARE
36	Señal ALE	ALE
37-38	Control del bus interno	§ YBM(0..1)
39	Reconocimiento de hold	HLDA
40	Reconocimiento de interrupción (INTA)	INTA
41	Enable/disable de interrupciones	EDI
42	Enable del registro de puesta de máscara	§ ST_MASKM
43	Enable del registro de instrucción	§ IR_ENM
44-47	Multiplexor de condición	§ CMM(0..3)
48-51	Secuencia de la próxima microinstrucción	§ SEQM(0..3)
52-61	Dirección de la próxima microinstrucción	BA (0..9)

]

[.....registros

]

bc =0;
cb =1;
de =2;
ed =3;
hl =4;
lh =5;
xa =6;
ax =7;
r8 =8;
sp =9;
wz =10;
zw =11;
r12 =12;
r13 =13;
r14 =14;

§ De estas señales se han sacado sus negadas directamente del pipeline. Por lo tanto, se han convertido en las siguientes:

- YB (0..3)
- ST_MASK(0..1)
- IR_EN(0..1)
- CM(0..6)
- SEQ(0..7)

```

pc =15;
[.....ruta B de entrada ALU , bits DP(0..3)
]

b_alu FIELD length=4, place=0, default=ax, format=1;

[.....ruta A de entrada ALU , bits SP(0..3)
]

a_alu FIELD length=4, place=4, default=ax, format=1;

[.....selección del operando fuente , bits FS(0..2)
]

ab =1;      [ fuente de la alu A y B ]
zb =3;      [ fuente de la alu cero y B ]
za =4;      [ fuente de la alu cero y A ]
da =5;      [ fuente de la alu D y A ]
dz =7;      [ fuente de la alu D y cero ]

source FIELD length=3, place=8, default=ab, format=1;

[.....carry inicial , bit CY_IN
]

cy_in FIELD length=1, place=11, default=0, format=1;

[.....operaciones de la ALU , bits FS(3..5)
]

add_rs =0;  [ suma R y S ]
sub_r  =1;  [ resta S menos R ]
sub_s  =2;  [ resta R menos S ]
or_rs  =3;  [ OR de R y S ]
and_rs =4;  [ AND de R y S ]
and_nor =5; [ AND de R negado con S ]
xor_rs =6;  [ OR EXCLUSIVO de R y S ]
noxor_rs=7; [ OR EXCLUSIVO negado de R y S ]

alu FIELD length=3, place=12, default=or_rs, format=1;

[.....selecciona el carry de entrada , bit CY_SEL
]

cy_sel FIELD length=1, place=15, default=0, format=1;

```

```

[.....selecciona el destino de la operación , bits OD(0..2)
]

noper =1;      [ F --> ninguno, F --> Y ]
ram_a =2;      [ F --> B, A --> Y ]
ram_f =3;      [ F --> B, F --> Y ]
ram_d =5;      [ F/2 --> B, F --> Y ]
ram_u =7;      [ 2F --> B, F--> Y ]

destino FIELD length=3, place=16, default=ram_f, format=1;

[.....selecciona el tipo de rotación , bit SHIFTER
]

ramx =0;      [ introduce ram0 o ramn ]
carry =1;     [ introduce el carry ]

shifter FIELD length=1, place=19, default=carry, format =1;

[.....selección de los flags , bits FLAGS(0..2)
]

arit =0; [ para operaciones aritméticas ]
indc =1; [ para operaciones de incremento y decremento ]
lop =2; [ para operaciones lógicas ]
fdad =3; [ para la instrucción DAD ]
inva =4; [ los flags permanecen invariables ]
rota =5; [ para las instrucciones de rotación ]
cmcy =6; [ para la instrucción CMC ]
fbus =7; [ para la instrucción POP PSW ]

flags FIELD length=3, place=20, default=inva, format=1;

[.....alu left o alu right , bit LERI
]

left =0;
right =1;

leri FIELD length=1, place=23, default=left, format=1;

[.....selecciona la fuente de las direcciones A y B , bits AS(0..1)
]

irir =0; [ B y A del IR ]
irpl =1; [ B del IR y A del PL ]
plir =2; [ B del PL y A de IR ]
plpl =3; [ B y A de PL ]

add_sel FIELD length=2, place=24, default=irir, format=1;

```

```

[.....ancho del dato , bit W_DAT
]

byte =0; [ dato de 8 bits ]
word =1; [ dato de 16 bits ]

w_dat  FIELD length=1, place=26, default=byte, format=1;

[.....dato de entrada a la alu , bit DAT_IN
]

in =0; [ dato interno ]
ex =1; [ dato externo ]

dat_in  FIELD length=1, place=27, default=in, format=1;

[.....estado del microprocesador , bits S(0..1)
]

hlt =0; [ estado HALT ]
mw =1; [ escritura en memoria ]
mr =2; [ lectura en memoria ]
op =3; [ búsqueda del código de operación ]

status  FIELD length=2, place=28, default=HLT, format=1;

rd  FIELD length=1, place=30, default=1, format=1;

[.....elección de memoria o entrada/salida , bit IO_M
]

mem =0;
io =1;

io_m  FIELD length=1, place=31, default=mem, format=1;

wr  FIELD length=1, place=32, default=1, format=1;

ts  FIELD length=1, place=33, default=0, format=1;

[.....enable del registro de memoria , bit MBRE
]

mbre  FIELD length=1, place=34, default=1, format=1;

```

```

[.....enable del MAR , bit MARE
]

mare FIELD length=1, place=35, default=1, format=1;

ale FIELD length=1, place=36, default=0, format=1;

[.....control de la salida al bus interno, bits YB(0..3)
]

bus_y =0; [ salida de la alu ]
UDAT=1; [ salida del registro de estado ]
rd_mask =2;[ salida del registro de máscara ]
FOE =3; [ salida del registro de datos de la micromemoria ]

b_ctrl FIELD length=2, place=37, default=bus_y, format=1;

hlda FIELD length=1, place=39, default=0, format=1;

inta FIELD length=1, place=40, default=1, format=1;

[.....habilita o deshabilita interrupciones , bit EDI
]

ds_int =0;
en_int =1;

edi FIELD length=1, place=41, default=ds_int, format=1;

[.....entrada al registro de puesta de máscara, bits ST_MASK(0..1)
]

st_mask FIELD length=1, place=42, default=1, format=1;

[.....operaciones del opcode , bits IR_EN(0..1)
]

ld_op =0; [ cargar el código de operación ]
no_op =1; [ no cargar el código operación ]

ir_en FIELD length=1, place=43, default=no_op, format=1;

```



```
[.....multiplexor de condición , bits CM(0..6)
]
```

```
neg =0;
pos =1;
zero =2;
nozero =3;
par =4;
impar =5;
cy =6;
nocy =7;
daal =8;
daah =10;
intr =12;
nopass =14;
pass =15;
```

```
cc_mux FIELD length=4, place=44, default=nopass, format=1;
```

```
[.....control de la próxima dirección , bits SEQ(0..7)
]
```

```
jz =0; [ salta a la posición de memoria cero ]
cjs =1; [ salto condicional a subrutina ]
jmap =2; [ salta a la dirección dada por MAP ]
cjp =3; [ salto condicional a la dirección dada por PL ]
push =4; [ salvar  $\mu$ PC en la  $\mu$ PILA ]
cjb =6; [ salto condicional a VECT ]
crtn =10; [ retorno condicional desde subrutina ]
cont =14;
```

```
sequence FIELD length=4, place=48, default=cont, format=1;
```

```
[ bits BA(0..9) ]
```

```
v0= 6;
v1= 96;
v2= 1;
v3= 7;
v4= 8;
v5= 16;
v6= 24;
v7= 32;
v8= 40;
v9= 48;
v10= 56;
v11= 36;
v12= 60;
v13= 52;
v14= 44;
```

```
next_addr FIELD length=10, place=52, default=0, format=1;
```

```
[
*****
]
```

```

[
*****
Definición de las microoperaciones
*****
]

[.....operaciones de lectura y escritura
]

read  INSTR io_m, rd=0, status=mr;

write INSTR io_m, wr=0, status=mw;

[.....microoperación de fetch
]

fetch1  INSTR  status, ale=1, ts=0;

fetch2  INSTR status=op, rd=0, ir_en=ld_op;

[.....seleccionar registros de trabajo
]

select INSTR b_alu, a_alu, add_sel;

[.....tipo de dato
]

dat  INSTR w_dat, dat_in;

[.....poner a cero un registro
]

clear INSTR destino=ram_f, source=za, alu=and_rs;
[
  O and S
]

[.....operaciones lógicas
]

l_and  INSTR  destino, source, flags=lop, alu=and_rs;
[
  R and S
]

```

```

l_or INSTR destino, source, flags=lop, alu=or_rs;
[
  R or S
]

l_xor INSTR destino, source, flags=lop, alu=xor_rs;
[
  R xor S
]

nop INSTR destino=noper, source=zb, alu=or_rs;
[
  no realiza operación alguna
]

cma INSTR destino, source, flags=inva, alu=noxor_rs;
[
  complementar registros
]

cmc INSTR flags=cmcy;
[
  complementar carry
]

[.....operaciones aritméticas
]

add INSTR destino, source, flags=arit, alu=add_rs;
[
  R + S
]

adc INSTR destino, source, flags=arit, cy_sel=1, alu=add_rs;
[
  R + S + cy
]

subr INSTR destino, source, flags=arit, cy_in=1, alu=sub_r;
[
  S - R
]

subs INSTR destino, source, flags=arit, cy_in=1, alu=sub_s;
[
  R - S
]

```

```

sbbr INSTR destino, source, flags=arit, cy_sel=1,
alu=sub_r;
[
  R - S - cy
]

```

```

sbbs INSTR destino, source, flags=arit, cy_sel=1, alu=sub_s;
[
  S - R - cy
]

```

```

add_rp INSTR destino, source, flags=fdad, alu=add_rs;

```

```

[.....operaciones de incremento y decremento
]

```

```

inr INSTR destino, source, flags=indc, cy_in=1, alu=add_rs;
[
  R <---- R + 1
]

```

```

inx INSTR destino, source, cy_in=1, alu=add_rs;
[
  Rp <---- Rp + 1
]

```

```

dcr INSTR destino, source, flags=indc, alu=sub_r;
[
  R <---- R - 1
]

```

```

dcrm INSTR destino=ram_f, source=dz, flags=indc, alu=sub_s;
[
  M <---- M - 1
]

```

```

dcx INSTR destino, source, alu=sub_r;
[
  Rp <---- Rp - 1
]

```

```

[.....operaciones de rotación
]

```

```

rlc INSTR destino=ram_u, source=zb, alu=or_rs, shifter=ramx, flags=rota;
[
  rotación a la izquierda
]

```

```

rrc INSTR
destino=ram_d,source=zb,alu=or_rs,shifter=ramx,flags=rota;
[
  rotación a la derecha
]

ral INSTR destino=ram_u,source=zb,alu=or_rs,shifter=carry,flags=rota;
[
  rotación a la izquierda incluyendo el carry
]

rar INSTR destino=ram_d,source=zb,alu=or_rs,shifter=carry,flags=rota;
[
  rotación a la derecha incluyendo el carry
]

[.....transferencia entre registros
]

mov INSTR destino, source, flags=inva, alu=or_rs;

[  Rj <----- Ri
]

stm INSTR st_mask=0;
[
  habilita la entrada al registro de máscara
]

rdm INSTR b_ctrl=rd_mask;
[
  habilita la salida del registro de máscara
]

[.....operaciones de control
]

jumap INSTR  secuencia=jmap;
[
  salta a la dirección dada por map
]

jcond INSTR  next_addr, cc_mux, secuencia=cjp;
[
  salto condicional a la dirección dada por pl
]

```

```

jump INSTR next_addr, cc_mux=pass, secuencia=cjp;
[
    salto incondicional con la dirección del p1
]

call INSTR next_addr, cc_mux=pass, secuencia=cjs;
[
    llamada a subrutina
]

ccond INSTR next_addr, cc_mux, secuencia=cjs;
[
    llamada condicional a subrutina
]

ret INSTR cc_mux=pass, secuencia=crtn;
[
    retorno de subrutina
]

rcond INSTR cc_mux, secuencia=crtn;
[
    retorno condicional desde subrutina
]

vect INSTR cc_mux=intr, secuencia=cjv;
[
    saltar al vector de interrupciones
]

halt INSTR ts=1, status=hlt;
[
    estado de parada de microprocesador
]

[.....control de las interrupciones
]

ei INSTR edi=en_int;
[
    habilita las interrupciones
]

di INSTR edi=ds_int;
[
    deshabilita las interrupciones
]

end;

```

```
TITLE   CPA MICROPROGRAM;
NOBINARY;
LISTING;
```

```
[
```

```
*****
```

```
MICROPROGRAMA
```

```
*****
```

```
]
```

```
init:  nop, next_addr=v0, b_ctrl=udat;
       select(r13,r13,plpl), dat(,), mov(dz), b_ctrl=udat;
       nop, next_addr=v1, b_ctrl=udat;
       select(r12,r12,plpl), dat(,), mov(dz), b_ctrl=udat;
       stm, nop, next_addr=v3, b_ctrl=udat;
       select(pc,pc,plpl), dat(word,), clear, mare=0;
fet_1: fetch1(op), nop;
fet_2: fetch2, nop, vect;
decod: select(pc,pc,plpl), dat(word,), inx(,za), mare=0, jumap;
inesc1:select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
       fetch1(mw),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
       write(mem), nop, jump(fet_1);
movrr: select(,,), dat(,), mov(,za), fetch1(op), jump(fet_2);
movrm: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
       fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
       read(mem), nop;
       select(,,irpl), dat(,ex), mov(dz), fetch1(op), jump(fet_2);
movmr: select(,,plir), dat(,), mov(noper,za), mbre=0, jump(inesc1);
       sphl: select(sp,hl,plpl), dat(word,), mov(,za), fetch1(op), jump(fet_2);
mvard: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(,,irpl), dat(,ex), mov(dz), fetch1(op), jump(fet_2);
mvimd: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(,,), dat(,ex), mov(noper,dz), mbre=0, jump(inesc1);
lxibc: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(cb,,plpl), dat(,ex), mov(dz);
       fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(bc,,plpl), dat(,ex), mov(dz), fetch1(op), jump(fet_2);
lxide: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(ed,,plpl), dat(,ex), mov(dz);
       fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(de,,plpl), dat(,ex), mov(dz), fetch1(op), jump(fet_2);
lxihl: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(lh,,plpl), dat(,ex), mov(dz);
       fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(hl,,plpl), dat(,ex), mov(dz), fetch1(op), jump(fet_2);
lxisp: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(r8,,plpl), dat(,ex), mov(dz);
       fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
       select(sp,,plpl), dat(,ex), mov(dz), fetch1(op), jump(fet_2);
lda:   fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
       read(mem), nop;
```

```

        select(zw,,plpl), dat(,ex), mov(,dz);
        fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(wz,,plpl), dat(,ex), mov(,dz);
        select(wz,wz,plpl), dat(word,), mov(ram_a,za),mare=0;
        fetch1(mr), select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
        read(mem), nop;
        select(ax,,plpl), dat(,ex), mov(,dz), fetch1(op), jump(fet_2);
sta:   fetch1(mr), select(pc,pc,plpl), dat(word,),
inx(,za),mare=0;
        read(mem), nop;
        select(zw,,plpl), dat(,ex), mov(,dz);
        fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(wz,,plpl), dat(,ex), mov(,dz);
        select(,ax,plpl), dat(,), mov(,za), mbre=0;
        select(wz,wz,plpl), dat(word,), mov(ram_a,za),mare=0;
        fetch1(mw), select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
        write(mem), nop, jump(fet_1);
1hld:  fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(zw,,plpl), dat(,ex), mov(,dz);
        fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(wz,,plpl), dat(,ex), mov(,dz);
        select(wz,wz,plpl), dat(word,), inx(ram_a,za), mare=0;
        fetch1(mr), select(wz,wz,plpl), dat(word,), mov(,za),mare=0;
        read(mem), nop;
        select(lh,lh,plpl), dat(,ex), mov(,dz);
        fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
        read(mem), nop;
        select(hl,,plpl), dat(,ex), mov(,dz), jump(fet_1);
shld:  fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(zw,,plpl), dat(,ex), mov(,dz);
        fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(wz,,plpl), dat(,ex), mov(,dz);
        select(wz,wz,plpl), dat(word,), inx(ram_a,za), mare=0;
        fetch1(mw), select(lh,lh,plpl), dat(,), mov(,za), mbre=0;
        write(mem), select(wz,wz,plpl), dat(word,), mov(,za),mare=0;
        fetch1(mw), select(hl,h1,plpl), dat(,), mov(,za),mbre=0;
        write(mem),select(pc,pc,plpl),dat(word,),mov(,za),mare=0,

jump(fet_1);

ldaxr: select(,,irir), dat(word,), mov(,za), mare=0;
        fetch1(mr), select(pc,pc,plpl),dat(word,),mov(,za),mare=0;
        read(mem), nop;
        select(ax,,plir), dat(,ex),mov(,dz), fetch1(op), jump(fet_2);
staxr: select(,,irir), dat(word,), mov(,za), mare=0;
        fetch1(mw), select(ax,ax,plpl), dat(,), mov(,za), mbre=0;
        write(mem),select(pc,pc,plpl),dat(word,),mov(,za),mare=0,

jump(fet_1);

xchg:  select(wz,h1,plpl), dat(word,), mov(,za);
        select(hl,de,plpl), dat(word,), mov(,za);
        select(lh,de,plpl), dat(word,), mov(ram_a,dz);
        select(de,wz,plpl), dat(word,), mov(,za);
        select(ed,de,plpl), dat(word,), mov(ram_a,dz), fetch1(op),

```



```

jump(fet_2);
add_r: select(ax,,plir), dat(,), add(,ab), fetch1(op), jump(fet_2);
add_m: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
      fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), add(,da), fetch1(op),
jump(fet_2);
adi:   fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), add(,da), fetch1(op),
jump(fet_2);
adc_r: select(ax,,plir), dat(,), adc(,ab), fetch1(op), jump(fet_2);
adc_m: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
      fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), adc(,da), fetch1(op),
jump(fet_2);
aci:   fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), adc(,da), fetch1(op),
jump(fet_2);
sub_r: select(ax,,plir), dat(,), subr(,ab), fetch1(op),
jump(fet_2);
sub_m: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
      fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), subr(,da), fetch1(op),
jump(fet_2);
sui:   fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), subr(,da), fetch1(op),
jump(fet_2);
sbb_r: select(ax,,plir), dat(,), sbb(,ab), fetch1(op), jump(fet_2);
sbb_m: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
      fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), sbb(,da), fetch1(op),
jump(fet_2);
sbi:   fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(ax,ax,plpl), dat(,ex), sbb(,da), fetch1(op),
jump(fet_2);
inr_r: select(,,irpl), dat(,), inr(,zb), fetch1(op), jump(fet_2);
inr_m: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
      fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
      read(mem), nop;
      select(,,plpl), dat(,ex), inr(,dz), mbre=0, jump(inesc1);
dcr_r: select(,,irpl), dat(,), dcr(,zb), fetch1(op), jump(fet_2);
dcr_m: select(hl,hl,plpl), dat(word,), mov(ram_a,za), mare=0;
      fetch1(mr),select(pc,pc,plpl), dat(word,), mov(,za), mare=0;

```

```

        read(mem), nop;
        select(,,plp1), dat(ex), dcrm, mbre=0, jump(inesc1);
inx_b: select(bc, bc, plp1), dat(word, ), inx(, za);
        select(cb, bc, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
inx_d: select(de, de, plp1), dat(word, ), inx(, za);
        select(ed, de, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
inx_h: select(h1, h1, plp1), dat(word, ), inx(, za);
        select(lh, h1, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
inxsp: select(sp, sp, plp1), dat(word, ), inx(, za);
        select(r8, sp, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dcx_b: select(bc, bc, plp1), dat(word, ), dcx(, za);
        select(cb, bc, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dcx_d: select(de, de, plp1), dat(word, ), dcx(, za);
        select(ed, de, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dcx_h: select(h1, h1, plp1), dat(word, ), dcx(, za);
        select(lh, h1, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dcxsp: select(sp, sp, plp1), dat(word, ), dcx(, za);
        select(r8, sp, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dad_b: select(h1, bc, plp1), dat(word, ), add_rp(, ab);
        select(lh, h1, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dad_d: select(h1, de, plp1), dat(word, ), add_rp(, ab);
        select(lh, h1, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dad_h: select(h1, h1, plp1), dat(word, ), add_rp(, ab);
        select(lh, h1, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
dadsp: elect(h1, sp, plp1), dat(word, ), add_rp(, ab);
        select(lh, h1, plp1), dat(word, ), mov(ram_a, dz), fetch1(op),
jump(fet_2);
daa_a: select(ax, ax, plp1), dat(, ), mov(ram_a, za);
        select(ax, ax, plp1), dat(, ), mov(ram_a, za), jcond(e1, daal);
e3:    nop, jcond(e2, daah);
        fetch1(op), nop, jump(fet_2);
e1:    select(ax, r13, plp1), dat(, ), add(, ab), jump(e3);
e2:    select(ax, r12, plp1), dat(, ), add(, ab), fetch1(op), jump(fet_2);
ana_r: select(ax, , plir), dat(, ), l_and(, ab), fetch1(op), jump(fet_2);
ana_m: select(h1, h1, plp1), dat(word, ), mov(ram_a, za), mare=0;
        fetch1(mr), select(pc, pc, plp1), dat(word, ), mov(, za), mare=0;

```

```

        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), l_and(,da), fetch1(op),
jump(fet_2);
ani:   fetch1(mr), select(pc,pc,plp1), dat(word,),
inx(,za),mare=0;
        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), l_and(,da), fetch1(op),
jump(fet_2);
xra_r: select(ax,,plr), dat(,), l_xor(,ab), fetch1(op), jump(fet_2);
xra_m: select(hl,hl,plp1),dat(word,),mov(ram_a,za),mare=0;
        fetch1(mr),select(pc,pc,plp1),dat(word,),mov(,za),mare=0;
        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), l_xor(,da), fetch1(op),
jump(fet_2);
xri:   fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), l_xor(,da), fetch1(op),
jump(fet_2);
ora_r: select(ax,,plr), dat(,), l_or(,ab), fetch1(op), jump(fet_2);
ora_m: select(hl,hl,plp1),dat(word,),mov(ram_a,za),mare=0;
        fetch1(mr),select(pc,pc,plp1),dat(word,),mov(,za),mare=0;
        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), l_or(,da), fetch1(op),
jump(fet_2);
ori:   fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), l_or(,da), fetch1(op),
jump(fet_2);
cmp_r: select(ax,,plr), dat(,), subr(noper,ab), fetch1(op),
jump(fet_2);
cmp_m: select(hl,hl,plp1),dat(word,),mov(ram_a,za),mare=0;
        fetch1(mr),select(pc,pc,plp1),dat(word,),mov(,za),mare=0;
        read(mem), nop;
        select(,ax,plp1), dat(,ex), subr(noper,da), fetch1(op),
jump(fet_2);
cpi:   fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
        read(mem), nop;
        select(ax,ax,plp1), dat(,ex), subr(noper,da), fetch1(op),
jump(fet_2);
rlc_a: select(ax,,plp1), dat(,), rlc, fetch1(op), jump(fet_2);
rrc_a: select(ax,,plp1), dat(,), rrc, fetch1(op), jump(fet_2);
ral_a: select(ax,,plp1), dat(,), ral, fetch1(op), jump(fet_2);
rar_a: select(ax,,plp1), dat(,), rar, fetch1(op), jump(fet_2);
cma_a: select(ax,,plp1), dat(,), cma(,zb), fetch1(op), jump(fet_2);
cmc_f: cmc, nop, fetch1(op), jump(fet_2);
stc_f: nop, next_addr=v2, b_ctrl=udat;
        select(wz,wz,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(wz,wz,plp1), dat(,), rar, fetch1(op), jump(fet_2);
jmp_a: fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
        read(mem), nop;

```

```

select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
select(pc,wz,plpl), dat(word,),mov(,za),mare=0,jump(fet_1);
jnz: nop, jcond(jmp_a,nozero);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jz: jcond(jmp_a,zero);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jnc: nop, jcond(jmp_a,nocy);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jc: nop, jcond(jmp_a,cy);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jpo: nop, jcond(jmp_a,impar);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jpe: nop, jcond(jmp_a,par);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jp: nop, jcond(jmp_a,pos);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;

```

```

select(wz,,plp1), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
jm:  nop, jcond(jmp_a,neg);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(zw,,plp1), dat(,ex), mov(,dz);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(wz,,plp1), dat(,ex), mov(,dz);
     fetch1(op), nop, jump(fet_2);
calla: select(sp,sp,plp1), dat(word,), dcx(,za);
       fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
       read(mem), nop;
       select(zw,,plp1), dat(,ex), mov(,dz);
       fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
       read(mem), nop;
       select(wz,,plp1), dat(,ex), mov(,dz);
       select(sp,sp,plp1), dat(word,), dcx(ram_a,za), mare=0;
       fetch1(mw), select(pc,pc,plp1), dat(,), mbre=0, mov(,za);
       write(mem),select(sp,sp,plp1),dat(word,),mov(,za),mare=0;
       fetch1(mw),select(r14,r14,plp1),dat(,),mov(,za),leri=right,
mbre=0;
       write(mem),select(pc,wz,plp1),dat(word,),mov(,za),mare=0,
jump(fet_1);
cnz:  nop, jcond(calla,nozero);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(zw,,plp1), dat(,ex), mov(,dz);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(wz,,plp1), dat(,ex), mov(,dz);
     fetch1(op), nop, jump(fet_2);
cz:  nop, jcond(calla,zero);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(zw,,plp1), dat(,ex), mov(,dz);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(wz,,plp1), dat(,ex), mov(,dz);
     fetch1(op), nop, jump(fet_2);
cnc:  nop, jcond(calla,nocy);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(zw,,plp1), dat(,ex), mov(,dz);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(wz,,plp1), dat(,ex), mov(,dz);
     fetch1(op), nop, jump(fet_2);
cc:  nop, jcond(calla,cy);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(zw,,plp1), dat(,ex), mov(,dz);
     fetch1(mr), select(pc,pc,plp1), dat(word,), inx(,za),mare=0;
     read(mem), nop;
     select(wz,,plp1), dat(,ex), mov(,dz);
     fetch1(op), nop, jump(fet_2);
cpo:  nop, jcond(calla,impar);

```

```

fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(zw,,plpl), dat(,ex), mov(,dz);
fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
read(mem), nop;
select(wz,,plpl), dat(,ex), mov(,dz);
fetch1(op), nop, jump(fet_2);
cpe:  nop, jcond(calla,par);
      fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(zw,,plpl), dat(,ex), mov(,dz);
      fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(wz,,plpl), dat(,ex), mov(,dz);
      fetch1(op), nop, jump(fet_2);
cp:   nop, jcond(calla,pos);
      fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(zw,,plpl), dat(,ex), mov(,dz);
      fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(wz,,plpl), dat(,ex), mov(,dz);
      fetch1(op), nop, jump(fet_2);
cm:   nop, jcond(calla,neg);
      fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(zw,,plpl), dat(,ex), mov(,dz);
      fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za),mare=0;
      read(mem), nop;
      select(wz,,plpl), dat(,ex), mov(,dz);
      fetch1(op), nop, jump(fet_2);
retn: select(sp,sp,plpl), dat(word,), inx(ram_a,za),
mare=0;
      fetch1(mr),select(sp,sp,plpl),dat(word,),inx(ram_a,za),mare=0;
      nop, read(mem);
      fetch1(mr),select(r14,,plpl),dat(,ex),mov(,dz);
      nop, read(mem);
      select(pc,,plpl), dat(,ex), mov(,dz);
      select(pc,pc,plpl),dat(word,),mov(,za),mare=0,jump(fet_1);
rnz:  nop, jcond(retn,nozero);
      fetch1(op), nop, jump(fet_2);
rz:   nop, jcond(retn,zero);
      fetch1(op), nop, jump(fet_2);
rnc:  nop, jcond(retn,nocy);
      fetch1(op), nop, jump(fet_2);
rc:   nop, jcond(retn,cy);
      fetch1(op), nop, jump(fet_2);
rpo:  nop, jcond(retn,impar);
      fetch1(op), nop, jump(fet_2);
rpe:  nop, jcond(retn,par);
      fetch1(op), nop, jump(fet_2);
rp:   nop, jcond(retn,pos);
      fetch1(op), nop, jump(fet_2);
rm:   nop, jcond(retn,neg);
      fetch1(op), nop, jump(fet_2);
pch1: select(pc,h1,plpl), dat(word,), mov(,za), mare=0, jump(fet_1);
pushb: select(sp,sp,plpl), dat(word,), dcx(,za), mare=0;
       select(sp,sp,plpl), dat(word,), dcx(,za), fetch1(mw), mare=0;
       select(bc,bc,plpl), dat(,), mov(ram_a,za), mbre=0;

```

```

    nop, write(mem);
    select(cb,cb,plp1), dat(,), mov(ram_a,za), mbre=0, fetch1(mw);
    select(pc,pc,plp1), dat(word,), mov(,za), mare=0, write(mem),
jump(fet_1);
pushd: select(sp,sp,plp1), dat(word,), dcx(,za), mare=0;
    select(sp,sp,plp1), dat(word,), dcx(,za), fetch1(mw), mare=0;
    select(de,de,plp1), dat(,), mov(ram_a,za), mbre=0;
    nop, write(mem);
    select(ed,ed,plp1), dat(,), mov(ram_a,za), mbre=0, fetch1(mw);
    select(pc,pc,plp1), dat(word,), mov(,za), mare=0, write(mem),
jump(fet_1);
pushh: select(sp,sp,plp1), dat(word,), dcx(,za), mare=0;
    select(sp,sp,plp1), dat(word,), dcx(,za), fetch1(mw), mare=0;
    select(hl,hl,plp1), dat(,), mov(ram_a,za), mbre=0;
    nop, write(mem);
    select(lh,lh,plp1), dat(,), mov(ram_a,za), mbre=0, fetch1(mw);
    select(pc,pc,plp1), dat(word,), mov(,za), mare=0, write(mem),
jump(fet_1);
pushp: select(sp,sp,plp1), dat(word,), dcx(,za), mare=0;
    select(sp,sp,plp1), dat(word,), dcx(,za), fetch1(mw), mare=0;
    select(ax,ax,plp1), dat(,), mov(ram_a,za), mbre=0;
    nop, write(mem);
    nop, b_ctrl=foe, mbre=0, fetch1(mw);
    select(pc,pc,plp1), dat(word,), mov(,za), mare=0, write(mem),
jump(fet_1);
popb: select(sp,sp,plp1), dat(word,), inx(ram_a,za), mare=0;
    select(sp,sp,plp1), dat(word,), mov(,za), mare=0, fetch1(mr);
    nop, read(mem);
    select(cb,cb,plp1), dat(,ex), mov(,dz);
    select(sp,sp,plp1), dat(word,), inx(,za), fetch1(mr);
    select(pc,pc,plp1), dat(word,), mov(,za), mare=0, read(mem);
    select(bc,bc,plp1), dat(,ex), mov(,dz), fetch1(op), jump(fet_2);
popd: select(sp,sp,plp1), dat(word,), inx(ram_a,za), mare=0;
    select(sp,sp,plp1), dat(word,), mov(,za), mare=0, fetch1(mr);
    nop, read(mem);
    select(ed,ed,plp1), dat(,ex), mov(,dz);
    select(sp,sp,plp1), dat(word,), inx(,za), fetch1(mr);
    select(pc,pc,plp1), dat(word,), mov(,za), mare=0, read(mem);
    select(de,de,plp1), dat(,ex), mov(,dz), fetch1(op), jump(fet_2);
poph: select(sp,sp,plp1), dat(word,), inx(ram_a,za),
mare=0;
    select(sp,sp,plp1), dat(word,), mov(,za), mare=0, fetch1(mr);
    nop, read(mem);
    select(lh,lh,plp1), dat(,ex), mov(,dz);
    select(sp,sp,plp1), dat(word,), inx(,za), fetch1(mr);
    read(mem), select(pc,pc,plp1), dat(word,), mov(,za), mare=0;
    select(hl,hl,plp1), dat(,ex), mov(,dz), fetch1(op), jump(fet_2);
popp: select(sp,sp,plp1), dat(word,), inx(ram_a,za), mare=0;
    select(sp,sp,plp1), dat(word,), mov(,za), mare=0, fetch1(mr);
    nop, read(mem);
    select(,,plp1), dat(,ex), alu=or_rs, destino=noper, source=dz,
flags=fbus;
    select(sp,sp,plp1), dat(word,), inx(ram_a,za), fetch1(mr);
    read(mem), select(pc,pc,plp1), mov(,za), mare=0;

```

```

        select(ax,ax,plpl), dat(,ex), mov(,dz), fetch1(op),
jump(fet_2);
xth1: select(sp,sp,plpl), dat(word,), inx(ram_a,za), mare=0;
      fetch1(mr), select(sp,sp,plpl), dat(word,), mov(,za), mare=0;
      nop, read(mem);
      fetch1(mr), select(zw,zw,plpl), dat(,ex), mov(,dz);
      read(mem), select(hl,hl,plpl), dat(,), mov(,za), mbre=0;
      fetch1(mw), select(wz,wz,plpl), dat(,ex), mov(,dz);
      write(mem), select(sp,sp,plpl), dat(word,), dcx(,za),mare=0;
      fetch1(mw), select(lh,lh,plpl), dat(,), mov(,za), mbre=0;
      write(mem), select(hl,wz,plpl), dat(word,), mov(,za);
      select(lh,zw,plpl), dat(word,), mov(,za);
      select(pc,pc,plpl), dat(word,), mov(,za), mare=0, jump(fet_1);
inp:  fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
      read(mem), select(wz,wz,plpl), dat(word,ex), mov(,dz), mare=0;
      select(zw,zw,plpl), dat(word,ex), mov(,dz), mare=0;
      fetch1(mr), select(pc,pc,plpl), dat(word,), mov(,za), mare=0;
      read(io), select(ax,ax,plpl), dat(,ex), mov(,dz), jump(fet_1);
outp: fetch1(mr), select(pc,pc,plpl), dat(word,), inx(,za), mare=0;
      read(mem), select(wz,wz,plpl), dat(word,ex), mov(,dz), mare=0;
      select(zw,zw,plpl), dat(word,ex), mov(,dz), mare=0;
      fetch1(mw), select(ax,ax,plpl), dat(,), mov(,za), mbre=0;
      write(io), select(pc,pc,plpl), dat(word,), mov(,za),mare=0,

jump(fet_1);
eint: ei, fetch1(op), nop, jump(fet_2);
dint: di, fetch1(op), nop, jump(fet_2);
hlt:  nop, fetch1(hlt);
e5:   nop, halt, vect;
      nop, jump(e5);
nopr: nop, fetch1(op), jump(fet_2);
rim:  nop,b_ctrl=rd_mask;
      select(ax,ax,plpl),dat(,),mov(,dz),fetch1(op),jump(fet_2);
sim:  select(ax,ax,plpl),dat(,),mov(ram_a,za),st_mask=0,fetch1(op),
jump(fet_2);
rst_0: select(wz,wz,plpl), dat(,), clear;
      select(zw,zw,plpl), dat(,), clear;
      select(sp,sp,plpl), dat(word,), dcx(,za), mare=0;
prox: select(pc,pc,plpl), dat(,), mov(,za), mbre=0;
      fetch1(mw), select(sp,sp,plpl), dat(word,), dcx(,za), mare=0;
      nop, write(mem);
      fetch1(mw),select(r14,r14,plpl),dat(,),mov(,za),leri=right,
mbre=0;
      write(mem),select(pc,wz,plpl),dat(word,),mov(,za),mare=0,
jump(fet_1);
rst_1: select(wz,wz,plpl), dat(,), clear;
      nop, next_addr=v4, b_ctrl=udat;
      select(zw,zw,plpl), dat(,), mov(,dz), b_ctrl=udat;
      select(sp,sp,plpl), dat(word,), dcx(,za), mare=0, jump(prox);
rst_2: select(wz,wz,plpl), dat(,), clear;
      nop, next_addr=v5, b_ctrl=udat;
      select(zw,zw,plpl), dat(,), mov(,dz), b_ctrl=udat;
      select(sp,sp,plpl), dat(word,), dcx(,za), mare=0, jump(prox);
rst_3: select(wz,wz,plpl), dat(,), clear;
      nop, next_addr=v6, b_ctrl=udat;

```



```

        select(zw,zw,plp1), dat(,),mov(,dz),b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst_4:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v7, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst_5:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v8, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst_6:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v9, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst_7:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v10, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
trap:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v11;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst75:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v12, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst65:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v13, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
rst55:  select(wz,wz,plp1), dat(,), clear;
        nop, next_addr=v14, b_ctrl=udat;
        select(zw,zw,plp1), dat(,), mov(,dz), b_ctrl=udat;
        select(sp,sp,plp1), dat(word,), dcx(,za), mare=0, jump(prox);
sint:  nop, ir_en=ld_op, inta=0;
        jumap;
hold:  vect, nop, hlda=1, ts=1;
        nop, jump(hold);
end;

```

6.2 DISEÑO

Como regla en la elección de las células utilizaremos la de elegir aquellas células que tengan mínima área. Esto como se sabe representará un aumento en los retardos. Sin embargo, partimos de la ventaja de saber que el periodo de reloj en la targeta lo ha marcado la parte de ejecución, y además con bastante diferencia con respecto al camino más largo de la parte de control. Por lo tanto, mientras que el diseño de la parte de control lo he realizado con las células de mínimo fan-out, el diseño de la parte de ejecución se ha realizado utilizando las células de mínimo retardo en los caminos críticos. Posteriormente se hará un análisis de los resultados obtenidos.

6.2.1 SECUENCIADOR DE MICROPROGRAMA

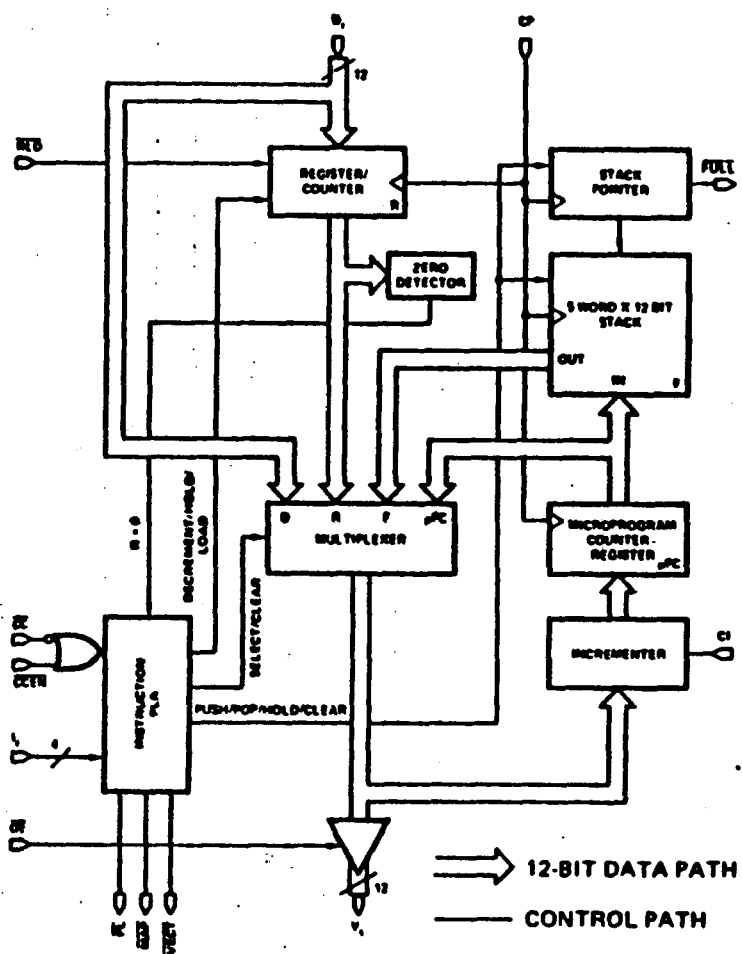
El diseño del secuenciador de microprograma se puede considerar como el más importante dentro de la parte de control. Aunque está basado en el Am2910, la estructura final obtenida difiere de éste, ya que se ha optimizado al máximo atendiendo exclusivamente a las demandas requeridas por la CPA.

En primer lugar daremos una visión general del funcionamiento del Am2910, para posteriormente pasar a detallar las consideraciones de su diseño en SystemCell II.

En la figura siguiente se puede observar el diagrama de

bloques del Am2910:

Am2910 BLOCK DIAGRAM



Como podemos observar el Am2910 puede proporcionar una dirección de 12 bits, la cual puede proceder de cuatro fuentes diferentes:

- Una entrada directa externa.
- Un registro/contador.
- Una pila de 5 palabras x 12 bits.
- Un contador de microprograma.

Una de estas cuatro fuentes es seleccionada a través de un multiplexor.

Una PLA domina el funcionamiento interno del secuenciador, dependiendo de una serie de entradas externas:

- Secuencia de la próxima microinstrucción.
- Bits de condición.

Un incrementador interno para el contador de microprograma, un detector de cero para el registro/contador y el stack pointer para la pila conforman el Am2910.

A continuación veremos el conjunto de instrucciones del Am2910:

Table 6 Instructions

Hex I ₇ 1.	Mnemonic	Name	Reg/ cntr contents	Fail CCEN = LOW and CC = HIGH		PASS CCEN = High or CC = low		Reg/ cntr	Enable
				Y	STACK	Y	STACK		
0	JZ	JUMP ZERO	X	0	CLEAR	0	CLEAR	HOLD	PL
1	CJS	COND JSH PL	X	PC	HOLD	D	PUSH	HOLD	PL
2	JMAP	JUMP MAP	X	D	HOLD	D	HOLD	HOLD	MAP
3	CJP	COND JUMP PL	X	PC	HOLD	0	HOLD	HOLD	PL
4	PUSH	PUSH COND LD CNTR	X	PC	PUSH	PC	PUSH	↑	PL
5	JSRP	COND JSB R/PL	X	R	PUSH	D	PUSH	HOLD	PL
6	CJV	COND JUMP VECTOR	X	PC	HOLD	D	HOLD	HOLD	VECT
7	JRP	COND JUMP R/PL	X	R	HOLD	D	HOLD	HOLD	PL
8	RFCT	REPEAT LOOP, CNTR ≠ 0	≠ 0	F	HOLD	F	HOLD	DEC	PL
			= 0	PC	POP	PC	POP	HOLD	PL
9	RPCT	REPEAT LOOP, CNTR ≠ 0	≠ 0	D	HOLD	D	HOLD	DEC	PL
			= 0	PC	HOLD	PC	HOLD	HOLD	PL
A	CRTN	COND RTN	X	PC	HOLD	F	POP	HOLD	PL
B	CJPP	COND JUMP PL & POP	X	PC	HOLD	D	POP	HOLD	PL
C	LDCT	LD CNTR & CONTINUE	X	PC	HOLD	PC	HOLD	LOAD	PL
D	LOOP	TEST END LOOP	X	F	HOLD	PC	POP	HOLD	PL
E	CONT	CONTINUE	X	PC	HOLD	PC	HOLD	HOLD	PL
F	TWB	THREE-WAY BRANCH	≠ 0	F	HOLD	PC	POP	DEC	PL
			= 0	D	POP	PC	POP	HOLD	PL

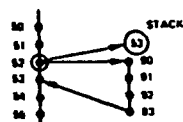
† CCEN = LOW and CC = HIGH, hold; else load. X = Don't Care

Para la implementación del Am2910, lo primero que tendremos que observar es el conjunto de instrucciones que de él hace objeto la CPA. Obsevando el conjunto de microoperaciones utilizadas en el microprograma obsevamos que solo hace uso de siete de las 16 instrucciones que posee el Am2910. El diagrama del conjunto de instrucciones del Am2910 que se han utilizado en CPA es el siguiente:

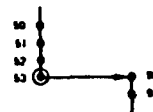
0 JUMP ZERO (JZ)



1 COND .SB PL (C.B)



2 JUMP MAP (JMAP)



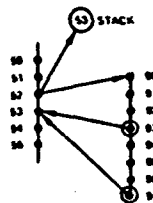
3 COND JUMP PL (CJP)



6 COND JUMP VECTOR (CJV)



10 COND RETURN (CRTN)



14 CONTINUE (CONT)



Observando el conjunto de estas siete instrucciones, vemos que ninguna de ellas hace uso del registro/contador, por lo que éste se podrá eliminar, así como el detector de cero.

También hay que tener en cuenta otro detalle, y es que en el microprograma solo se produce una llamada a subrutina, o sea, no se producen dos o más llamadas secuencialmente, por lo que la pila que contiene el Am2910 la podremos transformar en un simple registro que se carga con la dirección de retorno cuando se produce una llamada a subrutina, eliminando a sí mismo el stack pointer.

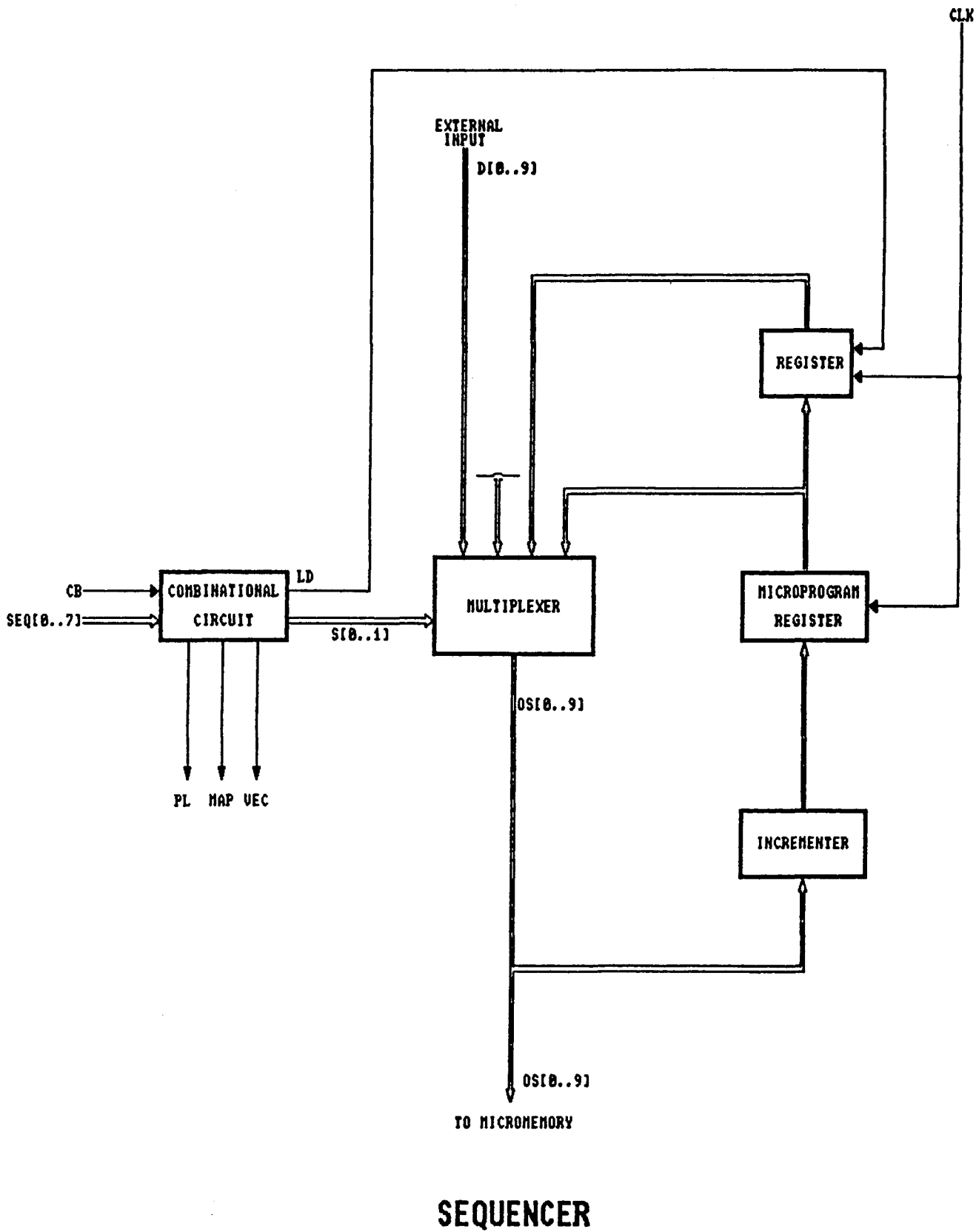
El multiplexor seguirá teniendo cuatro entradas, pero una de ellas será una entrada fija de cero para la instrucción de salto a cero.

En cuanto a la PLA, ésta la convertiremos en un circuito combinacional para controlar la estructura modificada del Am2910.

Los buffers de salida que contiene el Am2910 con estado triestate serán eliminados ya que el secuenciador siempre estará habilitado.

Por último decir que debido a que el microprograma tiene 526 microinstrucciones, con 10 bit es suficiente para hacer un direccionamiento a micromemoria, por lo que el secuenciador será de 10 bits en lugar de los 12 del Am2910.

Con todo lo dicho hasta ahora, ya podemos ver el esquema de bloques de nuestro secuenciador, tal y como ha quedado definitivamente:



Una vez llegados a este punto, quizás lo más "complicado" que queda por hacer es el diseño del circuito combinacional. Para ello nos haremos nuestra tabla de verdad en la que figuren las siete instrucciones, con las entradas y salidas correspondientes. Esta tabla la dividiremos en dos partes:

1^a Tabla: la que da las tres salidas (PL, MAP, VEC) que habilitan la fuente de la entrada directa al secuenciador. Hay que decir que mientras que en el Am2910 se habilita una fuente cuando PL, MAP ó VEC esté a cero, en este diseño he considerado que habilita una fuente cuando esté a uno. Ello es debido a que en SystemCell II los buffers se habilitan con un uno.

2^a Tabla: la que da las salidas de control internas para el secuenciador, las cuales son LD para la carga del registro y So-1 para la selección en el multiplexor.

Veamos la primera tabla:

SEQ3	SEQ2	SEQ1	SEQ0	PL	MAP	VEC
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	0	1	0
0	0	1	1	1	0	0
0	1	1	0	0	0	1
1	0	1	0	1	0	0
1	1	1	0	1	0	0

Realizando las simplificaciones correspondientes se dan los siguientes resultados:

$$PL = \overline{\overline{SEQ0} \cdot SEQ1 \cdot \overline{SEQ3}}$$

$$MAP = \overline{SEQ0} \cdot SEQ1 \cdot \overline{SEQ2} \cdot \overline{SEQ3}$$

$$VEC = SEQ2 \cdot \overline{SEQ3}$$

Debido a que desde el pipeline podemos sacar tanto SEQ0, SEQ1, SEQ2 y SEQ3 como sus negados, transformaremos las ecuaciones anteriores en las siguientes:

$$PL = \overline{SEQ4 \cdot SEQ1 \cdot SEQ7}$$

$$MAP = SEQ4 \cdot SEQ1 \cdot SEQ6 \cdot SEQ7$$

$$VEC = SEQ2 \cdot SEQ7$$

con ello nos hemos ahorrado el tener que poner un inversor para negar las SEQn. Hay que decir, sin embargo, que de estos pequeños detalles no se puede dar uno cuenta hasta que no se ha diseñado todo el circuito y se vuelve a hacer un rediseño del mismo tantas veces como sea necesario hasta optimizarlo al máximo.

Veamos la segunda tabla:

SEQ3	SEQ2	SEQ1	SEQ0	CB	S1	S0	LD
0	0	0	0	X	0	1	0
0	0	0	1	0	0	0	1
0	0	0	1	1	1	1	0
0	0	1	0	X	0	0	0
0	0	1	1	0	0	0	0
0	0	1	1	1	1	1	0
0	1	1	0	0	0	0	0
0	1	1	0	1	1	1	0
1	0	1	0	0	1	0	0
1	0	1	0	1	1	1	0
1	1	1	0	X	1	1	0

Obteniéndose los siguientes resultados:

$$LD = \overline{CB} \cdot \overline{SEQ1}$$

$$S0 = SEQ0 \cdot CB + SEQ2 \cdot CB + SEQ3 \cdot CB + SEQ2 \cdot SEQ3 + \overline{SEQ0} \cdot \overline{SEQ1}$$

$$S1 = SEQ0 \cdot CB + SEQ2 \cdot CB + SEQ3$$

o lo que es lo mismo:

$$LD = \overline{CB} \cdot SEQ5$$

$$S0 = SEQ0 \cdot CB + SEQ2 \cdot CB + SEQ3 \cdot CB + SEQ2 \cdot SEQ3 + SEQ4 \cdot SEQ5$$

Para el multiplexor se ha escogido el MU210, de tal forma que lo único que hay que hacer es poner 10 multiplexores, uno para cada bit.

En cuanto al registro que guarda el retorno de subrutina se ha escogido de tal forma que mientras LD sea cero, no carga el dato procedente del registro de microprograma. Cuando LD sea uno, carga el dato.

El registro de microprograma es simplemente un flip-flop tipo D, el cual en cada flanco de subida de la señal de reloj saca el dato procedente del incrementador.

Y por último, el incrementador es un simple sumador con acarreo de entrada y de salida. Si D es el dato de entrada, CI es el acarreo de entrada, CO es el acarreo de salida y S la salida del dato obtendremos:

D	CI	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

y los resultados serán los siguientes:

$$S = \bar{D} \cdot CI + D \cdot \bar{CI}$$

$$CO = D \cdot CI$$

Solo hay que tener en cuenta que el primer acarreo inicial es un 1 fijo por ser un incrementador. Aunque este incrementador pudiera parecer lento, veremos posteriormente que no va a causar ningún problema en el camino crítico.

De esta forma queda completado el diseño del secuenciador.

Se pueden hacer algunos comentarios acerca de las células elegidas, sobre todo en el combinacional. Como ya comentamos anteriormente la elección de todas las células se va a basar en el criterio de mínimo fan-out. En el circuito combinacional surge un problema con la señal S0, ya que esta está cargada por 10 entradas de selección de otros tantos multiplexores. Si cada entrada representa una carga de 3, tendremos un fan-out 30, al cual ha de añadirse el 50% de fan-out extra, lo que supone un fan-out total de 45. Si observamos la librería de células veremos que la puerta OR de cinco entradas (OR510) tiene un fan-out de 10. Esto se puede solucionar conectando dos buffers BU130 a la salida de la OR510 y distribuyendo la salida de cada buffer a cinco multiplexores. Por otro lado, las células ANSE7, ANSE8 y NASE1, no se sabe en principio a que carga van a estar sometidas ya que no se han diseñado los restantes circuitos, por lo que pondremos células de mínimo fan-out, o sea, una AN210, AN410 y NA310. Sin embargo, como veremos posteriormente estas células las tendremos que cambiar, ya que van a estar cargadas con un fan-out superior, teniendo que poner una AN240, AN440 y NA310.

De este primer diseño podemos obtener una conclusión bastante importante en la metodología a seguir en el diseño de una parte del circuito: *'es importantísimo un estudio de la librería de células, para ver de lo que se dispone antes*

de comenzar cualquier diseño'. Para ratificar esto que hemos dicho pongamos un ejemplo de como se puede perder un tiempo precioso por no haber hecho un estudio de la librería de células, en este caso de SystemCell II. Supongamos que en lugar de haber dicho que las señales PL, MAP y VEC habilitan a sus circuitos respectivos con un uno, le hayamos puesto que los habilitan con un cero. Esto supone que a la hora de enfrentarnos con los circuitos vemos que no hay ningún buffer en la librería que sea habilitado con un cero. Consecuencia: o ponemos un inversor a estas salidas del secuenciador (con el consiguiente desperdicio de puertas y por lo tanto de area de silicio) o rediseñamos nuevamente el circuito.

6.2.2 REGISTRO DE INSTRUCCIONES

Si el bit IR_EN procedente del pipeline está a 1 el opcode de la instrucción pasará a la ROM en el flanco de subida del reloj. Si IR_EN está a cero a la entrada de la ROM seguirá apareciendo el mismo opcode que en el anterior flanco de subida del reloj.

Como en el caso del secuenciador y para todos los bits del pipeline, IR_EN lo podemos sacar directamente negado de éste, ahorrándonos el poner un inversor en el registro de instrucciones.

Este circuito no presenta ningún problema a la hora de elegir las células, por lo que no se harán más comentarios.

6.2.3 REGISTRO PIPELINE

Consiste simplemente en una secuencia de flip-flops tipo D. En cada flanco de subida del reloj se cargan los bits procedentes de la micromemoria para distribuirlos tanto a la unidad de ejecución como a la propia unidad de control. Algunos de estos bits son datos de salida directos del 8085.

Se puede observar que a la salida de algunos flip-flops se han colocado unos buffers. Esto simplemente es para una adaptación al fan-out al que están sometidos, el cual es mayor de 20.

6.2.4 DECODIFICADOR

Consiste en un decodificador de 2 a 4. Es el que proporciona los bits de control de la salida al bus interno.

Los bits de entrada son YB0 e YB1 y los de salida:

- BUS_Y: salida de la ALU.
- UDAT: salida del registro de estado.
- RD_MASK: salida del registro de máscara.
- FOE: salida del registro de datos de la micromemoria.

La tabla de verdad del decodificador sería la siguiente:

YB1	YB0	BUS_Y	UDAT	RD_MASK	FOE
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Aunque en la librería de células existe el decodificador de 2 a 4 DE210, se ha preferido implementarlo directamente a través de simples puertas, ya que en el DE210 las salidas son activas a nivel bajo, lo cual no nos interesa.

La elección de las células se ha hecho respetando el fan-out a que vayan a estar sometidas.

6.2.5 MULTIPLEXOR DE CONDICION

Es un multiplexor de 8 entradas de datos con tres entradas de selección y un bit de control de polaridad. Si el bit CMO (bit de polaridad) está a 0, en la salida del

multiplexor se obtiene negada la entrada seleccionada por CM1, CM2 y CM3. Si CM0 es 1 la salida es la entrada seleccionada.

La tabla de verdad sería la siguiente:

CM3	CM2	CM1	CM0	CB
0	0	0	0/1	$\overline{\text{SIGNO}}/\text{SIGNO}$
0	0	1	0/1	$\overline{\text{ZERO}}/\text{ZERO}$
0	1	0	0/1	$\overline{\text{PARIDAD}}/\text{PARIDAD}$
0	1	1	0/1	$\overline{\text{CY}}/\text{CY}$
1	0	0	0/1	$\overline{\text{DAAL}}/\text{DAAL}$
1	0	1	0/1	$\overline{\text{DAAH}}/\text{DAAH}$
1	1	0	0/1	$\overline{\text{INTER}}/\text{INTER}$
1	1	1	0/1	$\overline{\text{LO}}/\text{LO}$

De esta tabla podemos obtener la expresión de CB, en la cual nos sale una suma de 8 términos. No existen ni NOR ni OR de 8 entradas en nuestra librería de células por lo cual ha tenido que descomponerse en dos sumas de cuatro y posteriormente en una de dos. Salvo este pequeño detalle, el resto no tiene nada de especial, simplemente consiste en escoger la célula de mínimo fan-out posible.

6.2.6 MULTIPLEXOR DE RESET

Consiste en un multiplexor que selecciona para la próxima secuencia de la microinstrucción o los cuatro bits

procedentes de la micromemoria o en el caso de un RESET externo cuatro ceros. Su implementación se ha realizado a través de cuatro multiplexores de dos entradas de datos y una de selección (MU111).

6.2.7 BUFFERS DE DIRECCIONES Y DATOS

En cuanto a los buffers de direcciones representan una de las tres fuentes de la entrada directa D al secuenciador. Por lo tanto proporcionan la dirección de la próxima microinstrucción cuando son habilitados por el bit PL procedente del secuenciador en el caso de que se haya producido una ramificación. Si el bit PL es cero la salida de los buffers están en estado tristate.

En la entrada de habilitación de los buffers se ha tenido que colocar un buffer BU130 para la adaptación del fan-out.

Con referencia a los buffers de datos, representan una fuente de datos para el bus interno. Cuando son habilitados por el bit FOE, procedente del decodificador, estos buffers vuelcan sobre el bus de datos interno los 8 bits menos significativos de BA[0..9]. Estos 8 bits representan constantes que se transportarán hasta la unidad de ejecución para su almacenamiento en la RAM. Cuando FOE es cero las salidas de los buffers quedan en estado tristate.

Tanto para los buffers de direcciones como para los de datos, se ha escogido el BU222.

6.2.8 LOGICA DE INTERRUPCION

Además de llevar a cabo las interrupciones del 8085, trata a la señal HOLD como una interrupción de máxima prioridad.

Como se puede observar en el esquema correspondiente, a través del bus interno, se trae o se lleva información desde o hacia la unidad de ejecución para las instrucciones SIM y RIM. Los bits ST_MASK[0..1] y RD_MASK nos habilitan por microprograma la escritura o lectura de los señalizadores de estado de las insterrupciones.

También se puede obsevar un circuito combinacional para la deshabilitación de interrupciones cuando le llegue la instrucción DI por el bus de datos ADD[0..7] procedente del registro de instrucciones, que actúa junto con el bit EDI desde microprograma. Cuando por ADD[0..7] le llega el código de la instrucción DI, se resetea el fli-flop JK inhabilitando las interrupciones. EDI controla la habilitación de las interrupciones.

El reseteado del flip-flop de la interrupción RST 7.5, puede llevarse a cabo desde el RESET externo, por la instrucción SIM o una vez aceptada la interrupción. Para ello se ha colocado el circuito combinacional adecuado, formado por ORI13 y ANI30, además de ANI32, ANI33, ANI34 y los flip-flops DFNI15, DFNI16 y DFNI17.

El reseteado del flip-flop de TRAP, se puede producir con un reset externo o una vez aceptada la interrupción,

consiguiéndose ello con OR310 y ANI31, además de ANI32, ANI33, ANI34 y los flip-flops DFNI15, DFNI16 y DFNI17.

El nivel de prioridad de las interrupciones es igual al del 8085, pero es HOLD la interrupción de máxima prioridad. Según la interrupción pedida se genera el código correspondiente para su posterior mapeado cuando haya sido aceptada. Los bits VECT[0..4] constituyen el código deseado.

La señal INTER avisa al multiplexor de condiciones si hay pedida o no interrupción, poniéndose a nivel alto en el primer caso. Debido a que en SystemCell II no existe NAND de seis entradas, se ha tenido que dividir en dos: una AND de cinco entradas (ANI7) y una NAND de dos (NAI7).

Hay que hacer notar que la presencia del inversor IVI4 a la salida del flip-flop DFNI19 es necesaria para producir el retardo suficiente para que se cumpla el tiempo de sep-up del LAHI1. De otra forma, dato y señal de habilitación llegarían a un mismo tiempo.

Puede parecer extraño la presencia del module port IDB5, pero éste es necesario a la hora de simular el circuito.

6.2.9 MAPEO DE INTERRUPCIONES

Los bits VECT[0..4] procedentes de la lógica de interrupción, tienen que ser mapeados para proporcionar una dirección de la micromemoria. Esta dirección representa la tercera fuente de la entrada directa D al secuenciador.

Aunque en CPA se ha utilizado una PROM, se ha preferido utilizar un simple combinacional debido a la simplicidad de éste. Veamos a continuación su diseño comenzando por la tabla de verdad:

	VECT2	VECT1	VECO	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
HOLD	1	1	1	1	0	0	0	0	0	1	1	0	1
TRAP	1	1	0	0	1	1	1	1	1	1	0	1	1
RST_7.5	1	0	1	0	1	1	1	1	1	1	1	1	1
RST_6.5	1	0	0	1	0	0	0	0	0	0	0	1	1
RST_5.5	0	1	1	1	0	0	0	0	0	0	1	1	1
INTR	0	1	0	1	0	0	0	0	0	1	0	1	1

Una vez realizadas las simplificaciones correspondientes nos queda:

$$D0 = 1$$

$$D1 = \overline{\text{VECTO}} \cdot \text{VECT1} \cdot \text{VECT2}$$

$$D2 = \text{VECTO}$$

$$D3 = \overline{\text{VECTO}} \cdot \text{VECT1} + \text{VECTO} \cdot \text{VECT2}$$

$$D4 = D5 = D6 = D7 = D8 = \overline{\text{VECTO}} \cdot \text{VECT1} \cdot \text{VECT2} + \text{VECTO} \cdot \overline{\text{VECT1}}$$

$$D9 = \overline{D4}$$

A cada salida del combinacional deberemos poner un buffer para que podamos obtener estado tristate. El buffer elegido ha sido el BU222.

6.2.10 ROM

Es la encargada del mapeo del opcode de la instrucción que proviene del registro de instrucciones. Esta memoria es directamente implementada a través de transistores en fábrica, por lo que no se ha procedido a su implementación con células, ya que resultaría engorroso y a la vez no sería práctico. Las especificaciones que hay que darle a fábrica son su array y programación, o sea, dirección y dato. En cuanto al array hay que decir que la memoria va a ser de 256 palabras de 10 bits cada una, o sea, 256x10. Refiriéndonos a la programación, ésta sería la siguiente (dirección y dato en hexadecimal):

DIRECCION (HEX)	DATO (HEX)
00	1D3
01	019
02	061
03	093
04	089
05	08E
06	013
07	0D1
08	xxx
09	0A3
0A	05D
0B	09B
0C	089
0D	08E
0E	013
0F	0D2
10	xxx
11	01F
12	061
13	095
14	089
15	08E
16	013
17	0D3

18	xxx
19	0A5
1A	05D
1B	09D
1C	089
1D	08E
1E	013
1F	0B4
20	1D4
21	025
22	052
23	097
24	089
25	08E
26	013
27	0AB
28	xxx
29	0A7
2A	045
2B	09F
2C	089
2D	08E
2E	013
2F	0D5
30	1D6
31	02B
32	03B
33	099
34	08A
35	08F
36	016
37	0D7
38	xxx
39	0A9
3A	031
3B	0A1
3C	089
3D	08E
3E	013
3F	0D6
40	00C
41	00C
42	00C
43	00C
44	00C
45	00C
46	00D
47	00C
48	00C
49	00C
4A	00C
4B	00C
4C	00C
4D	00C
4E	00D

4F	00C
50	00C
51	00C
52	00C
53	00C
54	00C
55	00C
56	00D
57	00C
58	00C
59	00C
5A	00C
5B	00C
5C	00C
5D	00C
5E	00D
5F	00C
60	00C
61	00C
62	00C
63	00C
64	00C
65	00C
66	00D
67	00C
68	00C
69	00C
6A	00C
6B	00C
6C	00C
6D	00C
6E	00D
6F	00C
70	011
71	011
72	011
73	011
74	011
75	011
76	1D0
77	011
78	00C
79	00C
7A	00C
7B	00C
7C	00C
7D	00C
7E	00D
7F	00C
80	069
81	069
82	069
83	069
84	069
85	069

86	06A
87	069
88	071
89	071
8A	071
8B	071
8C	071
8D	071
8E	072
8F	071
90	079
91	079
92	079
93	079
94	079
95	079
96	07A
97	079
98	081
99	081
9A	081
9B	081
9C	081
9D	081
9E	082
9F	081
AO	0B1
A1	0B1
A2	0B1
A3	0B1
A4	0B1
A5	0B1
A6	0B2
A7	0B1
A8	0B9
A9	0B9
AA	0B9
AB	0B9
AC	0B9
AD	0B9
AE	0BA
AF	0B9
BO	0C1
B1	0C1
B2	0C1
B3	0C1
B4	0C1
B5	0C1
B6	0C2
B7	0C1
B8	0C9
B9	0C9
BA	0C9
BB	0C9
BC	0C9

BD	OC9
BE	OCA
BF	OC9
CO	174
C1	19D
C2	OE1
C3	ODA
C4	12D
C5	185
C6	O6E
C7	1D7
C8	176
C9	16D
CA	OE9
CB	xxx
CC	135
CD	121
CE	076
CF	1DF
DO	178
D1	1A4
D2	OF1
D3	1C9
D4	13D
D5	18B
D6	07E
D7	1E3
D8	17A
D9	xxx
DA	OF9
DB	1C4
DC	145
DD	xxx
DE	086
DF	1E7
EO	17C
E1	1AB
E2	101
E3	1B9
E4	14D
E5	191
E6	0B6
E7	1EB
E8	17E
E9	184
EA	109
EB	064
EC	155
ED	xxx
EE	OBE
EF	1EF
FO	180
F1	1B2
F2	111
F3	1CF

F4	15D
F5	197
F6	0C6
F7	1F3
F8	182
F9	012
FA	119
FB	1CE
FC	165
FD	xxx
FE	OCE
FF	1F7

Como se puede observar, existen 10 posiciones marcadas con el dato xxx. Ello es debido, a que el 8085 posee 246 instrucciones correspondientes a otras tantas direcciones en la ROM. Por lo tanto quedan 10 direcciones que no se producirán nunca y el dato de estas posiciones puede ser cualquiera.

Debido a que PHILIPS no suministra información de las características de la ROM en 1.5 micras por ser secreto tecnológico, los cálculos que posteriormente realizaremos son escogidos de la MegaBLOCK R0808, que es una ROM en tecnología de 2 micras de 256 x 8.

En el caso de que PHILIPS solo disponga de macrocélulas ROM de 256 x 8, sería necesario que pusieran dos macrocélulas para cubrir la amplitud de la palabra de 10 bits.

6.2.11 MICROMEMORIA

La micromemoria será externa al chip, ya que el área que ocuparía sumada con el resto del circuito (unidad de control

y unidad de ejecución) sobrepasaría los límites impuestos por 1.5 micras, y que es de 20K. Por otra parte no sería económicamente rentable el diseñar un circuito ASIC para la micromemoria, la única ventaja que conllevaría sería el ahorro de espacio y un menor consumo de potencia, pero no compensaría el gasto llevado a cabo. Por todo ello se ha preferido escoger una memoria comercial. Concretamente la CY7C281, que es una EPROM de 1024 x 8 en tecnología CMOS, con un tiempo de acceso máximo de 30 ns y una disipación de potencia de 495 mW. Debido a que la palabra de la microinstrucción tiene una amplitud de 62 bits, es necesario poner 8 EPROM CY7C281.

También hay que tener en cuenta que casi la mitad de cada EPROM queda vacía, puesto que el microprograma tiene 526 microinstrucciones y que sobran dos bits de palabra para una futura aplicación. También quedan las puertas abiertas para una futura ampliación del microprograma.

A continuación se muestra la programación de dicha memoria, con la dirección y dato en hexadecimal:

0000 006EED6D40493377
0001 000EED6D434B37DD
0002 060EED6D40493377
0003 000EED6D434B37CC
0004 007EE96D40493377
0005 000EED05474B44FF
0006 000EED1D70493377
0007 0006C50D30493377
0008 0002ED05474B0CFE
0009 000EED05474A3444
000A 000EED15574B34FF
000B 0063FD0C50493377
000C 0073FD1D704B3477
000D 000EED05474A3444
000E 000EED15674B34FF
000F 000EED0D20493377
0010 0073FD1D794B3777
0011 0093FD0942493477
0012 0073FD1D774B3449
0013 000EED15674B0CFE
0014 000EED0D20493377
0015 0073FD1D794B3777
0016 000EED15674B0CFE
0017 000EED0D20493377
0018 0093FD0948493777
0019 000EED15674B0CFE
001A 000EED0D20493377
001B 000EED0D4B4B3771
001C 000EED15674B0CFE
001D 000EED0D20493377
001E 0073FD1D7B4B3770
001F 000EED15674B0CFE
0020 000EED0D20493377
0021 000EED0D4B4B3773
0022 000EED15674B0CFE
0023 000EED0D20493377
0024 0073FD1D7B4B3772
0025 000EED15674B0CFE
0026 000EED0D20493377
0027 000EED0D4B4B3775
0028 000EED15674B0CFE
0029 000EED0D20493377
002A 0073FD1D7B4B3774
002B 000EED15674B0CFE
002C 000EED0D20493377
002D 000EED0D4B4B3778
002E 000EED15674B0CFE
002F 000EED0D20493377
0030 0073FD1D7B4B3779
0031 000EED15674B0CFE
0032 000EED0D20493377
0033 000EED0D4B4B377B
0034 000EED15674B0CFE
0035 000EED0D20493377
0036 000EED0D4B4B377A
0037 000EED05474A34AA
0038 000EED15674B34FF
0039 000EED0D20493377
003A 0073FD1D7B4B3777

003B 000EED15674BOCFP
003C 000EEDOD20493377
003D 000EEDOD4B4B377B
003E 000EED15674BOCFP
003F 000EEDOD20493377
0040 000EEDOD4B4B377A
0041 000EED09434B3477
0042 000EED05474A34AA
0043 000EED15574B34FF
0044 0063FD0C50493377
0045 000EED15674BOCFP
0046 000EEDOD20493377
0047 000EEDOD4B4B377B
0048 000EED15674BOCFP
0049 000EEDOD20493377
004A 000EEDOD4B4B377A
004B 000EED05474A0CAA
004C 000EED15674B34AA
004D 000EEDOD20493377
004E 000EEDOD4B4B3755
004F 000EED15674B34FF
0050 000EEDOD20493377
0051 0063FDOD4B4B3774
0052 000EED15674BOCFP
0053 000EEDOD20493377
0054 000EEDOD4B4B377B
0055 000EED15674BOCFP
0056 000EEDOD20493377
0057 000EEDOD4B4B377A
0058 000EED05474A0CAA
0059 000EED19534B3455
005A 000EED04574B34AA
005B 000EED19534B3444
005C 0063FD04574B34FF
005D 000EED05444B3477
005E 000EED15674B34FF
005F 000EEDOD20493377
0060 0073FD1D7A4B3777
0061 000EED05444B3477
0062 000EED19534B3477
0063 0063FD04574B34FF
0064 000EEDOD474B344A
0065 000EEDOD474B3424
0066 000EEDOD474A3725
0067 000EEDOD474B34A2
0068 0073FD1D774A3723
0069 0073FD1D720B0177
006A 000EED05474A3444
006B 000EED15674B34FF
006C 000EEDOD20493377
006D 0073FD1D7B0B0577
006E 000EED15674BOCFP
006F 000EEDOD20493377
0070 0073FD1D7B0B0577
0071 0073FD1D720B8177
0072 000EED05474A3444
0073 000EED15674B34FF
0074 000EEDOD20493377
0075 0073FD1D7B0B8577

0076 000EED15674BOCF
0077 000EED0D20493377
0078 0073FD1D7BOB8577
0079 0073FD1D72OB1977
007A 000EED05474A3444
007B 000EED15674B34FF
007C 000EED0D20493377
007D 0073FD1D7BOB1D77
007E 000EED15674BOCF
007F 000EED0D20493377
0080 0073FD1D7BOB1D77
0081 0073FD1D72OB9177
0082 000EED05474A3444
0083 000EED15674B34FF
0084 000EED0D20493377
0085 0073FD1D7BOB9577
0086 000EED15674BOCF
0087 000EED0D20493377
0088 0073FD1D7BOB9577
0089 0073FD1D711BOB77
008A 000EED05474A3444
008B 000EED15674B34FF
008C 000EED0D20493377
008D 0093FD094B1BOF77
008E 0073FD1D711B1377
008F 000EED05474A3444
0090 000EED15674B34FF
0091 000EED0D20493377
0092 0093FD094B1B2777
0093 000EED0D474BOC00
0094 0073FD1D774A3701
0095 000EED0D474BOC22
0096 0073FD1D774A3723
0097 000EED0D474BOC44
0098 0073FD1D774A3745
0099 000EED0D474BOC99
009A 0073FD1D774A3798
009B 000EED0D474B1400
009C 0073FD1D774A3701
009D 000EED0D474B1422
009E 0073FD1D774A3723
009F 000EED0D474B1444
00A0 0073FD1D774A3745
00A1 000EED0D474B1499
00A2 0073FD1D774A3798
00A3 000EED0D473BO104
00A4 0073FD1D774A3745
00A5 000EED0D473BO124
00A6 0073FD1D774A3745
00A7 000EED0D473BO144
00A8 0073FD1D774A3745
00A9 000EED0D473BO194
00AA 0073FD1D774A3745
00AB 000EED0D434A3477
00AC 0AF38D0D434A3477
00AD 0B03AD0D40493377
00AE 0073FD1D70493377
00AF 0AD3FD0D430B01D7
00B0 0073FD1D730B01C7

OOB1 0073FD1D722B4177
OOB2 000EED05474A3444
OOB3 000EED15674B34FF
OOB4 000EED0D20493377
OOB5 0073FD1D7B2B4577
OOB6 000EED15674BOCFP
OOB7 000EED0D20493377
OOB8 0073FD1D7B2B4577
OOB9 0073FD1D722B6177
OOBA 000EED05474A3444
OOBB 000EED15674B34FF
OOBC 000EED0D20493377
OOBD 0073FD1D7B2B6577
OOBE 000EED15674BOCFP
OOBF 000EED0D20493377
OOC0 0073FD1D7B2B6577
OOC1 0073FD1D722B3177
OOC2 000EED05474A3444
OOC3 000EED15674B34FF
OOC4 000EED0D20493377
OOC5 0073FD1D7B2B3577
OOC6 000EED15674BOCFP
OOC7 000EED0D20493377
OOC8 0073FD1D7B2B3577
OOC9 0073FD1D72091977
OOCA 000EED05474A3444
OOCB 000EED15674B34FF
OOC C 000EED0D20493377
OOC D 0073FD1D7B091D77
OOCE 000EED15674BOCFP
OOC F 000EED0D20493377
OOD0 0073FD1D7B091D77
OOD1 0073FD1D73573377
OOD2 0073FD1D73553377
OOD3 0073FD1D735F3377
OOD4 0073FD1D735D3377
OOD5 0073FD1D734B7377
OOD6 0073FD1D70693377
OOD7 001EED6D40493377
OOD8 000EED6D434B37AA
OOD9 0073FD1D735D33AA
OODA 000EED15674BOCFP
OODB 000EED0D20493377
O O D C 000EED0D4B4B377B
O O D D 000EED15674BOCFP
O O D E 000EED0D20493377
O O D F 000EED0D4B4B377A
OOE0 0063FD05474B34AF
OOE1 0DA33D0D40493377
OOE2 000EED15674BOCFP
OOE3 000EED0D20493377
OOE4 000EED0D4B4B377B
OOE5 000EED15674BOCFP
OOE6 000EED0D20493377
OOE7 000EED0D4B4B377A
OOE8 0073FD1D70493377
OOE9 0DA32D0D404B3177
OOEA 000EED15674BOCFP
OOEB 000EED0D20493377

OOEC 000EED0D4B4B377B
OOED 000EED15674BOCFP
OOEE 000EED0D20493377
OOEF 000EED0D4B4B377A
OOF0 0073FD1D70493377
OOF1 ODA37D0D40493377
OOF2 000EED15674BOCFP
OOF3 000EED0D20493377
OOF4 000EED0D4B4B377B
OOF5 000EED15674BOCFP
OOF6 000EED0D20493377
OOF7 000EED0D4B4B377A
OOF8 0073FD1D70493377
OOF9 ODA36D0D40493377
OOFA 000EED15674BOCFP
OOFB 000EED0D20493377
OOFc 000EED0D4B4B377B
OOFD 000EED15674BOCFP
OOFE 000EED0D20493377
OOFF 000EED0D4B4B377A
O100 0073FD1D70493377
O101 ODA35D0D40493377
O102 000EED15674BOCFP
O103 000EED0D20493377
O104 000EED0D4B4B377B
O105 000EED15674BOCFP
O106 000EED0D20493377
O107 000EED0D4B4B377A
O108 0073FD1D70493377
O109 ODA34D0D40493377
O10A 000EED15674BOCFP
O10B 000EED0D20493377
O10C 000EED0D4B4B377B
O10D 000EED15674BOCFP
O10E 000EED0D20493377
O10F 000EED0D4B4B377A
O110 0073FD1D70493377
O111 ODA31D0D40493377
O112 000EED15674BOCFP
O113 000EED0D20493377
O114 000EED0D4B4B377B
O115 000EED15674BOCFP
O116 000EED0D20493377
O117 000EED0D4B4B377A
O118 0073FD1D70493377
O119 ODA30D0D40493377
O11A 000EED15674BOCFP
O11B 000EED0D20493377
O11C 000EED0D4B4B377B
O11D 000EED15674BOCFP
O11E 000EED0D20493377
O11F 000EED0D4B4B377A
O120 0073FD1D70493377
O121 000EED0D474B1499
O122 000EED15674BOCFP
O123 000EED0D20493377
O124 000EED0D4B4B377B
O125 000EED15674BOCFP
O126 000EED0D20493377

0127 000EED0D4B4B377A
0128 000EED05474A1499
0129 000EED19534B34FF
012A 000EED04574B3499
012B 000EED1953CB34EE
012C 0063FD04574B34AF
012D 12133D0D40493377
012E 000EED15674BOCFE
012F 000EED0D20493377
0130 000EED0D4B4B377B
0131 000EED15674BOCFE
0132 000EED0D20493377
0133 000EED0D4B4B377A
0134 0073FD1D70493377
0135 12132D0D40493377
0136 000EED15674BOCFE
0137 000EED0D20493377
0138 000EED0D4B4B377B
0139 000EED15674BOCFE
013A 000EED0D20493377
013B 000EED0D4B4B377A
013C 0073FD1D70493377
013D 12137D0D40493377
013E 000EED15674BOCFE
013F 000EED0D20493377
0140 000EED0D4B4B377B
0141 000EED15674BOCFE
0142 000EED0D20493377
0143 000EED0D4B4B377A
0144 0073FD1D70493377
0145 12136D0D40493377
0146 000EED15674BOCFE
0147 000EED0D20493377
0148 000EED0D4B4B377B
0149 000EED15674BOCFE
014A 000EED0D20493377
014B 000EED0D4B4B377A
014C 0073FD1D70493377
014D 12135D0D40493377
014E 000EED15674BOCFE
014F 000EED0D20493377
0150 000EED0D4B4B377B
0151 000EED15674BOCFE
0152 000EED0D20493377
0153 000EED0D4B4B377A
0154 0073FD1D70493377
0155 12134D0D40493377
0156 000EED15674BOCFE
0157 000EED0D20493377
0158 000EED0D4B4B377B
0159 000EED15674BOCFE
015A 000EED0D20493377
015B 000EED0D4B4B377A
015C 0073FD1D70493377
015D 12131D0D40493377
015E 000EED15674BOCFE
015F 000EED0D20493377
0160 000EED0D4B4B377B
0161 000EED15674BOCFE

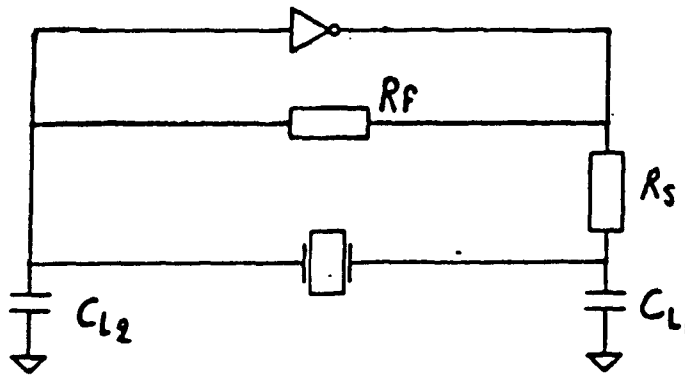
0162 000EED0D20493377
0163 000EED0D4B4B377A
0164 0073FD1D70493377
0165 12130D0D40493377
0166 000EED15674BOCPF
0167 000EED0D20493377
0168 000EED0D4B4B377B
0169 000EED15674BOCPF
016A 000EED0D20493377
016B 000EED0D4B4B377A
016C 0073FD1D70493377
016D 000EED05474AOC99
016E 000EED15674AOC99
016F 000EED0D20493377
0170 000EED1D6B4B377E
0171 000EED0D20493377
0172 000EED0D4B4B377F
0173 0063FDO5474B34FF
0174 16D33D0D40493377
0175 0073FD1D70493377
0176 16D32D0D40493377
0177 0073FD1D70493377
0178 16D37D0D40493377
0179 0073FD1D70493377
017A 16D36D0D40493377
017B 0073FD1D70493377
017C 16D35D0D40493377
017D 0073FD1D70493377
017E 16D34D0D40493377
017F 0073FD1D70493377
0180 16D31D0D40493377
0181 0073FD1D70493377
0182 16D30D0D40493377
0183 0073FD1D70493377
0184 0063FDO5474B344F
0185 000EED05474B1499
0186 000EED15574B1499
0187 000EED09434A3400
0188 000EEDOC50493377
0189 000EED19534A3411
018A 0063FDO4574B34FF
018B 000EED05474B1499
018C 000EED15574B1499
018D 000EED09434A3422
018E 000EEDOC50493377
018F 000EED19534A3433
0190 0063FDO4574B34FF
0191 000EED05474B1499
0192 000EED15574B1499
0193 000EED09434A3444
0194 000EEDOC50493377
0195 000EED19534A3455
0196 0063FDO4574B34FF
0197 000EED05474B1499
0198 000EED15574B1499
0199 000EED09434A3477
019A 000EEDOC50493377
019B 000EED3950493377
019C 0063FDO4574B34FF

019D 000EED05474AOC99
019E 000EED15674B3499
019F 000EEDOD20493377
01A0 000EEDOD4B4B3711
01A1 000EED1D674BOC99
01A2 000EED05274B34FF
01A3 0073FD1D7B4B3700
01A4 000EED05474AOC99
01A5 000EED15674B3499
01A6 000EEDOD20493377
01A7 000EEDOD4B4B3733
01A8 000EED1D674BOC99
01A9 000EED05274B34FF
01AA 0073FD1D7B4B3722
01AB 000EED05474AOC99
01AC 000EED15674B3499
01AD 000EEDOD20493377
01AE 000EEDOD4B4B3755
01AF 000EED1D674BOC99
01B0 000EED05274B34FF
01B1 0073FD1D7B4B3744
01B2 000EED05474AOC99
01B3 000EED15674B3499
01B4 000EEDOD20493377
01B5 000EEDOD4B793777
01B6 000EED1D674AOC99
01B7 000EED05234B34FF
01B8 0073FD1D7B4B3777
01B9 000EED05474AOC99
01BA 000EED15674B3499
01BB 000EEDOD20493377
01BC 000EED1D6B4B37BB
01BD 000EED09234B3444
01BE 000EED1D5B4B37AA
01BF 000EED04574B1499
01C0 000EED19534B3455
01C1 000EEDOC574B34A4
01C2 000EEDOD474B34B5
01C3 0063FD05474B34FF
01C4 000EED15674BOCFE
01C5 000EED052F4B37AA
01C6 000EED054F4B37BB
01C7 000EED15674B34FF
01C8 0063FDODAB4B3777
01C9 000EED15674BOCFE
01CA 000EED052F4B37AA
01CB 000EED054F4B37BB
01CC 000EED19534B3477
01CD 0063FD04D74B34FF
01CE 0073FF1D70493377
01CF 0073FD1D70493377
01D0 000EED1D40493377
01D1 0006CDOF40493377
01D2 1D13FDOD40493377
01D3 0073FD1D70493377
01D4 000EED4D40493377
01D5 0073FD1D734B3777
01D6 0073F91D734A3477
01D7 000EEDOD434B44AA

01D8 000EED0D434B44BB
01D9 000EED05474B1499
01DA 000EED09434B34FF
01DB 000EED15574B1499
01DC 000EED0C50493377
01DD 000EED1953CB34EE
01DE 0063FD04574B34AF
01DF 000EED0D434B44AA
01E0 008EED6D40493377
01E1 000EED6D434B37BB
01E2 1DA3FD05474B1499
01E3 000EED0D434B44AA
01E4 010EED6D40493377
01E5 000EED6D434B37BB
01E6 1DA3FD05474B1499
01E7 000EED0D434B44AA
01E8 018EED6D40493377
01E9 000EED6D434B37BB
01EA 1DA3FD05474B1499
01EB 000EED0D434B44AA
01EC 020EED6D40493377
01ED 000EED6D434B37BB
01EE 1DA3FD05474B1499
01EF 000EED0D434B44AA
01F0 028EED6D40493377
01F1 000EED6D434B37BB
01F2 1DA3FD05474B1499
01F3 000EED0D434B44AA
01F4 030EED6D40493377
01F5 000EED6D434B37BB
01F6 1DA3FD05474B1499
01F7 000EED0D434B44AA
01F8 038EED6D40493377
01F9 000EED6D434B37BB
01FA 1DA3FD05474B1499
01FB 000EED0D434B44AA
01FC 024EED0D40493377
01FD 000EED6D434B37BB
01FE 1DA3FD05474B1499
01FF 000EED0D434B44AA
0200 03CEED6D40493377
0201 000EED6D434B37BB
0202 1DA3FD05474B1499
0203 000EED0D434B44AA
0204 034EED6D40493377
0205 000EED6D434B37BB
0206 1DA3FD05474B1499
0207 000EED0D434B44AA
0208 02CEED6D40493377
0209 000EED6D434B37BB
020A 1DA3FD05474B1499
020B 000EE40D40493377
020C 0002ED0D404B3177
020D 0006CD8F40493377
020E 20D3FD0D40493377

6.2.12 OSCILADOR

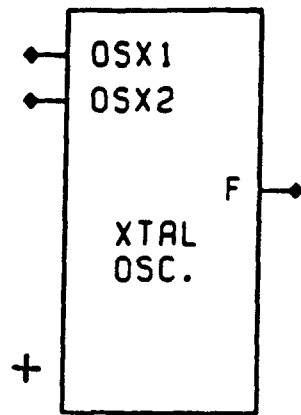
El oscilador más usado en aplicaciones en CMOS es el PIERCE. La configuración de este oscilador es la que se muestra en la figura siguiente:



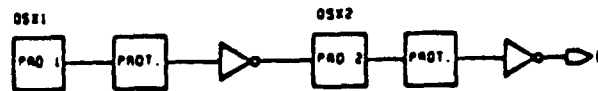
Pierce-oscillator

El circuito inversor es implementado en el dado, mientras que el resto de componentes son externos al chip.

El oscilador utilizado ha sido el OSX01, el cual consiste en un inversor. El símbolo y hardware del OSX01 se muestran en las figuras siguientes:



Symbol of OSX01



Hardware realisation of OSX01

El OSX01 tiene un rango de frecuencias de 1MHz a 20MHz y admite un fan-out de 10. Este bajo valor en fan-out hace que en todos los diseños se tengan que colocar continuamente buffers, con el consiguiente retardo que estos producen, y por lo tanto el cuidado que hay que mantener en el diseño de la red del reloj.

En cuanto a los componentes externos del oscilador PIERCE:

- R_f : resistencia de realimentación; necesaria para colocar el punto de corte del amplificador en la región lineal. R_f oscila entre 1Mohm y 20Mohm.

- R_s : resistencia de carga para incrementar la resistencia de salida del inversor y limitar la disipación en el cristal. Su valor depende de la frecuencia, siendo pequeña para altas frecuencias y sobre algunos Kohm para bajas frecuencias. R_s oscila entre 0ohm y 4Kohm.

- C_{L1} , C_{L2} : capacitancias de carga. Sus valores oscilan entre 20pF y 50pF.

- XTAL: cristal.

En la salida F del OSX01 tendremos la señal de reloj, que en nuestro caso debe ser de 1.2MHz.

OSX01 hay que tratarlo como una célula de E/S, y por lo tanto debe ir en la periferia del dado.

6.2.13 SEÑAL READY

Para llevar a cabo la función que en el 8085 desempeña la señal READY, se ha decidido parar el reloj interno cuando dicha señal es activa y una vez reconocida.

En el esquema CONTROL.DRT, se puede observar el circuito que se ha implementado. La señal READY es chequeada en cada

flanco de subida de la señal de reloj, de tal forma que si está inactiva (nivel alto) el flip-flop DFN01 ordenará a la puerta NA01 a que su salida sea la salida F del OSX01 invertida. Cuando READY es cazada con un nivel bajo el flip-flop hará que NA01 sace un uno fijo a la salida un número entero de ciclos de reloj. Mientras tanto, el reloj externo seguirá funcionando normalmente.

6.3 ESTUDIO DE VIABILIDAD

A través de estos estudios se observará como los diseños iban avanzando, y como los parámetros críticos se iban ajustando a los requerimientos exigidos.

6.3.1 ESTUDIO DE AREA

La unidad de área es la NAND de dos entradas, de la cual no sabemos su valor por ser secreto tecnológico. No obstante, se han realizado unos cálculos estimativos del posible valor en área que ocuparía. Concretamente se han realizado tres estudios, de los cuales se escogió el resultado que daba un mayor área. El estudio que dio un mayor área fue a partir de una NAND de dos entradas de 1.5 micras en full-custom, obteniéndose $2.632 \cdot 10^{-9} \text{ mm}^2$.

6.3.1.1 Primera estimación de área

En un primer diseño, se calculó a través de las tablas de dos micras un total de 12500 puertas, de las cuales 2645 pertenecen a la unidad de control y 9855 pertenecen a la unidad de ejecución. Con esto tenemos un área de:

$$A = 12500 \cdot 2.632 \cdot 10^{-9} \text{ mm}^2 = 33 \text{ mm}^2$$

a la que hay que añadir el área que ocuparían los PADS,

resultando un 20% superior a la anterior:

$$A_{\text{total}} = 39.6 \text{ mm}^2$$

6.3.1.2 Segunda estimación de área

En un segundo cálculo de viabilidad para diseños más avanzados y a través de las tablas de dos micras, se obtuvo un total de 16000 puertas, de las cuales 3294 pertenecen a la unidad de control y 12706 a la unidad de ejecución, resultando un área de :

$$A = 16000 \cdot 2.632 \cdot 10^{-9} \text{ mm}^2 = 42.12 \text{ mm}^2$$

$$A_{\text{total}} = 50.544 \text{ mm}^2$$

6.3.1.3 Estimación final de área

Para el diseño definitivo y a través del número de puertas dado por el simulador, se obtuvieron un total de 17000 puertas, de las cuales 6642 pertenecen a la unidad de control y 10358 pertenecen a la unidad de ejecución. El área final resultó ser:

$$A = 17000 \cdot 2.632 \cdot 10^{-9} \text{ mm}^2$$

$$A_{\text{total}} = 53.7 \text{ mm}^2$$

Mientras que en las anteriores estimaciones no se habían

tenido en cuenta los buffers de la periferia, en esta última estimación si se han tenido en cuenta. Cabe resaltar que los buffers de la periferia ocupan mucha área y no se debe descuidar su cálculo. Así, por ejemplo, solo los buffers de la unidad de control ocupan un área de 8.45 mm^2 , o sea, 'casi un 16% del área total'.

6.3.2 ESTUDIO DE LOS RETARDOS

Aunque el periodo del reloj lo ha marcado la unidad de ejecución en su camino más largo, aquí demostraremos que el camino crítico de la unidad de control es muy inferior a la de ejecución.

Dentro de la unidad de control existen varios caminos críticos, correspondiendo el mayor de ellos a un **CONDITIONAL JUMP** . Ello lo demostraremos calculando otros caminos críticos existentes.

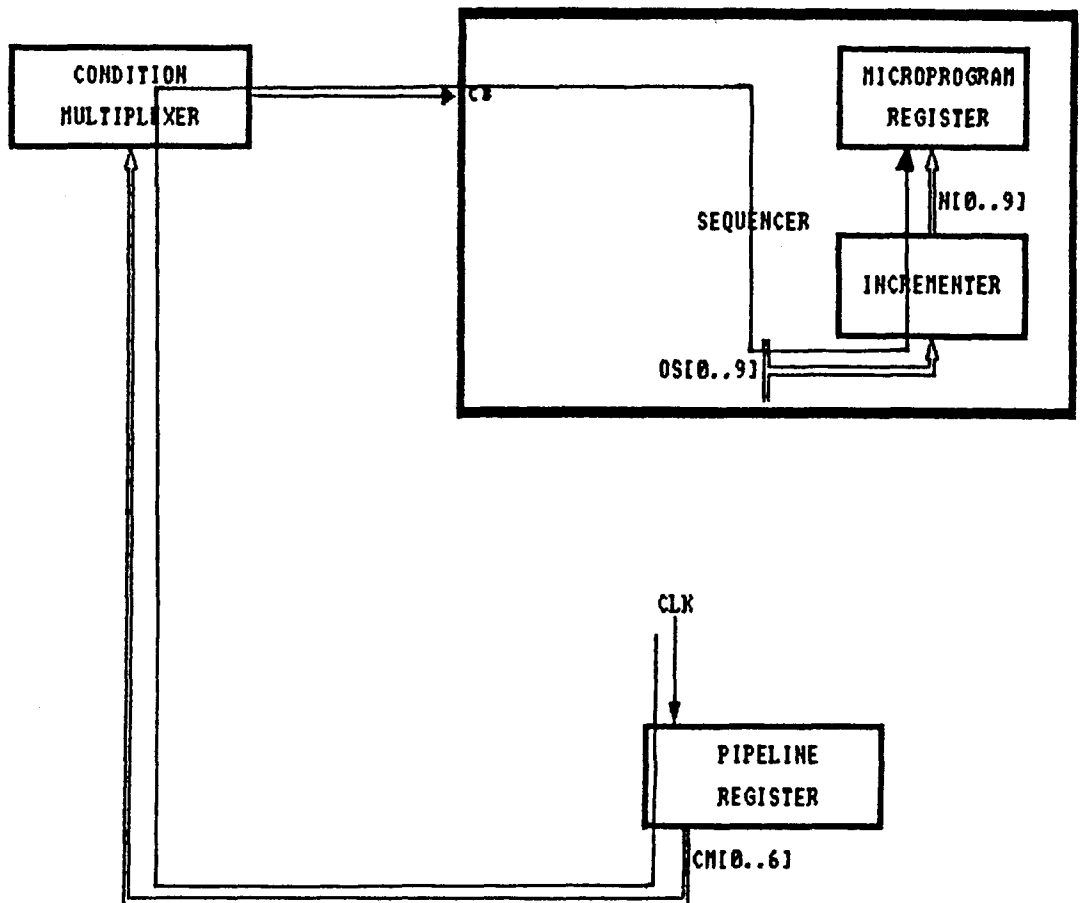
6.3.2.1 Primer camino crítico

Calcularemos el camino más crítico dentro de la unidad de control, tanto en el caso más desfavorable, como en el caso más favorable. De esta forma podremos sacar alguna conclusión de estas células, que nos sirva de información acerca de su comportamiento.

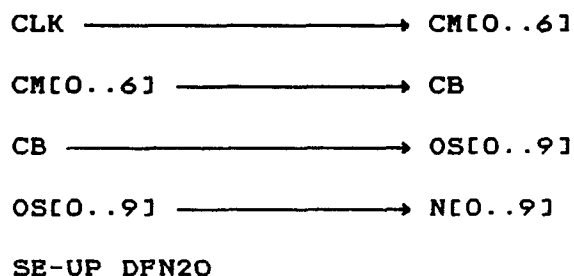
Por ser el camino crítico, especificaremos detalladamente todos los cálculos, mientras que en los siguientes no serán

especificados tan cuidadosamente.

En el siguiente diagrama se ve de una forma gráfica el camino crítico:



Este camino se calcula a través de los siguientes pasos que debe dar la señal:



A continuación se muestran los cálculos de cada paso para el caso más desfavorable:

- CLK -----> CM[0..6]

En CM[4,5,6]: Cnode = 3.8950

$$T_{pLH} = 9.6 + 2 \cdot 3.8950 = 17.39$$

$$T_{pHL} = 6 + 1.1 \cdot 3.8950 = 10.28$$

- CM[0..6] -----> CB

En ANMU[1..8]: Cnode = 2.1291

$$T_{pLH} = 5.1 + 4.1 \cdot 2.1291 = 13.83$$

$$T_{pHL} = 3.3 + 2.3 \cdot 2.1291 = 8.20$$

En ORMU[1..2]: Cnode = 2.7177

$$T_{pLH} = 2.5 + 4 \cdot 2.7177 = 13.37$$

$$T_{pHL} = 8 + 2.9 \cdot 2.7177 = 15.88$$

En NOMU1: Cnode = 3.8950

$$T_{pLH} = 1.7 + 3.6 \cdot 3.8950 = 15.72$$

$$T_{pHL} = 1.3 + 1.4 \cdot 3.8950 = 6.75$$

En EXMU1: Cnode = 3.8950

$$T_{pLH} = 2.6 + 3.7 \cdot 3.8950 = 17.01$$

$$T_{pHL} = 3.2 + 2 \cdot 3.8950 = 10.99$$

- CB \longrightarrow OS[0..9]

En ANSE[4,6]: Cnode = 3.3064

$$T_{pLH} = 2.5 + 3.7 \cdot 3.3064 = 14.73$$

$$T_{pHL} = 2.4 + 2 \cdot 3.3064 = 9.01$$

En ORSE3: Cnode = 2.7177

$$T_{pLH} = 2.6 + 4.1 \cdot 2.7177 = 13.74$$

$$T_{pHL} = 10.9 + 3.2 \cdot 2.7177 = 19.60$$

En BUSE[1..2]: Cnode = 10.3698

$$T_{pLH} = 2.8 + 1.3 \cdot 10.3698 = 16.28$$

$$T_{pHL} = 3.2 + 0.8 \cdot 10.3698 = 11.50$$

En MUSE[1..10]: Cnode = 3.8950

$$T_{pLH} = 11 + 4.1 \cdot 3.8950 = 26.97$$

$$T_{pHL} = 11.2 + 3.3 \cdot 3.8950 = 24.05$$

- OS[0..9] \longrightarrow N[0..9]

En ANSE[10..17]: Cnode = 3.3064

$$T_{pLH} = 2.5 + 3.7 \cdot 3.3064 = 14.73$$

En ANSE9: Cnode = 2.7177

$$T_{pLH} = 2.5 + 3.7 \cdot 2.7177$$

En EXSE1: Cnode = 2.1291

$$T_{pLH} = 2.8 + 7.3 \cdot 2.1291 = 18.34$$

$$T_{pHL} = 3.7 + 4.1 \cdot 2.1291 = 12.43$$

- SET-UP DFN20

$$T_{set-up} = 6$$

Sumando los retardos producidos en cada paso, obtenemos un retardo total de 312.15 ns, el cual correspondería al periodo del reloj, pues como ya hemos dicho, este es el camino más largo. Este periodo de reloj corresponde a una frecuencia de 3.2 Mhz. Podemos observar la diferencia con respecto al camino crítico de la unidad de ejecución que marcó una frecuencia de 1.274 Mhz.

Veamos a continuación los cálculos para el caso más favorable:

- CLK \longrightarrow CM[0..6]

En CM[4,5,6]: Cnode = 3.8950

$$T_{pLH} = 2.2 + 0.3 \cdot 3.8950 = 3.37$$

$$T_{pHL} = 1.3 + 0.3 \cdot 3.8950 = 2.47$$

- CM[0..6] \longrightarrow CB

En ANMU[1..8]: Cnode = 2.1291

$$T_{pLH} = 1.1 + 0.8 \cdot 2.1291 = 2.80$$

$$T_{pHL} = 0.3 + 0.6 \cdot 2.1291 = 1.58$$

En ORMU[1..2]: Cnode = 2.7177

$$T_{pLH} = 0.5 + 0.7 \cdot 2.7177 = 2.40$$

$$T_{pHL} = 0.7 + 0.8 \cdot 2.7177 = 2.87$$

En NOMU1: Cnode = 3.8950

$$T_{pLH} = 0.3 + 0.7 \cdot 3.8950 = 3.03$$

$$T_{pHL} = 0.1 + 0.3 \cdot 3.8950 = 1.27$$

En EXMU1: Cnode = 3.8950

$$T_{pLH} = 0.5 + 0.7 \cdot 3.8950 = 3.23$$

$$T_{pHL} = 0.3 + 0.5 \cdot 3.8950 = 2.25$$

- CB \longrightarrow OS[0..9]

En ANSE[4,6]: Cnode = 3.3064

$$T_{pLH} = 0.5 + 0.7 \cdot 3.3064 = 2.81$$

$$T_{pHL} = 0.2 + 0.5 \cdot 3.3064 = 1.85$$

En ORSE3: Cnode = 2.7177

$$T_{pLH} = 0.5 + 0.8 \cdot 2.7177 = 2.67$$

$$T_{pHL} = 1 + 0.9 \cdot 2.7177 = 3.45$$

En BUSE[1..2]: Cnode = 10.3698

$$T_{pLH} = 0.6 + 0.2 \cdot 10.3698 = 2.67$$

$$T_{pHL} = 0.3 + 0.2 \cdot 10.3698 = 2.37$$

En MUSE[1..10]: Cnode = 3.8950

$$T_{pLH} = 2.2 + 0.8 \cdot 3.8950 = 5.32$$

$$T_{pHL} = 1.1 + 0.9 \cdot 3.8950 = 4.61$$

- OS[0..9] → N[0..9]

En ANSE[10..17]: Cnode = 3.3064

$$T_{pLH} = 0.5 + 0.7 \cdot 3.3064 = 2.81$$

En ANSE9: Cnode = 2.7177

$$T_{pLH} = 0.5 + 0.7 \cdot 2.7177 = 2.40$$

En EXSE1: Cnode = 2.1291

$$T_{pLH} = 0.6 + 1.4 \cdot 2.1291 = 3.58$$

$$T_{pHL} = 0.3 + 1.2 \cdot 2.1291 = 2.85$$

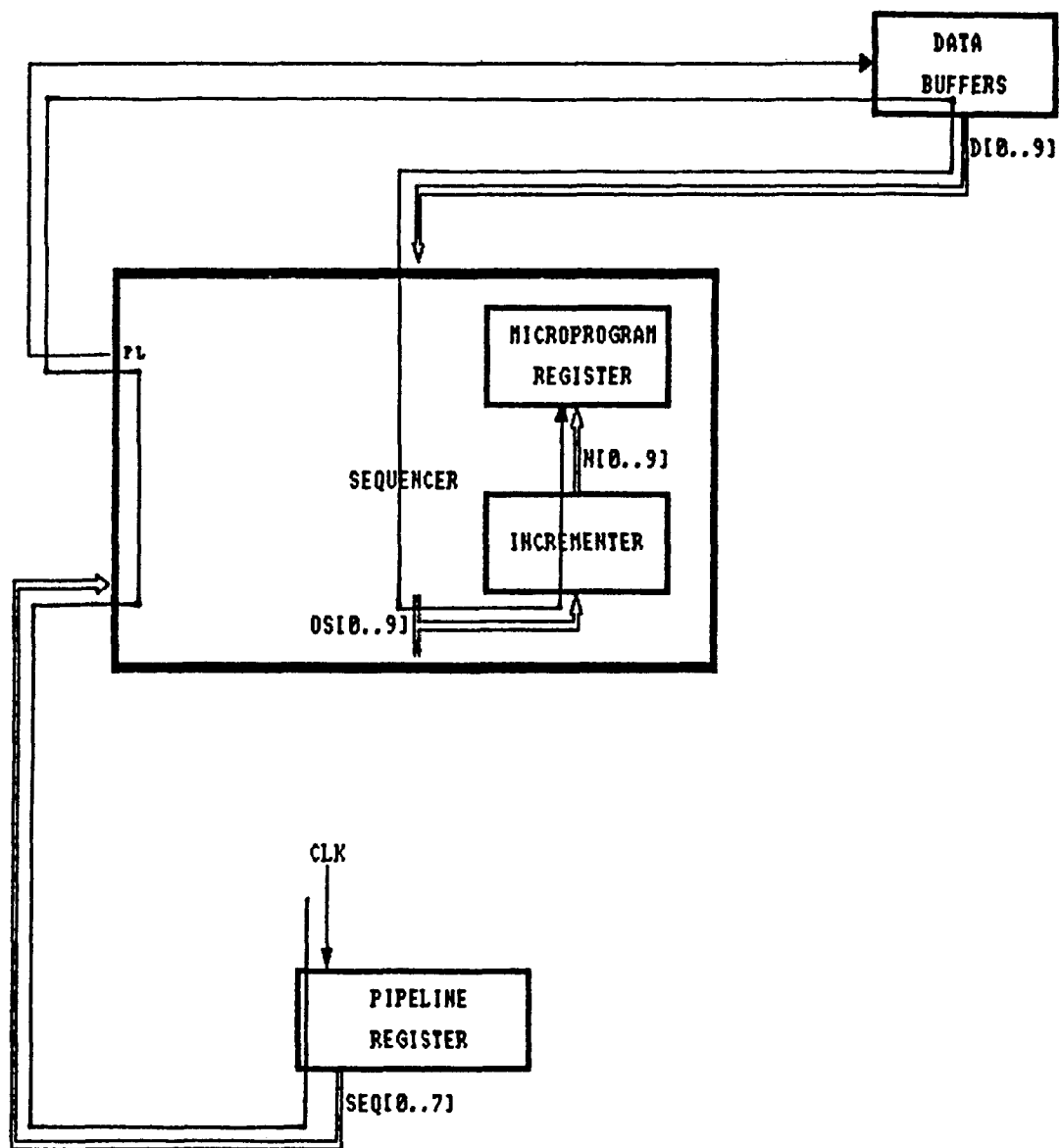
- SET-UP DFN20

Tset-up = 6

Sumando los retardos producidos nos sale un periodo de reloj de 64.01 ns, lo cual supone una frecuencia de 15.62 MHz. Esto supone que en el caso más favorable la frecuencia es casi cinco veces mayor que en el más desfavorable. De esto se deduce, que haciendo trabajar a estas células en el regimen más favorable, se saca un rendimiento bastante interesante, que compensaría el mantenimiento de estas condiciones.

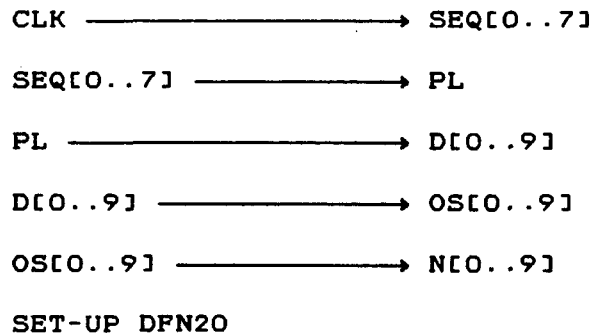
También habría que decir que esta frecuencia se hubiera aumentando más optimizando este camino crítico.

6.3.2.2 Segundo camino crítico



Correspondiente también a un **CONDITIONAL JUMP**, pero el correspondiente al que utiliza el registro pipeline para la ramificación y posterior almacenamiento en el microprogram register del secuenciador.

Los pasos a seguir por la señal son los siguientes:



Procedamos a ver los cálculos:

- CLK -----> SEQ[0..7]

En SEQ[4,7]: Cnode = 3.3064

TpLH = 16.21

TpHL = 9.64

- SEQ[0..7] -----> PL

En NASE1: Cnode = 2.1291

TpLH = 10.10

TpHL = 14.86

- PL \longrightarrow D[0..9]

En BUPL11; Cnode = 13.3130

 T_{PLH} = 20.11

 T_{PHL} = 13.85

En BUPL[1..10]; Cnode = 2.1291

 T_{PZL} = 6.67

 T_{PZH} = 10.08

- D[0..9] \longrightarrow OS[0..9]

En MUSE[1..10]; Cnode = 3.8950

 T_{PLH} = 25.37

 T_{PHL} = 21.85

- OS[0..9] \longrightarrow N[0..9]

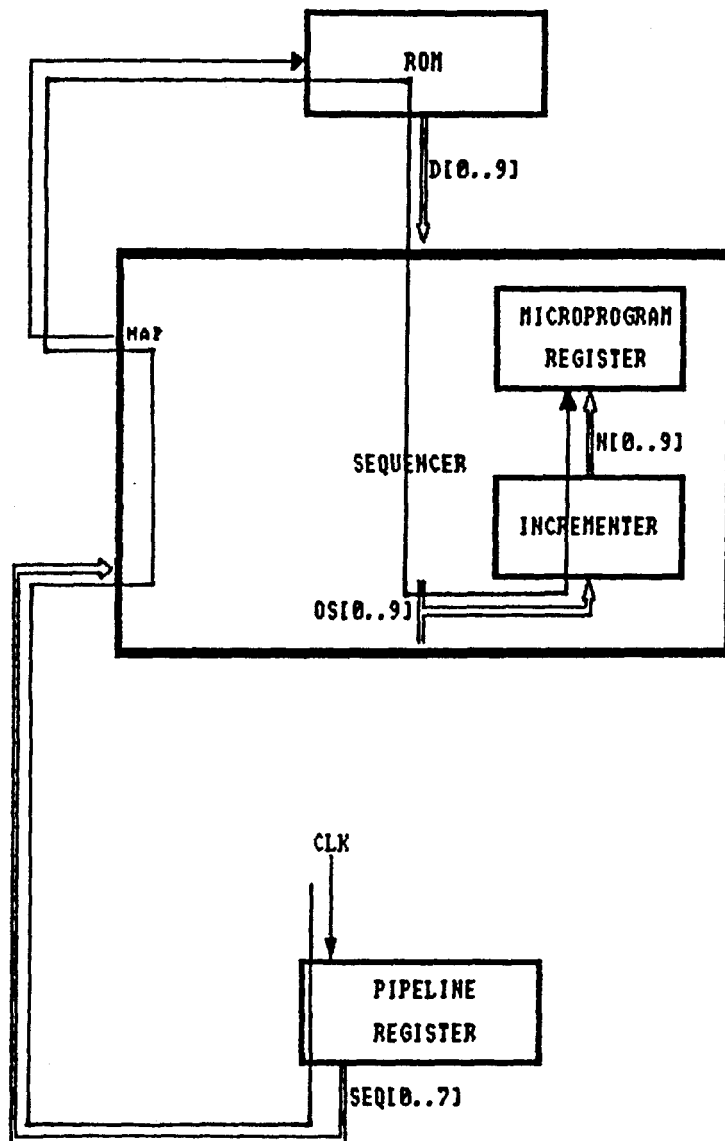
 Calculado anteriormente: T_{PLH} = 148.74

- SET-UP DFN20

 T_{set-up} = 6

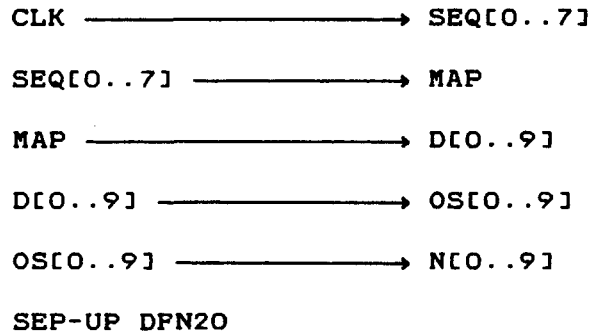
Retardo total = 241.37 ns

6.3.2.3 Tercer camino crítico



Este corresponde a un JUMP MAP, entrando en juego la ROM de decodificación de instrucciones y el posterior almacenamiento en el microprogram register del secuenciador.

La señal seguirá los siguientes pasos:



Los cálculos son los siguientes:

- CLK -----> SEQ[0..7]

Calculado anteriormente: $T_{pLH} = 16.21$

- SEQ[0..7] -----> MAP

En ANSE8: $C_{node} = 4.4836$

$T_{pLH} = 12.23$

$T_{pHL} = 7.29$

- MAP -----> DI[0..9]

En la ROM: $C_{node} = 2.1291$

$$T_{ACC} = 25 + 4 \cdot 2.1291 = 33.52$$

- D[0..9] \longrightarrow OS[0..9]

Calculado anteriormente: $T_{pLH} = 25.37$

- OS[0..9] \longrightarrow N[0..9]

Calculado anteriormente: $T_{pLH} = 148.74$

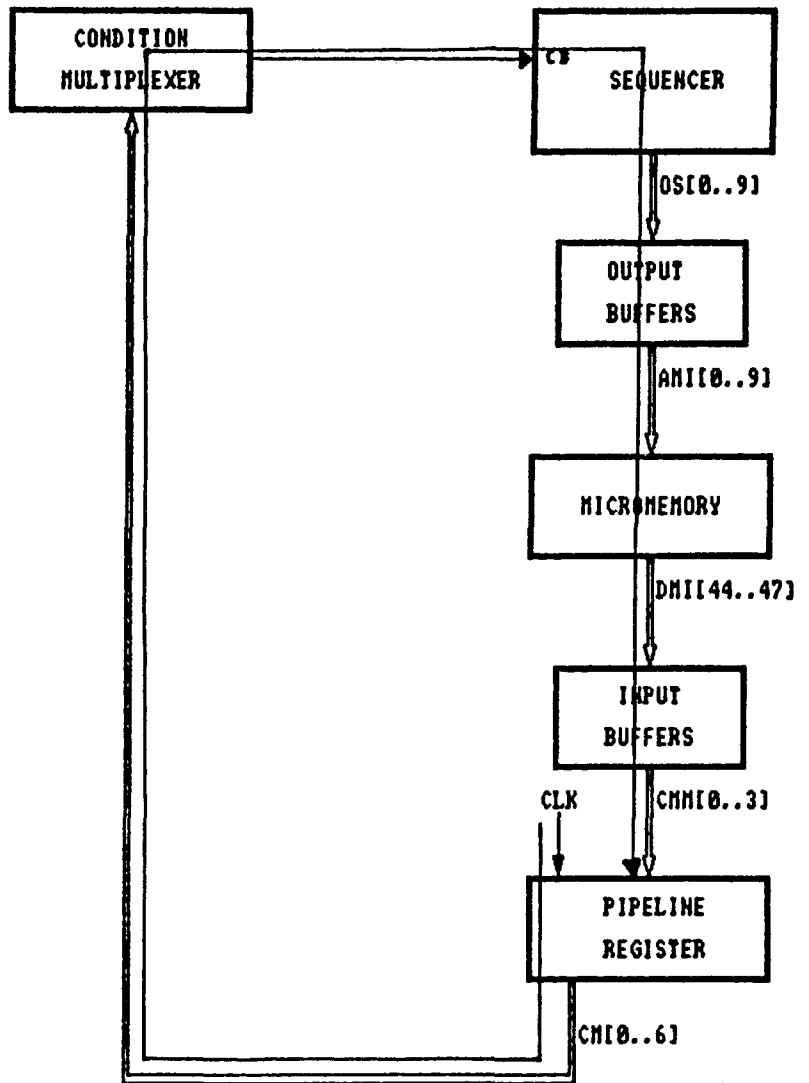
- SET-UP DFN20

$T_{sep-up} = 6$

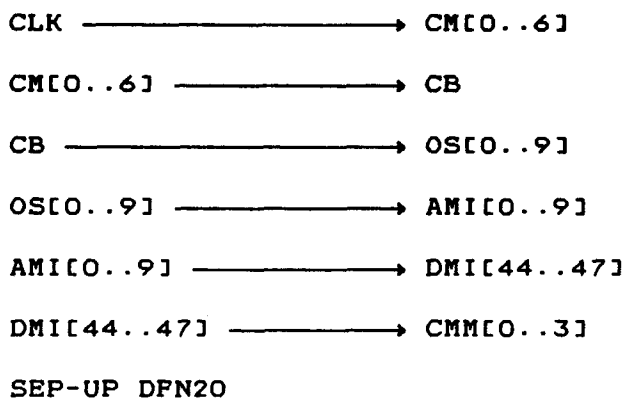
Retardo total = 236.07 ns

6.3.2.4 Cuarto camino crítico

Este camino también corresponde a un CONDITIONAL JUMP. En él, se hace uso de la memoria de microprograma.



El viaje de la señal es el siguiente:



Realicemos los cálculos:

- CLK -----> CM[0..6]

Calculado anteriormente: $T_{pLH} = 17.39$

- CM[0..6] -----> CB

Calculado anteriormente: Retardo = 62.44

- CB -----> OS[0..9]

Calculado anteriormente: Retardo = 77.58

- OS[0..9] -----> AMI[0..9]

En OPFMI[1..10]: $C_I = 5 \text{ pF}$

$$T_{pLH} = 6.5 + 1.32 \cdot 5 = 13.1$$

$$T_{pHL} = 6.3 + 0.13 \cdot 5 = 6.95$$

- AMI[0..9] → DMI[44..47]

$$T_{acc} = 30 \text{ ns}$$

- DMI[44..47] → CMM[0..3]

En IPFM[15..18]: Cnode = 2.1291

$$T_{pLH} = 10.70$$

$$T_{pHL} = 6.07$$

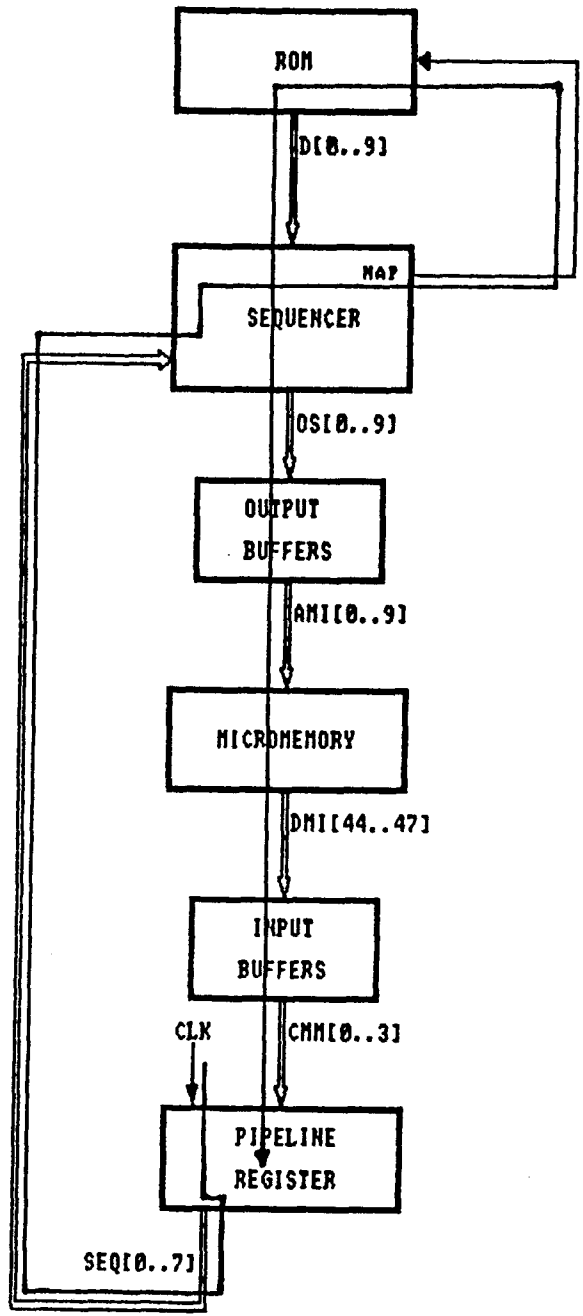
- SEP-UP DFN20

$$T_{se-up} = 6$$

Retardo total = 217.21 ns

6.3.2.5 Quinto camino crítico

Corresponde a un JUMP MAP. En éste interviene la ROM de mapeo y la micromemoria para la puesta del dato del siguiente ciclo en el registro de instrucción.



Los pasos a seguir son:

```
CLK -----> SEQ[0..7]
SEQ[0..7] -----> MAP
MAP -----> D[0..9]
D[0..9] -----> OS[0..9]
OS[0..9] -----> AMI[0..9]
AMI[0..9] -----> DMI[44..47]
DMI[44..47] -----> CMM[0..3]

SET-UP DFN20
```

Procedamos a los cálculos:

- CLK -----> SEQ[0..7]

Calculado anteriormente: $T_{pLH} = 16.21$

- SEQ[0..7] -----> MAP

Calculado anteriormente: $T_{pLH} = 12.23$

- MAP -----> D[0..9]

Calculado anteriormente: $T_{acc} = 33.52$

- D[0..9] -----> OS[0..9]

Calculado anteriormente: $T_{pLH} = 25.37$

- OS[0..9] → AMI[0..9]

Calculado anteriormente: $T_{pLH} = 13.1$

- AMI[0..9] → DMI[44.47]

$T_{acc} = 30 \text{ ns}$

- DMI[44..47] → CMM[0..3]

Calculado anteriormente: $T_{pLH} = 10.70$

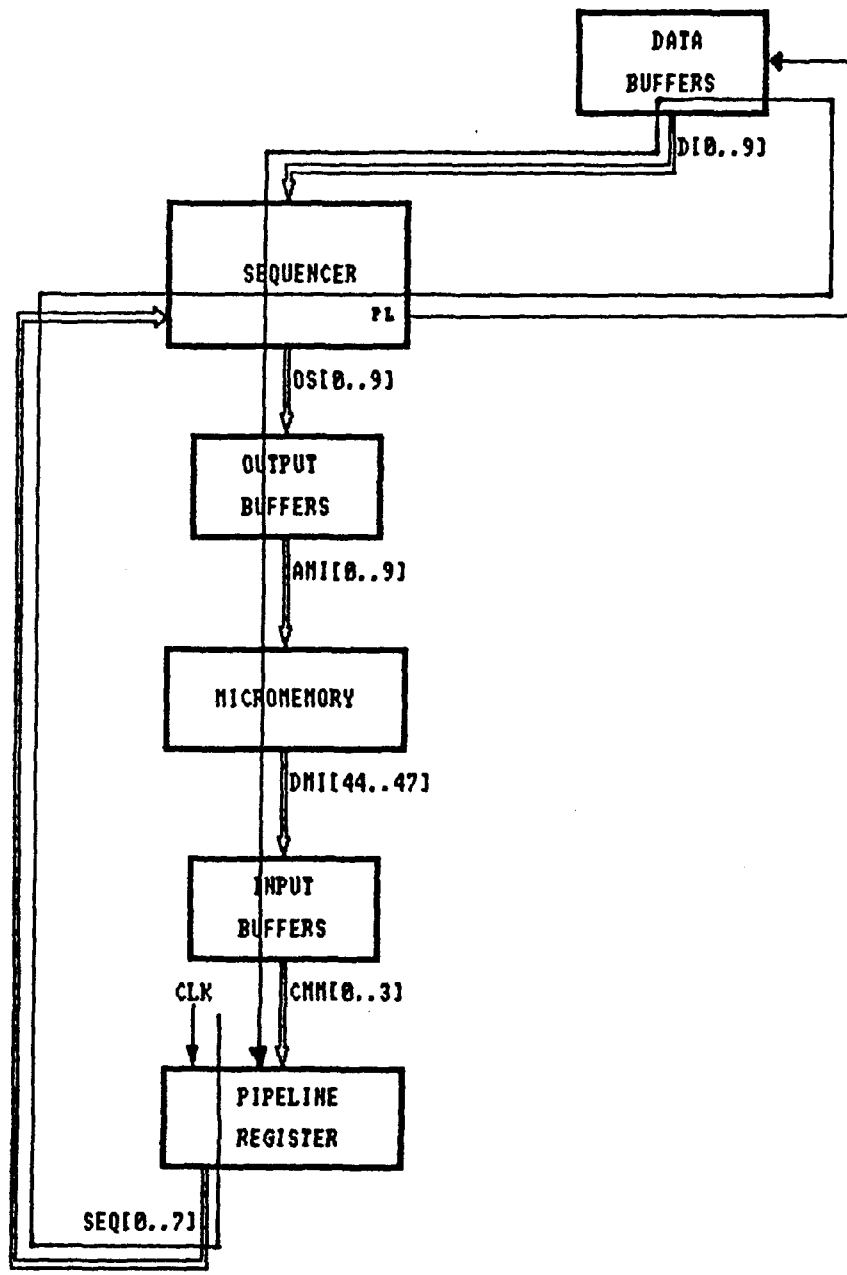
- SET-UP DFN20

$T_{set-up} = 6$

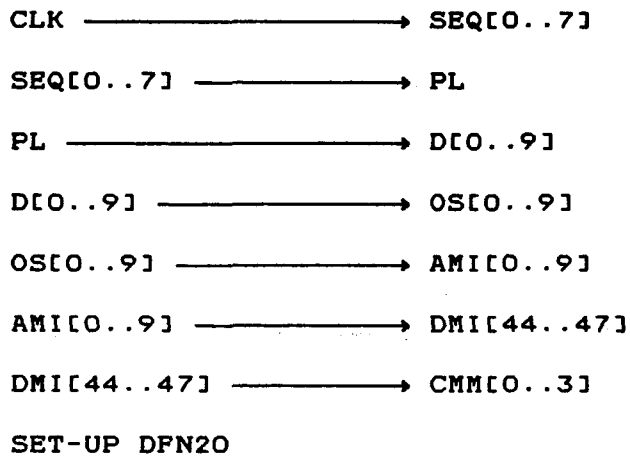
Retardo total = 147.13 ns

6.3.2.6 Sexto camino crítico

Pertenece a un **CONDITIONAL JUMP** y que hace uso de la parte del pipeline de ramificación y de la micromemoria.



Los pasos que debe dar la señal son los siguientes:



Veamos los cálculos:

- CLK -----> SEQ[0..7]

Calculado anteriormente: $T_{pLH} = 16.21$

- SEQ[0..7] -----> PL

Calculado anteriormente: $T_{pHL} = 14.86$

- PL -----> D[0..9]

Calculado anteriormente: Retardo = 30.19

- D[0..9] -----> CMM[0..3]

Calculado anteriormente: Retardo = 79.17

- SET-UP DFN20

Tset-up = 6

Retardo total = 146.43 ns

6.3.3 ESTUDIO DE POTENCIA

A lo largo del diseño se han realizado diversos estudios de viabilidad relativos a la potencia. Aquí expondremos dos de los estudios realizados extensamente. Uno relativo a un diseño en el que no se tuvo en cuenta el área que ocupaban las células de I/O y con una frecuencia de reloj de 4MHz. El otro corresponde al circuito final y con la frecuencia de reloj final. Haciendo una comparación de estos dos estudios, se puede observar en que medida influye cada uno de los parámetros que entran en juego en el cálculo de la potencia.

En el apartado 3.2.2 se expuso extensamente como se realiza el cálculo de la potencia. Aquí explicaré un poco la metodología seguida en los cálculos:

- Para calcular la corriente de fuga de las células, se han tenido que coger los datos de 2μ , puesto que para las células de 1.5μ no se conoce dicho dato.

- Debido a que nuestro integrado es compatible CMOS, se ha supuesto que cada salida está conectada a cinco cargas CMOS y que cada carga consume $2\mu A$, excepto la micromemoria que consume $10\mu A$.

- El dato C_{PD} se ha cogido de las células de 2μ , puesto que para las de 1.5μ actualmente es secreto tecnológico. De todas formas es válida esta elección, puesto que para las células de 1.5μ , este dato tendría un valor menor.

- Se ha calculado la potencia dinámica de la siguiente

manera:

- Se ha calculado el número de nodos de cada parte del diseño.
- Se ha deducido el fan-out medio al cual está cargado cada nodo.
- Se ha calculado la CPD media de cada parte del diseño.
- Se ha calculado la CL media de cada nodo.
- Se han deducido aproximadamente el número de células que conmutan simultáneamente a una determinada frecuencia.
- Se ha escogido el número de puertas dadas por el simulador.

6.3.3.1 PRIMER ESTUDIO DE POTENCIA

6.3.3.1.1 Potencia estática

$$P_{DC} = V_{CC} \cdot I_{CC} + \sum_n [V_{OL} \cdot I_{IL} \cdot (\% \text{duty cycle low})]_n$$

siendo: $V_{CC} = 5V$

$I_{CC} = 350nA$ (suma de todas las corrientes de fuga de cada célula)

$V_{OL} = 0.5V$

$I_{IL} = 10 \cdot 10\mu A + 12 \cdot (2\mu A \cdot 5) = 220\mu A$

$$P_{DC} = 5 \cdot 350 \cdot 10^{-9} + 0.5 \cdot 220 \cdot 10^{-6} \cdot 0.5 = 56.75\mu W$$

6.3.3.1.2 Potencia dinámica

6.3.3.1.2.1 Potencia que se disipa en el núcleo

$$[PAC]_{core} = \sum_n [(CPD + CL) \cdot VCC^2 \cdot fi]_n$$

- En el registro pipeline:

- Número de puertas $G = 531$
- Número de nodos $N = 77$
- Fan-out medio $F = 7$
- CL media $CL = 3.45$
- CPD media $CPD = 2.65$
- Cnode media $CNM = 6.1$

69 puertas a 4Mz: $PAC = 42.09mW$

410 puertas a 0.8MHz: $PAC = 50.02mW$

El resto a frecuencia despreciable

- En el decodificador:

- $G = 14$
- $N = 5$
- $F = 27$
- $CL = 10.03$
- $CPD = 2.05$
- $CNM = 12.08$

14 puertas a 0.8MHz: $P_{AC} = 3.38mW$

- En el registro de instrucción:

- $G = 114$
- $N = 32$
- $F = 6$
- $CL = 3.12$
- $CPD = 1.34$
- $CNM = 4.46$

8 puertas a 4MHz: $P_{AC} = 3.57mW$

106 puertas a 0.8MHz: $P_{AC} = 9.45mW$

- En los buffers de dirección:

- $G = 32$
- $N = 11$
- $F = 4$
- $CL = 2.47$
- $CPD = 1.63$
- $CNM = 4.1$

32 puertas a 0.8MHz: $P_{AC} = 2.62mW$

- En los buffers de datos:

- $G = 24$
- $N = 8$
- $F = 20$
- $CL = 7.73$
- $CPD = 1.62$
- $CNM = 9.35$

24 puertas a 0.8MHz; $P_{AC} = 4.49mW$

- En el mapeo de interrupciones:

- $G = 45$
- $N = 18$
- $F = 2$
- $CL = 1.81$
- $CPD = 1.26$
- $CNM = 3.06$

Las puertas conmutan a frecuencia muy pequeña. Se puede despreciar la potencia disipada.

- En el multiplexor de condiciones:

- $G = 27$
- $N = 12$
- $F = 2.5$
- $CL = 1.97$

- $CPD = 1.1$
- $CNM = 3.07$

14 puertas a 1MHz: $PAC = 1.07mW$

El resto a frecuencias despreciables

- En el multiplexor de RESET:

- $G = 12$
- $N = 4$
- $F = 1.5$
- $CL = 1.65$
- $CPD = 0.92$
- $CNM = 2.57$

12 puertas a 0.8MHz: $PAC = 0.62mW$

- En el secuenciador:

- $G = 350$
- $N = 77$
- $F = 6$
- $CL = 3.12$
- $CPd = 1.57$
- $CNM = 4.69$

30 puertas a 4MHz: $PAC = 14.07mW$

170 puertas a 0.8MHz; $P_{Ac} = 15.95mW$

El resto a frecuencias despreciables

- En la lógica de interrupción:

- $G = 363$
- $N = 105$
- $F = 4.5$
- $CL = 2.63$
- $CPD = 1.55$
- $CNM = 4.18$

36 puertas a 4MHz; $P_{Ac} = 15.05mW$

El resto a frecuencias despreciables

- En la ROM:

El cálculo de la potencia disipada en la ROM es de difícil conocimiento, puesto que desconocemos cualquier dato acerca de ella. Normalmente va a conmutar unas cinco veces por debajo de la frecuencia de reloj, por lo que la potencia disipada va a ser pequeña. Únicamente conmutarán las células del decodificador y los buffers de salida. La potencia disipada no superará los 20mW.

Por lo tanto la potencia disipada en el núcleo será aproximadamente: $[P_{Ac}]_{core} = 183mW$

6.3.3.1.2.2 Potencia disipada en la periferia

$$[PAC]_{I/O} = \sum_n [(C_{PD} + C_L) \cdot V_{CC}^2 \cdot f_o]_n$$

Existen 71 entradas y 21 salidas.

- 10 salidas a 4MHz cargadas con 5pF cada una por parte de la micromemoria, además de los 2pF de las patillas:

- $C_{PD} = 10.9$
- $C_{NM} = 17.9$

$$P_{AC} = 17.9mW$$

- 1 salida a 4MHz con carga de 30pF más los dos de las patillas:

- $C_{PD} = 10.9$
- $C_{NM} = 42.9$

$$P_{AC} = 4.29mW$$

- 6 salidas a 0.8MHz con cargas de 30pF más los dos pF de las patillas:

- $C_{PD} = 10.9$
- $C_{NM} = 42.9$

PAC = 5.15mW

Las restantes salidas a frecuencias muy bajas.

- 62 entradas a 4MHz:

- **F = 1.5**
- **CL = 1.65**
- **CPD = 2.95**
- **CNM = 4.6**

PAC = 28.52mW

- 1 entrada a 0.8MHz:

- **F = 1.5**
- **CL = 1.65**
- **CPD = 2.95**
- **CNM = 4.6**

PAC = 92μW

Las demás entradas a frecuencias despreciables.

Por lo tanto la potencia disipada en la periferia es:

[PAC]I/O = 56mW

6.3.3.1.3 Potencia total

$$P_{TOTAL} = P_{DC} + [PAC]_{CORE} + [PAC]_{I/O} = 239mW$$

6.3.3.2 SEGUNDO ESTUDIO DE POTENCIA

6.3.3.2.1 Potencia estática

$$V_{CC} = 5v$$

$$I_{CC} = 750nA$$

$$V_{OL} = 0.5v$$

$$I_{IL} = 220\mu A$$

$$P_{DC} = 5 \cdot 750 \cdot 10^{-9} + 0.5 \cdot 220 \cdot 10^{-6} \cdot 0.5 = 58.75\mu W$$

6.3.3.2.2 Potencia dinámica

6.3.3.2.2.1 Potencia que se disipa en el núcleo

- En el registro pipeline:

- $G = 531$
- $N = 77$
- $F = 7$
- $CL = 4.29$
- $CPD = 2.65$
- $CNM = 6.94$

69 puertas a 1.2MHz; $P_{AC} = 14.37mW$

410 puertas a 0.24MHz; $P_{AC} = 17.07mW$

El resto a frecuencias despreciables

- En el decodificador:

- $G = 14$
- $N = 5$
- $F = 27$
- $CL = 12.14$
- $CPD = 2.05$
- $CNM = 14.19$

14 puertas a 0.24MHz; $P_{AC} = 1.19mW$

- En el registro de instrucción:

- $G = 114$
- $N = 32$
- $F = 6$
- $CL = 3.89$
- $CPD = 1.34$
- $CNM = 5.23$

8 puertas a 1.2MHz; $P_{AC} = 1.26mW$

106 puertas a 0.24MHz; $P_{AC} = 3.33mW$

- En los buffers de dirección:

- $G = 32$
- $N = 11$
- $F = 4$
- $CL = 3.11$
- $CPD = 1.63$
- $CNM = 4.74$

32 puertas a 0.24MHz; $PAC = 0.91mW$

- En los buffers de datos:

- $G = 24$
- $N = 8$
- $F = 20$
- $CL = 9.39$
- $CPD = 1.62$
- $CNM = 11.01$

24 puertas a 0.24MHz; $PAC = 1.59mW$

- En el mapeo de interrupciones:

- $G = 45$
- $N = 18$
- $F = 2$
- $CL = 2.33$
- $CPD = 1.26$

- $CNM = 3.59$

Las puertas conmutan a frecuencias muy bajas. Se puede despreciar la potencia disipada.

- En el multiplexor de condiciones:

- $G = 27$
- $N = 12$
- $F = 2.5$
- $CL = 2.52$
- $CPD = 1.1$
- $CNM = 3.62$

14 puertas a 0.3 MHz: $PAC = 0.38mW$

El resto a frecuencias despreciables

- En el multiplexor de RESET:

- $G = 12$
- $N = 4$
- $F = 1.5$
- $CL = 2.13$
- $CPD = 0.92$
- $CNM = 3.05$

12 puertas a 0.24MHz: $PAC = 0.22mW$

- En el secuenciador:

- $G = 350$
- $N = 77$
- $F = 6$
- $CL = 3.89$
- $CPD = 1.57$
- $CNM = 5.46$

30 puertas a 1.2MHz: $PAC = 4.9mW$

170 puertas a 0.24MHz: $PAC = 5.57mW$

El resto a frecuencias despreciables

- En la lógica de interrupción:

- $G = 363$
- $N = 105$
- $F = 4.5$
- $CL = 3.31$
- $CPD = 1.55$
- $CNM = 4.86$

36 puertas a 1.2MHz: $PAC = 5.25mW$

El resto a frecuencias despreciables

- En la ROM:

Supongamos unos 20mW

Por lo tanto la potencia total disipada en el núcleo es aproximadamente: $[PAC]_{core} = 76mW$

6.3.3.2.2 Potencia que se disipa en la periferia

- 10 salidas a 1.2MHz con 7pF de carga:

- CPD = 10.9
- CNM = 17.9

PAC = 5.37mW

- 1 salida a 1.2MHz con 32pF de carga:

- CPD = 10.9
- CNM = 42.9

PAC = 1.29mW

- 6 salidas a 0.24MHz con carga de 32pF:

- CPD = 10.9
- CNM = 42.9

PAC = 1.54mW

Las restantes salidas a frecuencias muy bajas

- 62 entradas a 1.2MHz:

- $F = 1.5$
- $CL = 1.65$
- $CPD = 2.95$
- $CNM = 4.6$

$$P_{AC} = 8.56mW$$

- 1 entrada a 0.24MHz:

- $F = 1.5$
- $CL = 1.65$
- $CPD = 2.95$
- $CNM = 4.6$

$$P_{AC} = 27.6\mu W$$

Las demás entradas a frecuencia despreciable.

Por lo tanto la potencia disipada en la periferia es:

$$[P_{AC}]_{I/O} = 17mW$$

6.3.3.2.3 Potencia total

$$P_{TOTAL} = 93mW$$

6.3.3.3 CONCLUSION

Observando los resultados podemos deducir que el factor que más afecta en la potencia es la frecuencia. Existe una diferencia de 146mW entre el funcionamiento del circuito a 4MHz y a 1.2MHz. La capacidad del nodo influye también, pero no de una forma tan decisiva. Por lo tanto, un circuito rápido requiere gran disipación de potencia, y en un circuito complejo donde el número de puertas es elevado, seguramente no será viable la rapidez que se pudiera conseguir, a menos que hiciéramos una partición del circuito.

6.3.3.4 POTENCIA TOTAL DEL ASIC

A 1.2 MHz la unidad de ejecución dió una disipación de potencia de aproximadamente 232mW. Por lo tanto el chip disipará 325mW.

Se necesita disponer de 8 EPROM para almacenar el microprograma. Cada EPROM consume 495mW. Por lo tanto la micromemoria consumirá 3.96 W.

El conjunto formado por el ASIC y la micromemoria consumirá 4.285 W.

6.3.4 NUMERO DE PINES

En principio, el número de pines iba a ser igual al del 18085, en la creencia de que iba a caber perfectamente toda la CPA en un chip. Posteriormente, y tras haber hecho el estudio de viabilidad, se comprobó que era totalmente imposible meter la CPA en un solo chip. Por lo tanto, se optó por separar la memoria del microprograma, e integrar el resto en el mismo dado.

En un posterior estudio de viabilidad de la potencia, y con frecuencia de reloj bastante elevada, se observó que había problemas en integrar la unidad de ejecución y la unidad de control (sin la micromemoria) en un mismo dado, puesto que la potencia disipada excedía de 1 watio. Se decidió separar la unidad de ejecución y la unidad de control e integrarlas en chips separados. Esto traía como consecuencia que habrían tres chip, y el número de pines se elevaba enormemente. Concretamente, el chip de la unidad de control tendría que tener 156 pines, totalmente inviable por las limitaciones que impone SystemCell II a un máximo de 120 pines. Se dejó el tema por el momento, hasta que se hiciera un estudio más exhaustivo de la potencia, haber si esta se reducía y si podíamos integrar unidad de ejecución y control en el mismo dado.

Tras haber realizado el estudio final de potencia, la cual resultó menor de 1 watio, se decidió descomponer la CPA en dos chips: unidad de ejecución y control (sin la micromemoria) en uno, y micromemoria en otro. En realidad

la micromemoria ocupará 8 chips, para cubrir la amplitud del microprograma.

Por lo tanto, el número de pines que resultó finalmente fue de 115, de los cuales:

- 10 pertenecen al direccionamiento de la micromemoria.
- 62 pertenecen a los datos de micromemoria.
- 38 pertenecen a las patillas del 18085. De estas 38 patillas, 16 salen de la unidad de ejecución y 22 de la unidad de control.
- 5 pertenecen a la alimentación, correspondiendo 3 a Vcc y 2 a GND.

De todo lo comentado en este apartado, se puede deducir, que primeramente es fundamental realizar un buen estudio de viabilidad tanto de área como de potencia, y posteriormente observar si hay limitación de pines.

6.4 CALCULOS DE ADAPTACION

En este apartado se recogerán tanto los cálculos de fan-out relativos a la interconexión unidad de control-unidad de ejecución, como el arreglo que ha habido que hacer en los retardos de la señal de reloj.

6.4.1 Cálculos del fan-out

Relativos a las señales que interconectan a las dos unidades, las cuales en algunos casos superaban el fan-out

máximo. Se han tenido que hacer arreglos en las siguientes señales:

- FLAGS[0..2]: que estaban cargadas con un fan-out de 150, 150 y 37.5 respectivamente. Se han tenido que colocar buffers de adaptación en el multiplexor A51 de la unidad de ejecución.

- WR: cargada con 30 por parte de la unidad de ejecución, se ha colocado un buffer BU130 a su entrada.

- MARE: con fan-out 30, se ha colocado un buffer BU130 en el pipeline.

- BUS_Y: con fan-out 72, que atacaba directamente a las entradas de habilitación de los buffers BUA[5..20] de la unidad de ejecución. Se han tenido que separar en dos grupos de cinco y uno de seis, atacados por buffers BU130.

- DAT_IN: inicialmente con fan-out 30, se ha colocado un buffer BU130 en el pipeline.

- AS[0..1]: cargadas ambas con 49.5, se han tenido que colocar buffers dentro del multiplexor A53 en su entrada S1, que era la que representaba la mayor carga (36).

- SPO: con fan-out de 30, se ha colocado un BU130 en el pipeline.

- DPO: igual que la anterior.

- OD[0..2]: cargadas con 36, 133.5 y 36 respectivamente, se han colocado buffers en A01, B01 y C01, concretamente son BUF[33..42].

- FS[0..5]: con fan-out inicial de 48, 192, 360, 90, 126,

90 respectivamente, se han dispuesto en A01, B01 y C01 los buffers BUF[5..32].

- W_DAT: cargada con 87, se han dispuesto los buffers BUF[46..49] en A53.

6.4.2 Cálculos del reloj

En este punto he procurado que el flanco de subida o de bajada de la señal de reloj llegue a todos los flip-flops en el mismo instante, o con una diferencia máxima de dos nanosegundos. Este punto es bastante importante, pues buena parte del éxito final va a depender del reloj.

Una vez realizados los diseños definitivos, se ha realizado un cálculo de como estaban los retardos en el reloj, resultando que la diferencia máxima de llegada del flanco de subida del reloj de un flip-flop a otro era de 10 nanosegundos. Además de esto, hay que tener en cuenta el fan-out que representa cada entrada de reloj de un flip-flop o la de una puerta de ataque a dicha entrada. Por tanto, se hubieron de hacer dos adaptaciones: fan-out y retardos.

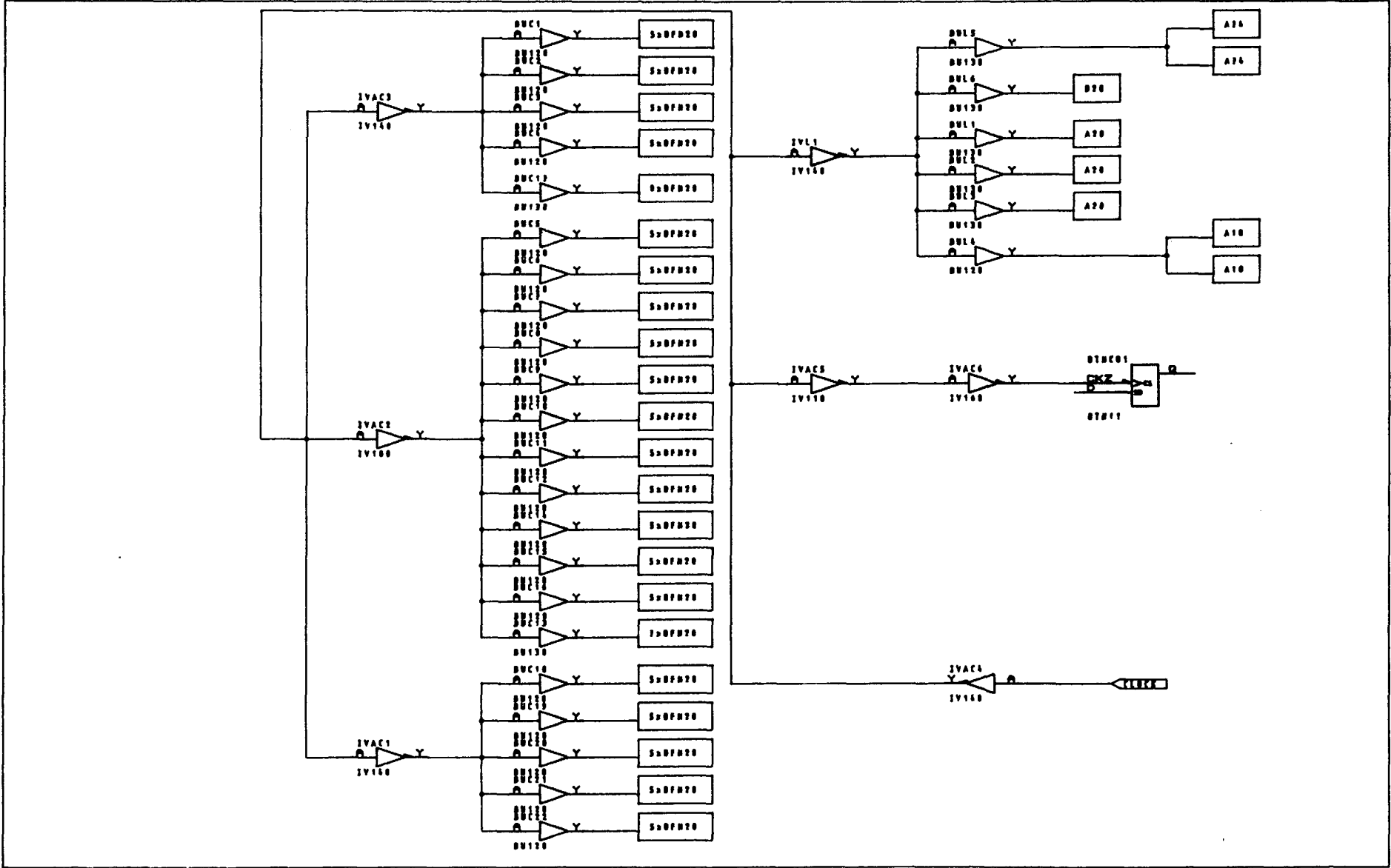
Ambos cálculos, por supuesto, van íntimamente ligados, y siempre hay que estar pendiente de estar dentro del margen de fan-out permitido.

Partí del hecho, de que el retardo máximo de 10 ns no se podía disminuir, por lo cual adapté el mínimo de 0 ns a un entorno de los 10 ns. Posteriormente, hice un cálculo sobre las cargas, resultando que en casi todos los puntos de

recogida de la señal de reloj, había un exeso de fan-out, llegando a 60 en algunos puntos. La situación era, que aún había un desequilibrio total, puesto que las cargas no estaban en absoluto adaptadas.

Para realizar las redes de retardo y adaptación de fan-out, he utilizado dos tipos de células básicas, como son el inversor y el buffer. He comenzado por el final (punto de entrada de reloj a los flip-flops) y he avanzado hasta el principio (punto de salida de la señal en el oscilador). Resultaría aquí engorroso y poco didáctico, el realizar un desarrollo de todos los cálculos llevados a cabo. Expongo aquí los resultados finales obtenidos, que seguro darán una idea de como realizar la adaptación en estos casos.

En el siguiente esquema se observa la red completa llevada cabo:



El retardo máximo que sufre la señal de reloj desde su entrada al inversor IVAC4 hasta la entrada de reloj de un flip-flop es de 33.36 ns y la mínima de 32.16 ns, por lo tanto, la máxima diferencia entre los flancos de activación de dos flip-flop en el μP es de 1.20 ns. Concretamente, los últimos flip-flops a los que le llega la señal de reloj son a los de A18 y B18, mientras que a DTNC01 es al primero que le llega. Se detallan ahora los retardos en cada célula de esta red:

- IVAC4: 9.84ns
- IVAC5: 19.97ns, IVAC6: 2.35ns
- IVAC1: 5.88ns, BUC[18..22]: 16.51ns
- IVAC2: 6.102ns, BUC[5..16]: 16.51ns, BUC13: 15.52ns
- IVAC3: 5.88ns, BUC[1..4]: 16.51ns, BUC17: 17.05ns
- IVL1: 6.47ns, BUL5: 16.43ns, BUL6: 17.04ns, BUL[1..3]: 17.04ns, BUL4: 7.56ns
- En el inversor de A18: 8.31ns
- En el inversor de B18: 9.49ns

6.5 DISTRIBUCION DE LOS PINES

El objetivo principal a seguir en la asignación de patillas es evitar que el ruido producido por las transiciones entre niveles lógicos de unas patillas llegue a causar el mal funcionamiento de otras señales en el ASIC.

En nuestro caso se han elegido:

- Dos pines de masa: para cubrir la corriente de I/O.

- Tres pines de Vcc: para cubrir la corriente consumida por el ASIC. Aunque es suficiente con dos pines, he preferido poner tres, por si se le aplica una frecuencia superior a 1.2MHz.

Partiendo de los pines de alimentacion (Vcc y GND), distribuiremos los demás según el conjunto de normas detalladas en el apartado 3.4.

Las entradas asíncronas RST 7.5, TRAP y RESET IN, se han colocado entre patillas de alimentación y lejos de las salidas.

Las SS0 (salidas que conmutan simultaneamente) AD[0..7] y A[8..15] se han colocado también entre patillas de alimentación.

Las salidas que van a controlar mucha carga, se han dispuesto cerca de Vcc.

El resto se ha dispuesto procurando que las que van a gran frecuencia queden cerca de las que van a muy baja frecuencia.

En total son 115 patillas, sobrando 5 patillas, dispuestas entre señales problemáticas.

El esquema de situación de patillas puede verse en el esquema número 1.

CAPITULO VII

7 SIMULACION

Este apartado recogerá la simulación del circuito, tanto en sus partes individuales como en todo su conjunto.

En primer lugar se hará la simulación de los bloques individuales:

- Secuenciador de microprograma.
- Lógica de interrupción.
- Mapeo de interrupción.
- Registro de instrucción.
- Multiplexor de condición.
- Multiplexor de Reset.
- Decodificador.

Como se podrá observar existen tres bloques que no los voy a simular debido a su simplicidad. Estos bloques son:

- Registro pipeline.
- Buffers de dirección.
- Buffers de datos.

Posteriormente a la simulación de los bloques por separado, pasaré a simular todo el conjunto de la unidad de control. Esta simulación resultará un tanto compleja debido a que en el circuito no disponemos de la ROM ni de la micromemoria. Por lo tanto, además de las entradas normales del 8085, tendremos que colocar como entradas las supuestas salidas tanto de la ROM como de la micromemoria. De todas formas no pondremos todos los bits de la palabra de la micromemoria, ya que gran parte de éstos van destinados a la

unidad de ejecución. Los bits que nos interesan son los de realimentación a la propia unidad de control. Por último tendremos que poner los bits que procedentes de la unidad de ejecución constituyen los flags, así como los del bus de datos interno. En el esquema que se ha simulado se han tenido que hacer unas modificaciones con respecto al real, para poder llevar a cabo la simulación. Dichas modificaciones son:

- Debido a que la ROM de mapeo de las instrucciones no está, se han puesto 8 buffers tristate para no producir un cortocircuito en el bus D[0..9] de entrada al secuenciador. Estos buffers no existen en el real, ya que van incorporados en la memoria ROM.

- Debido a que en el bus de datos interno hay un bit que no se utiliza como entrada, es necesario "hacer creer al simulador" que es utilizado. Para ello se ha puesto un inversor con salida 'ss' y salida de sheet 'sss'.

- Se ha cambiado el module port del bus de direcciones de micromemoria de salida del secuenciador de OS[0..9] a OSM[0..9], para que el simulador no los iguale a los códigos dados a las señales por él internamente.

Existen partes a las que hay que poner células tie-off. Debido a que estas no pueden ser simuladas, es preciso especificar los niveles en el fichero estímulo. Por lo tanto existen los circuitos de simulación y los circuitos reales.

A continuación se da la lista de los nombres de ficheros simulados y ficheros con los esquemas reales:

- Secuenciador: simulado el SQNCR.DRT y real el SQNCRN.DRT.

- Multiplexor de condiciones: simulado el CGBC.DRT y real el CGBCN.DRT.

- Mapeo de interrupciones: simulado el MAPINT.DRT y real el MAPINTN.DRT.

- Multiplexor de reset: simulado el RESET.DRT y real el RESETN.DRT.

- Lógica de interrupción: simulado individualmente el CLI.DRT, simulado en todo el conjunto el CLIS.DRT y real el CLIN.DRT.

- Unidad de control: simulado el C_UNIT.DRT y real el CONTROL.DRT.

En los restantes coinciden sus nombres.

En cada apartado de este capítulo daré el fichero estímulo en el lenguaje SCL, para mostrar posteriormente los resultados alfanuméricos obtenidos. Sin embargo, para poder observar la simulación, tanto gráfica de todas las simulaciones, como la alfanumérica completa de toda la unidad de control, se debe recurrir al diskette adjunto, ya que poner todos los resultados ocuparían demasiado espacio. Estos resultados en el diskette se pueden observar en los ficheros con la extensión ".RES", en la fase SimPrt (para los resultados alfanuméricos) y Plot (para los resultados gráficos), de LESIM 2.

7.1 SECUENCIADOR DE MICROPROGRAMA

7.1.1 Fichero estímulo.

```
*****
*                               SCL DESCRIPTION                               *
*****
IDENT 'SQNCR'
*
P CB, SEQ3, SEQ2, SEQ1, SEQ0, , D9, D8, D7, D6, D5, D4, D3, D2, D1, D0, ,
#CLK, , , PL, MAP, VEC, , S1, SO, LD, , OS9, OS8, OS7, OS6, OS5, OS4, OS3,
#OS2, OS1, OS0, , N9, N8, N7, N6, N5, N4, N3, N2, N1, NO, , P9, P8, P7, P6, P5,
#P4, P3, P2, P1, PO, , T9, T8, T7, T6, T5, T4, T3, T2, T1, TO
PCO
*
SUB CONTINUE
PC 'CONTINUE'
ST 00001 (SEQ0, SEQ5, SEQ6, SEQ7, SEQ1, SEQ2, SEQ3, SEQ4, CB)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
ST 1 (CB)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
END
PC 'JUMP ZERO'
S 0 (100, 200, ETC) CLK
SU TIME=**+100
ST 1000001 (HI, LO, SEQ3, SEQ2, SEQ1, SEQ0, SEQ7, SEQ6, SEQ5, SEQ4,
#CB)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
CALL CONTINUE
```

```

PC 'COND JSB PL'
ST 0000001 (SEQ1, SEQ2, SEQ3, SEQ4, D9, D8, D7, D6, D5, D4, D3, D2, D1,
#D0, SEQ0, SEQ5, SEQ6, SEQ7, CB)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
CALL CONTINUE
PC 'COND RTN'
ST 01 (SEQ2, SEQ6, CB)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
CALL CONTINUE
PC 'JUMP MAP'
ST 0000001 (SEQ2, SEQ3, D1, D2, D6, D7, SEQ6, SEQ7, CB, D0, D3, D4, D5,
#D8, D9)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
CALL CONTINUE
PC 'COND JUMP PL'
ST 0001 (SEQ2, SEQ3, SEQ4, SEQ0, SEQ6, SEQ7, CB, D1, D2, D6, D7)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
CALL CONTINUE
PC 'COND JUMP VECTOR'
ST 110 (SEQ7, CB, SEQ3, D0, D1, D2, D3)
SU TIME=**+200
ST 0 (CB)
SU TIME=**+200
CALL CONTINUE
PC 'COND JSB PL'
ST 0000001 (SEQ3, SEQ2, SEQ1, SEQ4, D9, D8, SEQ0, SEQ7, SEQ6, SEQ5)
SU TIME=**+200
CALL CONTINUE
PC 'COND RTN'

```

```
ST 01 (SEQ2, SEQ6)
SU TIME=**+200
CALL CONTINUE
PC 'JUMP ZERO'
ST 0001 (SEQ1, SEQ2, SEQ3, SEQ5, SEQ6, SEQ7)
SU TIME=**+200
STAB
F
```


7.1.2 Resultados alfanuméricos

 * SimPrt 2.2 : L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:SQNCR.RES Unit= 10 psec Case=WC Sep 22,1989

```

-----
T  CSSSS DDDDDDDDDD C  PMV SSL 000000000 NNNNNNNNNN PPPPPPPPP TTTTTTTTTT *
I  BEEEE 9876543210 L  LAE 10D SSSSSSSSSS 9876543210 9876543210 9876543210 #
M  QQQQ          K   PC      9876543210                                C
E  3210                                                H
                                           K
-----
  
```

JUMP ZERO

```

-----
O  ***** 0 *** ** ***** ***** ***** ***** ***** *
10000 10000 ***** 1 *** ** ***** ***** ***** ***** ***** *
10176 10000 ***** 1 1** ** ***** ***** ***** ***** ***** *
10360 10000 ***** 1 1*0 ** ***** ***** ***** ***** ***** *
10455 10000 ***** 1 100 ** ***** ***** ***** ***** ***** *
10776 10000 ***** 1 100 *0 ***** ***** ***** ***** ***** *
11270 10000 ***** 1 100 0*0 ***** ***** ***** ***** ***** *
11386 10000 ***** 1 100 010 ***** ***** ***** ***** ***** *
12603 10000 ***** 1 100 010 0***** ***** ***** ***** ***** *
12649 10000 ***** 1 100 010 000000000 ***** ***** ***** ***** *
13021 10000 ***** 1 100 010 000000000 *****1 ***** ***** ***** *
13389 10000 ***** 1 100 010 000000000 0*****1 ***** ***** ***** *
13417 10000 ***** 1 100 010 000000000 000000001 ***** ***** ***** *
20000 10000 ***** 0 100 010 000000000 000000001 ***** ***** ***** *
30000 00000 ***** 1 100 010 000000000 000000001 ***** ***** ***** *
30763 00000 ***** 1 100 010 000000000 000000001 00000000* ***** *
30915 00000 ***** 1 100 010 000000000 000000001 000000001 ***** *
30944 00000 ***** 1 100 011 000000000 000000001 000000001 ***** *
40000 00000 ***** 0 100 011 000000000 000000001 000000001 ***** *
-----
  
```

CONTINUE

```

-----
50000 11110 ***** 1 100 011 000000000 000000001 000000001 ***** *
50586 11110 ***** 1 100 010 000000000 000000001 000000001 ***** *
50660 11110 ***** 1 100 110 000000000 000000001 000000001 ***** *
50763 11110 ***** 1 100 110 000000000 000000001 000000001 00000000* *
50915 11110 ***** 1 100 110 000000000 000000001 000000001 000000001 *
51881 11110 ***** 1 100 110 000000001 000000001 000000001 000000001 *
52304 11110 ***** 1 100 110 000000001 000000000 000000001 000000001 *
52705 11110 ***** 1 100 110 000000001 000000010 000000001 000000001 *
60000 11110 ***** 0 100 110 000000001 000000010 000000001 000000001 *
70000 01110 ***** 1 100 110 000000001 000000010 000000001 000000001 *
70763 01110 ***** 1 100 110 000000001 000000010 000000000 000000001 *
70915 01110 ***** 1 100 110 000000001 000000010 000000010 000000001 *
71841 01110 ***** 1 100 110 000000000 000000010 000000010 000000001 *
72081 01110 ***** 1 100 110 000000010 000000010 000000010 000000001 *
72213 01110 ***** 1 100 110 000000010 000000011 000000010 000000001 *
80000 01110 ***** 0 100 110 000000010 000000011 000000010 000000001 *
-----
  
```

© Del documento, los autores. Digitalización realizada por UJPECC, Biblioteca Universitaria, 2006

90000	11110	*****	1	100	110	0000000010	0000000011	0000000010	0000000001	*
90915	11110	*****	1	100	110	0000000010	0000000011	0000000011	0000000001	*
92081	11110	*****	1	100	110	0000000011	0000000011	0000000011	0000000001	*
92504	11110	*****	1	100	110	0000000011	0000000010	0000000011	0000000001	*
92956	11110	*****	1	100	110	0000000011	0000000000	0000000011	0000000001	*
93357	11110	*****	1	100	110	0000000011	0000000100	0000000011	0000000001	*
100000	11110	*****	0	100	110	0000000011	0000000100	0000000011	0000000001	*
110000	01110	*****	1	100	110	0000000011	0000000100	0000000011	0000000001	*
110763	01110	*****	1	100	110	0000000011	0000000100	0000000000	0000000001	*
110915	01110	*****	1	100	110	0000000011	0000000100	0000000100	0000000001	*
111841	01110	*****	1	100	110	0000000000	0000000100	0000000100	0000000001	*
112081	01110	*****	1	100	110	0000000100	0000000100	0000000100	0000000001	*
112213	01110	*****	1	100	110	0000000100	0000000101	0000000100	0000000001	*

T	CSSSS	DDDDDDDDDD	C	PMV	SSL	0000000000	NNNNNNNNNN	PPPPPPPPPP	TTTTTTTTTT	*
I	BEEEE	9876543210	L	LAE	10D	SSSSSSSSSS	9876543210	9876543210	9876543210	#
M	QQQQ		K	PC		9876543210				C
E	3210									H
										K

120000	01110	*****	0	100	110	0000000100	0000000101	0000000100	0000000001	*
--------	-------	-------	---	-----	-----	------------	------------	------------	------------	---

COND JSB PL

130000	10001	0001111111	1	100	110	0000000100	0000000101	0000000100	0000000001	*
130065	10001	0001111111	1	100	110	0000000100	0000000101	0000000100	0000000001	0
130915	10001	0001111111	1	100	110	0000000100	0000000101	0000000101	0000000001	0
132081	10001	0001111111	1	100	110	0000000101	0000000101	0000000101	0000000001	0
132504	10001	0001111111	1	100	110	0000000101	0000000100	0000000101	0000000001	0
132905	10001	0001111111	1	100	110	0000000101	0000000110	0000000101	0000000001	0
140000	10001	0001111111	0	100	110	0000000101	0000000110	0000000101	0000000001	0
150000	00001	0001111111	1	100	110	0000000101	0000000110	0000000101	0000000001	0
150763	00001	0001111111	1	100	110	0000000101	0000000110	0000000100	0000000001	0
150915	00001	0001111111	1	100	110	0000000101	0000000110	0000000110	0000000001	0
150944	00001	0001111111	1	100	111	0000000101	0000000110	0000000110	0000000001	0
151270	00001	0001111111	1	100	011	0000000101	0000000110	0000000110	0000000001	0
151841	00001	0001111111	1	100	011	0000000100	0000000110	0000000110	0000000001	0
152107	00001	0001111111	1	100	001	0000000100	0000000110	0000000110	0000000001	0
152213	00001	0001111111	1	100	001	0000000100	0000000111	0000000110	0000000001	0
152609	00001	0001111111	1	100	001	0000000100	0000000101	0000000110	0000000001	0
153431	00001	0001111111	1	100	001	0001111111	0000000101	0000000110	0000000001	0
153803	00001	0001111111	1	100	001	0001111111	0001111111	0000000110	0000000001	0
153854	00001	0001111111	1	100	001	0001111111	0001111110	0000000110	0000000001	0
154306	00001	0001111111	1	100	001	0001111111	0001111100	0000000110	0000000001	0
154758	00001	0001111111	1	100	001	0001111111	0001111000	0000000110	0000000001	0
155210	00001	0001111111	1	100	001	0001111111	0001110000	0000000110	0000000001	0
155662	00001	0001111111	1	100	001	0001111111	0001100000	0000000110	0000000001	0
156114	00001	0001111111	1	100	001	0001111111	0001000000	0000000110	0000000001	0
156566	00001	0001111111	1	100	001	0001111111	0000000000	0000000110	0000000001	0
156967	00001	0001111111	1	100	001	0001111111	0010000000	0000000110	0000000001	0
160000	00001	0001111111	0	100	001	0001111111	0010000000	0000000110	0000000001	0

CONTINUE

170000	11110	0001111111	1	100	001	0001111111	0010000000	0000000110	0000000001	0
170586	11110	0001111111	1	100	000	0001111111	0010000000	0000000110	0000000001	0
170660	11110	0001111111	1	100	100	0001111111	0010000000	0000000110	0000000001	0
170763	11110	0001111111	1	100	100	0001111111	0010000000	0000000000	0000000000	0
170915	11110	0001111111	1	100	100	0001111111	0010000000	0010000000	0000000110	0
171386	11110	0001111111	1	100	110	0001111111	0010000000	0010000000	0000000110	0
171858	11110	0001111111	1	100	110	0000000110	0010000000	0010000000	0000000110	0
172230	11110	0001111111	1	100	110	0000000110	0010001001	0010000000	0000000110	0
172575	11110	0001111111	1	100	110	0000000110	0010001011	0010000000	0000000110	0
172626	11110	0001111111	1	100	110	0000000110	0000001011	0010000000	0000000110	0
172649	11110	0001111111	1	100	110	0000000000	0000001011	0010000000	0000000110	0
172672	11110	0001111111	1	100	110	0010000000	0000001011	0010000000	0000000110	0
173044	11110	0001111111	1	100	110	0010000000	0010001011	0010000000	0000000110	0

173072	11110	0001111111	1	100	110	0010000000	0010001001	0010000000	0000000110	0
173316	11110	0001111111	1	100	110	0010000000	0010000001	0010000000	0000000110	0
180000	11110	0001111111	0	100	110	0010000000	0010000001	0010000000	0000000110	0
190000	01110	0001111111	1	100	110	0010000000	0010000001	0010000000	0000000110	0
190915	01110	0001111111	1	100	110	0010000000	0010000001	0010000001	0000000110	0
192081	01110	0001111111	1	100	110	0010000001	0010000001	0010000001	0000000110	0
192504	01110	0001111111	1	100	110	0010000001	0010000000	0010000001	0000000110	0
192905	01110	0001111111	1	100	110	0010000001	0010000010	0010000001	0000000110	0
200000	01110	0001111111	0	100	110	0010000001	0010000010	0010000001	0000000110	0
210000	11110	0001111111	1	100	110	0010000001	0010000010	0010000001	0000000110	0
210763	11110	0001111111	1	100	110	0010000001	0010000010	0010000000	0000000110	0
210915	11110	0001111111	1	100	110	0010000001	0010000010	0010000010	0000000110	0
211841	11110	0001111111	1	100	110	0010000000	0010000010	0010000010	0000000110	0
212081	11110	0001111111	1	100	110	0010000010	0010000010	0010000010	0000000110	0

1-----

T	CSSSS	DDDDDDDDDD	C	PMV	SSL	0000000000	NNNNNNNNNN	PPPPPPPPPP	TTTTTTTTTT	*
I	BEEEE	9876543210	L	LAE	10D	SSSSSSSSSS	9876543210	9876543210	9876543210	#
M	QQQQ		K	PC		9876543210				C
E	3210									H
										K

212213	11110	0001111111	1	100	110	0010000010	0010000011	0010000010	0000000110	0
220000	11110	0001111111	0	100	110	0010000010	0010000011	0010000010	0000000110	0
230000	01110	0001111111	1	100	110	0010000010	0010000011	0010000010	0000000110	0
230915	01110	0001111111	1	100	110	0010000010	0010000011	0010000011	0000000110	0
232081	01110	0001111111	1	100	110	0010000011	0010000011	0010000011	0000000110	0
232504	01110	0001111111	1	100	110	0010000011	0010000010	0010000011	0000000110	0
232956	01110	0001111111	1	100	110	0010000011	0010000000	0010000011	0000000110	0
233357	01110	0001111111	1	100	110	0010000011	0010000100	0010000011	0000000110	0
240000	01110	0001111111	0	100	110	0010000011	0010000100	0010000011	0000000110	0

COND RTN

250000	11010	0001111111	1	100	110	0010000011	0010000100	0010000011	0000000110	0
250763	11010	0001111111	1	100	110	0010000011	0010000100	0010000000	0000000110	0
250915	11010	0001111111	1	100	110	0010000011	0010000100	0010000100	0000000110	0
251841	11010	0001111111	1	100	110	0010000000	0010000100	0010000100	0000000110	0
252081	11010	0001111111	1	100	110	0010000100	0010000100	0010000100	0000000110	0
252213	11010	0001111111	1	100	110	0010000100	0010000101	0010000100	0000000110	0
260000	11010	0001111111	0	100	110	0010000100	0010000101	0010000100	0000000110	0
270000	01010	0001111111	1	100	110	0010000100	0010000101	0010000100	0000000110	0
270915	01010	0001111111	1	100	110	0010000100	0010000101	0010000101	0000000110	0
272024	01010	0001111111	1	100	100	0010000100	0010000101	0010000101	0000000110	0
272081	01010	0001111111	1	100	100	0010000101	0010000101	0010000101	0000000110	0
272504	01010	0001111111	1	100	100	0010000101	0010000100	0010000101	0000000110	0
272905	01010	0001111111	1	100	100	0010000101	0010000110	0010000101	0000000110	0
273325	01010	0001111111	1	100	100	0000000100	0010000110	0010000101	0000000110	0
273348	01010	0001111111	1	100	100	0000000110	0010000110	0010000101	0000000110	0
273697	01010	0001111111	1	100	100	0000000110	0010000111	0010000101	0000000110	0
273748	01010	0001111111	1	100	100	0000000110	0000000111	0010000101	0000000110	0
280000	01010	0001111111	0	100	100	0000000110	0000000111	0010000101	0000000110	0

CONTINUE

290000	11110	0001111111	1	100	100	0000000110	0000000111	0010000101	0000000110	0
290763	11110	0001111111	1	100	100	0000000110	0000000111	0000000101	0000000110	0
290915	11110	0001111111	1	100	100	0000000110	0000000111	0000000111	0000000110	0
291386	11110	0001111111	1	100	110	0000000110	0000000111	0000000111	0000000110	0
292672	11110	0001111111	1	100	110	0000000111	0000000111	0000000111	0000000110	0
293095	11110	0001111111	1	100	110	0000000111	0000000110	0000000111	0000000110	0
293547	11110	0001111111	1	100	110	0000000111	0000000100	0000000111	0000000110	0
293999	11110	0001111111	1	100	110	0000000111	0000000000	0000000111	0000000110	0
294400	11110	0001111111	1	100	110	0000000111	0000001000	0000000111	0000000110	0
300000	11110	0001111111	0	100	110	0000000111	0000001000	0000000111	0000000110	0
310000	01110	0001111111	1	100	110	0000000111	0000001000	0000000111	0000000110	0
310763	01110	0001111111	1	100	110	0000000111	0000001000	0000000000	0000000110	0
310915	01110	0001111111	1	100	110	0000000111	0000001000	0000001000	0000000110	0

© Del documento, los autores. Digitalización realizada por ULPGC - Biblioteca Universitaria, 2008

311841	01110	0001111111	1	100	110	0000000000	0000001000	0000001000	0000000110	0
312081	01110	0001111111	1	100	110	0000001000	0000001000	0000001000	0000000110	0
312213	01110	0001111111	1	100	110	0000001000	0000001001	0000001000	0000000110	0
320000	01110	0001111111	0	100	110	0000001000	0000001001	0000001000	0000000110	0
330000	11110	0001111111	1	100	110	0000001000	0000001001	0000001000	0000000110	0
330915	11110	0001111111	1	100	110	0000001000	0000001001	0000001001	0000000110	0
332081	11110	0001111111	1	100	110	0000001001	0000001001	0000001001	0000000110	0
332504	11110	0001111111	1	100	110	0000001001	0000001000	0000001001	0000000110	0
332905	11110	0001111111	1	100	110	0000001001	0000001010	0000001001	0000000110	0
340000	11110	0001111111	0	100	110	0000001001	0000001010	0000001001	0000000110	0
350000	01110	0001111111	1	100	110	0000001001	0000001010	0000001001	0000000110	0
350763	01110	0001111111	1	100	110	0000001001	0000001010	0000001000	0000000110	0
350915	01110	0001111111	1	100	110	0000001001	0000001010	0000001010	0000000110	0
351841	01110	0001111111	1	100	110	0000001000	0000001010	0000001010	0000000110	0
352081	01110	0001111111	1	100	110	0000001010	0000001010	0000001010	0000000110	0

T	CS	SS	DD	DD	DD	DD	C	PMV	SSL	0000000000	NNNNNNNNNN	PPPPPPPPPP	TTTTTTTTTT	*
I	B	E	E	E	E	9876543210	L	LAE	10D	SSSSSSSSSS	9876543210	9876543210	9876543210	#
M	Q	Q	Q	Q			K	PC		9876543210				C
E	3	2	1	0										H
														K

352213	01110	0001111111	1	100	110	0000001010	0000001011	0000001010	0000000110	0
360000	01110	0001111111	0	100	110	0000001010	0000001011	0000001010	0000000110	0

JUMP MAP

370000	10010	1100111001	1	100	110	0000001010	0000001011	0000001010	0000000110	0
370223	10010	1100111001	1	000	110	0000001010	0000001011	0000001010	0000000110	0
370730	10010	1100111001	1	010	110	0000001010	0000001011	0000001010	0000000110	0
370915	10010	1100111001	1	010	110	0000001010	0000001011	0000001011	0000000110	0
370925	10010	1100111001	1	010	010	0000001010	0000001011	0000001011	0000000110	0
372024	10010	1100111001	1	010	000	0000001010	0000001011	0000001011	0000000110	0
372135	10010	1100111001	1	010	000	0000000000	0000001011	0000001011	0000000110	0
372558	10010	1100111001	1	010	000	0000000000	0000000001	0000001011	0000000110	0
373292	10010	1100111001	1	010	000	1000000000	0000000001	0000001011	0000000110	0
373348	10010	1100111001	1	010	000	1100111001	0000000001	0000001011	0000000110	0
373664	10010	1100111001	1	010	000	1100111001	1000000001	0000001011	0000000110	0
373720	10010	1100111001	1	010	000	1100111001	1100111001	0000001011	0000000110	0
373771	10010	1100111001	1	010	000	1100111001	1100111000	0000001011	0000000110	0
374172	10010	1100111001	1	010	000	1100111001	1100111010	0000001011	0000000110	0
380000	10010	1100111001	0	010	000	1100111001	1100111010	0000001011	0000000110	0
390000	00010	1100111001	1	010	000	1100111001	1100111010	0000001011	0000000110	0
390763	00010	1100111001	1	010	000	1100111001	1100111010	0000001010	0000000110	0
390915	00010	1100111001	1	010	000	1100111001	1100111010	1100111010	0000000110	0
400000	00010	1100111001	0	010	000	1100111001	1100111010	1100111010	0000000110	0

CONTINUE

410000	11110	1100111001	1	010	000	1100111001	1100111010	1100111010	0000000110	0
410176	11110	1100111001	1	110	000	1100111001	1100111010	1100111010	0000000110	0
410455	11110	1100111001	1	100	000	1100111001	1100111010	1100111010	0000000110	0
410660	11110	1100111001	1	100	100	1100111001	1100111010	1100111010	0000000110	0
411386	11110	1100111001	1	100	110	1100111001	1100111010	1100111010	0000000110	0
411858	11110	1100111001	1	100	110	1100111000	1100111010	1100111010	0000000110	0
411881	11110	1100111001	1	100	110	1100111010	1100111010	1100111010	0000000110	0
412230	11110	1100111001	1	100	110	1100111010	1100111011	1100111010	0000000110	0
420000	11110	1100111001	0	100	110	1100111010	1100111011	1100111010	0000000110	0
430000	01110	1100111001	1	100	110	1100111010	1100111011	1100111010	0000000110	0
430915	01110	1100111001	1	100	110	1100111010	1100111011	1100111011	0000000110	0
432081	01110	1100111001	1	100	110	1100111011	1100111011	1100111011	0000000110	0
432504	01110	1100111001	1	100	110	1100111011	1100111010	1100111011	0000000110	0
432956	01110	1100111001	1	100	110	1100111011	1100111000	1100111011	0000000110	0
433357	01110	1100111001	1	100	110	1100111011	1100111100	1100111011	0000000110	0
440000	01110	1100111001	0	100	110	1100111011	1100111100	1100111011	0000000110	0
450000	11110	1100111001	1	100	110	1100111011	1100111100	1100111011	0000000110	0
450763	11110	1100111001	1	100	110	1100111011	1100111100	1100111000	0000000110	0

450915	11110	1100111001	1	100	110	1100111011	1100111100	1100111100	0000000110	0
451841	11110	1100111001	1	100	110	1100111000	1100111100	1100111100	0000000110	0
452081	11110	1100111001	1	100	110	1100111100	1100111100	1100111100	0000000110	0
452213	11110	1100111001	1	100	110	1100111100	1100111101	1100111100	0000000110	0
460000	11110	1100111001	0	100	110	1100111100	1100111101	1100111100	0000000110	0
470000	01110	1100111001	1	100	110	1100111100	1100111101	1100111100	0000000110	0
470915	01110	1100111001	1	100	110	1100111100	1100111101	1100111101	0000000110	0
472081	01110	1100111001	1	100	110	1100111101	1100111101	1100111101	0000000110	0
472504	01110	1100111001	1	100	110	1100111101	1100111100	1100111101	0000000110	0
472905	01110	1100111001	1	100	110	1100111101	1100111110	1100111101	0000000110	0
480000	01110	1100111001	0	100	110	1100111101	1100111110	1100111101	0000000110	0

COND JUMP PL

490000	10011	1111111111	1	100	110	1100111101	1100111110	1100111101	0000000110	0
490763	10011	1111111111	1	100	110	1100111101	1100111110	1100111100	0000000110	0

T	CSSSS	DDDDDDDDDD	C	PMV	SSL	0000000000	NNNNNNNNNN	PPPPPPPPPP	TTTTTTTTTT	*
I	BEEEE	9876543210	L	LAE	10D	SSSSSSSSSS	9876543210	9876543210	9876543210	#
M	QQQQ		K	PC		9876543210				C
E	3210									H
										K

490915	10011	1111111111	1	100	110	1100111101	1100111110	1100111110	0000000110	0
491841	10011	1111111111	1	100	110	1100111100	1100111110	1100111110	0000000110	0
492081	10011	1111111111	1	100	110	1100111110	1100111110	1100111110	0000000110	0
492213	10011	1111111111	1	100	110	1100111110	1100111111	1100111110	0000000110	0
500000	10011	1111111111	0	100	110	1100111110	1100111111	1100111110	0000000110	0
510000	00011	1111111111	1	100	110	1100111110	1100111111	1100111110	0000000110	0
510915	00011	1111111111	1	100	110	1100111110	1100111111	1100111111	0000000110	0
511270	00011	1111111111	1	100	010	1100111110	1100111111	1100111111	0000000110	0
512107	00011	1111111111	1	100	000	1100111110	1100111111	1100111111	0000000110	0
513431	00011	1111111111	1	100	000	1111111111	1100111111	1100111111	0000000110	0
513803	00011	1111111111	1	100	000	1111111111	1111111111	1100111111	0000000110	0
513854	00011	1111111111	1	100	000	1111111111	1111111110	1100111111	0000000110	0
514306	00011	1111111111	1	100	000	1111111111	1111111110	1100111111	0000000110	0
514758	00011	1111111111	1	100	000	1111111111	1111111000	1100111111	0000000110	0
515210	00011	1111111111	1	100	000	1111111111	1111110000	1100111111	0000000110	0
515662	00011	1111111111	1	100	000	1111111111	1111100000	1100111111	0000000110	0
516114	00011	1111111111	1	100	000	1111111111	1111000000	1100111111	0000000110	0
516566	00011	1111111111	1	100	000	1111111111	1110000000	1100111111	0000000110	0
517018	00011	1111111111	1	100	000	1111111111	1100000000	1100111111	0000000110	0
517470	00011	1111111111	1	100	000	1111111111	1000000000	1100111111	0000000110	0
517870	00011	1111111111	1	100	000	1111111111	0000000000	1100111111	0000000110	0
520000	00011	1111111111	0	100	000	1111111111	0000000000	1100111111	0000000110	0

CONTINUE

530000	11110	1111111111	1	100	000	1111111111	0000000000	1100111111	0000000110	0
530660	11110	1111111111	1	100	100	1111111111	0000000000	1100111111	0000000110	0
530763	11110	1111111111	1	100	100	1111111111	0000000000	0000000000	0000000110	0
531386	11110	1111111111	1	100	110	1111111111	0000000000	0000000000	0000000110	0
531812	11110	1111111111	1	100	110	0111111111	0000000000	0000000000	0000000110	0
531858	11110	1111111111	1	100	110	0000000110	0000000000	0000000000	0000000110	0
532230	11110	1111111111	1	100	110	0000000110	000001001	0000000000	0000000110	0
532575	11110	1111111111	1	100	110	0000000110	000001011	0000000000	0000000110	0
532649	11110	1111111111	1	100	110	0000000000	000001011	0000000000	0000000110	0
533072	11110	1111111111	1	100	110	0000000000	000001001	0000000000	0000000110	0
533316	11110	1111111111	1	100	110	0000000000	000000001	0000000000	0000000110	0
540000	11110	1111111111	0	100	110	0000000000	000000001	0000000000	0000000110	0
550000	01110	1111111111	1	100	110	0000000000	000000001	0000000000	0000000110	0
550915	01110	1111111111	1	100	110	0000000000	000000001	0000000001	0000000110	0
552081	01110	1111111111	1	100	110	0000000001	000000001	0000000001	0000000110	0
552504	01110	1111111111	1	100	110	0000000001	0000000000	0000000001	0000000110	0
552905	01110	1111111111	1	100	110	0000000001	0000000010	0000000001	0000000110	0
560000	01110	1111111111	0	100	110	0000000001	0000000010	0000000001	0000000110	0
570000	11110	1111111111	1	100	110	0000000001	0000000010	0000000001	0000000110	0

570763	11110	1111111111	1	100	110	000000001	000000010	000000000	000000110	0
570915	11110	1111111111	1	100	110	000000001	000000010	000000010	000000110	0
571841	11110	1111111111	1	100	110	000000000	000000010	000000010	000000110	0
572081	11110	1111111111	1	100	110	000000001	000000010	000000010	000000110	0
572213	11110	1111111111	1	100	110	000000001	000000011	000000010	000000110	0
580000	11110	1111111111	0	100	110	000000001	000000011	000000010	000000110	0
590000	01110	1111111111	1	100	110	000000001	000000011	000000010	000000110	0
590915	01110	1111111111	1	100	110	000000001	000000011	000000011	000000110	0
592081	01110	1111111111	1	100	110	000000001	000000011	000000011	000000110	0
592504	01110	1111111111	1	100	110	000000001	000000010	000000011	000000110	0
592956	01110	1111111111	1	100	110	000000001	000000000	000000011	000000110	0
593357	01110	1111111111	1	100	110	000000001	000000100	000000011	000000110	0
600000	01110	1111111111	0	100	110	000000001	000000100	000000011	000000110	0

COND JUMP VECTOR

610000	10110	1111110000	1	100	110	000000001	000000010	000000011	000000110	0
T	CSSSS	DDDDDDDDDD	C	PMV	SSL	000000000	NNNNNNNNN	PPPPPPPPP	TTTTTTTTT	*
I	BEEEE	9876543210	L	LAE	10D	SSSSSSSSS	9876543210	9876543210	9876543210	#
M	QQQQ		K	PC		9876543210				C
E	3210									H
										K

610223	10110	1111110000	1	000	110	000000001	000000010	000000011	000000110	0
610382	10110	1111110000	1	001	110	000000001	000000010	000000011	000000110	0
610763	10110	1111110000	1	001	110	000000001	000000010	000000000	000000110	0
610915	10110	1111110000	1	001	110	000000001	000000010	000000010	000000110	0
611841	10110	1111110000	1	001	110	000000000	000000010	000000010	000000110	0
612081	10110	1111110000	1	001	110	000000010	000000010	000000010	000000110	0
612213	10110	1111110000	1	001	110	000000010	000000010	000000010	000000110	0
620000	10110	1111110000	0	001	110	000000010	000000010	000000010	000000110	0
630000	00110	1111110000	1	001	110	000000010	000000010	000000010	000000110	0
630915	00110	1111110000	1	001	110	000000010	000000010	000000010	000000110	0
631270	00110	1111110000	1	001	010	000000010	000000010	000000010	000000110	0
632107	00110	1111110000	1	001	000	000000010	000000010	000000010	000000110	0
632480	00110	1111110000	1	001	000	000000000	000000010	000000010	000000110	0
632903	00110	1111110000	1	001	000	000000000	000000001	000000010	000000110	0
633375	00110	1111110000	1	001	000	100000000	000000001	000000010	000000110	0
633431	00110	1111110000	1	001	000	1111110000	000000001	000000010	000000110	0
633747	00110	1111110000	1	001	000	1111110000	100000001	000000010	000000110	0
633803	00110	1111110000	1	001	000	1111110000	1111110001	000000010	000000110	0
640000	00110	1111110000	0	001	000	1111110000	1111110001	000000010	000000110	0

CONTINUE

650000	11110	1111110000	1	001	000	1111110000	1111110001	000000010	000000110	0
650176	11110	1111110000	1	101	000	1111110000	1111110001	000000010	000000110	0
650360	11110	1111110000	1	100	000	1111110000	1111110001	000000010	000000110	0
650660	11110	1111110000	1	100	100	1111110000	1111110001	000000010	000000110	0
650763	11110	1111110000	1	100	100	1111110000	1111110001	000000001	000000110	0
650915	11110	1111110000	1	100	100	1111110000	1111110001	1111110001	000000110	0
651386	11110	1111110000	1	100	110	1111110000	1111110001	1111110001	000000110	0
652672	11110	1111110000	1	100	110	1111110001	1111110001	1111110001	000000110	0
653095	11110	1111110000	1	100	110	1111110001	1111110000	1111110001	000000110	0
653496	11110	1111110000	1	100	110	1111110001	1111110010	1111110001	000000110	0
660000	11110	1111110000	0	100	110	1111110001	1111110010	1111110001	000000110	0
670000	01110	1111110000	1	100	110	1111110001	1111110010	1111110001	000000110	0
670763	01110	1111110000	1	100	110	1111110001	1111110010	1111110000	000000110	0
670915	01110	1111110000	1	100	110	1111110001	1111110010	1111110010	000000110	0
671841	01110	1111110000	1	100	110	1111110000	1111110010	1111110010	000000110	0
672081	01110	1111110000	1	100	110	1111110010	1111110010	1111110010	000000110	0
672213	01110	1111110000	1	100	110	1111110010	1111110011	1111110010	000000110	0
680000	01110	1111110000	0	100	110	1111110010	1111110011	1111110010	000000110	0
690000	11110	1111110000	1	100	110	1111110010	1111110011	1111110010	000000110	0
690915	11110	1111110000	1	100	110	1111110010	1111110011	1111110011	000000110	0
692081	11110	1111110000	1	100	110	1111110011	1111110011	1111110011	000000110	0

692504	11110	1111110000	1	100	110	1111110011	1111110010	1111110011	0000000110	O
692956	11110	1111110000	1	100	110	1111110011	1111110000	1111110011	0000000110	O
693357	11110	1111110000	1	100	110	1111110011	1111110100	1111110011	0000000110	O
700000	11110	1111110000	0	100	110	1111110011	1111110100	1111110011	0000000110	O
710000	01110	1111110000	1	100	110	1111110011	1111110100	1111110011	0000000110	O
710763	01110	1111110000	1	100	110	1111110011	1111110100	1111110000	0000000110	O
710915	01110	1111110000	1	100	110	1111110011	1111110100	1111110100	0000000110	O
711841	01110	1111110000	1	100	110	1111110000	1111110100	1111110100	0000000110	O
712081	01110	1111110000	1	100	110	1111110100	1111110100	1111110100	0000000110	O
712213	01110	1111110000	1	100	110	1111110100	1111110101	1111110100	0000000110	O
720000	01110	1111110000	0	100	110	1111110100	1111110101	1111110100	0000000110	O

COND JSB PL

730000	00001	0011110000	1	100	110	1111110100	1111110101	1111110100	0000000110	O
730781	00001	0011110000	1	100	111	1111110100	1111110101	1111110100	0000000110	O
730915	00001	0011110000	1	100	111	1111110100	1111110101	1111110101	0000000110	O
730925	00001	0011110000	1	100	011	1111110100	1111110101	1111110101	0000000110	O

1

T	CSSSS	DDDDDDDDDD	C	PMV	SSL	0000000000	NNNNNNNNNN	PPPPPPPPPP	TTTTTTTTTT	*
I	BEEEE	9876543210	L	LAE	10D	SSSSSSSSSS	9876543210	9876543210	9876543210	#
M	QQQQ		K	PC		9876543210				C
E	3210									H
										K

732024	00001	0011110000	1	100	001	1111110100	1111110101	1111110101	0000000110	O
732089	00001	0011110000	1	100	001	0111110100	1111110101	1111110101	0000000110	O
732135	00001	0011110000	1	100	001	0000000000	1111110101	1111110101	0000000110	O
732512	00001	0011110000	1	100	001	0000000000	0111110101	1111110101	0000000110	O
732558	00001	0011110000	1	100	001	0000000000	0000000001	1111110101	0000000110	O
733348	00001	0011110000	1	100	001	0011110000	0000000001	1111110101	0000000110	O
733720	00001	0011110000	1	100	001	0011110000	0011110001	1111110101	0000000110	O
740000	00001	0011110000	0	100	001	0011110000	0011110001	1111110101	0000000110	O

CONTINUE

750000	11110	0011110000	1	100	001	0011110000	0011110001	1111110101	0000000110	O
750586	11110	0011110000	1	100	000	0011110000	0011110001	1111110101	0000000110	O
750660	11110	0011110000	1	100	100	0011110000	0011110001	1111110101	0000000110	O
750763	11110	0011110000	1	100	100	0011110000	0011110001	0011110001	0000000100	O
750915	11110	0011110000	1	100	100	0011110000	0011110001	0011110001	1111110101	O
751386	11110	0011110000	1	100	110	0011110000	0011110001	0011110001	1111110101	O
752081	11110	0011110000	1	100	110	0011110001	0011110001	0011110001	1111110101	O
752504	11110	0011110000	1	100	110	0011110001	0011110000	0011110001	1111110101	O
752905	11110	0011110000	1	100	110	0011110001	0011110010	0011110001	1111110101	O
760000	11110	0011110000	0	100	110	0011110001	0011110010	0011110001	1111110101	O
770000	01110	0011110000	1	100	110	0011110001	0011110010	0011110001	1111110101	O
770763	01110	0011110000	1	100	110	0011110001	0011110010	0011110000	1111110101	O
770915	01110	0011110000	1	100	110	0011110001	0011110010	0011110010	1111110101	O
771841	01110	0011110000	1	100	110	0011110000	0011110010	0011110010	1111110101	O
772081	01110	0011110000	1	100	110	0011110010	0011110010	0011110010	1111110101	O
772213	01110	0011110000	1	100	110	0011110010	0011110011	0011110010	1111110101	O
780000	01110	0011110000	0	100	110	0011110010	0011110011	0011110010	1111110101	O
790000	11110	0011110000	1	100	110	0011110010	0011110011	0011110010	1111110101	O
790915	11110	0011110000	1	100	110	0011110010	0011110011	0011110011	1111110101	O
792081	11110	0011110000	1	100	110	0011110011	0011110011	0011110011	1111110101	O
792504	11110	0011110000	1	100	110	0011110011	0011110010	0011110011	1111110101	O
792956	11110	0011110000	1	100	110	0011110011	0011110000	0011110011	1111110101	O
793357	11110	0011110000	1	100	110	0011110011	0011110100	0011110011	1111110101	O
800000	11110	0011110000	0	100	110	0011110011	0011110100	0011110011	1111110101	O
810000	01110	0011110000	1	100	110	0011110011	0011110100	0011110011	1111110101	O
810763	01110	0011110000	1	100	110	0011110011	0011110100	0011110000	1111110101	O
810915	01110	0011110000	1	100	110	0011110011	0011110100	0011110100	1111110101	O
811841	01110	0011110000	1	100	110	0011110000	0011110100	0011110100	1111110101	O
812081	01110	0011110000	1	100	110	0011110100	0011110100	0011110100	1111110101	O
812213	01110	0011110000	1	100	110	0011110100	0011110101	0011110100	1111110101	O
820000	01110	0011110000	0	100	110	0011110100	0011110101	0011110100	1111110101	O

COND RTN

830000	01010	0011110000	1	100	110	0011110100	0011110101	0011110100	111110101	0
830915	01010	0011110000	1	100	110	0011110100	0011110101	0011110101	111110101	0
832024	01010	0011110000	1	100	100	0011110100	0011110101	0011110101	111110101	0
832081	01010	0011110000	1	100	100	0011110101	0011110101	0011110101	111110101	0
832504	01010	0011110000	1	100	100	0011110101	0011110100	0011110101	111110101	0
832905	01010	0011110000	1	100	100	0011110101	0011110110	0011110101	111110101	0
833292	01010	0011110000	1	100	100	1011110101	0011110110	0011110101	111110101	0
833348	01010	0011110000	1	100	100	1111110101	0011110110	0011110101	111110101	0
833664	01010	0011110000	1	100	100	1111110101	1011110110	0011110101	111110101	0
833720	01010	0011110000	1	100	100	1111110101	1111110110	0011110101	111110101	0
840000	01010	0011110000	0	100	100	1111110101	1111110110	0011110101	111110101	0

CONTINUE

850000	11110	0011110000	1	100	100	1111110101	1111110110	0011110101	111110101	0
850763	11110	0011110000	1	100	100	1111110101	1111110110	0011110100	111110101	0

T	CSSSS	DDDDDDDDDD	C	PMV	SSL	0000000000	NNNNNNNNNN	PPPPPPPPPP	TTTTTTTTTT	*
I	BEEEE	9876543210	L	LAE	10D	SSSSSSSSSS	9876543210	9876543210	9876543210	#
M	QQQQ		K	PC		9876543210				C
E	3210									H
										K

850915	11110	0011110000	1	100	100	1111110101	1111110110	1111110110	111110101	0
851386	11110	0011110000	1	100	110	1111110101	1111110110	1111110110	111110101	0
852649	11110	0011110000	1	100	110	1111110100	1111110110	1111110110	111110101	0
852672	11110	0011110000	1	100	110	1111110110	1111110110	1111110110	111110101	0
853021	11110	0011110000	1	100	110	1111110110	1111110111	1111110110	111110101	0
860000	11110	0011110000	0	100	110	1111110110	1111110111	1111110110	111110101	0
870000	01110	0011110000	1	100	110	1111110110	1111110111	1111110110	111110101	0
870915	01110	0011110000	1	100	110	1111110110	1111110111	1111110111	111110101	0
872081	01110	0011110000	1	100	110	1111110111	1111110111	1111110111	111110101	0
872504	01110	0011110000	1	100	110	1111110111	1111110110	1111110111	111110101	0
872956	01110	0011110000	1	100	110	1111110111	1111110100	1111110111	111110101	0
873408	01110	0011110000	1	100	110	1111110111	1111110000	1111110111	111110101	0
873809	01110	0011110000	1	100	110	1111110111	1111111000	1111110111	111110101	0
880000	01110	0011110000	0	100	110	1111110111	1111111000	1111110111	111110101	0
890000	11110	0011110000	1	100	110	1111110111	1111111000	1111110111	111110101	0
890763	11110	0011110000	1	100	110	1111110111	1111111000	1111110000	111110101	0
890915	11110	0011110000	1	100	110	1111110111	1111111000	1111111000	111110101	0
891841	11110	0011110000	1	100	110	1111110000	1111111000	1111111000	111110101	0
892081	11110	0011110000	1	100	110	1111111000	1111111000	1111111000	111110101	0
892213	11110	0011110000	1	100	110	1111111000	1111111001	1111111000	111110101	0
900000	11110	0011110000	0	100	110	1111111000	1111111001	1111111000	111110101	0
910000	01110	0011110000	1	100	110	1111111000	1111111001	1111111000	111110101	0
910915	01110	0011110000	1	100	110	1111111000	1111111001	1111111001	111110101	0
912081	01110	0011110000	1	100	110	1111111001	1111111001	1111111001	111110101	0
912504	01110	0011110000	1	100	110	1111111001	1111111000	1111111001	111110101	0
912905	01110	0011110000	1	100	110	1111111001	1111111010	1111111001	111110101	0
920000	01110	0011110000	0	100	110	1111111001	1111111010	1111111001	111110101	0

JUMP ZERO

930000	00000	0011110000	1	100	110	1111111001	1111111010	1111111001	111110101	0
930763	00000	0011110000	1	100	110	1111111001	1111111010	1111111000	111110101	0
930781	00000	0011110000	1	100	111	1111111001	1111111010	1111111000	111110101	0
930915	00000	0011110000	1	100	111	1111111001	1111111010	1111111010	111110101	0
930925	00000	0011110000	1	100	011	1111111001	1111111010	1111111010	111110101	0
931841	00000	0011110000	1	100	011	1111111000	1111111010	1111111010	111110101	0
932089	00000	0011110000	1	100	011	0111111000	1111111010	1111111010	111110101	0
932135	00000	0011110000	1	100	011	0000000000	1111111010	1111111010	111110101	0
932213	00000	0011110000	1	100	011	0000000000	1111111011	1111111010	111110101	0
932512	00000	0011110000	1	100	011	0000000000	0111111011	1111111010	111110101	0
932558	00000	0011110000	1	100	011	0000000000	0000000011	1111111010	111110101	0

932609 00000 0011110000 1 100 011 0000000000 0000000001 111111010 1111110101 0
940000 . 00000 0011110000 0 100 011 0000000000 0000000001 111111010 1111110101 0
Simulation terminated at timeslot 950000

1

7.2 LOGICA DE INTERRUPCION

7.2.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'CLI'
*
  P HOLD, TRAP, RST_7.5, RST_6.5, RST_5.5, INTR, , ADD7, ADD6, ADD5,
#ADD4, ADD3, ADD2, ADD1, ADD0, , IDB7, IDB6, IDB5, IDB4, IDB3, IDB2,
#IDB1, IDB0, , EDI, RD_MASK, ST_MASKO, , SID, SOD, , INTER, , VECT2,
#VECT1, VECTO, , VEC, , RESET, , CLK
  PC0
*
  S 0(100,200,ETC)CLK
  SU TIME=#+100
  PC 'HOLD'
  ST 000000000001(RESET, ADD3, ADD2, TRAP, RST_7.5, RST_6.5,
#RST_5.5, INTR, EDI, IDB4, RD_MASK, ST_MASKO, ADD5, ADD4, HI, IDB7,
#IDB6, IDB3, IDB2, IDB1, IDB0, SID, ADD7, ADD6, ADD1, ADD0, HOLD,
#ST_MASK1, VEC)
  SU TIME=#+600
  ST 1(RESET, IDB4)
  SU TIME=#+200
  PC 'HOLD'
  ST 00001(ADD5, IDB2, IDB1, IDB0, TRAP, RST_7.5, RST_6.5, RST_5.5,
#INTR, EDI, IDB4, RESET)
  SU TIME=#+800
  PC 'TRAP - RST_7.5 - RST_6.5'
  ST 0(HOLD)
  SU TIME=#+2400
  PC 'RST_5.5'
  ST 0(RST_6.5)
  SU TIME=#+800
```

```

PC 'INTR'
ST 0(RST_5.5)
SU TIME=**+800
PC 'MASK'
ST 001(TRAP,RST_7.5, IDB2, IDB1, IDBO)
SU TIME=**+200
PC 'TRAP - INTR (MASK IN RST_7.5,RST_6.5,RST_5.5)'
ST 1(TRAP,RST_7.5,RST_6.5,RST_5.5)
SU TIME=**+1600
PC 'RST_5.5 (MASK IN RST_7.5,RST_6.5)'
ST 0(IDBO)
SU TIME=**+800
PC 'RST_6.5 (MASK IN RST_7.5)'
ST 0(IDB1)
SU TIME=**+800
PC 'RST_7.5 - RST_6.5'
ST 0(IDB2)
SU TIME=**+1600
PC 'DISABLE'
ST 0(RST_7.5)
SU TIME=**+200
ST 01(EDI, RST_7.5, RST_6.5, RST_5.5, ADD5)
SU TIME=**+1600
STAB
F

```

7.2.2 Resultados alfanuméricos

```
*****
*                               SimPrt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****
```

File=A:CLI.RES Unit= 10 psec Case=WC Oct 24,1989

```
-----
T  HTRRRI  AAAAAAA  IIIIIIII  ERS  SS  I  VVV  V  R  C  *
I  ORSSN  DDDDDDD  DDDDDDD  DDT  IO  N  EEE  E  E  L  #
M  LATTTT  DDDDDDD  BBBBBBBB  I__  DD  T  CCC  C  S  K  C
E  DP___R  76543210  76543210  MM   E  TTT  E  H
      765                               AA   R  210  T  K
      ...                               SS
      555                               KK
      O
```

```
-----
O  *****  *****  *****  ***  **  *  ***  *  *  O  *
```

HOLD

```
-----
10000  100000  11110011  #####  000  1*  *  ***  1  0  1  #
10216  100000  11110011  ##3#####  000  1*  *  ***  1  0  1  #
10244  100000  11110011  11301111  000  1*  *  ***  1  0  1  *
10383  100000  11110011  11301111  000  1*  1  ***  1  0  1  *
20000  100000  11110011  11301111  000  1*  1  ***  1  0  0  *
22160  100000  11110011  11301111  000  11  1  ***  1  0  0  *
22225  100000  11110011  11301111  000  11  1  1**  1  0  0  *
22336  100000  11110011  11301111  000  11  1  111  1  0  0  *
30000  100000  11110011  11301111  000  11  1  111  1  0  1  *
40000  100000  11110011  11301111  000  11  1  111  1  0  0  *
42001  100000  11110011  11301111  000  11  1  111  1  0  0  0
50000  100000  11110011  11301111  000  11  1  111  1  0  1  0
60000  100000  11110011  11301111  000  11  1  111  1  0  0  0
70000  100000  11110011  11311111  000  11  1  111  1  1  1  0
80000  100000  11110011  11311111  000  11  1  111  1  1  0  0
```

HOLD

```
-----
90000  111111  11010011  11311000  100  11  1  111  1  1  1  0
100000  111111  11010011  11311000  100  11  1  111  1  1  0  0
110000  111111  11010011  11311000  100  11  1  111  1  1  1  0
120000  111111  11010011  11311000  100  11  1  111  1  1  0  0
130000  111111  11010011  11311000  100  11  1  111  1  1  1  0
140000  111111  11010011  11311000  100  11  1  111  1  1  0  0
150000  111111  11010011  11311000  100  11  1  111  1  1  1  0
160000  111111  11010011  11311000  100  11  1  111  1  1  0  0
```

TRAP - RST_7.5 - RST_6.5

```
-----
170000  011111  11010011  11311000  100  11  1  111  1  1  1  0
180000  011111  11010011  11311000  100  11  1  111  1  1  0  0
```

182421	011111	11010011	11311000	100	11	1	110	1	1	0	0
190000	011111	11010011	11311000	100	11	1	110	1	1	1	0
200000	011111	11010011	11311000	100	11	1	110	1	1	0	0
210000	011111	11010011	11311000	100	11	1	110	1	1	1	0
220000	011111	11010011	11311000	100	11	1	110	1	1	0	0
222406	011111	11010011	11311000	100	11	1	100	1	1	0	0
222509	011111	11010011	11311000	100	11	1	101	1	1	0	0
230000	011111	11010011	11311000	100	11	1	101	1	1	1	0
240000	011111	11010011	11311000	100	11	1	101	1	1	0	0
250000	011111	11010011	11311000	100	11	1	101	1	1	1	0
260000	011111	11010011	11311000	100	11	1	101	1	1	0	0
262668	011111	11010011	11311000	100	11	1	100	1	1	0	0
270000	011111	11010011	11311000	100	11	1	100	1	1	1	0

1

T	HTRRRI	AAAAAAAA	IIIIIIII	ERS	SS	I	VVV	V	R	C	*
I	ORSSN	DDDDDDDD	DDDDDDDD	DDT	IO	N	EEE	E	E	L	#
M	LATTT	DDDDDDDD	BBBBBBB	I__	DD	T	CCC	C	S	K	C
E	DP__R	76543210	76543210	MM		E	TTT	E		H	
	765			AA		R	210	T		K	
	...			SS							
	555			KK							
				Q							

280000	011111	11010011	11311000	100	11	1	100	1	1	0	0
290000	011111	11010011	11311000	100	11	1	100	1	1	1	0
300000	011111	11010011	11311000	100	11	1	100	1	1	0	0
310000	011111	11010011	11311000	100	11	1	100	1	1	1	0
320000	011111	11010011	11311000	100	11	1	100	1	1	0	0
330000	011111	11010011	11311000	100	11	1	100	1	1	1	0
340000	011111	11010011	11311000	100	11	1	100	1	1	0	0
350000	011111	11010011	11311000	100	11	1	100	1	1	1	0
360000	011111	11010011	11311000	100	11	1	100	1	1	0	0
370000	011111	11010011	11311000	100	11	1	100	1	1	1	0
380000	011111	11010011	11311000	100	11	1	100	1	1	0	0
390000	011111	11010011	11311000	100	11	1	100	1	1	1	0
400000	011111	11010011	11311000	100	11	1	100	1	1	0	0

RST_5.5

410000	011011	11010011	11311000	100	11	1	100	1	1	1	0
420000	011011	11010011	11311000	100	11	1	100	1	1	0	0
422296	011011	11010011	11311000	100	11	1	000	1	1	0	0
422695	011011	11010011	11311000	100	11	1	011	1	1	0	0
430000	011011	11010011	11311000	100	11	1	011	1	1	1	0
440000	011011	11010011	11311000	100	11	1	011	1	1	0	0
450000	011011	11010011	11311000	100	11	1	011	1	1	1	0
460000	011011	11010011	11311000	100	11	1	011	1	1	0	0
470000	011011	11010011	11311000	100	11	1	011	1	1	1	0
480000	011011	11010011	11311000	100	11	1	011	1	1	0	0

INTR

490000	011001	11010011	11311000	100	11	1	011	1	1	1	0
500000	011001	11010011	11311000	100	11	1	011	1	1	0	0
502732	011001	11010011	11311000	100	11	1	010	1	1	0	0
510000	011001	11010011	11311000	100	11	1	010	1	1	1	0
520000	011001	11010011	11311000	100	11	1	010	1	1	0	0

```

530000 011001 11010011 11311000 100 11 1 010 1 1 1 0
540000 011001 11010011 11311000 100 11 1 010 1 1 0 0
550000 011001 11010011 11311000 100 11 1 010 1 1 1 0
560000 011001 11010011 11311000 100 11 1 010 1 1 0 0

```

MASK

```

570000 000001 11010011 11311111 100 11 1 010 1 1 1 0
580000 000001 11010011 11311111 100 11 1 010 1 1 0 0

```

TRAP - INTR (MASK IN RST_7.5,RST_6.5,RST_5.5)

```

590000 011111 11010011 11311111 100 11 1 010 1 1 1 0
600000 011111 11010011 11311111 100 11 1 010 1 1 0 0
602197 011111 11010011 11311111 100 11 1 110 1 1 0 0
610000 011111 11010011 11311111 100 11 1 110 1 1 1 0
620000 011111 11010011 11311111 100 11 1 110 1 1 0 0
630000 011111 11010011 11311111 100 11 1 110 1 1 1 0
640000 011111 11010011 11311111 100 11 1 110 1 1 0 0
642327 011111 11010011 11311111 100 11 1 010 1 1 0 0
650000 011111 11010011 11311111 100 11 1 010 1 1 1 0

```

1

```

T  HTRRRI AAAAAAAAAA IIIIIIII ERS SS I VVV V R C *
I  DRSSSN DDDDDDDD DDDDDDDD DDT ID N EEE E E L #
M  LATTTT DDDDDDDD BBBB BBBB I__ DD T CCC C S K C
E  DP___R 76543210 76543210 MM   E TTT E H
    765                AA   R 210 T K
    ...                SS
    555                KK
                        0

```

```

660000 011111 11010011 11311111 100 11 1 010 1 1 0 0
670000 011111 11010011 11311111 100 11 1 010 1 1 1 0
680000 011111 11010011 11311111 100 11 1 010 1 1 0 0
690000 011111 11010011 11311111 100 11 1 010 1 1 1 0
700000 011111 11010011 11311111 100 11 1 010 1 1 0 0
710000 011111 11010011 11311111 100 11 1 010 1 1 1 0
720000 011111 11010011 11311111 100 11 1 010 1 1 0 0
730000 011111 11010011 11311111 100 11 1 010 1 1 1 0
740000 011111 11010011 11311111 100 11 1 010 1 1 0 0

```

RST_5.5 (MASK IN RST_7.5,RST_6.5)

```

750000 011111 11010011 11311110 100 11 1 010 1 1 1 0
760000 011111 11010011 11311110 100 11 1 010 1 1 0 0
770000 011111 11010011 11311110 100 11 1 010 1 1 1 0
780000 011111 11010011 11311110 100 11 1 010 1 1 0 0
782737 011111 11010011 11311110 100 11 1 011 1 1 0 0
790000 011111 11010011 11311110 100 11 1 011 1 1 1 0
800000 011111 11010011 11311110 100 11 1 011 1 1 0 0
810000 011111 11010011 11311110 100 11 1 011 1 1 1 0
820000 011111 11010011 11311110 100 11 1 011 1 1 0 0

```

RST_6.5 (MASK IN RST_7.5)

```

830000 011111 11010011 11311100 100 11 1 011 1 1 1 0
840000 011111 11010011 11311100 100 11 1 011 1 1 0 0

```

```

*****
*                               SimPrt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****

```

```

File=A:CLI.RES           Unit= 10 psec  Case=WC           Oct 24,1989

```

```

-----
T  HTRRRI AAAAAAAAAA IIIIIIII ERS SS I VVV V R C *
I  DRSSN DDDDDDDD DDDDDDDD DDT IO N EEE E E L #
M  LATTTT DDDDDDDD BBBB BBBB I__ DD T CCC C S K C
E  DP__R 76543210 76543210 MM   E TTT E   H
      765                AA   R 210 T   K
      ...                SS
      555                KK
                        O

```

```

-----
850000 011111 11010011 11311100 100 11 1 011 1 1 1 0
860000 011111 11010011 11311100 100 11 1 011 1 1 0 0
862142 011111 11010011 11311100 100 11 1 111 1 1 0 0
862903 011111 11010011 11311100 100 11 1 100 1 1 0 0
870000 011111 11010011 11311100 100 11 1 100 1 1 1 0
880000 011111 11010011 11311100 100 11 1 100 1 1 0 0
890000 011111 11010011 11311100 100 11 1 100 1 1 1 0
900000 011111 11010011 11311100 100 11 1 100 1 1 0 0

```

RST_7.5 - RST_6.5

```

-----
910000 011111 11010011 11311000 100 11 1 100 1 1 1 0
920000 011111 11010011 11311000 100 11 1 100 1 1 0 0
930000 011111 11010011 11311000 100 11 1 100 1 1 1 0
940000 011111 11010011 11311000 100 11 1 100 1 1 0 0
942606 011111 11010011 11311000 100 11 1 101 1 1 0 0
950000 011111 11010011 11311000 100 11 1 101 1 1 1 0
960000 011111 11010011 11311000 100 11 1 101 1 1 0 0
970000 011111 11010011 11311000 100 11 1 101 1 1 1 0
980000 011111 11010011 11311000 100 11 1 101 1 1 0 0
982668 011111 11010011 11311000 100 11 1 100 1 1 0 0
990000 011111 11010011 11311000 100 11 1 100 1 1 1 0
1000000 011111 11010011 11311000 100 11 1 100 1 1 0 0
1010000 011111 11010011 11311000 100 11 1 100 1 1 1 0
1020000 011111 11010011 11311000 100 11 1 100 1 1 0 0
1030000 011111 11010011 11311000 100 11 1 100 1 1 1 0
1040000 011111 11010011 11311000 100 11 1 100 1 1 0 0
1050000 011111 11010011 11311000 100 11 1 100 1 1 1 0
1060000 011111 11010011 11311000 100 11 1 100 1 1 0 0

```

DISABLE

```

-----
1070000 010111 11010011 11311000 100 11 1 100 1 1 1 0
1080000 010111 11010011 11311000 100 11 1 100 1 1 0 0
1090000 011111 11110011 11311000 000 11 1 100 1 1 1 0
1093113 011111 11110011 11311000 000 11 0 100 1 1 1 0
1100000 011111 11110011 11311000 000 11 0 100 1 1 0 0
1102296 011111 11110011 11311000 000 11 0 000 1 1 0 0
1102695 011111 11110011 11311000 000 11 0 001 1 1 0 0
1110000 011111 11110011 11311000 000 11 0 001 1 1 1 0

```

```

1120000 011111 11110011 11311000 000 11 0 001 1 1 0 0
1130000 011111 11110011 11311000 000 11 0 001 1 1 1 0
1140000 011111 11110011 11311000 000 11 0 001 1 1 0 0
1150000 011111 11110011 11311000 000 11 0 001 1 1 1 0
1160000 011111 11110011 11311000 000 11 0 001 1 1 0 0
1170000 011111 11110011 11311000 000 11 0 001 1 1 1 0
1180000 011111 11110011 11311000 000 11 0 001 1 1 0 0
1190000 011111 11110011 11311000 000 11 0 001 1 1 1 0

```

```

-----
T  HTRRRI AAAAAAAAA IIIIIIII ERS SS I VVV V R C *
I  ORSSSN DDDDDDDD DDDDDDDD DDT IO N EEE E E L #
M  LATTTT DDDDDDDD BBBB BBBB I__ DD T CCC C S K C
E  DP___R 76543210 76543210 MM   E TTT   E   H
    765                AA    R 210   T   K
    ...                SS
    555                KK
                        O
-----

```

```

1200000 011111 11110011 11311000 000 11 0 001 1 1 0 0
1210000 011111 11110011 11311000 000 11 0 001 1 1 1 0
1220000 011111 11110011 11311000 000 11 0 001 1 1 0 0
1230000 011111 11110011 11311000 000 11 0 001 1 1 1 0
1240000 011111 11110011 11311000 000 11 0 001 1 1 0 0
Simulation terminated at timeslot 1250000

```


7.3 MAPEO DE INTERRUPCIONES

7.3.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'MAPINT'
*
  P VEC, , , VECT2, , VECT1, , VECTO, , , , D9, , D8, , D7, , D6, , D5, ,
#D4, , D3, , D2, , D1, , D0
  PCO
*
  PC 'TRISTATE'
  IT 10*(HI, VEC, VECT4, VECT3, VECT2, VECT1, VECTO)
  SU TIME=*+100
  PC 'HOLD'
  ST 1001(VEC, VECT4, VECT3, VECT2, VECT1, VECTO)
  SU TIME=*+100
  PC 'TRAP'
  ST 110(VEC, VECT3, VECTO)
  SU TIME=*+100
  PC 'RST 7.5'
  ST 1001(VECT4, VECT3, VECT1, VECTO)
  SU TIME=*+100
  PC 'RST 6.5'
  ST 10(VECT3, VECTO)
  SU TIME=*+100
  PC 'RST 5.5'
  ST 0001(VECT4, VECT3, VECT2, VECT1, VECTO)
  SU TIME=*+100
  PC 'INTR'
  ST 10(VECT3, VECTO)
  SU TIME=*+100
  PC 'TRISTATE'
```

ST 0(VEC)

SU TIME=*+100

STAB

F

7.3.2 Resultados alfanuméricos

```
*****
*                               SimPrt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****
```

```
File=A:MAPINT.RES      Unit= 10 psec  Case=WC      Oct 24,1989
```

```
-----
      T  V  V V V  D D D D D D D D D D D *
      I  E  E E E  9 8 7 6 5 4 3 2 1 0 #
      M  C  C C C
      E      T T T      C
                2 1 0      H
                                K
-----
```

TRISTATE

```
-----
      0  0  * * *  * * * * * * * * * * * *
      216 0  * * *  3 3 3 3 3 3 3 3 3 3 3 *
-----
```

HOLD

```
-----
10000  1  1  1  1  3 3 3 3 3 3 3 3 3 3 *
10216  1  1  1  1  # # # # # # # # # 1 #
10284  1  1  1  1  # # # # # # # 1 # 1 #
10587  1  1  1  1  # # # # # # # 1 0 1 #
10827  1  1  1  1  # # # # # # 1 1 0 1 #
11265  1  1  1  1  # 0 0 0 0 0 1 1 0 1 #
11429  1  1  1  1  1 0 0 0 0 0 1 1 0 1 0
-----
```

TRAP

```
-----
20000  1  1  1  0  1 0 0 0 0 0 1 1 0 1 0
20283  1  1  1  0  1 0 0 0 0 0 1 0 0 1 0
20514  1  1  1  0  1 0 0 0 0 0 1 0 1 1 0
21400  1  1  1  0  1 1 1 1 1 1 1 0 1 1 0
21589  1  1  1  0  0 1 1 1 1 1 1 0 1 1 0
-----
```

RST 7.5

```
-----
30000  1  1  0  1  0 1 1 1 1 1 1 0 1 1 0
30284  1  1  0  1  0 1 1 1 1 1 1 1 1 1 0
-----
```

RST 6.5

```
-----
40000  1  1  0  0  0 1 1 1 1 1 1 1 1 1 0
40283  1  1  0  0  0 1 1 1 1 1 1 0 1 1 0
40941  1  1  0  0  0 1 1 1 1 1 0 0 1 1 0
41201  1  1  0  0  0 0 0 0 0 0 0 0 1 1 0
41365  1  1  0  0  1 0 0 0 0 0 0 0 1 1 0
-----
```

RST 5.5

```

-----
50000  1 0 1 1  1 0 0 0 0 0 0 0 1 1 0
50284  1 0 1 1  1 0 0 0 0 0 0 0 1 1 0
-----

```

INTR

```

-----
60000  1 0 1 0  1 0 0 0 0 0 0 0 1 1 1 0
60283  1 0 1 0  1 0 0 0 0 0 0 0 0 1 1 0
60827  1 0 1 0  1 0 0 0 0 0 0 1 0 1 1 0
-----

```

TRISTATE

```

-----
70000  0 0 1 0  1 0 0 0 0 0 1 0 1 1 0
1-----
      T  V  V  V  V  D  D  D  D  D  D  D  D  D  D  *
      I  E  E  E  E  9  8  7  6  5  4  3  2  1  0  #
      M  C  C  C  C
      E      T  T  T
           2  1  0
                                     C
                                     H
                                     K
-----

```

```

70216  0 0 1 0  3 3 3 3 3 3 3 3 3 3 3 0
Simulation terminated at timeslot      80000
1

```

7.4 REGISTRO DE INSTRUCCION

7.4.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'MIR'
*
  P IR_ENO, , AD7, AD6, AD5, AD4, AD3, AD2, AD1, ADO, , CLK, , , ,
#ADD7, ADD6, ADD5, ADD4, ADD3, ADD2, ADD1, ADD0
  PCO
*
  PC 'LOAD OPCODE'
  S 0(100,200,ETC)CLK
  ST 011(IR_ENO, IR_EN1, AD7, AD6, AD5, AD4, AD3, AD2, AD1, ADO)
  SU TIME=#+500
  PC 'NO LOAD OPCODE'
  ST 10(IR_ENO, IR_EN1, AD7, AD6, AD5, AD4, AD3, AD2, AD1, ADO)
  SU TIME=#+500
  PC 'LOAD OPCODE'
  ST 01(IR_ENO, IR_EN1)
  SU TIME=#+500
  PC 'NO LOAD OPCODE'
  ST 101(IR_ENO, IR_EN1, AD6, AD4, AD2, ADO)
  SU TIME=#+500
  PC 'LOAD OPCODE'
  ST 01(IR_ENO, IR_EN1)
  SU TIME=#+500
  STAB
  P
```

7.4.2 Resultados alfanuméricos

```

*****
*                               SimPrt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****

```

File=A:MIR.RES Unit= 10 psec Case=WC Oct 24,1989

```

-----
T   I AAAAAAAA C   AAAAAAAA *
I   R DDDDDDDD L   DDDDDDDD #
M   _ 76543210 K   DDDDDDDD C
E   E                               76543210 H
                                N   K
                                O
-----

```

LOAD OPCODE

```

-----
O   O 11111111 O   ***** *
10000 O 11111111 1   ***** *
11558 O 11111111 1   11111111 O
20000 O 11111111 O   11111111 O
30000 O 11111111 1   11111111 O
40000 O 11111111 O   11111111 O
-----

```

NO LOAD OPCODE

```

-----
50000 1 00000000 1   11111111 O
60000 1 00000000 0   11111111 O
70000 1 00000000 1   11111111 O
80000 1 00000000 0   11111111 O
90000 1 00000000 1   11111111 O
-----

```

LOAD OPCODE

```

-----
100000 O 00000000 0   11111111 O
110000 O 00000000 1   11111111 O
111430 O 00000000 1   00000000 O
120000 O 00000000 0   00000000 O
130000 O 00000000 1   00000000 O
140000 O 00000000 0   00000000 O
-----

```

NO LOAD OPCODE

```

-----
150000 1 01010101 1   00000000 O
160000 1 01010101 0   00000000 O
170000 1 01010101 1   00000000 O
180000 1 01010101 0   00000000 O
190000 1 01010101 1   00000000 O
-----

```

LOAD OPCODE

```

-----
200000 O 01010101 0   00000000 O
210000 O 01010101 1   00000000 O
211558 O 01010101 1   01010101 O
220000 O 01010101 0   01010101 O
230000 O 01010101 1   01010101 O
240000 O 01010101 0   01010101 O
Simulation terminated at timeslot 250000

```

7.5 MULTIPLEXOR DE CONDICION

7.5.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'CGBC'
*
  P CM3,CM2,CM1,CM0,,SIGNO,ZERO,PARIDAD,CY,DAAL,DAAH,
#INTER,, ,CB
  PCO
*
  PC 'SELECT'
  IT 00001(LO,ZERO,CY,DAAH,SIGNO,PARIDAD,DAAL,INTER)
  S 0(200,400,ETC)CM0
  S 0(400,800,ETC)CM1
  S 1(400,800,ETC)CM4
  S 0(800,1600,ETC)CM2
  S 1(800,1600,ETC)CM5
  S 0(1600,3200,ETC)CM3
  S 1(1600,3200,ETC)CM6
  SU TIME=**+3030
  STAB
  F
```

7.5.2 Resultados alfanuméricos

```
*****
*                               SimPrt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****
```

File=A:CGBC.RES Unit= 10 psec Case=WC Oct 24,1989

```
-----
T    CCCC SZPCDDI    C *
I    MMMM IEAYAAN    B #
M    3210 GRR AAT     C
E           NOI LHE    H
          D D    R    K
          A
          D
-----
```

SELECT

```
-----
      0    0000 1010101    * *
     1524    0000 1010101    0 0
     20000    0001 1010101    0 0
     20254    0001 1010101    1 0
     40000    0010 1010101    1 0
     40317    0010 1010101    0 0
     41979    0010 1010101    1 0
     60000    0011 1010101    1 0
     60317    0011 1010101    0 0
     80000    0100 1010101    0 0
     80254    0100 1010101    1 0
     81524    0100 1010101    0 0
     100000    0101 1010101    0 0
     100254    0101 1010101    1 0
     120000    0110 1010101    1 0
     120317    0110 1010101    0 0
     121979    0110 1010101    1 0
     140000    0111 1010101    1 0
     140317    0111 1010101    0 0
     160000    1000 1010101    0 0
     160254    1000 1010101    1 0
     161524    1000 1010101    0 0
     180000    1001 1010101    0 0
     180254    1001 1010101    1 0
     200000    1010 1010101    1 0
     200317    1010 1010101    0 0
     201979    1010 1010101    1 0
     220000    1011 1010101    1 0
     220317    1011 1010101    0 0
     240000    1100 1010101    0 0
     240254    1100 1010101    1 0
     241524    1100 1010101    0 0
     260000    1101 1010101    0 0
     260254    1101 1010101    1 0
     280000    1110 1010101    1 0
     280317    1110 1010101    0 0
     281979    1110 1010101    1 0
     300000    1111 1010101    1 0
     300317    1111 1010101    0 0
Simulation terminated at timeslot            303000
```

1

7.6 MULTIPLEXOR DE RESET

7.6.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'RESET'
*
  P RESET, , , SEQMM3, , SEQMM2, , SEQMM1, , SEQMM0, , , SEQM3, , SEQM2, ,
#SEQM1, , SEQM0
  PC0
*
  PC 'RESET'
  ST 00*(LO, RESET, SEQMM3, SEQMM2, SEQMM1, SEQMM0)
  SU TIME=*+10
  PC 'LOAD 1'
  ST 11(RESET, SEQMM3, SEQMM2, SEQMM1, SEQMM0)
  SU TIME=*+10
  PC 'LOAD 2'
  ST 0(SEQMM3, SEQMM2, SEQMM1, SEQMM0)
  SU TIME=*+10
  PC 'LOAD 3'
  ST 1(SEQMM3, SEQMM1)
  SU TIME=*+10
  PC 'RESET'
  ST 0(RESET)
  SU TIME=*+10
  STAB
  F
```

7.6.2 Resultados alfanuméricos

```
*****
*                               SimPrnt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****
```

File=A:RESET.RES Unit= 10 psec Case=WC Oct 24,1989

```
-----
T   R   S S S S S   S S S S S *
I   E   E E E E E   E E E E E #
M   S   Q Q Q Q Q   Q Q Q Q Q C
E   E   M M M M M   M M M M M H
      T   M M M M M   3 2 1 0 K
      3 2 1 0
-----
```

RESET

```
-----
      0   0   * * * * *   * * * * *
488    0   * * * * *   0 0 0 0 *
```

LOAD 1

```
-----
1000   1   1 1 1 1 1   0 0 0 0 0
1375   1   1 1 1 1 1   1 1 1 1 0
-----
```

LOAD 2

```
-----
2000   1   0 0 0 0 0   1 1 1 1 0
2358   1   0 0 0 0 0   0 0 0 0 0
-----
```

LOAD 3

```
-----
3000   1   1 0 1 0   0 0 0 0 0
3227   1   1 0 1 0   1 0 1 0 0
-----
```

RESET

```
-----
4000   0   1 0 1 0   1 0 1 0 0
4422   0   1 0 1 0   0 0 0 0 0
```

Simulation terminated at timeslot

5000

1

7.7 DECODIFICADOR

7.7.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'DCDR'
*
  P YB1,,YB0,,,,FOE,,RD_MASK,,UDAT,,BUS_Y
  PCO
*
  PC 'COMBINATIONS'
  S 1(100)YB3
  S 1(50,100,150)YB2
  S 0(100)YB1
  S 0(50,100,150)YB0
  SU TIME=**+500
  STAB
  P
```

7.7.2 Resultados alfanuméricos

```

*****
*                               SimPrt 2.2 : L E S I M 2 Print_Processor                               *
*                               (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988                               *
*****

```

File=A:DCDR.RES

Unit= 10 psec Case=WC

Oct 24,1989

```

-----
T   Y Y   F R U B *
I   B B   O D D U #
M   1 0   E _ A S C
E                               M T _ H
                               A   Y K
                               S
                               K
-----

```

COMBINATIONS

```

-----
      0   0 0   * * * * *
     235   0 0   * * 0 * *
     360   0 0   0 0 0 * *
     536   0 0   0 0 0 1 0
    5000   0 1   0 0 0 1 0
    5247   0 1   0 0 1 1 0
    5495   0 1   0 0 1 0 0
   10000   1 0   0 0 1 0 0
   10235   1 0   0 0 0 0 0
   10382   1 0   0 1 0 0 0
   15000   1 1   0 1 0 0 0
   15360   1 1   0 0 0 0 0
   15382   1 1   1 0 0 0 0

```

Simulation terminated at timeslot

50000

1

7.8 SIMULACION DE LA UNIDAD DE CONTROL

7.8.1 Fichero estímulo

```
*****
*                               SCL DESCRIPTION                               *
*****
  IDENT 'C_UNIT'
*
  P BAM9,BAM8,BAM7,BAM6,BAM5,BAM4,BAM3,BAM2,BAM1,BAM0,SEQMM3,
#SEQMM2,SEQMM1,SEQMM0,CMM3,CMM2,CMM1,CMM0,IR_ENM,ST_MASKM,
#EDIM,INTAM,HL DAM,YBM1,YBMO,ALEM,TSM,WRM,IO_MM,RDM,SM1,SMO,,
#SIGNO,ZERO,PARIDAD,CY,DAAL,DAAH,,DD9,DD8,DD7,DD6,DD5,DD4,
#DD3,DD2,DD1,DD0,,CK,,ADD7,ADD6,ADD5,ADD4,ADD3,ADD2,ADD1,
#ADD0,,OSM9,OSM8,OSM7,OSM6,OSM5,OSM4,OSM3,OSM2,OSM1,OSMO,,
#IDB7,IDB6,IDB5,IDB4,IDB3,IDB2,IDB1,IDB0,,TS,,CLK,,AD7,AD6,
#AD5,AD4,AD3,AD2,AD1,ADO,HOLD,HLDA,TRAP,RST_7.5,RST_6.5,
#RST_5.5,INTR,INTA,SID,SOD,RESET,RESET_OUT,ALE,S1,SO,RD,WR,
#IO_M,READY,CLK_OUT
  PCO
*
  SUB SIGNALS
  ST DATA (BAM9,BAM8)
  ST DATA (BAM7,BAM6,BAM5,BAM4,BAM3,BAM2,BAM1,BAM0,
#SEQMM3,SEQMM2,SEQMM1,SEQMM0,CMM3,CMM2,CMM1,CMM0,IR_ENM,
#ST_MASKM,EDIM,INTAM,HL DAM,YBM1,YBMO,ALEM)
  ST DATA (TSM,WRM)
  ST DATA (IO_MM,RDM,SM1,SMO)
  END
  DATS
  /BIN/00/HEX/06EED6/BIN/01/HEX/4
  /BIN/00/HEX/00EED6/BIN/01/HEX/4
  /BIN/00/HEX/60EED6/BIN/01/HEX/4
  /BIN/00/HEX/00EED6/BIN/01/HEX/4
  /BIN/00/HEX/07EE96/BIN/01/HEX/4
```

/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002ED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/073FD1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002ED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/5
/BIN/00/HEX/063FDO/BIN/00/HEX/5
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002ED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EED0/BIN/01/HEX/2
/BIN/00/HEX/00EED0/BIN/01/HEX/4
/BIN/00/HEX/063FDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7

/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/DA36DO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/DA33DO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/DA34DO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/073FD1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/5
/BIN/00/HEX/00EEDO/BIN/00/HEX/5
/BIN/00/HEX/00EED1/BIN/01/HEX/5
/BIN/00/HEX/063FDO/BIN/00/HEX/5
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/01/HEX/2132DO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7

/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/063FDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/01/HEX/6D3ODO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/00EED4/BIN/01/HEX/4
/BIN/00/HEX/073FD1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/073F91/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/073FF1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/00/HEX/DA35DO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/073FD1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/3CEED6/BIN/01/HEX/4

/BIN/00/HEX/00EED6/BIN/01/HEX/4
/BIN/01/HEX/DA3FDO/BIN/01/HEX/4
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/5
/BIN/00/HEX/00EEDO/BIN/00/HEX/5
/BIN/00/HEX/00EED1/BIN/01/HEX/5
/BIN/00/HEX/063FDO/BIN/00/HEX/5
/BIN/00/HEX/00EED1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/002EDO/BIN/01/HEX/4
/BIN/01/HEX/2136DO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/00EED1/BIN/01/HEX/6
/BIN/00/HEX/00EEDO/BIN/01/HEX/2
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/073FD1/BIN/01/HEX/7
/BIN/00/HEX/006C50/BIN/01/HEX/3
/BIN/00/HEX/00EEDO/BIN/01/HEX/4
/BIN/00/HEX/34EED6/BIN/01/HEX/4
/BIN/00/HEX/00EED6/BIN/01/HEX/4
/BIN/01/HEX/DA3FDO/BIN/01/HEX/4

DATE

PC 'RESET'

S 0(410,820,ETC)CK

SU TIME=**+615

ST 1(READY)

SU TIME=**+820

ST 10(HI,LO,RESET,HOLD,TRAP,RST_7.5,RST_6.5,RST_5.5,
#INTR,SID)

SU TIME=**+410

ST 1(RESET)

SU TIME=**+410

PC 'INIT'

SDC 1

SETV A,1

LABELAA

CALL SIGNALS

SU TIME=820**

INCR A,1

IFV A<7 GT LABELAA

PC 'FET_1'

CALL SIGNALS

ST 00001 (AD7, AD6, AD2, ADO, AD5, AD4, AD3, AD1)

SU TIME=820**

PC 'FET_2'

CALL SIGNALS

SU TIME=820**

PC 'DECOD'

CALL SIGNALS

ST 1110 (DD0, DD4, DD5, DD1, DD2, DD3, DD6, DD7, DD8, DD9)

SU TIME=820**

PC 'LDA'

SETV B,1

LABELBB

CALL SIGNALS

SU TIME=820**

INCR B,1

IFV B<10 GT LABELBB

CALL SIGNALS

ST 1110 (AD5, AD4, AD1, AD7, AD6, AD3, AD2, ADO)

SU TIME=820**

PC 'FET_2'

CALL SIGNALS

SU TIME=820**

PC 'DECOD'

CALL SIGNALS

ST 111110 (DD5, DD4, DD3, DD1, DDO, DD9, DD8, DD7, DD6, DD2)

SU TIME=820**

PC 'STA'

SETV C,1

LABELCC

CALL SIGNALS

```

SU TIME=**+820
INCR C, 1
IFV C<11 GT LABELCC
PC 'FET_1'
CALL SIGNALS
ST 00001 (AD5, AD4, AD3, AD2, AD7, AD6, AD1, ADO)
SU TIME=**+820
PC 'FET_2'
CALL SIGNALS
SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 000001 (DD9, DD8, DD5, DD2, DDO, DD7, DD6, DD4, DD3, DD1)
SU TIME=**+820
PC 'JMP_A'
SETV D, 1
LABELDD
CALL SIGNALS
SU TIME=**+820
INCR D, 1
IFV D<8 GT LABELDD
PC 'FET_1'
CALL SIGNALS
ST 0001 (AD5, AD2, ADO, AD7, AD6, AD4, AD3, AD1)
SU TIME=**+820
PC 'FET_2'
CALL SIGNALS
SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 00001 (DD9, DD8, DD2, DD1, DD7, DD6, DD5, DD4, DD3, DDO)
SU TIME=**+820
PC 'JC (FLAG CARRY=1)'
CALL SIGNALS
ST 1 (CY)
SU TIME=**+820
PC 'A continuacion ejecuta el jmp_a'

```

```

PC 'simulado anteriormente'
ST 10(SEQMM1,SEQMM0,SEQMM3,SEQMM2)
ST 110(DD1,DD2,DD9,DD8,DD7,DD6,DD5,DD4,DD3,DD0)
SU TIME=#+820
PC 'FET_1'
CALL SIGNALS
ST 1110(AD7,AD6,AD1,AD5,AD4,AD3,AD2,ADO)
SU TIME=#+820
PC 'FET_2'
CALL SIGNALS
SU TIME=#+820
PC 'DECOD'
CALL SIGNALS
ST 11110(DD7,DD6,DD5,DD0,DD9,DD8,DD4,DD3,DD2,DD1)
SU TIME=#+820
PC 'JNZ (FLAG ZERO=0)'
CALL SIGNALS
ST 0(ZERO)
SU TIME=#+820
PC 'A continuacion ejecuta el jmp_a'
ST 10(SEQMM1,SEQMM0,SEQMM2,SEQMM3)
ST 110(DD1,DD2,DD9,DD8,DD7,DD6,DD5,DD4,DD3,DD0)
SU TIME=#+820
PC 'FET_1'
CALL SIGNALS
ST 0001(AD4,AD2,ADO,AD7,AD6,AD5,AD3,AD1)
SU TIME=#+820
PC 'FET_2'
CALL SIGNALS
SU TIME=#+820
PC 'DECOD'
CALL SIGNALS
ST 1110(DD8,DD3,DD0,DD9,DD7,DD6,DD5,DD4,DD2,DD1)
SU TIME=#+820
PC 'JPE (FLAG PARIDAD=0)'
ST 0(PARIDAD)
SETV G, 1

```

LABELGG

CALL SIGNALS

SU TIME=+820**

INCR G, 1

IFV G<8 GT LABELGG

ST 0001 (AD5, AD4, AD1, AD7, AD6, AD3, AD2, ADO)

CALL SIGNALS

SU TIME=+820**

PC 'FET_2'

CALL SIGNALS

SU TIME=+820**

PC 'DECOD'

CALL SIGNALS

ST 1110 (DD8, DD5, DDO, DD9, DD7, DD6, DD4, DD3, DD2, DD1)

SU TIME=+820**

PC 'CALL_A'

SETV H, 1

LABELHH

CALL SIGNALS

SU TIME=+820**

INCR H, 1

IFV H<13 GT LABELHH

PC 'FET_1'

CALL SIGNALS

ST 11110 (AD7, AD6, AD3, AD2, AD5, AD4, AD1, ADO)

SU TIME=+820**

PC 'FET_2'

CALL SIGNALS

SU TIME=+820**

PC 'DECOD'

CALL SIGNALS

ST 000001 (DD9, DD7, DD6, DD3, DD1, DDO, DD8, DD5, DD4, DD2)

SU TIME=+820**

PC 'CZ (FLAG ZERO=1)'

ST 1 (ZERO)

CALL SIGNALS

SU TIME=+820**

```

PC 'A continuacion se ejecuta call_a'
PC 'simulado anteriormente'
ST 10(SEQMM1,SEQMM0,SEQMM2,SEQMM3)
ST 110(DD2,DD1,DD9,DD8,DD7,DD6,DD5,DD4,DD3,DD0)
SU TIME=**+820
PC 'PET_1'
CALL SIGNALS
ST 11110(AD7,AD6,AD3,AD0,AD5,AD4,AD2,AD1)
SU TIME=**+820
PC 'PET_2'
CALL SIGNALS
SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 00001(DD9,DD7,DD4,DD1,DD8,DD6,DD5,DD3,DD2,DD0)
SU TIME=**+820
PC 'RET'
SETV I,1
LABELII
CALL SIGNALS
SU TIME=**+820
INCR I,1
IFV I<8 GT LABELII
PC 'PET_1'
CALL SIGNALS
ST 0001(AD2,AD1,AD0,AD7,AD6,AD5,AD4,AD3)
SU TIME=**+820
PC 'PET_2'
CALL SIGNALS
SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 1110(DD8,DD7,DD1,DD9,DD6,DD5,DD4,DD3,DD2,DD0)
SU TIME=**+820
PC 'RM (FLAG SIGNO=1)'
ST 1(SIGNO)
CALL SIGNALS

```

```

SU TIME=*+820
PC 'A continuacion se ejecuta ret'
PC 'simulado anteriormente'
ST 10(SEQMM1,SEQMM0,SEQMM2,SEQMM3)
ST 110(DD2,DD1,DD9,DD8,DD7,DD6,DD5,DD4,DD3,DD0)
SU TIME=*+820
PC 'FET_1'
CALL SIGNALS
ST 10(AD5,AD7,AD6,AD2,AD4,AD3,AD1,AD0)
SU TIME=*+820
PC 'FET_2'
CALL SIGNALS
SU TIME=*+820
PC 'DECOD'
CALL SIGNALS
ST 00001(DD9,DD5,DD3,DD1,DD0,DD8,DD6,DD7,DD2,DD4)
SU TIME=*+820
PC 'RIM'
CALL SIGNALS
SU TIME=*+820
CALL SIGNALS
ST 110(AD5,AD4,AD7,AD6,AD3,AD2,AD1,AD0)
SU TIME=*+820
PC 'FET_2'
CALL SIGNALS
SU TIME=*+820
PC 'DECOD'
CALL SIGNALS
ST 00001(DD9,DD5,DD3,DD0,DD8,DD7,DD6,DD4,DD2,DD1)
SU TIME=*+820
PC 'SIM (Se habilitan todas las interrupciones)'
CALL SIGNALS
ST 0001(IDB2,IDB1,IDB0,IDB7,IDB6,IDB4,IDB3)
ST 01(AD2,AD4,AD0,AD3,AD5,AD7,AD6,AD1)
SU TIME=*+820
PC 'FET_2'
CALL SIGNALS

```

```

SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 00001 (DD5, DDO, DD9, DD4, DD2, DD7, DD8, DD3, DD1, DD6)
SU TIME=**+820
PC 'EI'
CALL SIGNALS
ST 0001 (AD4, AD2, ADO, AD3, AD5, AD7, AD6, AD1)
SU TIME=**+820
PC 'PET_2'
CALL SIGNALS
SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 110 (DD8, DDO, DD9, DD4, DD2, DD7, DD5, DD3, DD1, DD6)
SU TIME=**+820
PC 'JPO (FLAG PARIDAD=1)'
PC '(Se pide interrupcion durante esta instruccion)'
ST 1 (PARIDAD)
SETV J, 1
LABELJJ
CALL SIGNALS
SU TIME=**+820
INCR J, 1
IFV J<6 GT LABELJJ
ST 1 (RST_7.5)
CALL SIGNALS
SU TIME=**+820
CALL SIGNALS
ST 0 (RST_7.5)
SU TIME=**+820
CALL SIGNALS
ST 1110 (AD7, AD6, AD2, AD5, AD4, AD3, AD1, ADO)
SU TIME=**+820
PC 'PET_2'
CALL SIGNALS
SU TIME=**+820

```



```

PC 'RST75'
SETV K, 1
LABELKK
CALL SIGNALS
SU TIME=**+820
INCR K, 1
IFV K<5 GT LABELKK
PC 'PROX'
SETV L, 1
LABELLL
CALL SIGNALS
SU TIME=**+820
INCR L, 1
IFV L<6 GT LABELLL
PC 'PET_1'
CALL SIGNALS
ST 0001(AD5, AD1, ADO, AD7, AD6, AD4, AD3, AD2)
SU TIME=**+820
PC 'PET_2'
CALL SIGNALS
SU TIME=**+820
PC 'DECOD'
CALL SIGNALS
ST 11110(DDO, DD2, DD6, DD8, DD9, DD7, DD5, DD4, DD3, DD1)
SU TIME=**+820
PC 'CC (FLAG CY=0)'
PC 'Se pide interrupcion durante esta instruccion'
ST 0(CY)
SETV M, 1
LABELMM
CALL SIGNALS
SU TIME=**+820
INCR M, 1
IFV M<8 GT LABELMM
ST 1(RST_6.5)
CALL SIGNALS
ST 001(AD1, AD2, AD7, AD6, AD5, AD4, AD3, ADO)

```

```
SU TIME=*+820
PC 'PET_2'
CALL SIGNALS
SU TIME=*+820
PC 'RST_6.5'
SETV N,1
LABELNN
CALL SIGNALS
SU TIME=*+820
INCR N,1
IFV N<5 GT LABELNN
PC 'A continuacion se ejecuta prox'
PC 'simulada anteriormente'
STAB
F
```

* SimPrt 2.2 : L E S I M 2 Print_Processor *
* (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

T BBBBBBBBBSSSSCCCI SEIHYATWIRSSSZPCDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAHHTRRRRISSRRASSRWIRC *
I AAAAAAAAAAEEEEMMMMRTDNLBLSRODMMIEAYAADDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSNNIOEEL1ODROEL #
M MMMMMMMMMMQQQMMM ITDMMEMM M10GRR AA9876543210 DDDDDDDMMMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE _AK C
E 9876543210MMMM321OEMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD H
MMM NA MM M O D 765 TT YO K
3210 MS A
K D
M

RESET

Setup time 600 violated from data DFNI22 clock BUC21
Setup time 600 violated from data DFNI23 clock BUC21
Setup time 600 violated from data DFNI24 clock BUC21
Hold time 240 violated from data NAI4 clock BUC18
Hold time 240 violated from data NAI5 clock BUC18
Hold time 240 violated from data NAI6 clock BUC18
Hold time 240 violated from data DFCI2 clock BUC22

0 *****0*****#####*1***** #
265 *****0*****#####*1***** #
809 *****0*****#####*1***** #
1621 *****0*****#####*1***** #
4535 *****0*****#####*1***** #
4765 *****0*****#####*1***** #
4812 *****0*****#####*1***** #
5287 *****0*****#####*1***** #
5404 *****0*****#####*1***** #
5958 *****0*****#####*1***** #
41000 *****1*****#####*1***** #
41245 *****1*****#####*1***** #
41809 *****1*****#####*1***** #
61500 *****1*****#####*1***** #
82000 *****0*****#####*1***** #

```

82265 *****0*****#####*****#*****11 #
82809 *****0*****#####*1*****#*****11 #
123000 *****1*****#####*1*****#*****11 #
123245 *****1*****#####*1*****#*****10 #
124003 *****1*****#####*0*****#*****10 #
143500 *****1*****#####*0*****0*00000*0#0*****10 #
164000 *****0*****#####*0*****0*00000*0#0*****10 #
164265 *****0*****#####*0*****0*00000*0#0*****11 #
164809 *****0*****#####*1*****0*00000*0#0*****11 #
165913 *****0*****#####*1*****0*00000*0#00*****11 #
169267 *****0*****0#####*1*****0*00000*0#00*****11 #
169313 *****0*****000000000#####*1*****0*00000*0#00*****11 #
184500 *****0*****000000000#####*1*****0*00000*0#10*****11 #
205000 *****1*****000000000#####*1*****0*00000*0#10*****11 #
205245 *****1*****000000000#####*1*****0*00000*0#10*****10 #
206003 *****1*****000000000#####*0*****0*00000*0#10*****10 #

```

INIT

```

225500 000000011011101110110101010010100*****1*****000000000#####*0*****0*00000*0#10*****10 #
246000 000000011011101110110101010010100*****0*****000000000#####*0*****0*00000*0#10*****10 #
246265 000000011011101110110101010010100*****0*****000000000#####*0*****0*00000*0#10*****11 #
246809 000000011011101110110101010010100*****0*****000000000#####*1*****0*00000*0#10*****11 #
247944 000000011011101110110101010010100*****0*****000000000#####*1*****0*00000*0#11*****11 #
248314 000000011011101110110101010010100*****0*****000000000#####*01*****0000000*0#11000**011 #

```

```

T BBBBBBBBBBSSSSCCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA000000000IIIIIIITCAAAAAAAAHHTRRRI ISSRRASSRWIRC *
I AAAAAAAAAAEEEEMMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNIOEEL1ODROEL #
M MMMMMMMMMMqqqmmmm_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A
      K D
      M
      U
      T

```

```

248430 000000011011101110110101010010100*****0*****000000000#####*01*****0000000*0#1100011011 #
248443 000000011011101110110101010010100*****0*****000000000#####*01*****000000010#1100011011 #
249485 000000011011101110110101010010100*****0*****0000000000000#001*****000000010#1100011011 #
249530 000000011011101110110101010010100*****0*****0000000000000011001*****000000010#1100011011 #
250475 000000011011101110110101010010100*****0*****0000000010000011001*****000000010#1100011011 #
287000 000000011011101110110101010010100*****1*****0000000010000011001*****000000010#1100011011 #
287245 000000011011101110110101010010100*****1*****0000000010000011001*****000000010#1100011010 #

```

288003 0000000110111011101101010010100*****1*****0000000010000011000*****000000010#1100011010 #
307500 0000000001101110110101010010100*****1*****0000000010000011000*****000000010#1100011010 #
328000 0000000001101110110101010010100*****0*****0000000010000011000*****000000010#1100011010 #
328265 0000000001101110110101010010100*****0*****0000000010000011000*****000000010#1100011011 #
328809 0000000001101110110101010010100*****0*****0000000010000011001*****000000010#1100011011 #
330699 0000000001101110110101010010100*****0*****0000000010000000001*****000000010#1100011011 #
331374 0000000001101110110101010010100*****0*****0000000000000000001*****000000010#1100011011 #
331614 0000000001101110110101010010100*****0*****0000000100000000001*****000000010#1100011011 #
369000 0000000001101110110101010010100*****1*****0000000010000000001*****000000010#1100011011 #
369245 0000000001101110110101010010100*****1*****0000000010000000001*****000000010#1100011010 #
370003 0000000001101110110101010010100*****1*****0000000010000000000*****000000010#1100011010 #
389500 000110000011011101101010010100*****1*****0000000010000000000*****000000010#1100011010 #
410000 000110000011011101101010010100*****0*****0000000010000000000*****000000010#1100011010 #
410265 000110000011011101101010010100*****0*****0000000010000000000*****000000010#1100011011 #
410809 000110000011011101101010010100*****0*****0000000010000000000*****000000010#1100011011 #
412897 000110000011011101101010010100*****0*****00000000100110000001*****000000010#1100011011 #
413614 000110000011011101101010010100*****0*****00000000110110000001*****000000010#1100011011 #
451000 000110000011011101101010010100*****1*****00000000110110000001*****000000010#1100011011 #
451245 000110000011011101101010010100*****1*****00000000110110000001*****000000010#1100011010 #
452003 000110000011011101101010010100*****1*****0000000011011000000*****000000010#1100011010 #
471500 000000000011011101101010010100*****1*****0000000011011000000*****000000010#1100011010 #
492000 000000000011011101101010010100*****0*****0000000011011000000*****000000010#1100011010 #
492265 000000000011011101101010010100*****0*****0000000011011000000*****000000010#1100011011 #
492809 000000000011011101101010010100*****0*****00000000110110000001*****000000010#1100011011 #
494699 000000000011011101101010010100*****0*****00000000110000000001*****000000010#1100011011 #
495374 000000000011011101101010010100*****0*****0000000000000000001*****000000010#1100011011 #
495614 000000000011011101101010010100*****0*****00000000100000000001*****000000010#1100011011 #
533000 000000000011011101101010010100*****1*****00000001000000000001*****000000010#1100011011 #
533245 000000000011011101101010010100*****1*****00000001000000000001*****000000010#1100011010 #
534003 000000000011011101101010010100*****1*****0000000100000000000*****000000010#1100011010 #
553500 000000011111011101001010010100*****1*****0000000100000000000*****000000010#1100011010 #
574000 00000001111101110101001010010100*****0*****0000000100000000000*****000000010#1100011010 #
574265 000000011111011101001010010100*****0*****0000000100000000000*****000000010#1100011011 #
574809 000000011111011101001010010100*****0*****00000001000000000001*****000000010#1100011011 #
576897 000000011111011101001010010100*****0*****00000001000000011101*****000000010#1100011011 #
577614 000000011111011101001010010100*****0*****00000001010000011101*****000000010#1100011011 #
615000 0000000111110111010010110010100*****1*****00000001010000011101*****000000010#1100011011 #
615245 0000000111110111010010110010100*****1*****00000001010000011101*****000000010#1100011010 #
616003 0000000111110111010010110010100*****1*****00000001010000011100*****000000010#1100011010 #
635500 0000000000110111011010000010100*****1*****00000001010000011100*****000000010#1100011010 #
656000 0000000000110111011010000010100*****0*****00000001010000011100*****000000010#1100011010 #
656265 0000000000110111011010000010100*****0*****00000001010000011100*****000000010#1100011011 #
656809 0000000000110111011010000010100*****0*****00000001010000011101*****000000010#1100011011 #

658699 00000000001110111011010000010100*****0*****000000101000000001*****00000010#1100011011 #
659173 00000000001110111011010000010100*****0*****0000001013333333301*****00000010#1100011011 #
659374 00000000001110111011010000010100*****0*****0000001003333333301*****00000010#1100011011 #
659614 00000000001110111011010000010100*****0*****0000001103333333301*****00000010#1100011011 #
697000 00000000001110111011010000010100*****1*****0000001103333333301*****00000010#1100011011 #
697245 00000000001110111011010000010100*****1*****0000001103333333301*****00000010#1100011010 #
698003 00000000001110111011010000010100*****1*****0000001103333333300*****00000010#1100011010 #

1

T BBBBBBBBBBSSSSCCCI SEIHYATWIRSSSZPCDDDDDDDDDDCAAAAAAAAAA0000000000IIIIIIITCAAAAAAAHHTRRRI ISSRRASSRWIRC *
I AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNOEEL1ODROEL #
M MMMMMMMMMMQQQMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBB K76543210LDATTTTDDSSSE _AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A ... U
K D D 555 O T
M U
T

FET_1

717500 0000000000111011101101000101011*****1*****000000110333333330000111010000000010#1100011010 #
738000 0000000000111011101101000101011*****0*****000000110333333330000111010000000010#1100011010 #
738265 0000000000111011101101000101011*****0*****000000110333333330000111010000000010#1100011011 #
738809 0000000000111011101101000101011*****0*****000000110333333330100111010000000010#1100011011 #
740430 0000000000111011101101000101011*****0*****000000110333333330100111010000000010#1111111011 #
741614 0000000000111011101101000101011*****0*****000000111333333330100111010000000010#1111111011 #
779000 0000000000111011101101000101011*****1*****000000111333333330100111010000000010#1111111011 #
779245 0000000000111011101101000101011*****1*****000000111333333330100111010000000010#1111111010 #
780003 0000000000111011101101000101011*****1*****000000111333333330000111010000000010#1111111010 #

FET_2

799500 0000000000110110001010000010011*****1*****000000111333333330000111010000000010#1111111010 #
820000 0000000000110110001010000010011*****0*****000000111333333330000111010000000010#1111111010 #
820265 0000000000110110001010000010011*****0*****000000111333333330000111010000000010#1111111011 #
820809 0000000000110110001010000010011*****0*****000000111333333330100111010000000010#1111111011 #
822314 0000000000110110001010000010011*****0*****000000111333333330100111010000000010#1101101011 #
823374 0000000000110110001010000010011*****0*****00000000033333330100111010000000010#1101101011 #
823614 0000000000110110001010000010011*****0*****0000001000333333330100111010000000010#1101101011 #
861000 0000000000110110001010000010011*****1*****0000001000333333330100111010000000010#1101101011 #
861245 0000000000110110001010000010011*****1*****0000001000333333330100111010000000010#1101101010 #
862003 0000000000110110001010000010011*****1*****0000001000333333330000111010000000010#1101101010 #

209

DECOD

881500 00000000000010111011010000010100*****00001100011*****000000100033333330000111010000000010#1101101010 #
902000 00000000000010111011010000010100*****00001100010*****000000100033333330000111010000000010#1101101010 #
902265 00000000000010111011010000010100*****00001100010*****000000100033333330000111010000000010#1101101011 #
902809 00000000000010111011010000010100*****00001100010*****000000100033333330100111010000000010#1101101011 #
904314 00000000000010111011010000010100*****00001100010*****000000100033333330100111010000000010#1100001011 #
904362 00000000000010111011010000010100*****0000110001000***0*0000000100033333330100111010000000010#1100001011 #
904430 00000000000010111011010000010100*****0000110001000***0*0000000100033333330100111010000000010#1100011011 #
904514 00000000000010111011010000010100*****0000110001000111010000000100033333330100111010000000010#1100011011 #
905614 00000000000010111011010000010100*****0000110001000111010000000100133333330100111010000000010#1100011011 #
906855 00000000000010111011010000010100*****000011000100011101000000000133333330100111010000000010#1100011011 #
907806 00000000000010111011010000010100*****00001100010001110100000110003333330100111010000000010#1100011011 #
943000 00000000000010111011010000010100*****0000110001100111010000011000133333330100111010000000010#1100011011 #
943245 00000000000010111011010000010100*****0000110001100111010000011000133333330100111010000000010#1100011010 #
944003 00000000000010111011010000010100*****0000110001100111010000011000133333330000111010000000010#1100011010 #

LDA

963500 00000000001110111011010001010110*****0000110001100111010000011000133333330000111010000000010#1100011010 #
984000 00000000001110111011010001010110*****0000110001000111010000011000133333330000111010000000010#1100011010 #
984265 00000000001110111011010001010110*****0000110001000111010000011000133333330000111010000000010#1100011011 #
984809 00000000001110111011010001010110*****0000110001000111010000011000133333330100111010000000010#1100011011 #
986430 00000000001110111011010001010110*****0000110001000111010000011000133333330100111010000000010#1111011011 #
989243 00000000001110111011010001010110*****0000110001000111010000011000033333330100111010000000010#1111011011 #
989266 00000000001110111011010001010110*****0000110001000111010000011001033333330100111010000000010#1111011011 #
1025000 00000000001110111011010001010110*****0000110001100111010000011001033333330100111010000000010#1111011011 #
1025245 00000000001110111011010001010110*****0000110001100111010000011001033333330100111010000000010#1111011010 #
1026003 00000000001110111011010001010110*****0000110001100111010000011001033333330000111010000000010#1111011010 #
1045500 00000000001110111011010000010010*****0000110001100111010000011001033333330000111010000000010#1111011010 #
1066000 00000000001110111011010000010010*****0000110001000111010000011001033333330000111010000000010#1111011010 #

1

T BBBBBBBBBSSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAAAA0000000000IIIIIIITCAAAAAAAAHHTRRRIISSRRASSRWIRC *
I AAAAAAAAAAEEEEMMMMRTDNLBBLSDMMIEAYAADD0000000000KDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNOEEL1ODROEL #
M MMMMMMMMMMQQQMMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBB K7654321OLDATTTTTTDSSE _AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A
K A
D D
M U
T

1397614 0000000001110111011010000010100*****00001100010001110100000110111333333330100111010000000010#1100011011 #
1435000 0000000001110111011010000010100*****00001100011001110100000110111333333330100111010000000010#1100011011 #
1435245 0000000001110111011010000010100*****00001100011001110100000110111333333330100111010000000010#1100011010 #
1436003 0000000001110111011010000010100*****00001100011001110100000110111333333330000111010000000010#1100011010 #
1476000 0000000001110111011010000010100*****00001100010001110100000110111333333330000111010000000010#1100011010 #
1476265 0000000001110111011010000010100*****00001100010001110100000110111333333330000111010000000010#1100011011 #
1476809 0000000001110111011010000010100*****00001100010001110100000110111333333330100111010000000010#1100011011 #
1479374 0000000001110111011010000010100*****00001100010001110100000110000333333330100111010000000010#1100011011 #
1479614 0000000001110111011010000010100*****00001100010001110100000111000333333330100111010000000010#1100011011 #
1517000 0000000001110111011010000010100*****00001100011001110100000111000333333330100111010000000010#1100011011 #
1517245 0000000001110111011010000010100*****00001100011001110100000111000333333330100111010000000010#1100011010 #
1518003 0000000001110111011010000010100*****00001100011001110100000111000333333330000111010000000010#1100011010 #
1537500 0000000001110111011010001010110*****00001100011001110100000111000333333330000111010000000010#1100011010 #
1558000 0000000001110111011010001010110*****00001100010001110100000111000333333330000111010000000010#1100011010 #

T BBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAAHHTRRRIISSRRASSRWIRC *
I AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDLRSSSNNIOEEL1ODROEL #
M MMMMMMMMMMQQQMMMM__ITDMMEMM_M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTTTDDSSE _AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A U
K D O T
M U
T

1558265 0000000001110111011010001010110*****00001100010001110100000111000333333330000111010000000010#1100011011 #
1558809 0000000001110111011010001010110*****00001100010001110100000111000333333330100111010000000010#1100011011 #
1560430 0000000001110111011010001010110*****00001100010001110100000111000333333330100111010000000010#111011011 #
1561614 0000000001110111011010001010110*****00001100010001110100000111001333333330100111010000000010#111011011 #
1599000 0000000001110111011010001010110*****00001100011001110100000111001333333330100111010000000010#111011011 #
1599245 0000000001110111011010001010110*****00001100011001110100000111001333333330100111010000000010#111011010 #
1600003 0000000001110111011010001010110*****00001100011001110100000111001333333330000111010000000010#111011010 #
1619500 000000000111011101101000001010*****00001100011001110100000111001333333330000111010000000010#111011010 #
1640000 000000000111011101101000001010*****00001100010001110100000111001333333330000111010000000010#111011010 #
1640265 000000000111011101101000001010*****00001100010001110100000111001333333330000111010000000010#111011011 #
1640809 000000000111011101101000001010*****00001100010001110100000111001333333330100111010000000010#111011011 #
1642314 000000000111011101101000001010*****00001100010001110100000111001333333330100111010000000010#1101001011 #
1643374 000000000111011101101000001010*****00001100010001110100000111000333333330100111010000000010#1101001011 #
1643614 000000000111011101101000001010*****00001100010001110100000111010333333330100111010000000010#1101001011 #
1681000 000000000111011101101000001010*****00001100011001110100000111010333333330100111010000000010#1101001011 #
1681245 000000000111011101101000001010*****00001100011001110100000111010333333330100111010000000010#1101001010 #
1682003 000000000111011101101000001010*****00001100011001110100000111010333333330000111010000000010#1101001010 #
1701500 0000000111001111111010001010111*****00001100011001110100000111010333333330000110010000000010#1101001010 #

1722000 0000000111001111111010001010111*****00001100010001110100000111010333333330000110010000000010#1101001010 #
1722265 00000001110011111111010001010111*****00001100010001110100000111010333333330000110010000000010#1101001011 #
1722809 00000001110011111111010001010111*****00001100010001110100000111010333333330100110010000000010#1101001011 #
1724430 00000001110011111111010001010111*****00001100010001110100000111010333333330100110010000000010#1111111011 #
1725614 00000001110011111111010001010111*****00001100010001110100000111011333333330100110010000000010#1111111011 #
1727570 00000001110011111111010001010111*****00001100010001110100000000011333333330100110010000000010#1111111011 #
1728521 00000001110011111111010001010111*****00001100010001110100000000011333333330100110010000000010#1111111011 #
1763000 00000001110011111111010001010111*****00001100011001110100000000011333333330100110010000000010#1111111011 #
1763245 00000001110011111111010001010111*****00001100011001110100000000011333333330100110010000000010#1111111010 #
1764003 00000001110011111111010001010111*****00001100011001110100000000011333333330000110010000000010#1111111010 #

FET_2

1783500 00000000000110110001010000010011*****00001100011001110100000000011333333330000110010000000010#1111111010 #
1804000 00000000000110110001010000010011*****00001100010001110100000000011333333330000110010000000010#1111111010 #

1

 * SimPrt 2.2 ; L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

T  BBBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAAAA0000000000IIIIIIITCAAAAAAAHHTRRRRISSRRASSRWIRC *
I  AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNOEEL1ODROEL #
M  MMMMMMMMMMQQQQMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBB K76543210LDATTTTDDSSSE _AK C
E  9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A ... U
      K D 555 O T
      M U
      T
  
```

 1928003 0000000000010111011010000010100*****0000111011100110010000011101133333333000011001000000010#1100011010 #

STA

```

1947500 00000000001110111011010001010110*****0000111011100110010000011101133333333000011001000000010#1100011010 #
1968000 00000000001110111011010001010110*****0000111011000110010000011101133333333000011001000000010#1100011010 #
1968265 00000000001110111011010001010110*****0000111011000110010000011101133333333000011001000000010#1100011011 #
1968809 00000000001110111011010001010110*****0000111011000110010000011101133333333010011001000000010#1100011011 #
1970430 00000000001110111011010001010110*****0000111011000110010000011101133333333010011001000000010#111011011 #
1973243 00000000001110111011010001010110*****0000111011000110010000011100033333333010011001000000010#1111011011 #
1973266 00000000001110111011010001010110*****000011101100011001000001110033333333010011001000000010#1111011011 #
2009000 00000000001110111011010001010110*****000011101110011001000001110033333333010011001000000010#111011011 #
2009245 00000000001110111011010001010110*****000011101110011001000001110033333333010011001000000010#1111011010 #
2010003 00000000001110111011010001010110*****000011101110011001000001110033333333000011001000000010#1111011010 #
2029500 00000000001110111011010000010010*****000011101110011001000001110033333333000011001000000010#1111011010 #
2050000 00000000001110111011010000010010*****000011101100011001000001110033333333000011001000000010#1111011010 #
2050265 00000000001110111011010000010010*****000011101100011001000001110033333333000011001000000010#1111011011 #
2050809 00000000001110111011010000010010*****000011101100011001000001110033333333010011001000000010#111011011 #
2052314 00000000001110111011010000010010*****000011101100011001000001110033333333010011001000000010#1101001011 #
2053614 00000000001110111011010000010010*****000011101100011001000001110133333333010011001000000010#1101001011 #
2091000 00000000001110111011010000010010*****000011101110011001000001110133333333010011001000000010#1101001011 #
2091245 00000000001110111011010000010010*****000011101110011001000001110133333333010011001000000010#1101001010 #
2092003 00000000001110111011010000010010*****000011101110011001000001110133333333000011001000000010#1101001010 #
2111500 00000000001110111011010000010010*****000011101110011001000001110133333333000011001000000010#1101001010 #
2132000 00000000001110111011010000010010*****000011101100011001000001110133333333000011001000000010#1101001010 #
  
```

214

2132265 0000000001110111011010000010100*****00001110110001100100000111101333333330000110010000000010#1101001011 #
 2132809 0000000001110111011010000010100*****0000111011000110010000011101333333330100110010000000010#1101001011 #
 2134314 0000000001110111011010000010100*****0000111011000110010000011101333333330100110010000000010#1100001011 #
 2134430 0000000001110111011010000010100*****0000111011000110010000011101333333330100110010000000010#1100011011 #
 2135374 0000000001110111011010000010100*****0000111011000110010000011100333333330100110010000000010#1100011011 #
 2135614 0000000001110111011010000010100*****0000111011000110010000011110333333330100110010000000010#1100011011 #
 2173000 0000000001110111011010000010100*****0000111011100110010000011110333333330100110010000000010#1100011011 #
 2173245 0000000001110111011010000010100*****0000111011100110010000011110333333330100110010000000010#1100011010 #
 2174003 0000000001110111011010000010100*****0000111011100110010000011110333333330000110010000000010#1100011010 #
 2193500 000000000111011101101000101010*****0000111011100110010000011110333333330000110010000000010#1100011010 #
 2214000 000000000111011101101000101010*****0000111011000110010000011110333333330000110010000000010#1100011010 #
 2214265 000000000111011101101000101010*****0000111011000110010000011110333333330000110010000000010#1100011011 #
 2214809 000000000111011101101000101010*****0000111011000110010000011110333333330100110010000000010#1100011011 #
 2216430 000000000111011101101000101010*****0000111011000110010000011110333333330100110010000000010#1111011011 #
 2217614 000000000111011101101000101010*****0000111011000110010000011111333333330100110010000000010#1111011011 #
 2255000 000000000111011101101000101010*****0000111011100110010000011111333333330100110010000000010#1111011011 #
 2255245 000000000111011101101000101010*****0000111011100110010000011111333333330100110010000000010#1111011010 #
 2256003 000000000111011101101000101010*****0000111011100110010000011111333333330000110010000000010#1111011010 #
 2275500 0000000001110111011010000010010*****0000111011100110010000011111333333330000110010000000010#1111011010 #
 2296000 0000000001110111011010000010010*****0000111011000110010000011111333333330000110010000000010#1111011010 #
 2296265 0000000001110111011010000010010*****0000111011000110010000011111333333330000110010000000010#1111011011 #
 2296809 0000000001110111011010000010010*****0000111011000110010000011111333333330100110010000000010#1111011011 #
 2298314 0000000001110111011010000010010*****0000111011000110010000011111333333330100110010000000010#1101001011 #
 2299374 0000000001110111011010000010010*****0000111011000110010000000000333333330100110010000000010#1101001011 #
 2299614 0000000001110111011010000010010*****00001110110001100100001000000333333330100110010000000010#1101001011 #

T BBBBBBBBBSSSSCCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA000000000IIIIIIITCAAAAAAAAHHTRRRIISSRRASSRWIRC *
 I AAAAAAAAAAEEEEMMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNIOEEL1ODROEL #
 M MMMMMMMMMMQQQMMMM ITDMMEMM M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTTTDSSE AK C
 E 9876543210MMMM321OEMMAA10M M NOI LH 76543210987654321076543210 DAP RA EE MD H
 MMM NA MM M O D 765 TT YO K
 3210 MS A
 K D
 M U
 T

2337000 0000000001110111011010000010010*****00001110111001100100001000000333333330100110010000000010#1101001011 #
 2337245 0000000001110111011010000010010*****00001110111001100100001000000333333330100110010000000010#1101001010 #
 2338003 0000000001110111011010000010010*****00001110111001100100001000000333333330000110010000000010#1101001010 #
 2357500 0000000001110111011010000010100*****00001110111001100100001000000333333330000110010000000010#1101001010 #
 2378000 0000000001110111011010000010100*****00001110110001100100001000000333333330000110010000000010#1101001010 #
 2378265 0000000001110111011010000010100*****00001110110001100100001000000333333330000110010000000010#1101001011 #
 2378809 0000000001110111011010000010100*****00001110110001100100001000000333333330100110010000000010#1101001011 #

FET_1

2767500 00000000001110111011010001010111*****0000111011100110010000000011033333330011000011000000010#1100110010 #
2788000 00000000001110111011010001010111*****0000111011000110010000000011033333330011000011000000010#1100110010 #

1

 * SimPrt 2.2 : L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

-----
T  BBBBBBBBBBSSSSCCCEIHYATWIRSSSZPCDDDDDDDDDDCAAAAAAAAAA0000000000IIIIIIITCAAAAAAAHHTRRRRISSRRASSRWIRC *
I  AAAAAAAAAAEEEEMMMMRTDNLBLSRODMIEAYAADDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDLRSSSNIOEEL1ODROEL #
M  MMMMMMMMMMQQQMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTDDSSE _AK C
E  9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_ H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A ... U
      K D 555 O T
      M U
      T
-----

```

218

2994003 0000000000010111011010000010100*****0011011010111000011001101101010333333330011000011000000010#1100011010 #

JMP_A

```

-----
3013500 00000000001110111011010001010110*****0011011010111000011001101101010333333330011000011000000010#1100011010 #
3034000 00000000001110111011010001010110*****0011011010011000011001101101010333333330011000011000000010#1100011010 #
3034265 00000000001110111011010001010110*****0011011010011000011001101101010333333330011000011000000010#1100011011 #
3034809 00000000001110111011010001010110*****0011011010011000011001101101010333333330111000011000000010#1100011011 #
3036430 00000000001110111011010001010110*****0011011010011000011001101101010333333330111000011000000010#1111011011 #
3039266 00000000001110111011010001010110*****00110110100110000110011011011333333330111000011000000010#1111011011 #
3075000 00000000001110111011010001010110*****00110110101110000110011011011333333330111000011000000010#1111011011 #
3075245 00000000001110111011010001010110*****00110110101110000110011011011333333330111000011000000010#1111011010 #
3076003 00000000001110111011010001010110*****00110110101110000110011011011333333330111000011000000010#1111011010 #
3095500 0000000000111011101101000010010*****00110110101110000110011011011333333330111000011000000010#1111011010 #
3116000 0000000000111011101101000010010*****00110110100110000110011011011333333330111000011000000010#1111011010 #
3116265 0000000000111011101101000010010*****00110110100110000110011011011333333330111000011000000010#1111011011 #
3116809 0000000000111011101101000010010*****00110110100110000110011011011333333330111000011000000010#1111011011 #
3118314 0000000000111011101101000010010*****00110110100110000110011011011333333330111000011000000010#1101001011 #
3119374 0000000000111011101101000010010*****00110110100110000110011011000333333330111000011000000010#1101001011 #
3119614 0000000000111011101101000010010*****00110110100110000110011011100333333330111000011000000010#1101001011 #
3157000 0000000000111011101101000010010*****00110110101110000110011011100333333330111000011000000010#1101001011 #
3157245 0000000000111011101101000010010*****00110110101110000110011011100333333330111000011000000010#1101001010 #
3158003 0000000000111011101101000010010*****00110110101110000110011011100333333330111000011000000010#1101001010 #
3177500 0000000000111011101101000010100*****00110110101110000110011011100333333330111000011000000010#1101001010 #
3198000 0000000000111011101101000010100*****00110110100110000110011011100333333330111000011000000010#1101001010 #
-----

```

3198265 00000000001110111011010000010100*****00110110100110000110011011100333333330011000011000000010#1101001011 #
3198809 00000000001110111011010000010100*****00110110100110000110011011100333333330111000011000000010#1101001011 #
3200314 00000000001110111011010000010100*****00110110100110000110011011100333333330111000011000000010#1100001011 #
3200430 00000000001110111011010000010100*****00110110100110000110011011100333333330111000011000000010#1100011011 #
3201614 00000000001110111011010000010100*****00110110100110000110011011101333333330111000011000000010#1100011011 #
3239000 00000000001110111011010000010100*****00110110101110000110011011101333333330111000011000000010#1100011011 #
3239245 00000000001110111011010000010100*****00110110101110000110011011101333333330111000011000000010#1100011010 #
3240003 00000000001110111011010000010100*****00110110101110000110011011101333333330111000011000000010#1100011010 #
3259500 0000000000111011101101000001010*****0011011010111000011001101110133333333011000011000000010#1100011010 #
3280000 0000000000111011101101000101010*****0011011010011000011001101110133333333011000011000000010#1100011010 #
3280265 0000000000111011101101000101010*****0011011010011000011001101110133333333011000011000000010#1100011011 #
3280809 0000000000111011101101000101010*****00110110100110000110011011101333333330111000011000000010#1100011011 #
3282430 0000000000111011101101000101010*****00110110100110000110011011101333333330111000011000000010#1111011011 #
3283374 0000000000111011101101000101010*****00110110100110000110011011100333333330111000011000000010#1111011011 #
3283614 0000000000111011101101000101010*****00110110100110000110011011110333333330111000011000000010#1111011011 #
3321000 0000000000111011101101000101010*****00110110101110000110011011110333333330111000011000000010#1111011011 #
3321245 0000000000111011101101000101010*****00110110101110000110011011110333333330111000011000000010#111011010 #
3322003 0000000000111011101101000101010*****00110110101110000110011011110333333330111000011000000010#1111011010 #
3341500 00000000001110111011010000010010*****00110110101110000110011011110333333330111000011000000010#1111011010 #
3362000 00000000001110111011010000010010*****00110110100110000110011011110333333330111000011000000010#1111011010 #
3362265 00000000001110111011010000010010*****00110110100110000110011011110333333330111000011000000010#1111011011 #
3362809 00000000001110111011010000010010*****00110110100110000110011011110333333330111000011000000010#1111011011 #
3364314 00000000001110111011010000010010*****00110110100110000110011011110333333330111000011000000010#1101001011 #
3365614 00000000001110111011010000010010*****0011011010011000011001101111333333330111000011000000010#1101001011 #
3403000 00000000001110111011010000010010*****0011011010111000011001101111333333330111000011000000010#1101001011 #

219

1-----
T BBBBBBBBBSSSSCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIITCAAAAAAAHHTRRRIISSRRASSRWIRC *
I AAAAAAAAAAEEMMMRTDNLBBSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNIOEEL10DROEL #
M MMMMMMMMMMQQQMMM ITDMMEMM M10GRR AA9876543210 DDDDDDDMMMMMMMMMMMMBBBBBBBBB K76543210LDATTTTDDSSSE AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A U
K D 555 O T
M U
T

3403245 00000000001110111011010000010010*****00110110101110000110011011111333333330111000011000000010#1101001010 #
3404003 00000000001110111011010000010010*****00110110101110000110011011111333333330111000011000000010#1101001010 #
3423500 00000000001110111011010000010100*****00110110101110000110011011111333333330111000011000000010#1101001010 #
3444000 00000000001110111011010000010100*****00110110100110000110011011111333333330111000011000000010#1101001010 #
3444265 00000000001110111011010000010100*****00110110100110000110011011111333333330111000011000000010#1101001011 #
3444809 00000000001110111011010000010100*****00110110100110000110011011111333333330111000011000000010#1101001011 #
3446314 00000000001110111011010000010100*****00110110100110000110011011111333333330111000011000000010#1100001011 #

3446430 000000000111011011010000010100*****001101101001100001100110111113333333011100001100000010#1100011011 #
3447374 000000000111011011010000010100*****001101101001100001100110000003333333011100001100000010#1100011011 #
3447614 000000000111011011010000010100*****001101101001100001100111000003333333011100001100000010#1100011011 #
3485000 000000000111011011010000010100*****001101101011100001100111000003333333011100001100000010#1100011011 #
3485245 000000000111011011010000010100*****001101101011100001100111000003333333011100001100000010#1100011010 #
3486003 000000000111011011010000010100*****001101101011100001100111000003333333011100001100000010#1100011010 #
3505500 0000000110001111111010000010100*****001101101011100001100111000003333333011100001100000010#1100011010 #
3526000 0000000110001111111010000010100*****001101101001100001100111000003333333011100001100000010#1100011010 #
3526265 0000000110001111111010000010100*****001101101001100001100111000003333333011100001100000010#1100011011 #
3526809 0000000110001111111010000010100*****001101101001100001100111000003333333011100001100000010#1100011011 #
3529614 0000000110001111111010000010100*****001101101001100001100111000013333333011100001100000010#1100011011 #
3531570 0000000110001111111010000010100*****001101101001100001100000000003333333011100001100000010#1100011011 #
3532521 0000000110001111111010000010100*****001101101001100001100000001103333333011100001100000010#1100011011 #
3567000 0000000110001111111010000010100*****001101101011100001100000001103333333011100001100000010#1100011011 #
3567245 0000000110001111111010000010100*****001101101011100001100000001103333333011100001100000010#1100011010 #
3568003 0000000110001111111010000010100*****001101101011100001100000001103333333011100001100000010#1100011010 #

FET_1

3587500 00000000011101101101000101011*****00110110101110000110000000110333333301101101000000010#1100011010 #
3608000 00000000011101101101000101011*****00110110100110000110000000110333333301101101000000010#1100011010 #

220
1

```

*****
*                               *
*   SimPrt 2.2 : L E S I M 2 Print_Processor   *
*   (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*                               *
*****

```

```

File=A:C_UNIT.RES      Unit= 10 psec  Case=WC      Nov  2,1989

```

```

-----
T  BBB3BBBBBSSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAA0000000000IIIIIIITCAAAAAAAAHHTRRRRISSRRASSRWIRC *
I  AAAAAAAAAAEEEEMMMMRTDNLBLSRODMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDOLRSSNNIOEEL1ODROEL #
M  MMMMMMMMMMQQQQMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTDDSSSE   _AK C
E  9876543210MMMM3210EMMAA10M  M  NOI LH          76543210987654321076543210          DAP__RA  EE      MD_ H
      MMMM      NA MM      M  O D          765      TT      YO K
      3210      MS          A
      K          D
      M
      U
      O
      T

```

```

-----
3814003  0000000000001011011010000010100***1**001111100111011010001111001333333330011011010000000010#1100011010 #

```

JC (FLAG CARRY=1)

```

-----
3833500  00110110100011011011010000010100***1**001111100111011010001111001333333330011011010000000010#1100011010 #
3854000  00110110100011011011010000010100***1**0011111001011011010001111001333333330011011010000000010#1100011010 #
3854265  00110110100011011011010000010100***1**0011111001011011010001111001333333330011011010000000010#1100011011 #
3854809  00110110100011011011010000010100***1**0011111001011011010001111001333333330111011010000000010#1100011011 #
3859260  00110110100011011011010000010100***1**001111100101101101000111100033333333011011010000000010#1100011011 #
3859283  00110110100011011011010000010100***1**001111100101101101000111101033333333011011010000000010#1100011011 #
3860889  00110110100011011011010000010100***1**0011111001011011010001101101033333333011011010000000010#1100011011 #
3895000  00110110100011011011010000010100***1**001111100111011011010001101101033333333011011010000000010#1100011011 #
3895245  00110110100011011011010000010100***1**001111100111011011010001101101033333333011011010000000010#1100011010 #
3896003  00110110100011011011010000010100***1**0011111001110110110100011011010333333330011011010000000010#1100011010 #

```

A continuacion ejecuta el jmp_a

simulado anteriormente

```

-----
3915500  00110110100010011011010000010100***1**00000001101110110100011011010333333330011011010000000010#1100011010 #

```

221

1

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

File=A:C_UNIT.RES      Unit= 10 psec  Case=WC                Nov  2,1989

```

```

-----
T  BBBBBBBBBBSSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAAHHTRRRIISSRRASSRWIRC *
I  AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNOEEL1ODROEL #
M  MMMMMMMMMMqqqqMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE   _AK C
E  9876543210MMMM3210EMMAA10M  M  NOI LH                76543210987654321076543210          DAP__RA  EE      MD_ H
      MMMM      NA MM      M  O D                765      TT      YO K
      3210      MS          A                    ...      U
      K          D                    555      -      T
      M                                U
                                      T

```

```

-----
4224003  0000000000010111011010000010100**1**00111000011110000100011100001333333330011000010000000010#1100011010 #

```

JNZ (FLAG ZERO=0)

```

-----
4243500  00110110100011001111010000010100*0*1**00111000011110000100011100001333333330011000010000000010#1100011010 #
4264000  00110110100011001111010000010100*0*1**00111000010110000100011100001333333330011000010000000010#1100011010 #
4264265  00110110100011001111010000010100*0*1**00111000010110000100011100001333333330011000010000000010#1100011011 #
4264809  00110110100011001111010000010100*0*1**0011100001011000010001110000133333330111000010000000010#1100011011 #
4268662  00110110100011001111010000010100*0*1**0011100001011000010001100000033333330111000010000000010#1100011011 #
4269260  00110110100011001111010000010100*0*1**0011100001011000010000000000033333330111000010000000010#1100011011 #
4270521  00110110100011001111010000010100*0*1**0011100001011000010001101101033333330111000010000000010#1100011011 #
4305000  00110110100011001111010000010100*0*1**0011100001111000010001101101033333330111000010000000010#1100011011 #
4305245  00110110100011001111010000010100*0*1**0011100001111000010001101101033333330111000010000000010#1100011010 #
4306003  00110110100011001111010000010100*0*1**0011100001111000010001101101033333330011000010000000010#1100011010 #

```

A continuacion ejecuta el jmp_a

```

-----
4325500  00110110100010001111010000010100*0*1**00000001101110000100011011010333333330011000010000000010#1100011010 #
4346000  00110110100010001111010000010100*0*1**00000001100110000100011011010333333330011000010000000010#1100011010 #
4346265  00110110100010001111010000010100*0*1**00000001100110000100011011010333333330011000010000000010#1100011011 #
4346809  00110110100010001111010000010100*0*1**0000000110011000010001101101033333330111000010000000010#1100011011 #
4351204  00110110100010001111010000010100*0*1**0000000110011000010000000001033333330111000010000000010#1100011011 #
4351360  00110110100010001111010000010100*0*1**0000000110011000010000000001033333330111000010000000010#1100011011 #
4387000  00110110100010001111010000010100*0*1**0000000110111000010000000001033333330111000010000000010#1100011011 #
4387245  00110110100010001111010000010100*0*1**0000000110111000010000000001033333330111000010000000010#1100011010 #

```

4388003 00110110100010001111010000010100*0*1**00000001101110000100000000110333333330011000010000000010#1100011010 #

FET_1

4407500 00000000001110111011010001010111*0*1**00000001101110000100000000110333333330011101010000000010#1100011010 #

4428000 00000000001110111011010001010111*0*1**00000001100110000100000000110333333330011101010000000010#1100011010 #

 * SimPrt 2.2 : L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

T BBBBBBBBSSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDCAAAAAAA0000000000IIIIIIITCAAAAAAAHHTRRRRISSRRASSRWIRC *
I AAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDLRSSSNNOEEL1ODROEL #
M MMMMMMMMMMQQQMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBB K76543210LDATTTTDDSE _AK C
E 9876543210MMMM3210EMMAA1OM M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A U
      K D 555 O T
      M U
      T
  
```

 4634003 0000000000010111011010000010100*0*1**0100001001111101010010000100133333333001110101000000010#1100011010 #

JPE (FLAG PARIDAD=0)

```

4653500 00110110100011010011010000010100*001**0100001001111101010010000100133333333001110101000000010#1100011010 #
4674000 00110110100011010011010000010100*001**0100001001011101010010000100133333333001110101000000010#1100011010 #
4674265 00110110100011010011010000010100*001**0100001001011101010010000100133333333001110101000000010#1100011011 #
4674809 00110110100011010011010000010100*001**0100001001011101010010000100133333333011110101000000010#1100011011 #
4679260 00110110100011010011010000010100*001**0100001001011101010010000100033333333011110101000000010#1100011011 #
4679283 00110110100011010011010000010100*001**0100001001011101010010000101033333333011110101000000010#1100011011 #
4715000 00110110100011010011010000010100*001**0100001001111101010010000101033333333011110101000000010#1100011011 #
4715245 00110110100011010011010000010100*001**0100001001111101010010000101033333333011110101000000010#1100011010 #
4716003 00110110100011010011010000010100*001**0100001001111101010010000101033333333001110101000000010#1100011010 #
4735500 00000000001110111011010001010110*001**0100001001111101010010000101033333333001110101000000010#1100011010 #
4756000 00000000001110111011010001010110*001**0100001001011101010010000101033333333001110101000000010#1100011010 #
4756265 00000000001110111011010001010110*001**0100001001011101010010000101033333333001110101000000010#1100011011 #
4756809 00000000001110111011010001010110*001**0100001001011101010010000101033333333011110101000000010#1100011011 #
4758430 00000000001110111011010001010110*001**0100001001011101010010000101033333333011110101000000010#1110110111 #
4759614 00000000001110111011010001010110*001**010000100101110101001000010133333333011110101000000010#1110110111 #
4797000 00000000001110111011010001010110*001**010000100111110101001000010133333333011110101000000010#1110110111 #
4797245 00000000001110111011010001010110*001**010000100111110101001000010133333333011110101000000010#1110110110 #
4798003 00000000001110111011010001010110*001**010000100111110101001000010133333333001110101000000010#1110110110 #
4817500 0000000000111011101101000010010*001**010000100111110101001000010133333333001110101000000010#1110110110 #
4838000 0000000000111011101101000010010*001**010000100101110101001000010133333333001110101000000010#1110110110 #
4838265 0000000000111011101101000010010*001**010000100101110101001000010133333333001110101000000010#1110110111 #
  
```

4838809 000000000111011011010000010010*001**01000010010111010100100001011333333330111101010000000010#1111011011 #
4840314 000000000111011011010000010010*001**01000010010111010100100001011333333330111101010000000010#1101001011 #
4841374 000000000111011011010000010010*001**01000010010111010100100001000333333330111101010000000010#1101001011 #
4841614 000000000111011011010000010010*001**01000010010111010100100001100333333330111101010000000010#1101001011 #
4879000 000000000111011011010000010010*001**01000010011111010100100001100333333330111101010000000010#1101001011 #
4879245 000000000111011011010000010010*001**01000010011111010100100001100333333330111101010000000010#1101001010 #
4880003 000000000111011011010000010010*001**01000010011111010100100001100333333330011101010000000010#1101001010 #
4899500 000000000111011011010000010100*001**01000010011111010100100001100333333330011101010000000010#1101001010 #
4920000 000000000111011011010000010100*001**010000100101111010100100001100333333330011101010000000010#1101001010 #
4920265 000000000111011011010000010100*001**01000010010111010100100001100333333330011101010000000010#1101001011 #
4920809 000000000111011011010000010100*001**01000010010111010100100001100333333330111101010000000010#1101001011 #
4922314 000000000111011011010000010100*001**01000010010111010100100001100333333330111101010000000010#1100001011 #
4922430 000000000111011011010000010100*001**01000010010111010100100001100333333330111101010000000010#1100011011 #
4923614 000000000111011011010000010100*001**01000010010111010100100001101333333330111101010000000010#1100011011 #
4961000 000000000111011011010000010100*001**01000010011111010100100001101333333330111101010000000010#1100011011 #
4961245 000000000111011011010000010100*001**01000010011111010100100001101333333330111101010000000010#1100011010 #
4962003 000000000111011011010000010100*001**01000010011111010100100001101333333330011101010000000010#1100011010 #
4981500 000000000111011011010001010110*001**01000010011111010100100001101333333330011101010000000010#1100011010 #
5002000 000000000111011011010001010110*001**01000010010111010100100001101333333330011101010000000010#1100011010 #
5002265 000000000111011011010001010110*001**01000010010111010100100001101333333330011101010000000010#1100011011 #
5002809 000000000111011011010001010110*001**01000010010111010100100001101333333330111101010000000010#1100011011 #
5004430 000000000111011011010001010110*001**01000010010111010100100001101333333330111101010000000010#1111011011 #
5005374 000000000111011011010001010110*001**01000010010111010100100001100333333330111101010000000010#1111011011 #
5005614 000000000111011011010001010110*001**0100001001011101010010000110333333330111101010000000010#1111011011 #
5043000 000000000111011011010001010110*001**01000010011111010100100001110333333330111101010000000010#1111011011 #

T BBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAAHHTRRRIISSRRASSRWIRC *
I AAAAAAAAAAEEEEEMMMRTDNLBLSRODMIEAYAADDVVDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSNNIOEEL10DROEL #
M MMMMMMMMMMQQQMMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTTTDSSE _AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A ... U
K D 555 O T
M U
T

5043245 000000000111011011010001010110*001**01000010011111010100100001110333333330111101010000000010#1111011010 #
5044003 000000000111011011010001010110*001**01000010011111010100100001110333333330011101010000000010#1111011010 #
5063500 000000000111011011010000010010*001**01000010011111010100100001110333333330011101010000000010#1111011010 #
5084000 000000000111011011010000010010*001**0100001001011101010010000110333333330011101010000000010#1111011010 #
5084265 000000000111011011010000010010*001**01000010010111010100100001110333333330011101010000000010#1111011011 #
5084809 000000000111011011010000010010*001**01000010010111010100100001110333333330111101010000000010#1111011011 #
5086314 000000000111011011010000010010*001**01000010010111010100100001110333333330111101010000000010#1101001011 #

5087614 0000000000110111011010000010010*001**010000100101110101001000011133333333011101010000000010#1101001011 #
 5125000 0000000000110111011010000010010*001**01000010011110101001000011133333333011101010000000010#1101001011 #
 5125245 0000000000110111011010000010010*001**01000010011110101001000011133333333011101010000000010#1101001010 #
 5126003 0000000000110111011010000010010*001**01000010011110101001000011133333333011101010000000010#1101001010 #
 5145500 0000000000110111011010000010100*001**01000010011110101001000011133333333011101010000000010#1101001010 #
 5166000 0000000000110111011010000010100*001**010000100101110101001000011133333333011101010000000010#1101001010 #
 5166265 0000000000110111011010000010100*001**010000100101110101001000011133333333011101010000000010#1101001011 #
 5166809 0000000000110111011010000010100*001**010000100101110101001000011133333333011101010000000010#1101001011 #
 5168314 0000000000110111011010000010100*001**010000100101110101001000011133333333011101010000000010#1100001011 #
 5168430 0000000000110111011010000010100*001**010000100101110101001000011133333333011101010000000010#1100011011 #
 5169374 0000000000110111011010000010100*001**0100001001011101010010000000033333333011101010000000010#1100011011 #
 5169614 0000000000110111011010000010100*001**0100001001011101010010000000033333333011101010000000010#1100011011 #
 5207000 0000000000110111011010000010100*001**0100001001111101010010001000033333333011101010000000010#1100011011 #
 5207245 0000000000110111011010000010100*001**0100001001111101010010001000033333333011101010000000010#1100011010 #
 5208003 0000000000110111011010000010100*001**0100001001111101010010001000033333333011101010000000010#1100011010 #
 5227500 000000011100111111101000101011*001**0100001001111101010010001000033333333011001101000000010#1100011010 #
 5248000 000000011100111111101000101011*001**0100001001011101010010001000033333333011001101000000010#1100011010 #
 5248265 000000011100111111101000101011*001**0100001001011101010010001000033333333011001101000000010#1100011011 #
 5248809 000000011100111111101000101011*001**01000010010111010100100010000333333330111001101000000010#1100011011 #
 5250430 000000011100111111101000101011*001**01000010010111010100100010000333333330111001101000000010#1111111011 #
 5251614 000000011100111111101000101011*001**01000010010111010100100010001333333330111001101000000010#1111111011 #
 5253570 000000011100111111101000101011*001**01000010010111010100000000001333333330111001101000000010#1111111011 #
 5254521 000000011100111111101000101011*001**0100001001011101010000000011333333330111001101000000010#1111111011 #
 5289000 000000011100111111101000101011*001**0100001001111101010000000011333333330111001101000000010#1111111011 #
 5289245 000000011100111111101000101011*001**0100001001111101010000000011333333330111001101000000010#1111111010 #
 5290003 000000011100111111101000101011*001**010000100111110101000000001133333333011001101000000010#1111111010 #

FET_2

5309500 0000000000110110001010000010011*001**010000100111110101000000001133333333011001101000000010#1111111010 #
 5330000 0000000000110110001010000010011*001**010000100101110101000000001133333333011001101000000010#1111111010 #

226

1

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

File=A:C_UNIT.RES      Unit= 10 psec  Case=WC                  Nov  2,1989

```

```

-----
T  BBBBBBBBBSSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAAAA0000000000IIIIIIITCAAAAAAAAHHTRRRIISSRRASSRWIRC *
I  AAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDDKDDDDDDDDSSSSSSSSSDDDDDDDDDSLDDDDDDDDOLRSSNNIOEEL1ODROEL #
M  MMMMMMMMMMQQQMMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTDDDSSE    _AK C
E  9876543210MMMM3210EMMAA10M  M  NOI LH                    76543210987654321076543210          DAP__RA EE      MD_ H
      MMMM      NA MM      M  O D                                765      TT      YO K
      3210      MS              A
      K              D
      M
                                . . .      -      U
                                555      O      T
                                U
                                T

```

```

-----
5454003  0000000000010111011010000010100*001**01001000011110011010100100001333333330011001101000000010#1100011010 #
-----

```

CALL_A

```

-----
5473500  00000000001110111011010000010100*001**01001000011110011010100100001333333330011001101000000010#1100011010 #
5494000  00000000001110111011010000010100*001**01001000010110011010100100001333333330011001101000000010#1100011010 #
5494265  00000000001110111011010000010100*001**01001000010110011010100100001333333330011001101000000010#1100011011 #
5494809  00000000001110111011010000010100*001**01001000010110011010100100001333333330111001101000000010#1100011011 #
5499243  00000000001110111011010000010100*001**0100100001011001101010010000333333330111001101000000010#1100011011 #
5499266  00000000001110111011010000010100*001**010010000101100110101001000010333333330111001101000000010#1100011011 #
5535000  00000000001110111011010000010100*001**010010000111100110101001000010333333330111001101000000010#1100011011 #
5535245  00000000001110111011010000010100*001**010010000111100110101001000010333333330111001101000000010#1100011010 #
5536003  00000000001110111011010000010100*001**010010000111100110101001000010333333330011001101000000010#1100011010 #
5555500  00000000001110111011010000101010*001**010010000111100110101001000010333333330011001101000000010#1100011010 #
5576000  00000000001110111011010000101010*001**010010000101100110101001000010333333330011001101000000010#1100011010 #
5576265  00000000001110111011010000101010*001**010010000101100110101001000010333333330011001101000000010#1100011011 #
5576809  00000000001110111011010000101010*001**010010000101100110101001000010333333330111001101000000010#1100011011 #
5578430  00000000001110111011010000101010*001**010010000101100110101001000010333333330111001101000000010#1111011011 #
5579614  00000000001110111011010000101010*001**010010000101100110101001000011333333330111001101000000010#1111011011 #
5617000  00000000001110111011010000101010*001**010010000111100110101001000011333333330111001101000000010#1111011011 #
5617245  00000000001110111011010000101010*001**010010000111100110101001000011333333330111001101000000010#1111011010 #
5618003  00000000001110111011010000101010*001**010010000111100110101001000011333333330011001101000000010#1111011010 #
5637500  00000000001110111011010000010010*001**010010000111100110101001000011333333330011001101000000010#1111011010 #
5658000  00000000001110111011010000010010*001**010010000101100110101001000011333333330011001101000000010#1111011010 #
5658265  00000000001110111011010000010010*001**010010000101100110101001000011333333330011001101000000010#1111011011 #
-----

```

227

5658809 0000000001110111011010000010010*001**01001000010110011010100100011333333330111001101000000010#1111011011 #

5660314 0000000001110111011010000010010*001**01001000010110011010100100011333333330111001101000000010#1101001011 #

5661374 0000000001110111011010000010010*001**01001000010110011010100100000333333330111001101000000010#1101001011 #

5661614 0000000001110111011010000010010*001**01001000010110011010100100100333333330111001101000000010#1101001011 #

5699000 0000000001110111011010000010010*001**01001000011110011010100100100333333330111001101000000010#1101001011 #

5699245 0000000001110111011010000010010*001**01001000011110011010100100100333333330111001101000000010#1101001010 #

5700003 0000000001110111011010000010010*001**01001000011110011010100100100333333330011001101000000010#1101001010 #

5719500 0000000001110111011010000010100*001**01001000011110011010100100100333333330011001101000000010#1101001010 #

5740000 0000000001110111011010000010100*001**01001000010110011010100100100333333330011001101000000010#1101001010 #

5740265 0000000001110111011010000010100*001**01001000010110011010100100100333333330011001101000000010#1101001011 #

5740809 0000000001110111011010000010100*001**01001000010110011010100100100333333330111001101000000010#1101001011 #

5742314 0000000001110111011010000010100*001**01001000010110011010100100100333333330111001101000000010#1100001011 #

5742430 0000000001110111011010000010100*001**01001000010110011010100100100333333330111001101000000010#1100011011 #

5743614 0000000001110111011010000010100*001**01001000010110011010100100101333333330111001101000000010#1100011011 #

5781000 0000000001110111011010000010100*001**01001000011110011010100100101333333330111001101000000010#1100011011 #

5781245 0000000001110111011010000010100*001**01001000011110011010100100101333333330111001101000000010#1100011010 #

5782003 0000000001110111011010000010100*001**01001000011110011010100100101333333330011001101000000010#1100011010 #

5801500 0000000001110111011010001010110*001**01001000011110011010100100101333333330011001101000000010#1100011010 #

5822000 0000000001110111011010001010110*001**01001000010110011010100100101333333330011001101000000010#1100011010 #

5822265 0000000001110111011010001010110*001**01001000010110011010100100101333333330011001101000000010#1100011011 #

5822809 0000000001110111011010001010110*001**01001000010110011010100100101333333330111001101000000010#1100011011 #

5824430 0000000001110111011010001010110*001**01001000010110011010100100101333333330111001101000000010#1111011011 #

5825374 0000000001110111011010001010110*001**01001000010110011010100100100333333330111001101000000010#1111011011 #

5825614 0000000001110111011010001010110*001**01001000010110011010100100101333333330111001101000000010#1111011011 #

5863000 0000000001110111011010001010110*001**01001000011110011010100100101333333330111001101000000010#1111011011 #

228

T BBBBBBBBBSSSSCCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAHHTRRRIISSRRASSRWIRC *

I AAAAAAAAAAEEMMMRTDNLBBLSRODMMIEAYAADDDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDOLRSSNNIOEEL10DROEL #

M MMMMMMMMMMQQQMMM ITDMMEMM M10GRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBB K76543210LDATTTTDDSSSE AK C

E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP RA EE MD H

MMM NA MM M O D 765 TT YO K

3210 MS A U

K D

M U T

T

5863245 0000000001110111011010001010110*001**01001000011110011010100100110333333330111001101000000010#1111011010 #

5864003 0000000001110111011010001010110*001**01001000011110011010100100110333333330011001101000000010#1111011010 #

5883500 0000000001110111011010000010010*001**01001000011110011010100100110333333330011001101000000010#1111011010 #

5904000 0000000001110111011010000010010*001**01001000010110011010100100110333333330011001101000000010#1111011010 #

5904265 0000000001110111011010000010010*001**01001000010110011010100100110333333330011001101000000010#1111011011 #

5904809 0000000001110111011010000010010*001**01001000010110011010100100110333333330111001101000000010#1111011011 #

5906314 0000000001110111011010000010010*001**01001000010110011010100100110333333330111001101000000010#1101001011 #

6314265 0000000001110111011010001010101*001**01001000010110011010100101011333333330011001101000000010#1100110011 #
 6314809 0000000001110111011010001010101*001**01001000010110011010100101011333333330111001101000000010#1100110011 #
 6316430 0000000001110111011010001010101*001**01001000010110011010100101011333333330111001101000000010#110111011 #
 6317374 0000000001110111011010001010101*001**01001000010110011010100101000333333330111001101000000010#1110111011 #
 6317614 0000000001110111011010001010101*001**01001000010110011010100101100333333330111001101000000010#1110111011 #
 6355000 0000000001110111011010001010101*001**0100100001110011010100101100333333330111001101000000010#1110111011 #
 6355245 0000000001110111011010001010101*001**0100100001110011010100101100333333330111001101000000010#1110111010 #

T BBBBBBBBBSSSSCCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAA0000000000IIIIITCAAAAAAAHHTRRRRISSRRASSRWIRC *
 I AAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDKDDDDDDDDSSSSSSSSSDDDDDDDDDSLDDDDDDDDOLRSSSNNOEEL1ODROEL #
 M MMMMMMMMMMQQQMMM_ITDMMEMM_M10GRR AA9876543210 DDDDDDDMMMMMMMMMMMMBBBBBBBBB K76543210LDATTTTTTDDSSE _AK C
 E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
 MMMM NA MM M O D 765 TT YO K
 3210 MS A U
 K D T
 M U
 T

230

6356003 0000000001110111011010001010101*001**0100100001110011010100101100333333330011001101000000010#1110111010 #
 6375500 00000001100011111111010000000101*001**0100100001110011010100101100333333330011001101000000010#1110111010 #
 6396000 00000001100011111111010000000101*001**01001000010110011010100101100333333330011001101000000010#1110111010 #
 6396265 00000001100011111111010000000101*001**01001000010110011010100101100333333330011001101000000010#1110111011 #
 6396809 00000001100011111111010000000101*001**01001000010110011010100101100333333330111001101000000010#1110111011 #
 6398314 00000001100011111111010000000101*001**01001000010110011010100101100333333330111001101000000010#1100110011 #
 6399614 00000001100011111111010000000101*001**01001000010110011010100101101333333330111001101000000010#1100110011 #
 6401570 00000001100011111111010000000101*001**01001000010110011010000000100333333330111001101000000010#1100110011 #
 6402521 00000001100011111111010000000101*001**0100100001011001101000000010333333330111001101000000010#1100110011 #
 6437000 00000001100011111111010000000101*001**010010000111001101000000010333333330111001101000000010#1100110011 #
 6437245 00000001100011111111010000000101*001**010010000111001101000000010333333330111001101000000010#1100110010 #
 6438003 00000001100011111111010000000101*001**010010000111001101000000010333333330011001101000000010#1100110010 #

FET_1

6457500 0000000001110111011010001010111*001**010010000111001101000000010333333330011001100000000010#1100110010 #
 6478000 0000000001110111011010001010111*001**0100100001011001101000000010333333330011001100000000010#1100110010 #

1

 * SimPrt 2.2 : L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

-----
T BBBBBBBBBBBSSSSCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAA0000000000111111ITCAAAAAAAHHTRRRIISRRASSRWIRC *
I AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDLRSSSNIOEEL1ODROEL #
M MMMMMMMMMMQQQMMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTDDSSSE _AK C
E 9876543210MMMM321OEMMAA1OM M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A ... .. U
      K D 555 O T
      M U
      T
-----

```

6684003 0000000000010111011010000010100*001**0100110101110011000100110101333333330011001100000000010#1100011010 #

CZ (FLAG ZERO=1)

```

-----
6703500 01001000010011001011010000010100*101**01001101011110011000100110101333333330011001100000000010#1100011010 #
6724000 01001000010011001011010000010100*101**01001101010110011000100110101333333330011001100000000010#1100011010 #
6724265 01001000010011001011010000010100*101**01001101010110011000100110101333333330011001100000000010#1100011011 #
6724809 01001000010011001011010000010100*101**01001101010110011000100110101333333330111001100000000010#1100011011 #
6729260 01001000010011001011010000010100*101**01001101010110011000100110100333333330111001100000000010#1100011011 #
6729283 01001000010011001011010000010100*101**01001101010110011000100110110333333330111001100000000010#1100011011 #
6730902 01001000010011001011010000010100*101**01001101010110011000100100000333333330111001100000000010#1100011011 #
6731853 01001000010011001011010000010100*101**01001101010110011000100100001333333330111001100000000010#1100011011 #
6765000 01001000010011001011010000010100*101**01001101011110011000100100001333333330111001100000000010#1100011011 #
6765245 01001000010011001011010000010100*101**01001101011110011000100100001333333330111001100000000010#1100011010 #
6766003 01001000010011001011010000010100*101**01001101011110011000100100001333333330011001100000000010#1100011010 #
-----

```

A continuacion se ejecuta call_a

simulado anteriormente

6785500 01001000010010001011010000010100*101**00000001101110011000100100001333333330011001100000000010#1100011010 #

 * SimPrt 2.2 : L E S I M 2 Print Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

-----
T  BBBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAAHHTRRRRISSRRASSRWIRC *
I  AAAAAAAAAAEEEEMMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSSDDDDDDDSLDDDDDDDDOLRSSNNIOEEL1ODROEL #
M  MMMMMMMMMMQQQMMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE _AK C
E  9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_ H
      MMM NA MM M O D 765 TT YO K
      3210 MS A ... U
      K D 555 O T
      M U
      T
-----

```

7094003 0000000000010111011010000010100*101**01011011011110010010101101101333333330011001001000000010#1100011010 #

RET

```

-----
7113500 00000000001110111011010000010100*101**01011011011110010010101101101333333330011001001000000010#1100011010 #
7134000 00000000001110111011010000010100*101**010110110110010010101101101333333330011001001000000010#1100011010 #
7134265 00000000001110111011010000010100*101**010110110110010010101101101333333330011001001000000010#1100011011 #
7134809 00000000001110111011010000010100*101**010110110110010010101101101333333330111001001000000010#1100011011 #
7139243 00000000001110111011010000010100*101**01011011011001001010110110333333330111001001000000010#1100011011 #
7139266 00000000001110111011010000010100*101**010110110110010010101101110333333330111001001000000010#1100011011 #
7175000 00000000001110111011010000010100*101**01011011011110010010101101110333333330111001001000000010#1100011011 #
7175245 00000000001110111011010000010100*101**01011011011110010010101101110333333330111001001000000010#1100011010 #
7176003 00000000001110111011010000010100*101**01011011011110010010101101110333333330011001001000000010#1100011010 #
7195500 00000000001110111011010001010110*101**01011011011110010010101101110333333330011001001000000010#1100011010 #
7216000 00000000001110111011010001010110*101**010110110110010010101101110333333330011001001000000010#1100011010 #
7216265 00000000001110111011010000101010*101**010110110110010010101101110333333330011001001000000010#1100011011 #
7216809 00000000001110111011010001010110*101**010110110110010010101101110333333330111001001000000010#1100011011 #
7218430 00000000001110111011010001010110*101**010110110110010010101101110333333330111001001000000010#1111011011 #
7219614 00000000001110111011010001010110*101**01011011011001001010110111333333330111001001000000010#1111011011 #
7257000 00000000001110111011010001010110*101**0101101101111001001010110111333333330111001001000000010#1111011011 #
7257245 00000000001110111011010001010110*101**0101101101111001001010110111333333330111001001000000010#1111011010 #
7258003 00000000001110111011010001010110*101**0101101101111001001010110111333333330011001001000000010#1111011010 #
7277500 00000000001110111011010000010010*101**0101101101111001001010110111333333330011001001000000010#1111011010 #
7298000 00000000001110111011010000010010*101**01011011011001001010110111333333330011001001000000010#1111011010 #
7298265 00000000001110111011010000010010*101**01011011011001001010110111333333330011001001000000010#1111011011 #
-----

```

7298809 00000000001110111011010000010010*101**01011011010110010010101101111333333330111001001000000010#1111011011 #

7300314 00000000001110111011010000010010*101**01011011010110010010101101111333333330111001001000000010#1101001011 #

7301374 00000000001110111011010000010010*101**01011011010110010010101100000333333330111001001000000010#1101001011 #

7301614 00000000001110111011010000010010*101**01011011010110010010101110000333333330111001001000000010#1101001011 #

7339000 00000000001110111011010000010010*101**01011011011110010010101110000333333330111001001000000010#1101001011 #

7339245 00000000001110111011010000010010*101**01011011011110010010101110000333333330111001001000000010#1101001010 #

7340003 00000000001110111011010000010010*101**01011011011110010010101110000333333330111001001000000010#1101001010 #

7359500 000000000011101110110100000101010*101**01011011011110010010101110000333333330111001001000000010#1101001010 #

7380000 000000000011101110110100000101010*101**01011011011010110010010101110000333333330111001001000000010#1101001010 #

7380265 000000000011101110110100000101010*101**01011011011010110010010101110000333333330111001001000000010#1101001011 #

7380809 000000000011101110110100000101010*101**01011011011010110010010101110000333333330111001001000000010#1101001011 #

7382430 000000000011101110110100000101010*101**01011011011010110010010101110000333333330111001001000000010#1111011011 #

7383614 000000000011101110110100000101010*101**01011011011010110010010101110001333333330111001001000000010#1111011011 #

7421000 000000000011101110110100000101010*101**01011011011110010010101110001333333330111001001000000010#1111011011 #

7421245 000000000011101110110100000101010*101**01011011011110010010101110001333333330111001001000000010#1111011010 #

7422003 000000000011101110110100000101010*101**01011011011110010010101110001333333330111001001000000010#1111011010 #

7441500 00000000001110111011010000010010*101**01011011011110010010101110001333333330111001001000000010#1111011010 #

7462000 00000000001110111011010000010010*101**01011011011010110010010101110001333333330111001001000000010#1111011010 #

7462265 00000000001110111011010000010010*101**01011011011010110010010101110001333333330111001001000000010#1111011011 #

7462809 00000000001110111011010000010010*101**01011011011010110010010101110001333333330111001001000000010#1111011011 #

7464314 00000000001110111011010000010010*101**01011011011010110010010101110001333333330111001001000000010#1101001011 #

7465374 00000000001110111011010000010010*101**0101101101101011001001010111000333333330111001001000000010#1101001011 #

7465614 00000000001110111011010000010010*101**01011011011010110010010101110010333333330111001001000000010#1101001011 #

7503000 00000000001110111011010000010010*101**01011011011110010010101110010333333330111001001000000010#1101001011 #

7503245 00000000001110111011010000010010*101**01011011011110010010101110010333333330111001001000000010#1101001010 #

233

T BBBBBBBBBSSSSCCCI SEIHYATWIRSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000 I I I I I I TCAAAAAAAAAAHHTRRRI ISSRRASSRWIRC *

I AAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADD DDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDLRSSNNIOEEL1ODROEL #

M MMMMMMMMMMQQQMMMM ITDMMEMM M10GRR AA9876543210 DDDDDDDMMMMMMMMMMMMBBBBBBBBB K76543210LDA'TTTTDDSSSE _AK C

E 9876543210MMMM3210EMMAA10M M NO1 LH 76543210987654321076543210 DAP__RA EE MD H

MMM NA MM M O D 765 TT Y0 K

3210 MS A U

K D 555 O T

M U

T

7504003 00000000001110111011010000010010*101**01011011011110010010101110010333333330111001001000000010#1101001010 #

7523500 00000000001110111011010000010100*101**01011011011110010010101110010333333330111001001000000010#1101001010 #

7544000 00000000001110111011010000010100*101**01011011010110010010101110010333333330111001001000000010#1101001010 #

7544265 00000000001110111011010000010100*101**01011011010110010010101110010333333330111001001000000010#1101001011 #

7544809 00000000001110111011010000010100*101**01011011010110010010101110010333333330111001001000000010#1101001011 #

7546314 00000000001110111011010000010010*101**01011011010110010010101110010333333330111001001000000010#1100001011 #

7546430 00000000001110111011010000010100*101**01011011010110010010101110010333333330111001001000000010#1100011011 #

7547614 0000000001110111011010000010100*101**0101101101011001001010111001133333333011100100100000010#1100011011 #
7585000 0000000001110111011010000010100*101**0101101101111001001010111001133333333011100100100000010#1100011011 #
7585245 0000000001110111011010000010100*101**0101101101111001001010111001133333333011100100100000010#1100011010 #
7586003 0000000001110111011010000010100*101**0101101101111001001010111001133333333001100100100000010#1100011010 #
7605500 0000000110001111111010000010100*101**0101101101111001001010111001133333333001100100100000010#1100011010 #
7626000 0000000110001111111010000010100*101**0101101101011001001010111001133333333001100100100000010#1100011010 #
7626265 0000000110001111111010000010100*101**0101101101011001001010111001133333333001100100100000010#1100011011 #
7626809 0000000110001111111010000010100*101**0101101101011001001010111001133333333011100100100000010#1100011011 #
7629374 0000000110001111111010000010100*101**0101101101011001001010111000033333333011100100100000010#1100011011 #
7629614 0000000110001111111010000010100*101**0101101101011001001010111010033333333011100100100000010#1100011011 #
7631570 0000000110001111111010000010100*101**0101101101011001001000000010033333333011100100100000010#1100011011 #
7632521 0000000110001111111010000010100*101**010110110101100100100000001033333333011100100100000010#1100011011 #
7667000 0000000110001111111010000010100*101**01011011011100100100000001033333333011100100100000010#1100011011 #
7667245 0000000110001111111010000010100*101**01011011011100100100000001033333333011100100100000010#1100011010 #
7668003 0000000110001111111010000010100*101**01011011011100100100000001033333333001100100100000010#1100011010 #

FET_1

7687500 000000000111011101101000101011*101**0101101101111001001000000011033333333001111100000000010#1100011010 #
7708000 000000000111011101101000101011*101**0101101101011001001000000011033333333001111100000000010#1100011010 #

 * SimPrt 2.2 : L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

T  BBBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAHHTRRRIISSRRASSRWIRC *
I  AAAAAAAAAAEEEEMMMMRTDNLBLSRODMMIEAYAADDDDDDDDDKDDDDDDSSSSSSSSDDDDDDDDSLDDDDDDDLRSSSNNOEEL1ODROEL #
M  MMMMMMMMMMQQQMMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTTTDDSSE _AK C
E  9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A
      K D
      M
      U
      O
      T
  
```

7914003 0000000000010111011010000010100*101**01100000101111100001100000103333333001111100000000010#1100011010 #

RM (FLAG SIGNO=1)

```

7933500 010110110100110000110100000101001101**011000001011111000011000001033333330011111000000000010#1100011010 #
7954000 010110110100110000110100000101001101**0110000010011111000011000001033333330011111000000000010#1100011010 #
7954265 010110110100110000110100000101001101**0110000010011111000011000001033333330011111000000000010#1100011011 #
7954809 010110110100110000110100000101001101**0110000010011111000011000001033333330111111000000000010#1100011011 #
7959283 010110110100110000110100000101001101**0110000010011111000011000001133333330111111000000000010#1100011011 #
7960902 010110110100110000110100000101001101**0110000010011111000010000000133333330111111000000000010#1100011011 #
7961853 010110110100110000110100000101001101**0110000010011111000010110110133333330111111000000000010#1100011011 #
7995000 010110110100110000110100000101001101**0110000010111111000010110110133333330111111000000000010#1100011011 #
7995245 010110110100110000110100000101001101**0110000010111111000010110110133333330111111000000000010#1100011010 #
7996003 010110110100110000110100000101001101**0110000010111111000010110110133333330011111000000000010#1100011010 #
  
```

A continuacion se ejecuta ret

simulado anteriormente

8015500 010110110100100000110100000101001101**0000000110111111000010110110133333330011111000000000010#1100011010 #

235

8487245 000000011100111111110100010101111101**01110101001001000000000000111333333330100110000000000010#1111111010 #
8488003 000000011100111111110100010101111101**01110101001001000000000000111333333330000110000000000010#1111111010 #

FET_2

8507500 000000000001101100010100000100111101**01110101001001000000000000111333333330000110000000000010#1111111010 #
8528000 000000000001101100010100000100111101**01110101000001000000000000111333333330000110000000000010#1111111010 #

1

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

File=A:C_UNIT.RES      Unit= 10 psec  Case=WC                Nov  2, 1989

```

```

-----
T  BBBBSSSSCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAHHTRRRIISSRRASSRWIRC *
I  AAAAAAAAAEEEEEMMMRTDNLBBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDOLRSSSNIOEEL10DROEL #
M  MMMMMMMMMMQQQMMM__ITDMMEMM_M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTDDSSE   _AK C
E  9876543210MMM3210EMMAA10M  M  NOI LH                76543210987654321076543210                DAP__RA  EE      MD_ H
      MMMM      NA MM      M  O D                765      TT      YO_ K
      3210      MS      A                ...      U
      K      D                555      O      T
      M                M      U
                        T
-----

```

```

238 8652003 0000000000010111011010000101001101**01110101101001100001110101103333333300001100000000010#1100011010 #
-----

```

SIM (Se habilitan todas las interrupciones)

```

-----
8671500 0000000111001111110010001010111101**0111010110100110000011101011011311000001111011000000010#1100011010 #
8692000 0000000111001111110010001010111101**0111010110000110000011101011011311000001111011000000010#1100011010 #
8692265 0000000111001111110010001010111101**0111010110000110000011101011011311000001111011000000010#1100011011 #
8692809 0000000111001111110010001010111101**0111010110000110000011101011011311000011111011000000010#1100011011 #
8694430 0000000111001111110010001010111101**0111010110000110000011101011011311000011111011000000010#1111111011 #
8696662 0000000111001111110010001010111101**0111010110000110000000000011011311000011111011000000010#1111111011 #
8697260 0000000111001111110010001010111101**011101011000011000000000000011311000011111011000000010#1111111011 #
8698521 0000000111001111110010001010111101**011101011000011000000000001111311000011111011000000010#1111111011 #
8733000 0000000111001111110010001010111101**01110101101001100000000001111311000011111011000000010#1111111011 #
8733245 0000000111001111110010001010111101**01110101101001100000000001111311000011111011000000010#1111111010 #
8734003 0000000111001111110010001010111101**01110101101001100000000001111311000011111011000000010#1111111010 #
-----

```

FET_2

```

-----
8753500 000000000001101100010100000100111101**011101011010011000000000011111311000011111011000000010#1111111010 #
8774000 000000000001101100010100000100111101**011101011000011000000000011111311000011111011000000010#1111111010 #
-----

```

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

File=A:C_UNIT.RES      Unit= 10 psec  Case=WC                Nov  2,1989

```

```

-----
T  BBBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIITCAAAAAAAAHHTRRRIISSRRASSRWIRC *
I  AAAAAAAAAAEEEEEMMMRTDNLBBLSDMMIEAYAADDKDDDDDDSSSSSSSSSSDDDDDDSLDDDDDDDLRSSSNIOEEL1ODROEL #
M  MMMMMMMMMMQQQMMM_ITDMMEM_M10GRR AA9876543210 DDDDDDDMMMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTDDSSE _AK C
E  9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A U
      K D 555 O T
      M U
      T
-----

```

```

8898003 00000000000101110110100000101001101**01110011101111110110111001110113110000011110110000001011100011010 #
-----

```

EI

```

-----
8917500 00000001110011111111100010101111101**011100111011111101101110011101131100000111010100000001011100011010 #
8938000 00000001110011111111100010101111101**011100111001111101101110011101131100000111010100000001011100011010 #
8938265 00000001110011111111100010101111101**011100111001111101101110011101131100000111010100000001011100011011 #
8938809 00000001110011111111100010101111101**01110011100111110110111001110113110000111010100000001011100011011 #
8940430 00000001110011111111100010101111101**0111001110011111011011100111011311000011101010000000101111111011 #
8942662 00000001110011111111100010101111101**0111001110011111011000000011011311000011101010000000101111111011 #
8943260 00000001110011111111100010101111101**011100111001111101100000000011311000011101010000000101111111011 #
8944521 00000001110011111111100010101111101**011100111001111101100000001111311000011101010000000101111111011 #
8979000 00000001110011111111100010101111101**011100111011111101100000001111311000011101010000000101111111011 #
8979245 00000001110011111111100010101111101**011100111011111101100000001111311000011101010000000101111111010 #
8980003 00000001110011111111100010101111101**0111001110111111011000000011113110000011101010000000101111111010 #
-----

```

FET_2

```

-----
8999500 000000000001101100010100000100111101**0111001110111111011000000011113110000011101010000000101111111010 #
9020000 000000000001101100010100000100111101**0111001110011111011000000011113110000011101010000000101111111010 #
-----

```

```

*****
*           SimPrt 2.2 : L E S I M 2 Print_Processor           *
*           (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *
*****

```

```

File=A:C_UNIT.RES      Unit= 10 psec  Case=WC                  Nov  2, 1989

```

```

-----
T  BBBBBBBBBBSSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAHHTRRRRISSRRASSRWIRC *
I  AAAAAAAAAAEEEEEMMMRTDNLBLSRODMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDOLRSSSNNOEEL1ODROEL #
M  MMMMMMMMMMQQQMMMM_ITOMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE   _AK C
E  9876543210MMMM321OEMMAA10M  M  NOI LH                76543210987654321076543210          DAP__RA  EE      MD_ H
      MMMM  NA MM      M  O D          765          TT      YO K
      3210  MS          A          ...          U
      K          D          555          O          T
      M          U
      T
-----

```

240

```

9144003  00000000000101110110100000101001101**0100000001111101010010000000111311000001110101000000001011100011010 #
JPO (FLAG PARIDAD=1)
-----

```

(Se pide interrupcion durante esta instruccion)

```

-----
9163500  001101101000110101110100000101001111**0100000001111101010010000000111311000001110101000000001011100011010 #
9184000  001101101000110101110100000101001111**0100000001011101010010000000111311000001110101000000001011100011010 #
9184265  001101101000110101110100000101001111**0100000001011101010010000000111311000001110101000000001011100011011 #
9184809  001101101000110101110100000101001111**0100000001011101010010000000111311000011110101000000001011100011011 #
9188662  001101101000110101110100000101001111**0100000001011101010000000000011311000011110101000000001011100011011 #
9191322  001101101000110101110100000101001111**01000000010111010100100000001011311000011110101000000001011100011011 #
9225000  001101101000110101110100000101001111**01000000011111010100100000001011311000011110101000000001011100011011 #
9225245  001101101000110101110100000101001111**01000000011111010100100000001011311000011110101000000001011100011010 #
9226003  001101101000110101110100000101001111**0100000001111101010010000000101131100001110101000000001011100011010 #
9245500  000000000011101110110100010101101111**0100000001111101010010000000101131100001110101000000001011100011010 #
9266000  000000000011101110110100010101101111**0100000001011101010010000000101131100001110101000000001011100011010 #
9266265  000000000011101110110100010101101111**0100000001011101010010000000101131100001110101000000001011100011011 #
9266809  000000000011101110110100010101101111**01000000010111010100100000001011311000011110101000000001011100011011 #
9268430  0000000000111011101100010101101111**01000000010111010100100000001011311000011110101000000001011111011011 #
9269614  000000000011101110110100010101101111**0100000001011101010010000000111311000011110101000000001011111011011 #
9307000  000000000011101110110100010101101111**0100000001111101010010000000111311000011110101000000001011111011011 #
9307245  000000000011101110110100010101101111**0100000001111101010010000000111311000011110101000000001011111011010 #
9308003  000000000011101110110100010101101111**0100000001111101010010000000111311000011110101000000001011111011010 #
-----

```

9327500 00000000011101110110100000100101111**01000000011110101001000001113110000011101010000000101111011010 #
9348000 00000000011101110110100000100101111**010000000101110101001000001113110000011101010000000101111011010 #
9348265 00000000011101110110100000100101111**010000000101110101001000001113110000011101010000000101111011010 #
9348809 00000000011101110110100000100101111**010000000101110101001000001113110000111101010000000101111011010 #
9350314 00000000011101110110100000100101111**0100000001011101010010000011131100001111010100000001011101001010 #
9351374 00000000011101110110100000100101111**01000000010111010100100000001131100001111010100000001011101001010 #
9351614 00000000011101110110100000100101111**010000000101110101001000001001131100001111010100000001011101001010 #
9389000 00000000011101110110100000100101111**010000000111110101001000001001131100001111010100000001011101001010 #
9389245 00000000011101110110100000100101111**01000000011111010100100000001131100001111010100000001011101001010 #
9390003 00000000011101110110100000100101111**01000000011111010100100000100113110000111010100000001011101001010 #
9409500 00000000011101110110100000101001111**01000000011111010100100000100113110000111010100000001011101001010 #
9430000 00000000011101110110100000101001111**01000000010111010100100000100113110000111010100000001011101001010 #
9430265 00000000011101110110100000101001111**01000000010111010100100000100113110000111010100000001011101001010 #
9430809 00000000011101110110100000101001111**010000000101110101001000001001131100001111010100000001011101001010 #
9432314 00000000011101110110100000101001111**010000000101110101001000001113110000111010100000001011100001010 #
9432430 00000000011101110110100000101001111**010000000101110101001000001001131100001111010100000001011100011010 #
9433614 00000000011101110110100000101001111**010000000101110101001000001011131100001111010100000001011100011010 #
9471000 00000000011101110110100000101001111**01000000011111010100100000101131100001111010100000001011100011010 #
9471245 00000000011101110110100000101001111**01000000011111010100100000101131100001111010100000001011100011010 #
9472003 00000000011101110110100000101001111**01000000011111010100100000101113110000111010100000001011100011010 #
9491500 00000000011101110110100010101101111**01000000011111010100100000101113110000111010100000001011100011010 #
9512000 00000000011101110110100010101101111**01000000010111010100100000101113110000111010100000001011100011010 #
9512265 00000000011101110110100010101101111**01000000010111010100100000101113110000111010100000001011100011010 #
9512809 00000000011101110110100010101101111**010000000101110101001000001011131100001111010100000001011100011010 #
9514430 00000000011101110110100010101101111**010000000101110101001000001011131100001111010100000001011111011010 #

241

```

T  BBBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA000000000IIIIITCAAAAAAAAHHTRRRISSRRASSRWIRC *
I  AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDKDDDDDDSSSSSSSSSSDDDDDDSLDDDDDDDDOLRSSNNOEEL1ODROEL #
M  MMMMMMMMMMQQQMMMM_ITDMNEMM_M1OGRRAA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE _AK C
E  9876543210MMMM321OEMMAA1OM M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A ... U
      K D 555 - O T
      M U T

```

9515374 00000000011101110110100010101101111**010000000101110101001000001001131100001111010100000001011111011010 #
9515614 00000000011101110110100010101101111**010000000101110101001000001101131100001111010100000001011111011010 #
9553000 00000000011101110110100010101101111**010000000111110101001000001101131100001111010100000001011111011010 #
9553245 00000000011101110110100010101101111**01000000011111010100100000101131100001111010100000001011111011010 #
9554003 00000000011101110110100010101101111**01000000011111010100100000110113110000111010100000001011111011010 #
9573500 00000000011101110110100000100101111**010000000111110101001000001101131100001110101000010001011111011010 #
9594000 00000000011101110110100000100101111**010000000101110101001000001101131100001110101000010001011111011010 #

9594265 0000000000110110110100000100101111**010000000101101010010000011011311000001110101000010001011111011011 #
9594809 0000000000110110110100000100101111**010000000101101010010000011011311000011110101000010001011111011011 #
9596314 0000000000110110110100000100101111**010000000101101010010000011011311000011110101000010001011101001011 #
9597614 0000000000110110110100000100101111**01000000010110101001000001111311000011110101000010001011101001011 #
9635000 0000000000110110110100000100101111**01000000010110101001000001111311000011110101000010001011101001011 #
9635245 0000000000110110110100000100101111**01000000010110101001000001111311000011110101000010001011101001010 #
9636003 0000000000110110110100000100101111**01000000010110101001000001111311000001110101000010001011101001010 #
9655500 0000000000110110110100000101001111**010000000101110101001000001111311000001110101000000001011101001010 #
9676000 0000000000110110110100000101001111**01000000010110101001000001111311000001110101000000001011101001010 #
9676265 0000000000110110110100000101001111**01000000010110101001000001111311000001110101000000001011101001011 #
9676809 0000000000110110110100000101001111**01000000010110101001000001111311000011110101000000001011101001011 #
9678314 0000000000110110110100000101001111**01000000010110101001000001111311000011110101000000001011100001011 #
9678430 0000000000110110110100000101001111**01000000010110101001000001111311000011110101000000001011100011011 #
9679374 0000000000110110110100000101001111**010000000101101010010000000011311000011110101000000001011100011011 #
9679614 0000000000110110110100000101001111**010000000101101010010000100011311000011110101000000001011100011011 #
9717000 0000000000110110110100000101001111**010000000101101010010000100011311000011110101000000001011100011011 #
9717245 0000000000110110110100000101001111**010000000101101010010000100011311000011110101000000001011100011010 #
9718003 0000000000110110110100000101001111**0100000001011101010010000100011311000001110101000000001011100011010 #
9737500 00000001110011111111010001010111111**0100000001111101010010000100011311000001100010000000001011100011010 #
9758000 000000011100111111110100010101111111**010000000101101010010000100011311000001100010000000001011100011010 #
9758265 000000011100111111110100010101111111**010000000101101010010000100011311000001100010000000001011100011011 #
9758809 000000011100111111110100010101111111**010000000101101010010000100011311000011100010000000001011100011011 #
9760430 000000011100111111110100010101111111**010000000101101010010000100011311000011100010000000001011111111011 #
9761614 000000011100111111110100010101111111**01000000010110101001000010011311000011100010000000001011111111011 #
9763570 000000011100111111110100010101111111**01000000010110101000000000011311000011100010000000001011111111011 #
9764521 000000011100111111110100010101111111**01000000010110101000000000111311000011100010000000001011111111011 #
9799000 000000011100111111110100010101111111**01000000010110101000000000111311000011100010000000001011111111011 #
9799245 000000011100111111110100010101111111**01000000010110101000000001111311000011100010000000001011111111010 #
9800003 000000011100111111110100010101111111**01000000010110101000000001111311000001100010000000001011111111010 #

FET_2

9819500 000000000011011000101000001001111111**010000000111110101000000001111311000001100010000000001011111111010 #
9840000 000000000011011000101000001001111111**01000000010110101000000001111311000001100010000000001011111111010 #
9840265 000000000011011000101000001001111111**01000000010110101000000001111311000001100010000000001011111111011 #
9840809 000000000011011000101000001001111111**01000000010110101000000001111311000011100010000000001011111111011 #
9842314 000000000011011000101000001001111111**01000000010110101000000001111311000011100010000000001011101101011 #
9845779 000000000011011000101000001001111111**01000000010110101000000000011311000011100010000000001011101101011 #
9845802 000000000011011000101000001001111111**010000000101101010000000010011311000011100010000000001011101101011 #
9847853 000000000011011000101000001001111111**010000000101101010011111111111311000011100010000000001011101101011 #
9881000 000000000011011000101000001001111111**010000000111101010011111111111311000011100010000000001011101101011 #
9881245 000000000011011000101000001001111111**010000000111101010011111111111311000011100010000000001011101101010 #
9882003 000000000011011000101000001001111111**010000000111101010011111111111311000001100010000000001011101101010 #

RST75

9901500 00000000011101110110100000101001111**0100000001111101010011111111111311000001100010000000001011101101010 #
 9922000 00000000011101110110100000101001111**0100000001011101010011111111111311000001100010000000001011101101010 #
 9922265 00000000011101110110100000101001111**0100000001011101010011111111111311000001100010000000001011101101011 #
 9922809 00000000011101110110100000101001111**0100000001011101010011111111111311000001100010000000001011101101011 #

1
 T B3B3B3B3B3B3SSSSCCCCISEIHYYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAA0000000000IIIIIIITCAAAAAAAAHHTRRRIISSRRASSRWIRC *
 I AAAAAAAAAAEEEEEMMMRTDNLBBSLRODMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDLRSSNNIOEEL1ODROEL #
 M MMMMMMMMMMQQQMMMM_ITDMMEM_M1OGRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBB K7654321OLDATTTTDDSSE _AK C
 E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
 MMM NA MM M O D 765 TT YO K
 3210 MS A U
 K D 555 O T
 M U
 T

9924314 00000000011101110110100000101001111**0100000001011101010011111111111311000001100010000000001011100001011 #
 9924362 00000000011101110110100000101001111**0100000001011000000011111111111311000001100010000000001011100001011 #
 9924430 00000000011101110110100000101001111**010000000101000000011111111111311000001100010000000001011100011011 #
 9924514 0000000001110111011010000010001111**0100000001011000100011111111111311000001100010000000001011100011011 #
 9927210 00000000011101110110100000101001111**010000000101100010011111111111311000001100010000000001011100011011 #
 9927243 00000000011101110110100000101001111**0100000001011000100100000000011311000001100010000000001011100011011 #
 9963000 00000000011101110110100000101001111**0100000001111000100100000000011311000001100010000000001011100011011 #
 9963245 00000000011101110110100000101001111**0100000001111000100100000000011311000001100010000000001011100011010 #
 9964003 00000000011101110110100000101001111**0100000001111000100100000000011311000001100010000000001011100011010 #
 9983500 00001111001101110110101100101001111**010000000111000100100000000011311000001100010000000001011100011010 #
 10004000 00001111001101110110101100101001111**0100000001011000100100000000011311000001100010000000001011100011010 #
 10004265 00001111001101110110101100101001111**0100000001011000100100000000011311000001100010000000001011100011011 #
 10004809 00001111001101110110101100101001111**0100000001011000100100000000011311000001100010000000001011100011011 #
 10007485 00001111001101110110101100101001111**01000000010110001001000000000##311000001100010000000001011100011011 #
 10007530 00001111001101110110101100101001111**01000000010110001001000000000##11#00011100010000000001011100011011 #
 10007614 00001111001101110110101100101001111**01000000010110001001000000000##11#00011100010000000001011100011011 #
 10045000 00001111001101110110101100101001111**01000000011100010010000000000##11#00011100010000000001011100011011 #
 10045245 00001111001101110110101100101001111**01000000011100010010000000000##11#00011100010000000001011100011010 #
 10046003 00001111001101110110101100101001111**01000000011100010010000000000##11#00011000100000000001011100011010 #
 10065500 000000000011101110110101100101001111**01000000011100010010000000000##11#00011000100000000001011100011010 #
 10086000 000000000011101110110101100101001111**010000000101100010010000000000##11#00011000100000000001011100011010 #
 10086265 000000000011101110110101100101001111**010000000101100010010000000000##11#00011000100000000001011100011011 #
 10086809 00000000001101110110101100101001111**010000000101100010010000000000##11#00011000100000000001011100011011 #
 10088699 000000000011101110110101100101001111**01000000010110001001000000000##0##00001100010000000001011100011011 #
 10089374 000000000011101110110101100101001111**01000000010110001001000000000##0##00001100010000000001011100011011 #

243

10089614 00000000011101110110101100101001111**0100000001011000100100000010##0##000011100010000000001011100011011 #
10127000 00000000011101110110101100101001111**0100000001111000100100000010##0##000011100010000000001011100011011 #
10127245 00000000011101110110101100101001111**0100000001111000100100000010##0##000011100010000000001011100011010 #
10128003 00000000011101110110101100101001111**0100000001111000100100000010##0##000001100010000000001011100011010 #
10147500 011101101000111111110100000101001111**0100000001111000100100000010##0##000001100010000000001011100011010 #
10168000 011101101000111111110100000101001111**0100000001011000100100000010##0##000001100010000000001011100011010 #
10168265 011101101000111111110100000101001111**0100000001011000100100000010##0##000001100010000000001011100011011 #
10168809 011101101000111111110100000101001111**0100000001011000100100000010##0##000011100010000000001011100011011 #
10170897 011101101000111111110100000101001111**0100000001011000100100000010110110#0011100010000000001011100011011 #
10171173 011101101000111111110100000101001111**010000000101100010010000001011311000011100010000000001011100011011 #
10171614 011101101000111111110100000101001111**010000000101100010010000000111311000011100010000000001011100011011 #
10173524 011101101000111111110100000101001111**01000000010110001000000000111311000011100010000000001011100011011 #
10173570 011101101000111111110100000101001111**0100000001011000100000000001011311000011100010000000001011100011011 #
10174521 011101101000111111110100000101001111**0100000001011000100011101101011311000011100010000000001011100011011 #
10209000 011101101000111111110100000101001111**0100000001111000100011101101011311000011100010000000001011100011011 #
10209245 011101101000111111110100000101001111**0100000001111000100011101101011311000011100010000000001011100011010 #
10210003 011101101000111111110100000101001111**0100000001111000100011101101011311000001100010000000001011100011010 #

PROX

10229500 00000000011101110110100000101001111**0100000001111000100011101101011311000001100010000000001011100011010 #
10250000 00000000011101110110100000101001111**0100000001011000100011101101011311000001100010000000001011100011010 #
10250265 00000000011101110110100000101001111**0100000001011000100011101101011311000001100010000000001011100011011 #
10250809 00000000011101110110100000101001111**0100000001011000100011101101011311000011100010000000001011100011011 #
10255266 00000000011101110110100000101001111**010000000101100010001110110111311000011100010000000001011100011011 #
10291000 00000000011101110110100000101001111**0100000001111000100011101101111311000011100010000000001011100011011 #
10291245 00000000011101110110100000101001111**0100000001111000100011101101111311000011100010000000001011100011010 #
10292003 00000000011101110110100000101001111**0100000001111000100011101101111311000001100010000000001011100011010 #
10311500 0000000001110111011010001010101111**0100000001111000100011101101111311000001100010000000001011100011010 #
10332000 0000000001110111011010001010101111**0100000001011000100011101101111311000001100010000000001011100011010 #
10332265 0000000001110111011010001010101111**0100000001011000100011101101111311000001100010000000001011100011011 #
10332809 0000000001110111011010001010101111**0100000001011000100011101101111311000011100010000000001011100011011 #

T BBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAAAAHHTRRRRISSRRASSRWIRC *
I AAAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNIOEEL1ODROEL #
M MMMMMMMMMMQQQMMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE _AK C
E 987654321OMMMM321OEMMAA1OM M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A U
K D 555 O T
M U
T

244

10334430 000000000011101110110100010101011111**01000000101100010001110110111131100001110001000000001011110111011 #
10335374 000000000011101110110100010101011111**01000000101100010001110110001131100001110001000000001011110111011 #
10335614 000000000011101110110100010101011111**01000000101100010001110111001131100001110001000000001011110111011 #
10373000 000000000011101110110100010101011111**01000000111100010001110111001131100001110001000000001011110111011 #
10373245 000000000011101110110100010101011111**01000000111100010001110111001131100001110001000000001011110111010 #
10374003 000000000011101110110100010101011111**0100000011110001000111011100113110000110001000000001011110111010 #
10393500 000000000011101110110100000001011111**0100000011110001000111011100113110000110001000000001011110111010 #
10414000 000000000011101110110100000001011111**0100000010110001000111011100113110000110001000000001011110111010 #
10414265 000000000011101110110100000001011111**0100000010110001000111011100113110000110001000000001011110111011 #
10414809 000000000011101110110100000001011111**0100000010110001000111011100113110000110001000000001011110111011 #
10416314 000000000011101110110100000001011111**01000000101100010001110111001131100001110001000000001011100110011 #
10417614 000000000011101110110100000001011111**01000000101100010001110111011131100001110001000000001011100110011 #
10455000 000000000011101110110100000001011111**01000000111100010001110111011131100001110001000000001011100110011 #
10455245 000000000011101110110100000001011111**01000000111100010001110111011131100001110001000000001011100110010 #
10456003 000000000011101110110100000001011111**0100000011110001000111011101113110000110001000000001011100110010 #
10475500 000000000011101110110100010101011111**0100000011110001000111011101113110000110001000000001011100110010 #
10496000 000000000011101110110100010101011111**0100000010110001000111011101113110000110001000000001011100110010 #
10496265 000000000011101110110100010101011111**0100000010110001000111011101113110000110001000000001011100110011 #
10496809 000000000011101110110100010101011111**01000000101100010001110111011131100001110001000000001011100110011 #
10498430 000000000011101110110100010101011111**01000000101100010001110111011131100001110001000000001011110111011 #
10499374 000000000011101110110100010101011111**01000000101100010001110111001131100001110001000000001011110111011 #
10499614 000000000011101110110100010101011111**01000000101100010001110111101131100001110001000000001011110111011 #
10537000 000000000011101110110100010101011111**01000000111100010001110111101131100001110001000000001011110111011 #
10537245 000000000011101110110100010101011111**01000000111100010001110111101131100001110001000000001011110111010 #
10538003 000000000011101110110100010101011111**0100000011110001000111011110113110000110001000000001011110111010 #
10557500 000000011000111111110100000001011111**0100000011110001000111011110113110000110001000000001011110111010 #
10578000 000000011000111111110100000001011111**0100000010110001000111011110113110000110001000000001011110111010 #
10578265 0000000110001111111110100000001011111**0100000010110001000111011110113110000110001000000001011110111011 #
10578809 0000000110001111111110100000001011111**01000000101100010001110111101131100001110001000000001011110111011 #
10580314 0000000110001111111110100000001011111**0100000010100010001110111101131100001110001000000001011100110011 #
10581614 0000000110001111111110100000001011111**01000000101100010001110111111131100001110001000000001011100110011 #
10583570 0000000110001111111110100000001011111**01000000101100010000000001101131100001110001000000001011100110011 #
10619000 0000000110001111111110100000001011111**01000000111100010000000001101131100001110001000000001011100110011 #
10619245 0000000110001111111110100000001011111**01000000111100010000000001101131100001110001000000001011100110010 #
10620003 0000000110001111111110100000001011111**0100000011110001000000000110113110000110001000000001011100110010 #

FET_1

245

 * SimPrt 2.2 : L E S I M 2 Print_Processor *
 * (c) Copyright N.V. Philips'Gloeilampenfabrieken 1988 *

File=A:C_UNIT.RES Unit= 10 psec Case=WC Nov 2,1989

```

-----
T  BBBBSSSSCCCI SEIHYATWIRSSSZPCD)DDDDDDDDDDCAAAAAAAAAA000000000111111ITCAAAAAAAAAAHHTRRRIISSRRASSRWIRC *
I  AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSDDDDDDDSLDDDDDDDDOLRSSSNNIOEEL1ODROEL #
M  MMMMMMMMMMQQQMMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDDDMMMMMMMMMMBBBBBBBBB K76543210LDATTTTTTDDSSE ..AK C
E  9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
      MMMM NA MM M O D 765 TT YO K
      3210 MS A
      K D
      M
      U
      T
-----

```

10866003 00000000000101110110100000101001111**01010001011101110001010001011131100000110111000000001011100011010 #

CC (FLAG CY=0)

Se pide interrupcion durante esta instruccion

```

-----
10885500 010010000100110110110100000101001110**01010001011101110001010001011131100000110111000000001011100011010 #
10906000 010010000100110110110100000101001110**010100010101101110001010001011131100000110111000000001011100011010 #
10906265 010010000100110110110100000101001110**010100010101101110001010001011131100000110111000000001011100011011 #
10906809 010010000100110110110100000101001110**010100010101101110001010001011131100000110111000000001011100011011 #
10911260 010010000100110110110100000101001110**010100010101101110001010001001131100000110111000000001011100011011 #
10911283 010010000100110110110100000101001110**01010001010110111000101000101131100000110111000000001011100011011 #
10947000 010010000100110110110100000101001110**0101000101110111000101000101131100000110111000000001011100011011 #
10947245 010010000100110110110100000101001110**0101000101110111000101000101131100000110111000000001011100011010 #
10948003 010010000100110110110100000101001110**0101000101110111000101000101131100000110111000000001011100011010 #
10967500 000000000011101110110100010101101110**0101000101110111000101000101131100000110111000000001011100011010 #
10988000 000000000011101110110100010101101110**01010001010110111000101000101131100000110111000000001011100011010 #
10988265 000000000011101110110100010101101110**01010001010110111000101000101131100000110111000000001011100011011 #
10988809 000000000011101110110100010101101110**01010001010110111000101000101131100000110111000000001011100011011 #
10990430 000000000011101110110100010101101110**0101000101011011100010100010113110000011011100000000101111011011 #
10991614 000000000011101110110100010101101110**0101000101011011100010100011113110000011011100000000101111011011 #
11029000 000000000011101110110100010101101110**010100010111011100010100011113110000011011100000000101111011011 #
11029245 000000000011101110110100010101101110**010100010111011100010100011113110000011011100000000101111011010 #
11030003 000000000011101110110100010101101110**010100010111011100010100011113110000011011100000000101111011010 #
-----

```

246

```

11049500 00000000001101110110100000100101110**010100010111101110001010001111131100000110111000000001011111011010 #
11070000 00000000001101110110100000100101110**010100010101101110001010001111131100000110111000000001011111011010 #
11070265 00000000001101110110100000100101110**010100010101101110001010001111131100000110111000000001011111011011 #
11070809 00000000001101110110100000100101110**01010001010110111000101000111113110000110111000000001011111011011 #
11072314 00000000001101110110100000100101110**01010001010110111000101000111113110000110111000000001011101001011 #
11073374 00000000001101110110100000100101110**01010001010110111000101000000113110000110111000000001011101001011 #
11073614 00000000001101110110100000100101110**01010001010110111000101001000113110000110111000000001011101001011 #
11111000 00000000001101110110100000100101110**01010001011110111000101001000113110000110111000000001011101001011 #
11111245 00000000001101110110100000100101110**01010001011110111000101001000113110000110111000000001011101001010 #
11112003 00000000001101110110100000100101110**01010001011110111000101001000113110000110111000000001011101001010 #
11131500 0000000000110111011010000010001110**01010001011110111000101001000113110000110111000000001011101001010 #
11152000 00000000001101110110100000101001110**01010001010110111000101001000113110000110111000000001011101001010 #
11152265 00000000001101110110100000101001110**01010001010110111000101001000113110000110111000000001011101001011 #
11152809 00000000001101110110100000101001110**01010001010110111000101001000113110000110111000000001011101001011 #
11154314 00000000001101110110100000101001110**01010001010110111000101001000113110000110111000000001011100001011 #
11154430 00000000001101110110100000101001110**01010001010110111000101001000113110000110111000000001011100011011 #
11155614 00000000001101110110100000101001110**01010001010110111000101001000113110000110111000000001011100011011 #
11193000 00000000001101110110100000101001110**01010001011110111000101001000113110000110111000000001011100011011 #
11193245 00000000001101110110100000101001110**01010001011110111000101001000113110000110111000000001011100011010 #
11194003 00000000001101110110100000101001110**01010001011110111000101001000113110000110111000000001011100011010 #
11213500 0000000000110111011010001010101110**01010001011110111000101001000113110000110111000000001011100011010 #
11234000 0000000000110111011010001010101110**01010001010110111000101001000113110000110111000000001011100011010 #
11234265 00000000001101110110100010101101110**01010001010110111000101001000113110000110111000000001011100011011 #
11234809 00000000001101110110100010101101110**01010001010110111000101001000113110000110111000000001011100011011 #
11236430 00000000001101110110100010101101110**01010001010110111000101001000113110000110111000000001011111011011 #

```

```

T BBBBBBBBBBSSSSCCCCI SEIHYATWIRSSSZPCDDDDDDDDDDDDCAAAAAAAAAA0000000000 I I I I I I TCAAAAAAAAAAHHTRRRRISSRRASSRWIRC *
I AAAAAAAAAAAEEEEEMMMRDTNLBLRSRODMMIEAYAADDDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNOEEL10DROEL #
M MMMMMMMMMMQQQQMMM ITDMMEMM M10GRR AA9876543210 DDDDDDDDDMMMMMMMMMMMMBBBBBBBBB K76543210LDATTTTDDSSE _AK C
E 9876543210MMMM3210EMMAA10M M NOI LH 76543210987654321076543210 DAP RA EE MD H
MMM NA MM M O D 765 TT YO K
3210 MS A U
K D 555 O T
M U
T

```

```

11237374 00000000001101110110100010101101110**01010001010110111000101001000113110000110111000000001011111011011 #
11237614 00000000001101110110100010101101110**01010001010110111000101001010113110000110111000000001011111011011 #
11275000 00000000001101110110100010101101110**0101000101111011100010100101011311000011011100000000101111011011 #
11275245 00000000001101110110100010101101110**01010001011110111000101001010113110000110111000000001011111011010 #
11276003 00000000001101110110100010101101110**01010001011110111000101001010113110000110111000000001011111011010 #
11295500 00000000001101110110100000100101110**01010001011110111000101001010113110000110111000000001011111011010 #
11316000 00000000001101110110100000100101110**01010001010110111000101001010113110000110111000000001011111011010 #

```

11316265 000000000011101110110100000100101110*#01010001010110111000101001010113110000011011100000000101111011011 #

11316809 000000000011101110110100000100101110**01010001010110111000101001010113110000111011100000000101111011011 #

11318314 000000000011101110110100000100101110**010100010101101110001010010101131100001110111000000001011101001011 #

11319614 000000000011101110110100000100101110*#010100010101101110001010010111131100001110111000000001011101001011 #

11357000 000000000011101110110100000100101110*#01010001011101110001010010111131100001110111000000001011101001011 #

11357245 000000000011101110110100000100101110**01010001011101110001010010111131100001110111000000001011101001010 #

11358003 000000000011101110110100000100101110**01010001011101110001010010111131100000110111000000001011101001010 #

11377500 000000000011101110110100000101001110**01010001011101110001010010111131100000110111000000001011101001010 #

11398000 000000000011101110110100000101001110**01010001011101110001010010111131100000110111000000001011101001010 #

11398265 000000000011101110110100000101001110*#010100010101101110001010010111131100000110111000000001011101001011 #

11398809 000000000011101110110100000101001110**010100010101101110001010010111131100001110111000000001011101001011 #

11400314 000000000011101110110100000101001110**01010001010110111000101001011113110000111011100000000101110001011 #

11400430 000000000011101110110100000101001110**010100010101101110001010010111131100001110111000000001011100011011 #

11401374 000000000011101110110100000101001110*#010100010101101110001010010001131100001110111000000001011100011011 #

11401614 000000000011101110110100000101001110**010100010101101110001010011001131100001110111000000001011100011011 #

11439000 000000000011101110110100000101001110**01010001011101110001010011001131100001110111000000001011100011011 #

11439245 000000000011101110110100000101001110*#01010001011101110001010011001131100001110111000000001011100011010 #

11440003 000000000011101110110100000101001110**01010001011101110001010011001131100000110111000000001011100011010 #

11459500 000000011100111111110100010101111110**010100010111011100010100110011311000001111100100001001011100011010 #

11480000 000000011100111111110100010101111110**0101000101011011100010100110011311000001111100100001001011100011010 #

11480265 000000011100111111110100010101111110**010100010101101110001010011001131100000111100100001001011100011011 #

11480809 000000011100111111110100010101111110**010100010101101110001010011001131100001111100100001001011100011011 #

11482430 000000011100111111110100010101111110**010100010101101110001010011001131100001111110010000100101111111011 #

11483614 000000011100111111110100010101111110*#010100010101101110001010011011131100001111110010000100101111111011 #

11485570 000000011100111111110100010101111110*#01010001010110111000000001011131100001111110010000100101111111011 #

11486521 000000011100111111110100010101111110*#01010001010110111000000000111131100001111110010000100101111111011 #

11521000 000000011100111111110100010101111110*#01010001011101110000000001111131100001111110010000100101111111011 #

11521245 000000011100111111110100010101111110*#01010001011101110000000001111131100001111110010000100101111111010 #

11522003 000000011100111111110100010101111110*#01010001011101110000000001111131100000111110010000100101111111010 #

FET_2

11541500 00000000001101100010100000100111110**01010001011101110000000001111131100000111110010000100101111111010 #

11562000 000000000001101100010100000100111110**01010001010110111000000000111131100000111110010000100101111111010 #

11562265 000000000001101100010100000100111110**01010001010110111000000000111131100000111110010000100101111111011 #

11562809 000000000001101100010100000100111110**01010001010110111000000000111131100000111110010000100101111111011 #

11564314 000000000001101100010100000100111110**010100010101101110000000001111311000001111100100001001011101101011 #

11565805 000000000001101100010100000100111110**0101000101011011100000000001111311000001111100100001001011101101011 #

11567779 000000000001101100010100000100111110**01010001010110111000000000000113110000011111100100001001011101101011 #

11567802 000000000001101100010100000100111110**0101000101011011100000000100011311000001111100100001001011101101011 #

11568902 000000000001101100010100000100111110**0101000101011011100000000000011311000001111100100001001011101101011 #

11569797 000000000001101100010100000100111110**0101000101011011100100000000011311000001111100100001001011101101011 #

11569853 000000000001101100010100000100111110**01010001010110111001000000001111311000001111100100001001011101101011 #

11603000 00000000001101100010100000100111110**0101000101110111001000000011131100001111100100001001011101101010 #
11603245 00000000001101100010100000100111110**0101000101110111001000000011131100001111100100001001011101101010 #
11604003 00000000001101100010100000100111110**010100010111011100100000001113110000111100100001001011101101010 #

RST_6.5

11623500 000000000011101110110100000101001110**010100010111011100100000001113110000111100100001001011101101010 #

T BBBBBBBBBBSSSSCCCCISEIHYATWIRSSSZPCDDDDDDDDDDDCAAAAAAAAA0000000000IIIIIIITCAAAAAAAHHTRRRRISSRRASSRWIRC *
I AAAAAAAAAAEEEEEMMMRTDNLBLSRODMMIEAYAADDDDDDDDDKDDDDDDDDSSSSSSSSSSDDDDDDDDSLDDDDDDDDDLRSSSNNOEEL1ODROEL #
M MMMMMMMMMMQQQQMMM_ITDMMEMM_M1OGRR AA9876543210 DDDDDDDMMMMMMMMMMBBBBBBBBB K7654321OLDATTTTTTDDSSE _AK C
E 987654321OMMMM321OENMAA1OM M NOI LH 76543210987654321076543210 DAP__RA EE MD_H
MMM NA MM M O D 765 TT YO K
3210 MS A U
K D 555 O T
M U
T

11644000 000000000011101110110100000101001110**01010001010110111001000000011131100001111100100001001011101101010 #
11644265 000000000011101110110100000101001110**01010001010110111001000000011131100001111100100001001011101101010 #
11644809 000000000011101110110100000101001110**01010001010110111001000000011131100001111100100001001011101101010 #
11646314 000000000011101110110100000101001110**01010001010110111001000000011131100001111100100001001011100001010 #
11646362 000000000011101110110100000101001110**01010001010110110001000000011131100001111100100001001011100001010 #
11646430 000000000011101110110100000101001110**01010001010110110001000000011131100001111100100001001011100011010 #
11646514 000000000011101110110100000101001110**01010001010111110011000000011131100001111100100001001011100011010 #
11649243 000000000011101110110100000101001110**01010001010111110011000000001131100001111100100001001011100011010 #
11649266 000000000011101110110100000101001110**010100010101111100110000001001131100001111100100001001011100011010 #
11685000 000000000011101110110100000101001110**010100010111111100110000001001131100001111100100001001011100011010 #
11685245 000000000011101110110100000101001110**010100010111111100110000001001131100001111100100001001011100011010 #
11686003 000000000011101110110100000101001110**010100010111111100110000001001131100001111100100001001011100011010 #
11705500 000011010011101110110101100101001110**010100010111111100110000001001131100001111100100001001011100011010 #
11726000 000011010011101110110101100101001110**010100010101111100110000001001131100001111100100001001011100011010 #
11726265 000011010011101110110101100101001110**010100010101111100110000001001131100001111100100001001011100011010 #
11726809 000011010011101110110101100101001110**010100010101111100110000001001131100001111100100001001011100011010 #
11729485 000011010011101110110101100101001110**01010001010111110011000000100##31#00001111100100001001011100011010 #
11729530 000011010011101110110101100101001110**01010001010111110011000000100##11#00001111100100001001011100011010 #
11729614 000011010011101110110101100101001110**01010001010111110011000000101##11#00001111100100001001011100011010 #
11767000 000011010011101110110101100101001110**01010001011111110011000000101##11#00001111100100001001011100011010 #
11767245 000011010011101110110101100101001110**01010001011111110011000000101##11#00001111100100001001011100011010 #
11768003 000011010011101110110101100101001110**01010001011111110011000000101##11#00001111100100001001011100011010 #
11787500 000000000011101110110101100101001110**01010001011111110011000000101##11#00001111100100001001011100011010 #
11808000 000000000011101110110101100101001110**01010001010111110011000000101##11#00001111100100001001011100011010 #
11808265 000000000011101110110101100101001110**01010001010111110011000000101##11#00001111100100001001011100011010 #

249

11808809 000000000011101110110101100101001110**01010001010111110011000000101##11#0001111100100001001011100011011 #
11810699 000000000011101110110101100101001110**01010001010111110011000000101##0##00001111100100001001011100011011 #
11811374 000000000011101110110101100101001110**01010001010111110011000000100##0##00001111100100001001011100011011 #
11811614 000000000011101110110101100101001110**01010001010111110011000000110##0##00001111100100001001011100011011 #
11849000 000000000011101110110101100101001110**0101000101111110011000000110##0##00001111100100001001011100011011 #
11849245 000000000011101110110101100101001110**0101000101111110011000000110##0##00001111100100001001011100011010 #
11850003 000000000011101110110101100101001110**0101000101111110011000000110##0##000001111100100001001011100011010 #
11869500 01110110100011111110100000101001110**0101000101111110011000000110##0##00000111100100001001011100011010 #
11890000 01110110100011111110100000101001110**0101000101011110011000000110##0##00001111100100001001011100011010 #
11890265 01110110100011111110100000101001110**0101000101011110011000000110##0##00000111100100001001011100011011 #
11890809 01110110100011111110100000101001110**0101000101011110011000000110##0##00001111100100001001011100011011 #
11892897 01110110100011111110100000101001110**0101000101011110011000000110110110#001111100100001001011100011011 #
11893173 01110110100011111110100000101001110**01010001010111100110000001101131100001111100100001001011100011011 #
11893614 01110110100011111110100000101001110**0101000101011110011000000111131100001111100100001001011100011011 #
11895524 01110110100011111110100000101001110**0101000101011110010000000111131100001111100100001001011100011011 #
11895570 01110110100011111110100000101001110**0101000101011110010000000110131100001111100100001001011100011011 #
11896521 01110110100011111110100000101001110**01010001010111100101110110101131100001111100100001001011100011011 #
11931000 01110110100011111110100000101001110**01010001011111100101110110101131100001111100100001001011100011011 #
11931245 01110110100011111110100000101001110**01010001011111100101110110101131100001111100100001001011100011010 #
11932003 01110110100011111110100000101001110**010100010111111001011101101011311000001111100100001001011100011010 #

A continuacion se ejecuta prox

simulada anteriormente

Simulation terminated at timeslot 11951500

250

1

CAPITULO VIII

8 ESPECIFICACIONES DE FABRICA

En este capítulo, se proporcionará toda la información técnica requerida, para que el fabricante pueda conocer con exactitud todos los requisitos técnicos del circuito necesarios en el proceso de fabricación.

FACTORY:

Salesman: PEDRO MARTINEZ MENEAU

Address: COMPANIA DE PRODUCTOS ELECTRONICOS COPRESA S.A.

BAIMES 22 8007 BARCELONA

Telephone: _____ Telex: _____

TSC ENGINEER: (To be filled in by the factory)

Name: _____ Telephone: _____

TEST/PRODUCT ENGINEER: (To be filled in by the factory)

Name: _____ Telephone: _____

DESIGN DATA BASE INFORMATION

SYSTEMCELL Library Version/date: REV. 1.1 / January 1989

Type of Engineering Workstation (EWS): PC-AT

EWS Software Release Version/date: PPDS LESIM 2 / April 1988

IF FACTORY EWS, then

USERID/PASSWORD: _____

IF ON_SITE EWS, then

Data base on tape

LABEL/QUANTITY: C.B.M.2 / 1

HARDCOPY ENCLOSURES:

- COMPLETE DESIGN SCHEMATICS
- CRITICAL PATHS SPECIFICATIONS & SCHEMATICS
- PIN FILES
- NETLIST FILES
- STIMULE FILES
- BINARY FILES
- RESULT FILES

ENGINEERING WORKSTATION PARTICULARS

Please include the Design Tree Pathname.

Note: The DESIGN TREE must include all the circuit modules and files.

DESIGN TREE PATHNAME: PROYECTO 1 Y 2 (See DESCRIP.SCL file)

PACKAGE REQUIREMENTS

Total number of pins: 120

Package Type (DIP, PLCC, etc.): QFP

Package Material (Plastic, Ceramic, etc.) PLASTIC

Commercial Temperature (0oC to 70oC)

Industrial Temperature (-40oC to +85oC)

Military Temperature (-55oC to +125oC)

MARKING

In addition to standard marking identify customer part number

C.B.M.2
(10 digits maximum)

I/O COMPATIBILITY

TTL

CMOS

MIXED (TTL/CMOS)

I/O COUNT----- 110

NUMBER OF PWR PINS----- 3

NUMBER OF GRND PINS----- 2

REQUIRED MAX OPERATING FREQUENCY----- 1.2 MHZ

BLOCK DIAGRAM: Use this form and copies of it, or add your forms with appropriate drawing reference.

Include a written description of the System Operation.

(Refer to section 6.1)

PINNING ASSIGNMENT AND PLACEMENT DIAGRAM

Give only the important requirements. The less you specify the easier the automatic routing and the smaller the die size.

In case of peculiar requirements (proximity relationship of signal pins, rank of signal pins on the package, alignment of signal pins), please list them in decreasing order of priority. Detail the type of requirement and indicate which signals are concerned, in the comments. Please designate bussed signal groups.

The final proposal for pinning and placement will be returned to the customer after routing, for approval.

Define Comments:

1. Outputs or transceivers should specify #pF load. (Minimum 30 pF.).
2. Transceivers should specify controlling net signal name.
3. Inputs should clarify the use of pullup voltages.
4. Additional comments should be made appropriately.

PIN #	INPUT (I) OUTPUT (O) BIDIRECT (B) POWER (P) GROUND (G)	TTL or CMOS	SIMULATION SIGNAL NAME	COMMENTS
(Refer to section 6.5)	I(s)	CMOS	DMI(0..61) (Refer to sheet 2)	no pull up
	I	CMOS	SID	no pull up
	I	CMOS	TRAP	no pull up
	I	CMOS	RST_7.5	no pull up
	I	CMOS	RST_6.5	no pull up
	I	CMOS	RST_5.5	no pull up
	I	CMOS	INTR	no pull up
	I	CMOS	READY	no pull up
	I	CMOS	RESET IN	no pull up
	I	CMOS	HOLD	no pull up
	O(s)	CMOS	OSM(0..9) (Refer to sheets 2, 3, 4)	push-pull outputs
O	CMOS	ALE	push-pull output	
O	CMOS	RESET OUT	push-pull output	

PIN #	INPUT (I) OUTPUT (O) BIDIRECT (B) POWER (P) GROUND (G)	TTL or CMOS	SIMULATION SIGNAL NAME	COMMENTS
(Refer to section 6.5)	O	CMOS	SOD	push-pull output
	O	CMOS	INTA	push-pull output
	O(s)	CMOS	S(O..1)	push-pull outputs
	O	CMOS	HLDA	push-pull output
	O	CMOS	CLK_OUT	push-pull output
	O	CMOS	RD	tristate, control signal: TS
	O	CMOS	WR	tristate, control signal: TS
	O	CMOS	IO_M	tristate, control signal: TS
	P			Vcc: 3 pins
	G			GND: 2 pins
X1	I		(Refer to	Oscillator (OSX01)
X2	O		sheets 2, 3, 4)	

PRIORITY ROUTES FOR AUTOMATIC LAYOUT (See project 1)
 (Use additional pages if necessary)

PRIORITY	ORIGIN* Pin/Sig. Name	DESTINATION* Pin/ Sig. Name	SIGNAL	MAX LOAD (WIRE ONLY) ns
<u>STANDARD CRITICAL PATHS</u>				

<u>OTHER CONCERNS (See project 1)</u>				

* Specify if input/output pad.

*Note: For specifications of more than 2 critical paths, please consult your Marketing or Sales Representative.

PROPAGATION DELAY OF CRITICAL PATH (for prototypes only)

Path Number-----

Input signal-----

(See project 1)

Rising

Falling

Time of transition of input pin (with respect to t = 0)_____

Output signal-----

Rising

Falling

Time of transition of output pin (with respect to t = 0)_____

tpd value: typical-----

(See project 1)

worst case-----

RESERVA DE ESTO

PRESUPUESTO

PRESUPUESTO

Existen tres tipos de presupuestos:

- Presupuesto de desarrollo.
- Presupuesto de prototipado.
- Presupuesto de producción.

- Presupuesto de desarrollo

En este se incluye tanto las horas de trabajo llevadas a cabo por el ingeniero de diseño, como los gastos de material.

El presupuesto de desarrollo para la unidad de control asciende a dos millones novecientas sesenta y una mil pesetas (2961000 pesetas), correspondiendo:

- Dos millones ochocientas mil pesetas (2800000 pesetas) a mil seiscientas ochenta horas normales de trabajo y trescientas noventa y dos horas extraordinarias.

- Ciento sesenta y una mil pesetas (161000 pesetas) a gasto de material.

El presupuesto para la unidad de ejecución ascendió a dos millones ochocientas cincuenta y una mil doscientas pesetas (2851200 pesetas).

Esto supone que el presupuesto total de desarrollo de todo el chip asciende a cinco millones ochocientas doce mil doscientas pesetas (5812200 pesetas).

- *Presupuesto de prototipado*

Este presupuesto incluye el juego de máscaras y los veinte primeros circuitos de muestra, ascendiendo a un total de cuatro millones quinientas mil pesetas (4500000 pesetas).

- *Presupuesto de producción*

Para un volumen superior a diez mil unidades, el costo por unidad ascendería a mil pesetas (1000 pesetas).

Las Palmas de G.C., a 5 de Noviembre de 1989

Fdo-. Carlos Betancor Martín

APENDICE A

ESPECIFICACIONES DE LAS CELULAS

Family Specification



GENERAL DESCRIPTION

This high-speed, standard cell family offers the circuit designer the facility to create an ASIC circuit in a double metal CMOS process. To do so, he has at his disposal a unique set of CAD tools.

Circuits are of the 'standard temperature range' type (-40 to +85 degrees C).

The basis for the design procedure is formed by a logic network description which outlines the required logic in terms of basic functions. A simulation control language is used to check this logic, simulate it with actual propagation delay times and generate test patterns.

The network and cell placement procedure is input for the automatic placement and router program, AUTOCELL. This program interconnects cells and blocks and then connects the peripheral cells and bonding pads. AUTOCELL also directly generates the mask pattern tape.

This extensive and comprehensive CAD procedure gives designers very fast turn around times for LSI prototypes.

FEATURES

- Fast development time
- CAD tools enable customers to make their own designs from logic to mask pattern tape.
- Network descriptions are made using a comprehensive library of fully defined cell functions.
- Designing is as easy as with standard SSI or MSI.
- Design changes can be easily incorporated.
- Low-power CMOS technology with wide supply voltage range, high noise immunity and high speed operation.
- Supply voltage range 3.0 V to 5.5 V.
- Compatible with most other logic families
- Post processors for test vector generation and test coverage.

FAMILY CHARACTERISTICS

For the logic part of the circuit a comprehensive cell library includes:

- inverters, buffers
- (n)ands, (n)ors, ex(n)ors
- multiplexers, decoders
- boolean functions
- 4 bit shift registers, 4 bit D flip flops
- 4 bit binary ripple counter
- master-, slave-, D type and toggle flip flops, with or without set and/or reset
- latches, J-KN- and scan test flip flops

Peripheral cells available:

Inputs

- buffer inputs
 - Schmitt trigger inputs
- All inputs with CMOS or TTL levels, and non-inverting

Peripheral cells available cont.:

Outputs

- push-pull outputs
 - open drain-N outputs
 - tri-state outputs
- All outputs are of the types 4mA, 8mA, 12mA, 16mA

I/O cells

- buffer or Schmitt trigger inputs
 - tri-state outputs
- All I/O cells with non-inverting CMOS or TTL levels and outputs are of the types 4mA, 8mA, 12mA, 16mA

Other functions

- extra VDD and VSS
- optional pull-up, pull-down
- 4mA output buffer can be used as an array cell, eg. clock drive.
- RC and crystal oscillators

FAMILY CHARACTERISTICS cont.

Libraries:
 STCM 20 (macros, derating factors)
 STCS 20 (Dimension statements AUTOCELL,
 topology description of peripheral cells)

PACKAGE OUTLINES

Package Type		Number of pins																
		14	16	16L	18	20	24	28	40	44	64	68	80	84	100	120	144	160
DIL	Plastic	x	x		x	x	x	x	x									
SO	Plastic	x	x	x		x	x	x										
PLCC	Plastic									x		x		x				
QFP	Plastic										x		x		x	x		x
PGA	Ceramic											x		x		x	x	

FAMILY SPECIFICATION

These specifications cover the common electrical characteristics of the SystemCell II family, unless otherwise specified in the individual device data sheet.

SystemCell II devices will operate over a VDD power supply range of 3.0 to 5.5 V, as reference to GND (=VSS). Parametric limits are guaranteed for VDD of 3.0 V, 4.5 V and 5.5 V.

Because of the wide operating voltage range, power supply regulation is less critical than with other types of logic.

Devices in which TTL-inputs are used will operate over a VDD power supply range of 4.5 to 5.5 V, as reference to GND.

Inputs, outputs and I/O cells are protected against electrostatic effects in a wide variety of device handling situations. However, to be totally safe, it is desirable to take handling precautions into account.

DC CHARACTERISTICS

Voltages referenced to VSS (=0V)

VDD = 3.0 to 5.5 V unless otherwise specified.

Symb	Parameter	+ 25			- 40 to + 85		unit	condition
		min	typ	max	min	max		
VIH	High level input voltage	2.1			2.1		V	VDD = 3.0 V
	CMOS input	3.15			3.15		V	VDD = 4.5 V
	no Schmitt trigger	3.85			3.85		V	VDD = 5.5 V
VIL	Low level input voltage			0.9		0.9	V	VDD = 3.0 V
	Direct input			1.35		1.35	V	VDD = 4.5 V
	no Schmitt trigger			1.65		1.65	V	VDD = 5.5 V
VIH	High level input voltage	2.0			2.0		V	VDD = 4.5 V
	TTL input	2.0			2.0		V	VDD = 5.0 V
	no Schmitt trigger	2.0			2.0		V	VDD = 5.5 V
VIL	Low level input voltage			0.8		0.8	V	VDD = 4.5 V
	TTL input			0.8		0.8	V	VDD = 5.0 V
	no Schmitt trigger			0.8		0.8	V	VDD = 5.5 V
Vth	Positive-going threshold CMOS input			2.4		2.4	V	VDD = 3.0 V
	with Schmitt trigger			3.6		3.6	V	VDD = 4.5 V
				4.4		4.4	V	VDD = 5.5 V
Vthl	Negative-going threshold CMOS input	0.6			0.6		V	VDD = 3.0 V
	with Schmitt trigger	0.9			0.9		V	VDD = 4.5 V
		1.1			1.1		V	VDD = 5.5 V
Vhys	Hysteresis voltage		1.0				V	VDD = 3.0 V
	Direct input		1.5				V	VDD = 4.5 V
	with Schmitt trigger		1.9				V	VDD = 5.5 V
Vth	Positive-going threshold TTL input			2.4		2.4	V	VDD = 4.5 V
	with Schmitt trigger			2.4		2.4	V	VDD = 5.0 V
				2.4		2.4	V	VDD = 5.5 V
Vthl	Negative-going threshold TTL input	0.6			0.6		V	VDD = 4.5 V
	with Schmitt trigger	0.6			0.6		V	VDD = 5.0 V
		0.6			0.6		V	VDD = 5.5 V
Vhys	Hysteresis voltage		0.6				V	VDD = 4.5 V
	TTL-Input		0.8				V	VDD = 5.0 V
	with Schmitt trigger		0.8				V	VDD = 5.5 V

DC CHARACTERISTICS (cont.)

Voltages referenced to VSS (= 0 V)

VDD = 3.0 to 5.5 V unless otherwise specified

Symb	Parameter	+25		-40 to +85		unit	Condition		
		min	max	min	max		VDD	VI	Other
VOH	High level output voltage (note 3) all outputs	2.9		2.9		V	3.0V	VIH	-Io = 20 uA
		4.4		4.4		V	4.5V	or	-Io = 20 uA
		5.4		5.4		V	5.5V	VIL	-Io = 20 uA
VOH	High level output voltage (note 1) output xxF4x	2.6		2.5		V	3.0V	VIH	-Io = 2.7 mA
		4.1		4.0		V	4.5V	or	-Io = 3.5 mA
		5.1		5.0		V	5.5V	VIL	-Io = 4.0 mA
VOL	Low level output voltage (note 3) all outputs		0.1		0.1	V	3.0V	VIH	-Io = 20 uA
			0.1		0.1	V	4.5V	or	-Io = 20 uA
			0.1		0.1	V	5.5V	VIL	-Io = 20 uA
VOL	Low level output voltage (note 1) output xxF4x		0.4		0.5	V	3.0V	VIH	-Io = 2.0 mA
			0.4		0.5	V	4.5V	or	-Io = 3.5 mA
			0.4		0.5	V	5.5V	VIL	-Io = 4.0 mA
+ / - IoZ	3-state output OFF state (note 3)		0.5		5.0	uA	5.5V	VIH or VIL	Vo = VDD or VSS
+ / - Ii	Input leakage current		0.1		1.0	uA	5.5V	VDD or VSS	
IDD	Quiescent supply current (note 4)		0.1		1.0	mA	5.5V	VDD or VSS	Io = 0 uA
Rpull	Pull-up or pull-down resistor (note 2)	65 35 30	210 100 70	45 25 20	315 160 125	kOHM kOHM kOHM	3.0V 4.5V 5.5V		

Note 1: Output stage xxF8x : 2 * Io of xxF4x
Output stage xxF7x : 3 * Io of xxF4x
Output stage xxFAx : 4 * Io of xxF4x

Note 2: Pull-up and pull-down resistances are active transistors.
Resistor figures are given for pull-up : input at VSS voltage
and for pull-down : input at VDD voltage

Note 3: Not valid if a pull-up/pull-down resistor is used

Note 4: Not valid if a combination of pull-up and pull-down resistors is used

MAXIMUM RATINGS

Functional operation under these conditions is not implied.
Limiting values in accordance with the Absolute Maximum System (IEC134).
Beyond these values, damage to the device may occur.

Symbol	Parameter	Min	Max	Unit	Condition
VDD	DC supply voltage	-0.5	+6.5	V	
+/- I _{ik}	DC input clamp diode current		10	mA	for V _i < -0.5V or V _i > VDD + 0.5V
+/- I _{ok}	DC output clamp diode current output type 4mA/8mA/12mA/16mA		20/40 60/80	mA	for V _o < -0.5V or V _o > VDD + 0.5V
+/- I _o	DC output source or sink current output type 4mA/8mA/12mA/16mA		20/40 60/80	mA	-0.5 < V _o < VDD + 0.5V
+/- I _{DD} +/- I _{SS}	DC VDD or VSS current per supply pin		50	mA	
T _{stg}	Storage temperature range	-65	+150	deg. C.	
P	Power dissipation per output type 4mA/8mA/12mA/16mA		50/100 200/400	mW	
P _{tot}	Power dissipation per package plastic DIL		750	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 12.5 mW/K
P _{tot}	Power dissipation per package plastic minipack (SO)		400	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 6 mW/K
P _{tot}	Power dissipation per package ceramic (Cerdip) DIL		500	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 8 mW/K
P _{tot}	Power dissipation per package PLCC		750	mW	Temperature range -40 to +85 deg C above 70 deg C derate linearly with 12.5 mW/K

RECOMMENDED OPERATING CONDITIONS

Voltages are referenced to VSS (=0V)

Symbol	Parameter	min	typ	max	unit	Condition
VDD	DC supply voltage	3.0	5.0	5.5	V	Only CMOS inputs and CMOS I/Os are used
VDD	DC supply voltage	4.5	5.0	5.5	V	One or more TTL inputs and/or TTL I/Os are used
V_i	DC input voltage range	0		VDD	V	
V_o	DC output voltage range	0		VDD	V	
T_{amb}	Operating ambient temperature range	-40		+85	deg C	
t_r, t_f	Input rise and fall times; except for Schmitt-trigger inputs		6	500 250 200	ns ns ns	VDD= 3.0 V VDD= 4.5 V VDD= 5.5 V

AC CHARACTERISTICS

Output transition times

VSS = 0 V. Inputs: tr = tf = 6 ns. Outputs: CI = 50 pF

Output Type	Symbol	25 deg. C			-40 to +85		unit	VDD (V)	Typical extrapolation formula at 25 deg. C.	
		min	typ	max	min	max				
4 mA	t _{THL}		13	41		52	ns	3.0	6.3 ns + (0.13 ns/pF)CI	@
	t _{THL}		3.5	10		13	ns	4.5	1.6 ns + (0.031 ns/pF)CI	@
	t _{THL}		2.5	7		9	ns	5.5	1.1 ns + (0.021 ns/pF)CI	@
	t _{TLH}		13	43		55	ns	3.0	6.5 ns + (1.32 ns/pF)CI	@
	t _{TLH}		3.5	11		14	ns	4.5	1.7 ns + (0.033 ns/pF)CI	@
	t _{TLH}		2.5	7		9	ns	5.5	1.1 ns + (0.023 ns/pF)CI	@
8 mA	t _{THL}		10	31		39	ns	3.0	6.2 ns + (0.062 ns/pF)CI	@
	t _{THL}		2.5	8		10	ns	4.5	1.6 ns + (0.016 ns/pF)CI	@
	t _{THL}		2.0	5		7	ns	5.5	1.1 ns + (0.011 ns/pF)CI	@
	t _{TLH}		10	31		39	ns	3.0	6.6 ns + (0.056 ns/pF)CI	@
	t _{TLH}		2.5	8		10	ns	4.5	1.7 ns + (0.014 ns/pF)CI	@
	t _{TLH}		2.0	5		7	ns	5.5	1.2 ns + (0.010 ns/pF)CI	@
12 mA	t _{THL}		10	31		39	ns	3.0	6.2 ns + (0.062 ns/pF)CI	@
	t _{THL}		2.5	8		10	ns	4.5	1.6 ns + (0.016 ns/pF)CI	@
	t _{THL}		2.0	5		7	ns	5.5	1.1 ns + (0.011 ns/pF)CI	@
	t _{TLH}		10	31		39	ns	3.0	6.6 ns + (0.056 ns/pF)CI	@
	t _{TLH}		2.5	8		10	ns	4.5	1.7 ns + (0.014 ns/pF)CI	@
	t _{TLH}		2.0	5		7	ns	5.5	1.2 ns + (0.010 ns/pF)CI	@
16 mA	t _{THL}		10	31		39	ns	3.0	6.2 ns + (0.062 ns/pF)CI	@
	t _{THL}		2.5	8		10	ns	4.5	1.6 ns + (0.016 ns/pF)CI	@
	t _{THL}		2.0	5		7	ns	5.5	1.1 ns + (0.011 ns/pF)CI	@
	t _{TLH}		10	31		39	ns	3.0	6.6 ns + (0.056 ns/pF)CI	@
	t _{TLH}		2.5	8		10	ns	4.5	1.7 ns + (0.014 ns/pF)CI	@
	t _{TLH}		2.0	5		7	ns	5.5	1.2 ns + (0.010 ns/pF)CI	@

Lines ending in @ may be changed.

Dynamic Power Dissipation (Pd) and Capacitance per Package (Cpd)

Typical Cpd value range: 20 to 200 pF.
The lower value is applied when only a small part of the internal logic is being accessed during dynamic operation. This is comparable to SSI/FF complexity.

When a larger part of the internal logic is accessed, Cpd can rise to 200 pF or more. The amount of logic here would be comparable to MSI complex logic, eg. a 64 bit shift register with alternating HIGH/LOW levels at the D-input.

Cpd is used to determine the dynamic power dissipation (Pd in uW). It is the average equivalent device capacitance of all internal nodes that are being accessed during typical operation.

$$Pd = Cpd \cdot VDD \cdot VDD \cdot fi + \text{SUM} (CI \cdot VDD \cdot VDD \cdot fo)$$

Where:

fi = input frequency in MHz

fo = output frequency in MHz

SUM (CI * VDD * VDD * fo) = sum of outputs

CI = output load capacitance in pF

VDD = supply voltage in V



APENDICE B

SystemCell II cell library

ASIC's

LIBRERIA DE CELULAS, MEMORIA EPROM

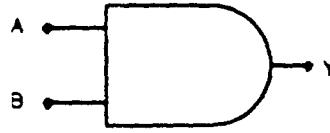
Data Sheets

RÉV: 1.0

AND GATE

AN210

$Y = A \cdot B$



CELL: AN210

Function: 2 Input AND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family



REV: 1.0 AND GATE AN210

AN210. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	Typ	MAX	UNIT
Tplh	any	Y	0.5	1.1	2.5	ns
ΔTplh	any	Y	0.7	1.5	3.7	ns/pf
Tphl	any	Y	0.2	0.7	2.4	ns
ΔTphl	any	Y	0.5	1.1	2.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	1
A	1

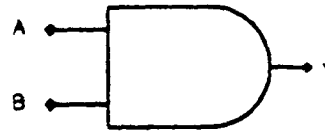
Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	10

(Equivalent Load = 0.14 pf)

REV: 1.0	AND GATE	AN240
----------	----------	-------

$Y = A \cdot B$



CELL: AN240

Function: 2 Input AND Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 AND GATE AN240

AN240. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tp1h	any	Y	0.8	1.5	3.9	ns
ΔTp1h	any	Y	0.1	0.4	1.0	ns/pf
Tp1l	any	Y	0.3	1.4	3.6	ns
ΔTp1l	any	Y	0.1	0.3	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tp1l = propagation delay time, high-to-low output ΔTp1l = load cap. delay to add to Tp1l
Tp1h = propagation delay time, low-to-high output ΔTp1h = load cap. delay to add to Tp1h
any = from any input

Input Loading

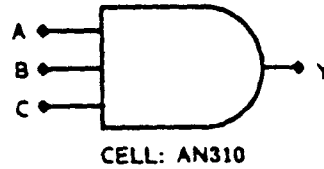
INPUT NAME	EQUIVALENT LOAD
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	40

(Equivalent Load = 0.14 pF)

REV: 1.0	AND GATE	AN310
----------	----------	-------



$$Y = A * B * C$$

Function: 3 Input AND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 AND GATE AN310

AN310, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYD	MAX	UNIT
Tplh	any	Y	0.8	1.5	3.8	ns
ΔTplh	any	Y	0.7	1.6	4.0	ns/pf
Tphl	any	Y	0.2	1.2	3.0	ns
ΔTphl	any	Y	0.6	1.2	2.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = free any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	1
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(see 1)
Y	10

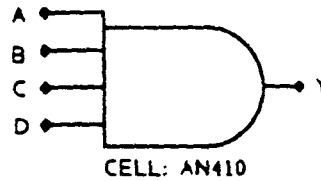
(Equivalent Load = 0.14 pF)

REV: 1.0

AND GATE

AN410

$$Y = A * B * C * D$$



Function: 4 Input AND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



REV: 1.0

AND GATE

AN410

AN410. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYF	MAX	UNIT
Tplh	any	Z	1.1	2.2	5.1	ns
ΔTplh	any	Z	0.8	1.5	4.1	ns/pf
Tphl	any	Z	1.3	1.3	3.3	ns
ΔTphl	any	Z	0.5	1.2	2.3	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
C	1
B	1
A	1

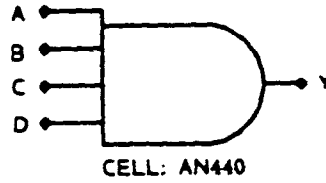
Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	10

Equivalent Load = 0.14 pF

REV: 1.0 AND GATE AN440

$Y=A*B*C*D$



Function: 4 Input AND Gate (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© De documentu, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

REV: 1.0

AND GATE

AN440

AN440. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	1.6	3.1	7.3	ns
STplh	any	Y	0.2	0.4	1.1	ns/pf
Tphl	any	Y	2.4	1.8	4.6	ns
STphl	any	Y	0.1	0.3	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output STphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output STplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
C	1
B	1
A	1

Output Drive

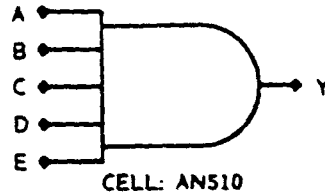
OUTPUT NAME	EQUIVALENT LOAD (max)
Y	40

(Equivalent Load = 0.14 pF)

REV: 1.0

AND GATE

AN510



$$Y = A * B * C * D * E$$

Function: 5 Input AND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
E	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

AND GATE

AN510

AN510. Propagation and Load Dependent Delay

PARAMETER	FROM Input	TO Output	MIN	TYP	MAX	UNIT
TphiH	any	H	1.6	2.0	7.1	ns
STphiH	any	H	0.8	1.7	4.2	ns/pf
TphiL	any	L	0.3	1.5	3.8	ns
STphiL	any	L	0.6	1.3	2.4	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

TphiH = propagation delay time, high-to-low output STphiH = load cap. delay to add to TphiH
TphiL = propagation delay time, low-to-high output STphiL = load cap. delay to add to TphiL
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
E	1
D	1
C	1
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	10

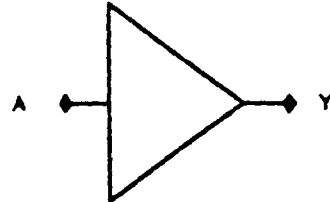
Equivalent Load = 0.14 pF

• •

REV: 1.0

BUFFER

BU120



$Y = A$

CELL: BU120

Function: Buffer (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



REV: 1.0

BUFFER

BU120

BU120, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.5	1.0	2.4	ns
Δ Tplh	A	Y	0.3	0.8	1.9	ns/pf
Tphi	A	Y	0.2	1.1	2.7	ns
Δ Tphi	A	Y	0.3	0.6	1.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output Δ Tphi = load cap. delay to add to Tphi
 Tplh = propagation delay time, low-to-high output Δ Tplh = load cap. delay to add to Tplh

Input Loading

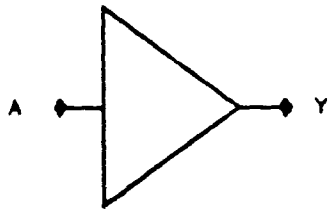
INPUT NAME	EQUIVALENT LOAD
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Y	20

(Equivalent Load = 0.16 pF)

REV: 1.0 BUFFER BU130



$Y = A$

CELL: BU130

Function: Buffer (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

es Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

REV: 1.0

BUFFER

BU130

BU130, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
T _{plh}	A	Y	0.6	1.2	2.8	ns
ΔT _{plh}	A	Y	0.2	0.5	1.3	ns/pf
T _{phl}	A	Y	0.3	1.3	3.2	ns
ΔT _{phl}	A	Y	0.2	0.4	0.8	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

T_{phl} = propagation delay time, high-to-low output ΔT_{phl} = load cap. delay to add to T_{phl}
T_{plh} = propagation delay time, low-to-high output ΔT_{plh} = load cap. delay to add to T_{plh}

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (MAX.)
Y	30

(Equivalent Load = 0.14 pF)

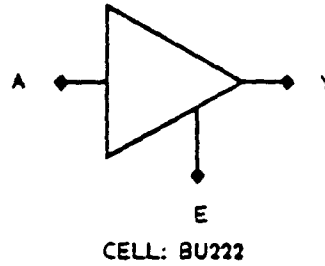
REV: 1.0	BUFFER	BU222
----------	--------	-------

FUNCTION TABLE

INPUTS		OUTPUT
A	E	Y
X	L	Z
L	H	L
H	H	H

Note:

- H = HIGH voltage level
- L = LOW voltage level
- X = don't care
- Z = high impedance OFF-state



Function: Tristate Buffer, Active High Enable (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output
E	Output Enable Input (Active High)

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

BUFFER

BU222

BU222, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.6	1.2	2.9	ns
ΔTplh	A	Y	3.7	1.5	3.7	ns/pf
Tphl	A	Y	0.2	1.1	2.9	ns
ΔTphl	A	Y	0.6	1.1	2.1	ns/pf
Tpls	E	Y	0.2	0.9	2.2	ns
Tphz	E	Y	0.2	0.9	2.2	ns
Tpsl	E	Y	0.4	0.9	2.2	ns
ΔTpsl	E	Y	0.6	1.1	2.1	ns/pf
Tpsh	E	Y	0.4	0.9	2.2	ns
ΔTpsh	E	Y	0.7	1.5	3.7	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output
Tplh = propagation delay time, low-to-high output
Tpsh = Enable time, tristate-to-high output
Tpsl = Enable time, tristate-to-low output
Tphz = Disable time, low-to-tristate output
Tphz = Disable time, high-to-tristate output

ΔTphl = load cap. delay to add to Tphl
ΔTplh = load cap. delay to add to Tplh
ΔTpsh = load cap. delay to add to Tpsh
ΔTpsl = load cap. delay to add to Tpsl

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1
E	2

Output Drive

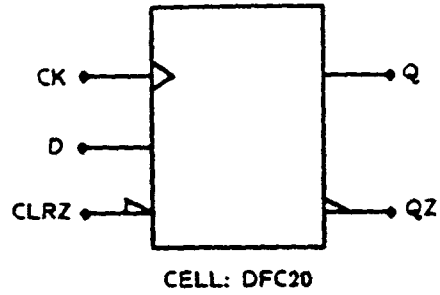
OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0 D-TYPE FLIP-FLOP DFC20

FUNCTION TABLE

INPUTS			OUTPUTS	
CLRZ	CK	D	Q	QZ
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q ₀	$\overline{Q_0}$



CELL: DFC20

Note:

- H = HIGH voltage level
- L = LOW voltage level
- ↑ = LOW to HIGH CK transition
- X = don't care
- Q₀, $\overline{Q_0}$ = previously stable condition of Q, QZ

Function: D-Type Positive Edge Triggered FF With Reset

Pin Description

Pin Name	Description
CK	Clock
D	Data Input
CLRZ	Reset Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 D-TYPE FLIP-FLOP DFC20

DFC20, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	CK	Q	2.6	4.9	11.4	ns
ΔTph	any	Q	0.4	0.8	2.1	ns/pf
Tphl	CK	Q	1.7	3.2	7.5	ns
Tphl	CLRZ	Q	0.3	1.5	3.0	ns
ΔTphl	any	Q	0.3	0.6	1.2	ns/pf
Tplh	CK	QZ	2.3	4.3	10.1	ns
Tplh	CLRZ	QZ	0.9	2.6	6.4	ns
ΔTph	any	QZ	0.3	0.8	2.0	ns/pf
Tphl	CK	QZ	1.7	3.3	7.8	ns
ΔTphl	any	QZ	0.3	0.6	1.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTph = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
CLRZ	3
CK	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Q	20
QZ	20

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
TSU D to CK	6.0			ns
TH D to CK	1.2			ns
Tw CLRZ,CK high	8.4			ns
Tw CLRZ,CK low	8.4			ns

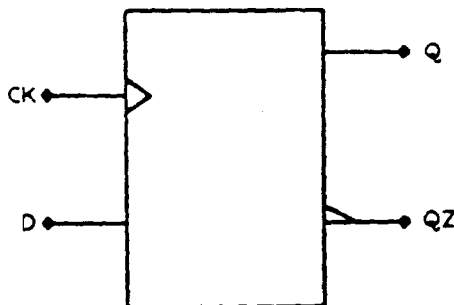
Note:

Tau = set-up time
Th = hold time
Tw = pulse width

REV: 1.0 D-TYPE FLIP-FLOP DFN20

FUNCTION TABLE

INPUTS		OUTPUTS	
CK	D	Q	QZ
↑	H	H	L
↑	L	L	H
L	X	Q ₀	Q ₀



CELL: DFN20

Note:

- H = HIGH voltage level
- L = LOW voltage level
- ↑ = LOW to HIGH CK transition
- X = don't care
- Q₀, Q₀ = previously stable condition of Q, QZ

Function: D-Type Positive Edge Triggered FF

Pin Description

Pin Name	Description
CK	Clock
D	Data Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 D-TYPE FLIP-FLOP DFN20

DFN20, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	CK	Q	1.9	3.6	8.4	ns
ΔTplh	any	Q	0.3	0.8	2.0	ns/pf
Tphi	CK	Q	1.4	3.0	7.2	ns
ΔTphi	any	Q	0.3	0.6	1.1	ns/pf
Tplb	CK	Q2	2.2	4.1	9.6	ns
ΔTplb	any	Q2	0.3	0.8	2.0	ns/pf
Tphi	CK	Q2	1.3	2.9	6.0	ns
ΔTphi	any	Q2	0.3	0.6	1.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
CK	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Q	20
Q2	20

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu D to CK	6.0			ns
Th D to CK	2.4			ns
Tv CK high	8.4			ns
Tv CK low	8.4			ns

Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

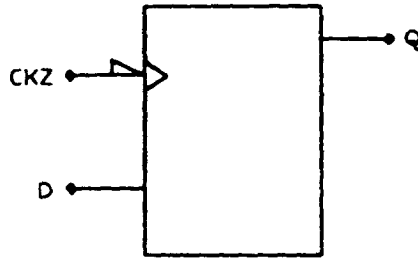
REV: 1.0 D-TYPE FLIP-FLOP DTN11

FUNCTION TABLE

INPUTS		OUTPUT
CKZ	D	Q
↓	L	L
↓	H	H
H	X	Q _o

Note:

H = HIGH voltage level
 L = LOW voltage level
 ↓ = HIGH to LOW CKZ transition
 X = don't care
 Q_o = previously stable condition of Q



CELL: DTN11

Function: D-Type Negative Edge Triggered TG-FF

Pin Description

Pin Name	Description
CKZ	Clock
D	Data Input
Q	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 D-TYPE FLIP-FLOP DTN11

DTN11. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	CKZ	Q	0.5	2.2	3.3	ns
ΔTplh	any	Q	0.7	1.4	3.6	ns/pf
Tphl	CKZ	Q	0.5	2.0	3.2	ns
ΔTphl	any	Q	0.5	1.0	1.9	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
D	1
CKZ	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Q	10

(Equivalent Load = 0.14 pF)

A.C. Characteristics

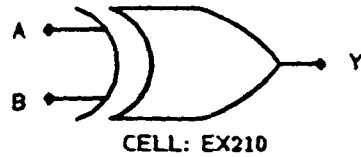
PARAMETER	MIN	TYP	MAX	UNIT
Tsu D to CKZ	4.8			ns
Th D to CKZ	3.6			ns
Tv CKZ high	8.4			ns
Tv CKZ low	8.4			ns

Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

REV: 1.0 EXCLUSIVE OR GATE EX210

$$Y = A \cdot \bar{B} + \bar{A} \cdot B$$



Function: Exclusive OR Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 EXCLUSIVE OR GATE EX210

EX210, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.6	1.2	2.8	ns
ΔTplh	any	Y	1.4	2.9	7.3	ns/pf
Tpll	any	Y	0.3	1.5	3.7	ns
ΔTpll	any	Y	1.2	2.2	4.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tplh = propagation delay time, high-to-low output ΔTplh = load cap. delay to add to Tplh
Tpll = propagation delay time, low-to-high output ΔTpll = load cap. delay to add to Tpll
any = From any input

Input Loading

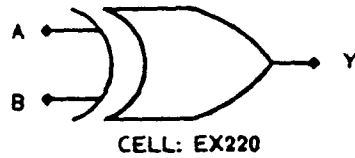
INPUT NAME	EQUIVALENT LOAD
A	2
B	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	5

(Equivalent Load = 0.14 pF)

REV: 1.0 EXCLUSIVE OR GATE EX220



$$Y = A \cdot \bar{B} + \bar{A} \cdot B$$

Function: Exclusive OR Gate (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 EXCLUSIVE OR GATE EX220

EX220, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.5	1.1	2.6	ns
ΔTplh	any	Y	0.7	1.4	3.7	ns/pf
Tphl	any	Y	0.3	1.3	3.2	ns
ΔTphl	any	Y	0.5	1.1	2.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

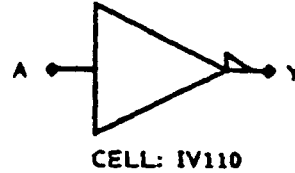
INPUT NAME	EQUIVALENT LOAD
A	4
B	4

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0	INVERTER	IV110
----------	----------	-------



$$Y = \bar{A}$$

Function: Inverter (1 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

INVERTER

IV110

IV110, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
T _{plh}	A	Y	0.2	0.5	1.2	ns
ΔT _{plh}	A	Y	0.7	1.5	3.7	ns/pf
T _{phl}	A	Y	0.1	0.7	1.7	ns
ΔT _{phl}	A	Y	0.5	1.1	2.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

T_{phl} = propagation delay time, high-to-low output ΔT_{phl} = load cap. delay to add to T_{phl}
T_{plh} = propagation delay time, low-to-high output ΔT_{plh} = load cap. delay to add to T_{plh}

Input Loading

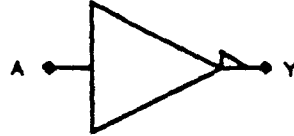
INPUT NAME	EQUIVALENT LOAD
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0	INVERTER	IV120
----------	----------	-------



$Y = \bar{A}$

CELL: IV120

Function: Inverter (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 INVERTER IV120

IV120, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.2	0.5	1.2	ns
ΔTplh	A	Y	0.3	0.7	1.9	ns/pf
Tphl	A	Y	0.1	0.7	1.7	ns
ΔTphl	A	Y	0.3	0.6	1.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT NAME	EQUIVALENT LOAD
A	2

Output Drive

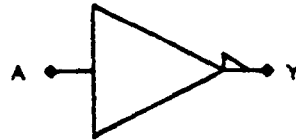
OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	20

(Equivalent Load = 0.16 pF)

REV: 1.0

INVERTER

IV140



$$Y = \bar{A}$$

CELL: IV140

Function: Inverter (4 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 INVERTER IV140

IV140, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.3	0.6	1.4	ns
ΔTplh	A	Y	0.1	0.6	1.0	ns/pf
Tphl	A	Y	0.1	0.6	1.5	ns
ΔTphl	A	Y	0.1	0.3	0.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

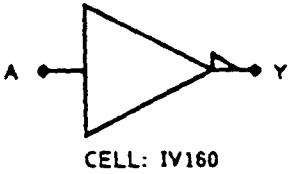
INPUT NAME	EQUIVALENT LOAD
A	4

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(SEE.)
Y	40

(Equivalent Load = 0.14 pF)

REV: 1.0	INVERTER	IV160
----------	----------	-------



$Y = \bar{A}$

Function: Inverter (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family



REV: 1.0 INVERTER IV160

IV160, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.3	0.7	1.6	ns
ΔTplh	A	Y	0.1	0.2	0.7	ns/pf
Tphl	A	Y	0.1	0.6	1.5	ns
ΔTphl	A	Y	0.1	0.2	0.4	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

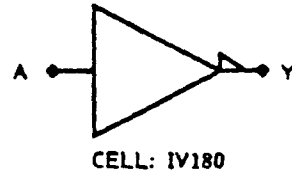
INPUT NAME	EQUIVALENT LOAD
A	6

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(SBS.)
Y	60

(Equivalent Load = 0.14 pF)

REV: 1.0	INVERTER	IV180
----------	----------	-------



$$Y = \bar{A}$$

Function: Inverter (8 x Drive)

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 INVERTER IV180

IV180, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.4	0.7	1.8	ns
ΔTplh	A	Y		0.2	0.3	ns/pf
Tphl	A	Y	0.1	0.5	1.4	ns
ΔTphl	A	Y		0.1	0.3	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

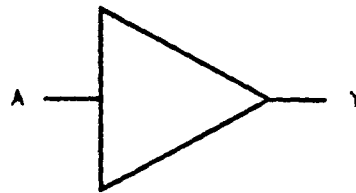
INPUT NAME	EQUIVALENT LOAD
A	8

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Y	80

(Equivalent Load = 0.16 pF)

REV: 1.0	INPUT BUFFER	IPF01
----------	--------------	-------



$Y=A$

CELL: IPF01

Function: Input Buffer with CMOS levels

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

REV: 1.0 INPUT BUFFER IPF01

IPF01, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	0.5	1.0	2.4	ns
ΔTplh	A	Y	0.7	1.5	3.9	ns/pf
Tphl	A	Y	0.1	0.6	1.6	ns
ΔTphl	A	Y	0.6	1.1	2.1	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Output Drive

OUTPUT STATE	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.16 pF)

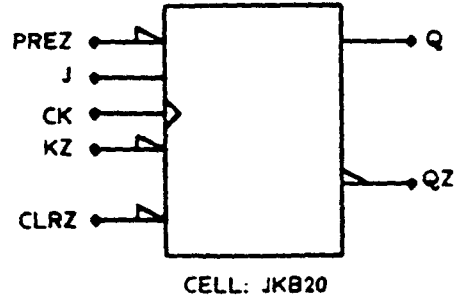
REV: 1.0

J-K FLIP-FLOP

JKB20

FUNCTION TABLE

INPUTS					OUTPUTS	
PREZ	CLRZ	CK	J	KZ	Q	QZ
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	L _o	L _o
H	H	◊	L	L	L	H
H	H	◊	H	L	Q _o	Q _o
H	H	◊	L	H	H	L
H	H	◊	H	H	Q _o	Q _o
H	H	L	X	X	Q _o	Q _o



CELL: JKB20

Note:

- H = HIGH voltage level
- L = LOW voltage level
- ◊ = LOW to HIGH CK transition
- X = don't care
- Q_o, Q_o = previously stable condition of Q, QZ
- TOGGLE = each output changes to the complement of previous ◊ or ◊
- ◊ = unstable configuration

Function: J-K Positive Edge Triggered MS-FF with Set and Reset

Pin Description

Pin Name	Description
PREZ	Set Input
J	Data Input
CK	Clock
KZ	Data Input
CLRZ	Reset Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

J-K FLIP-FLOP

JKB20

JKB20. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplb	CK	Q	2.8	5.4	12.6	ns
Tplb	PREZ	Q	1.4	3.6	8.7	ns
ΔTplb	any	Q	0.4	0.8	2.1	ns/pf
Tphl	CK	Q	2.0	4.2	10.0	ns
Tphl	CLRZ	Q	0.4	1.7	4.2	ns
ΔTphl	any	Q	0.3	0.6	1.2	ns/pf
Tplh	CK	QZ	3.1	5.9	13.7	ns
Tplh	CLRZ	QZ	1.5	3.3	7.9	ns
ΔTplh	any	QZ	0.4	0.8	2.1	ns/pf
Tphl	CK	QZ	1.8	3.4	8.0	ns
Tphl	PREZ	QZ	0.4	1.6	4.1	ns
ΔTphl	any	QZ	0.3	0.6	1.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
J	1
KZ	1
CLRZ	3
PREZ	3
CK	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(mss.)
Q	18
QZ	18

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu J,KZ to CK	8.4			ns
Th J,KZ to CK	0.0			ns
Tv CLRZ,PREZ,CK high	9.6			ns
Tv CLRZ,PREZ,CK low	9.6			ns

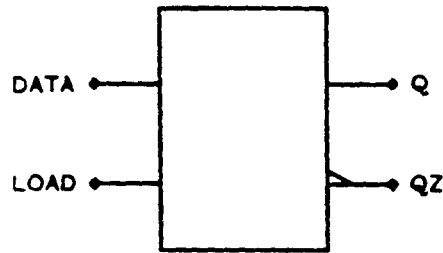
Note:

Tsu = set-up time
Th = hold time
Tv = pulse width

REV: 1.0 LATCH, D-TYPE AND S-R LAH10

FUNCTION TABLE

INPUTS		OUTPUTS	
LOAD	DATA	Q	QZ
H	H	H	L
H	L	L	H
L	X	Q ₀	$\overline{Q_0}$



CELL: LAH10

Note:
 H = HIGH voltage level
 L = LOW voltage level
 X = don't care
 Q₀, $\overline{Q_0}$ = previously stable condition of Q, QZ

Function: Transparent D-Latch With High Enable

Pin Description

Pin Name	Description
DATA	Data Input
LOAD	Control Input
Q	Data Output
QZ	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 LATCH, D-TYPE AND S-R LAH10

LAH10, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	DATA	Q	0.8	1.6	3.7	ns
Tplh	LOAD	Q	0.8	1.6	3.7	ns
ΔTplh	any	Q	0.7	1.5	3.7	ns/pf
Tphl	DATA	Q	0.8	3.2	8.1	ns
Tphl	LOAD	Q	0.7	2.7	6.8	ns
ΔTphl	any	Q	0.6	1.3	2.4	ns/pf
Tplh	DATA	QZ	0.8	2.0	4.8	ns
Tplh	LOAD	QZ	0.7	1.5	3.5	ns
ΔTplh	any	QZ	0.7	1.6	4.0	ns/pf
Tphl	DATA	QZ	0.7	2.7	6.9	ns
Tphl	LOAD	QZ	0.7	1.7	6.9	ns
ΔTphl	any	QZ	0.7	1.3	2.5	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
DATA	2
LOAD	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Q	10
QZ	10

(Equivalent Load = 0.14 pF)

A.C. Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
Tsu DATA to LOAD	10.8			ns
Th DATA to LOAD	0.0			ns
Tw LOAD high	9.6			ns
Tw LOAD low	8.4			ns

Note:

Tsu = set-up time
Th = hold time
Tw = pulse width

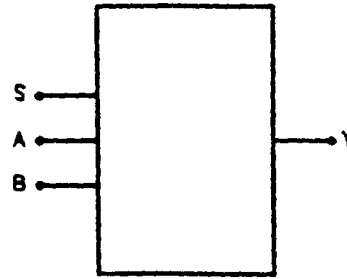
REV: 1.0 MULTIPLEXER MU111

FUNCTION TABLE

INPUTS			OUTPUT
S	A	B	Y
L	L	X	L
L	H	X	H
H	X	L	L
H	X	H	H

Note:

H = HIGH voltage level
 L = LOW voltage level
 X = don't care



CELL: MU111

Function: 2 Input Multiplexer

Pin Description

Pin Name	Description
S	Select data input
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family



REV: 1.0 MULTIPLEXER MU111

MU111. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A B	Y	0.5	1.1	2.5	ns
Tplh	S	Y	0.8	1.6	3.8	ns
ΔTplh	any	Y	0.7	1.5	3.8	ns/pf
Tphi	A B	Y	0.4	2.0	4.9	ns
Tphi	S	Y	0.6	2.1	5.1	ns
ΔTphi	any	Y	0.6	1.2	2.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
S	2
A	1
B	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(mez.)
Y	10

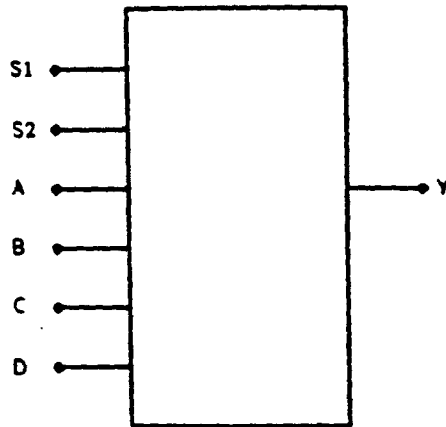
(Equivalent Load = 0.16 pF)

REV: 1.0 MULTIPLEXER MU210

FUNCTION TABLE

INPUTS						OUTPUT
S2	S1	A	B	C	D	Y
L	L	L	X	X	X	L
L	L	H	X	X	X	H
L	H	X	L	X	X	L
L	H	X	H	X	X	H
H	L	X	X	L	X	L
H	L	X	X	H	X	H
H	H	X	X	X	L	L
H	H	X	X	X	H	H

Note:
 H = HIGH voltage level
 L = LOW voltage level
 X = don't care



CELL: MU210

Function: 4 Input Multiplexer

Pin Description

Pin Name	Description
S1	Select Data Input
S2	Select Data Input
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

MULTIPLEXER

MU210

MU210, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A B C D	Y	2.1	6.0	9.6	ns
Tplh	S1 S2	Y	2.2	4.7	11.0	ns
ΔTplh	any	Y	0.8	1.6	4.1	ns/pf
Tphi	A B C D	Y	0.8	3.6	9.0	ns
Tphi	S1 S2	Y	1.1	4.3	11.2	ns
ΔTphi	any	Y	0.9	1.8	3.3	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
Tphl = propagation delay time, low-to-high output ΔTphl = load cap. delay to add to Tphl
any = from any input

Input Loading

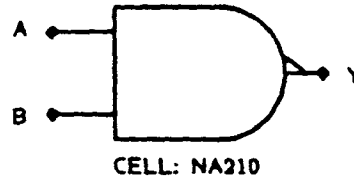
INPUT NAME	EQUIVALENT LOAD
S1	3
S2	3
A	1
B	1
C	1
D	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MAX.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0	NAND GATE	NA210
----------	-----------	-------



$$Y = \overline{A \cdot B}$$

Function: 2 Input NAND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

NAND GATE

NA210

NA210. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.6	1.4	ns
ΔTplh	any	Y	0.7	1.5	3.9	ns/pf
Tphl	any	Y	0.1	0.6	1.5	ns
ΔTphl	any	Y	1.1	2.2	4.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

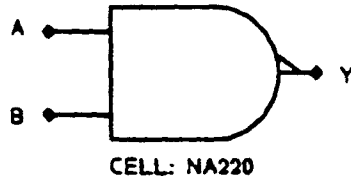
INPUT NAME	EQUIVALENT LOAD
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	3

(Equivalent Load = 0.14 pf)

REV: 1.0 NAND GATE NA220



$Y = \overline{A \cdot B}$

Function: 2 Input NAND Gate (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

NAND GATE

NA220

NA220, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.6	1.3	ns
ΔTplh	any	Y	0.3	0.7	1.9	ns/pf
Tphl	any	Y	0.1	0.6	1.3	ns
ΔTphl	any	Y	0.5	1.1	2.0	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	2
A	2

Output Drive

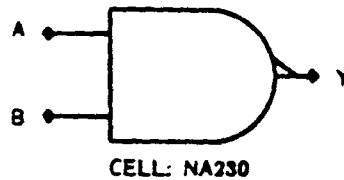
OUTPUT NAME	EQUIVALENT LOAD(max. I)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0

NAND GATE

NA230



$$Y = \overline{A \cdot B}$$

Function: 2 Input NAND Gate (3 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0

NAND GATE

NA230

NA230, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.3	0.7	1.6	ns
ΔTplh	any	Y	0.2	0.5	1.2	ns/pf
Tphl	any	Y	0.1	0.6	1.4	ns
ΔTphl	any	Y	0.3	0.7	1.4	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	3
A	3

Output Drive

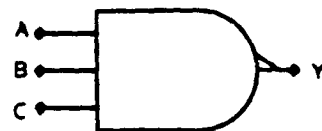
OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	15

(Equivalent Load = 0.14 pF)

REV: 1.0

NAND GATE

NA310



CELL: NA310

$$Y = \overline{A*B*C}$$

Function: 3 Input NAND Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2009

REV: 1.0 NAND GATE NA310

NA310, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.4	0.8	1.8	ns
ΔTplh	any	Y	0.7	1.5	3.9	ns/pf
Tphl	any	Y	0.2	0.9	2.3	ns
ΔTphl	any	Y	1.7	3.2	5.9	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	1
B	1
A	1

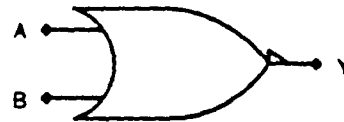
Output Drive

OUTPUT NAME	EQUIVALENT LOAD(MOS.)
Y	3

(Equivalent Load = 0.14 pF)

REV: 1.0	NOR GATE	NO220
----------	----------	-------

$$Y = \overline{A+B}$$



CELL: NO220

Function: 2 Input NOR Gate (2 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 NOR GATE NO220

NO220. Propagation and Load Dependent Delay

PARAMETER	FROM Input	TO Output	MIN	TYP	MAX	UNIT
Tplh	any	1	0.3	0.7	1.7	ns
ΔTplh	any	1	0.7	1.4	3.5	ns/pf
Tphi	any	2	0.1	0.5	1.1	ns
ΔTphi	any	2	0.1	0.7	1.4	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 1.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 any = from any input

Input Loading

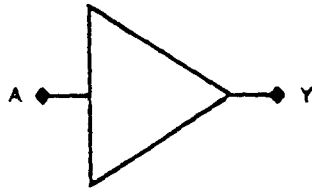
INPUT NAME	EQUIVALENT LOAD
B	1
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0 OUTPUT BUFFER OPF40



$Y = A$

CELL: OPF40

Function: 4 mA Push-Pull Output

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 OUTPUT BUFFER OPF40

OPF40, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	1.6	3.1	7.3	ns
ΔTplh	A	Y	0.02	0.06	0.14	ns/pf
Tphl	A	Y	0.8	3.3	8.2	ns
ΔTphl	A	Y	0.04	0.07	0.13	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh

Input Loading

INPUT STATE	EQUIVALENT LOAD
A	1

(Equivalent Load = 0.14 pF)

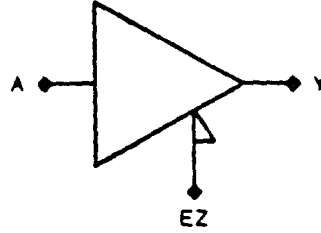
REV: 1.0 OUTPUT BUFFER OPF43

FUNCTION TABLE

INPUTS		OUTPUT
A	EZ	Y
L	-	L
H	-	H
X	H	Z

Note:

- H = HIGH voltage level
- L = LOW voltage level
- X = don't care
- Z = high impedance OFF-state



CELL: OPF43

Function: 4 mA Tristate Active Low Enable Output

Pin Description

Pin Name	Description
A	Data Input
Y	Data Output
EZ	Enable input

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family



REV: 1.0 OUTPUT BUFFER OPF43

OPF43, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	A	Y	1.5	3.1	7.2	ns
ΔTplh	A	Y	0.03	0.06	0.15	ns/pf
Tphi	A	Y	3.8	3.5	8.8	ns
ΔTphi	A	Y	0.04	0.08	0.14	ns/pf
Tplz	EZ	Y	2.3	4.4	10.2	ns
Tphz	EZ	Y	2.2	4.1	9.6	ns
Tpzl	EZ	Y	0.8	3.3	8.2	ns
ΔTpzl	EZ	Y	0.04	0.08	0.14	ns/pf
Tpzh	EZ	Y	0.9	3.5	8.8	ns
ΔTpzh	EZ	Y	0.03	0.06	0.15	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphi = propagation delay time, high-to-low output ΔTphi = load cap. delay to add to Tphi
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 Tpzl = Enable time, tristate-to-low output ΔTpzl = load cap. delay to add to Tpzl
 Tplz = Disable time, low-to-tristate output
 Tphz = Disable time, high-to-tristate output

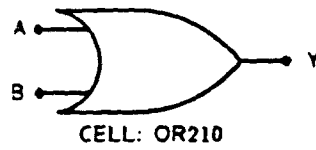
Input Loading

INPUT NAME	EQUIVALENT LOAD
A	1
EZ	1

(Equivalent Load = 0.14 pf)

REV: 1.0	OR GATE	OR210
----------	---------	-------

$Y = A+B$



Function: 2 Input OR Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 OR GATE OR210

OR210, Propagation and Load Dependent Delay

PARAMETER	FROM 'Input'	TO 'Output'	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.4	0.8	1.9	ns
ΔTplh	any	Y	0.7	1.6	4.0	ns/pf
Tphl	any	Y	0.3	1.5	3.7	ns
ΔTphl	any	Y	0.6	1.3	2.4	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
 Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
 Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
 any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
B	1
A	1

Output Drive

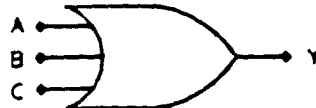
OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.14 pf)

REV: 1.0

OR GATE

OR310



$$Y = A+B+C$$

CELL: OR310

Function: 3 Input OR Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



REV: 1.0

OR GATE

OR310

OR310, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.5	1.0	2.3	ns
ΔTplh	any	Y	0.7	1.6	4.0	ns/pf
Tphl	any	Y	0.5	2.3	5.7	ns
ΔTphl	any	Y	0.7	1.4	2.6	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
C	1
B	1
A	1

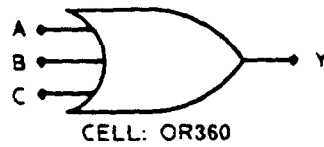
Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

(Equivalent Load = 0.14 pF)

REV: 1.0	OR GATE	OR360
----------	---------	-------

$Y = A + B + C$



Function: 3 Input OR Gate (6 x Drive)

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

REV: 1.0 OR GATE OR360

OR360, Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.6	1.1	2.7	ns
ΔTph	any	Y	0.1	0.3	0.7	ns/pf
Tphl	any	Y	0.6	2.6	5.5	ns
ΔTphl	any	Y	0.1	0.2	0.5	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tph = propagation delay time, low-to-high output ΔTph = load cap. delay to add to Tph
any = from any input

Input Loading

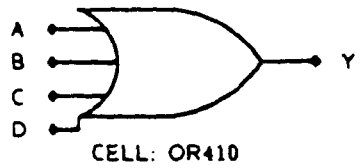
INPUT NAME	EQUIVALENT LOAD
C	2
B	2
A	2

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (max.)
Y	60

(Equivalent Load = 0.14 pF)

REV: 1.0	OR GATE	OR410
----------	---------	-------



$$Y = A+B+C+D$$

Function: 4 Input OR Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
 1.5 micron CMOS Double Layer Metal standard cell family

e Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

REV: 1.0 OR GATE OR410

OR410. Propagation and Load Dependent Delay

PARAMETER	FROM (Input)	TO (Output)	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.5	1.1	2.5	ns
ΔTplh	any	Y	0.7	1.6	4.0	ns/pf
Tphl	any	Y	0.7	1.2	3.0	ns
ΔTphl	any	Y	0.8	1.5	2.9	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = from any input

Input Loading

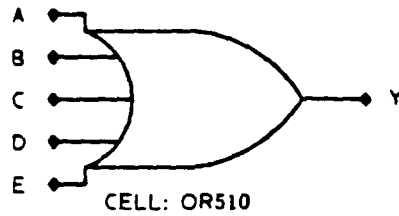
INPUT NAME	EQUIVALENT LOAD
D	1
C	1
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
Y	10

Equivalent Load = 0.14 pF

REV: 1.0	OR GATE	OR510
----------	---------	-------



$$Y = A+B+C+D+E$$

Function: 5 Input OR Gate

Pin Description

Pin Name	Description
A	Data Input
B	Data Input
C	Data Input
D	Data Input
E	Data Input
Y	Data Output

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

REV: 1.0 OR GATE OR510

OR510. Propagation and Load Dependent Delay

PARAMETER	FROM Input	TO Output	MIN	TYP	MAX	UNIT
Tplh	any	Y	0.5	1.1	2.6	ns
ΔTplh	any	Y	0.8	1.6	4.1	ns/pf
Tphl	any	Y	1.0	4.4	10.9	ns
ΔTphl	any	Y	0.9	1.7	3.2	ns/pf

Ambient Temperature Range: -40 deg C to +85 deg C
Voltage Range: 4.5 Volts to 5.5 Volts

Note:

Tphl = propagation delay time, high-to-low output ΔTphl = load cap. delay to add to Tphl
Tplh = propagation delay time, low-to-high output ΔTplh = load cap. delay to add to Tplh
any = From any input

Input Loading

INPUT NAME	EQUIVALENT LOAD
E	1
D	1
C	1
B	1
A	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD (Max.)
Y	10

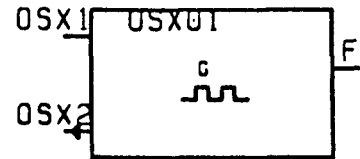
(Equivalent Load = 0.14 pF)

REV: 1.1	OSCILLATOR	OSX01
----------	------------	-------

FUNCTION TABLE

INPUTS		OUTPUT
OSX1	OSX2	F
L	H	L
H	L	H

H = HIGH voltage level
L = LOW voltage level



Function: Crystal Oscillator

Pin Description

Pin Name	Description
OSX1	Input Inverting Output To Array
OSX2	
F	

This cell is a member of the PHILIPS ASIC SystemCell II
1.5 micron CMOS Double Layer Metal standard cell family

January 1989

REV: 1.1 OSCILLATOR OSX01

Input Loading

INPUT NAME	EQUIVALENT LOAD
OSX1	1

Output Drive

OUTPUT NAME	EQUIVALENT LOAD(max.)
F	10

(Equivalent Load = 0.14 pF)

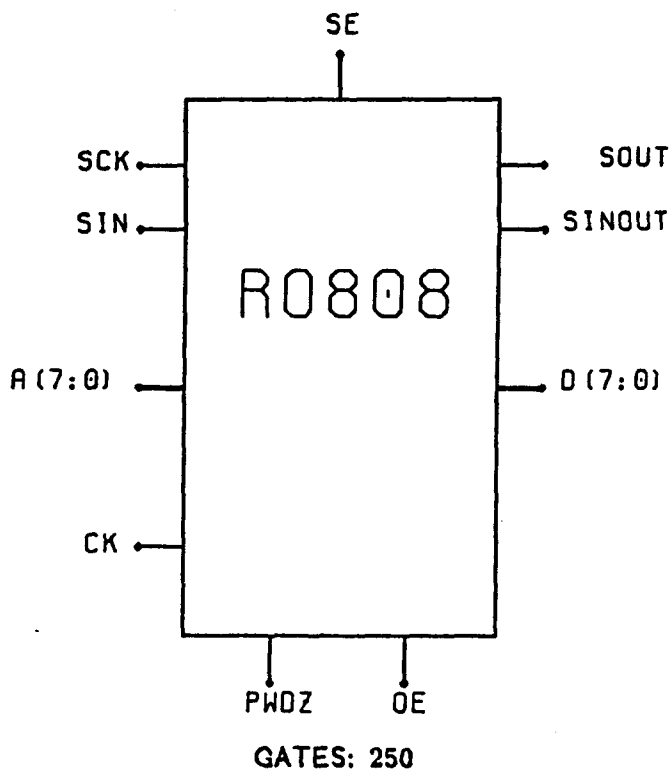
Frequency Range: 1 MHz to 20 MHz

January 1989

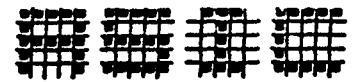


REV: 2.0 256 X 8 ROM RO808

MegaBLOCK



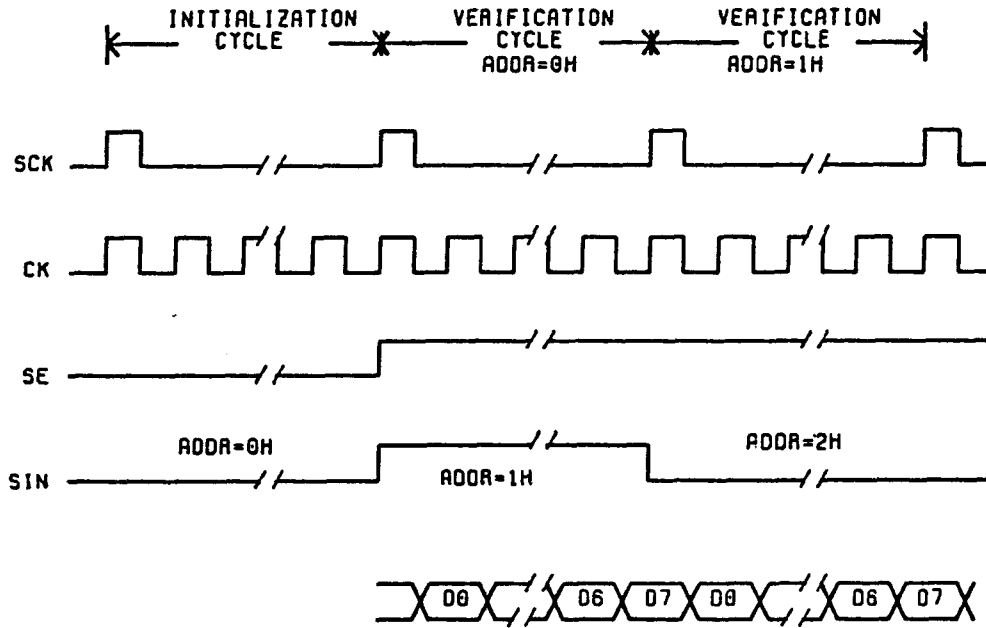
THE RO808 IS A 256 X 8 READ ONLY MEMORY WITH A MAXIMUM ACCESS TIME OF 25 NANoseconds. THIS HIGH SPEED ROM ALSO CONTAINS A POWER DOWN FEATURE TO MINIMIZE POWER CONSUMPTION WHEN NOT BEING READ. THE RO808 MAY BE EASILY CASCADED BOTH HORIZONTALLY AND VERTICALLY THROUGH THE USE OF MINIMAL ADDITIONAL SystemCell COMPONENTS TO GENERATE EXPANDED DATA STORAGE. COMPLETE PERIPHERAL SCAN REGISTERS ARE PROVIDED IN THE MegaBLOCK TO FACILITATE DEVICE TESTING.



REV: 2.0 256 X 8 ROM RO808

MegaBLOCK

RO808 SCAN INFORMATION



NOTE: OUTPUT DATA LAGS THE INPUT ADDRESS BY ONE SCK CYCLE

TO FACILITATE TESTING OF THE RO808 WHEN IT IS EMBEDDED IN A DESIGN AND TO MINIMIZE THE NUMBER OF EXTERNAL PINS REQUIRED, SCAN REGISTERS HAVE BEEN ADDED TO THE ADDRESS LINE INPUTS AND TO THE DATA LINE OUTPUTS. WHEN TESTING, ONE BIT OF A NEW ADDRESS IS SHIFTED IN SERIALY TO A0 VIA



REV: 2.0

256 X 8 ROM

RO808

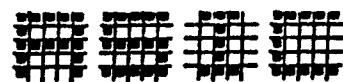
MegaBLOCK

RO808 SCAN INFORMATION (CONTINUED)

PIN "SIN" (ALL PREVIOUS ADDRESS BITS ARE SHIFTED ONE BIT TOWARD A7). DATA ON A7 ALSO APPEARS ON PIN "SINOUT". DATA CORRESPONDING TO THE PRESENT ADDRESS DATA IS THEN SHIFTED OUT ON PIN "SOUT". TWO CLOCKS ARE NEEDED. THE ROM CLOCK (CK) IS USED TO SHIFT OUT THE DATA. ANOTHER CLOCK (SCK) IS USED TO CLOCK A BIT INTO THE ADDRESS REGISTER. CLOCK "CK" SHOULD OCCUR 8 TIMES FOR EACH "SCK" SO THAT ALL OF THE DATA BITS WILL BE SHIFTED OUT FOR EACH ADDRESS.

BEFORE THE SCAN REGISTERS ARE ENABLED (SE=1), ONE FULL CYCLE OF SCK IS NEEDED. THIS CYCLE WILL INITIALIZE THE ADDRESS SCAN REGISTERS TO ZERO AND ALL DATA SCAN REGISTERS TO "HIGH". SE SHOULD THEN GO "HIGH" TOGETHER WITH CK AND SCK AND REMAIN SO THROUGHOUT THE TEST.





REV: 2.0

256 X 8 ROM

RO808

MegaBLOCK

SIMULATING THE RO808 ON A MENTOR™ WORKSTATION

ATTACHED TO THE RO808 BODY IS A VMODELFILE PROPERTY, WHICH CAN BE CHANGED IN NETED TO POINT TO AN ASCII FILE. THIS FILE SHOULD CONTAIN DATA FOR SPECIFIED ADDRESSES. THE DEFAULT FILE NAME IS /USER/SYSTEM-CELL/COMMON/\$ROM/RO808.ROMFILE. IF THE VALUE OF THE VMODELFILE PROPERTY IS SET TO START WITH EITHER A "~" OR A "/" THEN THE SIMULATOR WILL EXPECT THE PROPERTY TO BE A FULL PATH NAME TO THE FILE. OTHERWISE IT WILL LOOK FOR THE SPECIFIED FILE IN THE SAME WORKING DIRECTORY FROM WHICH THE SIMULATOR WAS INVOKED. THE FILE IS READ ONLY BY THE SIMULATOR PROGRAM, SO RE-EXPANSION IS NOT NECESSARY IN ORDER TO LOAD A MODIFIED DATA FILE.

THE FORMAT FOR THE RO808 DATA FILE IS AS FOLLOWS:

*ADDRESS (HEX) /DATA (HEX) ;

```
*-----;
    00 / F0 ;
    01 / 44 ;
    02 / 86 ;
    03 / E3 ;
    04 / 0E ;
    05 / AC ;
    06 / C6 ;
```



REV: 2.0 256 X 8 ROM RO808

MegaBLOCK

RO808 SIMULATION ON A MENTOR™ WORKSTATION (CONTINUED)

07	/	21	;
08	/	68	;
09	/	45	;
0A	/	84	;
0B	/	DA	;
0C	/	09	;
.	/	.	;
.	/	.	;
.	/	.	;

ADDRESSES MUST BE SEPARATED FROM THE DATA BY "/",
AND LINES MUST BE TERMINATED WITH ";". ADDRESSES
AND DATA ARE TO BE ENTERED IN HEX. IT IS NOT NECESSARY
TO PROGRAM EVERY DATA LOCATION.



Electronic
components
and materials

PHILIPS

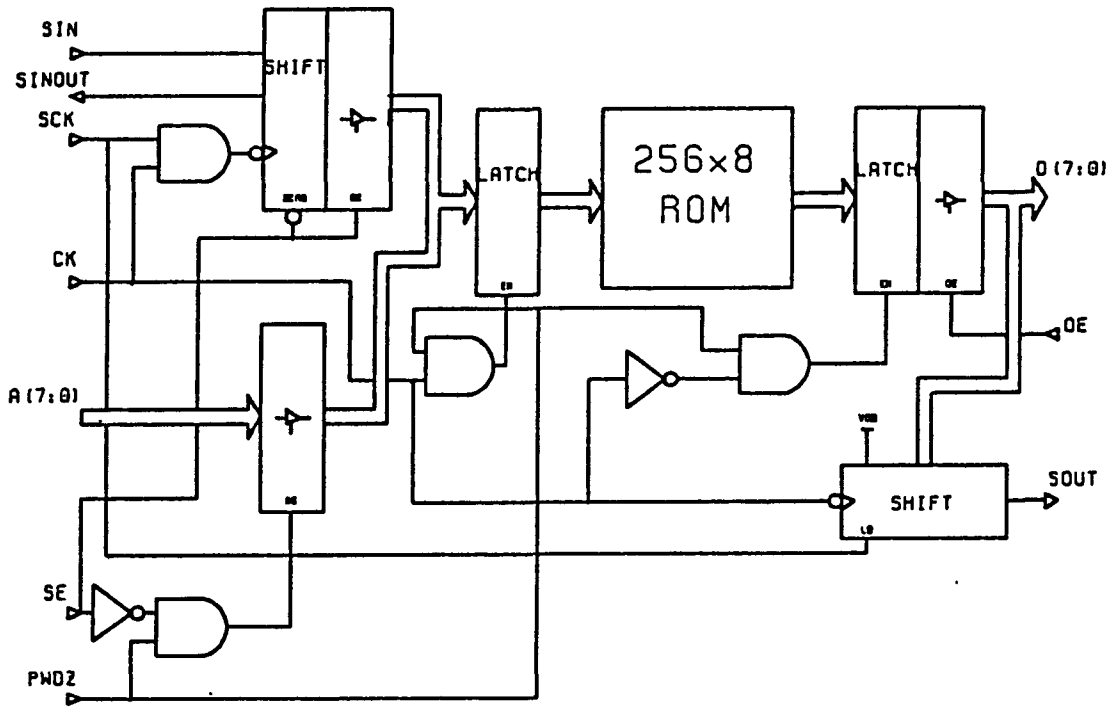
OCT 1987



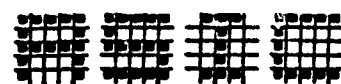
REV: 2.0 256 X 8 ROM RO808

MegaBLOCK

BLOCK DIAGRAM



© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006



REV: 2.0

256 X 8 ROM

RO808

MegaBLOCK

PARAMETER	DESCRIPTION	MIN	MAX	UNIT
t_{CYC}	CYCLE TIME	50		ns
t_{OUT}	CLOCK LOW TIME	25		ns
t_{PC}	CLOCK PRECHARGE TIME	25		ns
t_{AS}	ADDRESS SET-UP TIME	25		ns
t_{AH}	ADDRESS HOLD TIME	8		ns
t_{ACC}	ACCESS TIME		25	ns
Δt_{ACC}	Δ 00-07	1.5	4	ns/pF
t_{OF}	ROM OUTPUT DELAY TO FLOAT	10	15	ns
t_{OLZ}	ROM OUTPUT DELAY TO LOW Z	10	15	ns
t_{PS}	POWER UP SET-UP TIME BEFORE FALLING EDGE OF CLOCK	25		ns
t_{PH}	POWER DOWN HOLD TIME AFTER FALLING EDGE OF CLOCK	25		ns



Electronic
components
and materials

PHILIPS

OCT 1987



REV: 2.0

256 X 8 ROM

R0808

MegaBLOCK

PIN	FUNCTION	C _{in}
A (7:0)	ADDRESS INPUTS	0.5 pF
D (7:0)	DATA OUTPUTS FANOUT = 4	
OE	OUTPUT ENABLE. ACTIVE HIGH INPUT ENABLING DATA OUTPUT ON LINES D0-D7. A LOW ON THIS LINE PLACES D0-D7 IN THE 3-STATE CONDITION.	0.5 pF
CK	ROM CLOCK INPUT	3.2 pF
PWDZ	POWER DOWN INPUT. ACTIVE LOW SIGNAL DISABLES INPUTS FROM SWITCHING THE ROM ARRAY TO CONSERVE AC POWER.	1.8 pF
SE	SCAN ENABLE. ACTIVE HIGH INPUT ENABLES TEST MODE.	0.5 pF
SCK	SCAN CLOCK. THIS SIGNAL TOGETHER WITH "CK" CONTROLS LOADING OF THE ADDRESS SCAN REGISTERS. SCAN CLOCK SHOULD OCCUR ONCE PER 8 BITS.	0.5 pF





REV: 2.0

256 X 8 ROM

RO808

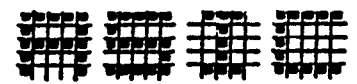
MegaBLOCK

CONTINUED

PIN	FUNCTION	C _{in}
SIN	SCAN INPUT. SCAN TEST ADDRESSES ARE TO BE SERIALY INPUT (A0 FIRST) TO THIS PIN. ADDRESS WILL BE CLOCKED IN UPON THE FALLING EDGE OF "SCK" OR "CK"	0.12 pF
SINOUT	SCAN IN OUTPUT. BITS SHIFTED IN ON "SIN" WILL BE SHIFTED OUT ON THIS PIN (AFTER 8 "SCKS") FOR TESTING OF ADJACENT ROMs. FANOUT = 1	
SOUT	SCAN OUTPUT. DATA CORRESPONDING TO THE SCAN TEST ADDRESS IS SERIALY OUTPUT ON THIS PIN. D0 IS SHIFTED OUT FIRST. FANOUT = 1	

Electronic
components
and materials**PHILIPS**

OCT 1987



REV: 2.0

256 X 8 ROM

RO808

MegaBLOCK

PARAMETER	DESCRIPTION	MIN	MAX	UNIT
t_{CPWD}	PWD CYCLE TIME	100		ns
t_{PNH}	PWD HIGH TIME	50		ns
t_{PHL}	PWD LOW TIME	50		ns
t_{COE}	OE CYCLE TIME	30		ns
t_{DEL}	OE LOW TIME	15		ns
t_{DEH}	OE HIGH TIME	15		ns
t_{oSOUT}	TEST DATA (SOUT) ACCESS TIME DURING SCAN TEST	9	15	ns
Δt_{oSOUT}	Δ SOUT	1.5	4	ns/pF
t_{oS}	SCAN-IN ADDRESS ACCESS TIME DURING SCAN TEST (SINOUT)	9	15	ns
Δt_{oS}	Δ SINOUT	1.5	4	ns/pF
t_{SCKs}	RISING EDGE OF SCAN CLOCK (SCK) TO FALLING EDGE OF CK DURING SCAN TEST MCOE.	25		ns



Electronic
components
and materials

PHILIPS

OCT 1987



REV: 2.0

256 X 8 ROM

RO808

MegaBLOCK

PARAMETER	DESCRIPTION	MIN	MAX	UNIT
t_{SCKH}	FALLING EDGE OF SCK AFTER FALLING EDGE OF CK DURING SCAN TEST MODE.	8		ns
t_{SES}	SET UP TIME OF SE DURING SCAN TEST MODE.	25		ns
t_{SEH}	HOLD TIME OF SE DURING SCAN TEST MODE.	8		ns
t_{SINS}	SET UP TIME OF SIN WITH RESPECT TO THE FALLING EDGE OF CK.	15		ns
t_{SINH}	HOLD TIME OF SIN WITH RESPECT TO THE FALLING EDGE OF CK.	7		ns

Electronic
components
and materials**PHILIPS**

OCT 1987



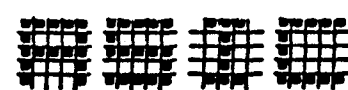
REV: 2.0 256 X 8 ROM RO808

MegaBLOCK

TRUTH TABLE

OE	CK	PWDZ	SE	SCK	A	SIN	OUTPUT (D0-D7)	SOUT	MODE
H	X	L	L	X	X	X	PREVIOUS DATA LATCHED		POWER DOWN
H	H	H	L	X	A	X	PREVIOUS DATA LATCHED		PRE-CHARGE
H	L	H	L	X	A	X	DATA OUTPUT		READ
L	X	X	L	X	A	X	3-STATE		DE-SELECT
H	H	H	H	H	X	SIN	PREVIOUS DATA LATCHED	LAST BIT PREVIOUS BYTE	SCAN TEST
H	L	H	H	L	X	SIN	DATA OUTPUT	SHIFT DATA BIT	SCAN TEST
H	H	H	H	L	X	SIN	DATA OUTPUT	PREVIOUS BIT	SCAN TEST
H	X	L	H	X	X	SIN	PREVIOUS DATA LATCHED	UNKNOWN	SCAN TEST
L	X	X	H	X	X	SIN	3-STATE	UNKNOWN	SCAN TEST

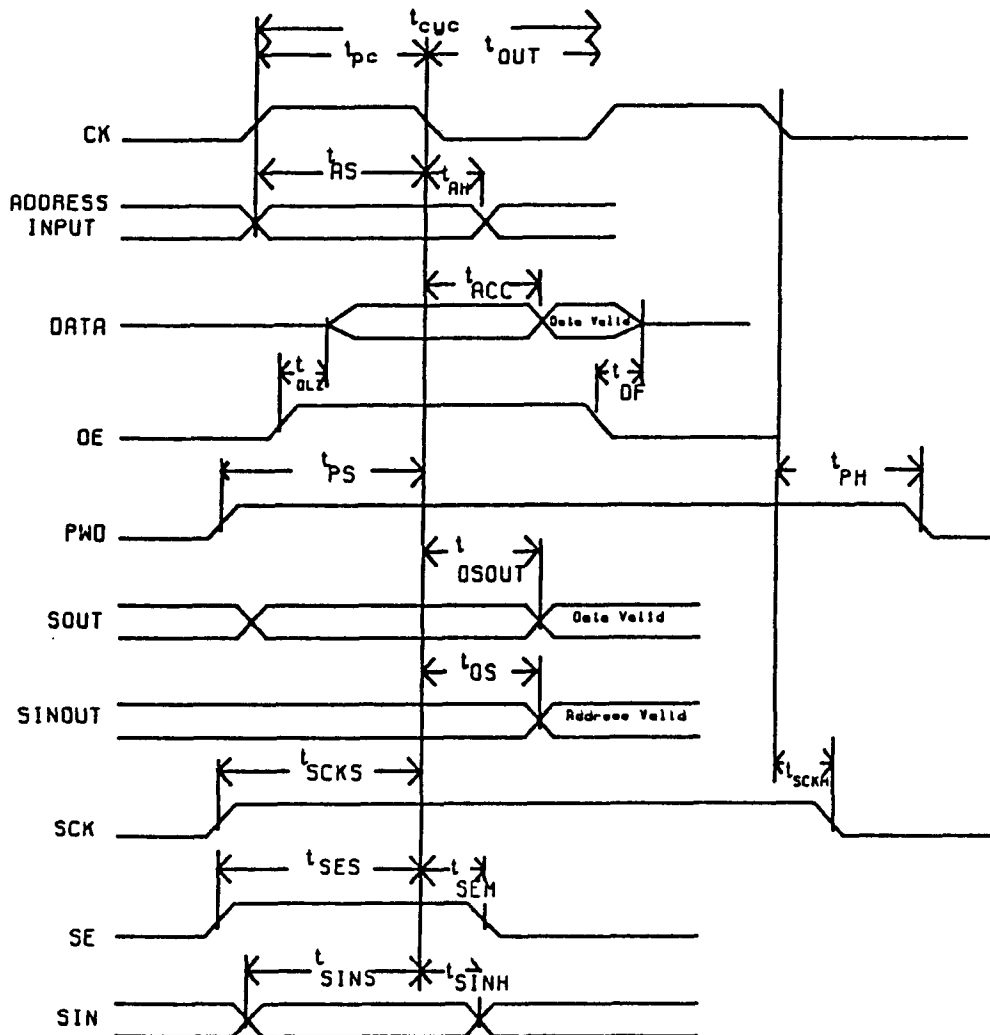
© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



REV: 2.0 256 X 8 ROM RO808

MegaBLOCK

CLOCKED CMOS ROM TIMING DIAGRAMS



WORST CASE CONDITION IS AT $V_{CC} = 4.5V$, $TEMP = 95^{\circ}C$



CYPRESS
SEMICONDUCTOR

CY7C281
CY7C282

1024 x 8 PROM

Features

- CMOS for optimum speed/power
- High speed
 - 30 ns (commercial)
 - 45 ns (military)
- Low power
 - 495 mW (commercial)
 - 660 mW (military)
- EPROM technology 100% programmable
- Slim 300 or standard 600 mil DIP or 28 pin LCC
- 5V ± 10% V_{CC}, commercial and military
- TTL compatible I/O
- Direct replacement for bipolar PROMs

- Capable of withstanding > 2000V static discharge

Product Characteristics

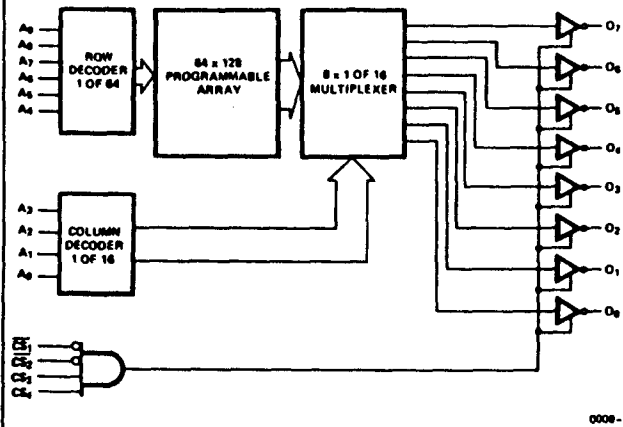
The CY7C281 and CY7C282 are high performance 1024 word by 8 bit CMOS PROMs. They are functionally identical, but are packaged in 300 mil and 600 mil wide packages respectively. The CY7C281 is also available in a 28 pin leadless chip carrier. The memory cells utilize proven EPROM floating gate technology and byte-wide intelligent programming algorithms.

The CY7C281 and CY7C282 are plug-in replacements for bipolar devices and offer the advantages of lower power, superior performance and programming yield. The EPROM cell requires only 13.5V for the supervoltage and

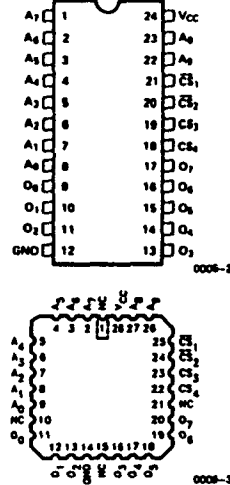
low current requirements allow for gang programming. The EPROM cells allow for each memory location to be tested 100%, as each location is written into, erased, and repeatedly exercised prior to encapsulation. Each PROM is also tested for AC performance to guarantee that after customer programming the product will meet DC and AC specification limits.

Reading is accomplished by placing an active LOW signal on CS₁ and CS₂, and active HIGH signals on CS₃ and CS₄. The contents of the memory location addressed by the address lines (A₀-A₉) will become available on the output lines (O₀-O₇).

Logic Block Diagram



Pin Configurations



Selection Guide

		7C281-30 7C282-30	7C281-45 7C282-45
Maximum Access Time (ns)		30	45
Maximum Operating Current (mA)	Commercial	100	90
	Military		120



CY7C281
CY7C282

Maximum Ratings

(Above which the useful life may be impaired)

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage to Ground Potential (Pin 24 to Pin 12)	-0.5V to +7.0V
DC Voltage Applied to Outputs in High Z State	-0.5V to +7.0V
DC Input Voltage	-3.0V to +7.0V
DC Program Voltage (Pins 18, 20)	14.0V

Static Discharge Voltage > 2001V (per MIL-STD-883, Method 3015.2)

Latch-up Current > 200 mA

Operating Range

Range	Ambient Temperature	V _{CC}
Commercial	0°C to +70°C	5V ± 10%
Military	-55°C to +125°C	5V ± 10%

Electrical Characteristics Over the Operating Range

Parameters	Description	Test Conditions	7C281-30 7C282-30		7C281-45 7C282-45		Units
			Min.	Max.	Min.	Max.	
V _{OH}	Output HIGH Voltage	V _{CC} = Min., I _{OH} = -4.0 mA	2.4		2.4		V
V _{OL}	Output LOW Voltage	V _{CC} = Min., I _{OL} = 16.0 mA		0.4		0.4	V
V _{IH}	Input HIGH Level ^[2]		2.0		2.0		V
V _{IL}	Input LOW Level ^[2]			0.8		0.8	V
I _{Ix}	Input Current	GND ≤ V _{IN} ≤ V _{CC}	-10	+10	-10	+10	μA
V _{CD}	Input Diode Clamp Voltage		Note 3		Note 3		
I _{OZ}	Output Leakage Current	V _{OL} ≤ V _{OUT} ≤ V _{OH} , Output Disabled	-40	+40	-40	+40	μA
I _{OS}	Output Short Circuit Current ^[4]	V _{CC} = Max., V _{OUT} = GND	-20	-90	-20	-90	mA
I _{CC}	Power Supply Current	V _{CC} = Max., I _{OUT} = 0 mA	Commercial		100		90
			Military				120

Capacitance^[1]

Parameters	Description	Test Conditions	Max.	Units
C _{IN}	Input Capacitance	T _A = 25°C, f = 1 MHz	5	pF
C _{OUT}	Output Capacitance	V _{CC} = 5.0V	8	

Notes:

1. Measured on a sample base.
2. These are absolute voltages with respect to device ground pin and include all overshoots due to system and/or tester noise. Do not attempt to test these values without suitable equipment.
3. The CMOS process does not provide a clamp diode.

However, the CY7C281 & CY7C282 are insensitive to -3V dc input levels and -5V undershoot pulses of less than 10 ns (measured at 30% point).

4. For test purposes, not more than one output at a time should be shorted. Short circuit test duration should not exceed 30 seconds.

Switching Characteristics Over the Operating Range^[5]

Parameters	Description	CY7C281-30 CY7C282-30		CY7C281-45 CY7C282-45		Units
		Min.	Max.	Min.	Max.	
t _{AA}	Address to Output Valid		30	45		ns
t _{HZCS}	Chip Select Inactive to High Z ^[6]		20	25		ns
t _{ACS}	Chip Select Active to Output Valid		20	25		ns

AC Test Loads and Waveforms

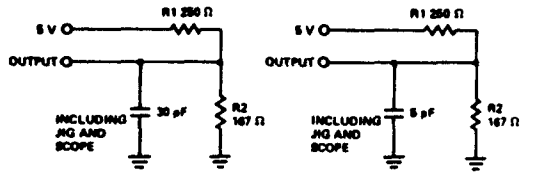
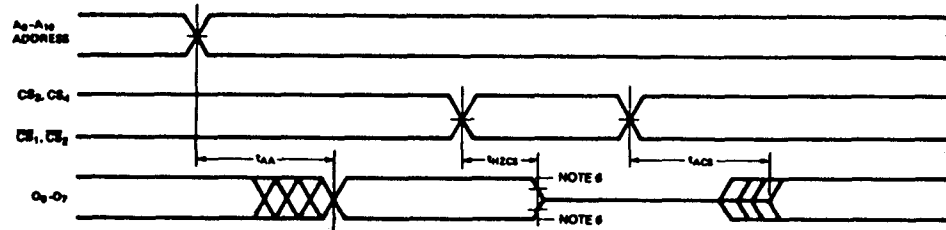
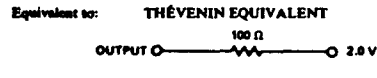


Figure 1a

Figure 1b

Figure 2. Input Pulses



Notes:
5. Test conditions assume signal transition times of 5 ns or less, timing reference levels of 1.5V, output loading of the specified I_{OL}/I_{OH} and loads shown in Figure 1a, 1b.

6. t_{HZCS} is tested with load shown in Figure 1a. Transition is measured at steady state High level + 500 mV or steady state Low level + 500 mV on the output from the 1.5V level on the input.

Typical DC and AC Characteristics

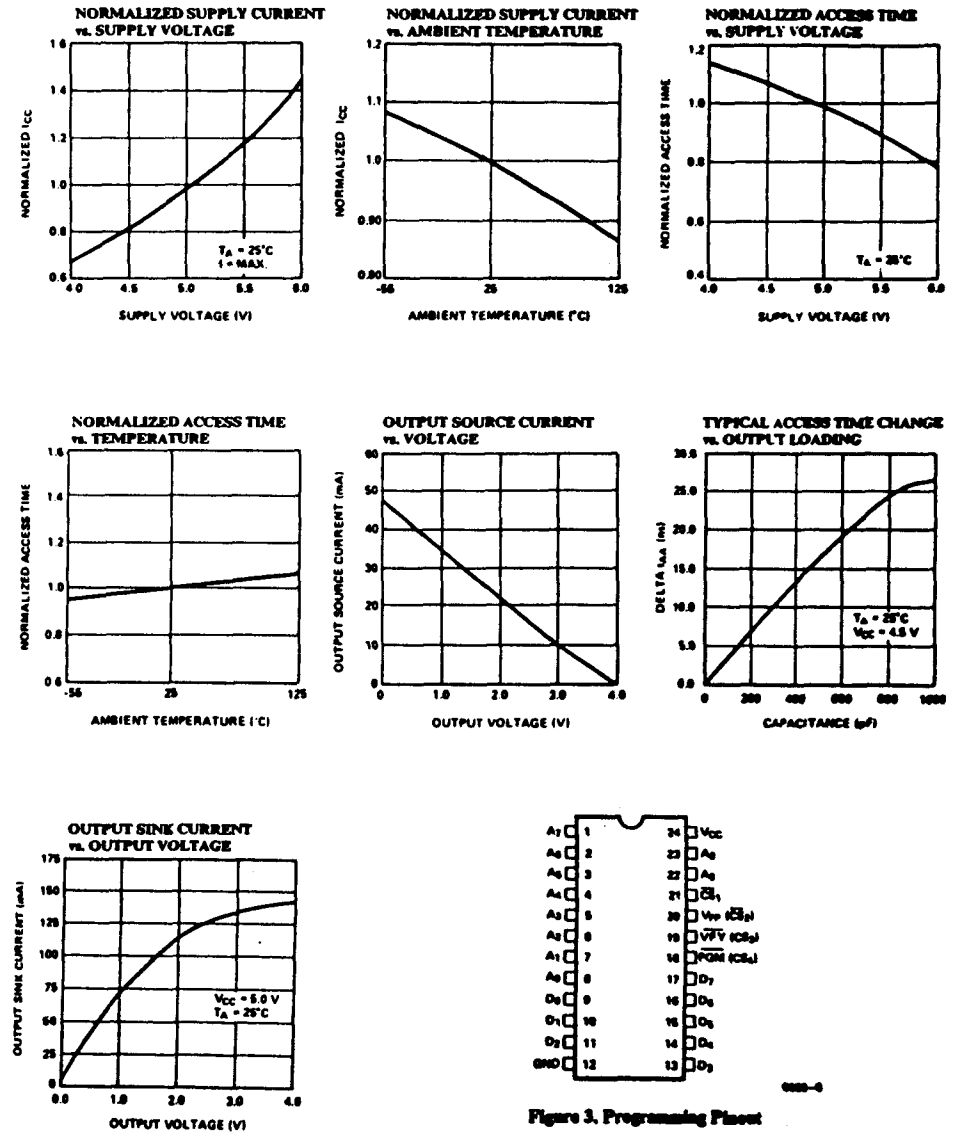
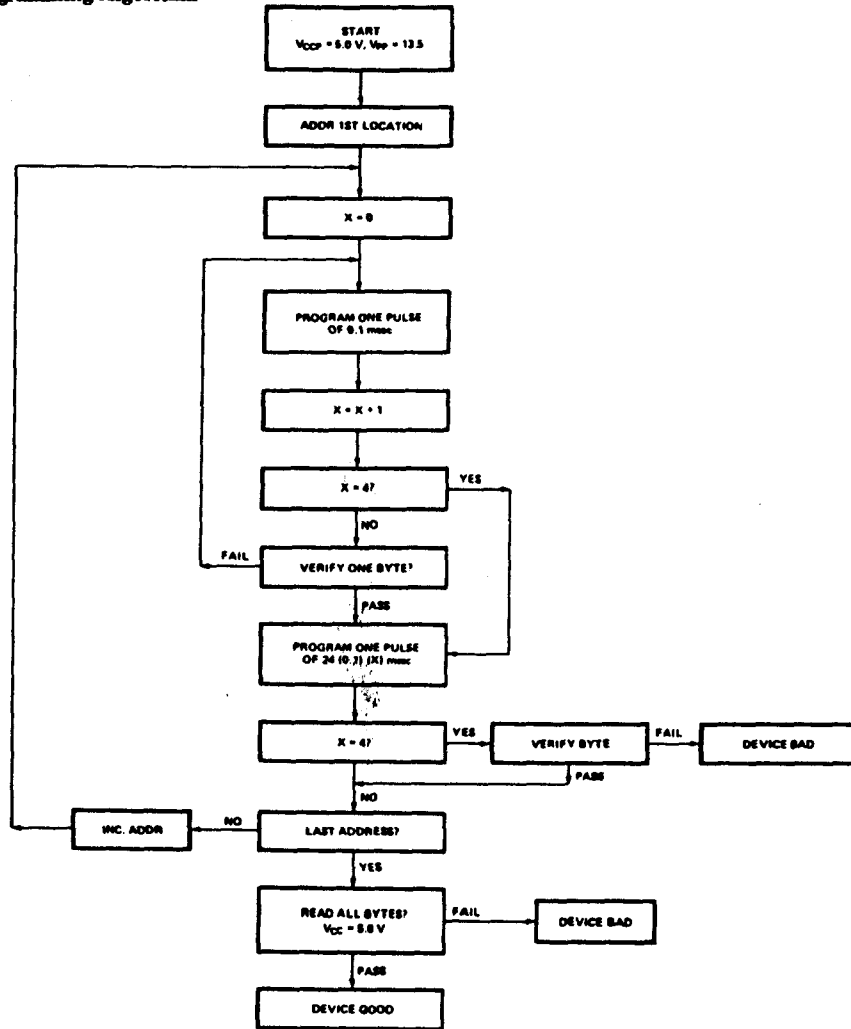


Figure 3. Programming Floorplan

Programming Algorithm



8008-10

The CY7C281 and CY7C282 programming algorithm allows significantly faster programming than the "worst case" specification of 10 msec. Typical programming time for a byte is less than 2.5 msec. The use of EPROM cells allows factory testing of programmed cells, measurement of data retention and erasure to ensure reliable data retention and functional performance. A flowchart of the algorithm is shown in Figure 4.

The algorithm utilizes two different pulse types: initial and overprogram. The duration of the PGM pulse (t_{pp}) is 0.1 msec which will then be followed by a longer overprogram pulse of 24 (0.1) (X) msec. X is an iteration counter and is equal to the NUMBER of the initial 0.1 msec pulses applied before verification occurs. Up to four 0.1 msec pulses are provided before the overprogram pulse is applied.

The entire sequence of program pulses and byte verification is performed at $V_{CC} = 5.0$. When all bytes have been programmed all bytes should be compared (Read mode) to original data with $V_{CC} = 5.0V$.

Figure 4. Programming Flowchart

Programming Information

The 7C281 and 7C282 1K x 8 CMOS PROMs are implemented with a differential EPROM memory cell. The PROMs are delivered in an erased state, containing neither "1s" nor "0s". This erased condition of the array may be assessed using the "BLANK CHECK ONES" and "BLANK CHECK ZEROS" function, see below.

Blank Check

A virgin device contains neither ones nor zeros because of the differential cell used for high speed. To verify that a PROM is unprogrammed, use the two blank check modes provided in Table 3. In both of these modes, address and read locations 0 thru 1023. A device is considered virgin if all locations are respectively "1s" and "0s" when addressed in the "BLANK ONES AND ZEROS" modes.

Because a virgin device contains neither ones nor zeros, it is necessary to program both ones and zeros. It is recommended that all locations be programmed to ensure that ambiguous states do not exist.

DC Programming Parameters $T_A = 25^\circ C$

Table 1

Parameter	Description	Min.	Max.	Units
V_{pp}	Programming Voltage ⁽¹⁾	13.0	14.0	V
V_{CCP}	Supply Voltage	4.75	5.25	V
V_{IH}	Input HIGH Voltage	3.0		V
V_{IL}	Input LOW Voltage		0.4	V
V_{OH}	Output HIGH Voltage ⁽²⁾	2.4		V
V_{OL}	Output LOW Voltage ⁽²⁾		0.4	V
I_{pp}	Programming Supply Current		50	mA

AC Programming Parameters $T_A = 25^\circ C$

Table 2

Parameter	Description	Min.	Max.	Units
t_{pp}	Programming Pulse Width ⁽³⁾	100	10,000	μs
t_{AS}	Address Setup Time	1.0		μs
t_{DS}	Data Setup Time	1.0		μs
t_{AH}	Address Hold Time	1.0		μs
t_{DH}	Data Hold Time	1.0		μs
$t_{r, f}$	V_{pp} Rise and Fall Time ⁽³⁾	1.0		μs
t_{VD}	Delay to Verify	1.0		μs
t_{VP}	Verify Pulse Width	2.0		μs
t_{DV}	Verify Data Valid		1.0	μs
t_{DZ}	Verify to High Z		1.0	μs

Notes:

- V_{CCP} must be applied prior to V_{pp} .
- During verify operation.

3. Measured 10% and 90% points.



Mode Selection

Table 3

Mode	Pin Function					Outputs (9-11, 13-17)
	Read or Output Disable	CS ₄	CS ₃	CS ₂	CS ₁	
	Other	PGM	VFY	VPP	CS ₁	
	Pin Number	(18)	(19)	(20)	(21)	
Read	V _{IH}	V _{IH}	V _{IL}	V _{IL}	Data Out	
Output Disable ⁽⁴⁾	X	X	V _{IH}	X	High Z	
Output Disable ⁽⁴⁾	X	V _{IL}	X	X	High Z	
Output Disable ⁽⁴⁾	V _{IL}	X	X	X	High Z	
Output Disable ⁽⁴⁾	X	X	X	V _{IH}	High Z	
Program	V _{ILP}	V _{IHP}	V _{PP}	V _{ILP}	Data In	
Program Verify	V _{IHP}	V _{ILP}	V _{PP}	V _{ILP}	Data Out	
Program Inhibit	V _{IHP}	V _{IHP}	V _{PP}	V _{ILP}	High Z	
Intelligent Program	V _{ILP}	V _{IHP}	V _{PP}	V _{ILP}	Data In	
Blank Check Ones	V _{PP}	V _{ILP}	V _{ILP}	V _{ILP}	Ones	
Blank Check Zeros	V _{PP}	V _{IHP}	V _{ILP}	V _{ILP}	Zeros	

Notes:

4. X = Don't care but not to exceed V_{CC} + 5%.

5. During programming and verification, all unspecified pins to be at V_{ILP}.

Programming Sequence 1K x 8

Power the device for normal read mode operation with pin 18, 19, 20, and 21 at V_{IH}. Per Figure 5 take pin 20 to V_{PP}. The device is now in the program inhibit mode of operation with the output lines in a high impedance state; see Tables 3 and 4. Again per Figure 5 address program and verify one byte of data. Repeat this for each location to be programmed.

If the brute force programming method is used, the pulse width of the program pulse should be 10 ms, and each

location is programmed with a single pulse. Any location that fails to verify causes the device to be rejected.

If the intelligent programming technique is used, the program pulse width should be 100 μs. Each location is ultimately programmed and verified until it verifies correctly up to and including 4 times. When the location verifies, one additional programming pulse should be applied of duration 24 × the sum of the previous programming pulses before advancing to the next address to repeat the process.

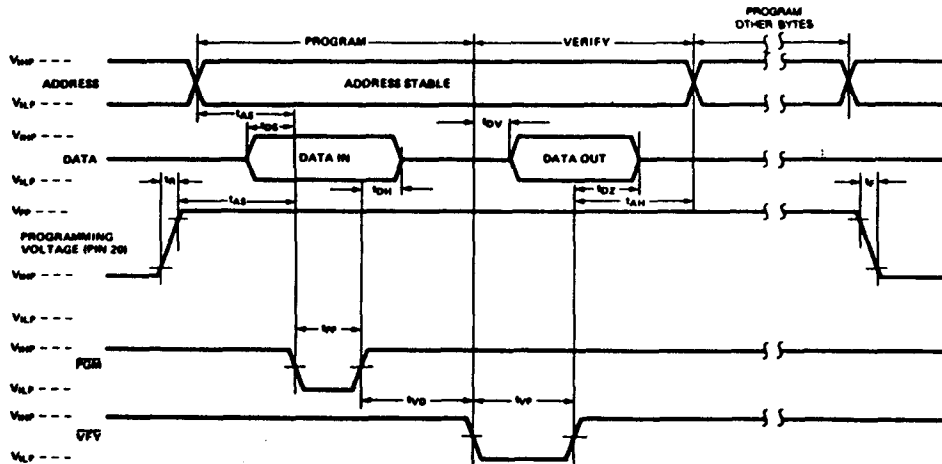


Figure 5. Programming Waveforms

0000-11



Ordering Information

Speed (ns)	Ordering Code	Package Type	Operating Range
30 ns	CY7C281-30PC	P13	Commercial
	CY7C282-30PC	P11	
	CY7C281-30DC	D14	
	CY7C281-30LC	L64	
	CY7C282-30DC	D12	
45 ns	CY7C281-45PC	P13	Commercial
	CY7C282-45PC	P11	
	CY7C281-45DC	D14	
	CY7C281-45LC	L64	
	CY7C282-45DC	D12	
	CY7C281-45DMB	D14	Military
	CY7C281-45LMB	L64	
CY7C282-45DMB	D12		

APENDICE C

DATOS DE LAS CELULAS DE 2 μ

SSI LOGIC FUNCTIONS

<u>INVERTERS</u>	<u>GATES</u>	<u>AREA</u>	<u>C_p d (PF)</u>
IV110 - INVERTER	0.5	0.75	.44
IV120 - INVERTER (2X DRIVE)	0.5	1.00	.80
IV130 - INVERTER (3X DRIVE)	0.5	1.25	1.29
IV140 - INVERTER (4X DRIVE)	0.5	1.50	1.61
IV160 - INVERTER (6X DRIVE)	0.5	2.00	2.39
IV180 - INVERTER (8X DRIVE)	0.5	2.50	3.16
IV101 - INVERTER (10X DRIVE)	1.5	4.50	7.22
IV211 - THREE-STATE INVERTER ACTIVE LOW	1.5	1.50	.49
IV221 - THREE-STATE INVERTER ACTIVE LOW (2X DRIVE)	1.5	2.00	1.00
IV241 - THREE-STATE INVERTER ACTIVE LOW (4X DRIVE)	1.5	3.00	1.88
IV212 - THREE-STATE INVERTER ACTIVE HIGH	1.5	1.50	.50
IV222 - THREE-STATE INVERTER ACTIVE HIGH (2X DRIVE)	1.5	2.00	.98
IV242 - THREE-STATE INVERTER ACTIVE HIGH (4X DRIVE)	1.5	3.00	1.86
<u>BUFFERS</u>			
BU120 - BUFFER (IN1/IN2)	2.0	1.50	1.29
BU130 - BUFFER (IN1/IN3)	2.0	1.75	1.73
BU221 - THREE-STATE BUFFER ACTIVE LOW (2X DRIVE)	2.5	2.75	1.62
BU222 - THREE-STATE BUFFER ACTIVE HIGH (2X DRIVE)	2.5	2.75	1.62
BU261 - THREE-STATE BUFFER ACTIVE LOW (6X DRIVE)	2.5	4.75	3.29
BU262 - THREE-STATE BUFFER ACTIVE HIGH (6X DRIVE)	2.5	4.75	3.30
<u>NAND GATES</u>			
NA210 - 2 INPUT NAND GATE	1.0	1.00	.51
NA220 - 2 INPUT NAND GATE (2X DRIVE)	1.0	1.50	1.00
NA230 - 2 INPUT NAND GATE (3X DRIVE)	1.0	2.00	1.51
NA240 - 2 INPUT NAND GATE (4X DRIVE)	1.0	2.50	2.06
NA260 - 2 INPUT NAND GATE (6X DRIVE)	1.0	3.50	2.98
NA310 - 3 INPUT NAND GATE	1.5	1.25	.50
NA320 - 3 INPUT NAND GATE (2X DRIVE)	1.5	2.00	.94
NA330 - 3 INPUT NAND GATE (3X DRIVE)	1.5	2.50	1.41
NA340 - 3 INPUT NAND GATE (4X DRIVE)	1.5	3.50	1.86
NA410 - 4 INPUT NAND GATE	2.0	1.50	.50
NA420 - 4 INPUT NAND GATE (2X DRIVE)	2.0	2.50	.96
NA430 - 4 INPUT NAND GATE (3X DRIVE)	2.0	3.75	1.46

<u>NAND GATES (continued)</u>	<u>GATES</u>	<u>AREA</u>	<u>C_pd (DF)</u>
NA510 - 5 INPUT NAND GATE	2.5	1.75	.52
NA520 - 5 INPUT NAND GATE (2X DRIVE)	2.5	3.00	1.02
NA810 - 8 INPUT NAND GATE	4.0	2.50	.61
NA820 - 8 INPUT NAND GATE (2X DRIVE)	4.0	4.75	1.13

AND GATES

AN210 - 2 INPUT AND GATE	1.5	1.50	.90
AN220 - 2 INPUT AND GATE (2X DRIVE)	1.5	1.75	1.20
AN240 - 2 INPUT AND GATE (4X DRIVE)	1.5	2.25	2.35
AN260 - 2 INPUT AND GATE (6X DRIVE)	1.5	3.00	3.08
AN310 - 3 INPUT AND GATE	2.0	1.75	1.06
AN320 - 3 INPUT AND GATE (2X DRIVE)	2.0	2.00	1.56
AN340 - 3 INPUT AND GATE (4X DRIVE)	2.0	2.50	2.59
AN360 - 3 INPUT AND GATE (6X DRIVE)	2.0	3.50	4.08
AN410 - 4 INPUT AND GATE	2.5	2.00	1.18
AN420 - 4 INPUT AND GATE (2X DRIVE)	2.5	2.25	1.72
AN440 - 4 INPUT AND GATE (4X DRIVE)	2.5	2.75	2.77
AN460 - 4 INPUT AND GATE (6X DRIVE)	2.5	4.00	4.58
AN510 - 5 INPUT AND GATE	3.0	2.25	1.12
AN810 - 8 INPUT AND GATE	4.5	3.25	1.22

EXCLUSIVE OR GATES

EX210 - EXCLUSIVE OR GATE	2.0	2.00	1.00
EX220 - EXCLUSIVE OR GATE (2X DRIVE)	2.0	2.25	1.35
EX240 - EXCLUSIVE OR GATE (4X DRIVE)	2.0	2.50	2.55

NO210 - 2 INPUT NOR GATE	1.0	1.00	.33
NO220 - 2 INPUT NOR GATE (2X DRIVE)	1.0	1.50	.52
NO230 - 2 INPUT NOR GATE (3X DRIVE)	1.0	2.00	.80
NO240 - 2 INPUT NOR GATE (4X DRIVE)	1.0	2.50	.98
NO310 - 3 INPUT NOR GATE	1.5	1.25	.32
NO320 - 3 INPUT NOR GATE (2X DRIVE)	1.5	2.00	.56
NO330 - 3 INPUT NOR GATE (3X DRIVE)	1.5	2.75	.85
NO410 - 4 INPUT NOR GATE	2.0	1.50	.35
NO420 - 4 INPUT NOR GATE (2X DRIVE)	2.0	2.50	.55
NO510 - 5 INPUT NOR GATE	2.5	1.75	.37
NO520 - 5 INPUT NOR GATE (2X DRIVE)	2.5	3.00	.64
NO810 - 8 INPUT NOR GATE	4.0	3.50	1.54
NO820 - 8 INPUT NOR GATE (2X DRIVE)	4.0	4.50	.65

<u>NOR GATES/OR GATES (continued)</u>	<u>GATES</u>	<u>AREA</u>	<u>C_{pd} (PF)</u>
OR210 - 2 INPUT OR GATE	1.5	1.50	.86
OR220 - 2 INPUT OR GATE (2X DRIVE)	1.5	1.75	1.62
OR240 - 2 INPUT OR GATE (4X DRIVE)	1.5	2.50	3.09
OR260 - 2 INPUT OR GATE (6X DRIVE)	1.5	3.75	4.70
OR310 - 3 INPUT OR GATE	2.0	1.75	.90
OR320 - 3 INPUT OR GATE (2X DRIVE)	2.0	2.00	1.71
OR340 - 3 INPUT OR GATE (4X DRIVE)	2.0	3.00	3.51
OR360 - 3 INPUT OR GATE (6X DRIVE)	2.0	4.50	5.36
OR410 - 4 INPUT OR GATE	2.5	2.00	.92
OR420 - 4 INPUT OR GATE (2X DRIVE)	2.5	2.25	1.83
OR440 - 4 INPUT OR GATE (4X DRIVE)	2.5	3.50	5.48
OR460 - 4 INPUT OR GATE (6X DRIVE)	2.5	5.25	5.48

MSI LOGIC FUNCTIONS

MULTIPLEXERS/DECODERS

MU110 - 2 INPUT MULTIPLEXER	3.5	3.75	.92
MU210 - 4 INPUT MULTIPLEXER	5.5	5.00	1.28
MU310 - 8 INPUT MULTIPLEXER (SOFT MACRO ONLY)	9.0	15.75	1.68
DE210 - 2 TO 4 DECODER	5.0	4.25	N/A
DE212 - 2 TO 4 DECODER (ENABLE ACTIVE HIGH)	5.0	5.25	N/A

BOOLEANS (TWO DEEP NOR COMPLEX)

BF001 - $-(A1 + B1B2)$	1.5	1.50	.38
BF002 - $-(A1 + B1B2B3)$	2.0	1.50	.42
BF003 - $-(A1A2 + B1B2)$	2.0	1.75	.51
BF004 - $-(A1A2 + B1B2B3)$	2.5	1.75	.53
BF005 - $-(A1A2A3 + B1B2B3)$	3.0	2.00	.64
BF006 - $-(A1 + A2 + B1B2)$	2.0	1.75	.36
BF007 - $-(A1 + A2 + B1B2B3)$	2.5	1.75	.36
BF008 - $-(A1 + B1B2 + C1C2)$	2.5	2.00	.44
BF009 - $-(A1 + B1B2 + C1C2C3)$	3.0	2.00	.45
BF010 - $-(A1 + B1B2B3 + C1C2C3)$	3.5	2.25	.45
BF011 - $-(A1A2 + B1B2 + C1C2)$	3.0	2.75	.52
BF012 - $-(A1A2 + B1B2 + C1C2C3)$	3.5	2.50	.56
BF013 - $-(A1A2 + B1B2B3 + C1C2C3)$	4.0	2.50	.57
BF014 - $-(A1A2A3 + B1B2B3 + C1C2C3)$	4.5	2.75	.71

BOOLEANS (THREE DEEP NOR COMPLEX)

	<u>GATES</u>	<u>AREA</u>	<u>C_pd (DF)</u>
BF015 = $-(A1 + B1(C1 + C1))$	2.0	1.75	.36
BF016 = $-(A1 + (B1 + B2)(C1 + C2))$	2.5	2.50	.42
BF017 = $-(A1 + B1B2(C1 + C2))$	2.5	2.00	.40
BF020 = $-(A1A2 + B1(C1 + C2))$	2.5	2.00	.47
BF022 = $-(A1A2 + B1B2(C1 + C2))$	3.0	2.25	.54
BF025 = $-(A1A2A3 + B1(C1 + C2))$	3.0	2.25	.64

BOOLEANS (TWO DEEP NAND COMPLEX)

BF051 = $-(A1(B1 + B2))$	1.5	1.50	.57
BF052 = $-(A1(B1 + B2 + B3))$	2.0	1.50	.57
BF053 = $-(A1 + A2)(B1 + B2)$	2.0	1.75	.49
BF054 = $-(A1 + A2)(B1 + B2 + B3)$	2.5	1.75	.47
BF055 = $-(A1 + A2 + A3)(B1 + B2 + B3)$	3.0	2.00	.51
BF056 = $-(A1A2(B1 + B2))$	2.0	1.75	.55
BF057 = $-(A1A2(B1 + B2 + B3))$	2.5	1.75	.58
BF058 = $-(A1(B1 + B2)(C1 + C2))$	2.5	2.00	.64
BF059 = $-(A1(B1 + B2)(C1 + C2 + C3))$	3.0	2.25	.65
BF060 = $-(A1(B1 + B2 + B3)(C1 + C2 + C3))$	3.5	2.25	.65
BF062 = $-((A1 + A2)(B1 + B2)(C1 + C2 + C3))$	3.5	2.50	.65
BF063 = $-((A1 + A2)(B1 + B2 + B3)(C1 + C2 + C3))$	4.0	2.50	.64
BF064 = $-((A1 + A2 + A3)(B1 + B2 + B3)(C1 + C2 + C3))$	4.5	2.75	.70

BOOLEANS (THREE DEEP NAND COMPLEX)

BF065 = $-(A1(B1 + C1C2))$	2.0	1.75	.58
BF066 = $-(A1(B1B2 + C1C2))$	2.5	2.50	.64
BF067 = $-(A1(B1 + B2 + C1C2))$	2.5	2.00	.57
BF068 = $-(A1(B1 + C1C2 + D1D2))$	3.0	2.75	.61
BF069 = $-(A1(B1B2 + C1C2 + D1D2))$	3.5	3.00	.66
BF070 = $-((A1 + A2)(B1 + C1C2))$	2.5	2.00	.53
BF071 = $-((A1 + A2)(B1B2 + C1C2))$	3.0	2.50	.64

MSI SOFT MACRO FUNCTIONSSOFT MACROS

S85 - 4 BIT MAGNITUDE COMPARATOR	48
S137 - 3 TO 8 DECODER WITH LATCHES	35
S138 - 3 TO 8 DECODER	21
S139 - DUAL 2 TO 4 DECODER	17
S151 - 8 TO 1 MULTIPLEXER	28

SOFT MACROSGATES

S153	- DUAL 4 TO 1 MULTIPLEXER	23
S155	- 2 TO 4 DECODER/DEMULTIPLEXER	17
S157	- QUAD 2 TO 1 MULTIPLEXER	16
S158	- QUAD 2 TO 1 MULTIPLEXER (INVERTING)	18
S161A	- 4 BIT BINARY COUNTER, ASYNC CLEAR	60
S163A	- 4 BIT BINARY COUNTER, SYNC CLEAR	63
S164	- 8 BIT, SERIAL IN, PARALLEL OUT SHIFT REG ASYNC. CLEAR	53
S165	- 8 BIT, SERIAL/PARALLEL IN, SERIAL OUT SHIFT REG ASYNC. CLEAR	103
S166	- 8 BIT, SERIAL/PARALLEL IN, SERIAL OUT SHIFT REG SYNC. CLEAR	74
S173	- QUAD D-TYPE FLIP-FLOP WITH 3 STATE OUTPUTS	44
S174	- HEX D-TYPE FLIP-FLOP	56
S175	- QUAD D-TYPE FLIP-FLOP, Q AND QB OUTPUTS	24
S177	- 4 BIT BINARY COUNTER, ASYNC PARALLEL LOAD, RIPPLE CLOCK	58
S181	- 4 BIT ALU	94
S191	- PRESETTABLE 4 BIT BINARY UP/DOWN COUNTER	89
S193	- PRESETTABLE 4 BIT BINARY UP/DOWN COUNTER, 2 CLOCKS, CLEAR	81
S194A	- 4 BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER	60
S195A	- 4 BIT PARALLEL ACCESS SHIFT REGISTER	40
S244	- OCTAL DRIVER/RECEIVER, NON INVERTING, 3 STATE	17
S245	- OCTAL DRIVER/RECEIVER, BIDIRECTIONAL, NON INVERTING, 3 STATE	35
S251	- 8 TO 1 MULTIPLEXER, 3 STATE	27
S257A	- QUAD 2 TO 1 MULTIPLEXER, NON INVERTING, 3 STATE	20
S258A	- QUAD 2 TO 1 MULTIPLEXER, INVERTING, 3 STATE	16
S259	- 8 BIT ADDRESSABLE LATCH	59
S273	- OCTAL D-TYPE FLIP-FLOP	51
S280	- 9 BIT ODD/EVEN PARITY GENERATOR/CHECKER	52
S283	- 4 BIT FULL ADDER WITH FAST CARRY	51
S298	- QUAD 2 PORT REGISTER	40
S299	- 8 BIT UNIVERSAL SHIFT REGISTER, 3 STATE	128
S299X	- 8 BIT UNIVERSAL SHIFT REGISTER, INPUTS SPLIT	117
S273	- OCTAL TRANSPARENT LATCH WITH 3 STATE OUTPUTS	51
S374	- OCTAL D-TYPE FLIP-FLOP WITH 3 STATE OUTPUTS	48

SOFT MACROS (continued)GATES

S375	- QUAD BISTABLE LATCH	12
S393	- DUAL 4 BIT BINARY RIPPLE COUNTER	52
S398	- 2 PORT REGISTER WITH Q AND QB OUTPUTS	38
S399	- 2 PORT REGISTER	40
S590	- 8 BIT BINARY COUNTER WITH OUTPUT REGISTERS	141
S593X	- 8 BIT BINARY COUNTER WITH INPUT REGISTERS	199
S595	- 8 BIT SHIFT REGISTER WITH OUTPUT REGISTERS	99
S598X	- 8 BIT SHIFT REGISTER WITH INPUT LATCHES	182
S651	- DUAL 8 BIT REGISTER AND BUS TRANSCEIVER, 3 STATE, D LOW	
S652	- DUAL 8 BIT REGISTER AND BUS TRANSCEIVER, 3 STATE	177
S669	- 4 BIT UP/DOWN BINARY COUNTER	70
S686	- 8 BIT MAGNITUDE COMPARATOR, P=Q, P>Q	78
S688	- 8 BIT MAGNITUDE COMPARATOR, P=Q	28

INPUT/OUTPUT BUFFERAREAC_{pd} (pF)INPUT BUFFERS

IPF00	- CMOS-LEVEL INVERTING	33.0	2.05
IPF01	- CMOS-LEVEL NON-INVERTING	33.0	2.95
IPF03	- TTL-LEVEL INVERTING	33.0	16.50
IPF04	- TTL-LEVEL NON-INVERTING	33.0	18.20
IPF04	- TTL-LEVEL INVERTING, WITH HYSTERESIS	39.0	19.70
IPF12	- CMOS-LEVEL NON-INVERTING	39.0	42.60

OUTPUT BUFFERS

OPF00	- 10 MA PUSH-PULL	43.5	20.10
OPF01	- 10 MA OPEN DRAIN	43.5	5.81
OPF03	- 10 MA 3-STATE	54.0	23.20
OPF40	- 4 MA PUSH-PULL	40.5	10.90
OPF41	- 4 MA OPEN DRAIN	40.5	2.60
OPF43	- 4 MA 3 STATE ACTIVE LOW ENABLE	46.5	10.90
OPF60	- 6 MA PUSH-PULL	42.0	17.30
OPF61	- 6 MA OPEN DRAIN	42.0	4.00
OPF63	- 6 MA 3 STATE ACTIVE LOW ENABLE	55.7	17.30

TRANSCEIVERS

IOF00	- 10 MA OUTPUT, CMOS LEVEL INPUT	64.5	25.80
IOF01	- 10 MA OUTPUT, CMOS LEVEL INPUT	66.0	26.60
IOF03	- 10 MA OUTPUT, TTL LEVEL INPUT	64.5	24.40

© El documento de autores. Digitalizado por UFPCC Biblioteca Universitaria 2008

TRANSCEIVERS (continued)

	<u>AREA</u>	<u>C_{pd} (pF)</u>
IOF04 - 10 MA OUTPUT, TTL LEVEL INPUT	64.5	25.70
IOF40 - 4 MA OUTPUT, TTL LEVEL INPUT	51.0	12.70
IOF41 - 4 MA OUTPUT, CMOS LEVEL INPUT	51.0	14.30
IOF43 - 4 MA OUTPUT, TTL LEVEL INPUT	52.5	13.40
IOF64 - 6 MA OUTPUT, TTL LEVEL INPUT	60.0	22.40

SPECIAL CELLS

	<u>GATES</u>	<u>AREA</u>	<u>C_{pd} (pF)</u>
TO101 - FIXED VOLTAGE FOR UNUSED INPUTS	1.5	1.5	N/A

SEQUENTIAL FUNCTIONSPOSITIVE TRIGGERED LATCHES/MASTER MODULES

LAH10 - TRANSPARENT D-LATCH WITH HIGH ENABLE	3.5	4.00	2.01
LAH20 - TRANSPARENT D-LATCH WITH HIGH ENABLE	3.5	4.50	5.20
GM010 - MASTER MODULE (R/S INPUT)	4.0	3.00	.75
GM110 - GMO WITH RESET	4.0	3.00	.80
GM210 - GMO WITH SET	4.0	3.25	.81
GM310 - GMO WITH SET AND RESET	4.0	2.75	.80

NEGATIVE TRIGGERED LATCHES/SLAVE MODULES

LAB10 - TRANSPARENT D-LATCH WITH LOW ENABLE	3.0	2.50	2.11
LAB20 - TRANSPARENT D-LATCH WITH LOW ENABLE	3.0	3.00	5.20
GS010 - SLAVE MODULE (RN/SN INPUT)	4.0	2.75	.72
GS110 - GSO WITH RESET	4.0	3.00	.84
GSS10 - GSO WITH SET	4.0	3.00	.72
GS210 - GSO WITH SET AND RESET	4.0	3.00	.84

FLIP-FLOPS

DFB20 - D-TYPE EDGE TRIGGERED FF WITH RESET AND CLEAR	10.5	7.75	3.76
DFC20 - D-TYPE EDGE TRIGGERED FF WITH CLEAR	7.5	7.25	3.39
DFN20 - D-TYPE EDGE TRIGGERED FF	9.0	6.50	2.71
DFP20 - D-TYPE EDGE TRIGGERED FF WITH RESET	7.0	7.00	3.49
DFY20 - D-TYPE EDGE TRIGGERED WITH PRESET (D LOW)	8.0	5.75	4.63
JKB20 - J-KBAR MASTER/SLAVE FF WITH PRESET AND CLEAR (POS. TRIG)	11.0	10.00	4.81

<u>FLIP-FLOPS (continued)</u>	<u>GATES</u>	<u>AREA</u>	<u>C_{pd} (pF)</u>
JKB21 - J-KBAR MASTER/SLAVE FF WITH PRESET AND CLEAR (NEG. TRIG)	10.5	10.25	4.97
TAB20 - T-TYPE FF WITH PRESET AND CLEAR	9.0	7.75	4.20
TAC20 - T-TYPE FF WITH CLEAR	9.0	7.75	3.79
TAP20 - T-TYPE FF WITH PRESET	9.0	7.00	3.59

REGISTERS

R2401 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT	25.0	25.25	10.30
R2402 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT, Q AND QB OUT	25.0	28.25	12.10
R2403 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT	25.0	31.25	11.10
R2404 - 4 BIT SHIFT REGISTER, SERIAL IN PARALLEL OUT, Q AND QB OUT	25.0	34.25	12.10
R2405 - 4 BIT D-TYPE FLIP-FLOP	23.0	23.25	10.20
R2406 - 4 BIT D-TYPE FLIP-FLOP, Q AND QB OUT	23.0	26.25	11.70
R2407 - 4 BIT D-TYPE FLIP-FLOP, 3 STATE	23.0	26.25	11.00
R2408 - 4 BIT RIPPLE UP COUNTER	25.0	28.25	7.22

BIBLIOGRAFIA

1.- AM2900 LEARNING AND EVALUATION KIT USER'S MANUAL

Autor: Advanced Micro Devices

Editorial: Advanced Micro Devices, inc.

2.- BIPOLAR MICROPROCESSOR LOGIC AND INTERFACE

Autor: Advanced Micro Devices

Editorial: Advanced Micro Devices, inc.

3.- FUNDAMENTOS DE LOS COMPUTADORES

Autor: Pedro De Miguel Anasagasti

Editorial: Paraninfo

4.- CURSO TEORICO-PRACTICO SOBRE MICROPROCESADORES

Autor: Jose Maria Angulo Usategui

Editorial: Paraninfo

5.- CIRCUITOS ELECTRONICOS DISCRETOS E INTEGRADOS

Autor: Charles Belove

Donal L. Schilling

Editorial: Marcombo

6.- MUNDO ELECTRONICO (Marzo 1989)

Editorial: Boixareu Editores

7.- MUNDO ELECTRONICO (Septiembre 1989)

Editorial: Boixareu Editores

8.- BIT-SLICE MICROPROCESSOR DESIGN

Autor: James Brick

John Mick

Editorial: McGraw-Hill Book Company

9.- COMPUTER STRUCTURES: PRINCIPLES AND EXAMPLES

Autor: G. Gordon Bell

Allen Newell

Daniel P. Siewiorek

Editorial: McGraw-Hill International Book Company

10.- MOSFET IN CIRCUIT DESIGN

Autor: Robert H. Crawford

Editorial: McGraw-Hill Book Company

11.- CIRCUITOS INTEGRADOS MOS Y CMOS

Autor: H. Lilen

Editorial: Marcombo

12.- SISTEMAS ELECTRONICOS DIGITALES

Autor: Enrique Mandado

Editorial: Marcombo

13.- MICROPROCESADORES

Autor: C. M. Peñalver

P. M. Martinez

Editorial: Universidad Politecnica de Las Palmas

14.- CIRCUITOS ELECTRONICOS

Autor: Elias Muñoz Merino

Editorial: E.T.S. Ingenieros de Telecomunicación

15.- MOS/LSI DESIGN AND APPLICATION

Autor: William N. Carr

Jack P. Mize

Editorial: McGraw-Hill Book Company

16.- OrCAD/SDT III

Autor: OrCAD Systems Corporation

Editorial: OrCAD Systems Corporation

17.- ASIC

PHILIPS PERSONAL DESIGN STATION

USER MANUAL

Autor: PHILIPS

Editorial: International Microelectronics Support Centre

18.- SystemCell 1987

DESIGN MANUAL

CELL LIBRARY

Autor: PHILIPS

Editorial: PHILIPS

19.- SystemCell II

CELL LIBRARY

Autor: PHILIPS

Editorial: International Microelectronics Support Centre

20- SystemCell

DESIGN EXAMPLE

Autor: PHILIPS

Editorial: PHILIPS

21.- ORGANIZACION DE COMPUTADORAS

Autor: Andrew S. Tanenbaum

Editorial: Prentice Hall

22.- 2 μ m CMOS STANDARD CELL DATA BOOK

SystemCell SERIES

Autor: Texas Instruments

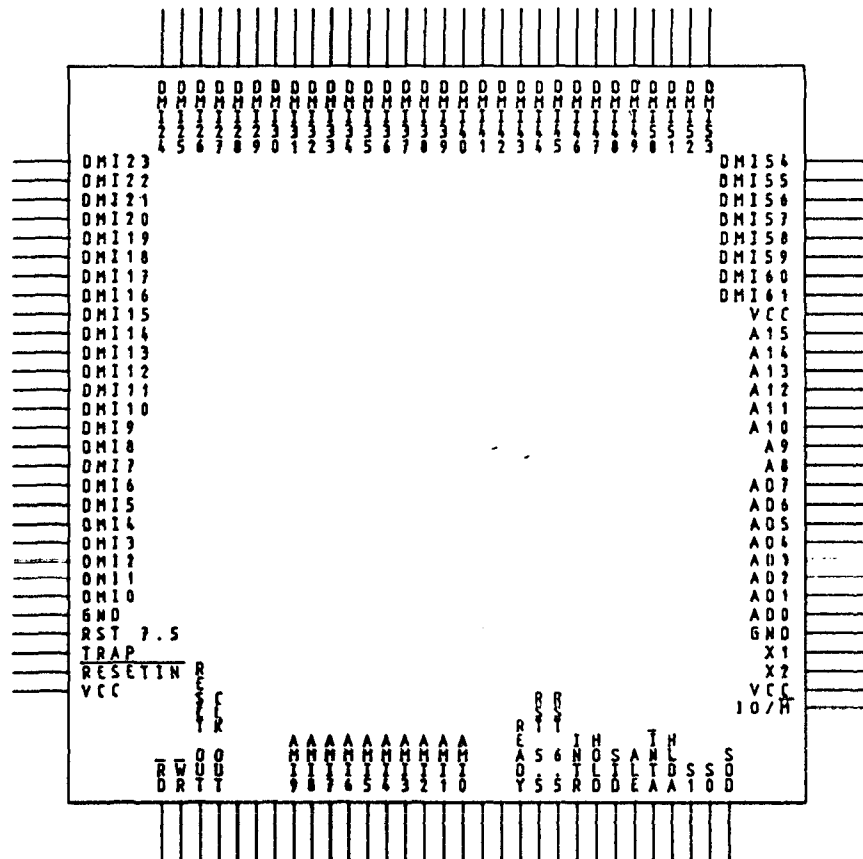
Editorial: Texas Instruments

23.- LARGE AND MEDIUM SCALE INTEGRATION:

DEVICES AND APPLICATIONS

Autor: Samuel Weber

Editorial: McGraw-Hill Book Company

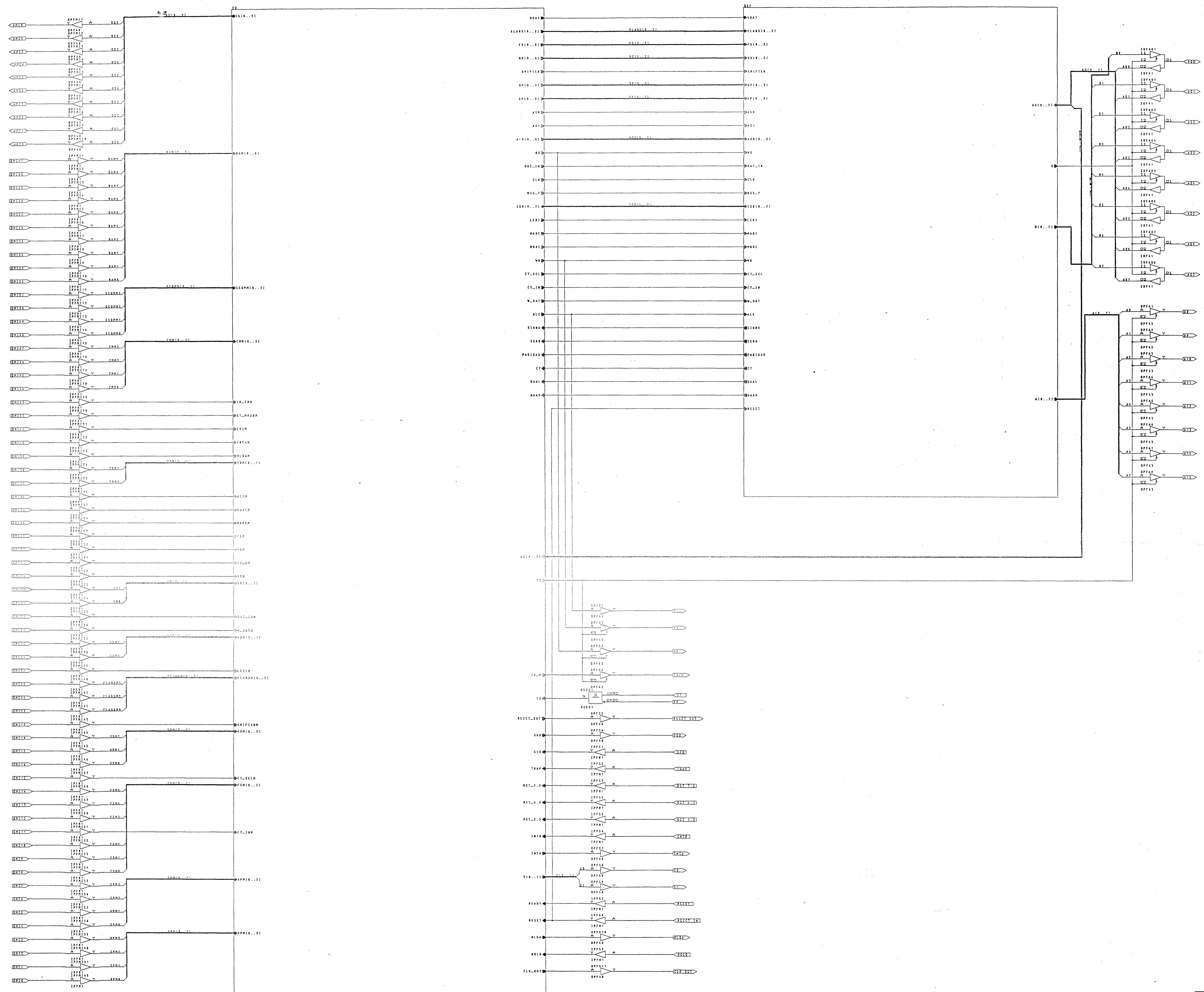


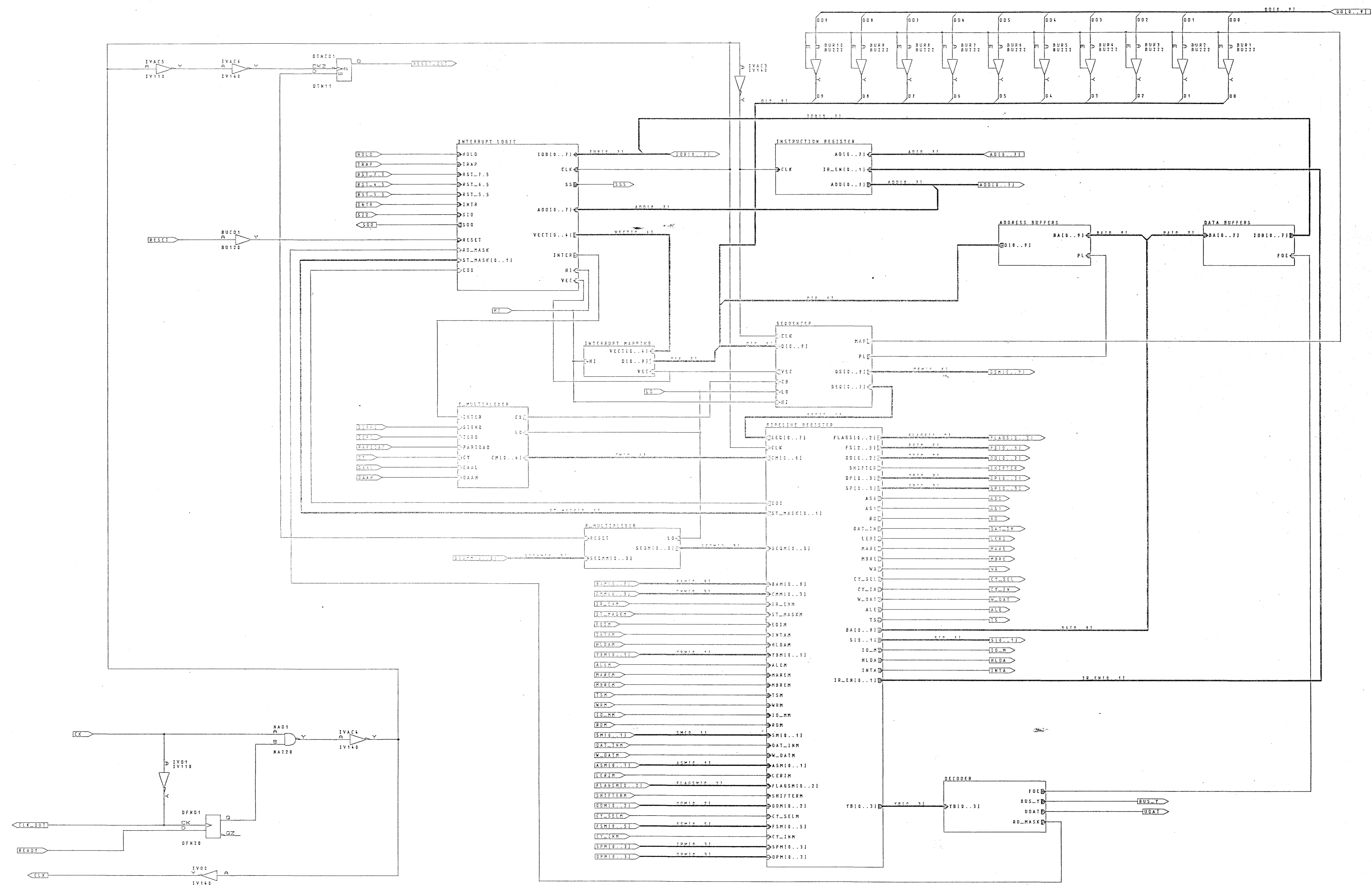
E.U.I.T.T. DE LAS PALMAS
 UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ
 TUTOR: D. JAVIER LOPEZ CURBELO
 CO-TUTOR: Dr. ANTONIO MUNEZ ORDONEZ
 ALUMNO: CARLOS BETANCOR MARTIN

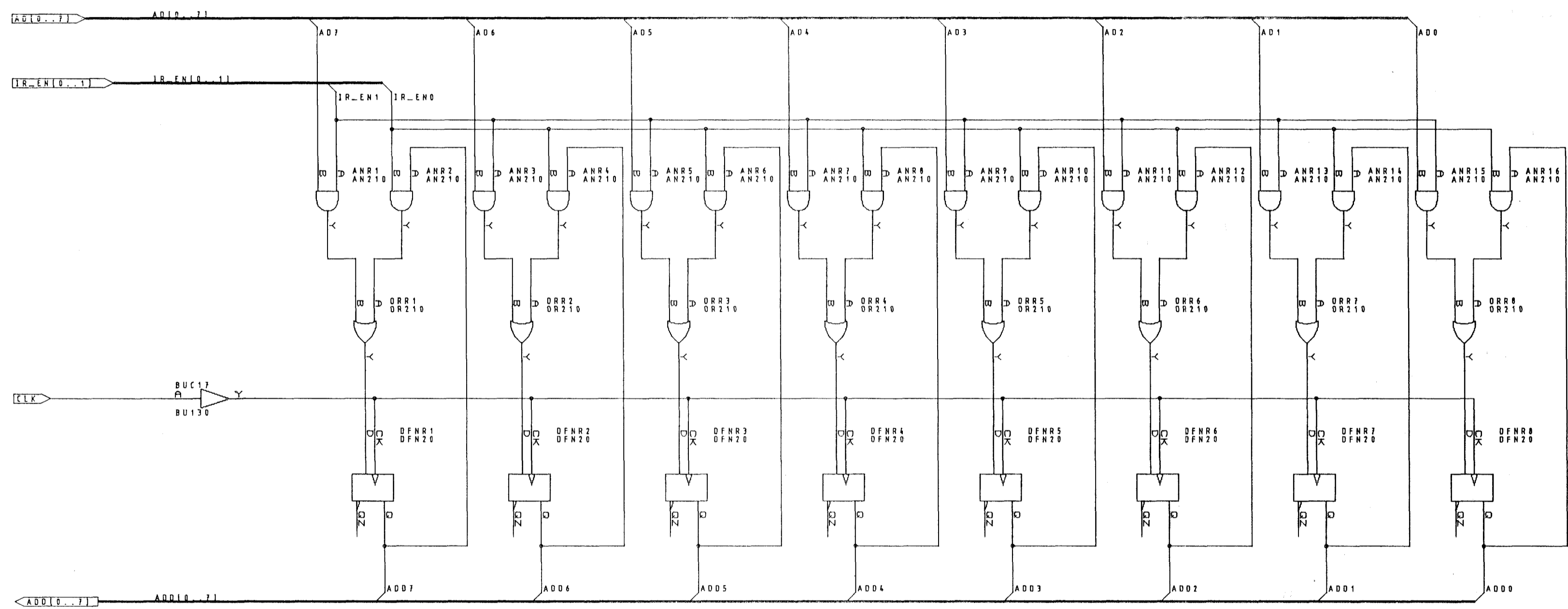
Title
 DISTRIBUCION DE PINES (IC0005.DRT)

Size	Document Number	REV
A	1	2

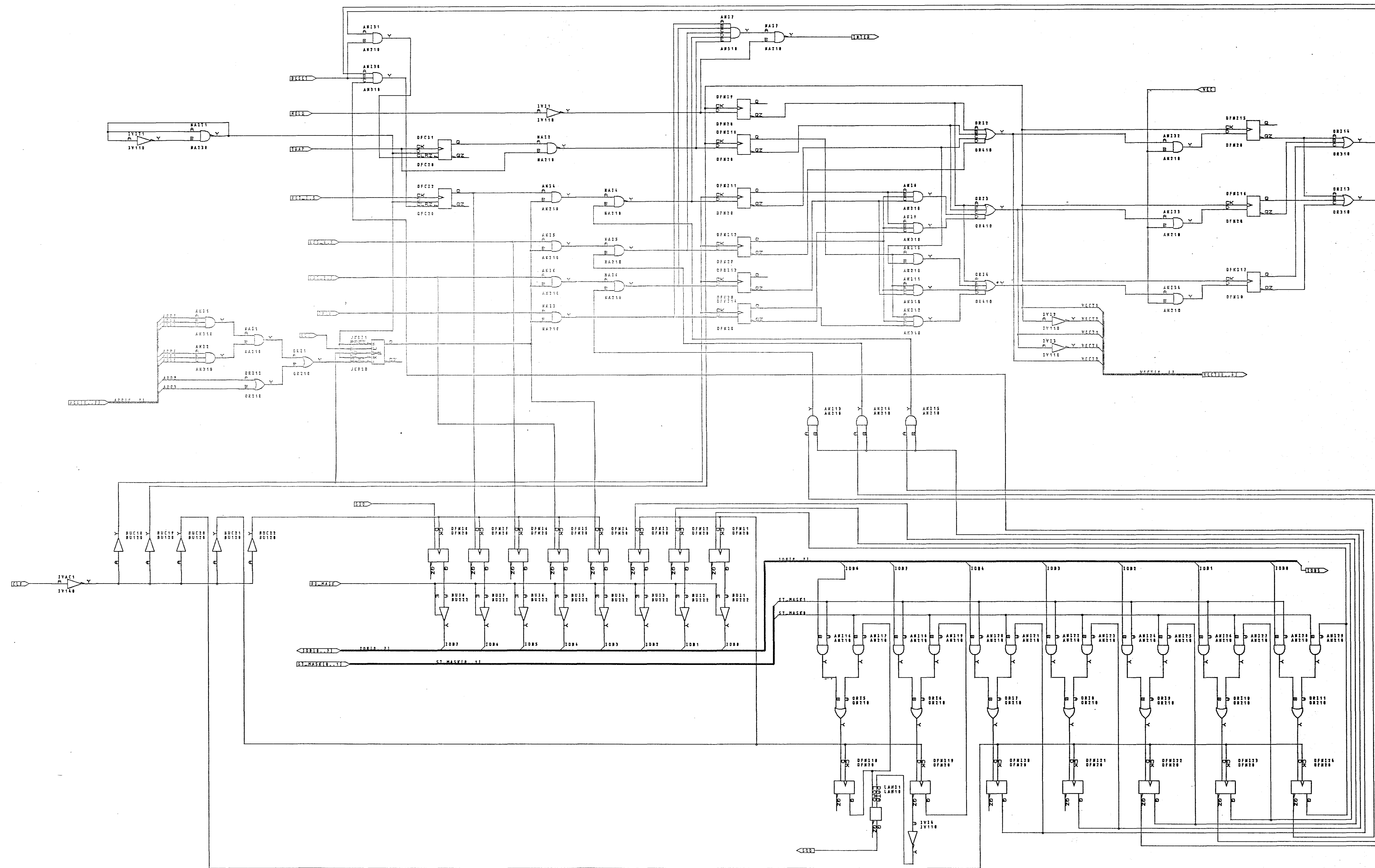
Date: October 28, 1989 Sheet 1 of 15

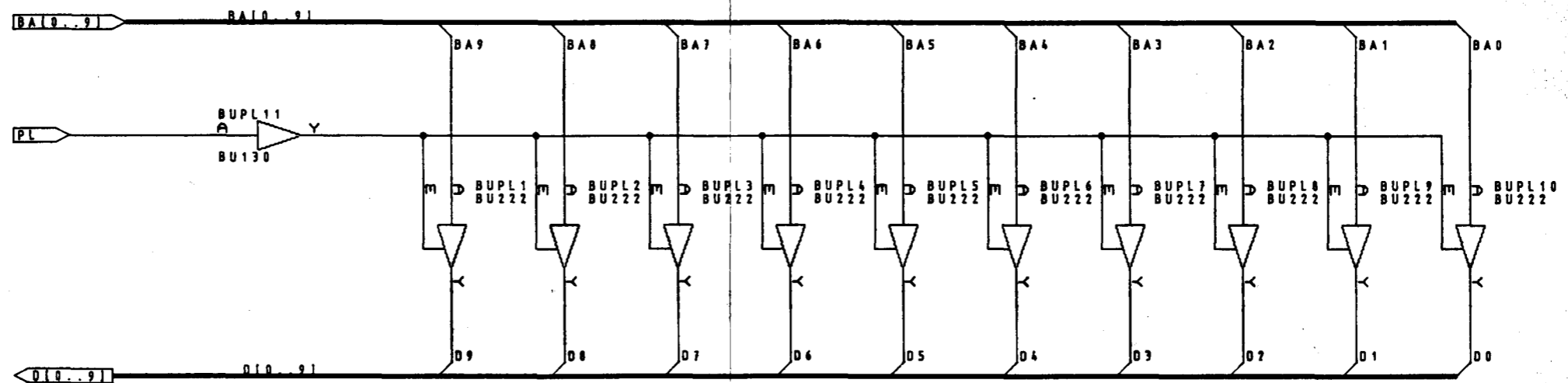




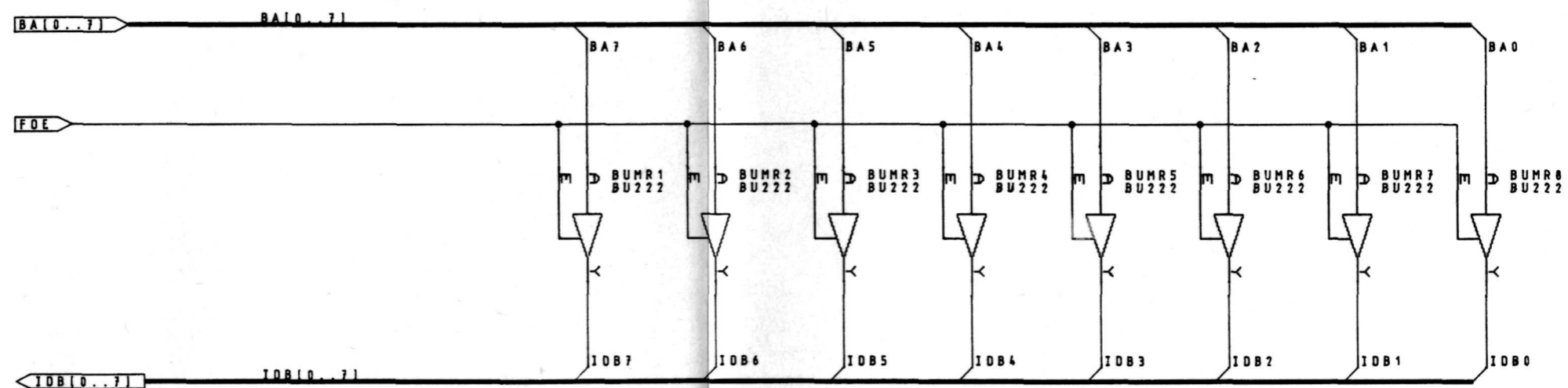


E.U.I.T.T. DE LAS PALMAS		
UNIDAD DE CONTROL DE CPA EN CHOS DE 1.5 m		
TUTOR: D. JAVIER LOPEZ CURBELO		
CO-TUTOR: Dr. ANTONIO NUNEZ ORDOÑEZ		
ALUMNO: CARLOS BETANCOR MARTIN		
Title	REGISTRO DE INSTRUCCION (MIR.DRT)	
Size	Document Number	REV
c	5	2
Date:	October 26, 1989	Sheet 5 of 15

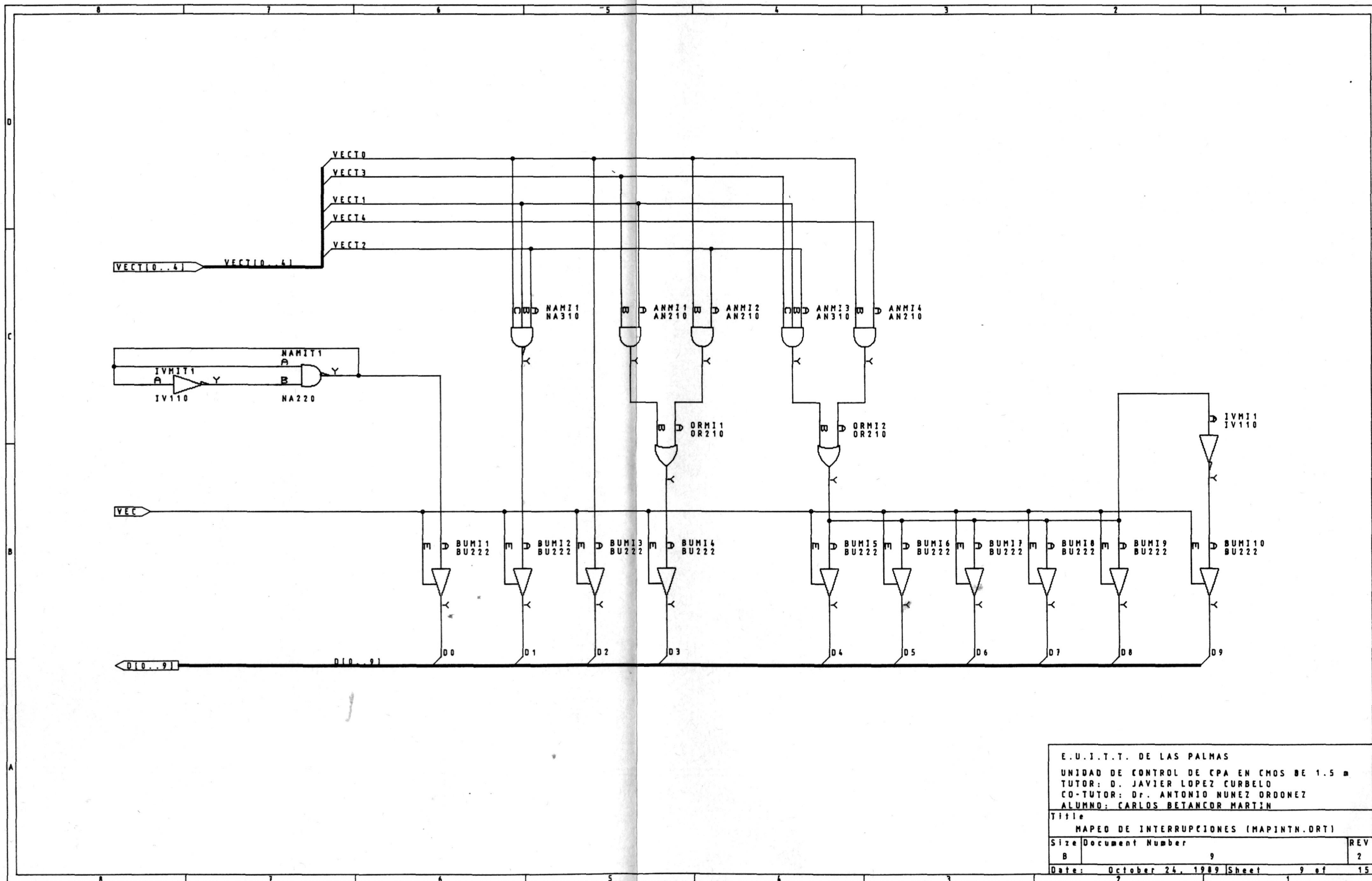




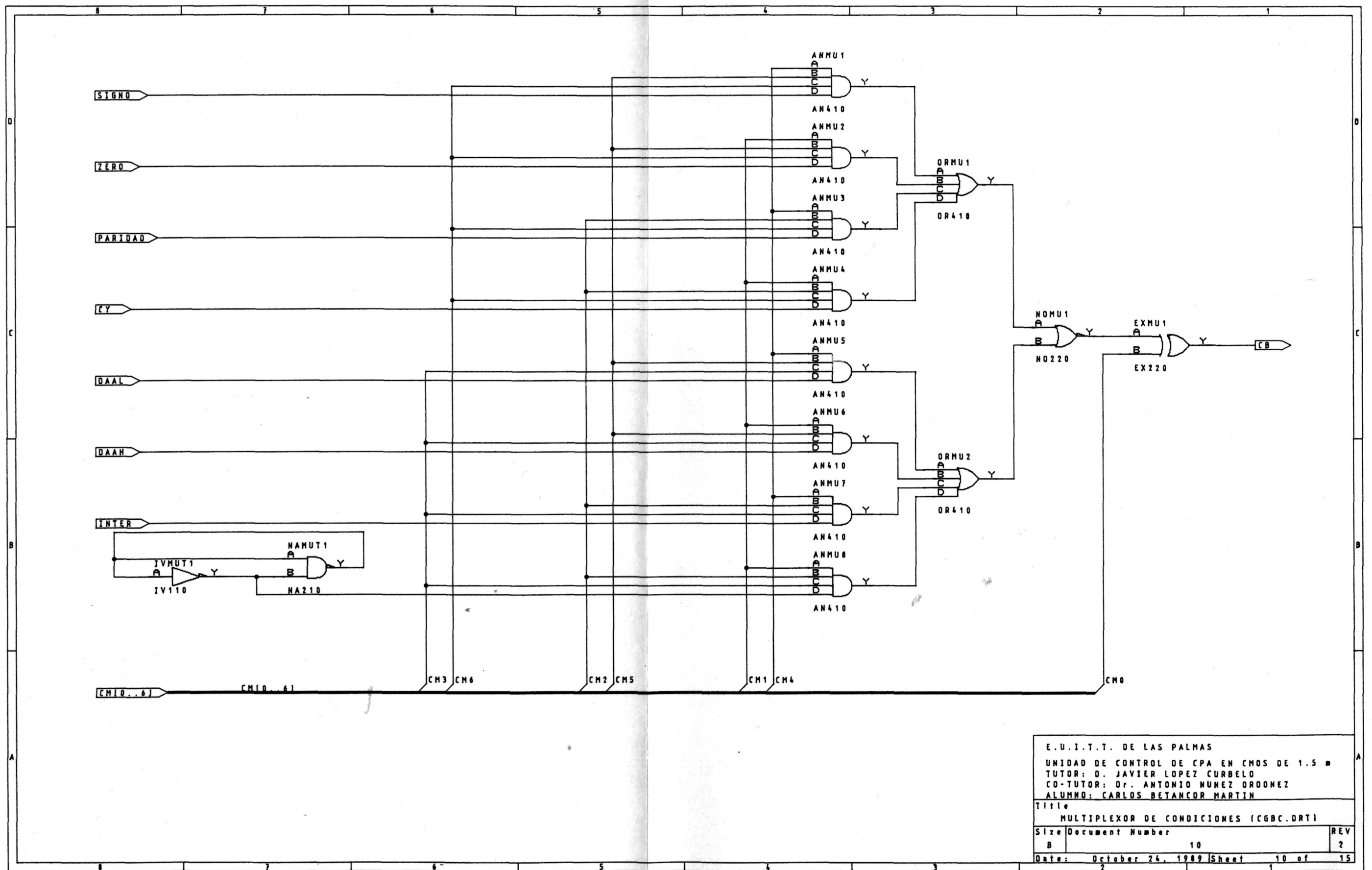
E.U.I.T.T. DE LAS PALMAS		
UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ		
TUTOR: D. JAVIER LOPEZ CURBELO		
CO-TUTOR: Dr. ANTONIO NUNEZ ORDONEZ		
ALUMNO: CARLOS BETANCOR MARTIN		
Title		
BUFFERS DE DIRECCION (RGTR.ORT)		
Size	Document Number	REV
B	7	2
Date: October 24, 1989 Sheet 7 of 15		



E.U.I.T.T. DE LAS PALMAS		
UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ		
TUTOR: D. JAVIER LOPEZ CURBELO		
CO-TUTOR: Dr. ANTONIO NUNEZ ORDOÑEZ		
ALUMNO: CARLOS BETANCOR MARTIN		
Title		
BUFFERS DE DATOS (DMR.DRT)		
Size	Document Number	REV
B	8	2
Date:	October 24, 1989	Sheet 8 of 15



E.U.I.T.T. DE LAS PALMAS		
UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ		
TUTOR: D. JAVIER LOPEZ CURBELO		
CO-TUTOR: Dr. ANTONIO NUÑEZ ORDÓÑEZ		
ALUMNO: CARLOS BETANCOR MARTÍN		
Title MAPEO DE INTERRUPCIONES (MAPINTN.ORT)		
Size	Document Number	REV
B	9	2
Date:	October 24, 1989	Sheet 9 of 15
	2	1

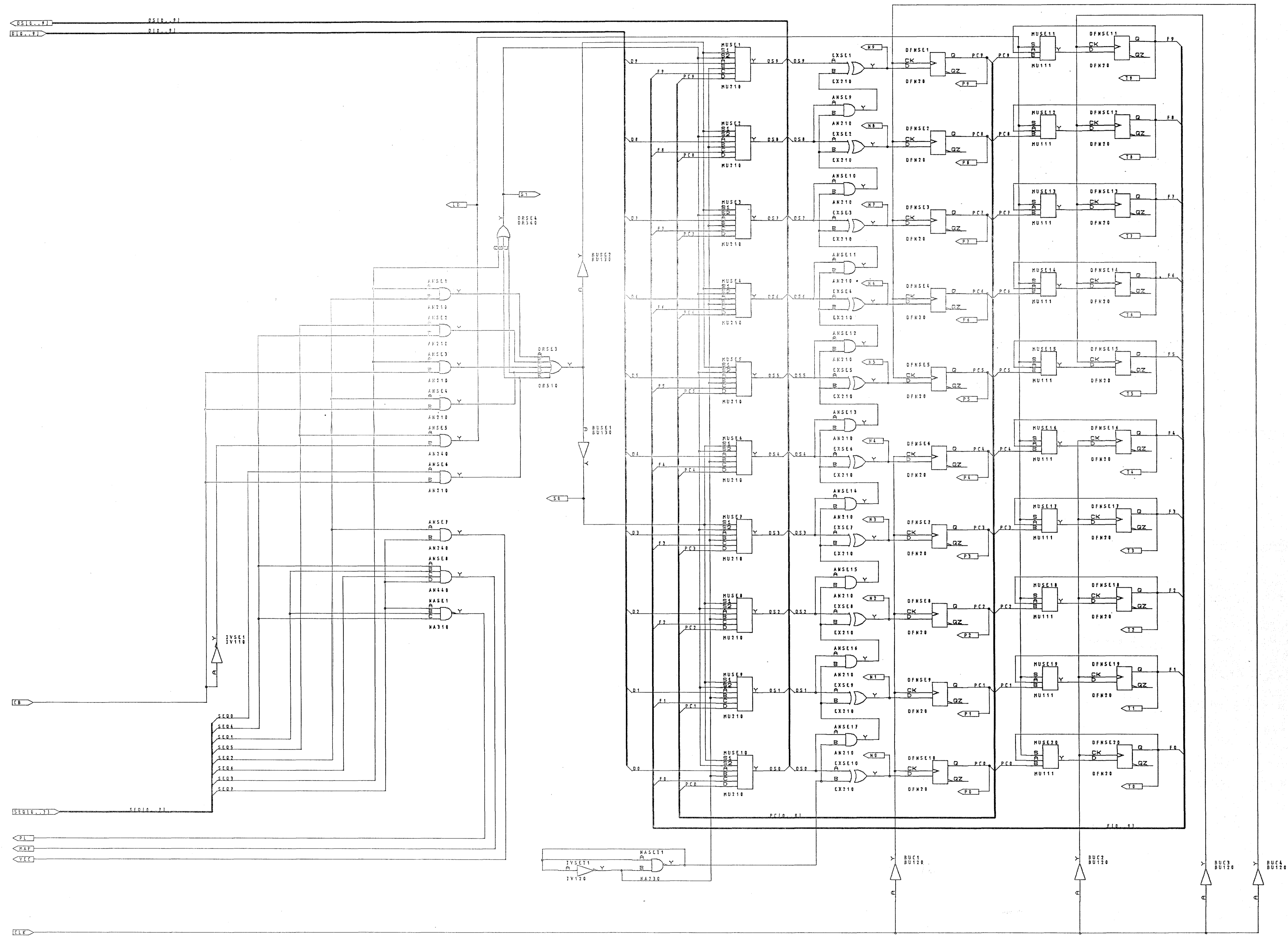


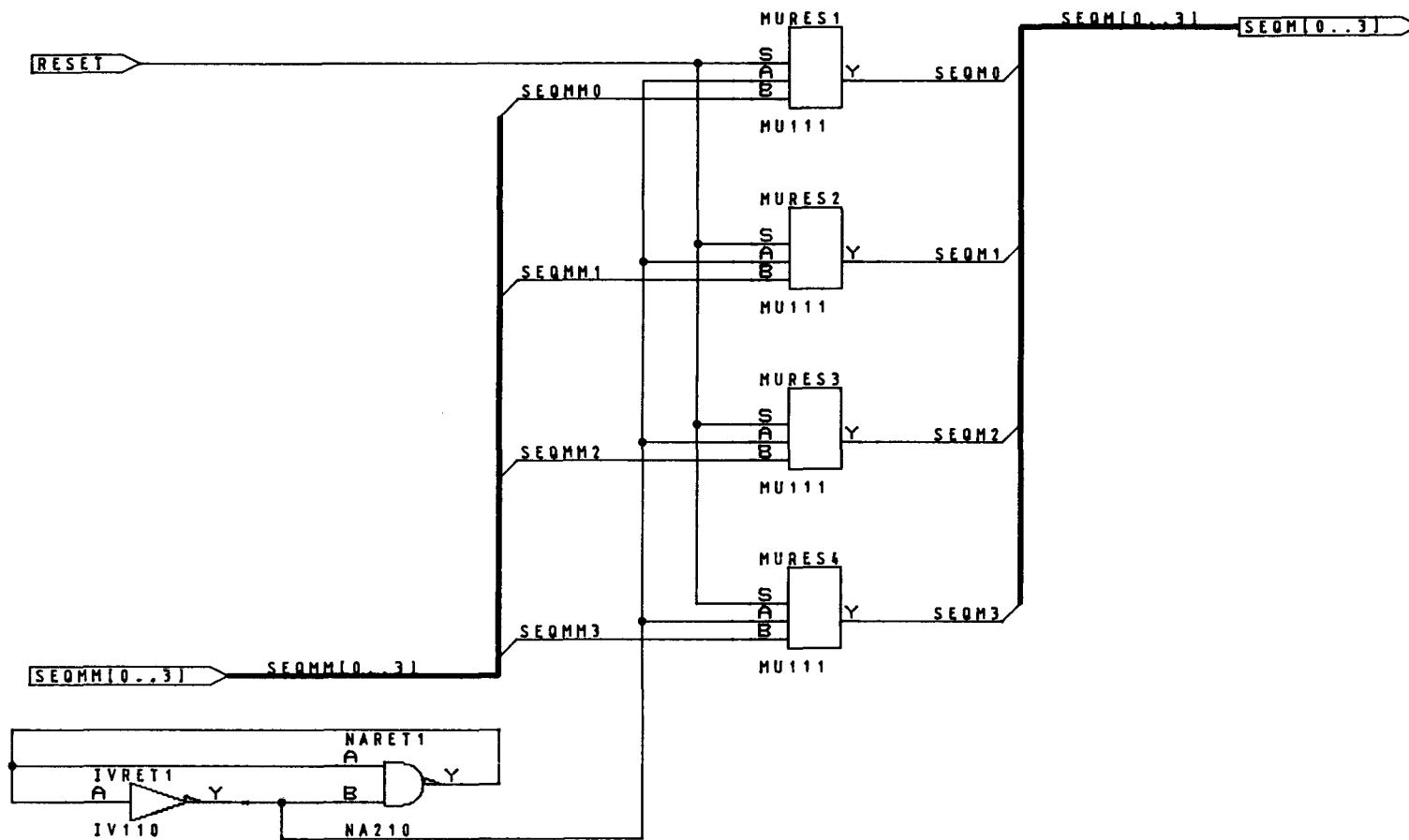
E.U.I.T.T. DE LAS PALMAS
 UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ
 TUTOR: D. JAVIER LOPEZ CURBELO
 CO-TUTOR: Dr. ANTONIO NUNEZ OROOÑEZ
 ALUMNO: CARLOS BETANCOR MARTIN

Title
 MULTIPLEXOR DE CONDICIONES (CGBC.DRT)

Size	Document Number	REV
B	10	2

Date: October 24, 1989 Sheet 10 of 15



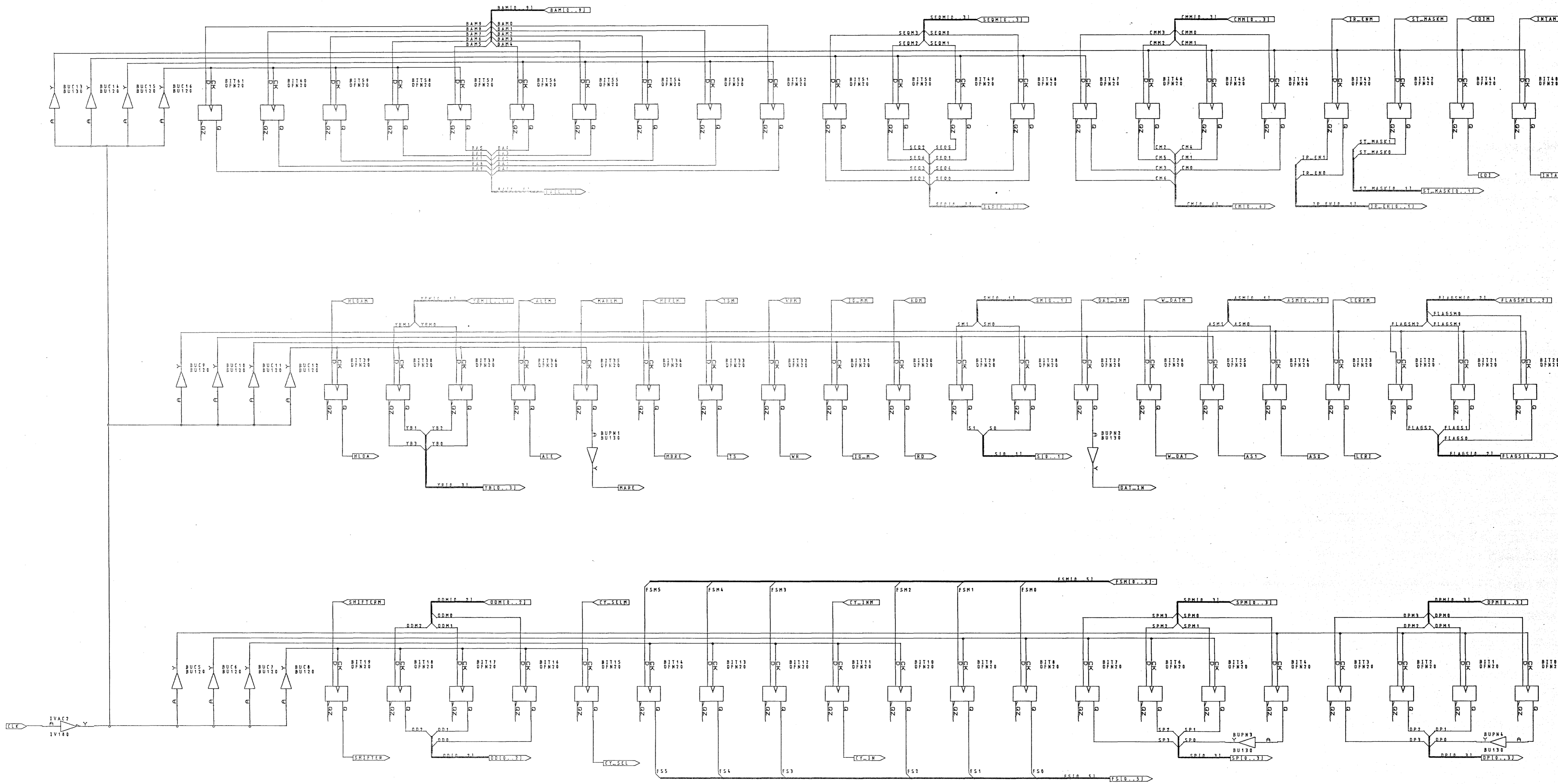


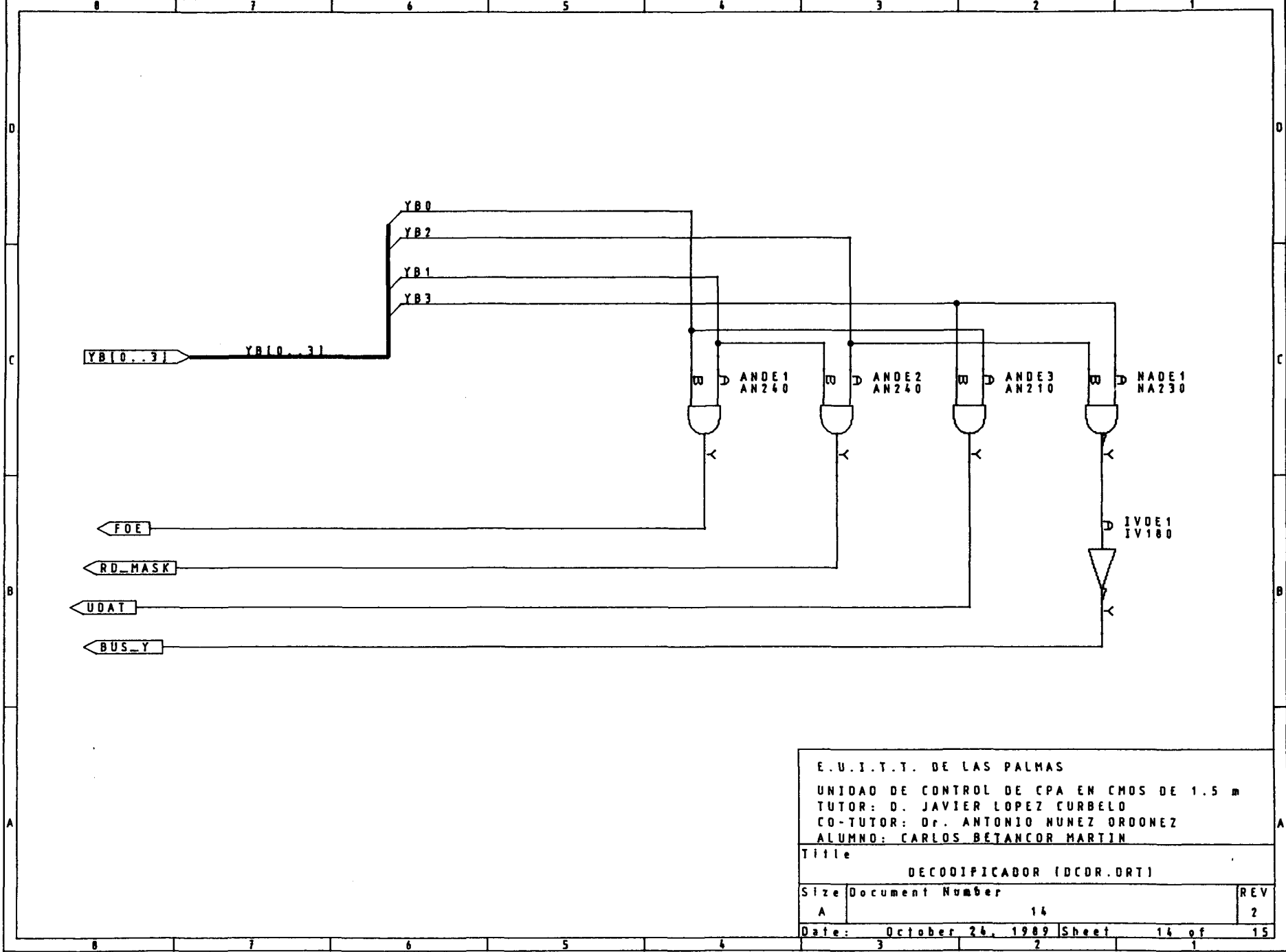
E.U.I.T.T. DE LAS PALMAS
 UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ
 TUTOR: D. JAVIER LOPEZ CURBELO
 CO-TUTOR: Dr. ANTONIO NUNEZ ORDONEZ
 ALUMNO: CARLOS BETANCOR MARTIN

Title
 MULTIPLEXOR DE RESET (RESETN.DRT)

Size	Document Number	REV
A	12	2

Date: October 24, 1989 Sheet 12 of 15





E.U.I.T.T. DE LAS PALMAS			
UNIDAD DE CONTROL DE CPA EN CMOS DE 1.5 μ			
TUTOR: D. JAVIER LOPEZ CURBELO			
CO-TUTOR: Dr. ANTONIO NUNEZ ORDOÑEZ			
ALUMNO: CARLOS BÉTANCOR MARTÍN			
Title			
DECODIFICADOR (DCOR.DRT)			
Size	Document Number		REV
A	14		2
Date:	October 24, 1989	Sheet	14 of 15

