

UNIVERSIDAD  
=====

POLITECNICA  
=====

DE  
==

LAS PALMAS  
=====

ESCUELA UNIVERSITARIA POLITECNICA

INGENIERIA TECNICA DE TELECOMUNICACION

PROYECTO FIN DE CARRERA

TITULO: MARCADOR Y TRASLADOR  
=====

TELEFONICO  
=====

AUTOR:

TUTOR:

Roberto Rosario Ribada

Eduardo Rovar/s Romero

FECHA: 12 - Julio - 1985

## INDICE =====

INTRODUCCION .....	1
PARTE I :	
FUNCIONAMIENTO DEL DISEÑO .....	5
MARCADOR AUTOMATICO .....	8
- Diagrama de bloques .....	9
- Análisis del teclado numérico y sus decodificadores ...	12
- Análisis del circuito selector del número de guía .....	20
- Circuito de direccionamiento de la memoria .....	24
- Circuito de visualización .....	28
- Circuito comparador y controlador de tiempos .....	34
TRASLADOR TELEFONICO .....	37
- Diagrama de bloques .....	38
- Descripción del circuito detector de llamadas .....	41
- Circuito activador del primer relé .....	48
- Descripción del circuito de ataque a los relés .....	51
- Activador del segundo relé .....	53
- Contador del tiempo de comunicación .....	56
PARTE II :	
DESCRIPCION GENERAL DEL DISEÑO Y DEL HARDWARE .....	58
- Funcionamiento y esquema de bloques general .....	59
- Funcionamiento del programa .....	62
- Circuito de ataque a los relés para los puertos .....	65
DESCRIPCION GENERAL DEL SOFTWARE .....	67
- Descripción general del software del diseño .....	68
- Programación de los puertos de la RAM .....	71
- Interrupciones y subrutinas de monitor utilizadas ....	72
- Subrutina de presentación e inicialización .....	74

- Subrutina de elección del número de guía .....	77
- Subrutina de funcionamiento en modo trasladador .....	80
- Subrutina de modificación de números .....	83
- Subrutina de lectura y marcaje de los números .....	86
APENDICES .....	90
- Filtro paso alto .....	91
- Utilización de resistencias de pull-up .....	93
- Presupuesto .....	94
- Dibujos de las placas de circuito impreso .....	95
- Listado del programa .....	97
- Dibujo del circuito electrico completo .....	103
- Características de los componentes IC .....	104

## INTRODUCCION

=====

Toda persona que tenga un teléfono, tendrá también una serie de números que marque con mayor frecuencia. Si el teléfono pertenece a una empresa o a una oficina habrá, con mayor razón algunos números que incluso se lleguen a marcar varias veces al día.

Sin embargo, es frecuente que después de marcar un número, nos de la señal de ocupado, con lo que se tendrá que repetir el marcaje varias veces hasta que la línea se encuentre libre. Puede ocurrir también que aunque se encuentre libre la línea, nos hayamos confundido al marcar el número, o bien, que la persona con la que se quiere hablar no esté, con lo cual se tendrá que llamar otra vez.

También puede ocurrir que en algunas empresas se tenga que quedar alguna persona de guardia para que si, por ejemplo, se estropea un equipo y sea urgente, éste sea reparado lo antes posible. De esta forma se necesita mantener una persona fija fácilmente localizable en un determinado teléfono, con las molestias que esto significa para esa persona, sobre todo los días de descanso.

Los dos primeros problemas se solucionarían con un marcador automático, mientras el ~~tercero~~ tiene como solución lo que he denominado como trasladador telefónico. A continuación voy a explicar en que consiste cada uno de ellos de una forma muy general, aunque realmente estan interrelacionadas, ya que el trasladador necesita del marcador automático para su funcionamiento.

La realización tanto del marcador como del trasladador, la he realizado primero con lógica CMOS y segundo, mediante un programa para el SDK-85, aprovechando los ports de entrada-salida que posee la RAM básica además de utilizar algo de circuitería externa. El hecho de haberlo realizado de dos formas, tiene dos razones fundamentales, una que es aplicar un máximo posible de lo estudiado a lo largo de la carrera, y la otra es la de hacer una comparación de la dificultad, tamaño y coste. Aquí hay que tener en cuenta que aunque el programa se realizó para un SDK-85, es



fácilmente modificable para utilizarlo con un sistema mínimo.

El marcador automático consiste en un sistema que tiene una serie de números memorizados, que en nuestro caso y en el montaje con lógica, pueden ser un máximo de 16 números en donde cada uno de ellos puede tener un máximo de 15 cifras. En la realización por programa este número queda reducido a cinco por problemas de memoria en el SDK, aunque ampliando la memoria, este número puede ser mayor; cada uno de estos números puede tener un máximo de 7 cifras por el mismo motivo que antes. En el marcador automático, basta con pulsar una de las teclas de selección para que el número de teléfono se marque.

El traslador consiste en otro sistema que incluye al marcador automático y para su funcionamiento es necesario, además, que se cuente por lo menos con dos líneas telefónicas. Este sistema detecta una llamada por cualquiera de las dos líneas y lo que hace es que si se ha dejado memorizado el número de teléfono del lugar donde vanos a estar, nos traspasa la llamada, de ahí su nombre, al número que le hemos dicho; es decir, lo que hace cuando detecta la llamada, es simular que se descuelga el teléfono de la otra línea, marca el número de teléfono y a continuación comunica las dos líneas. Al terminar un determinado tiempo, se simula que los dos teléfonos se cuelgan, quedando la comunicación terminada. De esta forma se consigue evitar que la persona que esta de guardia en la empresa tenga que estar pendiente de un número determinado de teléfono, pudiéndose ahora desplazar de un sitio a otro con el simple hecho de dejar memorizado el número de teléfono del sitio donde se va a encontrar.

En el caso del diseño, lo he hecho de forma que el traslador sea opcional, es decir, que tanto el marcador como el traslador estan en dos placas diferentes de forma que el marcador puede funcionar sin necesidad de la otra placa, dándole con ello una mayor versatilidad.

Para memorizar los números he empleado una memoria RAM en lugar de una ROM para que de esta forma se puedan modificar los números memorizados en cualquier momento de una forma bastante sencilla, aunque se corre

el riesgo de que cuando la alimentación falle, se borren los números, pero esto se soluciona simplemente colocando a la memoria una pila, ya que la memoria utilizada es de bajo consumo, y además mantiene lo grabado con pequeña tensión.

Antes de continuar, es conveniente explicar algunas ideas básicas del funcionamiento de los teléfonos:

- Cuando se descuelga, lo que se hace es cerrar la línea a través de una carga.

- Para marcar un número de teléfono lo que se hace es abrir y cerrar la línea tantas veces como indique la cifra marcada. Existe otra forma que es a base de enviar diferentes tonos para diferentes cifras, pero este sistema no se utiliza en España.

- Cuando recibimos el tono de llamada, lo que recibimos es una señal senoidal de aproximadamente 125 voltios de pico con unos 48 voltios de continua.

**PARTE I :**

**DISEÑO CON**

**LOGICA**

## FUNCIONAMIENTO DEL DISEÑO

=====

Como ya he dicho, el diseño tiene dos partes: el marcador automático y el trasladador. Primeramente, vamos a ver el marcador.

Lo primero a hacer, es grabar los sucesivos números que queremos guardar en la memoria, para ello basta con poner la memoria en escritura para lo cual se proporciona un conmutador de lectura-escritura, por lo que, habrá que ponerlo en su posición de escritura. Una vez hecho esto, seleccionamos el número de guía donde lo queremos memorizar, con una de las 16 teclas de selección. Ahora ya estamos en disposición de memorizar el número, cosa que se hace simplemente pulsando las diferentes cifras en el teclado. Al haber terminado de grabar todo el número, colocamos el conmutador a la posición de lectura y el sistema queda preparado para marcar el número en cualquier momento.

Si queremos grabar más de un número, no hace falta poner el conmutador en lectura y después otra vez en lectura, sino que simplemente bas con que al haber terminado de marcar un número, se seleccione el otro número de guía donde queremos guardar al próximo y posteriormente introducir el número como en el caso anterior. Al final de grabar todos los números que quisiésemos, se devuelve el conmutador a su posición normal o de lectura.

Una vez puesta la memoria en lectura, para leer uno cualquiera de los números grabados, basta con pulsar la tecla de selección correspondiente. Entonces, podemos elegir entre dos opciones, o bien leer el número de la memoria pero sin marcarlo, o bien, leerlo y al mismo tiempo marcarlo. Para leerlo y después marcarlo hay que pulsar una de las teclas de selección de línea antes de la tecla de selección del número de guía. Esto se hace de esta manera, ya que se parte de la idea de que cuando funcione con el trasladador se necesitan dos líneas, y de esta forma podemos marcar el número por cualquiera de ellas.

En resumen, el proceso a seguir para marcar un número ya memorizado es: primero seleccionar la línea y después seleccionar el número

de guía. Estas dos cosas deben hacerse sin descolgar el teléfono. Una vez que se termine de marcar el número, cosa que se sabe porque en el display no aparecen más cifras, ya se puede descolgar el aparato.

Al pulsar el selector de línea, se tiene un determinado tiempo para marcar el número y descolgar el teléfono, si la operación no se realiza dentro de ese tiempo, la llamada queda anulada automáticamente; el tiempo que se ha colocado para hacer esta operación es más que suficiente para realizarla. El tiempo se avisa mediante un led, led que se debe encender cuando se selecciona la línea por donde se debe marcar, cuando el led, se va apagando, indica que el tiempo se está terminando, con lo que si todavía no se ha terminado de realizar la operación, es aconsejable que descuelgue y cuelgue el teléfono y empiece la operación otra vez, o bien que deje terminar el tiempo completamente con lo que las posibles cifras del número que se hubiesen marcado, quedan anuladas. Si ocurre esto, el proceso habrá que repetirlo, pero como ya dije el tiempo de que se dispone es lo suficientemente amplio como para que esto no ocurra. Otra forma, en la cual se evita el tener que realizar el proceso otra vez, es que cuando notemos que el led se va apagando, pulsemos nuevamente el selector de línea con lo que seguimos como si fuera con el mismo tiempo; pero es muy importante que esta operación se haga cuando se empieza a apagar el led y no cuando está casi apagado. Cuando el teléfono ya se ha descolgado, no importa que el led se apague.

Este sistema tiene dos funciones, evitar tener la línea cerrada por mucho tiempo, si se pulsa el selector de línea sin darse cuenta, y la otra es que una vez que se marca y descuelga el teléfono, dejar preparado el sistema para la siguiente vez.

Esto es todo en cuanto al funcionamiento del marcador se refiere, si además incluimos el trasladador, hay que añadir un conmutador de selección del modo de funcionamiento para que de esta forma preparar el sistema para que funcione como trasladador o no; el marcador se podrá usar tanto si se tiene seleccionado el trasladador como si no.

Entonces, para poner en funcionamiento el trasladador, lo primero es pulsar, sin seleccionar ninguna línea, la tecla de selección de memoria en donde se tiene el número del lugar al que queremos que nos pase la llamada; antes o después de hacer esta operación hay que colocar el conmutador de modo de funcionamiento en la posición de trasladador.

De esta forma, ya queda preparado el sistema para que cuando detecte una llamada por una línea se marque el número por la otra y se comuniquen las dos, empezando a contar el tiempo de comunicación. Este tiempo se puede variar actuando sobre un potenciómetro colocado para ello. Una vez que pasa el tiempo, la comunicación se da por terminada y el sistema queda preparado para una posterior llamada.

M A R C A D O R  
= = = = =

A U T O M A T I C O =  
= = = = =

## DIAGRAMA DE BLOQUES DEL MARCADOR AUTOMATICO

El marcador automático tiene cinco bloques fundamentales que son los siguientes:

- Teclado numérico y su decodificador.
- Selector del número de guía.
- Memoria y su direccionamiento.
- Comparador y controlador de tiempos.
- Circuito visualizador.

El diagrama de bloques se presenta este diagrama de bloques, aunque un poco más elaborado.

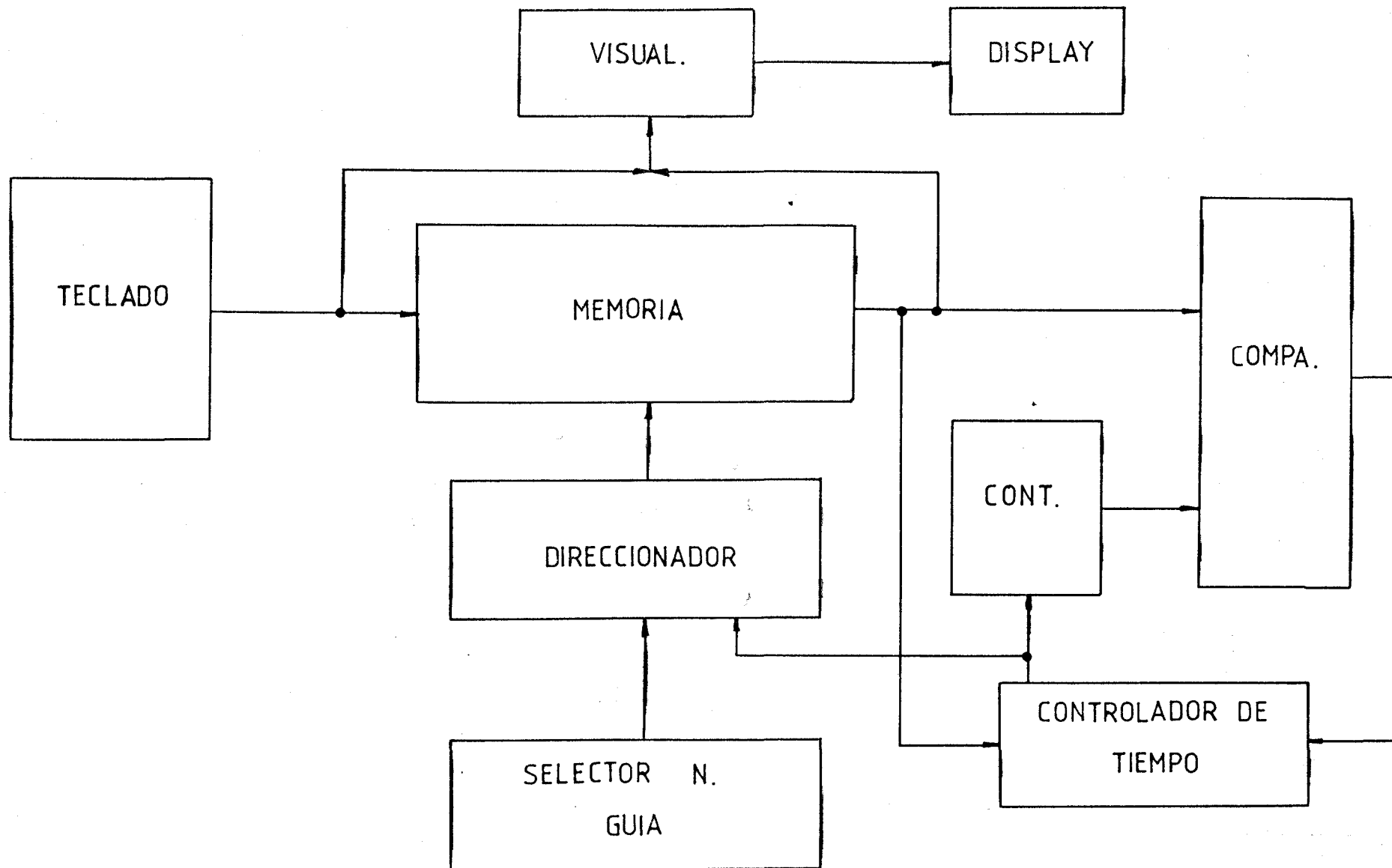
El primer bloque es el encargado de decodificar a binario los números decimales que se van introduciendo por medio del teclado que va des de cero al nueve. En esta parte hay que tener en cuenta que el cero para los teléfonos se trata como si fuera un diez, es decir, que se envían 10 pulsos por la línea.

El segundo bloque es el encargado de decodificar el número de guía que se selecciona, para de esa forma saber cual es la primera dirección de la memoria en donde se tiene guardado el número, o bien que está reservada para ello. Además hay que generar una línea de forma que se ponga a nivel alto cuando se tiene pulsada una tecla de las 16 de que se compone este teclado, y tendrá que mantenerse a nivel bajo mientras no se tenga pulsada ninguna.

El tercer bloque, en el cual está incluida la memoria, es el que a su salida tiene que tener el número memorizado, número que va a depender de la localización direccionada. Estas direcciones posteriormente se tienen que ir incrementando a medida que se van marcando los números, pero para poder incrementarse, necesita una orden que venga desde otro bloque, que va a ser el cuarto.

Este cuarto bloque es el que va a mandar tantos pulsos como valor tenga la cifra, además de controlar el tiempo que hay entre dos dígitos de un mismo número, una vez que pasa ese tiempo, se le da una orden al





circuito de direccionamiento para que se incremente y de esta forma ir marcando una a una las cifras del número. Esto seguirá hasta que se marque la última cifra, con lo que el sistema se parará.

El último bloque del marcador es el de visualización, es decir, el encargado de mostrar que número se está marcando en ese momento, o bien, visualizar el número que se está introduciendo desde el teclado. En este bloque hay que tener en cuenta que aunque se marque el cero, se manden diez pulsos, en el display del visualizador tiene que aparecer un 0.

## ANALISIS DEL TECLADO NUMERICO Y SUS DECODIFICADORES

=====

Como ya mencioné, este teclado numérico se compone de 10 teclas que representan las 10 cifras (0 - 9). Entonces lo que hay que hacer al pulsar una tecla, es pasar el valor de dicha tecla de su valor nominal a su correspondiente valor en binario, teniendo en cuenta que el  $\emptyset$  representa realmente al 10. Además tenemos que obtener una señal cada vez que pulsamos una tecla.

Si observamos cualquier DATA BOOK podemos observar que existe un circuito integrado que es decodificador de 10 a 4 líneas, este circuito es el 40147, con lo cual ahora solo nos faltaría convertir el código del cero y obtener una línea de tecla pulsada.

El circuito para obtener esto, es el que se presenta en la figura número 1.

En este circuito se parte de la idea de que se va a colocar un conmutador de lectura - escritura. Cuando el conmutador esta colocado en escritura, lo que se hace es aislar las salidas de la RAM del resto del circuito, además de colocarla en modo de escritura.

Suponiendo que la RAM ya está en la primera posición de memoria reservada para número, si no se pulsa ninguna tecla, en esa posición se están grabando todos unos ya que esta es la salida del decodificador después de haber pasado por los inversores, es decir, a la salida del decodificador va a haber todos ceros. Si se pulsa alguna tecla en la posición de memoria direccionada se graba el valor de la tecla pulsada, si la tecla pulsada es el  $\emptyset$ , su código, se cambia al código del 10 por medio de un inversor y de las dos puertas OR. Al mismo tiempo que se graba el número pulsado, cuando se suelta la tecla, se direcciona la siguiente posición, en la cual ocurrirá lo mismo. La detección de cuando se pulsa y se suelta una

tecla la realiza la puerta AND de 4 entradas, cuya salida sino se pulsa ninguna tecla siempre será a nivel alto ya que sus entradas están todas a ese nivel, si pulsamos una tecla, alguna o varias de las entradas de esa puerta se pone a nivel bajo, con lo que al saltarla se produce una transición de bajo a alto que con un contador de reloj por flanco de subida se podrá incrementar la posición direccionada. Los posibles rebotes se pueden eliminar con un circuito RC o mediante un monoestable.

Cuando se han grabado todas las cifras del número, la memoria se va a encontrar en la siguiente dirección de donde está almacenada la última cifra, por lo que ahora al pasar la memoria a lectura, en la memoria estarán grabadas todas las cifras del número, además de una marca de fin que consiste en grabar todos unos para una posterior detección.

La tabla de verdad del funcionamiento de este circuito será la siguiente :

Tecla	sal. dec.	sal. inversores	sal. final	señal CK
0	1 1 1 1	0 0 0 0	1 0 1 0	0
1	1 1 1 0	0 0 0 1	0 0 0 1	0
2	1 1 0 1	0 0 1 0	0 0 1 0	0
3	1 1 0 0	0 0 1 1	0 0 1 1	0
4	1 0 1 1	0 1 0 0	0 1 0 0	0
5	1 0 1 0	0 1 0 1	0 1 0 1	0
6	1 0 0 1	0 1 1 0	0 1 1 0	0
7	1 0 0 0	0 1 1 1	0 1 1 1	0
8	0 1 1 1	1 0 0 0	1 0 0 0	0
9	0 1 1 0	1 0 0 1	1 0 0 1	0
-	0 0 0 0	1 1 1 1	1 1 1 1	1

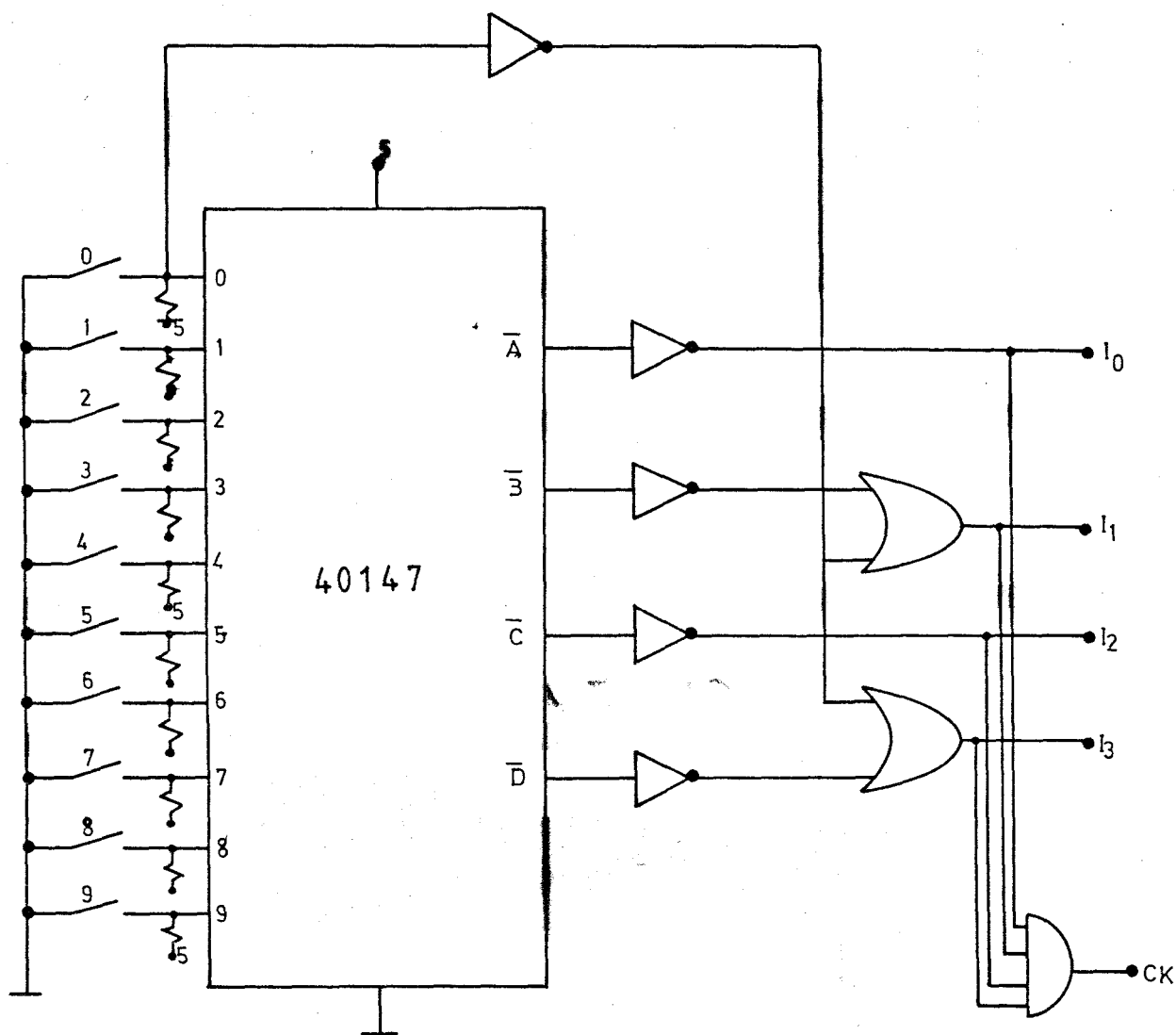


fig. 1

Debido a algunos motivos como son el no haber encontrado el integrado 40147 en principio, y después por una excesiva necesidad de otros integrados, este circuito no es el que he colocado en el diseño final, sino que he utilizado uno basado en el 4532 que es un decodificador de 8 a 3 líneas que además utiliza circuitería anexa. En este último modelo, aunque como se puede ver en la figura 2 se utilizan la misma cantidad de integrados, no se utilizan en su totalidad, con lo que se podrán utilizar posteriormente en otra parte del circuito.

Además este 4532 tiene como complemento el que ya produce la línea de cuando se pulsa una de las 8 teclas de sus 8 entradas. En principio he dicho que el decodificador es de 8 a 3 líneas, por lo que necesitamos dos líneas más de entrada, para los números 8 y 9 y una más de salida, para el bit de mayor peso debido a las entradas que se han añadido.

Para poder explicar con más claridad su funcionamiento, antes tenemos que fijarnos en la siguiente tabla de verdad :

Tecla	$G_s$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$G''_s$
0	1	0	0	0	0	1
1	1	0	0	0	1	1
2	1	0	0	1	0	1
3	1	0	0	1	1	1
4	1	0	1	0	0	1
5	1	0	1	0	1	1
6	1	0	1	1	0	1
7	1	0	1	1	1	1
8	0	1	0	0	0	1
9	0	1	0	0	1	1
-	0	0	0	0	0	0

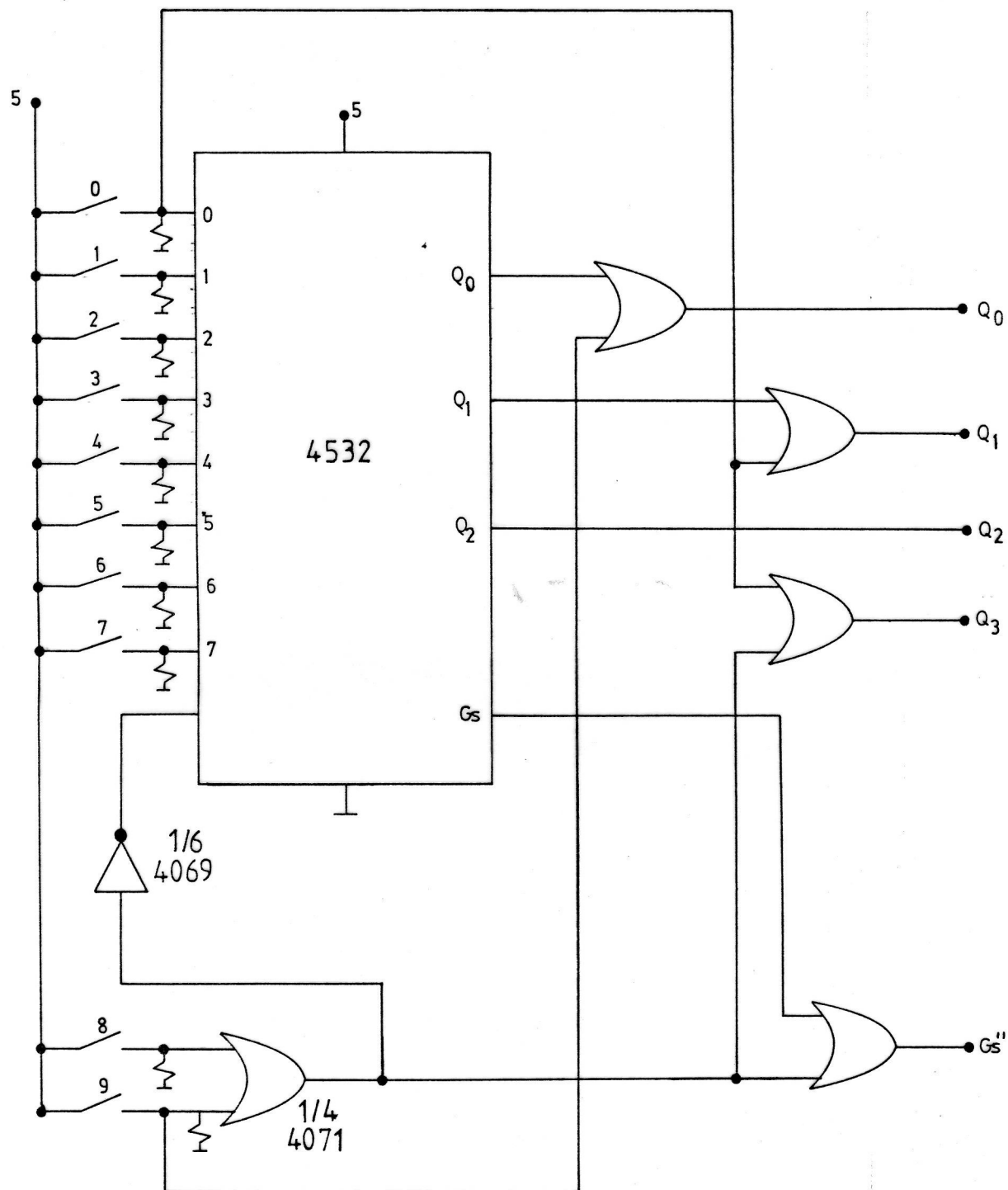


fig. 2

Como se puede ver, la salida de mayor peso se pone a uno, cuando se pulsa el 8 o el 9, manteniéndose a nivel bajo en cualquier otra situación, es por ello por lo que se coloca la puerta OR de dos entradas a las teclas 8 y 9, y su salida se toma como el bit de mayor peso. Al mismo tiempo que se pulsa una de estas dos teclas, se coloca al 4532 deshabilitado, por lo que todas sus salidas serán cero. Pero cuando nosotros pulsamos el nueve, en el bit de menor peso, debe encontrarse un nivel alto por lo que se coloca otra puerta OR de dos entradas (tecla número nueve y la 7 de menor peso del 4532) y su salida será el bit de menor peso del decodificador de 10 a 4 líneas realizado.

Para generar la salida de tecla pulsada, basta con hacer una OR entre la señal de salida de la OR cuyas entradas son 8 y 9 (señal  $Q_3'$ ) y la señal de tecla pulsada del decodificador 4532.

Hasta aquí hemos realizado el decodificador de 10 a 4 líneas, pero ahora hace falta cambiar el código del cero, cosa que se hace fácilmente con dos puertas OR, de forma que como el diez es  $1\phi 1\phi$  y el cero es  $\phi\phi\phi\phi$ , en los bits 1 y 3 hay que poner un 1 cuando dicha tecla se pulsa, mientras no ocurra esto, la salida debe ser la misma que la del decodificador.

Otra de las cosas que se puede ver en la tabla de verdad, es que cuando no se pulsa ninguna tecla, las salidas de este decodificador y, por tanto, las entradas de la memoria van a estar a nivel bajo, por lo que esta será la marca de final de número utilizada.

A la salida de la señal  $G'_s$  ( encargada de dar la orden de incrementar la dirección de memoria ) se ha colocado un monoestable con lo cual se eliminan los posibles rebotes de las teclas que incrementarían la memoria en varias posiciones. Este monoestable se puede ver en la figura número 4, se utiliza la mitad de un 4098.



La configuración elegida es la de activo en el flanco de subida y que sea redisparable, para de esta forma mantenerlo a nivel alto el tiempo necesario para que solamente se incremente en una la dirección. Para obtener esta configuración basta con unir la entrada de reset y la entrada de disparo por flanco de bajada, a nivel alto.

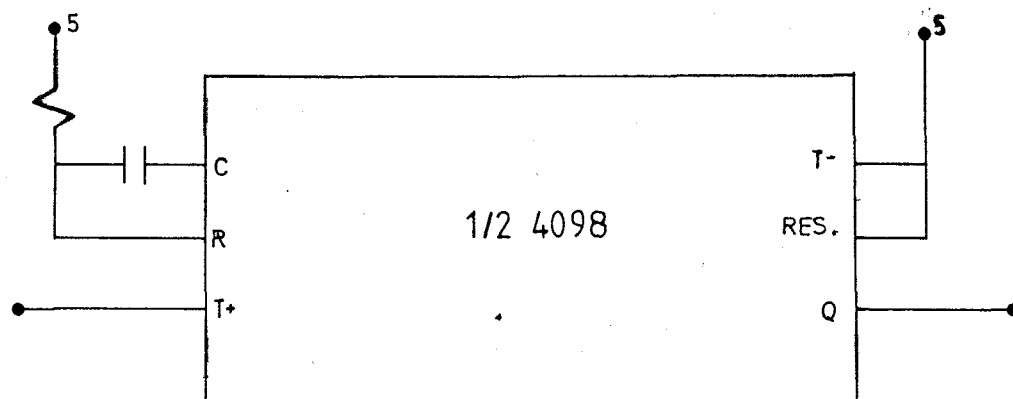


fig. 4

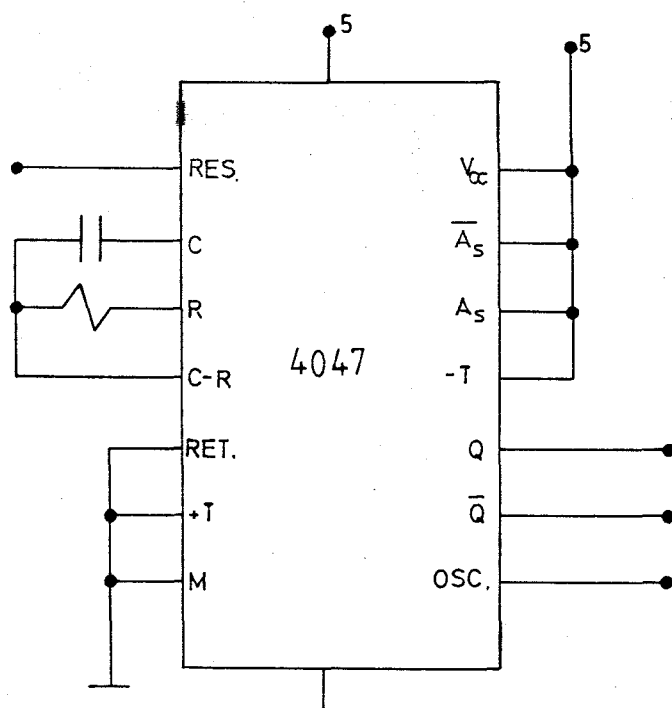


fig. 5

# ANALISIS DEL CIRCUITO SELECTOR DEL NUMERO DE GUIA =====

El teclado de este selector consta de 16 teclas, una para cada uno de los teléfonos que se pueden memorizar y marcar posteriormente. Cuando se pulsa una de estas 16 teclas, lo que se hace realmente es direccionar la memoria a una posición determinada en donde se encuentra la primera cifra del número a marcar, o en su defecto la primera posición reservada para ese número de guía.

Para poder realizar esto, primeramente lo que hay que hacer es obtener una determinada combinación de 8 bits para de esta forma poder direccionar las 256 posiciones de que consta memoria.

Como nosotros hemos dicho que teníamos 16 teclas de números memorizados vemos que a cada número le corresponden 16 posiciones de memoria lo cual además implica una decodificación más simple, porque al guardar 16 localizaciones para cada número, los 4 bits de menor peso de la dirección van a ser siempre el mismo para la primera cifra de cada número, con lo que ahora simplemente tenemos que decodificar los otros 4 bits.

En la siguiente tabla se puede ver de una forma más significativa, esto que acabo de explicar.

Nº guía	1ª posición	A7-A6-A5-A4	A3-A2-A1-A0
1	0	0 0 0 0	0 0 0 0
2	16	0 0 0 1	0 0 0 0
3	32	0 0 1 0	0 0 0 0
4	48	0 0 1 1	0 0 0 0
5	64	0 1 0 0	0 0 0 0
6	80	0 1 0 1	0 0 0 0
7	96	0 1 1 0	0 0 0 0
8	112	0 1 1 1	0 0 0 0
9	128	1 0 0 0	0 0 0 0
10	144	1 0 0 1	0 0 0 0

Nº guía	1ª posición	A7-A6-A5-A4	A3-A2-A1-A0
11	160	1 0 1 0	0 0 0 0
12	176	1 0 1 1	0 0 0 0
13	192	1 1 0 0	0 0 0 0
14	208	1 1 0 1	0 0 0 0
15	224	1 1 1 0	0 0 0 0
16	240	1 1 1 1	0 0 0 0

- Tabla de la primera posición de cada número memorizado

Se ve que los 4 bits de menor peso en la primera posición reservada para cada número son todos iguales a cero y siempre iguales. En cambio, los bits de mayor peso son los que cambian de forma que para el primer número es 0000 para el segundo ~~000~~1 y así sucesivamente. Por lo tanto, para la decodificación podemos utilizar un decodificador de 16 a 4 líneas, que aunque no existen de esa forma en el mercado ni se puede realizar mediante dos decodificadores de 8 a 3 líneas.

La configuración de este decodificador de 16 a 4 líneas, lo podemos ver en la figura número 5 en donde vemos que a cada uno de los dos decodificadores le entran 8 teclas. Además podemos ver que están en paralelo, es decir, los dos están habilitados siempre ya que su EI está a nivel alto.

Cuando se pulsa una de las 8 teclas de entrada, su código se coloca en su salida, además de tener una línea de salida que indica cuándo hay una tecla pulsada o no.

Entonces si vemos en la tabla de verdad vemos que la diferencia entre las 8 primeras teclas y las otras 8, es que estas últimas tienen el bit de mayor peso a uno mientras que las otras lo tienen a cero. De esta forma la señal de tecla pulsada de las teclas

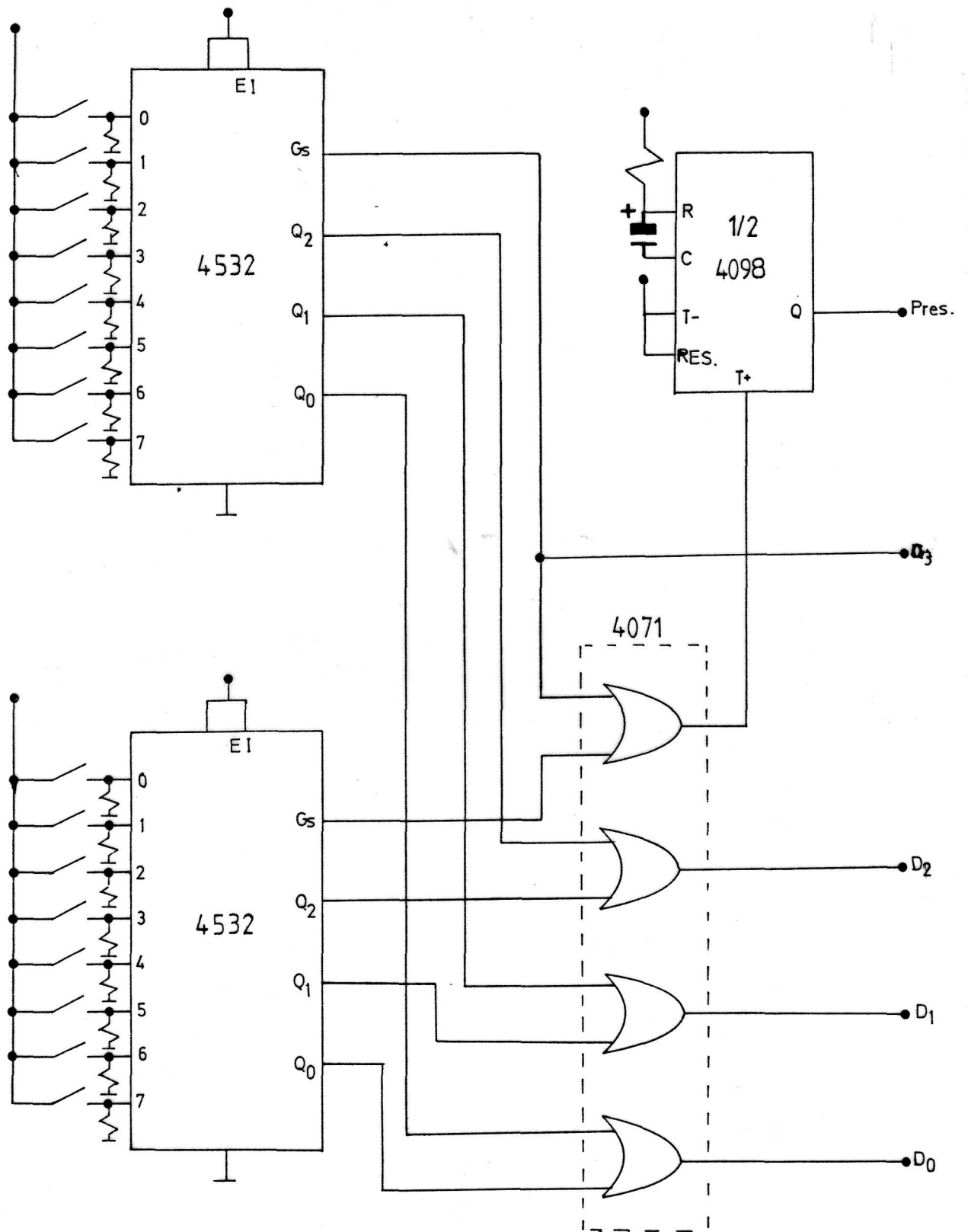


fig. 3

de mayor peso puede actuar como el bit de salida de mayor peso, ya que cuando una de estas teclas se pulsa, está a uno, mientras que si no se pulsa está a cero.

Para sacar los otros 3 bits de salida del decodificador, basta con hacer una OR entre los bits correspondientes de los dos decodificadores ya que estos 3 bits de un decodificador van a ser iguales a los otros 3 bits del otro, si se pulsa la misma tecla en ambos, es decir, si en el primero se pulsa el 1 y en el segundo el 9, etc...

Para obtener la señal de tecla pulsada simplemente se hace una OR entre las dos señales de este tipo que salen de los dos decodificadores.

Como conclusión podemos decir que al reservar 16 posiciones para cada número, se pueden memorizar números de hasta 15 cifras ya que la última o la siguiente a la última cifra, siempre tiene que ser la marca de fin.

## ANALISIS DEL CIRCUITO DE DIRECCIONAMIENTO DE LA MEMORIA

Una vez que se ha decodificado la tecla pulsada, el valor de estos 4 bits además de los 4 bits de menor peso que como ya se dijo siempre tienen que ser, en principio, iguales a cero, se debe cargar en algun circuito de forma que cuando se deje de pulsar la tecla, queden allí de forma que la memoria quede direccionada en la posición correspondiente.

Para realizar esta operación colocamos el circuito de la figura 6 que además de representar a la memoria, se ve que tiene otros dos integrados, uno de los cuales es un cuádruple latch y el otro es un contador de carga paralela.

Para cargar el valor de la decodificación, se emplea la línea de tecla pulsada que se generó en el circuito del decodificador del apartado anterior. Esta señal actúa simultáneamente sobre el reloj de los latch con lo cual el contenido de sus entradas pasa a la salida, las entradas de este circuito van a ser los 4 bits de salida del decodificador del número de guía. Esto se carga en estos latches ya que estos 4 bits van a permanecer invariables para todas las cifras de un mismo número, ya que solamente hace falta que se varíen los 4 bits de menor peso, y es por eso por lo que utilizo un contador cuyo valor inicial se va a poner a cero cada vez que se pulse una de las 16 teclas, ya que la señal de tecla pulsada va al Presetable de este contador, y todas sus entradas están puestas a cero. Se podría haber utilizado cualquier contador, simplemente actuando sobre el reset de éste con la señal de tecla pulsada pero, por ya disponer del anterior lo he utilizado, dejando el reset, como se ve en el diagrama para otras funciones que ya explicaré más adelante cuando veamos el traslador.

Para ir incrementando el contenido de este contador, es necesario que a su entrada de reloj le llegue un flanco de subida. Este flanco de subida va a venir de dos sitios diferentes. El primero desde el teclado numérico de entrada, ya que, como dije, cada vez que pulsamos y soltamos una de estas teclas, se produce un flanco que va a atacar a un monostable que es el que ataca realmente, al CK del contador.

La segunda dirección de donde puede venir la señal para incrementar el CK es de un circuito que veremos más adelante y que va a ser el encargado de enviar los pulsos para marcar, y de producir la señal de incremento al terminar de marcar una cifra, y esperar el tiempo correspondiente entre cada dos cifras consecutivas.

La otra parte del circuito de la figura 6 es la memoria donde se van a guardar las diferentes cifras de cada número. La memoria utilizada es la 5101 con una capacidad de 256 palabras de 4 bits. El porqué de las 256 palabras está bastante claro, ya que reservamos 16 posiciones para cada uno de los 16 números que se pueden memorizar. Los 4 bits por palabra se deben a que como ya se ha podido comprender, en cada posición de la memoria se graba una cifra del número, entonces como estas cifras pueden estar comprendidas entre 0 y 9, es necesario por lo menos una palabra de 4 bits.

La entrada  $R/\overline{W}$  de la memoria se controla mediante un conmutador de forma que la podamos colocar en lectura o escritura según nuestras necesidades.

La configuración de la memoria es típica, colocando los chip select y otras entradas a su correspondiente nivel.

A la salida como se puede observar se colocan 4 resistencias de pull-down, esto es debido a que cuando la memoria está en escritura, la entrada  $\overline{CD}$  está a nivel alto, en la salida se tendrá un tri-state, de forma que en la visualización se tendrían problemas



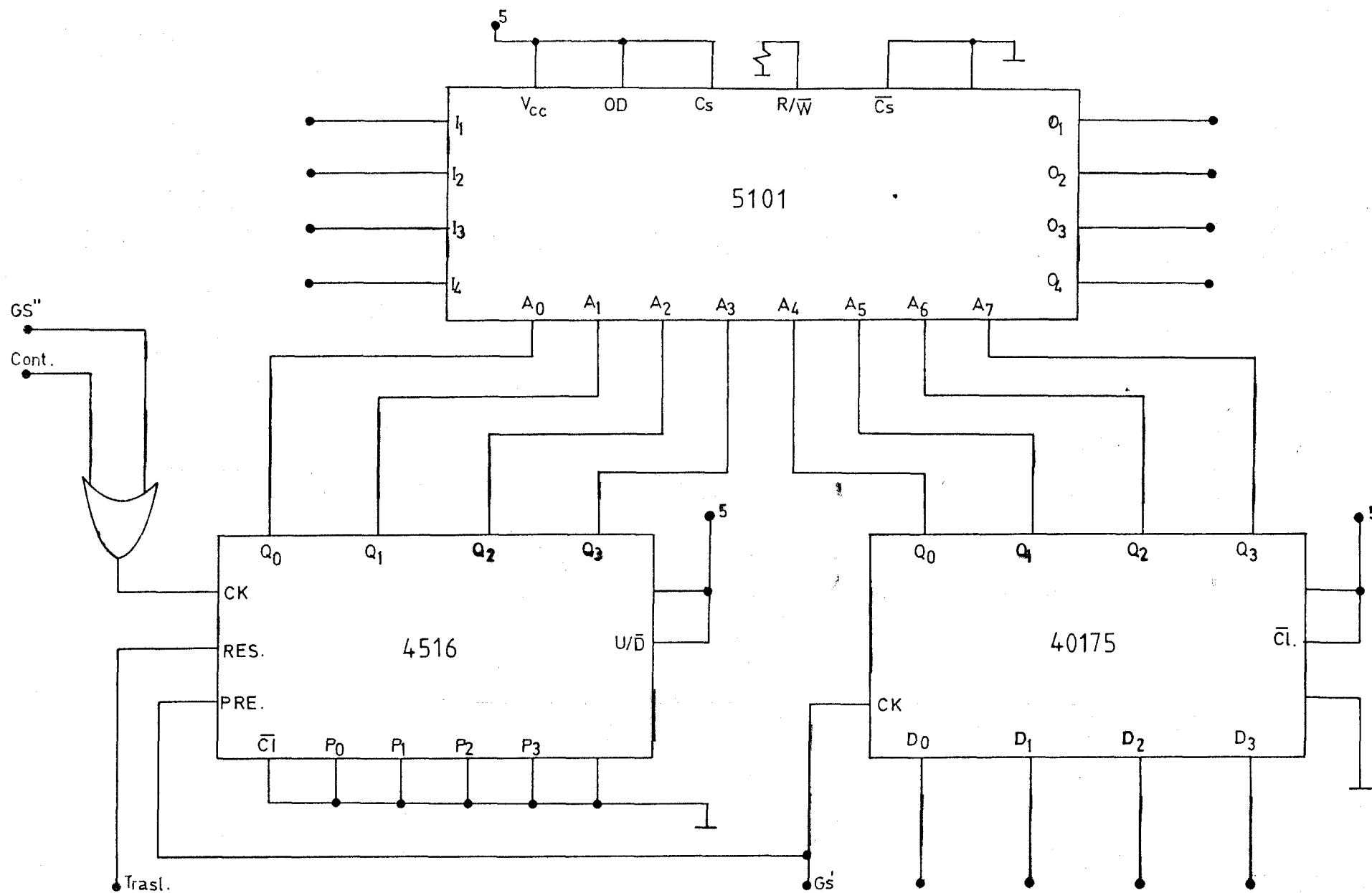


fig. 6

mas debido a que los circuitos utilizados no estan preparados para aceptarlo, por lo que colocando esas resistencias de pull - down se obliga a tener un nivel bajo a las entradas posteriores, y además como estas resistencias se colocan en todas las salidas, se tendran al final una palabra con todos los bits a cero, o lo que es lo mismo la marca de fin, por tanto como el resto del circuito detecta la marca de fin, no ejecutará ninguna acción durante el proceso de escritura.

El funcionamiento en el modo de lectura es totalmente normal, independientemente de que por error se pueda pulsar una de las teclas numéricas.

Aquí se podría pensar que puede surgir un problema, y es que al colocar la memoria en escritura, se pueda borrar la posición de memoria seleccionada, pero en realidad no pasa nada, ya que, la posición en que se encontraría la memoria, seria logicamente a la última cifra del último número marcado, es decir, una posición que en realidad se puede considerar que está borrada.

El problema si sucedería, si la memoria se pone en escritura mientras se está marcando un número, ya que, esto ocasionaría el borrado de la cifra que se estuviera marcando en ese momento.

## ANALISIS DEL CIRCUITO DE VISUALIZACION

=====

Este circuito, como su nombre indica, es el encargado de mostrar en un display, tanto el número que se esta introduciendo por medio del teclado, como el que se está leyendo desde la memoria, es decir, se encarga de visualizar lo que está a la entrada de la memoria cuando ésta está en el modo de escritura, y lo que tiene a la salida cuando está en el modo de lectura.

Para realizar esta función, se colocan las puertas OR a la entrada de este circuito que podemos ver en la figura número 8.

Además, podemos ver que para atacar el display, se tiene el clásico decodificador de BCD a siete segmentos. El resto del circuito se debe a que el cero se había grabado en la memoria con el código del diez, pero a la hora de visualizarlo es necesario que aparezca un cero, y no el caracter perteneciente al código del diez. Se incluye también una puerta OR de cuatro entradas, cada una de ellas es una de las salidas de las cuatro OR de dos entradas que se colocan al comienzo y su función es la de detectar la marca de fin, o bien que no existe ninguna tecla pulsada, con lo que el display tendría que estar en blanco, es decir, no tiene que aparecer nada, para realizar esta función, la salida de esta OR de cuatro va a atacar a la entrada de blanking  $\overline{BL}$  del decodificador, con lo cual cuando esta salida esté a nivel bajo, el display estará completamente apagado, independientemente de que en sus entradas de código, este el código del cero. Si la salida de esta OR esta a nivel alto, en el display aparecerá uno de los números, dependiendo del código BCD que se encuentren en las entradas del decodificador,

Para el análisis del decodificador del código del diez al código del cero, vamos a ver la tabla de verdad que necesita y de esta forma poder hacer posteriormente un estudio para ver cual es su configuración. La tabla de verdad se representa en la página siguiente.

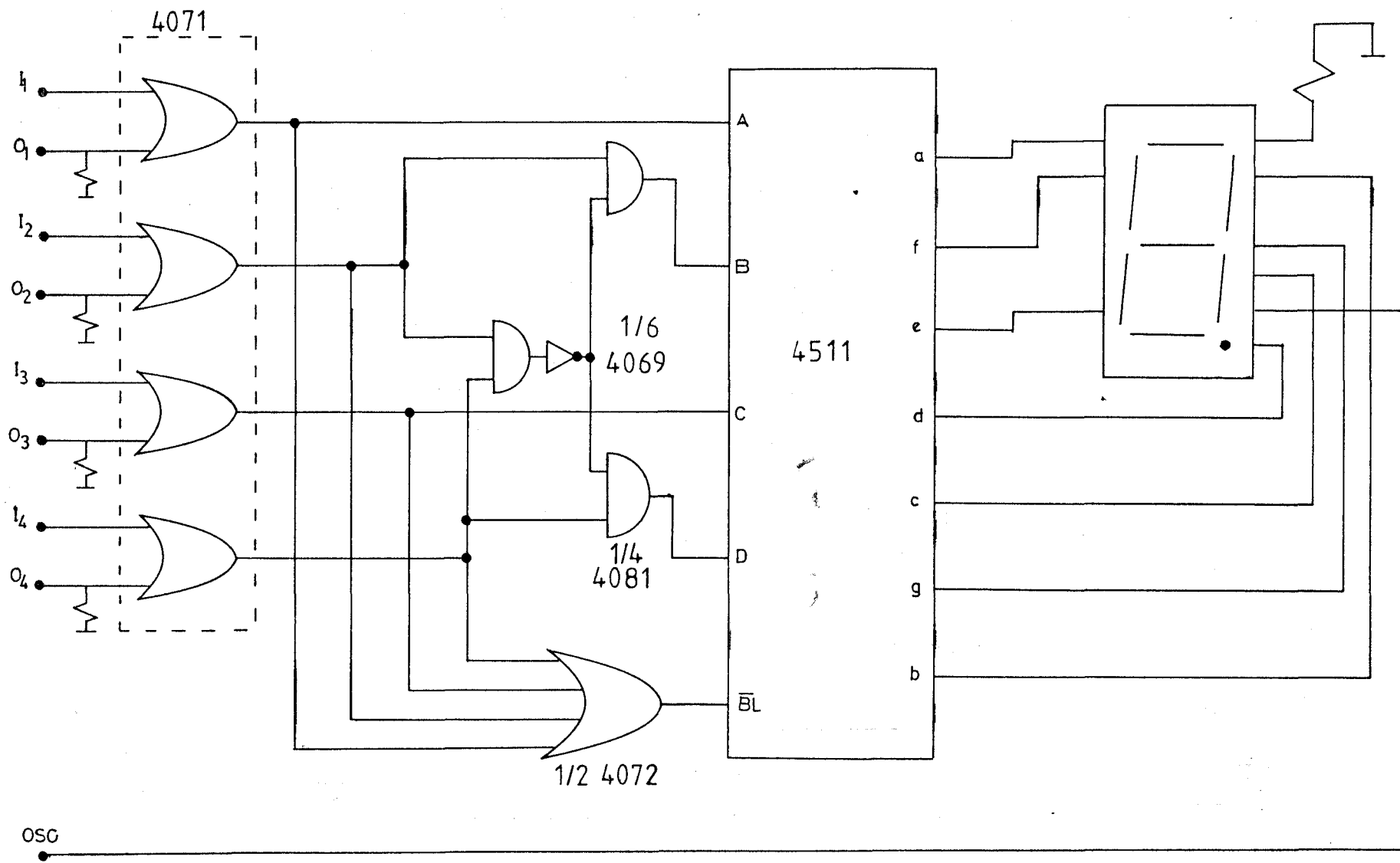


fig. 8

$I_3$	$I_2$	$I_1$	$I_0$	D	C	B	A
0	0	0	0	X	X	X	X
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1
1	0	1	0	0	0	0	0

Por inspección directa podemos sacar la conclusión que:

$$I_0 = A$$

$$I_2 = C$$

por lo que sobre estas dos salidas no hay que aplicar ninguna deco-  
dificación.

Para las otras dos salidas, vamos a hacer una simplificación por el  
método de Karnaugh y de esta forma obtener la circuitería necesaria.

Para la línea B tenemos:

$I_3 I_2$	$I_1 I_0$			
	00	01	11	10
00	X	0	1	0
01	0	0	1	1
11	X	X	X	X
10	0	0	X	0

Diagrama de Karnaugh para la línea B

Realizando las debidas operaciones, se saca como conclusión:

$$B = \overline{I_3} I_1$$

Para la línea D tenemos lo siguiente:

$I_1 I_0$					
$I_3 I_2$		00	01	11	10
00		X	0	0	0
01		0	0	0	0
11		X	X	X	X
10		1	1	X	0

Diagrama de Karnaugh para la línea D

Y esto nos da como resultado que:

$$D = I_3 \bar{I}_1$$

Y el circuito resultante será el que aparece en la figura 9a, vemos que utiliza dos puertas AND y dos inversores, pero por motivos más prácticos debido a que esta circuito de visualización se va a ancontrar en una placa él solo, y como a nosotros de otra placa nos van a sobrar inversores lo que vamos a hacer es poner en esta placa las puertas AND y coger de la otra los inversores, por lo tanto, hay que buscar la forma en que se utilicen menos inversores, aunque se empleen más puertas AND, para de esta forma reducir en lo posible el cableado entre las dos placas de circuito impreso.

Vamos a intentar usar solamente un inversor, que es a lo que se puede reducir, para ello habría que multiplicar  $I_1$  e  $I_3$  por algo que sea común y obtener de esa forma lo mismo que habíamos obtenido mediante el método de Karnaugh.

$$I_1 X = I_1 \bar{I}_3$$

$$I_3 X = \bar{I}_1 I_3$$

De la primera ecuación sacamos que X tiene que ser igual a  $\bar{I}_3$  y de la segunda que  $X = \bar{I}_1$ . Como se tienen que cumplir ambas condiciones, implica que X tiene que ser igual a  $\bar{I}_1 + \bar{I}_3$ .

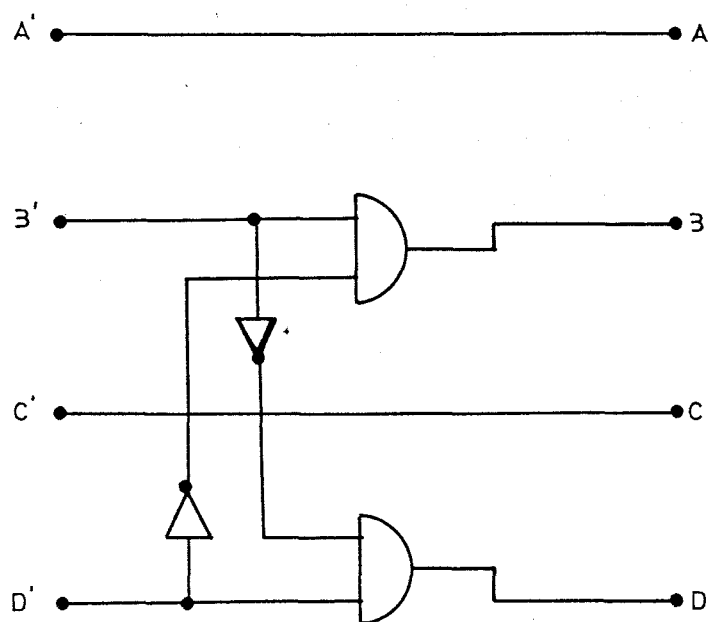


fig. 9a

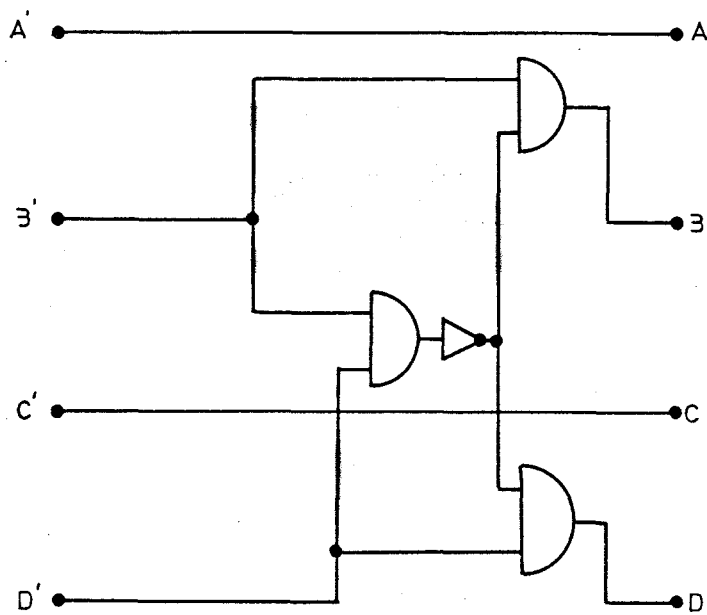


fig. 9b

y utilizando las puertas AND, tenemos:

$$X = \overline{I_1 + I_3} = \overline{I_1} \overline{I_3}$$

con lo que el circuito quedará como está en la figura 9b que es el modelo que hemos utilizado.

Para ver que se cumplen las condiciones obtenidas anteriormente por Karnaugh, se hace lo siguiente:

$$I_1( \overline{I_1} + \overline{I_3} ) = I_1 \overline{I_1} + I_1 \overline{I_3}$$

y como  $I_1 \overline{I_1} = 0$ , se obtiene

$$I_1( \overline{I_1} + \overline{I_3} ) = I_1 \overline{I_3}$$

De la misma forma se cumple la otra ecuación.



## ANALISIS DEL COMPARADOR Y DEL CONTROLADOR DE TIEMPOS

=====

Este circuito es el que se encarga de enviar tantos pulsos como valor tenga la cifra, a una frecuencia de un pulso cada 100msg, además controla el tiempo entre dos digit s de un mismo número que es de aproximadamente 800msg. Además detecta la marca de fin y cuando esta se produce para el circuito. También se encarga de mandar un pulso al reloj del contador de direccionamiento de la memoria para buscar la siguiente cifra del número, hasta que detecte la susodicha marca de fin.

Para realizar esto, lo primero con lo que cuenta, como se ve en la figura número 10, es con un comparador y un contador, de forma que cuatro de las entradas ( A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>, ) tienen el número que se encuentra a la salida de la memoria y en las otras cuatro ( B<sub>0</sub>, B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub> ) se tienen las salidas de este contador, de forma que el contador se va incrementando y se va comparando con el número de la memoria, si es menor que el se vuelve a incrementar y así hasta que lo supere. Para ir incrementando este contador se necesita de un oscilador, cada vez que incrementa el contador, al mismo tiempo se envía un pulso, y de esta forma como el contenido del contador se compara con el número de memoria, se enviarán tantos pulsos como el valor tenga la cifra.

Una vez que el valor del contador ( que es la mitad del integrado 4520 ) supera al valor del número que se encuentra en las salidas de la memoria, la señal  $A < B$  de la salida del comparador se pone como es lógico a uno con lo que actúa sobre el reset del oscilador que lo que hace es no dejar los pulsos hacia las salidas Q y  $\bar{Q}$  pero los pulsos siguen saliendo por la salida Osc. Out, estos pulsos junto con la señal  $A < B$  van a las dos entradas de una puerta AND por lo que a la salida de esa puerta se van a encontrar estos pulsos mientras se cumple que A sea menor que B, esta salida

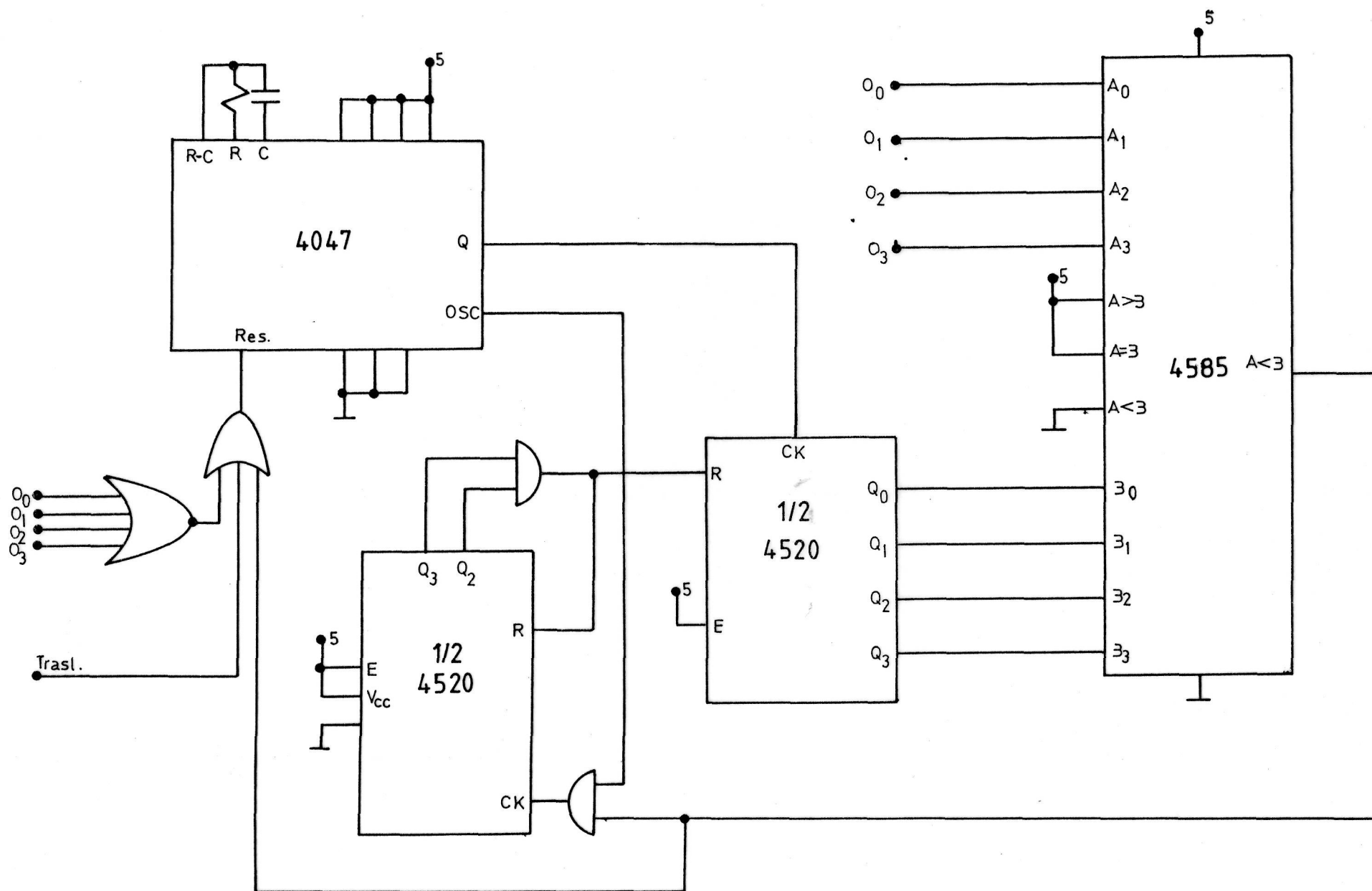


fig. 10

va a la entrada del otro contador del mismo integrado 4520, cuando pasa el tiempo entre los digit s se controla con una AND de las d s salidas de mayor peso de este c ntador, esta salida producirá un reset en los dos c ntadores a la vez que incrementa la direcci3n.

Si en la próxima localización de la memoria existe otra cifra del número, la señal A B pasará a nivel bajo y se repetirá todo el proceso.

Si por el contrario, la localización no contiene otra cifra, sino que tiene la marca de fin, la señal A B pasará a nivel bajo además de actuar sobre el reset del oscilador con lo cual no se incrementará el primer contador ni se enviará ningún pulso.

Otra forma de resetear el oscilador, sería desde la placa del traslador si esta opción se utiliza.

T R A S L A D O R  
= = = = =

T E L E F O N I C O  
= = = = =

## DIAGRAMA DE BLOQUES DEL TRASLADOR =====

El traslador lo he colocado, como ya dije anteriormente, como totalmente ajeno al traslador, para de esa forma hacerlo totalmente opcional, es por esto, por lo que el estudio se hace por separado, aunque se va a ver que para que funcione el traslador, hace falta, como es lógico, el circuito que tenga memorizado y marque los números.

El circuito del traslador puede considerarse doble, ya que al haber dos líneas, se tiene que comportar con las dos de la misma forma.

El diagrama de bloques como se puede ver consta de los siguientes bloques :

- Detector de llamada.
- Activador del primer relé.
- Circuito de ataque al relé.
- Activador del segundo relé.
- Selector de línea.
- Contador de tiempo.

Vamos a ver de una forma muy general, la función que realizan cada uno de estos bloques, que posteriormente se estudiarán uno por uno más detenidamente.

El primer bloque es el que he denominado detector de llamada y va a ser el encargado de transformar la señal senoidal del tono que se recibe a una señal que se pueda utilizar en el resto del circuito, es decir, a una señal continua de 5v. para que de esta forma el resto del circuito sepa cuando se está recibiendo dicho tono de llamada.

El segundo es el activador del primer relé, es decir, es el encargado de activar el relé de la línea contraria de la que recibe la llamada. Aquí hay que tener en cuenta que el primer relé que se

activa es el de la otra línea para que se pueda marcar el número del telefono que se había dejado memorizado.

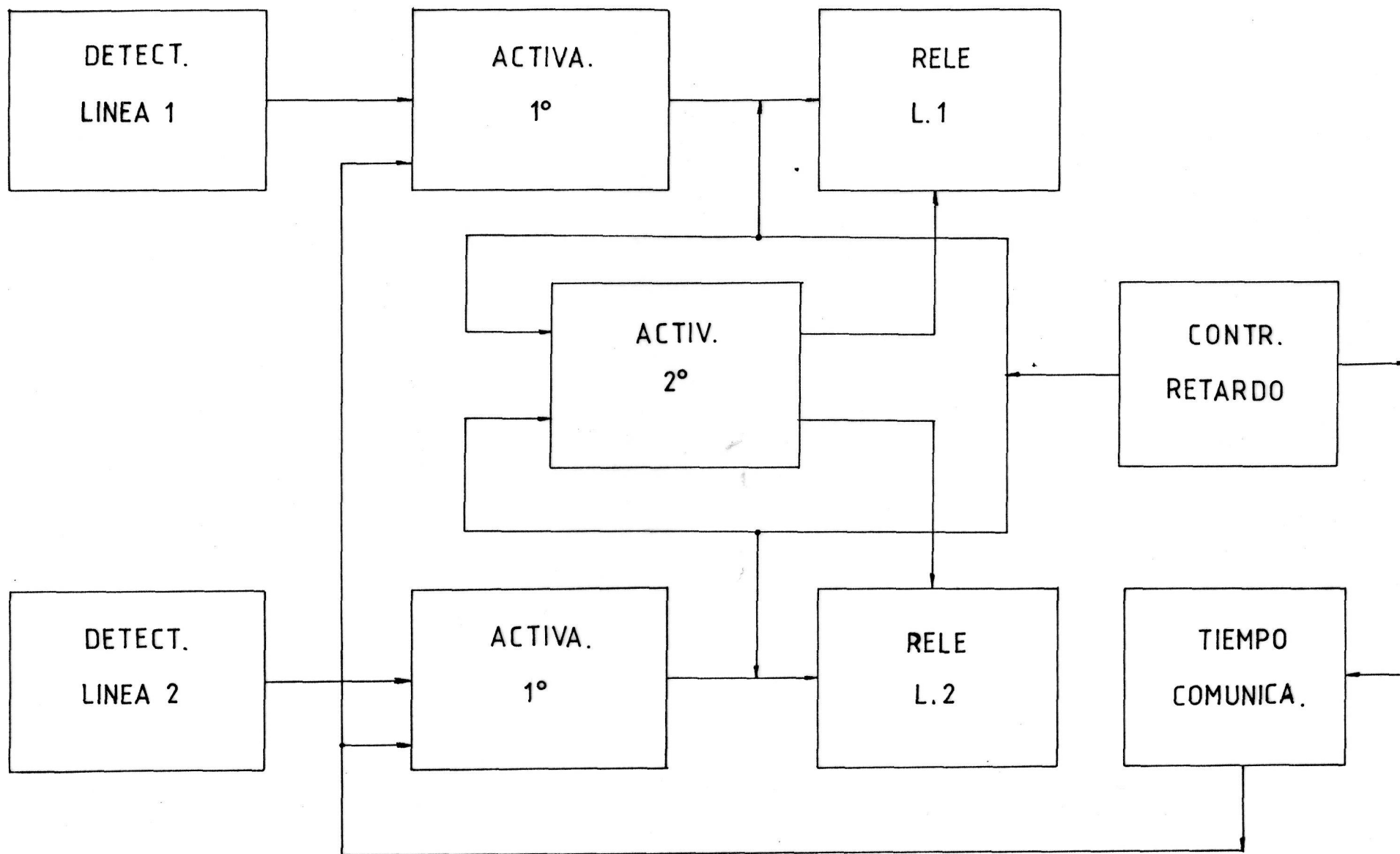
Esta parte del circuito, además, se encarga de indicarle al marcador automático cuando debe empezar a marcar.

El tercer bloque es el circuito de ataque al relé, que se coloca para de esta forma no sobrecargar al bloque anterior.

El activador del segundo relé ( cuarto bloque ), es el que se encarga de activar el relé de la misma línea por donde se ha recibido la llamada. Este relé se debe activar una vez que se ha marcado el número por la otra línea.

Otro bloque del circuito es el selector de línea, que aunque no es una parte del circuito que se utiliza para el traslador, sino en el marcador automático, pero el hecho de ponerlo en esta placa se debe a que si no se utiliza el traslador, no harían falta dos líneas y si no hay dos líneas no habría que seleccionar ninguna ya que siempre se marcaría por la misma.

El último bloque sería el que controle el tiempo que dure la comunicación, para que una vez pasado el tiempo prefijado, abriese los relees dando por terminada la comunicación y quedándose preparado para cualquier llamada posterior.



## DESCRIPCION DEL CIRCUITO DETECTOR DE LLAMADA

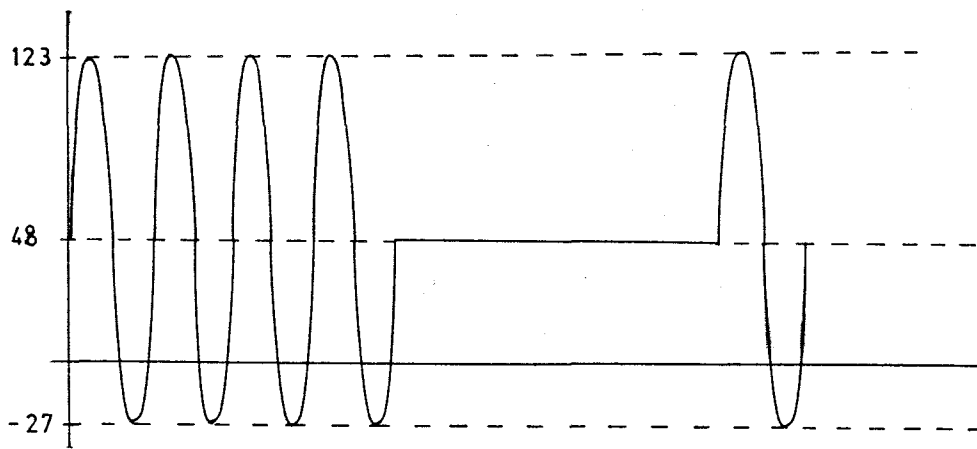
Este circuito tiene como misión obtener un pulso de cinco voltios, cuando por la línea se recibe una llamada. La necesidad de este circuito se debe a que la señal que se recibe cuando el teléfono suena con el tono correspondiente, es una onda senoidal de unos setenta y cinco voltios de pico, a la que hay que añadirle una tensión continua de 48 voltios, debido a que el teléfono está colgado y, por lo tanto, la línea está abierta. La señal que se recibe es la número 1 de la figura 11.

Como se puede adivinar, lo que el circuito tiene que conseguir, es transformar esta señal senoidal en un pulso de cinco voltios, para que de esta forma pueda trabajar el resto del circuito.

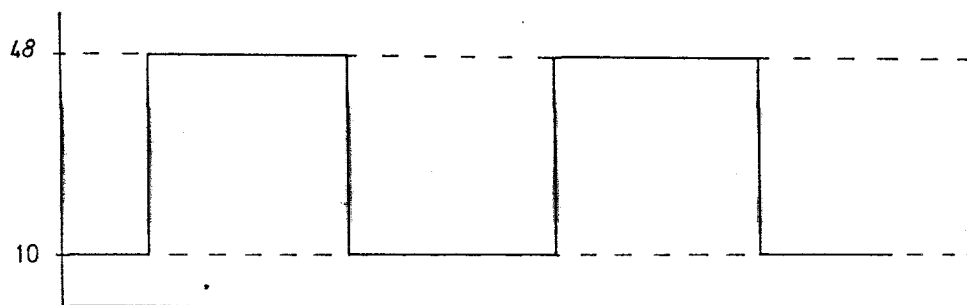
Lo primero que hay que hacer es eliminar los 48 voltios de continua de la línea, que van a estar presentes aunque no se reciba ninguna llamada, de forma que cuando se reciba el tono de llamada, solo se tenga la señal periódica. Pero aquí, hay que tener en cuenta que, cuando se quiere marcar un número, se genera una señal cuadrada, debido a que, la tensión de la línea pasa de 10 a 48 voltios cada vez que se marca una cifra, varias veces. Se representa en la señal número 2 de la figura 11. Por lo tanto, hay que evitar que cuando se marca un número pueda ocurrir que el circuito detecte la señal cuadrada como si de una llamada se tratase. En el apartado de realización mediante el programa, esto solo podría suceder, cuando seleccionado el modo traslador se marca el número por el teléfono, ya que de esta forma el programa estaría examinando la línea y lo detectaría. Si, por el contrario, el número se marca haciendo uso de la parte del programa para el marcador, no ocurriría nada ya que en ese momento no se están examinando las líneas.

Esto se puede evitar, al mismo tiempo que se elimina la señal continua, mediante la realización de un sencillo filtro paso alto, cuya frecuencia de corte sea superior a la señal de los pulsos producidos en el marcaje, e inferior a la frecuencia de la señal que se recibe con el tono de la llamada.

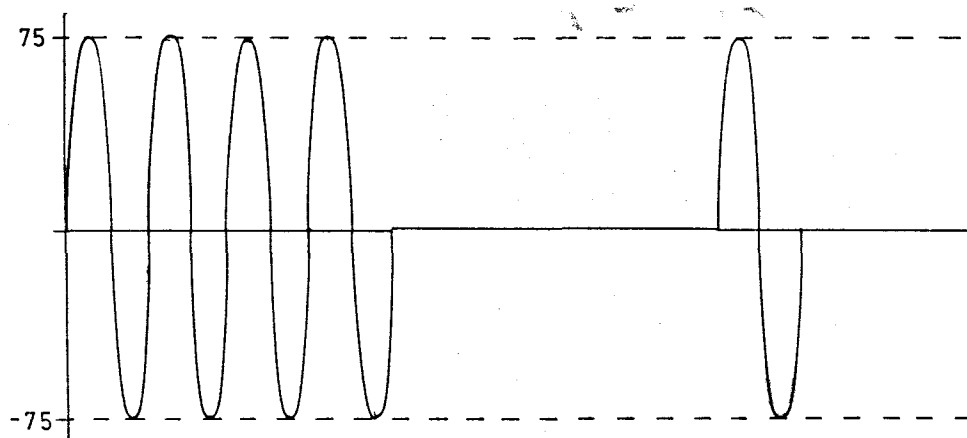




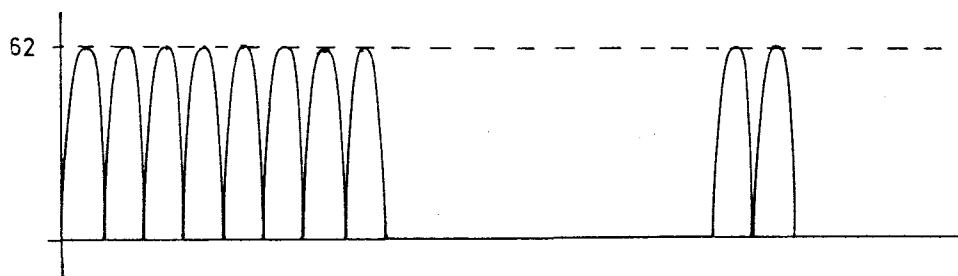
1



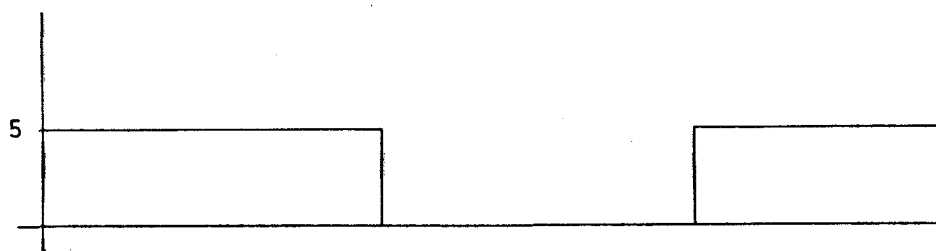
2



3



4



5

fig. 11

Una vez que la señal ha pasado por el filtro, la señal de salida va a ser una senoide, pero esta vez sin ningún nivel de continua y ligeramente atenuada por su paso por el filtro. Señal número tres de la figura.

Esta señal hay que pasarla ahora a una señal continua o practicamente continua, esto se obtiene mediante el uso de un puente rectificador. con lo que, obtenemos la señal número cuatro, que todavía sigue siendo de una tensión muy superior a la que se necesita. Por este motivo, se coloca un circuito divisor-estabilizador, de forma que a la salida tengamos siempre la señal cuadrada deseada de 5 voltios.

Vamos a ver ahora, cada parte del circuito más detenidamente, viendo el circuito total y realizando los cálculos para determinar los valores de los componentes a utilizar en nuestro caso particular.

#### - Filtro paso alto

El circuito del filtro elegido, es el que se muestra en la figura, cuya frecuencia de corte viene dada por la siguiente fórmula:

$$f_c = \frac{1}{\pi \cdot R \cdot C}$$

La frecuencia de corte escogida es de 30 Hz. ya que, ésta es superior a la frecuencia de marcaje de los números, que es de diez Hz. e inferior ligeramente a la frecuencia del tono de llamada, cuya frecuencia es de aproximadamente de 35 Hz.

Eligiendo un valor de  $C = 1 \mu f$ . se tiene que:

$$30 = \frac{1}{\pi \cdot R \cdot 10^{-6}}$$

$$R = \frac{1}{30 \cdot \pi \cdot 10^{-6}}$$

y se obtiene un valor de  $R = 10K6$  aproximadamente.

Veamos ahora cual es el módulo de la función de transferencia del filtro, para de esta forma, conocer cual va a ser la atenuación tanto de la frecuencia de marcaje como la de la frecuencia del tono .

El módulo de la función de transferencia del filtro, viene dado por la expresión siguiente:

$$\left| \frac{V_o}{V_i} \right| = \frac{1}{\sqrt{1 + \frac{2}{\omega RC}}}$$

en donde  $\omega = 2\pi f$  con lo que se ve que esta relación depende de la frecuencia de la señal.

Vamos a ver que relación se obtiene para una frecuencia de 10 Hz. que es la frecuencia del marcaje. Para ello basta con sustituir todos los valores en la expresión anterior.

$$\left| \frac{V_o}{V_i} \right|_{f=10} = \frac{1}{\sqrt{1 + \frac{2}{2\pi \cdot 10 \cdot 10^{-6}}}}$$

Con lo que obtenemos un valor de 0.5, lo que nos indica que la señal de salida cuando se está marcando es la mitad que la señal de entrada, es decir, que la señal de salida del filtro va a ser, durante el marcaje, de 24 voltios, ya que, la de entrada es de 48v.

Realizando estos mismos cálculos pero esta vez con una frecuencia de 35 Hz. que es la frecuencia de la señal del tono de llamada, se obtiene que:

$$\left| \frac{V_o}{V_i} \right| = \frac{1}{\sqrt{1 + \frac{2}{2\pi \cdot 35 \cdot 10^{-6}}}}$$

Cuyo resultado es 0.73 que aplicados sobre los ochenta y cinco voltios de la señal de entrada al filtro, se obtiene una señal de salida de aproximadamente 62 v. con lo cual vemos que las dos señales han sido considerablemente atenuadas, pero en cambio la diferencia de nivel entre una y la otra, sigue siendo la misma, por lo que se ve que se ha realizado una cierta selección. Selección que se verá acentuada viéndose sus efectos al colocar el divisor de tensión a la salida. Este divisor es el que se va a pasar a explicar a continuación, añadiéndole un diodo zener para estabilizar la tensión y de esta forma

tener siempre los cinco voltios aunque halla una elevación de tensión por cualquier motivo.

#### - Circuito divisor estabilizador

Este circuito es el que se presenta en la figura de la siguiente página.

Los valores de las resistencias  $R_1$  y  $R_2$  se tienen que poner de forma que cuando se esté marcando no pase la suficiente corriente como para hacer que el zener llegue a su tensión zener. Esta corriente debería ser menor que un milamp., experimentalmente se comprueba que la tensión a la que se llega a colocar el zener es de 1 voltio, que se reconoce como un cero lógico, si esto no fuera así, basta con colocar un trigger smicht a la salida. Con estos valores de tensión y corriente se puede obtener la  $R_1$  mínima a colocar, que será:

$$R_{1 \text{ mín.}} = \frac{24 - 1}{1} = 23 \text{ K}$$

Hay que tener en cuenta que se esta suponiendo que por  $R_2$  va a circular una corriente pequeña, para que de este modo tenga toda la influencia la resistencia  $R_1$ .

Para calcular la  $R_1$  max. hay que tener en cuenta la tensión de salida del filtro para la frecuencia del tono de llamada, que como ya se vio, es de 62 v. Para esta tensión, debe circular la suficiente corriente por el zener, para que éste pueda alcanzar su tensión zener de 5.1 voltios. Experimentalmente, también, se ve que esta corriente debe llegar a un valor mínimo de dos miliamp.

Vamos a ver cual será el valor máximo de esta resistencia:

$$R_{1 \text{ max.}} = \frac{62 - 5}{2} = 28\text{K}5$$

Pero este valor sería sin contar la pequeña corriente que va a necesitar la  $R_2$ . Como a nosotros nos interesa que el valor de  $R_1$  sea lo más grande posible para que de esta forma cuando se marca se obtenga la menor tensión posible, tenemos que hacer que la corriente que

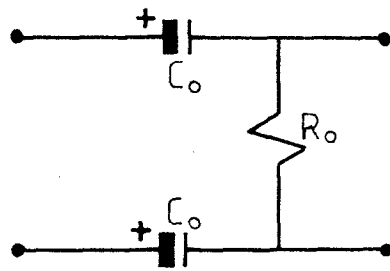


fig. 12a

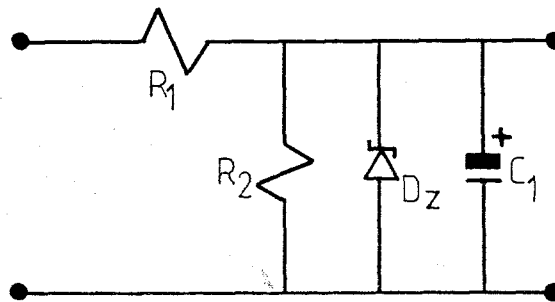


fig. 12b

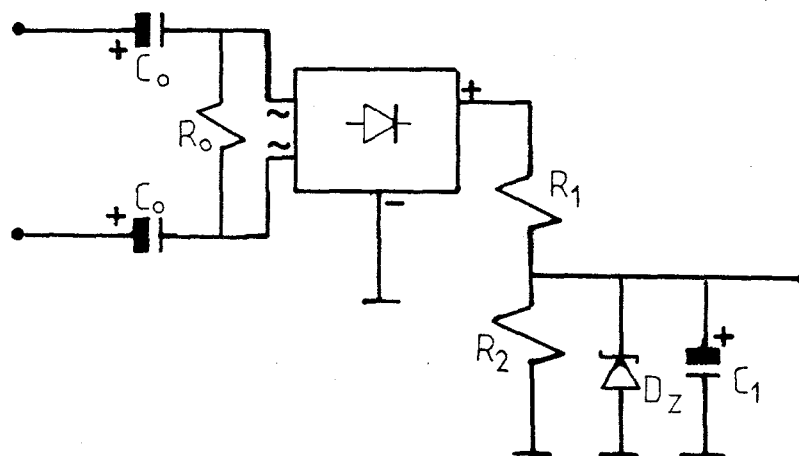


fig. 12c

pase por  $R_2$  cuando se reciba una llamada sea mínima por lo que se co-  
ge como compromiso una resistencia de 15 K, con lo que cuando se de-  
tecte la llamada, la corriente que pasará por dicha resistencia será  
de 5/15 que equivale a 0.3 miliamp.

Entonces la  $R_2$  máxima será:

$$R_{1 \text{ max.}} = \frac{62 - 5}{2.3} = 24K8$$

Por lo que se cogerá el valor más próximo a este aunque esté  
ligeramente por arriba.

Para terminar el circuito, se ha colocado un condensador, que  
tiene como misión eliminar los posibles rizados que salgan debido a  
que la señal para hacerla continua solamente la habíamos hecho pasar  
por un puente rectificador.

## ANALISIS DEL CIRCUITO ACTIVADOR DEL PRIMER RELÉ

Como ya dije, este circuito se encarga de cerrar el relé de la línea por donde se ha recibido el tono de llamada.

Su representación se puede ver en la figura número 13.

Se basa en un flip - flop tipo D, de forma que su entrada asincrónica de puesta a uno (set) se coloca a la salida de una puerta AND de dos entradas, una de las cuales es la salida del detector de llamada, y la otra viene del selector del modo de funcionamiento, de forma que si dicho modo es el del trasladador, esta entrada estará a uno, dejando a la puerta AND transparente. Si el modo elegido es el de marcar automático, esta entrada se colocará a nivel bajo para de esta forma no dejar pasar nada hacia el set del flip - flop. Se hace esto para evitar que cuando no se tiene seleccionado el trasladador y se recibe una llamada, el flip - flop ponga su salida a nivel alto, activando de esta forma el primer relé, es decir, el relé de la línea contraria a por donde se recibe la llamada.

Entonces, cuando está seleccionado el modo trasladador y se recibe una llamada, en la salida de la AND habrá un nivel alto, y por tanto, como se actúa sobre el set del F-F, la salida Q se pondrá a nivel alto también lo que producirá el cierre del relé previo paso por el circuito de ataque.

El reloj del F-F se une junto con la entrada D a un nivel, que o bien puede ser alto o bajo, ya que simplemente se trata de que no tengan influencia en el circuito debido a que se va a actuar en todo momento sobre las entradas asíncronas del F-F (set y reset).

Como acabo de decir, también se va a actuar sobre la entrada de reset o puesta a cero. Sobre esta entrada va a actuar el controlador del tiempo de comunicación, de forma que cuando este tiempo ha pa-

sado, manda un pulso ha dicha entrada de reset,colocando la salida a cero y por lo tanto desactivando el relé con lo que se abre la línea quedando terminada la comunicación ya que esto se interpretaría como que el teléfono se cuelga.

Es importante que **cuando** se termine el tiempo de la comunicación se envíe un pulso al reset, es decir, se ponga momentáneamente a nivel alto, pero que después vuelva al bajo, ya que si se queda en el nivel alto (reseteando), cuando se detecta otra llamada se actúa sobre el set par lo que se crearían estados poco recomendables para el buen funcionamiento del sistema.



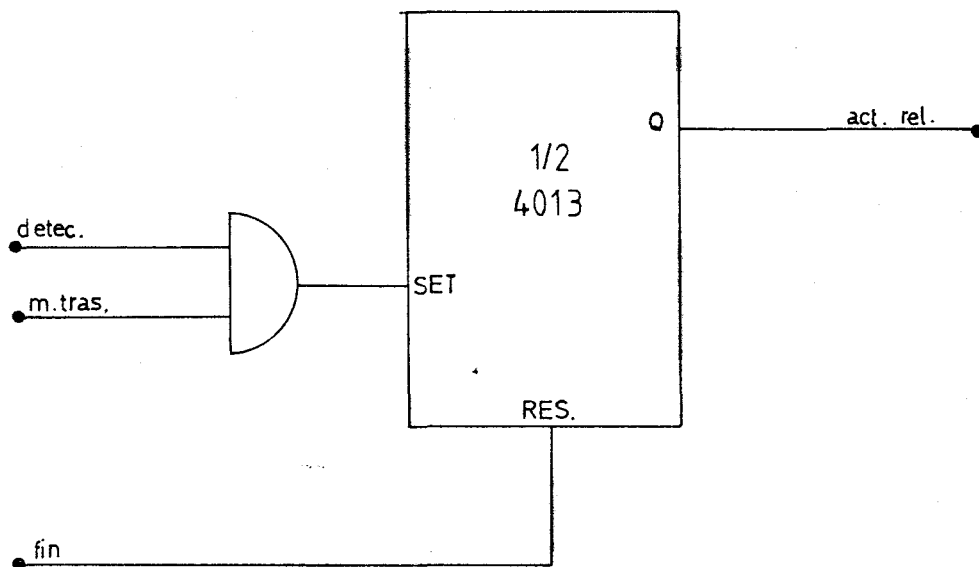


fig. 13

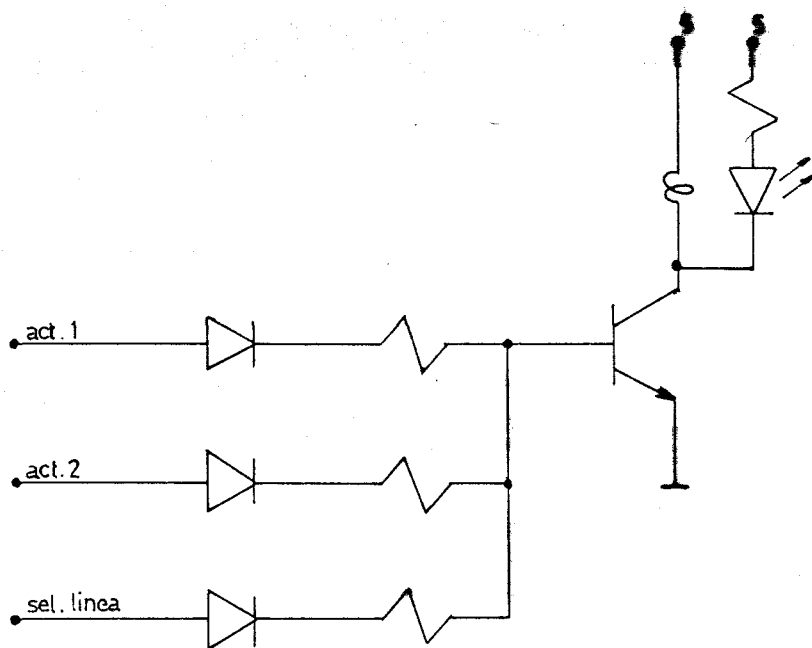


fig. 14

## DESCRIPCION DEL CIRCUITO DE ATAQUE A LOS RELES

=====

Como ya dije, para no sobrecargar los circuitos integrados, colocamos un pequeño circuito basado en un transistor, el cual cuando le llegue un nivel alto a la entrada, debe cerrar el relé, y cuando este nivel es bajo, lo debe abrir. Como se puede ver en la figura 15, donde se muestra este circuito, existen tres posibles formas de activar el relé, y son las siguientes:

- Circuito activador del primer relé
- Circuito activador del segundo relé
- Circuito selector de línea.

En este apartado nos vamos a referir a los circuitos que activan los reles del traslador, ya que, para el marcador aunque se necesita uno, este solamente se puede activar con la señal de los pulsos de salida que provienen del oscilador y controlador de tiempos; siendo el circuito el mismo que el de la figura pero con la salvedad de que solamente tiene un camino de entrada.

Una vez hecha esta aclaración, vamos a examinar nuestro circuito de la figura. Como se ve uno de los caminos para activar el relé, sería el circuito que detectaría la llamada, es decir, se cerraría este relé cuando por la otra línea se detecta la llamada.

También se tendría que cerrar cuando una vez que se ha detectado la llamada por la línea de este relé, se ha terminado de marcar el número por la otra línea.

La tercera y última forma de activarlo, sería de una forma manual mediante un pulsador, siendo este el circuito selector de línea para su uso con el marcador.

Con la configuración que se ve en la figura, para que el relé se cierre cuando le llega un uno a la entrada, el transistor tendría que saturarse.

Vamos a hallar la  $R_B$  para que se nos cumpla esto:

$$I_C = \frac{5 - V_{ce \text{ sat.}}}{R_C}$$

En nuestro caso, teniendo en cuenta que el relé tiene una resistencia de 500 ohmios, tenemos, que despreciando la  $V_{ce \text{ sat.}}$ , la  $I_c = 10 \text{ mA}$ . Para hallar la  $R_b$  necesitamos saber la corriente de base, tomando como  $\beta = 50$ , se tiene que cumplir que:

$$I_b \geq \frac{I_c}{\beta}$$

$$R_B = \frac{V_{\text{ent.}} - V_{BE \text{ sat}}}{I_b}$$

Sustituyendo todos los valores, se tiene que la  $R_B$  tiene que ser menor o igual a 20 K.

Como también se puede ver en la figura, en la entrada del transistor ( la base ) en lugar de colocar una puerta OR para seleccionar que el relé se active cuando ocurra una de las tres opciones, colocamos tres diodos, con lo cual se consigue el mismo efecto, pero de esta forma nos ahorramos un integrado que después se quedaría sin utilizar totalmente, además de que ocupa más espacio en la placa.

## ACTIVADOR DEL 2º RELÉ Y SELECTOR DE LÍNEA =====

El 2º relé debe activarse una vez que se ha terminado de marcar el número por la otra línea. Es decir se debe activar cuando se halla detectado una llamada por la línea contraria, y por lo tanto la salida Q del F-F debe estar a nivel alto, además de que se halla terminado de marcar el número, es decir, se halla detectado la marca de fin.

Entonces, colocando estas dos señales como entradas de una AND, a la salida de esta se tendrá la señal deseada.

El selector de línea es otro circuito bastante sencillo ya que su función es simplemente que al apretar un pulsador, se cierre el relé de la línea seleccionada durante un tiempo que sea suficiente como para dar tiempo de marcar el número de teléfono, y descolgarlo .

Esto se realiza como se puede ver en la figura 14 con un circuito RC de forma que al pulsar, se carga el condensador con una tensión de 5 voltios con lo que se cerrará el relé. Una vez se suelta el pulsador, el condensador empezará a descargarse pasando así el tiempo necesario.

Cuando el condensador se ha descargado, el relé se abre.

El condensador se va a descargar a través de la resistencia que va a atacar al relé, como además en la polarización del transistor se tiene otra resistencia, entonces el tiempo de descarga del condensador va a depender de la suma de los valores de estas dos resistencias.

La resistencia de esta parte del circuito, tiene que ser lo suficientemente grande, para que junto con el valor del condensador, nos proporcione el tiempo suficiente como para poder realizar todas las operaciones, pero al mismo tiempo no debe superar un valor límite con el que

el transistor deja de estar en el estado de saturación cuando le llegase un nivel alto a la entrada. el valor límite de esta resistencia, va a de pender del transistor elegido, así como de la resistencia de colector que coloquemos, pero para que el circuito funcione, es necesario que se cumpla la condición de saturación del transistor.

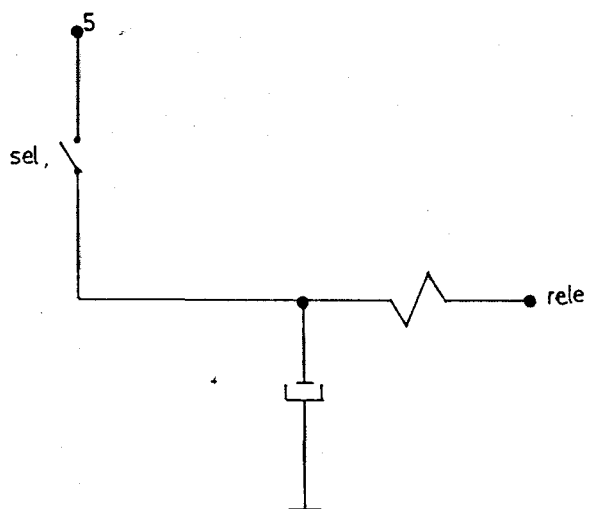


fig. 15

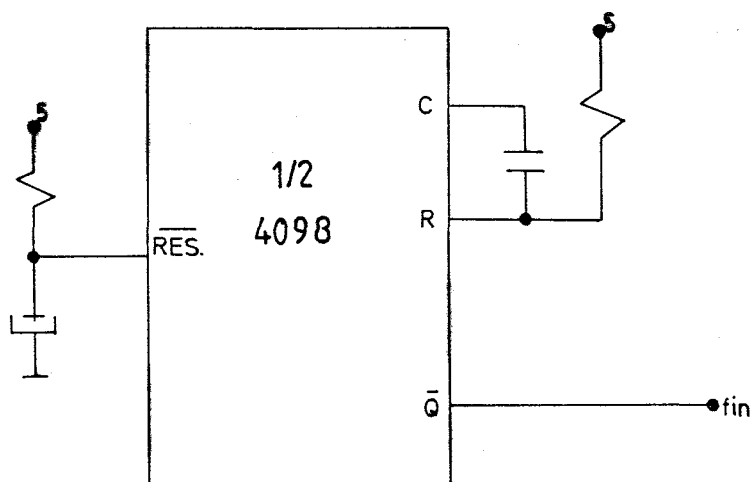


fig. 16

## CONTADOR DE TIEMPO DE COMUNICACION =====

Esta parte del circuito se va a encargar de controlar el tiempo que dura la comunicación, más bien, mide el tiempo desde que se recibió la llamada y se empieza a marcar, Una vez que termina este tiempo, se encarga de dejar preparado el sistema para una próxima llamada.

Como se puede ver en la figura 16, este circuito es un simple monoestable, cuyo reset tiene un circuito RC para que de esta forma cuando se hacen operaciones de encendido, tras haberlo apagado, no se dispare, quedándose en un estado un tanto extraño del cual no saldría hasta que no se resetease, entonces, esta operación de reseteo, se lleva a cabo con el RC, de forma que cuando el sistema se enciende, en la entrada de reset (activo a nivel bajo) hay un cero, hasta que el condensador se cargue hasta la tensión de alimentación.

El otro circuito RC es el encargado de obtener el tiempo de comunicación, este tiempo va a ser  $1/2$  de RC, pasado el cual, el monoestable vuelve a su estado normal.

La salida se toma por  $\bar{Q}$  ya que este circuito va a atacar la entrada de reset de los F - F que controlan el activado de los reles, al ser estas entradas activas a nivel alto, se toma dicha salida del monoestable, permaneciendo los F - F reseteados hasta que no se detecte ninguna llamada.

**PARTE II :**

**DISEÑO POR**

**PROGRAMA**



DESCRIPCION GENERAL DEL DISEÑO Y  
DEL HARDWARE

## FUNCIONAMIENTO Y ESQUEMA DE BLOQUES GENERAL

El funcionamiento del sistema basado en un programa para el sistema SDK 85 es bastante sencillo, y necesita una pequeña cantidad de circuitería exterior, como sería el ya comentado en la parte anterior detector de llamada, además del circuito de ataque de los relés que van a ser controlados mediante los puertos del SDK.

Para ver más fácilmente el funcionamiento, vamos a ayudarnos del esquema que se presenta en la figura número 17.

Como se ve, es necesario tener dos líneas, si se desea poner en funcionamiento todo el sistema, tanto el traslador como el marcador. Cada línea, como es lógico tiene conectado un teléfono, que en el esquema se representa como una carga con un conmutador, que realiza las funciones de cerrar la línea cuando se descuelga el teléfono, y también la de marcador de las cifras. Nosotros no vamos a tener en cuenta para nada estos dos teléfonos, ya que cuando nos interese cerrar la línea lo haremos con circuitería exterior. De cada una de las dos líneas salen unos detectores de llamada, que como su nombre indica tienen la función de detectar la recepción de una llamada y como ya se vió, lo que tienen que hacer es transformar la senoide que se recibe a un pulso cuya amplitud este comprendida entre 4.5 y 5 voltios para que de esta forma se pueda trabajar con esta señal en nuestro sistema mínimo. Estos detectores atacan al port A ( solamente a los bits 0 y 3 de este port ) de la RAM básica del sistema; este port se va a programar como puerto de entrada, de forma que se va a ir examinando y si ocurre que hay señal, el sistema traslador entra en funcionamiento.

El sistema además contiene tres relés que son controlados por los ports B y C de la misma RAM que como es lógico, se programarán como puertos de salida. El port B ( bit 0 ) va a controlar mediante un circuito de ataque, colocado para de esa forma no cargar demasiado al puerto, el relé encargado de marcar los números. Este relé va a estar normalmente cerrado ya que, no va a controlar el colgado y descolgado de los teléfonos, sino

que simplemente se abrirá y cerrará cuando se quiera enviar un pulso por la línea ( hay que recordar que para marcar las diferentes cifras de un número, se envían tantos pulsos como la cifra indica ). El port C mediante los bits 0 y 3 pasando por sendos circuitos de ataque, uno para cada relé, va a controlar la apertura y cierre de las líneas, es decir, el colgado y descolgado de los teléfonos.

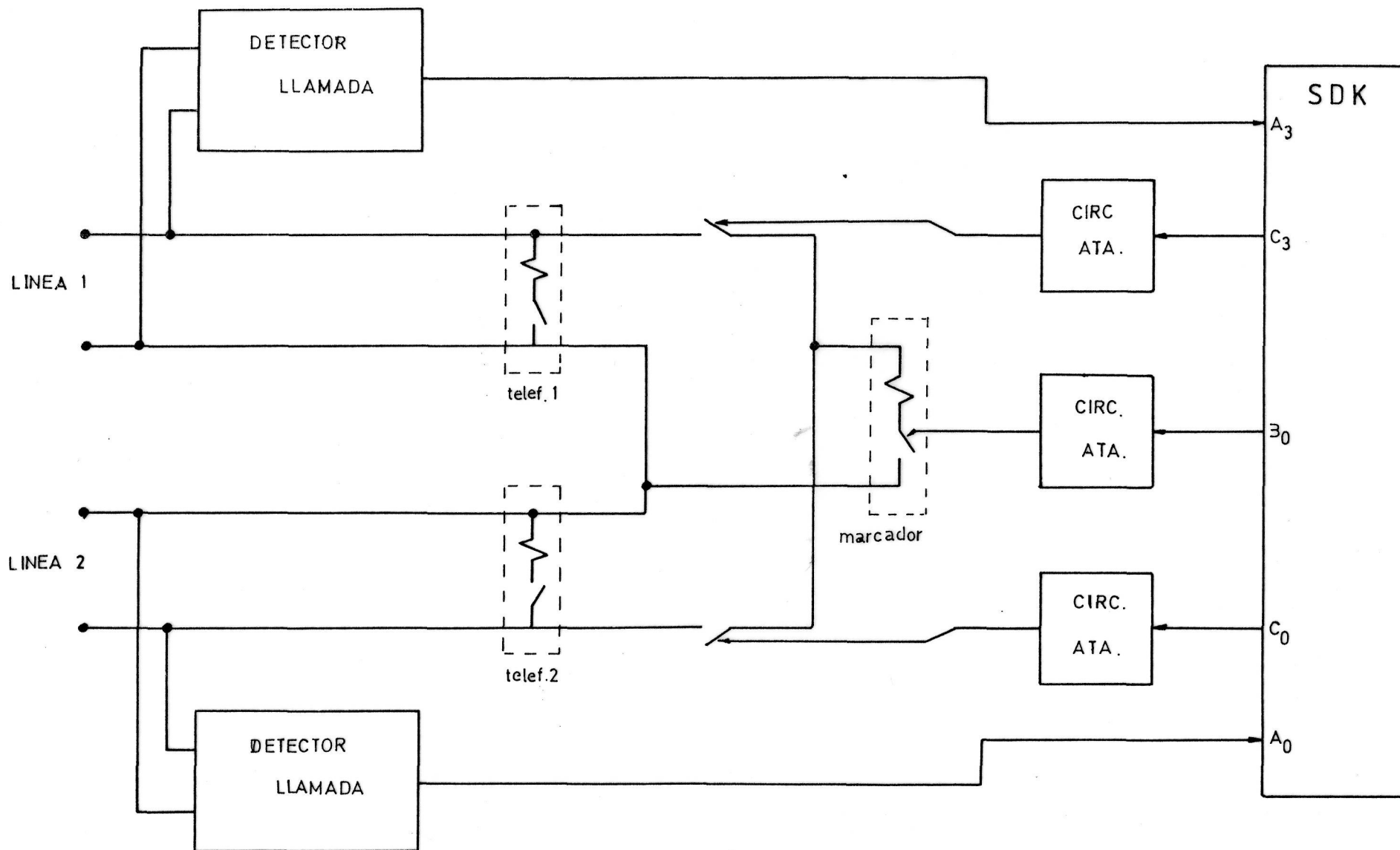


fig. 17

## FUNCIONAMIENTO DEL PROGRAMA

En este apartado vamos a ver cual va a ser el comportamiento del programa de forma muy general ya que más adelante se estudiará con más detalle subrutina a subrutina.

El programa necesita para su grabación la ampliación de memoria del SDK ya que utiliza aproximadamente 450 octetos de memoria. Para ponerlo en funcionamiento basta con hacer un GO 2000 con lo que en el campo de direcciones saldrá el mensaje PASS y en el de datos saldrá la letra A que lo que indica es que si queremos que funcione el trasladador, tenemos que pulsar la letra A, si pulsamos cualquier otra tecla el programa funcionará en el modo de marcador automático. Supóngase que no se pulsa la A sino que la tecla pulsada es otra, entonces en la pantalla se nos presentara otra opción LOAD C que nos indica que si lo que queremos es modificar un número de los que estaban en memoria ( aquí se supone que si el programa se va a utilizar a menudo, estaría grabado en ROM y los números memorizados en RAM pero nunca se les cortaría la alimentación ya que sino cada vez que se quisiera utilizar el programa habría que cargar todos los números lo cual sería absurdo ) tenemos que pulsar la C si se pulsa otra tecla se supone que lo que se quiere es marcar un número de los ya memorizados ( como se ve se ha hecho que la opción más frecuente en su utilización es la que se pone en funcionamiento pulsando una tecla cualquiera sin ser la que sale en el display). Ahora tanto si se ha elegido marcar un número como modificarlo en el display aparecerá el siguiente mensaje PHO . en el campo de direcciones que indica que nos pide el número de guía que se quiere marcar o corregir, este número debe estar comprendido entre 0 y 4 para que sea admitido ya que sino, nos pedirá otro; si suponemos ahora que hemos seleccionado el número 2, aparecerá en el campo de direcciones PHO2 con lo cual sabemos a la hora de modificar o de marcar sobre el número que se está trabajando.

Una vez aquí, el SDK distingue si se ha seleccionado la modificación o el marcaje. Si lo que se eligió fue la modificación simplemente tenemos que marcar el nuevo número que puede tener un máximo de siete cifras aunque se reservan ocho posiciones de memoria, pero la última posición se reserva para almacenar la marca de fin de número que en nuestro caso es un doble cero que no se puede confundir con la cifra cero ya que cuando se pulsa el cero se cambia para la grabación por el código del 10 ( en teléfono cuando se marca la cifra cero se envían diez pulsos, es decir, se abre y cierra la línea diez veces ). La marca de fin se graba automáticamente tanto si se graban seis o siete cifras o menos. Cuando se termina de grabar el número y éste tiene menos de siete cifras, hay que pulsar el VECT INTR que devolverá el programa al comienzo; si el número tiene siete cifras, el control al principio del programa se producirá de forma automática.

Si lo que se seleccionó fue el marcaje de un número ya memorizado, lo primero que hace es cerrar la línea 1, que es por donde se va a llamar, después espera aproximadamente un segundo hasta que se le de línea y entonces se produce el marcaje de las cifras hasta que se detecta la marca de fin de número lo que hace ir al programa al comienzo .

Hasta aquí habíamos supuesto que elegimos la opción del marcador automático, pero si elegimos la otra opción, la del trasladador telefónico, en principio como ocurría antes, en el display aparece el mensaje PHO . que nos pregunta a que número de los memorizados se ha de llamar si se detecta alguna llamada por cualquiera de las dos líneas; si esto ocurre, se cierran los relés de la otra línea ( por la que no se recibe la llamada ) y se empieza a marcar el número, después de esperar un instante hasta que se consiga la línea, una vez que se marca el número, los relés de la otra línea se cierra para que las dos líneas se interconecten de forma que cuando el receptor

descuelga su teléfono ya tenga línea con la persona que le ha llamado.

Las líneas se mantendrán interconectadas durante aproximadamente tres minutos, aunque este tiempo es fácilmente modificable en el programa. Una vez que han pasado esos tres minutos los relés de las dos líneas se abren con lo cual las líneas también se abren y por lo tanto se da por finalizada la conversación.

Después de abrir los relés, el programa vuelve a un bucle en donde examina las líneas para ver si se detecta alguna otra llamada ya que si esto ocurre se tendrá que hacer el mismo proceso y con el mismo número de teléfono memorizado.

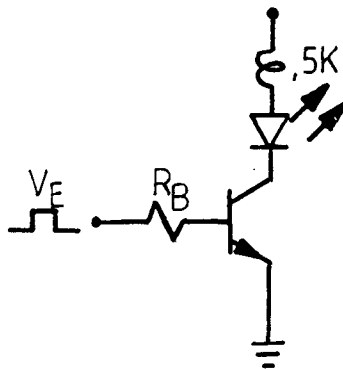
En cualquier momento que se desee, ya sea porque se ha cometido algún error o porque ya no se desea llamar, se puede inicializar el programa pulsando el VECT INTR con lo que el programa empezará a funcionar desde la posición 2000 nuevamente.

### DESCRIPCION DEL CIRCUITO DE ATAQUE A LOS RELES

Como ya se ha dicho, los relés van a estar controlados por los puertos de la RAM básica del SDK, entonces, para no sobrecargar dichos puertos, es conveniente colocar un circuito intermedio entre el SDK y los relés que nos lo eviten.

Este circuito tiene que cerrar el relé cuando haya un uno en el bit correspondiente que lo controla. La tensión de salida que corresponde a un uno en los puertos, es de 3.6 voltios, siendo la alimentación de cinco voltios.

El esquema del circuito, que habrá que realizar tres veces, ya que, hay que controlar tres relés, es el siguiente:



A nosotros nos interesa que, cuando, haya un uno en la entrada, el relé se cierre, por lo que, el transistor tendría que saturarse. Vamos a hallar el valor de  $R_B$  para que esto suceda.

Sabemos que:

$$I_c = \frac{V_{cc} - V_{CE \text{ sat.}}}{R_c}$$

En nuestro caso, la  $R_c$  va a ser la resistencia de la bobina del relé que en los que se han utilizado es de 500 ohmios.

De esta forma,

$$I_c = \frac{5 - V_{ce \text{ sat.}}}{0.5}$$



Despreciando la  $V_{CE \text{ sat}}$  obtenemos que  $I_C = 10 \text{ mA}$ . Para hallar la  $R_B$  necesitamos conocer la corriente de base, que la podemos hallar ya que se tiene que cumplir la condición de saturación.

$$I_B \geq \frac{I_C}{\beta}$$

Tomando una  $\beta = 50$  se obtiene que  $I_B$  tiene que ser mayor que 0.2 miliamperios.

Ahora, ya podemos obtener el valor de la  $R_B$ .

$$R_B = \frac{V_e - V_{BE \text{ sat.}}}{I_B}$$

Despreciando la  $V_{BE \text{ sat.}}$  y sustituyendo todos los valores, se obtiene una  $R_B = 18 \text{ K}$ .

## DESCRIPCION GENERAL DEL SOFTWARE

## DESCRIPCION GENERAL DEL SOFTWARE DEL DISEÑO

Vamos a ver, en este apartado, las partes fundamentales en las que esta dividido el programa.

En primer lugar tenemos una porción de memoria reservada para almacenar los números, recordemos que se guardan ocho posiciones de memoria para cada número, y que en cada una de estas posiciones solamente se puede almacenar una de las cifras de las que consta y que además siempre se deja una grabada con la marca de fin para el posterior reconocimiento de donde se termina el número. Por problemas de escasez de memoria solamente se pueden memorizar cinco números, pero con una simple ampliación de memoria, aparte de la ampliación de RAM preparada en el SDK; por tanto, se deduce que para el almacenamiento necesitamos cuarenta posiciones de memoria.

En lo referente al programa en si mismo, tenemos una primera parte que podíamos denominar de presentación e inicialización del sistema, ya que, es donde se coloca el puntero de pila, se cierra el relé del marcador automático ( este relé normalmente tiene que estar cerrado y cuando se marque el número se abre y cierra manteniendo la línea cerrada ), y se presentan los mensajes para la selección del modo de funcionamiento.

Existe una segunda parte, que es común a cualquier modo de funcionamiento y en donde, se selecciona el número de guía sobre el cual se quiere trabajar. En esta parte se pueden distinguir 4 pasos:

- Presentación de un mensaje.
- Lectura del teclado.
- Cálculo para averiguar la posición inicial reservada para ese número de guía.
- Decisión de salto a subrutinas dependiendo del modo de funcionamiento seleccionado.

Dentro del funcionamiento como trasladador, destacamos una serie de subrutinas que comienzan por la TRASL, en la cual, se está de

una forma continua analizando las líneas telefónicas para detectar alguna llamada por cualquiera de las líneas. Hay otras dos subrutinas denominadas LINE1 y LINE2 que son similares y que van a ser las encargadas de cerrar los relés correspondientes cuando se detecta la llamada: si se detecta por la línea uno, se cierra el relé de la línea dos, se marca el número y a continuación se cierra el relé de la una; si se detecta la llamada por la otra línea, ocurriría lo mismo pero cambiando el orden de cierre. Además cuenta con otra pequeña subrutina que va a ser la encargada de contar el tiempo que transcurre, de forma que cuando han pasado aproximadamente tres minutos, abre los relés de ambas líneas dando por finalizada la conversación y devuelve el control del programa a la subrutina TRASL para preparar el sistema por si se recibe alguna otra llamada.

Si la opción que hemos elegido es la del funcionamiento del marcador automático, ya hemos dicho que se presentan otras dos opciones como son la de la modificación o bien la lectura de algún número ya memorizado. Cada una de esas dos opciones tiene una subrutina particular. La subrutina de modificación consta de las siguientes partes:

- Lectura del teclado.
- Comprobación de que la tecla leída esté entre 0 y 9.
- Comprobación para ver si se ha pulsado el cero, si es así salta a una subrutina de cambio de código.
- Grabación de la marca de fin en la siguiente posición.
- Comprobar si se ha alcanzado el tope de números permitidos.

Por otro lado, tenemos que la subrutina de lectura del número de guía seleccionado está dividida como sigue:

- Conseguir el nº de la posición de memoria direccionada.
- Comprobar si es la marca de fin y toma de decisión según sea o no lo sea.
- Visualización del número.
- Generar y pasar pulsos por el port.

- Espera la pausa entre dígitos.

Además de estas dos subrutinas. existen otras dos muy sencillas que se denominan de cambio de código y se deben a que para el cero hay que enviar diez pulsos, con lo que hay que grabar una A ( diez en hexadecimal ) y la otra es para que cuando se lea la A se visualiza un cero.

Por último, hay una porción de memoria en donde se va a guardar un código numérico relacionado con los caracteres alfanuméricos que se van a presentar en los displays a lo largo de todo el programa. A estas posiciones se les da el nombre de VISUS.

## PROGRAMACION DE LOS PUERTOS DE LA RAM

Como ya se ha dicho, para el funcionamiento del programa hacen falta algunas señales de control, unas de entrada y otras de salida, que van a ser manejadas mediante los puertos que contiene el chip de RAM básica del SDK. Esta pastilla además de contener una cierta capacidad de memoria, contiene tres puertos que tanto pueden ser utilizados como salida que como entrada, según sean las necesidades del usuario, mediante programación. Para programar estos puertos, se dispone de un registro de control/estado dentro de la misma RAM. La estructura de este registro es la siguiente:

7	6	5	4	3	2	1	0
TM2	TM1	IEB	IEA	PC2	PC1	PB	PA

en donde:

Bit 0 : Define sentido en PA    0 = entrada

Bit 1 : Define sentido en PB    1 = salida

Bits 2 y 3 : Define función de PC.

00 = puerto como entrada

11 = puerto como salida

Como se puede ver, este registro además de servir para programar los puertos tiene otras funciones que no hemos visto ya que en nuestro programa no se van a utilizar.

Hay que decir que tanto el puerto A como el B son de ocho bits pero en cambio el puerto C solamente es de seis. Para poder programar estos puertos hay que tratar al registro de control como si de un port se tratara, utilizando la instrucción OUT seguida de la dirección correspondiente al registro. Las direcciones de los puertos utilizados en el programa son: 20 para el registro de control

21 para el port A

22 para el port B

23 para el port C

## INTERRUPCIONES Y SUBROUTINAS DEL MONITOR UTILIZADAS

Se necesitan en este programa la utilización de dos de las interrupciones por hardware enmascarables a través del uso de la instrucción SIM que utiliza el acumulador para crear la máscara. Estas interrupciones se van a activar y desactivar con las instrucciones EI y DI.

Las interrupciones utilizadas van a ser la RST 5.5 y la 7.5, la primera va a ser activada por nivel (son reconocidas por el procesador cuando están a nivel alto); la segunda sin embargo va a ser disparada por flanco, es decir que se carga la interrupción en un flip-flop en el momento en que aparece el flanco de subida en la línea RST 7.5. Esta entrada no necesita estar en estado alto todo el tiempo ya que el flip-flop permanecerá activado hasta que sea reseteado.

La interrupción RST 5.5 es utilizada por el monitor para la subrutina de lectura de memoria, así, cada vez que en nuestro programa tengamos necesidad de coger un dato desde el teclado tendremos que desenmascarar y permitir esta interrupción.

La otra interrupción, la RST 7.5, se utiliza con la tecla del SDK llamada VECT INTR con lo que vamos a provocar mediante el monitor un salto a la posición de memoria 20CE en donde en nuestro programa vamos a colocar una instrucción de salto al comienzo del programa, ya que, esta tecla se va a utilizar cuando se quiera reinicializar el programa, por ejemplo si se cometió algún error o para salirse del modo traslado. Esta interrupción siempre tiene que estar permitida debido a que se puede producir en cualquier momento, al mismo tiempo cada vez que se produzca el flip-flop RST 7.5 debe ser reseteado utilizando la instrucción SIM con el bit 4 del acumulador puesto a uno, ya que esta es una de las tres formas de resetearlo.

Vamos a ver ahora las subrutinas del monitor utilizadas pero sin entrar en profundidad ya que de lo que se trata es que se sepa cual es la función que realizan dentro de nuestro programa. Las subrutinas de monitor que se llaman desde el programa son:

**UPDDT** : El contenido del registro A se visualiza en el campo de datos del display. Modifica todos los registros de la CPU al igual que los señalizadores.

**RDKBD** : Esta subrutina espera que se introduzca un caracter desde el teclado hexadecimal y lo introduce en el acumulador. Modifica los registros A, H y L además de los flags. Para su funcionamiento debe estar permitida la interrupción RST 5.5.

**DELAY** : Subrutina que no devuelve el control al programa que lo ha llamado hasta que el contenido del par de registros DE llegue al valor 00. Se modifican los registros A, D y E, y los señalizadores.

**OUTPT** : Esta subrutina visualiza caracteres en el visualizador. Los argumentos de entrada son:

A < = 00 se utiliza el campo de direcciones  
           = 01 se utiliza el de datos

B < = 00 sin punto decimal  
           = 01 con punto decimal a la derecha del campo

HL = dirección de comienzo de los caracteres a  
       visualizar



## SUBROUTINA DE PRESENTACION E INICIALIZACION: DESCRIPCION DETALLADA

En esta subrutina además de presentar los mensajes para seleccionar el modo de funcionamiento, es donde se va a poner la máscara de las interrupciones, desennascarando las que se van a utilizar. También se va a inicializar el puntero de pila y se va a programar el puerto B como salida para conseguir que el relé del marcador automático se cierre.

Lo primero que hace es inicializar el puntero de pila para que este apunte a una dirección de RAM por encima de la pila utilizada por el monitor. La posición elegida ha sido la 20CD ya que aunque con esto nos comemos algunas direcciones de la pila del monitor, estas posiciones en nuestro programa no iban a ser utilizadas ya que están reservadas y, a ellas salta el monitor cuando se produzca un tipo de interrupción que no esté permitida o que no se vaya a producir por software ya que no están dentro del programa.

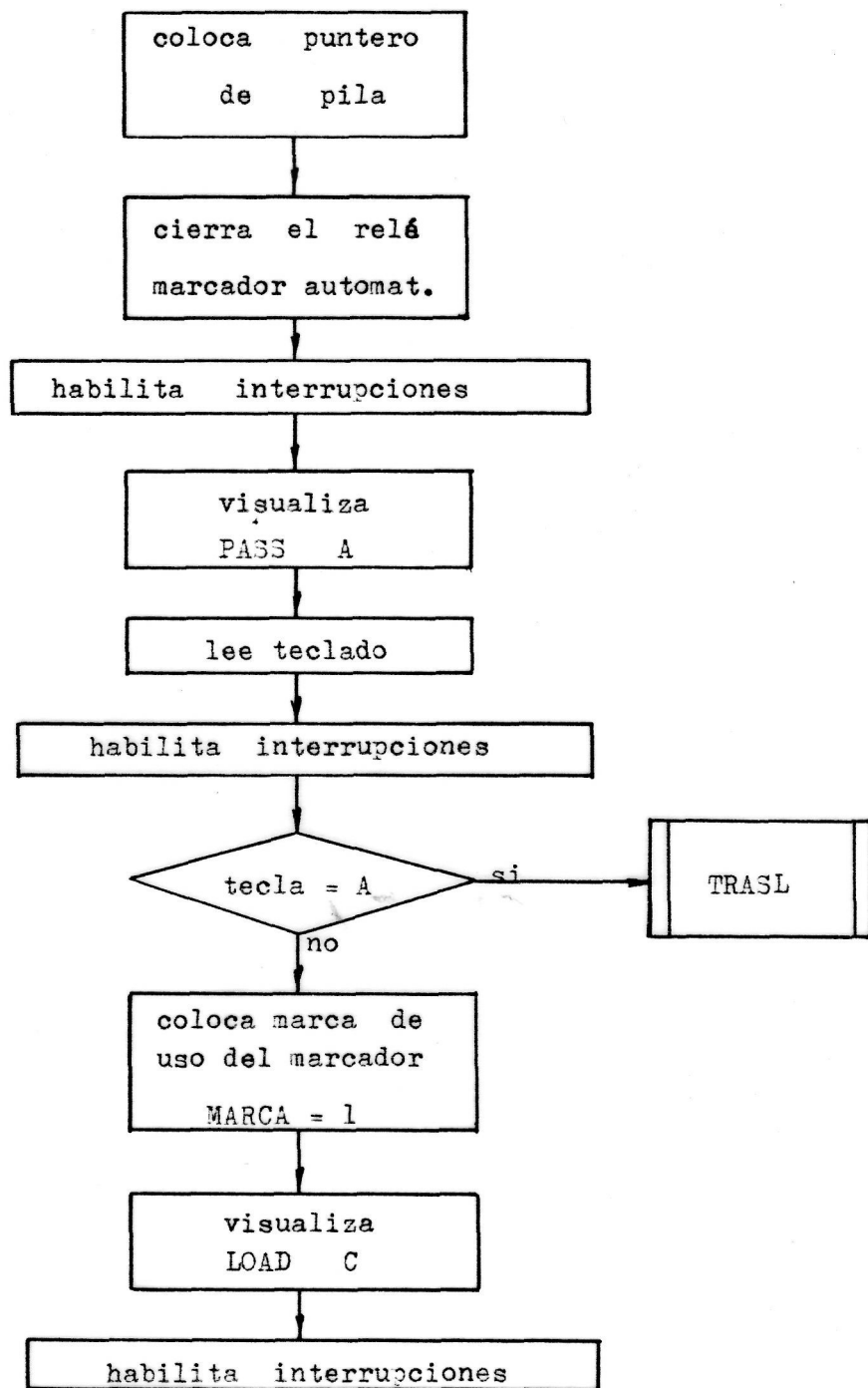
A continuación, para cerrar el relé del marcador, tiene que programar el puerto B como salida, cosa que se consigue utilizando el registro de control/estado. Una vez programado el puerto hay que sacar una señal por el bit que controla al relé, en nuestro caso el bit 0.

El siguiente paso que se realizará es permitir y habilitar las interrupciones que se puedan producir durante el programa y que, como se sabe, son la RST 5.5, utilizada en cada lectura de teclado, y la RST 7.5, utilizada en cualquier momento del programa para reinicializar el sistema.

Por último, en esta subrutina se va a elegir el modo de funcionamiento como traslador o como marcador automático, pero para ello, antes habrá que presentar un mensaje indicando la tecla a pulsar para seleccionar un modo u otro. Para hacer esto se utiliza la subrutina de monitor OUTPT en la que diciéndole desde el programa la posición del primer carácter que tiene que visualizar, nos aparecerán cuatro o dos caracteres en el display según en el campo en que se estén representando. En nuestro caso, se van a utilizar los dos campos por lo

que se van a hacer dos llamadas a esta subrutina. Si la opción elegida ha sido la del trasladador, se salta a la subrutina que trata este modo de funcionamiento, sino se graba en la posición de memoria llamada MARCA un uno que indica que se utiliza el modo de funcionamiento como marcador automático y, después, se tiene que elegir si lo que se quiere es leer un número o modificarlo y esto se hará de la misma forma que cuando se elegía entre trasladador y marcador.

La subrutina PRIN a la cual se llama dos veces en esta subrutina de comienzo es la encargada de llamar dos veces a OUTPT y de leer el teclado mediante otra subrutina de monitor llamada RDKBD.



## SUBROUTINA DE ELECCION DEL NUMERO DE GUIA: DESCRIPCION DETALLADA

Como ya se dijo anteriormente, tanto en modo traslador como en el del marcador, es necesario indicar sobre que número de guía se quiere actuar; esto se realiza en el programa con esta subrutina.

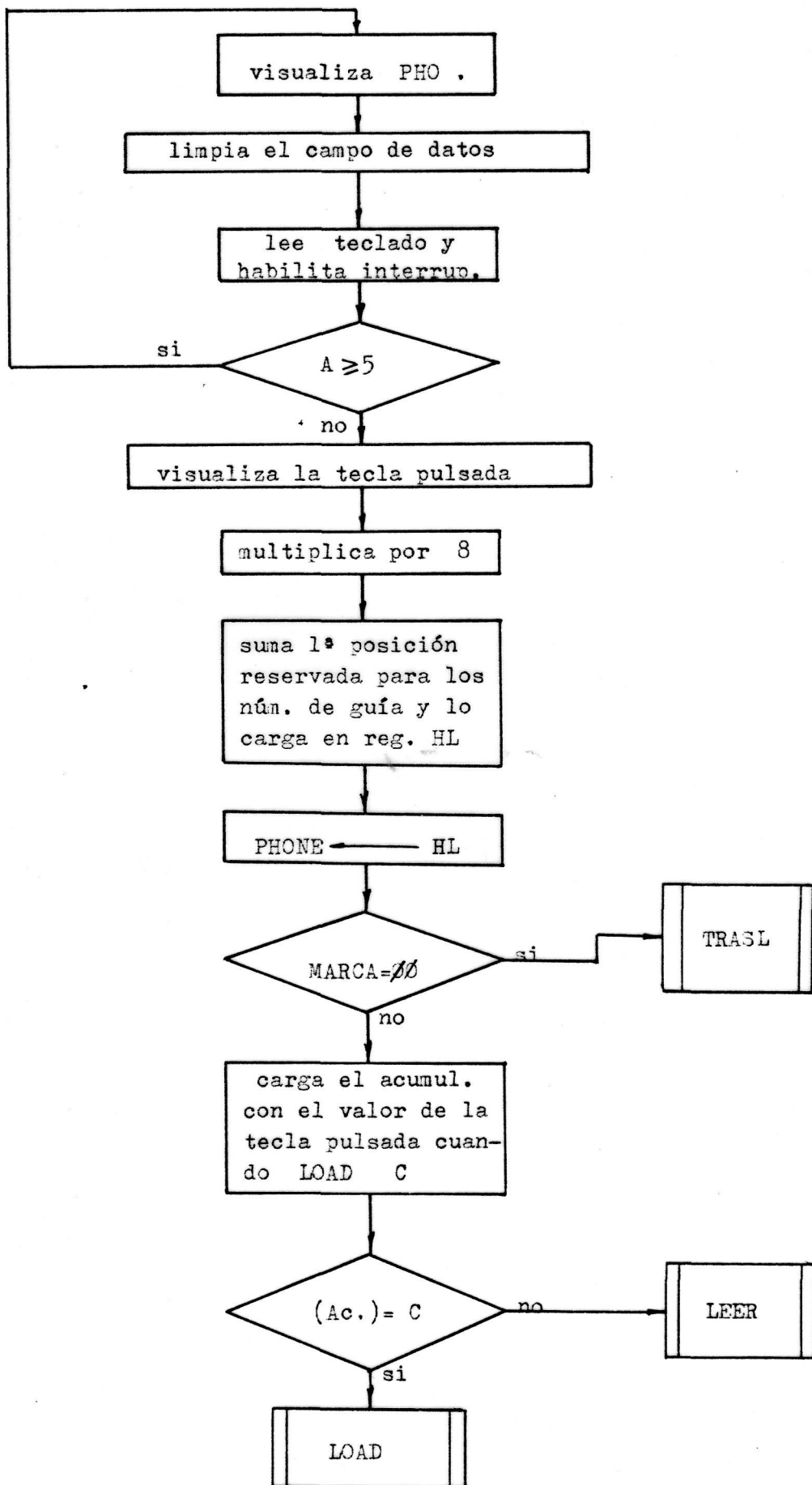
Lo primero que se hace es visualizar un mensaje, que al igual que todos los mensajes que ya se han visualizado se saca mediante la subrutina de monitor OUTPT. el mensaje que aparezca en los displays del campo de direcciones es PHO . que como se ve tiene un display en blanco, ya que está reservado al número de guía seleccionado, así, ahora se lee el teclado y si la tecla pulsada es mayor que 4, esto se sabe o bien con la instrucción de comparar o bien con la de subtracción directa; se vuelve al principio de esta subrutina para que se nos vuelva a pedir otro número ya que debido a problemas de capacidad de memoria solamente se han reservado posiciones para cuatro números de guía. Si la tecla pulsada tiene un valor menor de 5 ( quiere decir que está dentro de los números memorizados ) la tecla pulsada aparecerá junto al mensaje anterior. Esto se hace cambiando el valor de la posición de memoria que dentro del mensaje PHO . representa el blanco, por el número pulsado, es decir cambiar el 15 ( este número es el que representa al blanco ) por el número pulsado.

Si la tecla pulsada es correcta, ahora tiene que calcular que posición de memoria es la primera reservada para ese número de guía, para hacer esto se ha seguido la siguiente norma: esta primera posición debe terminar en cero o en ocho, con esto conseguimos que esta primera posición siempre sea múltiplo de ocho, ya que, el cero en hexadecimal representa un diez y seis en decimal. Para realizar esto lo primero que hace el programa es multiplicar por ocho, cosa que se consigue haciendo rotar el acumulador tres veces hacia la izquierda, ya que cada rotación supone una multiplicación por dos. Una vez aquí, lo que tenemos es el número de la tecla multiplicada por ocho, pero, ésta no es la posición de la primera cifra del número seleccionado, sino

que ahora tenemos que sumarle una cierta cantidad fija, que va a ser la dirección de la primera cifra del primer número. En nuestro programa los números de guía se memorizan a partir de la dirección 28D8, entonces, el primer número se memoriza a partir de esta dirección, el segundo empieza en la 28E0, la tercera en la 28E8 y así sucesivamente, por lo tanto, si se pulsa el número de guía 0, al multiplicar por ocho obtenemos un cero con lo que habrá que sumarle la cantidad que ya se indicó. Si la tecla seleccionada fue el 1, al multiplicarse obtendremos un ocho con lo que volvemos a necesitar sumarle la cantidad fija para obtener la dirección 28E0.

Después de calcular esta primera dirección, su valor hay que guardarlo, ya que, cuando estamos utilizando el modo trasladador puede suceder que se tenga que llamar varias veces al mismo número debido a que se reciben varias llamadas.

Como esta subrutina es común para cualquier modo de funcionamiento, ahora tenemos que recordar el modo elegido, y según sea éste, ir a una subrutina u a otra. Para esto, lo primero que se hace es ver lo que hay grabado en la posición de memoria denominada MARCA, si es un cero se va a la subrutina TRASL, si lo que hay es un **uno**, quiere decir que queremos que funcione como mareador y , ahora, el programa recuerda si se seleccionó la opción de lectura o modificación, y según lo que se halla elegido, va a la subrutina LEER o a LOAD respectivamente.



## SUBROUTINAS DE FUNCIONAMIENTO EN MODO TRASLADOR

El funcionamiento del sistema en modo traslador, obliga a la utilización de las siguientes subrutinas:

TRASL: es la subrutina principal en este modo de funcionamiento.

LINE1: subrutina que trata la detección de una llamada por la línea número uno.

LINE2: realiza la misma función que la anterior, pero con la otra línea, la número dos.

FINAL: es la encargada de controlar el tiempo permitido para cada conversación.

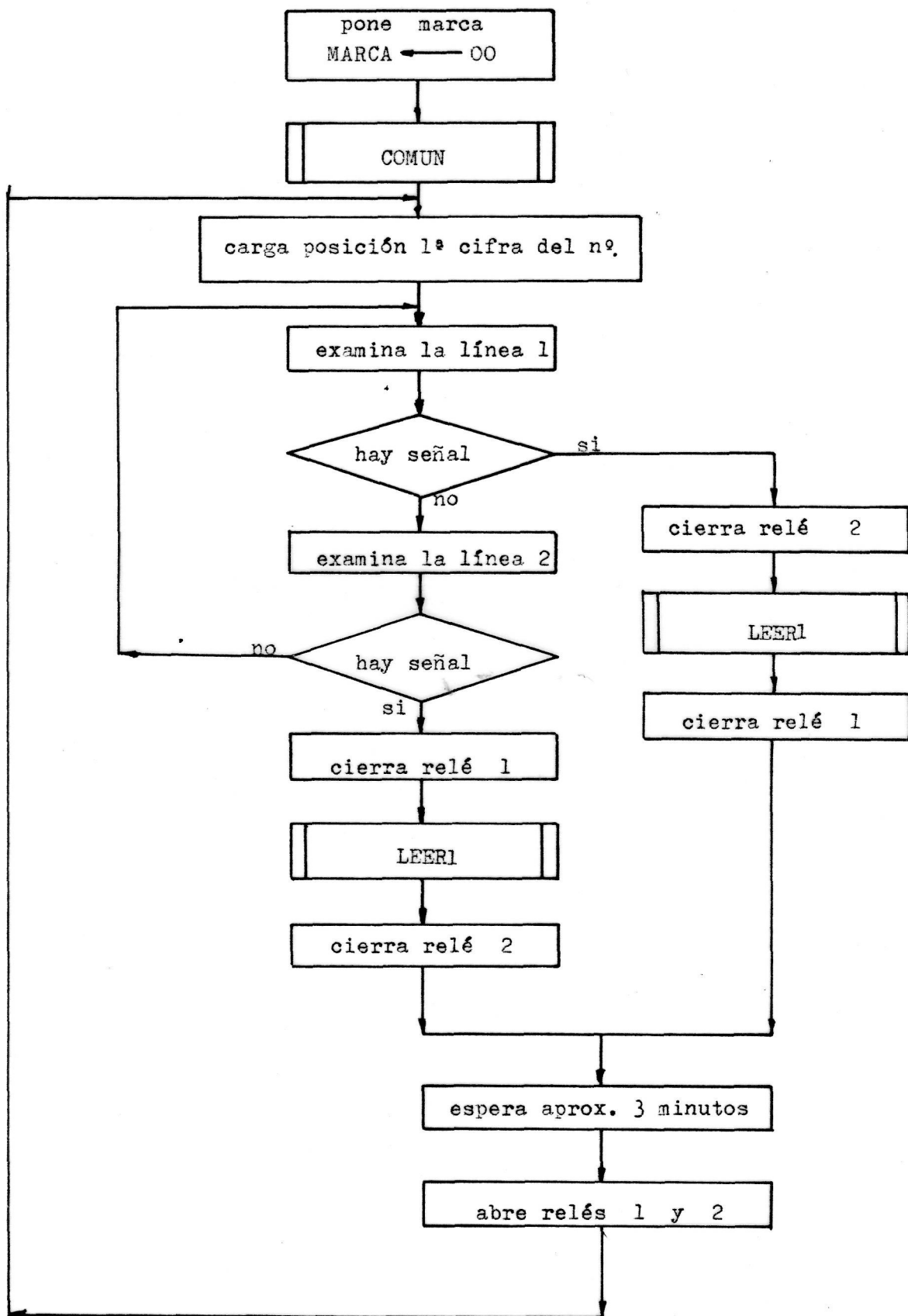
Vamos a ver ahora una descripción detallada de cada una de estas cuatro subrutinas.

En primer lugar nos encontramos con la subrutina TRASL que lo primero que hace es grabar en la posición de memoria MARCA un cero con lo que posteriormente se sabrá al examinar esta posición si se está utilizando el modo traslador o el marcador ( si se utilizaba el marcador se grababa un uno ). Una vez que se ha grabado el modo de funcionamiento, se hace una llamada a la subrutina COMUN para elegir el número sobre el cual se quiere actuar, la posición de la primera cifra de este número se va a grabar en la posiciones de memoria indicadas por PHONE con lo que cada vez que se necesite marcar este número porque se ha detectado una llamada, en lugar de ir a la subrutina COMUN se mirará el contenido de estas posiciones. A continuación se programan los puertos A y B como entrada y el C como de salida, para a continuación introducirse en un bucle que está constantemente examinando estos puertos para saber por que línea se recibe la llamada, mientras no se detecte ninguna llamada, el programa no saldrá de este bucle; otra forma de salir del bucle, sería pulsar la tecla VECT INTR con lo cual el programa se iría al comienzo. Dependiendo de la línea por donde se detecte la llamada, el programa saltará a la subrutina LINE1 o a la LINE2.

Las subrutinas LINE1 y LINE2 realizan la misma función, pero el orden en que se cierran los relés se intercambiarán. Por lo tanto, se explicará una de ellas, por ejemplo, la primera. El tener que realizar esta subrutina significa que la llamada se ha detectado por la línea uno, con lo que habrá que llamar por la línea dos, para ello lo primero que hay que hacer es cerrar los relés correspondientes a esta línea y, después, llamar a la subrutina LEER para que marque el número, una vez que el número ha sido marcado, el programa cierra los relés correspondientes a la línea por donde se ha recibido la llamada, en este caso, la línea uno; para terminar se salta a la subrutina FINAL para que controle el tiempo de la conversación.

La subrutina leer es básicamente un timer que va descontando y que cuando llega al valor cero, produce la apertura de todos los relés de las líneas, devolviendo el control a la subrutina TRASL para detectar cualquier otra posible llamada.





## SUBROUTINA DE MODIFICACION DE NUMERO: DESCRIPCION DETALLADA

Esta subrutina, como su nombre indica, es la encargada de facilitar la modificación de cualquiera de los números que ya estaban en la memoria.

Lo primero que se hace, es inicializar un contador, que en nuestro programa va a llevar el registro B, este contador se inicializa con el valor 7 ya que estos son los números de cifras permitidos a memorizar, reservándose la octava posición para grabar la marca de fin de número.

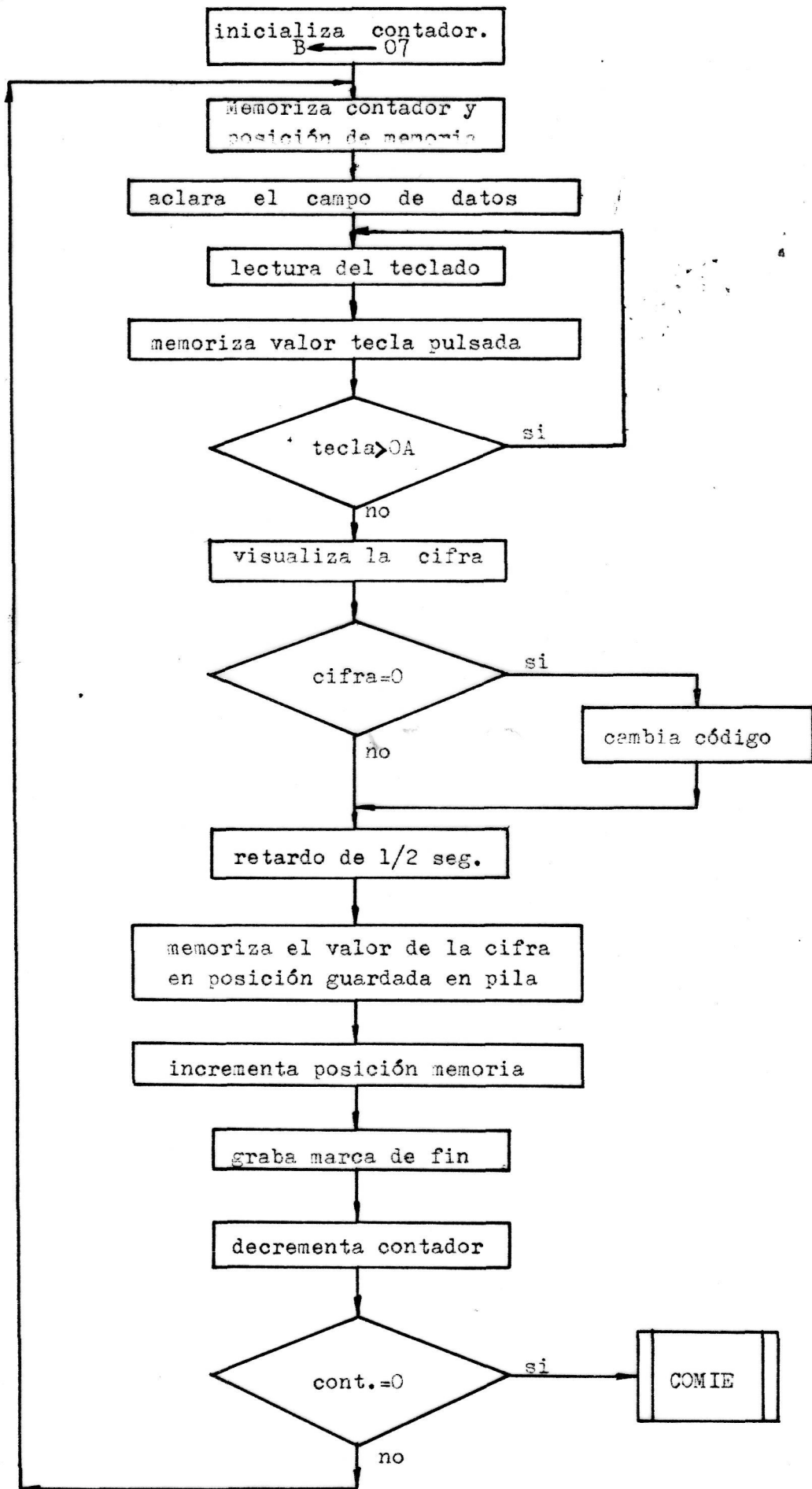
Una vez que se ha inicializado el contador, se aclara el campo de datos para, posteriormente, poder presentar de forma clara las cifras del número que se quiere memorizar. Cada vez que se pulsa una tecla, y si esta es correcta, se visualiza en el campo de datos ( para ello se utiliza la subrutina de monitor UPDDT ) durante aproximadamente medio segundo. con lo que posteriormente se aclara el campo de datos, como ya se dijo, lo que indica que el sistema está preparado para aceptar otra cifra.

Se ha dicho, que esto sucede cuando la cifra introducida es aceptada, para que esto suceda, primero hay que leer la tecla que se pulsa cosa que se consigue con la subrutina de monitor RDKBD como ya se había visto, cuando ya se conoce la tecla pulsada, Hay que comprobar, ahora, si la tecla es correcta o no, es decir, si la tecla esta comprendida entre 0 y 9 ( cifras numéricas ). Si el valor de la tecla es mayor que nueve, indica que hay error . Si esto sucede, el programa da la oportunidad de que esa cifra sea introducida correctamente, para ello, no visualiza la tecla pulsada sino que salta ha leer el teclado nuevamente y así sucesivamente hasta que la cifra introducida sea correcta.

Si la cifra es correcta, se comprueba si es la cifra cero, ya que si esto ocurre, habrá que cambiar el código del cero por el código de A para que a la hora de leerla se envíen diez pulsos.

Después de esto, tanto si la cifra es cero como si no, se incre-

menta la posición de memoria, se graba en ella un doble cero ( marca de fin ) por si se sale del programa principal pulsando el VECT INTR, tener grabada la marca de fin. A continuación, se decrementa el contador, y si no es cero, se vuelven a realizar las mismas operaciones otra vez; si, por el contrario, el valor del contador se hace cero, se devuelve el control del programa al principio de éste, para que se pueda seleccionar cualquier otra opción.



## SUBROUTINA DE MARCAJE DE LOS NUMEROS: DESCRIPCION DETALLADA

Esta subrutina es la encargada de marcar las cifras de los números memorizados, tanto en el modo "traslador" como en el de "marcador automático".

Lo primero que hace, si lo que se utiliza es el modo de "marcador automático", es cerrar el relé de la línea uno, ya que, ésta es por donde se va a llamar. Se podría haber utilizado cualquiera de los dos, e incluso darle la posibilidad de seleccionar la línea, a la persona que va a realizar la llamada, pero esto, no tiene ninguna importancia, y de esta forma se utiliza menos memoria, y como ya se ha visto, ésta no sobra en el SDK, aunque puede ser ampliada. Para cerrar el susodicho relé se programa el puerto C como salida y se pone en él el bit 0 a uno.

Una vez hecho esto, y para cualquiera de los modos de funcionamiento, el programa espera un tiempo de aproximadamente un segundo, mediante la subrutina de monitor DELAY, tiempo que debe ser suficiente para obtener línea y por lo tanto, poder empezar a marcar el número de teléfono.

Después de esto, la primera cifra del número es llamada, y se comprueba si es la marca de fin, ya que, si lo es, quiere decir que ya no hay más cifras por marcar y por tanto, comprobará la posición de memoria MARCA para saber el modo de funcionamiento, ya que si funciona como "marcador", se tiene que devolver el control al principio del programa, mientras que si funciona como "traslador" el control hay que devolverlo a la subrutina que llamo a esta subrutina. Si la cifra que se ha traído de la memoria no es la marca de fin, es decir, no es un doble cero, comprueba si lo que hay grabado es una OA ya que, si esto es así, hay que visualizar un 00 en el campo de datos, por lo tanto se llama a la subrutina RECAM que realiza la función de cambiar el código; si la ~~cifra~~ cifra no es OA, se visualiza tal cual está en la memoria. Una vez que se ha visualizado la cifra, se pasa a lo que realmente es

el marcaje del número.

Para marcar el número recordemos que hay que abrir y cerrar el relé del marcador automático tantas veces como el valor tenga la cifra. Entonces, lo que se ha hecho es iniciar un contador que se va a ir comparando con la cifra y hasta que el valor de este contador no llegue al valor de la cifra se irán mandando pulsos al mismo tiempo que el contador se incrementa. Para producir los pulsos se utiliza el port B ( el pulso debe tener una duración de aproximadamente 0.8 segundos ), lo que se hace para generarlo es primero sacar un cero por el bit del puerto que controla el relé, con lo cual éste se cierra, para abrirlo se espera aproximadamente 0.05 segundos y se coloca en el mismo bit de este mismo puerto un uno con lo que el relé se abrirá, aquí se esperará otro tiempo igual al anterior y se comparará el contador con el valor de la cifra para ver si ya se ha llegado a su valor, lo que indicaría que esta cifra ya ha sido totalmente marcada, con lo que habría que proceder a marcar la siguiente cifra si hubiera lugar para ello.

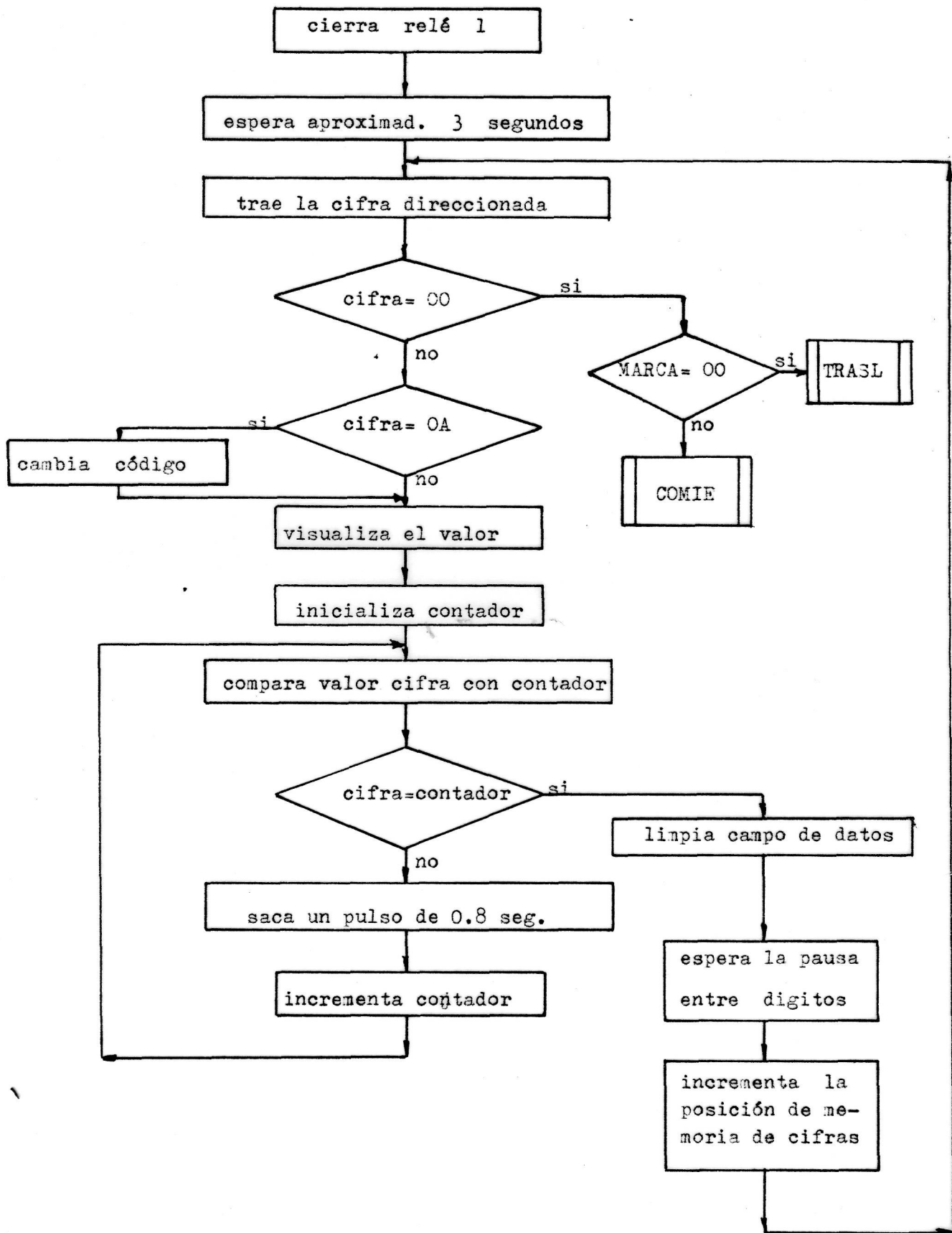
Cuando ya se ha terminado de marcar una cifra, y antes de empezar con la siguiente, el programa tiene que esperar un tiempo entre ambas, llamado pausa entre dígitos, esta pausa es de aproximadamente de 0.8 segundos, a continuación, clarifica el campo de datos para después proceder a incrementar la posición de memoria y llamar a la cifra siguiente que, o bien, es otra cifra significativa del número que se está marcando, o bien, es la marca de fin. Una vez llegados aquí el proceso será el mismo para todas las cifras significativas del número hasta que se detecte la marca con lo cual se acabaría esta subrutina.

Para terminar vamos a comentar como es la subrutina RECAM que se utiliza en esta otra subrutina y que no va a ser comentada por separado. El listado de las instrucciones es muy sencillo ya que, solamente consta de dos instrucciones que son las siguientes:

RECAM: MVI A,00

JMP SALTO

La primera instrucción es la que realmente cambia el código, ya que aquí se llega con el acumulador con el valor 0A y se cambia colocándolo en un doble cero. Una vez que se cambia el valor del acumulador se retorna al programa a la posición SALTO en donde se continuará el programa.

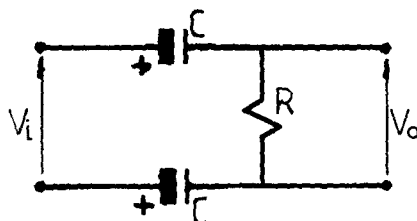




# APENDICE

- Deducción de las fórmulas del filtro paso alto

El filtro paso alto utilizado es el de la siguiente figura:



En primer lugar vamos a hallar su función de transferencia, es decir, la relación entre la señal de salida y la señal de entrada. Para ello, necesitamos las ecuaciones del sistema, que se deducen fácilmente del circuito:

$$V_i = \left( R + \frac{2}{j\omega C} \right) \cdot I$$

$$V_o = RI$$

Como se ve se ha supuesto que los dos condensadores tienen el mismo valor.

Si ahora dividimos la salida y la entrada obtenemos:

$$\frac{V_o}{V_i} = \frac{R}{R + \frac{2}{j\omega C}} = \frac{1}{1 + \frac{2}{j\omega RC}}$$

Pero lo que a nosotros nos interesa es el módulo de esta función ya que, de esta forma, estamos dispuestos para hallar el valor de la frecuencia de corte. El módulo será:

$$\left| \frac{V_o}{V_i} \right| = \frac{1}{\sqrt{1 + \frac{2}{\omega^2 RC^2}}}$$

Como la frecuencia de corte se define como aquella a la cual la señal de salida es igual a  $V_i/\sqrt{2}$ , se tiene que cumplir que:

$$\frac{2}{\omega^2 RC^2} = 1$$

y como además  $\omega = 2\pi f$  se tiene lo siguiente:

$$f = \frac{1}{R + \frac{1}{sC}}$$

Cuando la tensión de entrada es un escalón de amplitud  $E$ , aplicado en el instante  $t=0$ , la ecuación del circuito es

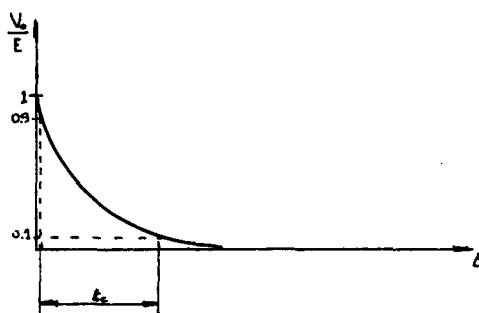
$$Ri + \frac{1}{C} \int i dt = E$$

con la condición inicial  $i(0^+) = E/R$ , siendo su solución

$$i = \frac{E}{R} e^{-\frac{t}{RC}}$$

$$V_o = Ri = E e^{-\frac{t}{RC}}$$

La variación de la tensión de salida con el tiempo se representa en la figura siguiente. Se representa la relación  $V_o/E$ .



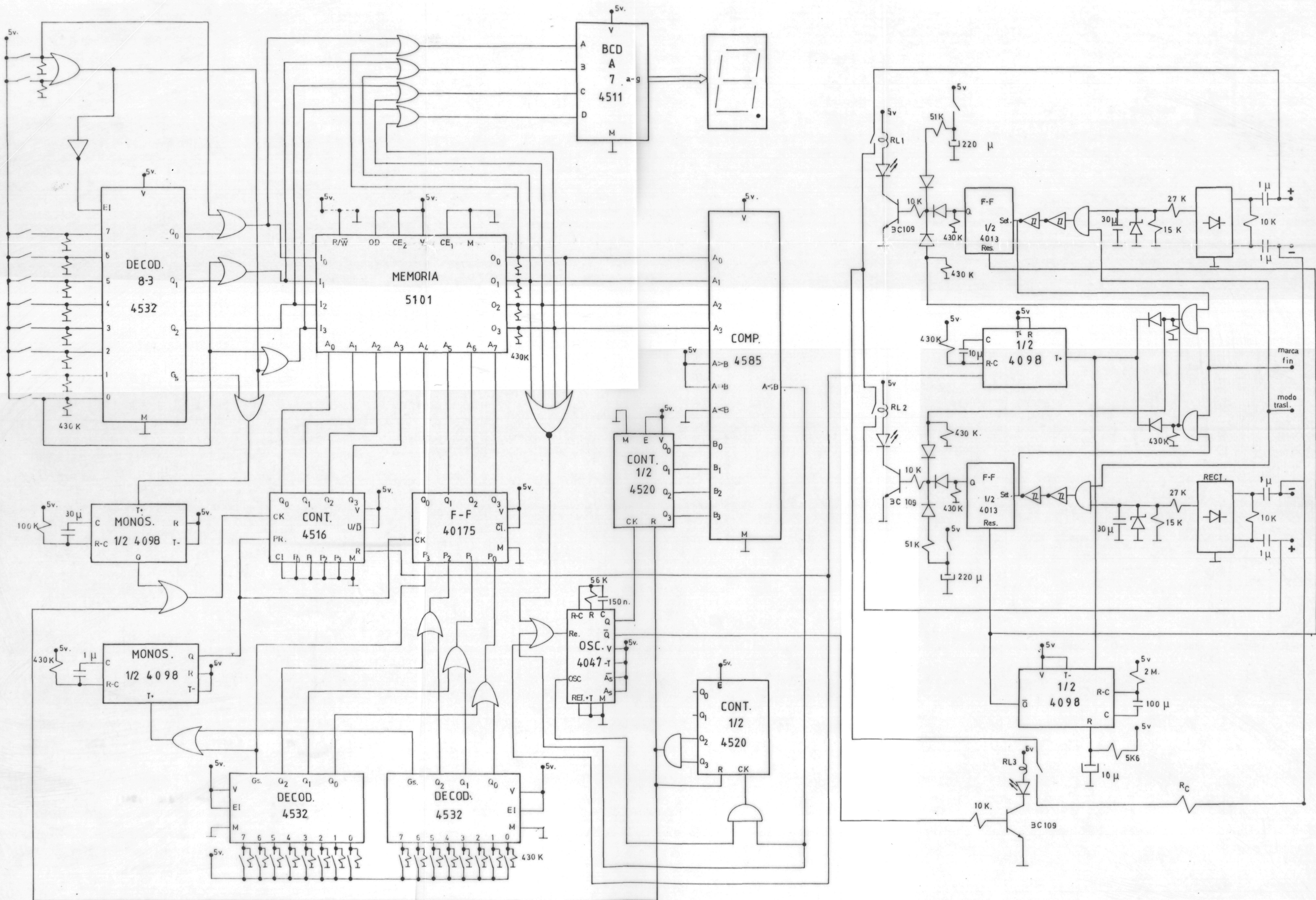
### - Utilización de resistencias de pull - up

Todas las entradas que no se utilicen, deben conectarse o a masa o a  $V_{cc}$  dependiendo del valor que se quiera que tenga la entrada según la utilización de cada circuito. Esto es necesario, ya que, una entrada flotante, puede causar, en dispositivos de alta corriente, puede resultar no solo la falta de operaciones lógicas, sino que puede causar la máxima disipación de potencia de 500 miliwatios; con lo que podría ser peligroso para el dispositivo.

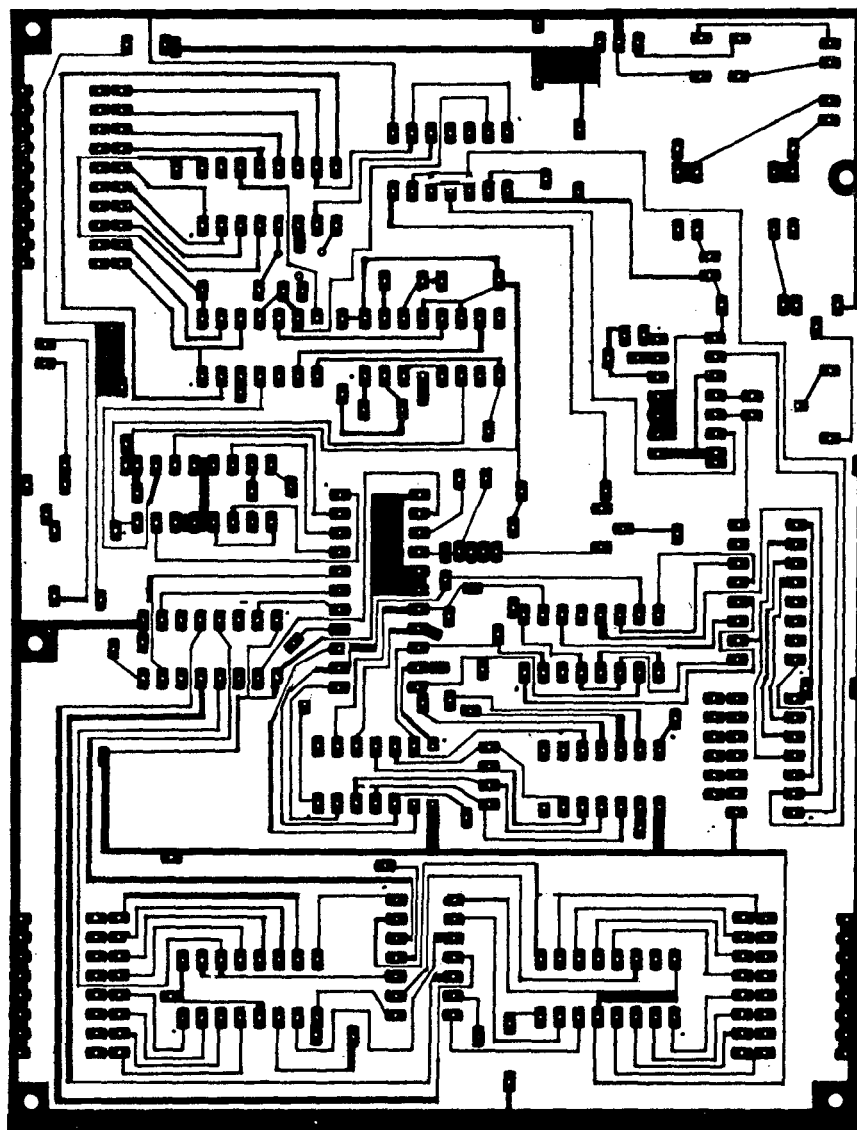
Otras consideraciones a tener en cuenta con dispositivos de alta corriente, es la necesidad de una resistencia de pull up entre estas entradas y masa o  $V_{cc}$  dando con ello la oportunidad de que las entradas de estos dispositivos esten momentáneamente abiertas o no conectadas. Este es el caso de todos los pulsadores y teclas.

Un rango útil de utilización de estas resistencias de pull-up es desde 0.2 a 1 megaohm.

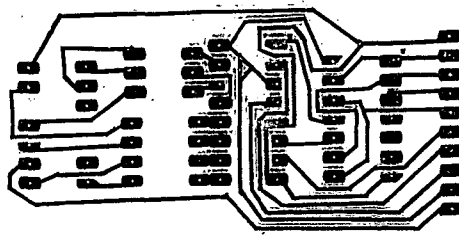




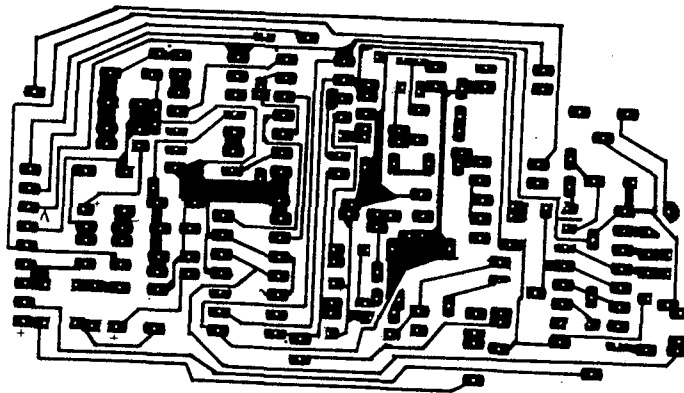




PLACA DEL MARCADOR AUTOMATICO Y LA FUENTE



PLACA DE LA VISUALIZACION



PLACA DEL TRASLADOR

# PRESUPUESTO =====

## CIRCUITOS INTEGRADOS

1.- 4013 ..... 165  
1.- 4047 ..... 125  
1.- 4069 ..... 100  
4.- 4071 ..... 400  
1.- 4072 ..... 100  
2.- 4081 ..... 200  
2.- 4098 ..... 196  
1.- 4516 ..... 220  
1.- 4511 ..... 225  
1.- 4520 ..... 175  
1.- 4585 ..... 175  
3.- 4532 ..... 525  
1.- 40106 ..... 100  
1.- 40175 ..... 175  
1.- 5101 ..... 1050

## SEMICONDUCTORES

8.- 1N4148 ..... 120  
2.- Puentes rect.. 196  
2.- Zener de 5.1 . 30  
3.- Leds ..... 75  
3.- BC 109 ..... 90

## OTROS

3.- Reles tipo Reed .. 750  
1.- Potenciómetro .... 25  
26.- Teclas ..... 1300  
2.- Pulsadores ..... 100  
1.- Display ..... 450

## RESISTENCIAS

39.- 430 K ..... 190  
7.- 470 ..... 35  
1.- 56 K .....  
1.- 220 K .....  
1.- 5.6 K .....  
1.- 100 K .....  
5.- 10 K ..... 25  
2.- 15 K ..... 10  
2.- 51 K ..... 10  
2.- 27 K ..... 10

## CONDENSADORES

1.- 150 nF. .... 20  
5.- 1 microf. ... 100  
2.- 10 " ..... 40  
3.- 30 " ..... 60  
1.- 100 " .....  
2.- 220 " ..... 40

TOTAL : 7642 ptas.



L I S T A D O   D E L  
= = = = =   = = =

P R O G R A M A  
= = = = =

LOC	OBJ	LINE	SOURCE STATEMENT
02E7		1	RDKBD EQU 02E7H
036E		2	OPDDT EQU 036EH
05F1		3	DELAY EQU 05F1H
02B7		4	OUTPT EQU 02B7H
20BC		5	MARCA EQU 20BCH
20BD		6	PHONE EQU 20BDH
		7	
2000		8	ORG 2000H
		9	
		10	*****
		11	SUBROUTINA DE PRESENTACION
		12	*****
2000	31C7H	13	CONTE: LXI SP,20C7H
2003	3E8E	14	MVI A,8EH ;CIERRE RELE MARCADOR
2005	D320	15	OUT 20H
2007	3E01	16	MVI A,01
2009	D322	17	OUT 22H
200B	3E18	18	MVI A,18H ;HABILITA INTERRUPCIONES
200D	30	19	SIM
200E	FB	20	SI
		21	
200F	21B520	22	LXI H,VISU1 ;VISUALIZA PASS A
2012	CDA320	23	CALL PRIN
2015	FE0A	24	CPI 0AH
2017	CA6300	25	JZ TRASL ;MODO TRASLADOR =A
		26	
201A	3E01	27	MVI A,01H ;SI ESTA EN MODO MARCADO

2010 21A020	29	STA MARCA	
	30		
201F 21B618	31	LXI H,VISU4	VISUALIZA PULSA
2022 CDB320	32	CALL PRM	
2025 F5	33	PUSH PSW	
	34		
	35	*****	
	36	SUBROUTINA DE ELECCION DEL N.º DE MARCA	
	37	*****	
	38	*****	
2026 3E00	39	CONUN: MVI A,00H	INICIALIZA PULSA
2028 0601	40	MVI B,01H	
202A 21BF28	41	LXI H,VISU4	
202D 3615	42	MVI M,15H	
202F 21BC28	43	LXI H,VISU3	
2032 CDB702	44	CALL OUTPT	
2035 3E01	45	MVI A,01H	SELECCIONAR CADA PULSA
2037 0600	46	MVI B,00H	
2039 21BF28	47	LXI H,VISU4	
203C CDB702	48	CALL OUTPT	
203F CDE702	49	CALL RDKBD	LEE EL NUMERO DE CADA
2042 FB	50	EI	
2043 4F	51	MOV C,A	COPIA DE LA TECLA PULSADA
2044 FE05	52	CPI 05H	VE SI ES 5
2046 F22620	53	JP COMUN	SI NO NOVA DE CADA
	54		

ISIS-II 0080/0085 MACRO ASSEMBLER, V4.0

MODULE PAGE 2

LOC	OBJ	LINE	SOURCE STATEMENT	
2049	3E00	55	MVI A,00H	INICIALIZA PULSA PULSADA
204B	0600	56	MVI B,00H	
204D	21BF28	57	LXI H,VISU4	SEA ULT. POSICION DE LA PULSA
2050	71	58	MOV M,C	DIRECCION DE CADA PULSA SE
2051	21BC28	59	LXI H,VISU3	VISUALIZA PULSA
2054	C5	60	PUSH B	RECUERDA EL POSICION DE
2055	CDB702	61	CALL OUTPT	PULSADO
2058	C1	62	POP B	
2059	79	63	MOV A,C	RECORDERA LA TECLA PULSADA
205A	07	64	RLC	ROTACION POR DERECHA EN
205B	07	65	RLC	LAS POSICIONES DE LAS PULSAS
205C	07	66	RLC	LA CADA PULSA
205D	C6D8	67	ADI 0D8H	
205F	2628	68	MVI H,26H	MARCA EL PAR DE LA PULSA
2061	6F	69	MOV L,M	DIRIGIDA AL PAR DE LA PULSA
2062	22BD20	70	SHLD PHONE	SELECCION
2065	3ABC20	71	LDA MARCA	
2068	FE00	72	CPI 00	SI PULSA A TRAYECTORIA
206A	C8	73	RZ	DETORNA A INICIAL
206B	F1	74	POP PSW	RETORNA EL PULSA
206C	FE0C	75	CPI 0CH	SELECCIONA CADA PULSA
206E	C20028	76	JNZ LEER	
		77		
		78	*****	
		79	SUBROUTINA DE INICIALIZACION DE NUMEROS	
		80	*****	
		81	*****	
2071	0607	82	LOAD: MVI B,07H	
2073	C5	83	LOAD1: PUSH B	POSICIONES LIBRES
2074	E5	84	PUSH H	
2075	3E01	85	MVI A,01H	
2077	0600	86	MVI B,00H	
2079	21C128	87	LXI H,VISU5	
207C	CDB702	88	CALL OUTPT	SELECCION DEL PULSA DE DATOS
207F	CDE702	89	CALL RDKBD	
2082	FB	90	EI	
2083	FE0A	91	CPI 0AH	SI TECLA DE INICIALIZACION
2085	F22620	92	JP COMUN	SI NO NOVA DE CADA

2089	CD4E0E	94	CALL UPDCT	VISUALIZACION DEL...
208C	11FFFF	95	LXI D, 3FFFFH	
208F	CDF105	96	CALL DELAT	
2092	F1	97	POP PSW	
2093	00D920	98	C. CAMBI	DEL EL VALOR DEL...
2096	E1	99	POP H	
2097	77	100	MOV N, 0	CAMBIA EL VALOR DE LA...
2098	23	101	INX H	
2099	3600	102	MVI M, 00H	GRABA LA MARCA DE...
209B	C1	103	POP B	
209C	05	104	END	
209D	027120	105	JNZ LEAL	
20A0	C32020	106	JMP CORTE	
		107		
		108	***** VISUALIZACION	INICIAL *****
		109		

ISIS-II 8080/8085 MACRO ASSEMBLER, V4.0

MODULO PAGE 2

LOC	OBJ	LINE	SOURCE STATEMENT	
20A3	3E00	110	PRIN: MVI A, 00H	
20A5	0601	111	MVI B, 01H	VISUALIZA CADA...
20A7	CDB702	112	CALL OUTPT	
20AA	3E01	113	MVI A, 01H	
20AC	CDB702	114	CALL OUTPT	VISUALIZA EL...
20AF	CDE702	115	CALL RUCSD	
20B2	FB	116	BI	
20B3	C9	117	RET	
		118		
		119		
		120	*****SUBROUTINAS DE	MANEJO DE CODIGO*****
		121		
20B4	3E00	122	RECAM: MVI A, 02H	
20B6	C32328	123	JMP SALTO	
		124		
20B9	3E0A	125	CAMBI: MVI A, 0AH	
20BB	C9	126	RET	
		127		
		128		
2800		129	ORG 2800H	
		130	*****	*****
		131	SUBROUTINA DE ELABORACION DEL NUMERO	
		132		
		133	*****	*****
2800	3E01	134	LEER: MVI A, 01H	CIERRA EL CIERRE...
2802	D323	135	OUT 23H	
		136		
2804	0E04	137	LEER1: MVI C, 04H	RESPERA 4...
2806	CDA128	138	CALL FINC	
2809	7E	139	LEER2: MOV A, 0	
280A	FE00	140	CPI 00H	
280C	021B28	141	JNZ LEER3	
280F	3ABC20	142	LDA MARCA	MIRA SI ESTA...
2812	C8	143	RZ	
2813	0E20	144	MVI C, 20H	
2815	CDA128	145	CALL FINC	
2818	C30020	146	JMP CORTE	
281B	E5	147	LEER3: PUSH H	
281C	F5	148	PUSH PSW	
		149		
281D	FE0A	150	CPI 0AH	SI EL NUM. GRABADO...
281F	CAB420	151	JZ RECAM	NO CAMBIA...
		152		EN VISUAL...
		153		
2822	7E	154	MOV A, 0	NO OBRAN EL NUMERO
2823	CD4E03	155	SALTO: CALL UPDCT	
2826	F1	156	POP PSW	
2827	0600	157	MVI B, 00H	

2829 88	154	ROB:	POP B	
282A CA4828	160		JZ OTR	
282D 3E00	161		MVI A,00H	;SACA UN PU.50 DE LA SG.
282F D322	162		OUT 23H	
2831 110018	163		LXI D,1800H	;DE DELAY DE 1.8 SG.
2834 CDF105	164		CALL DELAY	

ISIS-II 8080/8085 MACRO ASSEMBLER, V4.0

MODULE PAGE

LOC	OBJ	LINE	SOURCE STATEMENT	
2837 3E01	165		MVI A,01H	;DE LA SG.
2839 D322	166		OUT 23H	
283B 110018	167		LXI D,1800H	
283E CDF105	168		CALL DELAY	
2841 E1	169		POP H	
2842 E5	170		PUSH H	
2843 7E	171		MOV A,H	
2844 04	172		INR B	
2845 C32928	173		JMP ROB	
	174			
2848 3E01	175	OTR:	MVI A,01H	
284A 0600	176		MVI B,00H	;DE APPROX. 0.6 SG.
284C 21C128	177		LXI H,VISUS	
284F CDB702	178		CALL OUTPT	
2852 0E08	179		MVI C,08H	
	180			
2854 110030	181	TAR:	LXI D,3000H	
2857 CDF105	182		CALL DELAY	
285A 0D	183		DCR C	
285B C25428	184		JNZ TAR	
285E E1	185		POP H	
285F 23	186		INX H	
2860 C30928	187		JMP LEER2	
	188			
189			*****	
190				
191			FUNCIONAMIENTO DE PU.50 TRASLADO	
192				
193			*****	
2863 3E00	194	TRASL:	MVI A,00H	
2865 32BC20	195		STA MARCA	;PONE LA MARCA=0
2868 CD2620	196		CALL COMUN	
286B 2ABD20	197	TRAS2:	LHLD PHONE	
286E DB21	198		IN 21H	
2870 FE01	199		CPI 01H	
2872 CA7D28	200		JZ LINE1	;LLAMADA POR LINEA 1
2875 FE08	201		CPI 08	
2877 CA8E28	202		JZ LINE2	;LLAMADA POR LINEA 2
287A C36328	203		JMP TRASL	
	204			
	205			
287D 3E08	206	LINE1:	MVI A,08H	
287F D323	207		OUT 23H	;CERRA RELAY 2
2881 CD0428	208		CALL LEER1	
2884 3E09	209		MVI A,09H	
2886 D323	210		OUT 23H	;CERRA RELAY 1
2888 CD9F28	211		CALL FINAL	
288B C36828	212		JMP TRAS2	
	213			
	214			
288E 3E01	215	LINE2:	MVI A,01	
2890 D323	216		OUT 23H	;CERRA RELAY 1
2892 CD0428	217		CALL LEER1	
2895 3E09	218		MVI A,09H	
2897 D323	219		OUT 23H	;CERRA RELAY 2

LOC	OBJ	LINE	SOURCE STATEMENT
-----	-----	------	------------------

2899	CD 7 2E	220	CALL FINH
289C	C36E2E	221	JMP PRASZ
		222	
		223	
280F	0E1F	224	FINAL: MVI C,OFFH
28A1	11FFFF	225	FIN2: LXI D,OFFFH
28A4	CDF105	226	CALL DELAY
28A7	0D	227	DCR C
28AB	C2A128	228	JNZ FIN2
28AB	3E00	229	MVI A,C00H
28AD	D323	230	OUT 23H
28AF	C9	231	RET
		232	
		233	

\*\*\*\*\*  
 234 ;  
 235 ; SUBROUTINE L. VISA ALIMENTACION  
 236 ;  
 237 ;\*\*\*\*\*

28B0	12	239	VISU1: DB 12H
28B1	0A	240	DB 0AH
28B2	05	241	DB 05H
28B3	05	242	DB 05H
28B4	15	243	DB 15H
28B5	0A	244	DB 0AH
		245	
28B6	11	246	VISU2: DB 11H
28B7	00	247	DB 00H
28B8	0A	248	DB 0AH
28B9	0D	249	DB 0DH
28BA	15	250	DB 15H
28BB	0C	251	DB 0CH
		252	
28BC	12	253	VISU3: DB 12H
28BD	10	254	DB 10H
28BE	00	255	DB 00H
28BF	15	256	VISU4: DB 15H
28C0	15	257	DB 15H
		258	
28C1	15	259	VISU5: DB 15H
28C2	15	260	DB 15H
		261	
		262	END

PUBLIC SYMBOLS

EXTERNAL SYMBOLS

USER SYMBOLS

CAMB1	A 20B9	COMIE	A 2000	COMUN	A 2026	DELAY	A 05F1	FIN2	A 28A1	FI
LEER1	A 2804	LEER2	A 2809	LEFR3	A 2010	LEFR3	A 207D	FINH	A 289E	LO
LOAD2	A 207F	MARCA	A 20BC	OTR	A 2048	OUTPT	A 020C	PRASZ	A 20BD	PR

ISIS-II 8080/8085 MACRO ASSEMBLER, V4.0

MACRO LIBRARY

RECAM	A 20B4	ROB	A 2829	SALTO	A 2043	OT	A 2044	OT	A 286B	TR
VISU1	A 28B0	VISU2	A 28B6	VISU3	A 28BC	VISU4	A 28C0	VISU5	A 28C1	

ASSEMBLY COMPLETE, NO ERRORS

C A R A C T E R I S T I C A S  
= = = = =

D E   L O S  
=   =

C O M P O N E N T E S  
= = = = =

# CD4013B Types

## CMOS Dual 'D'-Type Flip-Flop

High-Voltage Types (20-Volt Rating)

The RCA-CD4013B consists of two identical, independent data-type flip-flops. Each flip-flop has independent data, set, reset, and clock inputs and Q and  $\bar{Q}$  outputs. These devices can be used for shift register applications, and, by connecting  $\bar{Q}$  output to the data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line, respectively.

The CD4013B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

### Features:

- Set-Reset capability
- Static flip-flop operation — retains state indefinitely with clock level either "high" or "low"
- Medium-speed operation — 16 MHz (typ.) clock toggle rate at 10V
- Standardized symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu$ A at 18 V over full package temperature range; 100 nA at 13 V and 25°C
- Noise margin (over full package temperature range): 1 V at  $V_{DD}=5$  V, 2 V at  $V_{DD}=10$  V, 2.5 V at  $V_{DD}=15$  V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

### Applications:

- Registers, counters, control circuits

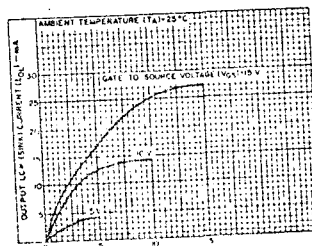
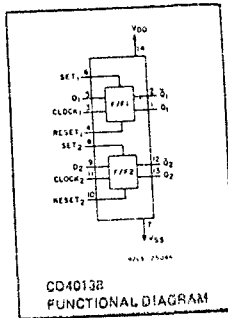


Fig. 1 — Typical output low (sink) current characteristics.

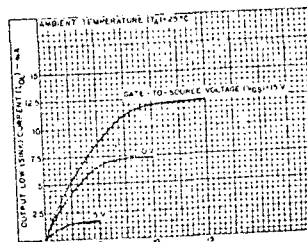


Fig. 2 — Minimum output low (sink) current characteristics.

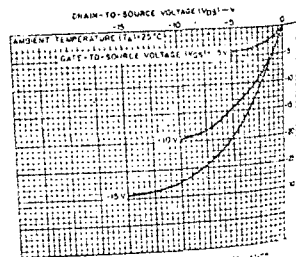


Fig. 3 — Typical output high (source) current characteristics.

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS	
				Values at -55, +25, +125 Apply to D,F,K,H Pkgs. Values at -40, +25, +85 Apply to E Pkgs.								
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	-55	-40	+85	+125	+25				
								Min.	Typ.	Max.		
Quiescent Device Current, I <sub>DD</sub> Max.	—	0.5	5	1	1	30	30	—	0.02	1	μA	
	—	0.10	10	2	2	60	60	—	0.02	2		
	—	0.15	15	4	4	120	120	—	0.02	4	μA	
	—	0.20	20	20	20	600	600	—	0.04	20		
Output Low (Sink) Current, I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA	
	0.5	0.10	10	1.6	1.6	1.1	0.8	1.3	2.6	—		
Output High (Source) Current, I <sub>OH</sub> Min.	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	mA	
	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—		
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	mA	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—		
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—		
Output Voltage: Low Level, V <sub>OL</sub> Max.	—	0.5	5	0.05			—			0	0.05	V
	—	0.10	10	0.05			—			0	0.05	
Output Voltage: High Level, V <sub>OH</sub> Min.	—	0.15	15	0.05			—			0	0.05	V
	—	0.5	5	4.95			4.95			5	—	
	—	0.10	10	9.95			9.95			10	—	V
	—	0.15	15	14.95			14.95			15	—	
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 1.5	—	5	1.5			—			—	1.5	V
	1.9	—	10	3			—			—	3	
Input High Voltage, V <sub>IH</sub> Min.	1.5, 13.5	—	15	4			—			—	4	V
	0.5, 4.5	—	5	3.5			3.5			—	—	
	1.9	—	10	7			7			—	—	V
	1.5, 13.5	—	15	11			11			—	—	
Input Current, I <sub>IN</sub> Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA	

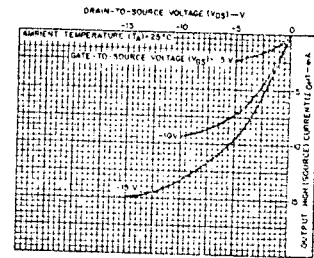


Fig. 4 — Minimum output high (source) current characteristics.

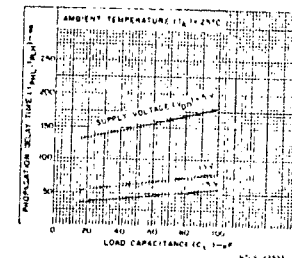


Fig. 5 — Typical propagation delay time vs. load capacitance (CL) for SET or RESET to Q, or CLOCK or RESET to Q.

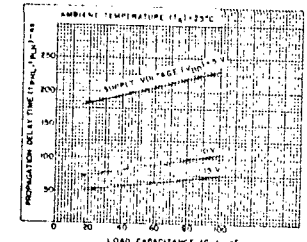


Fig. 6 — Typical propagation delay time vs. load capacitance (CL) for SET to  $\bar{Q}$  or RESET to Q.

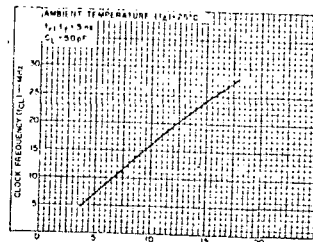


Fig. 8 — Typical maximum clock frequency vs. supply voltage.

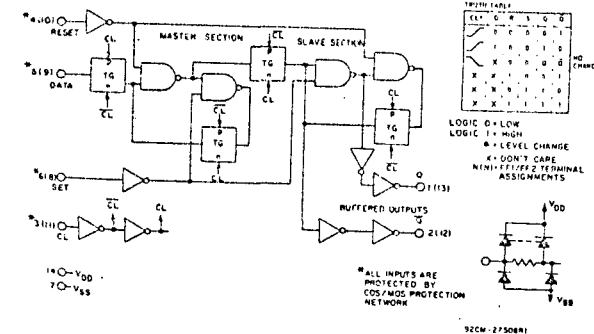


Fig. 7 — Logic diagram and truth table for CD4013B (one of two identical flip-flops).

## RECOMMENDED OPERATING CONDITIONS

At  $T_A = 25^\circ\text{C}$ , Except as Noted. For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	$V_{DD}$ (V)	LIMITS		UNITS
		MIN.	MAX.	
Supply Voltage Range (For $T_A = \text{Full Package Temperature Range}$ )	—	3	18	V
Data Setup Time $t_s$	5	40	—	ns
	10	20	—	
	15	15	—	
Clock Pulse Width $t_W$	5	140	—	ns
	10	60	—	
	15	40	—	
Clock Input Frequency $f_{CL}$	5	—	3.5	MHz
	10	dc	8	
	15	—	12	
Clock Rise or Fall Time $t_{r,CL}, t_{f,CL}$	5	—	70	$\mu$ s
	10	—	6	
	15	—	2	
Set or Reset Pulse Width $t_W$	5	180	—	ns
	10	80	—	
	15	50	—	

\*If more than one unit is cascaded in a parallel clocked operation,  $t_{r,CL}$  should be made less than or equal to the sum of the fixed propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.



## MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V <sub>DD</sub> )	-0.5 to +20 V
(Voltage referenced to V <sub>SS</sub> Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to V <sub>DD</sub> +0.5 V
DC INPUT CURRENT, ANY ONE INPUT	±10 mA
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> ):	
For T <sub>A</sub> = -40 to +60°C (PACKAGE TYPE E)	500 mW
For T <sub>A</sub> = +60 to +35°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
For T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
For T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> ):	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
STORAGE TEMPERATURE RANGE (T <sub>STG</sub> )	-65 to +150°C
LCAD TEMPERATURE (DURING SOLDERING):	+265°C
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	

## DYNAMIC ELECTRICAL CHARACTERISTICS

At T<sub>A</sub> = 25°C; Input t<sub>r</sub>, t<sub>f</sub> = 20 ns, C<sub>L</sub> = 50 pF, R<sub>L</sub> = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS	LIMITS			UNITS
		V <sub>DD</sub> (V)	MIN.	TYP.	MAX.
Propagation Delay Time: Clock to Q or Q̄ Outputs t <sub>PHL</sub> , t <sub>PLH</sub>		5	—	150	300
		10	—	65	130
		15	—	45	90
Set to Q or Reset to Q̄ t <sub>PLH</sub>		5	—	150	300
		10	—	65	130
		15	—	45	90
Set to Q̄ or Reset to Q t <sub>PHL</sub>		5	—	200	400
		10	—	85	170
		15	—	60	120
Transition Time t <sub>THL</sub> , t <sub>TLH</sub>		5	—	100	200
		10	—	50	100
		15	—	40	80
Maximum Clock Input Frequency Frequency f <sub>CL</sub>		5	3.5	7	—
		10	8	16	—
		15	12	24	—
Minimum Clock Pulse Width t <sub>W</sub>		5	—	70	140
		10	—	30	60
		15	—	20	40
Minimum Set or Reset Pulse Width t <sub>W</sub>		5	—	90	180
		10	—	40	80
		15	—	25	50
Minimum Data Setup Time t <sub>S</sub>		5	—	20	40
		10	—	10	20
		15	—	7	15
Clock Input Rise or Fall Time t <sub>rCL</sub> , t <sub>fCL</sub>		5	—	—	70
		10	—	—	6
		15	—	—	2
Input Capacitance C <sub>IN</sub>	Any Input		—	5	7.5

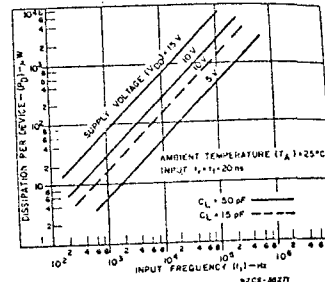
Input t<sub>r</sub>, t<sub>f</sub> = 5 ns.

Fig. 9—Typical power dissipation vs. frequency.

## TEST CIRCUITS

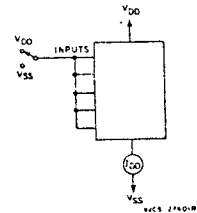


Fig. 10—Quiescent device current.

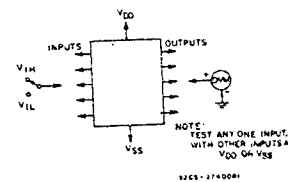


Fig. 11—Input voltage.

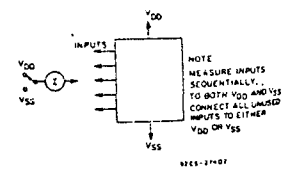


Fig. 12—Input current.

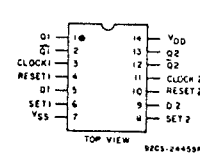
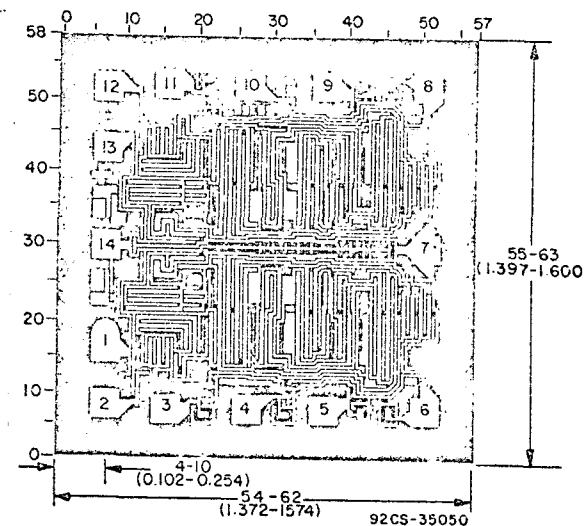


Fig. 13—Dynamic power dissipation test circuit.

## DIMENSIONS AND PAD LAYOUT FOR CD4013BH



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10<sup>-3</sup> inch).

The photographs and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of -3 mils to +16 mils applicable to the nominal dimensions shown.

# CMOS Low-Power Monostable/Astable Multivibrator

## High Voltage Types (20-Volt Rating)

The RCA-CD4047B consists of a gateable astable multivibrator with logic techniques incorporated to permit positive or negative edge-triggered monostable multivibrator action with retriggering and external counting options.

Inputs include +TRIGGER, -TRIGGER, ASTABLE, ASTABLE, RETRIGGER, and EXTERNAL RESET. Buffered outputs are Q, Q-bar, and OSCILLATOR. In all modes of operation, an external capacitor must be connected between C-Timing and RC-Common terminals, and an external resistor must be connected between the R-Timing and RC-Common terminals.

Astable operation is enabled by a high level on the ASTABLE input or a low level on the ASTABLE input, or both. The period of the square wave at the Q and Q-bar outputs in this mode of operation is a function of the external components employed. "True" input pulses on the ASTABLE input or "Complement" pulses on the ASTABLE input allow the circuit to be used as a gateable multivibrator. The OSCILLATOR output period will be half of the Q terminal output in the astable mode. However, a 50% duty cycle is not guaranteed at this output.

The CD4047B triggers in the monostable mode when a positive-going edge occurs on the +TRIGGER input while the -TRIGGER is held low. Input pulses may be of any duration relative to the output pulse.

If retrigger capability is desired, the RETRIGGER input is pulsed. The retriggerable mode of operation is limited to positive-going edge. The CD4047B will retrigger as long as the RETRIGGER input is high, with or without transitions (See Fig. 34).

An external countdown option can be implemented by coupling "Q" to an external "N" counter and resetting the counter with the trigger pulse. The counter output pulse is fed back to the ASTABLE input and has a duration equal to N times the period of the multivibrator.

A high level on the EXTERNAL RESET input assures no output pulse during an "ON" power condition. This input can also be activated to terminate the output pulse at any time, for monostable operation, whenever V<sub>DD</sub> is applied, an internal power-on reset circuit will clock the Q output low within one output period (t<sub>Q</sub>).

The CD4047B-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

### Features:

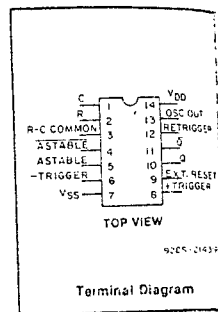
- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complement buffered outputs
- Only one external R and C required
- Buffered inputs
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

### Monostable Multivibrator Features:

- Positive- or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Internal power-on reset circuit
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

### Astable Multivibrator Features:

- Free-running or gateable operating modes
- 50% duty cycle



- Oscillator output available
- Good astable frequency stability: Frequency deviation:  $\pm 2\% + 0.03\%/^{\circ}\text{C}$  @ 100 kHz  $\pm 0.5\% + 0.015\%/^{\circ}\text{C}$  @ 10 kHz (circuits "trimmed" to frequency  $V_{DD} = 10\text{ V} \pm 10\%$ )

### Applications:

Digital equipment where low-power dissipation and/or high noise immunity are primary design requirements:

- Envelope detection
- Frequency multiplication
- Frequency division
- Frequency discriminators
- Timing circuits
- Time-delay applications

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T <sub>A</sub> = Full Package-Temperature Range)	3	18	V
NOTE: IF AT 15 V OPERATION A 10 MΩ RESISTOR IS USED THE OPERATING TEMPERATURE SHOULD BE BETWEEN -25°C and 100°C			

### MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE (V <sub>DD</sub> )	-0.5 to +20 V
(Voltages referenced to V <sub>SS</sub> Terminal)	-0.5 to V <sub>DD</sub> +0.5 V
INPUT VOLTAGE RANGE, ALL INPUTS	-10 to +10 V
DC INPUT CURRENT, ANY ONE INPUT	500 nA
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> ):	
For T <sub>A</sub> = -40 to +60°C (PACKAGE TYPE E)	500 mW
For T <sub>A</sub> = +60 to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
For T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
For T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR:	
For T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> ):	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPE E	-40 to +70°C
STORAGE TEMPERATURE RANGE (T <sub>STG</sub> ):	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	300°C

## CD4047B FUNCTIONAL TERMINAL CONNECTIONS

NOTE: IN ALL CASES EXTERNAL RESISTOR BETWEEN TERMINALS 2 AND 34  
EXTERNAL CAPACITOR BETWEEN TERMINALS 1 AND 34

FUNCTION	TERMINAL CONNECTIONS TO V <sub>DD</sub>	TO V <sub>SS</sub>	INPUT TO	OUTPUT PULSE FROM	OUTPUT PERIOD OR PULSE WIDTH
Astable Multivibrator:					
Free Running	4,5,6,14	7,8,9,12	—	10,11,13	t <sub>A</sub> (10,11) = 4.40 RC
True Gating	4,6,14	7,8,9,12	5	10,11,13	t <sub>A</sub> (13) = 2.20 RC*
Complement Gating	6,14	5,7,8,9,12	4	10,11,13	
Monostable Multivibrator:					
Positive-Edge Trigger	4,14	5,6,7,9,12	8	10,11	t <sub>M</sub> (10,11) = 2.48 RC
Negative-Edge Trigger	4,8,14	5,7,9,12	6	10,11	
Retriggerable	4,14	5,6,7,9	8,12	10,11	
External Countdown*	14	5,6,7,8,9,12	—	10,11	

\* See Text.

\* First positive 1/2 cycle pulse-width = 2.48 RC, see Note on Page 10.

\* Input Pulse to Reset of External Counting Chip External Counting Chip Output To Terminal 4

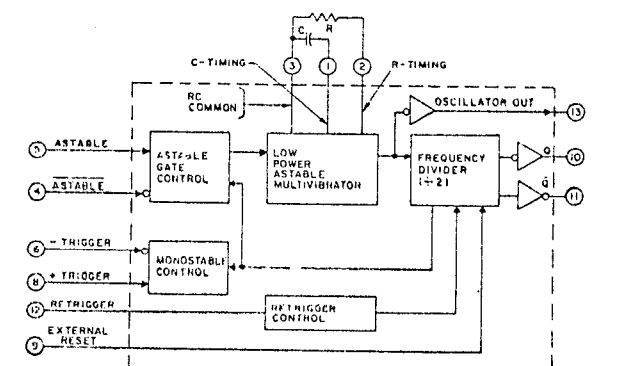


Fig. 1—CD4047B logic block diagram.

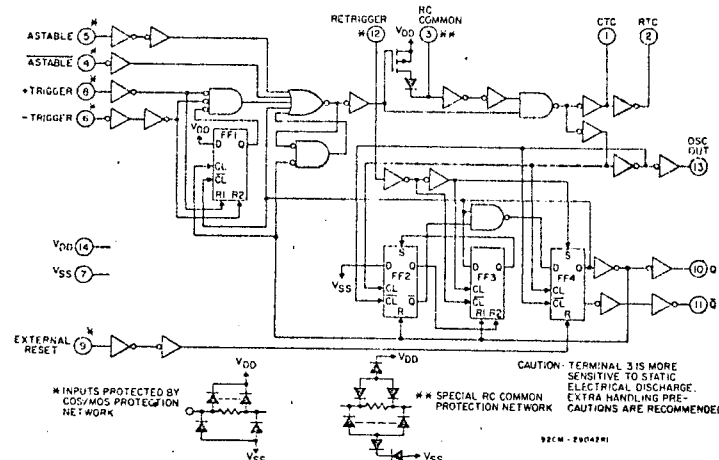


Fig. 2—CD4047B logic diagram.

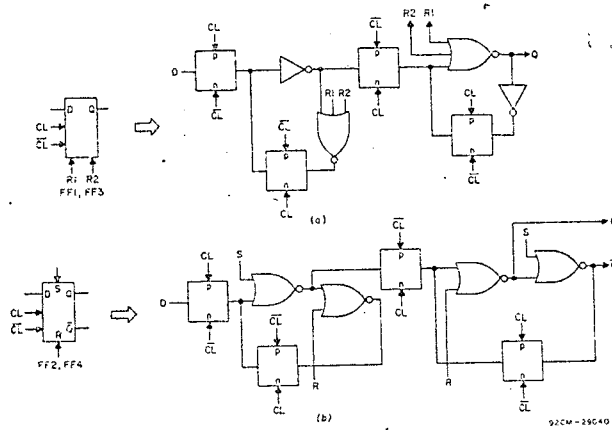


Fig. 3—Detail logic diagram for flip-flops FF1 and FF3 (a) and for flip-flops FF2 and FF4 (b).

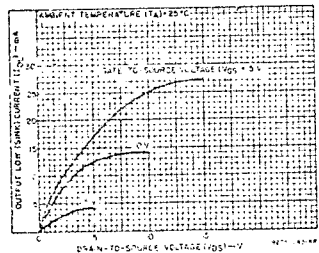


Fig. 4—Typical output low (sink) current characteristics.

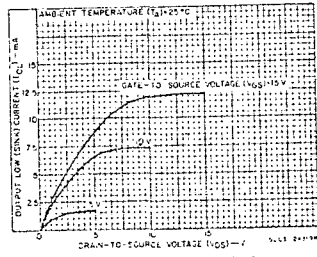


Fig. 5—Minimum output low (sink) current characteristics.

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
				Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package							
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)						+25		
				-55	-40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I <sub>DD</sub> Max.	—	0.5	5	1	1	30	30	—	0.02	1	μA
	—	0.10	10	2	2	60	60	—	0.02	2	
	—	0.15	15	4	4	120	120	—	0.02	4	
	—	0.20	20	20	20	600	600	—	0.04	20	
Output Low (Sink) Current I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I <sub>OH</sub> Min.	4.5	0.5	5	-0.64	-0.51	-0.42	-0.36	-0.51	-1	—	V
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage: Low-Level V <sub>OL</sub> Max.	—	0.5	5	0.05			—		0	0.05	V
	—	0.10	10	0.05			—		0	0.05	
	—	0.15	15	0.05			—		0	0.05	

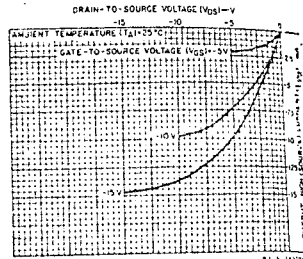


Fig. 6—Typical output high (source) current characteristics.

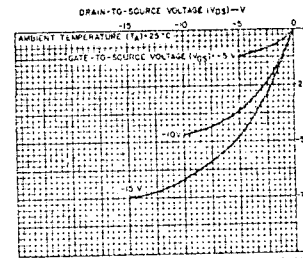
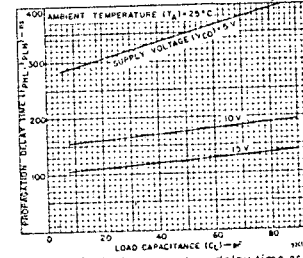
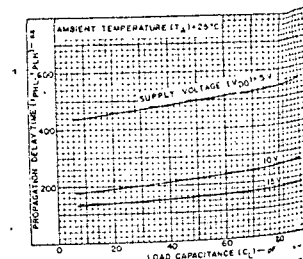


Fig. 7—Minimum output high (source) current characteristics.

Fig. 8—Typical propagation delay time as a function of load capacitance (Astable to Q,  $\bar{Q}$ ).Fig. 9—Typical propagation delay time as a function of load capacitance (Trigger to Q,  $\bar{Q}$ ).

## STATIC ELECTRICAL CHARACTERISTICS (CONTINUED)

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNIT
				Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package							
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)					+ 25			
				-55	-40	+ 85	+ 125	Min.	Typ.	Max.	
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0.5	5	4.95				4.95	5	—	V
	—	0.10	10	9.95				9.95	10	—	
	—	0.15	15	14.95				14.95	15	—	
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	—	5	1.5				—	—	1.5	V
	1.9	—	10	3				—	—	3	
	1.5, 13.5	—	15	4				—	—	4	
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	—	5	3.5				3.5	—	—	V
	1.9	—	10	7				7	—	—	
	1.5, 13.5	—	15	11				11	—	—	
Input Current I <sub>IN</sub> Max.	—	0.18	18	± 0.1	± 0.1	± 1	± 1	—	± 10 <sup>5</sup>	± 0.1	μA

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ C$ , Input  $t_r, t_f = 20$  ns,  $C_L = 50$  pF,  $R_L = 200$  k $\Omega$

CHARACTERISTICS	$V_{DD}$ (V)	LIMITS			UNITS
		Min.	Typ.	Max.	
Propagation Delay Time: $t_{PHL}, t_{PLH}$	5	—	200	400	
Astable, Astable to Osc. Out	10	—	100	200	
	15	—	80	160	
Astable, Astable to Q, $\bar{Q}$	5	—	350	700	
	10	—	175	350	
	15	—	125	250	
+ or - Trigger to Q, $\bar{Q}$	5	—	500	1000	
	10	—	225	450	
	15	—	150	300	
Retrigger to Q, $\bar{Q}$	5	—	300	600	
	10	—	150	300	
	15	—	100	200	
External Reset to Q, $\bar{Q}$	5	—	250	500	
	10	—	100	200	
	15	—	70	140	
Transition Time: $t_{THL}, t_{TLH}$	5	—	100	200	
Osc. Out, Q, $\bar{Q}$	10	—	50	100	
	15	—	40	80	
Minimum Input Pulse Width: + Trigger, - Trigger	5	—	200	400	
	10	—	80	160	
	15	—	50	100	
Reset	5	—	100	200	
	10	—	50	100	
	15	—	30	60	
Retrigger	5	—	300	600	
	10	—	115	230	
	15	—	75	150	
Input Rise and Fall Time: All Inputs	5	Unlimited			$\mu s$
	10	—			
	15	—			
Q or $\bar{Q}$ Deviation from 50% Duty Factor	5	—	$\pm 0.5$	$\pm 1$	%
	10	—	$\pm 0.5$	$\pm 1$	
	15	—	$\pm 0.1$	$\pm 0.5$	
Input Capacitance, $C_{IN}$	Any Input	—	5	7.7	pF

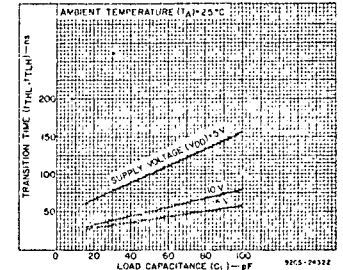
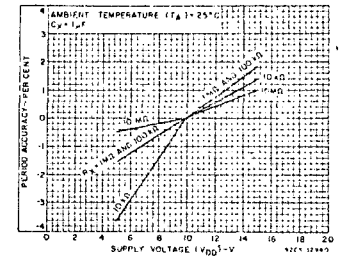
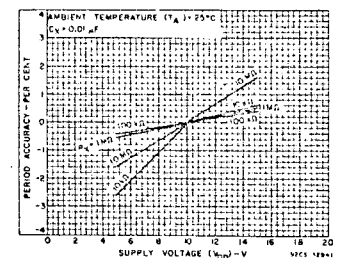
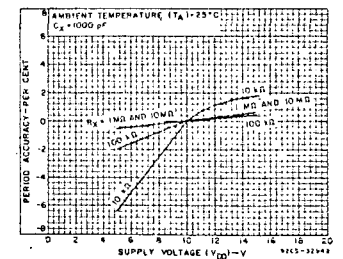


Fig. 10—Typical transition time as a function of load capacitance.

Fig. 11—Typical astable oscillator or Q,  $\bar{Q}$  period accuracy vs. supply voltage.Fig. 12—Typical astable oscillator or Q,  $\bar{Q}$  period accuracy vs. supply voltage.Fig. 13—Typical astable oscillator or Q,  $\bar{Q}$  period accuracy vs. supply voltage.

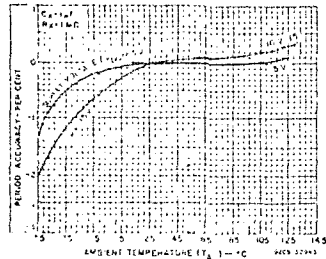


Fig. 14—Typical astable oscillator or Q. Q. period accuracy vs. ambient temperature (ultra-low frequency).

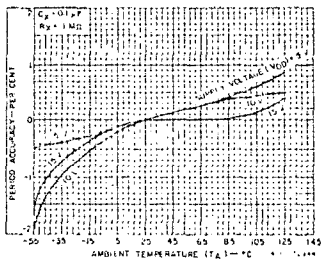


Fig. 15—Typical astable oscillator or Q. Q. period accuracy vs. ambient temperature (low frequency).

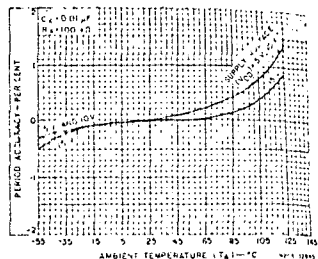


Fig. 16—Typical astable oscillator or Q. Q. period accuracy vs. ambient temperature (medium frequency).

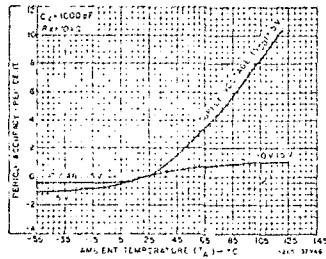


Fig. 17—Typical astable oscillator or Q. Q. period accuracy vs. ambient temperature (high-frequency).

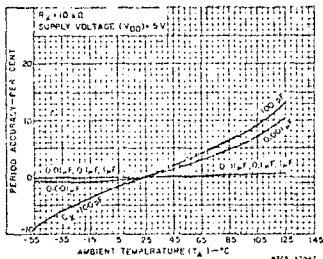


Fig. 18—Typical astable oscillator or Q. Q. period accuracy vs. ambient temperature.

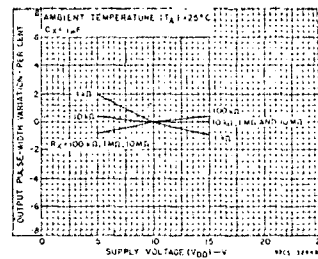


Fig. 19—Typical output pulse-width variations vs. supply voltage.

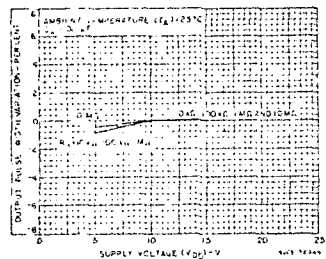


Fig. 20—Typical output pulse-width variations vs. supply voltage.

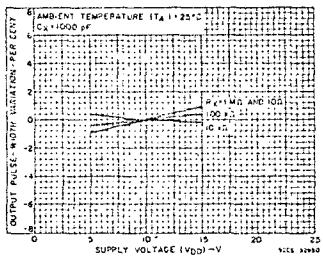


Fig. 21—Typical output pulse-width variations vs. supply voltage.

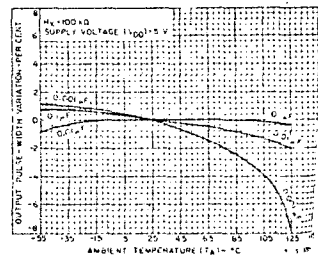


Fig. 22—Typical output pulse-width variations vs. ambient temperature.

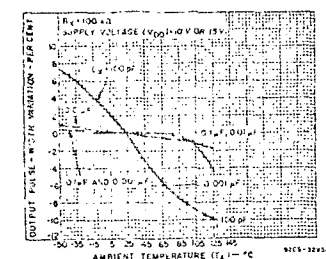


Fig. 23—Typical output pulse-width variations vs. ambient temperature.

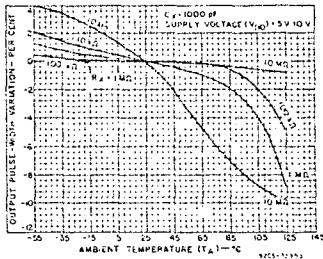


Fig. 24—Typical output pulse-width variations vs. ambient temperature.

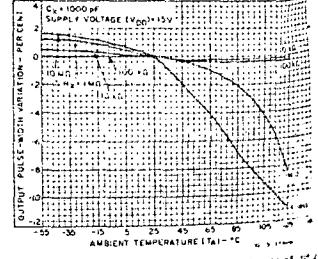


Fig. 25—Typical output pulse-width variations vs. ambient temperature.

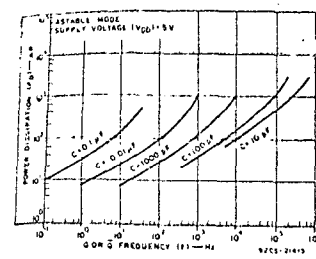
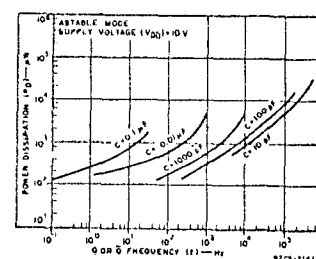
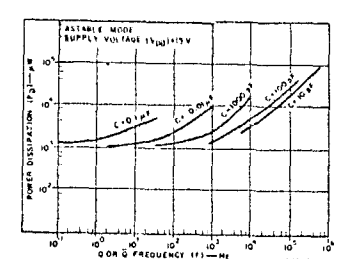
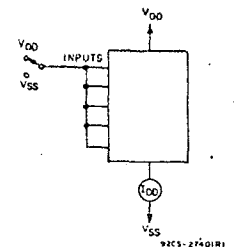
Fig. 26—Typical power dissipation vs. output frequency (V<sub>DD</sub> = 5 V).Fig. 27—Typical power dissipation vs. output frequency (V<sub>DD</sub> = 10 V).Fig. 28—Typical power dissipation vs. output frequency (V<sub>DD</sub> = 15 V).

Fig. 29—Quiescent device current test circuit.

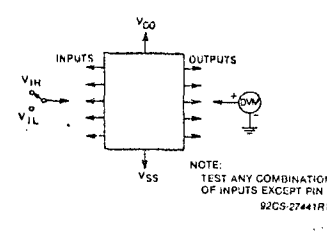


Fig. 30—Input-voltage test circuit.

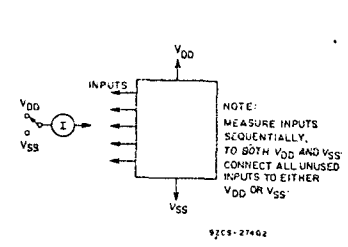


Fig. 31—Input-leakage-current test circuit.

## 1. Astable Mode Design Information

## A. Unit-to-Unit Transfer-Voltage

Varia-tions — The following analysis presents variations from unit to unit as a function of transfer-voltage (V<sub>TR</sub>) shift (33%–67% V<sub>DD</sub>) for free-running (astable) operation.

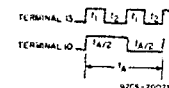


Fig. 32—Astable mode waveforms.

Typ: V<sub>TR</sub> = 0.5 V<sub>DD</sub> t<sub>A</sub> = 4.40 RC  
Min: V<sub>TR</sub> = 0.33 V<sub>DD</sub> t<sub>A</sub> = 4.62 RC  
Max: V<sub>TR</sub> = 0.67 V<sub>DD</sub> t<sub>A</sub> = 4.62 RC

thus if [t<sub>A</sub> = 4.40 RC] is used, the variation will be +5%, -0% due to variations in transfer voltage.

B. Variations Due to V<sub>DD</sub> and Temperature Changes — In addition to variations from unit to unit, the astable period varies with V<sub>DD</sub> and temperature. Typical variations are presented in graphical form in Figs. 11 to 18 with 10 V as reference for voltage variations curves and 25°C as reference for temperature variations curves.

## II. Monostable Mode Design Information

The following analysis presents variations from unit to unit as a function of transfer-voltage (V<sub>TR</sub>) shift (33%–67% V<sub>DD</sub>) for one-shot (monostable) operation.

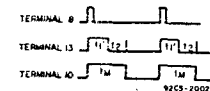


Fig. 33—Monostable waveforms.

$$t_1 = -RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}};$$

typically, t<sub>1</sub> = 1.1 RC

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}};$$

typically, t<sub>2</sub> = 1.1 RC

$$t = 2(t_1 + t_2)$$

$$= -2RC \ln \frac{(V_{TR}V_{DD} - V_{TR})}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

$$t_1' = -RC \ln \frac{V_{TR}}{2V_{DD}};$$

typically, t<sub>1</sub>' = 1.38 RC

$$t_M = (t_1' + t_2)$$

$$t_M = -RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(2V_{DD} - V_{TR})(2V_{DD})}$$

where t<sub>M</sub> = Monostable mode pulse width. Values for t<sub>M</sub> are as follows:

Typ: V<sub>TR</sub> = 0.5 V<sub>DD</sub> t<sub>M</sub> = 2.48 RC  
Min: V<sub>TR</sub> = 0.33 V<sub>DD</sub> t<sub>M</sub> = 2.71 RC  
Max: V<sub>TR</sub> = 0.67 V<sub>DD</sub> t<sub>M</sub> = 2.48 RC

thus if [t<sub>M</sub> = 2.48 RC] is used, the variation will be +9.3%, -0% due to variations in transfer voltage.

## Note:

In the astable mode, the first positive half cycle has a duration of t<sub>M</sub>; succeeding durations are t<sub>A</sub>/2.

In addition to variations from unit to unit, the monostable pulse width varies with V<sub>DD</sub> and temperature. These variations are presented in graphical form in Fig. 19 to 26 with 10 V as reference for voltage-variation curves and 25°C as reference for temperature-variation curves.

CD4069UB Types

CMOS Hex Inverter

High-Voltage Types (20-Volt Rating)

The RCA-CD4069UB types consist of six CMOS inverter circuits. These devices are intended for all general-purpose inverter applications where the medium-power TTL-drive and logic-level-conversion capabilities of circuits such as the CD4009 and CD4049 Hex inverter/Buffer are not required.

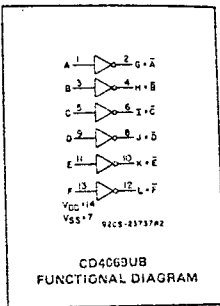
The CD4069UB-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic package (E suffix), 14-lead ceramic flat package (K suffix), and in chip form (H suffix).

Features:

- Standardized symmetrical output characteristics
- Medium Speed Operation— $t_{PHL}, t_{PLH}=30$  ns (typ.) at 10 V
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu$ A at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications:

- Logic inversion
- Pulse shaping
- Oscillators
- High-input-impedance amplifiers



RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply Voltage Range (For $T_A$ =Full Package Temperature Range)	3	18	V

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ ) (Voltages referenced to $V_{SS}$ Terminal)	-0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT, ANY ONE INPUT	$\pm 10$ mA
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A = -40$ to $+60^\circ$ C (PACKAGE TYPE E)	500 mW
For $T_A = +60$ to $+85^\circ$ C (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ$ C to 200 mW
For $T_A = -55$ to $+100^\circ$ C (PACKAGE TYPES D, F, K)	500 mW
For $T_A = +100$ to $+125^\circ$ C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/ $^\circ$ C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
For $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE ( $T_A$ ):	
PACKAGE TYPES D, F, K, H	-55 to $+125^\circ$ C
PACKAGE TYPE E	-40 to $+85^\circ$ C
STORAGE TEMPERATURE RANGE ( $T_{STG}$ )	-65 to $+150^\circ$ C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79 mm) from case for 10 s max.	$+265^\circ$ C

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ$ C; Input  $t_r, t_f = 20$  ns,

$C_L = 50$  pF,  $R_L = 200$  K $\Omega$

CHARACTERISTIC	$V_{DD}$ V	ALL TYPES LIMITS		UNITS
		Typ.	Max.	
Propagation Delay Time; $t_{PLH}, t_{PHL}$	5	55	110	ns
	10	30	60	
	15	25	50	
Transition Time; $t_{THL}, t_{TLH}$	5	100	200	ns
	10	50	100	
	15	40	80	
Input Capacitance; $C_{IN}$	Any Input	10	15	pF

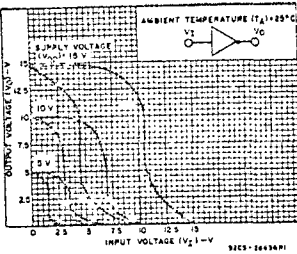


Fig. 1 - Minimum and maximum voltage transfer characteristics.

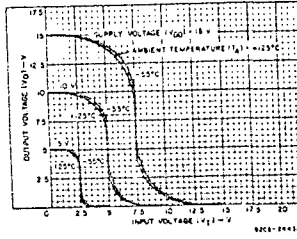


Fig. 2 - Typical voltage transfer characteristics at function of temperature.

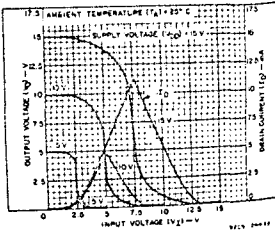


Fig. 3 - Typical current and voltage transfer characteristics.

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNIT
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	Values at -55, +25, +125 Apply to D,F,K,H Packages Values at -40, +25, +85 Apply to E Package							
				-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I <sub>DD</sub> Max.	-	0.5	5	0.25	0.25	7.5	7.5	-	0.01	0.1	μA
	-	0.10	10	0.5	0.5	15	15	-	0.01	0.1	
	-	0.15	15	1	1	30	30	-	0.01	1	
	-	0.20	20	5	5	150	150	-	0.02	5	
Output Low (sink) Current, I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	-	
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	-	
Output High (source) Current, I <sub>OH</sub> Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-	
Output Voltage: Low-Level, V <sub>OL</sub> Max.	-	5	5	0.05			-	0	0.05	-	
	-	10	10	0.05			-	0	0.05	-	
	-	15	15	0.05			-	0	0.05	-	
Output Voltage: High-Level, V <sub>OH</sub> Min.	-	0	5	4.95			4.95	5	-	-	V
	-	0	10	9.95			9.95	10	-	-	
	-	0	15	14.95			14.95	15	-	-	
Low Standby Current, I <sub>L</sub> Max.	4.5	-	5	1			-	-	-	1	
	9	-	10	2			-	-	-	2	
	13.5	-	15	2.5			-	-	-	2.5	
High Standby Current, I <sub>H</sub> Min.	0.5	-	5	4			4	-	-	-	V
	1	-	10	8			8	-	-	-	
	1.5	-	15	12.5			12.5	-	-	-	
Current Max.		0.18	18	±0.1	±0.1	±1	±1	-	±10 <sup>-5</sup>	±0.1	μA

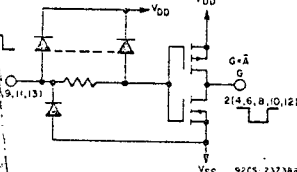


Fig. 4 - Schematic diagram of one of six identical inverters.

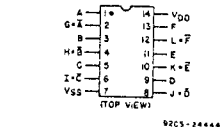


Fig. 7 - CD4069UB terminal assignment.

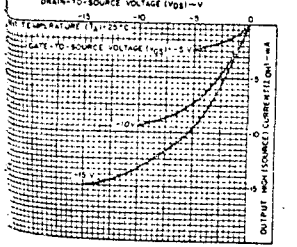


Fig. 9 - Minimum output high (source) current characteristics.

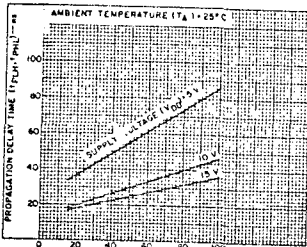


Fig. 10 - Typical propagation delay time vs. load capacitance.

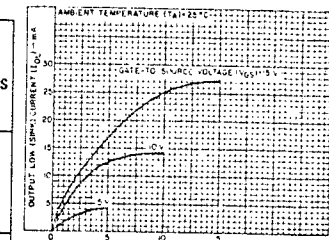


Fig. 4 - Typical output low (sink) current characteristics.

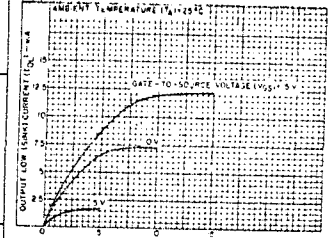


Fig. 5 - Minimum output low (sink) current characteristics.

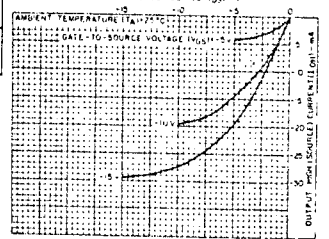


Fig. 8 - Typical output high (source) current characteristics.

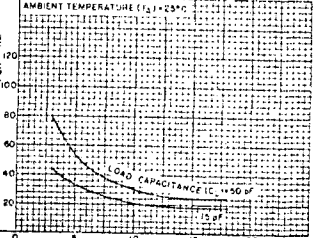


Fig. 11 - Typical propagation delay time vs. supply voltage.

CD4071B, CD4072B, CD4075B Types

CMOS OR Gates

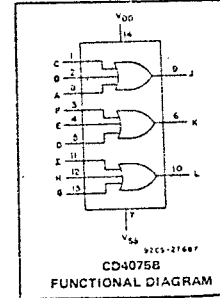
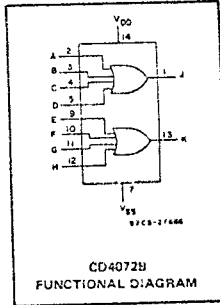
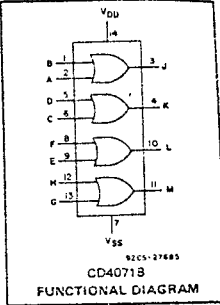
High-Voltage Types (20-Volt Rating)

- CD4071B Quad 2-Input OR Gate
- CD4072B Dual 4-Input OR Gate
- CD4075B Triple 3-Input OR Gate

The RCA-CD4071B, CD4072B, and CD4075B OR gates provide the system designer with direct implementation of the positive-logic OR function and supplement the existing family of CMOS gates. The CD4071, CD4072, and CD4075 types are supplied in 14-lead dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Medium-Speed Operation- $t_{PLH}$ ,  $t_{PHL}$  = 60 ns (typ.) at  $V_{DD}$  = 10 V
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu$ A at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Standardized, symmetrical output characteristics
- Noise margin (over full package temperature range)
  - 1 V at  $V_{DD}$  = 5 V
  - 2 V at  $V_{DD}$  = 10 V
  - 2.5 V at  $V_{DD}$  = 15 V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13 A, "Standard Specifications for Description of 'B' Series CMOS Devices"



RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For $T_A$ = Full Package-Temperature Range)	3	18	V

STATIC ELECTRICAL CHARACTERISTICS

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
				Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package							
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)					+25			
-55				-40	+25	+125	Min.	Typ.	Max.		
Quiescent Device Current, I <sub>DD</sub> Max.	—	0.5	5	0.25	0.25	7.5	7.5	—	0.01	0.25	μA
	—	0.10	10	0.5	0.5	15	15	—	0.01	0.5	
	—	0.15	15	1	1	30	30	—	0.01	1	
	—	0.20	20	5	5	150	150	—	0.02	5	
Output Low (Sink) Current I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I <sub>OH</sub> Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage: Low-Level, V <sub>OL</sub> Max.	—	0.5	5	0.05			—		0	0.05	V
	—	0.10	10	0.05			—		0	0.05	
	—	0.15	15	0.05			—		0	0.05	
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0.5	5	4.95			4.95		5	—	V
	—	0.10	10	9.95			9.95		10	—	
	—	0.15	15	14.95			14.95		15	—	
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	—	5	1.5			—		—	1.5	V
	1.9	—	10	3			—		—	3	
	1.5, 13.5	—	15	4			—		—	4	
Input High Voltage, V <sub>IH</sub> Min.	4.5	—	5	3.5			3.5		—	—	V
	9	—	10	7			7		—	—	
	13.5	—	15	11			11		—	—	
Input Current I <sub>IN</sub> Max.		0.18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA

CD4071B, CD4072B, CD4075B Types

MAXIMUM RATINGS, Absolute-Maximum Values:

- DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ ) (voltages referenced to  $V_{SS}$  Terminal) ..... -0.5 to +20 V
- INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.5 to  $V_{DD}$  +0.5 V
- DC INPUT CURRENT, ANY ONE INPUT .....  $\pm 10$  mA
- POWER DISSIPATION PER PACKAGE ( $P_D$ ):
  - For  $T_A$  = -40 to +60°C (PACKAGE TYPE E) ..... 500 mW
  - For  $T_A$  = +60 to +85°C (PACKAGE TYPE E) ..... Derate Linearly at 12 mW/°C to 200 mW
  - For  $T_A$  = -55 to +100°C (PACKAGE TYPES D, F, K) ..... 500 mW
  - For  $T_A$  = +100 to +125°C (PACKAGE TYPES D, F, K) ..... Derate Linearly at 12 mW/°C to 200 mW
- DEVICE DISSIPATION PER OUTPUT TRANSISTOR:
  - For  $T_A$  = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) ..... 100 mW
- OPERATING TEMPERATURE RANGE ( $T_A$ ):
  - PACKAGE TYPES D, F, K, H ..... -55 to +125°C
  - PACKAGE TYPE E ..... -40 to +85°C
- STORAGE TEMPERATURE RANGE ( $T_{STG}$ ) ..... -65 to +150°C
- LEAD TEMPERATURE (DURING SOLDERING):
  - At distance 1/16  $\pm$  1/32 inch (1.59  $\pm$  0.79 mm) from case for 10 s max. .... +265°C

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A$  = 25°C, Input  $t_r$ ,  $t_f$  = 20 ns, and  $C_L$  = 50 pF,  $R_L$  = 200 k $\Omega$

CHARACTERISTIC	TEST CONDITIONS	ALL TYPES LIMITS		UNITS	
		V <sub>DD</sub> VOLTS	TYP. MAX.		
Propagation Delay Time, t <sub>PHL</sub> , t <sub>PLH</sub>		5 10 15	125 60 45	250 120 90	ns
Transition Time, t <sub>THL</sub> , t <sub>TLH</sub>		5 10 15	100 50 40	200 100 80	ns
Input Capacitance, C <sub>IN</sub>	Any Input	—	5	7.5	pF

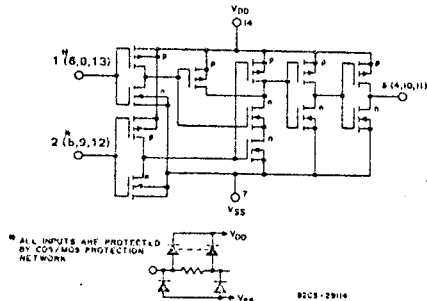


Fig. 3 - Schematic diagram for CD4071B (1 of 4 identical gates).

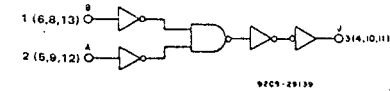


Fig. 5 - Logic diagram for CD4071B (1 of 4 identical gates).

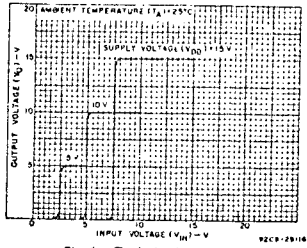


Fig. 1 - Typical voltage transfer characteristics.

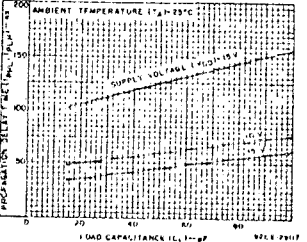


Fig. 2 - Typical propagation delay time as a function of load capacitance.

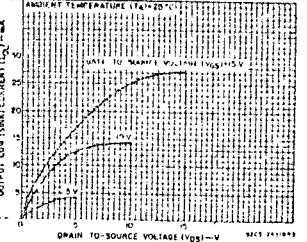


Fig. 4 - Typical output low (sink) current characteristics.

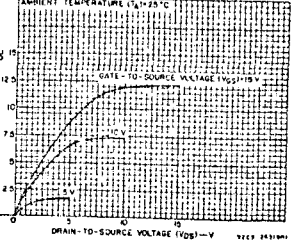


Fig. 6 - Minimum output low (sink) current characteristics.

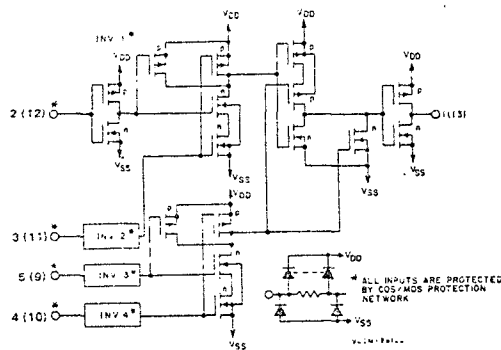


Fig. 7 - Schematic diagram for CD4072B (1 of 2 identical gates).

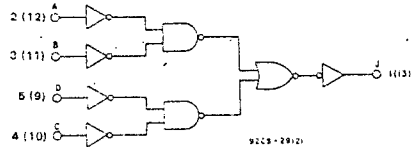


Fig. 9 - Logic diagram for CD4072B (1 of 2 identical gates).

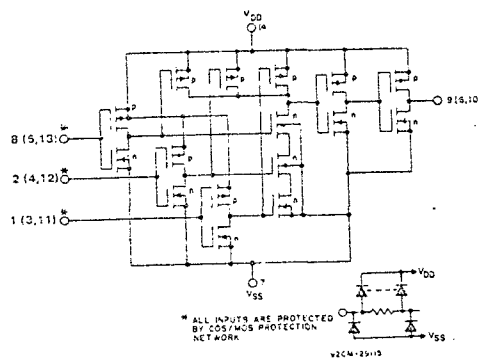


Fig. 11 - Schematic diagram for CD4075B (1 of 3 identical gates).

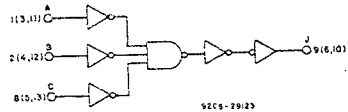


Fig. 13 - Logic diagram for CD4075B (1 of 3 identical gates).

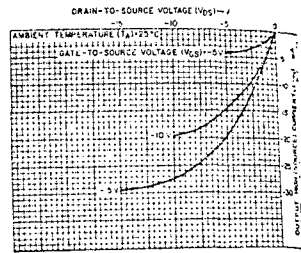


Fig. 8 - Typical output high (source) current characteristics.

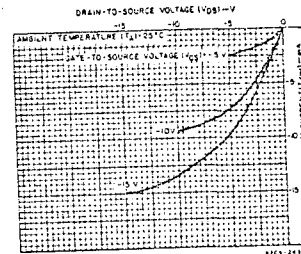


Fig. 10 - Minimum output high (source) current characteristics.

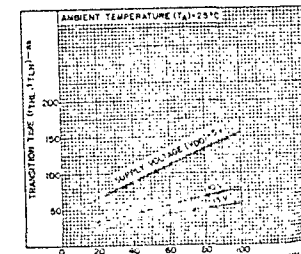


Fig. 12 - Typical transition time as a function of load capacitance.

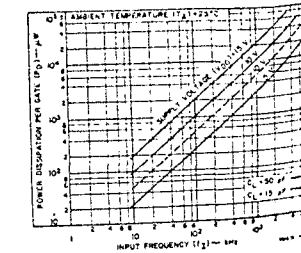


Fig. 14 - Typical dynamic power dissipation as a function of frequency.

TERMINAL ASSIGNMENTS (TOP VIEW)

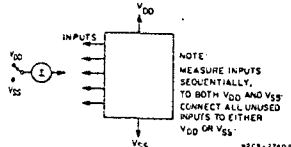
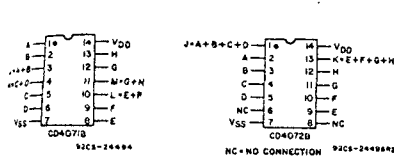


Fig. 16 - Input current test circuit.

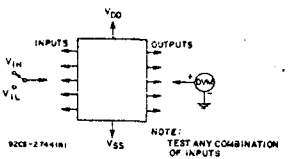
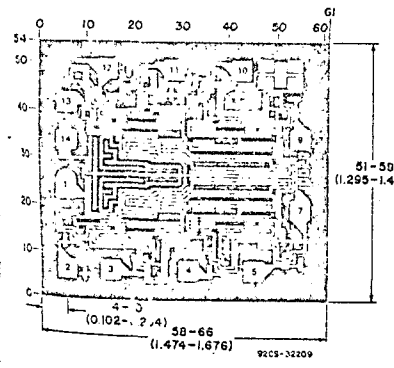


Fig. 17 - Input-voltage test circuit.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10<sup>-3</sup> inch).

The photographs and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of  $\pm 3$  mils to  $\pm 16$  mils applicable to the nominal dimensions shown.



Dimensions and pad layout for CD4072B.

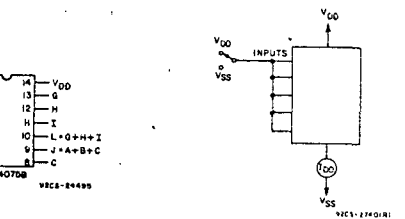
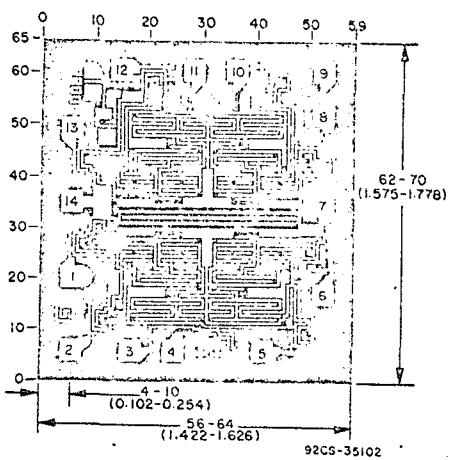
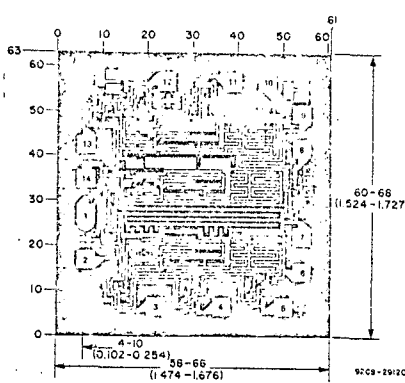


Fig. 15 - Quiescent device current test circuit.



Dimensions and pad layout for CD4071B.



Dimensions and pad layout for CD4075B.



# CD4073B, CD4081B, CD4082B Types

## CMOS AND Gates

High-Voltage Types (20-Volt Rating)

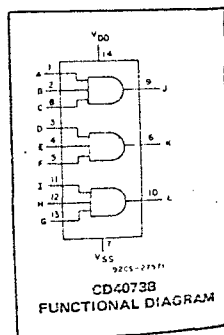
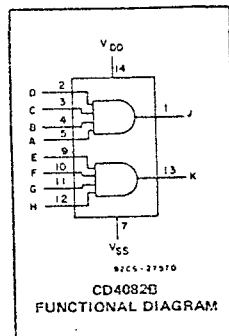
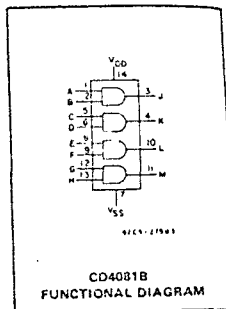
CD4073B Triple 3-Input AND Gate  
CD4081B Quad 2-Input AND Gate  
CD4082B Dual 4-Input AND Gate

The RCA-CD4073B, CD4081B and CD4082B AND gates provide the system designer with direct implementation of the AND function and supplement the existing family of CMOS gates.

The CD4073B, CD4081B and CD4082B types are supplied in 14-lead dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

### Features:

- Medium-Speed Operation —  $t_{PLH}$ ,  $t_{PHL}$  = 60 ns (typ.) at  $V_{DD}$  = 10 V
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu$ A at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range) =
  - 1 V at  $V_{DD}$  = 5 V
  - 2 V at  $V_{DD}$  = 10 V
  - 2.5 V at  $V_{DD}$  = 15 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"



### MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ )	-0.5 to +20 V
(Voltages referenced to $V_{SS}$ Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD}$ + 0.5 V
DC INPUT CURRENT, ANY ONE INPUT	±10 mA
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A$ = -40 to +150°C (PACKAGE TYPE E)	500 mW
For $T_A$ = +60 to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
For $T_A$ = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
For $T_A$ = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVIATION DISSIPATION PER OUTPUT TRANSISTOR	100 mW
FOR $T_A$ = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	
OPERATING-TEMPERATURE RANGE ( $T_A$ ):	-55 to +125°C
PACKAGE TYPES D, F, K, H	-40 to +85°C
PACKAGE TYPE E	-65 to +150°C
STORAGE TEMPERATURE RANGE ( $T_{stg}$ )	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	+265°C
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	

### RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For $T_A$ = Full Package Temperature Range)	3	18	V

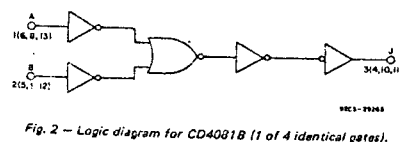
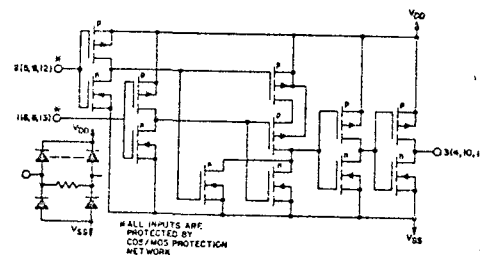
DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A$  = 25°C, Input  $t_r$  = 20 ns, and  $C_L$  = 50 pF,  $R_L$  = 200 k $\Omega$

and  $C_L=50$  pF,  $R_L=200$  k $\Omega$

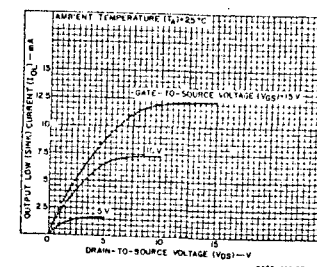
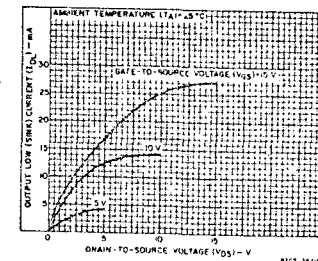
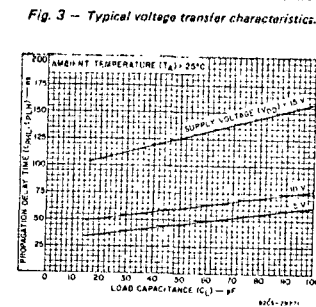
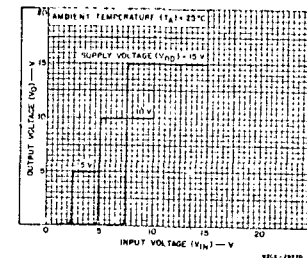
CHARACTERISTIC	TEST CONDITIONS	ALL TYPES LIMITS		UNITS	
		$V_{DD}$ Volts	TYP.		MAX.
Propagation Delay Time, $t_{PHL}$ , $t_{PLH}$		5	125	250	ns
		10	60	120	
		15	45	90	
Transition Time, $t_{THL}$ , $t_{TLH}$		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, $C_{IN}$	Any Input	—	5	7.5	pF

### STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)					UNITS
	$V_O$ (V)	$V_{IN}$ (V)	$V_{DD}$ (V)	-55	-40	+85	+125	+25	
Quiescent Device Current, $I_{DD}$ Max.	—	0.5	5	0.25	0.25	7.5	7.5	—	$\mu$ A
	—	0.10	10	0.5	0.5	15	15	—	
	—	0.15	15	1	1	30	30	—	
	—	0.20	20	5	5	150	150	—	
Output Low (Sink) Current, $I_{OL}$ Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	
	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	
Output High (Source) Current, $I_{OH}$ Min.	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	mA
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	
	—	0.5	5	—	—	—	—	—	
Output Voltage: Low-Level, $V_{OL}$ Max.	—	0.10	10	—	—	—	—	0	V
	—	0.15	15	—	—	—	—	0	
	—	0.5	5	—	—	—	—	0	
	—	0.10	10	—	—	—	—	0	
Output Voltage: High-Level, $V_{OH}$ Min.	—	0.15	15	—	—	—	—	14.95	V
	—	0.5	5	—	—	—	—	4.95	
	—	0.10	10	—	—	—	—	9.95	
	—	0.15	15	—	—	—	—	14.95	
Input Low Voltage, $V_{IL}$ Max.	0.5	—	5	—	—	—	—	—	V
	1	—	10	—	—	—	—	—	
	1.5	—	15	—	—	—	—	—	
	0.5, 4, 5	—	5	—	—	—	—	—	
Input High Voltage, $V_{IH}$ Min.	1.9	—	10	—	—	—	—	—	V
	1.5, 13, 5	—	15	—	—	—	—	—	
	1.5, 13, 5	—	15	—	—	—	—	—	
	1.5, 13, 5	—	15	—	—	—	—	—	
Input Current $I_{IN}$ Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	$\mu$ A
	—	0.18	18	±0.1	±0.1	±1	±1	—	
	—	0.18	18	±0.1	±0.1	±1	±1	—	
	—	0.18	18	±0.1	±0.1	±1	±1	—	



# CD4073B, CD4081B, CD4082B Types





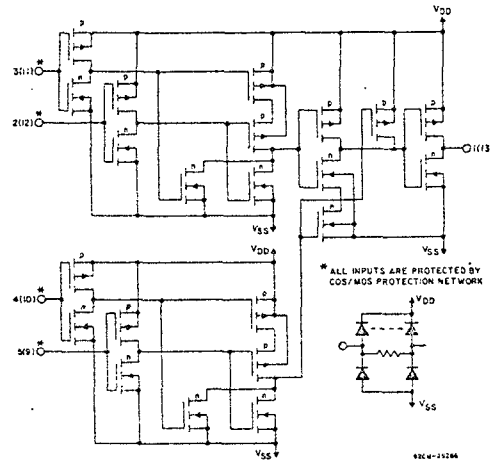


Fig. 7 - Schematic diagram for CD4082B (1 of 2 identical gates).

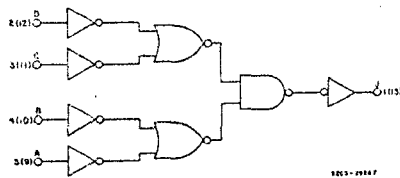


Fig. 9 - Logic diagram for CD4082B (1 of 2 identical gates).

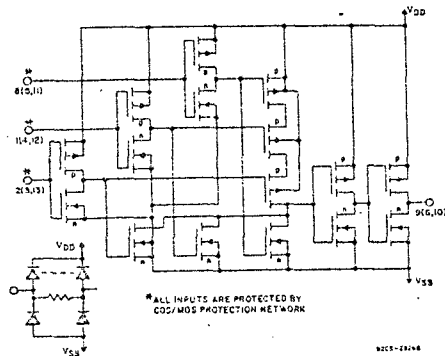


Fig. 11 - Schematic diagram for CD4073B (1 of 3 identical gates).

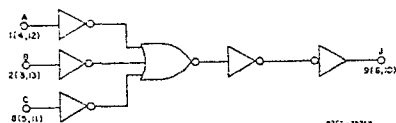


Fig. 13 - Logic diagram for CD4073B (1 of 3 identical gates).

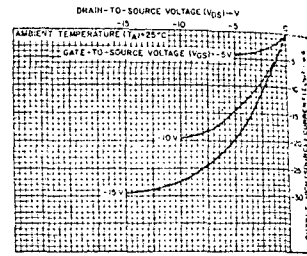


Fig. 8 - Typical output high (source) current characteristics.

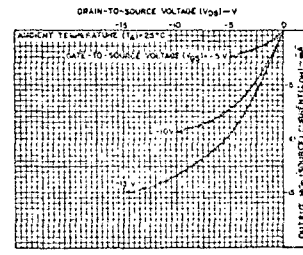


Fig. 10 - Minimum output high (source) current characteristics.

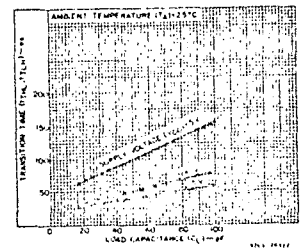


Fig. 12 - Typical transition time as a function of load capacitance.

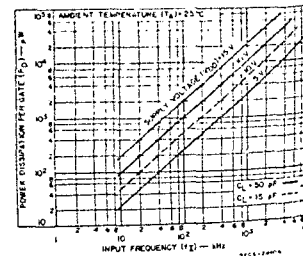


Fig. 14 - Typical dynamic power dissipation per gate as a function of frequency.

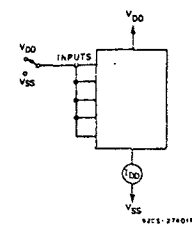


Fig. 15 - Quiescent device current test circuit.

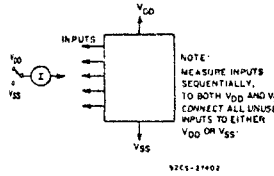


Fig. 16 - Input current test circuit.

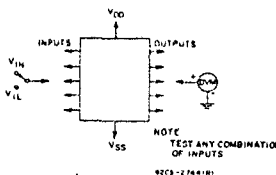
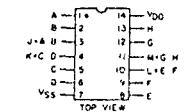
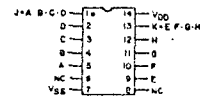


Fig. 17 - Input voltage test circuit.

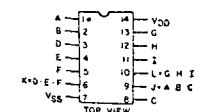
#### TERMINAL ASSIGNMENTS



#### CD4081B

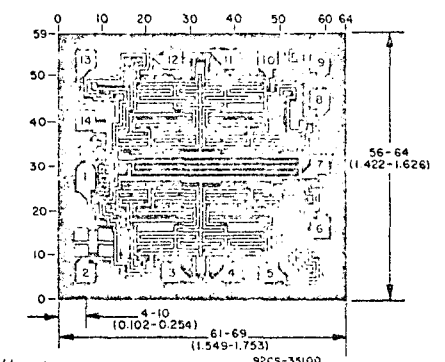


#### CD4082B

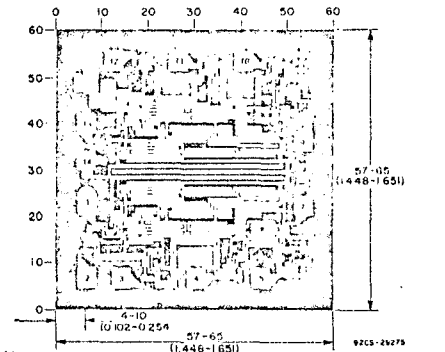


#### CD4073B

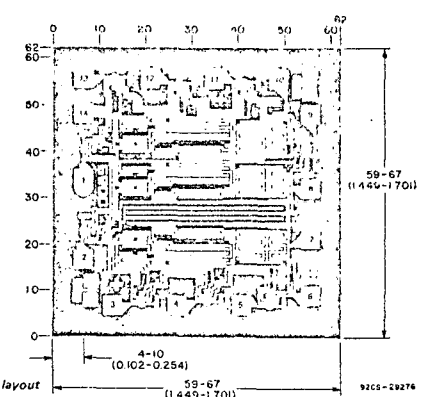
Dimensions and pad layout for CD4081B.



Dimensions and pad layout for CD4082B.



Dimensions and pad layout for CD4073B.



The photographs and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated

chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of  $\pm 3$  mils to  $\pm 16$  mils applicable to the nominal dimensions shown.

CD4098B Types

CMOS Dual Monostable Multivibrator

High-Voltage Types (20-Volt Rating)

The RCA-CD4098B dual monostable multivibrator provides stable retriggerable/resettable one-shot operation for any fixed-voltage timing application.

An external resistor ( $R_X$ ) and an external capacitor ( $C_X$ ) control the timing for the circuit. Adjustment of  $R_X$  and  $C_X$  provides a wide range of output pulse widths from the Q and  $\bar{Q}$  terminals. The time delay from trigger input to output transition (trigger propagation delay) and the time delay from reset input to output transition (reset propagation delay) are independent of  $R_X$  and  $C_X$ .

Leading-edge-triggering (+TR) and trailing-edge-triggering (-TR) inputs are provided for triggering from either edge of an input pulse. An unused +TR input should be tied to  $V_{SS}$ . An unused -TR input should be tied to  $V_{DD}$ . A RESET (on low level) is provided for immediate termination of the output pulse or to prevent output pulses when power is turned on. An unused RESET input should be tied to  $V_{DD}$ . However, if an entire section of the CD4098B is not used, its RESET should be tied to  $V_{SS}$ . See Table I.

In normal operation the circuit triggers (extends the output pulse one period) on the application of each new trigger pulse. For operation in the non-retriggerable mode, Q is connected to -TR when leading-edge triggering (+TR) is used or Q is connected to +TR when trailing edge triggering (-TR) is used.

The time period (T) for this multivibrator can be approximated by:  $T_X = 1.1 R_X C_X$  for  $C_X \geq 0.01 \mu F$ . Time periods as a function of  $R_X$  for values of  $C_X$  and  $V_{DD}$  are given in Fig. 8. Values of T vary from unit to unit and as a function of voltage, temperature, and  $R_X C_X$ .

The minimum value of external resistance,  $R_X$ , is 5 k $\Omega$ . The maximum value of external capacitance,  $C_X$ , is 100 pF. Fig. 9 shows time periods as a function of  $C_X$  for values of  $R_X$  and  $V_{DD}$ .

The output pulse width has variations of  $\pm 2.5\%$  typically, over the temperature range of  $-55^\circ C$  to  $125^\circ C$  for  $C_X = 1000 \text{ pF}$  and  $R_X = 100 \text{ k}\Omega$ .

For power supply variations of  $\pm 5\%$ , the output pulse width has variations of  $\pm 0.5\%$  typically, for  $V_{DD} = 10 \text{ V}$  and  $15 \text{ V}$  and  $\pm 1\%$  typically, for  $V_{DD} = 5 \text{ V}$  at  $C_X = 1000 \text{ pF}$  and  $R_X = 5 \text{ k}\Omega$ .

These types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic package (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

The CD4098B is similar to type MC14528.

Features:

- Retriggerable/resettable capability
- Trigger and reset propagation delays independent of  $R_X$ ,  $C_X$
- Triggering from leading or trailing edge
- Q and  $\bar{Q}$  buffered outputs available
- Separate resets
- Wide range of output-pulse widths
- 100% tested for maximum quiescent current at 20 V

- Maximum input current of  $1 \mu A$  at 18 V over full package-temperature range; 100 nA at 18 V and  $25^\circ C$
- Noise margin (full package-temperature range):
  - 1 V at  $V_{DD} = 5 \text{ V}$
  - 2 V at  $V_{DD} = 10 \text{ V}$
  - 2.5 V at  $V_{DD} = 15 \text{ V}$
- 5-V, 10-V, and 15-V parametric ratings
- Standardized, symmetrical output characteristics
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices."

Applications:

- Pulse delay and timing
- Pulse shaping
- Astable multivibrator

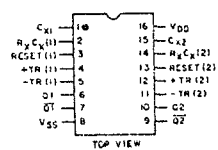
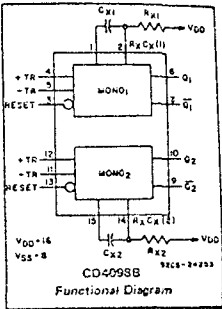
MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY VOLTAGE RANGE, ( $V_{DD}$ )	0.5 to +20 V
(Voltages referenced to $V_{SS}$ Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	0.5 to $V_{DD} + 0.5 \text{ V}$
DC INPUT CURRENT, ANY ONE INPUT	510 mA
POWER DISSIPATION PER PACKAGE ( $P_D$ )	500 mW
For $T_A = -40$ to $+100^\circ C$ (PACKAGE TYPE E)	
For $T_A = +100$ to $+75^\circ C$ (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ C$ to 200 mW
For $T_A = -55$ to $+100^\circ C$ (PACKAGE TYPES D, F, K)	500 mW
For $T_A = +100$ to $+125^\circ C$ (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/ $^\circ C$ to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	100 mW
FOR $T_A = \text{FULL PACKAGE TEMPERATURE RANGE (All Package Types)}$	
OPERATING TEMPERATURE RANGE ( $T_A$ )	55 to $+125^\circ C$
PACKAGE TYPES D, F, K, H	40 to $+85^\circ C$
PACKAGE TYPE E	65 to $+150^\circ C$
STORAGE TEMPERATURE RANGE ( $T_{STG}$ )	
LEAD TEMPERATURE (DURING SOLDERING)	$\geq 265^\circ C$
At distance 1/16" (1/32 inch) (1.59 x 0.79 mm) from case for 10 s max.	

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	$V_{DD}$ V	LIMITS		UNITS
		MIN.	MAX.	
Supply Voltage Range (For $T_A = \text{Full Package-Temperature Range}$ )	—	3	18	V
Trigger Pulse Width ( $t_W$ )(TR)	5 10 15	140 60 40	—	ns
Reset Pulse Width ( $t_W$ )(R) (This is a function of $C_X$ )	—	See Dynamic Char. Chart and Fig. 10		—
Trigger Rise or Fall Time $t_r$ (TR), $t_f$ (TR)	5 - 15	—	100	$\mu s$



TERMINAL ASSIGNMENT

TERMINALS 1, 8, 15 ARE ELECTRICALLY CONNECTED INTERNALLY

97CS-24848H

TABLE I

CD4098B FUNCTIONAL TERMINAL CONNECTIONS

FUNCTION	$V_{DD}$ TO TERM. NO.		$V_{SS}$ TO TERM. NO.		INPUT PULSE TO TERM. NO.		OTHER CONNECTIONS	
	MONO <sub>1</sub>	MONO <sub>2</sub>	MONO <sub>1</sub>	MONO <sub>2</sub>	MONO <sub>1</sub>	MONO <sub>2</sub>	MONO <sub>1</sub>	MONO <sub>2</sub>
Leading-Edge Trigger/Retriggerable	3, 5	11, 13			4	12		
Leading-Edge Trigger/Non-retriggerable	3	13			4	12	5-7	11-9
Trailing-Edge Trigger/Retriggerable	3	13	4	12	5	11		
Trailing-Edge Trigger/Non-retriggerable	3	13			5	11	4-6	12-10
Unused Section	5	11	3, 4	12, 13				

NOTES

- A RETRIGGERABLE ONE-SHOT MULTIVIBRATOR HAS AN OUTPUT PULSE WIDTH WHICH IS EXTENDED ONE FULL TIME PERIOD ( $T_X$ ) AFTER APPLICATION OF THE LAST TRIGGER PULSE. The minimum time between retriggering edges (or trigger and retrigger edges) is 40 per cent of ( $T_X$ ).
- A NON-RETRIGGERABLE ONE-SHOT MULTIVIBRATOR HAS A TIME PERIOD  $T_X$  REFERENCED FROM THE APPLICATION OF THE FIRST TRIGGER PULSE.

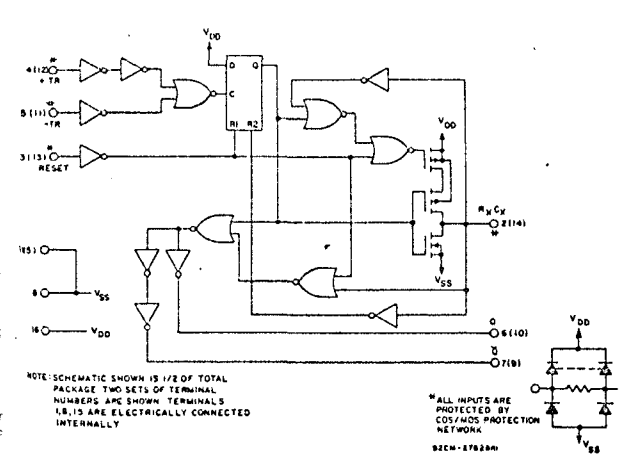
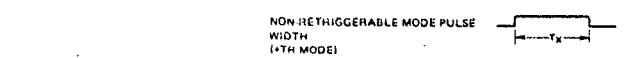


Fig. 4 - CD4098B logic diagram.

CD4098B Types

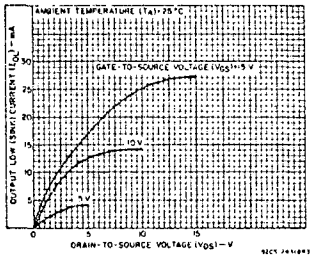


Fig. 1 - Typical output low (sink) current characteristics.

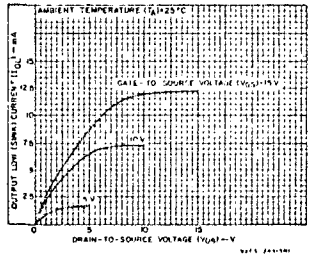


Fig. 2 - Minimum output low (sink) current characteristics.

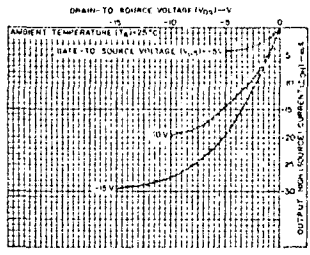


Fig. 3 - Typical output high (source) current characteristics.

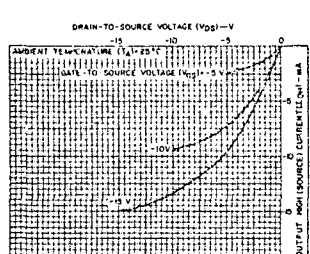


Fig. 5 - Minimum output high (source) current characteristics.

CD4098B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS			
				Values at -55, +25, +125 Apply to D, F, K, H, pkgs. Values at -40, +25, +85 Apply to E Pkgs.										
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>OD</sub> (V)	-55			-40	+85	+125	+25				
											Min.	Typ.	Max.	
Quiescent Device Current	—	0.5	5	1	1	30	30	—	0.02	1				μA
I <sub>DD</sub> Max.	—	0.10	10	2	2	60	60	—	0.02	2				
	—	0.15	15	4	4	120	120	—	0.02	4				
	—	0.20	20	20	20	600	600	—	0.04	20				
Output Low (Sink) Current, I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—				mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—				
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—				
Output High (Source) Current, I <sub>OH</sub> Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—				
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—				
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—				
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—				
Output Voltage: Low-Level, V <sub>OL</sub> Max.	—	0.5	5	0.05				—		0	0.05			V
	—	0.10	10	0.05				—		0	0.05			
	—	0.15	15	0.05				—		0	0.05			
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0.5	5	4.95				4.95		5	—			
	—	0.10	10	9.95				9.95		10	—			
	—	0.15	15	14.95				14.95		15	—			
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5, 1.9	—	5, 10, 15	1.5, 3				—		—	1.5, 3			V
	15, 13.5	—	15	4				—		—	4			
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5, 1.9	—	5, 10, 15	3.5, 7				3.5, 7		—	—			
	15, 13.5	—	15	11				11		—	—			
Input Current, I <sub>IN</sub> Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1				μA
Output Leakage Current Max.	0.18	0.18	18	±0.4	±0.4	±12	±12	—	±10 <sup>-4</sup>	±0.4				μA

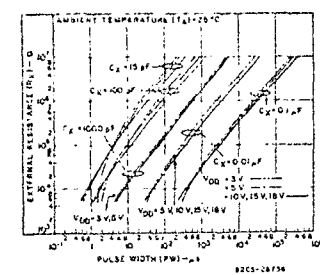


Fig. 8 - Typical external resistance vs. pulse width.

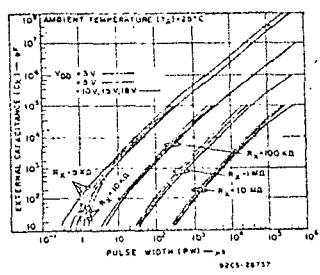


Fig. 9 - Typical external capacitance vs. pulse width.

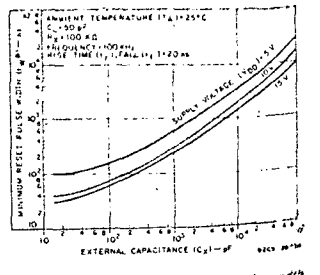


Fig. 10 - Typical minimum reset pulse width vs. external capacitance.

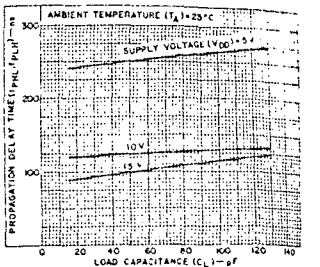


Fig. 6 - Typical propagation delay time vs. load capacitance, trigger into Q out. (All values of C\_X and R\_X)

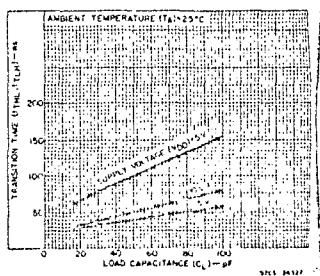


Fig. 7 - Transition time vs. load capacitance for R\_X = 5 kΩ, 10000 kΩ and C\_X = 15 pF, 10000 pF.

DYNAMIC ELECTRICAL CHARACTERISTICS

At T<sub>A</sub> = 25°C; Input t<sub>p</sub> = 20 ns, C<sub>L</sub> = 50 pF, R<sub>L</sub> = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS			LIMITS		UNITS
	R <sub>X</sub> (kΩ)	C <sub>X</sub> (pF)	V <sub>DD</sub> (V)	Typ.	Max.	
Trigger Propagation Delay Time +TR, -TR to Q, Q	5 to 10,000	≥15	5	250	500	ns
Minimum Trigger Pulse Width, t <sub>WH</sub> , t <sub>WL</sub>	5 to 10,000	≥15	5	70	140	ns
Transition Time, t <sub>TLH</sub>	5 to 10,000	≥15	5	100	200	ns
t <sub>THL</sub>	5 to 10,000	≥15	5	100	200	ns
Reset Propagation Delay Time, t <sub>PHL</sub> , t <sub>PLH</sub>	5 to 10,000	≥15	5	225	450	ns
Minimum Reset Pulse Width, t <sub>WR</sub>	100	1000	5	600	1200	ns
Trigger Rise or Fall Time t <sub>r</sub> (TR), t <sub>f</sub> (TF)	—	—	5 to 15	—	100	μs
Pulse Width Match Between Circuits in Same Package	10	10,000	5	5	10	%
Input Capacitance, C <sub>IN</sub>	Any Input	—	5	7.5	—	pF

CD4098B Types

TEST CIRCUITS

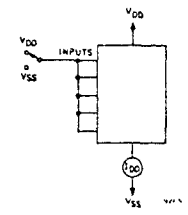


Fig. 12 - Quiescent device current test circuit.

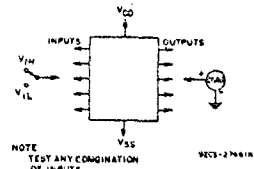


Fig. 13 - Input voltage test circuit.

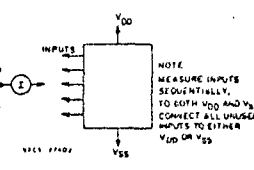


Fig. 14 - Input leakage current test circuit.

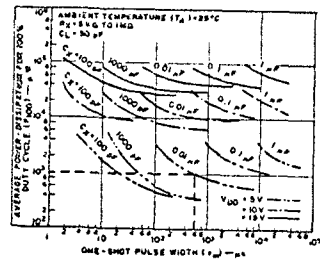


Fig. 11 - Average power dissipation vs. one-shot pulse width.

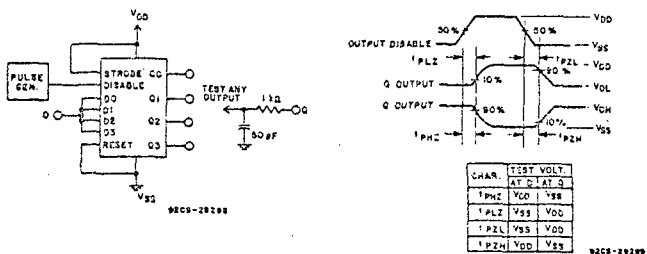


Fig. 14 - Output disable test circuit and waveforms.

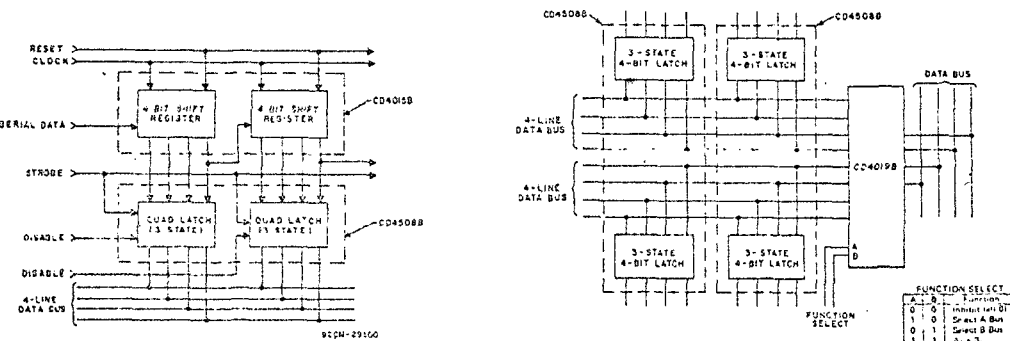
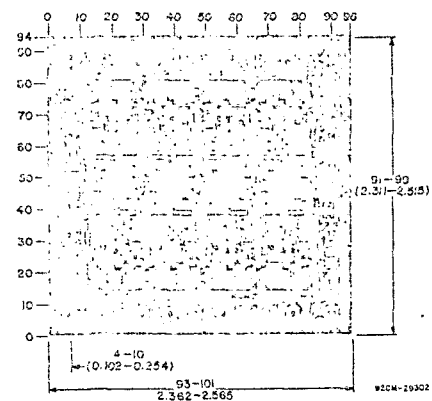


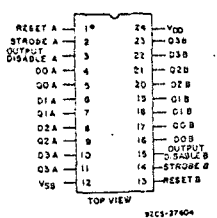
Fig. 15 - Bus register.



The photographs and dimensions of each CMOS chip represent a chip when it is part of the water. When the water is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of  $\pm 3$  mils to  $\pm 16$  mils applicable to the nominal dimensions shown.

Dimensions and pad layout for CD4508B.

Fig. 16 - Dual multiplexed bus register with function select.



TERMINAL ASSIGNMENT

## CMOS Presettable Up/Down Counters

High-Voltage Types (20-Volt Rating)

CD4510B --- BCD Type

CD4516B --- Binary Type

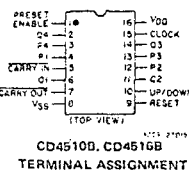
The RCA-CD4510 Presettable BCD Up/Down Counter and the CD4516 Presettable Binary Up/Down Counter consist of four synchronously clocked D-type flip-flops (with a gating structure to provide T-type flip-flop capability) connected as counters. These counters can be cleared by a high level on the RESET line, and can be preset to any binary number present on the jam inputs by a high level on the PRESET ENABLE line. The CD4510B will count out of non-BCD counter states in a maximum of two clock pulses in the up mode, and a maximum of four clock pulses in the down mode.

If the CARRY-IN input is held low, the counter advances up or down on each positive-going clock transition. Synchronous cascading is accomplished by connecting all clock inputs in parallel and connecting the CARRY-OUT of a less significant stage to the CARRY-IN of a more significant stage.

The CD4510B and CD4516B can be cascaded in the ripple mode by connecting the CARRY-OUT to the clock of the next stage. If the UP/DOWN input changes during a terminal count, the CARRY-OUT must be gated with the clock, and the UP/DOWN input must change while the clock is high. This method provides a clean clock signal to the subsequent counting stage. (See Fig. 15).

These devices are similar to types MC14510 and MC14516.

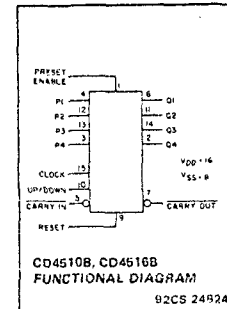
The CD4510B and CD4516B Series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).



TERMINAL ASSIGNMENT

### Features:

- Medium-speed operation --  $f_{CL} = 8$  MHz typ. at 10 V
- Synchronous internal carry propagation
- Reset and Preset capability
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Standardized symmetrical output characteristics
- Maximum input current of 1  $\mu$ A at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range): 1 V at  $V_{DD} = 5$  V, 2 V at  $V_{DD} = 10$  V, 2.5 V at  $V_{DD} = 15$  V
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"



### Applications:

- Up/Down difference counting
- Multistage synchronous counting
- Multistage ripple counting
- Synchronous frequency dividers

### OPERATING CONDITIONS AT $T_A = 25^\circ\text{C}$ , Unless Otherwise Specified

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

Characteristic	$V_{DD}$	Min.	Max.	Units
Supply Voltage Range (At $T_A = \text{Full Package Temperature Range}$ )		3	18	V
Clock Pulse Width, $t_{PW}$	5 10 15	150 75 60	— — —	ns
Clock Input Frequency, $f_{CL}$	5 10 15	— — —	2 4 5.5	MHz
Preset Enable or Reset Removal Time*	5 10 15	150 80 60	— — —	ns
Clock Rise and Fall Time, $t_{CL}$ , $t_{FL}$	5 10 15	— — —	15 5 5	$\mu$ s
Carry-In Setup Time, $t_S$	5 10 15	130 60 45	— — —	ns
Up-Down Setup Time, $t_S$	5 10 15	360 160 110	— — —	ns
Preset Enable or Reset Pulse Width, $t_{PW}$	5 10 15	220 100 75	— — —	ns

\*Time required after the falling edge of the reset or preset enable inputs before the rising edge of the clock will trigger the counter (similar to setup time).

\*If more than one unit is cascaded in the parallel clocked application,  $t_{CL}$  should be made less than or equal to the sum of the fixed propagation delay at 15 pF and the transition time of the carry output driving stage for the estimated capacitive load.

CD4510B, CD4516B Types

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V <sub>DD</sub> )	-0.5 to +20 V
(Voltages referenced to V <sub>SS</sub> Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to V <sub>DD</sub> +0.5 V
DC INPUT CURRENT, ANY ONE INPUT	±10 mA
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> ):	
For T <sub>A</sub> = -40 to +85°C (PACKAGE TYPE E)	500 mW
For T <sub>A</sub> = +50 to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
For T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
For T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR:	
For T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> ):	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
STORAGE TEMPERATURE RANGE (T <sub>STG</sub> )	-55 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.53 ± 0.79 mm) from case for 10 s max	260°C

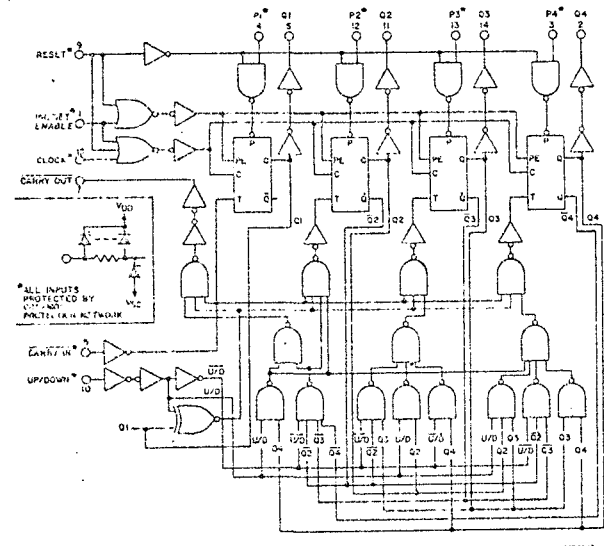


Fig.3 - Logic Diagram for CD4516B.

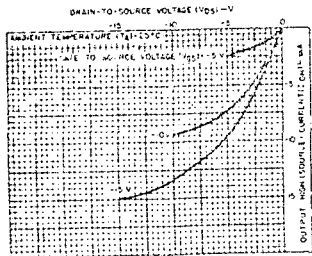


Fig. 5 - Minimum output high (source) current characteristics.

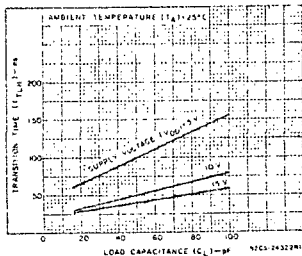


Fig. 6 - Typical transition time vs. load capacitance.

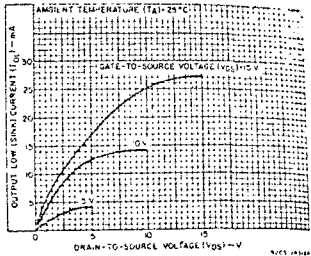


Fig. 1 - Typical output low (sink) current characteristics.

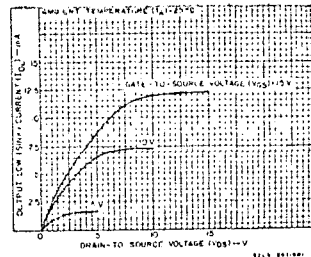


Fig. 2 - Minimum output low (sink) current characteristics.

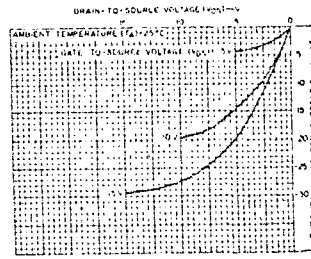


Fig. 4 - Typical output high (source) current characteristics.

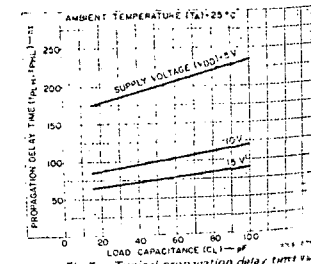


Fig. 7 - Typical propagation delay time vs. load capacitance for clock-to-Q outputs.

STATIC ELECTRICAL CHARACTERISTICS

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package							
				-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I <sub>DD</sub> Max	-	0.5	5	5	5	150	150	-	0.04	5	μA
	-	0.10	10	10	10	300	300	-	0.04	10	
	-	0.15	15	20	20	600	600	-	0.04	20	
	-	0.20	20	100	100	3000	3000	-	0.08	100	
Output Low (Sink) Current I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	-	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	8.8	-	
Output High (Source) Current, I <sub>OH</sub> Min.	4.8	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-	
Output Voltage: Low-Level, V <sub>OL</sub> Max.	-	0.5	5	0.05			0			0.05	V
	-	0.10	10	0.05			0			0.05	
	-	0.15	15	0.05			0			0.05	
Output Voltage: High-Level, V <sub>OH</sub> Min.	-	0.5	5	4.95			4.95			5	V
	-	0.10	10	9.95			9.95			10	
	-	0.15	15	14.95			14.95			15	
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	-	5	1.5			-			1.5	V
	1.9	-	10	3			-			3	
	1.5, 13.5	-	15	4			-			4	
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	-	5	3.5			3.5			-	V
	1.9	-	10	7			7			-	
	1.5, 13.5	-	15	11			11			-	
Input Current I <sub>IN</sub> Max.	-	0.18	18	±0.1	±0.1	±1	±1	-	±10 <sup>-5</sup>	±0.1	μA

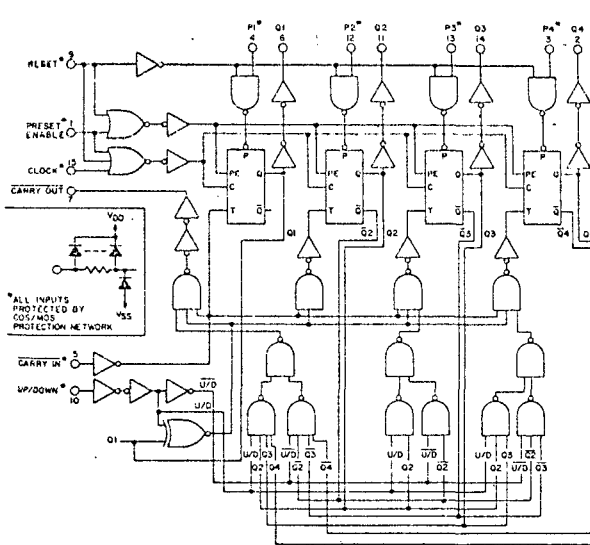


Fig. 10 - Logic Diagram for CD4516B.

CD4510B, CD4516B Types

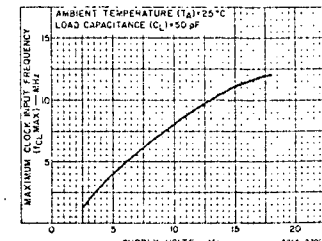


Fig. 8 - Typical maximum clock input frequency vs. supply voltage.

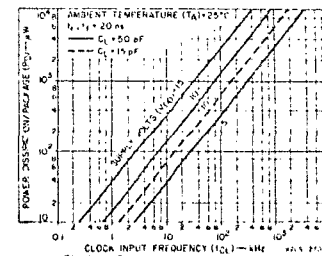


Fig. 9 - Typical dynamic power dissipation vs. frequency.

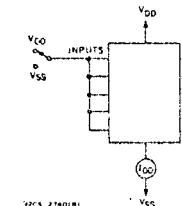


Fig. 11 - Quiescent-device-current test circuit.

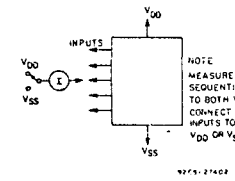


Fig. 12 - Input-current test circuit.

CD4510B, CD4516B Types

DYNAMIC ELECTRICAL CHARACTERISTICS at TA = 25°C, CL = 50 pF,  
Input tr, tf = 20 ns, RL = 200 kΩ

Characteristic	Conditions VDD (V)	Limits All Packages			Units
		Min.	Typ.	Max.	
Propagation Delay Time (tPHL, tPLH): Clock-to-Q Output (See Fig. 10)	5 10 15	— — —	200 100 75	400 200 150	ns
Preset or Reset-to-Q Output	5 10 15	— — —	210 105 80	420 210 160	ns
Clock-to-Carry Out	5 10 15	— — —	240 120 90	480 240 180	ns
Carry-In to-Carry Out	5 10 15	— — —	125 60 50	250 120 100	ns
Preset or Reset-to-Carry Out	5 10 15	— — —	320 160 125	640 320 250	ns
Transition Time (tTHL, tTLH) (See Fig. 9)	5 10 15	— — —	100 50 40	200 100 80	ns
Max. Clock Input Frequency (fCL)	5 10 15	2 4 5.5	4 8 11	—	MHz
Input Capacitance (CIN)	—	—	5	7.5	pF
Set-up Time, tS Preset Enable to JN	5 10 15	25 10 -10	12 6 5	—	ns
Hold times, tH Clock to Carry-In	5 10 15	60 30 30	30 4 1	—	
Clock to Up/Down	5 10 15	30 30 30	10 4 5	—	
Preset Enable to JN	5 10 15	70 40 40	35 20 20	—	

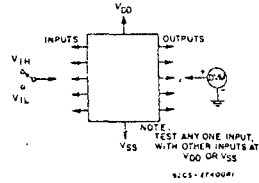


Fig. 13 - Input-voltage test circuit.

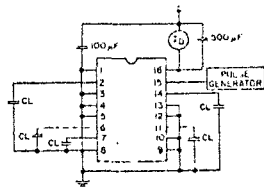


Fig. 14 - Power-dissipation test circuit and input waveform.

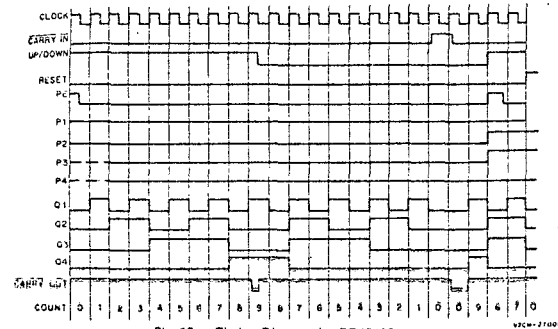


Fig. 15 - Timing Diagram for CD4510B.

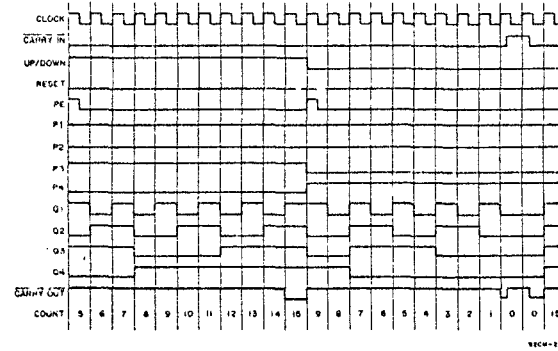


Fig. 16 - Timing diagram for CD4516B.

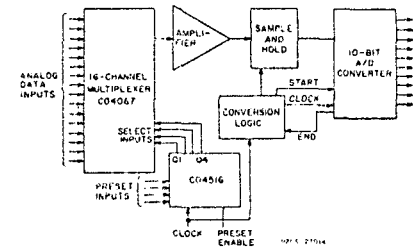
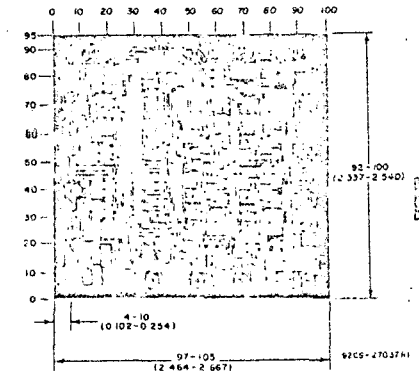


Fig. 17 - Typical 16-channel, 10-bit data acquisition system.

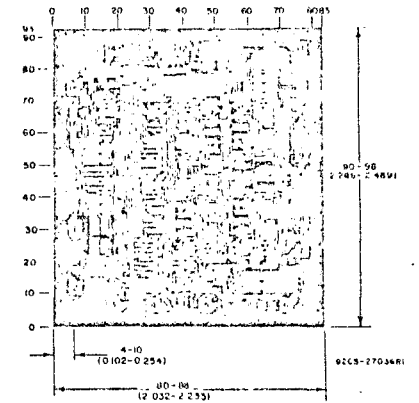
CD4510B, CD4516B Types

CL	GI	U/D	PE	R	ACTION
X	1	X	0	0	NO COUNT
1	0	1	0	0	COUNT UP
1	0	0	1	0	COUNT DOWN
X	X	X	1	0	PRESET
X	X	X	X	1	RESET

TRUTH TABLE



Dimensions and Pad Layout for CD4510BH.

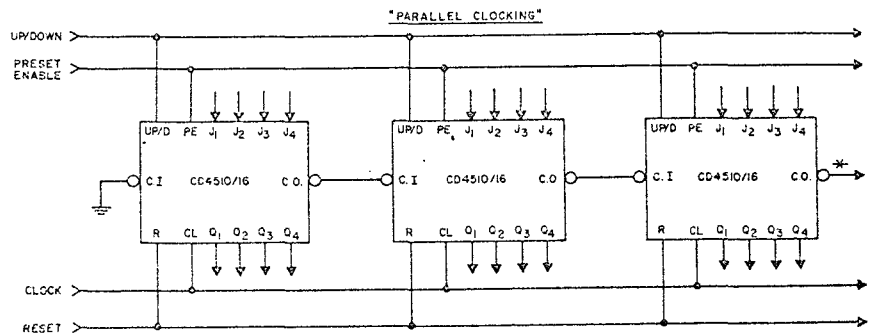


Dimensions and Pad Layout for CD4516BH.

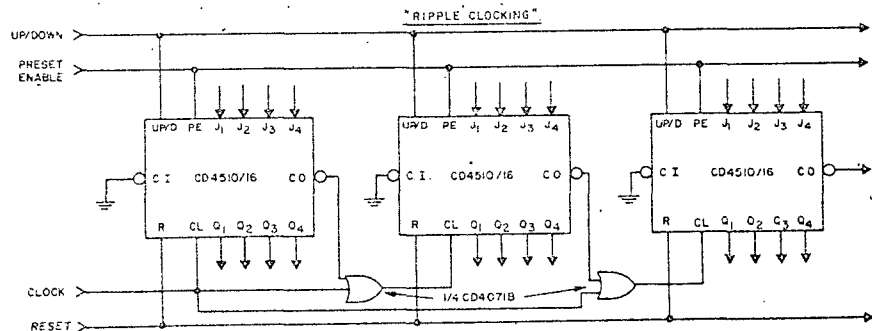
The photograph and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of  $\pm 3$  mils to  $\pm 16$  mils applicable to the nominal dimensions shown.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils ( $10^{-3}$  inch).

CD4510B, CD4516B Types



\* CARRY OUT lines at the 2nd, 3rd, etc., stages may have a negative-going glitch pulse resulting from differential delays of different CD4510/16 IC's. These negative-going glitches do not affect proper CD4510/16 operation. However, if the CARRY OUT signals are used to trigger other edge-sensitive logic devices, such as FF's or counters, the CARRY OUT signals should be gated with the clock signal using a 2-input OR gate such as CD4071B.



RIPPLE CLOCKING MODE - THE UP/DOWN CONTROL CAN BE CHANGED AT ANY COUNT. THE ONLY RESTRICTION ON CHANGING THE UP/DOWN CONTROL IS THAT THE CLOCK INPUT TO THE FIRST COUNTING STAGE MUST BE "HIGH".

For cascading counters operating in a fixed up-count or down-count mode, the OR gates are not required between stages, and C.O. is connected directly to the CL input of the next stage with C.I. grounded.

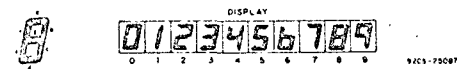
92CL-17194R3

Fig. 18 — Cascading counter packages.

CD4511B Types

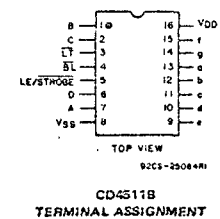
CMOS BCD-to-7-Segment Latch Decoder Drivers

High-Voltage Types (20-Volt Rating)



The CD4511B types are BCD-to-7-segment latch decoder drivers constructed with CMOS logic and n-p-n bipolar transistor output devices on a single monolithic structure. These devices combine the low quiescent power dissipation and high noise immunity features of RCA CMOS with n-p-n bipolar output transistors capable of sourcing up to 25 mA. This capability allows the CD4511B types to drive LED's and other displays directly.

Lamp Test (LT), Blanking (BL), and Latch Enable or Strobe inputs are provided to test the display, shut off or intensify-modulate it, and store or strobe a BCD code, respectively. Several different signals may be multiplexed and displayed when external multiplexing circuitry is used. The CD4511B is supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix). These devices are similar to the type MC14511.

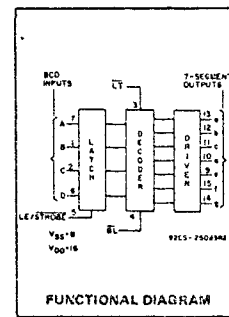


Features:

- High-output-sourcing capability . . . . . up to 25 mA
- Input latches for BCD Code storage
- Lamp Test and Blanking capability
- 7-segment outputs blanked for BCD input codes > 1001
- 100% tested for quiescent current at 20 V
- Max. input current of 1  $\mu$ A at 18 V, over full package-temperature range, 100 nA at 18 V and 25°C
- 5-V, 10-V, and 15-V parametric ratings

Applications:

- Driving common-cathode LED displays
- Multiplexing with common-cathode LED displays
- Driving incandescent displays
- Driving low-voltage fluorescent displays



MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V <sub>DD</sub> )	-0.5 to +20 V
(Voltages referenced to V <sub>SS</sub> Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to V <sub>DD</sub> +0.5 V
DC INPUT CURRENT, ANY ONE INPUT	±10 mA
POWER DISSIPATION PER PACKAGE (P <sub>DI</sub> ):	
For T <sub>A</sub> = -40 to +60°C (PACKAGE TYPE E)	500 mW
For T <sub>A</sub> = +60 to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 260 mW
For T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
For T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> ):	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPE E	-40 to +65°C
STORAGE TEMPERATURE RANGE (T <sub>stg</sub> )	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	+265°C

OPERATING CONDITIONS AT T<sub>A</sub> = 25°C Unless Otherwise Specified

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges

Characteristic	V <sub>DD</sub>	Min.	Max.	Units
Supply-Voltage Range (T <sub>A</sub> ): (Full Package-Temperature Range)	-	3	18	V
Set-Up Time (t <sub>S</sub> )	5	150	-	ns
	10	70	-	ns
	15	40	-	ns
Hold Time (t <sub>H</sub> )	5	0	-	ns
	10	0	-	ns
	15	0	-	ns
Strobe Pulse Width (t <sub>W</sub> )	5	400	-	ns
	10	160	-	ns
	15	100	-	ns

## STATIC ELECTRICAL CHARACTERISTICS

Characteristic	Conditions				Limits at Indicated Temperatures (°C)							Units
	$I_{OH}$ (mA)	$V_O$ (V)	$V_{IN}$ (V)	$V_{DD}$ (V)	Values at -55, +25, +125 for D, F, K, H, Packages Values at -40, +25, +85 for E Packages							
					-55	-40	+85	+125	+25			
									Min.	Typ.	Max.	
Quiescent Device Current: $I_{DD}$ Max.	—	—	—	5	5	5	150	150	—	0.04	5	$\mu A$
	—	—	10	10	10	10	300	300	—	0.04	10	
	—	—	15	20	20	20	600	600	—	0.04	20	
	—	—	20	100	100	100	3000	3000	—	0.08	100	
Output Voltage	—	—	0.5	5	0.05				—	0	0.05	V
Low-Level $V_{OL}$ Max.	—	—	0.10	10	0.05				—	0	0.05	
	—	—	0.15	15	0.05				—	0	0.05	
High Level $V_{OH}$ Min.	—	—	0.5	5	4	4	4	4	4	4.55	—	V
	—	—	0.10	10	9	9	9	9	9	9.55	—	
	—	—	0.15	15	14	14	14	14	14	14.55	—	
Input Low Voltage, $V_{IL}$ Max.	—	0.5, 3.8	—	5	1.5				—	—	1.5	V
	—	1.5, 13.8	—	10	3				—	—	3	
	—	1.5, 13.8	—	15	4				—	—	4	
Input High Voltage, $V_{IH}$ Min.	—	0.5, 3.8	—	5	3.5				3.5	—	—	V
	—	1.5, 13.8	—	10	7				7	—	—	
	—	1.5, 13.8	—	15	11				11	—	—	
Output Drive Voltage High Level $V_{OH}$ Min.	0	—	—	5	4.0	4.0	4.20	4.20	4.10	4.55	—	V
	5	—	—	5	—	—	—	—	—	4.25	—	
	10	—	—	5	3.80	3.80	3.90	3.90	3.90	4.10	—	
	15	—	—	5	—	—	3.50	3.50	—	3.95	—	
	20	—	—	5	3.55	3.55	3.30	—	3.40	3.75	—	
	25	—	—	5	3.40	3.40	—	—	3.10	3.55	—	
	0	—	—	10	9.0	9.0	9.20	9.20	9.10	9.55	—	V
	5	—	—	10	—	—	—	—	—	9.25	—	
	10	—	—	10	8.85	8.85	9.00	9.00	9.00	9.15	—	
	15	—	—	10	—	—	—	—	—	9.05	—	
	20	—	—	10	8.70	8.70	8.40	8.40	8.60	8.90	—	
	25	—	—	10	8.60	8.60	—	—	8.30	8.75	—	
	0	—	—	15	14.0	14.0	14.20	14.20	14.10	14.55	—	V
	5	—	—	15	—	—	—	—	—	14.30	—	
	10	—	—	15	13.90	13.90	14.0	14.0	14.0	14.20	—	
	15	—	—	15	—	—	—	—	—	14.10	—	
20	—	—	15	13.75	13.75	13.50	13.50	13.70	13.95	—		
25	—	—	15	13.65	13.65	—	—	13.50	13.80	—		
Output Low (Sink) Current, $I_{OL}$ Min.	—	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	—	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	—	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Input Current, $I_{IN}$ Max.	—	0.18	0.18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	$\mu A$

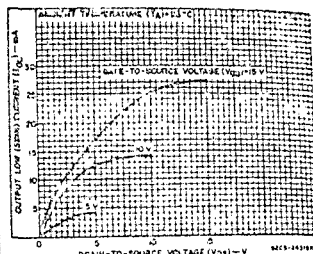


Fig. 1 - Typical output low (sink) current characteristics.

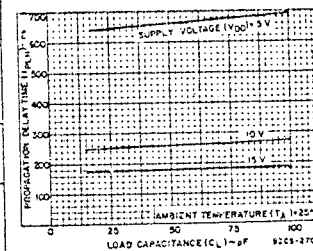


Fig. 2 - Typical data-to-output, low-to-high level propagation delay time as a function of load capacitance.

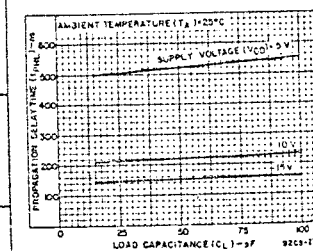


Fig. 3 - Typical data-to-output, high-to-low level propagation delay time as a function of load capacitance.

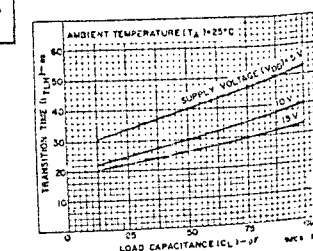


Fig. 4 - Typical low-to-high level transition time as a function of load capacitance.

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ C$ , Input  $t_r, t_f = 20$  ns,  
 $C_L = 50$  pF,  $R_L = 200$  k $\Omega$

CHARACTERISTIC	Test Conditions	LIMITS All Packages			UNITS
	$V_{DD}$ Volts	Min.	Typ.	Max.	
Propagation Delay Time: (Data)	5	—	520	1040	ns
High-to-Low Level, $t_{PHL}$	10	—	210	420	
	15	—	150	300	
Low-to-High Level, $t_{PLH}$	5	—	660	1320	ns
	10	—	260	520	
	15	—	180	360	
Propagation Delay Time: (BL)	5	—	350	700	ns
High-to-Low Level, $t_{PHL}$	10	—	175	350	
	15	—	125	250	
Low-to-High Level, $t_{PLH}$	5	—	400	800	ns
	10	—	175	350	
	15	—	150	300	
Propagation Delay Time: (LT)	5	—	250	500	ns
High-to-Low Level, $t_{PHL}$	10	—	125	250	
	15	—	85	170	
Low-to-High Level, $t_{PLH}$	5	—	150	300	ns
	10	—	75	150	
	15	—	50	100	
Transition Time:	5	—	40	80	ns
Low-to-High Level, $t_{TLH}$	10	—	30	60	
	15	—	25	50	
High-to-Low Level, $t_{THL}$	5	—	125	310	ns
	10	—	75	185	
	15	—	65	160	
Minimum Set-Up Time, $t_S$	5	150	75	—	ns
	10	70	35	—	
	15	40	20	—	
Minimum Hold Time, $t_H$	5	0	-75	—	ns
	10	0	-35	—	
	15	0	-20	—	
Strobe Pulse Width, $t_W$	5	400	200	—	ns
	10	160	80	—	
	15	100	50	—	
Input Capacitance, $C_{IN}$	—	—	5	7.5	pF

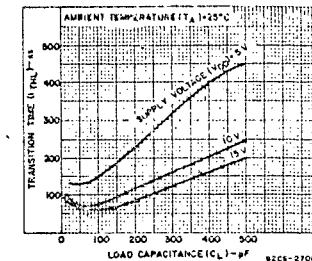


Fig. 5 - Typical high-to-low transition time as a function of load capacitance.

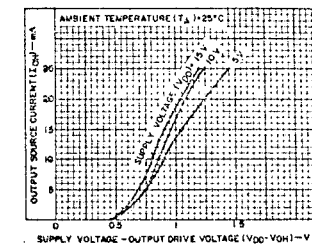
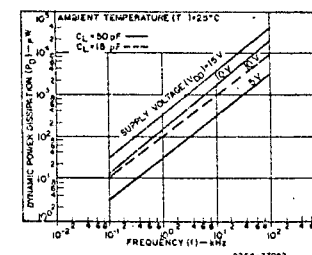
Fig. 6 - Typical voltage drop ( $V_{DD}$  to output) vs. output source current as a function of supply.

Fig. 7 - Typical dynamic power dissipation characteristics.



## CD4511B Types

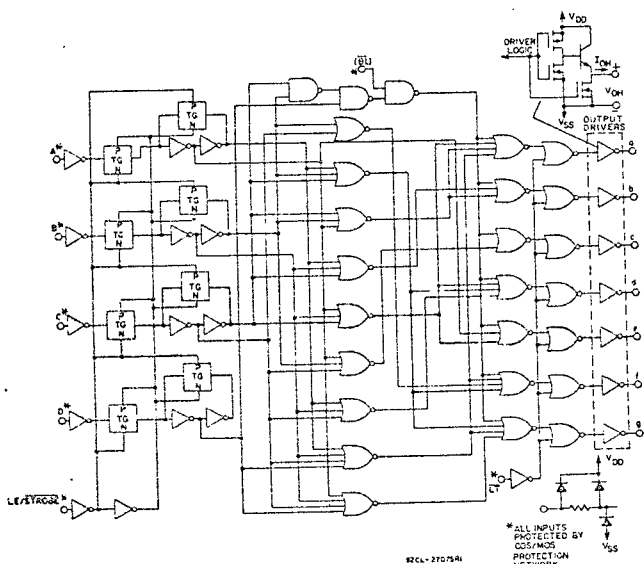


Fig. 8 - Logic diagram.

TRUTH TABLE												
LE	BI	LT	D	C	B	A	a	b	c	d	e	f
X	X	0	X	X	X	X	1	1	1	1	1	1
X	0	1	X	X	X	X	0	0	0	0	0	0
0	1	1	0	0	0	0	1	1	1	1	1	0
0	1	1	0	0	0	1	0	1	1	0	0	0
0	1	1	0	0	1	0	1	1	0	1	0	1
0	1	1	0	0	1	1	1	1	1	0	0	1
0	1	1	0	1	0	0	0	1	1	0	0	1
0	1	1	0	1	0	1	0	1	1	1	0	1
0	1	1	0	1	1	0	0	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0
0	1	1	1	0	1	0	0	0	0	0	0	0
0	1	1	1	0	1	1	0	0	0	0	0	0
0	1	1	1	1	0	0	0	0	0	0	0	0
0	1	1	1	1	0	1	0	0	0	0	0	0
0	1	1	1	1	1	0	0	0	0	0	0	0
0	1	1	1	1	1	1	0	0	0	0	0	0
1	1	1	X	X	X	X	0	0	0	0	0	0

X = Don't Care  
 \* Depends on BCD code previously applied when LE = 0  
 Note: Display is blank for all illegal input codes (BCD > 1001).

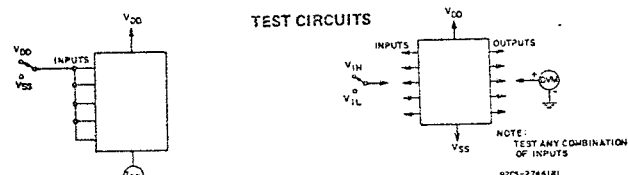


Fig. 10 - Input voltage.

Fig. 9 - Quiescent device current.

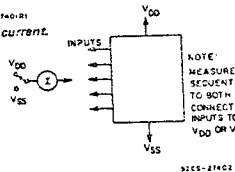


Fig. 11 - Input current.

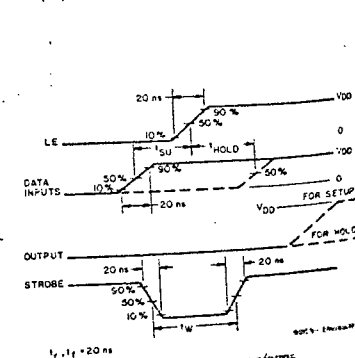
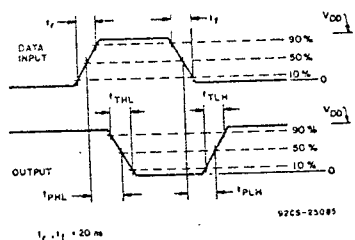


Fig. 14 - Dynamic waveforms

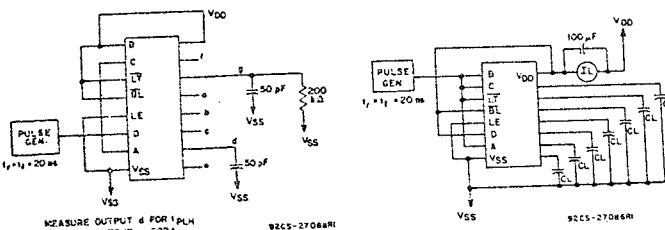
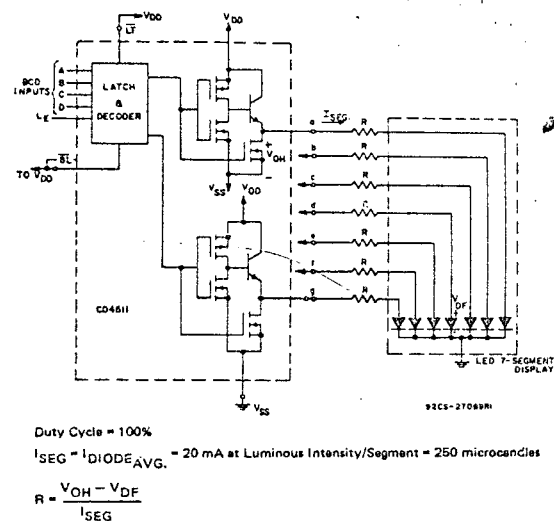


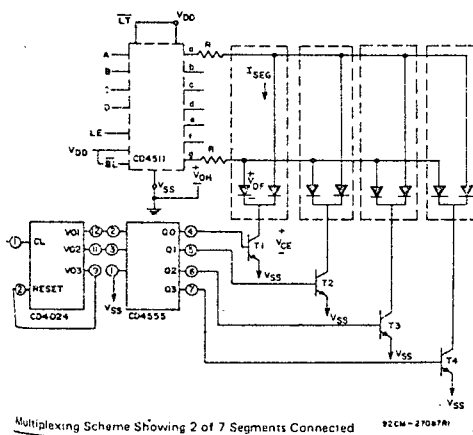
Fig. 12 - Data propagation delay.

Fig. 13 - Dynamic power dissipation.

APPLICATIONS  
Interfacing with Various Displays

Duty Cycle = 100%  
 $I_{SEG} = I_{DIODE AVG} = 20 \text{ mA at Luminous Intensity/Segment} = 250 \text{ microcandies}$   
 $R = \frac{V_{OH} - V_{DF}}{I_{SEG}}$

Fig. 15 - Driving common-cathode 7-segment LED displays (example Hewlett-Packard 5082-7740).



Multiplexing Scheme Showing 2 of 7 Segments Connected  
 Transistors T<sub>1</sub>-T<sub>4</sub> (RCA-2N3053 or 2N2102) have I<sub>C</sub> Max. rating > 7x I<sub>SEG</sub>

Duty Cycle = 25%  
 $I_{SEG} = I_{DIODE AVG} \times 4$   
 $R = \frac{V_{OH} - V_{DF} - V_{CE}}{I_{SEG}}$   
 All unused inputs on CD4555 connected to V<sub>DD</sub> or V<sub>SS</sub>.

Fig. 16 - Multiplexing with common-cathode 7-segment LED displays (example Hewlett-Packard 4 character display or 4 discrete Monsanto Man 3 displays).

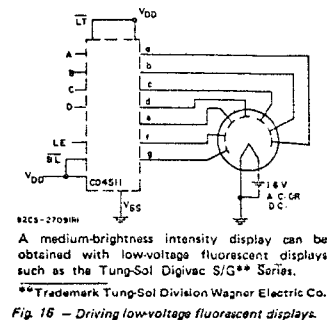
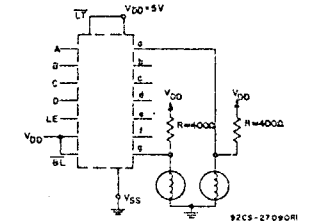
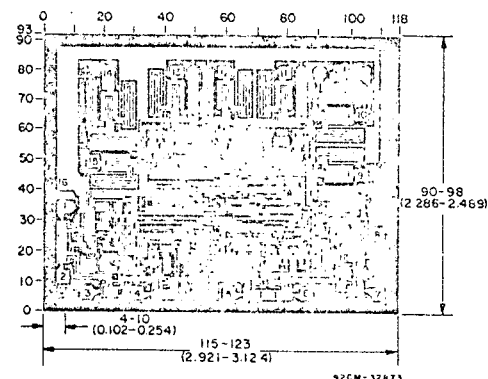


Fig. 16 - Driving low-voltage fluorescent displays.



2 of 7 Segments Shown Connected  
 Resistors R from V<sub>DD</sub> to each 7-segment driver output are chosen to keep all Numitron segments slightly on and warm.  
 Fig. 17 - Driving incandescent displays (RCA Numitron DR2000 series displays).



Dimensions and pad layout for CD4511B chip.

The photographs and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of ±3 mils to ±16 mils applicable to the nominal dimensions shown.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10<sup>-3</sup> inch).

## CMOS Dual Up-Counters

High-Voltage Types (20-Volt Rating)

CD4518B Dual BCD Up-Counter  
CD4520B Dual Binary Up-Counter

The RCA-CD4518B Dual BCD Up-Counter and CD4520B Dual Binary Up-Counter each consist of two identical, internally synchronous 4-stage counters. The counter stages are B-type flip-flops having interchangeable CLOCK and ENABLE lines for incrementing in either the positive-going or negative-going transition. For single-unit operation the ENABLE input is maintained high and the counter advances on each positive-going transition of the CLOCK. The counters are cleared by high levels on their RESET lines.

The counter can be cascaded in the ripple mode by connecting Q4 to the enable input of the subsequent counter while the CLOCK input of the latter is held low.

The CD4518B and CD4520B types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

## MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ )	-0.5 to +20 V
(Voltages referenced to $V_{SS}$ Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT, ANY ONE INPUT	±10 mA
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A = -40$ to $+65^\circ\text{C}$ (PACKAGE TYPE E)	500 mW
For $T_A = +60$ to $+85^\circ\text{C}$ (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
For $T_A = -55$ to $+10^\circ\text{C}$ (PACKAGE TYPES D, F, K)	500 mW
For $T_A = +100$ to $+125^\circ\text{C}$ (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$	100 mW
OPERATING-TEMPERATURE RANGE ( $T_A$ ):	
PACKAGE TYPES D, F, K, H	-55 to $+125^\circ\text{C}$
PACKAGE TYPE E	-40 to $+85^\circ\text{C}$
STORAGE TEMPERATURE RANGE ( $T_{STG}$ )	-65 to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	+265 $^\circ\text{C}$

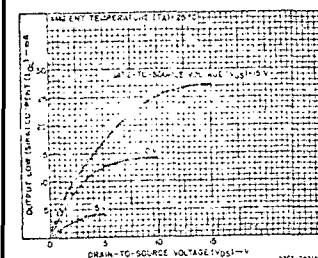


Fig. 1 - Typical output low (sink) current characteristics.

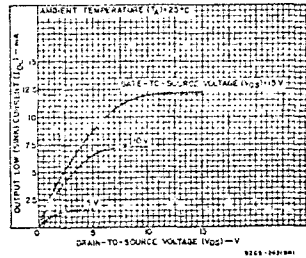


Fig. 2 - Minimum output low (sink) current characteristics.

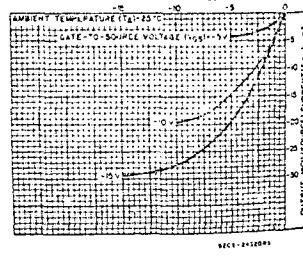
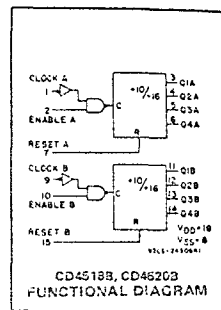


Fig. 3 - Typical output high (source) current characteristics.



## Applications:

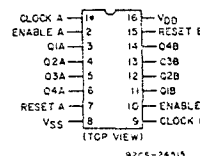
- Medium-speed operation — 6-MHz typical clock frequency at 10 V
- Positive- or negative-edge triggering
- Synchronous internal carry propagation
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu\text{A}$  at 18 V over full package-temperature range; 100 nA at 18 V and  $25^\circ\text{C}$
- Noise margin (over full package-temperature range): 1 V at  $V_{DD} = 5$  V, 2 V at  $V_{DD} = 10$  V, 2.5 V at  $V_{DD} = 15$  V
- 5-V, 10-V, and 15-V parametric ratings
- Standardized, symmetrical output characteristics
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

- Multistage synchronous counting
- Multistage ripple counting
- Frequency dividers

## TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
↑	1	0	Increment Counter
0	↑	0	Increment Counter
↑	X	0	No Change
X	↑	0	No Change
↑	0	0	No Change
X	0	0	No Change
↑	↑	0	No Change
X	X	1	Q1 thru Q4 = 0

X = Don't Care 1 = High State 0 = Low State

CD4518B, CD4520B  
TERMINAL ASSIGNMENT

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)								UNIT
				Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +95 Apply to E Package								
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	-55	-40	+85	+125	+25		Typ.	Max.	
Quiescent Device Current, I <sub>DD</sub> Max.	—	0.5	5	5	5	150	150	—	0.04	5	μA	
	—	0.10	10	10	10	300	300	—	0.04	10		
	—	0.15	15	20	20	600	600	—	0.04	20		
	—	0.20	20	100	100	3000	3000	—	0.08	100		
Output Low (Sink) Current I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA	
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—		
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—		
Output High (Source) Current, I <sub>OH</sub> Min.	4.8	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA	
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—		
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—		
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—		
Output Voltage: Low-Level, V <sub>OL</sub> Max.	—	0.5	5	0.05				—	0	0.05	V	
	—	0.10	10	0.05				—	0	0.05		
	—	0.15	15	0.05				—	0	0.05		
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0.5	5	4.95				4.95	5	—	V	
	—	0.10	10	9.95				9.95	10	—		
	—	0.15	15	14.95				14.95	15	—		
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	—	5	1.5				—	—	1.5	V	
	1.9	—	10	3				—	—	3		
	1.5, 13.5	—	15	4				—	—	4		
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	—	5	3.5				3.5	—	—	V	
	1.9	—	10	7				7	—	—		
	1.5, 13.5	—	15	11				11	—	—		
Input Current I <sub>IN</sub> Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA	

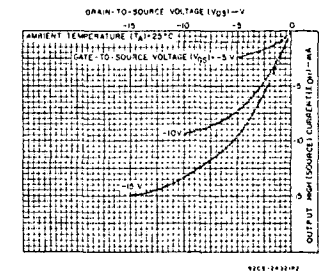


Fig. 4 - Minimum output high (source) current characteristics.

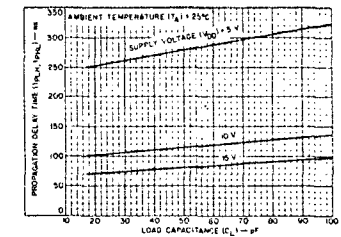


Fig. 5 - Typical propagation delay vs. load capacitance, clock or enable to output.

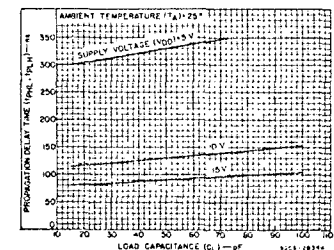


Fig. 6 - Typical propagation delay time vs. load capacitance, reset to output.

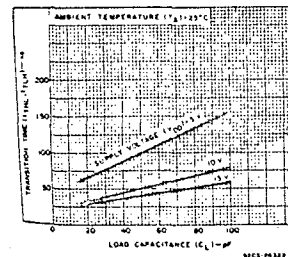


Fig. 7 - Typical transition time vs. load capacitance.

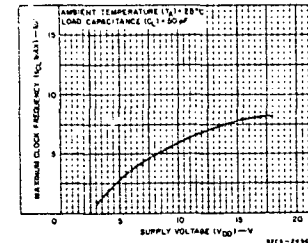


Fig. 8 - Typical maximum-clock-frequency vs. supply voltage.

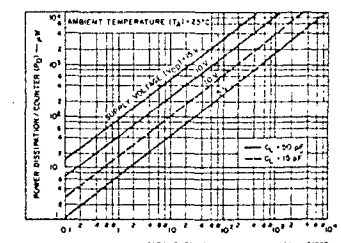


Fig. 9 - Typical power dissipation characteristics.

## CD4512B, CD4520B Types

RECOMMENDED OPERATING CONDITIONS at  $T_A = 25^\circ\text{C}$ , Except as Noted.  
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	$V_{DD}$ (V)	LIMITS		UNITS
		Min.	Max.	
Supply-Voltage Range (For $T_A$ =Full Package Temperature Range)		3	18	V
Enable Pulse Width, $t_{WY}$	5 10 15	400 200 140	—	ns
Clock Pulse Width, $t_{WY}$	5 10 15	200 100 70	—	ns
Clock Input Frequency, $f_{CL}$	5 10 15	— dc —	1.5 3 4	MHz
Clock Rise or Fall Time, $t_{rCL}$ or $t_{fCL}$	5 10 15	— — —	15 5 5	$\mu\text{s}$
Reset Pulse Width, $t_{WY}$	5 10 15	250 110 80	—	ns

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ\text{C}$ :  
Input  $t_r, t_f = 20\text{ ns}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ K}\Omega$

CHARACTERISTIC	TEST CONDITIONS	LIMITS			UNITS
		V <sub>DD</sub> V	Min.	Typ.	
Propagation Delay Time, t <sub>PHL</sub> , t <sub>PLH</sub> : Clock or Enable to Output	5	—	280	560	ns
	10	—	115	230	
	15	—	80	160	
Reset to Output	5	—	330	650	ns
	10	—	130	225	
	15	—	90	170	
Transition Time, t <sub>THL</sub> , t <sub>TLH</sub>	5	—	100	200	ns
	10	—	50	100	
	15	—	40	80	
Maximum Clock Input Frequency, f <sub>CL</sub>	5	1.5	3	—	MHz
	10	3	6	—	
	15	4	8	—	
Minimum Clock Pulse Width, t <sub>W</sub>	5	—	100	200	ns
	10	—	50	100	
	15	—	35	70	
Clock Rise or Fall Time, t <sub>r</sub> or t <sub>f</sub>	5	—	—	15	μs
	10, 15	—	—	5	
Minimum Reset Pulse Width, t <sub>W</sub>	5	—	125	250	ns
	10	—	55	110	
	15	—	40	80	
Minimum Enable Pulse Width, t <sub>W</sub>	5	—	200	400	ns
	10	—	100	200	
	15	—	70	140	
Input Capacitance, C <sub>IN</sub>	Any Input	—	5	7.5	pF

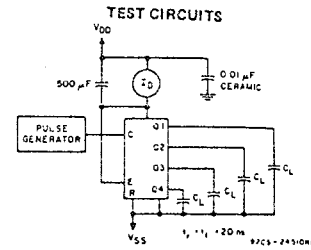


Fig. 10 - Dynamic power dissipation.

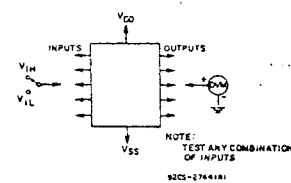


Fig. 11 - Input voltage.

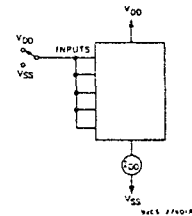


Fig. 12 - Quiescent device current test circuit.

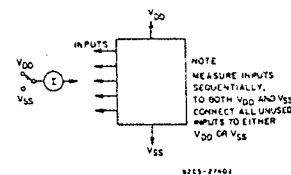


Fig. 13 - Input leakage-current test circuit.

## CD4518B, CD4520D Types

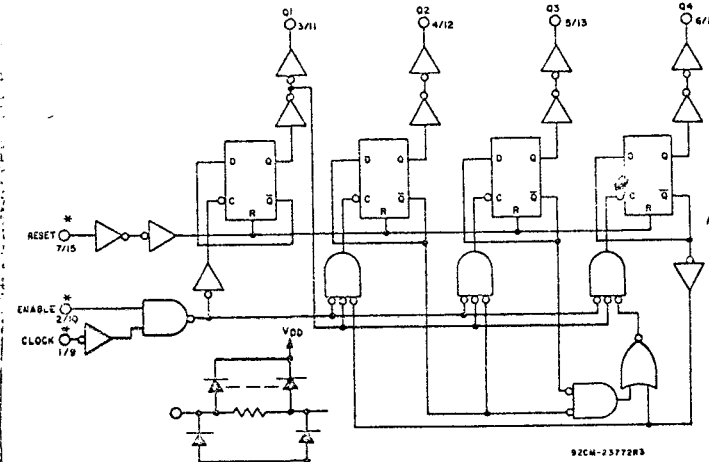


Fig. 14 - Decade counter (CD4518B) logic diagram for one of two identical counters.

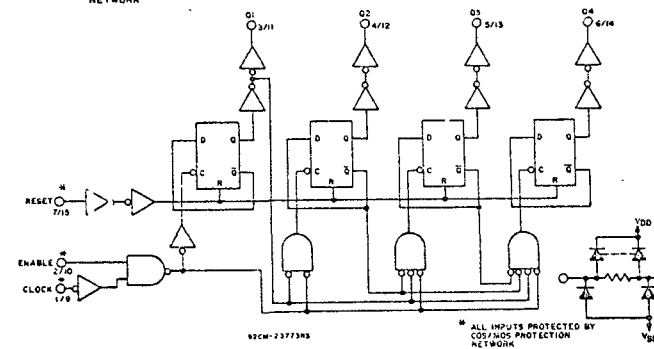


Fig. 15 - Binary counter (CD4520B) logic diagram for one of two identical counters.

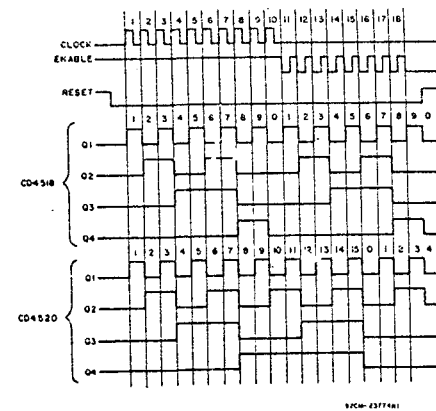


Fig. 16 - Timing diagrams for CD4518B and CD4520B.

## CMOS 8-Bit Priority Encoder

## High-Voltage Types (20-Volt Rating)

The RCA-CD4532B consists of combination logic that encodes the highest priority input (D7-D0) to a 3-bit binary code. The eight inputs, D7 through D0, each have an assigned priority; D7 is the highest priority and D0 is the lowest. The priority encoder is inhibited when the chip enable input  $E_I$  is low. When  $E_I$  is high, the binary representation of the highest-priority input appears on output lines Q2-Q0, and the group select line GS is high to indicate that priority inputs are present. The enable-out ( $E_O$ ) is high when no priority inputs are present. If any one input is high,  $E_O$  is low and all cascaded lower-order stages are disabled.

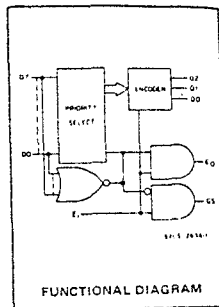
The CD4532B types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

## Features:

- Converts from 1 or 8 to binary
- Provides cascading feature to handle any number of inputs
- Group select indicates one or more priority inputs
- Standardized, symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu$ A at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range):
  - 1 V at  $V_{DD} = 5$  V
  - 2 V at  $V_{DD} = 10$  V
  - 2.5 V at  $V_{DD} = 15$  V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

## Applications:

- Priority encoder
- Binary or BCD encoder (keyboard encoding)
- Floating point arithmetic



## RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

Characteristic	Min.	Max.	Units
Supply Voltage Range (for $T_A^*$ )	3	18	V
Full Package Temp. Range			



(TOP VIEW)

D2C5-242564H

## TERMINAL ASSIGNMENT

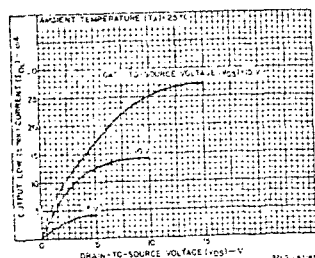


Fig. 1 - Typical output low (sink) current characteristics.

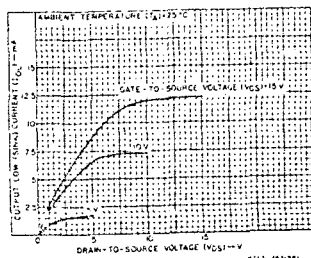


Fig. 2 - Minimum output low (sink) current characteristics.

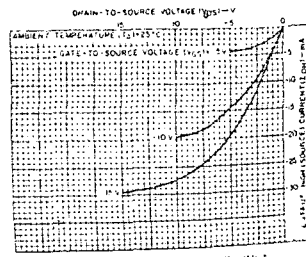


Fig. 3 - Typical output high (source) current characteristics.

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNIT	
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package				+25				
				-55	-40	+85	+125	Min.	Typ.	Max.		
Quiescent Device Current, I <sub>DD</sub> Max.	-	0.5	5	5	5	150	150	-	0.04	5	μA	
	-	0.10	10	10	10	300	300	-	0.04	10		
	-	0.15	15	20	20	600	600	-	0.04	20		
	-	0.20	20	100	100	3000	3000	-	0.08	100		
Output Low (Sink) Current I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	-	mA	
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-		
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	-		
Output High (Source) Current, I <sub>OH</sub> Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	0.51	1	-	mA	
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-		
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-		
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-		
Output Voltage: Low-Level, V <sub>OL</sub> Max.	-	0.5	5	0.05			0			0.05	V	
	-	0.10	10	0.05			0			0.05		
	-	0.15	15	0.05			0			0.05		
Output Voltage: High-Level, V <sub>OH</sub> Min.	-	0.5	5	4.95			4.95			5	V	
	-	0.10	10	9.95			9.95			10		
	-	0.15	15	14.95			14.95			15		
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	-	5	1.5			-			-	1.5	V
	1, 9	-	10	3			-			-	3	
	1.5, 13.5	-	15	4			-			-	4	
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	-	5	3.5			3.5			-	-	V
	1, 9	-	10	7			7			-	-	
	1.5, 13.5	-	15	11			11			-	-	
Input Current I <sub>IN</sub> Max.	-	0.18	18	±0.1	±0.1	±1	±1	-	±10 <sup>-5</sup>	±0.1	μA	

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ\text{C}$ ,  $C_L = 50$  pF, Input  $t_r, t_f = 20$  ns,  $R_L = 200$  K $\Omega$ 

CHARACTERISTIC	TEST CONDITIONS $V_{DD}$ VOLTS	LIMITS ALL TYPES		UNITS
		TYP.	MAX.	
Propagation Delay Time $t_{PHL}, t_{PLH}$ $E_I$ to $E_O, E_I$ to GS	5	110	220	ns
	10	55	110	
	15	45	85	
$E_I$ to $Q_m, D_n$ to GS	5	170	340	ns
	10	85	170	
	15	65	125	
$D_n$ to $Q_n$	5	220	440	ns
	10	110	220	
	15	85	160	
Transition Time $T_r, T_f, T_{LH}$	5	100	200	ns
	10	50	100	
	15	40	80	
Input Capacitance $C_{IN}$	Any Input	5	7.5	pF

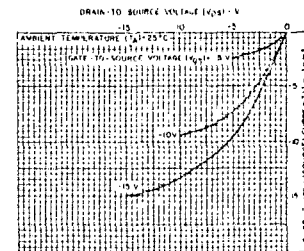
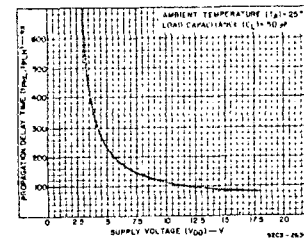
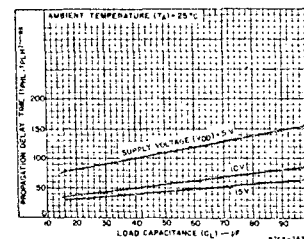
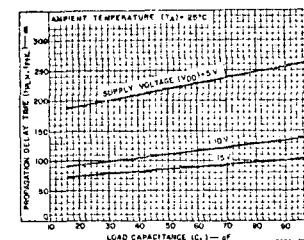


Fig. 4 - Minimum output high (source) current characteristics.

Fig. 5 - Typical propagation delay ( $D_n$  to  $Q_m$ ) vs. supply voltage.Fig. 6 - Typical propagation delay ( $E_I$  to GS,  $E_I$  to  $E_O$ ) vs. load capacitance.Fig. 7 - Typical propagation delay ( $D_n$  to  $Q_m$ ) vs. load capacitance.

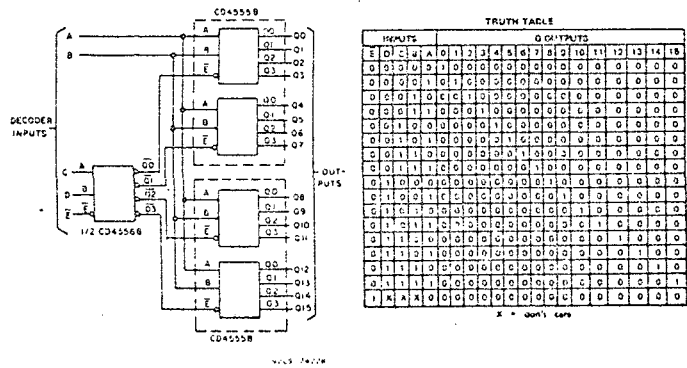
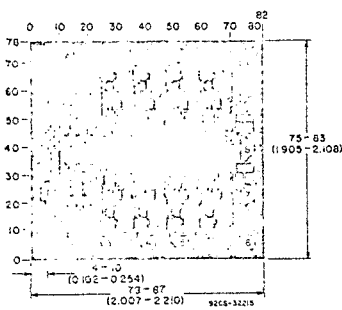


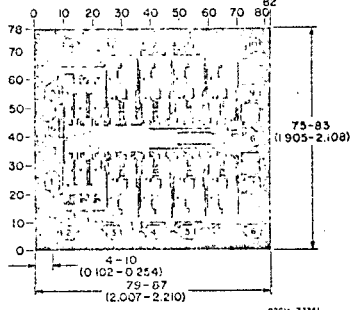
Fig. 21 - 1 of 16 decoder using CD4555B and CD4556B.



DIMENSIONS AND PAD LAYOUT FOR CD4555BH.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10<sup>-3</sup> inch).

The photographs and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is separated into individual chips, the angle of cleavage may vary with respect to the chip face for different chips. The actual dimensions of the isolated chip, therefore, may differ slightly from the nominal dimensions shown. The user should consider a tolerance of  $\pm 3$  mils to  $\pm 16$  mils applicable to the nominal dimensions shown.



DIMENSIONS AND PAD LAYOUT FOR CD4556BH.

### CMOS 4-Bit Magnitude Comparator

High Voltage Types (20-Volt Rating)

The RCA-CD4558B is a 4-bit magnitude comparator designed for use in computer and logic applications that require the comparison of two 4-bit words. This logic circuit determines whether one 4-bit word (Binary or BCD) is "less than", "equal to", or "greater than" a second 4-bit word.

The CD4558B has eight comparing inputs (A3, B3, through A0, B0), three outputs (A < B, A = B, A > B) and three cascading inputs (A < B, A = B, A > B) that permit systems designers to expand the comparator function to 8, 12, 16, ..., 4N bits. When a single CD4558B is used, the cascading inputs are connected as follows: (A < B) = low, (A = B) = high, (A > B) = high.

Cascading these units for comparison of more than 4 bits is accomplished as shown in Fig. 13.

The CD4558B types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix). This device is pin-compatible with low-power TTL type 7485 and the CMOS types MC14585 and 40085.

#### Features:

- Expansion to 8, 12, 16, ..., 4N bits by cascading units
- Medium-speed operation: compares two 4-bit words in 180 ns (typ.) at 10 V
- 100% tested for quiescent current at 20 V
- Standardized symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Maximum input current of 1  $\mu$ A at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package temperature range) = 1 V at  $V_{DD} = 5$  V, 2 V at  $V_{DD} = 10$  V, 2.5 V at  $V_{DD} = 15$  V
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

#### Applications:

- Servo motor controls
- Process controllers

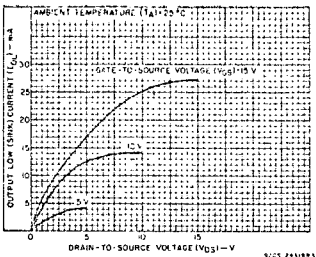
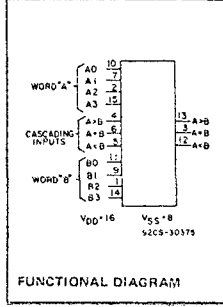


Fig. 1 - Typical output low (sink) current characteristics.

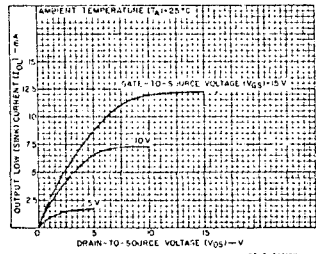


Fig. 2 - Minimum output low (sink) current characteristics.

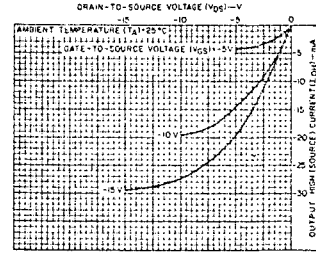


Fig. 3 - Typical output high (source) current characteristics.

#### MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ ) (Voltages referenced to $V_{SS}$ Terminal)	-0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT, ANY ONE INPUT	$\pm 10$ $\mu$ A
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A = -40$ to $+60^\circ$ C (PACKAGE TYPE E)	500 mW
For $T_A = +60$ to $+85^\circ$ C (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ$ C to 200 mW
For $T_A = -55$ to $+100^\circ$ C (PACKAGE TYPES D, F, K)	500 mW
For $T_A = +100$ to $+125^\circ$ C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/ $^\circ$ C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE ( $T_A$ ):	
PACKAGE TYPES D, F, K, H	-55 to $+125^\circ$ C
PACKAGE TYPE E	-40 to $+85^\circ$ C
STORAGE TEMPERATURE RANGE ( $T_{stg}$ )	-65 to $+150^\circ$ C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79 mm) from case for 10 s max.	$+265^\circ$ C

#### RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply-Voltage Range (For $T_A =$ Full Package-Temperature Range)	3	18	V

TRUTH TABLE

INPUTS				CASCADING			OUTPUTS		
COMPARING									
A3, B3	A2, B2	A1, B1	A0, B0	A < B	A = B	A > B	A < B	A = B	A > B
A3 > B3	X	X	X	X	X	1	0	0	1
A3 = B3	A2 > B2	X	X	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 > B1	X	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	A0 < B0	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	1	0	0
A3 = B3	A2 < B2	X	X	X	X	X	1	0	0
A3 < B3	X	X	X	X	X	X	1	0	0

X = Don't Care

Logic 1 = High Level

Logic 0 = Low Level

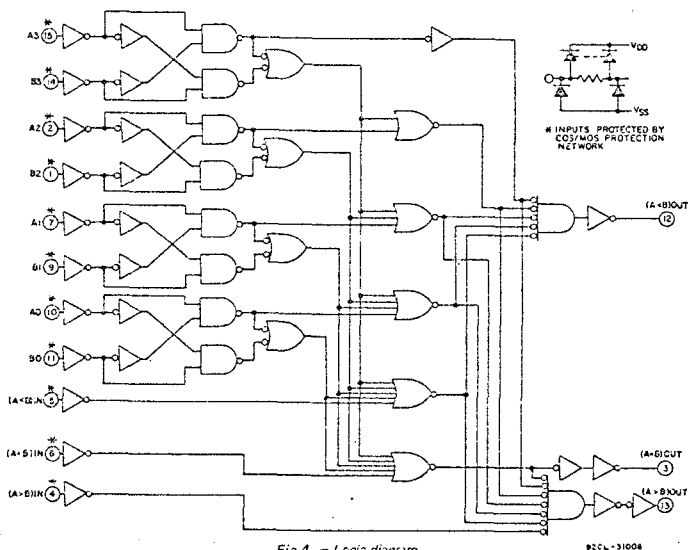


Fig. 4 - Logic diagram.

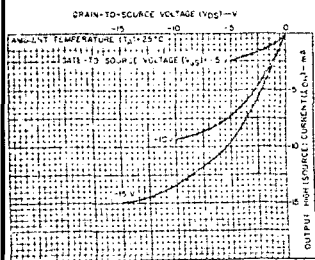


Fig. 5 - Minimum output high (source) current characteristics.

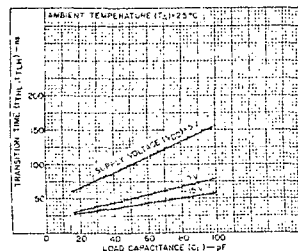


Fig. 6 - Typical transition time as a function of load capacitance.

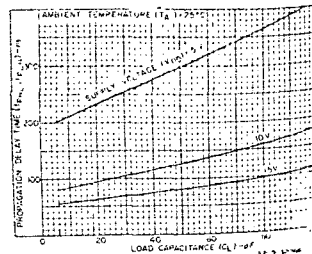


Fig. 7 - Typical propagation delay time (comparing inputs) to outputs as a function of load capacitance.

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS	
				Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package								
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)					+25				
				-55	-40	+85	+125	Min.	Typ.	Max.		
Quiescent Device Current, I <sub>DD</sub> Max.	—	0.5	5	5	5	150	150	—	0.04	5	mA	
	—	0.10	10	10	10	300	300	—	0.04	10	μA	
	—	0.15	15	20	20	600	600	—	0.04	20	μA	
	—	0.20	20	100	100	3000	3000	—	0.08	100	μA	
Output Low (Sink) Current, I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA	
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	mA	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	mA	
Output High (Source) Current, I <sub>OH</sub> Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA	
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	mA	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	mA	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	mA	
Output Voltage: Low-Level, V <sub>OL</sub> Max.	—	0.5	5	0.05				—		0	0.05	V
	—	0.10	10	0.05				—		0	0.05	V
	—	0.15	15	0.05				—		0	0.05	V
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0.5	5	4.95				4.95		5	—	V
	—	0.10	10	9.95				9.95		10	—	V
	—	0.15	15	14.95				14.95		15	—	V
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	—	5	1.5				—		—	1.5	V
	1.9	—	10	3				—		—	3	V
	1.5, 11.5	—	15	4				—		—	4	V
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	—	5	3.5				3.5		—	—	V
	1.9	—	10	7				7		—	—	V
	1.5, 13.5	—	15	11				11		—	—	V
Input Current I <sub>IN</sub> Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA	

## DYNAMIC ELECTRICAL CHARACTERISTICS

At T\_A = 25°C; Input t\_r, t\_f = 20 ns, C\_L = 50 pF, R\_L = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS	V_DD Volts	LIMITS		UNITS
			Typ.	Max.	
Propagation Delay Time: Comparing Inputs to Outputs, t_PHL, t_PLH		5	300	600	ns
		10	125	250	
		15	80	160	
Cascading Inputs to Outputs, t_PHL, t_PLH		5	200	400	ns
		10	80	160	
		15	60	120	
Transition Time, t_THL, t_TLH		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C_IN	Any Input		5	7.5	pF

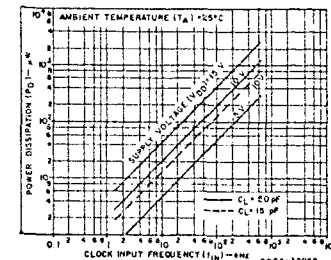


Fig. 8 - Typical dynamic power dissipation as a function of clock input frequency (see Fig. 9 - dynamic power dissipation test circuit).

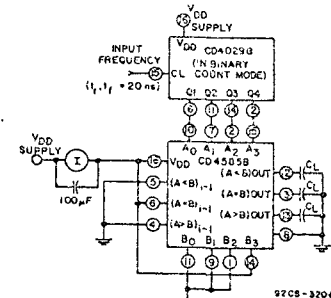


Fig. 9 - Dynamic power dissipation test circuit.

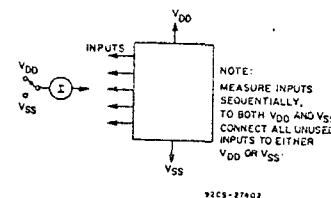


Fig. 10 - Input current test circuit.

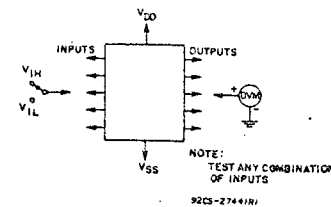


Fig. 11 - Input voltage test circuit.

CD401063 Types

CMOS Hex Schmitt Triggers

High-Voltage Types (20-Volt Rating)

The RCA-CD40106B consists of six Schmitt-trigger circuits. Each circuit functions as an inverter with Schmitt-trigger action on the input. The trigger switches at different points for positive- and negative-going signals. The difference between the positive-going voltage (V<sub>P</sub>) and the negative-going voltage (V<sub>N</sub>) is defined as hysteresis voltage (V<sub>H</sub>) (see Fig.6). The CD40106B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic package (E suffix), 14-lead ceramic flat package: (K suffix), and in chip form (H suffix).

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V <sub>DD</sub> )	-0.5 to +20 V
(Voltages referenced to V <sub>SS</sub> Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to V <sub>DD</sub> +0.5 V
DC INPUT CURRENT, ANY ONE INPUT	±10 mA
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> ):	
For T <sub>A</sub> = -40 to +50°C (PACKAGE TYPE E)	500 mW
For T <sub>A</sub> = +80 to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
For T <sub>A</sub> = -55 to +100°C (PACKAGE TYPES D, F, K)	500 mW
For T <sub>A</sub> = +100 to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR:	
For T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> ):	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
STORAGE TEMPERATURE RANGE (T <sub>STG</sub> ):	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	+265°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T <sub>A</sub> Full Package Temperature Range)	3	18	V

DYNAMIC ELECTRICAL CHARACTERISTICS

At T<sub>A</sub> = 25°C, Input t<sub>r</sub>, t<sub>f</sub> = 20 ns, C<sub>L</sub> = 50 pF, R<sub>L</sub> = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		V <sub>DD</sub> (V)	TYP.		MAX.
Propagation Delay Time: t <sub>PHL</sub> , t <sub>PLH</sub>		5	140	280	ns
		10	70	140	
		15	60	120	
Transition Time: t <sub>THL</sub> , t <sub>TLH</sub>		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C <sub>IN</sub>	Any Input		5	7.5	pF

Features:

- Schmitt-trigger action with no external components
- Hysteresis voltage (typ.) 0.9 V at V<sub>DD</sub> = 5 V, 2.3 V at V<sub>DD</sub> = 10 V, and 3.5 V at V<sub>DD</sub> = 15 V
- Noise immunity greater than 50%
- No limit on input rise and fall times
- Standardized, symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- Maximum input current of 1 μA at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Low V<sub>DD</sub> to V<sub>SS</sub> current during slow input ramp
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No.13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications:

- Wave and pulse shapers
- High-noise-environment systems
- Monostable multivibrators
- Astable multivibrators

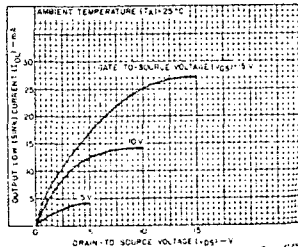
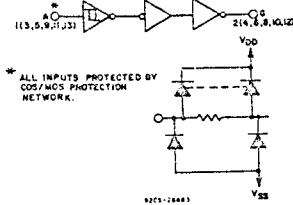
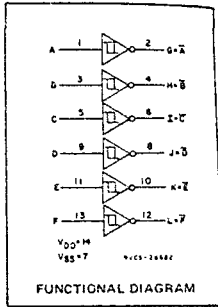


Fig. 2 - Typical output low (sink) current characteristics.

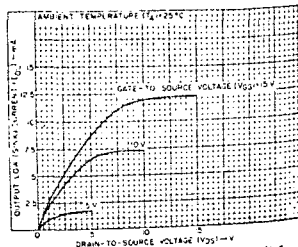


Fig. 3 - Minimum output low (sink) current characteristics.

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNIT
				Values at -55, +25, +125 Apply to D, F, K, H Packages							
	Values at -40, +25, +85 Apply to E Packages										
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)	-55	-40	+85	+125	+25			
Min.	Typ.	Max.									
Quiescent Device Current, I <sub>DD</sub> Max.	-	0.5	5	1	1	30	30	-	0.02	1	μA
	-	0.10	10	2	2	60	60	-	0.02	2	
	-	0.15	15	4	4	120	120	-	0.02	4	
	-	0.20	20	20	20	600	600	-	0.04	20	
Positive Trigger Threshold Voltage V <sub>P</sub> Min.	-	-	5	2.2	2.2	2.2	2.2	2.2	2.9	-	V
	-	-	10	4.6	4.6	4.6	4.6	4.6	5.9	-	
	-	-	15	6.8	6.8	6.8	6.8	6.8	8.8	-	
	-	-	5	3.6	3.6	3.6	3.6	-	2.0	3.6	
V <sub>P</sub> Max.	-	-	10	7.1	7.1	7.1	7.1	-	5.9	7.1	V
	-	-	15	10.8	10.8	10.8	10.8	-	8.8	10.8	
	-	-	5	0.9	0.9	0.9	0.9	0.9	1.9	-	
Negative Trigger Threshold Voltage V <sub>N</sub> Min.	-	-	10	2.5	2.5	2.5	2.5	2.5	3.9	-	V
	-	-	15	4	4	4	4	4	5.8	-	
	-	-	5	2.8	2.8	2.8	2.8	-	1.9	2.8	
V <sub>N</sub> Max.	-	-	10	5.2	5.2	5.2	5.2	-	3.9	5.2	V
	-	-	15	7.4	7.4	7.4	7.4	-	5.8	7.4	
	-	-	5	0.3	0.3	0.3	0.3	0.3	0.9	-	
Hysteresis Voltage V <sub>H</sub> Min.	-	-	10	1.2	1.2	1.2	1.2	1.2	2.3	-	V
	-	-	15	1.6	1.6	1.6	1.6	1.6	3.5	-	
	-	-	5	1.6	1.6	1.6	1.6	-	0.9	1.6	
V <sub>H</sub> Max.	-	-	10	3.4	3.4	3.4	3.4	-	2.3	3.4	V
	-	-	15	5	5	5	5	-	3.5	5	
	Output Low (Sink) Current, I <sub>OL</sub> Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	
0.5		0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	
1.5		0.15	15	4.2	4	2.8	2.4	3.4	6.8	-	
4.6		0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	
Output High (Source) Current, I <sub>OH</sub> Min.	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	mA
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-	
Output Voltage Low-Level, V <sub>OL</sub> Max.	-	5	5		0.05			-	0	0.05	V
	-	10	10		0.05			-	0	0.05	
	-	15	15		0.05			-	0	0.05	
Output Voltage High Level, V <sub>OH</sub> Min.	-	0	5		4.95			4.95	5	-	V
	-	0	10		9.95			9.95	10	-	
	-	0	15		14.95			14.95	15	-	
Input Current, I <sub>IN</sub> Max.	-	0.18	18	±0.1	±0.1	±1	±1	-	±10 <sup>-5</sup>	±0.1	μA

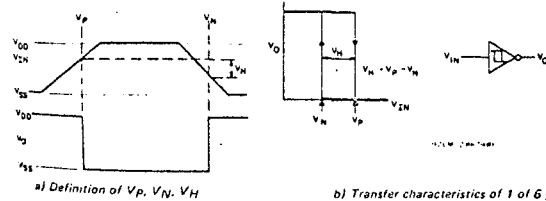


Fig. 6 - Hysteresis definition, characteristics, and test set-up.

CD40106B Types

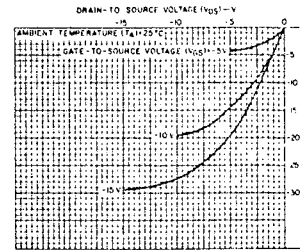


Fig. 4 - Typical output high (source) current characteristics.

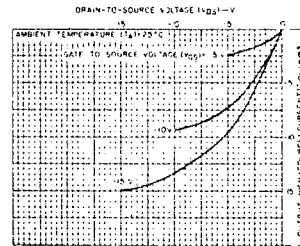


Fig. 5 - Minimum output high (source) current characteristics.

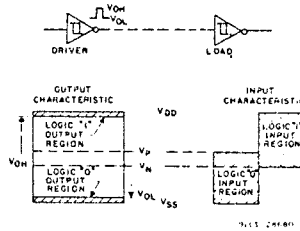


Fig. 7 - Input and output characteristics.

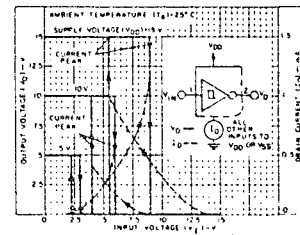


Fig. 8 - Typical current and voltage transfer characteristics.

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ\text{C}$ ;  
Input  $t_r, t_f = 20\text{ ns}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	TEST CONDITIONS $V_{DD}$ (V)	LIMITS			UNITS
		Min.	Typ.	Max.	
Propagation Delay Time Clock to Output, $t_{PHL}, t_{PLH}$	5	—	150	300	ns
	10	—	70	140	
Clear to Output, $t_{PHL}$	5	—	100	200	ns
	10	—	50	100	
Transition Time, $t_{THL}, t_{TLH}$	5	—	100	200	ns
	10	—	50	100	
Minimum Pulse Width, Clock, $t_{WL}, t_{WH}$	5	—	65	130	ns
	10	—	30	60	
Clear, $t_{WL}$	5	—	50	100	ns
	10	—	25	50	
Minimum Data Setup Time, $t_{SU}$	5	—	20	40	ns
	10	—	10	20	
Minimum Data Hold Time, $t_H$	5	—	40	80	ns
	10	—	20	40	
Maximum Clock Frequency, $f_{CL}$	5	3.5	7	—	MHz
	10	6	12	—	
Maximum Clock Rise or Fall Time, $t_{rCL}, t_{fCL}$	5	15	—	—	$\mu\text{s}$
	10	15	—	—	
Input Capacitance, $C_{IN}$ Clear	—	—	25	40	pF
	All other	—	5	7.5	
Minimum Clear Removal Time, $t_{REM}$	5	—	-40	0	ns
	10	—	-15	0	
	15	—	-10	0	

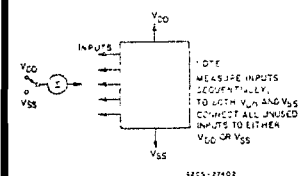


Fig. 12 - Input current test circuit.

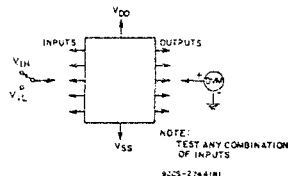
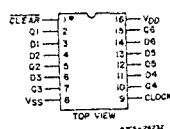


Fig. 13 - Input voltage test circuit.

## TERMINAL ASSIGNMENT



## CMOS Quad 'D'-Type Flip-Flop

## High-Voltage Types (20-Volt Rating)

## Features:

- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu\text{A}$  at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range) =  
1 V at  $V_{DD} = 5\text{ V}$   
2 V at  $V_{DD} = 10\text{ V}$   
2.5 V at  $V_{DD} = 15\text{ V}$
- 5-V, 10-V, and 15-V parametric ratings

- Meets all requirements of JEDEC Tentative Standard No. 15B, "Standard Specification for Description of 'B' Series CMOS Devices"
- Output compatible with two HTL loads, two low power TTL loads, or one low power Schottky TTL load
- Functional equivalent to TTL 74175
- Standardized symmetrical output characteristics

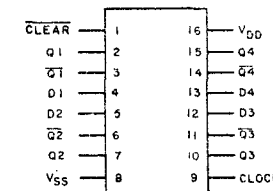
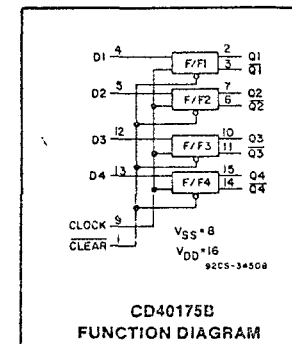
## Applications:

- Shift registers
- Buffer/storage registers
- Pattern generators

The RCA CD40175B consists of four identical D-type flip-flops. Each flip-flop has an independent DATA D input and complementary Q and  $\bar{Q}$  outputs. The CLOCK and CLEAR inputs are common to all flip-flops. Data are transferred to the Q outputs on the positive-going transition of the clock pulse. All four flip-flops are simultaneously reset by a low level on the CLEAR input.

These devices can function as shift register elements or as T-type flip-flops for toggle and counter applications.

The CD40175B is supplied in hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and chip form (H suffix).



$V_{DD}$  - PIN 16  
 $V_{SS}$  - PIN 8

## TERMINAL ASSIGNMENT

## MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ ) (Voltages referenced to $V_{SS}$ Terminal)	-0.5 to $V_{DD} + 20\text{ V}$
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5\text{ V}$
DC INPUT CURRENT, ANY ONE INPUT	$\pm 10\text{ mA}$
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A = -40$ to $+60^\circ\text{C}$ (PACKAGE TYPE E)	500 mW
For $T_A = +60$ to $+85^\circ\text{C}$ (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
For $T_A = -55$ to $+100^\circ\text{C}$ (PACKAGE TYPES J, K)	500 mW
For $T_A = +100$ to $+125^\circ\text{C}$ (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR:	
For $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$	100 mW
OPERATING-TEMPERATURE RANGE ( $T_A$ ):	
PACKAGE TYPES D, F, K, H	-55 to $+125^\circ\text{C}$
PACKAGE TYPE E	-40 to $+85^\circ\text{C}$
STORAGE TEMPERATURE RANGE ( $T_{STG}$ )	-65 to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79 mm) from case for 10 s max.	$+265^\circ\text{C}$



RECOMMENDED OPERATING CONDITIONS at TA = 25°C, Except as Noted.  
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	VDD (V)	LIMITS		UNITS
		MIN.	MAX.	
Supply-Voltage Range (For TA = Full Package-Temperature Range)	—	3	18	V
Data Setup Time	5	120	—	ns
	10	50	—	
	15	40	—	
Data Hold Time	5	80	—	ns
	10	40	—	
	15	30	—	
Clock Input Frequency	5	—	2	MHz
	10	dc	5	
	15	—	6.5	
Clock Input Rise or Fall Time	5	—	15	μs
	10	—	15	
	15	—	15	
Clock Input Pulse Width	5	250	—	ns
	10	100	—	
	15	75	—	
Clear Pulse Width	5	200	—	ns
	10	80	—	
	15	60	—	
Clear Removal Time	5	250	—	ns
	10	100	—	
	15	80	—	

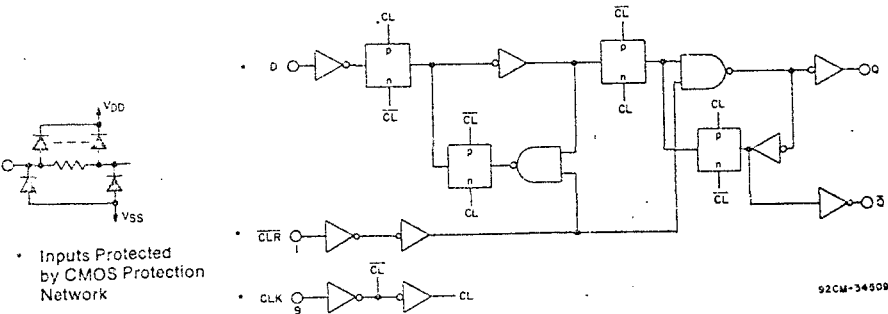


Fig. 1 - Logic diagram (1 of 4 flip-flops).

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
				Values at -55, +25, +125 Apply to D, F, K, H Packages Values at -40, +25, +85 Apply to E Package							
				Vo (V)	ViN (V)	VoD (V)	-55	-40	+85	+125	
Min.	Typ.	Max.									
Quiescent	—	0, 5	5	1	1	50	30	—	0.02	1	μA
Device	—	0, 10	10	2	2	60	60	—	0.02	2	
Current	—	0, 15	15	4	4	120	120	—	0.02	4	
Max. IDD	—	0, 20	20	20	20	600	600	—	0.04	20	
Output Low (Sink) Current	0.4	0, 5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
Min. IOL	0.5	0, 10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0, 15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source)	4.6	0, 5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	
Current	2.5	0, 5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0, 10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
Min. IOH	13.5	0, 15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage:	—	0, 5	5	0.05				—	0	0.05	V
Low-Level	—	0, 10	10	0.05				—	0	0.05	
Max. VOL	—	0, 15	15	0.05				—	0	0.05	
Output Voltage:	—	0, 5	5	4.95				4.95	5	—	V
High-Level	—	0, 10	10	9.95				9.95	10	—	
Min. VOH	—	0, 15	15	14.95				14.95	15	—	
Input Low Voltage	0.5, 4.5	—	5	1.5				—	—	1.5	V
A. x. VIL	1, 9	—	10	3				—	—	3	
	1.5, 13.5	—	15	4				—	—	4	
Input High Voltage	0.5, 4.5	—	5	3.5				3.5	—	—	V
Min. VIH	1, 9	—	10	7				7	—	—	
	1.5, 13.5	—	15	11				11	—	—	
Input Current Max. IIN	—	0, 18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA

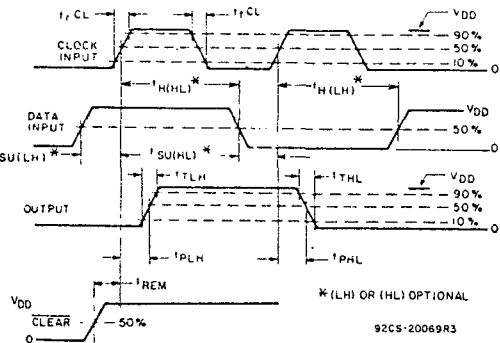


Fig. 2 - Definition of setup, hold, propagation delay, and removal times.

TRUTH TABLE FOR 1 OF 4 FLIP-FLOPS  
(Positive Logic)

INPUTS			OUTPUTS	
CLOCK	DATA	CLEAR	Q	Q̄
0	0	1	0	1
1	1	1	1	0
X	X	1	Q	Q̄
X	X	0	0	1

1=High Level X=Don't Care 0=Low Level

DYNAMIC ELECTRICAL CHARACTERISTICS at TA = 25°C; Input tr, tf = 20 ns, CL = 50 pF, RL = 200 kΩ

CHARACTERISTIC		TEST CONDITIONS VDD (V)	LIMITS			UNITS
			MIN.	TYP.	MAX.	
Transition Time	tTHL, tTLH	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
Propagation Delay Time Clock to Q Output †	tPHL, tPLH	5	—	220	400	
		10	—	90	160	
		15	—	70	120	
Propagation Delay Time CLEAR to Q Output	tPHL	5	—	325	500	
		10	—	130	200	
		15	—	100	150	
Minimum Pulse Width Clock	tWH	5	—	110	250	
		10	—	45	100	
		15	—	35	75	
Clear	tWL	5	—	100	200	
		10	—	40	80	
		15	—	30	60	
Maximum Clock Frequency	fCL	5	2	4.5	—	MHz
		10	5	11	—	
		15	8.5	14	—	
Maximum Clock Rise or Fall Time	trCL, tfCL	5	15	—	—	μs
		10	15	—	—	
		15	15	—	—	
Minimum Data Setup Time	tsu	5	—	60	120	ns
		10	—	25	50	
		15	—	20	40	
Minimum Data Hold Time	th	5	—	40	80	
		10	—	20	40	
		15	—	15	30	
Minimum Clear Removal Time ‡	tREM	5	—	125	250	ns
		10	—	50	100	
		15	—	40	80	
Input Capacitance	CIN	—	—	5	7.5	pF

† CLEAR signal must be high prior to positive-going transition of CLOCK pulse.

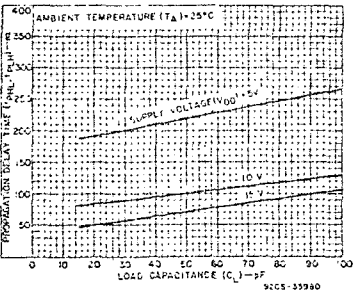


Fig. 3 - Typical propagation delay time (CLOCK to OUTPUT) as a function of load capacitance.

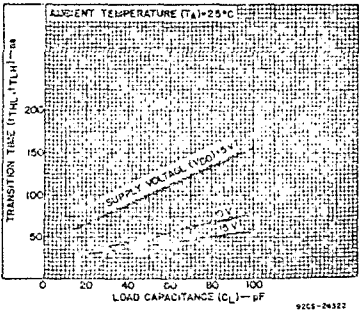


Fig. 4 - Typical transition time as a function of load capacitance.

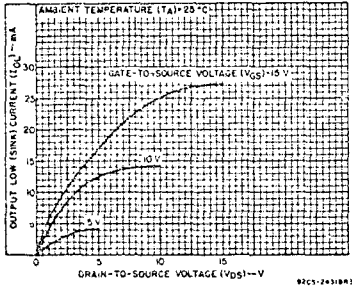


Fig. 5 - Typical output low (sink) current characteristics.

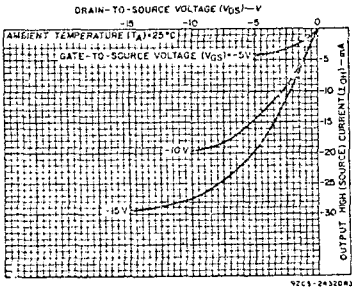


Fig. 7 - Typical output high (source) current characteristics.

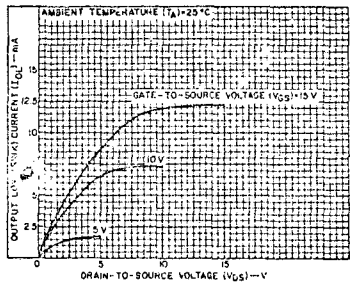


Fig. 6 - Minimum output low (sink) current characteristics.

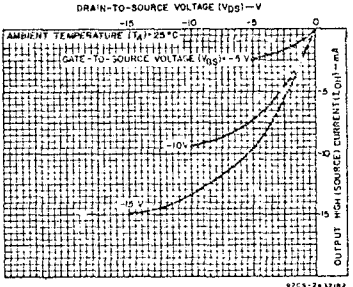


Fig. 8 - Minimum output high (source) current characteristics.

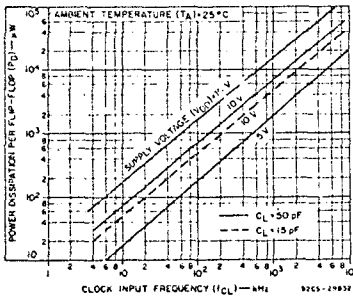
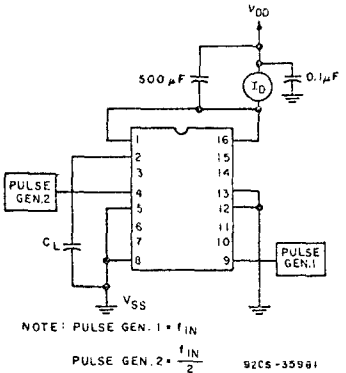


Fig. 9 - Typical dynamic power dissipation as a function of CLOCK frequency.

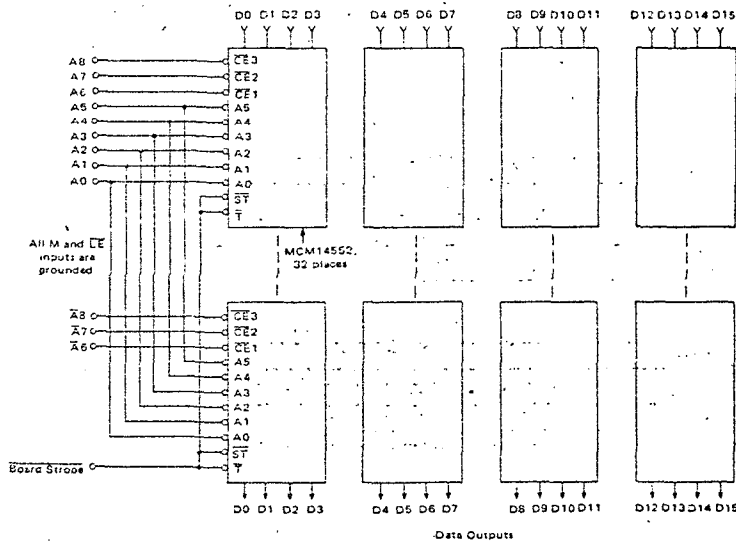


NOTE: PULSE GEN. 1 = f<sub>IN</sub>  
PULSE GEN. 2 = f<sub>IN</sub>/2  
Fig. 10 - Dynamic power dissipation test circuit.

Population	CE 1	CE 2	CE 3	1	11	M	11	11a	11b	11c	11d	11e	11f	11g	11h	11i	11j	11k	11l	11m	11n	11o	11p	11q	11r	11s	11t	11u	11v	11w	11x	11y	11z	11aa	11ab	11ac	11ad	11ae	11af	11ag	11ah	11ai	11aj	11ak	11al	11am	11an	11ao	11ap	11aq	11ar	11as	11at	11au	11av	11aw	11ax	11ay	11az	11ba	11bb	11bc	11bd	11be	11bf	11bg	11bh	11bi	11bj	11bk	11bl	11bm	11bn	11bo	11bp	11bq	11br	11bs	11bt	11bu	11bv	11bw	11bx	11by	11bz	11ca	11cb	11cc	11cd	11ce	11cf	11cg	11ch	11ci	11cj	11ck	11cl	11cm	11cn	11co	11cp	11cq	11cr	11cs	11ct	11cu	11cv	11cw	11cx	11cy	11cz	11da	11db	11dc	11dd	11de	11df	11dg	11dh	11di	11dj	11dk	11dl	11dm	11dn	11do	11dp	11dq	11dr	11ds	11dt	11du	11dv	11dw	11dx	11dy	11dz	11ea	11eb	11ec	11ed	11ee	11ef	11eg	11eh	11ei	11ej	11ek	11el	11em	11en	11eo	11ep	11eq	11er	11es	11et	11eu	11ev	11ew	11ex	11ey	11ez	11fa	11fb	11fc	11fd	11fe	11ff	11fg	11fh	11fi	11fj	11fk	11fl	11fm	11fn	11fo	11fp	11fq	11fr	11fs	11ft	11fu	11fv	11fw	11fx	11fy	11fz	11ga	11gb	11gc	11gd	11ge	11gf	11gg	11gh	11gi	11gj	11gk	11gl	11gm	11gn	11go	11gp	11gq	11gr	11gs	11gt	11gu	11gv	11gw	11gx	11gy	11gz	11ha	11hb	11hc	11hd	11he	11hf	11hg	11hh	11hi	11hj	11hk	11hl	11hm	11hn	11ho	11hp	11hq	11hr	11hs	11ht	11hu	11hv	11hw	11hx	11hy	11hz	11ia	11ib	11ic	11id	11ie	11if	11ig	11ih	11ii	11ij	11ik	11il	11im	11in	11io	11ip	11iq	11ir	11is	11it	11iu	11iv	11iw	11ix	11iy	11iz	11ja	11jb	11jc	11jd	11je	11jf	11jg	11jh	11ji	11jj	11jk	11jl	11jm	11jn	11jo	11jp	11jq	11jr	11js	11jt	11ju	11jv	11jw	11jx	11jy	11jz	11ka	11kb	11kc	11kd	11ke	11kf	11kg	11kh	11ki	11kj	11kk	11kl	11km	11kn	11ko	11kp	11kq	11kr	11ks	11kt	11ku	11kv	11kw	11kx	11ky	11kz	11la	11lb	11lc	11ld	11le	11lf	11lg	11lh	11li	11lj	11lk	11ll	11lm	11ln	11lo	11lp	11lq	11lr	11ls	11lt	11lu	11lv	11lw	11lx	11ly	11lz	11ma	11mb	11mc	11md	11me	11mf	11mg	11mh	11mi	11mj	11mk	11ml	11mm	11mn	11mo	11mp	11mq	11mr	11ms	11mt	11mu	11mv	11mw	11mx	11my	11mz	11na	11nb	11nc	11nd	11ne	11nf	11ng	11nh	11ni	11nj	11nk	11nl	11nm	11nn	11no	11np	11nq	11nr	11ns	11nt	11nu	11nv	11nw	11nx	11ny	11nz	11oa	11ob	11oc	11od	11oe	11of	11og	11oh	11oi	11oj	11ok	11ol	11om	11on	11oo	11op	11oq	11or	11os	11ot	11ou	11ov	11ow	11ox	11oy	11oz	11pa	11pb	11pc	11pd	11pe	11pf	11pg	11ph	11pi	11pj	11pk	11pl	11pm	11pn	11po	11pp	11pq	11pr	11ps	11pt	11pu	11pv	11pw	11px	11py	11pz	11qa	11qb	11qc	11qd	11qe	11qf	11qg	11qh	11qi	11qj	11qk	11ql	11qm	11qn	11qo	11qp	11qq	11qr	11qs	11qt	11qu	11qv	11qw	11qx	11qy	11qz	11ra	11rb	11rc	11rd	11re	11rf	11rg	11rh	11ri	11rj	11rk	11rl	11rm	11rn	11ro	11rp	11rq	11rr	11rs	11rt	11ru	11rv	11rw	11rx	11ry	11rz	11sa	11sb	11sc	11sd	11se	11sf	1
------------	------	------	------	---	----	---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	---

M	High resistance state at $G_{out}$	X	Don't care condition (must be in the '1' or '0' state)
A	An action upon all either $V_{DD}$ or $V_{SS}$	1	A high level at $V_{DD}$
HA	An R or A condition depending on the don't care condition	0	A low level at $V_{SS}$

### Data Inputs

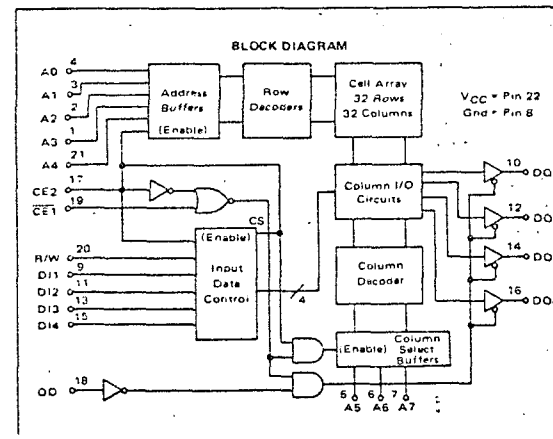


The MCM5101 family of CMOS RAMs offers ultra low power and fully static operation with a single 5-volt supply. The CMOS 1024-bit devices are organized in 256 words by 4 bits. Separate data inputs and data outputs permit maximum flexibility in bus-oriented systems. Data retention at a power supply as low as 2.0 volts over temperature readily allows design into applications using battery backup for nonvolatility. The MCM5101 is fully static and does not require clocking in standby mode.

The MCM5101 is fabricated using the Motorola advanced ion-implanted, silicon-gate technology for high performance and high reliability.

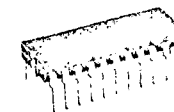
- Low Standby Power
- Fast Access Time
- Single +5.0 Volt Supply
- Fully TTL Compatible — All Inputs and Outputs
- Three-State Output
- Fully Static Operation
- Data Retention to 2.0 Volts
- Direct Replacement for:
  - Intel 5101 Series
  - AMI S5101 Series
  - Hitachi HM435101 Series
- Pin Replacement for Harris HM6501 Series

Type Number	Typical Current @ 2 V ( $\mu$ A)	Typical Current @ 5 V ( $\mu$ A)	Max Access (ns)
MCM5101C45, P45	0.14	0.2	450
MCM5101C65, P65	0.14	0.2	650
MCM5101C65, P65	0.70	1.0	650
MCM5101C81, P80	—	1.0	800

**CMCS**

(Complementary MOS)

1024-BIT STATIC  
RANDOM ACCESS MEMORY



C SUFFIX  
CERDIP PACKAGE  
CASE 735 01



P SUFFIX  
PLASTIC PACKAGE  
CASE 709 CA

### PIN ASSIGNMENT

A3	1	27	VCC
A2	2	21	A4
A1	3	20	IR/W
A0	4	19	CE1
A5	5	18	DO0
A6	6	17	CE2
A7	7	16	DO4
GND	8	15	DI4
DI1	9	14	DO3
DO1	10	13	DI3
DI2	11	12	DO2

TRUTH TABLE

CE1	CE2	OD	R/W	D <sub>in</sub>	Output	Mode
H	X	X	X	X	High-Z	Not Selected
X	L	X	X	X	High-Z	Not Selected
X	X	H	H	X	High-Z	Output Disable
L	H	H	L	X	High-Z	Write
L	H	L	L	X	D <sub>in</sub>	Write
L	H	L	H	X	D <sub>out</sub>	Read

# MAXIMUM RATINGS (Voltages referenced to V<sub>SS</sub>, Pin 6)

Rating	Symbol	Value	Unit
DC Supply Voltage	V <sub>CC</sub>	-0.5 to +1.0	V
Voltage on Any Pin	V <sub>IN</sub>	-0.3 to V <sub>CC</sub> + 0.3	V
Operating Temperature Range	T <sub>A</sub>	0 to +70	°C
Storage Temperature Range	T <sub>STG</sub>	-65 to +150	°C

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

## DC OPERATING CONDITIONS AND CHARACTERISTICS (Full operating voltage and temperature range unless otherwise noted)

### RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage	V <sub>CC</sub>	4.75	5.0	5.25	V
	V <sub>SS</sub>	0	0	0	V
Logic 1 Voltage, All Inputs	V <sub>IH</sub>	2.2	—	V <sub>CC</sub> + 0.3	V
Logic 0 Voltage, All Inputs	V <sub>IL</sub>	-0.3	—	0.65	V

### DC CHARACTERISTICS

Characteristic	Symbol	MCM5101-45 MCM5101-65			MCM5101-65			MCM5101-80			Unit
		Min	Typ <sup>(1)</sup>	Max	Min	Typ <sup>(1)</sup>	Max	Min	Typ <sup>(1)</sup>	Max	
Input Current	I <sub>IN</sub> <sup>(2)</sup>	—	5.0	—	—	5.0	—	—	5.0	—	nA
Input High Voltage	V <sub>IH</sub>	2.2	—	V <sub>CC</sub> + 0.3	2.2	—	V <sub>CC</sub> + 0.3	2.2	—	V <sub>CC</sub> + 0.3	V
Input Low Voltage	V <sub>IL</sub>	-0.3	—	0.65	-0.3	—	0.65	-0.3	—	0.65	V
Output High Voltage (I <sub>OH</sub> = -1.0 mA)	V <sub>OH</sub>	2.4	—	—	2.4	—	—	2.4	—	—	V
Output Low Voltage (I <sub>OL</sub> = 2.0 mA)	V <sub>OL</sub>	—	—	0.4	—	—	0.4	—	—	0.4	V
Output Leakage Current (V <sub>IN</sub> = 2.2 V, V <sub>OL</sub> = 0 V to V <sub>CC</sub> )	I <sub>LO</sub> <sup>(2)</sup>	—	—	±1.0	—	—	±1.0	—	—	±2.0	µA
Operating Current (V <sub>IN</sub> = V <sub>CC</sub> , except CE1 ≤ 0.65 V, outputs open)	I <sub>CC1</sub>	—	9.0	22	—	9.0	22	—	11	25	mA
Operating Current (V <sub>IN</sub> = 2.2 V, except CE1 ≤ 0.65 V, outputs open)	I <sub>CC2</sub>	—	13	27	—	13	27	—	15	30	mA
Standby Current (CE2 ≤ 0.2 V, V <sub>IN</sub> = 0 V or V <sub>CC</sub> )	I <sub>CC1</sub> <sup>(2)(4)</sup>	—	—	10	—	—	200	—	—	500	µA

CAPACITANCE (f = 1.0 MHz, T<sub>A</sub> = 25°C, V<sub>CC</sub> = 5 V periodically sampled rather than 100% tested)

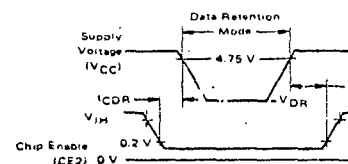
Characteristic	Symbol	Typ	Max	Unit
Input Capacitance (V <sub>IN</sub> = 0 V)	C <sub>IN</sub>	4.0	6.0	pF
Output Capacitance (V <sub>OUT</sub> = 0 V)	C <sub>OUT</sub>	8.0	12.0	pF

### LOW V<sub>CC</sub> DATA RETENTION CHARACTERISTICS (Excluding MCM5101-80)

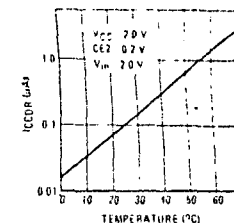
Parameter	Test Conditions	Symbol	Min	Typ <sup>(1)</sup>	Max	Unit
V <sub>CC</sub> for Data Retention	CE2 ≤ 0.2 V	V <sub>DR</sub>	2.0	—	—	V
MCM5101-45, -65 Data Retention Current	V <sub>DR</sub> = 2.0 V	I <sub>CCDR1</sub>	—	0.14	10	µA
MCM5101-65 Data Retention Current	V <sub>DR</sub> = 2.0 V	I <sub>CCDR2</sub>	—	0.70	200	µA
Chip Select to Data Retention Time		I <sub>CDR</sub>	0	—	—	nA
Operation Recover Time		t <sub>IR</sub>	t <sub>IR</sub> <sup>(3)</sup>	—	—	ns

- Notes:
- Typical values are T<sub>A</sub> = 25°C and nominal supply voltage
  - Current through all inputs and outputs included in I<sub>CC1</sub> measurement
  - t<sub>IR</sub> = Read Cycle Time
  - Low current state is for CE2 = 0 only

## LOW V<sub>CC</sub> DATA RETENTION WAVEFORM



## TYPICAL I<sub>CCDR</sub> vs TEMPERATURE



## AC OPERATING CONDITIONS AND CHARACTERISTICS

(Full operating voltage and temperature unless otherwise noted)

Input Pulse Levels ..... +0.65 V to 2.2 V  
Input Rise and Fall Times ..... 20 ns  
Output Load ..... 1 TTL Gate and C<sub>L</sub> = 100 pF  
Timing Measurement Reference Level ..... 1.5 V

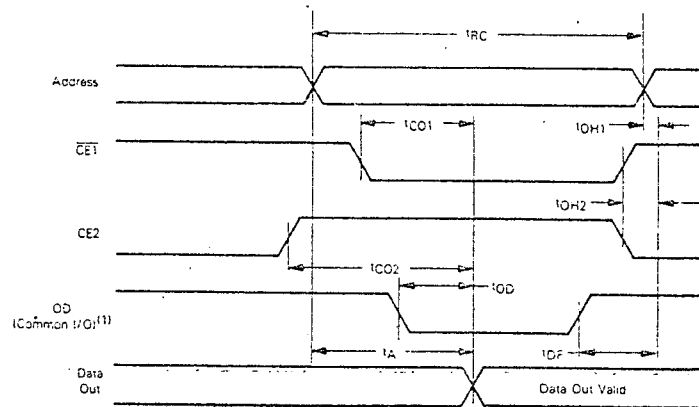
### READ CYCLE

Parameter	Symbol	MCM5101-45		MCM5101-65		MCM5101-80		Unit
		Min	Max	Min	Max	Min	Max	
Read Cycle	t <sub>RC</sub>	450	—	650	—	800	—	ns
Access Time	t <sub>A</sub>	—	450	—	650	—	800	ns
Chip Enable (CE1) to Output	t <sub>CO1</sub>	—	400	—	600	—	800	ns
Chip Enable (CE2) to Output	t <sub>CO2</sub>	—	500	—	700	—	850	ns
Output Disable to Output	t <sub>OD</sub>	—	250	—	350	—	450	ns
Data Output to High-Z State	t <sub>DF</sub>	0	130	0	150	0	200	ns
Previous Read Data Valid with Respect to Address Change	t <sub>QH1</sub>	0	—	0	—	0	—	ns
Previous Read Data Valid with Respect to Chip Enable	t <sub>QH2</sub>	0	—	0	—	0	—	ns

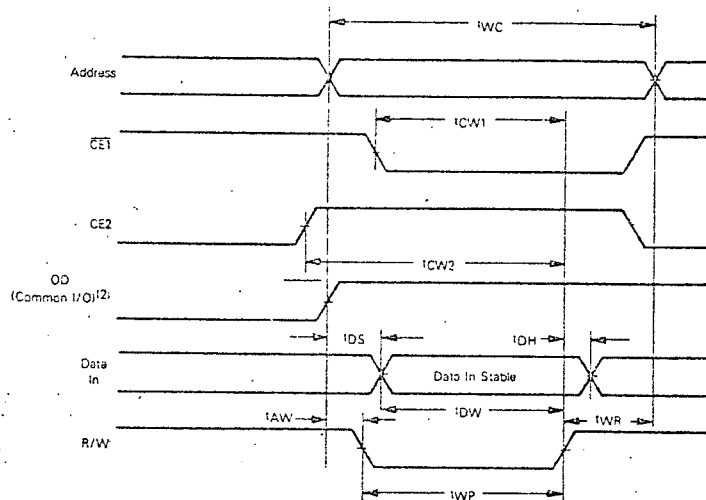
### WRITE CYCLE

Parameter	Symbol	MCM5101-45		MCM5101-65		MCM5101-80		Unit
		Min	Max	Min	Max	Min	Max	
Write Cycle	t <sub>WC</sub>	450	—	650	—	800	—	ns
Write Delay	t <sub>AW</sub>	130	—	150	—	200	—	ns
Chip Enable (CE1) to Write	t <sub>CW1</sub>	350	—	550	—	650	—	ns
Chip Enable (CE2) to Write	t <sub>CW2</sub>	350	—	550	—	650	—	ns
Data Setup	t <sub>DW</sub>	250	—	400	—	450	—	ns
Data Hold	t <sub>DH</sub>	50	—	100	—	100	—	ns
Write Pulse	t <sub>WP</sub>	250	—	400	—	450	—	ns
Write Recovery	t <sub>WR</sub>	50	—	50	—	100	—	ns
Output Disable Setup	t <sub>DS</sub>	130	—	150	—	200	—	ns

# READ CYCLE TIMING



# WRITE CYCLE TIMING



## Notes

1. OD may be tied low for separate I/O operation
2. During the write cycle, OD is "high" for common I/O and "don't care" for separate I/O operation.



MOTOROLA

MCM6508  
MCM6518

CMOS

(COMPLEMENTARY MOS)

1024 X 1 BIT STATIC  
RANDOM ACCESS MEMORY

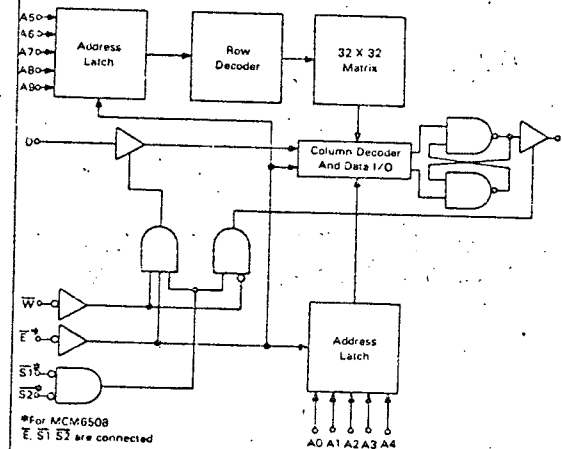
## 1024 X 1 BIT STATIC RANDOM ACCESS MEMORY

The MCM6508 and MCM6518 are fully static 1024 x 1 RAMs fabricated using CMOS silicon gate technology. They offer low power operation from a single +5 V supply with data retention to 2.0 V. The 16-pin MCM6508 has a single active low chip enable. The MCM6518 has two select lines, in addition to the chip enable. Both part types latch addresses with chip enable. The MCM6518 is especially suitable for multiplexed bus microprocessors like the MC146805.

- Low Standby and Operating Power
- Single  $\pm 10\%$  5 V Supply
- Data Retention to 2.0 V
- Fast Access Time
- Address Latches
- Three-State Outputs
- Fully TTL Compatible Inputs/Outputs
- Fully Static Operation
- Direct Replacement For Harris HM6508/HM6518
- Intersil IM6508/IM6518

Type Number	Package Suffixes	Typical Current		Maximum Access Time	Operating Temperature Range
		2 V	5 V		
MCM6508-25/MCM6518-25	C/P	0.1 $\mu$ A	0.1 $\mu$ A	250 ns	0 to 70°C
MCM6508-30/MCM6518-30	C/P	1 $\mu$ A	1 $\mu$ A	300 ns	0 to 70°C
MCM6508-46/MCM6518-46	C/P	1 $\mu$ A	1 $\mu$ A	460 ns	0 to 70°C

## MCM6508 AND MCM6518 FUNCTIONAL BLOCK DIAGRAM

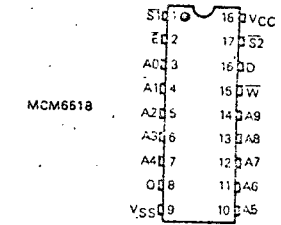
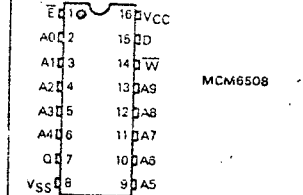


\*For MCM6508  
E, S1, S2 are connected



C SUFFIX  
FRIT-SEAL CERAMIC PACKAGE  
CASE 620-06

## PIN ASSIGNMENTS



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields, however, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit.