

PROYECTO FIN DE CARRERA

TITULO: Generador digital
de señales de prueba para TV
Color y Video

TELECOMUNICACION

ESPECIALIDAD: Imagen y Sonido.

AUTOR: D. Juan Carlos Hernández Haddad

TUTOR: D. Manuel Cubero Enrici

Firma del tutor:

Firma del autor:

INDICE

INDICE

<i>Contenido</i>	<i>Página</i>
- INTRODUCCION TEORICA:	
* Generalidades	1
* Introducción a las miras	3
* Colores primarios y secundarios	8
* Pureza cromática	11
* Teoría de la Convergencia	17
* Evolución de los ajustes en los tubos de imagen	21
* Estudio de las barras de color	27
* Concepto de amplitud y saturación	30
* Clasificación de las barras de color	32
- DISEÑO DEL GENERADOR:	
* Introducción y diagrama de bloques	45
* Selector de funciones	46
* Generador de sincronismos	55
* Generador de retícula y puntos	74
* Generador de multiburst	77
* Matriz de luminancia y señales dife- rencia de color	83
* Modulador de color	95
* Fuente de alimentación	103
* Placas de circuito impreso	103

- BIBLIOGRAFIA:	
* Bibliografía	104
- APENDICES	106
- RELACION DE COMPONENTES	136
- PRESUPUESTO	140

INTRODUCCION
TEORICA

GENERALIDADES:

CODIFICACION

Sistema: PAL (C.C.I.R.)

Frecuencia de línea: 15625 Hz.

Frecuencia de cuadro: 50 Hz.

SINCRONISMOS

Sistema: C.C.I.R.

Tiempo pedestal anterior de línea: 1.5 microseg.

Tiempo de sincronismo de línea: 4.8 "

Tiempo de borrado horizontal: 12.8 "

Flanco Burst: 0.8 microseg. despues del S.H.

Tiempo del Burst: 2.4 microseg.

SINCRONISMO VERTICAL

Borrado vertical: 1.28 miliseg.

Tiempo de impulsos ecualizadores: 2.5 microseg.

Entrelazado 2:1 : 625 lineas

SUBPORTADORA DE COLOR

Frecuencia: 4.433619 MHz.

Matriz de color: $Y=0.3*R + 0.59*G + 0.11*B$

IMAGENES DE PRUEBA

Puntos: Puntos blancos cuya posición corresponde a la intersección de las líneas de la retícula

Retícula: Rejilla de líneas blancas sobre fondo negro.

Barras de color: Señal de barras de color 75% de contraste. Ocho barras: Blanco, amarillo, cian, verde, magenta, rojo, azul y negro

Colores primarios: Superficie roja, verde y azul

" secundarios: " cian, magenta y amarillo

Escala de grises: Escalera de luminancia

Multiburst: Escala de grises sobre la que se encuentra superpuesta 5 salvas de distintas frecuencias

INTRODUCCION A LAS MIRAS

Las miras de prueba para televisión son señales destinadas fundamentalmente a la reparación, ajuste y comprobación de receptores de televisión, por lo que un generador de este tipo de señales se hace imprescindible en cualquier laboratorio de esta rama.

Las miras a las que se hará referencia en este estudio son señales tricromáticas en la norma CCIR 625 líneas, 50 tramas.

En esta introducción, voy a hacer una pequeña y esquemática clasificación de las diferentes miras haciendo alusión únicamente a su composición como señal y a su misión de ajuste tanto en el receptor de televisión, como en el videocasette, para entrar en posteriores capítulos en el estudio más detallado.

* RETICULA

- *Contenido:* Señal de estructura reticular constituida por una serie de segmentos horizontales y verticales, con un nivel de blanco de 100%. Los segmentos verticales están centrados entre intervalos horizontales y tienen un ancho de dos elementos. Los segmentos horizontales están centrados en cada transición de dos intervalos verticales y su ancho es de dos líneas consecutivas, una de cada campo.

- *Uso:* - Televisor color:

* Permite ajustar la geometría de la imagen

en particular la amplitud del barrido horizontal y vertical.

* ajuste de la convergencia dinámica.

* " " " corrección Este-Oeste

* " " " " Norte-Sur

- Videocassette:

* Ajuste de la convergencia dinámica.

PUNTOS

-*Contenido:* Matriz regular de puntos blancos al 100% sobre fondo negro, los cuales coinciden exactamente con las intersecciones de las líneas verticales y horizontales de la retícula.

-*Uso:* *Televisor color: Indicada para el ajuste de la convergencia estática del tubo.

CIRCULO

-*Contenido:* Señal de forma circular concéntrica, con las siguientes características:

El centro del círculo se halla situado en el centro de la imagen y su diámetro es de 512 líneas de las cuales 126 corresponden a cada campo. En sentido horizontal su radio es de 256 bits o elementos de cómputo horizontal.

-*Uso:* - TV-C:

* Permite ajustar la geometría de la imagen y la linealidad de los barridos.

*Ajuste de la doble imagen.

*Permite ajustar la relación de aspecto. El círculo deberá ser perfectamente circular si

la imagen tiene el estandar de 4:3.

ESCALA DE GRISES

-*Contenido:* Señal constituida por seis peldaños de diferentes tonalidades de gris, ascendente de negro a blanco, con variación de amplitud entre peldaños del 20%:

		luminancia
1)	peldano negro	0
2)	" gris	0,2
3)	" "	0,4
4)	" "	0,6
5)	" "	0,8
6)	" blanco	1

-*Uso:* Permite medir la linealidad en el camino de transmisión. Los rectángulos contiguos deberán tener cambios constantes de luminancia.

MULTIBURST (ESCALA DE FRECUENCIAS)

-*Contenido:* Señal compuesta de una escala de grises desde el blanco hasta el negro sobre la que se encuentran superpuestas cinco "salvas" o paquetes de distintas frecuencias a 0.8; 1.8; 2.8; 3.8 y 4.8 MHz

-*Uso:* - TVC:

- * Control de brillo y contraste
- * Respuesta en frecuencia
- * Linealidad del amplificador de video

* Permite observar la relación y el ancho de banda.

- Videocassette:

* Respuesta en frecuencia

* Linealidad del amplificador de vídeo.

BARRAS DE COLOR

-*Contenido:* Señal compuesta por seis barras verticales de color: Amarillo, turquesa, verde, magenta, rojo y azul respectivamente, añadiéndoles también una barra blanca y otra negra. La señal normalizada por la UER tiene un 75% de amplitud y 100% de saturación dispuestas en orden de luminancias decrecientes.

-*Uso:* - TVC:

* Reproducción de colores básicos así como de combinaciones entre los mismos.

* Regenerador de subportadora

* Circuito de identificación PAL

* Circuito de matrices.

* Amplificadores de rojo, verde y azul

* Control de saturación.

- Videocassette:

* Control de saturación.

SEÑAL COMPUESTA PARA VIDEOCASSETTE

-*Contenido:* 2/3 de esta señal son barras de color, con las características anteriores y el 1/3 inferior es una franja roja de 75% de saturación.

-*Uso:*

- * Linealidad de amplificadores de crominancia.
- * Sensibilidad de amplificadores de color
- * Resolución de videocassette
- * Ajuste del nivel de blanco.

COLORES PRIMARIOS Y COMPLEMENTARIOS

-Contenido: Colores puros al 100% de amplitud:

-Primarios: rojo, verde, azul

-Complementarios: Amarillo, turquesa y magenta.

-Uso: - TVC:

- * Pureza de color
- * Intermodulación entre sonido y subportadora.

- Videocassette:

- * Intermodulación entre sonido y subportadora
- * Control automático de ganancia de color
- * Corriente de grabación.

SONIDO

-Contenido: Señal de 1KHz sinusoidal, modulando la portadora en FM a 5.5MHz.

-Uso: Resulta muy útil para el ajuste de todas las etapas de audio, así como para detectar cualquier interferencia o intermodulación entre las portadoras de video y sonido y entre sonido y subportadora de color.

COLORES PRIMARIOS Y SECUNDARIOS

En este apartado, analizaré de forma general las características tanto de los colores primarios (rojo, verde y azul), así como de los secundarios (amarillo, cian y magenta), tomados todos ellos como miras por separado.

Para ello, cabe destacar antes que nada los tres parámetros susceptibles de ser medidos, y por los cuales todo color viene definido:

*A) Luminancia:*Corresponde a la medición luminosa de la intensidad de la radiación. La impresión subjetiva que, debido a la luminancia, tiene lugar en el cerebro será la luminosidad. Esta última característica no es, por supuesto, medible.

*B) Longitud de onda predominante:*Se define así a la longitud de onda de la radiación pura (es decir, de una sola longitud de onda) mas parecida, en cuanto al color, a la considerada. Con referencia a la sensación subjetiva, se mencionará el matiz.

*C) Pureza:*Indica mediante un numero del 0 al 1, la magnitud de la dilución de un color en luz blanca. La pureza tomara valor cero si la relación entre las magnitudes del color y de la luz blanca que lo acompaña vale cero, es decir, si se trata de un blanco. En caso contrario, si no existe parte alguna de luz blanca como componente de color,

dicho valor alcanzará la unidad.

Con referencia a la subjetividad de la sensación, se hará referencia a la saturación.

La Comisión Internacional de la Iluminación (ICI) eligió tres colores primarios con el fin de sentar una normativa universal que permitiera definir a todos los colores espectrales. Dichos primarios (verde, rojo y azul) se eligieron de forma que no pudieran ser obtenidos por mezcla de otros colores, resultando de las longitudes de onda siguientes:

Rojo ---- 700 nm

Verde ---- 546,1 nm

Azul ---- 435,8 nm

En cuanto a los colores complementarios:

Cian: Nombre empleado en la técnica de televisión en color para el verde azulado, de una longitud de onda de aproximadamente 490 nm. Este color se origina por la adición de haces luminosos cromáticos de los colores básicos azul y verde con la misma intensidad.

Magenta: Denominación empleada en la técnica de televisión en color para el color púrpura complementario de verde de 535 nm. Se origina por adición de las radiaciones luminosas cromáticas de los colores básicos rojo y azul de igual intensidad. A veces todos los colores púrpura se llaman colores magenta.

Amarillo: Color originado por adición de las radiaciones luminosas cromáticas de los colores básicos rojo y verde de igual intensidad. Es el complementario del azul de 470 nm.

PUREZA CROMATICA

Pureza de color

Los tres haces electrónicos del tubo de imagen de color son mandados por la componente roja, verde y azul de la imagen en color a reproducir, denominándose por tanto haz rojo, verde y azul. La pantalla luminosa contiene para los tres colores básicos rojo, verde y azul aprox. 350.000 luminóforos pbr cada uno, los cuales brillan en estos colores al ser excitados por un haz electrónico y que se llaman por consiguiente luminóforos "rojos", "verdes" y "azules".

La pureza de color de la pantalla se ha conseguido cuando:

-el haz rojo incide solo en los luminóforos "rojos".

-el haz verde incide solo en los luminóforos "verdes" y

-el haz azul incide solo en los luminóforos "azules".

Esta asignación se consigue cuando los tres haces electrónicos inciden, en cualquier estado de desviación, es decir, en toda la pantalla y con ángulos bien determinados, sobre la máscara perforada y pasando por los orificios de la misma.

Los ángulos de incidencia se determinan para toda la pantalla de imagen, en la fabricación del tubo de máscara perforada, por la disposición de la pantalla luminosa,

máscara perforada y centro de desviación. En los diferentes tubos de imagen, y debido a tolerancias de fabricación, pueden diferir en forma insignificante del valor nominal, por lo que deben ser corregibles posteriormente en todos los receptores de televisión en color por medio de dos procedimientos diferentes de ajuste.

La condición para una buena calidad de imagen es una pureza de color exactamente ajustada, sobre todo en superficies blancas o en la recepción en blanco y negro en receptores de televisión en color. Los errores de la pureza de color producen un matiz de colores indeseables en los lugares blancos de la imagen y, en los de color, una falsificación de los mismos. En buenos receptores, la pureza de color, una vez ajustada, debe ser constante durante mucho tiempo y no variar por las influencias del ambiente.

ERROR DE LA PUREZA DE COLOR

Los errores de la pureza de color se presentan cuando un haz electrónico incide como mínimo en dos luminóforos de distinto color al mismo tiempo, lo cual -al no considerar posibles errores al ajustar la pureza de color- puede tener los siguientes motivos:

- * Dilatación térmica de la máscara perforada, debida a corrientes de haz elevadas del tubo de imagen.

- * El campo magnético terrestre, invariable y siempre existente.

- * Otros campos magnéticos extraños próximos al tubo de máscara perforada, como, por ejemplo, el campo de dispersión de un transformador o el campo de un imán

permanente fuerte.

* Magnetismo remanente de piezas ferromagnéticas del tubo de imagen de color (máscara perforada, armadura protectora de implosión, pantalla de blindaje), debido a la influencia anterior de campos extraños.

La causa primera se elimina en gran parte compensando la influencia de la temperatura sobre la máscara perforada con una suspensión adecuada de la misma. El error remanente no produce prácticamente ningún efecto perturbador.

En todos los demás casos no es posible alcanzar una pureza de color satisfactoria si no es con medidas adicionales. La perturbación de la pureza de color debida a campos exteriores fuertes, puede reducirse, pero no eliminarse del todo, mediante el blindaje magnético del tubo de imagen de color.

El magnetismo remanente de piezas ferromagnéticas del tubo de imagen de color puede eliminarse solo por medio de una magnetización alterna de estas piezas, fuerte en un principio y decayendo poco a poco. Para ésto se emplea una corriente alterna de 50Hz, que se saca directamente de la tensión alterna de la red y atraviesa las bobinas de desimantación.

El efecto siempre existente del campo magnético terrestre puede compensarse con un ajuste correspondiente en el receptor, de forma que se obtenga una pureza de color impecable. El ángulo entre el eje del tubo de imagen y la componente horizontal B_h del campo magnético terrestre sin embargo, varía cada vez que se gira el receptor de televisión en color. Esto produce un cambio en el ángulo de

14
impacto anteriormente ajustado y, por tanto, errores de la pureza de color. La componente vertical B_v del campo magnético terrestre no supone una perturbación al girar el receptor, ya que su ángulo no varía respecto al eje del tubo y al efecto de desviación de los haces electrónicos.

La pureza de color debería ajustarse de nuevo después de cada transporte del receptor de televisión en color o después de cada cambio de emplazamiento del mismo, ya que la magnitud del campo magnético terrestre depende también del emplazamiento local.

Para evitar esto y eliminar en lo posible todas las influencias perturbadoras indicadas se emplea un blindaje magnético para el tubo de imagen de color y la llamada "desimantación automática" (por medio de un campo alterno decreciente).

La desimantación automática:

-Elimina o reduce campos remanentes mediante imantación alterna, y

-Aumenta el efecto del blindaje frente al campo magnético terrestre, por medio de la compensación parcial del mismo en el espacio abarcado por la pantalla de blindaje.

-Circuitos: El decremento de la corriente en función del tiempo se consigue con:

-Elementos RC (R_1)

-Resistencias VDR en función de la tensión y en serie con la bobina.

-Resistencias en función de la temperatura (PTC) con coeficientes positivos de temperatura, en serie con la

bobina y paralelo a la misma, en caso de coeficientes negativos de la temperatura, o

-Con combinaciones de las posibilidades mencionadas.

AJUSTE DE LA PUREZA DE COLOR

El ajuste de la pureza de color se realiza en dos fases, a saber:

* primero, en el centro de la pantalla con el imán de pureza de color,

* después para toda la pantalla de imagen, por medio del desplazamiento axial de la bobina de deflexión en el cuello del tubo de imagen.

Ambos ajustes se efectúan preferentemente con el haz electrónico "rojo", ya que se aprecian fácilmente las variaciones de color. Si el haz "rojo" incide al mismo tiempo sobre luminóforos "verdes" y "azules", brillan estos comparativamente con más intensidad, haciéndose claramente visible el error de la pureza de color.

Si ahora el cañón rojo y encendemos el verde, se obtendrá una pantalla verde uniforme (lo mismo ocurrirá con el azul).

Una pureza de color extremadamente exacta se obtiene si se observan los luminóforos con un microscopio en el proceso de ajuste.

Antes del ajuste de la pureza de color deben realizarse los siguientes trabajos en el receptor de televisión encolor:

-ajuste de la nitidez de imagen óptima;

-ajuste de la convergencia;

-centrado de la imagen en sentido horizontal y vertical.

TEORIA DE LA CONVERGENCIA

Se dice que los tres haces electrónicos emitidos por los tres cañones son convergentes cuando atraviesan, cualquiera que fuere la zona de la pantalla considerada, el mismo orificio de la máscara de sombras. Así, dichos haces hacen su impacto sobre luminóforos de la misma triada, creandose las condiciones de proximidad que dan lugar a la mezcla aditiva.

La técnica para reunir los haces de modo que incidan en la misma parte de la pantalla es lo que se conoce por convergencia y ésto se consigue mediante ajustes de posición de los haces individualmente.

Estos movimientos correctores del haz se logran haciendo pasar los haces a través de campos deflectores individuales. En los tubos de máscara de sombra del tipo delta, los tres haces son desviados por campos magnéticos, pero en el trinitrón los haces de rojo y azul son desviados por campos electrostáticos. En el trinitron no es necesario desviar el haz verde, ya que coincide con el eje del tubo.

Hay que tener en cuenta que la pureza puede ser perfecta aunque la convergencia sea muy mala. El ajuste de pureza asegura simplemente que cada haz pueda bombardear únicamente sus puntos de fósforos correspondientes. Sin embargo, cuando exploran el haz, los puntos rojo, verde y azul pueden no ser siempre coincidentes. El resultado conduciría inevitablemente a la percepción de tres imágenes, correspondientes a las componentes roja, verde y azul, de

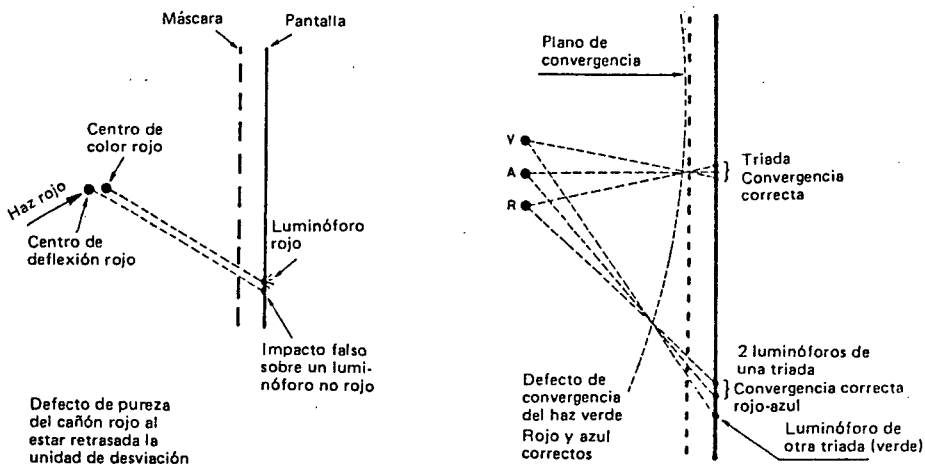
forma separada. En concreto, una imagen de líneas de reja blanca sobre fondo negro (retícula) aparecería bajo el aspecto de tres enrejados rojo, verde y azul independientes y separados.

Por lo tanto, la calidad de convergencia puede ser estudiada comodamente utilizando una señal que, cuando es exactamente reproducida, aparece como una figura de líneas blancas verticales y horizontales. La falta de convergencia se muestra muy claramente en dicha figura.

En lo que se refiere a la convergencia, distinguiremos dos zonas de la pantalla:

a) El centro, donde la convergencia, correcta o no, se conocerá como "convergencia estática".

b) Cualquier otra zona, diferente de la central, en cuyo caso se hablará de "convergencia dinámica".



CONVERGENCIA ESTÁTICA

Como dije antes, se refiere exclusivamente a la parte central de la pantalla. Debido a los problemas de tolerancias en la fabricación del TRC, puede ocurrir que, aunque en teoría, los tres haces apuntan al centro de la pantalla a través de un mismo orificio de la máscara, la convergencia estática no sea completamente correcta. El problema consiste, simplemente, en la precisión de la fabricación.

Por lo tanto, se hace necesario un sistema de ajuste de la convergencia estática, según el cual se proceda a desviar, radialmente a los tres haces por separado, hasta superponer las luces de los tres puntos (rojo, verde y azul) en uno único blanco.

Debido a la evolución de los tubos, los procesos de ajuste de la convergencia estática se han simplificado enormemente, hasta el punto que ya se fabrican tubos "autoconvergentes".

En el capítulo dedicado a los tubos, se analizan los pasos a seguir en cada uno para el ajuste de este tipo de convergencia.

AJUSTE DE LA CONVERGENCIA DINÁMICA

En el tubo de triadas en Delta, hay unos 12 ajustes para la convergencia de la mira de cuadrícula.

Ordinariamente se ajustan conjuntamente el rojo y el verde, separadamente del azul. Si es necesario puede ser suprimido temporalmente el haz de azul para observar solo el rojo y el verde. Después de hacer converger el rojo y el

verde en líneas amarillas transversales en la imagen, se puede desplazar el azul por medio de los imanes estáticos para obtener la cuadrícula blanca. Cuando se dispone de las notas de servicio del fabricante, se debe seguir este procedimiento para ahorrar tiempo en la convergencia dinámica.

Una vez efectuada la convergencia, los ajustes son estables siempre que no se hagan grandes variaciones en el enfoque, la altura o la anchura de la trama. Los fabricantes entregan los receptores con la convergencia perfectamente ajustada. Cuando únicamente pueden ser necesarios los ajustes es cuando se cambia el tubo de imagen.

EVOLUCION DE LOS AJUSTES EN LOS TUBOS DE IMAGEN

Teniendo en cuenta que la evolucion de la tecnica en TV ha sido muy grande en las ultimas decadas, los ajustes a realizar en los tubos son cada vez menos debido a la progresiva perfeccion que obtienen estos.

Los diferentes modelos de tubos de imagen para la reproduccion de imagenes de color provienen de las tecnicas de fabricacion y concepcion de los canones, recubrimientos, entrelazado de estos, etc.

En este estudio, no voy a entrar en las descripciones detalladas de los diferentes modelos de tubos, sino que me limitare a dar caracteristicas generales y sobre todo los ajustes a realizar segun cada tubo de color.

- TUBO DE TRIADAS EN DELTA

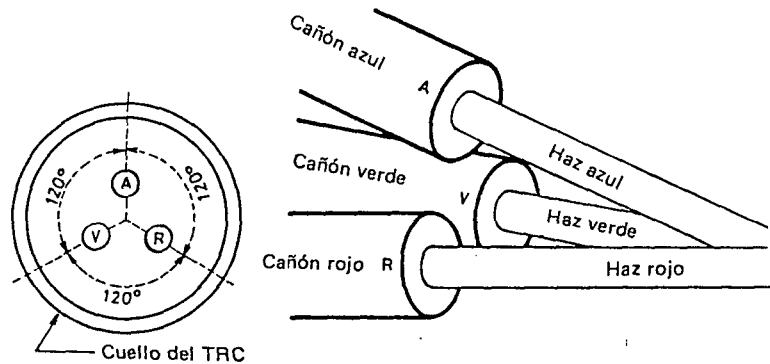
El primer tipo de T.R.C. que se ha usado en la fabricacion industrial masiva de receptores de television en color es el de triadas en Delta. Este fue desarrollado por RCA hacia 1950. Hoy en dia, aunque su fabricacion se encuentre abandonada, muchos receptores con algunos anos de servicio funcionan a plena satisfaccion de sus usuarios. Sus caracteristicas son las siguientes:

* *Recubrimiento luminiscente:* El interior del brillo de la pantalla esta recubierto por tres tipos de sustancias luminiscentes a base de sulfuros, intercaladas bajo la forma de una figura

de puntos.

* *Canon de electrones:* Existen tres canones de electrones independientes. Cada canon debe incidir, cualquiera que fuere el punto de la pantalla donde haga impacto, sobre luminiforos del mismo tipo.

Los tres canones estan situados a 120° entre si, formando los de verde y rojo, un plano inclinado bajo el plano horizontal axial



* *Mascara de sombras:* En el interior de la pantalla, a unos 15mm. de distancia se dispone una placa de acero perforada conocida con el nombre de mascara de sombras. Los orificios de esta placa, paralela a la superficie de la pantalla, estan previstos para que el haz de electrones de cada canon incida, exclusivamente, en los luminiforos de un tipo determinado.

Vistas estas características principales, los ajustes a realizar por medio de las miras en estos tubos de triadas en Delta son todos los vistos anteriormente, es decir:

- Por medio de la carta de rojo, se produce el

ajuste de la pureza de color (explicado anteriormente). Para ello, primeramente hay que desmagnetizar las partes metalicas que puedan incidir sobre la trayectoria de los haces.

Si el ajuste resulta imposible hay que realizar de nuevo el proceso de desmagnetizacion. Asi mismo, no debe olvidarse comprobar que los haces verde y azul presentan una pureza correcta. Para ello utilizaremos las miras que generan los colores verde y azul.

- Utilizando ahora la mira de puntos blancos (explicada anteriormente), se procede al ajuste de la convergencia estatica. Sabemos que si esta es incorrecta, la parte central de la pantalla aparecera con puntos rojos, verdes y azules, en lugar de blancos.

Para conseguirla, se giran los imanes permanentes de la unidad radial correspondientes a rojo y verde para obtener puntos amarillos. Si es necesario, por razones de comodidad, se suprime el haz azul por medio del interruptor de tension de pantalla de azul.

Una vez conseguido esto, se restituye la tension de pantalla de azul y se hacen coincidir los puntos azules con lo amarillos girando el iman permanente de la unidad de convergencia radial de azul.

Este ajuste puede realizarse, igualmente, con una mira de reticula blanca sobre fondo negro. Sin embargo, con los tubos en Delta, el ajuste de la convergencia estatica seria mas dificil.

- Y por ultimo, utilizando la reticula (cuya composicion se ha explicado en capitulos anteriores),

procedemos al ajuste de los errores de convergencia dinamica. Como estos dependen del angulo de desviacion y por tanto de las corrientes de desviacion, es posible corregirlos derivando de las mismas corrientes de desviacion otras de correccion con curva y magnitud apropiada y aplicandolas al ya mencionado sistema magnetico de convergencia.

- SISTEMA 20AX de PHILIPS

Los tubos delta requieren una complicada disposicion de unos 20 a 30 elementos de ajuste, asi como una serie de laboriosos ajustes que no solo hay que realizar en el taller de reparaciones, sino incluso antes de la salida del aparato de fabrica. Despues de una serie de trabajos de investigacion se ha logrado reducir todas estas tareas utilizando otros tipos de tubos.

El sistema 20AX de Philips permite una simplificacion significativa, tanto a la hora de disenar y fabricar el receptor que lo incorpora, como en lo referente a sus ajustes especificos y a su servicio.

Los canones se encuentran dispuestos horizontalmente en el plano axial del tubo, mientras que los luminoforos siguen la forma de bandas verticales adyacentes y paralelas.

En cuanto a las ranuras de la mascara de sombras, como su nombre indica, no son orificios circulares, sino alargados en sentido vertical. Las triadas adoptan, asi, una forma de tres manchas coloreadas adyacentes verticales.

Por otra parte, el uso de una unidad de desviacion devanada en silla de montar y con una precision de

fabricacion avanzada, junto a la situacion en linea de los canones permite obviar los problemas de convergencia dinamica tipicos de lo tubos delta. Asi, el numero de ajustes no es superior nunca a siete:

* *Ajuste de pureza:* La disposicion vertical de los materiales luminiscentes permite independizar a la pureza de los desajustes verticales de los impactos. Sin embargo, en direccion horizontal, un ajuste de pureza se hace imprescindible. A tal efecto, la unidad de correcciones estaticas dispone de una pareja de imanes anulares magnetizados diametralmente.

* *Ajuste de la convergencia estatica:* Este ajuste se realiza con ayuda de cuatro pares de imanes permanentes anulares que se encuentran junto a los juegos de bobinas deflectoras.

- SISTEMA 30AX DE PHILIPS

Como hemos visto, la tecnologia de los tubos de triadas en delta presenta defectos de descorreccion de convergencia muy importantes. Debido, fundamentalmente, a la disposicion triangular de los canones, dichos defectos significaban una serie de operaciones de ajuste muy laboriosas.

Entonces, para mejorar las prestaciones de los tubos, se desarrollo el ya mencionado sistema 20AX, colocando los catodos en linea (in-line), lo que da como resultado, junto a una precision mayor durante el proceso de fabricacion, la obtencion de una autoconvergencia. La correccion norte-sur es despreciable, se necesita una correccion este-oeste, el ajuste de pureza se simplifica, pero sigue necesitandose un

proceso de correccion de convergencia dinamica para compensar tolerancias de fabricacion.

El avance es significativo por varias razones, una de las cuales, y es la que mas nos intereza, es una reduccion drastica del numero y dificultad de los ajustes a realizar, que se reducen, en cuanto a la convergencia dinamica se refiere, a un numero maximo de siete.

Siguiendo la evolucion tecnologica aparece el sistema 30AX. En este perfeccionado sistema se han introducido una serie de mejoras que hacen innecesarios los ajustes de pureza, de convergencia, ya sea estatica o dinamica, asi como de orientacion del raster. Adicionalmente, unas placas conformadoras del campo de deflexion reducen la magnitud de la correccion este-oeste necesaria.

ESTUDIO Y CLASIFICACION DE LAS BARRAS DE COLOR

La señal de barras de color consiste en un número de bloques uniformes de señales de alta saturación de crominancia junto con un nivel de referencia de luminancia, y posiblemente también un nivel de negro.

Por lo tanto, una de las características de las barras de color, y que justifican sobradamente su uso como señal de prueba, es que tienen una amplitud y una saturación muy superior a la de los colores reales. Su generación es por tanto obligatoriamente electrónica.

La señal de barras de color pueden ser clasificadas en barras de color horizontal y barras de colores verticales, según su disposición en la pantalla del monitor o del televisor. Sin embargo, las señales horizontales solo se utilizan en limitados trabajos de investigación sobre los fenómenos de la transmisión vertical. No existen formas de ondas estandarizadas por lo que los generadores son concebidos para realizar, como dije antes, trabajos específicos.

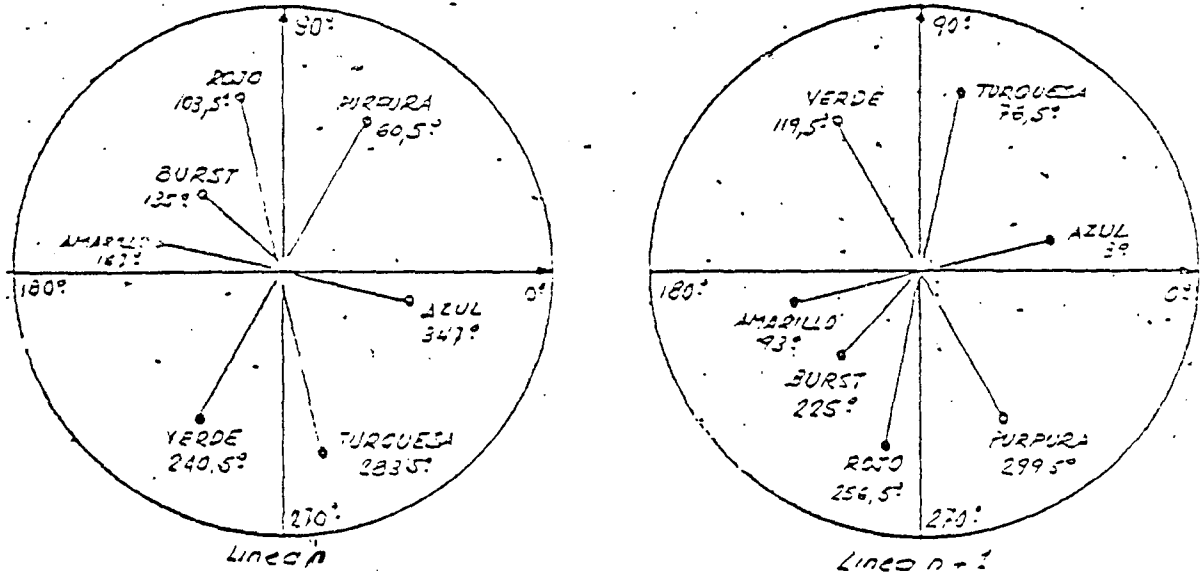
Por otra parte, las barras verticales son utilizadas tan frecuentemente, que el adjetivo "vertical" raramente o nunca se emplea en la práctica. Existen diversas versiones con especificaciones precisas, pero en cualquier caso, la señal de línea consiste en una barra de luminancia seguida por seis bloques de subportadoras uniformes, cada una de las cuales corresponde a un área uniforme de alta saturación de

color. La secuencia es cerrada por una barra de negro la mayoría de las veces. Los seis matices en todas estas señales son los tres colores primarios y sus complementarios:

<u>MATIZ</u>	R	G	B	
Amarillo		1	1	0
Cian		0	1	1
Verde		0	1	0
Magenta		1	0	1
Rojo		1	0	0
Azul		0	0	1

El orden de las barras no es arbitrario, sino que sigue una secuencia lógica que es conocida como la secuencia de "grados de amplitud"; desde sus componentes correspondientes de luminancia forman una serie de grados descendentes similares a la forma de onda de una escalera.

Un adelanto considerable en el análisis y estudio de las formas de onda de las barras puede ser obtenida con un vectorscopio, el cual realiza eficazmente una gráfica en un diagrama polar de los puntos correspondientes a los extremos de los vectores de subportadora, incluido el vector del Burst. Estos puntos pueden ser comparados entonces con sus correctas posiciones teóricas (las cuales se indican en la siguiente figura), siendo determinado casi de un simple vistazo si cumple o no con la especificación dada de la barra en cuestión.



En la figura 1 se muestra un diagrama de las líneas N y N+1 del fasor de crominancia para los colores primarios, complementarios y el burst de las barras UER (PAL-standart). El ángulo se ha calculado por la relación:

$$= \arctan(V/U)$$

NOTA: El vectorscopio es un osciloscopio que realiza una representación polar de la crominancia. Se utiliza para indicar la fase relativa (tono) y la amplitud (saturación) de las barras de color mediante vectores correspondientes a los tres colores primarios y sus colores complementarios.

Cada vector de color (crominancia) tiene dos componentes U y V, la primera dirección del eje B-Y (0) y la segunda en la del eje R-Y (90/270 alternando estos valores línea a línea en el PAL).

Cuando los colores de las barras tienen el tono y la saturación correctos, sus ángulos y amplitudes también lo son. Cualquier alteración de estos parámetros para uno o varios colores se detecta por tanto en este equipo de medida.

Para terminar esta introducción al estudio de la barras de color como señal de prueba, hay que comentar que éstas también tienen una considerable importancia para comprobar la operación de grabadores de video y transmisores que incluyan procesos de modulación, ya que tales señales simulan escenas que contienen alta amplitud y máxima saturación del color.

Antes de seguir con la clasificación y nomenclatura de las barras, analicemos profundamente el concepto de amplitud y saturación a los que se está haciendo referencia continuamente en este apartado.

CONCEPTO DE AMPLITUD Y SATURACION

Para explicar ambos conceptos partimos de unas ecuaciones que serán posteriormente explicadas. Se trata de la ecuación matricial de la luminancia.

$$E_y = 0,30 E_r + 0,59 E_g + 0,11 E_b$$

de donde se deduce que:

$$E_r - E_y = 0,70 E_r - 0,11 E_g - 0,11 E_b$$

$$E_b - E_y = -0,30 E_r - 0,59 E_g + 0,89 E_b$$

Si analizamos el color primario rojo, por ejemplo, tendremos que si su saturación es del 100% no existe ninguna componente verde, ni azul. Por lo tanto tendremos que $E_g=0$ y $E_b=0$.

$$E_y = 0,30 E_r$$

$$E_r - E_y = E_r - 0,30 E_r = 0,70 E_r$$

$$E_b - E_y = 0 - 0,30 E_r = -0,30 E_r$$

Fijemos ahora la amplitud de E_r . Si la amplitud de E_r fuera el 100%, significa que para la saturación antes mencionada, el tubo de cámara rojo está dando la máxima amplitud (máxima tensión de salida).

Por consiguiente, al decir que una barra de color está al 100% de amplitud, queremos significar que uno al menos de los tres tubos de cámara está dando su máxima salida.

Por otro lado, que la saturación sea del 100% indica que la barra de color en cuestión es un tono puro no diluido con luz blanca. El 95% de saturación indicaría que la barra en cuestión consta de 95% del tono dado, junto a un 5% de luz blanca.

Entremos ya pues, en el análisis profundo de las barras de color, aclarando antes que el orden de las mismas, de derecha a izquierda es:

Negro-Azul-Rojo-Magenta-Verde-Turquesa-Amarillo-Blanco

CLASIFICACION DE LAS BARRAS DE COLOR

Se siguen las recomendaciones de la CCIR(1970).

De acuerdo con esto, cada señal de barra de color está especificada por una secuencia de 4 números, los cuales definen el porcentaje de amplitudes de sus correspondientes colores por separado:

- (a) El máximo porcentaje de amplitud de E'r, E'g y E'b en la barra de luminancia.
- (b) El mínimo valor de dicha cantidad.
- (c) El máximo porcentaje de amplitud de E'r, E'g, E'b en la barra de color.
- (d) El mínimo valor de dicha cantidad

Usando pues este convenio, las cuatro señales de barras de color más comunes quedan reflejadas en el siguiente cuadro.

<u>NOMBRE</u>	(a)	(b)	(c)	(d)
Barras al 100%	100	0	100	0
Barras al 95%	100	0	100	25
Barras UER	100	0	75	0
Barras al 75%	77	7,5	77	7,5

Estas barras pueden ser escritas, por ejemplo, como barras 100-0-100-0 o Barras al 100% y así todas ellas.

SEÑAL DE BARRAS DE COLOR AL 100% (No ponderada)

Este tipo corresponde a una señal de barras al 100% de saturación, 100% de amplitud, lo cual representa una condición límite (suponen la señal de test más severa que se puede idear para los sistemas PAL y NTSC). Hay que destacar que esta señal no es empleada en el sistema SECAM.

El método que voy a seguir para su estudio, tanto en éstas como en las diferentes modalidades de barras, es calcular cada barra en particular. Las amplitudes de luminancia y crominancia se calculan independientemente. Luego se suman algebraicamente y a su resultado se le adiciona el sincronismo y las salvas de burst, obteniendo pues la señal compuesta de video de color (FBAS).

** Cálculo:*

- Barra blanca: Suma de los tres colores primarios (suponiendo que el brillo de cada barra sea máximo, las señales de video rojo, verde y azul darán el nivel máximo, es decir, 1)

$$R' = 1; G' = 1; B' = 1$$

** Señal de lumancia:*

$$Y' = 0,30 R' + 0,59 G' + 0,11 B' = 0,30 + 0,59 + 0,11 = 1.$$

* *Señales diferencia de color:*

$$V' = R' - Y' = 1 - 1 = 0$$

$$V' = B' - Y' = 1 - 1 = 0$$

* *Señal de crominancia:* En el sistema PAL y NTSC la naturaleza de la modulación en cuadratura es tal que cuando las señales diferencias de color se anulan la radiofrecuencia de crominancia desaparece (ver la modulación en cuadratura).

- Barra amarilla: Señal suma de rojo y verde (cantidades iguales):

$$R' = 1; G' = 1; B' = 0$$

* *Señal de luminancia:*

$$Y' = 0,30 R' + 0,59 G' + 0,11 B' = 0,30 + 0,59 + 0 = 0,89.$$

* *Señal de diferencia de color:*

$$R' - Y' = (1 - 0,89) = 0,11$$

$$B' - Y' = (0 - 0,89) = -0,89$$

* *Señal de crominancia:* Puesto que $(R' - Y')$ es positiva, la subportadora correspondiente tiene una fase de 90 grados en las líneas NTSC alternando a 270 grados en las líneas alternantes PAL. Puesto que $(B' - Y')$ es negativa, la

subportadora correspondiente tiene una fase de 180 grados .
El fasor de crominancia resultante que representa la suma de las dos componentes de portadora anteriores permanece en el segundo cuadrante en las líneas NTSC, conmutándose al tercer cuadrante en la línea "alternante de PAL".

El módulo de la señal de crominancia está dado por:

$$[C] = (B' - Y') + (R' - Y') = (-0,89) + (0,11) = 0,7921 + 0,0121 = 0,9$$

- Barra turquesa: Señal suma de verde y azul:

$$R' = 0; G' = 1; B' = 1$$

* Señal de luminancia:

$$Y' = 0.30R' + 0.59G' + 0.11B' = 0.59 + 0.11 = 0.7$$

* Señales diferencia de color:

$$R' - Y' = 0 - 0.7 = -0.7$$

$$B' - Y' = 1 - 0.7 = 0.3$$

* Señal de crominancia:

$$[C] = (B' - Y') + (R' - Y') = (0,7) + (0,3) = 0,76$$

A causa de que $(R' - Y')$ es negativa y $(B' - Y')$ es positiva, el vector crominancia está en el cuarto cuadrante en las líneas NTSC y en el primer cuadrante en las líneas PAL.

-Barra verde:

$$R' = 0; G' = 1; B' = 0$$

* Señal de luminancia:

$$Y' = 0.30R' + 0.59G' + 0.11B' = 0.59$$

* Señales diferencia de color:

$$R' - Y' = 0 - 0.59 = -0.59$$

$$B' - Y' = 0 - 0.59 = -0.59$$

* Señal de crominancia:

$$[C] = (B' - Y') + (R' - Y') = (-0.59) + (-0.59) = -1.18$$

Este vector se encuentra en el tercer cuadrante en NTSC y en el segundo cuadrante en las líneas PAL alternadas.

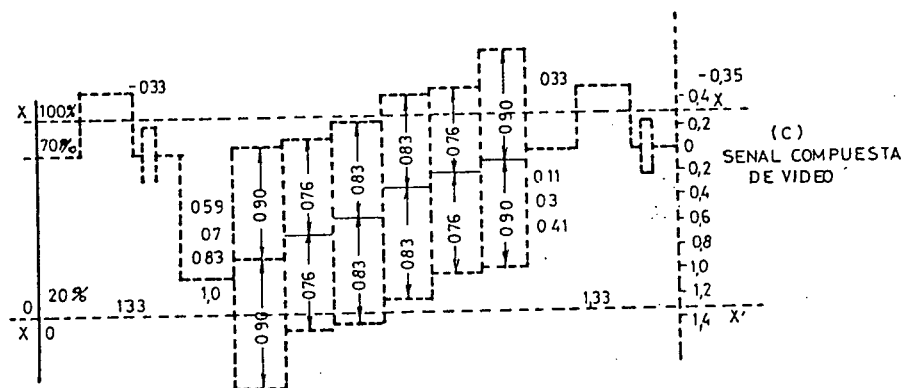
Prosiguiendo de esta manera por las restantes barras de color, se obtienen los siguientes resultados:

Barra de color	R'	G'	B'	Y'	(B' - Y')	(R' - Y')	Señal de crominancia $C_h = \sqrt{(B' - Y')_{sc}^2 + (R' - Y')_{sc}^2}$
Blanco	1	1	1	1,0	0	0	0
Amarillo	1	1	0	0,89	-0,89	+0,11	0,90
Ciano	0	1	1	0,70	+0,30	-0,70	0,76
Verde	0	1	0	0,59	-0,59	-0,59	0,83
Magenta	1	0	1	0,41	+0,59	+0,59	0,83
Rojo	1	0	0	0,30	-0,3	+0,70	0,76
Azul	0	0	1	0,11	+0,89	-0,11	0,90
Negro	0	0	0	0	0	0	0

Esta tabla indica las amplitudes teóricas para señal de barra de color de 100% de saturación y 100% de amplitud. Pero la señal representada en la anterior tabla es inaceptada a causa de que produciría severa sobremodulación sobre la portadora de imagen. Para evitarlo, las ondas senoidales de frecuencia subportadora que representan las dos señales diferencia de color, han sido reducidas en amplitud mediante los "factores de ponderación"

NOTA: por razones que después comentaré , de momento no considero los ángulos de fase de la señal real de crominancia, porque una vez justificados los factores de ponderación, la señal quedaría modificada y los ángulos que calculemos ahora no serían los de la señal radiada realmente

NECESIDAD DE LOS FACTORES DE PONDERACION.



En esta figura se aprecia claramente que los niveles resultantes de luminancia mas crominancia son excesivos, por lo que producirían una sobremodulación excesiva a la potadora de imagen.

Debido a este problema de sobremodulación, es preciso reducir los niveles de la señal compuesta de videocolor.

Según la figura anterior, si la distancia entre los niveles de negro y de blanco se toma como la unidad (1.0) está estipulado que en una señal de barra de color saturada al 100% y del 100% de amplitud, la máxima excursión de la señal de imagen no debe exceder en más de 0.33 los niveles de cresta de blanco o de negro. Esto obliga a reducir los límites de la señal de crominancia para mantener la señal de video compuesta entre los límites señalados por los ejes XX'.

Para ello, se demuestra que es suficiente reducir las señales de diferencia de color B'-Y' y R'-Y' por 0.493 y 0.877 respectivamente (el cálculo y la explicación de estos factores se realiza en el apéndice 2)

$$V = 0.877(R'-Y')$$

$$U = 0.493(B'-Y')$$

SEÑAL DE BARRAS DE COLOR AL 100% (ponderadas)

Tras esta reducción, las señales anteriores se aplican a los moduladores equilibrados para dar lugar a la señal de crominancia.

Como puede observarse, los niveles de luminancia de las

barras de color no se alteran (obtenidas a partir de R,G,B y no de las senales de diferencia de color). Sin embargo, los valores de la crominancia cambian sustancialmente. Calculemos los valores para las diferentes barras:

- Barra amarilla:

* *Señal de luminancia:* Lo mismo de antes :

$$Y' = 0,30 + 0,59 = 0,89$$

* *Señales diferencia de color:* Lo mismo que antes:

$$(R' - Y') = (1 - 0,89) = 0,11$$

$$(B' - Y') = (0 - 0,89) = -0,89$$

* *Señales diferencia de color ponderadas*

$$U = 0,93(B' - Y') = 0,493(-0,89) = -0,4387$$

$$V = 0,877(R' - Y') = 0,877(+0,11) = +0,0965$$

* *Amplitud de la señal de crominancia:*

$$C = U + V = (-0,4387) + (0,0965) = 0,44$$

* *Angulo de fase de la señal de crominancia:*

El ángulo de fase de un matiz se expresa siempre en términos de la línea "NTSC". En este caso:

$$= 180 - \arctg(V/U) = 180 - \arctg(0.0965/0.4387)$$

$$= 180 - 13 = 167$$

En el sistema PAL, el ángulo de fase de la señal de crominancia en líneas alternadas se deduce trasladando el vector de "línea NTSC" al otro lado del eje U hasta una posición simétrica con respecto a él en el cuadrante adyacente.

$$= 180 + 13 = 193$$

-Barra cian:

* Señal de luminancia:

$$Y' = 0.59 + 0.11 = 0.7$$

* Señales diferencia de color:

$$(R' - Y') = 0 - 0.7 = -0.7$$

$$(B' - Y') = 1 - 0.7 = 0.3$$

* Señales diferencia de color ponderadas:

$$U = 0.493 (B' - Y') = 0.493(0.3) = 0.1479$$

$$V = 0.877 (R' - Y') = 0.877(-0.7) = -0.6139$$

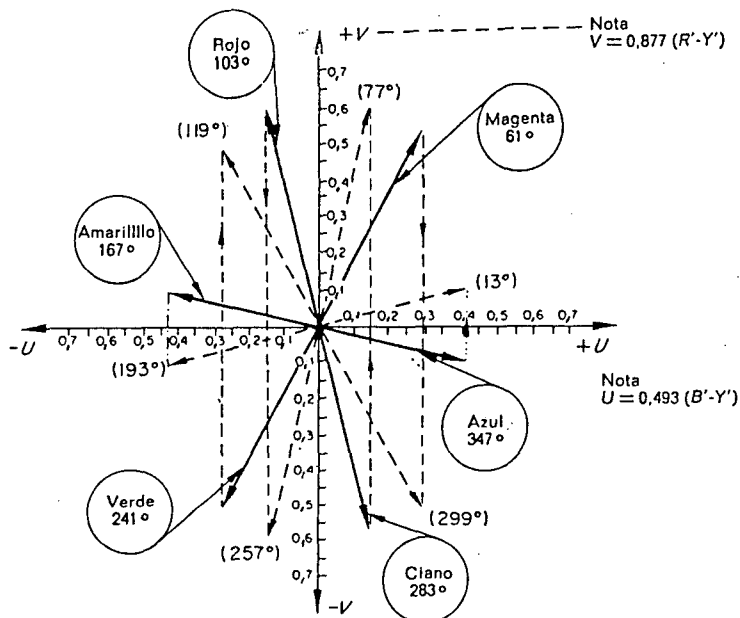
* Amplitud de la señal de crominancia:

$$C = U + V = (0.1479) + (-0.6139) = 0.6314$$

El estudio de las demás barras ponderadas se resume en la siguiente tabla:

Barras color	Y'	(B'-Y')	(R'-Y')	U = 0,493 (B'-Y')	V = 0,877 (R'-Y')	Amplitud crominancia = $\sqrt{U^2 + V^2}$	Angulo de crominancia (líneas NTSC)
Blanco	1,0	0	0	0	0	0	—
Amarillo	0,89	-0,89	+0,11	-0,4388	0,0965	0,44	167°
Turquesa	0,7	+0,3	-0,7	+0,1479	-0,6139	0,63	283°
Verde.....	0,59	-0,59	-0,59	-0,2909	-0,5174	0,59	241°
Magenta	0,41	+0,59	+0,59	+0,2909	+0,5174	0,59	61°
Rojo.....	0,3	-0,3	+0,7	-0,1479	+0,6139	0,63	103°
Azul	0,11	+0,89	-0,11	+0,4388	-0,0965	0,44	347°
Negro	0	0	0	0	0	0	—

Utilizando la información de esta tabla se puede dibujar un diagrama que muestre las posiciones del vector crominancia para los colores primarios y complementarios.



Las posiciones de los vectores sobre las "líneas PAL" se pueden determinar simplemente girando el vector hasta que ocupen la posición simétrica con respecto al eje U, es decir los vectores de líneas PAL son la imagen de espejo (en el eje U) de los vectores de líneas NTSC.

Sabiendo claramente que los ángulos de fase de la señal de crominancia correspondientes a los tres primarios son para el rojo 103 , para el verde 241 y para el azul 347 , es fácil deducir los ángulos de los complementarios añadiendo 180 al primario opuesto apropiado (rojo=103 --- cian = 103+180 = 283)

Entremos ahora a calcular las barras de la UER (Unión Europea de Radiodifusión), cuya diferencia con las anteriores calculadas radica en que la amplitud de las barras de color se fija en el 75%, manteniendo el 100% de amplitud en la barra blanca. La saturación se mantiene al 100%.

SEÑAL DE BARRAS DE COLOR U.E.R.

Esta señal fue ideada originalmente por la UER, como una señal estandar de test para los sistemas de televisión en color. Su uso se hizo extensivo a casi toda Europa, utilizándose para gran variedad de fines.

Su cálculo, barra por barra es el siguiente:

- Barra blanca:

$$R' = 1; B' = 1; G' = 1$$

* Señal de luminancia:

$$Y' = 0.30R' + 0.59G' + 0.11B' = 0.30 + 0.59 + 0.11 = 1$$

* Señales diferencia de color:

$$R' - Y' = 0$$

$$B' - Y' = 0$$

* Señal de crominancia: Por el proceso de modulación en cuadratura, la radiofrecuencia desaparece.

- Barra amarilla:

$$R = 0.75; G = 0.75; B = 0$$

* Señal de luminancia:

$$Y' = 0.30R' + 0.59G' + 0.11B' = 0.664$$

* Señales diferencia de color:

$$R' - Y' = 0.085$$

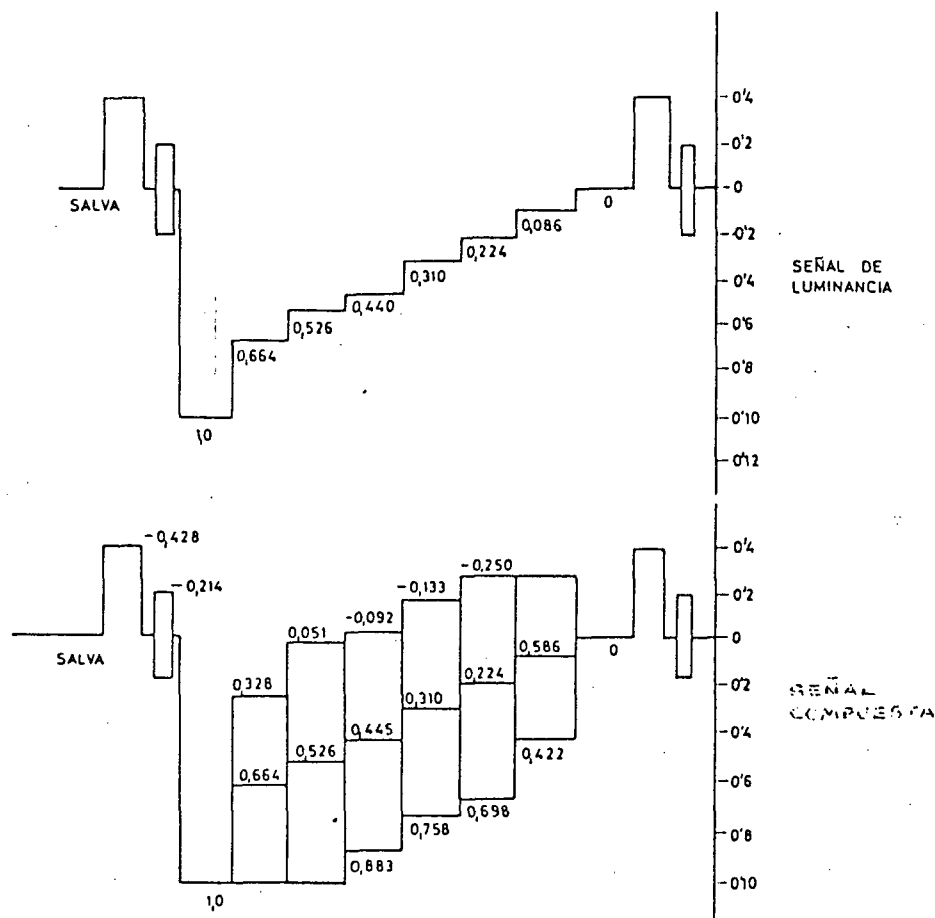
$$B' - Y' = -0.664$$

* Señal ponderada de crominancia:

$$[C] = 0.493(-0.664) + 0.877(0.085) = 0.336$$

De la misma forma se calculan las demás barras quedando los resultados reflejados en el cuadro y figuras siguientes:

Barras color	R'	G'	B'	Y'	B'-Y'	R'-Y'	Mod. crom. C	Fase línea	
								n	n+1
Blanco.....	1	1	1	1	0	0	0	—	—
Amarillo.....	0,75	0,75	0	0,664	-0,664	0,085	0,336	167,1	192,0
Turquesa.....	0	0,75	0,75	0,526	0,224	0,526	0,474	283,5	76,5
Verde.....	0	0,75	0	0,440	-0,440	-0,440	0,443	240,7	119,3
Magenta.....	0,75	0	0,75	0,310	0,440	0,440	0,443	60,7	299,3
Rojo.....	0,75	0	0	0,224	-0,224	0,526	0,474	103,5	256,5
Azul.....	0	0	0,75	0,086	0,664	-0,085	0,336	347,1	12,9
Negro.....	0	0	0	0	0	0	0	0	0



DISEÑO DEL
GENERADOR

INTRODUCCION

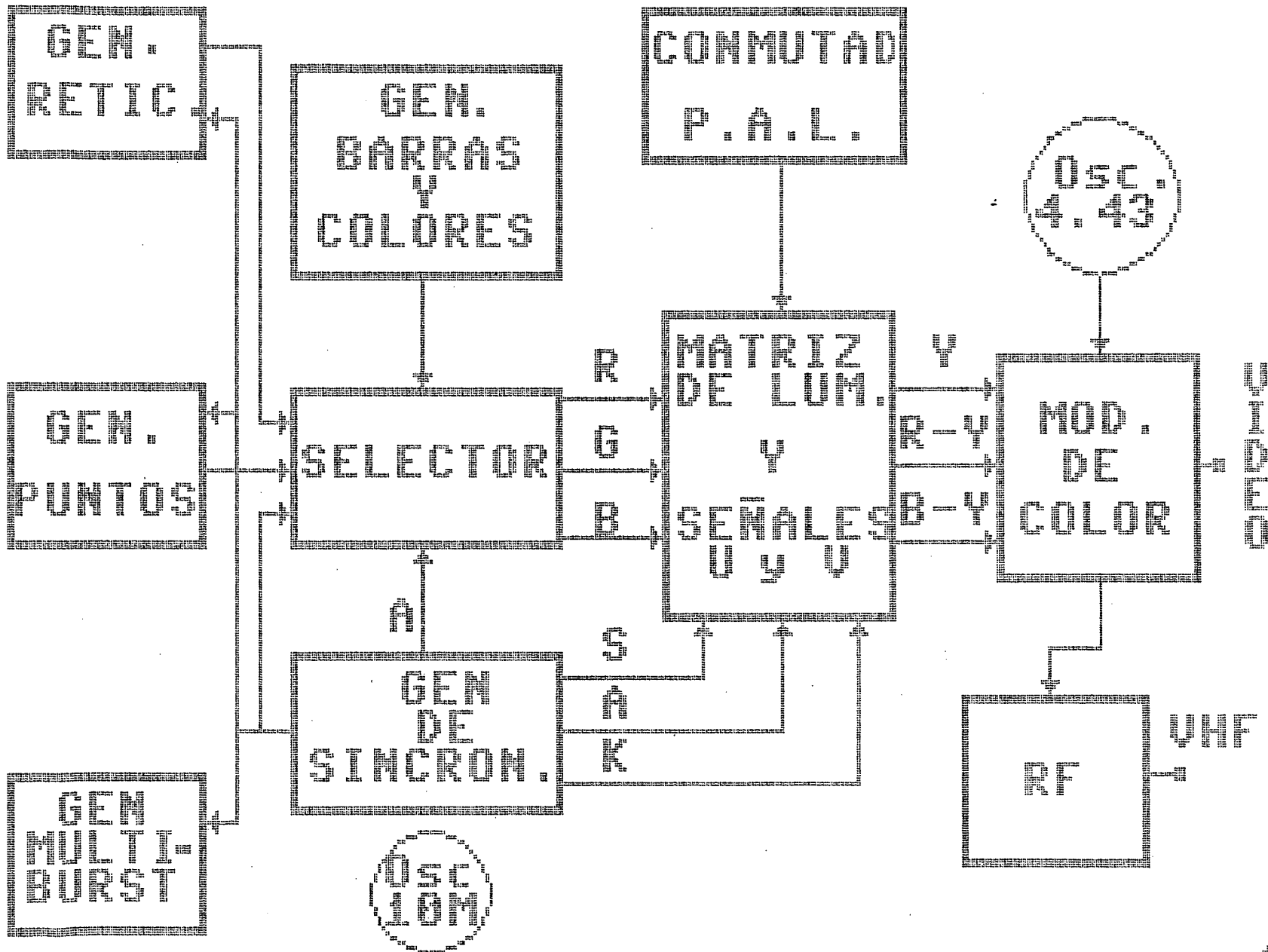
Hasta aquí hemos analizado teóricamente lo que son las diferentes miras generadas por este equipo, así como los ajustes a realizar con cada una de ellas, explicando someramente el tipo de ajuste y como se ha de llevar a cabo.

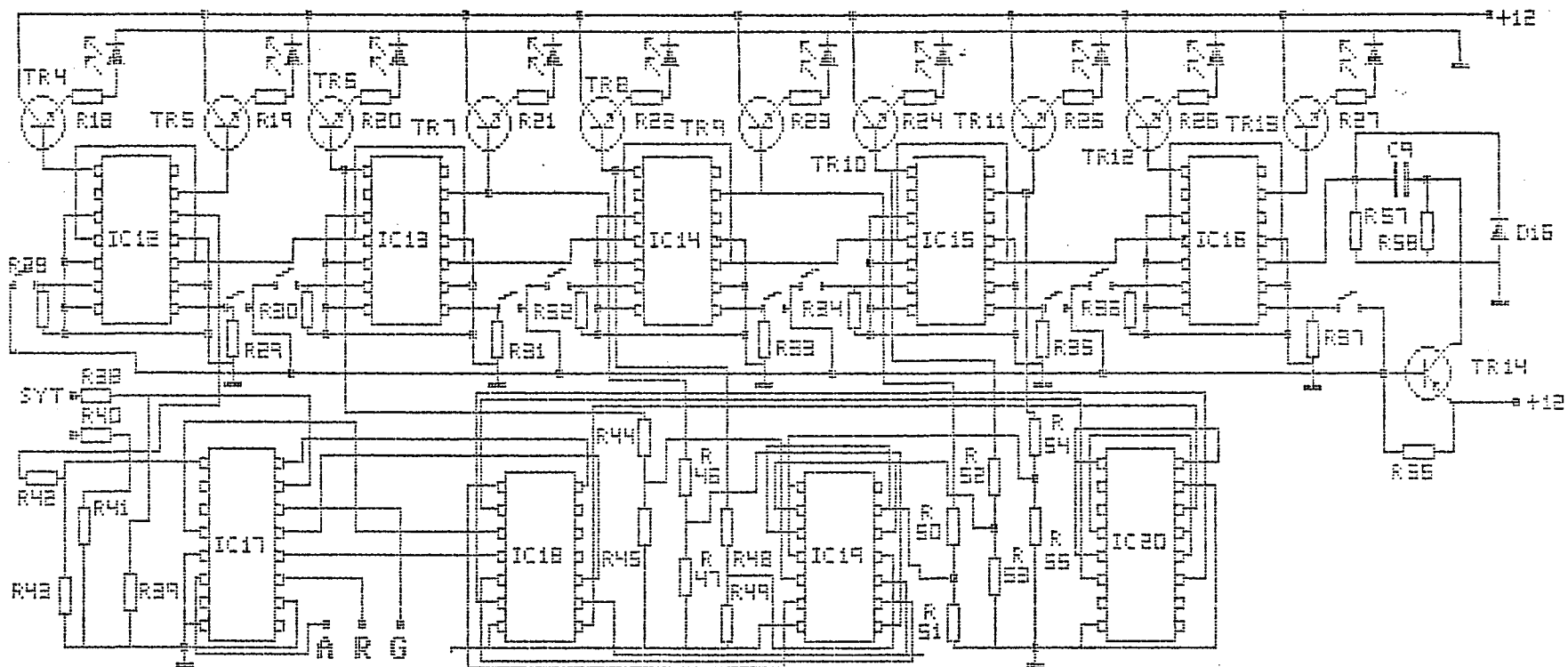
Pero entremos ahora en la parte más importante de este proyecto, es decir, en el diseño y realización del generador de señales de prueba para TV Color y video. Este generador ha sido diseñado en su totalidad en el laboratorio de Imagen y Sonido perteneciente al Departamento de Electrónica y Telecomunicación.

Sus características más sobresalientes son entre otras, su amplia gama de señales de prueba, su reducido tamaño y por supuesto su reducido coste en comparación con los generadores existentes en el mercado y que pueden llevar a cabo el mismo cometido que éste.

La tecnología empleada es en su mayor parte CMOS, con la utilización también de circuitos específicos de video.

Ya sin más, veamos el diagrama de bloques, para entrar posteriormente en su estudio detallado:



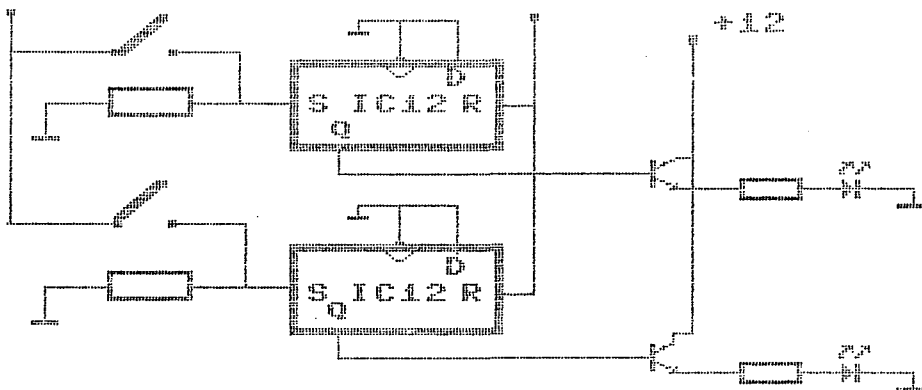


Empecemos, pues, por la primera etapa:

Esta etapa está realizada principalmente por FLIP-FLOPS tipo D, unidos entre sí mediante la entrada reset. Estos disponen de una entrada de señal D, una entrada SET asíncrona y también una entrada CLEAR(Reset) asíncrona. Su tabla de verdad sería la siguiente:

S	R	Q
0	1	0
1	0	1
1	1	1

El esquema eléctrico de esta etapa es el siguiente:



Según el circuito, y observando la tabla de verdad, podemos notar que al presionar un pulsador, circulará una corriente que producirá, en bornes de la resistencia conectada entre la entrada "set" y masa, una caída de tensión de 11.3 voltios. Por supuesto, que los 0,7 voltios restantes caerán en la unión base-emisor de TR27. Para poner a 0 los restantes Flip-Flops, TR27 entrará en conducción debido a la corriente producida por la tecla presionada, y que se introducirá por la base del transistor, provocando

una variación de tensión de 12 voltios en R121.

Debido a esta variación de tensión instantánea, se producirá un impulso en bornes del circuito diferenciador formado por C29 y R120, provocando la puesta a cero simultánea de todos los Flip-Flops. Una vez producida esta reposición, uno de los Flip-Flops recibirá la información correspondiente al pulsador presionado, obteniendo en la salida Q un "1".

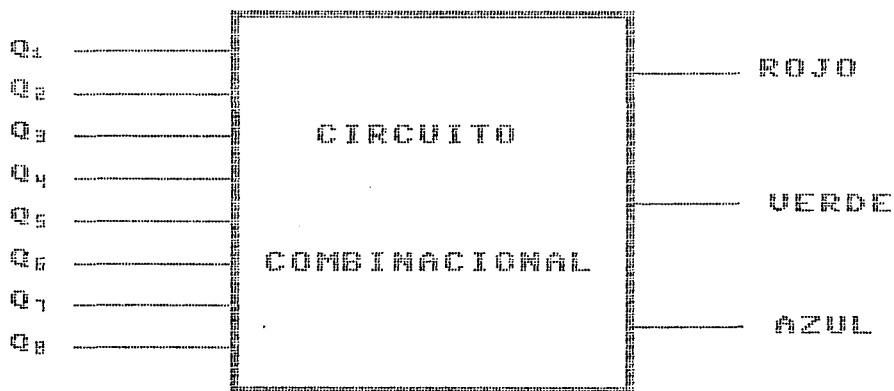
Por medio de un LED conectado a un seguidor de emisor, podremos saber que función hemos seleccionado. El seguidor de emisor no tiene otra finalidad que amplificar la corriente que procede de los circuitos Flip-Flops, ya que al ser circuitos de tecnología CMOS no suministran corriente suficiente para excitar al citado LED.

Antes de continuar con la siguiente etapa, hay que resaltar, que la información obtenida en la anterior corresponde al siguiente cuadro:

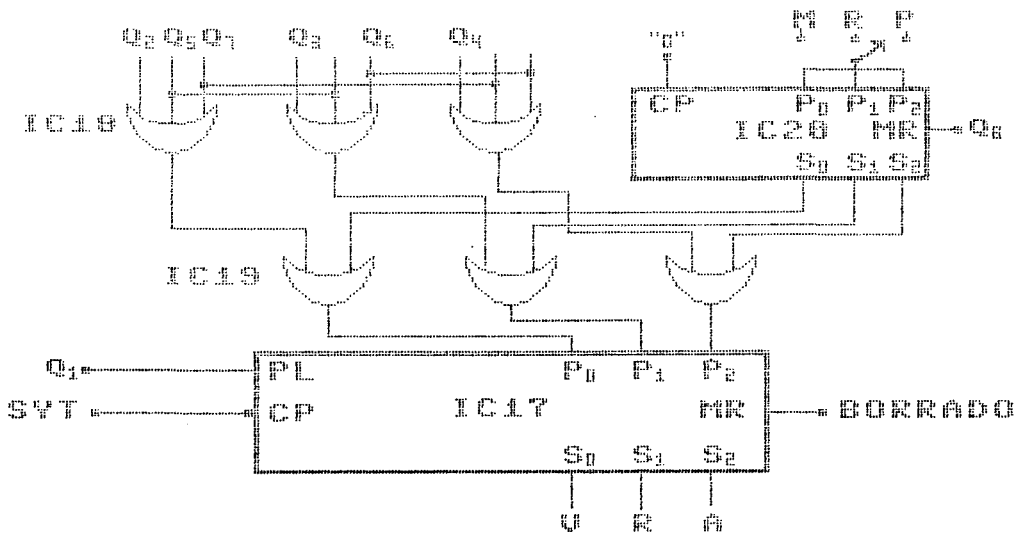
SALIDA	ACCION
Q1	Barras de color
Q2	Verde
Q3	Rojo
Q4	Azul
Q5	Amarillo
Q6	Cyan
Q7	Magenta
	Puntos
Q8	Retícula
	Multiburst

No incluyo en esta parte el sonido debido a que puede estar presente, si se desea, con cualquiera de estas miras, por lo cual recibe un tratamiento distinto, que posteriormente explicaré.

Una vez elegida la señal, ésta hay que "traducirla" a datos RGB, es decir, los tres bits necesarios para atacar a las entradas del circuito que realizará la matriz de luminancia correspondiente a esa señal.



Para ello, utilizo un circuito combinacional que en su etapa final posee un contador binario con carga paralela. Pero antes de explicar este circuito detalladamente, veamos su esquema:



Pienso que la mejor forma de explicar este circuito es analizando cada una de sus entradas, y ver como es traducida a la salida.

Empecemos por Q_1 , es decir, por las barras de color: Observando el circuito Q_1 entra directamente en el contador antes mencionado. Se trata de un contador binario, con cuenta ascendente y descendente y con carga paralela activada al poner la entrada PL a "1". Por lo tanto es obvio que el contador estará apto para contar cuando PL este a "0", aislando los datos que existan en las entradas paralelas.

El reloj que gobierna la cuenta, proviene de una señal generada en la etapa de sincronismos, consistente en una secuencia de pulsos con un periodo de 6,4 microsegundos y que corresponden exactamente al tiempo del ancho de cada barra. A esta señal yo le he denominado SYT.

Pues bien, una vez explicado esto, podemos observar que los estados de salida corresponden a lo expuesto en el siguiente cuadro:

VERDE	ROJO	AZUL
1	1	1
1	1	0
1	0	1
1	0	0
0	1	1
0	1	0
0	0	1
0	0	0

Si con estos valores atacamos posteriormente a la etapa de luminancia, el resultado será la escalera de amplitudes de luminancia, correspondiente a las barras de color.

En cuanto a la señal utilizada como reset para el contador es lógicamente la señal de borrado (A) generada también en la etapa de sincronismos, y que hará que las salidas se pongan a cero, una vez se encuentre presente la señal de Reset.

Si calculamos el tiempo total en generarse una secuencia de barras de color, veremos que es exactamente el tiempo de línea (64 microsegundos).

8 Estados * 6.4Microseg.= 51.2 microseg.

Tiempo de borrado = 12.8 "

Total = 64 microseg.

Pasemos ahora a analizar Q2 es decir, el color verde:

Al ser accionada esta función en la primera etapa del teclado, se pondrá a nivel alto Q2 y pasarán, por el procedimiento antes explicado, todas las demas entradas a nivel bajo. Por lo tanto, el estado del circuito será el siguiente:

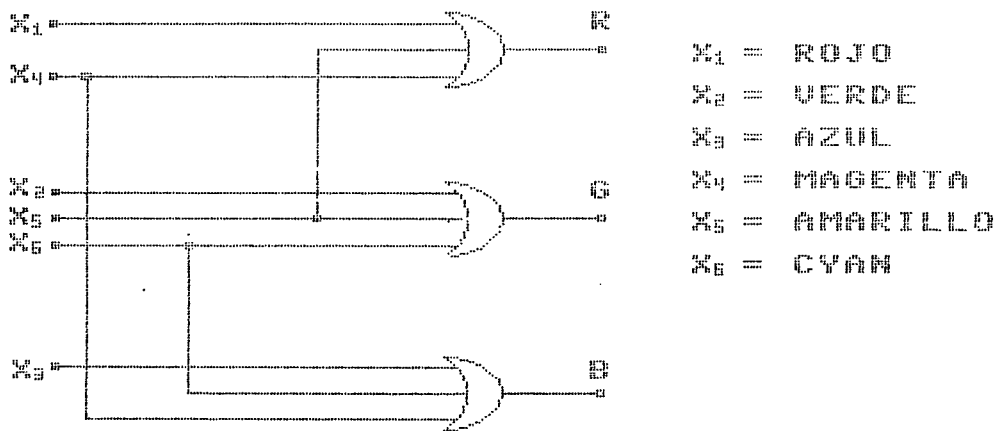
- Al estar Q1 a "0" en el contador IC17, habremos activado las entradas de carga paralela, o lo que es lo mismo, el contador habrá dejado de contar, valga la redundancia, y pasará directamente a la salida la información que exista en sus entradas paralelas.

- Q8 al estar a nivel bajo, obligará al contador IC20 a tener sus salidas a "0", por lo tanto y según el circuito combinacional diseñado con puertas OR podremos hacer que el nivel alto de Q2 se presente en la entrada paralela Po de IC17 con P1 y P2 a "0", pasando esta información directamente a las salidas de S0, S1 y S2 de dicho contador, teniéndola disponible para atacar a la etapa de luminancia.

Idéntico procediminto se sigue para Q3 y Q4 (colores Rojo y Azul), por lo que no es necesario explicarlo con detalle:

	P0	P1	P2	---	Q0	Q1	Q2
Verde	1	0	0	---	1	0	0
Rojo	0	1	0	---	0	1	0
Azul	0	0	1	---	0	0	1

En cuanto a los colores complementarios (entradas Q5, Q6 y Q7), estos son logrados, como ya se sabe, por suma de dos colores primarios. El circuito combinacional elegido es el siguiente.



Para dar salida a las miras de retícula, puntos y multiburst el procedimiento es el siguiente:

Accionamos primeramente la entrada Q8 por lo que anulamos el MASTER RESET de IC20 y ponemos al mismo tiempo todas las demás entradas (Q1-Q7) a nivel bajo. IC20 es un contador del que utilizaremos únicamente su carga paralela. Como podemos observar en el circuito anterior, en las entradas paralelas podemos tener, según conmutemos, las formas de onda para generar la mira de retícula, la de

puntos o el multiburst. Al estar MR a "1", esta información pasará directamente a las salidas S0, S1 y S2 (en las tres existirá la misma información, al ser señales solo con niveles de "1" y "0", es decir, de blanco y negro.

A través de IC19 estas llegarán a las entradas paralelas del contador IC17, el cual, al estar PL a "1", tendrá activada la carga paralela, por lo que la información pasará definitivamente a las salidas R, G, B para presentarse por igual a las tres entradas de la etapa de formación de la matriz de luminancia.

GENERADOR DE SINCRONISMOS

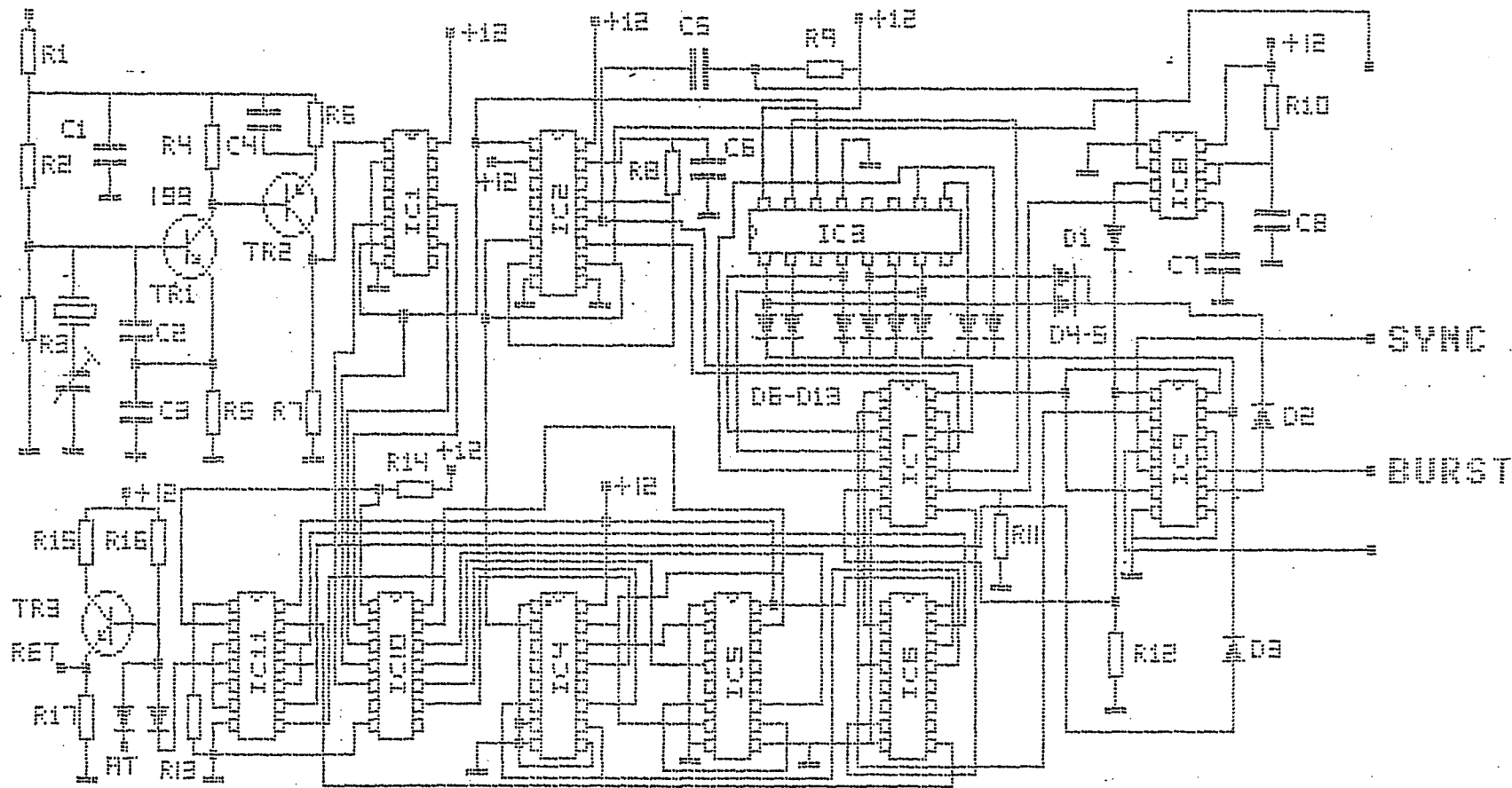
El generador de sincronismos P.A.L. diseñado para este aparato generador de miras proporciona básicamente las siete formas de onda necesarias para una sincronización perfecta de la imagen:

- * Impulso de puerta para la salva de color
- * Impulsos de sincronismo horizontal (H)
- * Impulsos de sincronismo vertical (V) de 50 campos/segundo
- * Impulsos ecualizadores anteriores y posteriores
- * Impulsos de borrado compuesto (composite blanking") (A), que comprende los borrados correspondientes a los retornos horizontales y verticales
- * Impulsos de sincronismo compuesto (S): contiene los impulsos de sincronismo horizontal, vertical y ecualizadores
- * Impulsos de conmutación P.A.L.

La frecuencia fundamental de partida es de 10MHz., la cual esta generada por un oscilador controlado por cristal de cuarzo.

TEORIA DE LOS IMPULSOS DE SINCRONISMOS

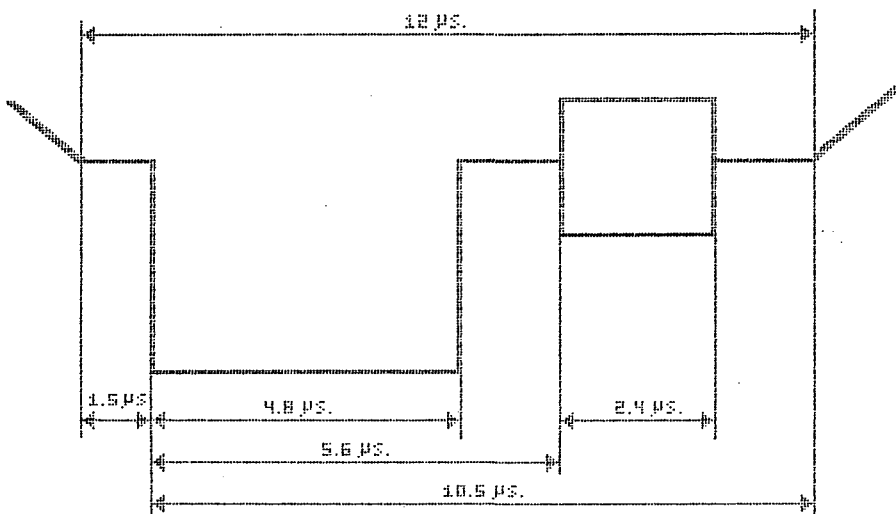
Antes de entrar en el desarrollo del circuito para la obtención de los sincronismos, voy a explicar brevemente los



fundamentos teóricos de estos:

Para empezar, digamos que los impulsos de sincronismo horizontal se encuentran situados sobre los de borrado horizontal, para poder así separarlos por su distinta amplitud, con un nivel de aproximadamente el 25% de la amplitud total de la señal.

La separación entre impulsos coincide lógicamente con el tiempo de duración de una línea, siendo, por tanto, de 64 microsegundos. La posición del sincronismo sobre el borrado no está centrada, sino que se dejan dos escalones o "pórticos" de distinta duración. El pedestal anterior es de 1.5 ± 0.3 microsegundos, y el posterior de 5 microsegundos. El impulso en sí dura aproximadamente 4.8 microsegundos, por tanto la duración del impulso de borrado será la suma de todos estos tiempos, es decir, entre 11.8 y 12.3 microsegundos.



El flanco anterior, o de subida del impulso de

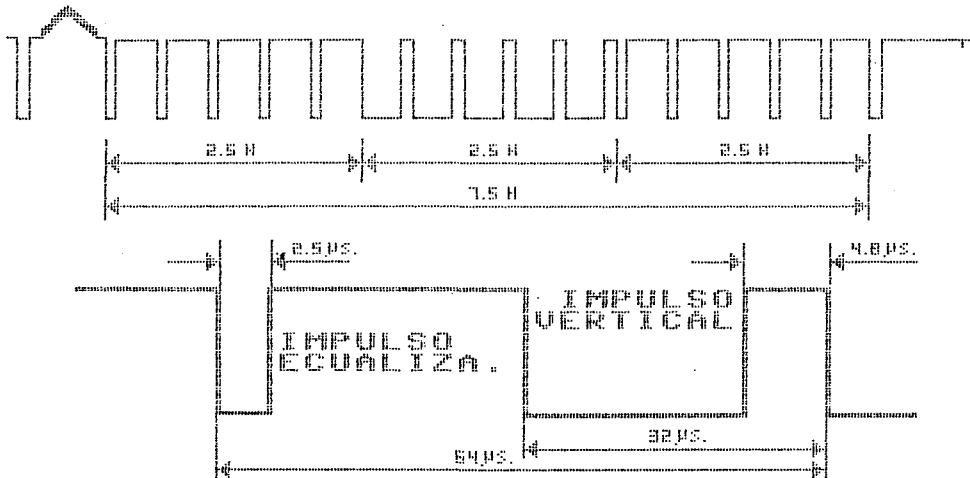
sincronismo es el que produce el retroceso del haz al finalizar la línea. El pedestal anterior hace que la sincronización del oscilador horizontal sea independiente del contenido de video del final de la línea, ya que una zona oscura podría ser interpretada como borrado. En este pedestal se encuentra el impulso para la salva de color, del cual hablaré mas adelante.

El pedestal posterior sirve para eliminar las posibles oscilaciones parásitas que se producen al invertirse la corriente de deflexión al terminar el retroceso del haz, que se manifestarían en forma de barras verticales claras y oscuras situadas en el margen izquierdo de la pantalla, denominadas oscilaciones Barkhausen, entonces durante el tiempo del pedestal se conseguirá que estas oscilaciones se amortigüen y lleguen a eliminarse.

Los impulsos de sincronismo vertical estan situados sobre el impulso de borrado vertical por la misma razón que los horizontales. Mientras que el borrado vertical es un impulso continuo con una duracion de 25 lineas horizontales, lo que supone: $25 \times 64 \mu\text{seg} = 1.6 \text{mseg.}$ de duración, el sincronismo vertical está formado por una serie de impulsos periódicos, ya que si fuera un impulso único se perdería la sincronización horizontal durante ese tiempo.

La composición del sincronismo vertical es la siguiente: 5 impulsos de igualación anterior, con un ancho de 3 microsegundos y un tiempo de separación mitad del de una línea, igual a 32 microsegundos; 5 impulsos de sincronización vertical, propiamente dicho, con una duración de 26 microsegundos y separados por intervalos de 64

microsegundos, 5 impulsos de igualación posterior con las mismas características que los primeros. La duración total de estos impulsos es de nueve líneas= 576 microsegundos:



A continuación, se producen 16 líneas ya gobernadas por el sincronismo horizontal, pero que no serán visibles por estar superpuesto el barrido vertical, para evitar la aparición en pantalla de oscilaciones parásitas.

El barrido vertical de un campo de deflexión (1 cuadro= 2 campos consecutivos) finaliza al aparecer los impulsos de sincronismo vertical, produciéndose el retorno en el tiempo de duración de estos impulsos, arrancando de nuevo al finalizar éstos. El número de líneas de cada campo vertical de barrido es de 312.5, completándose las 625 líneas del cuadro con dos campos consecutivos, con lo que se consigue el entrelazado, ya que uno arrancará desde el extremo superior izquierdo de la pantalla y el siguiente desde el centro superior de la misma. El desfase de media línea hace que los dos barridos no se superpongan apareciendo entrelazados a simple vista, debido a la persistencia óptica de la retina del ojo humano.

Por último, resaltar que en el tiempo de borrado horizontal se encuentra también el impulso de puerta para la salva de color, el cual tiene una duración de 2.4 microsegundos y se localiza en el pedestal posterior al impulso de sincronismo horizontal, tal como se muestra en la figura anterior.

Este impulso de sincronización cromática en el sistema PAL tiene dos misiones: Primero, se restablece con su ayuda la portadora de color en el receptor, con la posición de fase correcta, para que de la demodulación resulten las señales de diferencia de color originales. En segundo lugar, el sobreimpulso cuida de que se llegue a invertir correctamente la componente (R-Y) de la portadora de color entre receptor y emisor. Este cometido se soluciona de la siguiente manera:

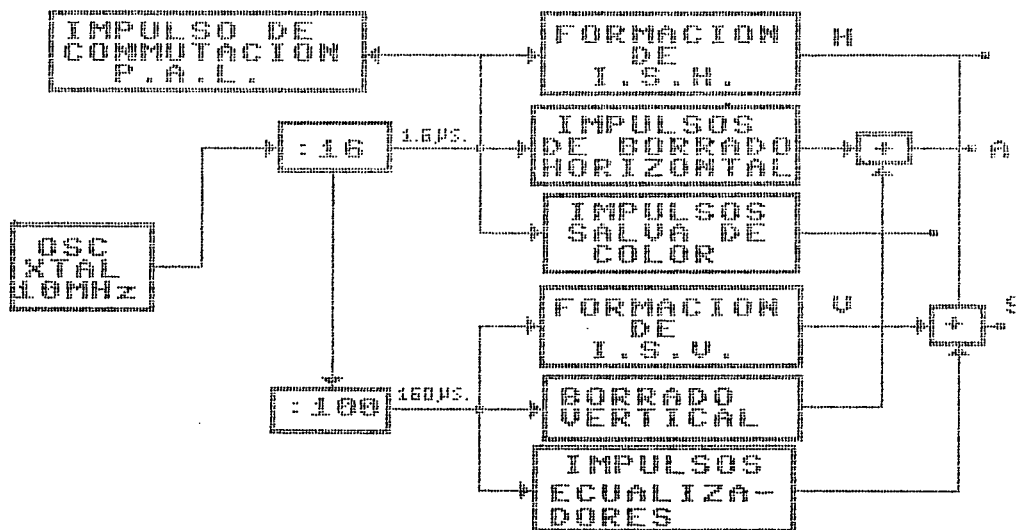
En el sistema P.A.L. se divide también el sobreimpulso en dos componentes, igual que la portadora de color: una, cuya posición de fase se encuentra contrariamente a la (B-Y) positiva, se transmite constantemente en la misma posición de fase: la otra componente, desfasada 90 grados respecto a la anterior, se conmuta de la misma manera que la portadora de color para la modulación con la señal de diferencia de color. Las dos componentes del burst se unen. De esta forma se produce un sobreimpulso desfasado de línea en línea de su fase central alternativamente, una vez en 45 grados en el sentido de las agujas del reloj y otra en la misma cantidad en sentido contrario.

En el receptor se aprovecha la componente de sobreimpulso $(B-Y)$, transmitida con posición de fase constante, para restablecer la portadora de color y se emplea la componente de posición de fase alternativa para la conmutación correcta de fase, en la demodulación de los componentes de la señal de crominancia en dirección $(R-Y)$.

DISEÑO DEL GENERADOR DE SINCRONISMOS

El generador que he diseñado cumple en su totalidad las características de las diferentes señales de sincronismos expuestas en la introducción. Este aparato está provisto de una salida de sincronismo compuesto para su posible utilización con otros equipos de medida.

El diagrama de bloques correspondiente es el siguiente:



En este diagrama podemos observar que la señal de reloj principal proviene de un oscilador de frecuencia de oscilación 10MHz realizado con un cristal de cuarzo. Haciendo una división por 16 obtendremos una cadena de pulsos de periodo 1.6 microsegundos que nos servirán para formar los impulsos de sincronismo horizontal, los impulsos de borrado horizontal y los impulsos para la salva de color.

Realizando una segunda división por 100, obtendremos otra secuencia de impulsos de periodo 160 microsegundos que utilizaremos para la formación de los impulsos de sincronismo vertical, los impulsos de borrado vertical y los impulsos ecualizadores.

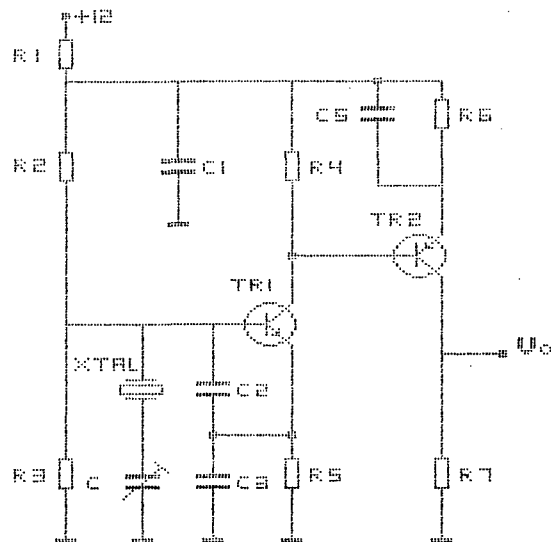
Combinando por medio de circuitos combinacionales sumadores estos impulsos, podremos obtener la señal de sincronismo compuesto así como la señal de borrado total.

También se genera en esta etapa los impulsos de conmutación P.A.L. a introducir en la etapa de la formación de la matriz de luminancia y señales diferencia de color.

Analizaré posteriormente cada bloque por separado, pero antes veamos el diagrama eléctrico en su conjunto:

ETAPA DEL OSCILADOR

El circuito utilizado como oscilador para un frecuencia fija y estable de 10MHz es el siguiente:



Sabemos que un cuarzo oscilante representa un circuito resonante de alta impedancia, cuya frecuencia propia puede desintonizarse en pequeñas proporciones mediante un condensador variable en serie (si se desea consultar su constitución interna, así como sus fórmulas, éstas se encuentran en el apéndice 1).

Como se ve, utilizo como circuito oscilante la disposición conocida por oscilador Clapp, en la que el cuarzo actúa a modo de reactancia inductiva en un circuito capacitivo. La tensión parcial en la capacidad C1 sirve para la realimentación positiva que asegura la continuidad de las oscilaciones. C5 es el condensador de sintonización. Las

capacidades C2 y C3 se eligen de valor alto con respecto a la C3, con lo que resulta despreciable las capacidades internas del transistor, que son sensibles a la temperatura y a la tensión, sobre la frecuencia de oscilación.

En el circuito se observa que TR1 (NPN) actúa como oscilador, mientras que TR2 funciona como separador y excitador de los circuitos integrados CMOS, utilizados para el diseño de este generador de sincronismos. Esta etapa separadora es necesaria para preservar a los elementos que constituyen el oscilador de las acciones exteriores como son temperatura, tensión de alimentación, etc. Así mismo, esta etapa ha de tener una impedancia de entrada constante:



La onda sinusoidal de 10MHz de frecuencia es utilizada como señal de reloj para atacar a un contador binario (4024B), el cual actúa como divisor por 16. Así, en Q3 tenemos un secuencia de impulsos de 1,6 microsegundos de periodo.

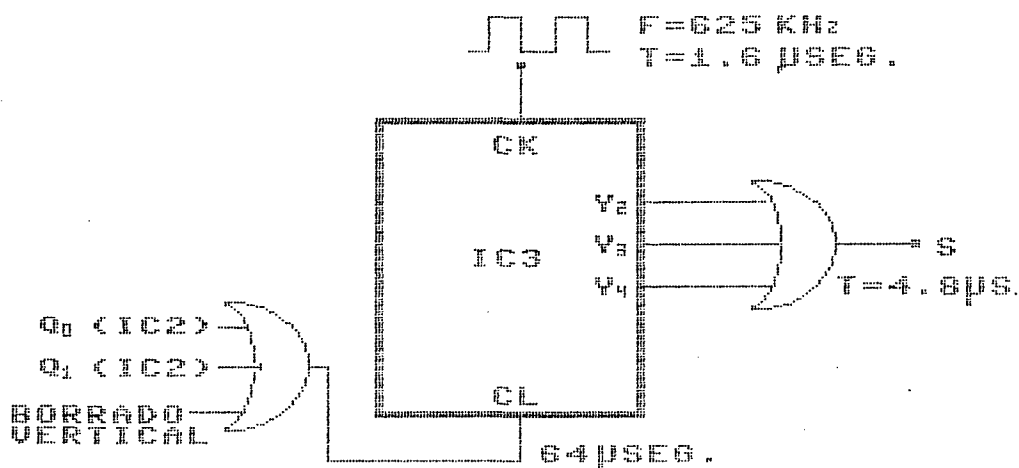
El CD4024B (IC1) es un circuito CMOS con entrada de reset asíncrono y siete salidas en paralelo. Un nivel alto en el reset (pin 2) pone a cero las siete salidas.

Todas las formas de onda, se obtendrán pues, a partir de la secuencia de impulsos de 1,6 microsegundos.

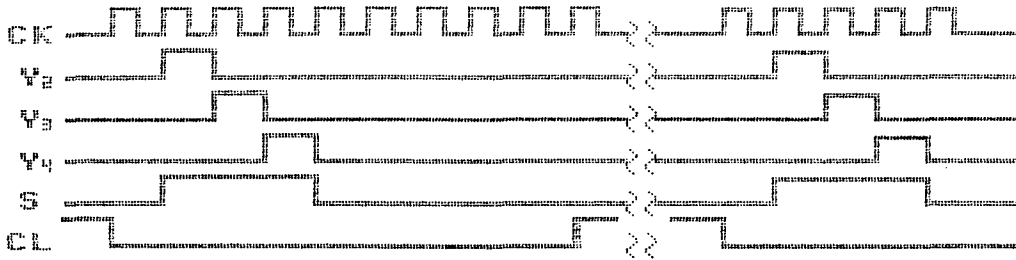
Estos impulsos, son aplicados posteriormente a las entradas de reloj de un CD 4518B (ICZ), el cual es un contador decimal doble de 4 bits con master reset asíncrono (características en el apéndice).

- Formación de los impulsos de sincronismo horizontal:

Estos impulsos se logran formar en base a los estados de salida de IC3 (4017B). Teniendo en cuenta que la señal de reloj utilizada tiene un periodo de 1.6 microsegundos, podremos utilizar las tres primeras salidas (Y2, Y3, Y4) de IC3 y conectadas mediante una puerta OR (IC7), lograremos un pulso de 4.8 microsegundos (3×1.6 microseg.), es decir, la duración del impulso de sincronismo horizontal. El circuito es el siguiente:



Las formas de onda correspondientes a este circuito son las siguientes:



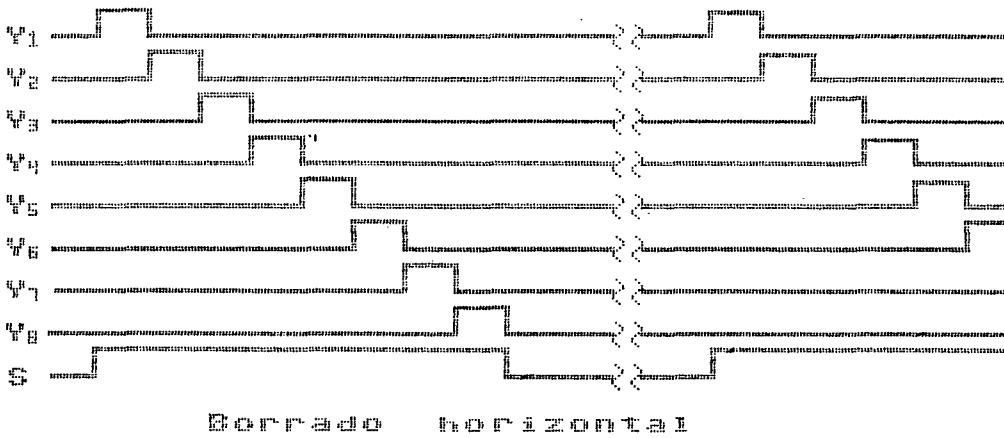
SINCRONISMO HORIZONTAL

Para asegurar la sincronización perfecta de esta señal, se ha conectado a la entrada "clear" de IC3 una puerta OR cuyas entradas provienen del IC2, de tal manera que dejara en funcionamiento al contador IC3 solo cuando el estado de cuenta de IC2 esté comprendido entre 0 y 10. En este caso, quedarán a nivel "0" las salidas Q0 y Q1 de IC2. Debido, pues, a que el ciclo de cuenta completo de IC2 tiene una duración de $40 \times 1.6 = 64$ microseg., se asegura el sincronismo de línea en las salidas de IC3.

- Formación de los impulsos de borrado.

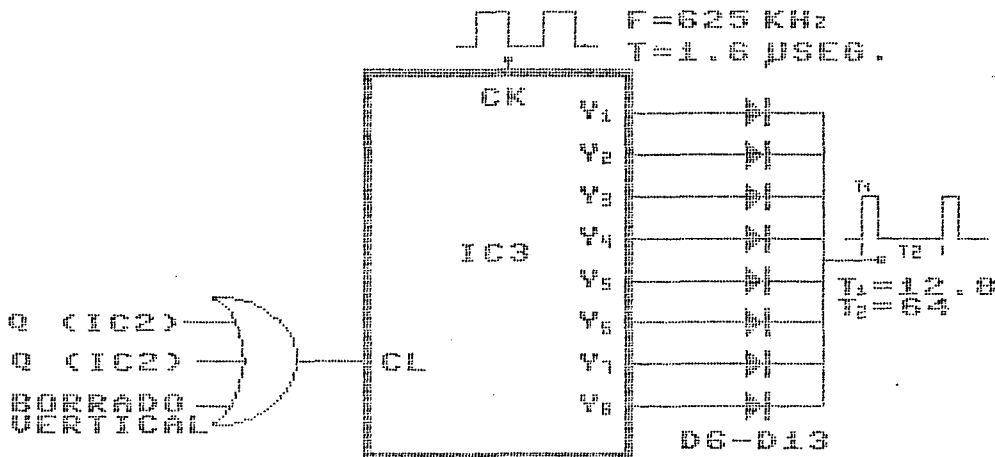
Como comente anteriormente, los impulsos de borrado incluyen los impulsos de sincronismo. Así, el tiempo de la señal de borrado horizontal es de 12.8 microsegundos, mientras que la señal de borrado vertical tiene una duración de 1.28 milisegundos. La forma de obtenerlos en el circuito es la siguiente:

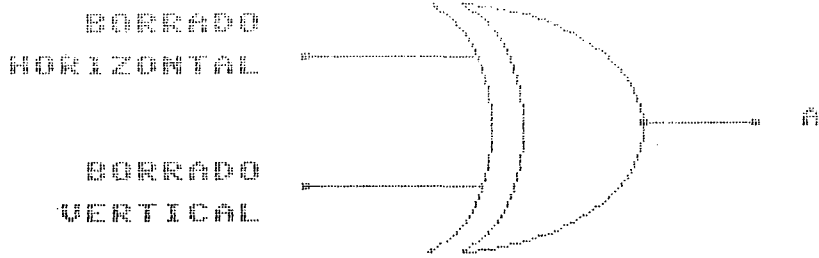
-Borrado horizontal: Se obtiene a partir de los estados de salida de IC3 (4017B), estableciendo una función OR entre las salidas Y1...Y8 de IC3 por medio de 8 diodos conectados en directa (D6-D13):



Como vemos en la gráfica, la duración de la señal de borrado horizontal es de $8 \times 1,6 \text{ mseg.} = 12.8 \text{ microseg.}$

El circuito utilizado para ello sigue el siguiente esquema:





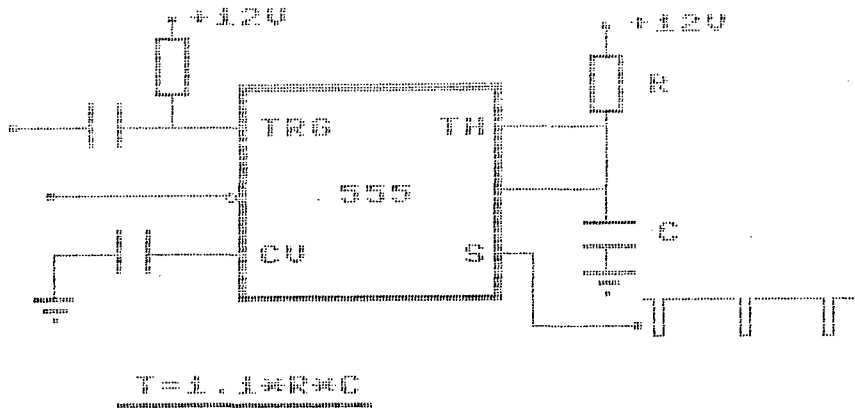
Así pues, en la puerta OR-EXCLUSIVA (IC9) conectada como etapa separadora no inversora, tendremos a su salida los impulsos de borrado totales.

-Formación de los impulsos ecualizadores:

Estos impulsos aparecen en sustitución del impulso de sincronismo horizontal durante el intervalo de 3×160 mseg. Hay que destacar que durante los impulsos ecualizadores no hay ningún impulso de puerta para la salva de color.

La formación es la siguiente: Mediante una puerta OR de tres entradas (IC7), conectada a las tres primeras salidas (Y1, Y2, Y3) del contador IC6, se logra que los primeros 480 microseg. (3×160) del intervalo de borrado produzcan una doble función; por un lado, que sea una señal que bloquee a IC3 a través de otra puerta OR conectada a la entrada clear del IC3 anulando los impulsos de sincronismo horizontal y los de puerta para la salva de color, y por otro lado, al mismo tiempo, deja libre de funcionar al 555 (IC8) conectado en modo monoestable. Es en este monoestable donde se produce realmente los impulsos ecualizadores, al producirse un

impulso de 2,5 microseg. de duracion cada 32 microseg:



La temporizacion esta contralada por R y C externos segun se indica en la figura.

El circuito ha sido disenado de la siguiente manera:

-El condensador de temporizacion C se carga desde VCC a traves de R.

-R1 y R2 son mas bien arbitrarias. Sus valores han sido puestos de tal manera que mantengan la entrada de disparo bastante superior a $VCC/3$ en ausencia del impulso negativo de disparo aplicado a traves de C7. En estado estable, C se mantendra descargado.

Los circuitos de entrada del 555 hacen que, una vez comenzado el ciclo de temporizacion, el nivel de tension en la entrada de disparo no tenga efecto hasta que no se complete el ciclo, siempre que la tension no suba por encima de VCC.

- La tension entre los terminales de C es aplicada a

la entrada de umbral. Cuando la tension del C alcanza $2/3$ de VCC, el comparador responde, pone a "0" el F-F y termina el ciclo con la descarga de C. La duracion T del ciclo es el tiempo necesario para que el condensador C se cargue desde 0 a $2/3$ de Vcc. Este tiempo es $T = 1.1 \times R \times C$. Se observa que T no depende de VCC. Esta independencia es consecuencia de que la tension umbral es un fraccion fija de VCC hacia la cual se carga C asintoticamente.

Segun la ecuacion anterior, los valores escogidos para R y C son los siguientes:

$$R=10 \text{ K} \quad \text{Y} \quad C=220 \text{ pF}$$

Todas las formas de onda obtenidas en esta etapa son las siguientes:

Mediante D1 conectado a la salida de IC8 (555) se unen

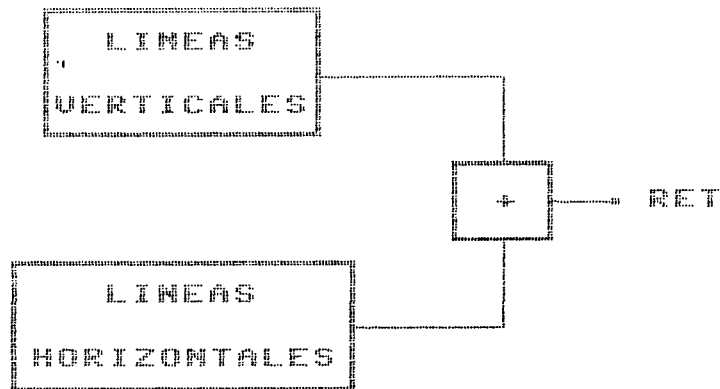
estos impulsos ecualizadores a los de sincronismo para la obtencion final de la senal de sincronismo compuesto.

-Formacion del impulso de puerta para la salva de color:

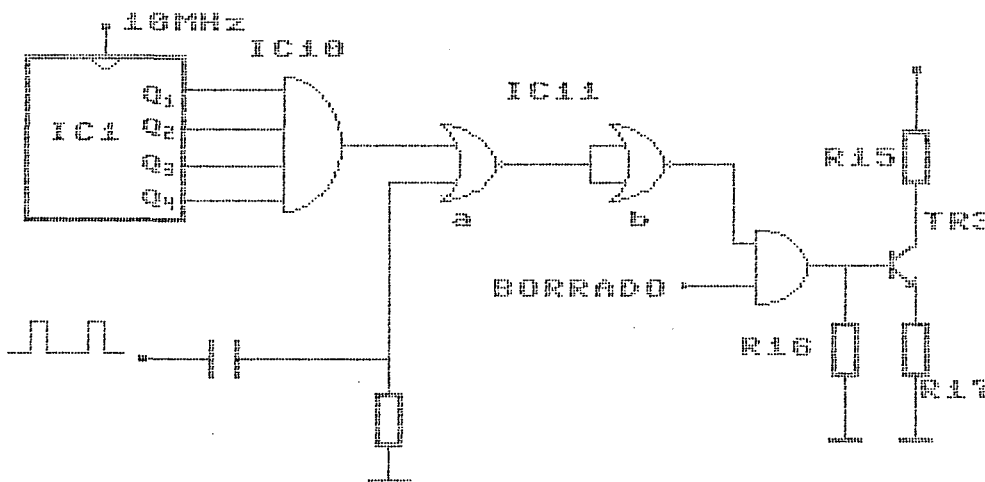
Como explique en la introduccion a los impulsos de sincronismo, este tipo de impulso se encuentra en el tiempo correspondiente al borrado horizontal, exactamente, 0,8 microsegundos despues del final del sincronismo horizontal, (en el pedestal posterior), y con una duracion aproximada de 2,4 microsegundos. Su obtencion es lograda, al igual que los sincronismos horizontales, a partir de los estados de salida de IC3.

GENERADOR DE RETICULA

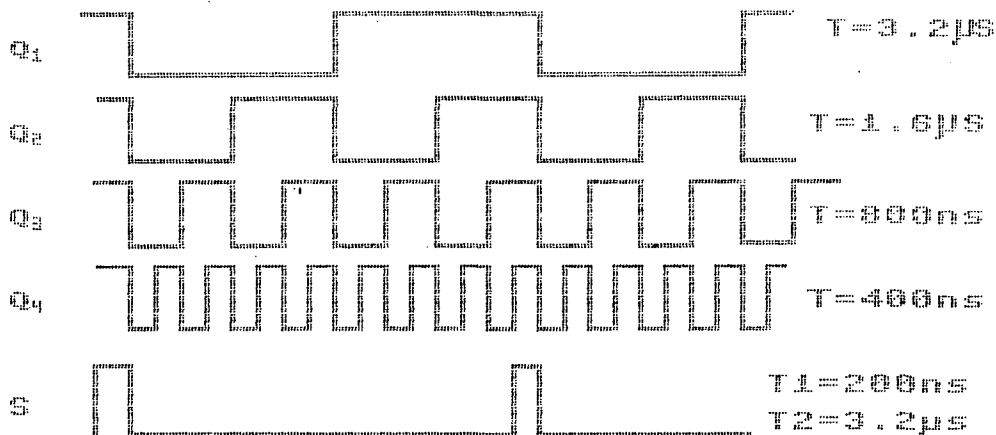
La mira de retícula, cuya estructura ha sido explicada en la primera parte de esta memoria, se obtiene en la práctica según el siguiente diagrama de bloques:



Para generar las líneas verticales de la retícula, hay que irse hasta la etapa del generador de sincronismos, y dentro de ella, a IC1. El esquema eléctrico total es el siguiente:



En este circuito podemos observar que es a partir de IC1 donde generamos según el estado de sus salidas, las siguientes formas de onda:



Como podemos ver, a través de la puerta AND (IC10) se genera un impulso de duración 200 nseg. cada 3,2 microseg.. Estos impulsos formarán las líneas verticales de la retícula.

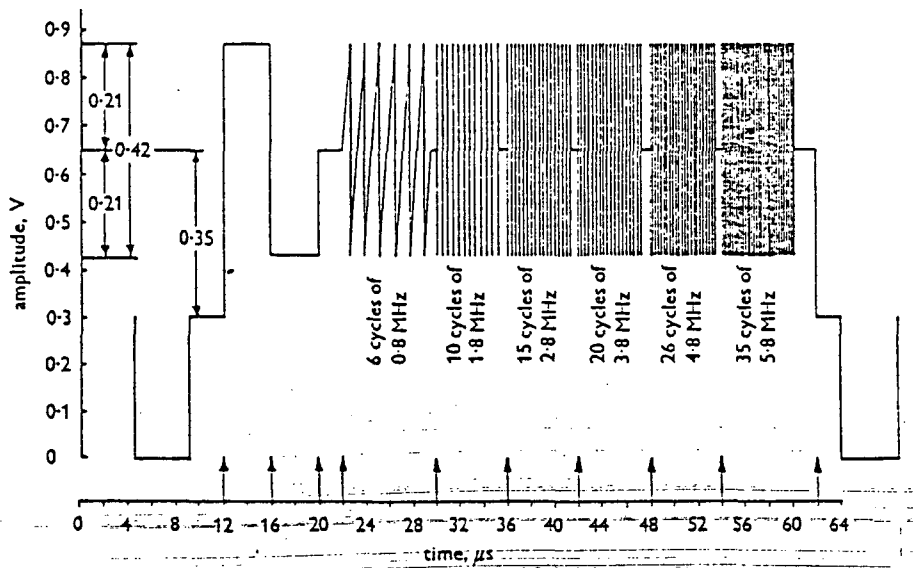
Las líneas horizontales provienen de Q3 de IC4 cuyos frentes positivos de los impulsos, y a través de C, se suman por medio de la función OR a los verticales, de forma que a la salida se origine la señal para una imagen de retícula. La misión de D1 es proteger la entrada de la puerta lógica de los picos de tensión negativos e IC11b invierte la señal.

Por medio de IC se le suma la señal de borrado

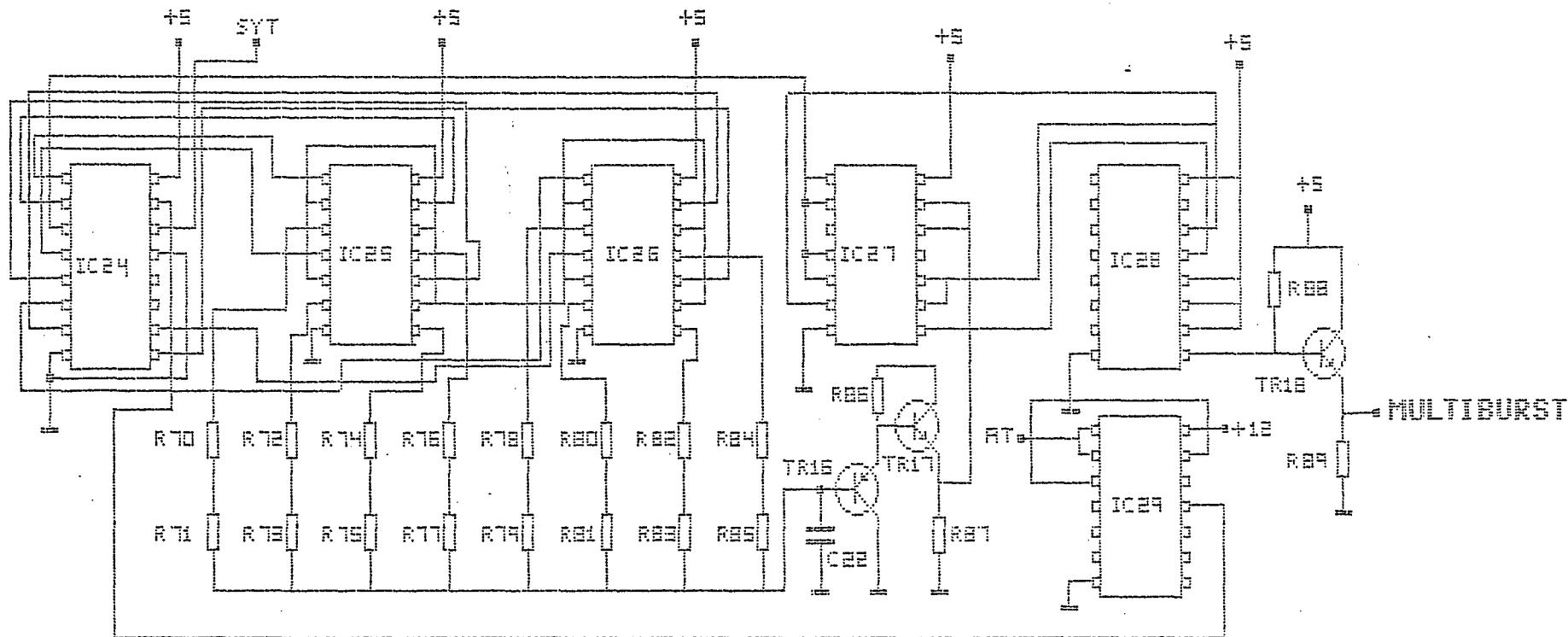
compuesto, de manera que cuando ésta esté activada no se suministrará corriente al seguidor de emisor TR3 que generara la señal para su utilización como entrada en las entradas paralelas de IC20 correspondiente a la sección de la selección de funciones.

GENERADOR DE MULTIBURST

El generador de señal de multiburst diseñado para este equipo produce ocho grupos de frecuencias (ondas rectangulares de frecuencias 0.5, 1, 1.5, 2, 2.5, 3, 3.5 y 4 MHz) que se conmutan a intervalos de 6.4 microsegundos por medio de un reloj producido en el generador de sincronismos. Estas señales producen una imagen de franjas verticales que ocupa la totalidad de la pantalla, siendo la línea de video tal como se muestra en la siguiente figura:



El circuito completo que genera esta mira ha sido diseñado según el esquema siguiente:

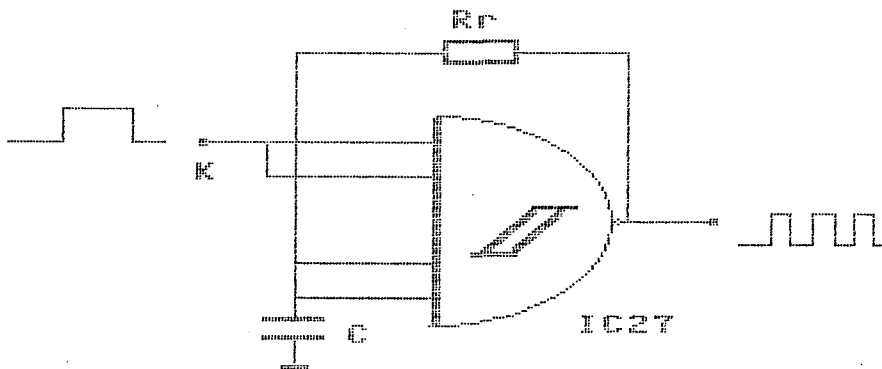


El elemento principal del oscilador es el trigger Schmitt TTL (74LS13) (IC27) formado por dos puertas NAND con 4 entradas cada una.

Este elemento debe cumplir los siguientes requisitos:

- * Relación impulso/pausa de la onda de salida: 50%
- * Ausencia de fenómenos transitorios en la conmutación entre las diversas frecuencias.
- * Angulo de fase bien definido al inicio de cada línea, de forma que en la pantalla pueda aparecer una imagen estática.

La siguiente figura nos muestra una versión básica del oscilador:

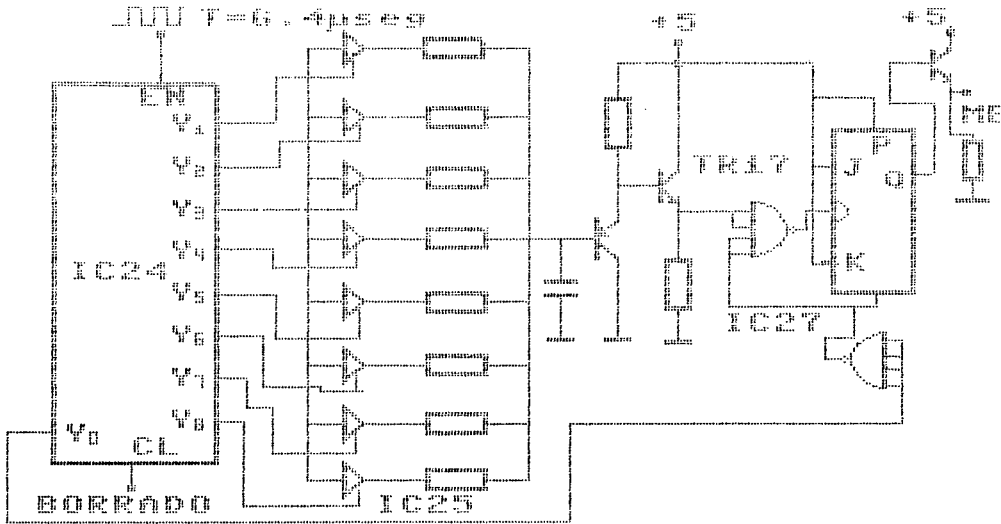


Las entradas están conectadas entre sí de dos en dos. Si a la entrada de control K se aplica una tensión de 0 voltios, la tabla de verdad indica que la salida de la puerta lógica permanece a "1" (5 vol). C se cargará por tanto a esta tensión. Cuando K pasa a nivel "1", Q pasará a nivel "0" y C se descargará a través de Rr hasta alcanzar el umbral inferior de histéresis (0,8 vol.). Sucesivamente, Q pasará de nuevo a "1" y por lo tanto C se cargará siempre a

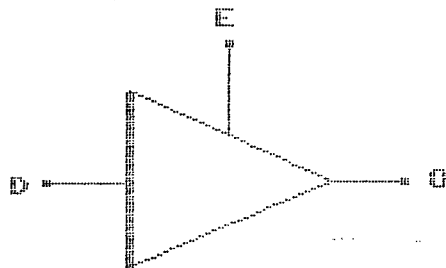
través de R_r hasta el umbral superior de histéresis (1,6 vol.). Este ciclo se producirá repetidamente y el oscilador generará la señal deseada. El valor de la resistencia R_r es fundamental para establecer la duración del periodo con C constante.

El 74LS13 es un circuito integrado TTL y por lo tanto la resistencia de realimentación no deberá tener un valor excesivamente elevado, ya que de lo contrario la corriente de entrada del integrado (0,18 mA) produciría una influencia demasiado marcada sobre la duración del periodo. Para obtener una relación de frecuencias de 1:8 (de 0,5 a 4 MHz) la resistencia de entrada deberá ser muy elevada, de forma que sea posible introducir la necesaria variación de la resistencia de realimentación. Para este cometido, los seguidores de emisor TR16 y TR17 garantizan una resistencia de entrada muy elevada y no permiten desplazamientos de la regulación a la salida, ya que las tensiones base/emisor quedan compensadas gracias al empleo de transistores NPN y PNP.

El circuito al que estoy haciendo referencia es el siguiente: →



Por el emisor de TR17 excitamos al trigger Schmitt IC27. La salida en la patilla 8 de este integrado se aplica a las ocho entradas de dos 74LS126 (IC25 e IC26), "buffers" de tres estados. Tan pronto como la entrada de control de uno de los ocho elementos quede a nivel 1, la señal aplicada a la entrada se transferirá a la salida.



E	D	SALIDA
H	L	L
H	H	H
L	X	ALTA Z

Estas entradas de control (E) de los dos 74LS126 a la que hago alusión se excitan a través de IC24 que es un contador decimal con decodificador, el cual tiene la misión de establecer el trayecto por donde la señal de salida del trigger Schmitt se aplica a las resistencias que determinan la frecuencia y que están conectadas a la salida del

74LS126.

Los "buffers" de tres estados constituyen el conmutador que conecta las resistencias R70-R85 entre la salida del trigger Schmitt y su entrada, para determinar la frecuencia del oscilador. Dado que la tensión de salida de IC27 no tiene la adecuada relación impulso/pausa de 1:1, es necesario conectar además un flip-flop que pueda corregir esta relación. Como el flip-flop efectúa una división por dos de la frecuencia, el oscilador deberá generar frecuencias dobles de las necesarias.

El seguidor de emisor TR18 permite obtener una salida a baja impedancia para adaptar la señal a la entrada paralela de IC20 (teclado)

La señal de reloj que controla a IC24 proviene del generador de sincronismos, con un periodo de 6,4 microseg.

A la entrada de cada componente alimentado a 5 voltios se dispone de un diodo que, con el ánodo conectado a la entrada, se hace conductor solo cuando la tensión de excitación tiene un nivel inferior a 5 voltios. Si el nivel citado es de 12 voltios, el diodo queda bloqueado y a través de la resistencia el nivel a la entrada del integrado será de 5 voltios.

La señal de borrado total introducida a través de IC29 proviene también del generador de sincronismos. Esta tiene un nivel "1" durante los intervalos de borrado horizontal y vertical. Al estar presente, se producirá una reposición de IC24 e Y0 pasará a nivel "1".

Y0 se invierte por el segundo trigger Schmitt (IC27) y se aplica al F-F IC28. Esta señal provoca la parada del

oscilador mientras la salida de IC28 queda a nivel "0".

Las salidas de IC24 cuando se activan producen las siguientes frecuencias:

Y1 : 0.5 MHz

Y2 : 1.0 MHz

Y3 : 1.5 MHz

Y4 : 2.0 MHz

Y5 : 2.5 MHz

Y6 : 3.0 MHz

Y7 : 3.5 MHz

Y8 : 4.0 MHz

MATRIZ DE LUMINANCIA Y SEÑALES DIFERENCIA DE COLOR

La etapa que posteriormente voy a desarrollar, es quizás, la parte más importante, en cuanto a su función, en el diseño de este equipo. Se trata de la formación de la señal de luminancia y de las señales diferencia de color correspondiente a la mira seleccionada desde el teclado. En cualquier caso, a la ecuación que debemos llegar es:

$$Y = 0.3R + 0.59G + 0.11B$$

Esta señal corresponde a la señal de contenido de imagen en la televisión de blanco y negro y se denomina en la de color luminancia Y. Se compone de determinadas partes de las señales cromáticas primarias U , U y U :

$$Y = a U + b U + c U$$

Con los factores a, b y c se tiene en cuenta la distinta sensibilidad del ojo humano para haces luminosos cromáticos de diferente longitud de onda: un haz luminoso verde se percibe con mucha más luminosidad que otro azul de la misma intensidad. El haz luminoso verde aparece por tanto mucho más luminoso en una imagen de blanco y negro que el de azul. La siguiente figura muestra la relación entre la sensibilidad del ojo humano y la longitud de onda del haz luminoso. En ella se representa el grado de sensibilidad lumínica (la sensibilidad del ojo adaptado a la luminosidad

referida al valor máximo resultante con $\lambda = 555\text{nm}$ en función de la longitud de onda del haz luminoso:

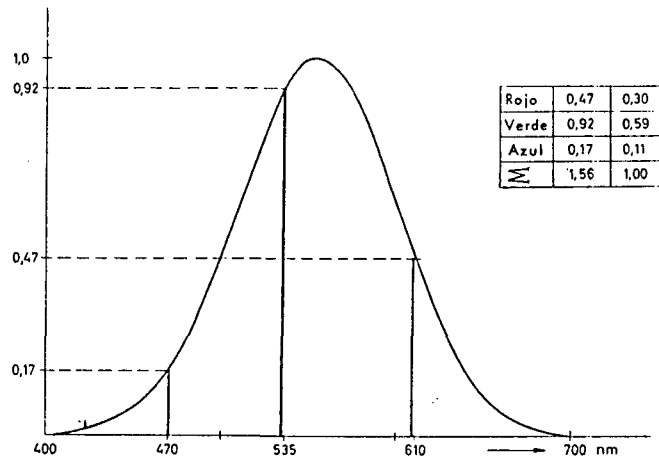


Fig. 1-10.— Curva de visibilidad relativa. Se han indicado los tres primarios usados en TVC.

Para las sustancias luminiscentes elegidas del tubo de imagen de televisión en color, se obtiene de esta figura:

Sustancia luminiscente . Grado de sensibilidad

Rojo	610nm	0,47
Verde	535nm	0,92
Azul	470nm	0,17

A estos grados de sensibilidad lumínica les corresponde las componentes de las tres señales cromáticas primarias que integran la señal de luminancia. Los factores a, b y c por los que han de multiplicarse las señales cromáticas primarias al formar la señal de luminancia se obtienen con la condiciones de $a+b+c = 1$, dividiendo cada uno de estos grados de sensibilidad por la suma de los tres:

$$a = \frac{0.47}{1.56} = 0.30$$

$$b = \frac{0.92}{1.56} = 0.59$$

$$c = \frac{0.17}{1.56} = 0.11$$

Para la señal de luminancia vale pues la siguiente relación de las señales cromáticas primarias:

$$U_y = 0.30 U_r + 0.59 U_g + 0.11 U_b$$

La formación de la señal de luminancia de las tres señales cromáticas primarias, según esta ecuación, se efectúa en un circuito matriz, tal como el que se utiliza en este diseño.

El tubo de imagen del receptor de televisión en color está regulado por la señal de luminancia igual que en el de blanco y negro. Pero en la televisión en color se necesitan señales adicionales con las que se transmite la crominancia de los diferentes puntos de imagen, ya que cada color comprende luminancia y crominancia. Para ello se emplean, por ejemplo, las señales cromáticas primarias reducidas por la señal de luminancia. Estas tensiones se denominan señales de diferencia de color:

$$U - U_y \quad U - U_y \quad U - U_y$$

Para la reproducción de televisión en color es suficiente transmitir a parte de la señal de luminancia Y, dos de diferencia de color, por ejemplo (R-Y) y (B-Y), ya que de éstas se pueden deducir la tercera:

$$\text{Con } Y = aR + bG + cB \text{ y } a+b+c = 1$$

vale:

$$Y(a+b+c) = aR + bG + cB$$

De ello se obtiene

$$a(R-Y) + b(G-Y) + c(B-Y) = 0$$

y

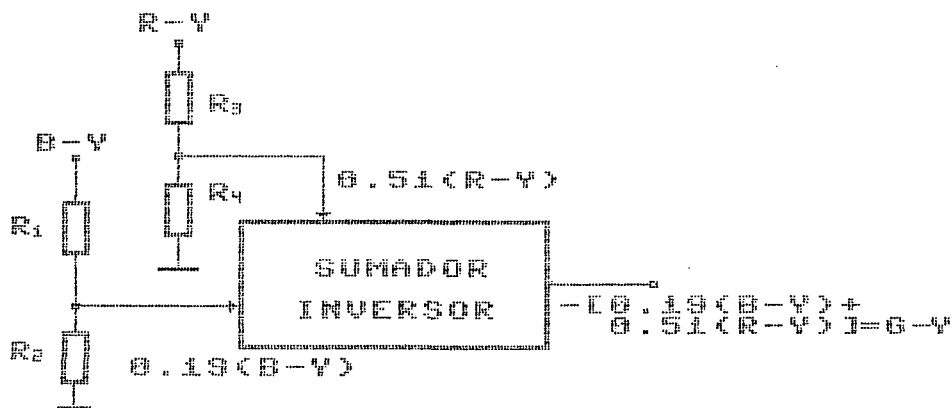
$$(G-Y) = -\frac{a}{b}(R-Y) - \frac{c}{b}(B-Y)$$

Con $a = 0.3$; $b = 0.59$ y $c = 0.11$ vale

$$(G-Y) = -\frac{0.30}{0.59}(R-Y) - \frac{0.11}{0.59}(B-Y)$$

$$(G-Y) = -[0.19(B-Y) + 0.51(R-Y)]$$

Por lo tanto, si el receptor recibe B-Y y R-Y, en la siguiente figura se muestra el circuito capaz de reconstruir (en el receptor) la señal G-Y



Gracias por lo tanto, a la relación demostrada entre G-Y y las otras dos señales de diferencia de color, la emisora (la mira) no necesita enviar la primera, que el propio receptor se encarga de reconstruir. Como se ve, ello constituye una simplificación en cuanto al sistema emisor.

NECESIDAD DE LAS SEÑALES DIFERENCIA DE COLOR

Se podría plantear la pregunta de por qué escoger las señales de diferencia de color en lugar de las aparentemente mas simples RGB. La respuesta es la siguiente: Sabiendo que las tres cámaras que componen la cámara de color (R,G,B) han de ser ajustadas previamente para que en ausencia de color, sus señales de salida sean iguales, es decir, para el nivel de blanco R, G y B presentan un valor de 1 voltio; para luminosidades inferiores (grises), las salidas citadas seguirán siendo iguales, aunque sin alcanzar 1 voltio.

Pues bién, si enfocamos una escena incolora mediante una cámara de color R, G y B existirán y, además con niveles idénticos. Recordando que $R-Y = 0.70R - 0.59G - 0.11 B$ y llamando M al valor común de los tres componentes cromáticos se tiene:

$$R-Y = 0,70 M - 0,59 M - 0,11 M$$

$$R-Y = 0$$

Por otra parte, $B-Y = -0,30 R - 0,59 G + 0,89 B$

donde sustituyendo M:

$$B-Y = -0,30 M - 0,59 M + 0,89 M$$

$$B-Y = 0$$

En cuanto a G-Y, es evidente que queda también anulada, en tanto en cuanto es una combinación en proporciones adecuadas de las anteriores, ahora inexistentes

$$G-Y = - [0,19 (B-Y) + 0,51 (R-Y)]$$

Esto significa que si una cámara de color se encuentra retransmitiendo una escena en blanco y negro, puesto que R G y B existen, se creará la señal de luminancia normalmente. Sin embargo, al anularse las señales de diferencia de color, no se genera señal adicional, lo que resulta beneficioso por problemas de compatibilidad. Por el contrario, haciendo uso directo de R, B y G, éstas existirían en cualquier caso, ya sea en color o en blanco y negro.

- Elección de (B-Y) y (R-Y):

El porqué para la transmisión las señales diferencia de color $E_r - E_y$ y $E_b - E_y$ en vez de $E_g - E_y$ es debido a lo siguiente:

Partiendo de la relación:

$$E_y = 0.3E_r + 0.59E_g + 0.11E_b$$

y

$$(G' - Y') = -(0.30/0.59)(R' - Y') - (0.11/0.59)(B' - Y')$$

$$(G'-Y') = -0.51(R'-Y') - 0.186(B'-Y')$$

Si $(G'-Y')$ fuese una de las dos señales transmitidas, entonces sería necesaria ganancia en la matriz de luminancia. Así, de la ecuación de arriba se deduce que:

a) Si $(R'-Y')$ fuese la señal que falta, entonces la matriz deberá estar basada en la fórmula:

$$(R'-Y') = -(0.59/0.3)(G'-Y') - (0.11/0.3)(B'-Y')$$

el factor $0.59/0.3=1.97$ implica ganancia en la matriz.

b) Si $(B'-Y')$ fuese la que falta, la fórmula de la matriz sería:

$$(B'-Y') = -(0.59/0.11)(G'-Y') - (0.3/0.11)(R'-Y')$$

ambos factores $0.59/0.11=5.4$ y $0.3/0.11=2.7$ implican ganancia.

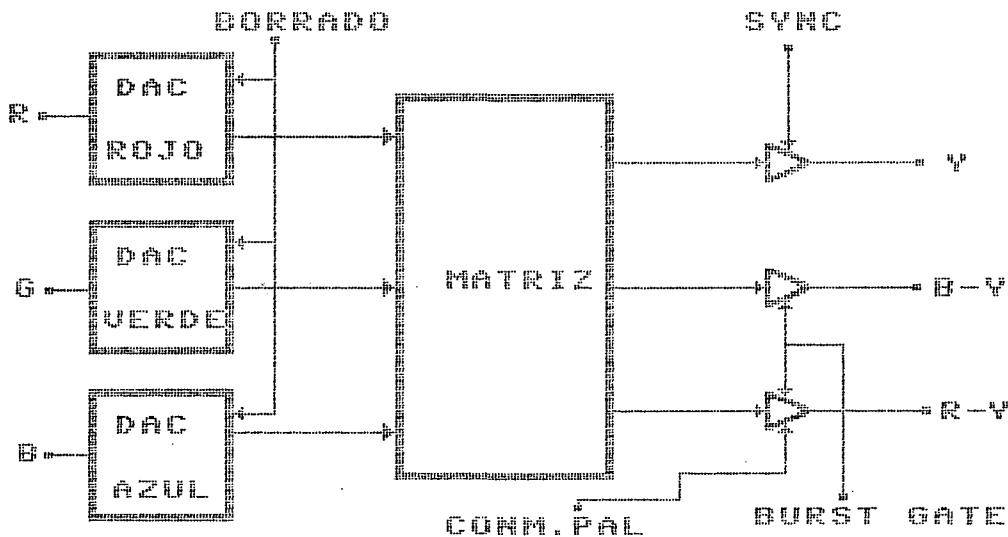
Esto demuestra que técnicamente será menos cómodo usar $(G'-Y')$ para modular una de las dos componentes en cuadratura de la señal de crominancia. Además, en muchas escenas, la amplitud de $(G'-Y')$ es pequeña. El examen de las formas de onda de las señales de barras de color muestra que $(G'-Y')$ es o bien la menor de las tres señales diferencia de color, o casi igual a la mas pequeña de las otras dos. La pequeña amplitud, así como la necesidad de ganancia en la matriz, hara que los problemas de ruido sean mas difíciles que cuando se hace uso de las señales $(R'-Y')$ y $(B'-Y')$.

DISEÑO DE LA MATRIZ DE LUMINANCIA Y SEÑALES DIFERENCIA DE COLOR

Una vez vista esta introducción pasemos a la práctica, es decir, al circuito utilizado para generar la luminancia y las señales diferencia de color antes mencionados:

El circuito principal lo constituye el integrado LM1886, el cuál es en su primera etapa un convertidor digital-analógico para pasar con los datos analógicos a formar dicha matriz de luminancia. Resaltar que es totalmente compatible con el sistema PAL europeo, al incluir la posibilidad de la alternancia de fase en las líneas con el cambio de polaridad en la señal (R-Y) y en el burst.

Su diagrama de bloques sería el siguiente:



En este diagrama de bloques podemos observar que los tres DAC de entrada son idénticos. Cada uno consiste en tres fuentes de corriente controladas por amplificadores

diferenciales (por corriente).

Las entradas de rojo, verde y azul de este circuito corresponden a las tres salidas con los mismos nombres del contador IC17, es decir, la última etapa del selector de funciones.

Las corrientes de salida de cada uno de los convertidores digital/analógico, son ponderadas por medio de los diferenciales por el factor 0,59 el cual corresponde al coeficiente del verde en la ecuación de luminancia.

Los otros dos factores, como son 0,3 para el rojo y 0,11 para el azul son a partir de esta corriente por sendas divisiones de corriente.

Una vez combinadas las corrientes resultantes para el rojo y el azul, con la corriente del verde, podemos formar una ecuación, en función de estas corrientes, de la luminancia.

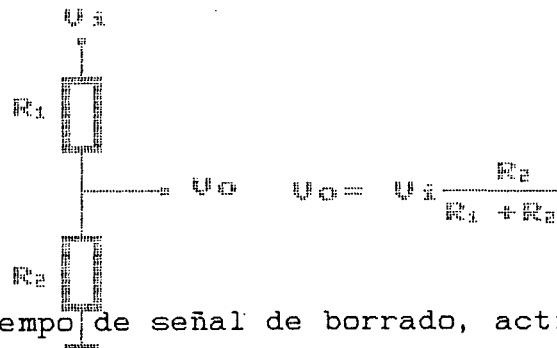
$$Y = 0,3I_r + 0,59 I_g + 0,11 I_b$$

A la salida, lo que nos interesa es la ecuación matricial Y en función de las tensiones correspondientes a cada color primario, por lo que el circuito desarrolla una conversión corriente/tensión, a través de resistencia conectada con un amplificador sumador con una tensión de referencia de 5 voltios. Por lo tanto tendremos en la patilla 6 de salida la ecuación:

$$Y = 0.3R + 0.59G + 0.11B$$

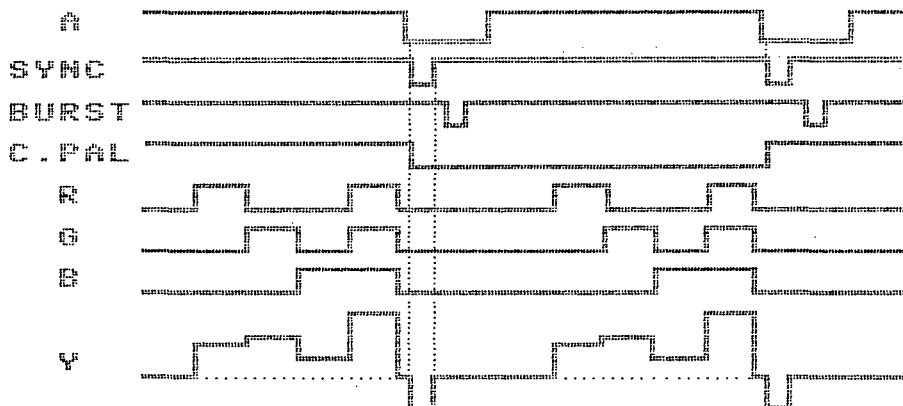
El circuito eléctrico de esta etapa junto con el de croma es el siguiente:

La señal de borrado generada en la etapa de sincronismos es introducida con un nivel de 5 voltios e invertida con respecto a la original en los tres DACS. El paso de la amplitud de 12 voltios a 5 voltios se realiza mediante un simple divisor formado por dos resistencias:



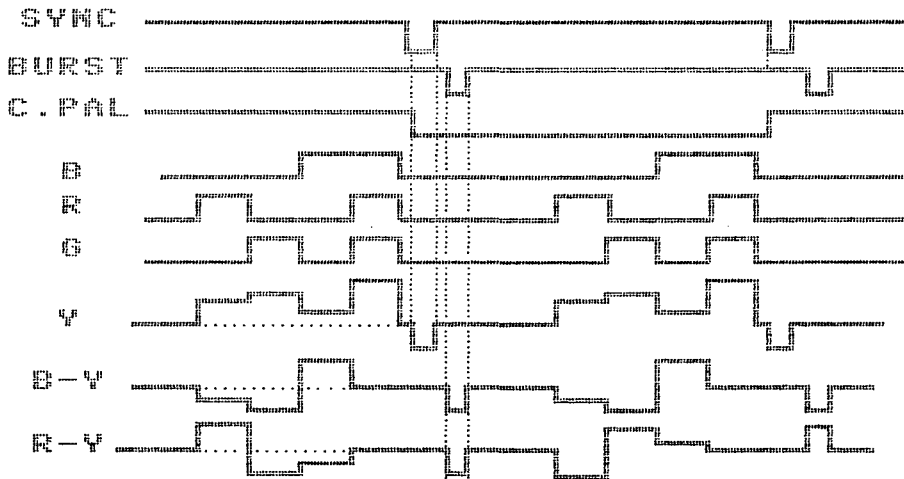
En el tiempo de señal de borrado, activo a nivel bajo, I_r , I_b e I_g se harán 0, independientemente de los estados existentes en la entrada.

Una vez realizada la ecuación matricial de la luminancia, a ésta se le suma los impulsos de sincronismo compuesto, introducidos por la patilla 8, y con un nivel de 5 voltios también. Las siguientes formas de onda nos servirán para entender un poco mejor esta etapa:

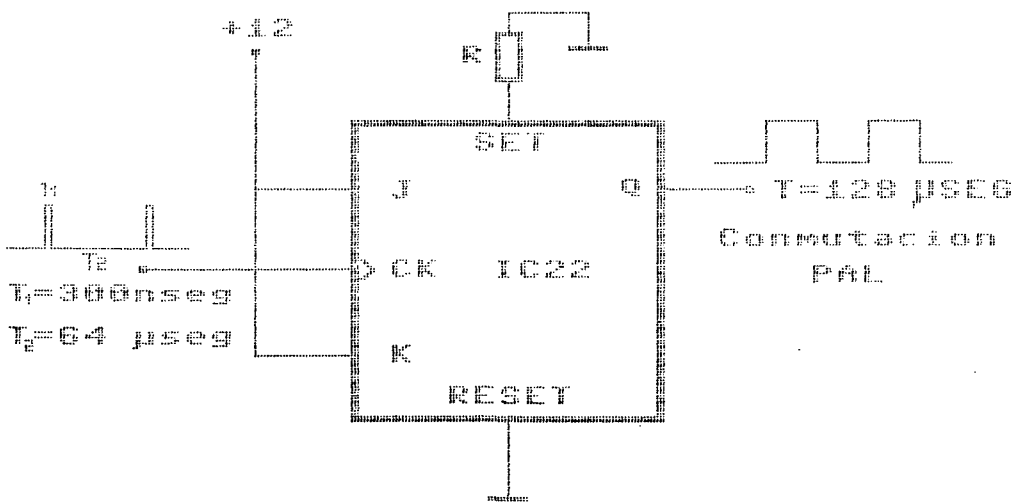


Las señales diferencia de color son obtenidas a partir de la luminancia anterior y de las tensiones obtenidas en bornes de una resistencia de B y R. Los factores ponderadores se encuentran presentes en las señales gracias a unos amplificadores de ganancia aproximada 0.8 y 0.56.

Por la patilla 1 se introduce el impulso de puerta para el Burst, el cual es sumado a las señales diferencia de color B-Y y R-Y, obteniendo a la salida las formas de onda siguientes:



Como sabemos, el principio del sistema P.A.L. consiste en el hecho de que, una línea tras otra, se produce un desfase de la portadora del componente V igual a 180 grados. Pues bien, este impulso de conmutación P.A.L necesario lo he generado en esta etapa por medio del siguiente circuito:



En él se observa que la señal de reloj es el impulso de reposición aplicado a IC2 que aparece al final de una línea (es decir, con un periodo de 64 microsegundos), siendo activo en el flanco de subida. Como sus entradas asíncronas están siempre a nivel bajo (masa), por lo tanto inactivas, la salida Q conmutará de 0 a 1 o viceversa cada vez que se presente un flanco de subida de la señal de reloj, por lo que el periodo de Q será el doble que la de la señal de reloj. En la siguiente gráfica se ilustra con más claridad este paso:

MODULADOR DE COLOR

La siguiente etapa a analizar una vez vista la generación de la ecuación de la luminancia y la formación de las señales diferencia de color es la forma de modular estas señales de cara a tener señal de video a la salida para atacar a un monitor o bien a un receptor de televisión, pasando antes por la modulación de radiofrecuencia.

Aquí utilizo también un circuito específico para esta tarea. Se trata del LM1889 en dónde se realizan las siguientes funciones:

- *oscilador para la subportadora de sonido (5.5 MHz)

- *oscilador para la subpotadora de croma (4.433619 MHz)

- *modulación en cuadratura de la croma

- *oscilador de radio/frecuencia

Pero antes de meternos con su estudio y diagrama de bloques, explicaré brevemente la teoría de la modulación en cuadratura citada anteriormente:

MODULACION DE CUADRATURA

Este tipo de modulación procede del uso que se hace de dos subportadoras idénticas en frecuencia, pero en cuadratura de fase, para modular en amplitud con subportadora suprimida, las señales diferencias de color

Er-Ey, Eb-Ey.

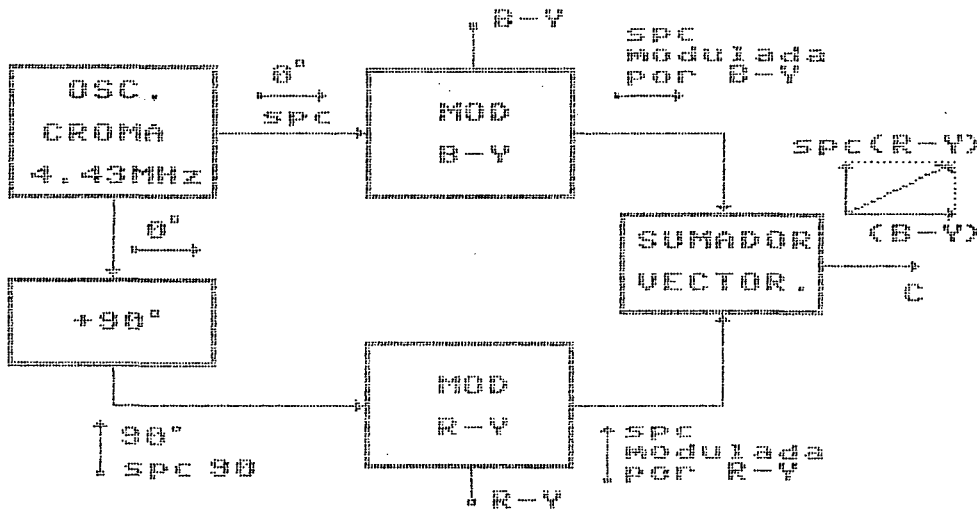
Básicamente, la modulación en cuadratura consiste en partir de una señal subportadora de frecuencia estable, a la que se somete a un desfaseamiento de 90 grados para tener a disposición dos señales a 0 grados y 90 grados con que modular las dos componentes de color. Así pues:

* B-Y modula en amplitud a una subportadora de color de una frecuencia de 4.433619 MHz.

* R-Y modula en amplitud a la subportadora de color citada anteriormente, tras haber sido ésta última adelantada 90 grados respecto a la modulada por B-Y.

Ambas subportadoras, representadas por vectores formando ángulo recto, pueden sumarse vectorialmente en un circuito sumador lineal cuya salida única denominamos vector de crominancia C.

Un diagrama de bloques sería el siguiente:



En la salida del diagrama de bloques, los vectores modulados por B-Y y R-Y están representados suponiendo que B-Y y R-Y sean tensiones positivas. Sin embargo, como se vió en el estudio de las barras, pueden ser también negativas. Esto lleva a que las fases de dichos vectores sufran un giro de 180 grados.

Pero entremos a analizar lo que significa las señales de subportadora moduladas en amplitud:

Como sabemos, una señal modulada en amplitud es aquella en la que el valor de pico de sus ciclos aumenta y disminuye al ritmo de la señal moduladora (B-Y o R-Y en el caso de estas subportadoras).

Cuando la portadora se modula en amplitud por la onda moduladora, se obtiene la siguiente señal partiendo de dos:

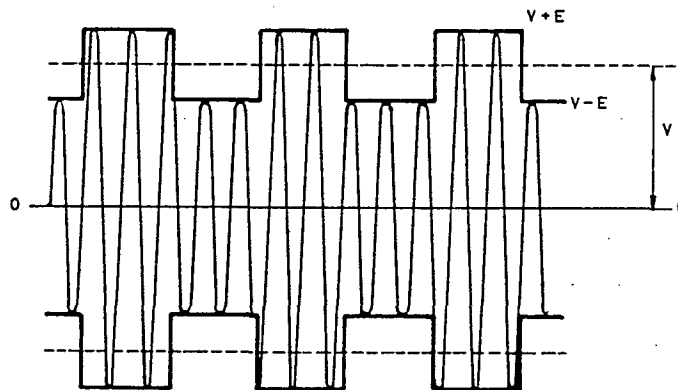
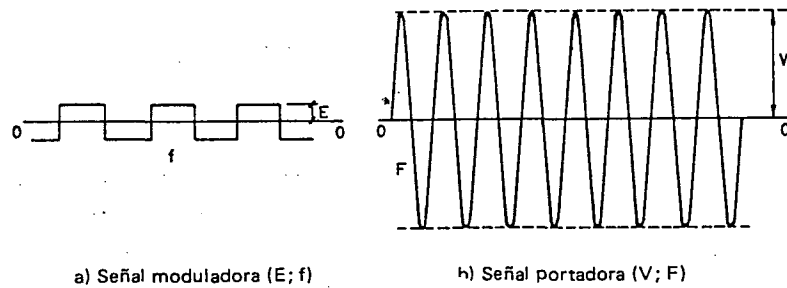


Fig. 10-8.— Portadora de frecuencia F modulada en amplitud por la señal de frecuencia f .

La onda modulada en amplitud está formada por tres:

*La propia portadora sin modular, es decir, con una amplitud constante y de una frecuencia F .

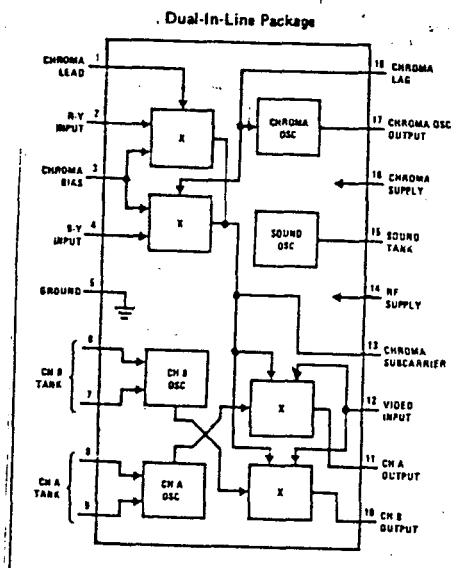
*La banda lateral superior, con una frecuencia de valor igual a la suma de la propia portadora y de la señal moduladora ($F + f$). Su amplitud es la mitad de la onda moduladora ($E/2$).

* La banda lateral inferior con una frecuencia de valor $F-f$ y una amplitud constante de $E/2$.

Un sistema modulador genera a su salida la señal modulada en amplitud, formada por sus tres componentes. Sin embargo, usando un modulador llamado "modulador balanceado", la señal de salida no dispone de la componente portadora, existiendo solo las dos bandas laterales. Se dice que se está en presencia de una señal modulada en amplitud con portadora suprimida. La resultante será, entonces, la suma de ambas bandas laterales, que recibe el nombre de "producto de modulación".

Pues bién, los moduladores B-Y y R-Y son, realmente moduladores balanceados. Esto significa que suministran productos de modulación, con la subportadora suprimida y con una fase opuesta cada vez que la señal moduladora (B-Y o R-Y) se hace negativa (ver apéndice 2)

El componente principal para la realizacion del modulador balanceado lo constituye el integrado LM 1889 (IC23). Su diagrama de bloques interno es el siguiente:



El estudio de cada uno de los bloques es el siguiente:

* Oscilador de subportadora de croma:

Se trata de un oscilador controlado por cristal de cuarzo para asegurar la exactitud y estabilidad requerida en la subportadora de color a la hora de la recepcion:

El circuito utilizado esta dibujado en la etapa anterior correspondiente a la luminancia. En el podemos observar lo siguiente:

La malla de retardo formada por R62 C13 y R63 C12 define la referencia de la cuadratura de fase de las componentes V y U entre los pines 1 y 18 para una frecuencia de subportadora de 4.43369 MHz.

Si se desea, se puede obtener a la salida de C12 la onda correspondiente a la señal de subportadora de color, para uso externo. Para la propia modulación, la amplitud de la señal de subportadora ha de ser de 500 mvol. pico a pico.

C14 es el condensador conectado en serie al cristal para "sintonizar" perfectamente la frecuencia subportadora de color.

* Modulador de croma:

El método para modular, es definir las fases de la cuadratura con 90 grados de desfase entre una señal y otra, provenientes de los pines 1 y 18 respectivamente.

En el sistema PAL la fase del producto de modulación V es invertida línea por línea en 180 grados, es decir, de +90 grados a 270 grados cuando $(R' - Y')$ es positiva y de +270 grados a +90 grados cuando $(R' - Y')$ es negativa.

El nivel "0" de señal en continua para las entradas de las señales diferencia de color $R-Y$ y $B-Y$ viene determinado por los 5 voltios aplicados a la entrada "croma bias" (pin 3). Cuando existen simultáneamente señales en pin 2 y pin 4, (U y V), la amplitud de la subportadora de color y su fase será la del vector suma de ambas.

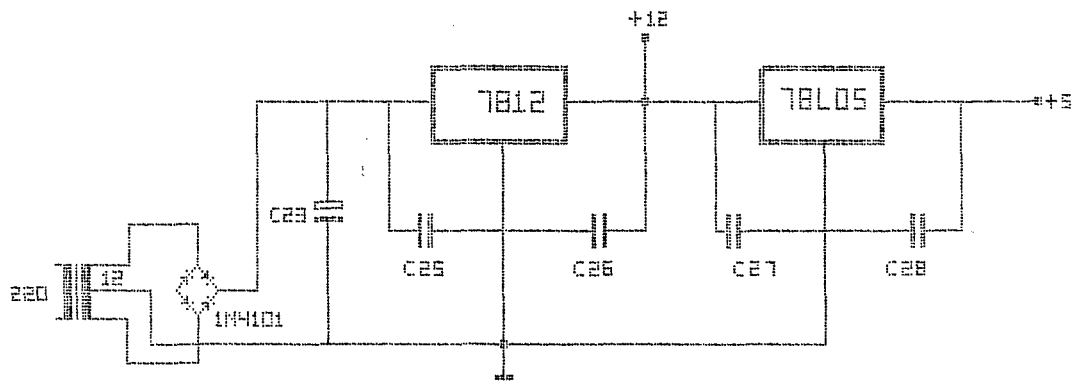
Durante el tiempo del impulso de puerta para el Burst, a éste se le suman 10 o 11 ciclos de la frecuencia de subportadora, cuya finalidad es como ya expliqué, por una parte restablecer con su ayuda la portadora de color en el receptor, con la posición de fase correcta, y por otra cuida que se llegue a invertir correctamente la componente $(R-Y)$ de la portadora de color entre receptor y emisor.

FUENTE DE ALIMENTACION

En lo que respecta a la fuente de alimentación, se trata de un diseño simple de una fuente estabilizada.

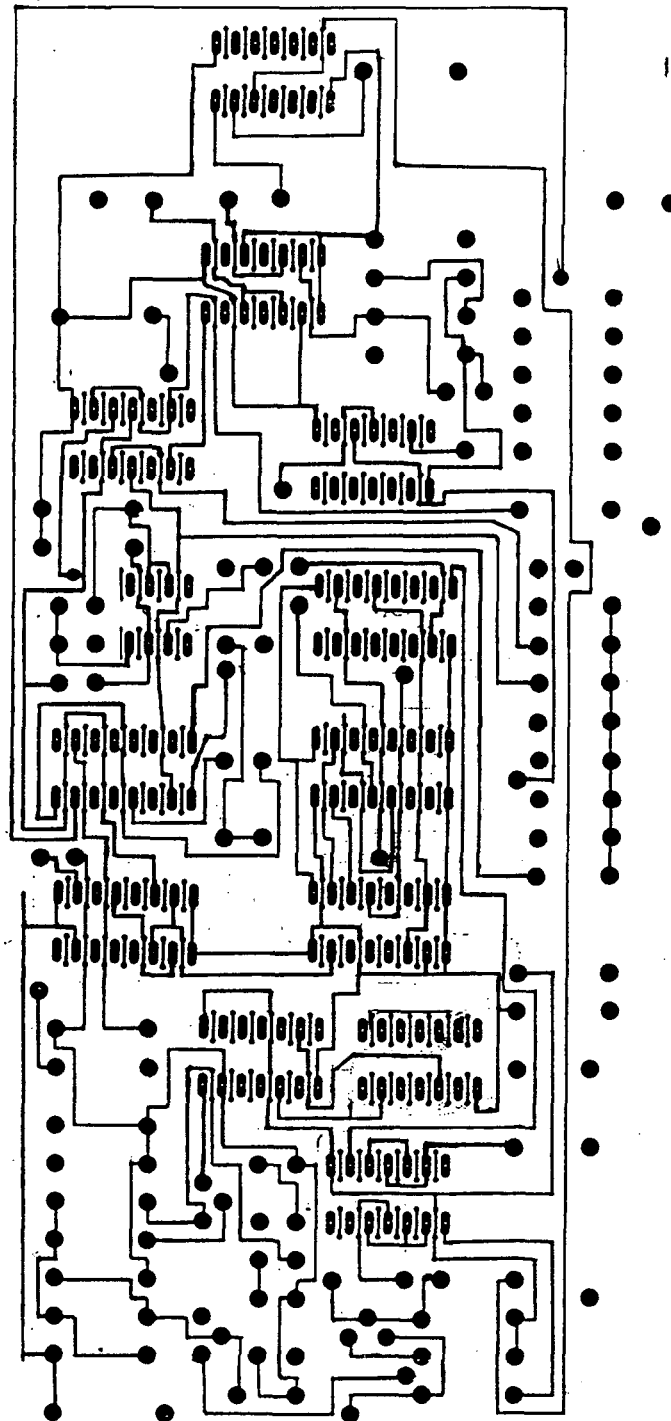
Para obtener la tensión de +12 utilizo el regulador de tensión integrado 7812. A partir de esta tensión obtengo una de 5 voltios por medio del 78L05 para alimentar a los circuitos TTL que utilizo en el generador.

Así pues, el circuito de la fuente es el siguiente:



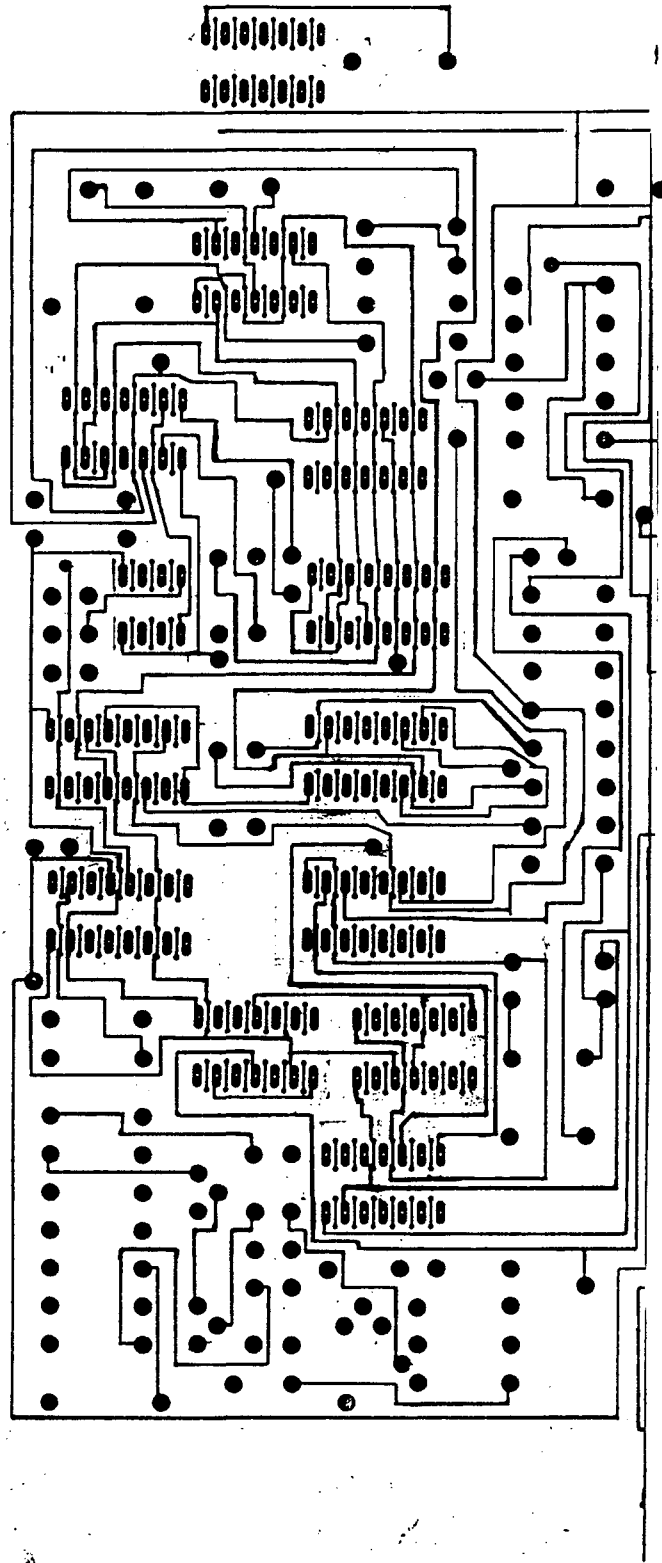
- Placa del generador de sincronismos:

Cara de componentes



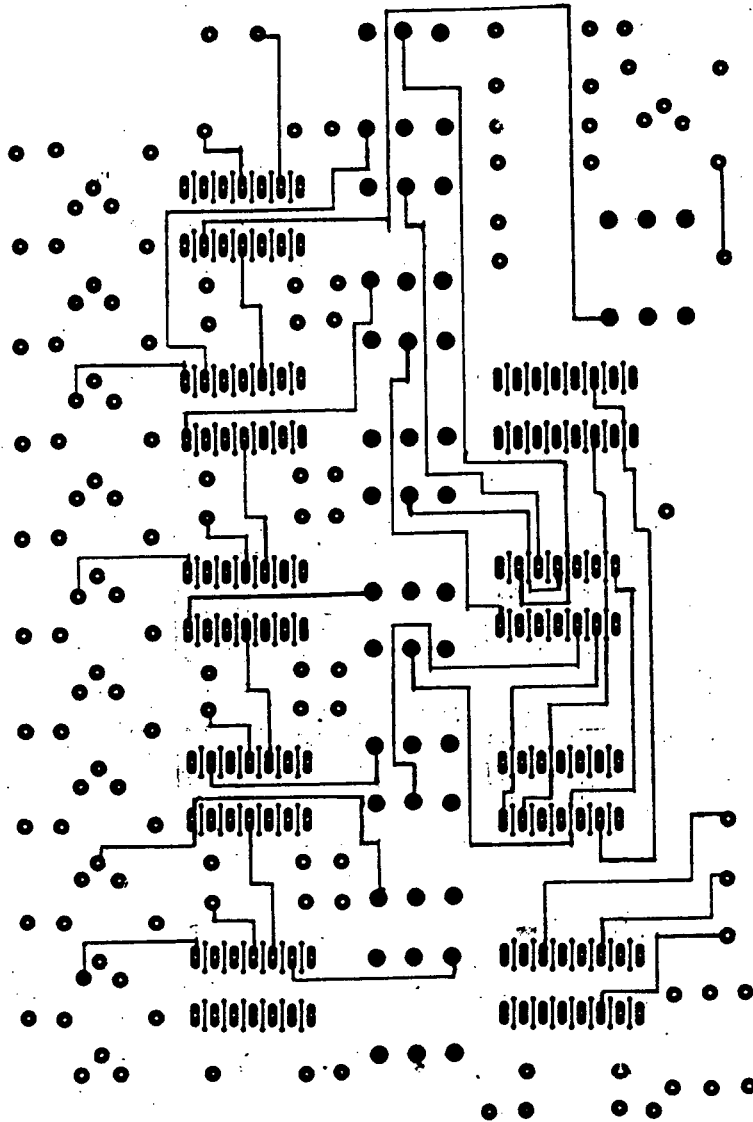
- Placa del generador de sincronismos:

Cara de soldadura



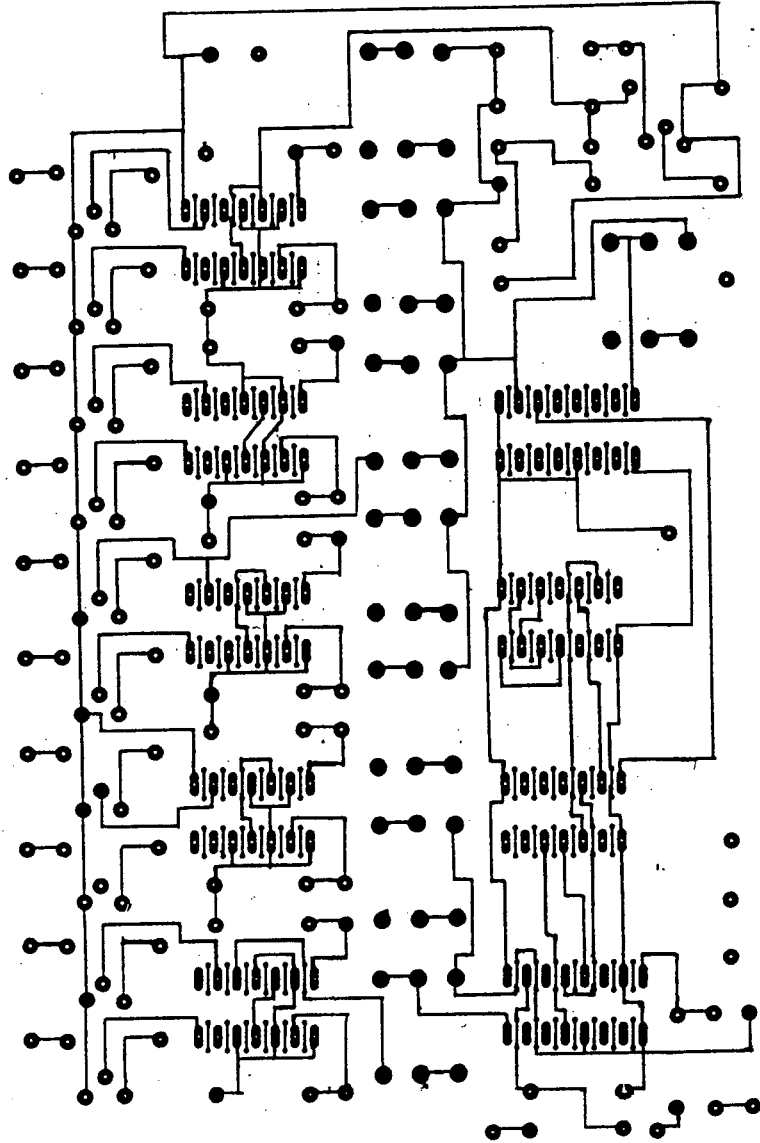
- Placa del selector de funciones:

Cara de componentes



- Placa del selector de funciones:

Cara de soldadura



BIBLIOGRAFIA

*BIBLIOGRAFIA**- TEORIA DE LA TV EN COLOR.*

Geoffrey H. Hutson ED. MARCOMBO

- TEORIA Y TECNICA DE LA TELEVISION EN COLOR.

Tomas Bethencourt INSTITUTO DE RTVE.

- TV COLOR.

E. Carretie ED. PARANINFO

- ELECTRONICA. ENCICLOPEDIA PRACTICA.

ED. NUEVA LENTE

- REVISTA ESPANOLA DE ELECTRONICA

Numeros: 377, 378, 380, 383, 384 y 388

- TECNICA DE LA TELEVISION EN COLOR.

AEG-Telefunken ED. PARANINFO.

- MONITORIZACION Y CONTROL DE LA SENAL DE VIDEO.

Monografia INSTITUTO DE RTVE.

- CIRCUITOS ELECTRONICOS. TOMOS 2 y 4.

Elias Munoz Merino ETSIT DE MADRID.

- TV COLOR. REPARACION.

A. Borque ED. PARANINFO.

- MANUALES TTL Y CMOS

- MICROELECTRONICA.

Jacob Millman

ED. HISPANO EUROPEA, SA.

APENDICE 1

Proceso de modulación en cuadratura:

Sea

$$V_1 = a \cos \omega_c t$$

una señal de frecuencia subportadora .

Sea

$$V_m = b \cos \omega_m t$$

una señal modulante sinusoidal

Si estas señales se aplican a un modulador balanceado con portadora suprimida se obtiene:

$$V_{sal} = 2 \cos \omega_c t \cos \omega_m t$$

y teniendo en cuenta que

$$\cos \omega_c t \cos \omega_m t = 1/2 [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

$$V_{sal} = V_m [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

donde es claro que si la señal modulante $V_m = 0$ entonces $V_{sal} = 0$ como corresponde a una modulación con portadora suprimida.

Similarmente, si

$$V_2 = V_o \sin \omega_c t$$

es una segunda señal a la frecuencia subportadora y en 90 grados con la V_1 , y

$$V_n = a \cos \omega_m t$$

es otra señal modulante, la salida del segundo modulador

balanceado será:

$$V'_{sal} = 2 V_n \sin \omega_o t \cos \omega_n t$$

o bien

$$V'_{sal} = V_n [\sin(\omega_o + \omega_n)t + \sin(\omega_o - \omega_n)t]$$

Por lo tanto, las salidas de los moduladores pueden sumarse vectorialmente en un sumador lineal, para arrojar una salida única que se anula cuando ambas señales modulantes se anulan.

APENDICES

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
I_{DD}	Quiescent Power Supply Current	XC			20			40			80	μ A	MIN, 25°C MAX	All inputs at 0 V or V_{DD}
					100			300			600			
XC	XM			5			10			20	μ A	MIN, 25°C MAX		
				150			300			600				

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C (see Note 2)

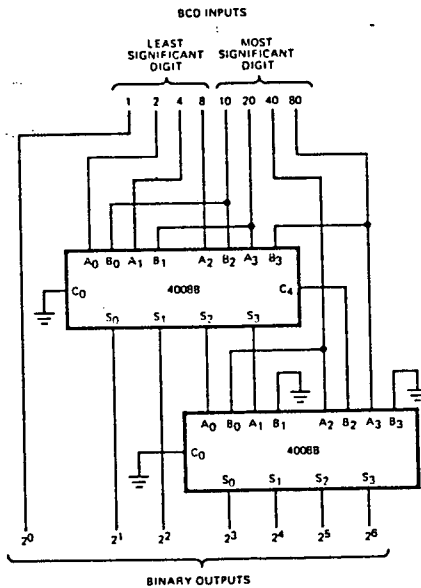
SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, A_n, B_n to S_n		150	300	60	140		50	110	ns	$C_L = 50$ pF, $R_L = 200$ k Ω , Input Transition Times < 20 ns	
t_{PHL}			150	300	60	140		50	110	ns		
t_{PLH}	Propagation Delay, A_n, B_n to C_4		138	275	63	130		50	100	ns		
t_{PHL}			138	275	63	130		50	100	ns		
t_{PLH}	Propagation Delay, C_0 to S_n		115	250	69	115		52	90	ns		
t_{PHL}			123	250	69	115		52	90	ns		
t_{PLH}	Propagation Delay, C_0 to C_4		72	200	28	95		23	75	ns		
t_{PHL}			95	200	28	95		23	75	ns		
t_{TLH}	Output Transition Time		60	135	30	75		20	45	ns		
t_{THL}			60	135	30	75		20	45	ns		

NOTES:

1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.

APPLICATION

A 2-DIGIT BCD TO 7-BIT BINARY DECODER USING THE 4008B



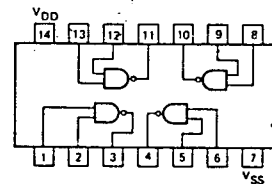
4011B • 4012B

4011B QUAD 2-INPUT NAND GATE

4012B DUAL 4-INPUT NAND GATE

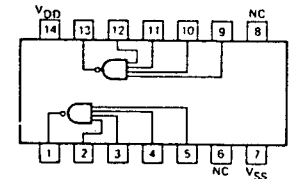
DESCRIPTION — These CMOS logic elements provide the positive input NAND function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.

4011B LOGIC AND CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE: The Flatpak versions have the same pinouts (Connection Diagram) as the Dual In-line Package.

4012B LOGIC AND CONNECTION DIAGRAM DIP (TOP VIEW)



DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
I_{DD}	Quiescent Power Supply Current	XC			1			2			4	μ A	MIN, 25°C MAX	All inputs at 0 V or V_{DD}
					7.5			15			30			
XM				0.25			0.5			1	μ A	MIN, 25°C MAX		
				7.5			15		30					

AC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C, 4011B only (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay		60	110		25	60		20	48	ns	$C_L = 50$ pF, $R_L = 200$ k Ω Input Transition Times < 20 ns
t_{PHL}			60	110		25	60		20	48		
t_{TLH}	Output Transition Time		60	135		30	70		20	45	ns	
t_{THL}			60	135		30	70		20	45		

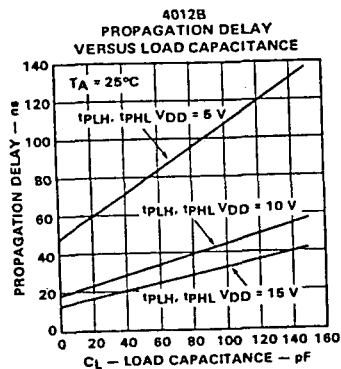
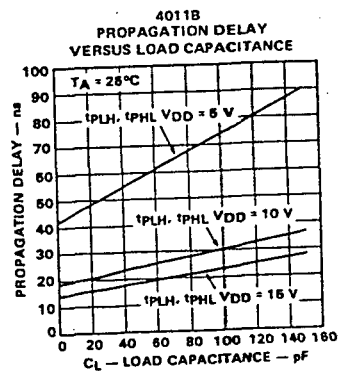
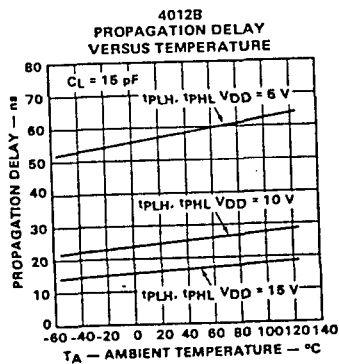
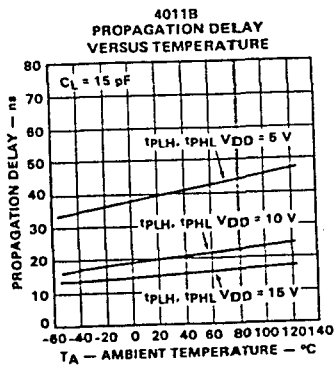
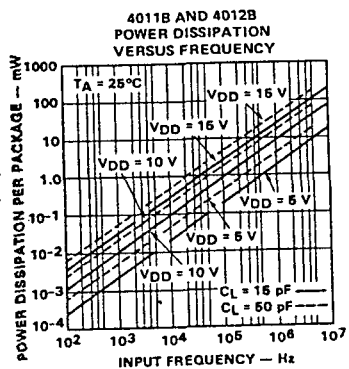
AC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C, 4012B only

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay		73	110		33	60		24	48	ns	$C_L = 50$ pF, $R_L = 200$ k Ω Input Transition Times < 20 ns
t_{PHL}			85	110		31	60		20	48		
t_{TLH}	Output Transition Time		76	135		37	70		27	45	ns	
t_{THL}			67	135		25	70		17	45		

NOTES:

1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.

TYPICAL ELECTRICAL CHARACTERISTICS

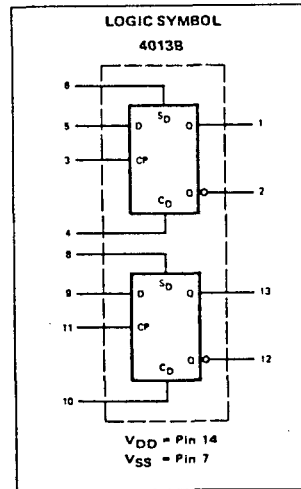


4013B DUAL D FLIP-FLOP

DESCRIPTION — The 4013B is a CMOS Dual D Flip-Flop which is edge-triggered and features independent Set Direct, Clear Direct, and Clock inputs. Data is accepted when the Clock is LOW and transferred to the output on the positive-going edge of the Clock. The active HIGH asynchronous Clear Direct (CD) and Set Direct (SD) are independent and override the D or Clock inputs. The outputs are buffered for best system performance.

PIN NAMES

- D Data Input
- CP Clock Input (L-H Edge-Triggered)
- SD Asynchronous Set Direct Input (Active HIGH)
- CD Asynchronous Clear Direct Input (Active HIGH)
- Q True Output
- Q̄ Complement Output



4013B TRUTH TABLES

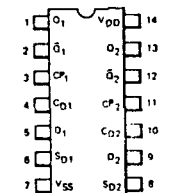
ASYNCHRONOUS INPUTS		OUTPUTS	
SD	CD	Q	Q̄
L	H	L	H
H	L	H	L
H	H	H	H

SYNCHRONOUS INPUTS		OUTPUTS	
CP	D	Q _{n+1}	Q̄ _{n+1}
J	L	L	H
J	H	H	L

- L = LOW Level
- H = HIGH Level
- J = Positive-Going Transition
- Q_{n+1} = State After Clock Positive Transition

Conditions: SD = CD = LOW

**CONNECTION DIAGRAM
DIP (TOP VIEW)**



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-line Package.

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

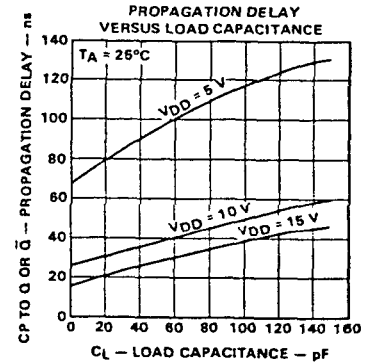
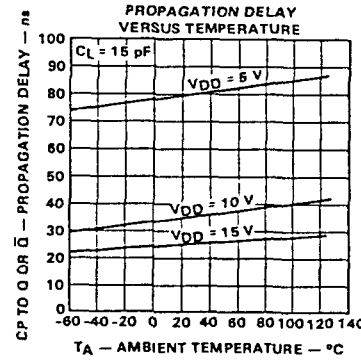
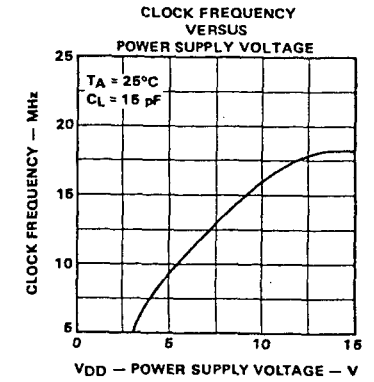
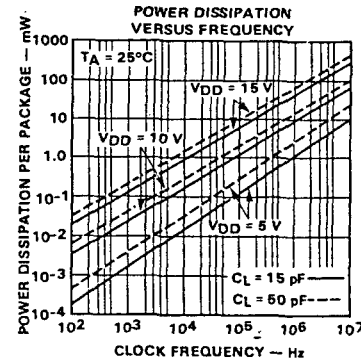
SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V					
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX			
I_{DD}	Quiescent Power Supply Current	XC	4		8		16				μ A	MIN, 25°C	All inputs at 0 V or V_{DD}
			30		60		120					MAX	
XC	XM	1		2		4				μ A	MIN, 25°C		
		30		60		120					MAX		

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C (See Note 3)

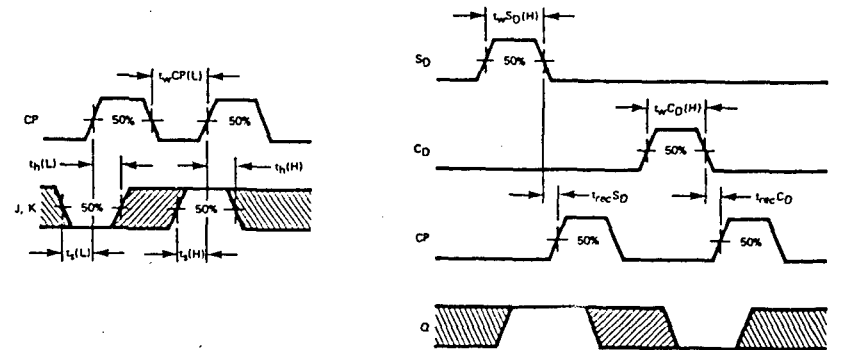
SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, CP to Q, \bar{Q}	95	200		38	90		29	72		ns	$C_L = 50$ pF, $R_L = 200$ k Ω Input Transition Times < 20 ns
t_{PHL}	Propagation Delay, S_D or C_D to \bar{Q}	95	200		38	90		29	72		ns	
t_{PLH}	Propagation Delay, S_D or C_D to \bar{Q}	130	225		45	110		32	88		ns	
t_{PHL}	Propagation Delay, S_D or C_D to \bar{Q}	75	225		35	110		20	88		ns	
t_{PLH}	Propagation Delay, S_D or C_D to Q	115	225		50	110		35	88		ns	
t_{PHL}	Propagation Delay, S_D or C_D to Q	115	225		50	110		35	88		ns	
t_{TLH}	Output Transition Time	60	135		30	70		20	45		ns	
t_{THL}	Output Transition Time	60	135		30	70		20	45		ns	
t_s	Set-Up Time, Data to CP	60	30		30	15		24	8		ns	
t_h	Hold Time, Data to CP	0	-25		0	-12		0	-6		ns	
$t_{wCP(L)}$	Minimum Clock Pulse Width	100	55		55	30		44	18		ns	
$t_{wSD(H)}$	Minimum S_D Pulse Width	60	30		30	15		24	10		ns	
$t_{wCD(H)}$	Minimum C_D Pulse Width	60	30		30	15		24	10		ns	
t_{recSD}	Recovery Time for S_D	20	8		10	2		8	2		ns	
t_{recCD}	Recovery Time for C_D	30	15		15	7		12	6		ns	
f_{MAX}	Maximum CP Frequency (Note 2)	5	8		8	16		9	19		MHz	

- NOTES:
- Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
 - For f_{MAX} input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
 - Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
 - It is recommended that input rise and fall times to the Clock input be less than 15 μ s at $V_{DD} = 5$ V, 4 μ s at $V_{DD} = 10$ V, and 3 μ s at $V_{DD} = 15$ V.

TYPICAL ELECTRICAL CHARACTERISTICS



WAVEFORMS



SET-UP TIMES, HOLD TIMES, AND MINIMUM CLOCK PULSE WIDTH

RECOVERY TIME FOR S_D , RECOVERY TIME FOR C_D , MINIMUM S_D PULSE WIDTH, AND MINIMUM C_D PULSE WIDTH

NOTE: Set-up Times and Hold Times are shown as positive values but may be specified as negative values.

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C (See Note 3)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, Y_n to Z_n or Z_n to Y_n	17	35		14	28		13	27		ns	$C_L = 50$ pF, $R_L = 200$ k Ω Input Transition Times < 20 ns $E_n = V_{DD}$ $V_{is} = V_{DD}$ (square wave)
t_{PHL}		15	31		10	20		4	9			
t_{PZL}	Output Enable Time	42	84		20	40		14	28		ns	$C_L = 50$ pF, $R_L = 1$ k Ω to V_{SS} or V_{DD} $E_n = V_{DD}$ (square wave) Input Transition Times < 20 ns $V_{is} = V_{DD}$ or V_{SS}
t_{PZH}		45	90		22	44		18	35			
t_{PLZ}	Output Disable Time	80	160		78	157		76	155		ns	
t_{PHZ}		74	150		70	140		62	125			
	Distortion, Sine Wave Response				0.4						%	$R_L = 10$ k Ω Input Frequency = 1 kHz $E_n = V_{DD}$ $V_{is} = V_{DD}/2$ (sine wave) p-p
	Crosstalk Between Any Two Switches				0.9						MHz	$R_L = 1$ k Ω $E_A = V_{DD}$, $E_B = V_{SS}$ $V_{is} = V_{DD}/2$ (sine wave) p-p 20 Log ₁₀ $[V_{OS}(B)/V_{is}(A)] = -50$ dB
	Crosstalk, Enable Input to Output				50						mV	Input Transition Times < 20 ns $R_L(OUT) = 1$ k Ω $R_L(IN) = 50$ Ω $E_n = V_{DD}$ (square wave)
	OFF State Feedthrough				1.25						MHz	$R_L = 1$ k Ω , $E_n = V_{SS}$ $V_{is} = V_{DD}/2$ (sine wave) p-p 20 Log ₁₀ $[V_{OS}/V_{is}] = -50$ dB
	ON State Frequency Response				40						MHz	$R_L = 1$ k Ω $V_{is} = V_{DD}/2$ (sine wave) p-p $E_n = V_{DD}$, 20 Log ₁₀ $[V_{OS}/V_{is}] = -3$ dB
f_{MAX}	Enable Input Frequency (Note 4)				10						MHz	$C_L = 50$ pF, $R_L = 1$ k Ω Input Transition Times < 20 ns $E_n = V_{DD}$ (square wave) $V_{OS} = V_{OS}/2$ at DC $V_{is} = V_{DD}$
C_{is}	Input Switch Capacitance				4						pF	$V_{DD} = 10$ V $E_n = V_{SS}$
C_{os}	Output Switch Capacitance				4						pF	$V_{is} = \text{Open}$ 100 kHz or 1 MHz Bridge
C_{ios}	Feedthrough Switch Capacitance				0.2						pF	

NOTES:
 1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
 2. V_{is}/V_{OS} is the voltage signal at an Input/Output Terminal (Y_n/Z_n).
 3. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
 4. For f_{MAX} , input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
 5. In certain applications, the current through the external load resistor (R_L) may include both V_{DD} and signal line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11 the voltage drop across the bidirectional switch must not exceed 0.5 V at $T_A < 25^\circ$ C, or 0.3 V at $T_A > 25^\circ$ C. No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10.

4017B

5-STAGE JOHNSON COUNTER

DESCRIPTION — The 4017B is a 5-Stage Johnson Decade Counter with ten glitch free decoded active HIGH Outputs (O_0 - O_9), an active LOW Output from the most significant flip-flop (O_{5-g}), active HIGH and active LOW Clock Inputs (CP_0 , CP_1) and an overriding asynchronous Master Reset Input (MR).

The counter is advanced by either a LOW-to-HIGH transition at CP_0 while CP_1 is LOW or a HIGH-to-LOW transition at CP_1 while CP_0 is HIGH (see Functional Truth Table). When cascading 4017B counters, the O_{5-g} output, which is LOW while the counter is in states 5, 6, 7, 8 and 9, can be used to drive the CP_0 input of the next 4017B.

A HIGH on the Master Reset Input (MR) resets the counter to zero ($O_0 = \overline{O_{5-g}} = \text{HIGH}$, O_1 - $O_9 = \text{LOW}$) independent of the Clock Inputs (CP_0 , CP_1).

- TYPICAL COUNT FREQUENCY OF 13.8 MHz AT $V_{DD} = 10$ V
- ACTIVE HIGH DECODED OUTPUTS
- TRIGGERS ON EITHER A HIGH-TO-LOW OR LOW-TO-HIGH TRANSITION
- CASCADABLE

PIN NAMES

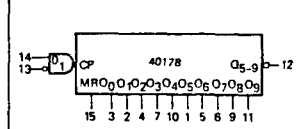
- CP_0 Clock Input (L→H Triggered)
- CP_1 Clock Input (H→L Triggered)
- MR Master Reset Input
- O_0 - O_9 Decoded Outputs
- O_{5-g} Carry Output (Active LOW)

FUNCTIONAL TRUTH TABLE

MR	CP_0	CP_1	OPERATION
H	X	X	$O_0 = \overline{O_{5-g}} = \text{H}$; O_1 - $O_9 = \text{L}$
L	H	H→L	Counter Advances
L	L→H	L	Counter Advances
L	L	X	No Change
L	X	H	No Change
L	H	L→H	No Change
L	H→L	L	No Change

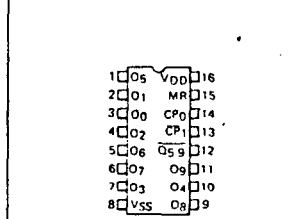
H = HIGH Level
 L = LOW Level
 L→H = LOW-to-HIGH Transition
 H→L = HIGH-to-LOW Transition
 X = Don't Care

LOGIC SYMBOL



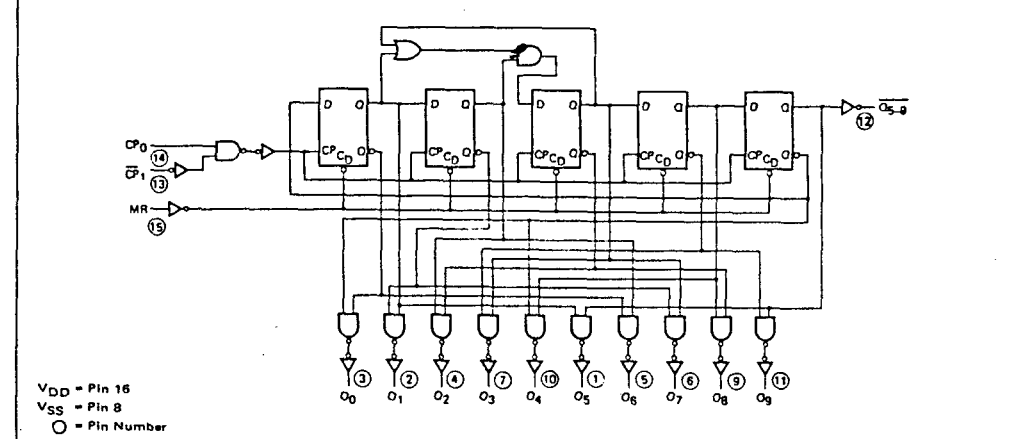
$V_{DD} = \text{Pin } 16$
 $V_{SS} = \text{Pin } 8$

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
 The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-line Package.

LOGIC DIAGRAM



$V_{DD} = \text{Pin } 16$
 $V_{SS} = \text{Pin } 8$
 ○ = Pin Number

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

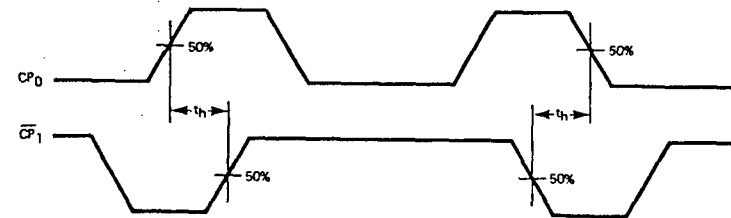
SYMBOL	PARAMETER		LIMITS									UNITS	TEMP	TEST CONDITIONS
			$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V					
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX			
I_{DD}	Quiescent Power Supply Current	XC		20			40			80	μ A	MIN, 25°C	All inputs at 0 V or V_{DD}	
				150			300			600		MAX		
		XM		5			10			20	μ A	MIN, 25°C		
				150			300			600		MAX		

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, CP_0 or \overline{CP}_1 to O_n		278	700		114	285		82	228	ns	$C_L = 50$ pF, $R_L = 200$ k Ω Input Transition Times < 20 ns
t_{PHL}	Propagation Delay, CP_0 or \overline{CP}_1 to O_n		226	550		94	240		67	192	ns	
t_{PLH}	Propagation Delay, CP_0 or \overline{CP}_1 to $\overline{Q}_{5.g}$		205	525		87	225		63	180	ns	
t_{PHL}	Propagation Delay, CP_0 or \overline{CP}_1 to $\overline{Q}_{5.g}$		261	650		105	250		73	200	ns	
t_{PHL}	Propagation Delay, MR to O_n		170	430		80	175		52	140	ns	
t_{PLH}	Propagation Delay, MR to $\overline{Q}_{5.g}$		125	300		65	130		40	104	ns	
t_{TLH}	Output Transition Time		59	135		31	70		23	45	ns	
t_{THL}	Output Transition Time		63	135		26	70		19	45	ns	
t_{wCP}	Min. CP_0 or \overline{CP}_1 Pulse Width	200	85		70	37		56	28		ns	
t_{wMR}	Minimum MR Pulse Width	130	52		55	22		44	18		ns	
t_{rec}	MR Recovery Time	50	16		25	6		20	3		ns	
t_h	Hold Time, CP_0 to \overline{CP}_1	200	90		90	39		72	26		ns	
t_h	Hold Time, \overline{CP}_1 to CP_0	200	89		90	39		72	22		ns	
f_{MAX}	Input Count Frequency (Note 3)	2.5	5.8		7	13.8		8	16		MHz	

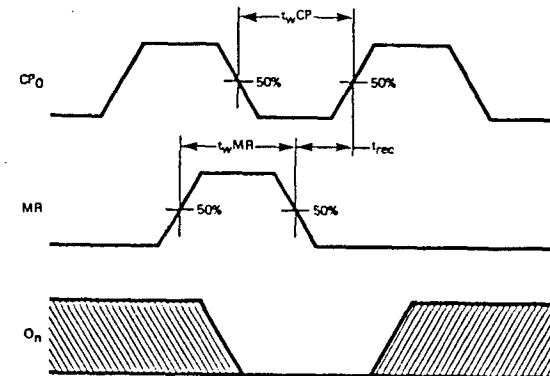
- NOTES:
- Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
 - Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
 - For t_{MAX} , input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
 - It is recommended that input rise and fall times to either Clock Input (CP_0 or \overline{CP}_1) be less than 15 μ s at $V_{DD} = 5$ V, 4 μ s at $V_{DD} = 10$ V, and 3 μ s at $V_{DD} = 15$ V.

SWITCHING WAVEFORMS



HOLD TIMES, CP_0 TO \overline{CP}_1 AND \overline{CP}_1 TO CP_0

Hold Times are shown as positive values, but may be specified as negative values.



MINIMUM PULSE WIDTHS FOR CP AND MR AND RECOVERY TIME FOR MR

CONDITIONS: $\overline{CP}_1 =$ LOW while CP_0 is triggered on a LOW-to-HIGH transition. t_{wCP} and t_{rec} also apply when $CP_0 =$ HIGH and \overline{CP}_1 is triggered on a HIGH-to-LOW transition.

4027B DUAL JK FLIP-FLOP

DESCRIPTION — The 4027B is a Dual JK Flip-Flop which is edge-triggered and features independent Direct Set, Direct Clear, and Clock inputs. Data is accepted when the Clock is LOW and transferred to the output on the positive-going edge of the Clock. The active HIGH asynchronous Clear Direct (C_D) and Set Direct (S_D) are independent and override the J, K, or Clock inputs. The outputs are buffered for best system performance.

PIN NAMES

- J, K Synchronous Inputs
- CP Clock Input (L → H Edge-Triggered)
- SD Asynchronous Direct Set Input (Active HIGH)
- C_D Asynchronous Direct Clear Input (Active HIGH)
- Q True Output
- \bar{Q} Complement Output

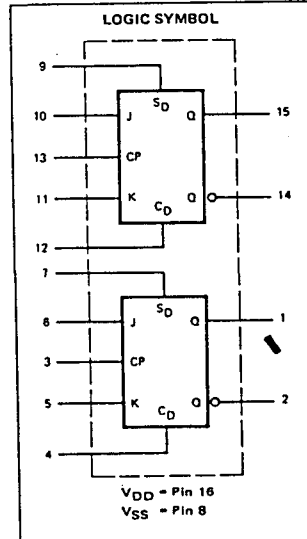
TRUTH TABLES

ASYNCHRONOUS INPUTS		OUTPUTS	
S_D	C_D	Q	\bar{Q}
L	H	L	H
H	L	H	L
H	H	H	H

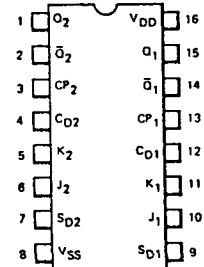
- L = LOW Level
- H = HIGH Level
- ↗ = Positive-Going Transition
- Q_{n+1} = State After Clock Positive Transition

SYNCHRONOUS INPUTS			OUTPUTS	
CP	J	K	Q_{n+1}	\bar{Q}_{n+1}
↘	L	L	NO CHANGE	
↗	H	L	H	L
↗	L	H	L	H
↘	H	H	\bar{Q}_n	Q_n

Conditions: $S_D = C_D = \text{LOW}$



**CONNECTION DIAGRAMS
DIP (TOP VIEW)**



NOTE:
The Flatpack version has the same pinouts (Connection Diagram) as the Dual In-line Package.

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0 \text{ V}$ (See Note 1)

SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
		$V_{DD} = 5 \text{ V}$			$V_{DD} = 10 \text{ V}$			$V_{DD} = 15 \text{ V}$						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
I_{DD}	Quiescent Power Supply Current	XC			4			8			16	μA	MIN, 25°C	All inputs at 0 V or V_{DD}
				30		60		120		MAX				
		XM			1			2		4	μA	MIN, 25°C		
				30		60		120		MAX				

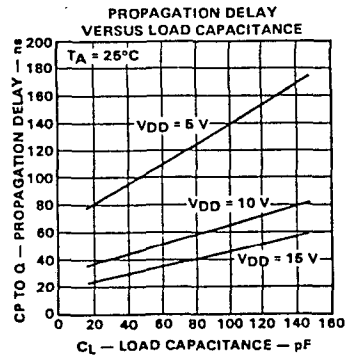
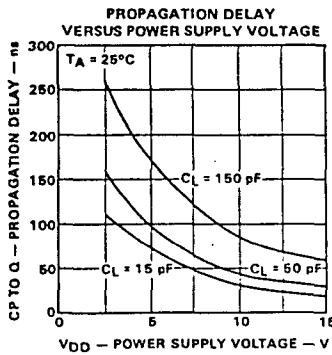
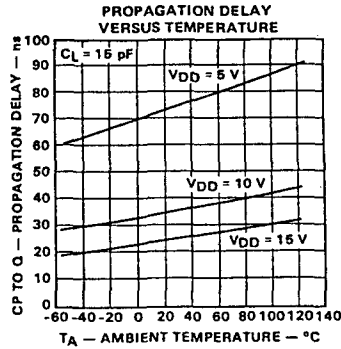
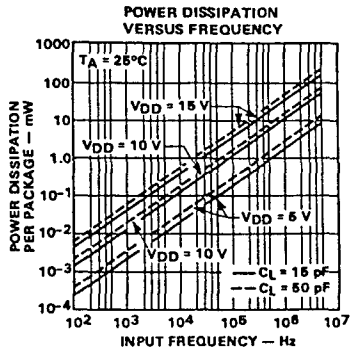
AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0 \text{ V}$, $T_A = 25^\circ\text{C}$ (See Note 3)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5 \text{ V}$			$V_{DD} = 10 \text{ V}$			$V_{DD} = 15 \text{ V}$				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, CP to Q, \bar{Q}		100	200		45	85		30	68	ns	$C_L = 50 \text{ pF}$ $R_L = 200 \text{ k}\Omega$ Input Transition Times < 20 ns
t_{PHL}	Propagation Delay, CP to Q, \bar{Q}		100	200		45	85		30	68	ns	
t_{PLH}	Propagation Delay, S_D to Q		180	350		90	175		75	140	ns	
t_{PHL}	Propagation Delay, C_D to Q		180	350		90	175		75	140	ns	
t_{TLH}	Output Transition Time		85	150		45	85		30	50	ns	
t_{THL}	Output Transition Time		85	150		45	85		30	50	ns	
t_s	Set-Up Time, J, K to CP	100	45		40	20		32	15		ns	
t_h	Hold Time, J, K to CP	0	-25		0	-10		0	-5		ns	
$t_{wCP(L)}$	Minimum Clock Pulse Width	150	75		70	35		56	25		ns	
$t_{wSD(H)}$	Minimum S_D Pulse Width	150	75		60	30		48	25		ns	
$t_{wCD(H)}$	Minimum C_D Pulse Width	150	75		60	30		48	25		ns	
t_{recSD}	Recovery Time for S_D	0	-5		0	-4		0	-3		ns	
t_{recCD}	Recovery Time for C_D	0	-5		0	-4		0	-3		ns	
f_{MAX}	Maximum CP Frequency (Note 2)	4	8		8	16		9	19		MHz	

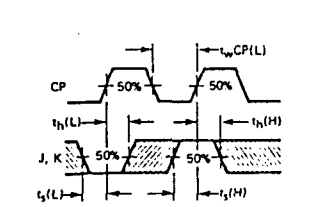
NOTES:

- Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
- For f_{MAX} input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
- Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
- It is recommended that input rise and fall times to the Clock Input be less than 15 μs at $V_{DD} = 5 \text{ V}$, 4 μs at $V_{DD} = 10 \text{ V}$, and 3 μs at $V_{DD} = 15 \text{ V}$.

TYPICAL ELECTRICAL CHARACTERISTICS

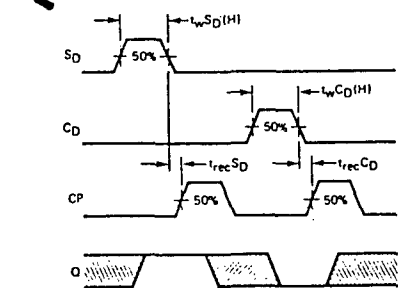


SWITCHING WAVEFORMS



NOTE:
 t_L & t_H are shown as positive values but may be specified as negative values.

SET-UP TIMES, HOLD TIMES,
 AND MINIMUM CLOCK PULSE WIDTH



RECOVERY TIME FOR S_0 , RECOVERY TIME FOR C_D ,
 MINIMUM S_0 PULSE WIDTH, AND MINIMUM C_D PULSE WIDTH

4028B
 1-OF-10 DECODER

DESCRIPTION — The 4028B is a CMOS 4 Bit BCD to 1-of-10 active HIGH decoder. A 1-2-4-8 BCD code applied to inputs A_0 through A_3 causes the selected output to be HIGH, the other nine will be LOW. If desired, the 4028B may be used as a 1-of-8 decoder with enable; 3-bit octal inputs are applied to inputs A_0 , A_1 , and A_2 selecting an output 0 through 7. Input A_3 then becomes an active LOW enable, forcing the selected output LOW when A_3 is HIGH. The 4028B may also be used as an 8-input demultiplexer with an active LOW data input. The outputs are fully buffered for best performance.

- BCD TO 1-OF-10 DECODER
- 1-OF-8 DECODER WITH ACTIVE LOW ENABLE
- 8-INPUT DEMULTIPLEXER WITH ACTIVE LOW DATA INPUT

PIN NAMES
 $A_0 - A_3$
 $O_0 - O_9$

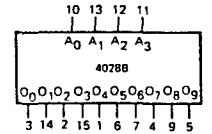
Address Inputs, 1-2-4-8 BCD
 Outputs (Active HIGH)

TRUTH TABLE

INPUTS				OUTPUTS									
A_3	A_2	A_1	A_0	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7	O_8	O_9
L	L	L	L	H	L	L	L	L	L	L	L	L	L
L	L	L	H	L	H	L	L	L	L	L	L	L	L
L	L	H	L	L	L	H	L	L	L	L	L	L	L
L	L	H	H	L	L	L	H	L	L	L	L	L	L
L	H	L	L	L	L	L	L	H	L	L	L	L	L
L	H	L	H	L	L	L	L	L	H	L	L	L	L
L	H	H	L	L	L	L	L	L	L	H	L	L	L
L	H	H	H	L	L	L	L	L	L	L	H	L	L
H	L	L	L	L	L	L	L	L	L	L	L	H	L
H	L	L	H	L	L	L	L	L	L	L	L	L	H
H	L	H	L	L	L	L	L	L	L	L	L	L	H
H	L	H	H	L	L	L	L	L	L	L	L	L	H
H	H	L	L	L	L	L	L	L	L	L	L	L	H
H	H	L	H	L	L	L	L	L	L	L	L	L	H
H	H	H	L	L	L	L	L	L	L	L	L	L	H
H	H	H	H	L	L	L	L	L	L	L	L	L	H

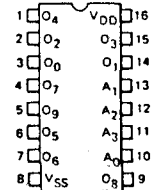
H = HIGH Level
 L = LOW Level

LOGIC SYMBOL



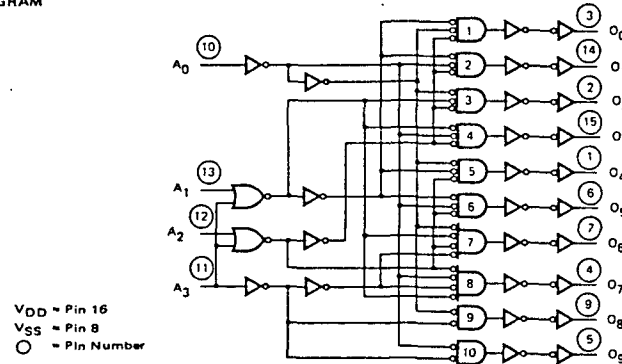
V_{DD} = Pin 16
 V_{SS} = Pin 8

CONNECTION DIAGRAM
 DIP (TOP VIEW)



NOTE:
 The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

LOGIC DIAGRAM



V_{DD} = Pin 16
 V_{SS} = Pin 8
 ○ = Pin Number

4516B UP/DOWN COUNTER

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

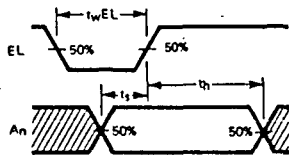
SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V					
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX			
I_{DD}	Quiescent Power Supply Current	XC		20			40			80	μ A	MIN, 25°C	All inputs at 0 V or V_{DD}
				150			300			600		MAX	
		XM		5			10			20	μ A	MIN, 25°C	
				150			300			600		MAX	

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ$ C (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, A_n to \bar{O}_n		260			95			65		ns	$C_L = 50$ pF, $R_L = 200$ k Ω Input Transition Times < 20 ns
t_{PHL}	Propagation Delay, E_L to \bar{O}_n		260			95			65	ns		
t_{PLH}	Propagation Delay, \bar{E} to \bar{O}_n		200			70			50	ns		
t_{PHL}	Propagation Delay, \bar{E} to \bar{O}_n		200			70			50	ns		
t_{TLH}	Output Transition Time		135			75			45	ns		
t_{THL}	Output Transition Time		135			75			45			
t_s	Set-Up Time, A_n to EL		60			20			15	ns		
t_h	Hold Time, A_n to EL		60			20			15			
t_{wEL}	Minimum EL Pulse Width		60			20			15	ns		

- NOTES:**
 1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
 2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.

SWITCHING WAVEFORMS



MINIMUM EL PULSE WIDTH AND SET-UP AND HOLD TIMES, A_n TO EL

NOTE: Set-up (t_s) and Hold (t_h) Times are shown as positive values but may be specified as negative values.

DESCRIPTION — The 4516B is an edge-triggered synchronous Up/Down 4-Bit Binary Counter with a Clock Input (CP), an active HIGH Count Up/Down Control Input (Up/Dn), an active LOW Count Enable Input (CE), an asynchronous active HIGH Parallel Load Input (PL), four Parallel Inputs (P_0 - P_3), four parallel Outputs (Q_0 - Q_3), an active LOW Terminal Count Output (TC) and an overriding asynchronous Master Reset Input (MR).

Information on the Parallel Inputs (P_0 - P_3) is loaded into the counter while the Parallel Load Input (PL) is HIGH, independent of all other input conditions except the Master Reset Input (MR) which must be LOW. When the Parallel Load Input (PL) and the Count Enable Input (CE) are LOW, the counter changes on the LOW-to-HIGH transition of the Clock Input (CP). The Count Up/Down Control Input (Up/Dn) determines the direction of the count, HIGH for counting up, LOW for counting down. When counting up, the Terminal Count Output (TC) is LOW when $Q_0 = Q_1 = Q_2 = Q_3 =$ HIGH and CE = LOW. When counting down the Terminal Count Output (TC) is LOW when $Q_0 = Q_1 = Q_2 = Q_3 =$ LOW and the CE = LOW. A HIGH on the Master Reset Input (MR) resets the counter ($Q_0 = Q_1 = Q_2 = Q_3 =$ LOW) independent of all other input conditions.

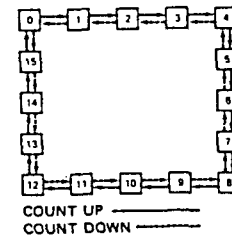
- UP/DOWN COUNT CONTROL
- SINGLE CLOCK INPUT (L-H EDGE-TRIGGERED)
- ASYNCHRONOUS PARALLEL LOAD INPUT
- ASYNCHRONOUS MASTER RESET

MODE SELECTION TABLE

PL	UP/DN	CE	CP	MODE
H	X	X	X	Parallel Load ($P_n \rightarrow Q_n$)
L	X	H	X	No Change
L	L	L	\downarrow	Count Down, Binary
L	H	L	\downarrow	Count Up, Binary

MR = LOW
 H = HIGH Level
 L = LOW Level
 X = Don't Care
 \downarrow = Positive-Going Transition

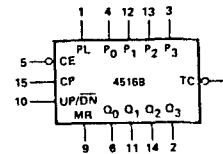
STATE DIAGRAM



LOGIC EQUATION FOR TERMINAL COUNT

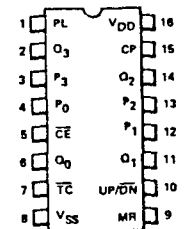
$$TC = \bar{CE} \cdot ((UP/DN) \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3) + ((UP/DN) \cdot \bar{Q}_0 \cdot \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3)$$

LOGIC SYMBOL



$V_{DD} =$ Pin 16
 $V_{SS} =$ Pin 8

**CONNECTION DIAGRAM
DIP (TOP VIEW)**

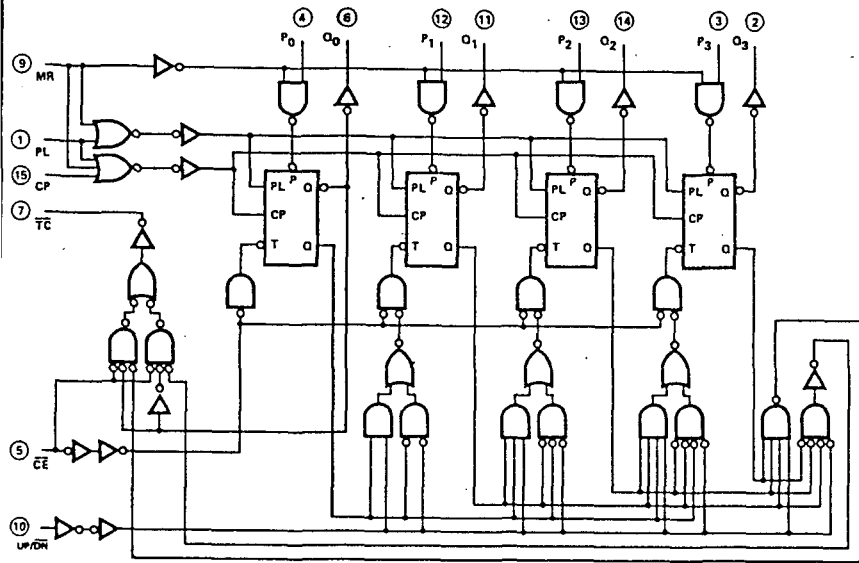


NOTE: The Flatpak version has the same pin-outs (Connection Diagram) as the Dual In-line Package.

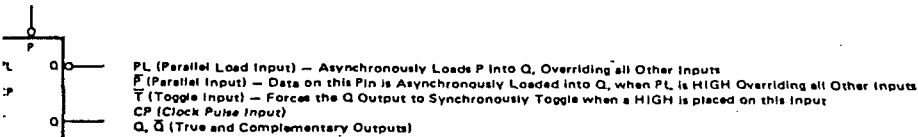
PIN NAMES

- PL Parallel Load Input (Active HIGH)
- P_0 - P_3 Parallel Inputs
- CE Count Enable Input (Active LOW)
- CP Clock Pulse Input (L-H Edge-Triggered)
- Up/Dn Up/Down Count Control Input
- MR Master Reset Input
- TC Terminal Count Output (Active LOW)
- Q_0 - Q_3 Parallel Outputs

LOGIC DIAGRAM



V_{DD} = Pin 16
 V_{SS} = Pin 8
 ○ = Pin Number



CHARACTERISTICS: V_{DD} as shown, V_{SS} = 0 V (See Note 1)

PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
	V _{DD} = 5 V			V _{DD} = 10 V			V _{DD} = 15 V						
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
Quiescent Power	XC			20						80	μA	MIN, 25°C MAX	All inputs at 0 V or V _{DD}
				150						600			
Supply Current	XM			5						20	μA	MIN, 25°C MAX	
				150						300			

on following page

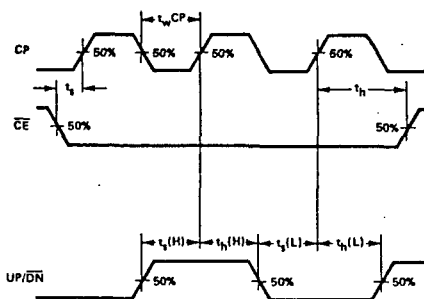
AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, V_{SS} = 0 V, T_A = 25°C (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		V _{DD} = 5 V			V _{DD} = 10 V			V _{DD} = 15 V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t _{PLH}	Propagation Delay, CP to Q _n		150	350		62	160		41	128	ns	C _L = 50 pF, R _L = 200 kΩ Input Transition Times < 20 ns
t _{PHL}			150	350		59	160		39	128		
t _{PLH}	Propagation Delay, CP to \bar{Q}		167	450		71	180		48	144	ns	
t _{PHL}			252	650		100	245		66	196		
t _{PLH}	Propagation Delay, PL to Q _n		170	325		70	150		45	120	ns	
t _{PHL}			220	425		90	195		62	156		
t _{PLH}	Propagation Delay, MR to Q _n , \bar{Q}		225	500		170	210		105	168	ns	
t _{PHL}			205	450		120	190		80	152		
t _{TLH}	Output Transition Time		60	135		31	75		23	45	ns	
t _{THL}			65	135		25	75		18	45		
t _{wCP}	CP Minimum Pulse Width	125	50		60	21		48	14		ns	
t _{wPL}	PL Minimum Pulse Width	150	60		60	21		48	16		ns	
t _{wMR}	MR Minimum Pulse Width	150	60		60	30		48	20		ns	
t _{rec}	MR Recovery Time	175	75		70	30		56	20		ns	
t _{rec}	PL Recovery Time	150	62		60	24		48	17		ns	
t _s	Set-Up Time, UP/DN to CP	325	145		140	55		110	38		ns	
t _h	Hold Time, UP/DN to CP	0	-90		0	-35		0	-25		ns	
t _s	Set-Up Time, $\bar{C}\bar{E}$ to CP	275	118		120	49		96	33		ns	
t _h	Hold Time, $\bar{C}\bar{E}$ to CP	0	-40		0	-15		0	-10		ns	
t _s	Set-Up Time, P _n to PL	70	29		30	11		24	8		ns	
t _h	Hold Time, P _n to PL	0	-40		0	-20		0	-20		ns	
f _{MAX}	Input Clock Frequency (Note 3)	2	5		5	12		6	15		MHz	

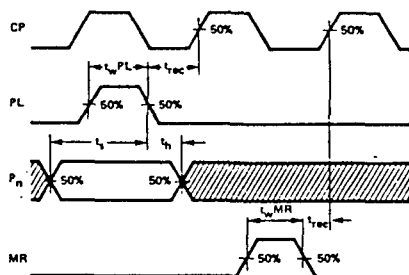
NOTES:

1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
3. For f_{MAX}, input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
4. It is recommended that input rise and fall times to the Clock Input be less than 15 μs at V_{DD} = 5 V, 4 μs at V_{DD} = 10 V, and 3 μs at V_{DD} = 15 V.

SWITCHING WAVEFORMS



MINIMUM CP WIDTH, SET-UP AND HOLD TIMES, CE TO CP AND UP/DN TO CP



MINIMUM PL AND MR PULSE WIDTH, RECOVERY TIME FOR PL AND MR, AND SET-UP AND HOLD TIMES, P_n TO PL

NOTE:
Set-up and Hold Times are shown as positive values but may be specified as negative values.

4518B

DUAL 4-BIT DECADE COUNTER

DESCRIPTION - The 4518B is a Dual 4-Bit Internally Synchronous BCD Counter. Each counter has both an active HIGH Clock Input (CP₀) and an active LOW Clock Input (CP₁), buffered Outputs from all four bit positions (Q₀-Q₃) and an active HIGH overriding asynchronous Master Reset Input (MR).

The counter advances on either the LOW-to-HIGH transition of the CP₀ input if CP₁ is HIGH or the HIGH-to-LOW transition of the CP₁ input if CP₀ is LOW (see the Truth Table). Either Clock Input (CP₀, CP₁) may be used as the Clock Input to the counter and the other Clock Input may be used as a Clock Inhibit Input.

A HIGH on the Master Reset Input (MR) resets the counter (Q₀-Q₃ = LOW) independent of the Clock Inputs (CP₀, CP₁).

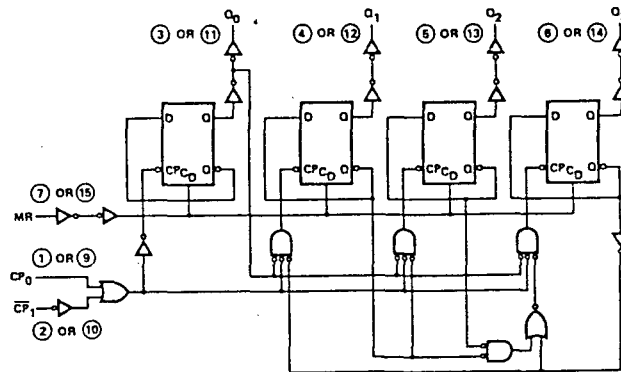
- TYPICAL COUNT FREQUENCY OF 10 MHz AT V_{DD} = 10 V
- TRIGGERED ON EITHER A LOW-TO-HIGH OR A HIGH-TO-LOW TRANSITION
- ASYNCHRONOUS ACTIVE HIGH MASTER RESET
- BUFFERED OUTPUTS FROM ALL FOUR BIT POSITIONS
- FULLY SYNCHRONOUS COUNTING

TRUTH TABLE

CP ₀	CP ₁	MR	MODE
	H	L	Counter Advances
	L	L	Counter Advances
	X	L	No Change
	X	L	No Change
	L	L	No Change
	L	L	No Change
H	X	L	No Change
X	X	H	Reset (Asynchronous)

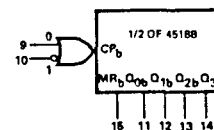
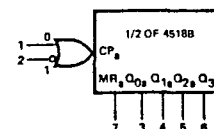
X = Don't Care
L = LOW Level
H = HIGH Level
 = Positive-Going Transition
 = Negative-Going Transition

1/2 OF A 4518B LOGIC DIAGRAM



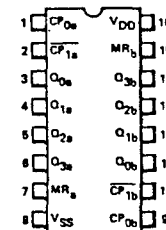
V_{DD} = Pin 16
V_{SS} = Pin 8
○ = Pin Number

LOGIC SYMBOLS



V_{DD} = Pin 16
V_{SS} = Pin 8

CONNECTION DIAGRAM
DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pin-outs (Connection Diagram) as the Dual In-line Package.

PIN NAMES
CP_{0a}, CP_{0b} Clock Input (L → H Triggered)
CP_{1a}, CP_{1b} Clock Input (H → L Triggered)
MR_a, MR_b Master Reset Inputs
Q_{0a}-Q_{3a} Outputs
Q_{0b}-Q_{3b} Outputs

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

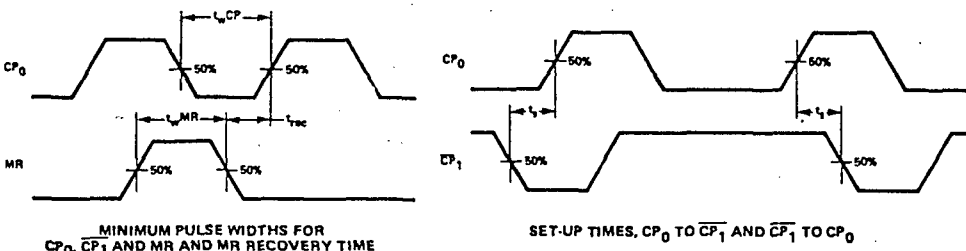
SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS		
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V							
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX					
I_{DD}	Quiescent Power	XC			20			40			80	μ A	MIN, 25°C	All inputs at 0 V or V_{DD}	
					150			300			600		MAX		
	Supply Current	XM			5			10			20		μ A		MIN, 25°C
					150			300			600				MAX

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $F_{SS} = 0$ V, $T_A = 25^\circ$ C (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, CP_0 or $\overline{CP_1}$ to Q_n		220	480		95	210		60	168	ns	CL = 50 pF, RL = 200 kΩ Input Transition Times < 20 ns
t_{PHL}	Propagation Delay, MR to Q_n		220	480		90	210		60	168	ns	
t_{TLH}	Output Transition Time		65	135		35	70		25	45	ns	
t_{THL}	Output Transition Time		65	135		35	70		25	45	ns	
t_{wMR}	MR Minimum Pulse Width	180	70		70	30		56	20		ns	
t_{wCP}	CP_0 or CP_1 Minimum Pulse Width	275	120		120	50		96	35		ns	
t_{rec}	MR Recovery Time	40	15		25	5		20	0		ns	
t_s	Set-Up Time, CP_0 to $\overline{CP_1}$	275	130		125	57		100	40		ns	
t_s	Set-Up Time, CP_1 to CP_0	275	130		125	57		100	40		ns	
f_{MAX}	Input Count Frequency (Note 3)	2	4		4	10		5	12		MHz	

- NOTES:
 1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
 2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
 3. For f_{MAX} , input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
 4. It is recommended that input rise and fall times to the Clock Input be less than 15 μ s at $V_{DD} = 5$ V, 4 μ s at $V_{DD} = 10$ V, and 3 μ s at $V_{DD} = 15$ V.

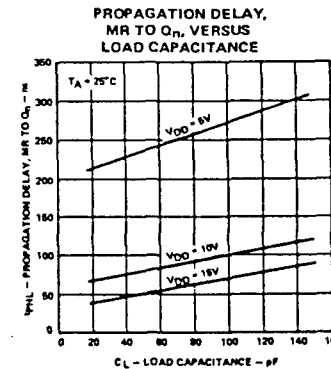
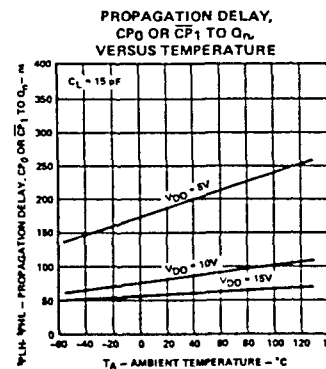
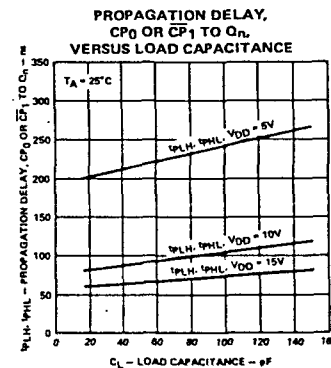
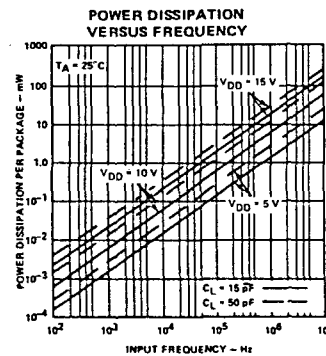
SWITCHING WAVEFORMS



CONDITIONS: $\overline{CP_1} =$ HIGH and the device triggers on a LOW-to-HIGH transition at CP_0 . The timing also applies when $CP_0 =$ LOW and the device triggers on a HIGH-to-LOW transition at $\overline{CP_1}$.

NOTE:
Set-up and Hold Times are shown as positive values but may be specified as negative values.

TYPICAL ELECTRICAL CHARACTERISTICS

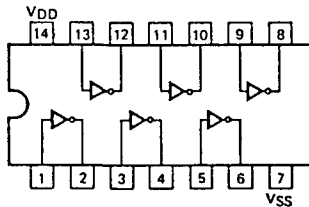


4069UB/74C04/54C04

HEX INVERTER

DESCRIPTION — The 4069UB is a general purpose Hex Inverter which has standard Fairchild input and output characteristics. A single-stage design has been used since the output impedance of a single-input gate is not pattern sensitive. The 4069UB is a Direct Replacement for the 74C04/54C04.

LOGIC AND CONNECTION DIAGRAM
DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-line Package.

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0$ V (See Note 1)

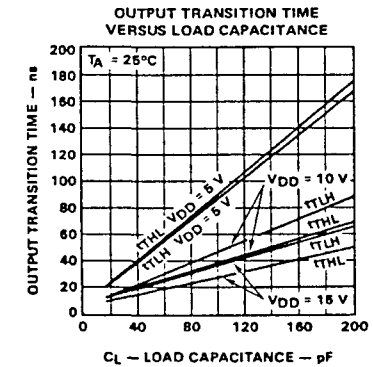
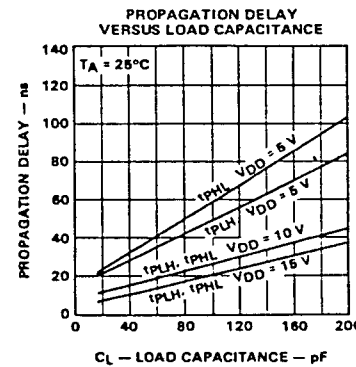
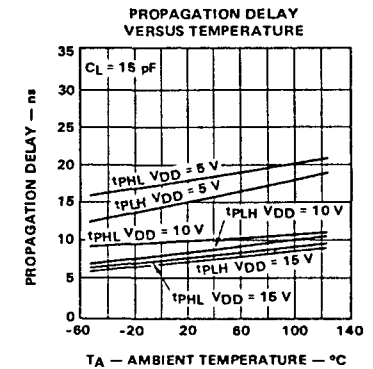
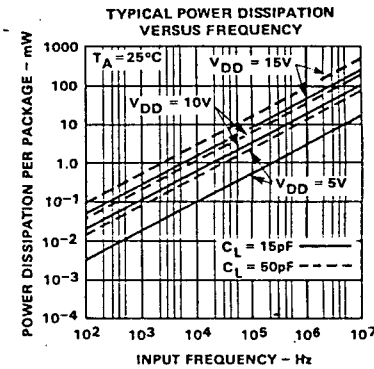
SYMBOL	PARAMETER	UNITS	LIMITS									TEMP	TEST CONDITIONS
			$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
I_{DD}	Quiescent Power	XC		1		2		4			μA	MIN, 25°C	All inputs at 0 V or V_{DD}
	Supply Current	XM		7.5		15		30			μA	MAX	
				0.25		0.5		1			μA	MIN, 25°C	
				7.5		15		30			μA	MAX	

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0$ V, $T_A = 25^\circ C$ (See Note 2)

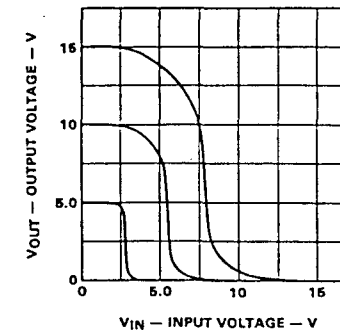
SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay		32	64		16	32		13	26	ns	$C_L = 50$ pF, $R_L = 200$ k Ω
t_{PHL}			32	64		16	32		13	26		
t_{TLH}	Output Transition Time		45	135		23	70		18	45	ns	Input Transition Times < 20 ns
t_{THL}			45	135		23	70		18	45		

- NOTES:**
1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.

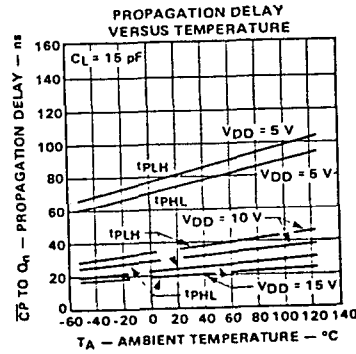
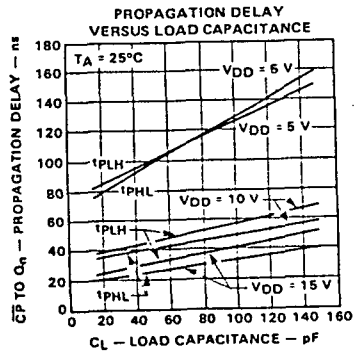
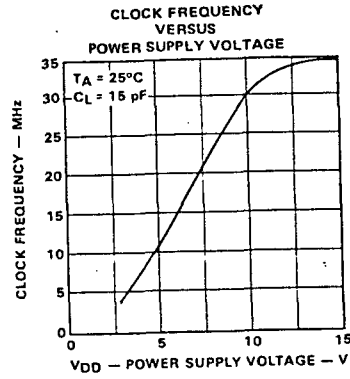
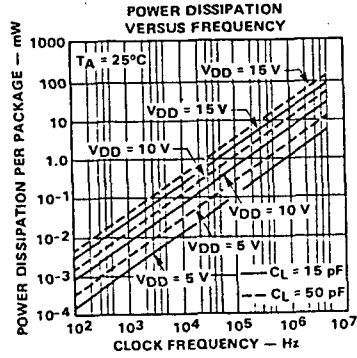
TYPICAL ELECTRICAL CHARACTERISTICS



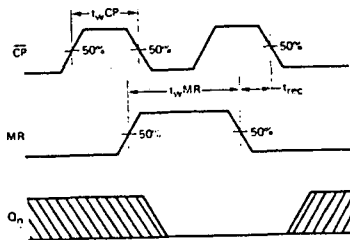
TYPICAL VOLTAGE TRANSFER CHARACTERISTICS



TYPICAL ELECTRICAL CHARACTERISTICS



SWITCHING WAVEFORMS

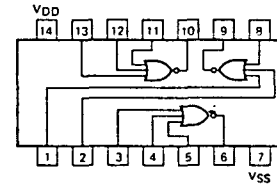


MINIMUM PULSE WIDTH FOR CP AND MR AND MR RECOVERY TIME

4025B
TRIPLE 3-INPUT NOR GATE

DESCRIPTION — This CMOS logic element provides a 3-input positive NOR function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.

LOGIC AND CONNECTION DIAGRAM
DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual in-line Package.

DC CHARACTERISTICS: VDD as shown, VSS = 0 V (See Note 1)

SYMBOL	PARAMETER	LIMITS						UNITS	TEMP	TEST CONDITIONS	
		VDD = 5 V		VDD = 10 V		VDD = 15 V					
IDD	Quiescent Power Supply Current	XC	1		2		4		μA	MIN, 25°C	All inputs at 0 V or VDD
			7.5		15		30				
		XM	0.25		0.5		1		μA	MIN, 25°C	
7.5			15		30		MAX				

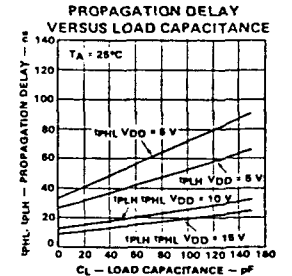
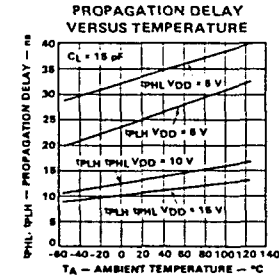
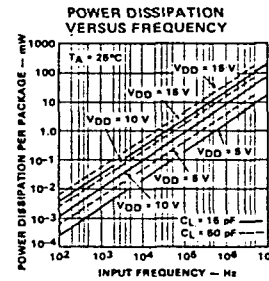
AC CHARACTERISTICS: VDD as shown, VSS = 0 V, TA = 25°C (See Note 2)

SYMBOL	PARAMETER	LIMITS						UNITS	TEST CONDITIONS
		VDD = 5 V		VDD = 10 V		VDD = 15 V			
tPLH	Propagation Delay	45	110	20	60	15	48	ns	CL = 50 pF, RL = 200 kΩ
tPHL		47	110	25	60	21	48	ns	
tTLH	Output Transition Time	38	135	20	70	15	45	ns	Input Transition Times < 20 ns
tTHL		38	135	15	70	11	45	ns	

NOTES:

- Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
- Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.

TYPICAL ELECTRICAL CHARACTERISTICS



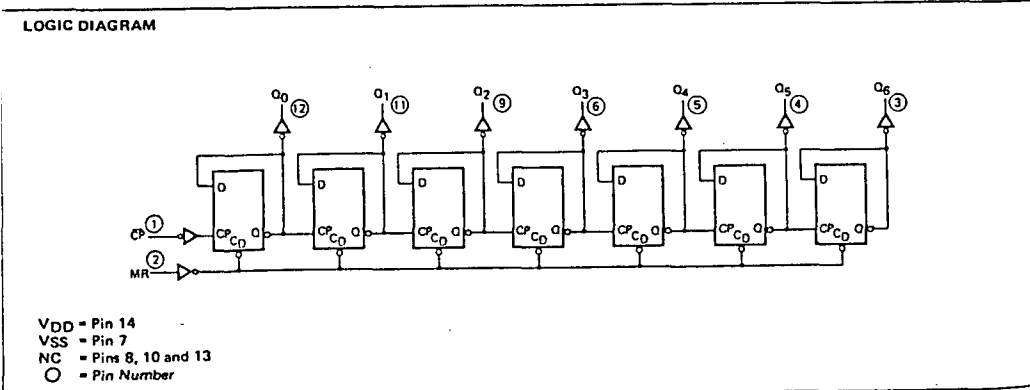
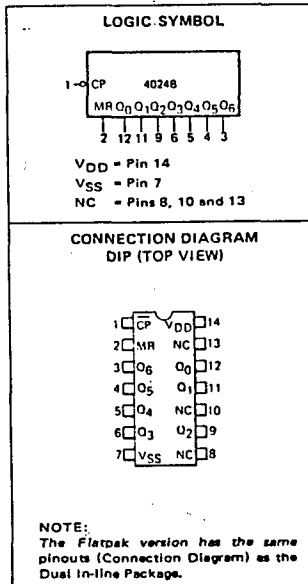
4024B

7-STAGE BINARY COUNTER

DESCRIPTION — The 4024B is a 7-Stage Binary Ripple Counter with a Clock Input (CP), an overriding asynchronous Master Reset Input (MR) and seven fully Buffered Parallel Outputs (Q₀-Q₆). The counter advances on the HIGH-to-LOW transition of the Clock Input (CP). A HIGH on the Master Reset Input (MR) clears all counter stages and forces all Outputs (Q₀-Q₆) LOW, independent of the Clock Input (CP).

- TYPICAL COUNT FREQUENCY OF 30 MHz AT V_{DD} = 10 V
- CLOCK TRIGGERED ON THE HIGH-TO-LOW TRANSITION
- ASYNCHRONOUS ACTIVE HIGH MASTER RESET
- OUTPUTS AVAILABLE FROM ALL SEVEN STAGES

- PIN NAMES**
- CP Clock Input (H-L Triggered)
 - MR Master Reset Input
 - Q₀-Q₆ Buffered Parallel Outputs



DC CHARACTERISTICS: V_{DD} as shown, V_{SS} = 0 V (See Note 1)

SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
		V _{DD} = 5 V			V _{DD} = 10 V			V _{DD} = 15 V						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
I _{DD}	Quiescent Power	XC			20			40			80	μA	MIN, 25°C	All inputs at 0 V or V _{DD}
					150			300			600		MAX	
	Supply Current	XM			5			10			20	μA	MIN, 25°C	
					150			300			600		MAX	

AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, V_{SS} = 0 V, T_A = 25°C (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		V _{DD} = 5 V			V _{DD} = 10 V			V _{DD} = 15 V				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t _{PLH}	Propagation Delay, CP to Q ₀		100	200		45	90		30	72	ns	C _L = 60 pF, R _L = 200 kΩ Input Transition Times < 20 ns
t _{PHL}			97	195		40	80		25	64	ns	
t _{PHL}	Propagation Delay, MR to Q _n		130	260		50	100		35	80	ns	
t _{TLH}	Output Transition Time		60	130		30	70		25	45	ns	
t _{THL}			60	130		30	70		25	45	ns	
t _{wCP}	CP Minimum Pulse Width	90	45		35	17		28	13		ns	
t _{wMR}	MR Minimum Pulse Width	80	40		30	15		24	12		ns	
t _{rec}	MR Recovery Time	60	30		25	12		20	9		ns	
f _{MAX}	Input Count Frequency (Note 3)	6	12		15	30		18	36		MHz	

NOTES:

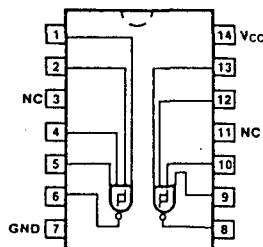
1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
3. For f_{MAX}, input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
4. It is recommended that input rise and fall times to the Clock Input be less than 15 μs at V_{DD} = 5 V, 4 μs at V_{DD} = 10 V, and 3 μs at V_{DD} = 15 V.

CONNECTION DIAGRAM
PINOUT A

54/7413
54LS/74LS13
DUAL 4-INPUT SCHMITT TRIGGER

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0\text{ V} \pm 5\%$, $T_A = 0^\circ\text{C to } +70^\circ\text{C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$, $T_A = -55^\circ\text{C to } +125^\circ\text{C}$	
Plastic DIP (P)	A	7413PC, 74LS13PC		9A
Ceramic DIP (D)	A	7413DC, 74LS13DC	5413DM, 54LS13DM	6A
Flatpak (F)	A	7413FC, 74LS13FC	5413FM, 54LS13FM	3I



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	0.5/0.25
Outputs	20/10	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
V_{T+}	Positive-going Threshold Voltage	1.5	2.0	1.5	2.0	V	$V_{CC} = +5.0\text{ V}$
V_{T-}	Negative-going Threshold Voltage	0.6	1.1	0.6	1.1	V	$V_{CC} = +5.0\text{ V}$
$V_{T+} - V_{T-}$	Hysteresis Voltage	0.4		0.4		V	$V_{CC} = +5.0\text{ V}$
I_{T+}	Input Current at Positive-going Threshold	-0.65**		-0.14**		mA	$V_{CC} = +5.0\text{ V}, V_{IN} = V_{T+}$
I_{T-}	Input Current at Negative-going Threshold	-0.85**		-0.18**		mA	$V_{CC} = +5.0\text{ V}, V_{IN} = V_{T-}$
I_{OS}	Output Short Circuit Current	-18	-55	-20	-100	mA	$V_{CC} = \text{Max}$
I_{CCH}	Power Supply Current	23		6.0		mA	$V_{IN} = \text{Gnd}$ $V_{CC} = \text{Max}$
I_{CCL}		32		7.0			
t_{PLH}	Propagation Delay	27		22		ns	Fig. 3-1, 3-15
t_{PHL}		22		27			

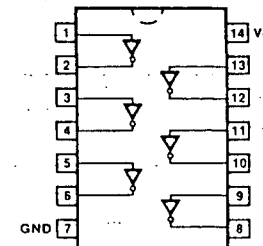
*DC limits apply over operating temperature range; AC limits apply at $T_A = +25^\circ\text{C}$ and $V_{CC} = +5.0\text{ V}$. **Typical Value

CONNECTION DIAGRAM
PINOUT A

54/7414
54LS/74LS14
HEX SCHMITT TRIGGER INVERTER

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0\text{ V} \pm 5\%$, $T_A = 0^\circ\text{C to } +70^\circ\text{C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$, $T_A = -55^\circ\text{C to } +125^\circ\text{C}$	
Plastic DIP (P)	A	7414PC, 74LS14PC		9A
Ceramic DIP (D)	A	7414DC, 74LS14DC	5414DM, 54LS14DM	6A
Flatpak (F)	A	7414FC, 74LS14FC	5414FM, 54LS14FM	3I



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

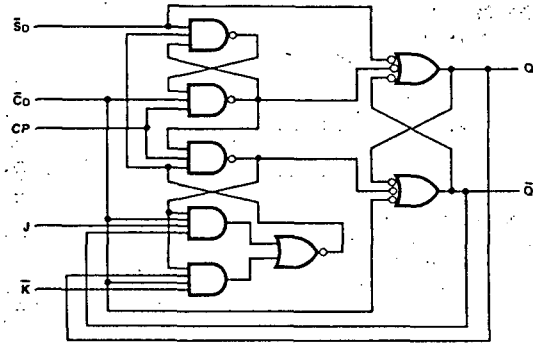
PINS	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	0.5/0.25
Outputs	20/10	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
V_{T+}	Positive-going Threshold Voltage	1.5	2.0	1.5	2.0	V	$V_{CC} = +5.0\text{ V}$
V_{T-}	Negative-going Threshold Voltage	0.6	1.1	0.6	1.1	V	$V_{CC} = +5.0\text{ V}$
$V_{T+} - V_{T-}$	Hysteresis Voltage	0.4		0.4		V	$V_{CC} = +5.0\text{ V}$
I_{T+}	Input Current at Positive-going Threshold	-0.43**		-0.14**		mA	$V_{CC} = +5.0\text{ V}, V_{IN} = V_{T+}$
I_{T-}	Input Current at Negative-going Threshold	-0.56**		-0.18**		mA	$V_{CC} = +5.0\text{ V}, V_{IN} = V_{T-}$
I_{IL}	Input LOW Current	-1.2		-0.4		mA	$V_{CC} = \text{Max}, V_{IN} = 0.4\text{ V}$
I_{OS}	Output Short Circuit Current	-18	-55	-20	-100	mA	$V_{CC} = \text{Max}, V_{OUT} = 0\text{ V}$
I_{CCH}	Power Supply Current	36		16		mA	$V_{IN} = \text{Gnd}$ $V_{CC} = \text{Max}$
I_{CCL}		60		21			
t_{PLH}	Propagation Delay	22		22		ns	Figs. 3-1, 3-15
t_{PHL}		22		22			

*DC limits apply over operating temperature range; AC limits apply at $T_A = +25^\circ\text{C}$ and $V_{CC} = +5.0\text{ V}$. **Typical Value

LOGIC DIAGRAM (one half shown)



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
I _{CC}	Power Supply Current	52		8.0		mA	V _{CC} = Max, V _{CP} = 0 V

AC CHARACTERISTICS: V_{CC} = +5.0 V, T_A = +25°C (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74S		54/74LS		UNITS	CONDITIONS
		C _L = 15 pF R _L = 280 Ω		C _L = 15 pF			
		Min	Max	Min	Max		
f _{max}	Maximum Clock Frequency	75	30			MHz	Figs. 3-1, 3-8
t _{PLH} t _{PHL}	Propagation Delay CP _n to Q _n or Q̄ _n	9.0	25	11	35	ns	Figs. 3-1, 3-8
t _{PLH} t _{PHL}	Propagation Delay C̄O _n or S̄D _n to Q _n or Q̄ _n	6.0	15	12	35	ns	V _{CP} ≥ 2.0 V Figs. 3-1, 3-10
t _{PLH} t _{PHL}	Propagation Delay C̄O _n or S̄D _n to Q _n or Q̄ _n	6.0	15	12	24	ns	V _{CP} ≤ 0.8 V Figs. 3-1, 3-10

AC OPERATING REQUIREMENTS: V_{CC} = +5.0 V, T_A = +25°C

SYMBOL	PARAMETER	54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
t _s (H) t _s (L)	Setup Time J _n or K̄ _n to CP _n	6.0	18	6.0	18	ns	Fig. 3-6
t _h (H) t _h (L)	Hold Time J _n or K̄ _n to CP _n	0	0	0	0	ns	
t _w (H) t _w (L)	CP _n Pulse Width	7.0	20	6.5	13.5	ns	Fig. 3-8
t _w (L)	C̄D _n or S̄D _n Pulse Width LOW	6.0	15			ns	Fig. 3-10

54S/74S112
54LS/74LS112
DUAL JK NEGATIVE
EDGE-TRIGGERED FLIP-FLOP

DESCRIPTION — The '112 features individual J, K, Clock and asynchronous Set and Clear inputs to each flip-flop. When the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may change when the clock is HIGH and the bistable will perform according to the Truth Table as long as minimum setup and hold times are observed. Input data is transferred to the outputs on the falling edge of the clock pulse.

TRUTH TABLE

INPUTS		OUTPUT
J	K	Q
L	L	Q _n
L	H	L
H	L	H
H	H	Q̄ _n

Asynchronous Inputs:

LOW input to S̄₀ sets Q to HIGH level
LOW input to C̄₀ sets Q to LOW level
Clear and Set are independent of clock
Simultaneous LOW on C̄₀ and S̄₀
makes both Q and Q̄ HIGH

t_n = Bit time before clock pulse.
t_{n-1} = Bit time after clock pulse.
H = HIGH Voltage Level
L = LOW Voltage Level

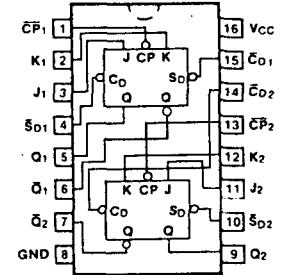
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74S112PC, 74LS112PC		9B
Ceramic DIP (D)	A	74S112DC, 74LS112DC	54S112DM, 54LS112DM	6B
Flatpak (F)	A	74S112FC, 74LS112FC	54S112FM, 54LS112FM	4L

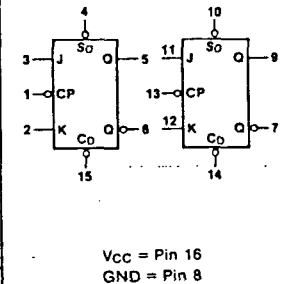
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
J ₁ , J ₂ , K ₁ , K ₂	Data Inputs	1.25/1.0	0.5/0.25
CP ₁ , CP ₂	Clock Pulse Inputs (Active Falling Edge)	2.5/2.5	2.0/0.5
C̄D ₁ , C̄D ₂	Direct Clear Inputs (Active LOW)	2.5/4.375	1.5/0.5
S̄D ₁ , S̄D ₂	Direct Set Inputs (Active LOW)	2.5/4.375	1.5/0.5
Q ₁ , Q ₂ , Q̄ ₁ , Q̄ ₂	Outputs	25/12.5	10/5.0 (2.5)

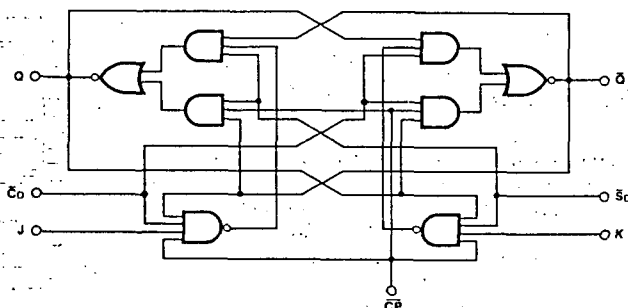
CONNECTION DIAGRAM
PINOUT A



LOGIC SYMBOL



LOGIC DIAGRAM (one half shown)



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
I _{CC}	Power Supply Current	50		8.0		mA	V _{CC} = Max, V _{CP} = 0 V

AC CHARACTERISTICS: V_{CC} = +5.0 V, T_A = +25°C (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74S		54/74LS		UNITS	CONDITIONS
		C _L = 15 pF R _L = 280 Ω		C _L = 15 pF			
		Min	Max	Min	Max		
f _{max}	Maximum Clock Frequency	80		30		MHz	Figs. 3-1, 3-9
t _{PLH} t _{PHL}	Propagation Delay CP _n to Q _n or Q̄ _n	7.0		16		ns	Figs. 3-1, 3-9
		7.0		24			
t _{PLH} t _{PHL}	Propagation Delay C̄D _n or S̄D _n to Q _n or Q̄ _n	7.0		16		ns	Figs. 3-1, 3-10
		7.0		24			

AC OPERATING REQUIREMENTS: V_{CC} = +5.0 V, T_A = +25°C

SYMBOL	PARAMETER	54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
t _s (H) t _s (L)	Setup Time J _n or K _n to C̄P _n	7.0		20		ns	Fig. 3-7
		7.0		15			
t _h (H) t _h (L)	Hold Time J _n or K _n to C̄P _n	0		0		ns	
		0		0			
t _w (H) t _w (L)	C̄P _n Pulse Width	6.0		20		ns	Fig. 3-9
		6.5		15			
t _w (L)	C̄D _n or S̄D _n Pulse Width LOW	8.0		15		ns	Fig. 3-10

54S/74S113
54LS/74LS113
DUAL JK EDGE-TRIGGERED FLIP-FLOP

DESCRIPTION — The '113 offers individual J, K, Set and Clock inputs. When the clock goes HIGH the inputs are enabled and data may be entered. The logic level of the J and K inputs may be changed when the clock pulse is HIGH and the bistable will perform according to the Truth Table as long as minimum setup and hold times are observed. Input data is transferred to the outputs on the falling edge of the clock pulse.

TRUTH TABLE

INPUTS		OUTPUT
J	K	Q _n
L	L	Q _n
L	H	L
H	L	H
H	H	Q̄ _n

Asynchronous Input:

LOW input to S_D sets Q to HIGH level
Set is independent of clock

t_b = Bit time before clock pulse.
t_{b+1} = Bit time after clock pulse.
H = HIGH Voltage Level
L = LOW Voltage Level

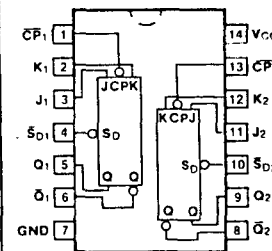
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74S113PC, 74LS113PC		9A
Ceramic DIP (D)	A	74S113DC, 74LS113DC	54S113DM, 54LS113DM	6A
Flatpak (F)	A	74S113FC, 74LS113FC	54S113FM, 54LS113FM	3I

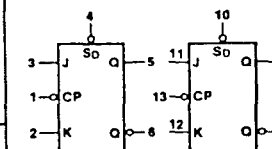
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
J ₁ , J ₂ , K ₁ , K ₂	Data Inputs	1.25/1.0	0.5/0.25
C̄P ₁ , C̄P ₂	Clock Pulse Inputs (Active Falling Edge)	2.5/2.5	2.0/0.5
S̄D ₁ , S̄D ₂	Direct Set Inputs (Active LOW)	2.5/4.375	1.5/0.5
Q ₁ , Q ₂ , Q̄ ₁ , Q̄ ₂	Outputs	25/12.5	10/5.0 (2.5)

CONNECTION DIAGRAM
PINOUT A



LOGIC SYMBOL



V_{CC} = Pin 14
GND = Pin 7

54/74126
54LS/74LS126
 QUAD BUS BUFFER GATE
 (With 3-State Outputs)

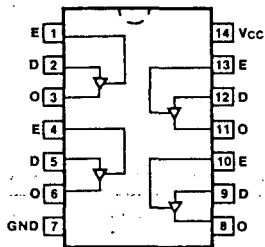
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74126PC, 74LS126PC		9A
Ceramic DIP (D)	A	74126DC, 74LS126DC	54126DM, 54LS126DM	6A
Flatpak (F)	A	74126FC, 74LS126FC	54126FM, 54LS126FM	3I

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	0.5/0.25
Outputs	130/10 (50)	65/15 (25)/(7.5)

CONNECTION DIAGRAM
PINOUT A



TRUTH TABLE

INPUTS		OUTPUT
E	D	
H	L	L
H	H	H
L	X	Z

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Immaterial
 Z = High Impedance

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
V _{OH}	Output HIGH Voltage	XM	2.4	2.4	V	V _{CC} = Min, V _{IN} = V _{IH} or V _{IL}	I _{OH} = -2.0 mA
			XC				2.4
		XM	62	20			I _{OH} = -1.0 mA
							XC
I _{OS}	Output Short Circuit Current	XM	-30 -70	-30 -130	mA	V _{CC} = Max	
		XC	-28 -70	-30 -130			
I _{CC}	Power Supply Current	62	20	mA	V _{CC} = Max V _{IN} = Gnd	Outputs LOW, V _E = 4.5 V	
						Outputs OFF, V _E = 0 V	
t _{PLH}	Propagation Delay Data to Output	13	18	15	18	ns	Figs. 3-3, 3-5
t _{RZH}	Output Enable Time	18	20	ns	Figs. 3-3, 3-11, 3-12		
		25	30				
t _{PLZ}	Output Disable Time	16	30	ns	Figs. 3-3, 3-11, 3-12		
		18	30				

*DC limits apply over operating temperature range; AC limits apply at T_A = +25°C and V_{CC} = +5.0 V.

54/74132
54S/74S132
54LS/74LS132
 QUAD 2-INPUT
 SCHMITT TRIGGER NAND GATE

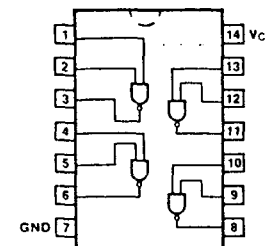
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74132PC, 74S132PC 74LS132PC		9A
Ceramic DIP (D)	A	74132DC, 74S132DC 74LS132DC	54132DM, 54S132DM 54LS132DM	6A
Flatpak (F)	A	74132FC, 74S132FC 74LS132FC	54132FM, 54S132FM 54LS132FM	3I

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/0.75	1.25/1.25	0.5/0.25
Outputs	20/10	25/12.5	10/5.0 (2.5)

CONNECTION DIAGRAM
PINOUT A



DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max		
V _{T+}	Positive-going Threshold Voltage	1.5	2.0	1.6	1.9	1.4	1.9	V	V _{CC} = +5.0 V
V _{T-}	Negative-going Threshold Voltage	0.6	1.1	1.1	1.4	0.5	1.0	V	V _{CC} = +5.0 V
V _{T+} - V _{T-}	Hysteresis Voltage	0.4		0.2		0.4		V	V _{CC} = +5.0 V
I _{T+}	Input Current at Positive-going Threshold	-0.43	**	-0.9	**	-0.14	**	mA	V _{CC} = +5.0 V, V _{IN} = V _{T+}
I _{T-}	Input Current at Negative-going Threshold	-0.56	**	-1.1	**	-0.18	**	mA	V _{CC} = +5.0 V, V _{IN} = V _{T-}
I _{OS}	Output Short Circuit Current	-18	-55					mA	V _{CC} = Max, V _{OUT} = 0 V
I _{CC}	Power Supply Current	24		44		11		mA	V _{IN} = Gnd V _{IN} = Open
		40		68		14			
t _{PLH}	Propagation Delay	22		10.5		20		ns	Figs. 3-1, 3-4
		22		13		20			

*DC limits apply over operating temperature range; AC limits apply at T_A = +25°C and V_{CC} = +5.0 V. **Typical Value

Definition of Terms

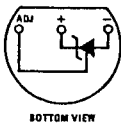
Operating Output Voltage: The voltage appearing across the positive and negative terminals of the device at specified conditions of operating temperature and current.

Uncalibrated Temperature Error: The error between the operating output voltage at 10 mV/K and case temperature at specified conditions of current and case temperature.

Calibrated Temperature Error: The error between operating output voltage and case temperature at 10 mV/K over a temperature range at a specified operating current with the 25°C error adjusted to zero.

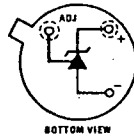
Connection Diagrams

TO-92
Plastic Package



Order Number LM335Z
or LM335AZ
See NS Package Z03A

TO-46
Metal Can Package*



*Case is connected to negative pin
Order Number LM135H,
LM235H, LM335H, LM135AH,
LM235AH or LM335AH
See NS Package H03H

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

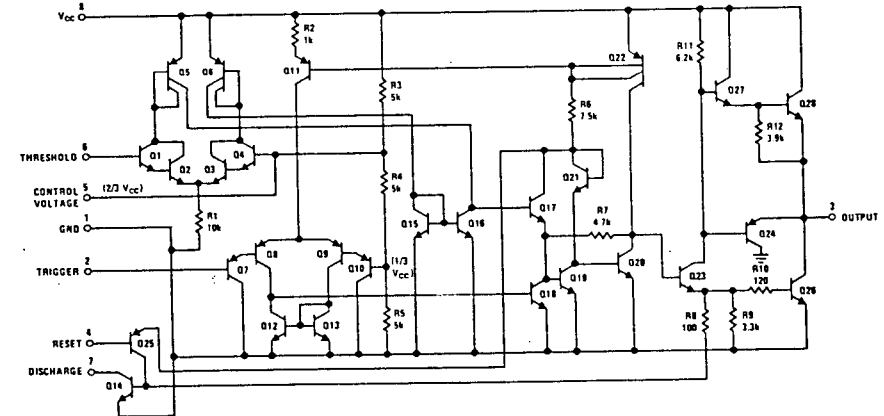
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

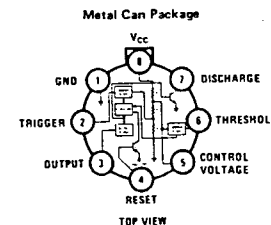
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

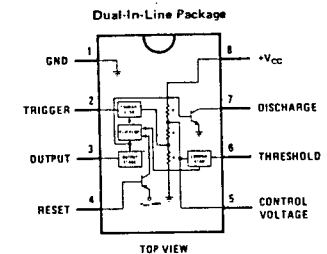
Schematic Diagram



Connection Diagrams



Order Number LM555H, LM555CH
See NS Package H08C



Order Number LM555CN
See NS Package N08B
Order Number LM555J or LM555CJ
See NS Package J08A

Absolute Maximum Ratings

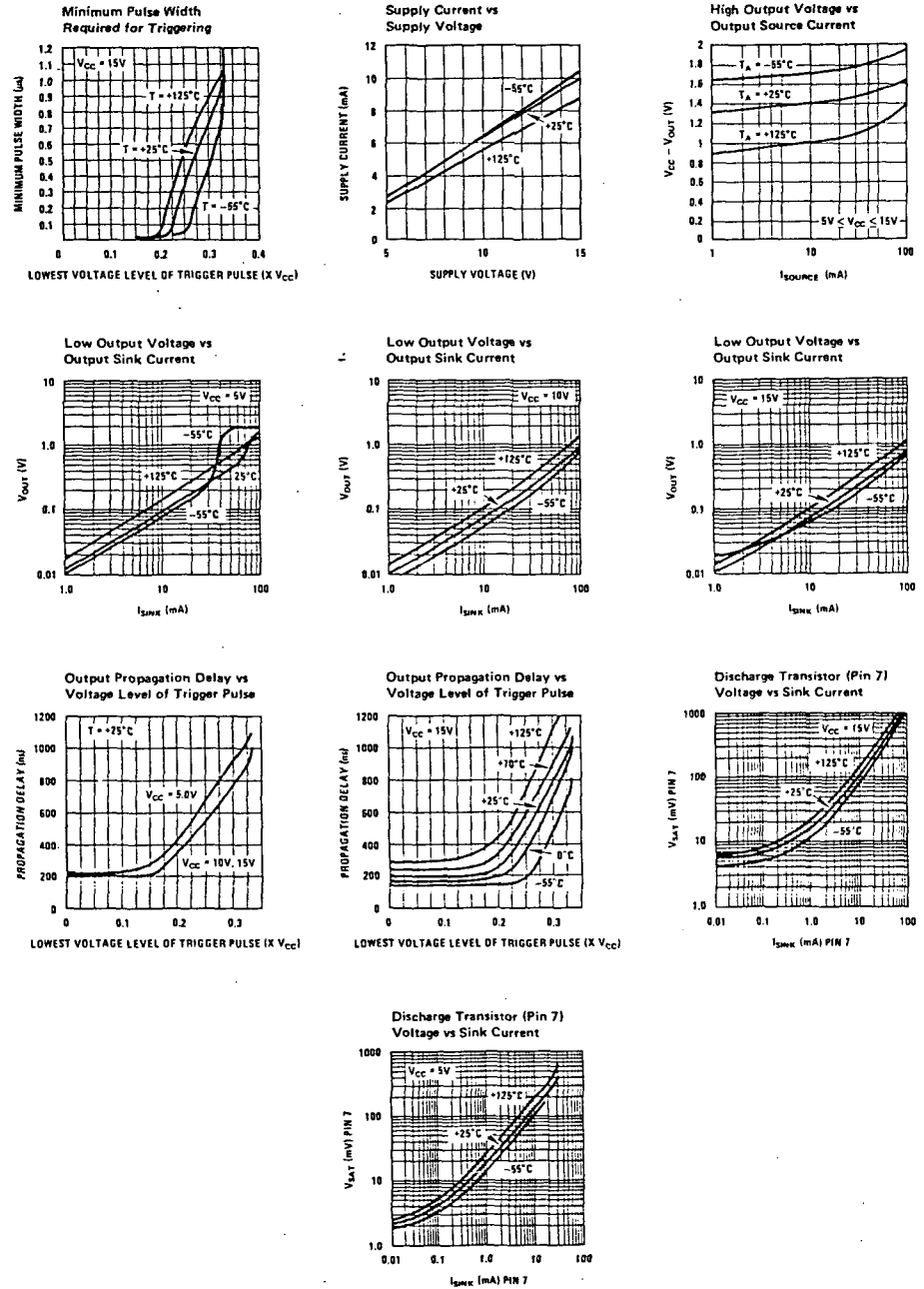
Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						UNITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V _{CC} = 5V, R _L = ∞ V _{CC} = 15V, R _L = ∞ (Low State) (Note 2)		3 10	5 12		3 10	6 15	mA mA
Timing Error, Monostable								
Initial Accuracy			0.5			1		%
Drift with Temperature	R _A , R _B = 1k to 100 k, C = 0.1μF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25		%
Drift with Temperature			90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15			0.30		%/V
Threshold Voltage			0.667			0.667		x V _{CC}
Trigger Voltage	V _{CC} = 15V V _{CC} = 5V	4.8 1.45	5 1.67	5.2 1.9		5 1.67		V V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	V _{CC} = 15V V _{CC} = 5V	9.6 2.9	10 3.33	10.4 3.8	9 2.6	10 3.33	11 4	V V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								
Output Low	V _{CC} = 15V, I _T = 15 mA		150			180		mV
Output Low	V _{CC} = 4.5V, I _T = 4.5 mA		70	100		80	200	mV
Output Voltage Drop (Low)	V _{CC} = 15V							
I _{SINK} = 10 mA			0.1	0.15		0.1	0.25	V
I _{SINK} = 50 mA			0.4	0.5		0.4	0.75	V
I _{SINK} = 100 mA			2	2.2		2	2.5	V
I _{SINK} = 200 mA			2.5			2.5		V
V _{CC} = 5V								
I _{SINK} = 8 mA			0.1	0.25				V
I _{SINK} = 5 mA						0.25	0.35	V
Output Voltage Drop (High)	I _{SOURCE} = 200 mA, V _{CC} = 15V I _{SOURCE} = 100 mA, V _{CC} = 15V V _{CC} = 5V	13 3	12.5 13.3 3.3		12.75 13.3 2.75	12.5 13.3 3.3		V V V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +45°C/W junction to case for TO-5 and +150°C/W junction to ambient for both packages.
 Note 2: Supply current when output high typically 1 mA less at V_{CC} = 5V.
 Note 3: Tested at V_{CC} = 5V and V_{CC} = 15V.
 Note 4: This will determine the maximum value of R_A + R_B for 15V operation. The maximum total (R_A + R_B) is 20 MΩ.
 Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Typical Performance Characteristics



Applications Information

MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one-shot (Figure 1). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than $1/3 V_{CC}$ to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.

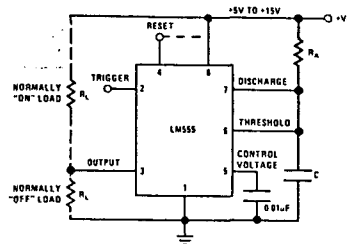
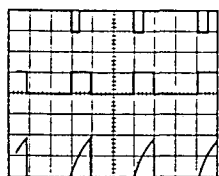


FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of $t = 1.1 R_A C$, at the end of which time the voltage equals $2/3 V_{CC}$. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. Figure 2 shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing interval is independent of supply.



$V_{CC} = 5V$
TIME = 0.1 µs/DIV.
 $R_A = 9.1k\Omega$
 $C = 0.01\mu F$

Top Trace: Input 5V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 2V/Div.

FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of R, C values for various time delays.

NOTE: In monostable operation, the trigger should be driven high before the end of timing cycle.

ASTABLE OPERATION

If the circuit is connected as shown in Figure 4 (pins 2 and 6 connected) it will trigger itself and free run as a

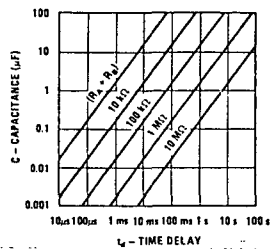


FIGURE 3. Time Delay

multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B . Thus the duty cycle may be precisely set by the ratio of these two resistors.

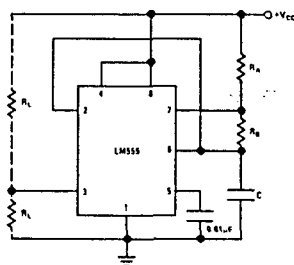
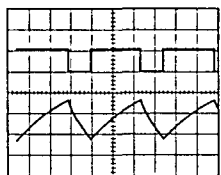


FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between $1/3 V_{CC}$ and $2/3 V_{CC}$. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Figure 5 shows the waveforms generated in this mode of operation.



$V_{CC} = 5V$
TIME = 20µs/DIV.
 $R_A = 3.9k\Omega$
 $R_B = 3k\Omega$
 $C = 0.01\mu F$

Top Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 1V/Div.

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

Applications Information (Continued)

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B) C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is:

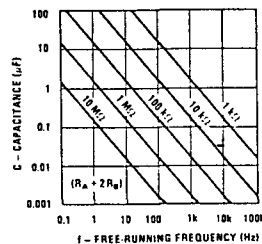
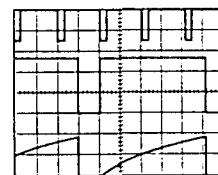
$$D = \frac{R_B}{R_A + 2R_B}$$


FIGURE 6. Free Running Frequency

FREQUENCY DIVIDER

The monostable circuit of Figure 1 can be used as a frequency divider by adjusting the length of the timing cycle. Figure 7 shows the waveforms generated in a divide by three circuit.



$V_{CC} = 5V$
TIME = 20µs/DIV.
 $R_A = 9.1k\Omega$
 $C = 0.01\mu F$

Top Trace: Input 4V/Div.
Middle Trace: Output 2V/Div.
Bottom Trace: Capacitor 2V/Div.

FIGURE 7. Frequency Divider

PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 8 shows the circuit, and in Figure 9 are some waveform examples.

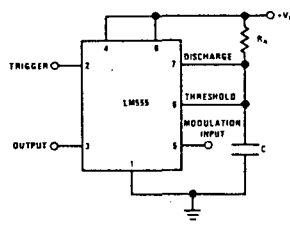
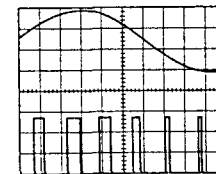


FIGURE 8. Pulse Width Modulator



$V_{CC} = 5V$
TIME = 0.2 µs/DIV.
 $R_A = 9.1k\Omega$
 $C = 0.01\mu F$

Top Trace: Modulation 1V/Div.
Bottom Trace: Output 2V/Div.

FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in Figure 10, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. Figure 11 shows the waveforms generated for a triangle wave modulation signal.

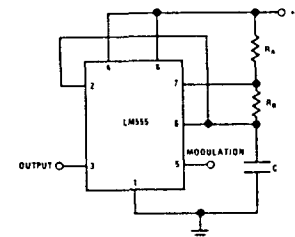
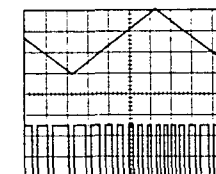


FIGURE 10. Pulse Position Modulator



$V_{CC} = 5V$
TIME = 0.1 µs/DIV.
 $R_A = 3.9k\Omega$
 $R_B = 3k\Omega$
 $C = 0.01\mu F$

Top Trace: Modulation Input 1V/Div.
Bottom Trace: Output 2V/Div.

FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A , in the monostable circuit is replaced by a constant current source, a linear ramp is

Applications Information (Continued)

generated. Figure 12 shows a circuit configuration that will perform this function.

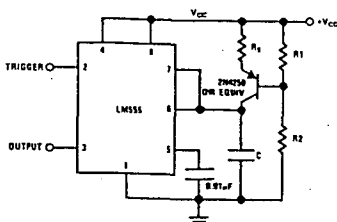


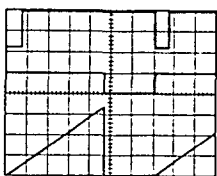
FIGURE 12.

Figure 13 shows waveforms generated by the linear ramp.

The time interval is given by:

$$T = \frac{2/3 V_{CC} R_E (R_1 + R_2) C}{R_1 V_{CC} - V_{BE} (R_1 + R_2)}$$

$V_{BE} \approx 0.6V$



$V_{CC} = 5V$
 TIME = 70ns/DIV.
 $R_1 = 47k\Omega$
 $R_2 = 100k\Omega$
 $R_E = 27k\Omega$
 $C = 880pF$

FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in Figure 14. The time period for the out-

put high is the same as previous, $t_1 = 0.693 R_A C$. For the output low it is $t_2 =$

$$\left(\frac{R_A R_B}{R_A + R_B} \right) \ln \left(\frac{R_B - 2R_A}{2R_B - R_A} \right)$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 + t_2}$

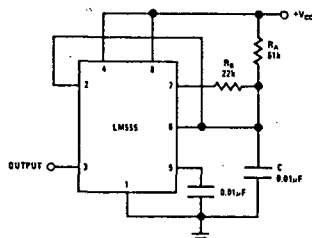


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than $1/2 R_A$ because the junction of R_A and R_B cannot bring pin 2 down to $1/3 V_{CC}$ and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1 μF in parallel with 1 μF electrolytic.

Lower comparator storage time can be as long as 10 μs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10 μs minimum.

Delay time reset to output is 0.47 μs typical. Minimum reset pulse width must be 0.3 μs , typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

LM556/LM556C Dual Timer

General Description

The LM556 Dual timing circuit is a highly stable controller capable of producing accurate time delays or oscillation. The 556 is a dual 555. Timing is provided by an external resistor and capacitor for each timing function. The two timers operate independently of each other sharing only V_{CC} and ground. The circuits may be triggered and reset on falling waveforms. The output structures may sink or source 200 mA.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per $^{\circ}C$
- Normally on and normally off output

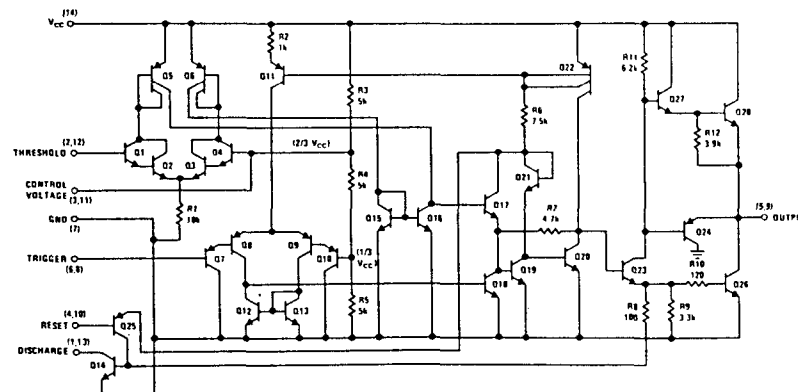
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

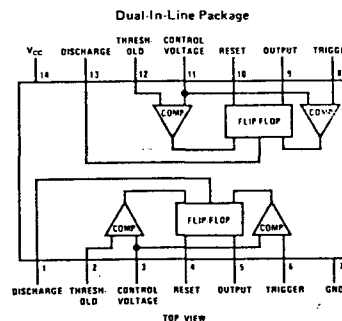
Features

- Direct replacement for SE556/NE556
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Replaces two 555 timers

Schematic Diagram



Connection Diagram



Order Number LM556CN
 See NS Package N14A

Order Number LM556J or LM556CJ
 See NS Package J14A

Circuit Description (See Schematic Diagram)

The LM1880 uses a phase-shift type voltage-controlled oscillator (VCO). The gain for the oscillator loop is derived from differential amplifiers Q30, Q31 and Q22, Q23. The collector current in Q23 is phase-shifted 45° at pin 5 and summed with a portion of the current in Q22, controlled by differential amplifier Q20, Q21. The resulting output phase at pin 4 coupled through the ceramic resonator to pin 6 defines the oscillation frequency. Differential amplifier Q16, Q17, controlled by the pin 2 voltage, determines the current split in Q20 and Q21 and, consequently, the pin 4 phase and oscillation frequency. The multiple-emitter degeneration in Q17 compensates the resonator phase characteristic to produce a nearly linear VCO control curve.

The 503.5 kHz output of the VCO is taken from squaring amplifier Q32, Q33 through Q34 and Q35 to the $1/2L \div 16$ pre-scaler T0-T3. The $2f_H$ output is then divided again in T4 to produce the desired horizontal frequency at gate G8. The horizontal pre-driver section consists of Q3, Q4 and Q5, which produce an open-collector output square-wave at pin 8.

The $2f_H$ pre-scaler output also drives a data flip-flop which resets the vertical counter F1-F9. The data input of the reset flip-flop is controlled by the vertical sync from pin 10 subject to gates G3 and G5. After 510 $2f_H$ cycles following reset, vertical sync from Q1 and G4 is enabled by G3. A sync pulse received after this time initiates reset on the next $2f_H$ cycle. If no pulse is received after 542 cycles, G5 will initiate the reset process. A reset pulse from the counter is taken via G9 to the retrace timing section. SCR Q8, Q9 is normally

ON, holding a capacitor on pin 11 near ground. During this time Q11 and Q12 are OFF, allowing the vertical ramp to form on pin 12. When the reset pulse is received, Q7 turns Q8, Q9 OFF and Q11, Q12 ON, discharging the vertical ramp for the duration of the retrace time. Retrace is completed when the pin 11 capacitor charges to the Q8 threshold, and the SCR again latches.

The remaining sections of the device are the horizontal phase detector and burst gate former. The balanced phase detector consists of comparator Q43, Q44 and current source Q39 gated by differential amplifier Q41, Q42. Negative horizontal sync pulses on pin 14 enable the comparator, and the flyback sawtooth on pin 1 switches the current from Q43 to Q44 based on the relative phase between the sync and sawtooth. Q44 takes a (-) current pulse from pin 2, while the pulse in Q43 is turned around in the current mirror Q45, Q46 and Q47 to produce a (+) current pulse at pin 2. These currents are then integrated by the external loop filter to control the VCO.

The flyback sawtooth also switches differential amplifier Q49, Q50, which activates the burst gate. During the first half of the flyback pulse Q49 will be ON, which turns Q51 and Q52 ON and clamps pin 13 near ground. The sawtooth switches Q49, Q51 and Q52 OFF at the peak of the flyback, releasing pin 13. In this manner, the second half of a flyback pulse fed to pin 13 can be used as a burst gate.

Q53, Q54 and Q55 form the active shunt regulator which holds the supply pin 9 at 8.7V typ.

LM1886 TV Video Matrix D to A

General Description

The LM1886 is a TV video matrix D to A converter which encodes luminance and color difference signals from 3-bit red, green and blue inputs. The luminance output is encoded from the NTSC equation $Y = 0.3R + 0.59G + 0.11B$ and the R-Y and B-Y outputs are weighted to prevent over-modulation. A built-in R-Y and burst gate polarity switch allow European PAL compatible signals to be encoded. All output levels including an RF O Carrier Bias Voltage have been referenced to 5V for direct connection to the LM1889 TV video modulator. When used in combination with the LM1889 and a suitable sync generator, 3-bit R, G and B information may be encoded to both composite video and RF channel carrier.

Features

- Complete digital to RF encoding with LM1889
- 1-pin PAL/NTSC mode select
- True NTSC matrix
- 8 levels of grey scale
- Allows wide range of colorimetry
- Low power TTL inputs
- Wideband luminance output
- Weighted R-Y, B-Y outputs

Connection Diagram

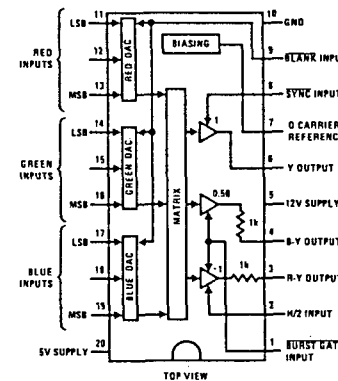


FIGURE 1

Order Number LM1886N
See NS Package N20A

Test Circuits

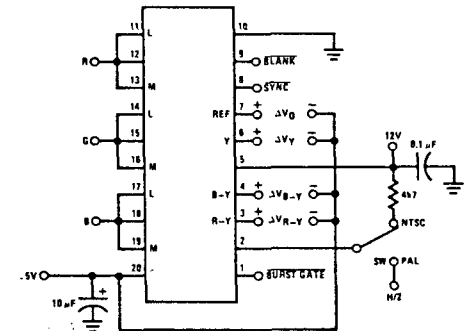


FIGURE 2a. 6-Color Input Connection

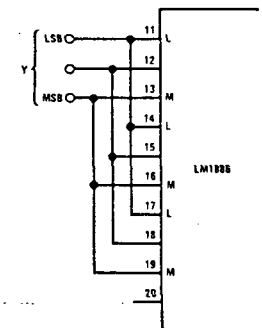


FIGURE 2b. 8-Level Grey Scale Input Connection

Absolute Maximum Ratings

Supply Voltage	
Pin 5	15V
Pin 20	6V
Input Voltage (Pins 1, 8, 9, 11-19)	-0.5V, +12V
Pin 2 Voltage Relative to Pin 20	0.8V
Output Current	5 mA
Power Dissipation, $T_A = 25^\circ\text{C}$ (Note 1)	1.67 W
Storage Temperature Range	-55°C to +150°C
Operating Temperature Range	0°C to 70°C
Lead Temperature (Soldering, 10 seconds)	300°C

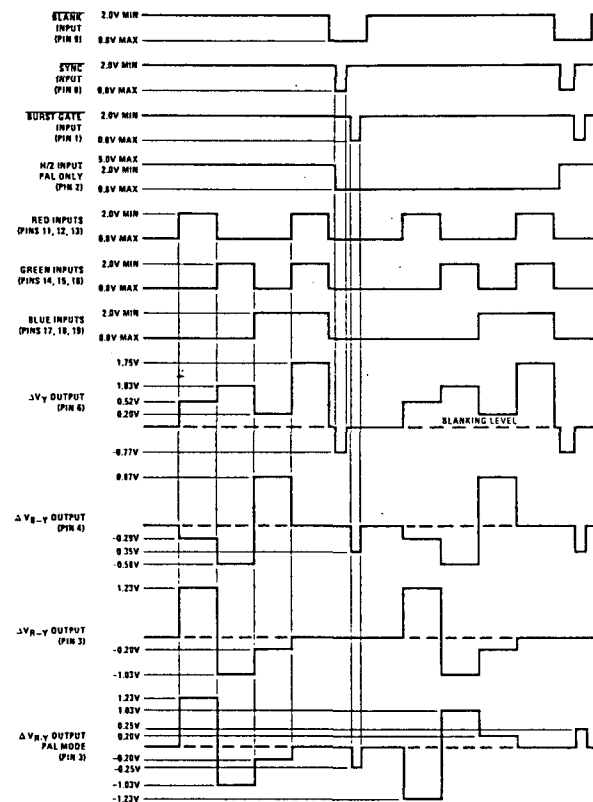
Electrical Characteristics $T_A = 25^\circ\text{C}$, (Figure 2, Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
5V Supply Current (Pin 20)	BLANK = 0.8V	7	11	16	mA
12V Supply Current (Pin 5)	BLANK = 0.8V	9	13	17	mA
Logic "1" Input Current (Pins 1, 2, 8, 9, 11-19)	Input Voltage = 5.0V		0	10	μA
Logic "0" Input Current (Pins 1, 2, 8, 9, 11-19)	Input Voltage = 0.3V		-0.01	-0.18	mA
Output Offsets	R, G, B = 0.8V				
ΔV_Y			0	± 50	mV
ΔV_{R-Y}			0	± 50	mV
ΔV_{B-Y}			0	± 50	mV
R-Y Full Scale, (ΔV_{R-Y})FS	R = 2V; G, B = 0.8V	1.0	1.23	1.4	V
B-Y Full Scale, (ΔV_{B-Y})FS	B = 2V; R, G = 0.8V	0.7	0.87	1.0	V
Green Full Scale	G = 2V; R, B = 0.8V				
ΔV_{R-Y}		-0.85	-1.03	-1.2	V
ΔV_{B-Y}		-0.45	-0.58	-0.7	V
Y Full Scale	R, G, B = 2V				
(ΔV_Y)FS		1.6	1.75	1.9	V
ΔV_{R-Y}			0	± 100	mV
ΔV_{B-Y}			0	± 75	mV
Carrier Reference, ΔV_O		2.0	2.2	2.5	V
Blanking Level, ΔV_Y	BLANK = 0.8V		0	± 50	mV
Sync Level, ΔV_Y	BLANK, SYNC = 0.8V	-0.67	-0.77	-0.87	V
NTSC Burst, ΔV_{B-Y}	BLANK, BURST GATE = 0.8V	-0.26	-0.35	-0.46	V
PAL Burst					
ΔV_{R-Y}	SW in PAL Position; BLANK, BURST GATE, H/2 = 0.8V	-0.2	-0.25	-0.32	V
ΔV_{B-Y}		-0.2	-0.25	-0.32	V
PAL Inversion Ratio (ΔV_{R-Y})/PAL / (ΔV_{R-Y})FS	R = 2V; G, B, H/2 = 0.8V SW to PAL Position	-0.9	-1.0	-1.1	
Y Linearity Error	Figure 2b Input Connection		± 1	± 6	%FS
Y Switching Times	15 kHz Square Wave Switching R, G, B in Parallel				
Rise Time, t_R			35		ns
Fall Time, t_F			30		ns
Settling Time ± 1 LSB			50		ns

Note 1: Above $T_A = 25^\circ\text{C}$, derate based on $T_{J(\text{MAX})} = 150^\circ\text{C}$ and $\theta_{JA} = 75^\circ\text{C/W}$.

Note 2: Unless otherwise noted, BLANK, SYNC, BURST GATE = 2V and SW is in NTSC position. All outputs are referenced to the +5V supply as shown in Figure 2a.

Typical Input and Output Waveforms



Application Notes (Refer to Figure 3)

SYNC, BLANK, and BURST GATE may be obtained from a sync generator IC similar to MM5320 or MM5321. For PAL operation, the H/2 square wave may be obtained by a ± 2 from horizontal sync.

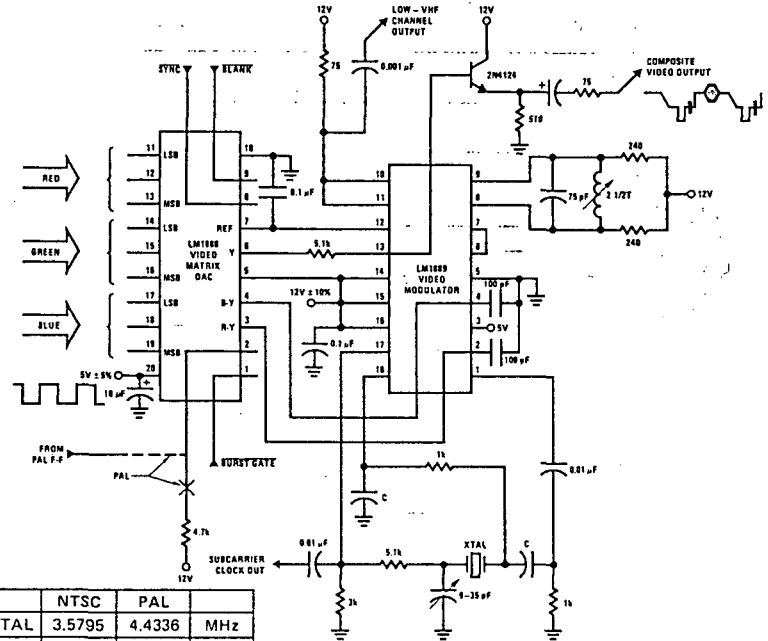
All inputs are low-power TTL compatible. Because of the very low typical input currents, the color inputs may be paralleled in various combinations. For simple color requirements, the Figure 2a input connection may be used to produce the 6 primary and complementary colors listed in Table I, along with black and white. To add complex colors such as those at the bottom of Table I, all 9 input bits may be required separately. When choosing input codes for other colors, always check the new color against both light and dark backgrounds.

All outputs are referenced to the +5V supply for direct connection to the LM1889. The resistor on the luminance output pin 6 is used to sum the chroma subcarrier from the LM1889 and must be wired as tightly as possible to preserve the video bandwidth. For the addition of sound or a second RF channel, refer to the LM1889 data sheet.

TABLE I. INPUT CODE EXAMPLES FOR COMMON COLORS

	COLOR	INPUT CODE					
		RED		GREEN		BLUE	
		M	L	M	L	M	L
	Black	0	0	0	0	0	0
	Dark Grey	0	1	0	1	0	1
	Light Grey	1	0	1	0	1	0
	White	1	1	1	1	1	1
Primary	Red	1	1	0	0	0	0
	Green	0	0	1	1	0	0
	Blue	0	0	0	0	1	1
Complementary	Cyan	0	0	1	1	1	1
	Magenta	1	1	0	0	1	1
	Yellow	1	1	1	1	0	0
	Brown	0	1	0	1	0	0
	Orange	1	1	1	0	0	0
	Flesh tone	1	1	1	0	1	0
	Pink	1	1	1	0	1	1
	Sky Blue	1	0	1	0	1	1

Typical Application



	NTSC	PAL	
XTAL	3.5795	4.4336	MHz
C	43	36	pF

FIGURE 3

Circuit Description (Refer to Figure 4)

The 3-bit red, green, and blue inputs go to identical 3-bit current-mode digital-to-analog converters (DACs). Each DAC consists of three binary-weighted current sources controlled by diff-amp current switches. The DAC output currents are arbitrarily given a weighting factor of 0.59, which is the green coefficient in the luminance equation. Portions of the red and blue currents are split off, so that the remaining currents combined with the green current form the luminance current $I_Y = 0.3 I_R + 0.59 I_G + 0.11 I_B$. I_Y develops the luminance voltage V_Y across R_0 in a summing amplifier referenced to the +5V supply. A current switch operated by pin 8 adds (-) sync pulses to the Y output at pin 6.

The portions of red and blue currents previously split off flow through resistors $R_0/0.29$ and $R_0/0.48$, which are weighted to form the red and blue voltages respectively. Since the opposite ends of the 2 resistors are connected to V_Y , the red and blue voltages across the resistors subtract from V_Y to develop the color difference voltages V_{Y-R} and V_{Y-B} . V_{Y-B} is coupled through a X.56 gain, 5V-referenced inverting amplifier to the B-Y output at pin 4. V_{Y-R} feeds parallel inverting and non-inverting unity gain amplifiers which allow either polarity to be coupled to the R-Y output pin 3. Switching between the 2 amplifiers is controlled by a current switch activated by the H/2 pin 2. A (-) burst gate pulse on pin 1 controls current switches which add the burst pulse components to the B-Y and R-Y outputs.

The requirements for PAL and NTSC encoding differ in the areas of burst gate operation and R-Y polarity, both of which are controlled via pin 2 as follows:

PAL, pin 2 fed by a half-line frequency TTL square wave—in this mode a PNP switch between pin 2 and +5V is held off continuously, which results in equal burst pulse components on the B-Y and R-Y outputs. In addition, the H/2 square wave causes the R-Y output polarity to reverse every line. (When fed to the LM1889 chroma modulator this causes the phase of the R-Y subcarrier to change 180° as required in PAL.)

NTSC, pin 2 tied through an external resistor to +12V—this turns on the PNP switch continuously, which eliminates the burst pulse on the R-Y output and increases the amplitude of the B-Y pulse. Since pin 2 is being held high, the R-Y output is locked in the positive polarity.

Blanking is activated by a low on pin 9, which de-biases the left side of the DAC diff-amps, so that $I_R = I_G = I_B = 0$ independent of the input states. When blanked, the Y, B-Y and R-Y outputs all go to +5V. An additional amplifier produces a 0 carrier reference voltage at pin 7 which is 25% above the peak white voltage on the Y output, relative to +5V.

Equivalent Schematic

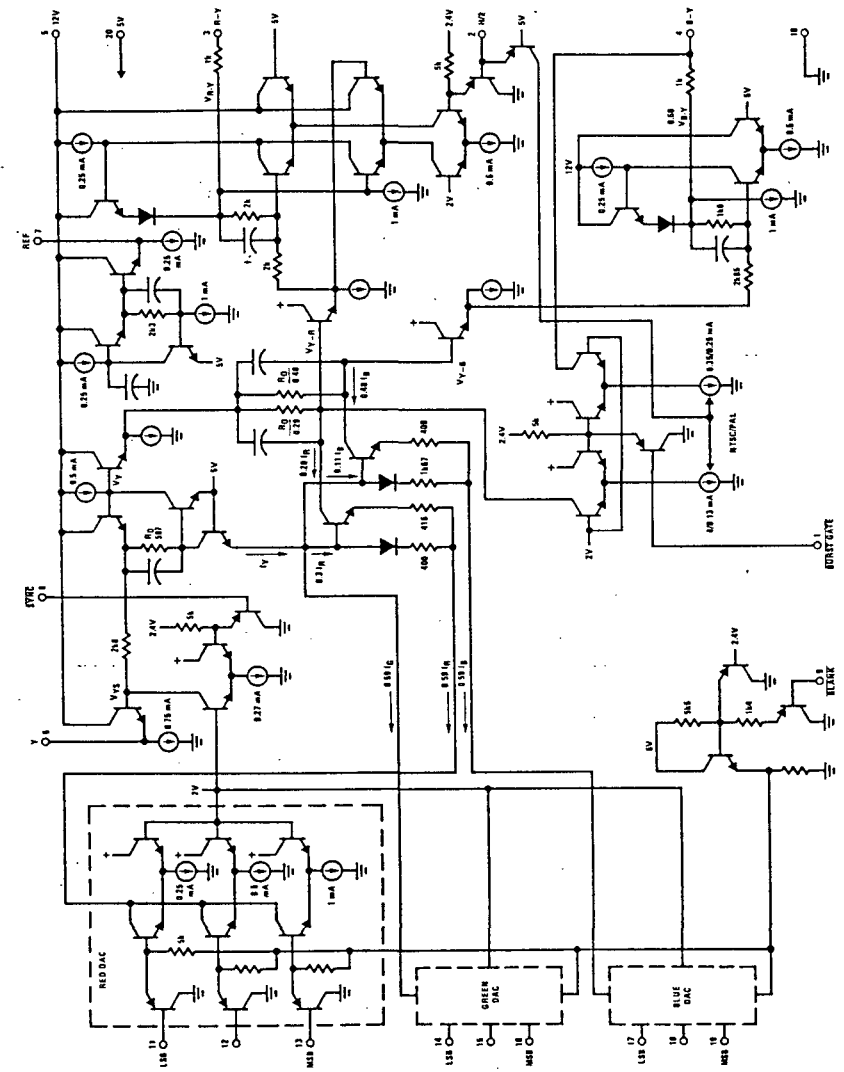


FIGURE 4. LM1886 Equivalent Schematic

LM1889 TV Video Modulator

General Description

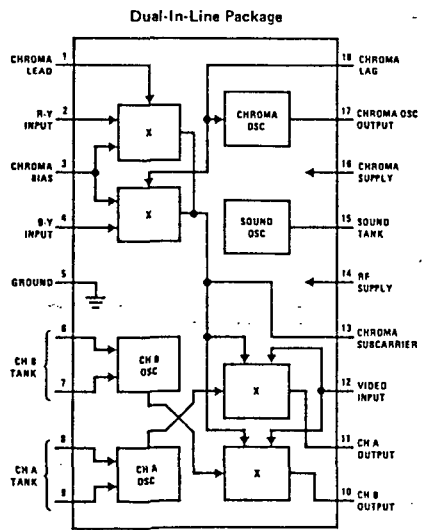
The LM1889 is designed to interface audio, color difference, and luminance signals to the antenna terminals of a TV receiver. It consists of a sound subcarrier oscillator, chroma subcarrier oscillator, quadrature chroma modulators, and RF oscillators and modulators for two low-VHF channels.

The LM1889 allows video information from VTR's, games, test equipment, or similar sources to be displayed on black and white or color TV receivers. When used with the MM57100 and MM53104, a complete TV game is formed.

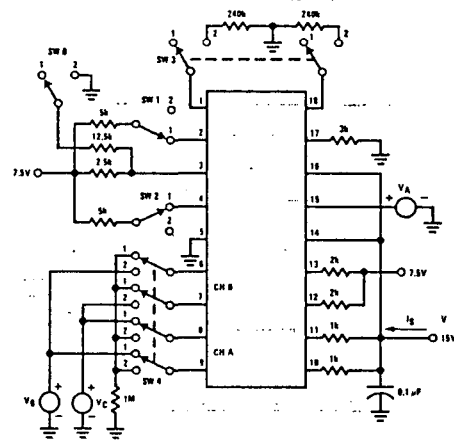
Features

- dc channel switching
- 12V to 18V supply operation
- Excellent oscillator stability
- Low intermodulation products
- 5 Vp-p chroma reference signal
- May be used to encode composite video

Block Diagram



DC Test Circuit



Order Number LM1889N
See NS Package N18A

Absolute Maximum Ratings

Supply Voltage V14, V16 max	19 V _{dc}
Power Dissipation Package (Note 1)	1390 mW
Operating Temperature Range	0°C to +70°C
Storage Temperature Range	-55°C to +150°C
Chroma Osc Current I ₁₇ max	10 mA _{dc}
(V16-V15) max	±5 V _{dc}
(V14-V10) max	7V
(V14-V11) max	7V
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics

(dc Test Circuit, All SW Normally Pos. 1, V_A = 15V, V_B = V_C = 12V)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current, I _S		20	35	45	mA
Sound Oscillator, Current Change, ΔI ₁₅	Change V _A From 12.5V to 17.5V	0.3	0.6	0.9	mA
Chroma Oscillator Balance, V17		9.5	11.0	12.5	V
Chroma Modulator Balance, V13		7.0	7.4	7.8	V
R-Y Modulator Output Level, ΔV13	SW 3, Pos. 2, Change SW 1 From Pos. 1 to Pos. 2	0.6	0.9	1.2	V
B-Y Modulator Output Level, ΔV13	SW 3, Pos. 2, Change SW 2 From Pos. 1 to Pos. 2	0.6	0.9	1.2	V
Chroma Modulator Conversion Ratio, ΔV13/ΔV3	SW 3, Pos. 2, Change SW 0 From Pos. 1 to Pos. 2. Divide ΔV13 by ΔV3	0.45	0.70	0.95	V/V
Ch. A Oscillator "OFF" Voltage, V8, V9	SW 4, Pos. 2	0.5	1.5	3.0	V
Ch. A Oscillator Current Level, I _g	V _B = 12V, V _C = 13V	2.5	3.5	5	mA
Ch. B Oscillator "OFF" Voltage, V6, V7		0.5	1.5	3.0	V
Ch. B Oscillator Current Level, I _g	SW 4, Pos. 2, V _B = 12V, V _C = 13V	2.5	3.5	5	mA
Ch. A Modulator Conversion Ratio, ΔV11/(V13-V12)	SW 1, SW 2, SW 3, Pos. 2, V _B = 12V, Change V _C From 13V to 11V For ΔV11 Divide By V13-V12	0.35	0.55	0.75	V/V
Ch. B Modulator Conversion Ratio, ΔV10/(V13-V12)	All SW, Pos. 2, V _B = 12V, Change V _C From 13V to 11V Divide as Above	0.35	0.55	0.75	V/V

AC Electrical Characteristics

(ac Test Circuit, V = 15V)

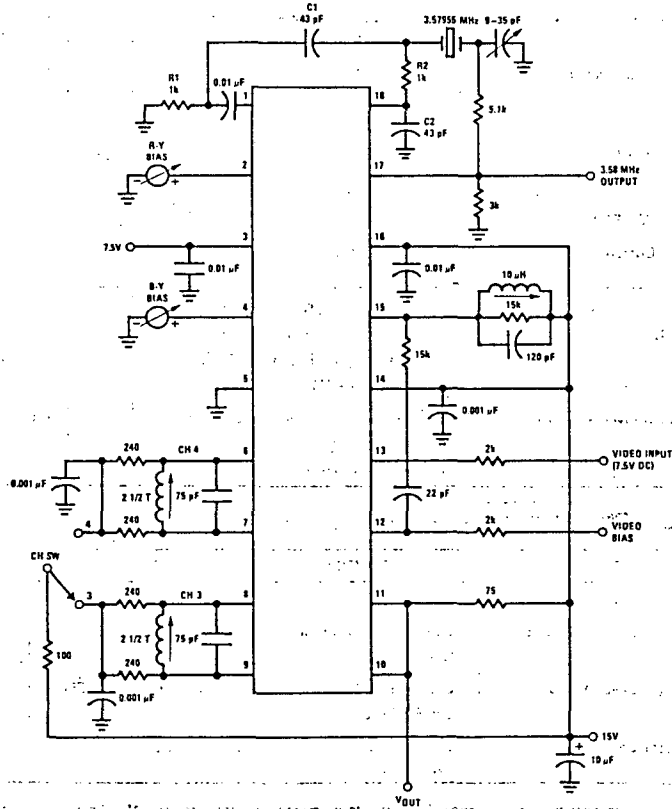
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Chroma Oscillator Output Level, V17	C _{LOAD} ≤ 20 pF	4	5		Vp-p
Sound Carrier Oscillator Level, V15	Loaded by RC Coupling Network	2	3	4	Vp-p
Ch. 3 RF Oscillator Level, V8, V9	Ch. Sw. Pos. 3, f = 61.25 MHz, Use FET Probe	200	350		mVp-p
Ch. 4 RF Oscillator Level, V6, V7	Ch. Sw. Pos. 4, f = 67.25 MHz, Use FET Probe	200	350		mVp-p

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 90°C/W junction to ambient.

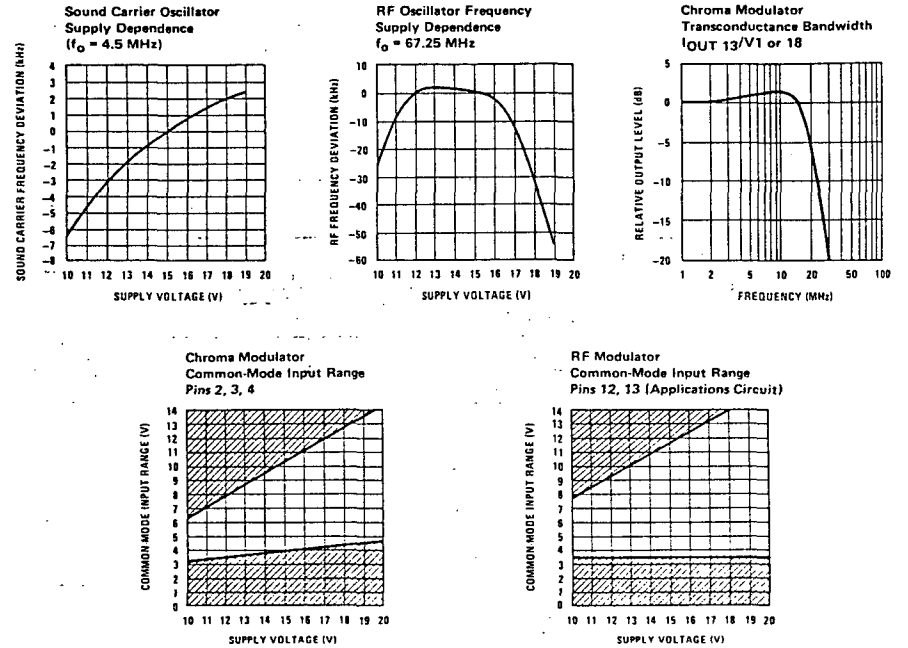
Design Characteristics (ac Test Circuit, V = 15V)

PARAMETER	TYP	UNITS	PARAMETER	TYP	UNITS
Oscillator Supply Dependence			RF Modulator		
Chroma, $f_o = 3.579545$ MHz	3	Hz/V	Conversion Gain, $f = 61.25$ MHz, $V_{OUT}/(V_{13}-V_{12})$	10	mVrms/V
Sound Carrier, RF	See Curves		3.58 MHz Differential Gain	5	%
Oscillator Temperature Dependence (IC Only)			Differential Phase	3	degrees
Chroma	0.05	ppm/°C	2.5 Vp-p Video, 87.5% mod.		
Sound Carrier	-15	ppm/°C	Output Harmonics Below Carrier		
RF	-50	ppm/°C	2nd, 3rd	-12	dB
Chroma Oscillator Output, Pin 17			4th and above	-20	dB
TRISE, 10-90%	20	ns	Input Impedances		
TFALL, 90-10%	30	ns	Chroma Modulator, Pins 2, 4	500k//2 pF	
Duty Cycle (+) Half Cycle	51	%	RF Modulator, Pin 12	1M//2 pF	
(-) Half Cycle	49	%	Pin 13	250k//3.5 pF	
RF Oscillator Maximum Operating Frequency (Temperature Stability Degraded)	100	MHz			
Chroma Modulator ($f = 3.58$ MHz)					
B-Y Conversion Gain $V_{13}/(V_4-V_3)$	0.6	Vp-p/V			
R-Y Conversion Gain $V_{13}/(V_2-V_3)$	0.6	Vp-p/V			
Gain Balance	± 0.5	dB			
Bandwidth	See Curve				

AC Test Circuit



Typical Performance Characteristics



Circuit Description (Refer to Circuit Diagram)

The sound carrier oscillator is formed by differential amplifier Q3, Q4 operated with positive feedback from the pin 15 tank to the base of Q4.

The chroma oscillator consists of the inverting amplifier Q16, Q17 and Darlington emitter follower Q11, Q12. An external RC and crystal network from pin 17 to pin 18 provides an additional 180 degrees phase lag back to the base of Q17 to produce oscillation at the crystal resonance frequency. (See ac test circuit).

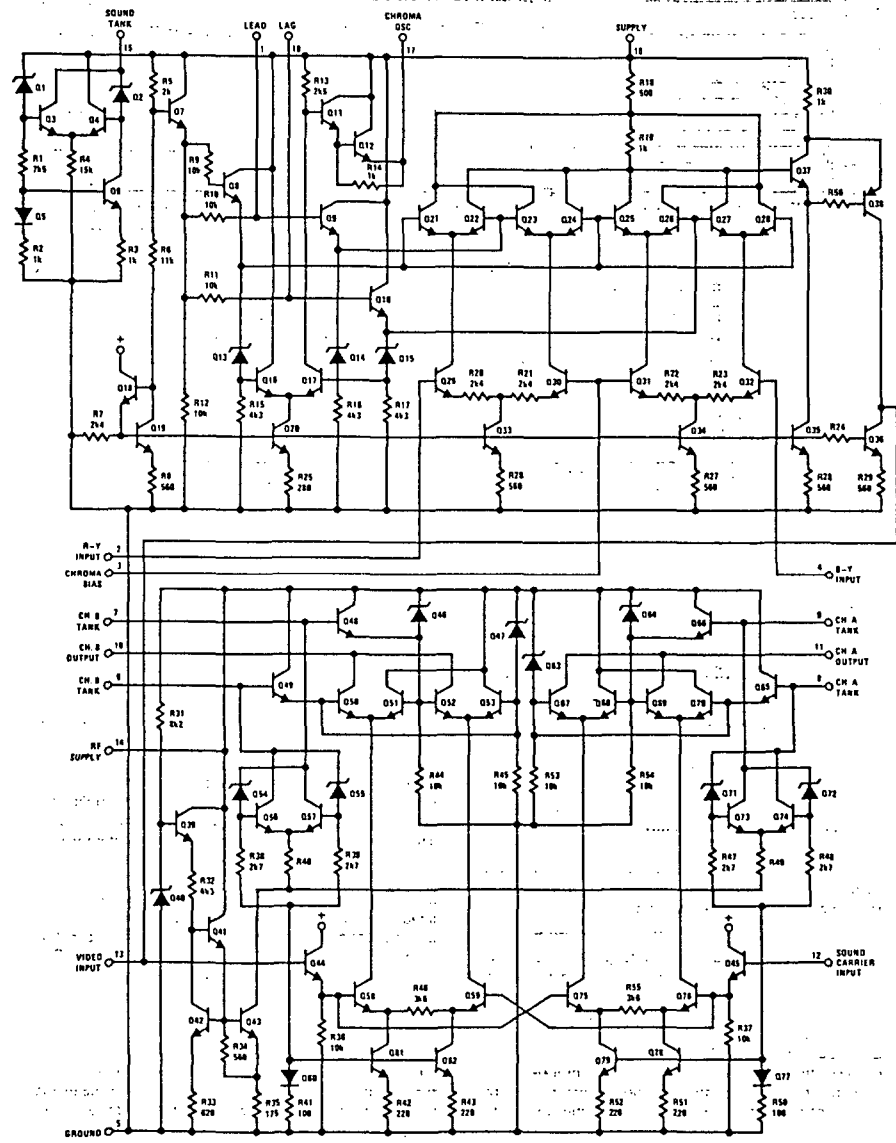
The feedback signal from the crystal is split in a lead-lag network to pins 1 and 18, respectively, to generate the subcarrier reference signals for the chroma modulators. The R-Y modulator consists of multiplier devices Q29, Q30 and Q21-Q24, while the B-Y modulator consists of Q31, Q32 and Q25-Q28. The multiplier outputs are coupled through a balanced summing amplifier Q37, Q38 to the input of the RF modulators at pin 13. With 0 offset at the lower pairs of the multipliers, no chroma output is produced. However, when either pin 2 or pin 4 is offset relative to pin 3 a subcarrier output current of the appropriate phase is produced at pin 13.

The channel B oscillator consists of devices Q56 and Q57 cross-coupled through level-shift zener diodes Q54 and Q55. A current regulator consisting of devices Q39-Q43 is used to achieve good RF frequency stability over supply and temperature. The channel B modulator consists of multiplier devices Q58, Q59 and Q50-Q53. The top quad is coupled to the channel B tank through isolating devices Q48 and Q49. A dc offset between pins 12 and 13 offsets the lower pair to produce an output RF carrier at pin 10. That carrier is then modulated by both the chroma signal at pin 13 and the video and sound carrier signals at pin 12. The channel A modulator shares pin 12 and 13 buffers Q45 and Q44 with channel B and operates in an identical manner.

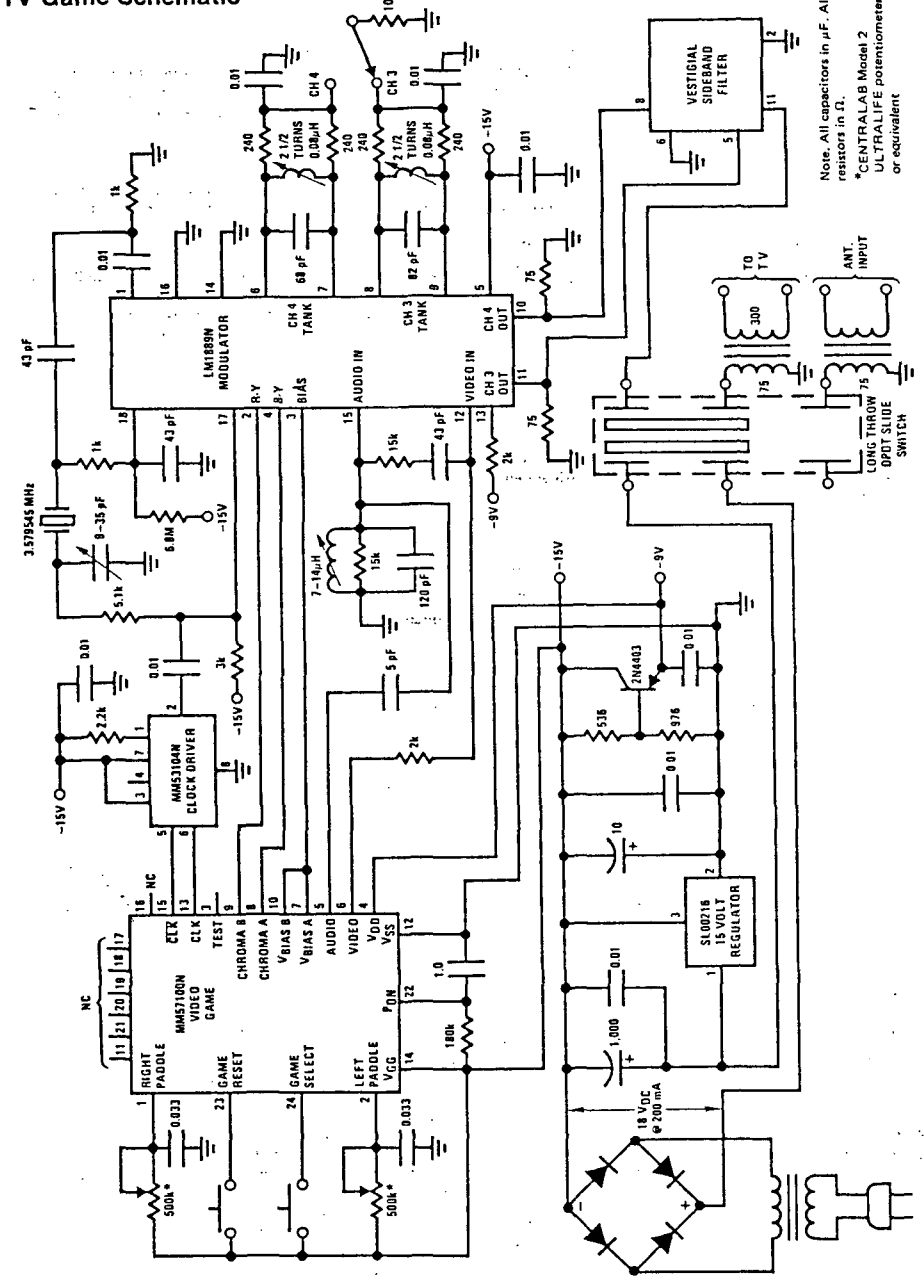
The current flowing through channel B oscillator diodes Q54, Q55 is turned around in Q60, Q61 and Q62 to source current for the channel B RF modulator. In the same manner, the channel A oscillator Q71-Q74 uses turn around Q77, Q78 and Q79 to source the channel A modulator. One oscillator at a time may be activated by connecting its tank to supply (see ac test circuit). The corresponding modulator is then activated by its current turn-around, and the other oscillator/modulator combination remains "OFF".



Circuit Diagram



TV Game Schematic



Note: All capacitors in μF . All resistors in Ω .
 *CENTRAL LAB Model 2
 ULTRALIFE potentiometer or equivalent



*RELACION DE
COMPONENTES*

RELACION DE COMPONENTES

R1 = 15 OHM	R27 = 560 OHM
R2 = 12 K	R28 = 10 K
R3 = 12 K	R29 = 10 K
R4 = 560 OHM	R30 = 10 K
R5 = 1 K	R31 = 10 K
R6 = 820 OHM	R32 = 10 K
R7 = 1 K	R33 = 10 K
R8 = 15 K	R34 = 10 K
R9 = 33 K	R35 = 10 K
R10 = 10 K	R36 = 10 K
R11 = 33 K	R37 = 10 K
R12 = 15 K	R38 = 1 K
R13 = 47 K	R39 = 910 OHM
R14 = 39 K	R40 = 1 K
R15 = 100 OHM	R41 = 910 OHM
R16 = 6.8 K	R42 = 1 K
R17 = 3.9 K	R43 = 910 OHM
R18 = 560 OHM	R44 = 1 K
R19 = 560 OHM	R45 = 910 OHM
R20 = 560 OHM	R46 = 1 K
R21 = 560 OHM	R47 = 910 OHM
R22 = 560 OHM	R48 = 1 K
R23 = 560 OHM	R49 = 910 OHM
R24 = 560 OHM	R50 = 1 K
R25 = 560 OHM	R51 = 910 OHM
R26 = 560 OHM	R52 = 1 K
	R53 = 910 OHM
	R54 = 1 K

R56 = 5.6 K	R85 = 150 OHM
R57 = 100 K	R86 = 2.7 K
R58 = 6.8 K	R87 = 330 OHM
R59 = 5.1 K	R88 = 1 K
R60 = 3 K	R89 = 1 K
R61 = 5.1 K	C1 = 100 n
R62 = 1 K	C2 = 150 p
R63 = 1K	C3 = 220 p
R64 = 510 OHM	C4 = 680 p
R65 = 75 OHM	C5 = 27 p
R66 = 12 K	C6 = 47 p
R67 = 75 OHM	C7 = 1.5 n
R68 = 240 OHM	C8 = 220 p
R69 = 240 OHM	C9 = 470 p
R70 = 8.2 K	C10 = 100 n
R71 = 1.5 K	C11 = 100 n
R72 = 3.3 K	C12 = 10 n
R73 = 1 K	C13 = 36 p
R74 = 2.2 K	C14 = 12 p
R75 = 220 OHM	C15 = 36 p
R76 = 1.2 K	C16 = 10 n
R77 = 390 OHM	C17 = 150 p
R78 = 1 K	C18 = 100 p
R79 = 300 OHM	C19 = 50 p
R80 = 560 OHM	C20 = 1 n
R81 = 220 OHM	C21 = 75 p
R82 = 470 OHM	C22 = 47 p
R83 = 68 OHM	C23 = 2200 micro
R84 = 270 OHM	C24 = 2200 micro

C25 = 100 n	IC5 = 4518B
C26 = 100 n	IC6 = 4017B
C27 = 100 n	IC7 = 4075B
C28 = 100 n	IC8 = 555
C29 = 100 n	IC9 = 4070B
C30 = 100 n	IC10 = 4082B
DIODOS = 1N4148	IC11 = 4001B
TR1 = BF199	IC12 = 4013B
TR2 = BC177	IC13 = 4013B
TR3 = BC547	IC14 = 4013B
TR4 = BC177	IC15 = 4013B
TR5 = BC177	IC16 = 4013B
TR6 = BC177	IC17 = 4516B
TR7 = BC177	IC18 = 4071B
TR8 = BC177	IC19 = 4075B
TR9 = BC177	IC20 = 4516B
TR10 = BC177	IC21 = LM1886
TR11 = BC177	IC22 = 4027B
TR12 = BC177	IC23 = LM1889
TR13 = BC177	IC24 = 4017B
TR14 = BC560	IC25 = 74LS126
TR15 = 2N4124	IC26 = 74LS126
TR16 = BC307	IC27 = 74LS13
TR17 = BC107	IC28 = 74LS112
TR18 = 2N2369	IC29 = 4011B
IC1 = 4024B	
IC2 = 4518B	
IC3 = 4017B	
IC4 = 4518B	

PRESUPUESTO

		I M P O R T E S	
		PARCIALES Pesetas	TOTALES Pesetas
89	Resistencias 1/4 w	5 Ptas	445 Ptas
15	Condensadores ceramicos	50 "	750 "
13	" de tantalo	40 "	520 "
2	" " electroliticos	510 "	1020 "
1	BF 199	45 "	45 "
11	BC 147	50 "	550 "
1	BC 547	78 "	78 "
1	2N2369	122 "	122 "
1	BC 307	50 "	50 "
1	2N4124	115 "	115 "
1	BC 107	50 "	50 "
15	Diodos 4148	8 "	120 "
1	7805	300 "	300 "
1	7812	275 "	275 "
1	4024B	65 "	65 "
3	4518B	110 "	330 "
3	4017B	70 "	210 "
2	4075B	80 "	160 "
1	555	63 "	63 "
1	4070B	75 "	75 "
1	4082B	80 "	80 "
1	4001B	40 "	40 "
	suma y sigue		5.463 Ptas

		I M P O R T E S	
		PARCIALES — Pesetas	TOTALES — Pesetas
5	4013B	60 "	300 "
2	4516B	108 "	216 "
1	4071B	80 "	80 "
1	LM1886	517 "	517 "
1	LM1889	432 "	432 "
2	74LS126	163 "	326 "
1	74LS13	51 "	51 "
1	74LS112	130 "	130 "
1	4011B	44 "	44 "
10	Zocalos 16 pin	117 "	1170 "
16	Zocalos 14 pin	103 "	1648 "
1	Zocalo 8 pin	49 "	49 "
1	Zocalo 20 pin	130 "	130 "
1	Zocalo 18 pin	124 "	124 "
1	Cristal de 10MHz	469 "	469 "
1	Cristal de 4.43MHz	415 "	415 "
14	Diodos LED	30 "	420 "
1	Modulador RF	1200 "	1200 "
1	Caja	3000 "	5000 "
11	Pulsadores	67 "	737 "
	TOTAL		18.877 Ptas

El presupuesto de este equipo asciende a una cantidad
de:

Dieciocho mil ochocientas setenta y siete pesetas

TOTAL : 18.877 pesetas