

TITULO : RECEPTOR FM PARA SATELITES METEOROLOGICOS

AUTOR : FRANCISCO EUGENIO GONZALEZ

TUTOR : EDUARDO ROVARIS ROMERO

CATEDRA : RADIOCOMUNICACION

MIEMBROS DEL TRIBUNAL CALIFICADOR:

PRESIDENTE :

VOCAL :

VOCAL SECRETARIO:

FECHA DE LECTURA:

CALIFICACION:

RESUMEN DEL PROYECTO:

El presente proyecto está constituido por el análisis teórico y posterior diseño y construcción de un receptor FM para los satélites meteorológicos (Metsosat y Polares), en la banda de U.H.F. (130-140) MHz, y un sintetizador digital de frecuencias controlado por teclado que nos permite elegir entre diferentes canales dependiendo del canal del satélite que se desee recibir, variando el margen del VCO entre 119.3 MHz y 129.3 MHz y actuando la salida del mismo en la primera etapa mezcladora del receptor.

TUTOR: D. EDUARDO ROVARIS ROMERO.

Mi más sincero agradecimiento a
Ansel Eugenio Hernández por su
inestimable colaboración en el
mecanografiado de este proyecto.

MEMORIA

INDICE

1. INTRODUCCION	1.1
1.1 Propósito	1.1
1.2 Equipos necesarios para recibir en T.U. la imagen procedente del satélite. Funcionamiento básico	1.2
1.3 Esquema general del proyecto	1.6
2. RECEPTOR FM PARA SATELITES METEOROLOGICOS	2.1
2.1 Receptor de satélites meteorológicos. Principios de funcionamiento	2.1
2.1.1 Principios básicos de los receptores FM.	2.1
2.1.2 Modulación FM	2.5
2.1.3 Características de la señal procedente del satélite Meteosat	2.15
2.2 Diseño del receptor	2.21
2.2.1 Características del receptor. Diagrama de bloques	2.21
2.2.2 Amplificadores y circuitos sintonizados de radiofrecuencia (130-140 MHz)	2.23
2.2.3 Primer mezclador. Obtención de la primera frecuencia intermedia de 10.7 MHz	2.30
2.2.4 Amplificador y filtros a 10.7 MHz	2.34
2.2.5 Segundo mezclador. Obtención de la segunda frecuencia intermedia de 250 KHz	2.43
2.2.6 Demodulación FM	2.45

2.2.6.1 Principios de la demodulación a PLL síncrono	2.45
2.2.6.2 Obtención de la señal de baja frecuencia	2.50
2.2.7 Amplificadores y filtros de baja frecuen- cia	2.52
2.2.8 Señal de squelch para activación de grabadora	2.56
2.2.9 Señal para indicador de sensibilidad .	2.57
2.3 Verificación y ajuste del receptor	2.58
2.3.1 Ajuste de los circuitos sintonizados de R.F.	2.58
2.3.2 Ajuste de los circuitos sintonizados de frecuencia intermedia (FI=10.7 MHz) ..	2.61
2.3.3 Verificación del segundo oscilador local y segundo mezclador	2.63
2.3.4 Detector de FM	2.63
2.3.5 Ajuste del nivel de squelch para grabadora	2.64
2.3.6 Ajuste del indicador de sensibilidad .	2.65
2.3.7 Amplificadores y filtros de S.F.	2.65
2.3.8 Funcionamiento del receptor	2.66
3. SINTETIZADOR DIGITAL DE FRECUENCIAS DE U.H.F.	3.1
3.1 Introducción	3.1
3.2 Obtención de la función de transferencia del sintetizador	3.3

3.3 Frecuencia de referencia	3.6
3.3.1 Oscilador maestro	3.6
3.3.2 Obtención de la frecuencia de referencia (Fr)	3.8
3.4 Comparador de fase	3.9
3.5 Filtro paso bajo	3.12
3.5.1 Generalidades. Diseño	3.12
3.5.2 Respuesta a transitorios	3.16
3.6 Oscilador controlado por voltaje (VCO)	3.17
3.7 Amplificador separador de salida del sintetiza- dor	3.24
3.8 Prescaler. Divisores programables	3.24
3.8.1 Prescaler	3.24
3.8.2 Divisores programables	3.26
3.8.3 Código de inversores. Obtención de la suma de 10.7 MHz	3.31
3.9 Decodificador de teclado. Visualización de la frecuencia de recepción	3.37
3.9.1 Decodificador de teclado	3.37
3.9.2 Almacenamiento de dígitos y visualización de la frecuencia de recepción	3.41
3.9.2.1 Almacenamiento de dígitos	3.41
3.9.2.2 Visualización	3.42
3.10 Funcionamiento y ajuste del sintetizador	3.45
3.10.1 Oscilador de referencia	3.45
3.10.2 Engranaje en fase y frecuencia del compara- dor de fase	3.46
3.10.3 Prescaler y divisores programables	3.47

3.10.4 UCO	3.49
3.10.5 Funcionamiento del sistema sintetizador.	3.50
 4. FUENTE DE ALIMENTACION	 4.1
4.1 Fuente de alimentación	4.1
4.2 Montaje del circuito	4.2
 5. BIBLIOGRAFIA	 5.1

1. INTRODUCCION

1.1 PROPOSITO

La elección de un receptor FM para satélites meteorológicos como proyecto se ha debido a numerosos argumentos, tales como: el desarrollo de los conocimientos adquiridos a lo largo de la carrera y en concreto de la especialidad de RADIOCOMUNICACION; el estudio de un tema exhaustivo y complejo como son las comunicaciones por satélite y la recepción de las señales enviadas desde los mismos; otro factor importante ha sido la combinación de la electrónica analógica con la electrónica digital y dentro de ésta última diferentes tecnologías como la TTL, ECL y CMOS.

Dentro de la propia especialidad de Radiocomunicación se ha estudiado exhaustivamente temas tan importantes como los sintetizadores digitales de frecuencia, así como toda la complejidad que lleva consigo un receptor en la banda de V.H.F. con el empleo de las técnicas y circuitos de tecnología avanzada como pueden ser: amplificadores híbridos, demoduladores síncronos o PLL, etc ...

En resumen se trata de un proyecto desarrollado sobre aspectos fundamentales de la especialidad de Radiocomunicación, utilización de técnicas avanzadas con la finalidad de obtener un equipo de gran fiabilidad, fidelidad y con la lógica complejidad adecuada a los momentos tecnológicos actuales.

1.2 EQUIPOS NECESARIOS PARA RECIBIR EN T.V. LA IMAGEN PROCEDENTE DEL SATELITE. FUNCIONAMIENTO BASICO

La señal recibida del satélite va a ser una señal de video modulada en AM por una subportadora a 2400 Hz la cual va a estar modulada en FM a una frecuencia, que según sea el canal a recibir será:

CANAL 1 ----- 1694.5 MHz

CANAL 2 ----- 1691.0 MHz

Así para poder obtener nosotros la señal de video y visualizarla en un televisor convencional, ésta señal modulada en AM y FM ha de pasar por los siguientes equipos:

- A. Antena parabólica
- B. Convertidor/amplificador de microondas
- C. Receptor FM de 130-140 MHz
- D. Convertidor de video

A. Antena parabólica: Esta parábola es necesaria para recibir las señales del satélite Meteosat, que transmite en una frecuencia de 1.7 GHz.

Las características generales de esta parábola son:

- Su dimensión es de un metro de diámetro con iluminado_ na, cuya superficie interna es de fibra de vidrio a la que se le superponen una serie de capas.
- Consta también de una antena a dipolo acoplada direc_ tamente en una línea de 53 ohmios con un disco reflec_ tante con la finalidad de conseguir una máxima ganan_ cia.

B. Convertidor/amplificador de microondas: Este bloque está constituido por 3 etapas perfectamente diferenciadas:

* En primer lugar se dispone de un Paso Preamplificador de antena de 1.7 GHz compuesto por un transistor Ga-As-Fet (MFG-1405) capaz de trabajar a un máximo de 4 GHz y cuyas características principales son:

- Ga-As-Fet: canal N
- Voltaje de alimentación: 8 voltios
- Máxima corriente DRAIN: 100 mA
- Máxima ganancia a 2 GHz: 23-24 dB
- Figura de ruido: 1dB a 2GHz

* A continuación se dispone de un Preamplificador selectivo de antena de 1.7 GHz con ganancia de 12-14 dB, necesario para Preamplificar la señal antes de que entre en el mezclador-convertidor.

* Por último se dispone de un mezclador-convertidor de 1.7 GHz a 137 MHz con ganancia de 3-4 dB. Este Paso oscilador parte de un cuarzo de 86.5 MHz cuya salida se aplica a un Paso triplicador de frecuencia mediante un transistor (BFR96) con lo que obtendremos una frecuencia de:

$$86.5 \text{ MHz} \times 3 = 259.5 \text{ MHz.}$$

Esta señal pasa a través de un circuito sintonizado, aplicado en la base de un transistor el cual duplica la frecuencia obteniendo a su salida:

$$259.5 \text{ MHz} \times 2 = 519 \text{ MHz.}$$

Por último se procede a triplicar la señal mediante un (BFQ88) obteniendo finalmente la frecuencia deseada de:

$$519 \text{ MHz} \times 3 = 1.557 \text{ MHz, es decir, 1.557 GHz.}$$

Así en el receptor, si queremos sintonizar el CANAL 1 del Meteosat que transmite en 1.694.5 MHz hay que sintonizar la frecuencia de:

$$(1.694,5 - 1.557) \text{ MHz} = 137.5 \text{ MHz (CANAL 1)}$$

Si, en cambio, queremos sintonizar el CANAL 2 del Meteosat que transmite en 1.691 MHz hay que sintonizar en el receptor la frecuencia de:

$$(1.691,0 - 1.557) \text{ MHz} = 134 \text{ MHz (CANAL 2)}$$

La salida de esta etapa amplificadora-mezcladora de 1.7 GHz a 137 MHz se aplica al receptor FM.

C. Receptor FM de 130-140 MHz: Este receptor constituye el objeto del presente proyecto con lo que a lo largo del mismo se explica con detalle el diseño y montaje del mismo.

D. Convertidor de video: Este convertidor utiliza para la elaboración de datos, un MICROPROCESADOR (MC68705/554) que es un dispositivo de tecnología HMOS basado en una CPU de 8 bits, compuesto de:

2 Kilobyte de Eeprom

128 byte de RAM

20 líneas I/O totalmente programables

1 generador de INTERRUPT

1 timer + prescaler

1 reloj con oscilador interno

En la práctica, este completo microprocesador, se utiliza para que gestione toda la lógica del convertidor, es decir:

1º el convertidor analógico-digital de entrada

2º el formato de la imagen del Meteosat y de los

Polares (ampliaciones X1-X2-X4) y las señales Start-Stop del sincronismo horizontal y vertical.

3° La escritura y el scrolling de la memoria video.

Este convertidor de video está compuesto por cuatro etapas bien diferenciadas:

- Un paso de entrada del convertidor. En este primer paso la señal procedente del receptor (una señal BF modulada a 2400 Hz) se preamplifica, se filtra y posteriormente se detecta mediante un detector de doble semionda con el que se suprime la portadora de 2400 Hz. La salida alcanza a tres pasos diferentes:

- * un detector over-load e indicador de nivel
- * un elaborador de señal video
- * un sincronizador de la frecuencia portante.

- Un paso microprocesador y encendido de memoria que va constituir el cerebro de todo el convertidor. En este paso se utiliza un microprocesador potente y rápido cuya frecuencia reloj es 4.433 MHz.

Como se reseñó anteriormente nos va a controlar las distintas señales de START, STOP, SINCRONISMO, AMPLIACIONES, etc ...

En esta etapa se dispone, lógicamente, de un convertidor analógico-digital de tecnología CMOS con reloj interno.

- Un paso de memoria y video, en el que la señal del satélite, una vez elaborada y convertida de analógica en digital, se graba en las memorias RAM. Para poderrelleer sucesivamente y reconvertirla para representarla en la pantalla de cualquier televisor en color.

Se dispone en esta etapa de 16 memorias RAM 4164 (64Kx1) con un total de 126 Kilobyte.

En esta etapa se dispone también de un generador con sincronismo TV (S178/A), el cual nos va a proporcionar todas las señales necesarias para un sistema televisivo standard, es decir: sincronismo horizontal, sincronismo vertical, sincronismo compuesto, Burst para el sincronismo color, señal de trama, etc ... Además permite superponer o no la imagen en la pantalla y programarla de 525 a 1294 líneas horizontales.

- Por último se dispuso de un paso color y modulada de VHF que se utiliza para reconvertir la señal de digital en analógica y para determinar los niveles de

En esta etapa se dispone de un oscilador VHF necesario para poder captar la imagen directamente en los canales de VHF de cualquier televisor.

En la figura 1.1 se muestra un diagrama de bloques general de los equipos necesarios para recibir en TV la imagen del satélite.

NOTA: tanto la antena parabólica como el convertidor-amplificador de microondas (1.7 GHz - 137 MHz), debido a la imposibilidad de su realización práctica en los laboratorios como consecuencia de la falta de tecnología apropiada pueden ser adquiridos ya montados y comprobados.

1.3 ESQUEMA GENERAL DEL PROYECTO

El proyecto se puede desglosar en dos partes perfectamente diferenciadas, el receptor propiamente dicho y el sintetizador.

El planteamiento de realización utilizado para ambas partes es prácticamente el mismo, aunque se ha seguido unas pautas prioritarias en el desarrollo del proyecto.

En primer lugar se ha introducido teóricamente los principios básicos de los receptores FM explicando detalladamente el tipo de modulación empleado en el transmisor del satélite pasando a continuación a dar una exhaustiva explicación de las características que va a poseer la señal procedente del satélite, tratando esta introducción teórica de una forma intuitiva, con la finalidad de aclarar lo mejor posible todo el proceso.

En segundo lugar se ha procedido al estudio teórico de los circuitos electrónicos destinados a configurar el receptor y el sintetizador de frecuencias, haciendo un detallado estudio de las diferentes etapas de cada bloque.

En tercer lugar, se implementan los esquemas obtenidos del estudio teórico, se verifican y se procede a su corrección y ajuste, para que se pueda quedar en condiciones de ser utilizado como un equipo comercial.

En la figura 1.2 se muestra el diagrama de bloques general del proyecto.

2. RECEPTOR FM PARA SATELITES METEOROLOGICOS

2.1 RECEPTOR DE SATELITES METEOROLOGICOS. PRINCIPIOS DE FUNCIONAMIENTO

2.1.1 PRINCIPIOS BASICOS DE LOS RECEPTORES FM

Un receptor de radiocomunicación es un equipo que selecciona la señal radioeléctrica deseada, la amplifica y extrae el mensaje contenido en la misma.

La función más importante del receptor es la amplificación selectiva de la frecuencia de la señal deseada y de su banda asociada.

Las características generales más importantes de un receptor se enumeran simplificadaamente a continuación:

- Sensibilidad, es la capacidad del receptor para recibir señales débiles y para reproducir la información contenida en ellas con una calidad aceptable (medida en μV).

- Fidelidad, es la capacidad del receptor para reproducir las características de la modulación de la señal recibida con un grado de distorsión y de interferencias determinado.

- Selectividad, es la capacidad del receptor para recibir la señal en que está sintonizado con exclusión de las emisiones efectuadas en otras frecuencias.

El receptor, dentro de los diferentes tipos, va a ser del tipo "superheterodino" de doble conversión, cuyo esquema de bloques generalizado se muestra en la figura 2.1

Este receptor se basa en el principio de cambiar la frecuencia de la portadora de radiofrecuencia (RF), cualquiera

que ésta sea, por un valor constante f_i que es la frecuencia intermedia, lo que se consigue mezclando la señal recibida de frecuencia f_s (portadora más las bandas asociadas que componen la señal modulada) con una señal generada por un oscilador local, sintetizado de frecuencia f_o .

La realización de una doble conversión en el receptor es debido a un compromiso entre dos factores contrapuestos que son:

- Un valor alto de frecuencia intermedia permite un rechazo más fácil de la frecuencia imagen en los pasos de entrada del receptor, al estar más separadas las frecuencias de la señal deseada y la frecuencia imagen, teniendo en cuenta que la separación entre estas dos frecuencias es igual al valor de $2f_i$ y que los efectos indeseados de una señal que esté presente en la anterior con una frecuencia igual a la frecuencia imagen, sólo se produce si dicha señal alcanza al mezclador. Si realizamos la conversión restando a la señal a recibir la del oscilador local, como en nuestro caso, tenemos:

$$f_i = f_s - f_o \quad (2.1)$$

con lo que la frecuencia imagen es:

$$f_{\text{imagen}} = f_o - f_i = f_s - 2f_i \quad (2.2)$$

- Valores más bajos de la frecuencia intermedia permiten diseñar y construir más fácilmente amplificadores selectivos y con ganancias estables superiores.

Esto ha conducido a una cierta normalización internacional de los valores de la frecuencia intermedia por el C.C.I.R. (Comité Consultivo Internacional de Radiocomunica_

ciones) encargado de la normalización de equipos y servicios de Radio.

En el receptor se ha elegido el valor de la primera FI elevado (10.7 MHz) para facilitar el rechazo de la frecuencia imagen, que pasa un canal determinado, por ejemplo 135.284 MHz sería:

$$f_{\text{imagen}} = f_s - 2f_i = 135.284 \text{ MHz} - 2 \times 10.7 \text{ MHz} = 113.9 \text{ MHz}$$

y por otro lado se eligió un valor bajo para la segunda FI (250 KHz) a fin de realizar en estos pasos la amplificación selectiva con más facilidad.

Una explicación simplificada de la finalidad de cada uno de los bloques del receptor superheterodino de doble conversión se expone a continuación:

- Amplificador de radiofrecuencia, favorece la selección de la señal deseada y el rechazo de aquellas otras que no se desea recibir pero que, en algunas ocasiones, están presente en dicha entrada, incluso con intensidad superior a la señal deseada.

Algunas de las ventajas que nos ofrece son:

- Aumentar la sensibilidad del receptor al poder recibir señales más débiles.
- Se mejora la selectividad al poder rechazar mejor las señales de frecuencia próxima a la señal deseada.
- Se mejora el factor de ruido, al ser un amplificador un elemento de menor factor de ruido que un mezclador, como se puede deducir de la fórmula de Fris:

$$FNR = FNR_1 + \frac{(FNR_2 - 1)}{G_1} + \frac{(FNR_3 - 1)}{G_1 \cdot G_2} \quad (2.3)$$

- Se facilita el rechazo de la frecuencia imagen ya que

generalmente una señal de frecuencia $f_s - 2f_i$ puede atenuarse convenientemente antes de alcanzar al mezclador.

- Se puede obtener un acople óptimo entre antena y receptor.

Se disminuyen, en general, los problemas surgidos de la acción de la mezcla cuando al mezclador llegan muchas señales procedentes de la antena.

- Mezclador: la conversión de frecuencia se consigue mezclando la señal de radiofrecuencia que se desea recibir con una señal generada localmente y pasando esta mezcla por un elemento no lineal.

En nuestro caso, de la mezcla obtenemos:

$$f_{\text{cte}} = f_s - f_o$$

Originándose de la mezcla, al ser un dispositivo no lineal, señales de frecuencia igual a $|m f_o \pm n f_s|$ seleccionando la deseada mediante un filtraje adecuado.

- Primer oscilador local: en nuestro caso va a ser un sintetizador que nos va a generar una amplia gama de frecuencias dentro de los márgenes de interés.

- Amplificador de FI: tiene como finalidad una amplificación selectiva de la señal de IF deseada y un filtraje de las no deseadas.

- Demodulador: tiene como finalidad la extracción de la información contenida en la señal de radiofrecuencia recibida. En nuestro prototipo el circuito demodulador va a ser del tipo de "detección FM a PLL síncrono" apropiada a la señal modulada en el transmisor.

En la figura 2.2 se muestran los niveles de señal que

existen en las diferentes partes del receptor de doble conversión para señales con diferente nivel en la entrada del mismo.

2.1.2 MODULACION FM

Teniendo en cuenta que en el receptor se va a realizar una detección de la señal procedente del satélite, la cual va a estar modulada en frecuencia, resulta de evidente interés conocer exhaustivamente las características de una señal modulada en frecuencia y los parámetros más significativos asociados a la misma para tener un perfecto conocimiento del tipo de señal con la cual vamos a trabajar.

Por ello, en este apartado, vamos a estudiar como se consigue la modulación en frecuencia y que parámetros significativos de la señal de FM hemos de tener en cuenta para realizar una correcta demodulación en el receptor.

Si la frecuencia o fase instantánea de una señal senoidal de alta frecuencia es variada proporcionalmente a una señal $f(t)$ de baja frecuencia, es generada una señal modulada, de amplitud constante, que posee su espectro concentrado alrededor de la frecuencia de la señal sin modular.

Estas señales moduladas en fase y en frecuencia, al contrario de las señales moduladas en AM, poseen la ventaja de que no transportan ninguna información en su envolvente. Así pues, el ruido introducido por la atmósfera y por el receptor, que introducen perturbaciones indeseadas sobre la envolvente de la señal recibida, puede ser eliminada por limitación de la amplitud de la señal antes de ser demodulada. Por consiguiente la relación S/N de la salida de un receptor PM o FM es mayor que la de un receptor AM que reciba una señal

con la misma potencia promedio de portadora que la señal PM o FM recibida, y que haya sido objeto de las mismas perturbaciones.

El precio que se ha de pagar por el incremento de la relación señal a ruido en los receptores PM o FM es el ancho de banda de la señal transmitida incrementada.

Una señal típica modulada en fase tiene la forma:

$$U(t) = A \cos \phi(t) = A \cos[\omega_0 t + A \phi f(t)] \quad (2.4)$$

donde: $\phi(t) = \omega_0 t + A \phi f(t)$ es la fase instantánea; A es la amplitud de la portadora; ω_0 es la frecuencia de la portadora; $A\phi$ es la desviación de fase y $f(t)$ es una señal proporcional a la información de modulación, con las propiedades:

$$|f(t)|_{\max} = 1 \quad \text{y} \quad \overline{f(t)} = 0 \quad (2.5)$$

Se observa claramente que la fase instantánea varía en proporción directa a $f(t)$, con la constante de proporcionalidad $A\phi$.

Cualquier variación de instantánea de fase en el tiempo $\phi(t)$, tiene asociada a ella una frecuencia instantánea $\omega_i(t)$, que por definición es la derivada de la fase instantánea, o sea:

$$\omega_i(t) = d\phi(t)/dt \quad (2.6)$$

Si en lugar de variar $\phi(t)$ en proporción a $f(t)$, variamos $\omega_i(t)$ en proporción a $f(t)$, es decir, si:

$$\omega_i(t) = \omega_0 + \Delta\omega f(t) \quad (2.7)$$

entonces:

$$\varphi(t) = \omega_0 t + \Delta\omega \int^t f(\sigma) d\sigma + \phi_0 \quad (2.8)$$

y $U(t)$ toma la forma de una señal modulada en frecuencia típica:

$$U(t) = A \cos[\omega_0 t + \Delta\omega \int^t f(\sigma) d\sigma + \phi_0] \quad (2.9)$$

donde $\Delta\omega$, la desviación de frecuencia, es la constante de proporcionalidad que relaciona $f(t)$ a la frecuencia instantánea y ϕ_0 es una constante de fase arbitraria que se puede suponer cero sin pérdida de la generalidad.

Una representación gráfica de $U(t)$, dada por la ecuación (2.9), con una señal en diente de sierra como $f(t)$ se muestra en la figura 2.3

Se deduce de la ecuación (2.6) que podemos convertir cualquier señal PM en una señal FM equivalente; asimismo, al desarrollar las propiedades de las señales FM estamos al mismo tiempo desarrollando las de las señales PM. Por tanto vamos a centrar nuestra atención en las señales FM de la forma dada por la ecuación (2.9).

Antes de continuar adelante vamos a resaltar que hay tres frecuencias asociadas con las señales FM.

Una frecuencia es, obviamente, la frecuencia de la portadora ω_0 ; la segunda frecuencia es la desviación de frecuencia $\Delta\omega$, que es una medida de la desviación de la frecuencia instantánea de la portadora cuando $f(t)$ varía entre ± 1 ; la tercera frecuencia es la máxima frecuencia de modulación ω_m (la frecuencia a la cual está limitada la banda de $f(t)$). Esta máxima frecuencia de modulación es una medida de lo rápidamente que varía la frecuencia instantánea alrededor de ω_0 .

Nosotros podemos expresar estas tres frecuencias en forma de dos parámetros por la normalización de ω_0 y ω_m respecto de ω , con las relaciones:

$$\beta = \Delta\omega/\omega_m \qquad D = \Delta\omega/\omega_0 \qquad (2.10)$$

donde: β está referido al índice de modulación y

D está referido al radio de desviación.

β puede tener valores en los millares y D ha de ser siempre menor que la unidad y en algunos sistemas prácticos puede ser de 0.005 o incluso menor.

Para obtener el espectro de frecuencias, de sumo interés, de una señal FM podemos, en principio, obtener la transformada de Fourier $U(\omega)$ de $U(t)$ dada por la ecuación (2.9). Pero desafortunadamente tal operación no es matemáticamente desarrollable para una señal arbitraria $f(t)$. Así pues, reducimos nuestra atención inicial al caso especial de obtener el espectro de $U(t)$ con $f(t) = \cos \omega_m t$.

Afortunadamente, como se demostrará, el ancho de banda de $U(t)$ obtenido con $f(t) = \cos \omega_m t$ proporcionará un límite conservativo para el ancho de banda de $U(t)$ que es modulado en frecuencia por cualquier señal $f(t)$ limitada a ω_m .

Con $f(t) = \cos \omega_m t$, la ecuación (2.9), puede ser escrita de la forma siguiente:

$$U(t) = A \cos(\omega_0 t + \beta \sin \omega_m t) \qquad (2.11)$$

Desarrollando esta expresión trigonométricamente,

$$U(t) = A \cos \omega_0 t \cos (\beta \sin \omega_m t) - A \sin \omega_0 t \sin (\beta \sin \omega_m t) \qquad (2.12)$$

La ecuación anterior es la superposición de dos señales de AM, la primera modulada por $\cos(\beta \sin \omega_m t)$ y la segunda modulada por $\sin(\beta \sin \omega_m t)$. Por lo tanto si nosotros obtenemos el espectro de las dos funciones modulantes periódicas de baja frecuencia, nosotros podemos trasladarlas en frecuencia hasta ω_0 para obtener el espectro de $U(t)$.

Ahora $\cos(\beta \sin \omega_m t)$ y $\sin(\beta \sin \omega_m t)$, pueden ambas ser desarrolladas directamente como series de Fourier cuyos coeficientes son funciones de Bessel ordinarias con argumento.

$$\beta: \quad \cos(\beta \sin \omega_m t) = J_0(\beta) + 2 \sum_{n=1}^{\infty} J_{2n}(\beta) \cos(2n \omega_m t); \quad (2.13)$$

$$\sin(\beta \sin \omega_m t) = 2 \sum_{n=0}^{\infty} J_{2n+1}(\beta) \sin(2n+1) \omega_m t \quad (2.14)$$

Una gráfica de $J_n(\beta)$ en función de β , para algunos valores típicos de β y n , se muestra en la figura 2.4

Si nosotros recombinaamos las ecuaciones (2.13) y (2.14) con la ecuación (2.9), haciendo uso de las siguientes identidades trigonométricas:

$$\cos x \cos y = 1/2 [\cos(x+y) + \cos(x-y)] \quad (2.15)$$

$$\sin x \sin y = 1/2 [\cos(x-y) - \cos(x+y)] \quad (2.16)$$

obtenemos finalmente:

$$U(t) = A \left\{ \begin{aligned} &J_0(\beta) \cos \omega_0 t + J_1(\beta) [\cos(\omega_0 + \omega_m)t - \cos(\omega_0 - \omega_m)t] \\ &+ J_2(\beta) [\cos(\omega_0 + 2\omega_m)t + \cos(\omega_0 - 2\omega_m)t] \\ &+ J_3(\beta) [\cos(\omega_0 + 3\omega_m)t - \cos(\omega_0 - 3\omega_m)t] \\ &+ J_4(\beta) [\cos(\omega_0 + 4\omega_m)t + \cos(\omega_0 - 4\omega_m)t] \\ &+ \dots \dots \dots \end{aligned} \right\} \quad (2.17)$$

De la ecuación (2.17) es evidente que el espectro de una señal FM modulada senoidalmente contiene un número infinito de bandas laterales situadas a frecuencias ω_m , $2\omega_m$, $3\omega_m$, $4\omega_m$, ..., a cada lado de la frecuencia portadora ω_c . Afortunadamente como se puede observar en la figura 2.4, para cualquier índice de modulación dado β , sólo un número finito de funciones de Bessel tienen valores significativos distintos de cero y por tanto sólo esos números correspondientes de bandas superiores e inferiores determinan un papel significativo en la determinación del espectro de FM.

Por ejemplo con $\beta=1$ --- $J_0(1)= 0.7652$; $J_1(1)= 0.4401$
 $J_2(1)= 0.1449$; $J_3(1)= 0.01956$;
 $J_4(1)= 0.00248$; $J_5(1)= 0.0002438$ y
 $J_6(1)= 0.00002094$.

Por lo que si nosotros consideramos aquellas bandas laterales cuyos coeficientes $J_n(1)$ son mayores que 0.01 (o sea, aquellas bandas laterales que son mayores que el 1% de la portadora sin modular), obtenemos que la señal FM con $\beta=1$ ocupa una banda de frecuencias de 6 ω_m .

Una gráfica de la magnitud de la línea espectral de $U(t)$ (dada por la ecuación 2.17) con $\beta=1$ se muestra en la figura 2.5b

También se muestran en estas figuras, gráficas similares para $\beta=0.2$; $\beta=2.24048$; $\beta=5$ y $\beta=10$. En cualquier caso sólo las bandas mayores que el 1% de la portadora sin modular son consideradas como significativas.

Como se deduce de la figura 2.4 el número de bandas significativas se incrementa con β .

En la tabla 2.1 se puede observar que los coeficientes de las variables bandas laterales oscilan cuando el índice de modulación es incrementado. En particular, cuando es incrementado desde cero, $J_0(\beta)$ y por tanto la amplitud de la portadora disminuye a partir de la unidad.

La amplitud de la portadora resulta cero para $\beta=2.4048$; entonces se torna negativa y vuelve a cero para $\beta=5.5200$. La tabla 2.1 tabula los valores de β para los cuales $J_n(\beta)=0$ o para $n=0,1,2,3$ y 4.

Retornando a la figura 2.5, observamos que se puede determinar el ancho de banda (BW) de una portadora FM modulada senoidalmente para cualquier índice de modulación β por determinación del número de funciones de Bessel [$J_n(\beta)$] que exceden de 0.01 y multiplicamos, entonces, por W_m . Se puede presentar este ancho de banda de una forma universal por la normalización de BW a $2 W$ y representarlo en función de β . Por ejemplo, con $\beta=1$, $BW= 6W_m$ y por tanto:

$$BW/2\Delta W= 3W_m/\Delta W= 3/\beta= 3$$

El hecho de que la amplitud de portadora y la amplitud de las bandas laterales desaparezcan para valores conocidos de β permite la determinación rápida de la desviación de frecuencia en función de la amplitud de modulación para un generador de FM cuya calibración no se conoce.

Específicamente, la modulación de la forma $V_1 \cos W_m t$ es aplicada al modulador con un valor de W_m conocido. La amplitud de V_1 es entonces incrementada desde cero hasta que la portadora a la salida del modulador desaparezca (la portadora

sería visualizada en un analizador de espectros). Para este valor de U_1 , $\Delta W = 2.405 W_m$ se determina un punto sobre la curva de calibración $U_1 - \Delta W$. Otros puntos pueden ser determinados de los subsiguientes valores cero de la portadora o las bandas laterales.

Otros puntos obtenidos de forma similar se representan en la figura 2.6, en la cual la curva resultante se dibuja como la unión más coherente entre los diferentes puntos.

Para valores muy grandes de β la curva presenta una asíntota en uno. Esta asíntota es intuitivamente razonable para cualquier señal de FM con cualquier $f(t)$, ya que para una desviación de frecuencia finita un gran valor de β implica un pequeño valor de W_m o una variación muy lenta de $f(t)$.

Las variaciones muy lentas de $f(t)$ causan variaciones casi estáticas entre $W_o - W$ y $W_o + W$; así pues, un filtro con un ancho de banda de $2\Delta W$ centrado en W_o tiene el ancho de banda mínimo para dejar pasar la lenta variación de la portadora $U(t)$ sin distorsionar. Consecuentemente el espectro de $U(t)$ debe tener un $BW = 2\Delta W$ o equivalentemente $BW/2\Delta W = 1$.

Como un ejemplo de la utilidad de la curva de ancho de banda normalizada, consideremos una señal FM con una frecuencia de modulación $W_m = 2\pi \times 10$ KHz y una desviación de frecuencia de $\Delta W = 2\pi \times 50$ KHz. Para esta señal, $\beta = 5$ y por lo tanto de la figura 2.6 obtenemos $BW/2\Delta W = 1.6$. Consecuentemente un ancho de banda de $2\pi \times 160$ KHz se requiere para esta señal FM modulada senoidalmente.

De forma similar, con $W_m = 2\pi \times 5$ KHz y $\Delta W = 2\pi \times 50$ KHz con $\beta = 10$ obtenemos (figura 2.6) que $BW/2\Delta W = 1.4$ y el ancho de ban_

da será en este caso de $2\pi \times 140$ KHz.

De esto se puede deducir que se requiere un ancho de banda menor para una desviación de frecuencia fija si se decrementa la frecuencia de modulación.

Consecuentemente, para cualquier señal arbitraria $f(t)$ limitada en su banda de frecuencia a W_m , las componentes de frecuencias de $f(t)$ más cercanas a W_m tienen mayor efecto sobre el incremento del ancho de banda de la señal FM, que las componentes cercanas a $W=0$.

Por tanto si tomáramos como módulo $f(t) = \cos W_m t$, una señal con toda su energía concentrada en W_m , el ancho de banda de la señal FM podría ser más grande que el ancho de banda que el ancho de banda correspondiente con cualquier otra $f(t)$ cuya energía este distribuida en el campo de frecuencias comprendidas entre $W=0$ y $W=W_m$; como resultado la curva de ancho de la figura 2.5 proporciona un límite conservativo para cualquier señal FM cuya modulación esté limitada en frecuencia a W_m .

Actualmente en algunos casos prácticos, la aproximación a una señal senoidal de la mayor frecuencia, da una mayor conservación y estimación del ancho de banda.

Para casos con un β muy elevado, donde la desviación de pico es alta en comparación con la máxima componente de frecuencia de la señal modulada, existe un precepto conocido como "teorema de Woodward". De acuerdo con este teorema, la forma de la envolvente del espectro de FM es aproximadamente la de la densidad de probabilidad de amplitud de la señal modulante.

El factor de escala de este espectro a lo largo del eje de frecuencias es, por supuesto, proporcional a ωm .

Intuitivamente esto significa, que una modulación con señal cuadrada de alto β tiene un espectro plano, y que una función de ruido o gaussiana tiene un espectro de forma gaussiana.

Por tanto, una combinación de un número de canales de voz que se combinan para formar una señal parecida al ruido produce un espectro de FM (en función del valor de β) que concentra su energía cerca de la portadora, bastante más cerca que el flanco de la banda.

En tales casos los anchos de banda actualmente requeridos de filtros y otros circuitos sustancialmente menores que los que podían esperarse de la aproximación de onda sinusoidal.

De lo escrito hasta ahora, podemos sacar como conclusiones más importantes a aplicar, que conocida la frecuencia moduladora, la frecuencia central de portadora y la desviación de frecuencia, podemos calcular los parámetros β y D , índice de modulación y radio de desviación respectivamente, y el ancho de banda (BW) y con ello podemos confeccionar el espectro de frecuencias de la señal transmitida.

En el caso de la señal transmitida por el satélite Meteosat, conocemos por la información proporcionada por el C.C.I.R. (tomo I) que la difusión de imágenes o medición de distancia (dos canales intercambiables) se transmiten a frecuencias de:

CANAL 1 ----- 1694.5 MHz

CANAL 2 ----- 1691.0 MHz

con un ancho de banda de la señal de video de 30 KHz.

Así el espectro de frecuencia de la señal transmitida por el satélite para el canal 1 ($f_0 = 1694.5$ MHz) y para el canal 2 ($f_0 = 1691.0$ MHz) se representan en las figuras 2.7A y 2.7B.

Los rayos espectrales a la derecha e izquierda de la frecuencia portadora (f_0) representados, son aquellos que superan el 1% de la potencia de la portadora sin modular y que nos van a limitar el ancho de banda.

2.1.3 CARACTERÍSTICAS DE LA SEÑAL PROCEDENTE DEL SATELITE METEOSAT

El sistema METEOSAT, desarrollado por la Agencia Espacial Europea, comprende un satélite meteorológico geostacionario y todas las instalaciones convexas en tierra para las comunicaciones con el satélite, con fines de control, adquisición y proceso de datos.

METEOSAT constituye la contribución europea al Programa de Vigilancia Meteorológica Mundial de la OMM, y participa particularmente en el Programa Mundial de Investigaciones Atmosféricas (GARP).

Las funciones principales del Meteosat consisten en transmitir imágenes en la gama del espectro visible a infrarrojo, en difundir imágenes de nubes o cualesquiera otros datos meteorológicos destinados a estaciones de usuarios y en obtener datos sobre el medio ambiente merced a plataformas insitu.

El satélite Meteosat está estabilizado por rotación a la velocidad de 100 revoluciones por minuto, encontrándose situado en el Océano Atlántico, encima del Ecuador en conjunción con el meridiano de Greenwich a una altura de unos 36.000 Km (órbita geostacionaria), tal como se puede observar en la figura 2.8

La carga útil del satélite consta de los instrumentos siguientes:

a) El subsistema de toma de imágenes de la Tierra, consistente en un radiómetro de tres canales para obtener imágenes de la superficie de la Tierra y de las formaciones de nubes, tanto en el espectro visible como en el infrarrojo, y equipos para el proceso y sincronización de los datos de las imágenes.

b) El subsistema de transmisión y retransmisión de datos cuya finalidad es la siguiente:

- transmitir las imágenes a la estación de adquisición de datos, telemando y seguimiento (DATTS) de E.S.O.C (European Space Operations Center) en Darmstadt (República Federal de Alemania), donde se superponen, mediante un computador y los contornos de los continentes y los cruces de los paralelos y meridianos;
- retransmitir los datos sobre el medioambiente obtenidos por las plataformas de recogida de datos (DCP);
- retransmitir a las estaciones de usuarios los datos de las imágenes de la cobertura de nubes u otros datos meteorológicos (difusión de los datos meteorológicos);
- retransmitir las señales de interpolación destinada a las DCP.

- recibir instrucciones sobre el mantenimiento en posición del satélite y transmitir datos de telemetría para ese mantenimiento en posición.

- retransmitir señales de determinación de distancias para precisar su órbita.

En la figura 2.9 se puede observar que las imágenes captadas por el Meteosat, se envían a Darmstadt, donde, como se señaló anteriormente, se insertan en los contornos de los continentes y los cruces de los meridianos y paralelos. Realizada esta operación, la imagen se vuelve a enviar al satélite que a su vez la retransmite a los usuarios de la Tierra. En horas determinadas, el Meteosat retransmite a Europa imágenes captadas por el satélite americano GOES-E.

En las tablas 2.2 y 2.3 se indican las características principales del subsistema de transmisión y retransmisión de datos del Meteosat.

Como se puede observar en las tablas anteriores, el Meteosat transmite las imágenes a los usuarios de la Tierra mediante dos transmisiones en FM de unos veinte vatios en dos canales:

CANAL 1= 1694.5 MHz (transmisión continua)

CANAL 2= 1691.0 MHz (transmisión intermitente)

Estas imágenes se pueden captar en toda Europa, África y también Canadá, Brasil y Argentina, es decir, todas las zonas que se pueden observar en la figura 2.10

Las zonas captadas por el Meteosat son las interiores al contorno ovalado de la figura 2.8

La señal video, modulo en AM, en doble banda lateral, una subportadora a 2400 Hz, que se utiliza para modular en FM la frecuencia de 1.7 GHz.

Antes de cada imagen hay una señal de START a 300 Hz con una duración de 3 segundos, después una señal de FASE con una duración de 5 segundos, sigue a continuación la imagen, que tarda 200 segundos, al final aparece la señal STOP a una frecuencia de 450 Hz, durante otros 5 segundos.

El formato transmitido es WEFAX modificado de 800 puntos por línea con un total de 800 líneas verticales.

Puesto que una TV puede incluir en su encuadre sólo 512 líneas verticales, la imagen, una vez completada las primeras 512, emezando por arriba hacia abajo, se desplaza fuera del encuadre, haciendo que así entren las 288 líneas que faltan. Un mando en el convertidor de TV, permite bloquear el encuadre en la posición deseada, es decir, las primeras 512 líneas, o de la 100 a la 612 o de la 200 a la 712, etc...

En las tablas 2.4 y 2.5 se especifican las imágenes que aparecen en la pantalla de la TV, las 24 horas del día, en el canal 1. En la primera línea horizontal se representa la hora oficial y debajo la hora solar; en la fila vertical de la izquierda se representan los minutos; por tanto, si se cruzan la línea vertical con la horizontal, se obtienen lecturas como: El-D3-C02-TEST 0-TEST 4, etc..., que se refieren a los cuadros de recepción reproducidos en las figuras 2.10 y 2.11

Vamos a ver a continuación que significado tienen las

siglas incluídas en los cuadros 2.4 y 2.5:

- C= Visible: todas las tomas que empiezan por una C son imágenes normales efectuadas en el espectro visible (luz blanca). Las mejores imágenes en el visible, se observan en verano, por la iluminación mayor de la Tierra. Las imágenes C02 (ver figura 2.11) incluyen la península Ibérica y Gran Bretaña; la imagen C03 incluye Italia, Francia, Alemania, Suiza, Yugoslavia, Grecia...

En los formatos C02 y C03, cada punto de imagen, con una ampliación X4, corresponde a 2.5 Km².

Las imágenes que se indican con C1D-C2D-C3D, etcétera ..., son tomas al visible, subdividiendo el hemisferio en 9 anchos, (ver figura 2.10). Por ejemplo con C2D, es posible ver todo el Norte de África y Europa; con C3D Grecia, Turquía, el Mar Negro, el Mar Caspio, el Mar Rojo y Arabia; con C4D parte de Brasil y Argentina.

- D= Infrarrojo: Las tomas D son imágenes que se observan con sensores sensibles a las radiaciones del infrarrojo. Con 256 tonos de grises, que en el videoconvertidor pueden modificarse en distintos tonos de color, es posible distinguir la altura y la consistencia de las perturbaciones. Las nubes más altas aparecen blancas o ligeramente azuladas; las menos frías gris azul; las nubes calientes de color gris-rosa; los desiertos y zonas muy calurosas, aparecen de color negro o azul oscuro.

Las tomas D se subdividen en 9 cuadros (ver figura 2.10) y como en el visible, en una amplificación

X4, un punto equivale a una extensión de 2.5 Km².

- E= vapor áqueo: las tomas E son imágenes de vapor áqueo que hay en el globo terráqueo.

Normalmente, las zonas blancas son de baja temperatura y alto grado de humedad, por tanto el tono blanco se convierte en azul, rosa o negro, en función de cuánto menor sea el nivel de la humedad.

Estas tomas se subdividen en 9 recuadros (ver figura 2.10) y un punto equivale, con una amplificación X4, a una extensión de 2.5 Km².

- Test: A ciertas horas del día (ver 03.26-15.26-21.26), el satélite transmite unos test y a veces también comunicaciones referentes a las imágenes, a los cambios horarios de las transmisiones, etc...

En test TM aparece en la pantalla un monoscopio.

En test TG aparece en cuadro con los tonos de grises, que empezando por el negro (nivel 0), con salto de 8 niveles, 0-8-16-24-32..., llega al blanco, que corresponde al 256 nivel.

En algunas horas del día (ver en tabla 2.2 MM) se pueden recibir mensajes en inglés y en los recuadros señalados con un asterisco (*) el Meteosat no transmite.

En el CANAL 2 las transmisiones no son continuadas, como en el CANAL 1, pero en éste último es posible, tal y como su puede observar en la tabla 2.6., al captar el globo terráqueo completo en las tres versiones:

MUNDO C= toma con visible

MUNDO D= toma con infrarrojo

MUNDO E= toma con áqueo.

En este canal es posible ver también el otro hemisferio, es decir, Norteamérica y Sudamérica, cuando el satélite meteorológico GOES-E retransmite al Meteosat para Europa.

Por último cabe indicar que en la parte superior o inferior de las imágenes aparecen datos, como por ejemplo:

MET 2 10 APR 1986-1210 IRI D2

indicando el primer dato el tipo de satélite que toma la imagen; a continuación el día, mes y el año de la toma; después la hora y minutos a los que se refiere la tierra (hora GMT-Greenwich Meridian Time) y por último se indica si la toma es al visible VIS, infrarrojo IR o vapor áqueo WS y la zona del hemisferio C02-D2 transmitida.

2.2 DISEÑO DEL RECEPTOR

2.2.1 CARACTERÍSTICAS DEL RECEPTOR. DIAGRAMA DE BLOQUES

El receptor va a ser del tipo superheterodino de FM, capaz de cubrir toda la banda desde 130,000 MHz a 139,990 MHz, con step de 10 KHz, con lo cual tenemos a disposición un total de 1000 canales.

El receptor va a ser capaz de recibir, además de las señales procedentes del Meteosat (ambos canales), las imágenes que transmiten todos los satélites POLARES que hay ahora y los que indudablemente estarían en órbita en un futuro próximo, sabiendo que transmite en la frecuencia de 137,620 MHz.

Asimismo, cabe reseñar que está dotado de un medidor de sensibilidad, con el que se puede orientar la parábola en dirección suroeste con minuciosa precisión y un eficaz squelch acoplado a un circuito capaz de excitar un relé, que grabaría en una cinta las imágenes de los satélites.

Al proyectar este receptor se ha intentado, sobre todo, obtener las máximas prestaciones, como son:

- elevada sensibilidad con baja cifra de ruido
- alta estabilidad en frecuencia
- fiabilidad en los componentes

llevando todo esto consigo una abundante complejidad en el diseño y montaje del mismo.

Las características principales del receptor, podemos resumirlas así:

Impedancia.....	50-75 ohmios
Sensibilidad.....	0.5-0.7 μ V
Ancho de banda.....	35 KHz
Primera conversión a PLL.....	10.7 MHz
Segunda conversión.....	250 KHz
Cifra de ruido.....	1.8 dB
Filtro cuarzo 10.7 MHz.....	8 polos
Banda pasante filtro.....	± 15 KHz
Atenuación filtro ± 15 KHz.....	60 dB
Sistema digital.....	3 cifras

En el receptor vamos a disponer de dos entradas para la señal VHF, una para el METEOSAT y otra para los POLARES. El motivo de estas dos entradas separadas, es que para los Polares es necesario un sencillo dipolo desprovisto de Pream_

El amplificador UHF, en cambio para el Meteosat, además de la señal UHF, es necesario incluir en el cable coaxial los 24V.DC para alimentar el preamplificador-convertidor de microondas.

El esquema de bloques del receptor se muestra en la figura 2.12

A la vista del diagrama de bloques, y teniendo en cuenta que la filosofía general de funcionamiento ha sido explicada anteriormente, expresamos a continuación a definir el funcionamiento de cada bloque.

2.2.2 AMPLIFICADORES Y CIRCUITOS SINTONIZADOS DE RADIOFRECUENCIA (130-140 MHz)

El paso de entrada de radiofrecuencia está constituido por:

- Un circuito sintonizado serie constituido por una bobina y un condensador ajustable a la frecuencia de resonancia.
- Un primer paso amplificador de radiofrecuencia con un transistor FET y su red de polarización que nos va a proporcionar una elevada ganancia y adaptación de impedancias.
- Un segundo paso amplificador conseguido con un circuito integrado híbrido de banda ancha (UHF) que nos va a proporcionar una ganancia en potencia de 16-18 dB y
- Un filtro pasobanda de dos circuitos con acople capacitivo de voltaje.

El esquema eléctrico de esta etapa de entrada se muestra en la figura 2.13

Como se puede observar, en el paso de entrada, se proporciona el voltaje de 24V.DC para alimentar el preamplifica-

don-convertidor de antena a través de la impedancia de choque de RF JAFI(22 μ Hr) con la cual evitaremos, al mismo tiempo, que la señal VHF pase a alimentación al presentar ésta una alta impedancia a la señal alterna.

A continuación se dispone de un circuito resonante serie LC que nos va a ofrecer a la frecuencia de resonancia una impedancia mínima y máxima corriente como se puede observar en la figura 2.14

Aunque haya corrientes de señal de muchas frecuencias sólo a la frecuencia resonante de L y C se logra que una señal apreciable se acople al circuito sintonizado. Esto es así porque, a todas las frecuencias excepto a la resonante, el circuito sintonizado ofrece una gran impedancia.

En cambio, a la frecuencia resonante, una gran corriente de señal fluye en el circuito sintonizado, y se obtiene una caída sustancial de voltaje en el condensador.

El circuito sintonizado es ajustable por medio de un timer C (10-40 μ F) y que lo ajustaremos de forma que nos permita el paso de las señales dentro del margen 130-140 MHz.

Como es conocido, en los circuitos sintonizados en serie la resonancia ocurre cuando la reactancia de los elementos inductivos y capacitivos son iguales. Para cualquier combinación de inductancia y capacitancia esto ocurre a una sola frecuencia, f_r , que se puede calcular por la ecuación:

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad (2.18)$$

Con lo que en nuestro caso escogida la frecuencia de resonancia de $f_r = 137,000$ MHz y el valor de $C = 25$ μ F (tomemos un va-

lor medio aproximativo dentro de su margen de variación), el valor de la inductancia de la bobina, en términos aproximativos, va a venir dada por:

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad \text{---} \quad 137 \times 10^6 = \frac{1}{2\pi\sqrt{L \times 25 \cdot 10^{-12}}} \quad \text{de lo que:}$$

$$L = \frac{1}{(137 \cdot 10^6)^2 \times (2\pi)^2 \times 25 \cdot 10^{-12}} = 0.0539 \text{ } \mu\text{Hr.}$$

En la práctica la bobina resultante posee las características siguientes:

Con hilo de 1 mm de diámetro se enrollaron 5 espiras, en un soporte de 8 mm de diámetro, separándolas hasta obtener un solenoide de 21 mm de largo y separada de la placa de circuito impreso 1 mm aproximadamente.

La toma para el primer paso preamplificador se realiza del bobinado central de la bobina para permitir la adaptación de impedancia entre ambos pasos.

El primer paso amplificador está constituido por un transistor de efecto de campo (FET) que nos va a proporcionar una alta ganancia con baja cifra de ruido, ya que como se verá anteriormente, este paso nos va a determinar en gran medida la cifra de ruido total del receptor (fórmula de Friis).

Aunque su costo resulta elevado el FET elegido es el U310 que es un JFET de canal N y su elección ha sido realizada en base a sus características altamente profesionales:

Max frecuencia de trabajo 500 MHz

Elevada ganancia 15 dB a 137 MHz

Baja cifra de ruido 1.6 dB a 137 MHz

La polarización del JFET de canal N es puerta común

(GC) y se muestra en la figura 2.14

En cuanto a la polarización del FET hemos de tener en cuenta la curva característica $I_d = f(V_{ds})$ de la figura 2.15

La línea de puntos separa dos regiones típicas de funcionamiento: región lineal y región de saturación. Esta línea responde aproximadamente a la expresión:

$$V_{ds} = V_{gs} - V_p \quad (2.19)$$

donde: V_{ds} : voltaje drenador-fuente

V_{gs} : voltaje puerta-fuente

V_p : voltaje de contracción o inversa de fuente.

En la región lineal, en la cuál vamos a trabajar, podemos observar en la figura 2.15, una fuerte dependencia de la pendiente de las curvas con el voltaje.

La característica de alta impedancia de entrada la vamos a conseguir con la unión puerta-canal polarizada en inversa; para conseguir esto en el prototipo llevamos la puerta a masa ya que con polarización directa circulará corriente de puerta.

La señal de VHF que preamplifica el JFET U310 es a continuación amplificada por el circuito integrado SH221 que es un amplificador híbrido de banda ancha y que nos va a proporcionar una elevada ganancia de potencia (aproximadamente 16-18 dB), es decir, igual a una ganancia de voltaje de unas 7 veces. Las características técnicas más relevantes son las siguientes:

Rango de frecuencias 40 a 860 MHz

Impedancia fuente y carga ($R_s = R_L$) 75 ohmios

Figura de ruido (F) 5.5 dB

Voltaje de alimentación $240 \pm 10\%$

Ganancia de transducción 27 dB

La señal de UHF, que se aplica a la pin 1 del IC, la obtenemos notablemente amplificada en el pin 7 del mismo, con los pines 2, 3, 5 y 6 a masa.

Se dispone también de un choque de RF JAF3 (18 μ Hr) entre V_{cc} y la pin 4 (alimentación) para evitar que la radiofrecuencia pase a alimentación.

Por último, en esta etapa de entrada de RF y antes de alcanzar al mezclador, se dispone de un filtro paso-banda de dos circuitos con acople capacitivo de voltaje, que se muestra en la figura 2.16

Como se observa este filtro paso-banda consta de dos bobinas con acople capacitivo y sintonizadas por condensadores conectados en paralelo. En este caso el factor de amortiguamiento viene dado por:

$$K = C_k / C \quad (2.20)$$

y teniendo en cuenta que: $\omega_0^2 = 1/LC$ podemos escribir la expresión (2.20) como:

$$K = C_k / C = \omega_0 C_k L \quad (2.21)$$

En nuestro caso con: $C_k = 4.7$ pF y $C = 10$ pF, el factor de acoplamiento será:

$$K = C_k / C = 4.7 \text{ pF} / 10 \text{ pF} = 0.47$$

El coeficiente de acople, como se puede deducir de la expresión (2.21), y el ancho de banda son función inversa de

la frecuencia.

El diseño de ambas bobinas constituye una de las tareas que se cuidó con extremo rigor y después de numerosas pruebas las bobinas resultantes son:

L2: con hilo de 1 mm de diámetro se enrollaron en un soporte de plástico de 5 mm de diámetro, con núcleo ferromagnético 4,5 espigas, distanciándolas de forma que obtuvimos una solenoide de aproximadamente 8 mm de largo; la toma intermedia de la bobina a conectar en C10 se realizó con hilo de 0.5 mm.

L3: análogamente se utilizó hilo de 1 mm, enrollando solo un soporte de 5 mm, con núcleo ferromagnético, 4,5 espigas, separándolas para obtener un solenoide de 8 mm de largo.

Los núcleos ferromagnéticos utilizados son roscados con ranura de regulación que poseen la ventaja, además de su reducido precio, de un ajuste cómodo y dentro de un gran margen.

El margen de ajuste de las bobinas RF con núcleo ferromagnético nos viene dado por la relación $\Delta L/L$.

La inductancia máxima alcanzable L_{max} , en el que el núcleo de ajuste conduce el flujo magnético principal, es unívoca. La inductancia mínima L_{min} vendrá referida a una posición del núcleo en la que éste se encuentra fuera del enrollamiento y en la que además las superficies frontales del núcleo y bobina se encuentren en un mismo plano.

Con ello es muy usual referir el margen de ajuste a

$$L_{max}: \frac{L_{max}-L_{min}}{L_{max}} \times 100 = \frac{\Delta L}{L_{max}} \times 100 \text{ (en \%)} \quad (2.22)$$

El cálculo de la inductancia de estas bobinas de RF con núcleo de este tipo se obtiene en función de diferentes factores:

1. el número de espiras
2. la forma del núcleo
3. la permeabilidad efectiva ($\mu_{ef.}$) del núcleo
4. la constante de permeabilidad del núcleo.

asimismo el número de espiras es función de:

- a) del tipo de arrollamiento (en nuestro caso cilíndrico)
- b) de la longitud y espesor de la bobina
- c) del tipo de conductores.

Por otro lado la forma del núcleo influye en la permeabilidad efectiva resultante; todo esto hace que el cálculo exacto de la inductancia de estas bobinas de RF con núcleo ferromagnético sea casi imposible si se quiere tener en cuenta, en una fórmula, todos los factores citados. Adoptándose en estos casos el llamado "valor Kappa", que nos permite calcular, por la fórmula simple siguiente, la inductancia de la bobina conociendo el número de espiras y el factor de acoplamiento:

$$L (\mu Hr) = 10^{-6} \cdot K \cdot n^2 \quad (2.23)$$

así con: $K = 0.47$ y $n = 4.5$ obtenemos que el valor aproximado de las inductancias es:

$$L (\mu Hr) = 10^{-6} \cdot 0.47 \cdot (4.5)^2 = 9.5175$$

que como puede observarse, para ambas bobinas del prototipo,

se obtiene una inductancia de pequeñísimo valor adecuado al margen de sintonía del receptor.

Por último, cabe reseñar, que además de los ajustes de las bobinas mediante los núcleos ferromagnéticos, se dispuso de un timer C14 (10-40 pF) en el segundo circuito del filtro pasobanda para conseguir un mejor acople capacitivo y al mismo tiempo nos va a ayudar a conseguir un ajuste fino de la frecuencia del filtro dentro del margen de interés.

2.2.3 PRIMER MEZCLADOR. OBTENCION DE LA PRIMERA FRECUENCIA INTERMEDIA DE 10.7 MHz

La conversión de frecuencia se consigue mezclando la señal de radiofrecuencia que se desea recibir con una señal generada localmente (en el prototipo utilizamos un sintetizador que nos permite elegir una frecuencia entre múltiples) y pasando esta mezcla por un elemento no lineal.

Si este se excita con la resta de las dos señales, de frecuencias respectivas f_s y f_o , se obtiene en su salida una señal resultante de frecuencia:

$$f_i = f_s - f_o$$

es decir, una señal de frecuencia constante que, por otro lado, contiene la información que contenía f_s .

Precisamente por contener el mezclador un elemento no lineal, origina señales de frecuencia iguales a:

$$|m f_s \pm n f_o| \quad (m \text{ y } n \text{ son números naturales})$$

y de amplitudes tanto más pequeñas cuanto mayores sean m y n .

Para ver este punto con más claridad sean dos señales que llegan al mezclador de frecuencias $W1$ y $W2$ y que tienen

la forma matemática $A \cos W_1 t$ y $B \cos W_2 t$. Al ser estas señales tratadas por un dispositivo no lineal cuya salida sea de la forma:

$$a_0 + a_1 (A \cos W_1 t + B \cos W_2 t) + a_2 (A \cos W_1 t + B \cos W_2 t)^2 + a_3 (A \cos W_1 t + B \cos W_2 t)^3 + \dots + \quad (2.24)$$

se originan a la salida señales de pulsaciones $W_1, W_2, 2W_1, 2W_2, W_1+W_2, W_1-W_2, \dots$ y en general frecuencias $n f_1 + m f_2$ como evidencian en el desarrollo de los términos no lineales y las identidades trigonométricas.

$$\cos W_1 t \cdot \cos W_2 t = \frac{1}{2} [\cos (W_1 - W_2)t + \cos (W_1 + W_2)t]$$

$$\cos^2 2Wt = \frac{1 + \cos 2Wt}{2} \quad \text{etc..} \quad (2.25)$$

Para quedarnos con el producto de la mezcla deseado como es $f_s - f_o = f_i$, a la salida del mezclador se disponen de filtros a 10.7 MHz.

En el montaje utilizamos como mezclador el circuito integrado S042P de Siemens que es un modulador en anillo de aplicación universal hasta los 200 MHz. Paralelamente a su utilización básica de mezclador, convertidor de frecuencia y demodulador en los receptores FM, el S042P puede ser utilizado como multiplicador, inversor de polaridad, etc ...

Se caracteriza por los puntos siguientes:

- amplia gama de voltajes de alimentación
- numerosas aplicaciones
- pocos componentes externos
- ganancia de conversión elevada
- baja figura de ruido

El esquema eléctrico del mezclador se muestra en la figura 2.17

Refiriéndonos a las características proporcionadas por el fabricante este circuito integrado nos realiza la mezcla mediante un "par diferencial", como se puede observar en la figura 2.18, el cual al poseer los dos transistores idénticos evitará que el voltaje del oscilador aparezca en el transformador sintonizado de salida.

Así con la suspensión del voltaje del oscilador de entrada conseguimos evitar el problema de radiación. En adición, suprimiendo la gran componente de corriente del oscilador desde la salida, reducimos el voltaje sobre el transformador de frecuencia intermedia.

También, debido a la característica simétrica del par diferencial los productos armónicos de segundo, tercero ... orden no serán generados en este circuito.

Para evitar completamente todos los armónicos de cualquier orden, la señal del oscilador es una perfecta onda sinusoidal con lo que las variaciones de la corriente de colector de Q, se mantendrá lo suficientemente pequeña evitando que sean generadas oscilaciones armónicas.

Predicciones realizadas en el circuito par diferencial con un $V_1 = 141 \text{ mV}$ y la entrada desintonizada (para evitar la reducción de la señal interferente en el filtro de entrada) nos da como resultado que sólo tres términos interferentes (excepto la frecuencia imagen y la componente IF) están atenuadas 70 dB y son los representados en la figura 2.19

El primero de estos términos interferentes correspon-

de a W_y en la figura 2.19, $2W_y - W_o = W_{if}$. El segundo es W_x y nos proporciona dos términos: $2W_o - W_x = W_{if}$ y $W_x - 2W_o = W_{if}$. Para una corriente $I_{K0} = 2.5 \text{ mA}$ (ver figura 2.18) todos estos tres términos se nos reducen por un factor de $1/250$ o más, por debajo del nivel del término de salida deseado.

La suspensión del término interferente W_y requiere una sintonía exacta en las características del par diferencial y la suspensión del término W_x requiere un voltaje de oscilación del UFO estable.

En el par diferencial que nos va a realizar la mezcla en nuestro dispositivo conseguimos reducir la corriente de salida a un valor de $I_2 = I_3 = 0.52 \text{ mA}$ con lo que reducimos el voltaje sobre el transformador de IF, siendo el consumo total de:

$I_{cc} = I_2 + I_3 + I_5 = 2.15 \text{ mA}$ (referirse a figura 2.18 para distribución de corrientes).

con un voltaje de alimentación de 12V.DC que esta dentro del margen de operación del IC que va desde 4 hasta 15V .

En el mezclador la ganancia de conversión (G_c), que se define como:

$$G_c = \frac{\text{Potencia de FI a la salida}}{\text{Potencia de RF a la entrada}} \quad \text{nos va a venir}$$

dada (ver figura 2.18) por:

$G_c = I_2 / (U_7 - U_8) = I_3 / (U_7 - U_8) = 5 \text{ dB}$ con un factor de ruido de $F = 7 \text{ dB}$.

Cabe reseñar que estas dos características, elevada ganancia de conversión y baja cifra de ruido, son de gran importancia en un mezclador.

Como se puede observar en la figura 2.17, la señal de RF dentro de la banda de 130-140 MHz la aplicamos a los Pines 7 y 8 del S042F. Por otro lado la señal del sintetizador (UF0) que nos proporciona un margen de 119.3-129.3 MHz la aplicamos a través de un condensador a la Pin 13 del mezclador, obteniendo la salida de FI= 10.7 MHz deseada por los Pines 2,3.

Así, por ejemplo, al sintonizar el canal 1 del Meteosat tendremos:

$$f_s = 137.500 \text{ MHz}$$

$$f_o = 126.800 \text{ MHz (seleccionamos en el mezclador)}$$

con lo que al realizar la mezcla por diferencia entre la f_s y la f_o nos proporcionará una primera frecuencia intermedia de:

$$\text{primera FI} = f_s - f_o = (137.500 - 126.800) \text{ MHz} = 10.7 \text{ MHz}$$

que es la frecuencia intermedia deseada.

Análogamente para el canal 2 del Meteosat con:

$$f_s = 134.000 \text{ MHz}$$

$$f_o = 123.300 \text{ MHz} \quad \text{tendremos que:}$$

$$\text{primera FI} = f_s - f_o = (134.000 - 123.300) \text{ MHz} = 10.7 \text{ MHz.}$$

con lo que, obviamente, conseguimos una primera frecuencia intermedia de valor constante 10.7 MHz y que contiene la misma información que f_s y nos permitirá, como veremos a continuación realizar un filtraje y amplificación adecuados para cualquier señal de entrada f_s .

2.2.4 AMPLIFICADOR Y FILTROS A 10.7 MHz

Una vez que se ha obtenido la primera frecuencia intermedia y teniendo en cuenta que para cualquier señal de entrada f_s vamos a tener siempre a la salida del mezclador 10.7 MHz,

vamos a efectuar en esta etapa un filtraje selectivo, la mayor parte de la amplificación de la señal dentro del sistema y, además, asegurar que este paso tenga el grado de selectividad necesario para evitar que las señales de canales adyacentes interfieran con la señal deseada.

Así esta etapa va a constar de:

- 3 circuitos de acoplamiento de sintonización única, o también conocidos como filtros pasobanda de dos circuitos con acoplamiento inductivo, donde su coeficiente de acoplamiento va a tener un gran efecto en la selectividad y por tanto en el ancho de banda.
- un filtro de cuarzo a 10.7 MHz con una banda pasante de ± 15 KHz que nos va a permitir eliminar todas las perturbaciones laterales que puedan "enmascarar" la imagen de video y
- un paso amplificador sintonizado con la utilización de un transistor de doble puerta (dual gate). Este transistor junto con su red de polarización asociada nos va a proporcionar una elevada ganancia y baja cifra de ruido

La implementación eléctrica de esta etapa se muestra en la figura 2.20

En el primer paso disponemos de un filtro pasobanda de dos circuitos con acople inductivo (autoinducción o magnético) cuya frecuencia de resonancia es 10.7 MHz (ver MF1).

El coeficiente de acoplamiento para este tipo de filtro viene dado por:

$$K^2 = 1 - \gamma \quad (2.26)$$

donde ∇ es la inductancia de dispersión y es la inductancia perdida para la relación de voltaje y corriente, y se considera este parámetro debido a la imposibilidad de que la bobina del secundario pueda abarcar todas las líneas de fuerza magnéticas como consecuencia del diseño de dicho bobinado.

Así la expresión (2.26) la podemos desarrollar de la siguiente forma:

$$K = (1 - \nabla)^{\frac{1}{2}} \approx 1 - \nabla/2 \quad \text{con lo que:}$$

$$1 - K = \nabla/2$$

con lo que el coeficiente de acoplamiento K se reduce a la mitad de la inductancia de dispersión, donde la inductancia mutua se expresa por:

$$M = K (L_P \cdot L_S)^{\frac{1}{2}} \quad (2.27)$$

donde: M : inductancia mutua
 L_P : inductancia primario
 L_S : inductancia secundario.

Según lo anterior, llegamos a que el coeficiente de acoplamiento pueda expresarse también como la relación entre la autoinducción eficaz y la autoinducción máxima posible:

$$K = M / (L_P \cdot L_S)^{\frac{1}{2}} \quad (2.28)$$

con lo que vemos que el grado de acoplamiento (K) está determinado por la inductancia mutua (M) entre las bobinas primaria y secundaria.

En el montaje utilizamos como filtro de pasobanda de dos circuitos con acoplo capacitivo el denominado "bote de frecuencia intermedia" que presenta las características

siguientes:

- Filtro miniatura con cuerpo de bobina de una cámara y arrollamiento circular a fin de mantener pequeñas las pérdidas directas.
- Núcleo de esferita con boquilla roscada de 2.3 mm de diámetro con acople de campo de dispersión ajustable que protege magnéticamente las bobinas y garantizan altos valores del factor de calidad ($Q \geq 120$).
- Los extremos del arrollamiento se pasan a través de taladros en la placa base y están arrollados alrededor de las pautillas rectangulares.
- Ajustable desde la parte superior.
- Capacidad del circuito oscilante comprendida entre los 20 y 30 pF.

Con estos datos la inductancia de las bobinas van a estar dentro de los márgenes:

$$C = 20 \text{ pF} \quad \text{---} \quad f_0 = \frac{1}{\sqrt{LC}}^{\frac{1}{2}} \quad ; \quad L = \frac{1}{f_0^2 (2\pi)^2 \cdot C} = \\ = \frac{1}{[(10.7 \times 10^6)^2 \cdot (2\pi)^2 \cdot 20 \cdot 10^{-12}]} = 11.06 \text{ } \mu\text{Hr}$$

$$C = 30 \text{ pF} \quad \text{---} \quad f_0 = \frac{1}{\sqrt{LC}}^{\frac{1}{2}} \quad ; \quad L = \frac{1}{f_0^2 (2\pi)^2 \cdot C} = \\ = \frac{1}{[(10.7 \times 10^6)^2 \cdot (2\pi)^2 \cdot 30 \cdot 10^{-12}]} = 7.37 \text{ } \mu\text{Hr}$$

La estructura física de los componentes del bote de frecuencia intermedia 10.7 MHz se puede observar en la figura 2.21

A continuación disponemos de un filtro de cuarzo de 10.7 MHz que es un filtro a 6 polos con una banda pasante de

± 15 KHz y cuyas características son las siguientes:

Frecuencia central	10.7 MHz
Ancho de banda (3 dB)	± 15 KHz
Ancho de banda (60 dB)	± 50 KHz
Rizado	2 dB max.
Pérdida de inserción	3,5 dB max.
Atenuación filtro	60 dB a ± 15 KHz
Impedancia (Ω)	2000 \pm 15%
Potencia máxima	10 mW
Margen de temperatura	-40 a +80°C

Como se puede observar por las características reseñadas este filtro nos va a proporcionar una gran selectividad eliminando con su banda estrecha las perturbaciones laterales asociadas a la señal de entrada.

En la figura 2.22 se representa la curva obtenida con este filtro, representándose la separación en KHz de la frecuencia nominal de 10.7 MHz en función de la atenuación (en dB).

Este filtro de cuarzo, que está constituido esencialmente por un circuito serie LCR, donde su frecuencia de resonancia viene determinada por el espesor, forma y naturaleza del cristal piezoeléctrico, nos va a determinar la selectividad de la frecuencia intermedia. Así en las frecuencias comprendidas dentro de su banda resonante el cristal ofrece una resistencia muy pequeña y la señal de FI a la frecuencia de resonancia del cristal se acopla al segundo filtro pasobanda de dos circuitos con acoplo inductivo que se encuentra antes del amplificador de FI (MF2).

A frecuencias fuera de la banda resonante, el cristal ofrece una resistencia muy grande y tales frecuencias se atenuan en forma efectiva.

Teniendo en cuenta que la curva de respuesta de un circuito de acoplamiento de doble sintonización depende del grado de acoplamiento que exista entre el primario y el secundario, observando en la figura 2.3, el acoplamiento entre los circuitos sintonizados se define en función del acoplamiento crítico: según se apreciaba en la figura reseñada anteriormente, éste es el grado de acoplamiento óptimo, en el cual la corriente resonante que fluye en el circuito secundario alcanza su máximo valor.

Análogamente, vemos en esta figura, que si el acoplamiento es menor que el crítico, la corriente secundaria disminuye y el circuito tiene un ancho de banda menor; y cuando el acoplamiento es mayor que el crítico (sobre acoplamiento), la curva de respuesta se ensancha, aumentando el ancho de banda, pero presenta dos protuberancias.

Según se observa en las curvas de respuesta, los diferentes grados de acoplamiento tienen sus ventajas así como desventajas por lo que respecta a la selectividad y el ancho de banda de IF, con esta circunstancia hizo que en nuestro montaje adoptáramos un "compromiso" con el fin de satisfacer en el mayor grado posible estas dos características de relevante importancia.

Para ello el primer filtro pasobanda sintonizado con acoplo inductivo (MFI), colocado en el paso anterior al filtro a cristal, está sobreacoplado (ver figura 2.23), con lo

que nos va a proporcionar el cuadro de bandarequerido; a continuación el filtro a cristal nos va a proporcionar una gran selectividad a la frecuencia de interés y en el paso siguiente se dispuso de otro filtro pasobanda de dos circuitos de $f_0 = 10.7 \text{ MHz}$ (ver MF2) con su acoplamiento crítico cuya curva de respuesta de un sólo pico nos va a servir para "llevar" la depresión que tiene la curva del primero, consiguiendo en conjunto una respuesta en frecuencia más lineal con un ancho de banda y selectividad adecuados a nuestros propósitos.

En la figura 2.24 se puede observar la curva de respuesta en frecuencia que nos va a proporcionar los diferentes pasos sintonizados en función del tipo de acoplamiento y la respuesta total.

Como amplificador de frecuencia intermedia se ha utilizado un transistor MOS de doble puerta, el 3N204=BFR84, que es un mosfet de canal N de modo deflexión con fuente-substrato conectados a la envoltura y que posee dos diodos zener entre ambas puertas y fuente para protegerlo contra sobrevoltajes.

Este MOSFET nos proporciona notables ventajas como pueden ser:

- alta ganancia con baja cifra de ruido
- elevado margen dinámico
- doble elemento de control que facilita el control automático de sensibilidad
- disminución notable de la capacidad de realimentación CG1D, evitando la necesidad de emplear NEUTRALIZACION.

Este fenómeno de "neutralización" es debido a que se produce una capacitancia del circuito, entre la salida y la entrada, originando una realimentación interna en el transistor y que va a producir una oscilación y distorsión muy inconveniente en la forma de onda de la señal.

Así para evitarlo se utiliza la neutralización, que esencialmente es un proceso que consiste en realimentar externamente, normalmente mediante un condensador CN, de la salida a la entrada, una señal que sea igual en amplitud pero opuesta en fase a la realimentación interna no deseada, consiguiendo que el sistema funcione de manera estable.

La constitución del MOSFET puede observarse en la figura 2.25. Como puede verse equivale a dos transistores MOS conectados en serie, sin que se accese al electródo común que realiza las funciones de drenador del primero y fuente del segundo, como se observa en la figura 2.26

La forma en que se comporta este dispositivo en función de los voltajes aplicados a dos puertas se muestra en la figura 2.27

La polarización del transistor MOSFET se puede observar en la figura 2.28

Su circuito de polarización no difiere básicamente de los FET de puerta única, donde el cuarto electródo G2 se utiliza para disminuir la capacidad entrada-salida haciendo innecesaria la neutralización.

La ecuación característica viene dada por:

$$I_d = K (U_{g1s} - U_p)^2 \quad (2.29)$$

donde: I_d : es la corriente del drenador

K : es una constante que depende de las dimensiones del canal, espesor del óxido y la movilidad de portadores; es denominado factor de estabilidad

V_{gs} : es el voltaje aplicado entre la puerta G1 y fuente.

V_{th} : es el Voltaje puerta-fuente umbral.

Al ser el transistor de canal N el signo K es positivo correspondiendo a corriente entrante en el drenador.

La representación gráfica de la ecuación (2.29) adopta la forma de la figura 2.29

Los elevados valores de las resistencias de puertas R_5 y R_7 , de valores respectivos 6K8 y 18K, permiten la obtención de impedancias de entrada muy alta. Análogamente la elección de los valores de R_5 y R_7 , 6K8 y 2K2 respectivamente, se ha realizados de forma que V_{gs} sea positiva.

Hemos también de notar que el sustrato B está directamente conectado a la fuente S en el interior de la cápsula con lo que se verifica $V_{bs}=0$.

Este transistor y su circuito de polarización nos va a proporcionar una ganancia de voltaje de más de 20 dB a $f_0 = 10.7$ MHz con una figura de ruido típica de 2.3 dB.

Por último se dispuso a la salida del transistor por drenado de otro filtro paso banda de dos circuitos con acoplamiento inductivo (MF3) cuya frecuencia de resonancia es 10.7 MHz y junto a MF1 y MF2 nos va a permitir una sintonización escalonada como puede observarse en la figura 2.30

Los valores de inductancias del primario y secundario

de MF2 y MF3, así como el estudio del coeficiente de acoplamiento e inductancia mutua son análogos a los de MF1, ya que se utilizaron en el montaje "3 botes de IF" iguales.

El ajuste de estos pasos sintonizados se realizó inyectando una señal de 10.7 MHz, por medio de un condensador, a la entrada del primero y mediante un osciloscopio se fue ajustando el acoplamiento inductivo de los filtro de forma que se obtuviera el ancho de banda y la selectividad deseadas, no obstante, en el apartado de verificación y ajuste del receptor se expone una explicación más detallada de este proceso.

2.2.5 SEGUNDO MEZCLADOR. OBTENCION DE LA SEGUNDA FRECUENCIA INTERMEDIA DE 250 KHz

Una vez amplificada y filtrada la señal de 10.7 MHz ésta se aplica a un segundo mezclador que junto con un oscilador local a cristal de 10.450 MHz nos va a proporcionar la segunda frecuencia intermedia de 250 KHz.

Esta segunda mezcla la realizamos mediante el circuito integrado SL6601, que es un IC lineal bipolar de Plessey y que presenta unas características altamente profesionales, siendo las más importantes:

Voltaje de alimentación	7 voltios
Corriente absorbida	2 mA
Sensibilidad	5 μ V
Dinámica	100/120 dB
Relación señal/ruido	50 dB
Reinyección señales AM	40 dB

Squelch nivel mínimo 0.2 voltios
 Squelch nivel máximo 6.9 voltios
 Salida señal BF 0.08 voltios

Este circuito integrado, además de realizar la segunda mezcla ya reseñada, nos va a realizar en nuestro prototipo las siguientes funciones:

- Amplificador a 10.7 MHz
- Oscilador local a 10.450 MHz
- Mezclador: Proporciona los 250 KHz de segunda IF
- Amplificador de la segunda frecuencia intermedia (250 KHz)
- Detector FM a PLL síncrono, incorporando los siguientes bloques:
 - a) Comparador de fase
 - b) VCO
- Preamplificador de baja frecuencia (BF)
- Proporciona señal de squelch mediante los siguientes bloques:
 - a) Desfasador de 90°
 - b) Detector de cuadratura o conformador
 - c) Disparador de Schmit

El voltaje de alimentación de 7 voltios necesario para una correcta operación de este circuito integrado la obtenemos a partir de 12 voltios utilizando un regulador de voltaje de 5v (7805) y un diodo zener de 2.7v en el terminal común de este regulador; la implementación del regulador de 7v se muestra en la figura 2.31

Para la obtención de la segunda frecuencia intermedia de 250 KHz, teniendo en cuenta que a la entrada disponemos de una señal de 10.7 MHz, se realiza mezclando esta señal con una generada por un oscilador local controlado por un cristal de cuarzo de 10.450 MHz que conectamos exteriormente, con lo que obtenemos:

$$\text{segunda Fintermedia} = (10.7 - 10.450) \text{ MHz} = 250 \text{ KHz.}$$

El esquema eléctrico de este segundomezclador y oscilador local se muestra en la figura 2.32

Como se puede observar para obtener los 250 KHz sólo hemos de incluir como componentes externos al circuito integrado SL6601, el cristal de cuarzo de 10.450 MHz entre los pines 1 y 2 y un condensador de 100 pF en el pin 3.

Así la señal de 10.7 MHz procedente del amplificador de frecuencia intermedia ya filtrada la aplicamos al pin 18 y es amplificada en el interior del SL6601, mediante un paso amplificador de frecuencia central 10.7 MHz y aplicada, posteriormente, al segundo mezclador simultáneamente con la señal del segundo oscilador local de 10.450 MHz con lo que a la salida del mezclador obtenemos la señal de 250 KHz deseada.

Por último, esta señal la hacemos pasar por un amplificador de 250 KHz antes de ser aplicada al detector síncrono a PLL.

2.2.6 DEMODULACION FM

2.2.6.1 PRINCIPIOS DE LA DEMODULACION FM A PLL SINCRONO

Para recuperar la señal modulante a partir de la señal

modulada en FM, deberá disponerse de un circuito cuya salida varíe linealmente con la frecuencia de la señal de entrada. Por lo tanto, los detectores de FM son dispositivos sensibles a la frecuencia, denominándose también discriminadores de frecuencia.

En general, un discriminador de frecuencia consiste en un circuito cuya ganancia varía linealmente en función de la frecuencia. En la figura 2.33A se muestra un discriminador de frecuencia.

Este discriminador balanceado convierte la señal de FM en una señal de AM por medio de dos circuitos entonados superior e inferior y sintonizados en valores arriba y abajo de la frecuencia portadora. Este discriminador tiene alta sensibilidad y buena linealidad.

En la figura 2.33B se muestran los voltajes e_1 y e_2 en función de la frecuencia. La salida resultante $e_o(t)$ se muestra mediante la línea punteada.

En el prototipo utilizamos un demodulador FM a PLL síncrono, el cual se compone básicamente de:

- un VCO (oscilador controlado por voltaje)
- un comparador de fase y
- un filtro paso bajo del lazo

NOTA: la función de estos bloques se explica detalladamente en el tema 3.

En el estudio del PLL (ver 3.1) se demuestra que el ancho de banda del bucle está determinado por los componentes del filtro R_1 , R_2 y C y la ganancia del bucle K , que viene dado por:

$$K = K_v \cdot K_d$$

donde: K_v : es la ganancia de conversión del VCO

K_d : es la ganancia de conversión del comparador de fase.

La ganancia del bucle K se utiliza para controlar el margen de enganche del PLL, ya que el bucle se mantiene enganchado mientras la diferencia de fase entre la entrada y el VCO sea menor de $\pm 90^\circ$. Cuanto más elevada sea esta ganancia del lazo, tanto más puede cambiar la entrada en frecuencia antes de alcanzar el error de fase de 90° .

Los valores de los componentes del filtro se utilizan por consiguiente para elegir el ancho de banda. Esta selección está condicionada por varios parámetros: ruido en el ancho de banda, desviación de frecuencia, tiempo de captura y margen de enganche.

Existen dos requisitos que afectan al ancho de banda y que son:

- a) El ancho de banda debe ser lo más estrecho posible para minimizar la fluctuación o "jitter" de fase debido al ruido externo.
- b) El ancho de banda debe hacerse tan amplio como sea posible para reducir el error transitorio debido a la señal moduladora, la fluctuación de salida debido al ruido interno en el VCO, así como para conseguir un buen seguimiento y adquisición de información.

Como en el caso que nos ocupa, se trata de emplear el PLL en un demodulador de FM obviamente el criterio de diseño

a seguir se adapta al punto b. Es necesario proveerse de un ancho de banda suficiente para recibir la desviación prevista

Hemos de tener en cuenta que en todo momento el lazo debe mantenerse enganchado (error de pico de fase menor de $\pm 90^\circ$), incluso en casos extremos de modulación como pueden ser picos o cambios bruscos de frecuencia.

En la figura 2.34 se puede observar el error de pico de la fase en función de la desviación de frecuencia y del factor de amortiguamiento.

El error máximo de fase ocurre cuando la frecuencia moduladora ω_m es igual a la frecuencia natural del bucle ω_n . Si se ha diseñado el bucle con un factor de amortiguamiento ξ de 0.707, el error de pico de fase es $0.71 \Delta\omega/\omega_n$ radianes, siendo $\Delta\omega$ la desviación de frecuencia.

NOTA: los significados de los parámetros, frecuencia natural ω_n y el factor de amortiguamiento se estudian en el apartado 3.5.1.

El demodulador síncrono o PLL combina un VCO, un comparador de fase y un filtro paso bajo del lazo como se puede observar en la figura 2.35

Para ver matemáticamente como inicialmente el PLL llega a "engancharse" a la señal de entrada, consideremos el caso simplificado, donde, una portadora no modulada a frecuencia $\omega_0 + \xi$ es sintonizada lentamente hasta alcanzar la frecuencia del VCO, ω_0 .

Así en la figura 2.35 $\psi(t)$ es ξt y en $t=0$ se podría asumir que la salida del VCO es cosenoidal. Análogamente, se puede dar por sentado que el filtro paso bajo del lazo rechaza

los términos de frecuencias armónicas con una atenuación independiente de la frecuencia.

Bajo estas condiciones la salida del filtro será:

$$\dot{\varphi}(t) = W\alpha \cos [Et - \varphi(t)] \quad (2.30)$$

donde, $W\alpha$, que es conocido como el ancho de banda del lazo tiene a:

$a(t)$ considerada constante: B constante del filtro.

Con lo que la expresión (2.30) es una ecuación diferencial no lineal de primer orden, la cual puede ser despejada, asumiendo que $\varphi=0$ en $t=0$, para producir:

$$\dot{\varphi}(t) = \frac{E^2 - W\alpha^2}{E - W\alpha \cosh \sqrt{W\alpha^2 - E^2} t} - E \quad \text{para } |E| < W \quad (2.31)$$

$$\dot{\varphi}(t) = \frac{E^2 - W\alpha^2}{E - W\alpha \cos \sqrt{E^2 - W\alpha^2} t} - E \quad \text{para } |E| > W \quad (2.32)$$

Estas dos ecuaciones son representadas en las figuras 2.36A y 2.36B para valores positivos de $E/W\alpha$.

Cuando $W\alpha > |E|$, a medida que pasa el tiempo $\dot{\varphi}(t)$ se aproxima a E y el lazo es "enganchado". Si E se aproxima a cero, entonces $\dot{\varphi}$ se aproxima también a cero.

De la figura 2.36A se observa que existen alrededor de 5 tiempos constantes iguales a $1/\sqrt{W\alpha^2 - E^2}$ para que se produzca el enganche. Ahora, durante el tiempo estacionario $\dot{\varphi}(t)=E$, si E es variado lentamente en comparación con $(W\alpha^2 - E^2)$ entonces la salida del PLL es directamente proporcional a la diferencia de frecuencia entre la entrada y la

frecuencia del VCO. Consecuentemente, si:

$$\psi(t) = \Delta W \int_0^t f(\sigma) d\sigma \quad (2.33)$$

donde ΔW es la desviación de frecuencia de la portadora.

Si la máxima componente de frecuencia de $f(t)$ es W_m ,
y si:

$$W_m \ll \sqrt{W_c^2 - \Delta W^2} \quad (2.34)$$

entonces la salida del PLL es directamente proporcional a $f(t)$ y la "demodulación de frecuencia" es perfecta.

La desigualdad de la ecuación (2.34) implica que $W_c \gg \Delta W$ y que $W_c \gg W_m$. En suma, se puede deducir, que para evitar la distorsión de la señal detectada, D y B , radio de desviación e índice de modulación respectivamente, deben quedar por debajo de la curva de la figura 2.37

Por tanto el detector PLL tiene limitaciones concernientes a la frecuencia de portadora W_c , frecuencia moduladora W_m y desviación de frecuencia ΔW .

2.2.6.2 OBTENCIÓN DE LA SEÑAL DE BAJA FRECUENCIA

Una vez estudiado como es el proceso de demodulación a PLL síncrono, en el montaje el VCO y el comparador de fase están incluidos en el circuito integrado SL6601, mientras que los componentes que van a constituir el filtro paso bajo del lazo, así como los condensadores del VCO, están conectados externamente al circuito integrado.

El esquema eléctrico del detector a PLL es mostrado en la figura 2.38

Entre los pines 11 y 12 del SL6601, se incluyen los componentes del filtro paso bajo del lazo que tienen de valor:

$$R1 = 33 \text{ K}\Omega$$

$$R2 = 22 \text{ K}\Omega$$

$$C = 100 \text{ }\mu\text{F}$$

con lo que la frecuencia de corte del filtro será (ver ecuación 3.33):

$$\omega_{lpf} = 1 / [(R1 + R2)C] = \frac{1}{(33\text{K} + 22\text{K}) \times 100 \cdot 10^{-6}} = 181.82 \text{ rad/seg}$$

La frecuencia natural de este filtro en función de la frecuencia de corte será:

$$\omega_n = (\kappa_0 \cdot \kappa_o \cdot \omega_{lpf})^{1/2} \text{ rad/seg}$$

Entre los pines 13 y 14 incluimos los condensadores d del VCO siendo uno de ellos ajustable (10-40 pF), que ajustaremos de forma que la frecuencia del VCO sea de 250 KHz y estable (medido en el pin 10 del SL6601 que es la resistencia del VCO), para que nos pueda enganchar con la frecuencia de 250 KHz procedente de la mezcla y que está modulada en frecuencia.

El funcionamiento básico del detector a PLL consiste en:

La señal de 250 KHz obtenida de la segunda mezcla y modulada en frecuencia se aplica al comparador de fase simultáneamente con la señal generada por el VCO y su circuito asociado que ajustaremos mediante el timer externo para que nos oscile también a 250 KHz y se pueda producir el enganche de fase. El comparador de fase nos haya la diferencia entre las

dos señales: así la señal resultante que será la señal moduladora pasará a través del filtro paso bajo del lazo en el cual eliminaremos todos los armónicos no deseados, y que ha sido diseñado de tal forma que su ancho de banda, que viene determinado por la red externa, nos permita el paso de la señal de 2400 Hz y que obtendremos por la pin 8 del SL6601 ya detectada y preamplificada en baja frecuencia.

Esta señal la aplicaremos a los amplificadores y filtros de baja frecuencia.

2.2.7 AMPLIFICADORES Y FILTROS DE BAJA FRECUENCIA

Una vez obtenida la señal de baja frecuencia la aplicaremos a:

- un filtro paso bajo de tercer orden y
- un amplificador inversor de $G_v=10$.

El circuito eléctrico utilizado como filtro paso bajo es el mostrado en la figura 2.39

Se compone éste de dos pasos bien diferenciados:

- En primer lugar, la resistencia R14 y el condensador C44 constituyen un filtro pasivo paso bajo. La frecuencia de corte que presenta viene dada por:

$$Mcl = 1/RC : fcl = 1/(2\pi RC) \text{ y aplicándolo a nuestro caso con } \begin{cases} R14 = 4700 \text{ ohmios} \\ C44 = 10000 \text{ pF} \end{cases} \text{ obtenemos:}$$

$$fcl = \frac{1}{2\pi \cdot 4700 \cdot 10000 \cdot 10^{-12}} = 3386 \text{ Hz}$$

Es un filtro poco selectivo con una inclinación de 6 dB/octava (bastante plano).

- A continuación se dispone de un filtro activo paso bajo VCUS (voltaje controlado por la fuente de voltaje); y de ganancia unidad, ya que no presenta resistencia de realimentación.

Está constituido por el operacional IC6-A y su circuito asociado, como se muestra en la figura 2.40

La frecuencia de corte de este filtro viene dada por:

$$\omega_c = 1/(R_{15} R_{16} C_{45} C_{46})^{1/2} \quad (2.35), \text{ con lo que:}$$

$$f_c = 1/[2\pi(R_{15} R_{16} C_{45} C_{46})^{1/2}] \quad (2.36) \text{ y aplicando}$$

$$\text{lo a nuestro caso } \begin{cases} R_{15} = R_{16} = 4700 \text{ ohmios} \\ C_{45} = 33000 \text{ pF} \\ C_{46} = 1500 \text{ pF} \end{cases} \quad \text{obtenemos:}$$

$$f_c = \frac{1}{2\pi \times (4700 \cdot 4700 \cdot 33000 \cdot 10^{-12} \cdot 1500 \cdot 10^{-12})^{1/2}} = 4815 \text{ Hz}$$

Este filtro ha sido diseñado para permitirnos el paso de la subportadora de 2400 Hz que modula en AM, doble banda lateral, a la señal de video, con lo que el ancho de banda de este filtro tiene que ser lo suficientemente selectivo como para permitirnos el paso de la señal de 2400 Hz modulada y suprimir cualquier otra componente de frecuencia que pueda enmascarar la señal de video.

Por esta razón se ha diseñado un filtro paso bajo muy selectivo un con una inclinación de 18 dB/octava, como se puede observar en las figuras 2.40A y 2.40B

Una vez filtrada la señal de baja frecuencia, se aplica a través de un condensador de 33000 pF a un amplificador inversor, teniendo en cuenta que le aplicamos la señal de AM

a la entrada inversora, y que presenta una ganancia de voltaje de 10.

El esquema eléctrico del amplificador se muestra en la figura 2.42

En esta etapa, R17 va a constituir el elemento de entrada y R18 el elemento de realimentación. El voltaje de salida vendrá dado por:

$$V_o = -(R_b/R_a) \cdot U_i \quad (2.37)$$

consecuentemente la ganancia de voltaje, o razón entre el voltaje de salida y entrada es:

Ganancia voltaje (G_v) = $V_o/U_i = -R_{18}/R_{17}$, que aplicada a nuestro caso con :

$$\begin{cases} R_{18} = 100000 \text{ ohmios} \\ R_{17} = 10000 \text{ ohmios} \end{cases} \quad \text{obtenemos:}$$

$$G_v = -100000/10000 = -10$$

El signo negativo sólo nos indica que la salida va a tener una diferencia de fase de 180° con respecto a la entrada (recordemos que la señal la aplicamos a la entrada inversora).

El condensador C49 es utilizado para minimizar el efecto debido a la dispersión o pérdida resistiva del condensador.

NOTA: En el caso de que el producto de R17 y C49 fuese igual o superior al período de la señal de entrada, este circuito se comportaría como un integrador, es decir:

cuando $f < f_1$, amplificador inversor, $V_o = -(R_{18}/R_{17})U_i$

cuando $f > f_1$, integrador, $V_o = -[1/(R_{17} C)] \int U_i dt$

En la entrada no inversora se establece un nivel de voltaje, a través de la fuente de 12 v, y el divisor de voltaje R20-R21.

El esquema eléctrico del conjunto filtro paso bajo-amplificador inversor se muestra en la figura 2.43

Como se puede observar, en esta figura, existe una re-alimentación del segundo operacional a la entrada con el fin de efectuar un control automático de ganancia.

Una vez obtenida la señal de baja frecuencia ya filtrada y amplificada hasta un nivel deseado, ésta va a seguir dos caminos:

- Por un lado la aplicamos a través de una resistencia de $560\ \Omega$ (R23) al convertidor de video o la grabadora
- Por otro lado la aplicamos a un amplificador de audio, a través de un potenciómetro logarítmico de $10\ K\Omega$ para hacer audible en un transductor la señal de BF detectada

El esquema eléctrico del paso amplificador de audio se muestra en la figura 2.44

Se utiliza como amplificador de potencia de audio el circuito integrado monolítico TDA2002 fabricado por Fairchild.

Según las gráficas proporcionadas por el fabricante, para una V_t de 12v DC nos va a proporcionar una potencia útil de salida de 4w sobre una carga de $4\ \Omega$ ($R_L=4\ \Omega$), que va a ser un transductor piezoeléctrico.

La ganancia de voltaje viene dada por:

$$G_v = R_{26}/R_{27}, \text{ aplicándolo a nuestro caso con } \begin{cases} R_{26} = 1\ K\Omega \\ R_{27} = 33\ K\Omega \end{cases}$$

obtenemos $G_v = 1000/33 = 30.3$; $G_v(\text{dB}) = 14.8\ \text{dB}$

ORIGINAL

El valor de C57 (100 μ F) y R28 (10 Ω), se ha elegido de forma que nos proporcione una buena estabilidad en frecuencia.

La máxima potencia disipada por el TDA2002 con una carga de $R_L = 4\Omega$ es de 2W con un voltaje de alimentación de 12V.

2.2.8 SEÑAL DE SQUELCH PARA ACTIVACION DE GRABADORA

En el caso de que deseemos captar las imágenes de un satélite polar, que sabemos que transmite en la frecuencia de 137.620 MHz, pero no sabemos a que hora pasa, o incluso, conociendo la hora nos es imposible observar la imagen, se ha dispuesto de un circuito capaz de excitar un relé y que permitirá grabar en una cinta las imágenes de los satélites polares o del Meteosat.

En términos generales, esto se consigue aprovechando un voltaje de squelch disponible en el terminal 6 del IC SL6601, que nos va a servir para controlar dos transistores conectados en Darlington y que nos van a excitar el relé cuando esté presente una señal de VHF en la antena.

Este relé, como se mencionó anteriormente, es útil para poner en marcha una grabadora y memorizar en una cinta las señales de los satélites polares y geostacionarios.

El esquema eléctrico del circuito de activación de grabadora se muestra en la figura 2.45

El diodo led DL1, nos va a servir para darnos una indicación de que el circuito de grabación está en ON; por otro lado, DL2 nos va a indicar que está presente en la antena una señal de V.H.F.

El circuito integrado SL6601, nos va a proporcionar un nivel de squeelch mínimo de 0.2 voltios y un nivel máximo de 6.9 voltios.

El potenciómetro de 100 K Ω lo vamos a utilizar para realizar el ajuste del squeelch (esto se explicará detalladamente en el apartado 2.3.5), y lo realizaremos de tal forma que cuando esté presente la señal de VHF en la antena y si en ON, se excite el relé y en ausencia de señal permanezca desexcitado.

La utilización del par Darlington nos va a permitir obtener un amplificador con elevada impedancia de entrada.

2.2.9 SEÑAL PARA INDICADOR DE SENSIBILIDAD

Para poder realizar el ajuste del receptor y al mismo tiempo realizar una orientación de la antena con minuciosa precisión, se ha dispuesto de un circuito que aplicado a un instrumento de medida nos va a dar una indicación del grado de ajuste del receptor y de la orientación de la parábola.

La señal se ha tomado del pin 4 del circuito integrado SL6601, que es la salida del amplificador de 250 KHz y donde vamos a disponer de la señal modulada a la frecuencia reseñada anteriormente.

La implementación del indicador de sensibilidad se consiguió mediante la utilización de un amplificador operacional incluido en el circuito integrado TL081 con puente rectificador de onda completa, cuya salida se lleva a un vómetro de 200 μ A de continua.

El esquema eléctrico se muestra en la figura 2.46

El potenciómetro de 2 K Ω , 1 vuelta, nos va a servir para ajustar el instrumento de medida (el el apartado 2.3.6 se explica el procedimiento de ajuste).

Este instrumento de medida va a ser sensible al nivel medio de la señal.

El esquema eléctrico completo del receptor se muestra en la figura 2.47

2.3 VERIFICACION Y AJUSTE DEL RECEPTOR

Para comprobar el funcionamiento y realizar los numerosos ajustes, con la finalidad de conseguir una correcta operación del receptor, se dispuso de los siguientes equipos:

- Osciloscopio de doble traza (BW= 50 MHz)
- Frecuencímetro de bajo frecuencia (< 10 MHz)
- Frecuencímetro de radiofrecuencia
- Generador de funciones de RF (10-520 MHz) con modulación FM
- Generador de funciones de baja frecuencia (1-100 KHz) con modulación AM
- Punta de prueba de radiofrecuencia
- Fuente dual de alimentación (12v y 24v)
- Polímetro analógico.

2.3.1 AJUSTE DE LOS CIRCUITOS SINTONIZADOS DE R.F.

Teniendo en cuenta el margen de frecuencias al cual vamos a trabajar (130-140 MHz), el ajuste de esta etapa se tornó como uno de las partes más delicadas y complicadas, debido entre otras razones a:

- Falta de instrumentos de medida adecuados a nuestros propósitos, como pueden ser:

- * Osciloscopio de doble traza, con un ancho de banda mínimo de 150 MHz
- * Frecuencímetro de alta sensibilidad, etc ...

- Reducido nivel de señal (del orden de μV) imposibles de ser captados con el frecuencímetro debido a su baja sensibilidad.

Estas, como otras razones, llevaron a que el ajuste de esta parte se realizara con extremo cuidado y numerosísimas horas de trabajo.

Así, con la finalidad de realizar un correcto ajuste, el proceso que se llevó a cabo fue ajustar en primer lugar la etapa de frecuencia intermedia (ver apartado 2.3.2) y etapas sucesivas; con ello ya observado el correcto funcionamiento de estas etapas, así como el margen de variación del sintetizador, se procedió al ajuste de la etapa de radiofrecuencia, realizándose el montaje de la figura 2.48

En principio se le inyectó una señal de 137.000 MHz mediante el generador de funciones sin modular en FM; el nivel aplicado es de aproximadamente 10 μV y se procedió al ajuste en primer lugar de C4; para ello se aplicó la punta de radiofrecuencia (ver figura 2.49) al pin 7 del circuito integrado SH221 y se ajustó para máximo nivel de señal (medida en el téster).

El ajuste de este trimmer se realizó en numerosas ocasiones, hasta conseguir el mismo nivel de señal en toda la banda de interés. Una vez conseguido ajustar C4, que quiero

reseñar como de una gran dificultad debido primordialmente a una falta de instrumentación adecuada, se procedió al ajuste de los núcleos L2, L3 y del trimmer C14.

Para ello se dispuso, como se pueda observar en la figura 2.48, del osciloscopio y frecuencímetro a la salida del primer mezclador, donde tendremos que detectar una señal de 10.7 MHz y de amplitud directamente relacionada con la señal aplicada a la entrada de la etapa de radiofrecuencia.

Teniendo en cuenta, como ya se explicó detalladamente en el apartado 2.2.2, que las bobinas con núcleo ferromagnético L2-L3 y su circuito asociado van a constituir un filtro pasobanda con acople capacitivo en voltaje, el ajuste se realizó en los dos extremos de la banda con la finalidad de conseguir el mismo nivel de señal a la salida del mezclador.

Este ajuste resultó muy engorroso y llevó consigo numerosas horas de trabajo ($\approx 15h.$) debido como causa principal ya reseñada, a una falta de instrumentación adecuada.

La señal obtenida a la salida del primer mezclador (pin 2 del S042F) para una señal aplicada de 137.500 MHz y con el sintetizador oscilando a 126.800 MHz, se puede observar en la figura 2.50A.

Análogamente se obtuvo la misma señal de salida para señales de 130.100 MHz y 139.000 MHz, oscilando el sintetizador a 119.400 MHz y 128.300 MHz respectivamente.

A continuación se moduló en FM a 1 KHz una señal de 137.500 MHz y con un nivel aproximado de 5 μV , obteniéndose a la salida del primer mezclador la señal de la figura 2.50B. Obteniéndose, asimismo, a la salida de baja frecuencia la

señal modulada de 1 KHz y haciendo audible la misma (ver apartado 2.3.7).

Por último se inyectó una señal modulada en AM a 2400 Hz y ésta a su vez modulada en FM por una portadora de 137.500 MHz, con lo que inyectamos al receptor la señal con los dos tipos de modulación que vamos a recibir del satélite y sintonizamos, al mismo tiempo, el canal 1 del Meteosat.

Con la aplicación de esta señal pretendíamos cerciorarnos de que el receptor nos reproducía con gran fidelidad la señal de 2400 Hz modulada en AM y con ello dar por finalizado el ajuste.

Así esta señal se la aplicamos a la entrada Meteosat con un nivel de 1 mV y retocando L1, C4, MF1, MF2, MF3 así como C42 conseguimos obtener a la salida de baja frecuencia, la señal modulada en AM sin distorsión y con una gran calidad, con lo que se dio por finalizado el ajuste de esta etapa y del equipo en conjunto.

En los apartados sucesivos se explica con detalle el ajuste de las diferentes etapas del receptor.

2.3.2 AJUSTE DE LOS CIRCUITOS SINTONIZADOS DE FRECUENCIA INTERMEDIA (FI= 10.7 MHz)

El ajuste de la primera frecuencia intermedia se realizó en dos pasos perfectamente diferenciados:

1. En un principio con la etapa de IF ya dispuesta en el circuito impreso, se realizó el montaje de la figura 2.51

Como se puede observar se le inyectó mediante un generador de funciones una señal de 10.7 MHz en el punto TP2

mediante un condensador de 47 pF (en este punto hay un voltaje de 12V DC); para ello se prescindió del IC 8042* (primer mezclador) con la finalidad de que no resultara dañado.

Colocando la sonda del osciloscopio y frecuencímetro en el punto TP3 se procedió al ajuste de los 3 filtros de frecuencia intermedia hasta obtener la máxima amplitud de la señal de salida.

Este proceso se repitió en varias ocasiones hasta conseguir la máxima señal de salida con una señal aplicada de aproximadamente 20 mV eficaces (ver figura 2.52A).

La señal obtenida en TP3 se puede observar en la figura 2.52B

La frecuencia sintonizada en el generador de funciones y medida en TP3 es de 10.7 MHz.

2. Una vez comprobado el correcto funcionamiento y ajustados el segundo oscilador, segundo mezclador, detector a PLL y etapas de baja frecuencia (ver apartado 2.3.3 y sucesivos), se procedió a inyectar una señal de 10.7 MHz en el mismo punto del apartado anterior TP2 modulada en FM por ondas moduladoras de 1 KHz y 400 Hz con lo que podemos corroborar el correcto funcionamiento de las etapas de primera IF, segundo oscilador local, segundo mezclador, detector FM a PLL, filtros y amplificadores de B.F., etc ...

La señal aplicada en este caso es de 30 mV eficaces modulada por una señal senoidal de 1 KHz como se puede observar en la figura 2.53A. La señal obtenida a la salida de la etapa de frecuencia intermedia se puede observar en la figura 2.53B

2.3.3 VERIFICACION DEL SEGUNDO OSCILADOR LOCAL Y SEGUNDO MEZCLADOR

En el caso del segundo oscilador local y segundo mezclador se realizó una verificación de su funcionamiento para ello se dispuso del punto de prueba TP4 donde vamos a tener una señal procedente del segundo oscilador y que nos va a dar indicación de su correcto funcionamiento. La señal obtenida en este punto se muestra en la figura 2.54

2.3.4 DETECTOR DE FM

El ajuste del demodulador de frecuencia se tomó, al igual que la etapa de radiofrecuencia, una de las etapas más delicadas. Así en esta etapa nos es de crucial importancia que el VCO oscile a 250 KHz y con una estabilidad perfecta para que se pueda producir una correcta demodulación en frecuencia; ya que como se estudió en su momento a la entrada del comparador de fase le aplicamos simultáneamente la portadora de 250 KHz modulada en frecuencia y la señal del VCO que debe oscilar a 250 KHz con la finalidad de obtener a la salida del filtro del lazo la señal moduladora.

El proceso que se siguió para el ajuste del PLL, una vez ajustado y comprobado el funcionamiento de las etapas previas, es inyectar una señal en TP2 de 10.7 MHz moduladora a 1KHz y el trimmer C42 hasta leer en TP5 (salida del VCO) la frecuencia de 250 KHz con el frecuencímetro.

En un principio este ajuste se tornaba imposible girando el trimmer hacia ambos lados ya que el margen de oscilación nos variaba entre 261 KHz y 309 KHz con lo que se cambió

el condensador C41 de 100 μ F por uno de mayor capacitancia, concretamente de 150 μ F, con lo que al aumentar la capacidad del VCO nos disminuirá, obviamente, la frecuencia de oscilación y ahora si podríamos ajustar con el trimmer los 250 KHz y con una gran estabilidad.

La señal obtenida en TP5 (salida del VCO del detector a PLL) se muestra en la figura 2.55

El correcto funcionamiento del demodulador FM a PLL síncrono se comprobó midiendo en TP6, donde obtenemos la señal de 1 KHz (moduladora) sin filtrar.

Así la señal obtenida en este punto se muestra en la figura 2.56

2.3.5 AJUSTE DEL NIVEL DE SQUELCH PARA GRABADORA

El ajuste de esta etapa se realizó de tal forma que en ausencia de señal de U.H.F debemos medir en TP8 un voltaje de 7v.DC y en presencia de señal, el voltaje medido debe ser de 0.2v. El ajuste de esta etapa se centra únicamente en el potenciómetro R12 que actúa sobre el disparador Smith.

En ausencia de señal de U.H.F se ajustó el potenciómetro hacia la derecha hasta que se excitó el relé y se encendió el led DL2 (el voltaje medido ahora en TP8 es de 0.2v.DC).

A continuación se giró lentamente este potenciómetro en sentido contrario hasta encontrar la posición en que el relé se desexcita, esto siempre en ausencia de señal U.H.F a la entrada; ahora el voltaje medido en TP8 es de 7v.DC.

Para corroborar el correcto ajuste del nivel de squelch se le aplicó señal de 10.7 MHz a la entrada de IF y con S1 en ON se observó como se excitaba el relé y se iluminaba DL2 dando una indicación de la existencia de señal.

Al desconectar el generador de funciones se desactiva el relé y se apaga DL2 indicando la ausencia de señal.

Las señales obtenidas en TP8 con el osciloscopio, en presencia y ausencia, de señal de U.H.F. se muestra en las figuras 2.57A y 2.57B

2.3.6 AJUSTE DEL INDICADOR DE SENSIBILIDAD

Como se analizó en el apartado 2.2.9 este indicador nos va a servir para orientar la parábola con precisión y dar una medida del ajuste del receptor.

Así aplicando una señal de 10.7 MHz en TP2 obtenemos una lectura en el tester de aproximadamente 200 μ A, así se ajustó el potenciómetro R34 hasta llevar la aguja del indicador de sensibilidad a media escala ($\approx 100 \mu$ A).

Lógicamente en ausencia de señal de entrada este indicador no proporciona medida alguna.

2.3.7 AMPLIFICADORES Y FILTROS DE R.F.

Esta etapa no precisó ajuste de ningún tipo y nos ceñimos a comprobar su correcto funcionamiento y verificar que la frecuencia de corte del filtro paso bajo es de 4.815 Hz como se explicó en el diseño del mismo.

Para ello se siguieron dos caminos para la comprobación de esta etapa:

1º) Por un lado se realizó el montaje de la figura 2.58

Así variando la frecuencia del generador de funciones entre aproximadamente 300 Hz y 4800 Hz observamos, colocando la sonda del osciloscopio en TP7, que la señal obtenida a la

salida de esta etapa estaba correctamente amplificada y filtrada.

Al aplicarle una señal superior a 4800 Hz y a medida que aumentaba la frecuencia, se atenuaba la señal a la salida de la etapa de baja frecuencia, así, aproximadamente cuando frecuencia proporcionada por el generador era aproximadamente 4850 Hz, la señal a la salida era imperceptible en el osciloscopio: con esto comprobamos el correcto funcionamiento del filtro paso bajo y el amplificador de baja frecuencia.

Así mismo se hacía audible mediante el transductor de salida, la señal de baja frecuencia, con lo que también se comprobó el correcto funcionamiento de la etapa de audio.

2") Posteriormente se incluyó en la placa de circuito impreso y al aplicarle una señal de 10.7 MHz modulada con ondas señales de 1 KHz y 400 Hz en TP2, se testó con el osciloscopio y frecuencímetro las señales a la entrada y salida de la etapa de B.F.

Mientras que la señal que teníamos a la entrada de esta etapa era débil y con componentes de alta frecuencia (ver figura 2.56), a la salida de la misma y concretamente en TP7 obtenemos ambas señales moduladoras de 1 KHz y 400 Hz sin distorsión y bastante amplificadas.

Las señales de 1 KHz y 400 Hz obtenidas en este punto se pueden observar en las figuras 2.59A y 2.59B

2.3.8 FUNCIONAMIENTO DEL RECEPTOR

Una vez comprobado el correcto funcionamiento de todos los bloques que componen el receptor, así como del sintetizador de frecuencias (ver tema 3), se incluyeron todos los

componentes en la placa de circuito impreso chequeando la colocación adecuada de todos los componentes: diodos, condensadores electrolíticos, IC's, etc ..., así como la continuidad de las pistas.

Se le aplicó voltaje y se comprobó el correcto funcionamiento del conjunto chequeando las señales en los diferentes puntos, estableciendo para ello ocho puntos de prueba (TP), indispensables en cualquier montaje para un chequeo rápido de cualquier fallo que se pudiera producir; así estos puntos son los siguientes:

TP1: Terminal para controlar el funcionamiento de todo el paso preamplificador VHF. Es útil para verificar en caso de avería o de ajuste, en cuanto que se necesita un generador VHF que cubra la banda desde 130 hasta 140 MHz, un osciloscopio con banda presente de 150 MHz y un analizador de espectro.

TP2: Terminal de salida del mezclador. Aplicando en la entrada una señal V.H.F. comprendida entre 130 y 140 MHz, tiene que haber en este terminal una señal de 10.7 MHz, cuya amplitud sea proporcional al nivel VHF aplicado a la entrada (control que se efectúa con un osciloscopio de 10-15 MHz).

TP3: Terminal de salida de la primera frecuencia intermedia 10.7 MHz, amplificada y filtrada.

TP4: Terminal para controlar la frecuencia de cuarzo XTAL1 de 10.45 MHz. En este terminal tiene que haber una señal de unos 100 milivoltios.

TP5: Terminal para comprobar el correcto funcionamiento del VCO del demodulador a PLL síncrono. En este terminal hay

que detectar una señal cuadrada de 300 mv a una frecuencia de 250 KHz ($10.700 \text{ MHz} - 10.450 \text{ MHz}$) = 250 KHz.

TP6: Terminal de salida de baja frecuencia sin filtrar.

TP7: Terminal de salida de baja frecuencia filtrada y amplificada.

TP8: Terminal de salida para el ajuste del squelch. En este terminal en ausencia de señal VHF, debe haber un voltaje de 7v.DC. En presencia de señal VHF, el voltaje detectado en este punto debe ser de 0.2v.DC.

No obstante, para un correcto y rápido chequeo del receptor se moduló una subportadora de 2400 Hz y ésta a su vez se moduló en FM a una frecuencia portadora de $f_0 = 137.500 \text{ MHz}$. Las señales obtenidas en los diferentes puntos de prueba se muestra en las figuras 2.60A, 2.60B, 2.60C y 2.60D.

3. SINTETIZADOR DIGITAL DE FRECUENCIAS DE U.H.F.

3.1 INTRODUCCION.

El sintetizador de frecuencias es, básicamente, un sistema de lazo enganchado en fase (PLL) que produce un amplio rango de frecuencias de salida dependiendo del estado de unos contadores programables. En otras palabras, es un generador de frecuencias cuya salida es un múltiplo entero de una determinada frecuencia de referencia de entrada.

El esquema básico de un sintetizador se muestra en la figura 3.1.

La función simplificadora de cada bloque es la siguiente:

- El detector o comparador de fase genera un voltaje DC que es proporcional a la diferencia de fase entre la señal de salida del divisor $\times N$ y la señal de referencia. Matemáticamente este voltaje promedio de salida, llamado también voltaje de error, del detector viene dada por:

$$U_d = K_d (\theta_r - \theta_o) \quad (3.1)$$

Donde::

K_d : ganancia de conversión del detector de fase (V/rad)

θ_r : fase de la señal de referencia (radianes)

θ_o : fase de la señal de salida del $\times N$ (radianes)

U_d : voltaje de salida promedio del detector de fase (V)

- El filtro paso bajo cumple dos misiones importantes:

- a) Eliminar cualquier ruido de componente de alta fre-

cuencia del voltaje de salida del detector de fase, que proporciona un promedio de voltaje DC.

b) Es el bloque constructivo primario que determina la respuesta dinámica del lazo, lo cual incluye los siguientes factores:

- rangos de búsqueda y captura
- ancho de banda
- respuesta a transitorios (escalón).

Matemáticamente, si el filtro tiene una función de transferencia compleja $H(s)$ su salida $U(s)$, en el dominio de Laplace, será:

$$U(s) = K_d H(s) [\theta_r(s) - \theta_o(s)] \quad (3.2)$$

Este filtro paso bajo puede ser pasivo o activo.

- El oscilador controlado por voltaje, o VCO, es uno de los bloques más importantes en cualquier sintetizador digital de frecuencia. Su frecuencia de salida es directamente proporcional al voltaje de control de entrada como se observa en la figura 3.2

El VCO puede ser considerado como un convertidor de voltaje a frecuencia, el cual viene matemáticamente expresado de la siguiente forma:

$$\omega_o = K_v \cdot U_f \quad (3.3)$$

Donde:

U_f : es el voltaje de control de entrada aplicada al VCO desde el filtro del lazo (V)

K_v : es la ganancia de conversión del VCO (rad/s/V)

ω_o : es la frecuencia de salida del VCO (rad/s)

La ganancia de conversión del VCO es la constante de proporcionalidad que convierte el voltaje de control de entrada a frecuencia. Así la frecuencia instantánea del VCO consta de un término constante, f_c , y de otro proporcional a su voltaje de entrada:

$$f_o(t) = f_c + K_v \cdot U(t) \quad (3.4)$$

- El divisor-contador por N es un circuito digital que produce un único pulso de salida por cada N pulsos de entrada, donde N es número entero (módulo del contador).

Constituye el bloque de realimentación del sintetizador tal que la frecuencia de salida del mismo es N veces la frecuencia de referencia. Aquí cabe reseñar que el divisor por N en el lazo de realimentación del sintetizador es programable (NP), por medio de un MP o por un teclado, tal que el módulo del divisor (NP) puede ser normalmente cambiado a cualquier número. Variando el valor de NP conseguiremos variar el valor de f_o .

- El oscilador de referencia nos va a proporcionar la frecuencia patrón de cuya estabilidad va a depender todo el sintetizador. Asimismo, esta frecuencia de referencia nos va a proporcionar la separación entre dos canales consecutivos:

$$\Delta f = f_r \quad (3.5)$$

3.2 OBTENCIÓN DE LA FUNCIÓN DE TRANSFERENCIA DEL SINTETIZADOR.

Como habíamos visto, el voltaje de salida $U(s)$ del

filtro paso bajo, cuya función de transferencia denominamos $H(s)$ en el dominio de Laplace, venía dada por:

$$U(s) = K_d \cdot H(s) [\theta_r(s) - \theta_o(s)] \quad (3.6)$$

Por otro lado tenemos que la frecuencia instantánea del VCO viene dada por:

$$f_o(t) = f_c + K_v \cdot U(t) \quad (3.7)$$

Donde:

$f_o(t)$: frecuencia instantánea del VCO

f_c : frecuencia constante de oscilación del VCO

K_v : ganancia de conversión del VCO

$U(t)$: voltaje de salida del filtro paso bajo.

Teniendo en cuenta que la frecuencia instantánea es la derivada de la fase:

$$f(t) = \frac{1}{2\pi} \frac{d\theta(t)}{dt} \quad (3.8)$$

y tomando transformadas de Laplace de la ecuación 3.7 se llega, igualando el término constante f_c , a:

$$\frac{1}{2\pi} s \cdot \theta_o(s) = K_v \cdot U(s) \quad (3.9)$$

y sustituyendo $U(s)$ por su valor matemático de la ecuación 3.6 en la ecuación 3.9 tenemos :

$$\frac{1}{2\pi} s \cdot \theta_o(s) = K_v \cdot K_d \cdot H(s) [\theta_r(s) - \theta_o(s)] \quad (3.10)$$

con lo que despejando $\theta_o(s)$ y llamando a $2\pi K_d \cdot K_v = K$, ganancia del bucle, obtenemos que la ecuación característica del PLL vendrá dada por:

$$\theta_o(s) = \frac{K \cdot H(s)}{s + K \cdot H(s)} \theta_r(s) \quad (3.11)$$

que expresada de otra forma, para ello multiplicamos ambos miembros por $s/2\pi$, obtenemos:

$$f_o(s) = \frac{K \cdot H(s)}{s + K \cdot H(s)} f_r(s) \quad (3.12)$$

Así tanto en la ecuación 3.11 como en la ecuación 3.12 θ_o y f_o indican respectivamente desviaciones de fase y frecuencia instantáneas con respecto a sus valores de equilibrio.

Hasta aquí como se puede deducir hemos obtenido la función de transferencia de un PLL, con lo que para la obtención de la función de transferencia del sintetizador basta con sustituir en la ecuación 3.12:

$$f_o(s) \text{ por } f_o(s)/N_F \text{ y}$$

$$K \text{ por } K/N_F$$

teniendo en cuenta el módulo N_F del divisor digital programable en la realimentación del lazo; con lo que la función de transferencia del sintetizador vendrá dada por:

$$\frac{f_o(s)/N_F}{f_r(s)} = \frac{K/N_F \cdot H(s)}{s + K/N_F \cdot H(s)} \quad (3.13)$$

Como se observa la forma final de la ecuación va a depender del tipo de filtro paso bajo utilizado, cuestión que analizaremos posteriormente y que nos va a permitir obtener la forma final de la función característica de transferencia del sintetizador.

3.3. FRECUENCIA DE REFERENCIA

3.3.1 OSCILADOR MAESTRO

Debido a la gran importancia que se le concede a su estabilidad en frecuencia de la cual va a depender el funcionamiento del sistema, hemos elegido un oscilador TTL controlado por un cristal de 1 MHz, ya que un cristal correctamente tallado se nos va a comportar como un circuito resonante de muy alto Q, típicamente mayor que 100.000, y coeficiente de temperatura muy bajo, del orden de décimas de P.P.M./°C, con lo cual podemos construir un oscilador muy estable, consiguiendo estabilidades que pueden oscilar entre 10^{-5} y 10^{-10} .

El esquema eléctrico del oscilador maestro se muestra en la figura 3.3.

Como se observa el cristal opera en modo de resonancia serie, con lo que teniendo en cuenta el circuito equivalente de un cuarzo, como se muestra en la figura 3.4, donde el conjunto LCR es el equivalente eléctrico del resonador piezoeléctrico y C_0 es la capacidad física existente entre las caras del cristal, tenemos que la impedancia que presenta el cristal, despreciando la resistencia, viene dada por:

$$Z_{\text{cristal}} = \frac{1}{C_0 s} \frac{s^2 + 1/LC}{s^2 + 1/L C_0 + 1/LC} \quad (3.14)$$

En la figura 3.5 se representa la reactancia del cristal $X = \text{imag} [Z(j\omega)]$ en función de la frecuencia, donde f_s es la frecuencia serie del cristal, que corresponde a un cero y f_p es la frecuencia paralelo, que corresponde a un polo, con lo que tenemos:

$$f_s = \frac{1}{2\pi \sqrt{LC}} \quad (3.15)$$

$$f_P \approx \frac{1}{2\pi\sqrt{LC}} \sqrt{1 + C/C_0} \approx f_s \left(1 + \frac{1}{2} \frac{C}{C_0}\right)$$

Por lo que las ecuaciones 3.15 y 3.16 nos permiten deducir que para $C \ll C_0$, las frecuencias f_s y f_P están poco separadas, así se observa que el oscilador puede funcionar con su cristal o en modo serie o en paralelo.

De la figura 3.5 concluimos que a la frecuencia de resonancia serie al cristal se comporta prácticamente como un cortocircuito, mientras que en la de paralelo lo hace como un circuito abierto. En el pequeño margen entre ambos lo hace como una reactancia positiva (inductancia).

En el montaje utilizamos un cristal conectado con una capacidad variable ~~CA~~ que ajusta la frecuencia serie; así la reactancia del conjunto, despreciando la resistencia, se obtiene a partir de la expresión 3.14 y es:

$$Z_{\text{xtal}} = \frac{1}{C_a s} + \frac{1}{C_0 s} \frac{s^2 + 1/LC}{s^2 + 1/LC_0 + 1/LC} \quad (3.17)$$

que operada nos queda:

$$Z_{\text{xtal}} = \frac{C_0 + C_1}{C_0 C_a} \frac{\{s^2 + 1/LC [1 + C/(C_a + C_0)]\}}{\{s(s^2 + 1/LC + 1/LC_0)\}} \quad (3.18)$$

donde la frecuencia de resonancia serie, teniendo en cuenta la capacidad, vendrá dada por:

$$f'_s = \frac{1}{2\pi\sqrt{LC}} [1 + C/(C_0 + C_a)] = f_s [1 + C/(C_0 + C_a)] \quad (3.19)$$

El valor de CA (10 - 40pF) se ha elegido variable y nos permitirá el ajuste fino del oscilador.

Continuando con el esquema eléctrico de la figura 3.3, las dos resistencias de 680 Ω nos van a ayudar a asegurar que los dos inversores IC12A y IC12B operen en forma lineal. Esto garantiza que empiece la oscilación cuando la potencia es aplicada, produciendo por adición un efecto de estabilización de temperatura.

El otro inversor IC12C sirve como un buffer de salida.

3.3.2 OSTENSION DE LA FRECUENCIA DE REFERENCIA (F_R).

Partiendo del hecho de que se quiere obtener en el montaje una frecuencia de referencia de 1 KHz a aplicar al comparador de fase, el oscilador maestro, como se observó en el apartado anterior oscila a 1 MHz, es decir, una frecuencia 1000 veces mayor que la de referencia, con lo que cualquier pequeña desviación de éste al ser dividida, también se divide el pequeño error que se pudiera cometer.

Así para llevar esta frecuencia a la deseada de 1KHz, hay que dividir por 1000, función que realizaremos con dos circuitos integrados CMOS 4518 conectados en cascada siendo la implementación a realizar para obtener tal división la mostrada en la figura 3.6.

El CD 4518 B (referirse a hojas de características del fabricante) es un contador BCD dual consistente en dos idénticos e independientes contadores síncronos de 4 estados.

Dependiendo del pin en el que se tome la salida, la frecuencia de entrada aplicada al pin 1 (CK) del contador será dividida por 2, 4, 8 o 10. esto se verificará si utilizamos un solo contador; con lo que citándonos a nuestro caso y al interesarnos una división por 100 lo que se hace es conectar en cascada los dos contadores y para ello se puentea la salida del primer contador (pin 6) a la entrada de reloj del segundo contador (pin 9), poniendo en ambos contadores sus respectivas entradas de validación (pines 2 y 10) a nivel alto y los resets de los mismos (pines 7 y 15) a nivel bajo, con lo que tenemos la salida por el pin 14 (Q4) obtenemos una división por 100.

Obviamente como el segundo CD4518 nos interesa que divida solamente por 10 utilizamos un solo contador conectando la salida del reloj del primer CD4518 (pin 14) a la entrada de reloj del segundo (pin 1) con lo que la entrada de reloj de 10 KHz será dividida por 10 obteniendo en la pin 6 (Q4) la frecuencia de 1 KHz deseada que aplicaremos al comparador de fase y que al mismo tiempo va a proporcionar la separación entre canales.

3.4 COMPARADOR DE FASE.

Como se había reseñado con anterioridad, el detector o comparador de fase genera un voltaje DC que es proporcional a la diferencia de fase entre las señales procedentes del divisor por N y la F_r .

El factor que convierte la diferencia de fase en voltaje es denominado "ganancia de conversión" del detector de fase y viene expresado por la siguiente ecuación:

$$U_o = K_{\phi} \cdot \Delta\phi \quad (3.20)$$

donde:

U_o : es el voltaje de salida del detector de fase (V)

K_{ϕ} : es la ganancia de conversión del detector de fase (V/r)

$\Delta\phi$: es la diferencia de fase a la entrada (rad)

Generalmente se expresa la diferencia de fase en radianes y no en grados.

En el prototipo el comparador de fase elegido es el circuito integrado monolítico MC4046, el cual contiene dos tipos diferentes de detectores de fase (I y II) estando conectadas sus entradas en paralelo, mientras que las salidas han sido implementadas por separado (verificar a características técnicas proporcionadas por el fabricante).

El detector o comparador de fase I, está constituido por una simple puerta OR exclusiva, ello va a traer consigo que ambas entradas a él deben ser señales cuadradas con un ciclo de trabajo del 50%.

En la figura 3.7 se muestra la salida proporcionada por el detector de fase para dos determinadas señales de entrada.

La señal de salida puede ser deducida también a partir de la tabla de verdad de la puerta Or exclusiva (tabla 3.1).

De la figura 3.7 se llega a la conclusión de que el ancho del pulso de salida depende solamente de la diferencia de fase entre las dos entradas del detector, consecuentemente, el voltaje DC dependerá también de la diferencia de fase que es relativa al ciclo de trabajo de la salida del

detector de fase como se puede deducir de la ecuación siguiente:

$$V_o(dc) = V_F \cdot D \quad (3.21)$$

donde:

V_F : es el máximo voltaje de salida (lógica "1")

D : es el ciclo útil de trabajo

teniendo en cuenta que en el montaje las señales aplicadas van a variar indistintamente su ciclo de trabajo y observando el funcionamiento del comparador de fase con puerta Or exclusiva se decidió utilizar el comparador de fase II, llamado también detector de banda ancha, que es un detector disparado por flanco que se dispara en los flancos positivos de las señales de entrada.

El funcionamiento básico del detector disparado por flanco es el siguiente:

Si la frecuencia de entrada, que puede ser un tren de pulsos con un ciclo de trabajo cualquiera, es menor que la frecuencia del VCO/Np la salida será un "0" lógico; por otro lado, si la frecuencia de entrada es mayor que la frecuencia del VCO/Np, la salida será de lógica "1" y si ambas frecuencias son idénticas, la salida será un pulso que dependerá de la diferencia de fase entre ambas como se puede observar en la figura 3.8.

Como se observa, este pulso de salida cuando la señal del VCO/Np se retrasa a la entrada y negativo cuando se adelanta a la entrada.

Inmediatamente se puede observar la ventaja que pre-

senta el comparador de fase II respecto al comparador de fase I y para ello basta observar las figuras 3.7 y 3.8 en donde tenemos que en el segundo caso no va a depender del ciclo útil de las señales de entrada, mientras que en el primero como se dedujo anteriormente si dependía.

Otra ventaja importante del detector de fase II con respecto al detector de fase I es su inmunidad a los armónicos, ya que el tipo de puerta OR exclusiva puede dispararse sobre armónicos múltiples de la frecuencia de entrada.

La implementación del comparador de fase en el montaje es la de la figura 3.9.

En el prototipo, además de lo reseñado, se puede observar que se ha utilizado la salida de pulsos de fase (Pin 1) que nos va a indicar el estado de captura del lazo, es decir, en el momento en que el VCO ha enganchado en fase a la frecuencia deseada se encenderá el diodo led ya que el transistor va a pasar a estado de saturación.

3.5 FILTRO PASO BAJO

3.5.1 GENERALIDADES. DISEÑO

Además de las misiones importantes realizadas por el filtro paso bajo reseñadas en el apartado de introducción a los sintetizadores, cabe indicar que la función de este filtro es controlar la búsqueda, captura, ancho de banda y respuesta a transitorios del lazo.

Los filtros normalmente empleados en los sintetizadores pueden ser activos o pasivos.

Como se verá posteriormente, en el prototipo y dependiendo del filtro utilizado, la función de transferencia del

bucle $H(s)$ tendrá un denominador de segundo orden, así partiendo de este hecho tenemos que la respuesta de un sistema de segundo orden tiene la forma:

$$\frac{U_{\text{salida}}}{U_{\text{entrada}}} \text{ (dB)} = -20 \log |W^4 + 2W^2(2\xi^2 - 1) + 1|^{\frac{1}{2}} \quad (3.22)$$

donde:

U_{entrada} : voltaje de entrada del lazo

U_{salida} : es el voltaje de salida del lazo

ξ : factor de amortiguamiento (adimensional)

w : razón entre la frecuencia de entrada (w) y la frecuencia de amortiguamiento.

Como se muestra en la figura 3.10A que gobierna el conjunto completo de curvas de respuesta en función de la frecuencia de un sistema de segundo orden es el factor de amortiguamiento (ξ). Así para un valor determinado de amortiguamiento, la frecuencia a la cual la respuesta es máxima es la frecuencia natural de amortiguación, o frecuencia natural de corte. Para una menor cantidad de amortiguamiento, se tendrá una mayor verticalidad a la frecuencia natural. La frecuencia a la cual la respuesta es 3 dB menor que la máxima respuesta es llamada ancho de banda del sistema.

Si el factor de amortiguamiento fuese cero, entonces tendríamos un oscilador senoidal.

Los parámetros tales como factor de amortiguamiento y frecuencia natural son primeramente controlados por el filtro del lazo. O sea dependiendo del diseño del filtro se podrá controlar la respuesta del lazo.

El filtro paso bajo utilizado en el prototipo es del tipo lead-lag (pasivo) como se observa en la figura 3.10B.

En este tipo de filtro, la frecuencia de corte está dada por:

$$\omega_{lpf} = \frac{1}{(R_1 + R_2) C} \text{ rad/seg} \quad (3.23)$$

la frecuencia natural de este filtro en función de la frecuencia de corte será:

$$\omega_n = (K\phi \cdot K_o \cdot \omega_{lpf})^{1/2} \text{ rad/seg} \quad (3.24)$$

y el factor de amortiguamiento vendrá dado por:

$$\xi = \frac{M_D}{2} [R_2 \cdot C + 1/(K\phi \cdot K_o)] \quad (3.25)$$

Así para este tipo de filtro pasivo, mostrado en la figura 3.10, tendremos la siguiente función de transferencia:

$$H(s) = \frac{T_2 \cdot s + 1}{(T_1 + T_2)s + 1} \quad (3.26)$$

donde:

$$T_1 = R_1 \cdot C \quad \text{y} \quad T_2 = R_2 \cdot C$$

con lo se recordando que la función característica de transferencia del sintetizador (ecuación 3.13) venía dada por:

$$f_c/N = \frac{\frac{K}{N_F} \cdot H(s)}{s + \frac{K}{N_F} H(s)} \quad (3.27)$$

se tiene como ya se reseñó con anterioridad, que ésta iba a depender de la función de transferencia del tipo de filtro utilizado, por lo que en el montaje sustituyendo $H(s)$ de la ecuación 3.25 por su valor en la ecuación 3.27 tendremos:

$$\frac{f_o(s)/N_F}{f_r(s)} = \frac{K/N_F \cdot [(T_2 \cdot s + 1)/(T_1 + T_2) \cdot s + 1]}{s + K/N_F \cdot \frac{T_2 \cdot s + 1}{(T_1 + T_2) \cdot s + 1}} \quad (3.28)$$

que operada queda:

$$\frac{f_o(s)/N_F}{f_r(s)} = \frac{K/N_F \cdot [(T_2 \cdot s + 1)/(T_1 + T_2)]}{s^2 + [(1 + K/N_F \cdot T_2)/(T_1 + T_2)]s + \frac{K/N_F}{(T_1 + T_2)}} \quad (3.29)$$

y llamando $T(s) = \frac{f_o(s)}{f_r(s)}$ (3.30) a la función de transferencia

característica del sintetizador obtenemos:

$$T(s) = \frac{K \cdot [(T_2 \cdot s + 1)/(T_1 + T_2)]}{s^2 + [(1 + K/N_F \cdot T_2)/(T_1 + T_2)]s + \frac{K/N_F}{(T_1 + T_2)}} \quad (3.31)$$

con lo que observamos que la función de transferencia del bucle tiene un denominador de segundo orden.

Teniendo en cuenta la característica básica de un sistema de segundo orden que viene dada por:

$$s^2 + 2\xi\omega_n + \omega_n^2 \quad (3.32)$$

$$\text{y que:} \quad \omega_n = (K \cdot \omega_{LPF})^{1/2} \quad (3.33) \text{ y}$$

$$\omega_{LPF} = \frac{1}{(R_1 + R_2)C} = \frac{1}{(T_1 + T_2)} \quad (3.34)$$

sustituyendo W_{lf} por su valor en la ecuación 3.33 tenemos que la frecuencia natural del filtro se podrá expresar como:

$$W_n = \left(\frac{K}{T_1 + T_2} \right)^{\frac{1}{2}} \quad (3.35)$$

y el factor de amortiguamiento será:

$$\xi = \frac{1}{2} \left(\frac{K}{T_1 + T_2} \right)^{\frac{1}{2}} \cdot (T_2 + 1/K) \quad (3.36)$$

con lo que la ecuación 3.31 se puede expresar de la siguiente forma:

$$T(s) = \frac{f_o(s)}{f_r(s)} = \frac{W_n(2\xi - W_n/K)s + W_n^2}{s^2 + 2\xi W_n s + W_n^2} \quad (3.37)$$

de esta forma se obtiene la función de transferencia del sintetizador expresada en función de los dos parámetros más característicos de los sistemas de segundo orden: el coeficiente de amortiguamiento y la frecuencia natural del filtro, que son de suma importancia a la hora de diseñar el filtro.

3.5.2 RESPUESTA A TRANSITORIOS

Cuando un sistema de segundo orden subamortiguado, como el caso que nos ocupa, encuentra un cambio repentino a su entrada, tal como la conmutación del lazo de enganche de fase de la frecuencia f_1 a otra f_2 , la salida del VCO intenta seguir este cambio, pero oscila alrededor de f_2 durante un cierto tiempo y finalmente recupera su estado estable en la nueva frecuencia.

Este proceso se puede observar en la figura 3.11

La rapidez de este proceso está determinada por el factor de amortiguamiento. Para una elección razonable de valores de ξ y ω_n , se recomienda diseñarlo para una cantidad determinada de sobradisparo durante un tiempo de establecimiento determinado, donde por definición:

- Sobradisparo, es la diferencia máxima entre el transitorio y el valor estable para un cambio repentino aplicado a la entrada del lazo de enganche de fase ψ ,

- el tiempo de establecimiento, es el tiempo requerido por la respuesta al transitorio para alcanzar y permanecer en un porcentaje especificado (usualmente 10%) de antemano del valor estable.

Normalmente en todos los diseños, como en el prototipo, se suele elegir un factor de amortiguamiento entre 0.5 y 0.8.

Así elegido correctamente los valores de ξ y ω_n y después de realizados los cálculos, obtenemos que los valores de nuestro filtro paso bajo son:

$$R1 = 100 \cdot 10^3 \text{ ohmios}$$

$$R2 = 10 \cdot 10^3 \text{ ohmios}$$

$$C1 = 2.2 \cdot 10^{-6} \text{ faradios}$$

3.6 OSCILADOR CONTROLADO POR TENSION (UCO)

El oscilador controlado por voltaje, abreviadamente, UCO, es uno de los dispositivos más importantes del sintetizador y su frecuencia de salida es directamente proporcional al voltaje de control de entrada.

Como ya se ha reseñado, el UCO puede ser considerado como un convertidor de voltaje a corriente y que matemática-

mente viene expresado por:

$$\omega_o = K_V \cdot U_f \quad (3.38)$$

donde K_V , denominada constante de conversión del VCO, es la constante de proporcionalidad que convierte el voltaje de control de entrada en frecuencia.

$$\omega = \frac{d(\Delta\phi)}{dt} \text{ rad/seg} \quad (3.39)$$

La diferencia de fase entre la frecuencia de salida ω del VCO y la frecuencia de entrada al lazo es realmente proporcional a la integral de la entrada de voltaje de control, la cual es el promedio del detector de fase y el filtro del lazo.

Cualquier señal alterna superpuesta sobre el voltaje continuo de control puede producir una variación de la frecuencia de salida del VCO, por ello es muy importante un buen filtraje en la etapa previa de las componentes de AC.

En el montaje se ha utilizado como VCO el circuito integrado MC1648L fabricado por Motorola, de tecnología ECL (emisores acoplados) y capaz de proporcionar una frecuencia máxima de salida de 225 MHz, que hace que nos sea muy adecuado para nuestros propósitos, ya que nuestro margen de oscilación debe variar entre 120 y 130 MHz.

Basándonos en las gráficas proporcionadas por el fabricante, se eligió el modelo de montaje de la figura 3.12 ya que nos va a proporcionar una gran linealidad dentro de la banda de frecuencias (120-130 MHz) en la que vamos a trabajar.

Este circuito integrado es normalmente alimentado a +5V, aunque se puede introducir una resistencia de bajo valor entre V_{cc} y las entradas de alimentación (pines 1-14) para reducir el flujo de corriente hacia él.

El MC1648 requiere un circuito externo paralelo bobina-condensador, o dispositivo tanque LC para producir oscilación.

En nuestro caso como este circuito integrado es utilizado como un VCO en un sistema sintetizador, incluimos dos diodos varicaps o diodos controlados por voltaje, como parte del circuito tanque para proporcionar una capacidad variable de entrada para el VCO de tal forma que nos va a variar linealmente su frecuencia de salida, dependiendo del voltaje aplicado en los varicaps y del margen de variación capacitivo de los mismos.

Llegados a este punto en el estudio del VCO, cabe realizar un pequeño inciso e introducirnos más profundamente en el funcionamiento, márgenes de variación y parámetros característicos de los diodos varicaps, ya que su funcionamiento correcto es de vital importancia para la obtención de una buena estabilidad y linealidad en la frecuencia de salida del VCO.

En su estado normal de funcionamiento, el diodo varicap opera principalmente en la región entre conducción directa y conducción inversa, la cual es considerada normalmente la región en que el diodo está cortado, y que en este caso se va a comportar como un condensador variable dependiendo del voltaje inverso aplicado.

A la hora de elegir el diodo varicap apropiado hay que tener en consideración tres parámetros:

1. C_t : capacitancia nominal, usualmente especificado para un determinado voltaje.
2. Cr : razón o margen de capacidad, que es la razón de capacitancia a dos voltajes aplicados externos; viene expresado este parámetro por:

$$Cr = \frac{C_v(\min)}{C_v(\max)} = \left(\frac{U_{\max}}{U_{\min}} \right)^p \quad (3.40)$$

donde p es el exponente de capacitancia que puede variar desde 0.3 a 2.0 aunque típicamente es de 0.5

3. FR : razón o margen de frecuencia, que es igual a la raíz cuadrada de la razón de capacidad, por lo que vendrá expresado de la forma siguiente:

$$FR = (CR)^{\frac{1}{2}} \quad (3.41)$$

BOGAMOS UN EJEMPLO: Para ello disponemos de las características proporcionadas por el fabricante del diodo varicap MV2107 (Motorola), el cual tiene una capacitancia nominal de 22pF ($\pm 10\%$) a 4 voltios. La razón de capacidad es de 2.5 a 1 sobre un rango de variación de voltaje de 2 a 30 v; así con estos datos y aplicando la ecuación 3.38 tenemos:

$$Cr = \left(\frac{U_{\max}}{U_{\min}} \right)^p \quad \text{-----} \quad 2.5 = (30/2)^p \quad \text{así:}$$

$$2.5 = 15^p \quad \text{-----} \quad \log(2.5) = p \log(15) \quad \text{por lo que:}$$

$$p = \frac{\log(2.5)}{\log(15)} = \frac{0.39794}{1.17609} = 0.33384$$

La razón de frecuencia vendrá dada por:

$$- \text{ Para } CR = 2.5 \text{ ----- } FR = (CR)^{\frac{1}{2}} = (2.5)^{\frac{1}{2}} = 1.58$$

$$- \text{ Para } CR = 1 \text{ ----- } FR = (CR)^{\frac{1}{2}} = (1)^{\frac{1}{2}} = 1$$

Ahora tenemos nuevamente la ecuación 3.40 y el valor de capacitancia nominal de 22pF a 4 voltios tenemos:

$$Cv(\min)/Cv(\max) = (U_{\max}/U_{\min})^P ; \frac{22pF}{Cv(\max)} = (30/4)^P \quad \text{así:}$$

$$\frac{22pF}{Cv(\max)} = 1.98 \quad \text{así: } Cv(\max) = \frac{22pF}{1.98} = 11.11pF \text{ (Para 30V)}$$

Así conociendo que la razón de capacitancia es 2.5 y aplicando una vez más la ecuación 3.38 obtenemos el valor para Cv(min):

$$CR = Cv(\min)/Cv(\max) \text{ --- } 2.5 = \frac{Cv(\min)}{11.11pF} \quad \text{con lo que:}$$

$$Cv(\min) = 11.11pF \cdot 2.5 = 27.8pF \text{ (Para 2V)}$$

-Los diodos varicaps recomendados por Motorola para este diseño son los MV1401, que nos proporcionan a radio de variación de su propia capacidad de 10 y con una resistencia interna prácticamente despreciable, lo que lo hacía aconsejable para lograr una pureza espectral bastante grande.

Debido tanto a la gran dificultad de obtenerlo en el mercado, como su elevado precio, optamos para nuestro montaje por los BB204 fabricado por Piher que poseen la menor resistencia interna de su serie y un radio de variación de su propia capacidad suficientemente amplio para cubrir nuestras necesidades. Observando los gráficos de transferencia y curvas características de este diodo se puede observar una gran

linealidad, lo cual va a ser de una gran importancia para la obtención de una operación estable del VCO y como consecuencia del sistema sintetizador.

El circuito eléctrico final del VCO se puede observar en la figura 3.13.

El elevado valor de la resistencia de entrada (47K) tiene como finalidad proporcionar un aislamiento para las uniones de alta impedancia de los diodos varicaps y hacer que cuando los diodos estén polarizados en directo $V_{ak} > 0$ la corriente fluya a través de la misma a masa impidiendo que resulten dañados los mismos.

Otro dato importante proporcionado por el fabricante es la utilización de condensadores de 100 nF conectado en los pines 5 y 10 ya que a mayor frecuencia de funcionamiento del VCO estos condensadores van a ayudar a conseguir una operación más estable.

Para conseguir una mayor pureza espectral del VCO también se puede añadir un resistor variable entre la pin 5 (C.A.G.) y masa.

El valor de la bobina fue determinado por tanteo, ya que dado su pequeño valor, bastante menor que 1 μH , no viene normalizado; después de numerosas pruebas la bobina resultante posee las características siguientes:

3 espiras enrolladas de diámetro 8 mm obtenidas con hilo de diámetro 1 mm y separadas las espiras hasta obtener una solenoide de 6 mm de largo entre los dos extremos.

El rango de sintonía del oscilador controlado por voltaje (VCO) vendrá determinado por:

$$\frac{f_{\max}}{f_{\min}} = \left(\frac{C_d(\max) + C_{in}}{C_d(\min) + C_{in}} \right)^{\frac{1}{2}} \quad (3.41)$$

donde:

$$f_{\min} = \frac{1}{2\pi [L(C_{d\max} + C_{in})]^{\frac{1}{2}}} \quad (3.42)$$

$$\text{y } f_{\max} = \frac{1}{2\pi [L(C_{d\min} + C_{in})]^{\frac{1}{2}}} \quad (3.43)$$

siendo: - C_d : capacidad del varicap de entrada a un determinado voltaje.

- C_{in} : capacidad intrínseca del MC1648L (típicamente de 6 pF).

En nuestro caso, haciendo unos cálculos estimativos debido al no poder conocer el valor exacto de la inductancia L_4 obtenemos que el margen de variación en la práctica es:

$f_{\min} \text{ VCO} = 118.2096 \text{ MHz}$ para frecuencia = 130.000 MHz

$f_{\max} \text{ VCO} = 129.2906 \text{ MHz}$ " frecuencia = 139.990 MHz

Nota: Como se observa el margen de variación del VCO del prototipo va desde 118.2096 MHz a 129.29066 MHz y no como se ha venido reseñando hasta ahora de 130 MHz a 140 MHz y esto es debido a que nuestro VCO va a oscilar a 10.7 MHz por debajo de la frecuencia de recepción de tal forma que aplicada la frecuencia del sintetizador al mezclador nos va a proporcionar los 10.7 MHz de frecuencia intermedia deseada en nuestro receptor superheterodino, no obstante este aspecto será analizado posteriormente en el apartado 3.8.3.

3.7 AMPLIFICADOR SEPARADOR DE SALIDA DEL SINTETIZADOR

El amplificador final de salida del sintetizador necesario para independizar la etapa osciladora de la etapa mezcladora está constituido por una etapa simple, con un sólo transistor, polarizado con acople de continua, realizando la función de amplificador-separador.

La polarización de este transistor es bastante sencilla y se muestra en la figura 3.14.

La utilización de la impedancia $UK200$ tiene como finalidad evitar que la señal de alta frecuencia pase a alimentación.

La salida del paso amplificador se toma del colector del transistor y se lleva al mezclador del receptor a través de un condensador de baja capacidad con la finalidad de filtrar la componente DC de la señal que nos puede dañar al mezclador.

3.8 PREESCALER DIVISORES PROGRAMABLES

3.8.1 PREESCALER

Dado que nuestros divisores programables, encargados de llevar la frecuencia de salida del VCO hasta la de referencia, tiene a su entrada una señal de alta frecuencia 119 MHz-129 MHz, a las cuales las tecnologías TTL y CMOS no pueden llegar, nos fue necesario la introducción de un divisor preescalado de módulo fijo N , en nuestro caso $N=10$, como se muestra en la figura 3.15.

Nuestro preescaler es de tecnología ECL (alta velocidad), mucho más rápida que la TTL.

Teniendo en cuenta que los niveles de ECL son diferentes a los de la tecnología TTL nos haría falta un traductor para hacerlos compatibles, pero en el montaje el traductor de niveles ya está incluido en el mismo preescaler cuyo diagrama interno es mostrado en la figura 3.16.

Como se puede observar es un divisor fijo por 10/11, en el prototipo lo implementamos para que divida por 10, por lo cual para una frecuencia de entrada de por ejemplo 125.840 MHz a la salida de este divisor se tendrá una frecuencia de 12.584 MHz, la cual tendremos posteriormente que dividir por 12.584 con los divisores programables para obtener la frecuencia de 1 MHz de referencia que nos interesa.

En el prototipo se utilizó como preescaler el SP8680 de Plessey que es un divisor fijo por 10/11 de tecnología ECL, cuyo circuito eléctrico es el mostrado en la figura 3.17.

La elección para que nos divida por 10 u 11 se realiza llevando una o ambas entradas de control P 1 y P 2 (pines 6 y 7 respectivamente) a Vcc a través de una resistencia; en nuestro caso como nos interesa una división por 10 llevamos la pin 6 (P 1) a alimentación, para ello es también necesario llevar la entrada "master set" a masa (pin 14).

Este divisor puede proporcionar salida TTL y ECL a niveles lógicos complementarios; en el montaje al necesitar seleccionar la salida TTL es preciso puentear los pines 12 y 13 (TTL O/P) y llevarlos a masa, tomando la salida por la pin 11 (TTL output).

También es necesario incluir una resistencia de bajo valor (270 ohmios en nuestro caso) en la entrada del circuito (pines 15,16) que se va a utilizar para reducir el nivel DC

de entrada y que puede dañar el circuito.

La impedancia de entrada del dispositivo depende de la frecuencia y en las hojas de características se proporciona una carta de Smith en donde se representa la impedancia de entrada normalizada a 50Ω en función de la frecuencia para un voltaje de alimentación de +5V.

3.8.2 DIVISORES PROGRAMABLES

Como se vio anteriormente la frecuencia de salida del VCO antes de llegar a los divisores programables para realizar la división necesaria hasta llevar la fvco a la de referencia se llevó a un preescaler en el que se cableó de tal forma que nos dividiera por un módulo fijo ($N=10$).

De este modo, a la entrada de los divisores programables se tiene la $fvco/10$ y programaremos una división en ellos, de tal forma que para cualquier frecuencia de salida del VCO dentro de la banda de trabajo tengamos a su salida la frecuencia de referencia.

Como contadores programables, se utilizan en el montaje los circuitos integrados 74192 y 74LS193 (este nos va a dividir por un número fijo) que pertenecen a la familia TTL, los cuales nos van a permitir la carga paralelo, asíncrona, del número BCD por el cual queremos dividir (prefijación del contador), siendo su máxima frecuencia de trabajo de 32 MHz.¹

Para comprender el funcionamiento de los contadores programables véase la figura 3.18.

Este contador programable es usado para dividir una frecuencia de entrada por algún número desde 1 a 10 (módulo N).

Este módulo (N) es determinado por los 4 bits de entrada, DCBA, de acuerdo con la tabla 2.2.

Nos interesa ya que el contador cuenta hacia atrás, para ello se introduce la frecuencia de entrada por la Pin 4 (count down), mientras que la entrada de reloj de cuenta en hacia adelante (count up), Pin 5, deberá llevarse a nivel alto para inhibirla (se producirá una cuenta incorrecta si ambas entradas de reloj de cuenta hacia adelante y cuenta hacia atrás están bajas simultáneamente).

La cuenta es síncrona, cambiando de estados las salidas después de la transición de bajo a alto del reloj de cuenta hacia atrás. Así cuando las entradas de carga paralelo (Pin 11) esté baja y el borrado (clear), Pin 14, este también bajo y la información presente en las entradas de datos paralelos quedarán cargadas en el contador, apareciendo en las salidas independientemente de las condiciones de los impulsos de reloj.

Cuando se le aplica el reloj cambia al siguiente estado apropiado en la secuencia de cuenta, que en nuestro caso, es el inmediatamente anterior, ya que como se ha reseñado, nuestro contador programable va a contar hacia atrás.

Por ejemplo, si el número binario DCBA= 0110 (número decimal 6), está presente en la entrada de datos, el 79142 contará hacia atrás 6 5 4 ..., hasta alcanzar el 0, en este momento la entrada de carga paralelo pasa, súbitamente, a nivel lógico bajo y permita que el contador sea otra vez cargado en paralelo con los 4 bits, DCBA= 0110, entonces el ciclo es repetido nuevamente.

En el montaje del sintetizador del proyecto, hemos de poder sintonizar cualquier canal dentro de la banda de 130.000 MHz a 139.990 MHz, con lo que se puede observar que las dos primeras y la última cifra se van a mantener constantes e invariables, con lo que sólo hemos de tener que poder sintonizar 1000 canales diferentes (000 a 999 dentro del margen reseñado, para ello, obviamente es necesaria la utilización de tres contadores programables conectados en cascada convenientemente separados dentro de grupos individuales.

La implementación de los contadores programables en cascada de muestra en la figura 3.19.

Con este montaje, podemos dividir la frecuencia de entrada (fin) por algún número entero desde 000 a 999. Como se observa, para conectar en cascada los contadores programables se lleva la salida borrow (Pin 13) del contador de unidades a la entrada count down (Pin 4) del contador de decenas y análogamente se conecta el contador de decenas con el de centenas.

También es necesario conectar todas las entradas de carga paralelo (Pin 11) entre sí y llevarlas a la salida de borrow del contador de centenas, de tal forma que, cuando finalice la cuenta, nos proporcione esta salida un nivel bajo que nos permita nuevamente la carga paralelo del contador.

Supongamos, por ejemplo, que se quiere dividir la frecuencia de entrada por 596. Para ello cargaremos en el contador de unidades el número DCBA= 0110 (número decimal 6), en el contador de decenas el número DCBA= 1001 (número decimal 9) y en el contador de centenas el número DCBA= 0101 (número de-

cimal 5). El funcionamiento del circuito consistiría de que una vez aplicada la señal de reloj a la entrada (Pin 4) del contador de unidades éste contaría hacia atrás desde 6, tal que la secuencia de cuenta sería 596,595,594..., hasta que éste alcance el 0, entonces proporcionará un pulso al contador de decenas de tal forma que la próxima cuenta será 589,588... hasta que alcance el 0 y el proceso continuará.

Así una vez que el contador de unidades y decenas alcancen el 0 en su cuenta hacia atrás, es decir, tengamos el número 500, el contador de decenas proporcionará un pulso al contador de centenas de tal forma que la próxima cuenta sería 499,498... y así sucesivamente. Cuando el contador de decenas alcance el 0 (la cuenta hacia atrás quedaría en 099) no será cargado, ya que los otros dos contadores todavía no lo han alcanzado y solamente cuando todos los contadores lleguen a 0 serán cargados nuevamente en paralelo con los 4 bits binarios, de esta forma obtendremos a la salida del contador de centenas la frecuencia de entrada dividida por 596 o por cualquier otro número que se deseara.

Llegados a este punto, estudiado el funcionamiento de los contadores programables y conociendo que nuestro margen de sintonía va desde 130.000 a 139.990 MHz, hemos de utilizar como se deduce de este margen de variación otro contador programable de módulo fijo N, que en nuestro caso va a ser de $N=13$ y debemos conectarlo en cascada con los contadores programables y en concreto hemos de cablear la salida del contador de centenas a la entrada del contador fijo por 13.

En este caso hemos utilizado el circuito integrado 74LS193 que es un contador binario up/down capaz de dividir

hasta 15, mientras que los IC's 74192 son contadores de década capaces de dividir hasta 10 por lo que no eran aplicables en este caso ya que nos es necesaria una división por 13.

El funcionamiento de este contador es exactamente igual que los 74192 con la única diferencia ya reseñada de ser capaz de dividir hasta 15.

La implementación de los divisores programables del lazo se muestra en la figura 3.20.

Como se observa el contador fijo por 13 (DCBA= 1101) se consigue llevando las entradas 9, 10 y 15, DC y A respectivamente, a alimentación (nivel lógico "1") y la entrada, correspondiente a la B, a masa (nivel lógico "0").

Suponiendo, por ejemplo, que tengamos programado el número 357 en los contadores programables, es decir, cargamos con un 7 (DCBA= 0101) el contador de decenas y con un 3 (DCBA= 0011) el contador de centenas, al introducir la frecuencia a la entrada, a la salida nos aparecerá dividida por 13.357.

Así, en el caso de que el VCO nos estuviera oscilando a una frecuencia de, por ejemplo, 137.500 MHz al pasar por el prescaler será dividida por 10 con lo que obtendríamos a la salida de la cadena 1000 Hz que es la frecuencia de referencia y que nos permitiría el enganche del comparador de fase.

En el apartado siguiente veremos como, teniendo en cuenta que nuestro receptor superheterodino tiene una frecuencia intermedia de 10.7 MHz, vamos a "trucar", valga el término, los contadores programables de tal forma que aunque estemos visualizando en display la frecuencia de recepción, el VCO va a oscilar a 10.7 MHz por debajo y la división de los

contadores programables va a ser alternada para conseguir nuestros propósitos.

3.8.3 CODIGO DE INVERSORES. OBTENCION DE LA SUMA DE 10.7 MHz.

Ya hemos visto como se realiza la implementación de los contadores programables y del contador fijo del lazo, habiendo, asimismo, realizado un estudio sobre el funcionamiento del conjunto de divisores y como conseguíamos que nos dividiera, mediante una programación adecuada, por el número deseado con la finalidad de obtener la frecuencia de 1.000 Hz que es la frecuencia de referencia y que nos va a permitir el enganche del comparador de fase.

Llegados a este punto, y basándonos en el hecho de que tenemos un receptor superheterodino cuya primera frecuencia intermedia es conocida y de valor 10.7 MHz, para poder captar por ejemplo 137.650 MHz, el sintetizador tiene que oscilar en una frecuencia superior o inferior al valor de la frecuencia intermedia, así en este caso deberá oscilar a:

$$(137.650 + 10.7) \text{ MHz} = 148.350 \text{ MHz}$$

o bien a:

$$(137.650 - 10.7) \text{ MHz} = 126.950 \text{ MHz}$$

siendo este último el caso que nos va a ocupar, ya que el mezclador de nuestro receptor hallará la diferencia entre:

$$F_{\text{recibida}} - F_{\text{vco}} = F_{\text{intermedia}}$$

Así partiendo del hecho de que los dígitos que intro-

duzcamos por teclado y la frecuencia que leamos en los displays sea la frecuencia real de recepción, hemos adoptado un "CODIGO DE INVERSORES", de tal forma que aunque leamos en display la frecuencia de recepción, nuestro VCO va a oscilar 10.7 MHz por debajo de tal frecuencia.

Para ello hemos actuado sobre los comandos Programa_bles, de tal forma que los contadores no terminan su cuenta en 0 y se cargan de nuevo en paralelo, sino que cuando alcanzan el número 1070 es cuando va ser cargado nuevamente en paralelo con el número Programado. Para conseguir esto utilizamos una lógica adicional mediante inversores y un transistor adecuadamente polarizado, de tal forma que nos trabaje en corte-saturación.

Para una mejor comprensión de como lo hemos conseguido, partimos estudiando un solo contador Programable a cuyas salidas les hemos incorporado los inversores y el transistor como se puede observar en la figura 3.21.

Si se comparan las figuras 3.18 y 3.21 se observa que ahora no se puentean los pines 11 y 13, sino en este caso lo implementamos de diferente forma. Así ahora utilizamos las salidas Qa, Qb, Qc y Qd colocando inversores a las 3 últimas y haciendo un cableado lógico con las salidas de los inversores que llevamos a la base de un transistor polarizado con dos resistencias elegidas adecuadamente de tal forma que nos hacen que trabaje en corte-saturación.

En principio, el transistor va a estar en corte mientras que cualquier salida de los inversores (open-colector) se encuentre a nivel lógico bajo y por lo tanto se tendrá un nivel lógico "1" que nos impedirá la carga paralelo del contador Programable.

En el instante en que las 3 salidas del contador estén simultáneamente a "0" tendremos un nivel lógico "1" en las salidas de los inversores y con ello en la base del transistor que lo haría pasar a saturación, fluyendo la corriente hacia masa y poniendo simultáneamente un nivel lógico "0" en el colector del transistor y con ello permitiría nuevamente la carga paralelo del contador.

Para ver cuando ocurre esto y que efecto se producirá en el contador sea el ejemplo siguiente:

Si tenemos el número binario DCBA= 0110 (decimal 6) presente en la entrada de datos del contador, éste en su estado normal, es decir, sin colocar los inversores, nos contaría hacia atrás 6,5,4... hasta alcanzar el 0, instante en el cual el contador sería cargado nuevamente en paralelo; pero en el caso que nos ocupa esto no ocurrirá así, ya que solo permitirá la carga paralelo cuando las tres salidas Qb, Qc y Qd (ver figura 3.21) estén a nivel bajo. De este modo, si observamos la tabla 3.2 la secuencia de cuenta en este caso sería 6,5,4... y en el momento en que llegara al 1 correspondiente al número BCD= 0001, estarían todas las salidas a nivel lógico bajo, con lo que se saturaría el transistor y cargaría de nuevo, a través de la activación de la carga paralelo, el número decimal 6; con lo que vemos que el contador nunca alcanzaría el 0 y estaría dividiendo por un número menor. Vamos a ver otro ejemplo en el que se pueda colocar con más claridad el caso que estudiamos.

Supongamos, refiriéndonos a la figura 3.21, que en vez de conectar en las salidas 3 inversores conectamos solamente

uno de ellos, por ejemplo en la salida Qd (pin 7); observando la tabla 3.2 tendríamos que al establecer en las entradas programables el número binario DCBA= 1001 (decimal 9) solamente tendríamos dos estados de cuenta, ya que la secuencia de cuenta sería 9,8 y al llegar al 7 (DCBA= 0111) la salida Qd pasaría a nivel lógico "0", saturándose el transistor y cargando súbitamente de nuevo al contador, es decir, hemos pasado de una división teórica por 10 a una división por 2, con lo que, en otras palabras, podemos decir que le hemos sumado frecuencia.

A nosotros en realidad lo que nos interesa es sumarle 10.7 MHz y para ello el planteamiento que se llevó a cabo, una vez analizado el funcionamiento con un solo contador, fue establecer una tabla de funcionamiento de los contadores, de tal manera que se observó después de numerosos análisis que como la carga paralelo (PL) estaba inhibida mientras no estuvieran todas las salidas de los inversores a nivel alto, nos interesaba que esto ocurriera cuando el primer contador (74LS193) estuviera en DCBA= 0001 (decimal 1) el segundo contador en DCBA= 0000 (decimal 0), el tercer contador en DCBA= 0111 (decimal 7) y el cuarto contador en DCBA= 0000 (decimal 0), con lo que en ese momento y con la colocación adecuada de los inversores en las salidas correspondientes, se tendrían simultáneamente un nivel lógico alto a la salida de todos los inversores, saturándose el transistor y permitiendo nuevamente la carga paralelo.

Con esto, la implementación definitiva de los contadores programables se muestra en la figura 3.22.

Observando las salidas en que se han colocado los inversores y el número de los mismos, se pueda ver claramente a que, cuando la secuencia de cuenta alcanza el número 1070, de izquierda a derecha, los contadores serían nuevamente cargados en paralelo.

Supongamos, a modo de ejemplo, que establecemos mediante el teclado y visualizamos en display la frecuencia de recepción del canal I del Meteosat que es de 137.500 MHz, el VCO deberá oscilar a 10.7 MHz por debajo de esta frecuencia, es decir, lo hará a:

$$137.500 \text{ MHz} - 10.7 \text{ MHz} = 126.800 \text{ MHz}$$

esta frecuencia pasa por el divisor preescalado (SP8680) en que la dividimos por 10, obteniendo a su salida una señal de frecuencia 12.680 Hz. Esta señal aplicada a los contadores-divisores del lazo no será dividida por 13.750 como cabría esperar y hubiese sido lógico en el montaje convencional, sino que teniendo en cuenta que los contadores no finalizan su cuenta en 0 sino en 1070, nos van a contar 1070 estados menos por lo que nos dividirán por:

$$13.750 - 1070 = 12.680$$

con lo que la señal de 12.680.000 Hz procedente del divisor por 10 al ser dividida por 12.680, proporcionan los 1.000 Hz que es la frecuencia deseada de referencia, es decir, hemos dividido por un número 1070 veces menor del que tenemos aplicados en las entradas de los contadores programables.

Análogamente, este mismo caso, lo podemos enfocar desde otra perspectiva, de tal forma que establecida la frecuencia de recepción en 137.500 MHz y la del VCO 10.7 MHz por

debajo, es decir, 126.800 MHz que dividida por 10 mediante el preescaler nos proporcionará una frecuencia de 12.680.000 Hz y puesto que los contadores terminan su cuenta en 1.070.000 tendríamos como total la suma de ambas, es decir:

$$12.680.000 + 1.070.000 = 13.750.000 \text{ Hz}$$

que dividida por 13.750, con lo cual habían sido cargados los contadores programables, nos van a proporcionar la frecuencia exacta de 1000 Hz que aplicada al terminal 3 del comparador de fase nos producirá el engranaje del mismo.

De esta forma tan sencilla y al mismo tiempo con sus lógicas complicaciones, hemos conseguido nuestro propósito de visualizar por un lado la frecuencia de recepción y hacer que nuestro VCO oscile 10.7 MHz por debajo de ella dentro de toda banda de interés. ello trajo consigo un profundo conocimiento del funcionamiento de los contadores programables y de su secuencia de cuenta.

Para finalizar este apartado cabe realizar dos matizaciones importantes acerca del montaje final que fueron deducidas durante los chequeos y diseño de los contadores programables:

1. Como se observa en la implementación final del conjunto de divisores del lazo, como inversores se ha utilizado el circuito integrado SN7406, que tiene las salidas en open-collector las cuales nos van a permitir el cableado lógico entre ellas, utilizando para ello una resistencia de valor 2K2 a V_{cc} .

Otro posible montaje, analizado durante las pruebas, era utilizar inversores normales proporcionados en el circuito

integrado SN7404 y las salidas, al no ser posible realizar un cableado lógico, hay que llevarlas a puertas OR, para lo que necesitaríamos 3 circuitos integrados 7432 (puertas OR cuadruple con 2 entradas); así el montaje pensado en un principio se muestra en la figura 3.23.

Observando este montaje y el de la figura 3.22, que es el que se utilizó finalmente, se aprecia la que se consigue una gran reducción en el número de componente, mayor finalidad y al mismo tiempo se evitan problemas de retardos en la respuesta del sistema.

2. Por otro lado cabe reseñar que la salida del divisor fijo por 13 que ataca al comparador de fase no se tomó de la salida de cuenta hacia atrás (borrow) (ver figura 3.22), como cabría esperar sino que se tomó de la pin 7 (salida Qd) por una razón sencilla que también se observó durante las pruebas que se hicieron con esta parte y es que en la pin 13 (borrow) vamos a tener pulsos de gran estrechez a la frecuencia de 1KHz que nos estaban impidiendo el enganche del comparador de fase, mientras que tomando la otra salida (Qd), además de tener lógicamente la misma frecuencia, nos va a proporcionar niveles de TTL adecuados para atacar al comparador de fase y permitir el enganche del mismo.

3.9 DECODIFICADOR DE TECLADO. VISUALIZACION DE LA FRECUENCIA DE RECEPCION

3.9.1 DECODIFICADOR DE TECLADO

Aun que en un principio del montaje se pensó en utilizar conmutadores binarios para la selección de frecuencia, posteriormente se abandonó esta idea con la finali-

dad de que la elección de frecuencia sea por teclado y poder visualizarlo en display, que aunque constituía añadir una cierta complejidad a nuestro circuito lo vimos como una importante aportación en un sistema que requiera fiabilidad, operatividad y complejidad adecuada a los momentos tecnológicos actuales.

En un principio se utilizó, en líneas generales, un teclado que va a estar constituido básicamente por un conjunto de diez interruptores y un decodificador de teclado, que cumple tres funciones importantes:

1. Nos va a convertir diez líneas de entrada en cuatro de salida, dando el correspondiente código en BCD.
2. Proveernos de un sistema antirrebotes para evitar que al pulsar una tecla una sola vez puedan producirse varios contactos que equivaldría a pulsar varias veces la misma tecla.
3. Proporcionarnos un impulso (impulso estroboscópico) que nos va a indicar, por un lado que se ha tenido acceso a la información y, por otro lado, la utilizaremos como reloj para flaps-floes J-K Master-slave.

El esquema eléctrico del decodificador de teclado se expone en la figura 3.24.

El funcionamiento de este circuito es el siguiente: El reloj (1/2 7413 como multivibrador estable con su circuito asociado) genera una frecuencia de 10 KHz que es aplicada

a la entrada CPA (Pin 14) del contador (7490 como contador de décadas), el cual está cableado de forma que se utiliza como contador de décadas binario codificado decimal y para ello la entrada CPbd (Pin 1) debe conectarse externamente a la salida Qa (Pin 12), así obtenemos una secuencia de conteo de acuerdo con la cuenta BCD.

De esta manera el estado del contador se decodifica y se aplica a los contactos del teclado S0...S9 a través del decodificador de 4 a 10 líneas (7442), el cual nos va a poner un nivel lógico bajo en su salida, a la frecuencia marcada por el reloj, correspondiente al número BCD que se encuentra a su entrada y que le es proporcionado por el contador de décadas, de esta forma el teclado se explora, rápida y secuencialmente, hasta que se pulse una de las teclas.

Así al ser presionada una tecla, la salida correspondiente del 7442 se pondrá a nivel bajo después de un cierto tiempo, que va a ser muy pequeño comparado con la frecuencia de barrido del contador. Este nivel lógico "0" nos va a detectar el reloj del contador al ponernos una de las cuatro entradas de la puerta NAND a "0" y bloquearla, haciendo que se detenga el contador y que permanezca en su estado que coincide con el de la tecla que se ha pulsado, siendo el tiempo que permanezca en este estado de aproximadamente 17 mseg y que va a venir dado por el primer 1/2 del 74123 que es un multivibrador monoestable rediseñable con borrado, el cual precisa de una red externa de componente de temporización que es mostrada en la figura 3.25.

La anchura del impulso proporcionado por el multi-

vibrador viene dado por la ecuación siguiente:

$$t_w = K_d \cdot R_{ext} \cdot C_{ext} \left(1 + \frac{0.7}{R_{ext}} \right)$$

con lo que en nuestro caso:

$$R_{ext} = 4K7$$

$$C_{ext} = 15 \mu F$$

$K_d = 0.25$ (proporcionado por el fabricante), así:

$$t_w = 0.25 \cdot 4.700 \cdot 15 \cdot 10^{-6} \left(1 + \frac{0.7}{4700} \right) = 17.63 \text{ mseg.}$$

Este ancho de impulso tomado de la salida Qa y aplicada a una de las entradas de la puerta normal que nos trabaja como oscilador la va a mantener bloqueada durante el tiempo ya reseñado de 17.63 mseg.

Simultáneamente este impulso es aplicado a la entrada B del otro 1/2 74123 va a hacer que nos produzca un "pulso estroboscópico" que se utilizará para los relojes de los flippers de almacenamiento y que se obtendrá por Qb (Pin 5); en este caso el ancho del impulso vendrá dado por:

$$t_w = K_d \cdot R_{ext} \cdot C_{ext} \left(1 + \frac{0.7}{R_{ext}} \right)$$

teniendo para este otro 1/2 multivibrador unared de componentes de temporización cuyos valores son:

$$R_{ext} = 4K7$$

$$C_{ext} = 1 \mu F$$

$K_d = 0.25$, con lo cuál:

$$t_w = 0.25 \cdot 4700 \cdot 1 \cdot 10^{-6} \left(1 + \frac{0.7}{4700} \right) = 1.76 \text{ mseg}$$

En el caso de este segundo 1/2 multi@brador monocasta_ ble su entrada de clear es controlado por el otro 1/2 7413 de tal forma que en el instante de pulsar una tecla de salida de la puerta ~~normal~~ pasa a nivel lógico alto desactivando la en_ trada clear del 1/2 74123 y permitiendo el disparo del mismo.

3.9.2 ALMACENAMIENTO DE DIGITOS Y VISUALIZACION DE LA FRECUENCIA DE RECEPCION

3.9.2.1 ALMACENAMIENTO DE DIGITOS

Para el almacenamiento de los digitos utilizamos flaps-floes J-K Master/slave dispuestos en forma de registros de tal forma que la información BCD proveniente del decodifi_ cador es almacenada en ellos.

Los flaps-floes JK son convertidos en tipo D siendo para ello necesario colocar un inversor entre las entradas J y K.

Para describir el funcionamiento en la figura 3.26 representamos dos flaps-floes con las señales que le propor_ ciona el decodificador.

Al pulsar una tecla se manda un "pulso estroboscópico" generado en el decodificador de teclado (1/2 74123) y donde la secuencia de funcionamiento es la siguiente (ver figura 3.27):

- En (1) se aísla el esclavo del maestro
- " (2) entra la información X1 en Y1 y X2 en Y2
- " (3) se aíslan (disable) las entradas Y1 y Y2
- " (4) se transfiere X1 a Y1 y X2 a Q2; perdiéndose la información en X3.

Al presionar una tecla el decodificador nos va a pro_

proporcionar los 4 bits BCD correspondientes a la tecla pulsada y el pulso de reloj para los flieps-floes, de tal forma que cada uno de los bits se va a almacenar en un flieps-floep, con lo que en nuestro caso utilizando los circuitos integrados 74107 (flieps-floep dual JK master/slave) vamos a poder almacenar esta información (4 bits en código BCD); la implementación de este circuito se muestra en la figura 3.28.

Con este montaje conseguimos almacenar la información BCD proporcionada al presionar una tecla y se nos mantendrá hasta que sea otra tecla pulsada y nos borre esta información.

En el montaje final de nuestro circuito de almacenamiento, nos va a interesar poder almacenar tres dígitos, ya que recordemos que nuestro receptor va a trabajar en la banda de 13-000-0 a 13-999-0 por lo que nos va a ser necesaria la utilización de 6 circuitos integrados 74107 implementados en cascada de tal forma que al presionar una tecla se almacena la información BCD en el primer par de integrados; al presionar otra tecla la información anterior pasa al segundo par de IC's y la correspondiente a este nuevo dígito pasa al primer par y al pulsar por tercera vez una tecla de un determinado dígito, esta información queda almacenada en el primer par de circuitos integrados, la que este tenía anteriormente queda almacenada en el segundo par de IC's y la que tenía éste pasa al último par de circuitos integrados, con lo que conseguiríamos almacenar 3 dígitos correspondientes a tres determinadas teclas y mantenerlos invariables en la salida de los flieps-floes; utilizamos al mismo tiempo esta información correspondiente a los 3 dígitos como entrada de datos de los contadores

programables del sintetizador y para actuar sobre los decodificadores BCD a 7 segmentos que nos permitan la visualización de los dígitos.

Así en el esquema eléctrico de la figura 3.29 se muestra la implementación final de los flaps-flops de almacenamiento de dígitos conectados en cascada.

Como se observa en la implementación se han unido todas las entradas de reloj entre si y se han llevado a las salidas BCD del primer par de flaps-flops a las correspondientes entradas J-K del siguiente y análogamente con el tercer grupo de los flaps-flops; al mismo tiempo las salidas de los flaps-flops en BCD las vamos a utilizar para actuar sobre decodificador BCD que nos van a permitir visualizar la información correspondiente a los dígitos según la tecla que se ha pulsado; esto se analiza en el apartado siguiente.

3.9.2.2 VISUALIZACION

Para visualizar la frecuencia de recepción se utilizarán seis displays de tal manera que tres de ellos, concretamente el primero, segundo y último, van a permanecer invariables y los tres intermedios van a ser variados según las teclas pulsadas de tal forma que en el conjunto visualizamos la frecuencia de recepción del satélite.

La razón por la cual mantenemos invariables y con números constantes los displays ya reseñados, es que nosotros vamos a trabajar en frecuencias que van desde 130.000 MHz a 139.990 MHz correspondientes al campo de recepción de satélites y como los dos primeros y el último número permanecen en valores constantes de 1, 3 y 0 respectivamente, mientras que vamos a variar los tres intermedios en un rango de 000 a 999

para poder sintonizar cualquier canal de recepción dentro de los 1000 posibles.

La implementación de esta parte resultó sencilla y se observa en el esquema eléctrico de la figura 3.30A.

La configuración de los pines de los displays se puede observar en la figura 3.30B.

Como se observa en la figura 3.30A se utilizan 3 decodificadores BCD a 7 segmentos cuyas entradas de datos van a venir determinadas por los números seleccionados por teclado y que se toman de las salidas de los flaps-flopes; observándose también que estas salidas son tomadas en paralelo para la entrada de datos de los contadores programables; teniendo en cuenta para ello que no se produce un efecto de carga por parte de los contadores manteniéndose unos niveles lógicos perfectamente diferenciados donde un nivel alto ("1" lógico) es de aproximadamente $V_{OH} = 3.75$ v. y un nivel bajo ("0" lógico) de aproximadamente $V_{OL} = 0.6$ v.

Los valores de las resistencias de los displays con números fijos fueron determinados por tanteo de tal forma que la intensidad luminosa del conjunto de displays fuese igual por ello se observa que tienen diferentes valores resistivos dependiendo del número de leds que nos sea necesario que se encienda.

Una vez analizado y explicado el funcionamiento de todos los bloques que constituyen el sintetizador su esquema final se muestra en la figura 3.31.

3.10 FUNCIONAMIENTO Y AJUSTE DEL SINTETIZADOR

Para la comprobación del correcto funcionamiento y ajuste del sistema sintetizador se utilizaron los siguientes equipos:

- Osciloscopio de doble traza
- Frecuencímetro de baja frecuencia (<10 MHz)
- Frecuencímetro de radiofrecuencia
- Polímetro analógico
- Generador de funciones con salida TTL
- Fuente de alimentación fija 5V/2A
- Fuente de alimentación regulable
- Polímetro digital

3.10.1 OSCILADOR DE REFERENCIA

Una vez montado en conjunto oscilador de referencia y divisores del mismo se colocó la sonda del osciloscopio en el pin 1 del circuito integrado CD4518 (divisor por 100) donde se puede observar la forma de onda de la figura 3.32.

La frecuencia en este punto es próxima a 1 MHz, para su ajuste se giró el tuimner de forma que con el frecuencímetro en este punto se ajustó a 1.000.000 Hz.

Colocando a continuación el frecuencímetro y sonda del osciloscopio en el pin 14 del mismo circuito integrado tenemos la forma de onda de la figura 3.33 a un frecuencia de 10.000 Hz.

Por último se colocó el frecuencímetro y sonda del osciloscopio en el pin 6 del segmento circuito integrado CD4518 (divisor por 10) obteniendo la forma de onda de la fi-

gura 3.34 con una frecuencia de 1000 Hz (frecuencia de referencia que actúa sobre la pin 14 del comparador de fase).

3.10.2 ENGANCHE EN FASE Y FRECUENCIA DEL COMPARADOR DE FASE

Teniendo en cuenta que era una de las partes importantes del oscilador y de cuya respuesta dependía en gran medida la estabilidad del sistema, la comprobación de este bloque se realizó de dos formas:

1. Se estudió su funcionamiento en una placa prototipo (como se realizó con todos los bloques) y para ello se dispuso del montaje de la figura 3.35.

Ajustamos el generador de funciones para proporcionarnos una salida TTL a 1 KHz (igual a la frecuencia de referencia) y se observó el funcionamiento del circuito, viéndose que cuando ambas señales estaban enganchadas en frecuencia y fase el led permanecía encendido y cuando se variaba, ya sea en sentido creciente o decreciente la frecuencia de salida del generador de funciones en el margen 990-1010Hz, el led comenzaba a parpadear indicando el desenganche en frecuencia y fase.

2. Se montó el circuito dentro del sistema sintetizador observándose que el diodo indicador de fase no estaba encendido indicación inequívoca de que no había enganche en frecuencia y fase.

Se comprobó que no existía señal en el pin 3 del comparador de fase, siguiendo el circuito se comprobó con el osciloscopio la entrada del divisor programable registrándose también ausencia de señal.

Por último se comprobó el MC1648 encontrándose que este oscilaba a una frecuencia de 45 MHz. Se desconectó la alimentación chequeándose el circuito y encontrando que la bobina en el circuito tanque no estaba produciendo oscilación, debido a que no estaba haciendo contacto en la placa. Se detectó que el problema radicaba en que el hilo utilizado para la construcción de la bobina y que posee una capa de barniz no estaba perfectamente ligado en uno de sus extremos. Así se limó correctamente y se incluyó en el circuito proporcionándole alimentación al mismo consiguiéndose que el diodo led se iluminara indicando un perfecto enganche en frecuencia y fase.

Las formas de onda obtenidas en los pines 3 y 14 del circuito integrado CD4046 se pueden observar en la figura 3.36. A la salida del circuito se observó, con el osciloscopio conectado en la pin 13 del CD4046, que al hacer variar la fase de una de las dos señales teníamos una señal cuadrada de 1 KHz, cuyo ciclo de trabajo y por lo tanto su nivel promedio de continua, variaba en función del θ entre las dos señales.

3.10.3 PRESALER Y DIVISORES PROGRAMABLES

Para hacer la comprobación de este circuito se utilizó la separación por partes. Por un lado se comprobó el funcionamiento del prescaler y por otro de los divisores programables.

- Para la comprobación del prescaler se realizó el montaje de la figura 3.37.

Se le inyectó a la entrada una señal de 10 MHz, comprobándose a su salida que nos dividía correctamente por 10 midiéndose con el frecuencímetro 1.000.000 Hz.

Posteriormente se incluyó en circuito y se aplicó un voltaje, observando que su funcionamiento era correcto a la frecuencia del VCO.

Así para un frecuencia del VCO de 125844 MHz, el frecuencímetro a la salida del Prescaler proporcionó una lectura de 12.584.415 Hz con lo que se corroboró su funcionamiento.

- La comprobación del funcionamiento de los divisores programables fue más concienzuda ya que al mismo tiempo queríamos estudiar su comportamiento.

Para ello se realizó el montaje de la figura 3.38.

Como se puede observar se incluyeron LEDs en las salidas Qa, Qb, Qc u Qd de los cuatro divisores de tal forma que podíamos observar el estado del contador y la secuencia de cuenta de estados.

Para ello se empleó el Generador de Funciones oscilando a muy baja frecuencia de aproximadamente 10 Hz y se observó en que estado se encontraban en el momento de ser cargados nuevamente en paralelo.

Así se tenía que cuando el circuito integrado 74LS193 estaba en 0001, el primer 74192 (de izquierda a derecha) estaba en 0000, el segundo 74192 estaba en 0111 y el tercer 74192 conmutaba de 0001 a 0000 se producía nuevamente la carga paralelo con lo que quedaba comprobado el correcto funcionamiento de los divisores y la carga paralelo.

A continuación se aumentó la frecuencia del Generador (TTL) hasta 13.476.000 Hz y programamos mediante el teclado 13.546 con lo que al obtener los 1000 Hz (frecuencia de referencia) comprobamos que los divisores programables con la mo-

dificación ya señalada de contar 1070 estados menos, estaba funcionando correctamente.

Por último lo incluimos en el circuito y se comprobó que su funcionamiento era totalmente correcto y variando mediante el teclado los datos de entrada nos proporcionaban una salida estable a 1000 Hz y la forma de onda obtenida en la pin 7 del 74LS193 se puede observar en la figura 3.39.

3.10.4 VCO

El VCO dado su elevado margen de frecuencia de oscilación que va desde 118.3 MHz a 129.3 MHz, se nos tornó como uno de los bloques más delicados del diseño, por ello se le dedicó un extenso estudio y chequeo.

En un principio durante la fase de prueba se montó en placa protoboard y a pesar de la elevada frecuencia de trabajo y de las capacidades positivas inducidas en la placa se consiguió que oscilara dentro del margen deseado a pesar de no ofrecer una buena estabilidad.

El montaje realizado se muestra en la figura 3.40.

Con este montaje se puede estudiar la curva de respuesta en frecuencia del VCO en función del voltaje de entrada.

Al variar el voltaje se observó que hasta aproximadamente un voltaje de 1.8 voltios, los diodos permanecían polarizados en directa, a partir de aquí y en un margen de $1.8 < V < 4.5$ voltios, los diodos se polarizaban en inversa actuando como condensadores variables, verificándose que a medida que aumentábamos progresivamente el voltaje en los diodos, su capacidad disminuía y la frecuencia, obviamente, aumentaba.

Llegados a este punto y viendo que el VCO nos funcio_ naba aunque no muy establemente, lo incluimos en la placa de circuito impreso donde se cuidó de especial manera el plano de masa indispensable para una correcta oscilación.

Al aplicarle potencia y conectar el frecuencímetro de radiofrecuencia a la salida del VCO se obtuvo que la frecuen_ cia de oscilación giraba en torno a los 90 MHz, dependiendo del canal seleccionado, lo que suponía un incorrecto funcio_ namiento del VCO.

Chequeando el sintetizador visualizamos con el osci_ loscopio las dos señales de entrada al comparador de fase pro_ cedentes del oscilador de referencia y del VCO respectivamen_ te, observándose que frente a la estabilidad de la señal del oscilador de referencia la otra señal era imposible de sincro_ nizar. Se dedujo rápidamente de este comportamiento que el rango de captura del PLL, o sea el margen dinámico era incapaz de abarcar el margen de frecuencia a la que oscilaba el VCO. Medido el voltaje en el cátodo de los diodos varicaps se re_ gistraba que era 4.5 voltios, prácticamente el voltaje de alimentación.

Observando las curvas de respuestas del diodo varicap (proporcionadas por el fabricante), se tiene que a mayor vol_ taje menor capacidad por lo que intuimos que haciendo modifi_ caciones en la bobina nos entraría en el margen dinámico del PLL.

Así se separaron los espines de la bobina, disminuyen_ do la inductancia y aumentando la frecuencia, con lo cual se logró el enganche en fase de la señal procedente del VCO con la señal procedente del oscilador.

Con la finalidad de estudiar la estabilidad del circuito, producimos una perturbación en el circuito tanque del VCO, desapareciendo instantáneamente el estado estable con lo cual se desenchó el PLL, entrando en el estado de captura.

Observando la señal que llegaba al comparador de fase procedente del VCO, tras pasar por los divisores, se vio que presentaba oscilaciones amortiguadas hasta alcanzar el estado de captura de fase y estabilizarse, con lo cual se consiguió un correcto funcionamiento del sistema.

3.10.5 FUNCIONAMIENTO DEL SISTEMA SINTETIZADOR

Una vez comprobados todos los bloques que componen el sistema sintetizador por separado, se incluyeron en la placa de circuito impreso chequeando la colocación adecuada de todos los componentes: correcta polarización del diodo, condensadores electrolíticos, etc...

Se le aplicó voltaje y se comprobó el correcto funcionamiento del conjunto chequeando las señales en los diferentes puntos, estableciendo para ello tres puntos de prueba (TP), indispensables en cualquier montaje para un chequeo rápido de cualquier fallo que se pudiera producir: así estos puntos son:

TP9: Terminal para comprobar el funcionamiento del divisor por 1000. En este terminal, mediante un frecuencímetro, se debe detectar una frecuencia de 1000 Hz.

TP10: Terminal para comprobar la frecuencia del cuarzo de 1 MHz. En este terminal, mediante un frecuencímetro se debe detectar una frecuencia de 1.000.000 Hz.

TP11: Terminal para comprobar la frecuencia del divisor programable. En él es necesario detectar una frecuencia

de 1000 Hz.

El funcionamiento del conjunto tras realizar todas las medidas ya reseñadas fue correcto, para ello establecimos mediante el teclado y visualizando en display la frecuencia de recepción del canal I del Matesat que es de 137.500 MHz: el VCO nos oscilaba a una frecuencia de 126.803.610 Hz con lo que lo hace correctamente ya que deba oscilar a 10.7 MHz por debajo de la frecuencia de recepción.

Las entradas al comparador de fase procedentes del oscilador de referencia y del divisor del lazo, eran estables y con una precisión de 10 p.p.m. (concretamente 1.0000023 Hz) con lo cual se nos estaba engancho el detector de fase y el led permanecía encendido establemente.

Por último se estableció la tabla 3.3 de respuesta del sintetizador dentro de la banda de trabajo, en el que dependiendo de la frecuencia establecida en los displays obtenemos la frecuencia de oscilación del VCO.

4. FUENTE DE ALIMENTACION

4.1 FUENTE DE ALIMENTACION

La fuente de alimentación del proyecto ha sido diseñada para proveer de voltajes estabilizados al receptor y al sintetizador. Esta fuente se ha realizado a partir de los datos empíricos de consumo medidos sobre la fuente de laboratorio durante el período de pruebas.

Los voltajes estabilizados necesarios para un correcto funcionamiento son los siguientes:

24 v -----	200 mA
12 v -----	200 mA
7 v -----	10 mA
5 v -----	750 mA < I_{cc} < 950 mA

A la hora de diseñar y elegir el regulador adecuado se optó por los monolíticos con salidas prefijadas por varias razones. Entre ellas destaca el reducido número de componentes exteriores necesarios, coste térmico al producir una sobrecarga sobre el regulador, una buena estabilidad en la regulación y bajo nivel de rizado.

Estos reguladores monolíticos elegidos son el $\mu A7824$, $\mu A7812$ y $\mu A7805$ capaces de proporcionar corrientes de salida de hasta 1.5 amperios con disipador.

El esquema eléctrico de la fuente de alimentación se muestra en la figura 4.1

A la entrada del primario del transformador y antes del mismo que posee un primario bitensión y un secundario que

nos proporciona voltajes alternos de 30 y 15 Vac a 2 amperios, se dispuso de un fusible de 500 mA.

De las tres formas disponibles en el secundario 15, 0 y 15 voltios se escogió la toma de 0 y 15 Vac que después de ser convenientemente filtrada se aplicó a la entrada del 7812.

En el caso del regulador monolítico 7805 ha sido necesario incluir una resistencia de $10\Omega/10W$ (ver figura 4.1) para reducir la diferencia de potencial entre la entrada y la salida.

Esto ha sido necesario como consecuencia directa de la utilización de un transformador comercial con tomas secundarias de 15-0-15 voltios, con lo que al utilizar la toma de 0-15 Vac y al ser convenientemente filtrada la diferencia de potencia entre la entrada y la salida del regulador 7805 es de 13 voltios y con un consumo medio de 800 mA teníamos una potencia disipada en el regulador de 10.4 W, que excedía los límites de lo recomendado por el fabricante que es de aproximadamente 5W.

Lógicamente el regulador se calentaba en exceso haciendo necesaria la utilización de grandes disipadores. Este problema se resolvió, como se indicó con anterioridad, con la utilización de una resistencia en serie a la entrada con lo que se redujo la diferencia de potencial entre la entrada y salida a 3V con una potencia disipada en el regulador de aproximadamente 2.5W, con lo que sólo fue necesaria la utilización de un pequeño disipador.

En el caso del regulador de 24v se utilizó la toma entre 15 y 15 voltios del transformador proporcionándonos un voltaje alterno de 28v con lo que al ser convenientemente filtrado y aplicado a la entrada del 7824 éste nos proporcionaba el voltaje perfectamente estabilizado.

En el caso del voltaje de 7v se obtuvo a partir de un 7805 con el terminal común conectado a un zener de 2.7v como ya se explicó en el apartado 2.2.5

Los condensadores situados en las entradas y salidas de los reguladores monolíticos y masa son recomendados por el fabricante para una buena estabilización.

Las características técnicas de estos reguladores han sido incluidas en el apéndice.

4.2 MONTAJE DEL CIRCUITO

En el montaje del circuito se siguió tanto para el sintetizador como para la fuente de alimentación las mismas pautas.

En el caso del receptor al ser necesaria una placa realizada completamente en masa y de unas características especiales, y dada la imposibilidad de ser realizada en el laboratorio de Circuitos Impresos de la Escuela U., se decidió a partir del esquema eléctrico de la figura 2.47 adquirirla directamente de una firma de electrónica de Madrid que se dedica exclusivamente a la realización de circuitos impresos a partir de un esquema eléctrico proporcionándole al mismo tiempo serigrafada ya que son realizadas mediante ordenador.

La situación de componentes se muestra en la figura

En cuanto al decodificador de teclado, circuitos de almacenamiento, visualización y fuente de alimentación, las placas de circuito impreso se realizaron en el laboratorio.

Para ello en primer lugar y partiendo del esquema eléctrico se elaboró una maqueta de papel vegetal, sobre la que se corregían todos los errores detectados.

Una vez comprobado que el diseño estaba bien realizado se realizó el negativo fotográfico, ver figuras 4.2A, 4.2B, 4.2C y 4.2D, y a partir de éste la insolación y revelado de la placa.

En cuanto al decodificador de teclado y circuito de almacenamiento nótese que debido al gran número de pistas y con el fin de no agrandar la placa del circuito impreso se realizó a doble cara. Con todas las placas disponibles se comprobó con el polímetro que todas las pistas estaban en conducción, y que no había cortocircuitos indeseados provocados por la proximidad de las pistas.

A continuación se procedió al montaje final soldando los componentes al circuito en su posición adecuada y cuidando de especial manera las polaridades de diodos, condensadores, los transistores, etc ...

Una vez efectuada esta operación se volvió a comprobar otra vez las pistas, y colando las alimentaciones apropiadas al circuito se procedió a su verificación y posterior ajuste. Una vez que se realizaron todos los ajustes necesarios y ya con el equipo trabajando correctamente se procedió al montaje en una caja de dimensiones adecuadas al número de placas y componentes.

La fabricación de esta caja ha constituido, como el conjunto del proyecto, una labor árdua y complicada con la finalidad de obtener como producto final un equipo completo con el mayor grado de perfección y fiabilidad posibles dentro de los medios que se poseen.

En las figuras 4.3A, 4.3B y 4.3C se muestran testimonios fotográficos del equipo desde diferentes puntos.

BIBLIOGRAFIA

- 1.- Active filters design with experiments.
Howard W. Sams & Co. Inc.
- 2.- Apuntes de Electrónica de Comunicaciones (ETSIT)
Juan Claudio Kagi Reymann
- 3.- Apuntes de la cátedra de Radiocomunicación de ETS de
Ingenieros de Telecomunicación de Madrid.
Juan de la Calle García.
- 4.- Bobinas de Radiofrecuencia.
Hans Sutaner.
- 5.- Circuitos Electrónicos. Tomo I (ETSIT).
Elías Muñoz Merino.
- 6.- Circuitos Integrados en recepción de Radio.
Pierre Fonteneau.
- 7.- Communications Circuits: --
Analysis and design.
Kenneth K. Clarke
Donald T. Hess

- 8.- Design of phase - Locked loop circuits, with experiments
Howard M. Merlin
Howard W. Sams & Co. Inc.
- 9.- Frequency Synthetizers.
Theory and Design
Vadim Manassewitsch.
- 10.- Introducción a la teoría y Sistemas de Comunicación.
B.P.Lathi
- 11.- Mosfet FM timer design.
Richard Klein & Glen Coers
- 12.- Recomendaciones e informes del C.C.I.R. Tomo I.
- 13.- Revista Nueva Electrónica AÑO I N°4

ORIGINAL

PLANOS

Con el objeto de hacer más fácil la localización de las figuras contenidas en este pliego de planos se incluye el siguiente indice de planos:

<u>Número de figura</u>	<u>Número de plano</u>
1.1	1
1.2	2
2.1	3
2.3	4
2.4	4
2.5	5
2.6	5
2.7A,B	6
2.8	6
2.9	7
2.10	7
2.12	8
2.13	9
2.14	9
2.15	9
2.16	10
2.17	10
2.18	10
2.19	11
2.20	11
2.21	12
2.22	12
2.23	13
2.24	13

2.25	13
2.26	14
2.27	14
2.28	14
2.29	15
2.30	15
2.31	15
2.32	16
2.33A,B	16
2.34	17
2.35	17
2.36A,B	18
2.37	19
2.38	19
2.39	20
2.40	20
2.41A	20
2.41B	21
2.42	21
2.43	22
2.44	23
2.45	23
2.46	24
2.47	25
2.48	26
2.49	26
2.50A,B	27
2.51	27

2.52A,B	28
2.53A	28
2.53B	29
2.54	29
2.55	29
2.56	30
2.57A,B	30
2.58	30
2.59A,B	31
2.60A,B,C,D	32
3.1	33
3.2	33
3.3	34
3.4	34
3.5	35
3.6	35
3.7	36
3.8	36
3.9	37
3.10A	37
3.10B	38
3.11	38
3.12	39
3.13	39
3.14	40
3.15	40
3.16	40

3.17	41
3.18	41
3.19	42
3.20	42
3.21	43
3.22	43
3.23	44
3.24	44
3.25	45
3.26	45
3.27	46
3.28	46
3.29	47
3.30A	48
3.30B	49
3.31	50
3.32	51
3.33	51
3.34	52
3.35	52
3.36	53
3.37	53
3.38	54
3.39	54
3.40	54

4.1	55
4.2A,B	56
4.2C,D	57
4.3A,B	58
4.3C	59

<u>Número de tablas</u>	<u>Número de plano</u>
2.1	60
2.2	61
2.3	62
2.4	63
2.5	63
2.6	63
3.1	64
3.2	64
3.3	64

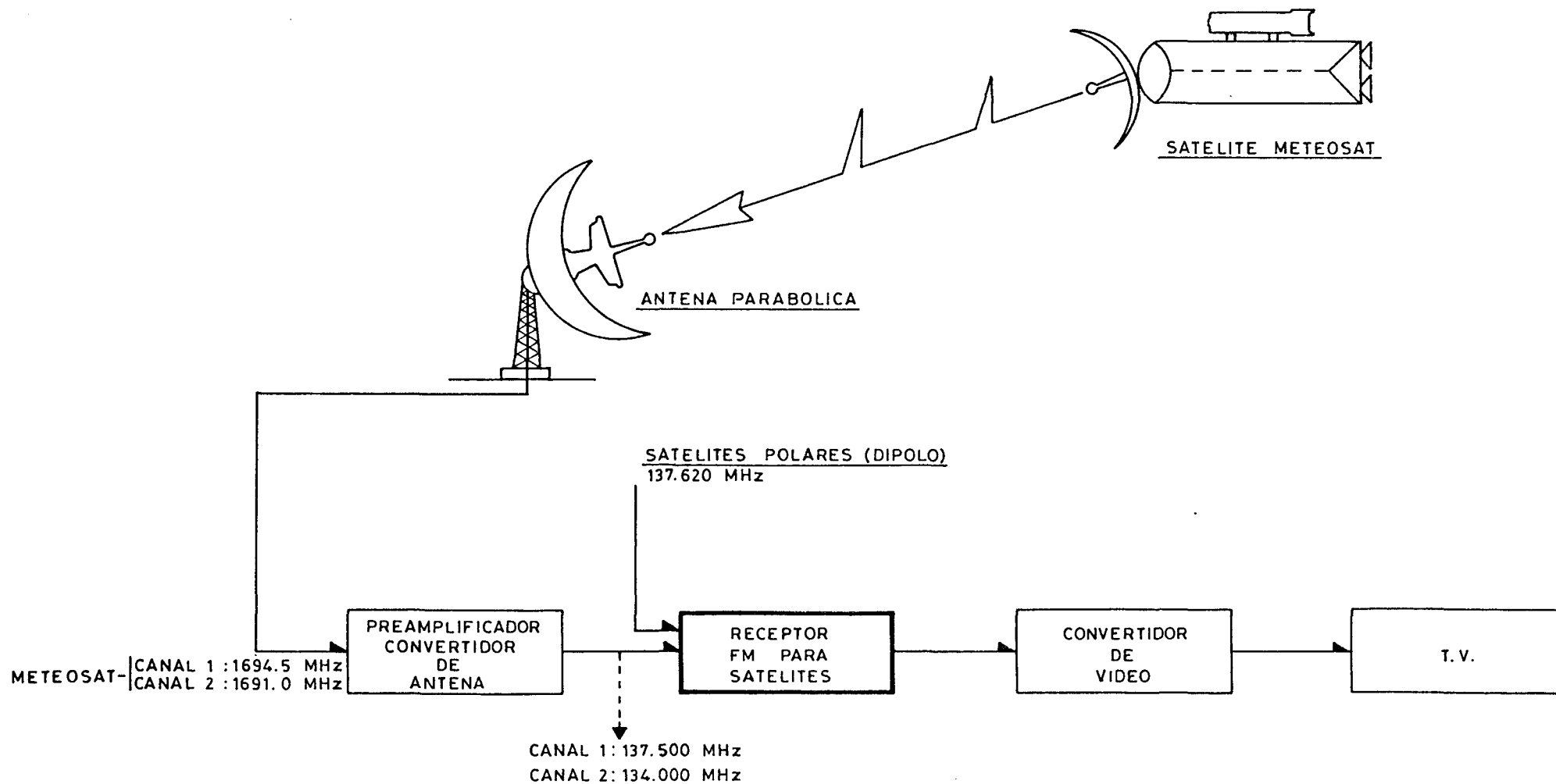


FIGURA 1.1

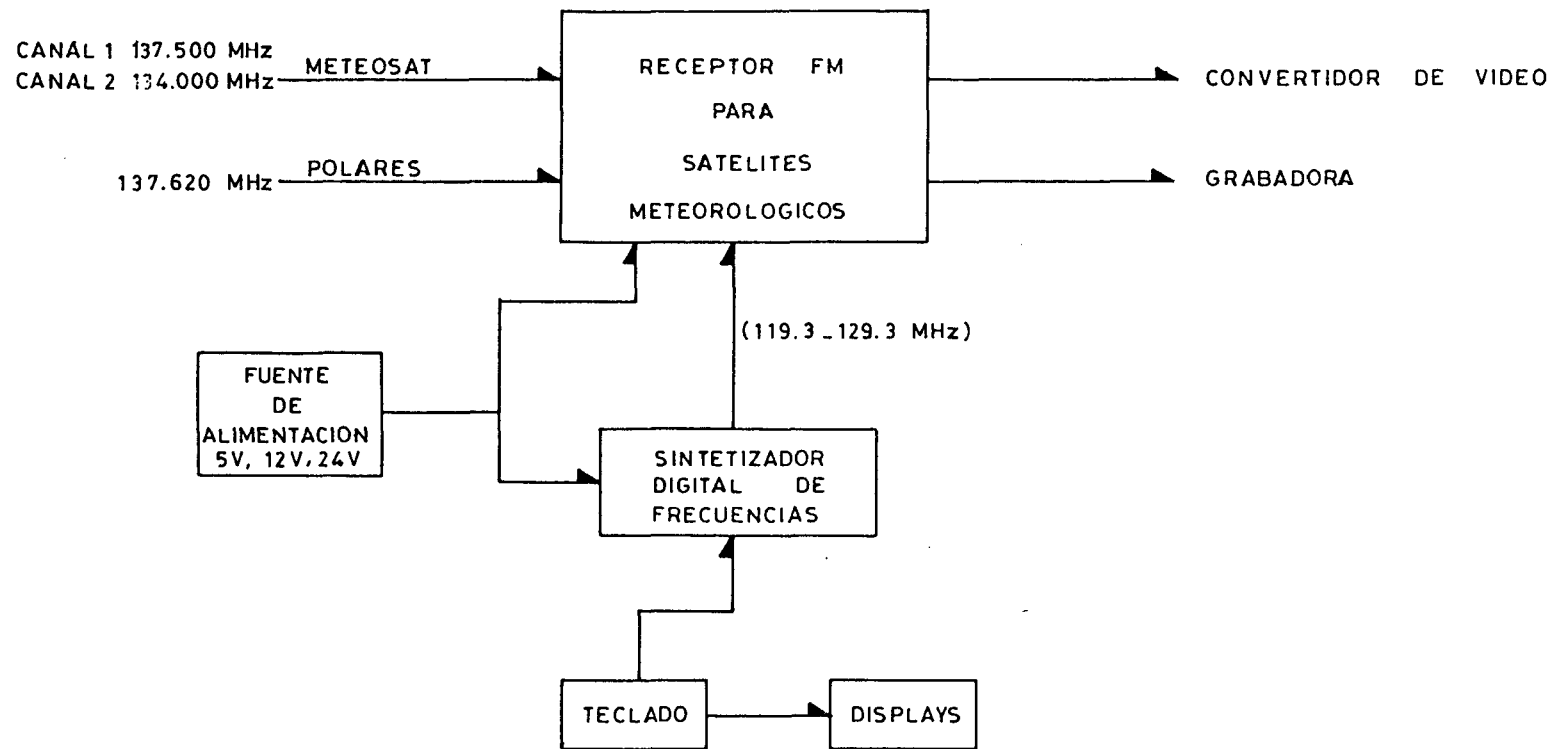


FIGURA 1.2

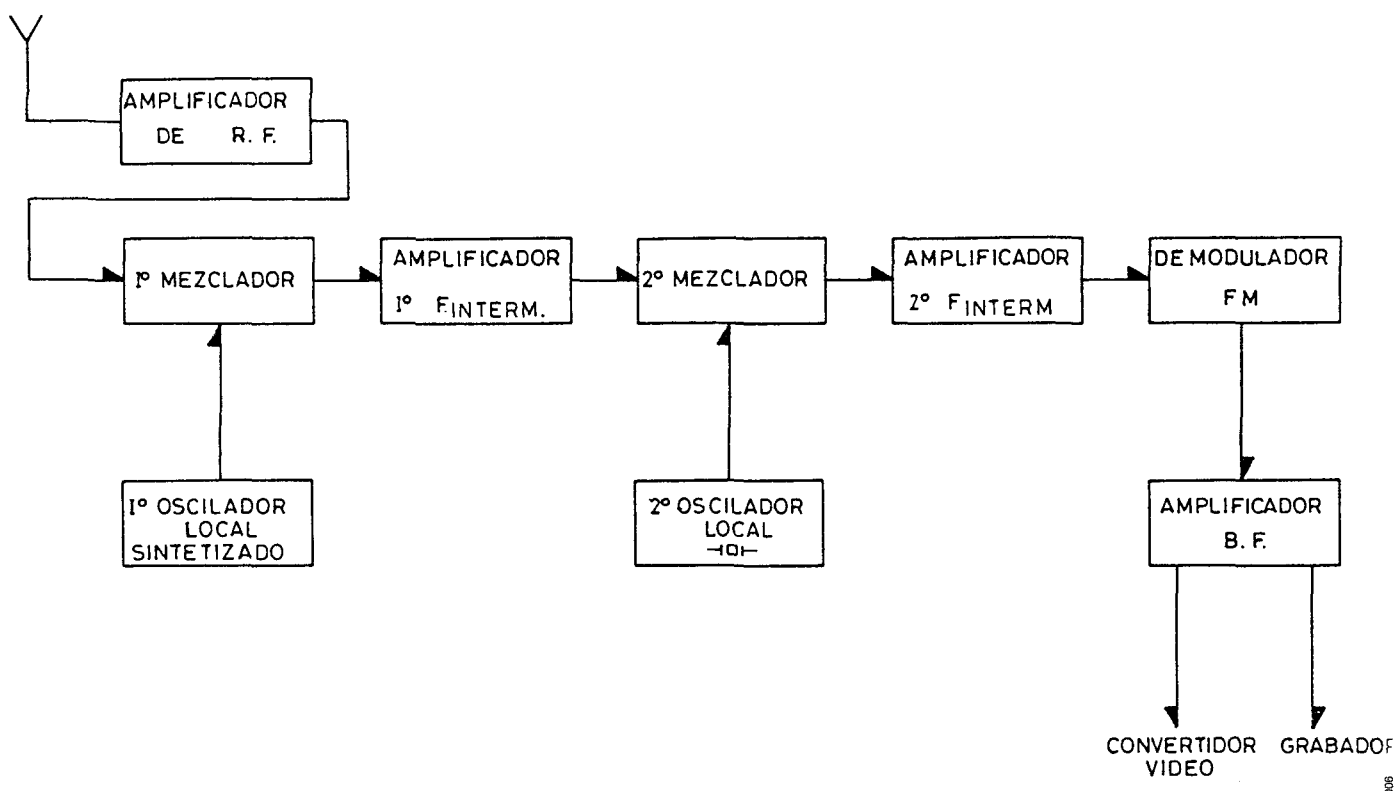


FIGURA 2-1

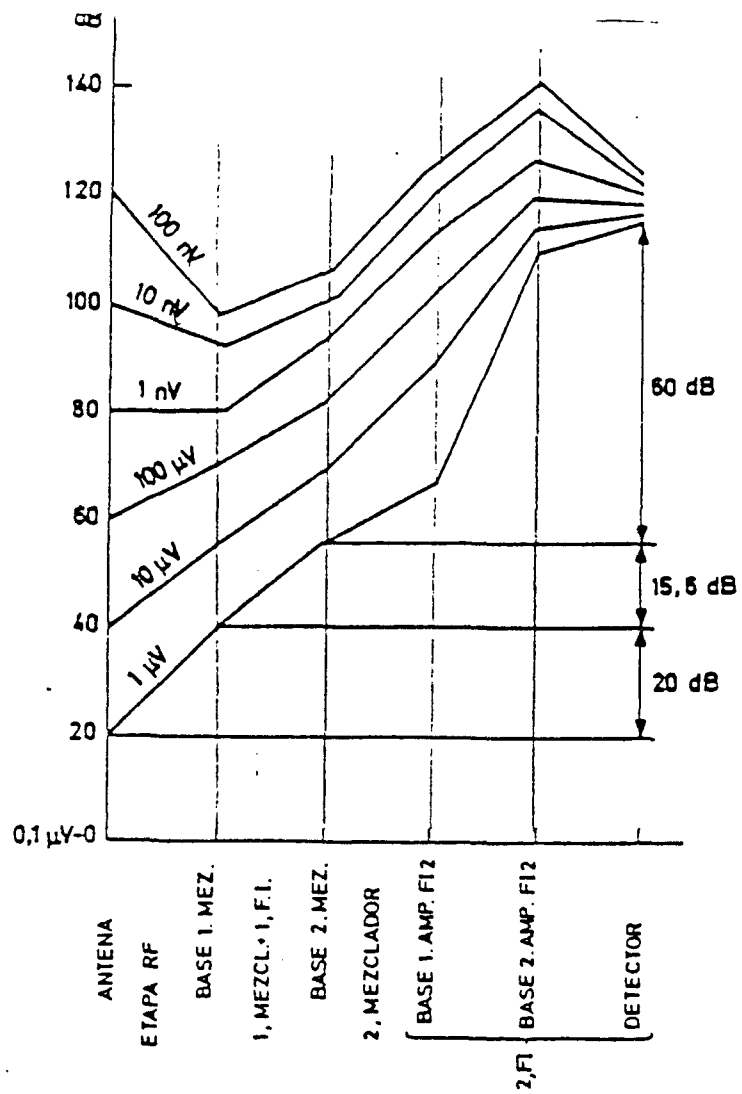


FIGURA 2-2

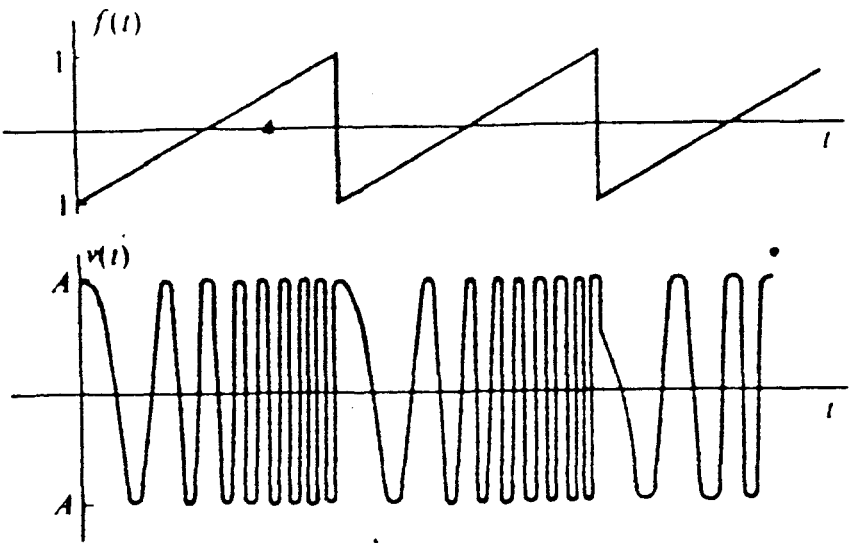


FIGURA 2_3

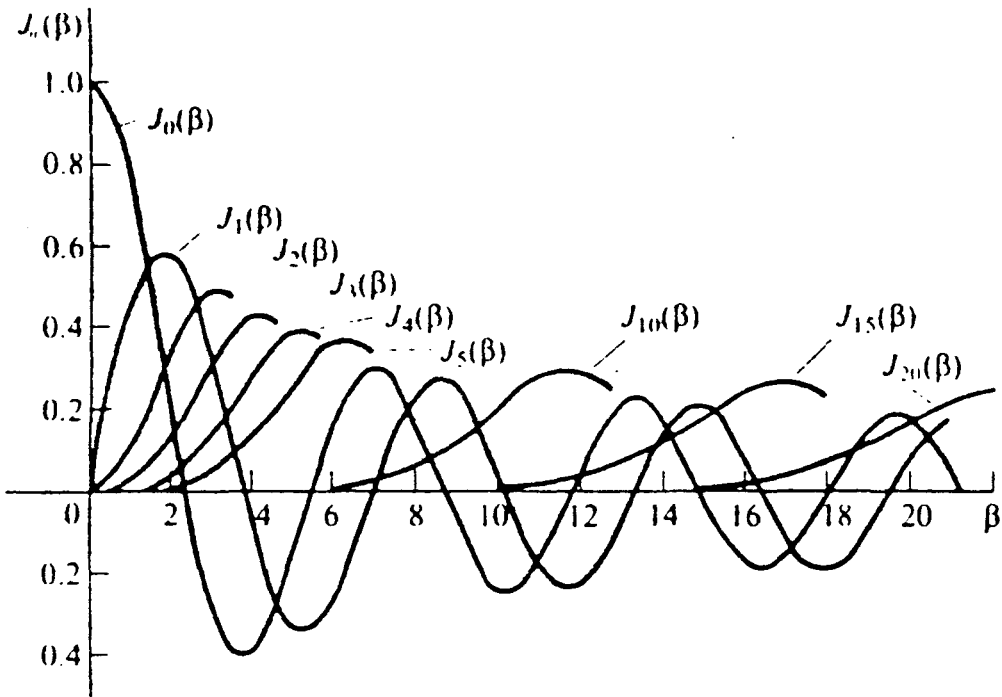


FIGURA 2_4

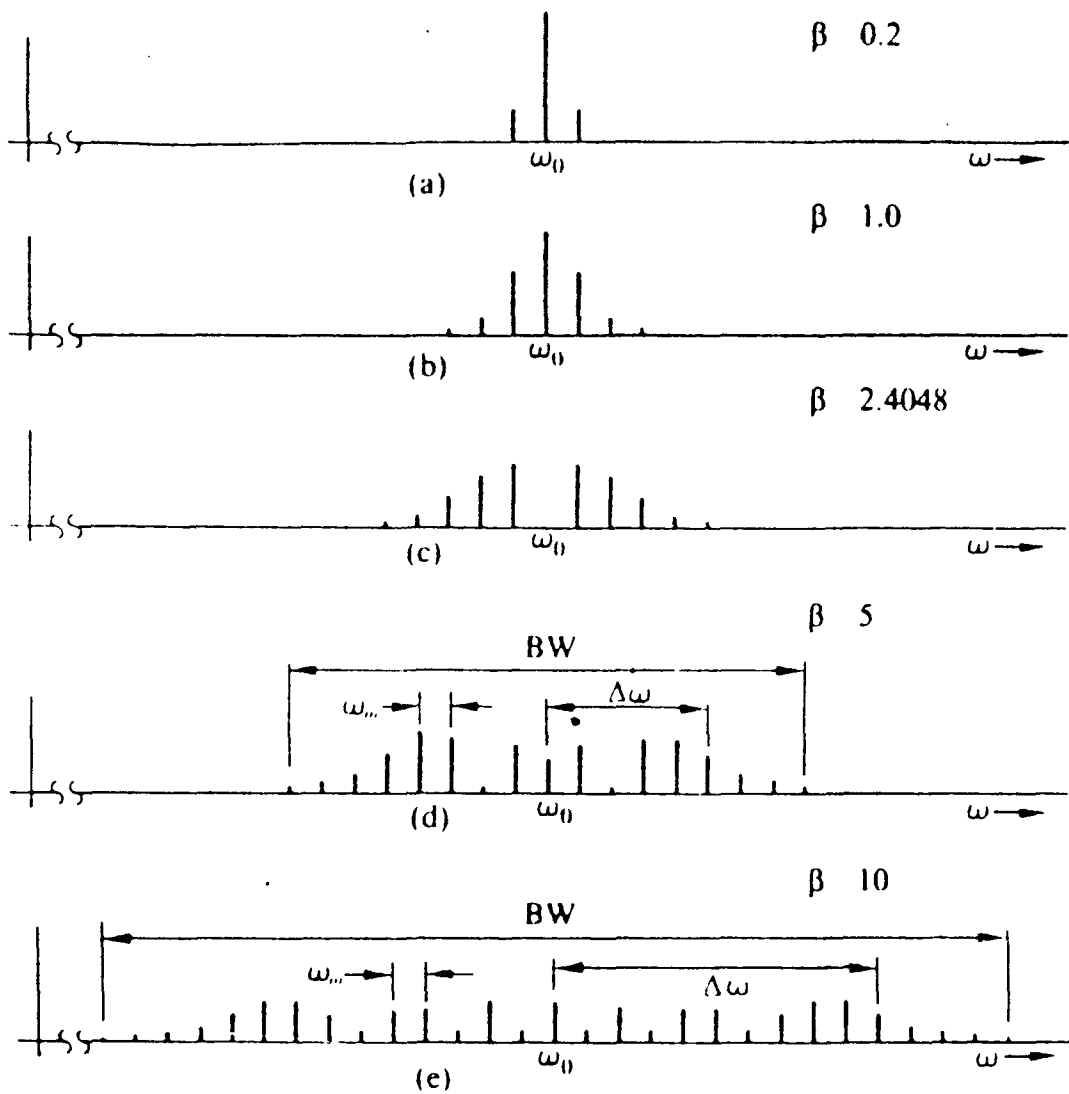


FIGURA 2_5

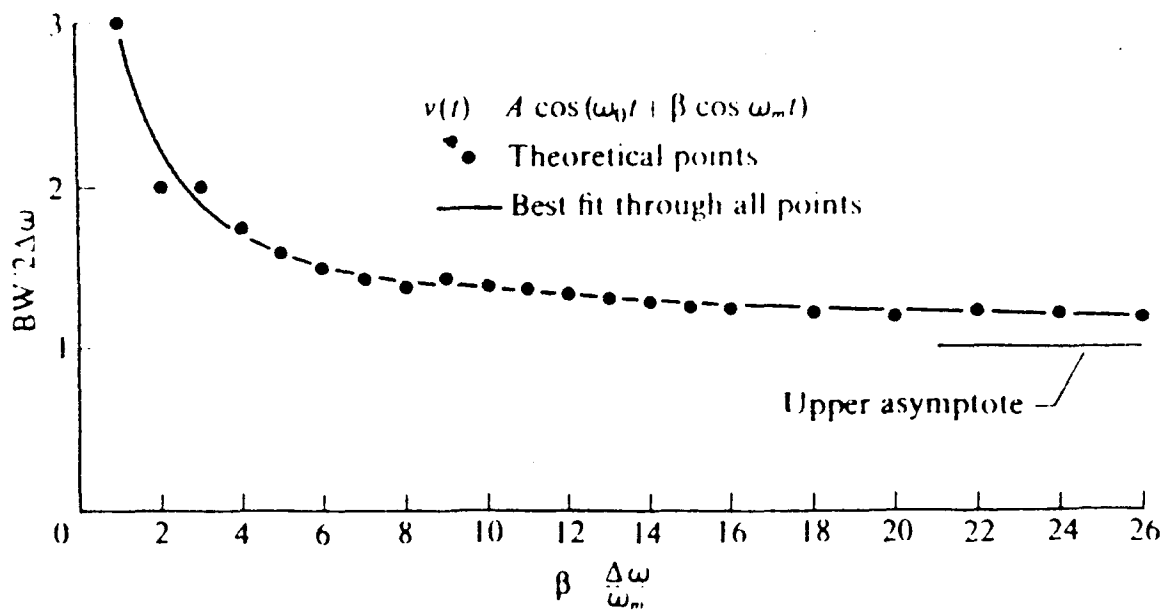


FIGURA 2_6

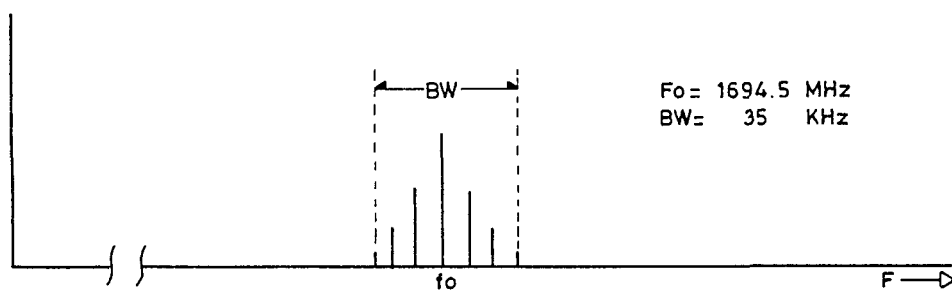


FIGURA 2_7 A

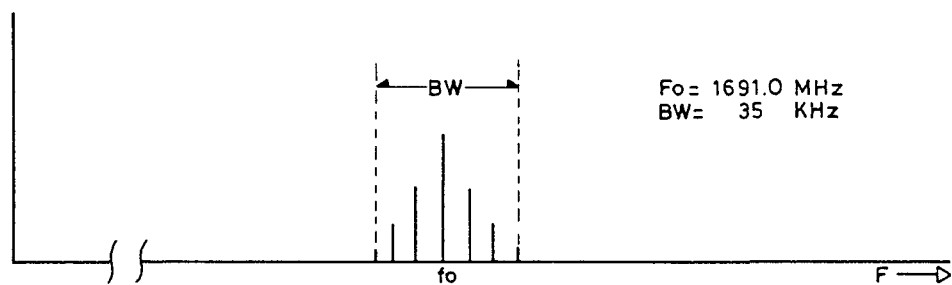


FIGURA 2_7 B

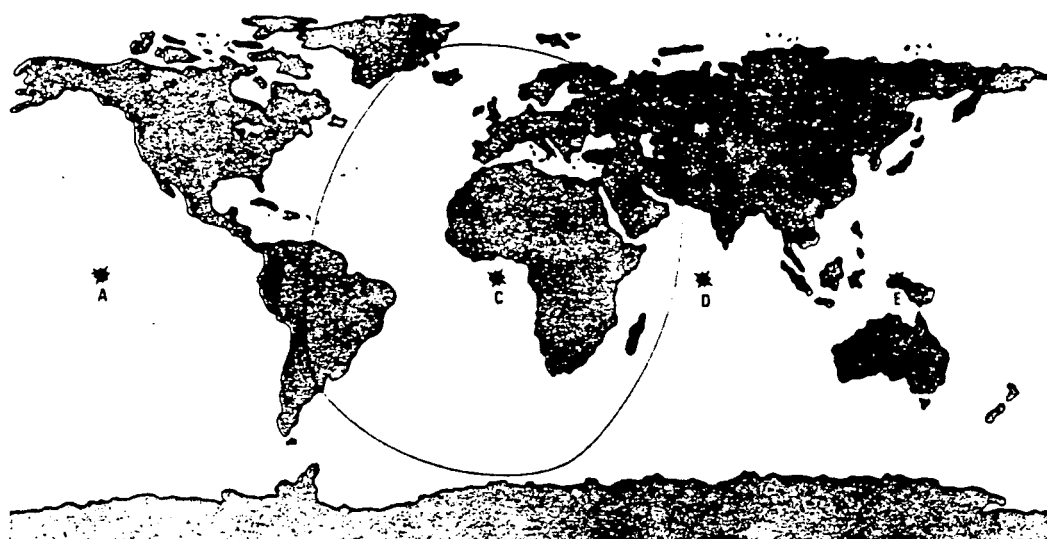


FIGURA 2_8

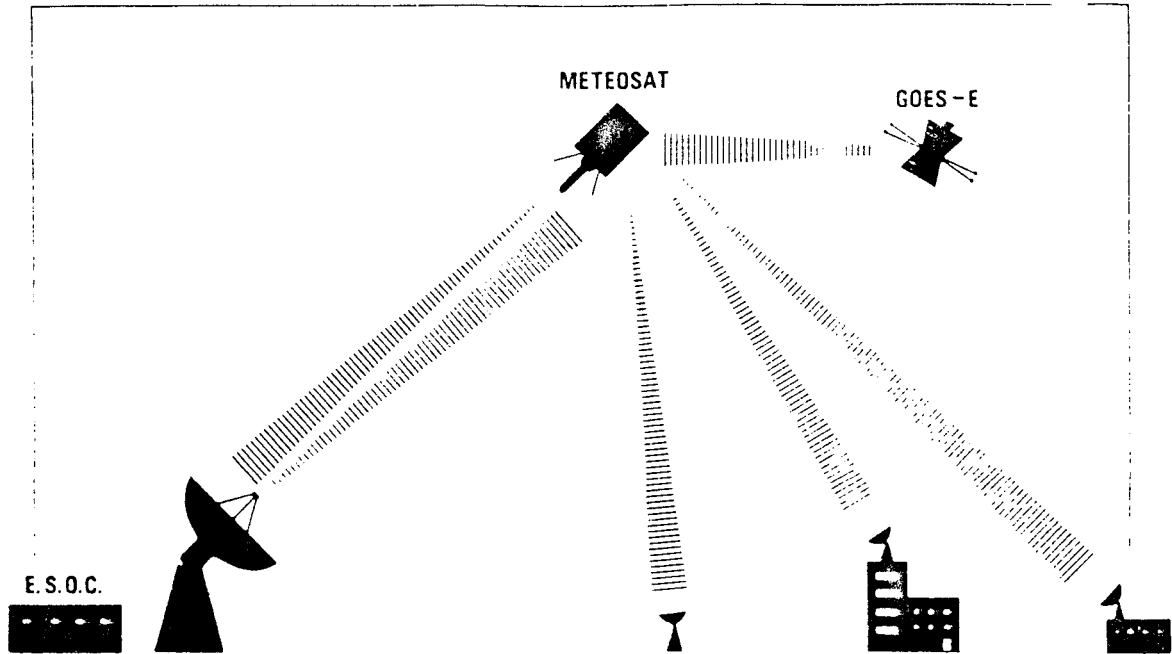


FIGURA 2_9

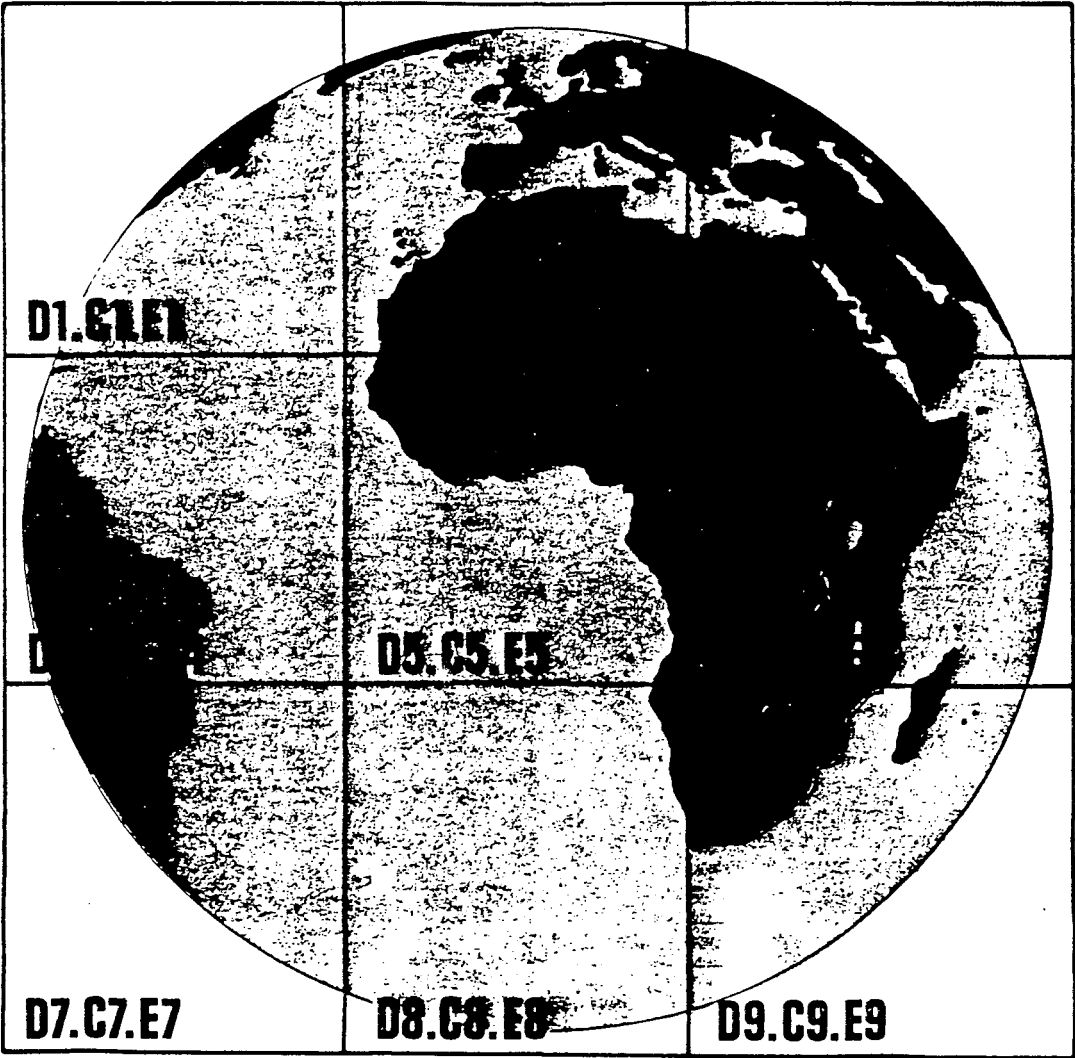


FIGURA 2_10

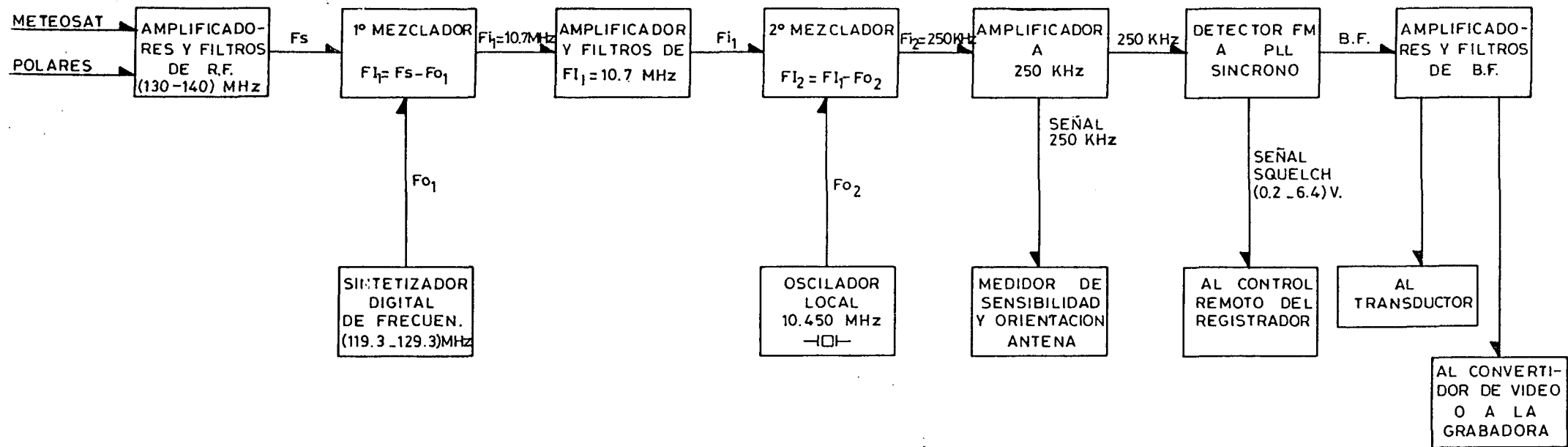


FIGURA 2_12

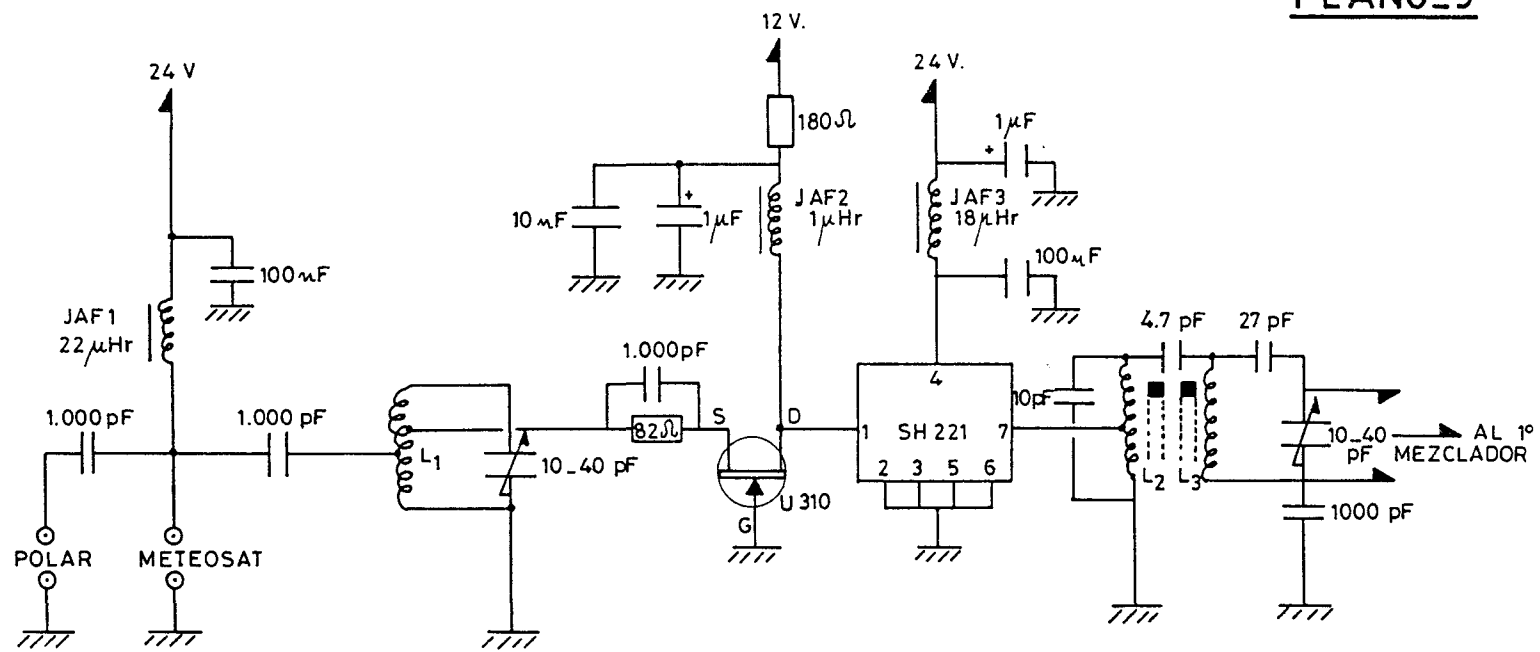


FIGURA 2_13

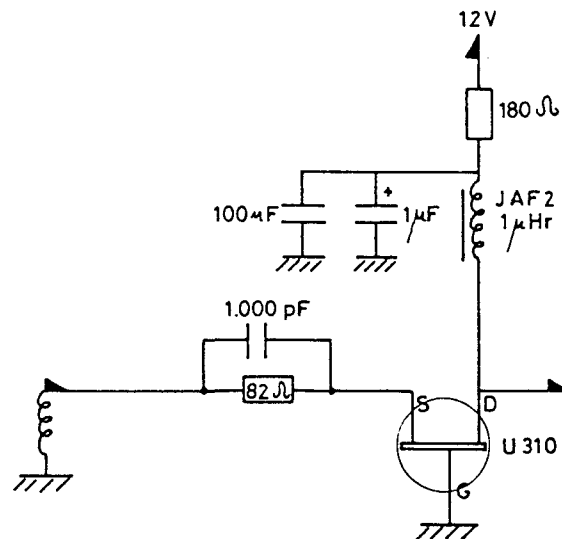


FIGURA 2_14

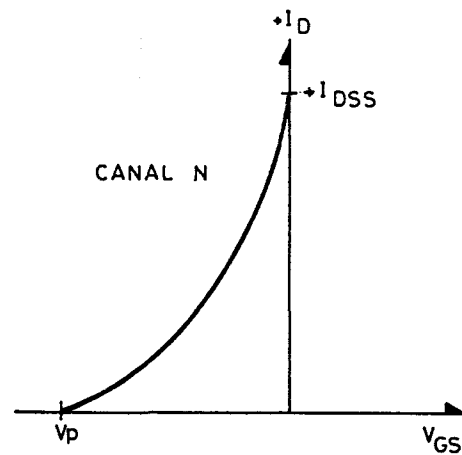


FIGURA 2.15

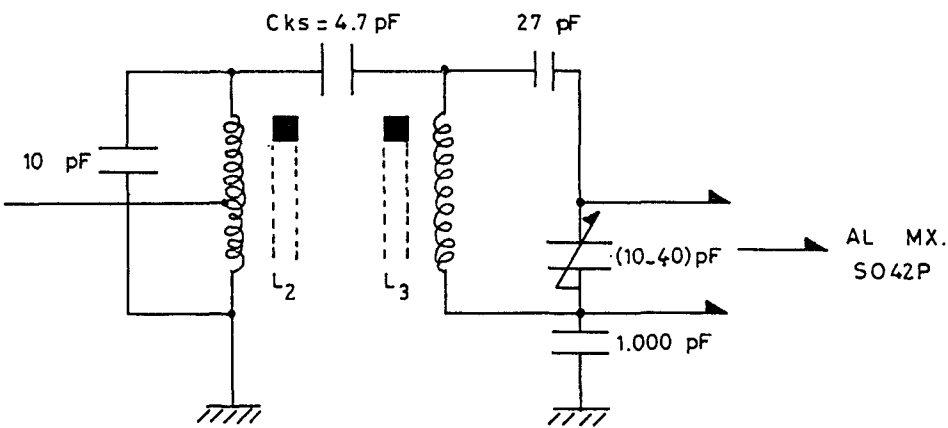


FIGURA 2_16

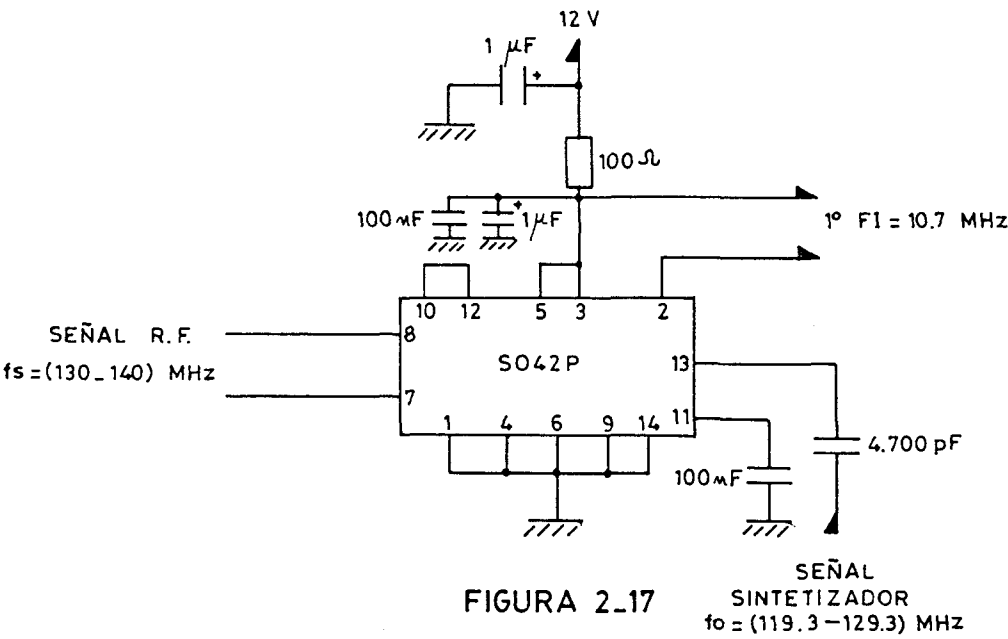


FIGURA 2_17

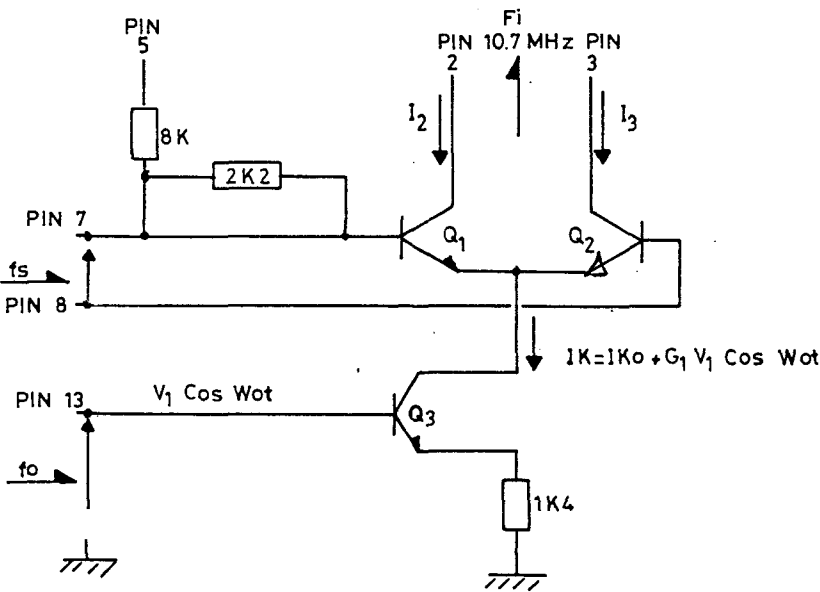


FIGURA 2_18

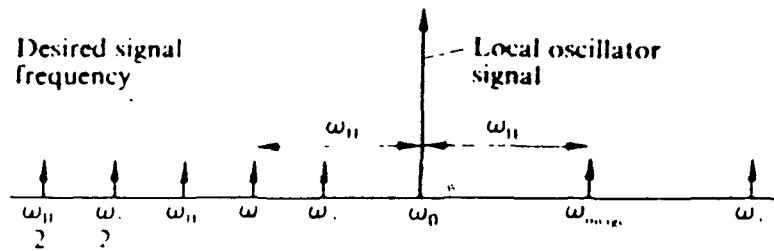


FIGURA 2_19

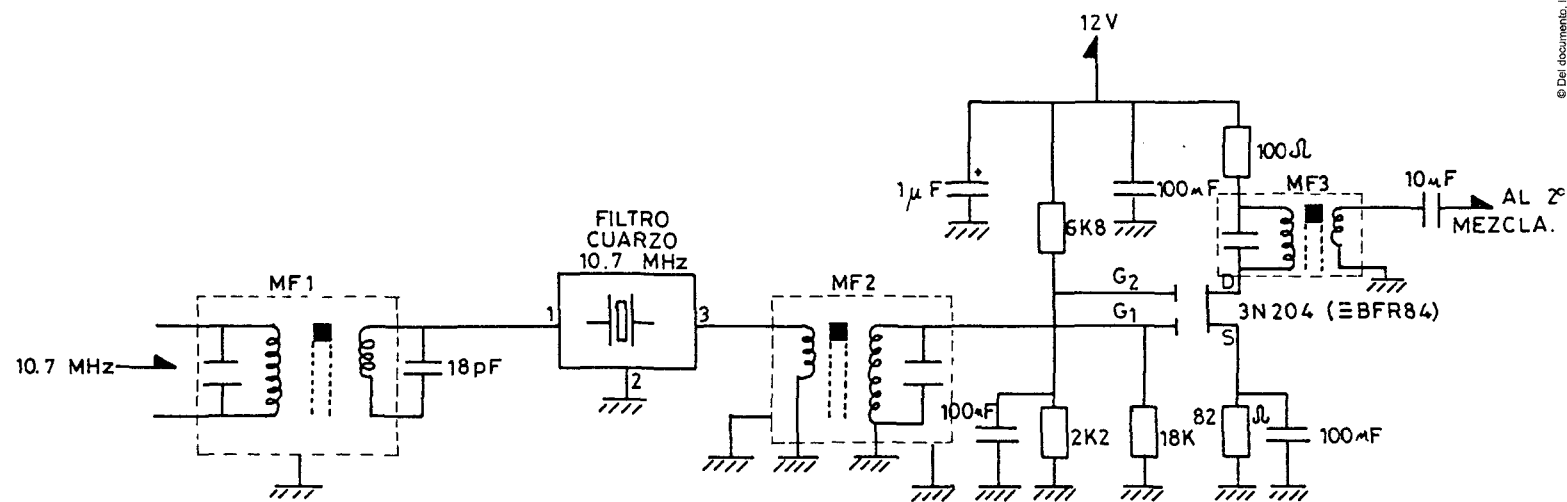


FIGURA 2_20

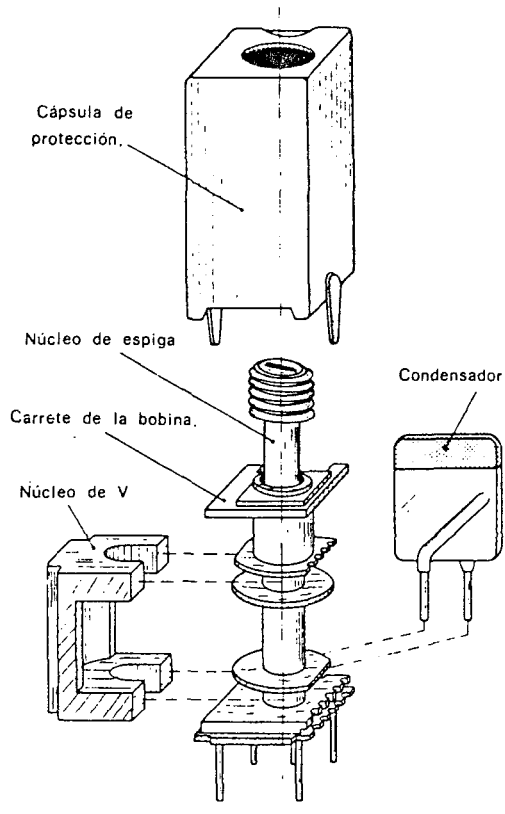


FIGURA 2_21

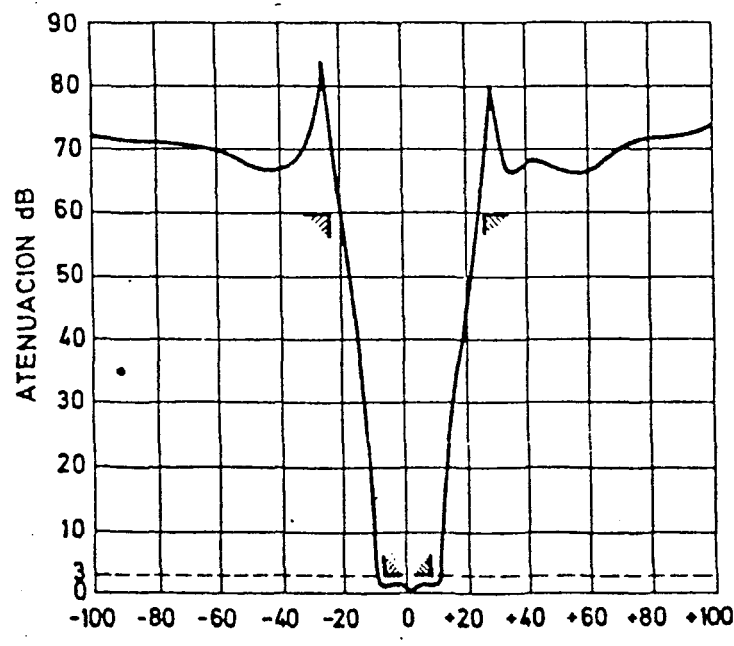


FIGURA 2_22

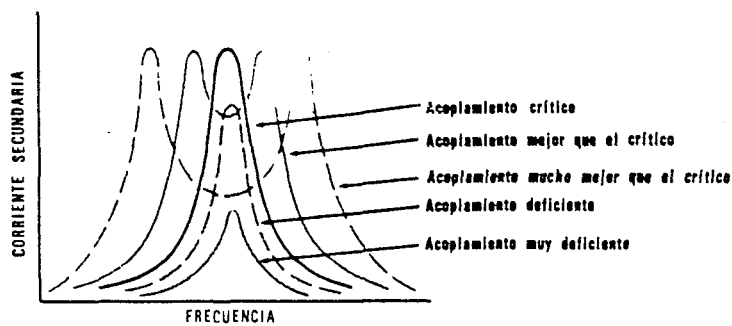


FIGURA 2_23

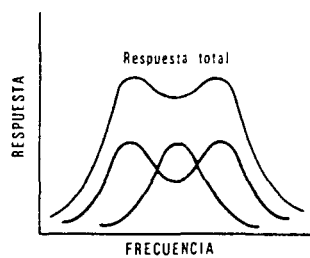


FIGURA 2_24

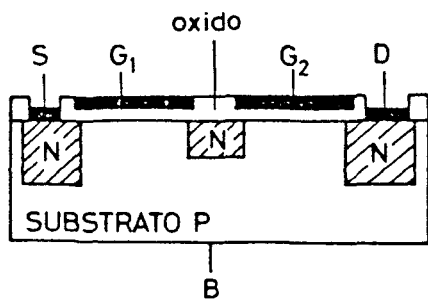


FIGURA 2_25

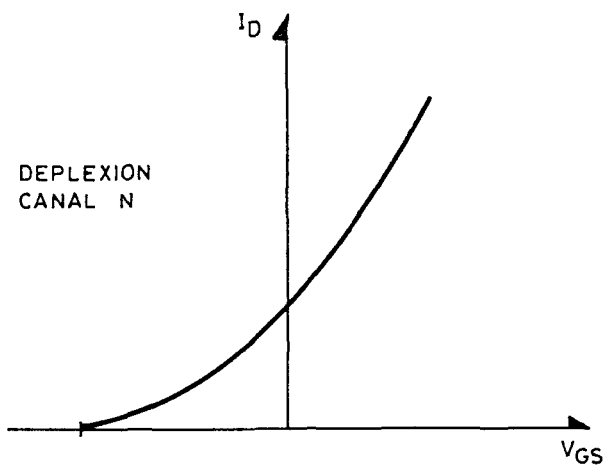


FIGURA 2_29

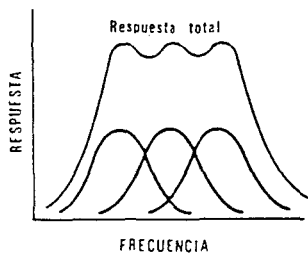


FIGURA 2_30

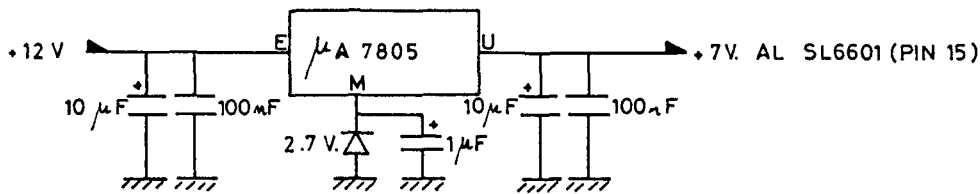


FIGURA 2_31

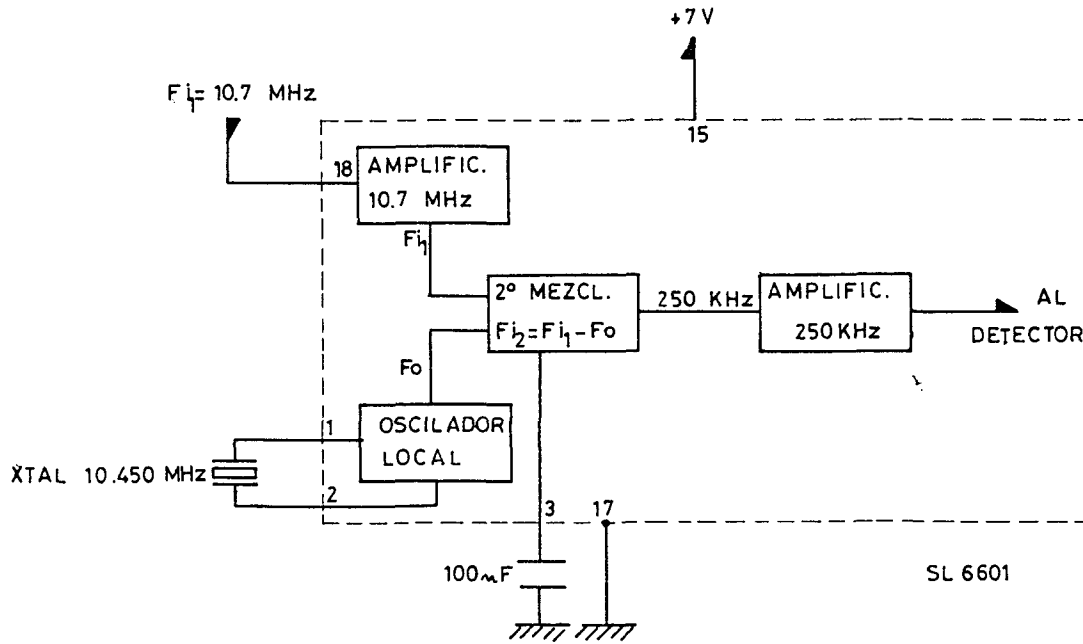


FIGURA 2_32

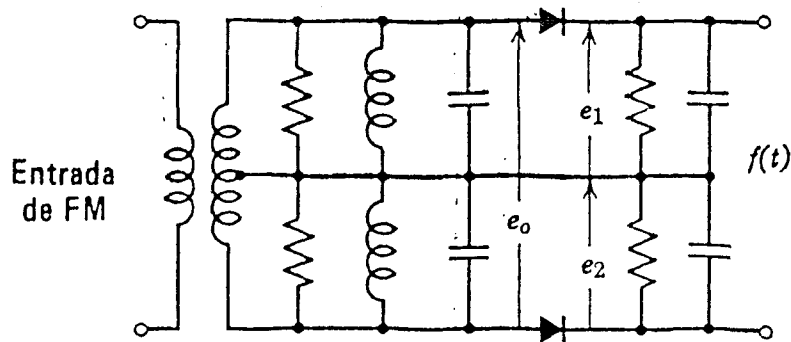


FIGURA 2_33A

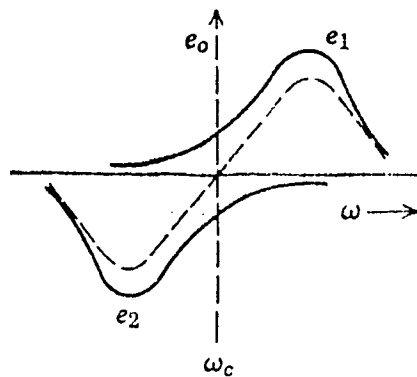


FIGURA 2_33 B

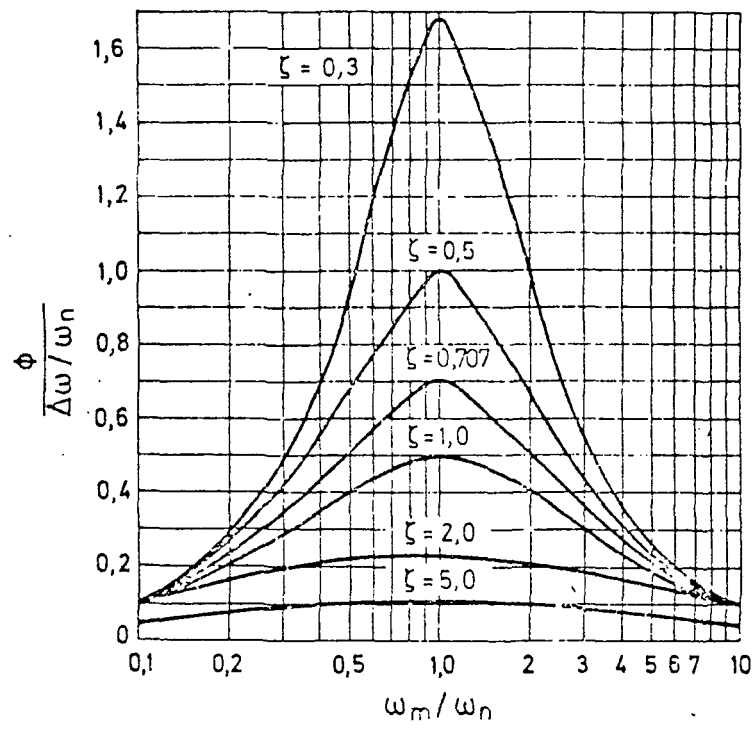


FIGURA 2.34

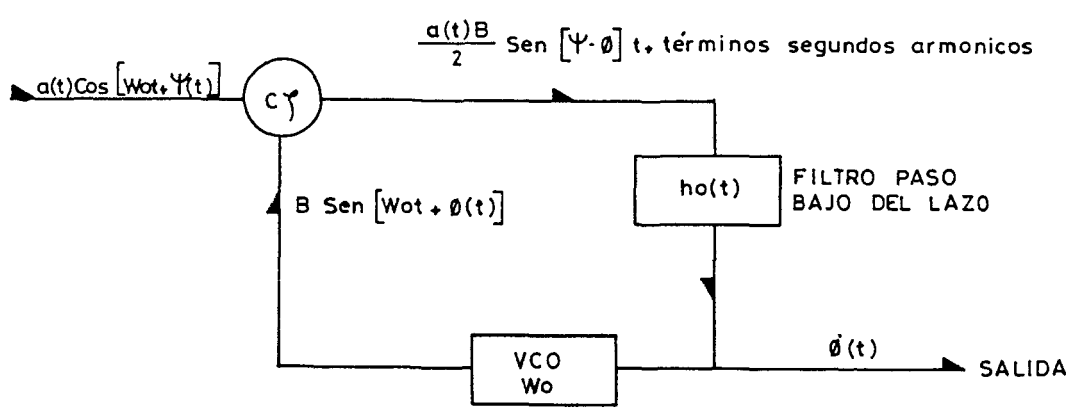


FIGURA 2.35

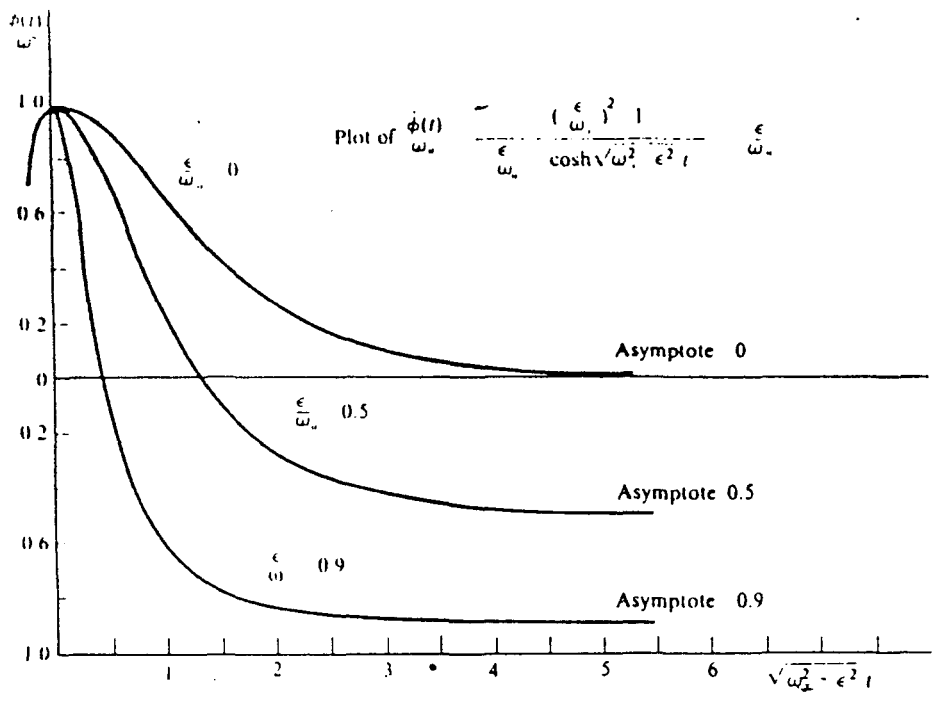


FIGURA 2_36 A

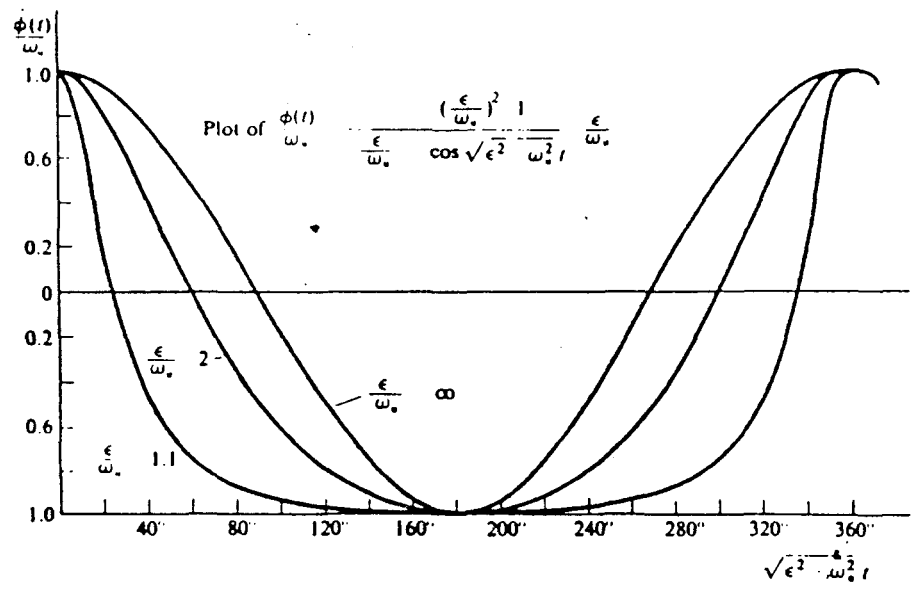


FIGURA 2_36 B

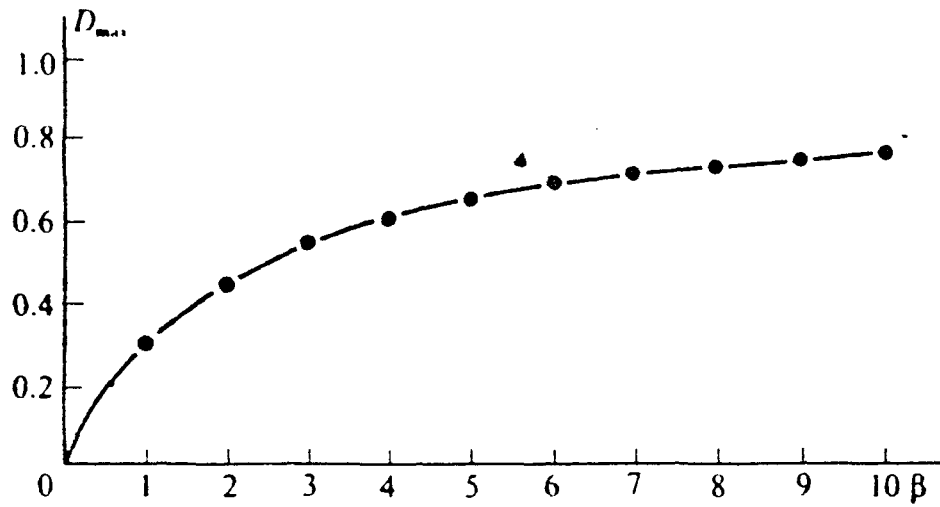


FIGURA 2_37

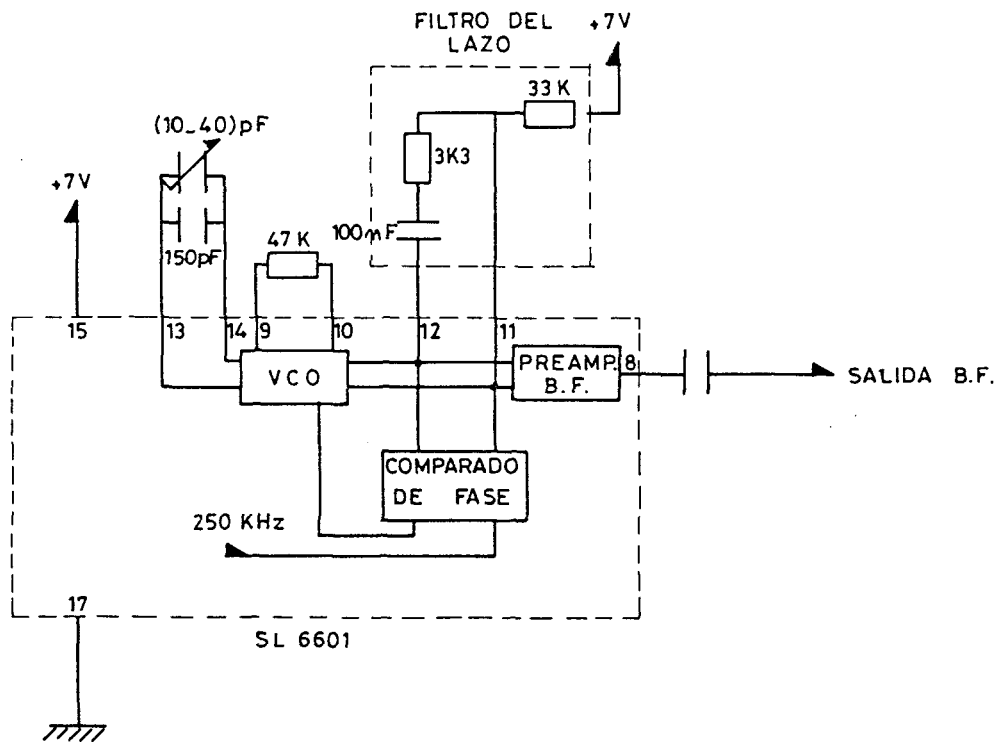


FIGURA 2_38

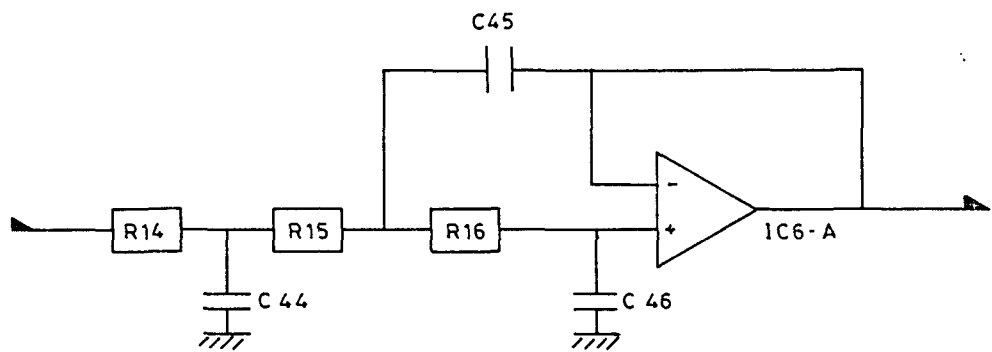


FIGURA 2-39

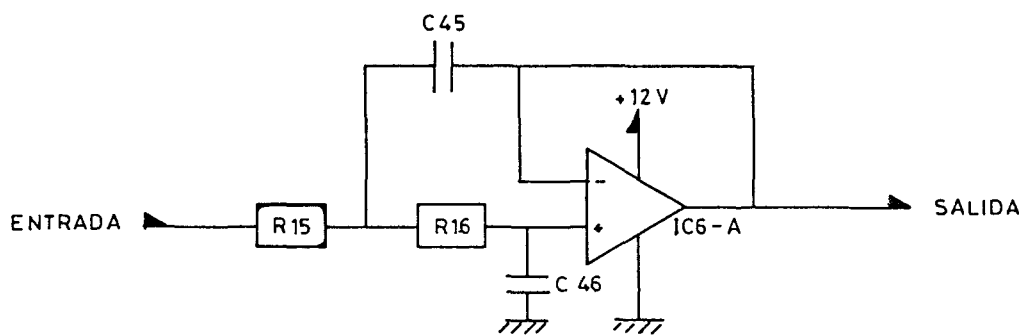


FIGURA 2-40

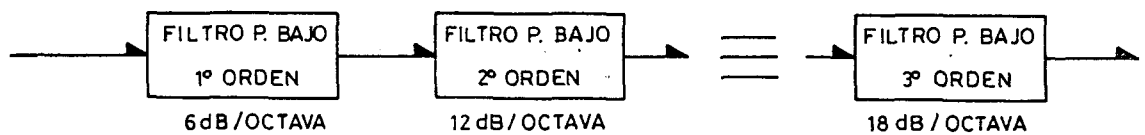


FIGURA 2-41A

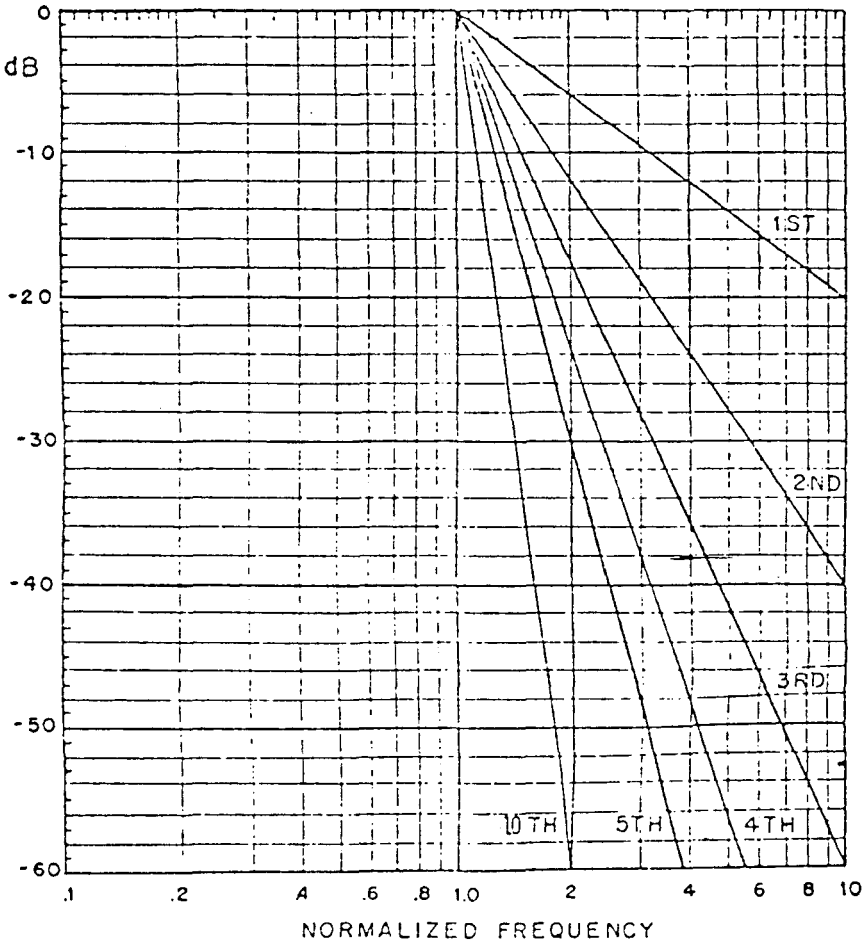


FIGURA 2_41 B

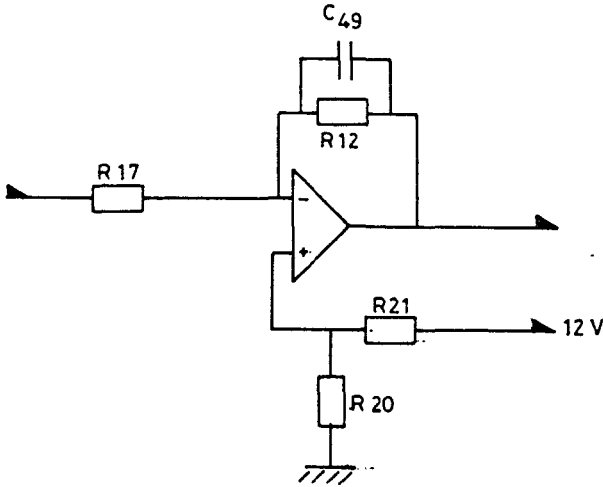


FIGURA 2_42

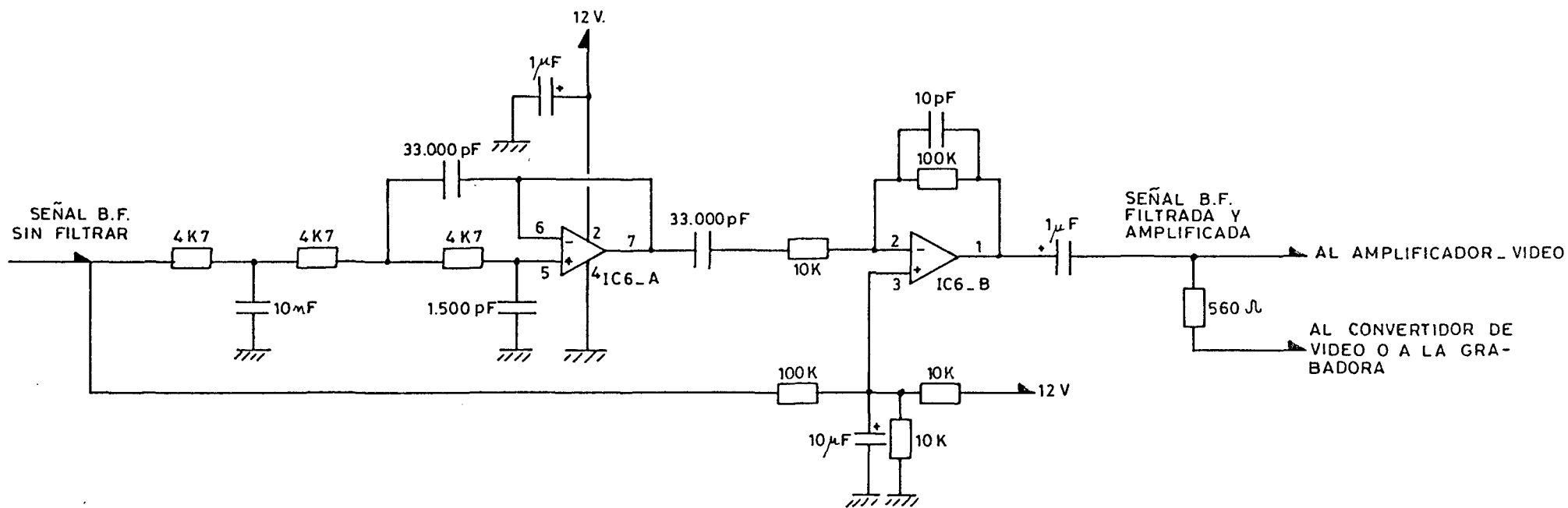


FIGURA 2_43

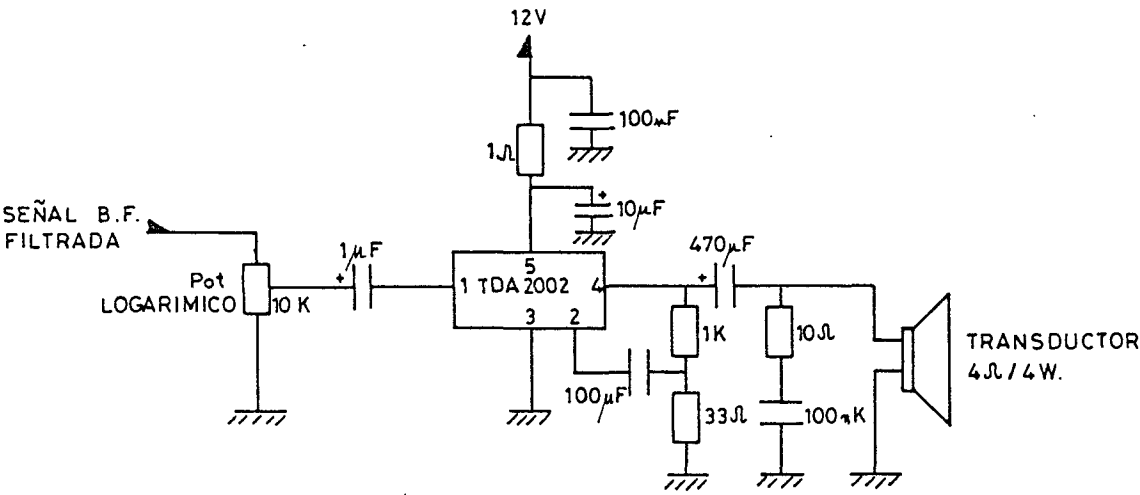


FIGURA 2_44

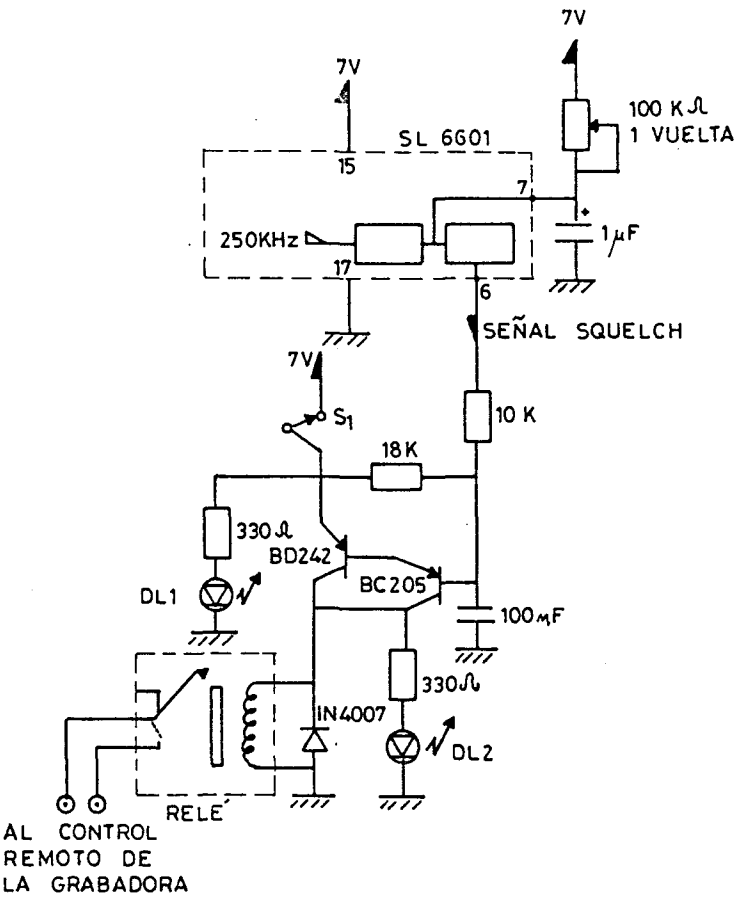


FIGURA 2_45

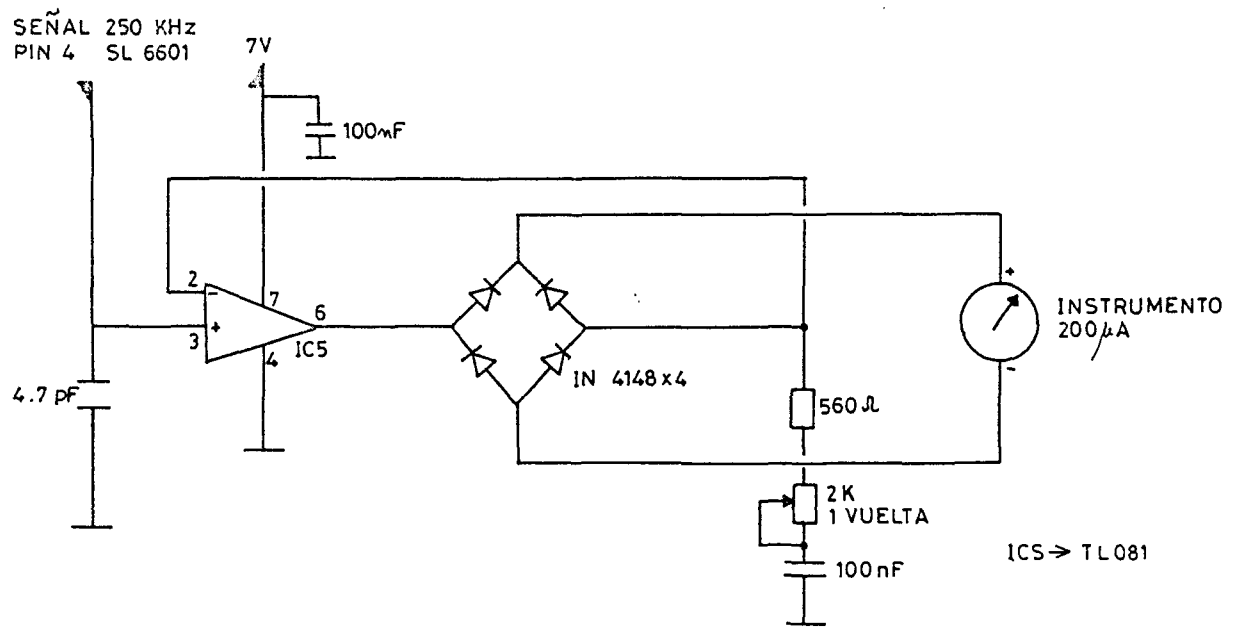


FIGURA 2_46

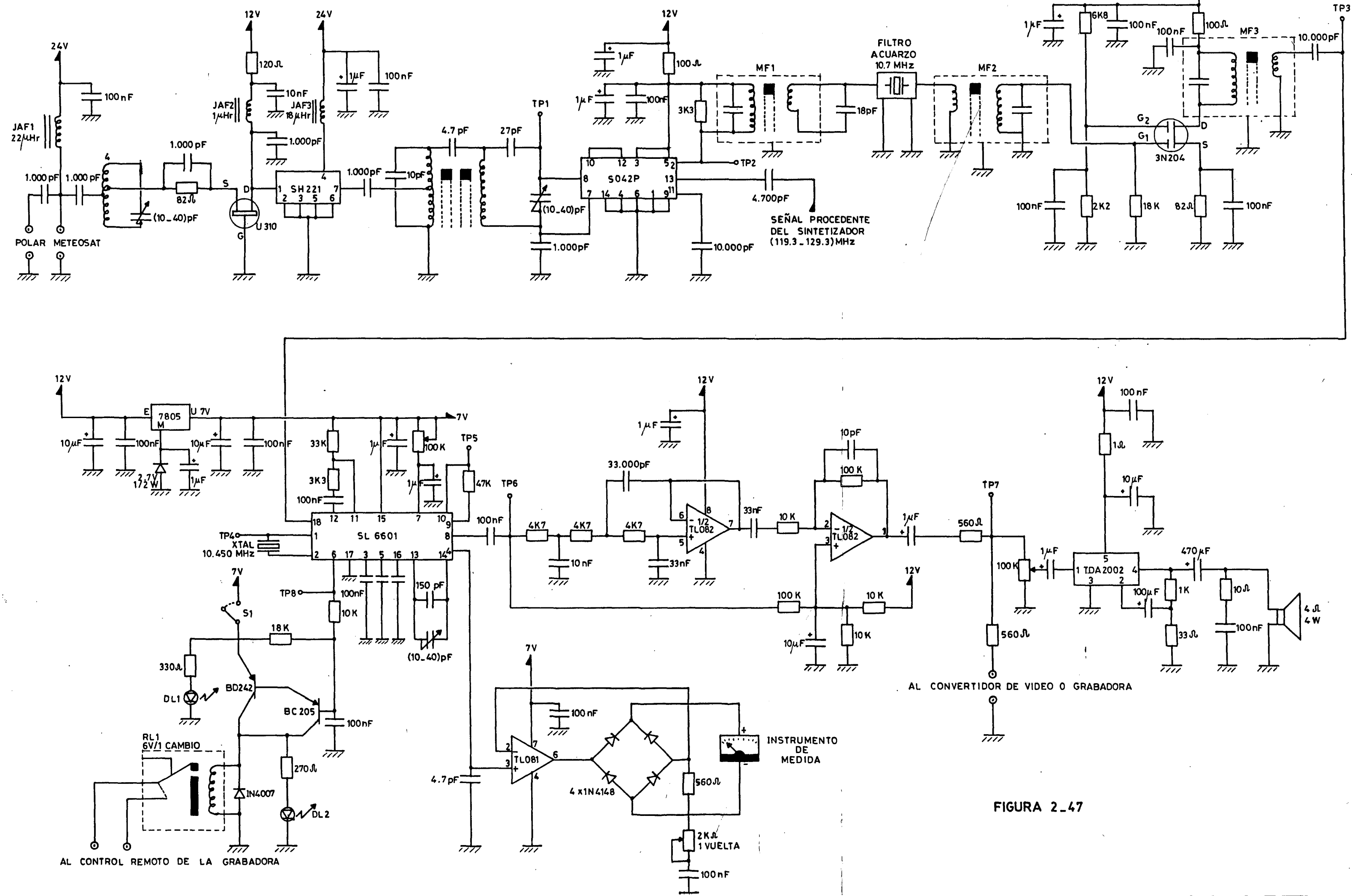


FIGURA 2_47

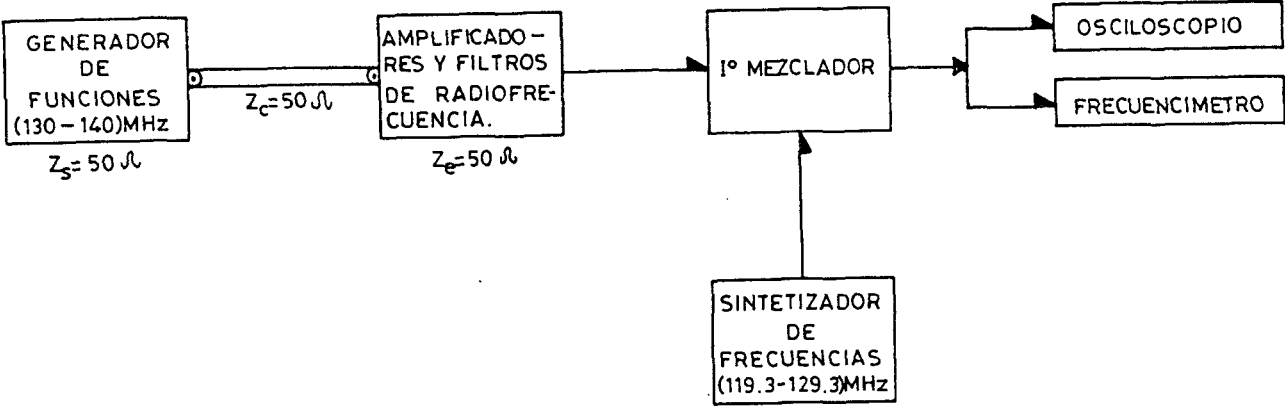
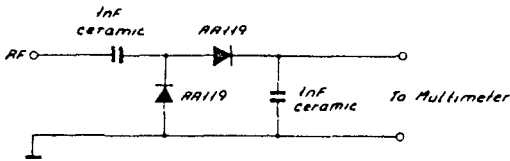


FIGURA 2_48

TESTPROBE



Layout af testprobe

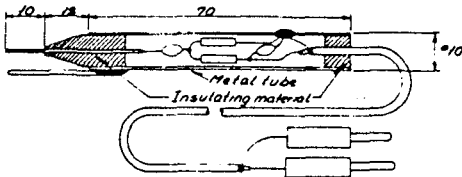


FIGURA 2_49

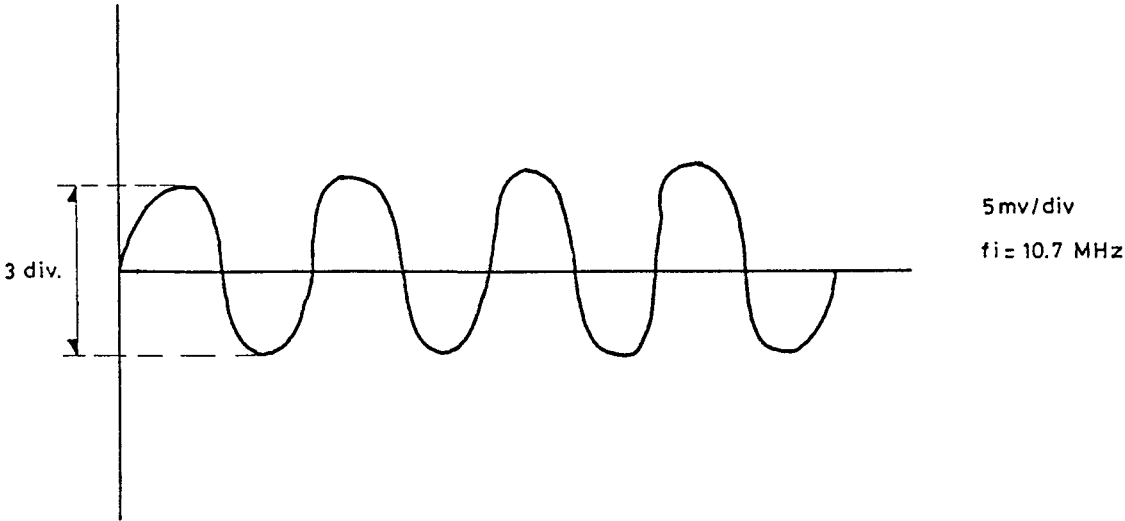


FIGURA 2_50A

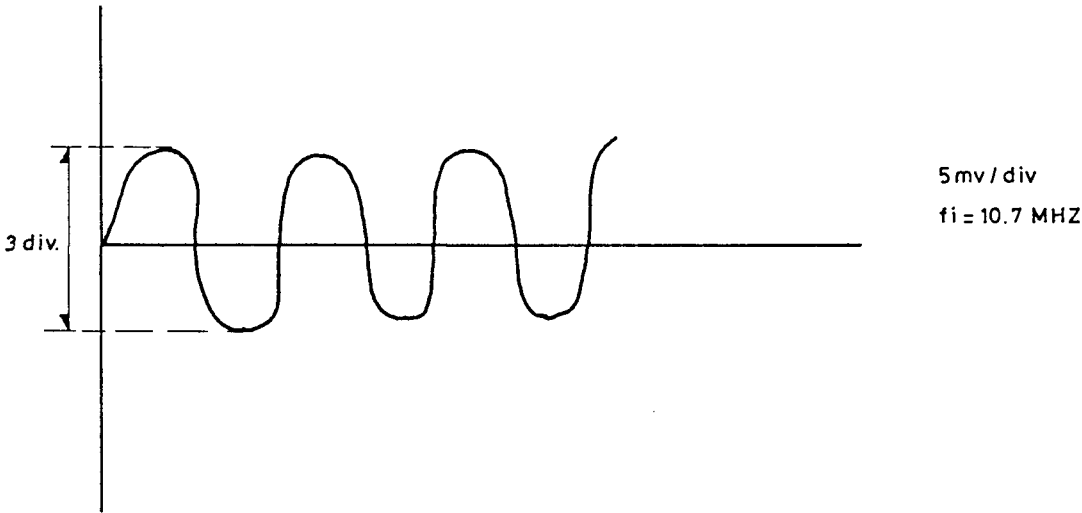


FIGURA 2_50B

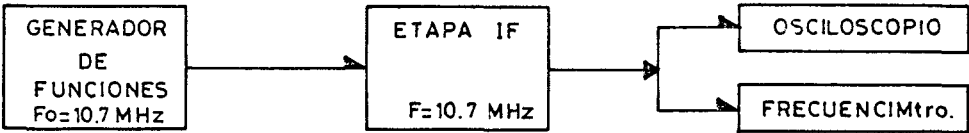


FIGURA 2_51

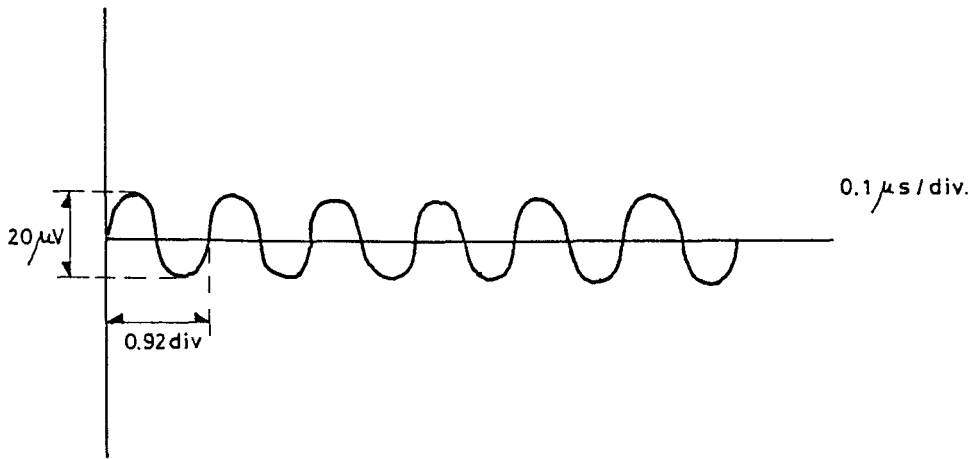


FIGURA 2_52 A

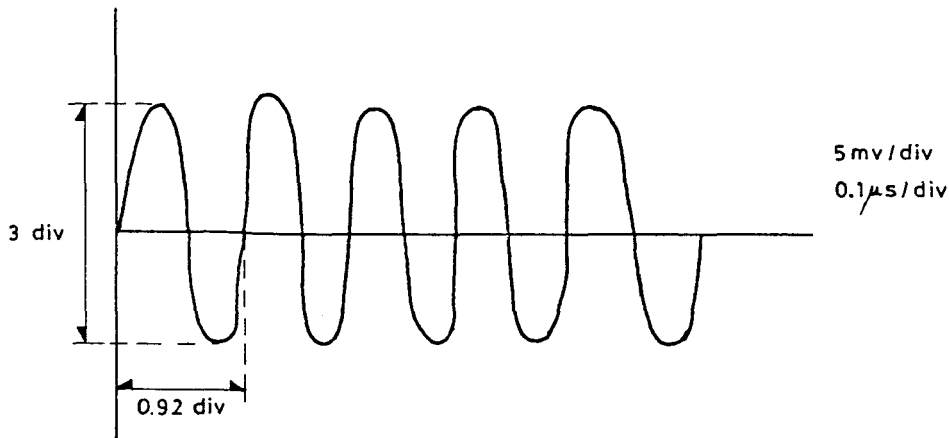


FIGURA 2_52 B

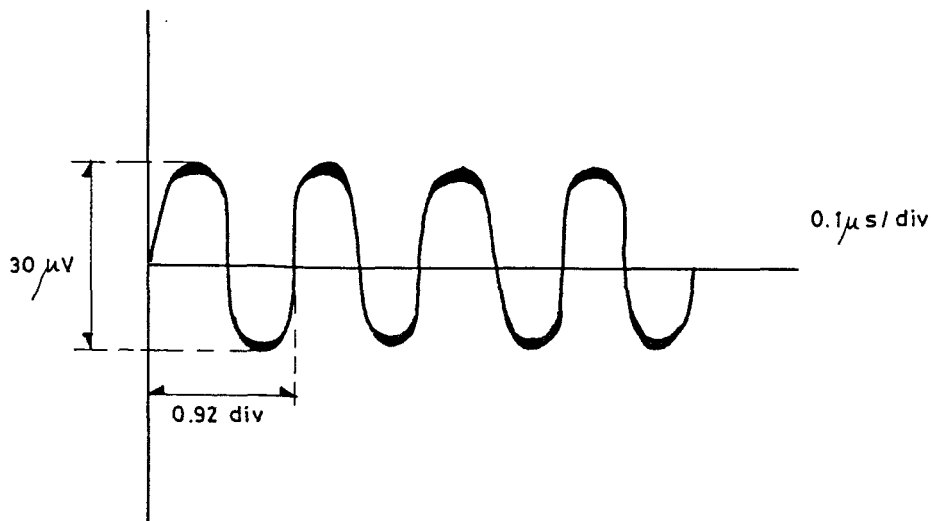


FIGURA 2_53 A

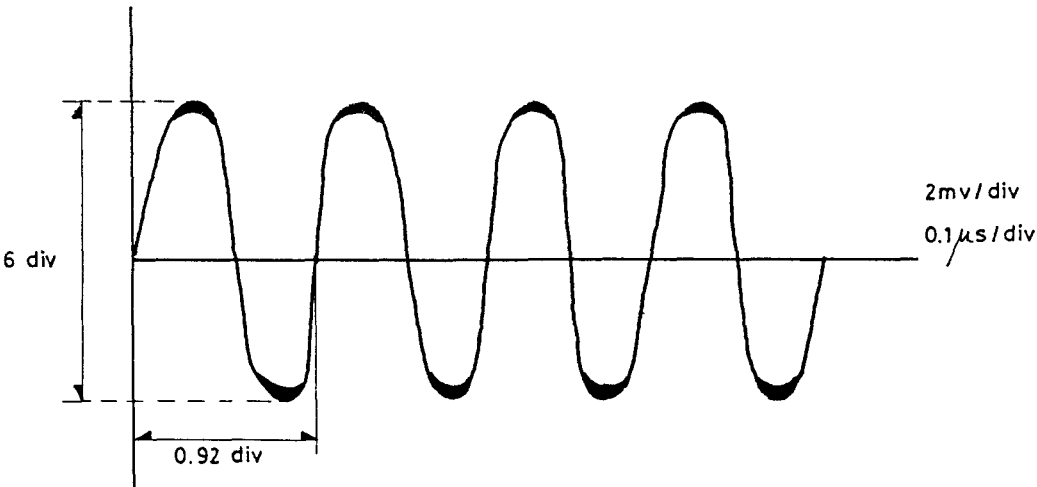


FIGURA 2_53 B

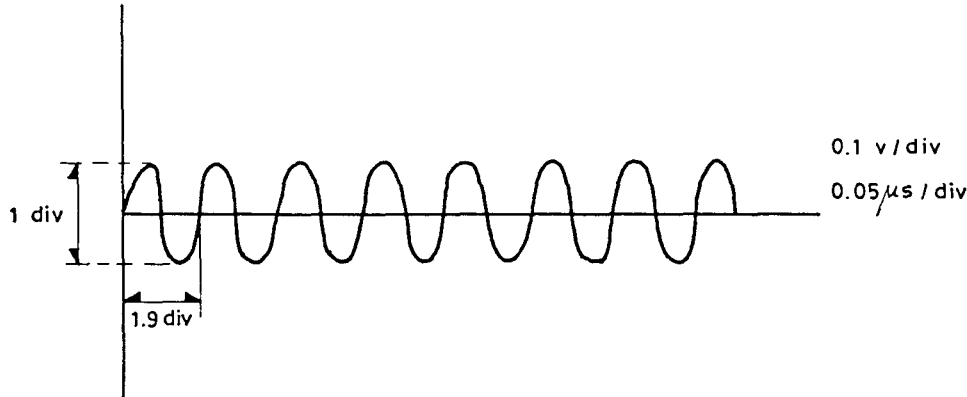


FIGURA 2_54

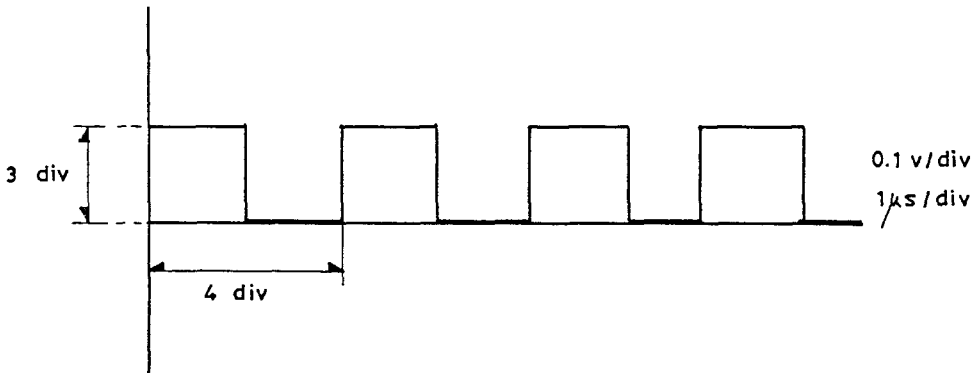


FIGURA 2_55

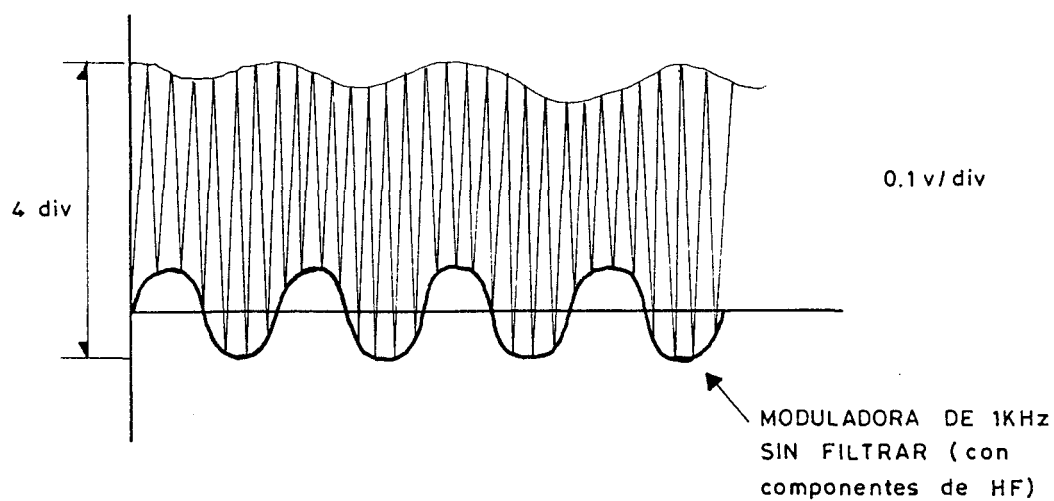


FIGURA 2_56

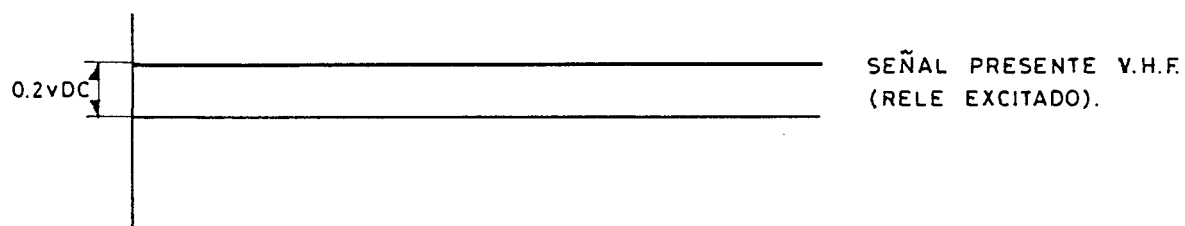


FIGURA 2_57 A

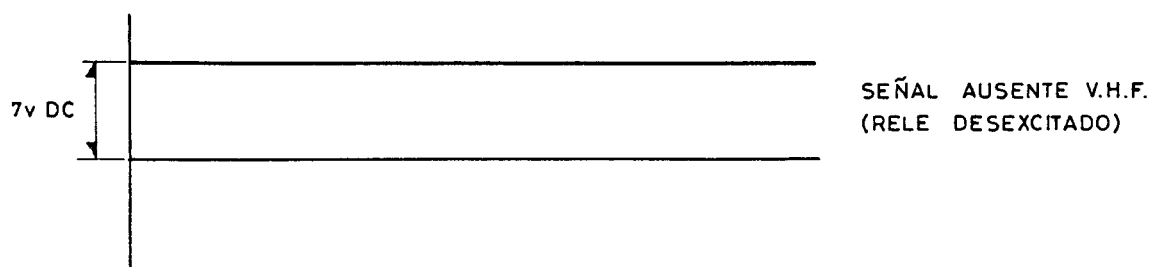


FIGURA 2_57 B

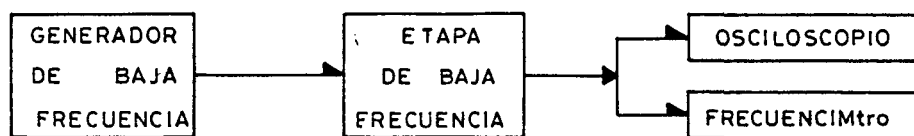


FIGURA 2_58

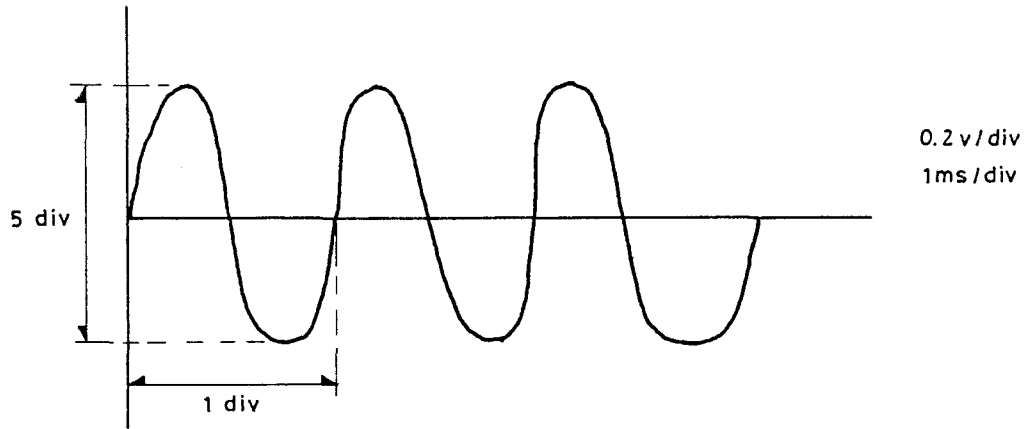


FIGURA 2_59 A

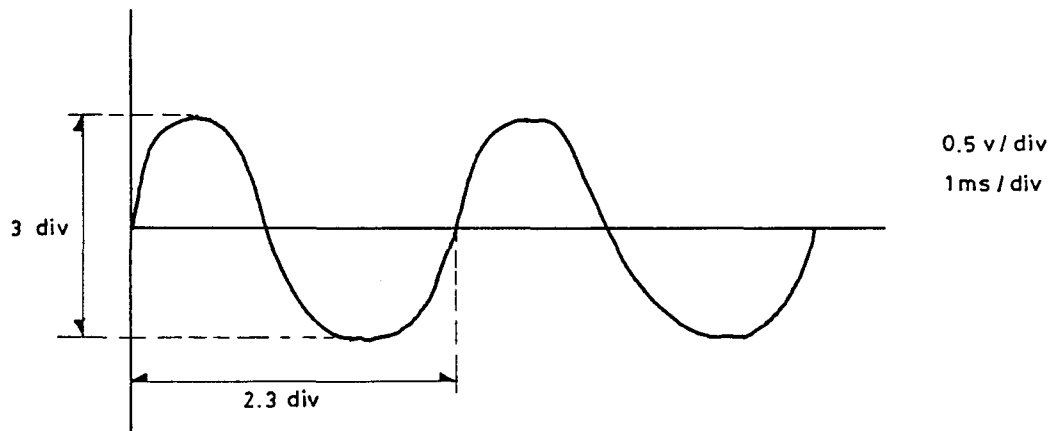
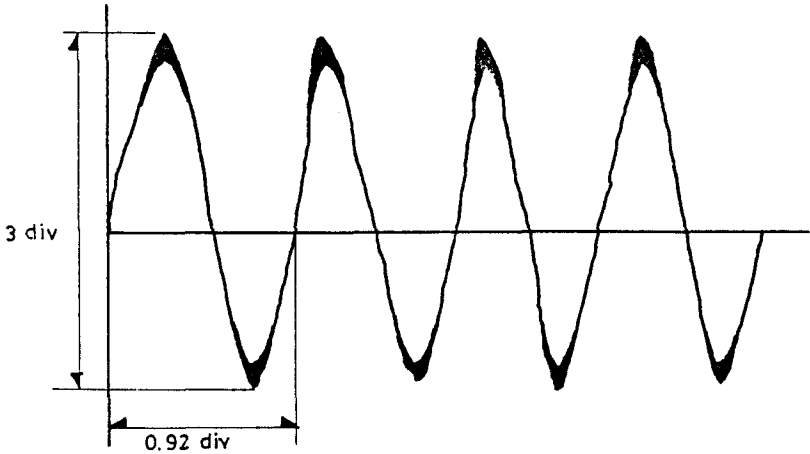


FIGURA 2_59 B

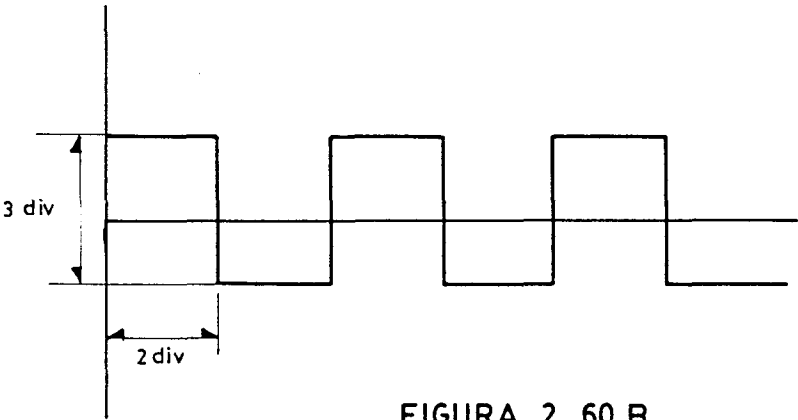
TP3



5 mv/div
0.1 μ s/div
Fi = 10.7 MHz

FIGURA 2_60 A

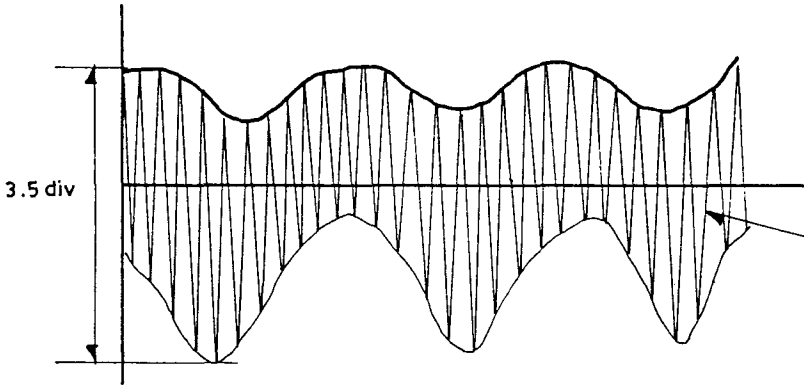
TP5



0.1 v/div
2 μ s/div
Fvco = 250 KHz

FIGURA 2_60 B

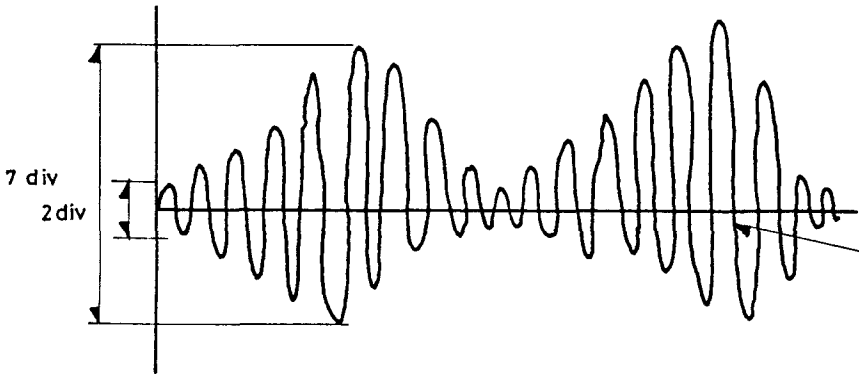
TP6



50mv/div
SUBPORTADORA 2.400 Hz
MODULADA EN AM SIN
FILTRAR

FIGURA 2_60 C

TP7



0.2v/div
SUBPORTADORA 2.400 Hz
MODULADA EN AM
FILTRADA.

FIGURA 2_60 D

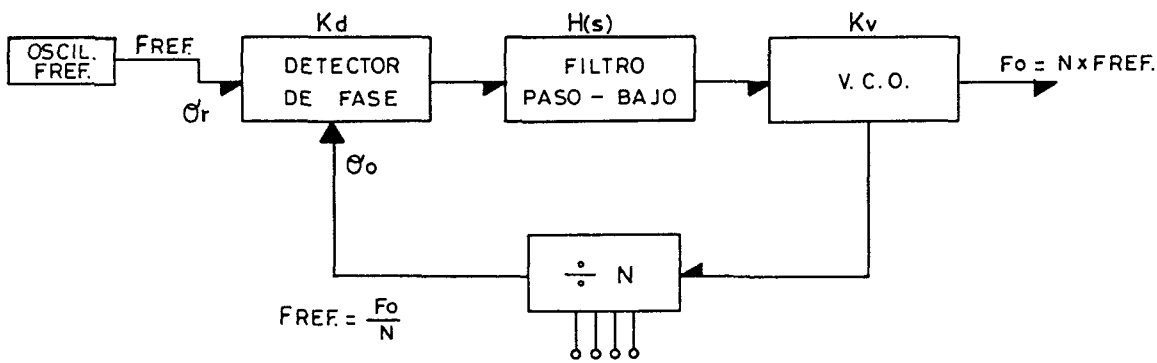


FIGURA 3_1

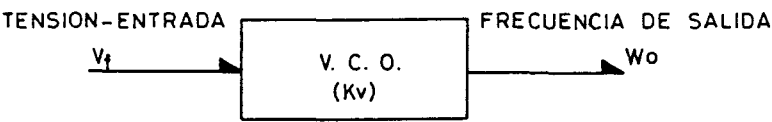


FIGURA 3_2

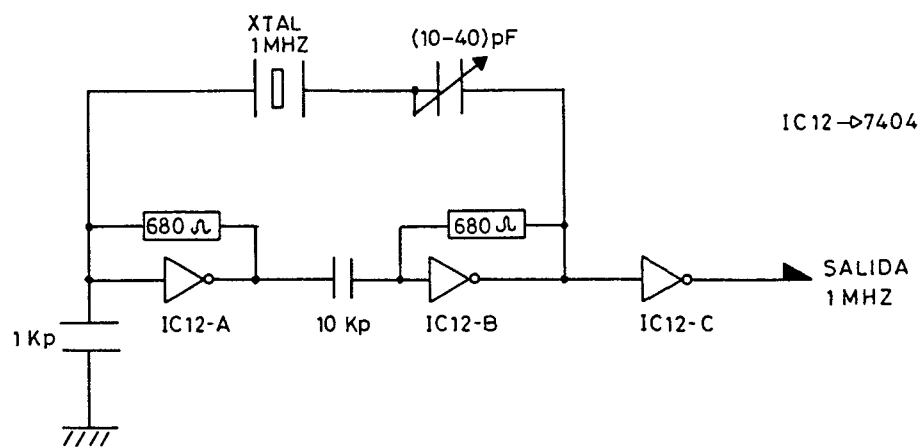


FIGURA 3_3

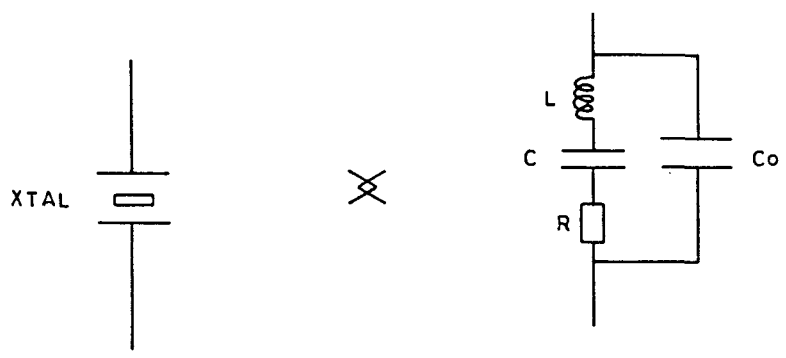


FIGURA 3_4

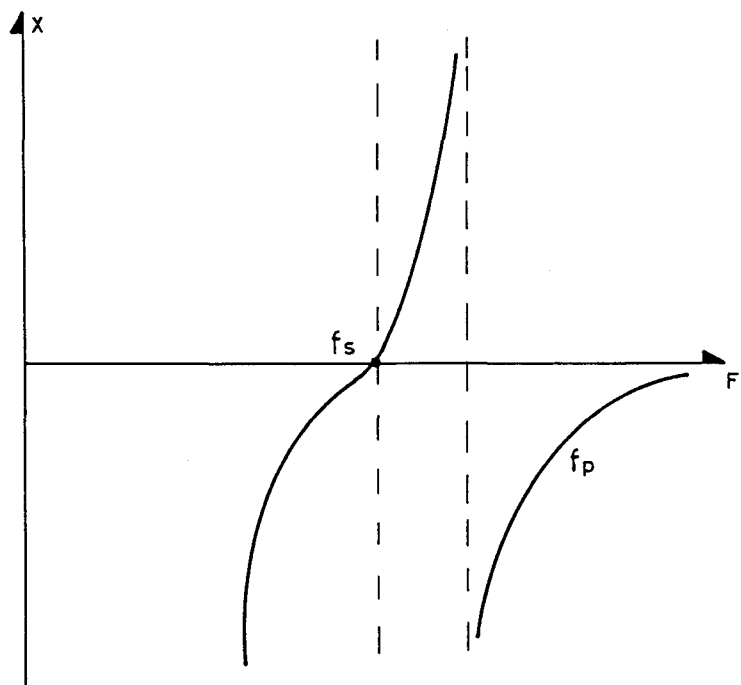


FIGURA 3_5

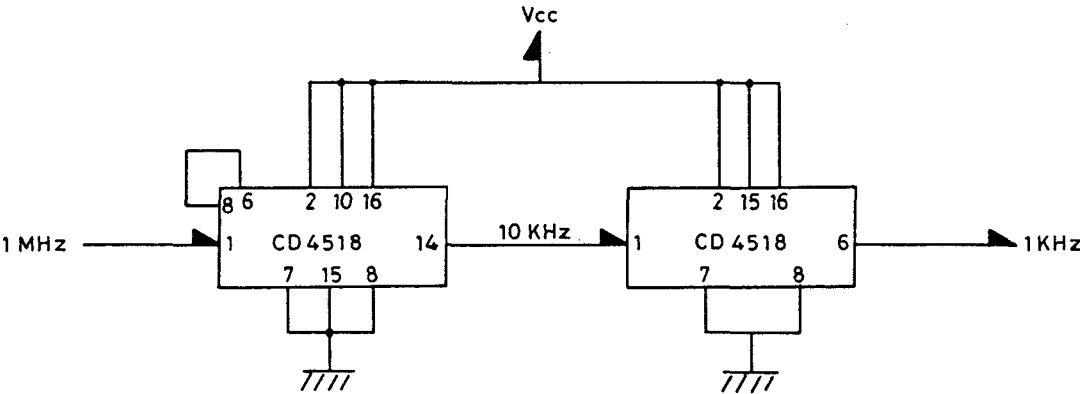


FIGURA 3_6

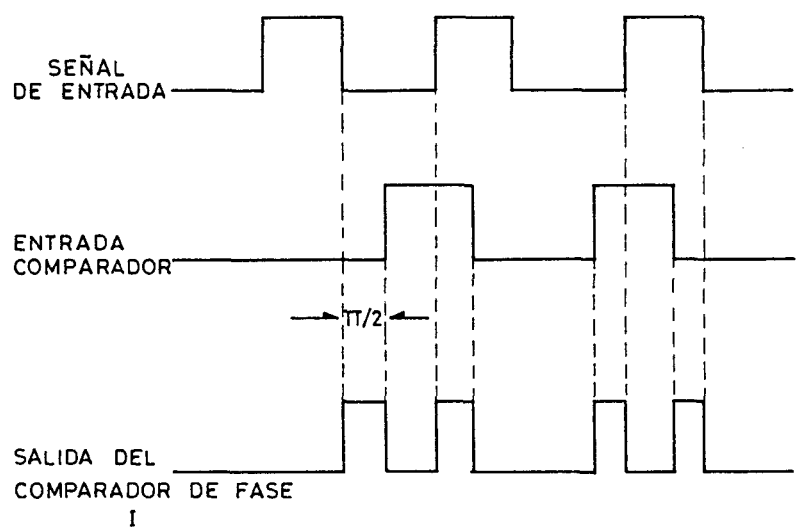


FIGURA 3_7

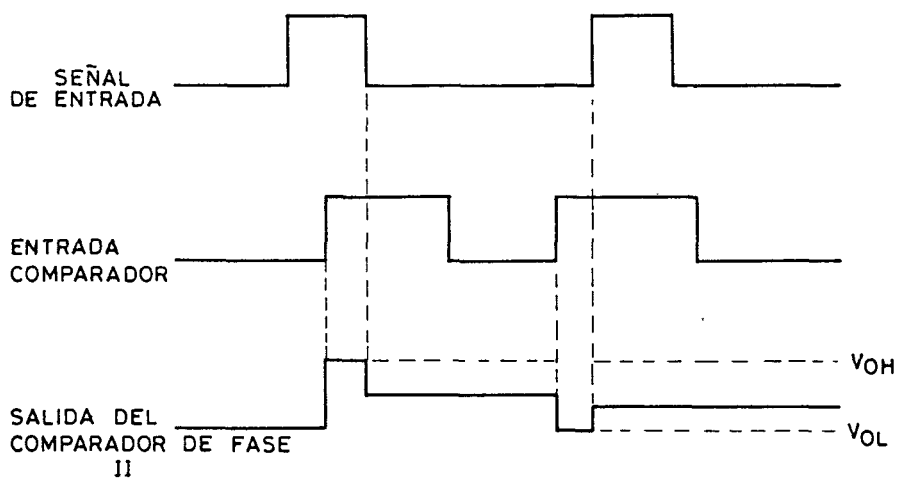


FIGURA 3_8

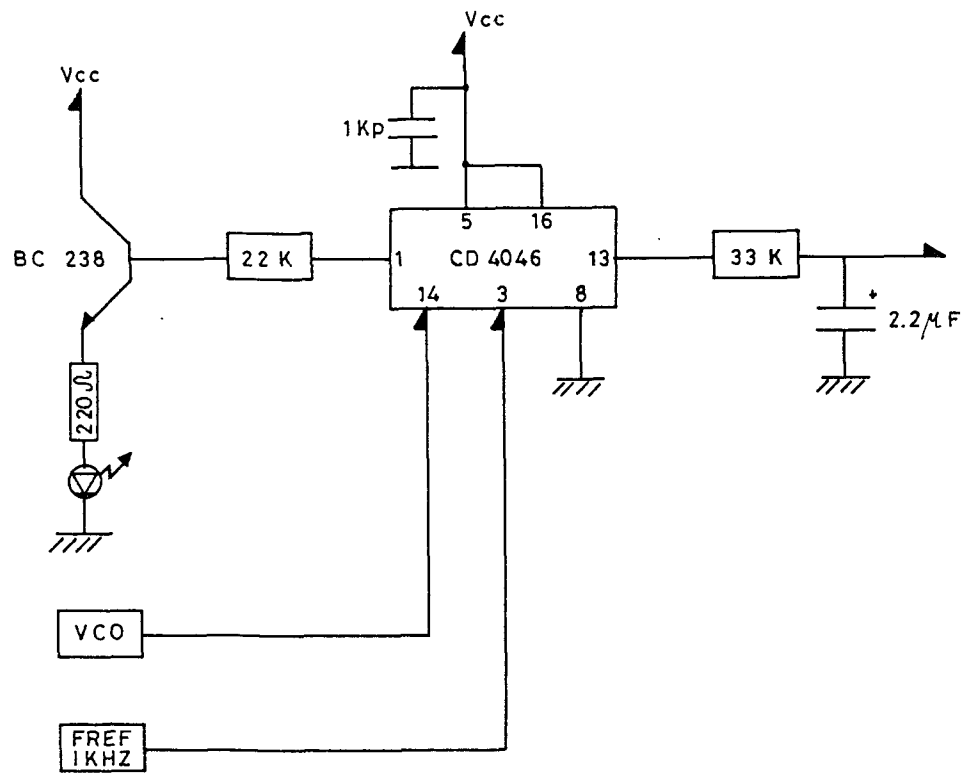


FIGURA 3_9

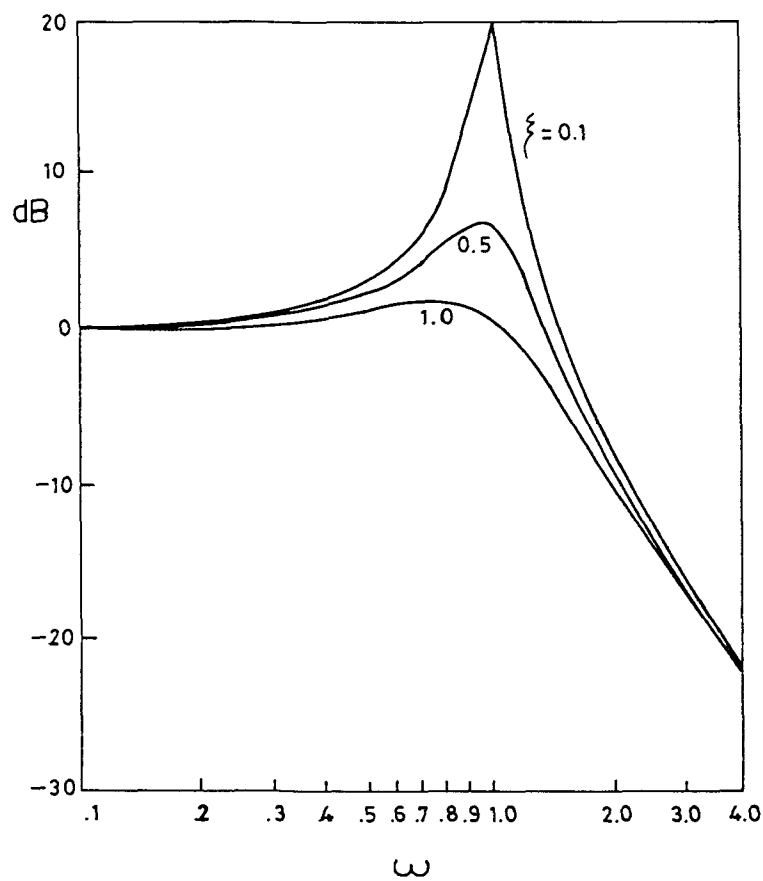


FIGURA 3_10A

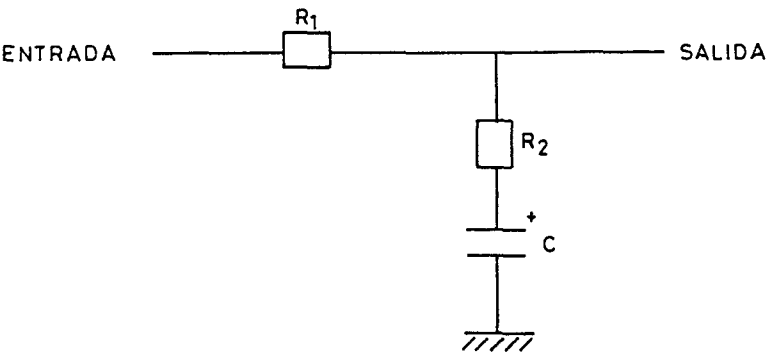


FIGURA 3_10 B

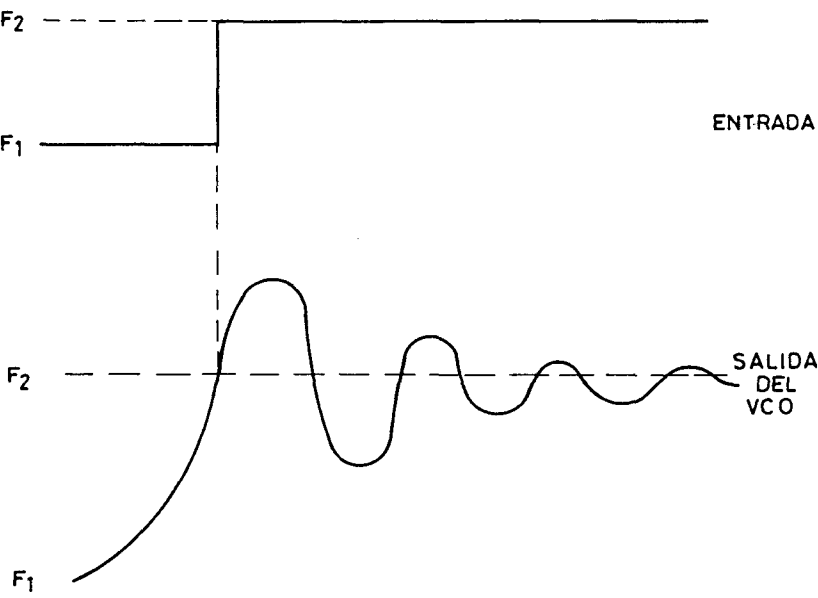


FIGURA 3_11

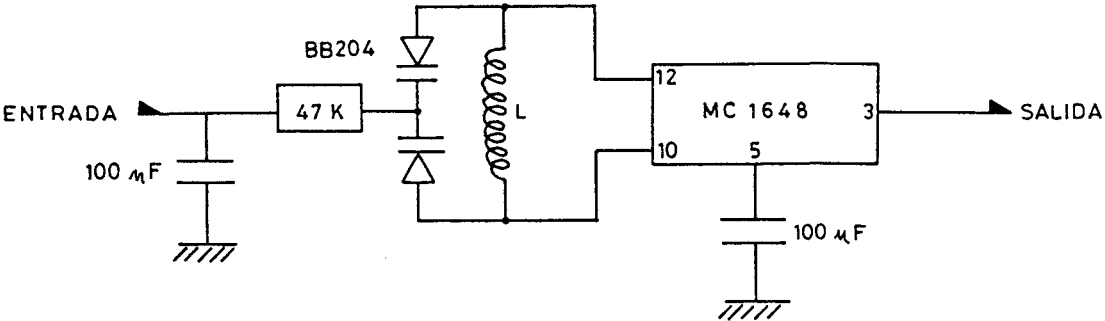


FIGURA 3_12

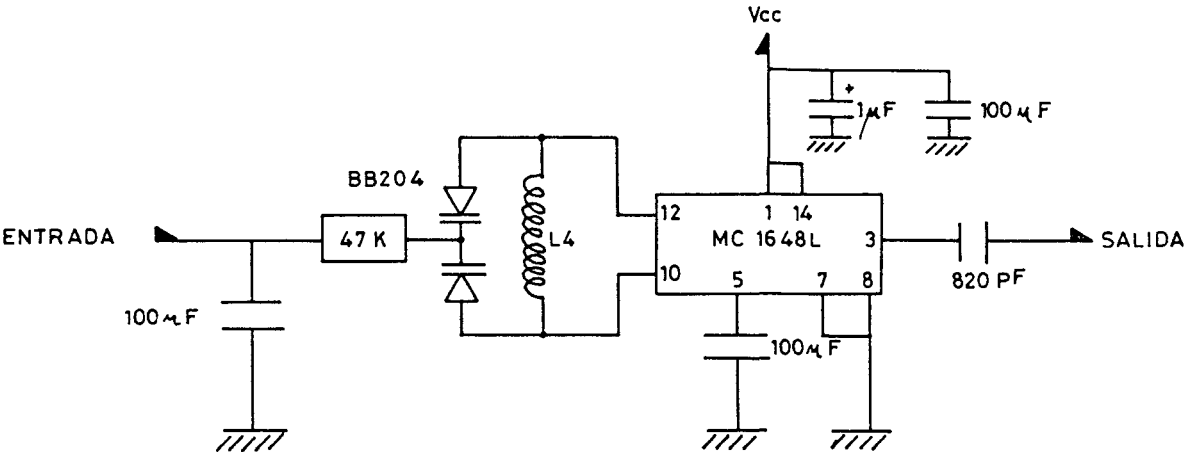


FIGURA 3_13

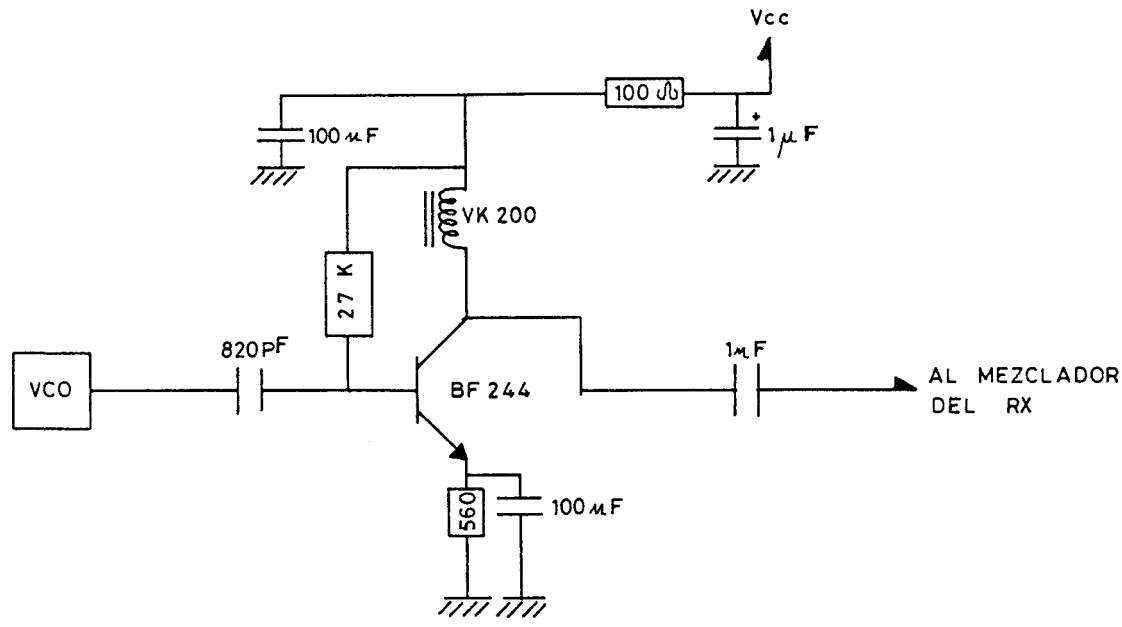


FIGURA 3_14

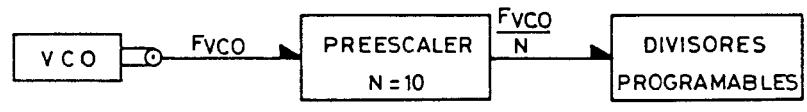


FIGURA 3_15

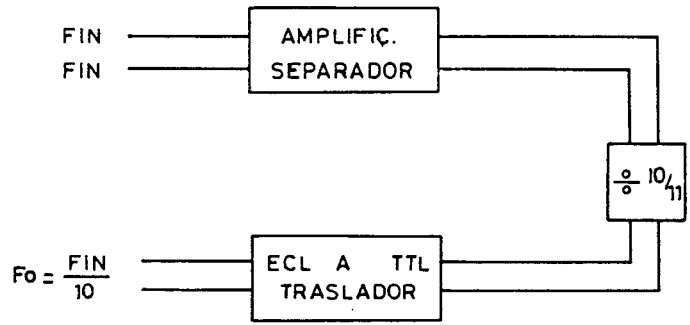


FIGURA 3_16

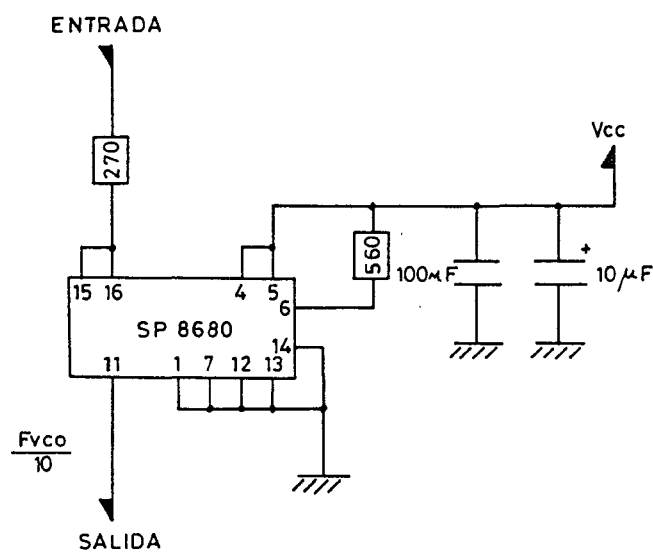


FIGURA 3_17

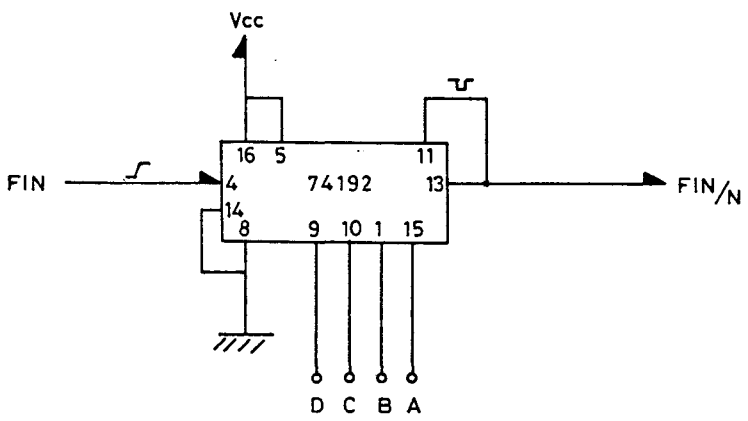


FIGURA 3_18

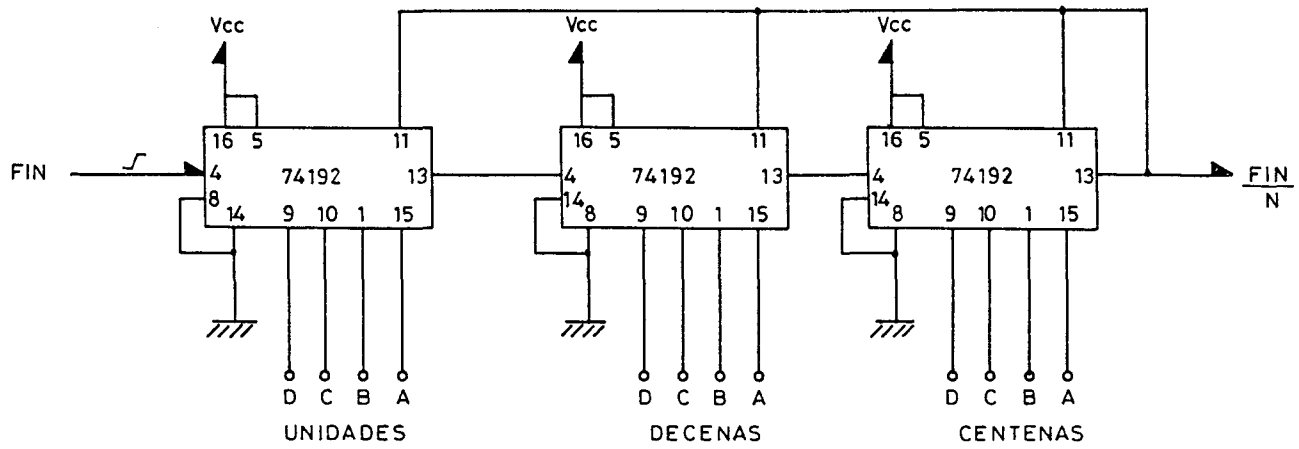


FIGURA 3_19

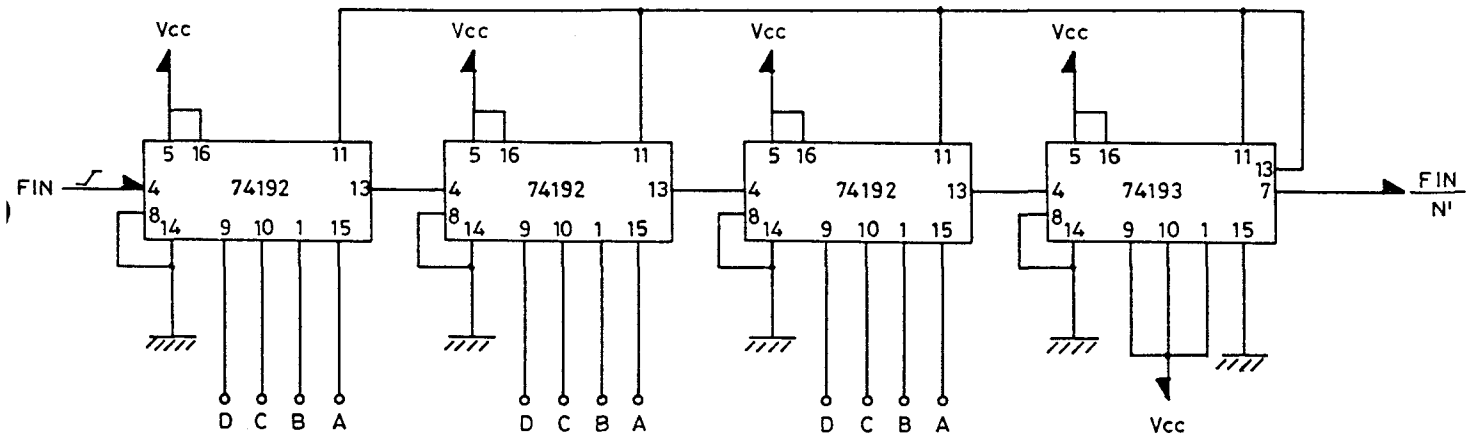


FIGURA 3_20

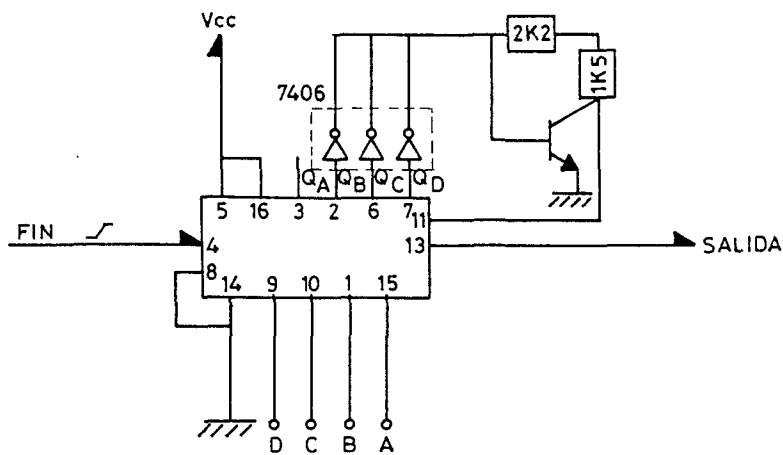


FIGURA 3_21

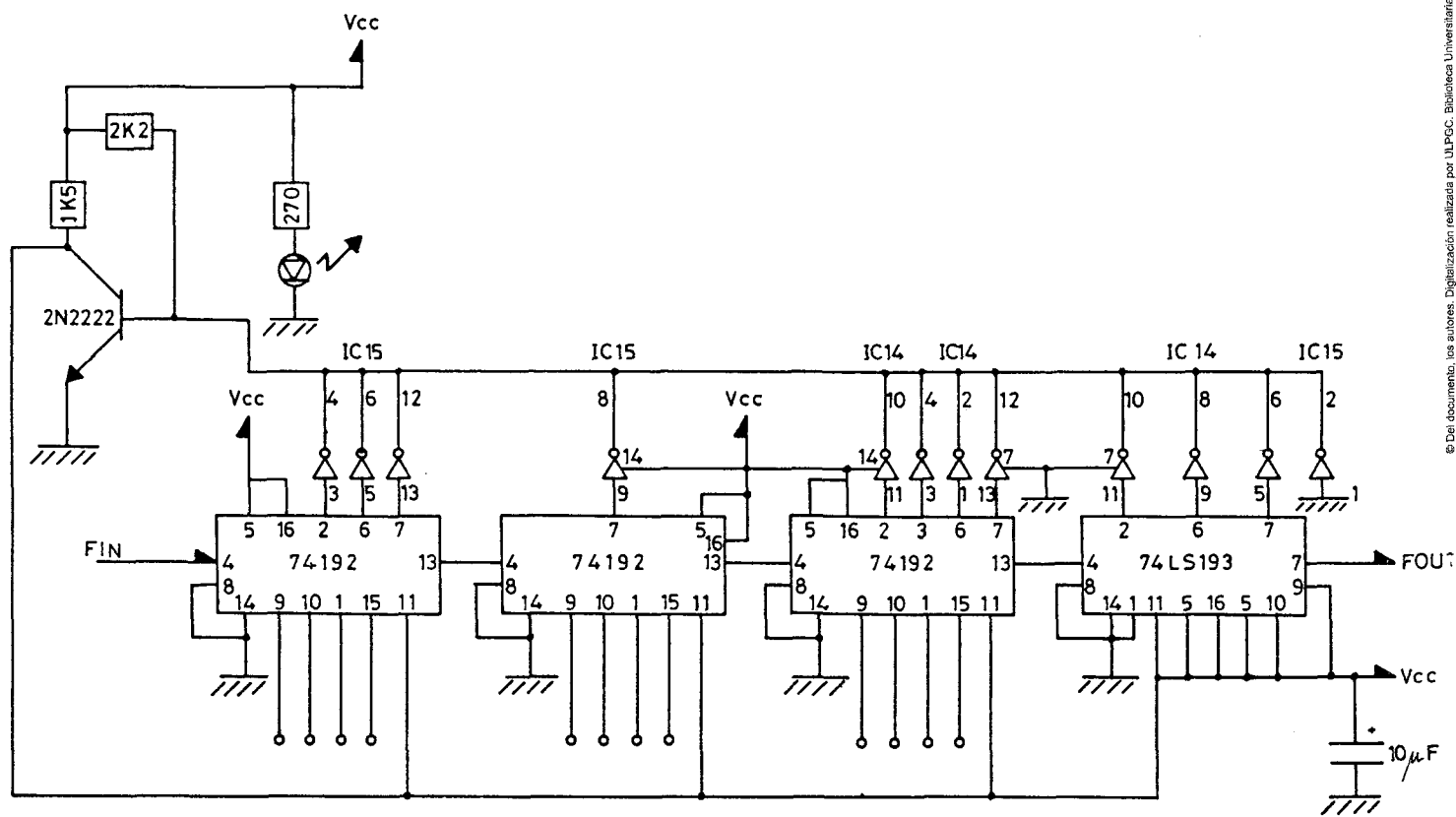


FIGURA 3_22

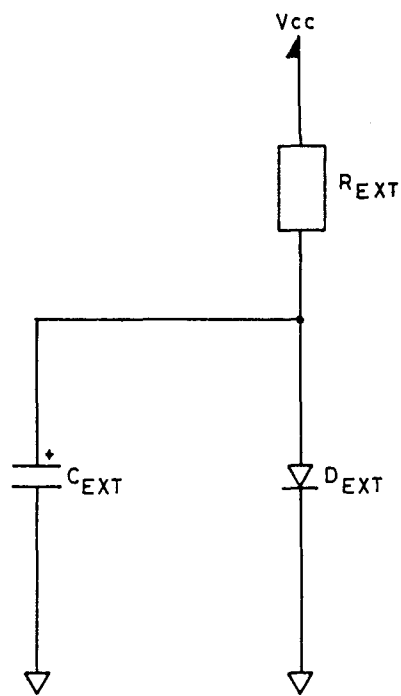


FIGURA 3_25

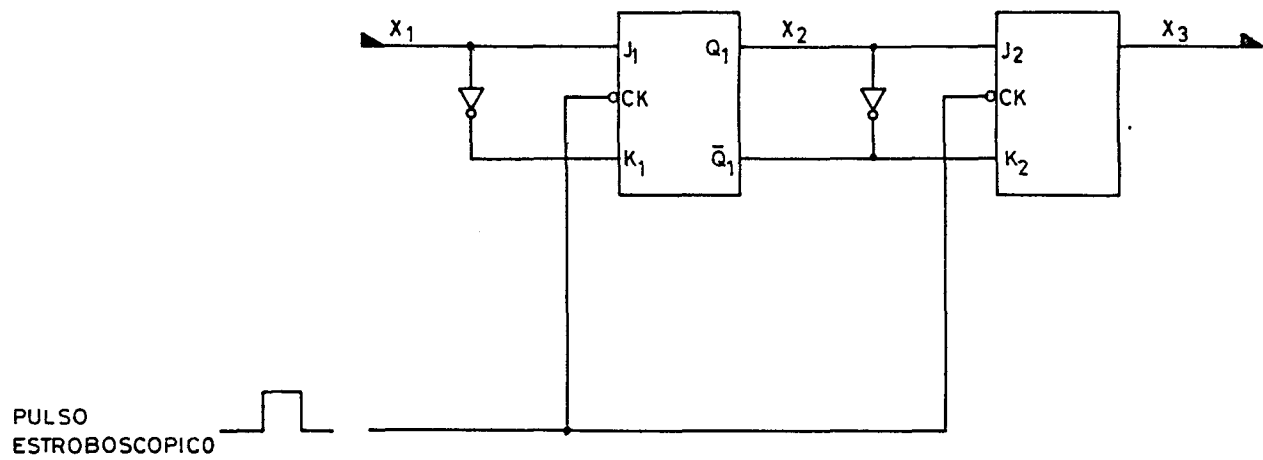


FIGURA 3_26



FIGURA 3_27

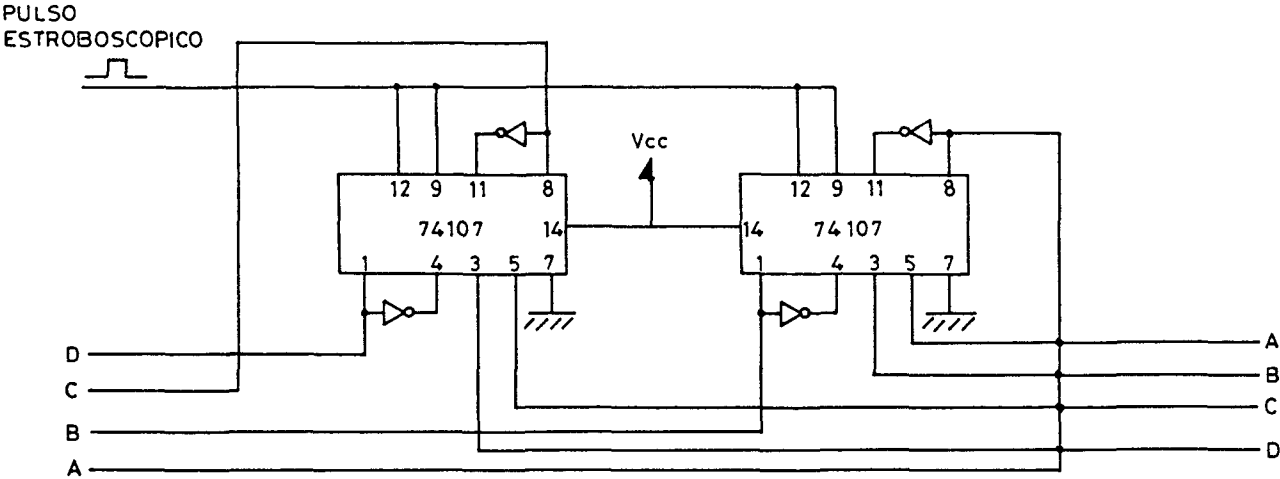


FIGURA 3_28

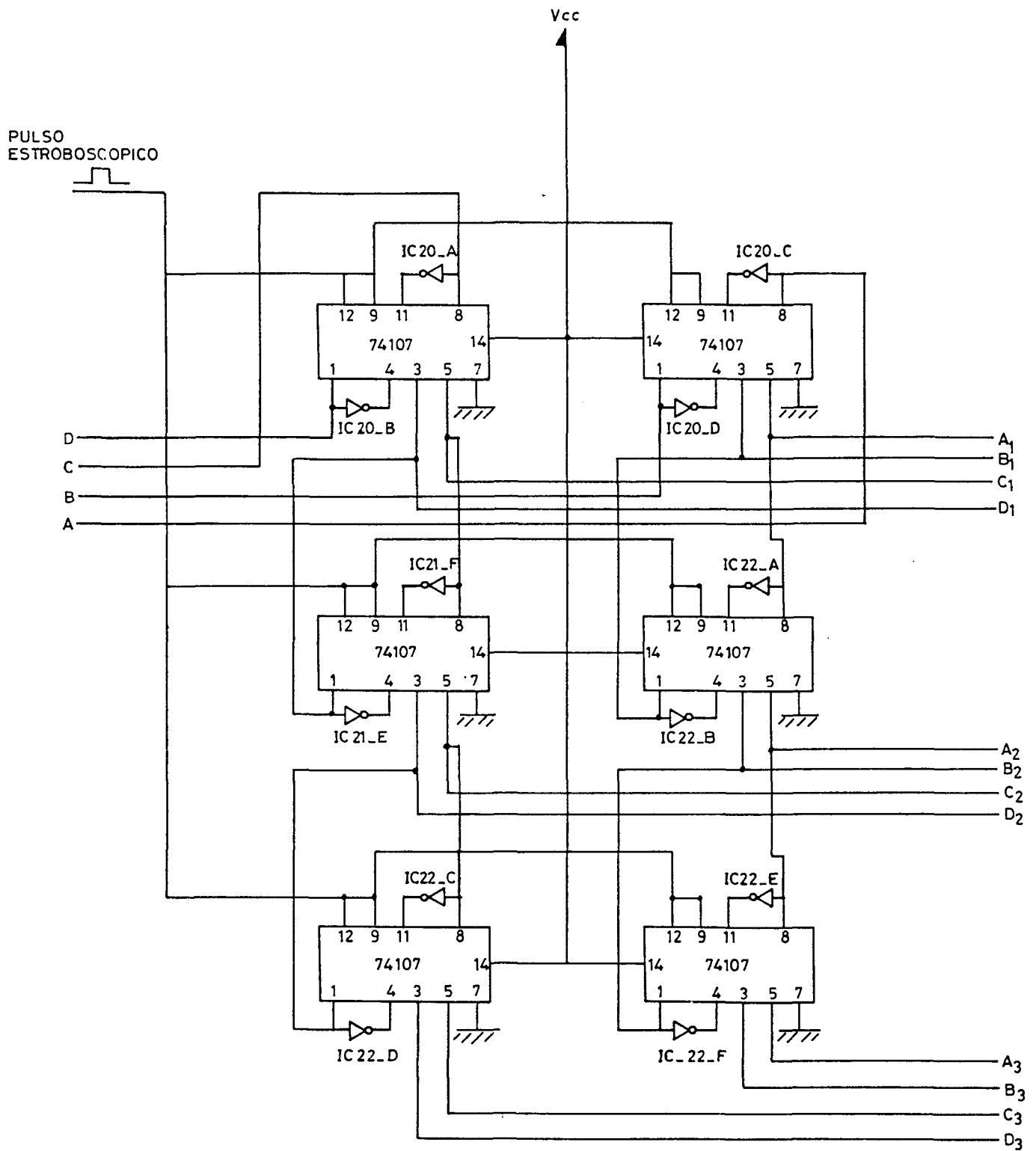
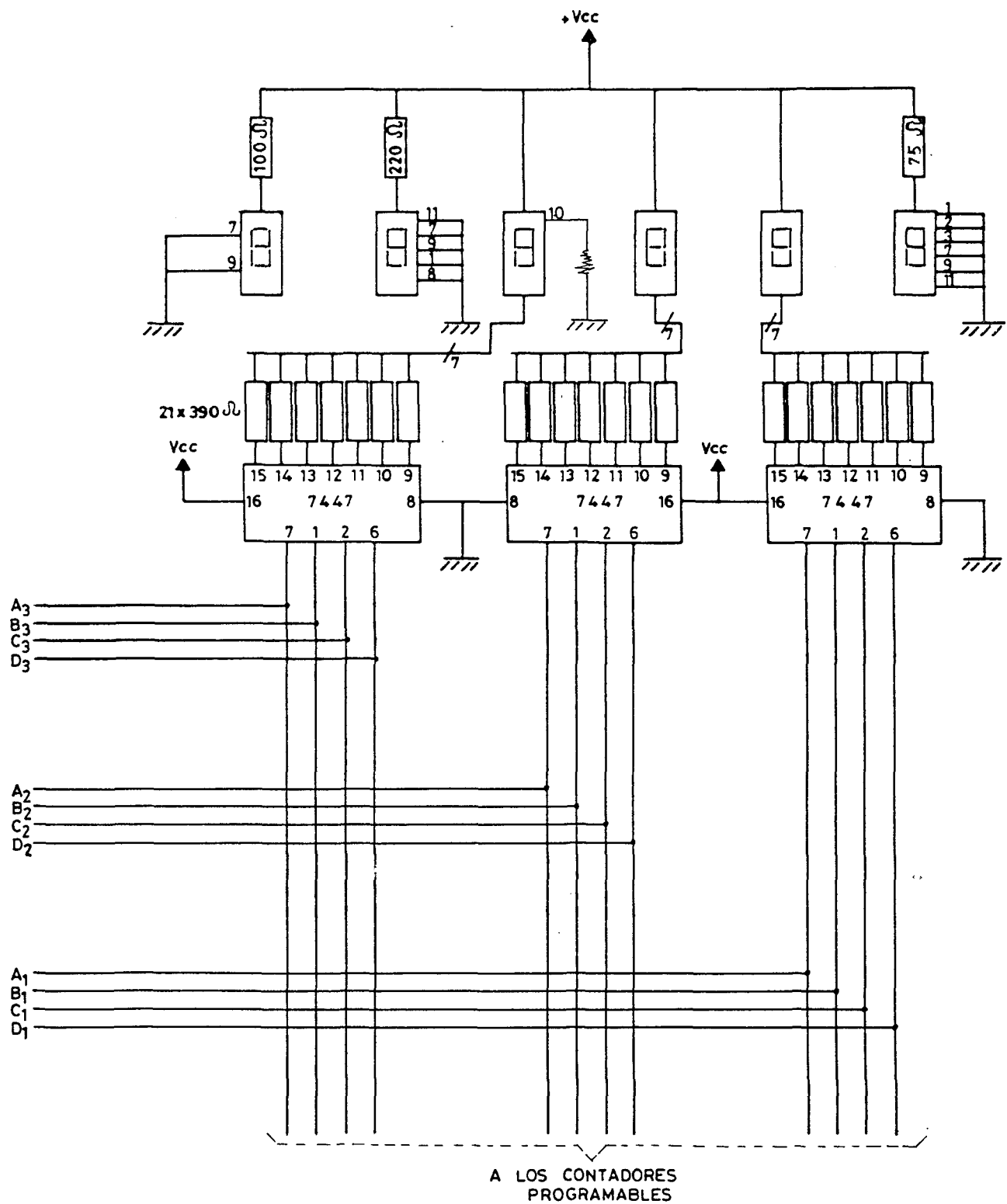


FIGURA 3_29

FIGURA 3_30A



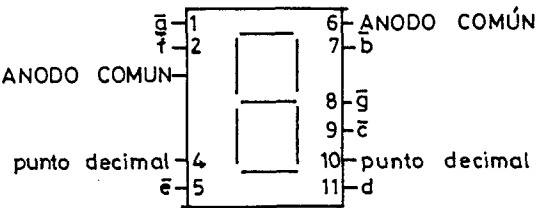


FIGURA 3_30 B

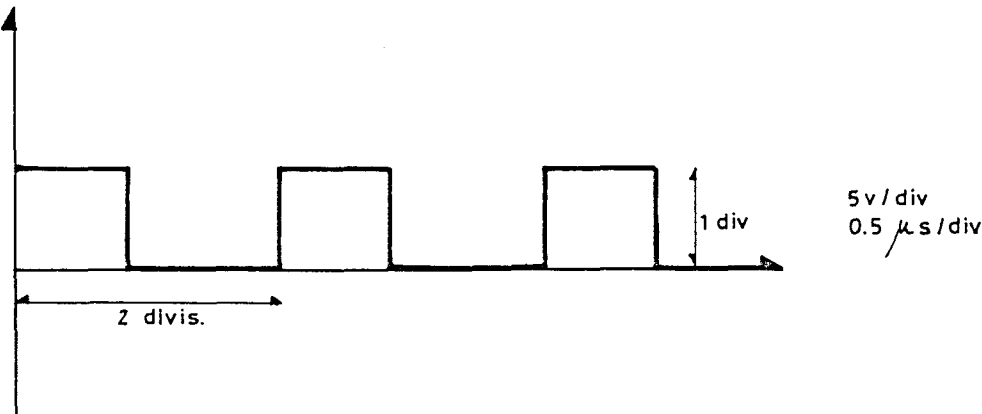


FIGURA 3_32

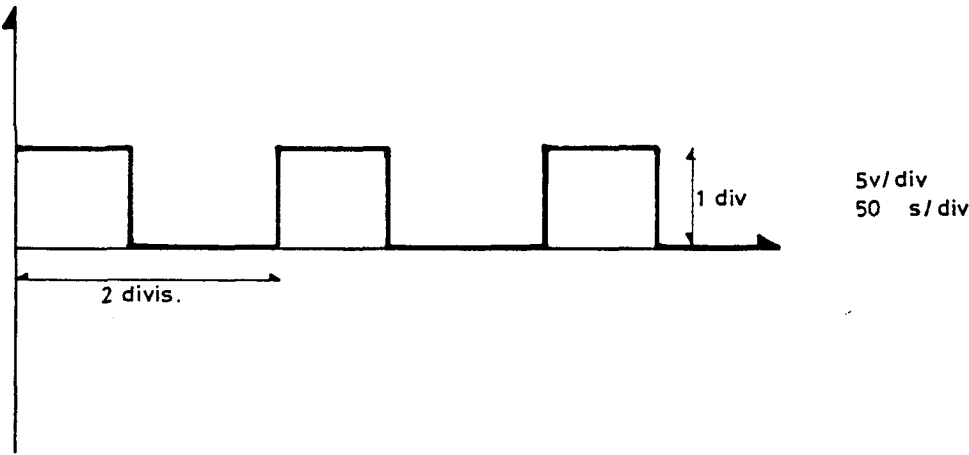


FIGURA 3_33



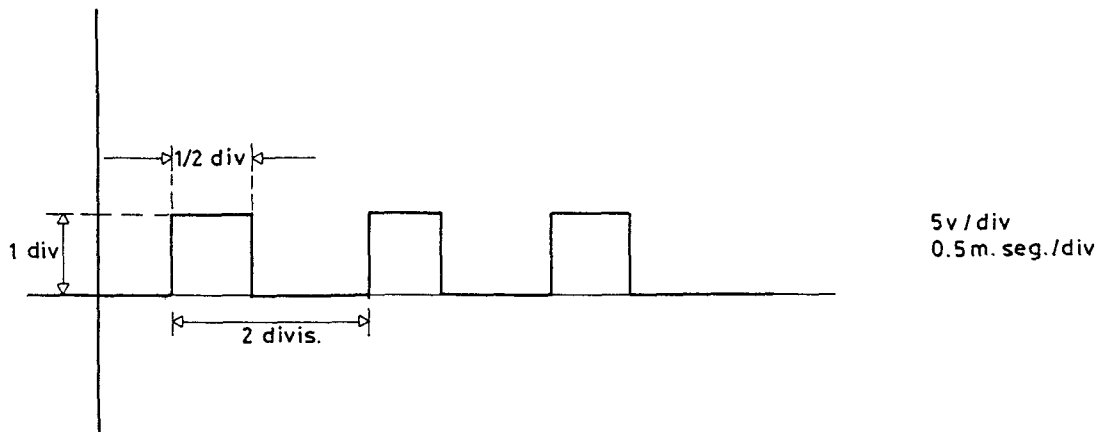


FIGURA 3_34

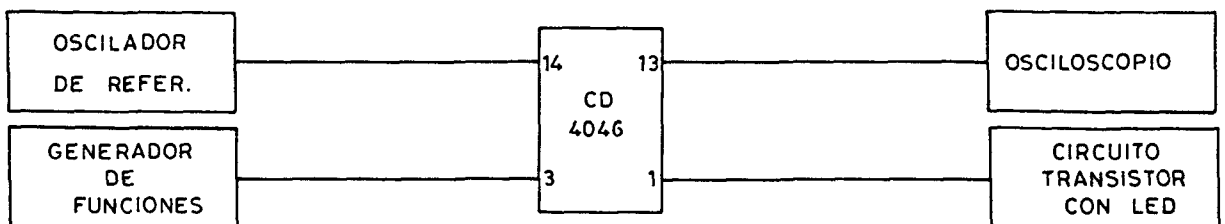


FIGURA 3_35

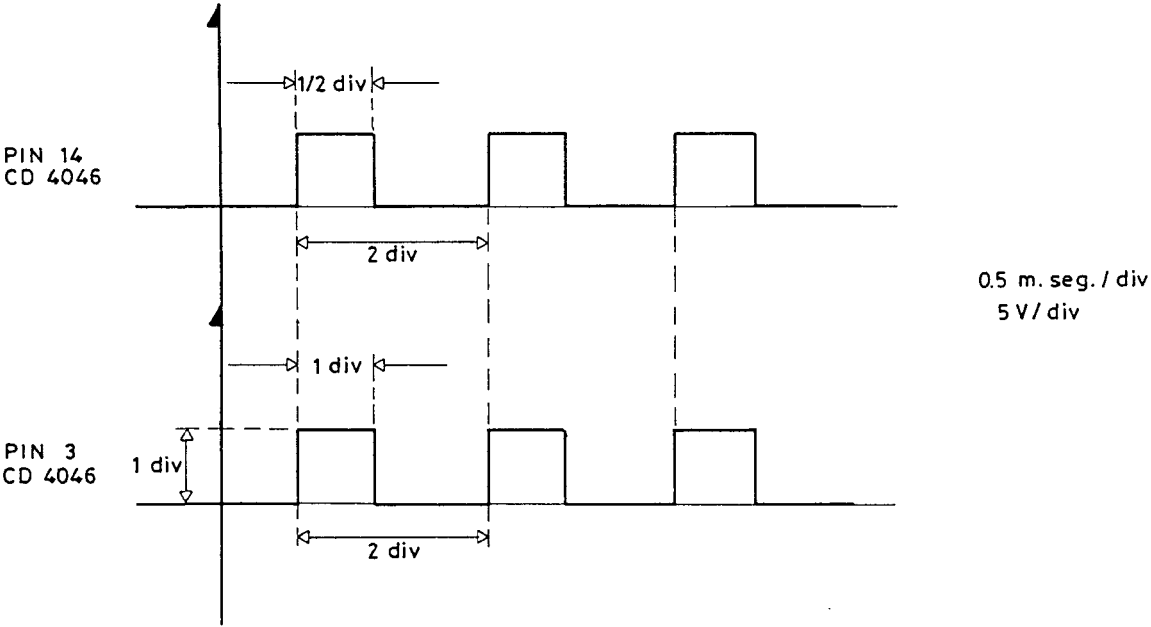


FIGURA 3_36

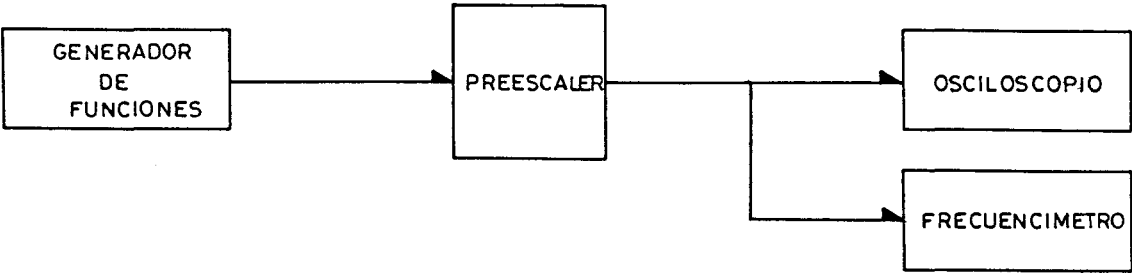


FIGURA 3_37

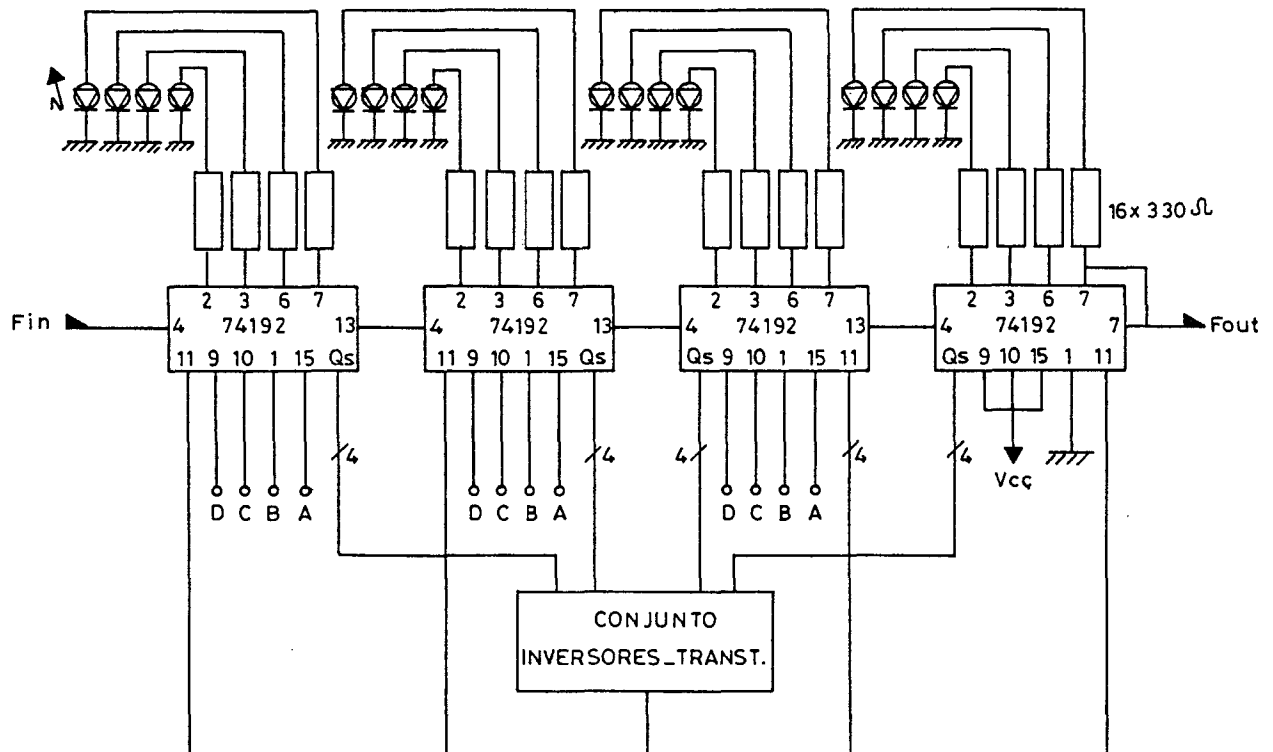


FIGURA 3_38

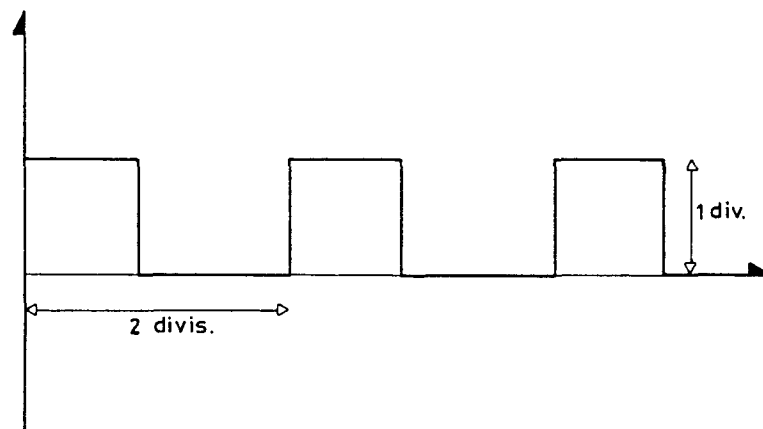


FIGURA 3_39

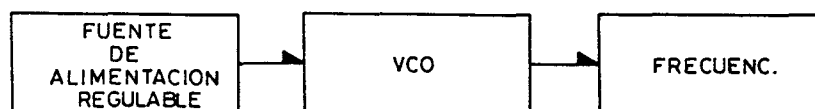
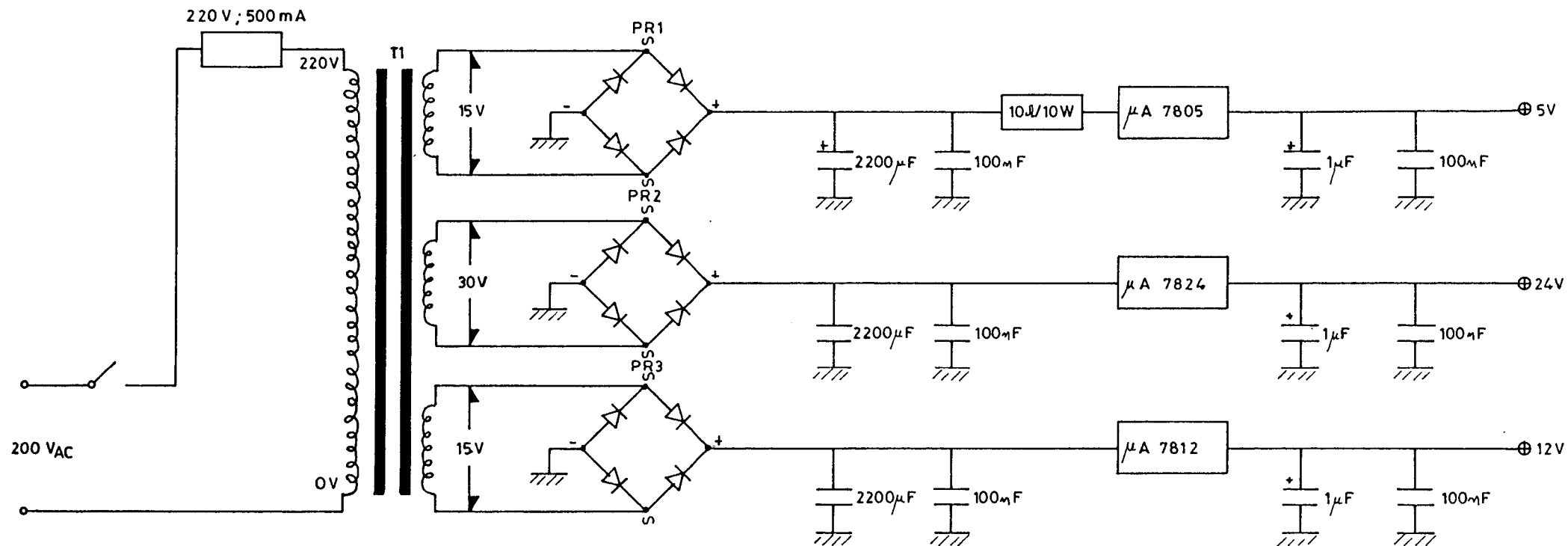


FIGURA 3_40



T1 TRANSFORMADOR, PRIMARIO 220/ SECUNDARIO 15_0_15; 2 A DC
 PR1 PUENTE RECTIFICADOR 30V/ 2.2 AMPERIOS
 PR2 " " 20V/ 1 "
 PR3 " " 20V/ 1 "

FIGURA 4_1

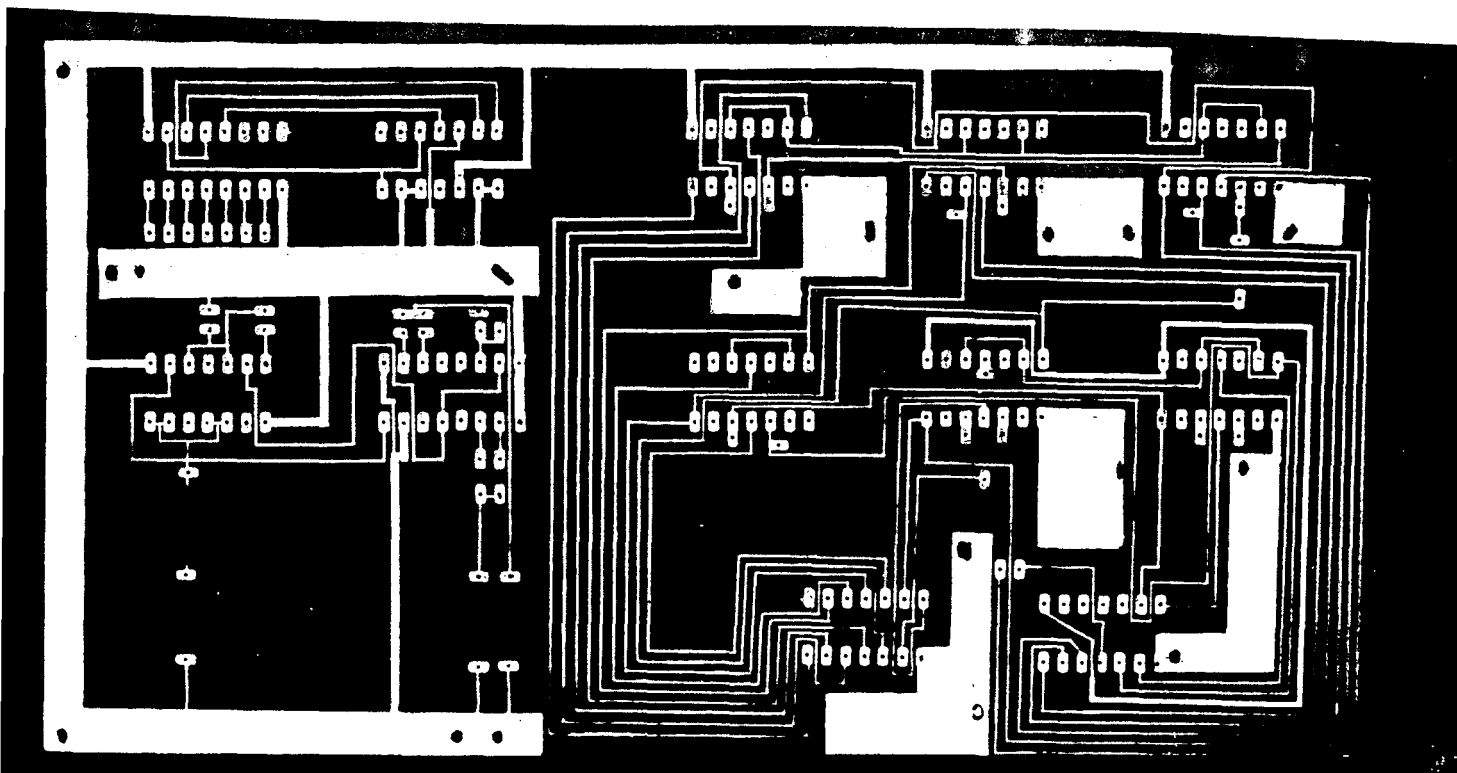


FIGURA 4_2A

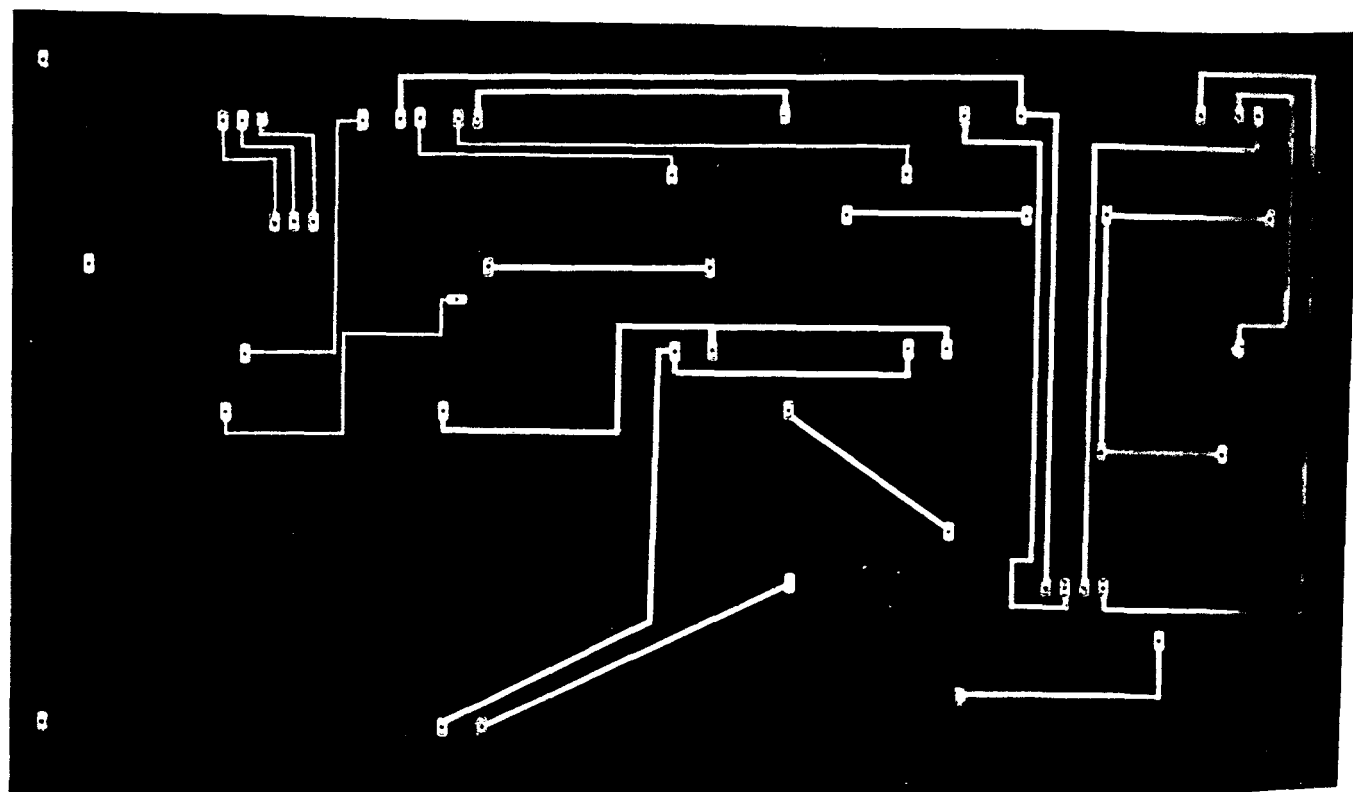


FIGURA 4_2 B

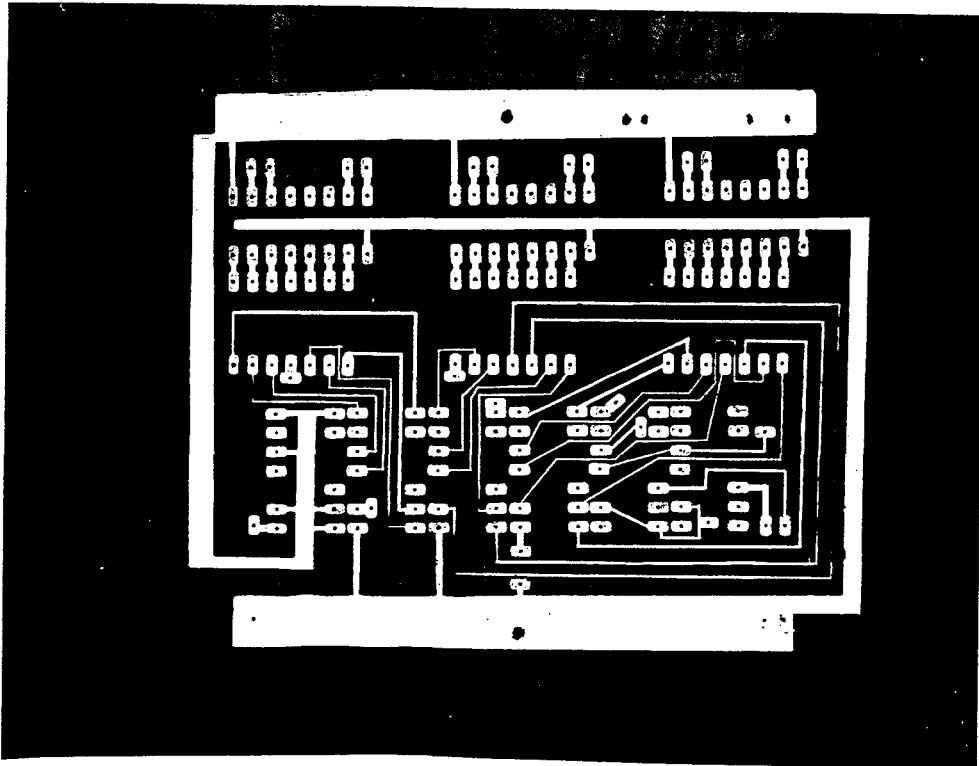


FIGURA 4-2C

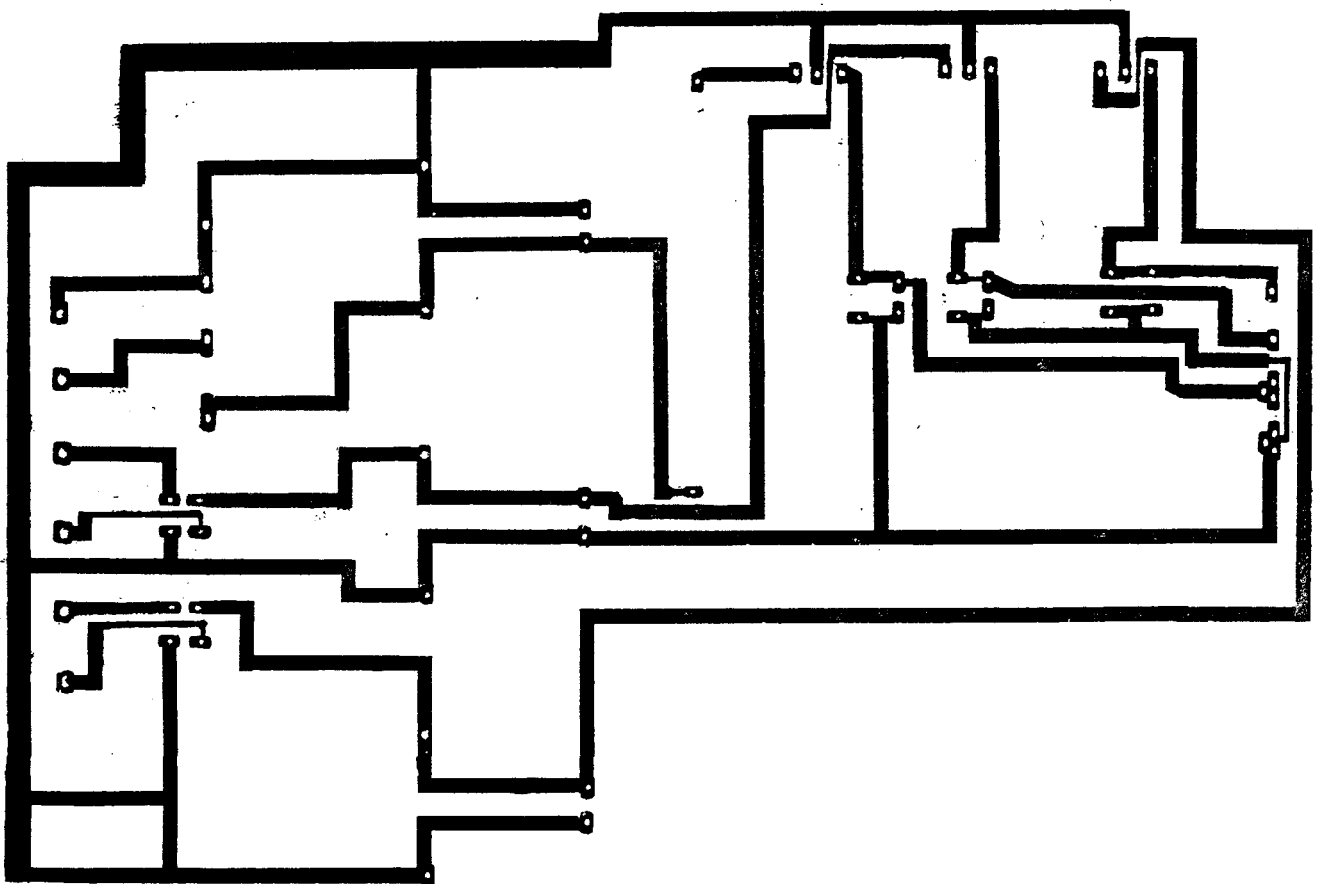


FIGURA 4-2D

FIGURA 4_3 A

FIGURA 4_3 B

FIGURA 4_3C

	$n = 0$	$n = 1$	$n = 2$	$n = 3$	$n = 4$
First zero	2.405	3.832	5.136	6.380	7.588
Second zero	5.520	7.016	8.417	9.761	11.065
Third zero	8.654	10.173	11.620	13.015	14.372
Fourth zero	11.792	13.324	14.796	16.223	17.616
Fifth zero	14.931	16.471	17.960	19.409	20.827

TABLA 2.1

ATRIBUCIONES DE FRECUENCIAS

ENLACES ASCENDENTES	FRECUENCIA CENTRAL (Nhz)	ANCHO DE BANDA A 3 dB DEL TRANSPONDER. ENTRE PARENTE- SIS, ANCHO DE BANDA DE LA SEÑAL. (Khz)
Telemando HK y medición de distancias (órbita de transferencia y órbita sincrónica de apoyo) ..	149.34	
Datos de las DCP.....	402,1	250 (200)
Interrogación de las DCR internacional (1) o doméstica (1).....	2098	100 (30)
Telemando HK (órbita sincrónica) (1).....	2098	100 (30)
Difusión de imágenes o medición de distancia(2).	2101,5	1000 (660)
(dos canales intercambiables)	2105	1000 (660)
ENLACES DESCENDENTES		
Telemedida HK y medición de distancia (órbita de transferencia y órbita sincrónica de apoyo) ..	137,08	
Interrogación de las DCP internacional (1) o doméstica (1).....	468,9	100
Datos de las DCP.....	1675,281	250 (200)
Telemedida HK (órbita sincrónica).....	1675,929	50 (30)
Datos sobre fotografías sin detalle: a baja velocidad	1686,833	1000 (660)
en tiempo real (de apoyo).....	1686,833	6000 (5400)
Difusión de imágenes o medición de distancia(2).	1691	1000 (660)
(dos canales intercambiables).....	1694,5	1000 (660)

(1) Se utiliza el mismo canal con compartición en el tiempo para telemando HK, la interrogación internacional DCP o la interrogación doméstica DCP.

(2) Dos canales idénticos utilizados ambos por compartición en el tiempo para la difusión WEFAX, difusión de imágenes de gran resolución o medición de distancias.

TABLA 2-2

PRINCIPALES CARACTERISTICAS DEL TRANSPONDER DEL METEOSAT

	Ondas decimétricas (banda 9)	
	Parte Superior	Parte Inferior
Potencia del Transmisor (W)	10 X 2 (dos canales)	20
Ganancia de la antena de transmisión (dBi)(en el borde de la zona de cobertura,incluidas pérdidas)..	11	0
Ganancia de la antena de recepción (dBi)(en el borde de la zona de cobertura,incluidas pérdidas)..	2,1	0
Temperatura de ruido del receptor (K).....	750	660
Tipo de antena:		
Transmisión.....	directiva,desrota- ción electrónica.	Omnidireccional (toroidal)
Recepción.....	Omnidireccional (toroidal)	
Polarización de la antena.....	Lineal	Circular dextrógira
Frecuencias de recepción (Mhz).....	2098 2098±0.025 2101,5 2105	402,1 ±0,1
Frecuencias de transmisión (Mhz).....	1675,281 1675,929 1686,833 1691 1694,5	468,875 468,925

TABLA 2_3

min.	14	15	16	17	18	19	20	21	22	23	24	01	LEGAL
	13	14	15	16	17	18	19	20	21	22	23	24	SOLAR
02	E3	C2D	C8D	*	C2D	C8D	E3	D3	E7	*	D3	*	
06	*	C3D	C9D	*	*	C9D	*	*	E8	*	*	*	
10	*	C4D	*	*	C4D	*	*	*	E9	*	*	*	
14	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	
18	CO2	CO2	CO2	CO2	CO2	*	D1	D1	D1	D1	D1	D1	
22	CO3	CO3	CO3	CO3	*	*	D3	D3	D3	D3	D3	D3	
26	D1	C5D	TM	D1	C5D	MM	D4	E1	TG	D4	*	MM	
30	D3	C6D	*	D3	C6D	*	D5	E2	*	D5	*	*	
34	D4	D7	*	D4	D7	*	D6	E3	*	D6	*	*	
38	D5	D8	*	D5	D8	*	*	E4	*	*	*	*	
42	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	
46	CO2	CO2	CO2	CO2	CO2	D1	D7	D1	D1	D7	D7	D1	
50	CO3	CO3	CO3	CO3	*	D3	D8	D3	D3	D8	D3	D3	
54	D6	D9	*	D6	D9	E1	D9	E5	*	D9	*	E1	
58	C1D	C7D	*	C1D	C7D	E2	D1	E6	*	D1	*	E2	

TABLA 2_4

min.	02	03	04	05	06	07	08	09	10	11	12	13	LEGAL
	01	02	03	04	05	06	07	08	09	10	11	12	SOLAR
02	E3	D3	*	*	D3	E7	E3	*	C8D	*	C2D	C8D	
06	*	*	*	*	*	E8	*	C3D	C9D	*	C3D	C9D	
10	*	*	*	*	*	E9	*	C4D	*	*	C4D	*	
14	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	
18	D1	D1	D1	D1	D1	D1	*	*	*	CO2	CO2	CO2	
22	D3	D3	D3	D3	D3	D3	*	*	C03	CO3	CO3	CO3	
26	D4	*	TG	D4	E1	MM	D1	C5D	TM	D1	C5D	MM	
30	D5	*	*	D5	E2	*	D3	C6D	*	D3	C6D	*	
34	D6	*	*	D6	E3	*	D4	D7	*	D4	D7	*	
38	*	*	*	*	E4	*	D5	D8	*	D5	D8	*	
42	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	
46	D7	D1	D1	D7	D1	D1	*	*	*	CO2	CO2	CO2	
50	D8	D3	D3	D8	D3	D3	*	*	CO3	CO3	CO3	CO3	
54	D9	*	*	D9	E5	E1	D6	D9	TM	D6	D9	E1	
58	D1	*	*	D1	E6	E2	*	C7D	TM	C1D	C7D	E2	

TABLA 2_5

LEGAL	SOLAR	IMAGEN
02,06 02,10	01,06 01,10	LY47 NORTEAMERICA LR47 SUDAMERICA
02,30 05,30	01,30 04,30	MUNDO D MUNDO D
08,10 08,14	07,10 07,14	LY11 LR11
03,30 08,34	07,30 07,34	MUNDO D MUNDO E
11,30 11,34	10,30 10,34	MUNDO D MUNDO E
11,38 14,06	10,38 13,06	MUNDO C LY23
14,10 14,30	13,10 13,30	LR23 MUNDO D
14,34 14,38	13,34 13,38	MUNDO E MUNDO C
17,30 17,34	16,30 16,34	MUNDO D MUNDO E
17,38	16,38	MUNDO C

TABLA 2_6

INPUTS		OUTPUT
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

TABLA 3_1

N	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

TABLA 3_2

FRECUENCIA_RECEPCION	FREC._OSCILACION_Vcc
130.000 MHz.	119.300 MHz.
132.360 MHz.	121.674 MHz.
134.000 "	123.302 "
CANAL_2 METEOSAT	
134.570 MHz.	123.848 "
136.540 "	125.844 "
137.500 "	126.804 "
CANAL_1 METEOSAT	
137.770 MHz.	127.071 "
139.650 "	128.307 "

TABLA 3_3

APENDICE

Se proporciona a continuación algunos catálogos con las características técnicas de los componentes utilizados en el desarrollo de este proyecto.

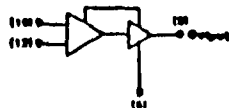
A continuación se da un índice de los catálogos incluidos en este pliego de condiciones.

* UCO MC 1648 L	A.-1
* Prescaler SP 8680	A.-2
* Diodo Varicap BB 204 G	A.-3
* Comparador de fase MC 4046	A.-4
* Contadores síncronos dual CD 4518	A.-5
* JFET canal N U 310	A.-6
* Amplificador híbrido V.H.F. de banda ancha OM 335 (SH 221)	A.-7
* Mezclador SO 42e	A.-8
* Mosfet Dual Canal N BFR 84	A.-9
* Circuito demodulador a PLL, amplificador de IF/AF, mezclador SL 6601 C	A.-10
* Amplificadores operacionales TL 081 , TL 082	A.-11

* Amplificador de potencia de audio	
TDA 2002	A.-12
* Inversores s�xtuples SN 74LS04	A.-13
* Cuadr�pla puerta NAND SN 74LS13	A.-14
* Decodificador 1 a 10 l�neas	
SN 74LS42	A.-15
* Contador de d�cadas SN 7490	A.-16
* Flip-Flop JK SN 74107 A	A.-17
* Multivibrador monoestable redisparable	
SN 74123	A.-18
* Contadores programables SN 74192,	
SN 74193	A.-19
* Reguladores monol�ticos de voltaje	
�A 7805, �A 7812, �A 7824	A.-20

VCO MC 1648 L

MC1648
MC1648M



Numbers in parentheses denote age numbers for
 ♀ and age (Case 647) ♀, and age (Case 672), and
 ♀ and age (Case 648).

Input Capacitors = 0.01 uF
Minimum Gate Resistance for L16 should be observed = 50 Ohm typ
Power Dissipation = 100 mW typ/pkg @ 25°C Vcc Supply
Minimum Output Frequency = 220 kHz typ

The MC1648 is an emitter-coupled oscillator, constructed on a single monolithic silicon chip. Output levels are compatible with MECL III logic levels. The oscillator requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1448 was designed for use in the Motorola Phase Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity (See Figure 2).

The MC1648 may be operated from a +5.0 Vdc supply or a -5.2 Vdc supply, depending upon system requirements.

SUPPLY VOLTAGE	GND PINS	SUPPLY PINS
+5.0 Vdc	1, 8	1, 14
+0.7 Vdc	1, 14	1, 8

FIGURE 1 - CIRCUIT SCHEMATIC

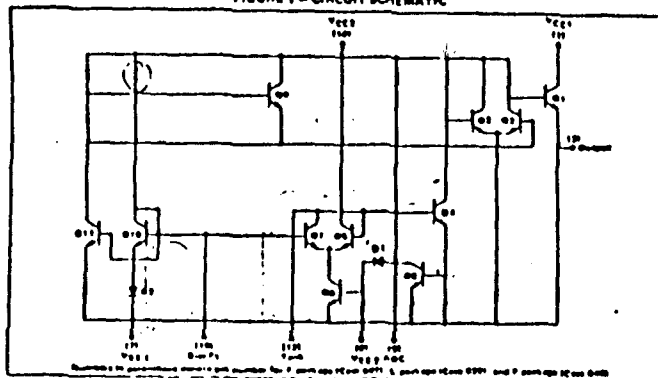
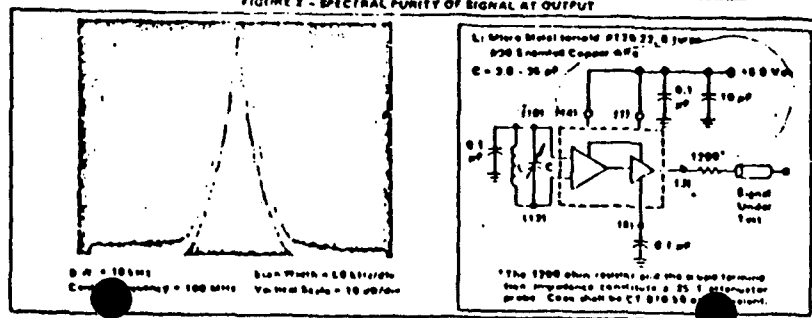
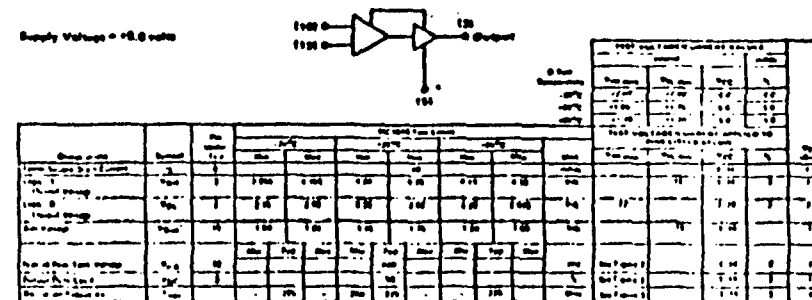


FIGURE 2 - SPECTRAL PURITY OF SIGNAL AT OUTPUT



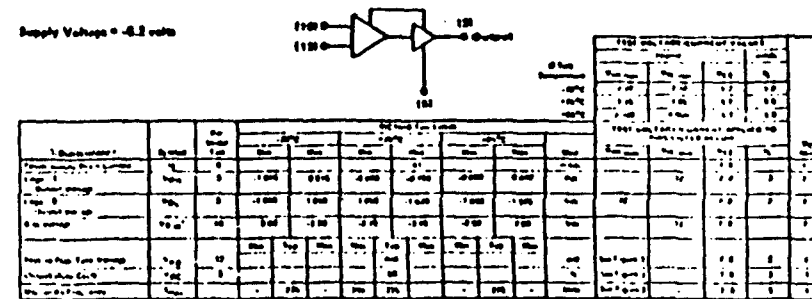
ELECTRICAL CHARACTERISTICS



*The respondents purchase an average of 10.40 units of the product at a price of 1.00 unit of the product.

© 1996 by John Wiley & Sons, Inc.

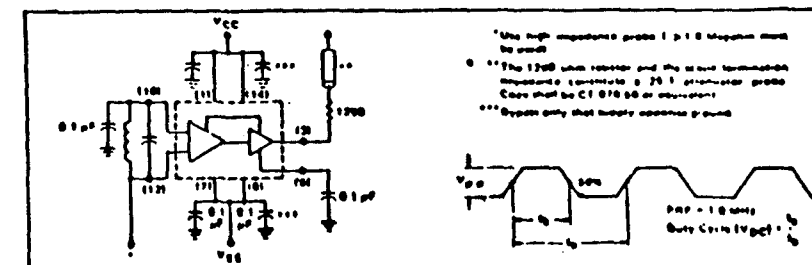
ELECTRICAL CHARACTERISTICS



* In a separate publication we discussed the effects of the 1994 election on the political behavior of young people in the US.

Small number of secondary cells are @ 90% water

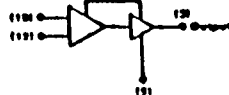
FIGURE 3 - TEST CIRCUIT AND WAVEFORMS



Courtesy Motorola Semiconductor Products, Inc.

ELECTRICAL CHARACTERISTICS

Supply Voltage = +0.9 volts

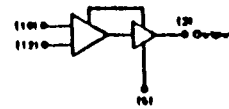



Characteristic	Symbol	Pin Number	MC1648 Test Limits										V _{CC}	Unit
			-45°C		+25°C		+125°C		+135°C		+140°C			
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
Power Supply (Input Current)	I _{CC}	1	-	-	-	-	-	-	-	-	-	-	1.0	mA
Logic "1" Output Voltage	V _{OH}	3	3.02	3.11	3.04	3.15	3.10	3.00	2.93	-	-	-	1.0	V
Logic "0" Output Voltage	V _{OL}	3	3.12	3.20	3.20	3.43	3.23	3.01	V _{CC}	-	-	-	1.0	V
Bus Voltage	V _{BE}	10	1.67	1.67	1.65	1.70	1.70	1.60	V _{CC}	-	-	-	1.0	V
Peak to Peak Total Voltage	V _{PP}	12	-	-	-	-	-	-	-	-	-	-	1.0	V
On-Off Frequency	f _{ON}	3	-	-	-	-	-	-	-	-	-	-	1.0	Hz
On-Off Frequency	f _{OFF}	-	-	-	-	-	-	-	-	-	-	-	1.0	Hz

*This measurement parameter is as determined at the test point for purposes of incorporating a vector testing study at this point.
V_{PP} output is typically 500 mV @ 2.5 kHz.

ELECTRICAL CHARACTERISTICS

Supply Voltage = +0.9 volts



Supply Voltage = -0.5 volts		TEST VOL/FAC/CURRENT VAL/US				
		Temp	Temp	Temp	Temp	
		V _{max}	V _{min}	V _{CC}	%	
		-0.75	-0.65	-0.7	-0.0	
		-0.75	-0.7	-0.7	-0.0	
		-0.64	-0.19	-0.7	0.0	
		TEST VOL/FAC/CURRENT				
		Pin 110/112				
		Pin 120/120				
		V _{max}	V _{min}	V _{CC}	%	V _{CC}
		-0.75	-0.65	-0.7	-0.0	-0.75
		-0.75	-0.7	-0.7	-0.0	-0.75
		-0.64	-0.19	-0.7	0.0	-0.64
		Pin 101/101				
		V _{max}	V _{min}	V _{CC}	%	V _{CC}
		-0.75	-0.65	-0.7	-0.0	-0.75
		-0.75	-0.7	-0.7	-0.0	-0.75
		-0.64	-0.19	-0.7	0.0	-0.64

*This measurement parameter is as determined at the test point for purposes of incorporating a vector testing study at this point.
V_{PP} output is typically 500 mV @ 2.5 kHz.

Courtesy Motorola Semiconductor Products, Inc.

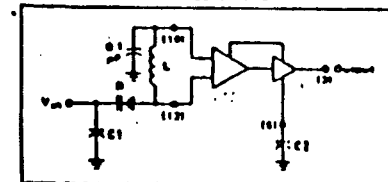
OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q5 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors Q6 and Q7 and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q7 and Q3, in conjunction with output transistor Q1, provide a highly buffered output which produces a square wave. Transistor Q9 then Q11 provide the bias drive for the oscillator and output buffer. Figure 2 illustrates the high spectral purity of the oscillator output (pin 3).

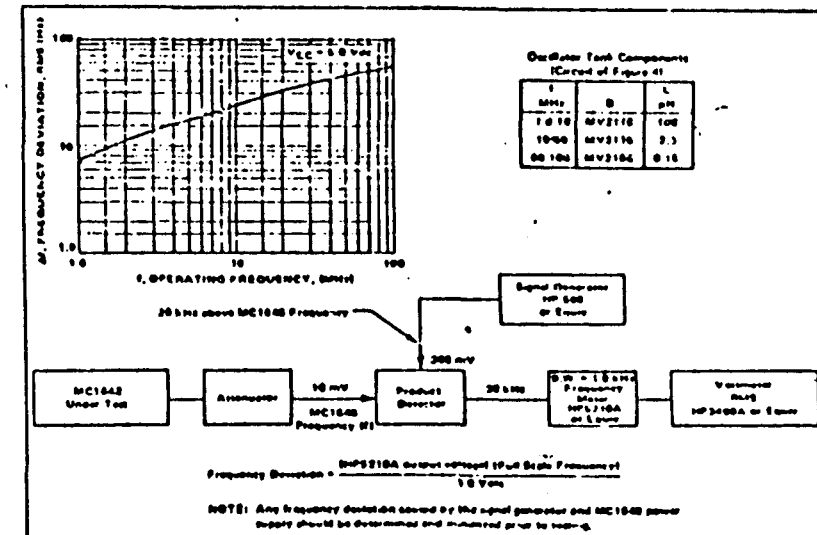
When operating the oscillator in the voltage controlled mode (Fig. 4), it should be noted that the cathode of the varactor diode (D) should be biased at least 2 V_{BE} above V_{BE} (= 1.4 V for positive supply operation).

FIGURE 4 - THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE



When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 6.

FIGURE 6 - NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Courtesy Motorola Semiconductor Products, Inc.

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE USING EXTERNAL VARACTOR DIODE AND COIL. TA = 25°C

FIGURE 6

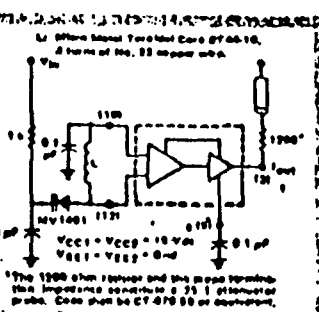
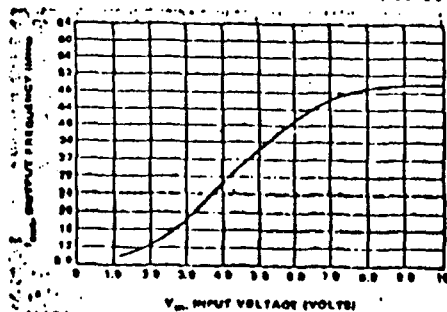


FIGURE 7

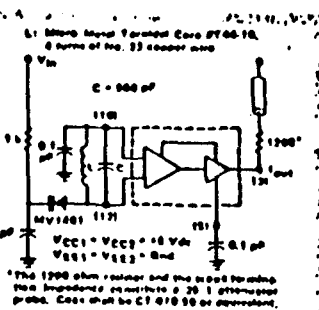
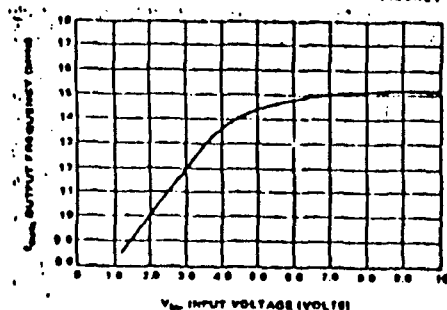
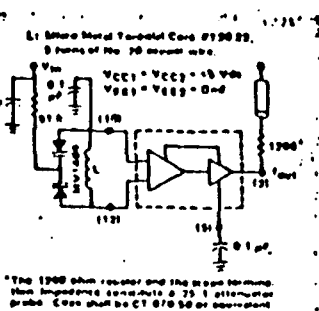
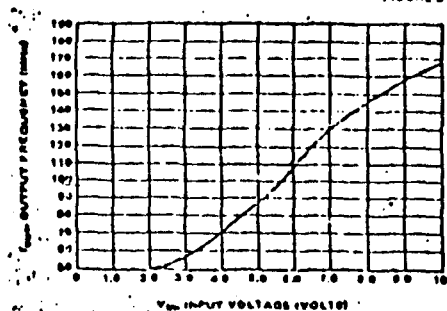


FIGURE 8



Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7 and 8. Figures 6 and 7 show transfer characteristics employing only the capacitance of the varactor diode (phase the input capacitance of the oscillator, 6 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1 kΩ resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger valued resistor (51 kΩ) in Figure 8 is required to provide isolation for the high impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_p (1 + \frac{C_s}{C_p})}}{\sqrt{C_p (1 + \frac{C_s}{C_p})}}$$

$$\text{where } f_{min} = \frac{1}{2\pi \sqrt{L(C_p (1 + \frac{C_s}{C_p}))}}$$

C_s = shunt capacitance (input plus external capacitance).

C_p = varactor capacitance as a function of bias voltage.

Good RF and low-frequency bypassing is necessary on the power supply pins (see Figure 2).

Capacitors C1 and C2 of Figure 41 should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1 MHz and 50 MHz a 0.1 pF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used. At lower frequencies, larger values of capacitance are required. The value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The first to form tuning of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1548, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, -5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak to peak voltage in order to shape the signal at the output of the MC1548. This is accomplished by tying a series resistor (1 kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a -5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1548 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and land-mobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal modulation, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lock-up. Additional features include dc digital switching (pro-

vide over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed of the programmable counter, $f_{out} = N f_{ref}$. The channel spacing is equal to frequency (1/pt).

For additional information on applications and designs for phase locked loops and digital frequency synthesizers, see Motorola Application Notes AN-632A, AN-633, AN-634, AN-635 and AN-636.

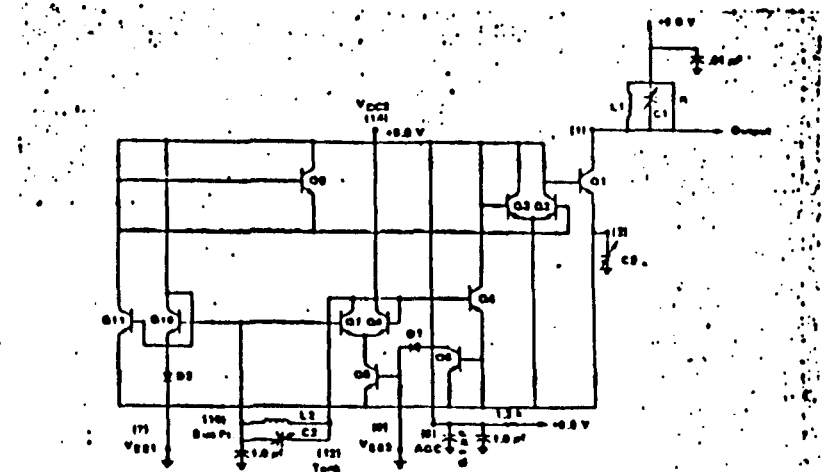
The block diagram illustrates the internal architecture of the ME12010 module. It features several interconnected components:

- Phase Detector (MC0008)**: Receives the I_{in} input and provides a signal to the Low Pass Filter.
- Low Pass Filter**: Processes the signal from the Phase Detector and outputs to the Voltage Comparator.
- Voltage Comparator (MC1048)**: Receives a reference voltage V_{ref} and the filtered signal, outputting I_{out} .
- ME12010**: The central module, which receives I_{out} and provides a feedback signal to the Voltage Comparator.
- MC12010 Board Control Logic**: Manages the module's operation, receiving a **Module Enable Line** and providing control signals to the MC0010 counters.
- MC0010 Programmable Counter**: Two counters that receive control signals from the Board Control Logic and provide a **Counter Reset Line** to the ME12010 module.

The output I_{out} is also labeled as $I_{out} = N I_{ref}$ where $N = N_p + P + A$.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful frequency range of the device a resistor is added to the AGC circuit at pin 5 (1 kohm minimum).

FIGURE 12 - CIRCUIT SCHEMATIC USED FOR COLLECTOR OUTPUT OPERATION



See test result, Figure 12, $f = 100$ kHz
 $C1 = 3.0 - 75$ pF
 Collector Time
 $L1 = 0.22$ μ H $C1 = 10 - 75$ pF
 $R = 50$ Ω - 10 Ω
 Rp of L1 and C1 = 115 Ω @ 100 MHz Resonance
 Output Type
 $L2 = 5$ turns 20 AWG 2×10^{-3} ID
 $C1 = 10 - 75$ pF

Power Output (dBm) vs. Total Collector Load (ohms)

Total Collector Load (ohms)	Power Output (dBm)
10	0.5
100	4.5
500	10.5
1000	8.5
10000	0.5

See text circuit, Figure 12, $I = 10 \text{ mA}$
 $C3 = 475 \text{ pF}$
 Collector Time
 $L1 = 2.7 \text{ }\mu\text{H}$ $C1 = 25 - 200 \text{ pF}$
 $R = 50 \text{ }\Omega - 10 \text{ k}\Omega$
 Rp of L1 and C1 = 0.2 to 1.0 $\times 10$ times Resistance
 Oscillator Time
 $L2 = 2.7 \text{ }\mu\text{H}$
 $C2 = 15 - 150 \text{ pF}$

Total Collector Load (ohms)	Power Output (mW)
100	4.0
200	6.0
500	15.0
1000	40.0
2000	15.0
5000	4.0

POWER OUTPUT (mW)

TOTAL COLLECTOR LOAD (ohms)

Current diagrams utilizing historical products and methods as a means of illustrating typical conditions or conditions consequently conveying information suitable for construction purposes is not necessary prior. The information has been carefully checked and is believed to be fairly close. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not extend to the protection of the same and/or does not constitute any interest under the patent rights of the inventor or others.

Courtesy Motorola Semiconductor Products, Inc.

PRESCALER SP 8680

RS
data

575 MHz ÷ 10/11 Prescaler i.c.

Stock number 302—378

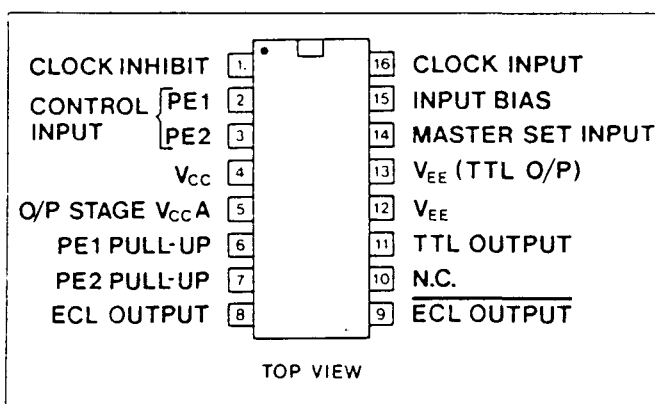
The 8680 is an ECL (emitter coupled logic) prescaling counter with both ECL 10K and TTL compatible outputs. The circuit will operate from either ECL or TTL power supplies as required. The division ratio is set by two inputs PE1 and PE2. Division by 10 is undertaken when either control input is in the high state or by 11 when both control inputs are low. The counter can also be set to the eleventh state by applying a high level to the master set input.

Absolute maximum ratings

Supply voltage _____ 8V
ECL output source current _____ 50mA
TTL output sink current _____ 30mA
Maximum clock input voltage _____ 2.5V peak to peak
Maximum junction temperature _____ +150°C
Operating temperature range _____ 0° to +70°C
Storage temperature range _____ -55°C to +150°C

Features

- High speed operation DC to 575 MHz
- Divide by 10 or 11 selectable
- ECL and TTL compatible outputs
- Asynchronous master set



Electrical characteristics

Supply voltage 4.75 to 5.5V $T_A = 25^\circ\text{C}$

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Units
Maximum input frequency	f max	AC coupled 350mV p-p		650	575	MHz
Minimum input frequency	f min	AC coupled 600mV p-p	10			MHz
PE1 and PE2 inputs, high voltage	V _{INH}	V _{cc} = 5V	3.9			V
PE1 and PE2 inputs, low voltage	V _{INL}	V _{cc} = 5V			3.5	V
PE1 and PE2 inputs, low current	I _{IL}	V _{cc} = V _{cc} max pins 6 & 7 = V _{cc} , V _{IN} = 0.4V	-4			mA
TTL output high voltage	V _{OH}	V _{cc} = V _{cc} min I _{OH} = -640μA	2.3			V
TTL output low voltage	V _{OL}	V _{cc} = V _{cc} max I _{OL} = 20mA			0.5	V
TTL output short circuit current	I _{SC}	V _{cc} = V _{cc} max V _{out} = 0V Pin 14 = V _{cc}	-80		-20	mA
Propagation delay CP to TTL output	t _p	V _{cc} = 5V	6		14	ns
Propagation delay MS to TTL output	t _p	V _{cc} = 5V			17	ns
Mode control set-up time	t _s	V _{cc} = 5V	4			ns
Mode control release time	t _r	V _{cc} = 5V	4			ns
TTL output rise time	t _{FLH}	V _{cc} = 5V			5	ns
TTL output fall time	t _{FHL}	V _{cc} = 5V			5	ns
Power supply current	I _{EE}	V _{cc} = V _{cc} max, pins 6, 7 & 13 open			111	mA
Power supply voltage			4.75	5	5.5	V

Figure 1 Block diagram

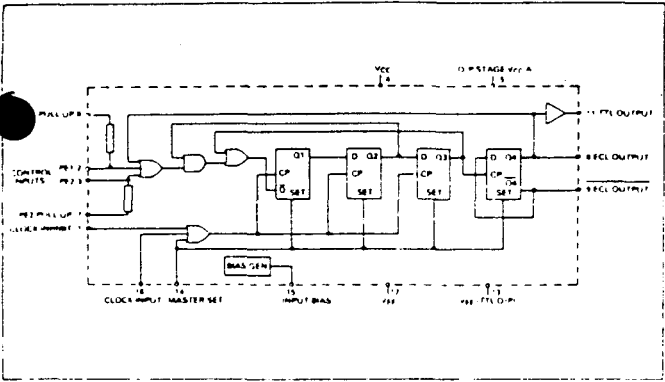


Table 1 Truth Table

MS	Clock Inh.	PE1	PE2	Output Response
H	X	X	X	All Outputs Set High
L	H	X	X	Hold
L	L	L	L	÷ 11
L	L	L	H	÷ 10
L	L	L	H	÷ 10
L	L	L	H	÷ 10

X = Don't care condition

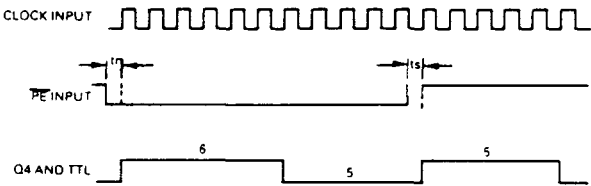
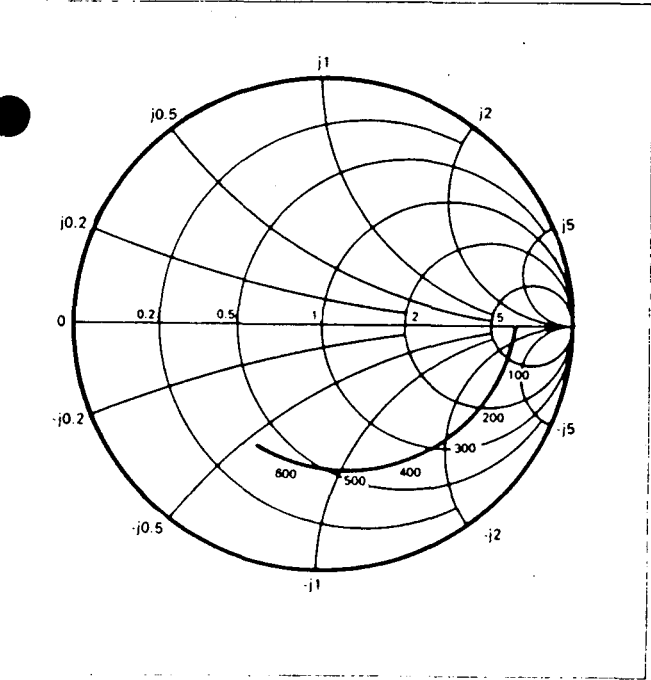


Figure 2 Input Impedance



Test conditions: Supply voltage 5V, ambient temperature 25°C, frequencies in MHz, and impedances normalised to 50Ω.

Applications

The clock input to the device is ECL compatible and can also be directly coupled to TTL when connected as shown in figure 3. The clock input can also be capacitively coupled to the signal source as shown in figure 4. When the internally generated bias voltage (pin 15) is connected to the clock input, the clock input becomes centred about the switching threshold see figures 4 and 5.

The two outputs provide complementary signals and are both ECL 10K compatible. Internal pull-down resistors are not included and hence must be added externally to V_{EE}. The outputs will drive a 50Ω load to -2V, the output high level will typically be reduced by 50mV.

The TTL output operates on the same supply and is powered up by connecting the V_{EE} (pin 12) to the TTL V_{EE} (pin 13). When the TTL output is not required pin 13 the TTL V_{EE} pin should be left open circuit reducing the power consumption by 20mW.

Both control inputs (PE1 and PE2) are ECL 10K compatible and each control input is provided with a pull up resistor the remote ends of which are connected to pins 6 and 7. This allows the pull up resistors to be used to interface from TTL or unused if not required. If interfacing to ECL is required then pins 6 and 7 should be left open circuit; alternatively they can be connected to V_{EE} to act as pull-down resistors. The master set input is used to set the counter to the eleventh state, when high it achieves this and is asynchronous and overrides the clock input.

All the inputs have internal 50K pull-down resistors, and operation will occur down to DC provided the input slew rate is better than 20V/μs.

The input impedance of the device is dependent on the input frequency. See the Smith Chart in figure 2.

All components used in the device circuits should be suitable for the frequencies involved and leads should be kept as short as possible to minimise stray inductance.

Figure 3 TTL input configuration

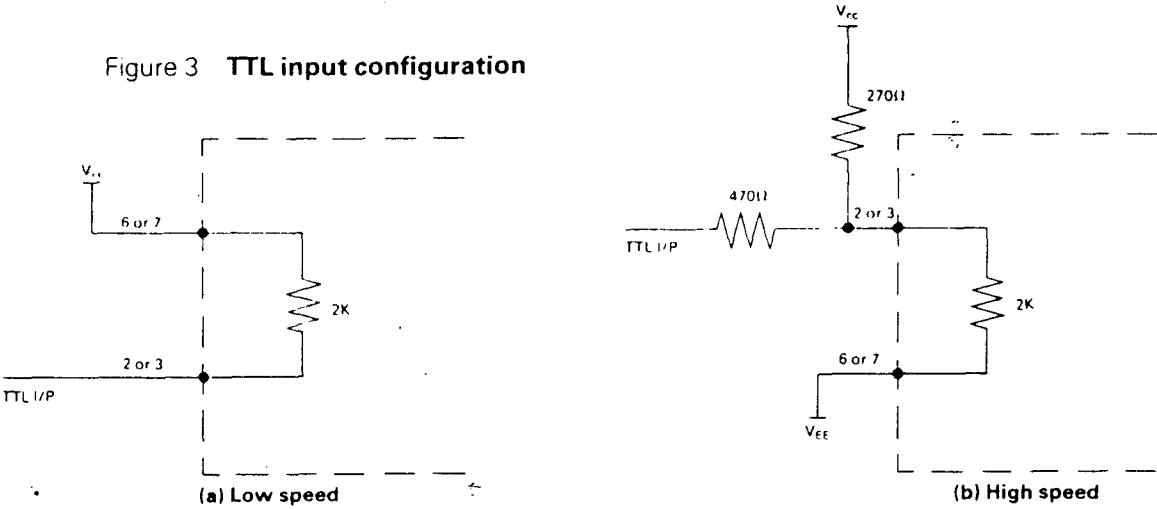


Figure 4 AC coupled input

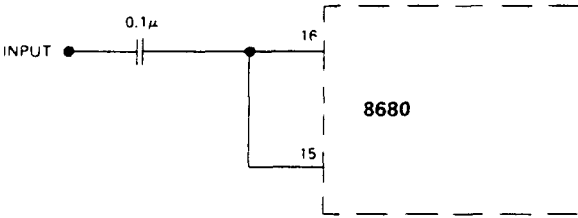
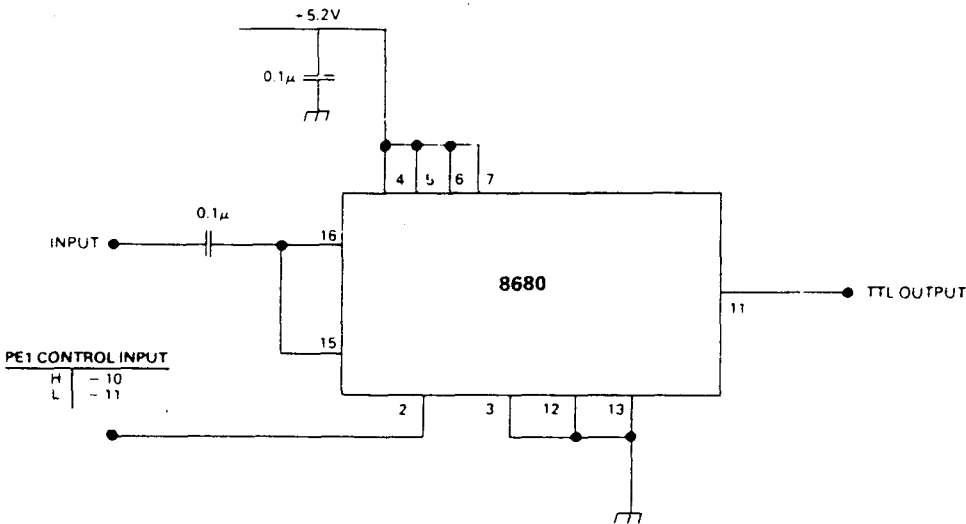


Figure 5 Typical application circuit



DIODO VARICAP 88 204 G

BB204B
BB204G

SILICON PLANAR VARIABLE CAPACITANCE DOUBLE DIODES

The BB204B and BB204G are double diodes with common cathode in a plastic TO-92 variant, primarily intended for electronic tuning in band II (f. m.). They are recommended for stages where large signals occur (e.g. oscillator circuits).

QUICK REFERENCE DATA								
For each diode:								
Continuous reverse voltage	V_R	max.	30	V				
Junction temperature	T_j	max.	100	°C				
Reverse current at $V_R = 30$ V	I_R	<	50	nA				
Diode capacitance at $f = 1$ MHz $V_R = 3$ V	C_d		<table><tr><th>BB204G</th><th>BB204B</th></tr><tr><td>34 - 39</td><td>37 - 42</td></tr></table> pF		BB204G	BB204B	34 - 39	37 - 42
BB204G	BB204B							
34 - 39	37 - 42							
Capacitance ratio at $f = 1$ MHz	$\frac{C_d(V_R = 3 \text{ V})}{C_d(V_R = 30 \text{ V})}$		2.5 to 2.8					
Series resistance at $f = 100$ MHz V_R is that value at which $C_d = 38$ pF	r_D	typ.	0.2	Ω				
		<	0.4	Ω				

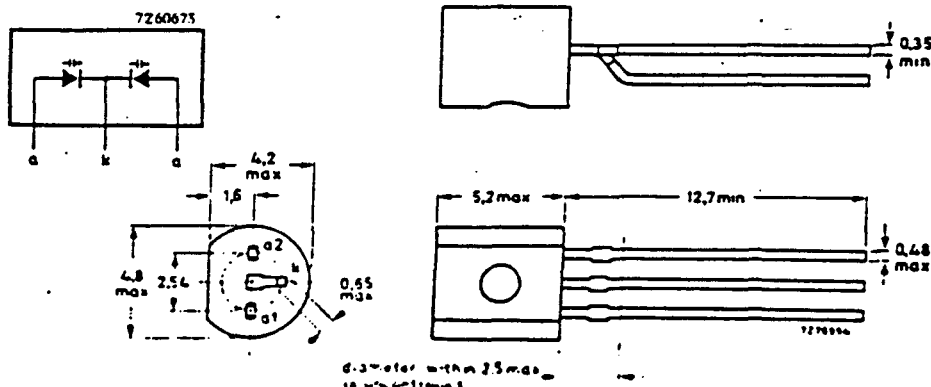
MECHANICAL DATA

Dimensions in mm

TO-92 variant

BB204B: blue type marking

BB204G: green type marking



BB204B
BB204G

RATINGS Limiting values in accordance with the Absolute Maximum System (IEC134),

For each diode:

Voltage

Continuous reverse voltage	V_R	max.	30	V
----------------------------	-------	------	----	---

Current

Forward current (d.c.)	I_F	max.	100	mA
------------------------	-------	------	-----	----

Temperatures

Storage temperature	T_{stg}	-55 to +100	°C
---------------------	-----------	-------------	----

Junction temperature	T_j	max.	100	°C
----------------------	-------	------	-----	----

CHARACTERISTICS (for each diode)

$T_j = 25^\circ\text{C}$

Reverse current at $V_R = 30\text{ V}$	I_R	<	50	nA
--	-------	---	----	----

Diode capacitance at $f = 1\text{ MHz}$

$V_R = 3\text{ V}$	C_d	<table border="1"> <tr> <td>BB204G</td> <td>BB204B</td> </tr> <tr> <td>34 - 39</td> <td>37 - 42</td> </tr> </table>		BB204G	BB204B	34 - 39	37 - 42	pF
BB204G	BB204B							
34 - 39	37 - 42							

$V_R = 30\text{ V}$	C_d	typ.	14	pF
---------------------	-------	------	----	----

Capacitance ratio at $f = 1\text{ MHz}$

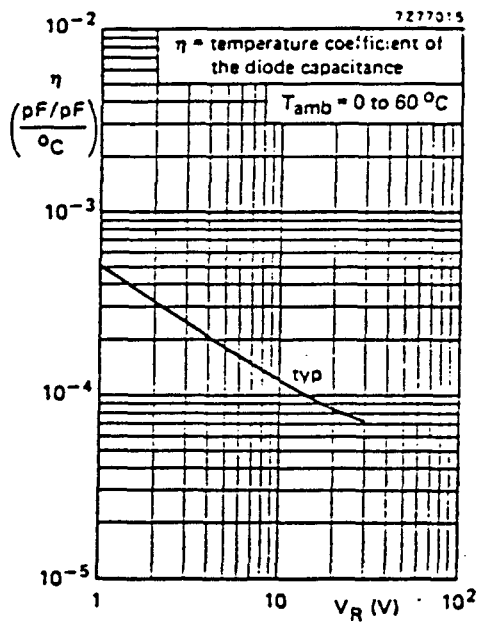
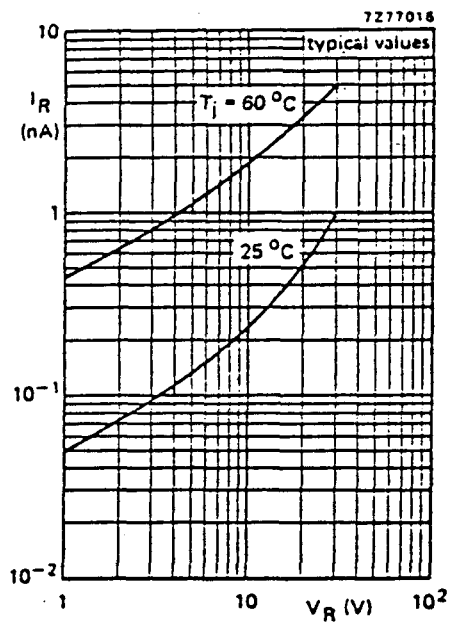
$\frac{C_d(V_R = 3\text{ V})}{C_d(V_R = 30\text{ V})}$	2.5 to 2.8
--	------------

Series resistance at $f = 100\text{ MHz}$

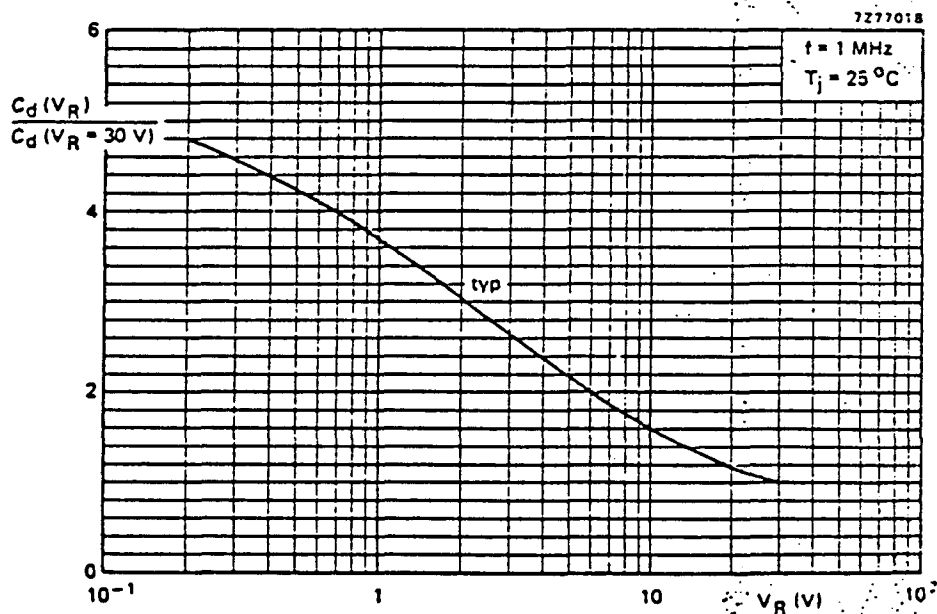
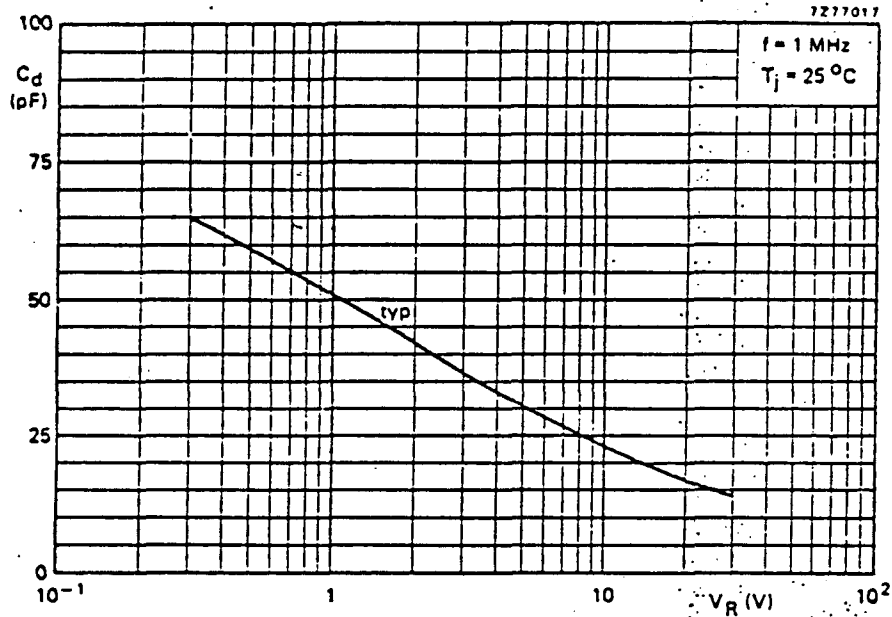
V_R is that value at which $C_d = 38\text{ pF}$

r_D	typ.	0.2	Ω
	<	0.4	Ω

BB204B
BB204G



BB204B
BB204G



MC 4046



MM54HC4046/MM74HC4046 CMOS Phase Lock Loop

General Description

The MM54HC4046/MM74HC4046 is a low power phase lock loop utilizing 3.5 μ silicon-gate P-well microCMOS technology to obtain high frequency operation both in the phase comparator and VCO sections. This device contains a low power linear voltage controlled oscillator (VCO), a source follower, and three phase comparators. The three phase comparators have a common signal input and a common comparator input. The signal input has a self biasing amplifier allowing signals to be either capacitively coupled to the phase comparators with a small signal or directly coupled with standard input logic levels. This device is similar to the CD4046 except that the Zener diode of the metal gate CMOS device has been replaced with a third phase comparator.

Phase comparator I is an exclusive OR (XOR) gate. It provides a digital error signal that maintains a 90 phase shift between the VCO's center frequency and the input signal (50% duty cycle input) waveforms. This phase detector is more susceptible to locking onto harmonics of the input frequency than phase comparator II, but provides better noise rejection.

Phase comparator III is an SR flip-flop gate. It can be used to provide the phase comparator functions and is similar to the first comparator in performance.

Phase comparator II is an edge sensitive digital sequential network. Two signal outputs are provided, a comparator output and a phase pulse output. The comparator output is a TRI-STATE[®] output that provides a signal that locks the VCO output signal to the input signal with 0 phase shift

between them. This comparator is more susceptible to noise throwing the loop out of lock, but is less likely to lock onto harmonics than the other two comparators.

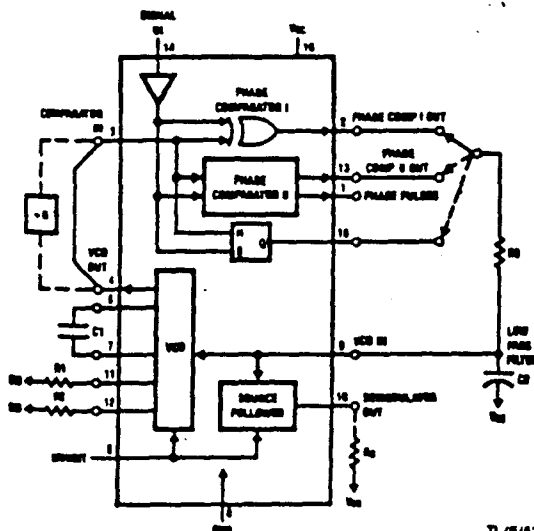
In a typical application all three comparators feed an external filter network which in turn feeds the VCO input. This input is a very high impedance CMOS input which also drives the source follower. The VCO's operating frequency is set by three external components connected to the C1A, C1B, R1 and R2 pins. An inhibit pin is provided to disable the VCO and the source follower, providing a method of putting the IC in a low power state.

The source follower is a MOS transistor whose gate is connected to the VCO input and whose drain connects the Demodulator output. This output normally is used by tying a resistor from pin 10 to ground, and provides a means of looking at the VCO input without loading down modifying the characteristics of the PLL filter.

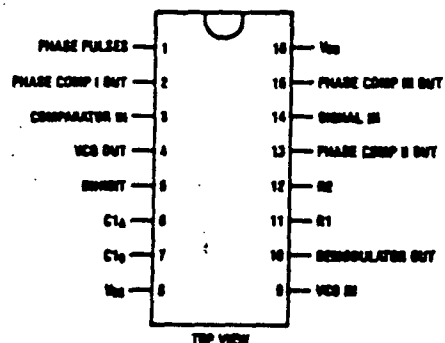
Features

- Low dynamic power consumption:
($V_{CC} = 4.5V$)
- Maximum VCO operating frequency: 20 MHz
($V_{CC} = 4.5V$)
- Fast comparator response time ($V_{CC} = 4.5V$)
 - Comparator I: 20 ns
 - Comparator II: 25 ns
 - Comparator III: 20 ns
- VCO has high linearity and high temperature stability

Block and Connection Diagrams



Dual-In-Line Package



Absolute Maximum Ratings (Notes 1 & 2)

Supply Voltage (V_{CC})	-0.5 to +7.0V
DC Input Voltage (V_{IN})	-1.5 to V_{CC} + 1.5V
DC Output Voltage (V_{OUT})	-0.5 to V_{CC} + 0.5V
Clamp Diode Current (I_{IK}, I_{OK})	± 20 mA
DC Output Current per pin (I_{OUT})	± 25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	± 50 mA
Storage Temperature Range (T_{STG})	-65°C to +150°C
Power Dissipation (P_D) (Note 3)	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Unit
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temperature Range (T_A)			°C
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times (t_r, t_f)			ns
$V_{CC} = 2.0V$		1000	ns
$V_{CC} = 4.5V$		500	ns
$V_{CC} = 6.0V$		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V _{CC}	T _A = 25°C		74HC	54HC
						T _A = -40 to 85°C	T _A = -55 to 125°C
				Typ	Guaranteed Limits		
V _{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5
			4.5V		3.15	3.15	3.15
			6.0V		4.2	4.2	4.2
V _{IL}	Maximum Low Level Input Voltage		2.0V		0.3	0.3	0.3
			4.5V		0.9	0.9	0.9
			6.0V		1.2	1.2	1.2
V _{OH}	Minimum High Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	2.0	1.9	1.9	1.9
			4.5V	4.5	4.4	4.4	4.4
			6.0V	6.0	5.9	5.9	5.9
		V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 8.2 mA	4.5V	4.2	3.98	3.84	3.7
			6.0V	5.7	5.48	5.34	5.2
V _{OL}	Maximum Low Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	0	0.1	0.1	0.1
			4.5V	0	0.1	0.1	0.1
			6.0V	0	0.1	0.1	0.1
		V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 5.2 mA	4.5V	0.2	0.26	0.33	0.4
			6.0V	0.2	0.26	0.33	0.4
I _{IN}	Maximum Input Current (Pins 3,5,9)	V _{IN} = V _{CC} or GND	6.0V		±0.1	±1.0	±1.0
I _{IH}	Maximum Input Current (Pin 14)	V _{IN} = V _{CC} or GND	6.0V		2	3	4
I _{OZ}	Maximum TRI-STATE Output Leakage Current	V _{OUT} = V _{CC} or GND Q̄ = V _{IH}	6.0V		±0.5	±5.0	±10
I _{CC}	Maximum Quiescent Supply Current	V _{IN} = V _{CC} or GND I _{OUT} = 0 μA	6.0V		8.0	80	160

Note 1: Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 85°C to 125°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V $\pm 10\%$ the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used in designing with this supply. Worst case V_{IH} and V_{IL} occur at $V_{CC} = 5.5V$ and 4.5V respectively. (The V_{IH} value at 5.5V is 3.86V.) The worst case leakage currents (I_{CC} and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

AC Electrical Characteristics

V_{CC} = 2.0 to 6.0V, C_L = 50 pF, t_r = t_f = 6 ns (unless otherwise specified).

Symbol	Parameters	Conditions	V _{CC}	T = 25°C		74HC	54HC	Units
				Typ	Guaranteed Limits			
	AC Coupled Input Sensitivity, Signal In	C (series) = 100 pF f _{IN} = 500 kHz	2.0V	100	200	225	250	mV
			4.5V	200	400	450	500	mV
			6.0V	300	600	650	700	mV
t _{OL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	9	15	19	22	ns
			6.0V	8	12	15	19	ns
C _{IN}	Maximum Input Capacitance			5	10	10	10	pF

Phase Comparator I

t _{PL, t_{PH}}	Maximum Propagation Delay		2.0V	58	165	206	250	ns
			4.5V	20	35	44	52	ns
			6.0V	18	30	38	45	ns
C _{PD}	Maximum Power Dissipation Capacitance							pF

Phase Comparator II

t _{PL, t_{PH}}	Maximum Propagation Delay Comp. Output		2.0V	60	150	190	225	ns
			4.5V	20	30	38	45	ns
			6.0V	18	25	32	38	ns
t _{OL}	Maximum TRI-STATE Enable Time		2.0V	60	150	190	225	ns
			4.5V	20	30	38	45	ns
			6.0V	18	25	32	38	ns
t _{OH}	Maximum TRI-STATE Enable Time		2.0V	72	200	250	300	ns
			4.5V	22	40	50	60	ns
			6.0V	19	34	42	51	ns
t _{OL}	Maximum TRI-STATE Disable Time		2.0V	72	200	250	300	ns
			4.5V	22	40	50	60	ns
			6.0V	19	34	42	51	ns
t _{OL}	Maximum TRI-STATE Disable Time		2.0V	72	200	250	300	ns
			4.5V	22	40	50	60	ns
			6.0V	19	34	42	51	ns
t _{PL}	Maximum Propagation Delay High to Low to Phase Pulses		2.0V	72	200	250	300	ns
			4.5V	22	40	50	60	ns
			6.0V	19	34	42	51	ns
t _{PH}	Maximum Propagation Delay Low to High to Phase Pulses		2.0V	72	200	250	300	ns
			4.5V	22	40	50	60	ns
			6.0V	19	34	42	51	ns
C _{PD}	Maximum Power Dissipation Capacitance							pF

Phase Comparator III

t _{PL, t_{PH}}	Maximum Propagation Delay		2.0V					ns
			4.5V					ns
			6.0V					ns
C _{PD}	Maximum Power Dissipation Capacitance							pF

AC Electrical Characteristics (Continued)								
V _{CC} = 2.0 to 6.0V, C _L = 50 pF, t _r = t _f = 6 ns (unless otherwise specified).								
Symbol	Parameters	Conditions	V _{CC}	T = 25°C		74HC	54HC	Units
				Typ	Guaranteed Limits			
Voltage Controlled Oscillator (Specified to operate from V _{CC} = 3.0V to 6.0V)								
f _{MAX}	Maximum Operating Frequency	C1 = 10 pF, R1 = 100, R2 = ∞ VCO _{IN} = V _{CC}	4.5V 6.0V		20 25	18 23	15 20	MHz MHz
	Linearity	VCO _{IN} = 2.25 ± 1V VCO _{IN} = 3 ± 1.5V	4.5V 6.0V	1.0 1.0				% %
	Temperature-Frequency Stability	No Frequency Offset	4.5V 6.0V					%/°C %/°C
	Temperature-Frequency Stability	Frequency Offset	4.5V 6.0V					%/°C %/°C
	Duty Cycle			50				%
Demodulator Output								
	Offset Voltage VCO _{IN} -V _{dem}	R _g = 1 kΩ		1.5	2.2	2.7	3.2	V
	Linearity	R _g = 5 kΩ	2.0V		0.1	0.2	0.3	%

Detailed Circuit Description

VOLTAGE CONTROLLED OSCILLATOR/SOURCE FOLLOWER

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor R1 and capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves). R2 can be used to set the offset frequency with 0V at VCO input. If R2 is omitted the VCO range is from 0 Hz; as R2 is decreased, the offset frequency is increased. The effect of R2 is shown in the design information table and typical performance

curves. By increasing the value of R2 the lock range of the PLL is decreased and the gain (volts/Hz) is increased. Thus, for a narrow lock range, large swings on the VCO input will cause less frequency variation.

Internally, the resistors set a current in a current mirror as shown in Figure 1. The mirrored current drives one side of

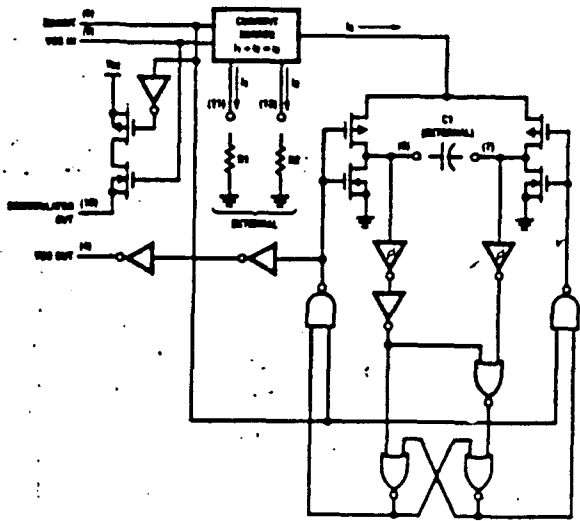


FIGURE 1. Logic Diagram for VCO

TL/F/6332-1

Detailed Circuit Description (Continued)

the capacitor; once the capacitor charges up to the threshold of the Schmitt Trigger the oscillator logic flips the capacitor over and causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is then taken to pin 4.

The input to the VCO is a very high impedance CMOS input and thus will not load down the loop filter, easing the filter design. In order to make signals at the VCO input accessible without degrading the loop performance, a source follower transistor is provided. This transistor can be used by connecting a resistor to ground and its drain output will follow the VCO input signal.

An inhibit signal is provided to allow disabling of the VCO and the source follower. This is useful if the internal VCO is not being used, but an external one is. A logic high on inhibit disables the VCO and source follower.

The output of the VCO is a standard high speed CMOS output with an equivalent LS-TTL fanout of 10. The VCO

output is approximately a square wave. This output can either directly feed the comparator input of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

PHASE COMPARATORS

All three phase comparators have two inputs, Signal In and Comparator In. The Signal In has a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled then this input requires logic levels the same as standard 54HC/74HC. The comparator input is a standard digital input. Both input structures are shown in Figure 3.

The outputs of these comparators are essentially standard 54HC/74HC voltage outputs (comparator II is TRI-STATE).

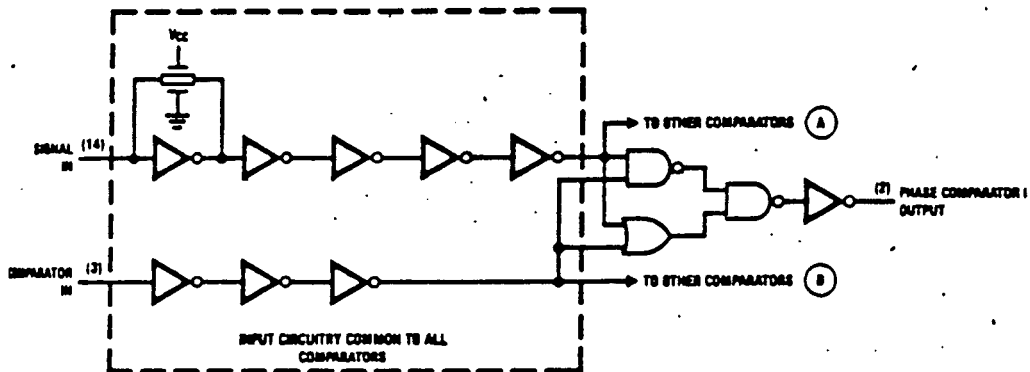


FIGURE 3. Logic Diagram for Phase Comparator I and the Common Input Circuit for All Three Comparators

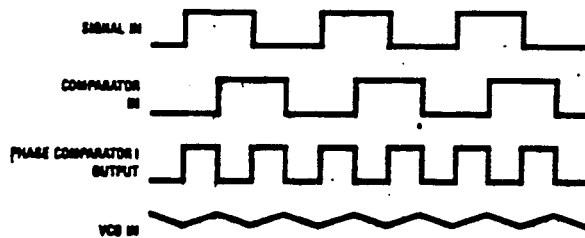
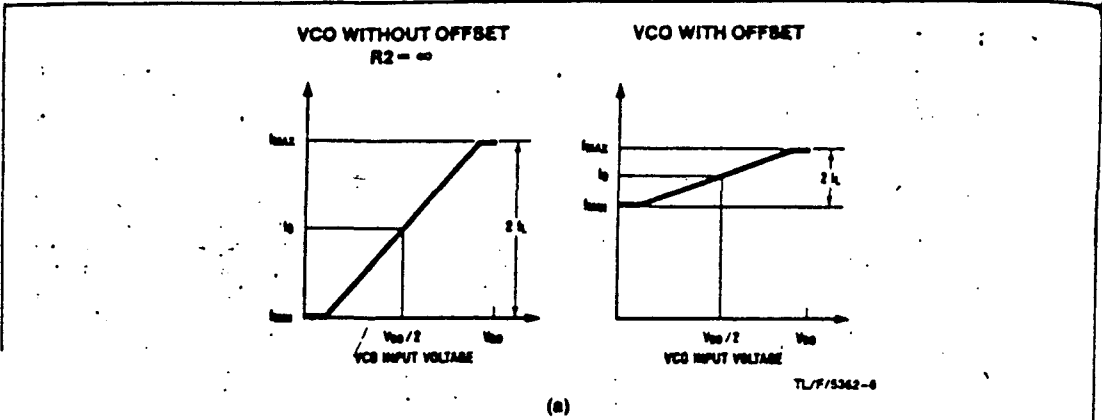


FIGURE 4. Typical Phase Comparator I Waveforms



Comparator I		Comparator II		Comparator III	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
<ul style="list-style-type: none"> - Given: f_0 - Use f_0 with Figure 5a to determine R_1 and C_1 	<ul style="list-style-type: none"> - Given: f_0 and f_L - Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ - Use f_{min} with Figure 5b to determine R_2 and C_1 - Calculate f_{max}/f_{min} from the equation $f_{max}/f_{min} = f_0 + f_L / f_0 - f_L$ - Use f_{max}/f_{min} with Figure 5c to determine ratio R_2/R_1 to obtain R_1 	<ul style="list-style-type: none"> - Given: f_{max} - Calculate f_0 from the equation $f_0 = f_{max}/2$ - Use f_0 with Figure 5a to determine R_1 and C_1 	<ul style="list-style-type: none"> - Given: f_{min} and f_{max} - Use f_{min} with Figure 5b to determine R_2 and C_1 - Calculate f_{max}/f_{min} - Use f_{max}/f_{min} with Figure 5c to determine ratio R_2/R_1 to obtain R_1 		

(b)

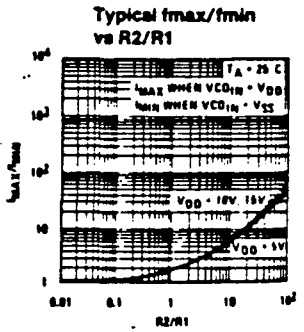
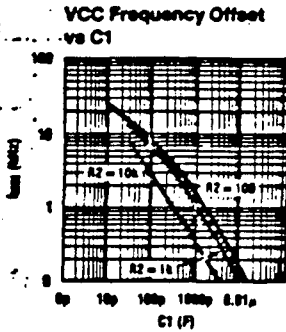
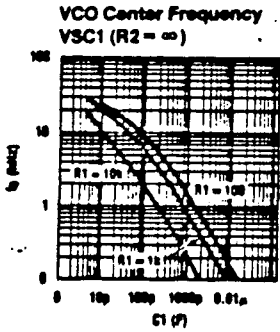


FIGURE 2. VCO Characteristics: a) Idealized Transfer Function
b) Determining External Components
c), d), e) Typical Frequency Characteristics versus Component Values

Detailed Circuit Description (Continued)

Thus in normal operation V_{CC} and ground voltage levels are fed to the loop filter. This differs from some phase detectors which supply a current output to the loop filter and this should be considered in the design. (The CD4046 also provides a voltage.)

Figure 5 shows the state tables for all three comparators.

PHASE COMPARATOR I

This comparator is a simple XOR gate similar to the 54/74HC86, and its operation is similar to an overdriven balanced modulator. To maximize lock range the input frequencies must have a 50% duty cycle. Typical input and output waveforms are shown in Figure 4. The output of the phase detector feeds the loop filter which averages the output voltage. The frequency range upon which the PLL will lock onto if initially out of lock is defined as the capture range. The capture range for phase detector I is dependent on the loop filter employed. The capture range can be as large as the lock range, which is equal to the VCO frequency range.

To see how the detector operates, refer to Figure 4. When two square wave inputs are applied to this comparator, an output waveform whose duty cycle is dependent on the phase difference between the two signals results. As the phase difference increases, the output duty cycle increases and the voltage after the loop filter increases. Thus, in order to achieve lock when the PLL input frequency increases the VCO input, voltage must increase

and the phase difference between comparator in and signal in will increase. At an input frequency equal to f_{min} , the VCO input is at 0V. This requires the phase detector output to be grounded; hence, the two input signals must be in phase. When the input frequency is f_{max} , the VCO input must be V_{CC} and the phase detector inputs must be 180° out of phase.

The XOR is more susceptible to locking onto harmonics of the signal input than the digital phase detector II. For instance, a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal to the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and the VCO range should be designed to prevent locking on to harmonics.

PHASE COMPARATOR II

This detector is a digital memory network. It consists of four flip-flops and some gating logic, a three state output and a phase pulse output as shown in Figure 6. This comparator acts only on the positive edges of the input signals and is thus independent of signal duty cycle.

Phase comparator II operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. Figure 7 shows some typical loop waveforms. First assume that the signal input phase is leading the comparator input. This

Phase Comparator State Diagrams

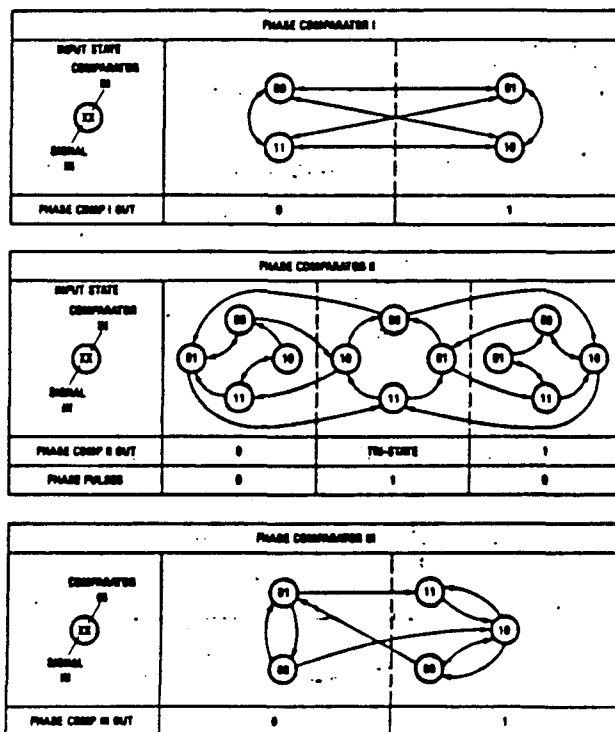


FIGURE 5.

TL/F/6362-10

Detailed Circuit Description (Continued)

means that the VCO's frequency must be increased to bring its leading edge into proper phase alignment. Thus the phase detector II output is set high. This will cause the loop filter to charge up the VCO input, increasing the VCO frequency. Once the leading edge of the comparator input is detected, the output goes TRI-STATE holding the VCO input at the loop filter voltage. If the VCO still lags the signal then the phase detector will again charge up to VCO input for the time between the leading edges of both waveforms.

If the VCO leads the signal then when the leading edge of the VCO is seen, the output of the phase comparator goes low. This discharges the loop filter until the leading edge of the signal is detected at which time the output disables itself again. This has the effect of slowing down the VCO to again make the rising edges of both waveforms coincidental.

When the PLL is out of lock, the VCO will be running either slower or faster than the signal input. If it is running slower the phase detector will see more signal rising edges and so the output of the phase comparator will be high a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the signal, the output of the detector will be low most of the time and the VCO's output frequency will be decreased.

As one can see, when the PLL is locked the output of phase comparator II will be almost always disabled except for minor corrections at the leading edge of the waveforms. When the detector is TRI-STATE the phase pulse output is high. This output can be used to determine when the PLL is in the locked condition.

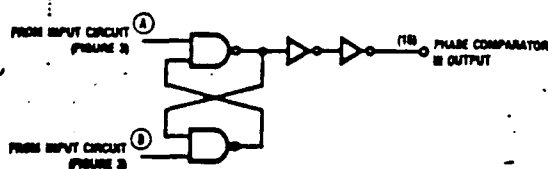
This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the comparator input and the signal input. The lock range of the PLL is the same as the capture

range. Minimal power is consumed in the loop filter since in lock the detector output is a high impedance. Also, when no signal is present, the detector will see only VCO leading edges, so the comparator output will stay low, forcing the VCO to f_{min} operating frequency.

Phase comparator II is more susceptible to noise, causing the phase lock loop to unlock. If a noise pulse is seen on the signal input, the comparator treats it as another positive edge of the signal and will cause the output to go high until the VCO leading edge is seen, potentially for a whole signal input period. This would cause the VCO to speed up during that time. When using the phase comparator I, the output of that phase detector would be disturbed for only the short duration of the noise spike and would cause less upset.

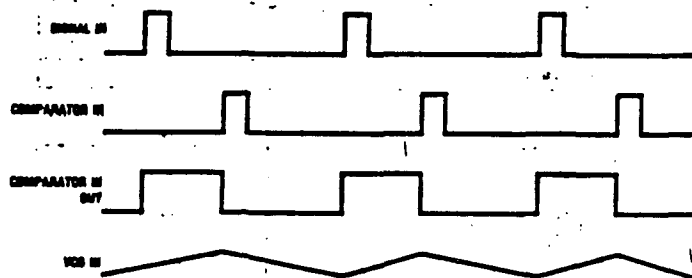
PHASE COMPARATOR III

This comparator is a simple SR flip-flop which can function as a phase comparator as shown in Figure 8. It has some similar characteristics to the edge sensitive comparator. To see how this detector works, assume input pulses are applied to the signal and comparator inputs as shown in Figure 9. When the signal input leads the comparator input, the flop is set. This will charge up the loop filter and cause the VCO to speed up, bringing the comparator into phase with the signal input. When using short pulses as input, this comparator behaves very similarly to the second comparator. But one can see that if the signal input is a long pulse, the output of the comparator will be forced to a one no matter how many comparator input pulses are received. Also, if the VCO input is a square wave (as it is) and the signal input is pulse, then the VCO will force the comparator output low much of the time. Therefore, it is ideal to condition the signal and comparator input to short pulses. This is most easily done by using a series capacitor.



TL/F/6342-11

FIGURE 8. Phase Comparator III Logic Diagram



TL/F/6342-12

FIGURE 9. Typical Waveforms for Phase Comparator III

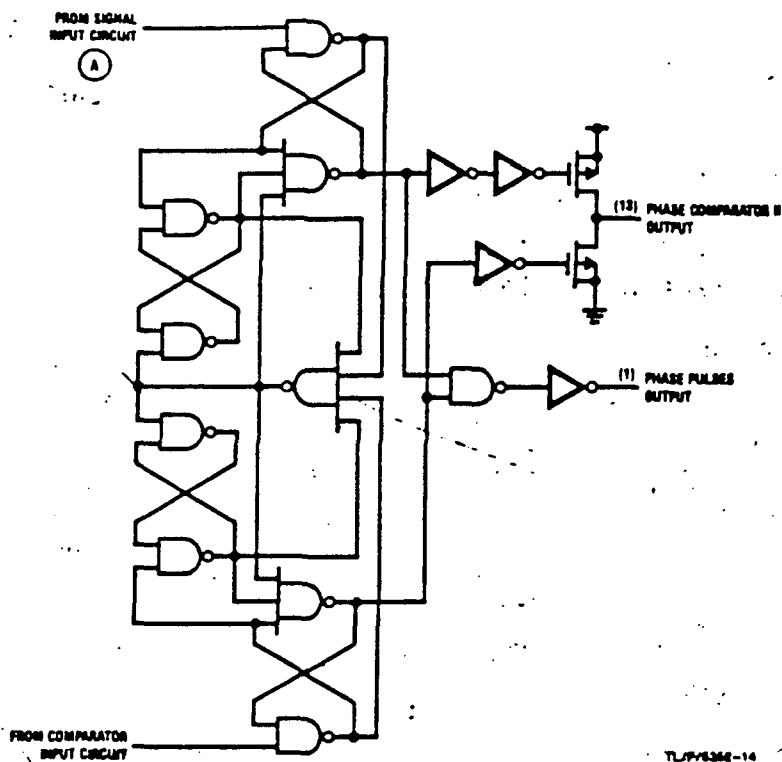


FIGURE 6. Logic Diagram for Phase Comparator II

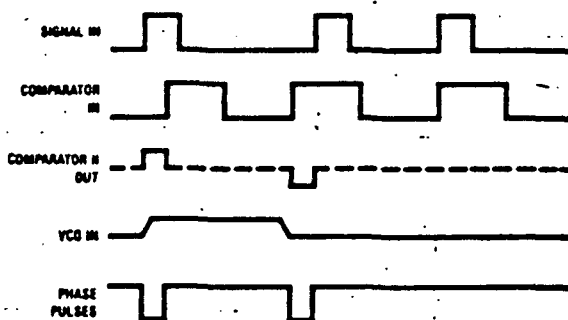


FIGURE 7. Typical Phase Comparator II Output Waveforms

CO 4518



CD4518BM/CD4518BC, CD4520BM/CD4520BC Dual Synchronous Up Counters

General Description

The CD4518BM/CD4518BC dual BCD counter and the CD4520BM/CD4520BC dual binary counter are implemented with complementary MOS (CMOS) circuits constructed with N- and P-channel enhancement mode transistors.

Each counter consists of two identical, independent, synchronous, 4-stage counters. The counter stages are toggle flip-flops which increment on either the positive-edge of CLOCK or negative-edge of ENABLE, simplifying cascading of multiple stages. Each counter can be asynchronously cleared by a high level on the RESET

line. All inputs are protected against static discharge by diode clamps to both V_{DD} and V_{SS} .

Features

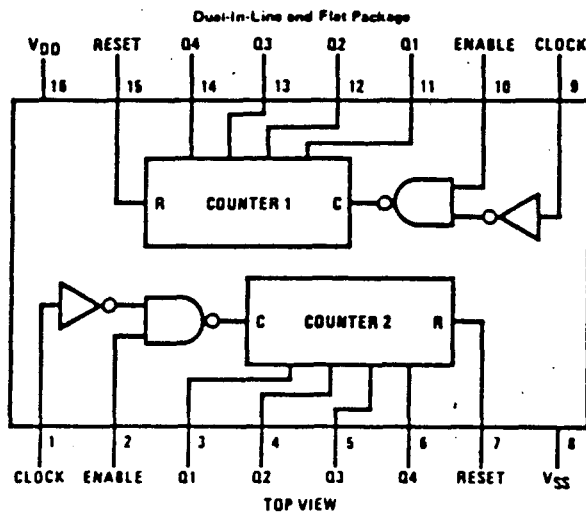
- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- 6 MHz counting rate (typ.) at $V_{DD} = 10V$

Truth Table

CLOCK	ENABLE	RESET	ACTION
	1	0	Increment counter
0		0	Increment counter
	X	0	No change
X		0	No change
	0	0	No change
1		0	No change
X	X	1	Q1 thru Q4 = 0

X = Don't Care

Connection Diagram



Order Number CD4518BMJ,
CD4518BCJ, CD4520BMJ
or CD4520BCJ
See NS Package J16A

Order Number CD4518BMN,
CD4518BCN, CD4520BMN
or CD4520BCN
See NS Package N16E

Absolute Maximum Ratings

(Notes 1 and 2)

V _{DD} Supply Voltage	-0.5V to +18V
V _{IN} Input Voltage	-0.5V to V _{DD} + 0.5V
T _S Storage Temperature Range	-85°C to +150°C
P _D Package Dissipation	600 mW
T _L Lead Temperature (Soldering, 10 seconds)	260°C

Recommended Operating Conditions

(Note 2)

V _{DD} Supply Voltage	3V to 15V
V _{IN} Input Voltage	0V to V _{DD}
T _A Operating Temperature Range	-55°C to +125°C
CD4518BM, CD4520BM	-55°C to +125°C
CD4518BC, CD4520BC	-40°C to +85°C

DC Electrical Characteristics CD4518BM/CD4520BM (Note 2)

SYM	PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD}	Quiescent Device Current	V _{DD} = 5V		5		0.01	5		150	μA
		V _{DD} = 10V		10		0.01	10		300	μA
		V _{DD} = 15V		20		0.01	20		600	μA
V _{OL}	Low Level Output Voltage	I _O < 1 μA, V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V		0.05		0	0.05		0.05	V
		V _{DD} = 10V		0.05		0	0.05		0.05	V
V _{OH}	High Level Output Voltage	I _O < 1 μA, V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V	4.95		4.95	5		4.95		V
		V _{DD} = 10V	9.95		9.95	10		9.95		V
V _{IL}	Low Level Input Voltage	I _O < 1 μA								
		V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V _{DD} = 10V, V _O = 1V or 9V		3.0		4.5	3.0		3.0	V
V _{IH}	High Level Input Voltage	I _O < 1 μA								
		V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0	5.5		7.0		V
I _{OL}	Low Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V, V _O = 0.4V	0.64		0.51	0.88		0.36		mA
		V _{DD} = 10V, V _O = 0.5V	1.6		1.3	2.25		0.9		mA
I _{OH}	High Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V, V _O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
		V _{DD} = 10V, V _O = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
I _{IN}	Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.1		-10 ⁻⁵	-0.1		-1.0	μA
		V _{DD} = 15V, V _{IN} = 15V		0.1		10 ⁻⁵	0.1		1.0	μA

DC Electrical Characteristics CD4518BC/CD4520BC (Note 2)

SYM	PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD}	Quiescent Device Current	V _{DD} = 5V		20		0.01	20		150	μA
		V _{DD} = 10V		40		0.01	40		300	μA
		V _{DD} = 15V		80		0.01	80		600	μA
V _{OL}	Low Level Output Voltage	I _O < 1 μA, V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V		0.05		0	0.05		0.05	V
		V _{DD} = 10V		0.05		0	0.05		0.05	V
V _{OH}	High Level Output Voltage	I _O < 1 μA, V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V	4.95		4.95	5		4.95		V
		V _{DD} = 10V	9.95		9.95	10		9.95		V
V _{IL}	Low Level Input Voltage	I _O < 1 μA								
		V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V _{DD} = 10V, V _O = 1V or 9V		3.0		4.5	3.0		3.0	V
V _{IH}	High Level Input Voltage	I _O < 1 μA								
		V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0	5.5		7.0		V
I _{OL}	Low Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V, V _O = 0.4V	0.64		0.51	0.88		0.36		mA
		V _{DD} = 10V, V _O = 0.5V	1.6		1.3	2.25		0.9		mA
I _{OH}	High Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V, V _O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
		V _{DD} = 10V, V _O = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
I _{IN}	Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.1		-10 ⁻⁵	-0.1		-1.0	μA
		V _{DD} = 15V, V _{IN} = 15V		0.1		10 ⁻⁵	0.1		1.0	μA

DC Electrical Characteristics (Cont'd.) CD4518BC/CD4520BC (Note 2)

SYM	PARAMETER	CONDITIONS	-40 °C		25 °C			85 °C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
V _{IL}	Low Level Input Voltage	I _Q < 1 µA								
		V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V _{DD} = 10V, V _O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V
V _{IH}	High Level Input Voltage	I _Q < 1 µA								
		V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I _{OL}	Low Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V, V _O = 0.4V	0.52		0.44	0.88		0.36		mA
		V _{DD} = 10V, V _O = 0.5V	1.3		1.1	2.25		0.9		mA
		V _{DD} = 15V, V _O = 1.5V	3.6		3.0	8.8		2.4		mA
I _{OH}	High Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V								
		V _{DD} = 5V, V _O = 4.6V	-0.52		-0.44	-0.88		-0.36		mA
		V _{DD} = 10V, V _O = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
		V _{DD} = 15V, V _O = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I _{IN}	Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.3		-10 ⁻⁵	-0.3		-1.0	µA
		V _{DD} = 15V, V _{IN} = 15V		0.3		10 ⁻⁵	0.3		1.0	µA

AC Electrical Characteristics T_A = 25°C, C_L = 50 pF, R_L = 200 kΩ, t_r = t_f = 20 ns,
unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _{PHL} , t _{PLH}	Propagation Delay Time, Clock → Q	V _{DD} = 5V		325	650	ns
		V _{DD} = 10V		110	225	ns
		V _{DD} = 15V		85	170	ns
t _{PHL}	Propagation Delay Time Reset → Q	V _{DD} = 5V		220	560	ns
		V _{DD} = 10V		90	230	ns
		V _{DD} = 15V		65	160	ns
t _{TTL} , t _{TLH}	Transition Time	V _{DD} = 5V		100	200	ns
		V _{DD} = 10V		50	100	ns
		V _{DD} = 15V		40	80	ns
f _{CL}	Maximum Clock Input Frequency	V _{DD} = 5V	1.5	3		MHz
		V _{DD} = 10V	3.0	6		MHz
		V _{DD} = 15V	4.0	8		MHz
t _{WL} , t _{WH}	Minimum Clock Pulse Width	V _{DD} = 5V		100	200	ns
		V _{DD} = 10V		50	100	ns
		V _{DD} = 15V		35	70	ns
t _{RCL} , t _{FC}	Maximum Clock or Enable Rise and Fall Time	V _{DD} = 5V	15			µs
		V _{DD} = 10V	10			µs
		V _{DD} = 15V	5			µs
t _{WH} , t _{WL}	Minimum Enable Pulse Width	V _{DD} = 5V		125	250	ns
		V _{DD} = 10V		55	110	ns
		V _{DD} = 15V		40	80	ns
t _{WH}	Minimum Reset Pulse Width	V _{DD} = 5V		180	375	ns
		V _{DD} = 10V		80	160	ns
		V _{DD} = 15V		65	130	ns
C _{IN}	Input Capacitance	Any Input		5	7.5	pF
C _{PD}	Power Dissipation Capacity	Either Counter, (Note 4)		50		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

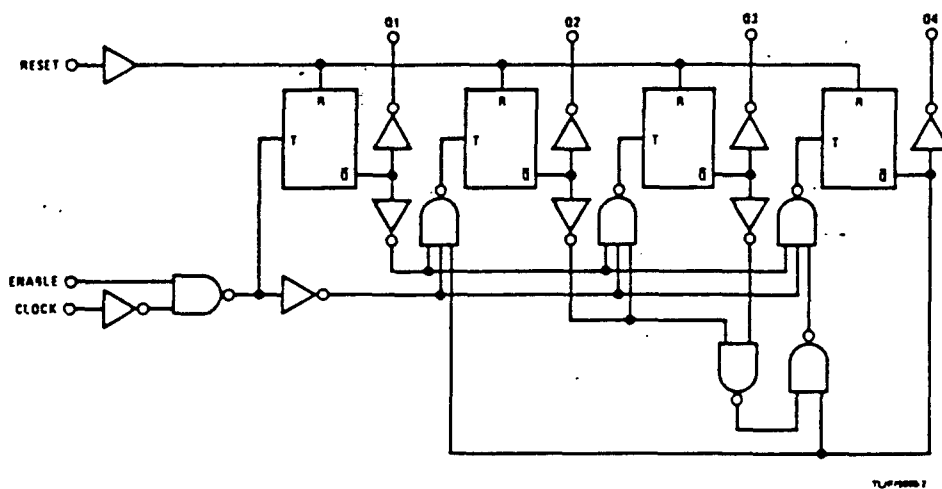
Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

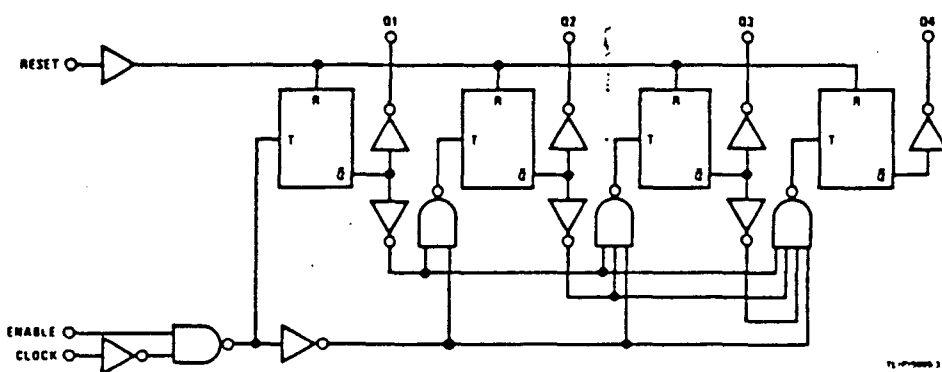
Note 4: C_{PD} determines the no load ac power consumption of a CMOS device. For a complete explanation, see "54C/74C Family Characteristics," application note AN-90.

Logic Diagrams

Decade Counter (CD4518B) 1/2 Device Shown

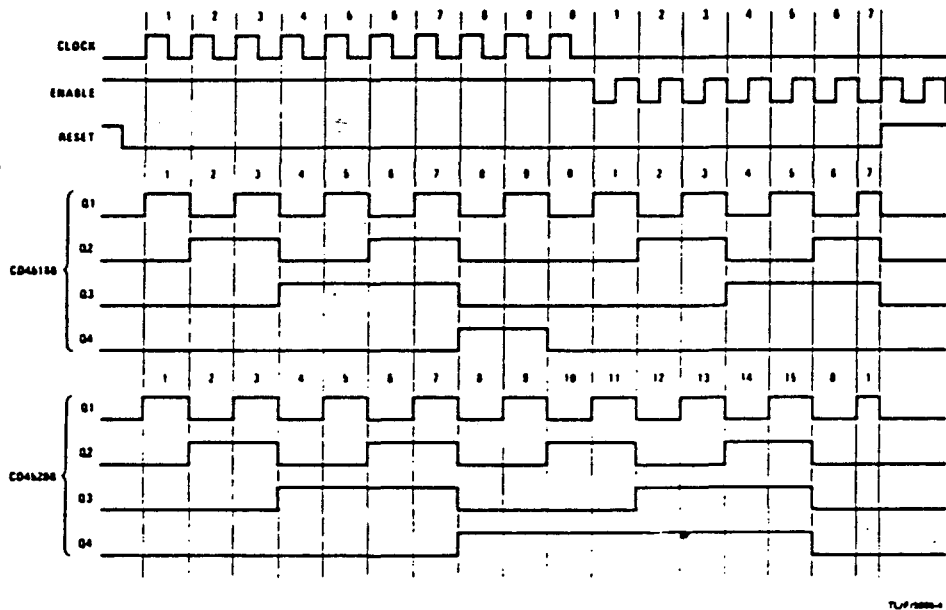


Binary Counter (CD4520B) 1/2 Device Shown



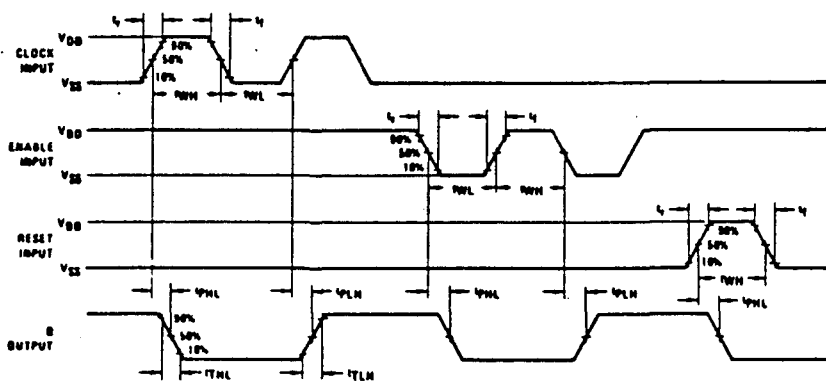
CD4518BM/CD4518BC, CD4520BM/CD4520BC

Timing Diagrams



TLJ/1000-4

Switching Time Waveforms



TLJ/1000-5

FET U 310



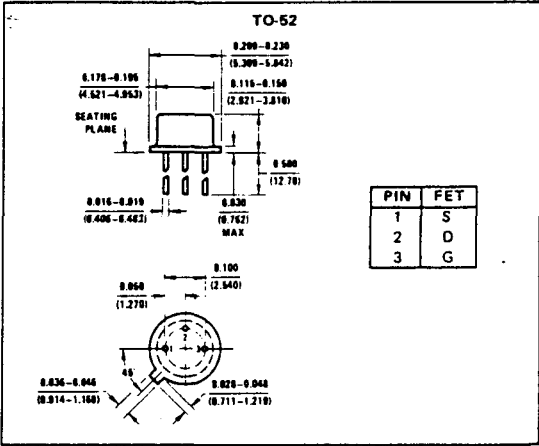
U308-10 N-Channel JFETs

General Description

The U308 thru U310 series of N-channel JFETs is designed for VHF amplifier, oscillator and mixer applications.

Absolute Maximum Ratings (25°C)

Gate-Drain or Gate-Source Voltage	-25V
Gate Current	20 mA
Total Power Dissipation	500 mW
Power Derating	4 mW/°C
Storage Temperature Range	-65°C to +200°C
Lead Temperature (1/16" from case for 10 seconds)	300°C



Electrical Characteristics (25°C unless otherwise noted)

PARAMETER	CONDITIONS	U308			U309			U310			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
IGSS	Gate Reverse Current VGS = -15V VDS = 0			-150			-150			-150	pA
				-150			-150			-150	nA
BVGSS	Gate-Source Breakdown Voltage IG = -1 µA, VDS = 0	-25			-25			-25			V
VGS(off)	Gate-Source Cutoff Voltage VDS = 10V, ID = 1 nA	-1.0		-6.0	-1.0		-4.0	-2.5		-6.0	V
IDSS	Saturation Drain Current VDS = 10V, VGS = 0, (Note 1)	12		60	12		30	24		60	mA
VGS(f)	Gate-Source Forward Voltage IG = 10 mA, VDS = 0			1.0			1.0			1.0	V
gfg	Common-Gate Forward Transconductance, (Note 1)	10		20	10		20	10		18	mmho
gogs	Common-Gate Output Conductance			150			150			150	µmho
Cgd	Drain-Gate Capacitance			2.5			2.5			2.5	pF
Cgs	Gate-Source Capacitance			5.0			5.0			5.0	pF
en	Equivalent Short-Circuit Input Noise Voltage		10			10			10		nV/√Hz
gfg	Common-Gate Forward Transconductance		12			12			12		mmho
gogs	Common-Gate Output Conductance		0.18			0.18			0.18		µmho
Gdg	Common-Gate Power Gain		15			15			15		dB
NF	Noise Figure		1.5			1.5			1.5		dB

Note 1: Pulse test duration = 2 ms.

A. FIBRIDO OM 335

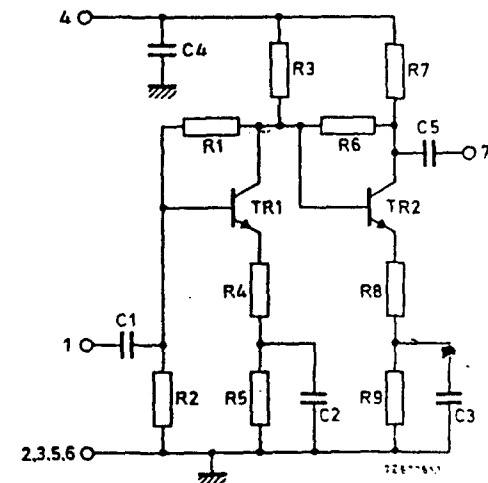
HYBRID VHF/UHF WIDE-BAND AMPLIFIER

Two-stage wide-band amplifier in the hybrid technique, designed for use in mast-head booster amplifiers, as pre-amplifier in MATV systems, and as general-purpose amplifier for v.h.f. and u.h.f. applications

QUICK REFERENCE DATA			
Frequency range	f	40 to 860	MHz
Source and load (characteristic) impedance	$R_S = R_I = Z_O$	= 75	Ω
Transducer gain	$G_{tr} = s_f ^2$	typ. 15.5	dB
Flatness of frequency response	$\pm \Delta s_f ^2$	typ. 1	dB
Output voltage at -60 dB intermodulation distortion (DIN45004, 3-tone)	$V_{O(rms)}$	> 92	dB μ V
Noise figure	F	typ. 5.5	dB
D.C. supply voltage	V_B	= 24	V $\pm 10\%$
Operating ambient temperature	T_{amb}	-20 to +70	$^{\circ}\text{C}$

ENCAPSULATION 7-pin, in-line, resin-coated body, see MECHANICAL DATA

CIRCUIT DIAGRAM



Dip or wave soldering

260 °C is the maximum permissible temperature of the solder; it must not be in contact with the joint for more than 5 seconds. The total contact time of successive solder waves must not exceed 5 seconds.

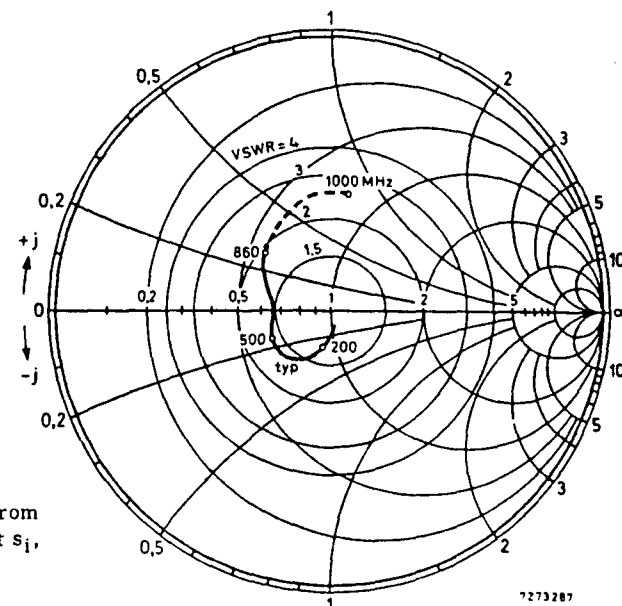
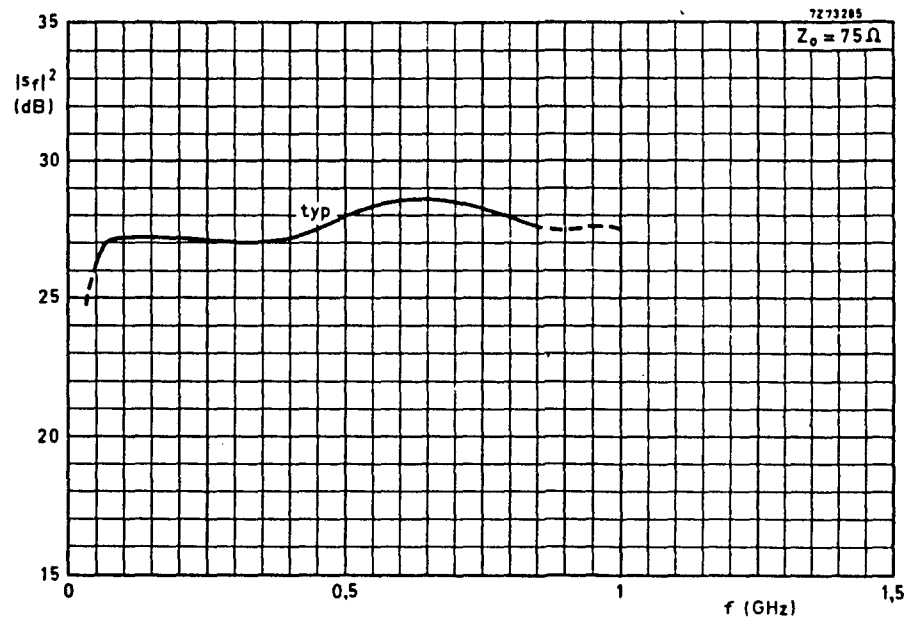
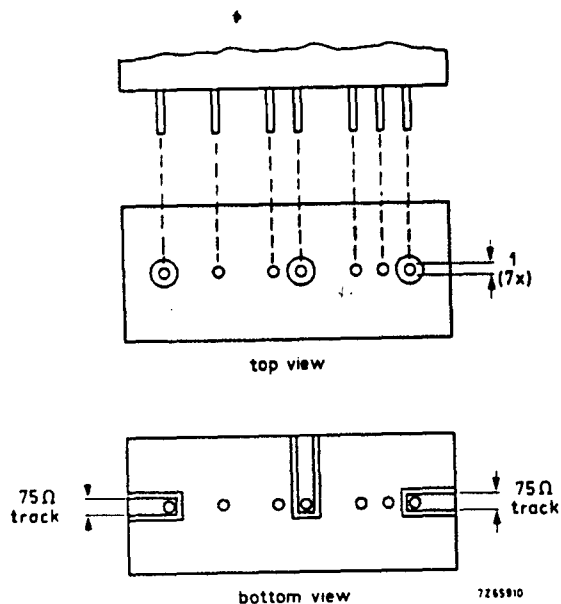
The device may be mounted against the printed-circuit board, but the temperature of the device must not exceed 125 °C. If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature below the allowable limit.

Mounting recommendations

The module should preferably be mounted on double-sided printed-circuit board, see the example shown below.

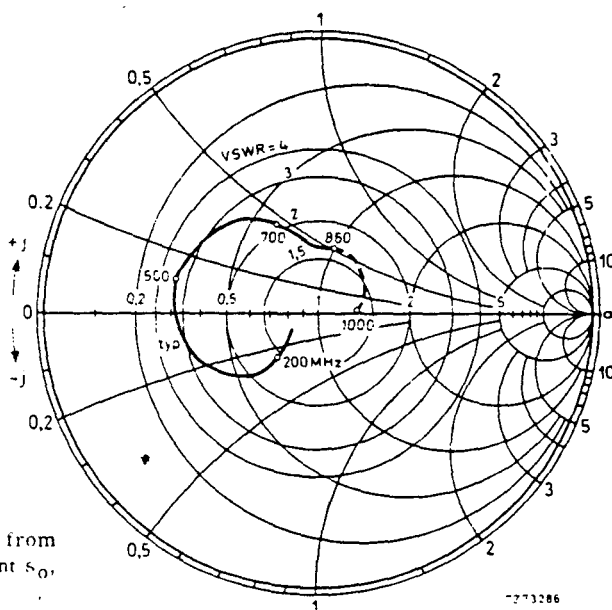
Input and output should be connected to 75 Ω tracks.

The connections to the "common" pins should be as close to the seating plane as possible.



Input impedance derived from input reflection coefficient S_{11} , co-ordinates in ohm x 75.

OM335



Output impedance derived from
output reflection coefficient s_o ,
co-ordinates in ohm x 75.

7733286



MEZCLADOR 30 42P

EL SO42 P

GENERALIDADES

El SO42 P es un modulador en anillo de aplicación universal para todo uso, hasta los 200 MHz. Puede hacer intervenir o no a su oscilador incorporado. La señal de salida está desembarazada de las señales de entrada. Paralelamente a su utilización de base en mezclador, convertidor de frecuencia y desmodulador en los receptores FM/AM, el SO42 P puede ser utilizado lo mismo que un inversor de polaridad, multiplicador, etc.

Se caracteriza por los puntos siguientes:

- amplia gama de tensiones de alimentación.
- numerosas aplicaciones.
- pocos componentes externos
- ganancia de conversión elevada
- poco ruido

Presentado en cápsula de plástico de 14 terminales, el SO42 P está completado por el S042 E, suministrado en cápsula metálica redonda.

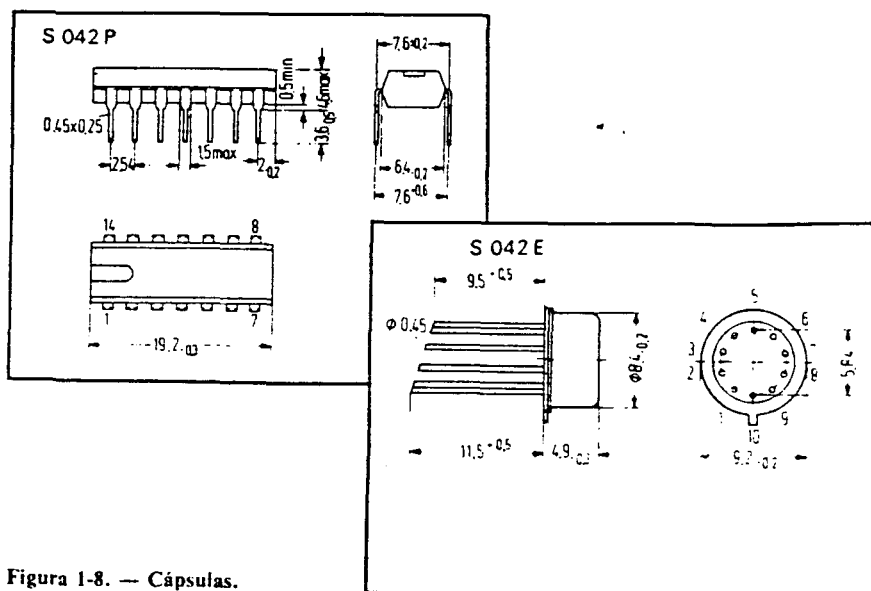
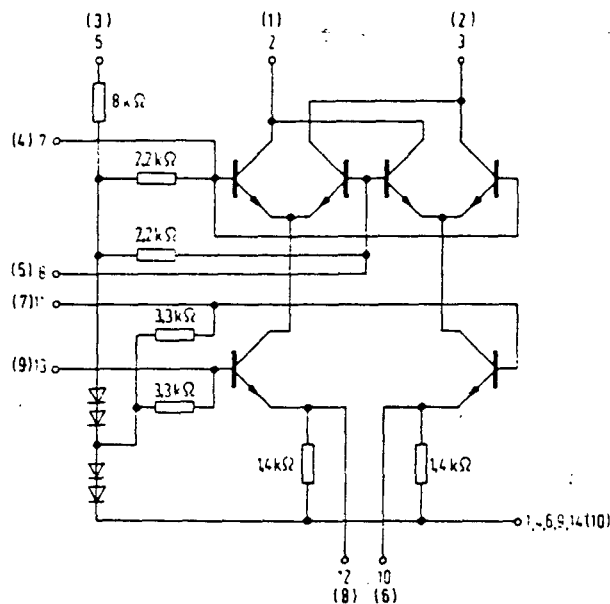


Figura 1-8. — Cápsulas.

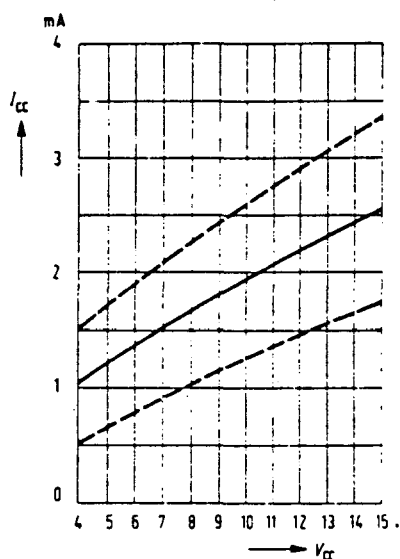


Las Indicaciones entre paréntesis se refieren al SO42E.

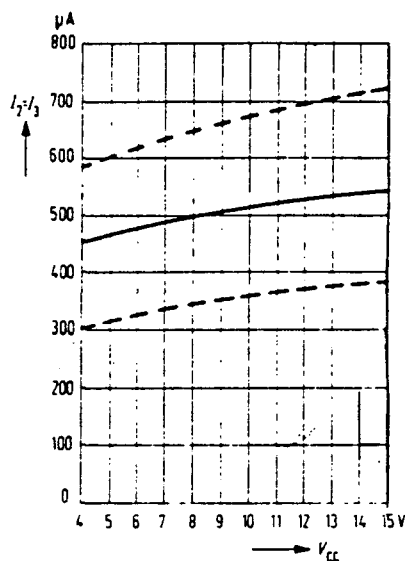
Figura 1-9. — Esquema interno y conexionado.

VALORES LIMITES ABSOLUTOS

Tensión de alimentación	V_{cc}	15	V
Temperatura de funcionamiento	T_{amb}	— 15a + 70	°C
Temperatura de almacenamiento	T_s	— 40a + 125	°C
Resistencia térmica SO42 P	R_{tSA}	110	K/W
Resistencia térmica SO42 E	R_{tSA}	190	K/W
Dominio de funcionamiento	V_{cc}	4 a 15	V



Consumo en función de la tensión de alimentación



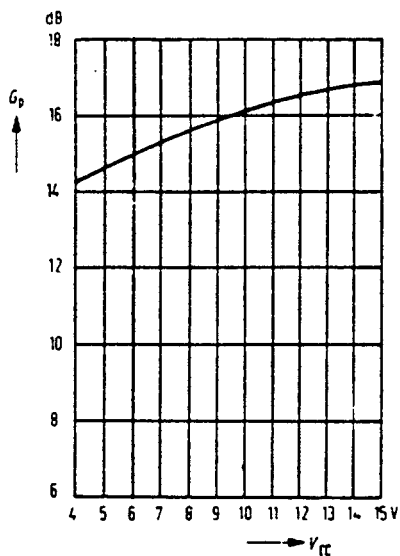
Corriente de salida en función de la tensión de alimentación.

Figura 1-10. — Curvas.

CARACTERISTICAS GENERALES

($V_{cc} = 12\text{ V}$ $T_{amb} = 25\text{ }^{\circ}\text{C}$)

Consumo total
Corriente de salida
Corriente de salida diferencial
Corriente de polarización
Ganancia en potencia ($f_E = 100\text{ MHz}$, $f_{oc} = 110,7\text{ MHz}$)
Tensión de ruptura ($I_{2,3} = 10\text{ mA}$, $V_{7,8} = 0\text{ V}$)
Capacidad de salida
Ganancia de conversión
Factor de ruido



Ganancia en potencia en función de la tensión de alimentación.

	Min.	Tipo	Máx.	Unidad
$I_{\alpha} = I_2 + I_3 + I_5$	1,4	2,15	2,9	mA
$I_2 = I_3$.36	.52	.68	mA
$I_3 - I_2$	- 60		+ 60	mA
I_5	.7	1.1	1.6	mA
G_p	14	16.5		dB
V_2, V_3	25			V
C_{2-M}, C_{3-M}		6		pF
$S = \frac{I_2}{V_1 - V_8} = \frac{I_3}{V_7 - V_8}$		5		mS
F		7		dB

MOSFET BFR 84

SILICON N-CHANNEL DUAL IG-MOS-FET

Depletion type field-effect transistor in a TO-72 metal envelope with source and substrate connected to the case, intended for a wide range of v.h.f. applications, such as v.h.f. television tuners, f.m. tuners, as well as for applications in communication, instrumentation and control.

This MOS-FET tetrode is protected against excessive input voltage surges by integrated back-to-back diodes between gates and source.

The tetrode configuration, a series arrangement of two gate controlled channels, offers:

- a) very low feedback capacitance providing the possibility of more than 40 dB gain control in r.f. amplifiers requiring negligible a.g.c. power.
- b) excellent signal handling capability over the entire gain control range.
- c) low noise figure combined with high gain.

QUICK REFERENCE DATA

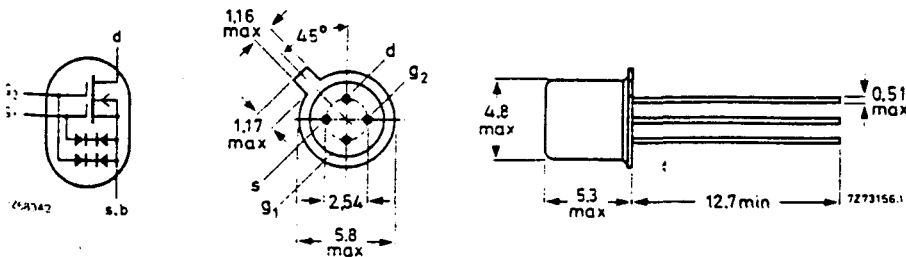
Drain-source voltage	V_{DS}	max.	20 V
Drain current	I_D	max.	50 mA
Total power dissipation up to $T_{amb} = 25\text{ }^{\circ}\text{C}$	P_{tot}	max.	300 mW
Junction temperature	T_j	max.	175 $^{\circ}\text{C}$
Transfer admittance at $f = 1\text{ kHz}$ $I_D = 10\text{ mA}$; $V_{DS} = 10\text{ V}$; $+V_{G2-S} = 4\text{ V}$	$ y_{fs} $	typ.	15 mA/V
Feedback capacitance at $f = 1\text{ MHz}$ $I_D = 10\text{ mA}$; $V_{DS} = 10\text{ V}$; $+V_{G2-S} = 4\text{ V}$	C_{rs}	typ.	30 fF
Noise figure at optimum source admittance $I_D = 10\text{ mA}$; $V_{DS} = 10\text{ V}$; $+V_{G2-S} = 4\text{ V}$ $G_S = 1,2\text{ mA/V}$; $-B_S = 5,7\text{ mA/V}$; $f = 200\text{ MHz}$	F	typ.	2,3 dB

MECHANICAL DATA

Dimensions in mm

Fig. 1 TO-72.

Source and substrate connected to the case.



Accessories: 56246 (distance disc).

RATINGS Limiting values in accordance with the Absolute Maximum System (IEC 134)

Voltage

Drain-source voltage V_{DS} max. 20 V

Currents

Drain current (d.c. or average) I_D max. 50 mA

Drain current (peak value) I_{DM} max. 100 mA

Gate 1-source current $\pm I_{G1-S}$ max. 10 mA

Gate 2-source current $\pm I_{G2-S}$ max. 10 mA

Power dissipation

Total power dissipation up to $T_{amb} = 25^\circ\text{C}$ P_{tot} max. 300 mW

Temperatures

Storage temperature T_{stg} -65 to +175 $^\circ\text{C}$

Junction temperature T_j max. 175 $^\circ\text{C}$

THERMAL RESISTANCE

From junction to ambient in free air $R_{th\ j-a}$ = 0,5 $^\circ\text{C}/\text{mW}$

STATIC CHARACTERISTICS

$T_{amb} = 25^\circ\text{C}$ unless otherwise specified

Gate cut-off currents

$\pm V_{G1-S} = 5\text{ V}; V_{G2-S} = V_{DS} = 0$ $\pm I_{G1-SS}$ < 10 nA

$\pm V_{G1-S} = 5\text{ V}; V_{G2-S} = V_{DS} = 0; T_j = 150^\circ\text{C}$ $\pm I_{G1-SS}$ < 10 μA

$\pm V_{G2-S} = 5\text{ V}; V_{G1-S} = V_{DS} = 0$ $\pm I_{G2-SS}$ < 10 nA

$\pm V_{G2-S} = 5\text{ V}; V_{G1-S} = V_{DS} = 0; T_j = 150^\circ\text{C}$ $\pm I_{G2-SS}$ < 10 μA

Gate-source breakdown voltages

$\pm I_{G1-SS} = 0,1\text{ mA}; V_{G2-S} = V_{DS} = 0$ $\pm V_{(BR)G1-SS}$ 6,0 to 20 V

$\pm I_{G2-SS} = 0,1\text{ mA}; V_{G1-S} = V_{DS} = 0$ $\pm V_{(BR)G2-SS}$ 6,0 to 20 V

Drain current

$V_{DS} = 10\text{ V}; V_{G1-S} = 0; +V_{G2-S} = 4\text{ V}$ I_{DSS} 20 to 55 mA ¹⁾

Gate 1-source voltage

$I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; +V_{G2-S} = 4\text{ V}$ $-V_{G1-S}$ 0,6 to 2,1 V

Gate-source cut-off voltages

$I_D = 10\text{ }\mu\text{A}; V_{DS} = 10\text{ V}; +V_{G2-S} = 4\text{ V}$ $-V_{(P)G1-S}$ 1,5 to 3,8 V

$I_D = 10\text{ }\mu\text{A}; V_{DS} = 10\text{ V}; V_{G1-S} = 0$ $-V_{(P)G2-S}$ 1,5 to 3,4 V

DYNAMIC CHARACTERISTICS

Measuring conditions (common source): $I_D = 10 \text{ mA}$; $V_{DS} = 10 \text{ V}$; $+V_{G2-S} = 4 \text{ V}$; $T_{amb} = 25^\circ\text{C}$

Transfer admittance at $f = 1 \text{ kHz}$

$ y_{fs} $	>	12	mA/V
	typ.	15	mA/V

Input capacitance at $f = 1 \text{ MHz}$

C_{is}	typ.	5.5	pF
----------	------	-----	----

Feedback capacitance at $f = 1 \text{ MHz}$

C_{rs}	typ.	30	fF
----------	------	----	----

Output capacitance at $f = 1 \text{ MHz}$

C_{os}	typ.	3.5	pF
----------	------	-----	----

Noise figure at optimum source admittance

$G_S = 0.95 \text{ mA/V}$; $-B_S = 5.0 \text{ mA/V}$; $f = 100 \text{ MHz}$	F	typ.	1.9	dB
---	---	------	-----	----

$G_S = 1.20 \text{ mA/V}$; $-B_S = 5.7 \text{ mA/V}$; $f = 200 \text{ MHz}$	F	typ.	2.3	dB
		<	3.0	dB

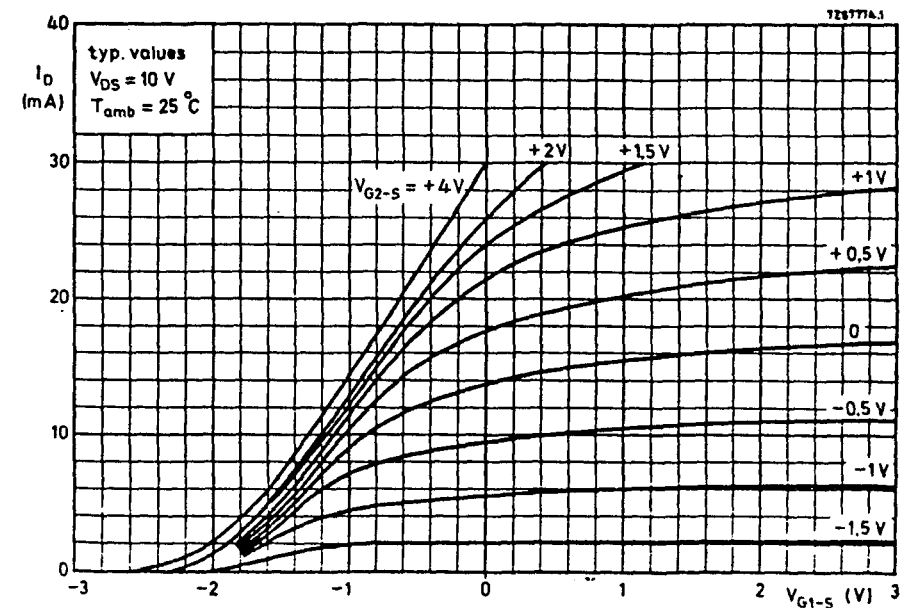
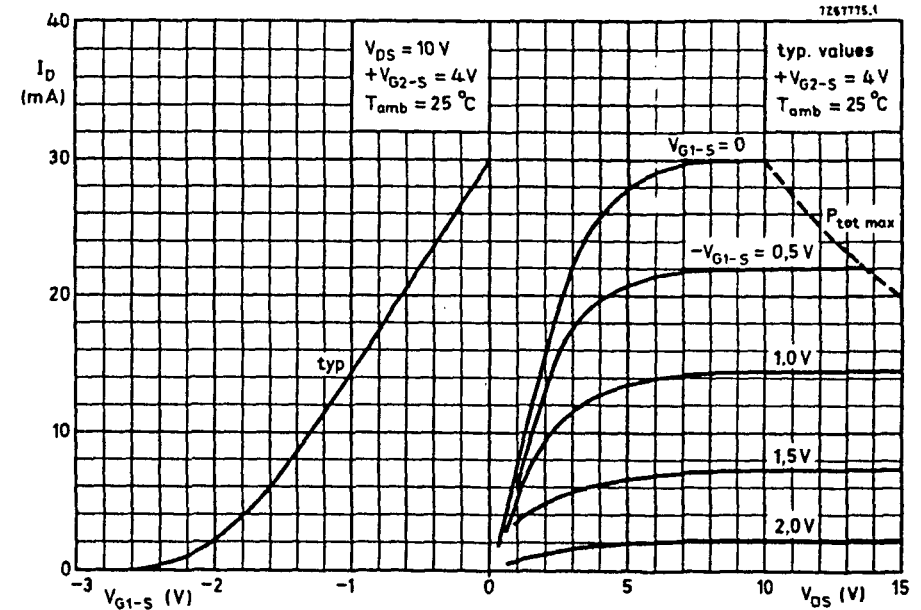
Cross modulation at $f = 200 \text{ MHz}$

Wanted signal at $f_0 = 197.5 \text{ MHz}$

Unwanted signal at $f_{int} = 202.5 \text{ MHz}$

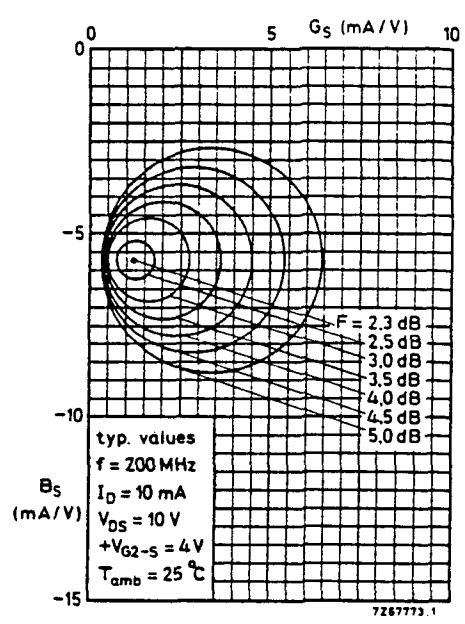
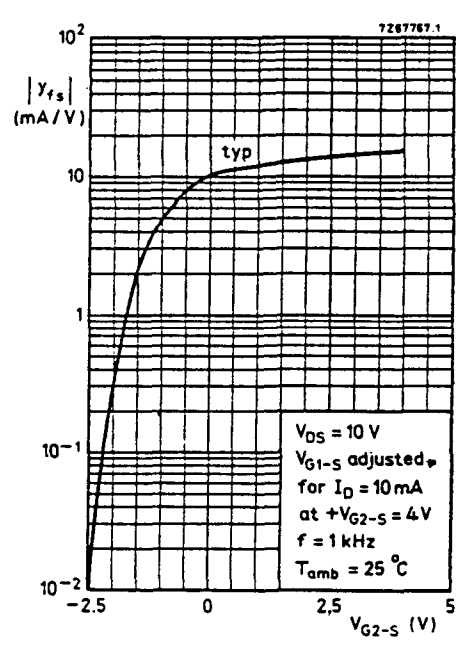
Interference voltage at g_1 for $K = 1\%$

V_{int}	typ.	100	mV ¹⁾
-----------	------	-----	------------------



1) Cross modulation is defined here as the voltage at g_1 of an unwanted signal with 80% modulation depth, giving 0.8% modulation depth on the wanted signal (a.m. definition).

BFR84



circles of constant noise figure

SL 6601 C

SL6601C

LOW POWER IF/AF PLL CIRCUIT FOR NARROW BAND FM

The SL6601 is a straight through or single conversion IF amplifier and detector for FM radio applications. Its minimal power consumption makes it ideal for hand held and remote applications where battery conservation is important. Unlike many FM integrated circuits, the SL6601 uses an advanced phase locked loop detector capable of giving superior signal-to-noise ratio with excellent co-channel interference rejection, and operates with an IF of less than 1MHz. Normally the SL6601 will be fed with an input signal of up to 17MHz, there is a crystal oscillator and mixer for conversion to the IF amplifier, a PLL detector and squelch system.

FEATURES

- High Sensitivity: 2 μ V Typical
- Low Power: 2-3mA Typical at 7V
- Advanced PLL Detector
- Available in Miniature 'Chip Carrier' Package
- 100% Tested for SINAD

APPLICATIONS

- Low Power NBFM Receivers
- FSK Data Equipment
- Cellular Radio Telephones

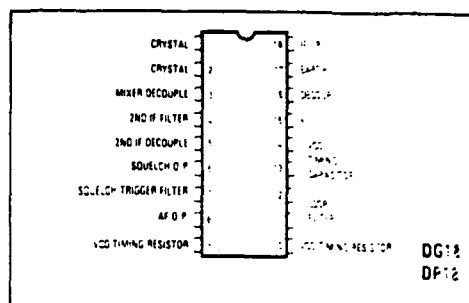


Fig. 1 Pin connections - 16 pin package

QUICK REFERENCE DATA

- Supply Voltage 7V
- 50dB S/N Ratio

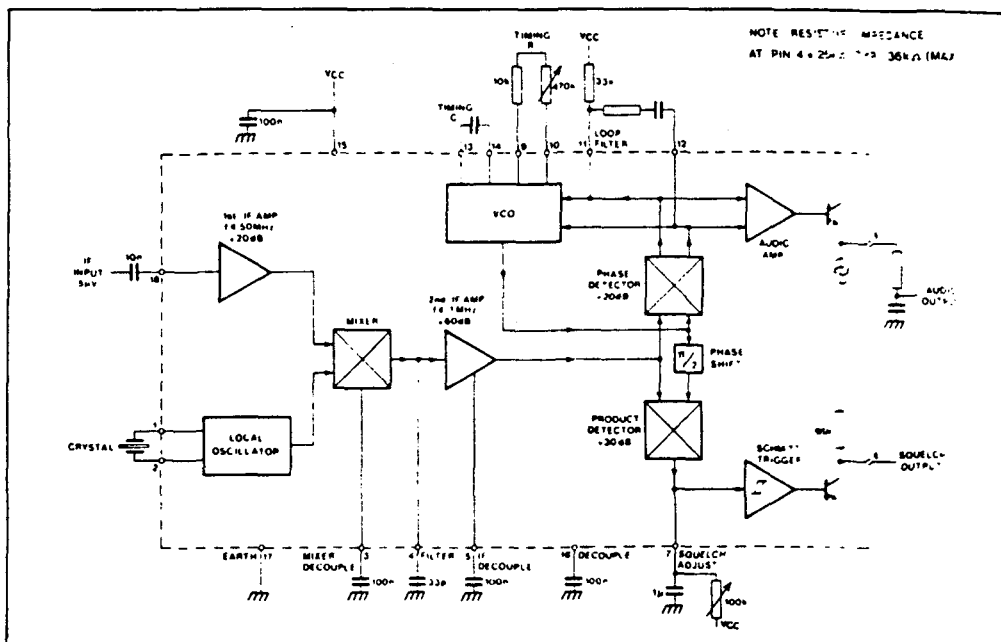


Fig. 2 SL6601 block diagram

SL6601

ELECTRICAL CHARACTERISTICS

Test conditions (unless otherwise stated):

Supply voltage V_{CC} : 7V

Input signal frequency: 10.7MHz, frequency modulated with a 1kHz tone with a ± 2.5 kHz frequency deviation

Ambient temperature: -30°C to $+85^{\circ}\text{C}$; IF = 100kHz; AF bandwidth = 15kHz

Characteristic	Value			Units	Conditions
	Min.	Typ.	Max.		
Supply current		2.3	2.7	mA	
Input impedance	100		300	Ω	Source impedance = 200 Ω
Input capacity	0.5	2.0	3.5	pF	
Maximum input voltage level	0.5			V rms	At pin 18
Sensitivity	5	2		$\mu\text{V rms}$	At pin 18 for S + N/N = 20dB
Audio output	35	90	140	mV rms	
Audio THD		1.3	3.0	%	1mV rms input at pin 18
S + N/N	30	50		dB	1mV rms input at pin 18
AM rejection	30	Note 1		dB	100 $\mu\text{V rms}$ input at pin 18, 30% AM
Squelch low level		0.2	0.5	V dc	20 $\mu\text{V rms}$ input at pin 18
Squelch high level	6.5	6.9		V dc	No input
Squelch hysteresis		1	6	dB	3 μV input at pin 18
Noise figure		6		dB	50 Ω source
Conversion gain		30		dB	Pin 18 to pin 4
Input gain compression		100		$\mu\text{V rms}$	Pin 18 to pin 4, 1dB compression
Squelch output load	250			k Ω	
Input voltage range	80	100		dB	At pin 18, above 20dB S + N/N
3rd order intercept point (input)		-38		dBm	Input pin 18, output pin 4
VCO frequency					
Grade 1	85		100	kHz	390pF timing capacitor } No input
Grade 2	95		110	kHz	
Grade 3	105		120	kHz	
Source impedance (pin 4)		25	40	k Ω	
AF output impedance		4	10	k Ω	
Lock-in dynamic range	± 8			kHz	20 μV to 1mV rms at pin 18
External LO drive level	50		250	mV rms	At pin 2
Crystal ESR			25	Ω	10.8MHz

APPLICATION NOTES

IF Amplifiers and Mixer

The SL6601 can be operated either in a 'straight through' mode with a maximum recommended input frequency of 800kHz or in a single conversion mode with an input frequency of 50MHz maximum and an IF of 100kHz or ten times the peak deviation, whichever is the larger. The crystal oscillator frequency can be equal to either the sum or difference of the two IF's, the exact frequency is not critical.

The circuit is designed to use series resonant fundamental crystals between 1 and 17MHz.

When a suitable crystal frequency is not available a fundamental crystal of one third of that frequency may be used, with some degradation in performance.

E.G. If an external oscillator is used the recommended level is 70mV rms and the unused pin should be left O/C. The input is AC coupled via a 0.01 μF capacitor.

A capacitor connected between pin 4 and ground will shunt the mixer output and limit the frequency response of the mixer output and limit the frequency response of the input signal to the second IF amplifier. A value of 33pF is advised when the second IF frequency is 100kHz, 6.8pF is advised for 455kHz.

Phase Locked Loop

The Phase Locked Loop detector features a voltage controlled oscillator with nominal frequency set by an

external capacitor according to the formula $\frac{1}{35} \text{pF}$, where f is the VCO frequency in MHz. The nominal frequency may differ from the theoretical but there is provision for a fine frequency adjustment by means of a variable resistor between the VCO output pins; a value of 470k has negligible effect while 6.8k (recommended minimum value) increases the frequency by approximately 20%.

Care should be taken to ensure that the free running VCO frequency is correct; because the VCO and limiting IF amplifier output produce square waves, it is possible to obtain lock with the VCO frequency fractionally related to the IF, e.g. IF = 100kHz, VCO = 150kHz. This condition can produce good SINAD ratios but poor squelch performance.

The loop filter is connected between pins 11 and 12; a 33k resistor is also required between pin 11 and V_{CC} .

The values of the filter resistor R2 and capacitor C1 must be chosen so that the natural loop frequency and damping factor are suitable for the FM deviation and modulation bandwidth required. The recommended values for various conditions are tabulated below.

Centre frequency kHz	Deviation kHz	Resistor k Ω	Capacitor pF
100	5	6.2	2200
100	10	5.6	1800
455	5	4.7	1500
455	10	3.9	1200

Note that the values of loop filter are not critical and in many cases may be omitted.

The AF output voltage depends upon the % deviation and so, for a given deviation, output is inversely proportional to centre frequency. As the noise is constant, the signal to noise ratio is also inversely proportional to centre frequency.

VCO Frequency Grading

The SL6601 is supplied in 3 selections of VCO centre frequency. This frequency is measured with a 390pF timing capacitor and no input signal.

Devices are coded 'SL6601C' and a '1', '2', '3' to indicate the selection.

Frequency tolerances are:

/1	85 - 100kHz (or uncoded)
/2	95 - 110kHz
/3	105 - 120kHz

Note that orders cannot be accepted for any particular selection, but all devices in a tube will be the same selection.

Squelch Facility

When inputs to the product detector differ in phase a series of current pulses will flow out of pin 7. The feature can be used to adjust the VCO; when a 1mV unmodulated input signal is applied to pin 18 the VCO frequency should be trimmed to maximise the voltage on pin 7.

The squelch level is adjusted by means of a preset variable resistor between pin 7 and Vcc to set the output signal to noise ratio at which it is required to mute the output. The capacitor between pin 7 and ground determines the squelch attack time. A value between 10nF and 10µF can be chosen to give the required characteristics.

Operation at signal to noise ratios outside the range 5-18dB is not recommended. Where the 'front end' noise is high (because of very high front end gain) the squelch may well never operate. This effect can be obviated by sensible receiver gain distribution.

The load on the squelch output (pin 6) should not be less than 250kΩ. Reduction of the load below this level leads to hysteresis problems in the squelch circuit.

The use of an external PNP transistor allows hysteresis to be increased. See Fig 4. The use of capacitors greater than 1000pF from pin 6 to ground is not recommended.

Outputs

High speed data outputs can be taken direct from pins 11 and 12 but normally for audio applications pin 8 is used. A filter network will be needed to restrict the audio bandwidth and an RC network consisting of 4.7kΩ and 4.7nF may be used.

Layout Techniques and Alignment

The SL6601 is not critical in PCB layout requirements except in the 'straight through' mode. In this mode, the input components and circuits should be isolated from the VCO components, as otherwise the VCO will attempt to 'lock' to itself, and the ultimate signal to noise ratio will suffer.

The recommended method of VCO adjustment is with a frequency measurement system on pin 9. The impedance must be high, and the VCO frequency is adjusted with no input signal.

LOOP FILTER DESIGN

The design of loop filters in PLL detectors is a straight forward process. In the case of the SL6601 this part of the circuit is non-critical, and in any case will be affected by variations in internal device parameters. The major area of importance is in ensuring that the loop bandwidth is not so low as to allow unlocking of the loop with modulation.

Damping Factor can be chosen for maximum flatness of frequency response or for minimum noise bandwidth; and values between 0.5 and 0.8 are satisfactory, 0.5 giving minimum noise bandwidth.

Design starts with an arbitrary choice of f_n , the natural loop frequency. By setting this at slightly higher than the maximum modulation frequency, the noise rejection can be slightly improved. The ratio f_n/f_m highest modulating frequency to loop frequency can then be evaluated.

From the graph, Fig.3 the value of the function

$$\frac{\Phi_e f_n}{\Delta f}$$

can be established for the desired damping factor.

Φ_e - peak phase error

f_n - loop natural frequency

Δf - maximum deviation of the input signal

and as f_n and Δf are known, Φ_e is easily calculated. Values for Φ_e should be chosen such that the error in phase is between 0.5 and 1 radian. This is because the phase detector limits at $\pm\pi/2$ radians and is non linear approaching these points. Using a very small peak phase error means that the output from the phase detector is low, and thus impairs the signal to noise ratio. Thus the choice of a compromise value, and 0.5 to 1 radian is used. If the value of Φ_e achieved is far removed from this value, a new value of f_n should be chosen and the process repeated.

With f_n and D established, the time constants are derived from

$$t_1 + t_2 = \frac{K_0 K_D}{(2\pi f_n)^2}$$

$$\text{and } t_2 = \frac{D}{\pi f_n} - \frac{1}{K_0 K_D}$$

$K_0 K_D$ is $0.3f_0$, where f_0 is the operating frequency of the VCO. t_1 is fixed by the capacitor and an internal 20kΩ resistor; t_2 is fixed by the capacitor and external resistor.

$$\text{so } C = \frac{t_1}{2C \times 10^3}$$

$$\text{and } R_{ext} = \frac{t_2 \times 20 \times 10^3}{t_1}$$

In order that standard values may be used, it is better to establish a value of C and use the next lowest standard value e.g. $C_{calc} = 238\mu F$, use $220\mu F$, as it is better to widen the loop bandwidth rather than narrow it.

The value of R_{ext} is then 'rounded up' by a similar process. It is, however, better to increase R_{ext} to the nearest preferred value as loop bandwidth is proportional $(R_{ext})^{-1/2}$ while damping factor is proportional to R; thus damping factor is increasing more quickly which gives a more level response.

Example

A frequency modulated signal has a deviation of 10kHz and a maximum modulating frequency of 5kHz. The VCO frequency is 200kHz.

Let $f_n = 6\text{kHz}$ and $D = 0.5$

Then from the graph

$$\frac{\Phi_e f_n}{\Delta f} = 0.85$$

$$\Phi_e = \frac{0.85 \Delta f}{f_n} = \frac{0.85 \times 10}{6} = 1.4 \text{ rads.}$$

This is too large, so increase f_n e.g. to 10kHz.

$$\frac{f_m}{f_n} = 0.5 \frac{\Phi_e f_n}{\Delta f} = 0.45$$

$$\Phi_e = \frac{0.45 \times 10}{10} = 0.45$$

- which is somewhat low

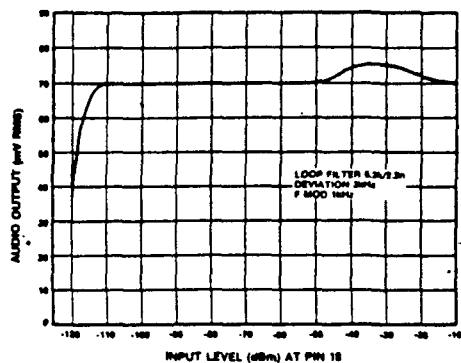


Fig.7 Typical recovered audio v. input level (3kHz deviation)

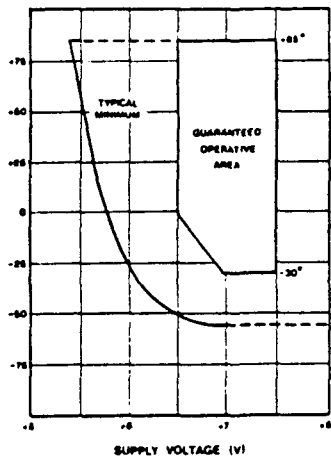


Fig.8 Supply voltage v. temperature

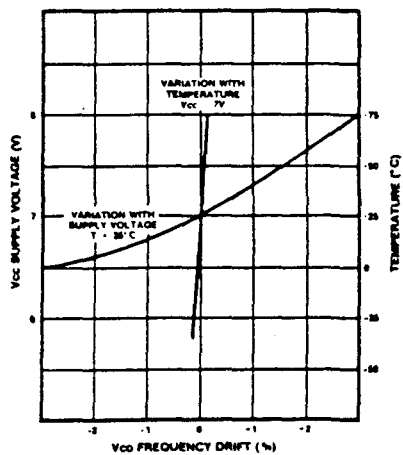


Fig.9 Typical VCO characteristics

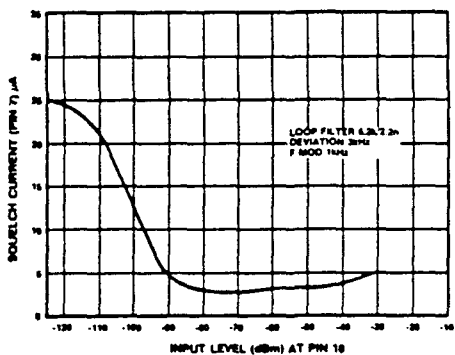


Fig.10 Typical squelch current v. input level

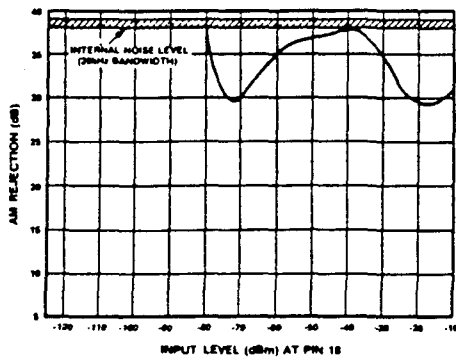


Fig.11 Typical AM rejection

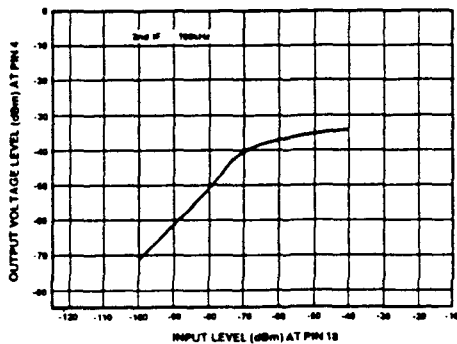


Fig.12 Typical conversion gain (to pin 4)

(the ratio between the audio output produced by:
(a) a 3kHz deviation 1kHz modulation FM signal and
(b) a 30% modulated 1kHz modulation AM signal at the same input voltage level)

ABSOLUTE MAXIMUM RATINGS

Supply voltage 9V
Storage temperature -55°C to +125°C (DP package)
-55°C to +150°C (DG)
Operating temperature -55°C to +125°C
(see Electrical Characteristics)
Input voltage 1V RMS at pin 18

A. OPERACIONALES TL 081, TL 082



MOTOROLA

Specifications and Applications Information

JFET INPUT OPERATIONAL AMPLIFIERS

These low-cost JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products. Devices with an "M" suffix are specified over the military operating temperature range of -55°C to $+125^{\circ}\text{C}$ and those with a "C" suffix are specified from 0°C to $+70^{\circ}\text{C}$.

- Input Offset Voltage Options of 3.0, 6.0, and 15 mV Max
- Low Input Bias Current — 30 pA
- Low Input Offset Current — 5.0 pA
- Wide Gain Bandwidth — 3.0 MHz
- High Slew Rate — 13 V/ μs
- Low Supply Current — 1.4 mA per Amplifier
- High Input Impedance — $10^{12} \Omega$
- Industry Standard Pinouts

ORDERING INFORMATION

Op Amp Function	Device	Temperature Range	Package
Single	TL081ACJG, BCJG, CJG	0 to $+70^{\circ}\text{C}$	Ceramic DIP
	TL081ACP, BCP, CP	0 to $+70^{\circ}\text{C}$	Plastic DIP
	TL081MJG	-55 to $+125^{\circ}\text{C}$	Ceramic DIP
Dual	TL082ACJG, BCJG, CJG	0 to $+70^{\circ}\text{C}$	Ceramic DIP
	TL082ACP, BCP, CP	0 to $+70^{\circ}\text{C}$	Plastic DIP
	TL082MJG	-55 to $+125^{\circ}\text{C}$	Ceramic DIP
Quad	TL084ACJ, BCJ, CJ	0 to $+70^{\circ}\text{C}$	Ceramic DIP
	TL084ACN, BCN, CN	0 to $+70^{\circ}\text{C}$	Plastic DIP
	TL084MJ	-55 to $+125^{\circ}\text{C}$	Ceramic DIP

**TL081
TL082
TL084**

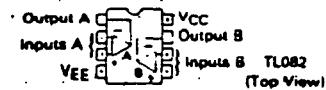
JFET-INPUT OPERATIONAL AMPLIFIERS

**SILICON MONOLITHIC
INTEGRATED CIRCUITS**



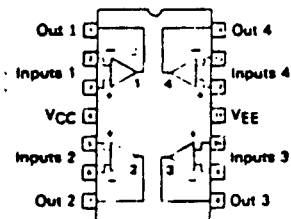
**P SUFFIX
PLASTIC PACKAGE
CASE 626-04**

**JG SUFFIX
CERAMIC PACKAGE
CASE 693-02**



**N SUFFIX
PLASTIC PACKAGE
CASE 646-05
(TL084 only)**

**J SUFFIX
CERAMIC PACKAGE
CASE 632-02
MO-001AA
(TL084 only)**



TL084 (Top View)

TL081, TL082, TL084

MAXIMUM RATINGS

Rating	Symbol	TL08__M	TL08__C TL08__AC TL08__BC	Unit
Supply Voltage	V _{CC} V _{EE}	+18 -18	+18 -18	V
Differential Input Voltage	V _{ID}	±30	±30	V
Input Voltage Range (Note 1)	V _{IDR}	±15	±15	V
Output Short-Circuit Duration (Note 2)	t _S	Continuous		
Power Dissipation	P _D	—	680	mW
Plastic Package (N.P)	1/θ _{JA}	—	10	mW/°C
Derate above T _A = +47°C	P _D	680	680	mW
Ceramic Package (J.G)	1/θ _{JA}	10	10	mW/°C
Derate above T _A = +82°C				
Operating Ambient Temperature Range	T _A	-55 to +125	0 to +70	°C
Storage Temperature Range	T _{stg}	-65 to +150	-65 to +150	°C

NOTES. 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 volts, whichever is less.
2. The output may be shorted to ground or either supply. Temperature and/or supply voltages must be limited to ensure that power dissipation ratings are not exceeded.

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = +25°C unless otherwise noted)

Characteristics	Symbol	TL08__M			TL08__C TL08__AC TL08__BC			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (R _S ≤ 10 k, V _{CM} = 0) TL081, TL082 TL084 TL08__A TL08__B	V _{IO}	—	3.0 3.0 — —	6.0 9.0 — —	— — — 2.0	5.0 5.0 3.0 2.0	15 15 6.0 3.0	mV
Average Temperature Coefficient of Input Offset Voltage R _S = 50 Ω, T _A = T _{low} to T _{high} (Note 3)	ΔV _{IO} /ΔT	—	10	—	—	10	—	μV/°C
Input Offset Current (V _{CM} = 0) (Note 4) TL08__ TL08__A, TL08__B	I _{IO}	—	5.0 —	100 —	— —	5.0 5.0	200 100	pA
Input Bias Current (V _{CM} = 0) (Note 4) TL08__ TL08__A, TL08__B	I _{IB}	—	30 —	200 —	— —	30 30	400 200	pA
Input Resistance	r _i	—	10 ¹²	—	—	10 ¹²	—	Ω
Common Mode Input Voltage Range TL08__ TL08__A, TL08__B	V _{ICR}	±11 —	+15, -12 —	— —	±10 ±11	+15, -12 ±15, -12	— —	V
Large-Signal Voltage Gain (V _O = ±10 V, R _L ≥ 2.0 k) TL08__ TL08__A, TL08__B	A _{VOL}	25 —	150 —	— —	25 50	150 150	— —	V/mV
Output Voltage Swing (Peak-to-Peak) R _L = 10 k	V _O	24	28	—	24	28	—	V
Common Mode Rejection Ratio (R _S ≤ 10 k) TL08__ TL08__A, TL08__B	CMRR	80 —	100 —	— —	70 80	100 100	— —	dB
Supply Voltage Rejection Ratio (R _S ≤ 10 k) TL08__ TL08__A, TL08__B	PSRR	80 —	100 —	— —	70 80	100 100	— —	dB
Supply Current (Each Amplifier)	I _D	—	1.4	2.8	—	1.4	2.8	mA
Unity Gain Bandwidth	BW	—	4.0	—	—	4.0	—	MHz

TL081, TL082, TL084

ELECTRICAL CHARACTERISTICS ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = +25^\circ\text{C}$ unless otherwise noted).

Characteristic	Symbol	TL08__M			TL08__C TL08__AC TL08__BC			Unit
		Min	Typ	Max	Min	Typ	Max	
Slew Rate (See Figure 1) $V_{in} = 10\text{ V}$, $R_L = 2.0\text{ k}$, $C_L = 100\text{ pF}$	SR	8.0	13	—	—	13	—	V/ μs
Rise Time (See Figure 1)	t_r	—	0.1	—	—	0.1	—	μs
Overshoot Factor $V_{in} = 20\text{ mV}$, $R_L = 2.0\text{ k}$, $C_L = 100\text{ pF}$	—	—	10	—	—	10	—	%
Equivalent Input Noise Voltage $f_S = 100\text{ Hz}$, $f = 1000\text{ Hz}$	e_n	—	25	—	—	25	—	nV/ $\sqrt{\text{Hz}}$
Channel Separation $A_V = 100$	—	—	120	—	—	120	—	dB

ELECTRICAL CHARACTERISTICS ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = T_{low}$ to T_{high} [Note 3].)

Characteristic	Symbol	TL08__M			TL08__C TL08__AC TL08__BC			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage ($R_S \leq 10\text{ k}$, $V_{CM} = 0$) TL081, TL082 TL084 TL08__A TL08__B	V_{IO}	—	—	9.0 15 — —	—	—	20 20 7.5 5.0	mV
Input Offset Current ($V_{CM} = 0$) (Note 4) TL08__ TL08__A, TL08__B	I_{IO}	—	—	20 —	—	—	5.0 3.0	nA
Input Bias Current ($V_{CM} = 0$) (Note 4) TL08__ TL08__A, TL08__B	I_{IB}	—	—	50 —	—	—	10 7.0	nA
Large-Signal Voltage Gain ($V_O = \pm 10\text{ V}$, $R_L \geq 2.0\text{ k}$) TL08__ TL08__A, TL08__B	A_{VOL}	15 —	— —	— —	15 25	— —	— —	V/mV
Output Voltage Swing (Peak-to-Peak) ($R_L = 10\text{ k}$) ($R_L = 2.0\text{ k}$)	V_O	24 20	— —	— —	24 20	— —	— —	V

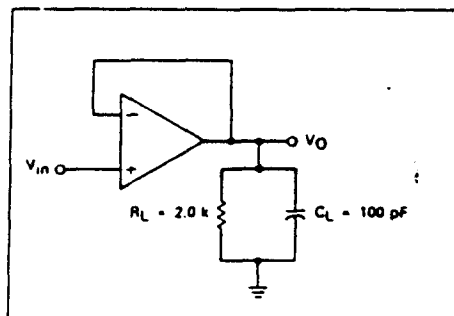
NOTES (continued)

3 $T_{low} = -55^\circ\text{C}$ for TL081M, TL082M, TL084M
= 0°C for TL081C, TL081AC, TL081BC
TL082C, TL082AC, TL082BC
TL084C, TL084AC, TL084BC

$T_{high} = +125^\circ\text{C}$ for TL081M, TL082M, TL084M
= $+70^\circ\text{C}$ for TL081C, TL081AC, TL081BC
TL082C, TL082AC, TL082BC
TL084C, TL084AC, TL084BC

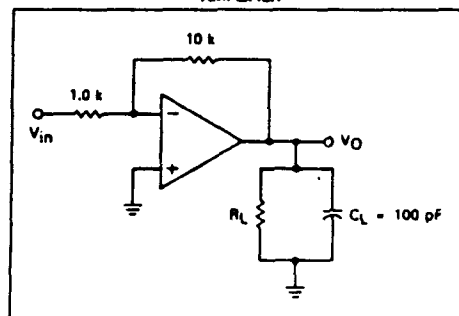
4 Input bias currents of JFET input Op Amps approximately double for every 10°C rise in junction temperature as shown in Figure 3. To maintain junction temperature as close to ambient temperature as possible, pulse techniques must be used during test.

FIGURE 1 — UNITY GAIN VOLTAGE FOLLOWER



TEST CIRCUITS

FIGURE 2 — INVERTING GAIN OF 10 AMPLIFIER



TL081, TL082, TL084

FIGURE 3 — INPUT BIAS CURRENT
versus TEMPERATURE

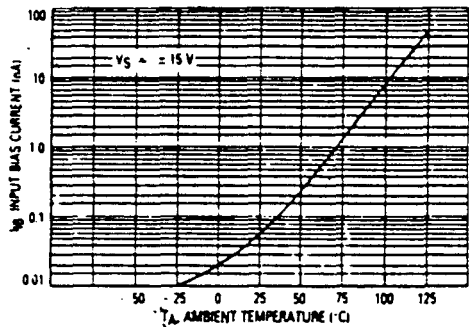


FIGURE 4 — OUTPUT VOLTAGE SWING
versus FREQUENCY

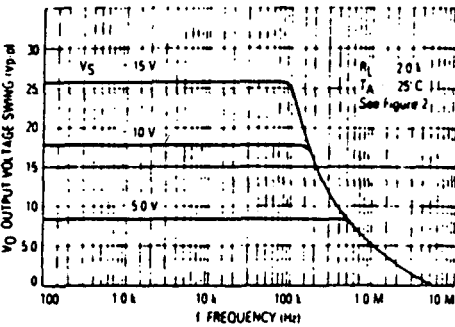


FIGURE 5 — OUTPUT VOLTAGE SWING
versus LOAD RESISTANCE

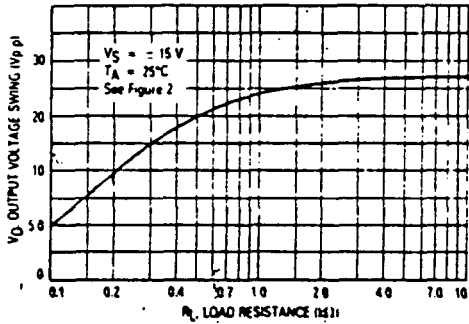


FIGURE 6 — OUTPUT VOLTAGE SWING
versus SUPPLY VOLTAGE

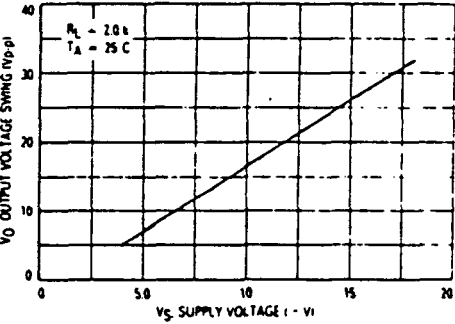


FIGURE 7 — OUTPUT VOLTAGE SWING
versus TEMPERATURE

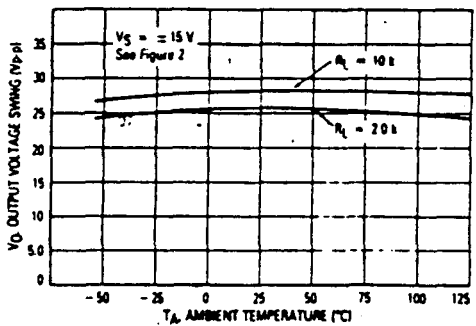
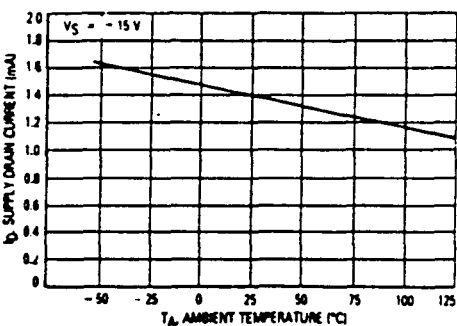


FIGURE 8 — SUPPLY CURRENT PER AMPLIFIER
versus TEMPERATURE



TL081, TL082, TL084

FIGURE 9 — LARGE-SIGNAL VOLTAGE GAIN AND PHASE SHIFT versus FREQUENCY

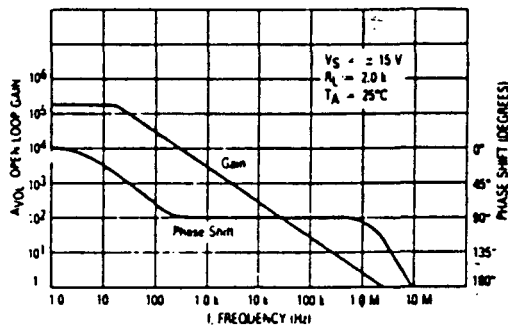


FIGURE 10 — LARGE-SIGNAL VOLTAGE GAIN versus TEMPERATURE

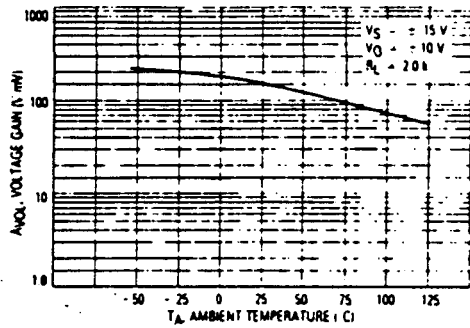


FIGURE 11 — NORMALIZED SLEW RATE versus TEMPERATURE

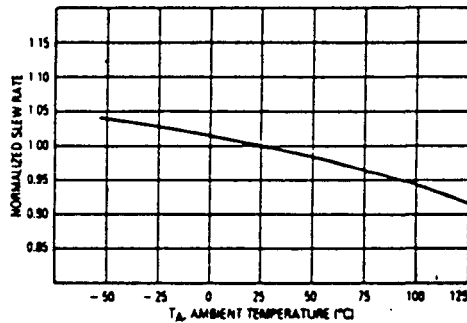


FIGURE 12 — EQUIVALENT INPUT NOISE VOLTAGE versus FREQUENCY

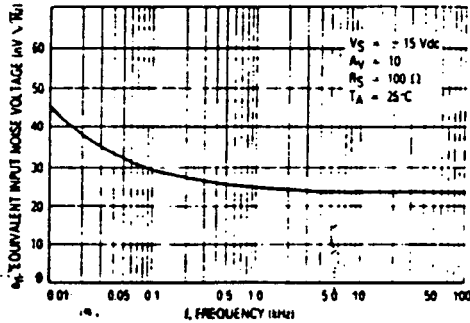
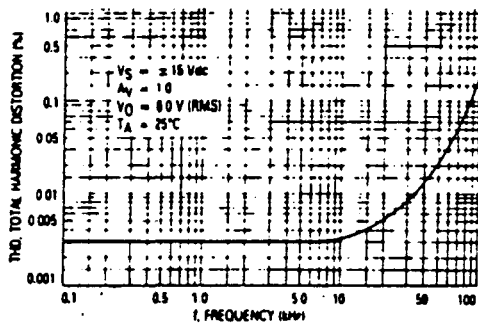
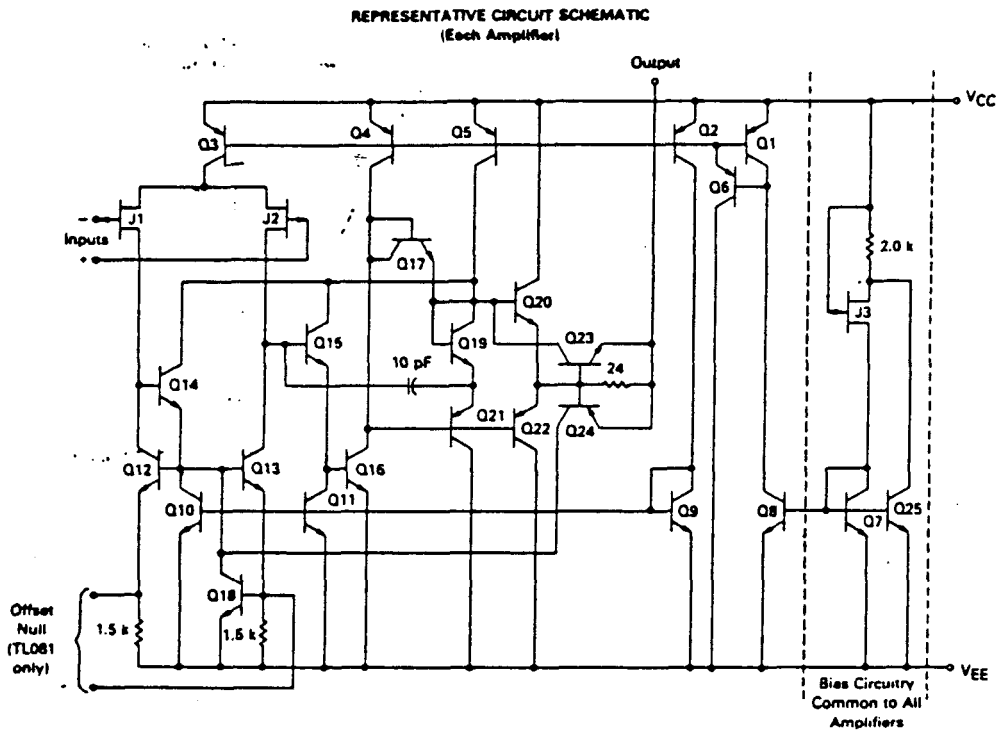


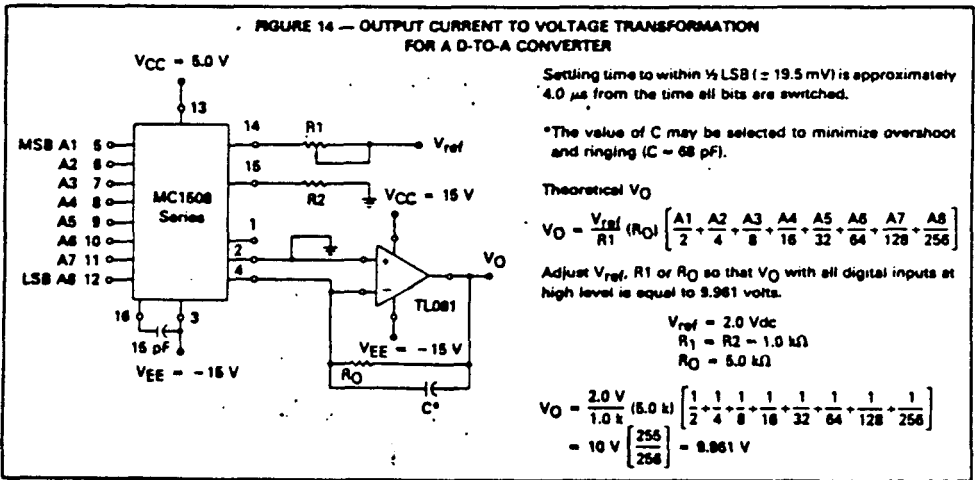
FIGURE 13 — TOTAL HARMONIC DISTORTION versus FREQUENCY



TL081, TL082, TL084



TYPICAL APPLICATIONS



TL081, TL082, TL084

FIGURE 15 — POSITIVE PEAK DETECTOR

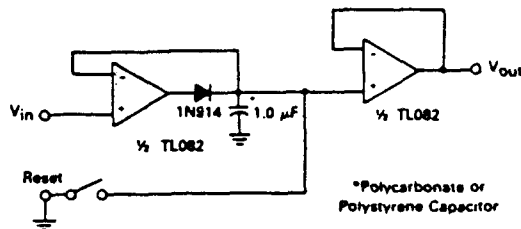
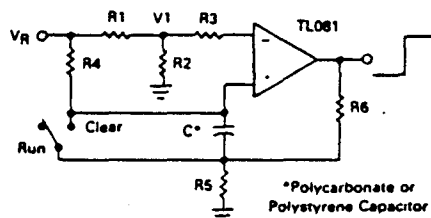
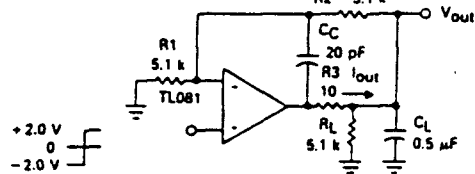


FIGURE 16 — LONG INTERVAL RC TIMER



Time (t) = R4 C ln (VR VR - V1). R3 = R4, R5 = 0.1 R6
If R1 = R2: t = 0.693 R4 C
Design Example: 100 Second Timer
VR = 10 V C = 1.0 μF R3 = R4 = 144 M
R6 = 20 k R5 = 2.0 k R1 = R2 = 1.0 k

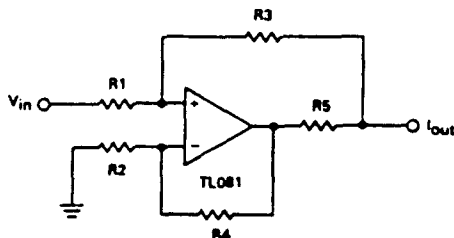
FIGURE 17 — ISOLATING LARGE CAPACITIVE LOADS



- Overshoot < 10%
- ts = 10 μs
- When driving large CL, the Vout slew rate is determined by CL and Iout(max):

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{out}}{C_L} = \frac{0.02}{0.5} \text{ V}/\mu\text{s} = 0.04 \text{ V}/\mu\text{s} \text{ (with } C_L \text{ shown)}$$

FIGURE 18 — VOLTAGE CONTROLLED CURRENT SOURCE



If R1 through R4 >> R5 then $I_{out} = \frac{V_{in}}{R5}$

A. AUDIO TDA 2002

TDA2002 • TDA2002A

8 WATT AUDIO POWER AMPLIFIERS

FAIRCHILD LINEAR INTEGRATED CIRCUITS

GENERAL DESCRIPTION — The TDA2002 and TDA2002A are monolithic integrated circuits designed for class B audio power amplifier applications using low impedance loads (down to 1.6Ω). They are constructed using the Fairchild Planar* epitaxial process. The devices typically provide 8 W at 14.4 V, 2Ω and 6.5 W at 16 V, 4Ω .

The TDA2002 and TDA2002A are provided in a 5-pin power package, with two pin configurations (H and V) for ease in mounting either horizontally or vertically in the PC board.

The TDA2002A is the same electrically as the TDA2002 except it does not include the overvoltage (Load dump) protection circuit.

- THERMAL SHUT DOWN
- SHORT CIRCUIT PROTECTION (AC)
- OVERVOLTAGE PROTECTION (TDA2002)
- LOW EXTERNAL COMPONENTS
- HIGH CURRENT CAPABILITY (3.5 A)
- MINIMUM SPACE REQUIREMENT
- WIDE SUPPLY VOLTAGE RANGE (8 V to 18 V)

ABSOLUTE MAXIMUM RATINGS

	TDA2002	TDA2002A
Peak Supply Voltage (50 ms)	40 V	...
Supply Voltage	28 V	28 V
Operating Supply Voltage	18 V	18 V
Output Current (Repetitive)	3.5 A	3.5 A
Output Current (Non-Repetitive)	4.5 A	4.5 A
Power Dissipation: at $T_C = 90^\circ\text{C}$	15 W	15 W
Storage Temperature	-40 to 150°C	-40 to 150°C
Pin Temperature (Soldering, 10 s)	260°C	260°C

CONNECTION DIAGRAM
5-PIN POWER PACKAGE
(TOP VIEW)
PACKAGE OUTLINE GO
PACKAGE CODE H, V



ORDER INFORMATION

TYPE	PART NO.
2002H	TDA2002H
2002V	TDA2002V
2002AH	TDA2002AH
2002AV	TDA2002AV

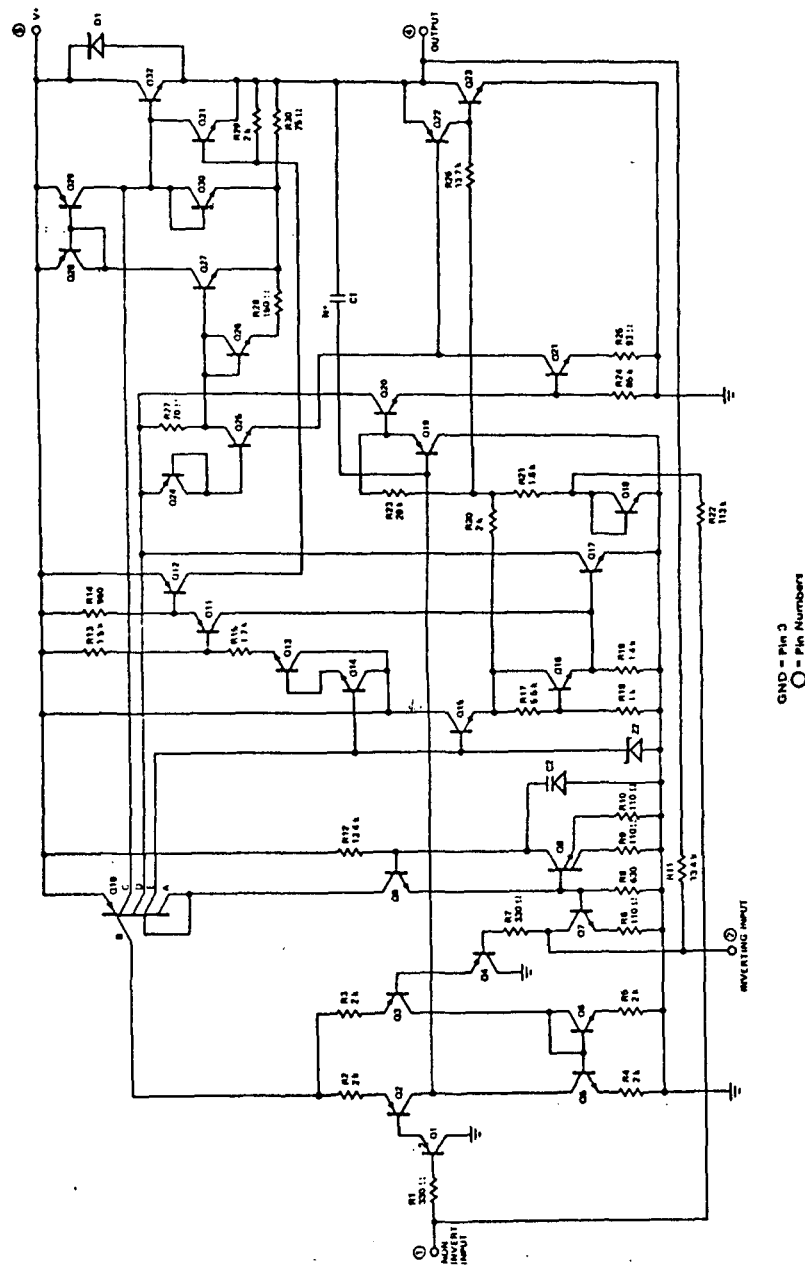
* Planar is a patented Fairchild Process.

THERMAL DATA

θ_{JC} Thermal resistance junction to case (max) 4°C/W

FAIRCHILD • TDA2002 • TDA2002A

EQUIVALENT CIRCUIT



FAIRCHILD • TDA2002 • TDA2002A

ELECTRICAL CHARACTERISTICS: $V_+ = 14.4\text{ V}$, $T_A = 25^\circ\text{C}$, unless otherwise specified; see test circuit

CHARACTERISTICS	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Quiescent Output Voltage (Pin 4)		6.4	7.2	8.0	V
Quiescent Drain Current (Pin 5)			45	80	mA
Power Output	THD = 10% $A_V = 100$ $f = 1\text{ kHz}$ $V_+ = 16\text{ V}$ $R_L = 4\ \Omega$ $V_+ = 16\text{ V}$ $R_L = 2\ \Omega$ $V_+ = 14.4\text{ V}$ $R_L = 4\ \Omega$ $V_+ = 14.4\text{ V}$ $R_L = 2\ \Omega$		6.5 10 5.2 8		W W W W
Input Saturation Voltage (rms)		600			mV
Input Sensitivity	$A_V = 100$ $f = 1\text{ kHz}$ $P_{OUT} = 5\text{ W}$ $R_L = 4\ \Omega$ $P_{OUT} = 5\text{ W}$ $R_L = 2\ \Omega$ $P_{OUT} = 5.2\text{ W}$ $R_L = 4\ \Omega$ $P_{OUT} = 8\text{ W}$ $R_L = 2\ \Omega$		15 11 55 50		mV mV mV mV
Frequency Response (-3 dB)	$R_L = 4\ \Omega$ $C_{FB} = 39\text{ nF}$ $R_{FB} = 39\ \Omega$ See Figs 15, 19		40 15000		Hz
Total Harmonic Distortion	$A_V = 100$ $f = 1\text{ kHz}$ $P_{OUT} = 0.05\text{--}3.5\text{ W}$ ($R_L = 4\ \Omega$) $P_{OUT} = 0.05\text{--}5\text{ W}$ ($R_L = 2\ \Omega$)		0.2 0.2		% %
Input Resistance (Pin 1)	$f = 1\text{ kHz}$	70	150		k Ω
Voltage Gain (open loop)	$f = 1\text{ kHz}$ $R_L = 4\ \Omega$		80		dB
(closed loop)		39.5	40	40.5	dB
Input Noise Voltage	BW (-3dB) = 40–15000 Hz Note 1		4		μV
Input Noise Current			60		pA
Efficiency	$A_V = 100$ $f = 1\text{ kHz}$ $P_{OUT} = 5.2\text{ W}$ $R_L = 4\ \Omega$ $P_{OUT} = 8\text{ W}$ $R_L = 4\ \Omega$		68 58		% %
Supply Voltage Rejection Ratio	$A_V = 100$ $R_L = 4\ \Omega$ $R_g = 10\text{ k}\Omega$ $f_{\text{ripple}} = 100\text{ Hz}$ $V_{\text{ripple}} = 0.5\text{ V}$	30	35		dB

Note 1: Bandwidth (-3 dB) of test equipment = 10–25000 Hz

TYPICAL PERFORMANCE CURVES

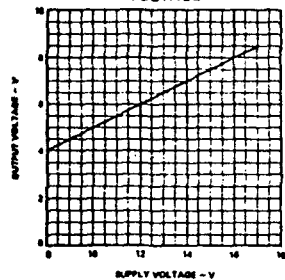
QUIESCENT OUTPUT VOLTAGE
AS A FUNCTION OF SUPPLY VOLTAGE

Fig. 1

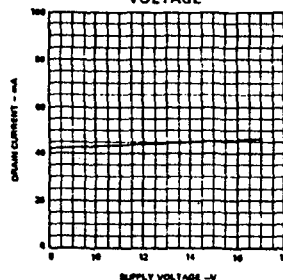
QUIESCENT DRAIN CURRENT
AS A FUNCTION OF SUPPLY VOLTAGE

Fig. 2

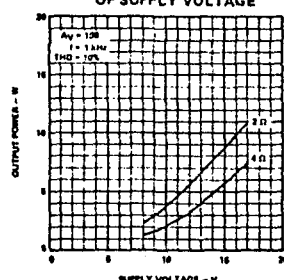
OUTPUT POWER AS A FUNCTION
OF SUPPLY VOLTAGE

Fig. 3

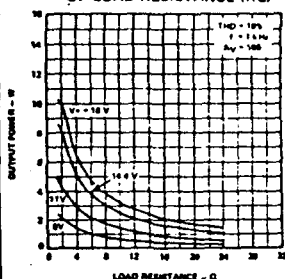
OUTPUT POWER AS A FUNCTION
OF LOAD RESISTANCE (R_L)

Fig. 4

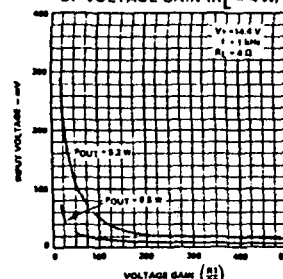
INPUT VOLTAGE AS A FUNCTION
OF VOLTAGE GAIN ($R_L = 4\Omega$)

Fig. 5

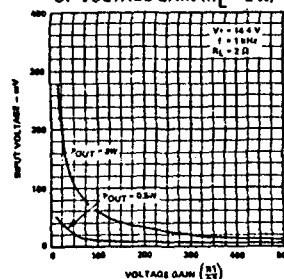
INPUT VOLTAGE AS A FUNCTION
OF VOLTAGE GAIN ($R_L = 2\Omega$)

Fig. 6

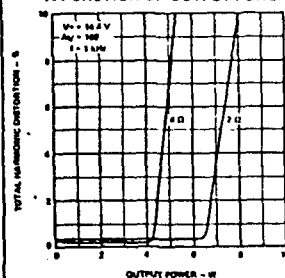
TOTAL HARMONIC DISTORTION AS
A FUNCTION OF OUTPUT POWER

Fig. 7

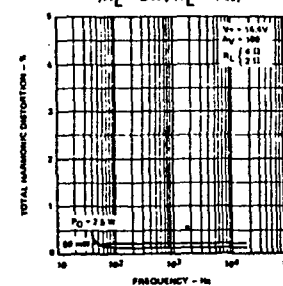
TOTAL HARMONIC DISTORTION
AS A FUNCTION OF FREQUENCY
($R_L = 2\Omega$; $R_L = 4\Omega$)

Fig. 8

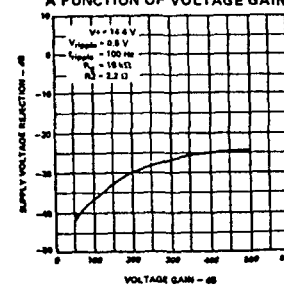
SUPPLY VOLTAGE REJECTION
AS A FUNCTION OF VOLTAGE GAIN

Fig. 9

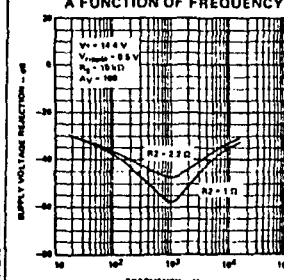
SUPPLY VOLTAGE REJECTION AS
A FUNCTION OF FREQUENCY

Fig. 10

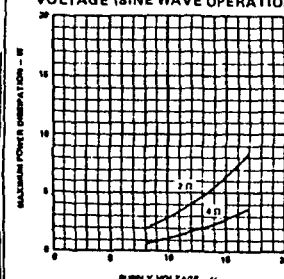
MAXIMUM POWER DISSIPATION
AS A FUNCTION OF SUPPLY
VOLTAGE (SINE WAVE OPERATION)

Fig. 13

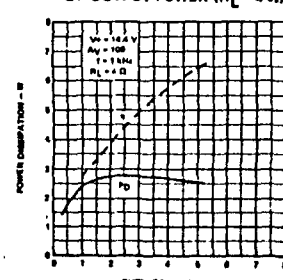
POWER DISSIPATION AND
EFFICIENCY AS A FUNCTION
OF OUTPUT POWER ($R_L = 4\Omega$)

Fig. 11

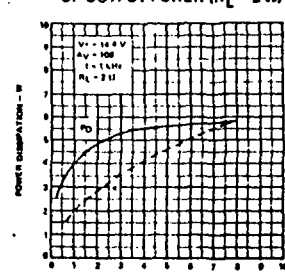
POWER DISSIPATION AND
EFFICIENCY AS A FUNCTION
OF OUTPUT POWER ($R_L = 2\Omega$)

Fig. 12

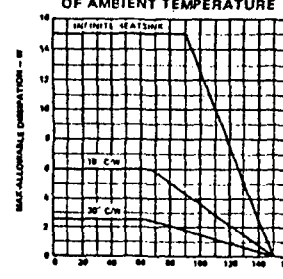
MAXIMUM ALLOWABLE POWER
DISSIPATION AS A FUNCTION
OF AMBIENT TEMPERATURE

Fig. 14

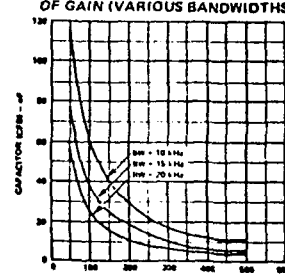
CAPACITOR (CFB) AS A FUNCTION
OF GAIN (VARIOUS BANDWIDTHS)

Fig. 15

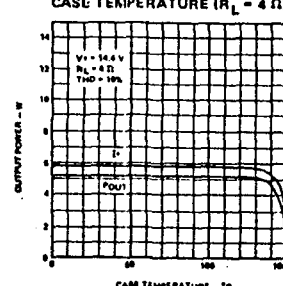
OUTPUT POWER AND DRAIN
CURRENT AS A FUNCTION OF
CASE TEMPERATURE ($R_L = 4\Omega$)

Fig. 17

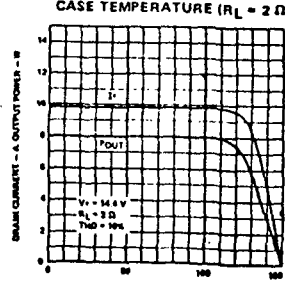
OUTPUT POWER AND DRAIN
CURRENT AS A FUNCTION OF
CASE TEMPERATURE ($R_L = 2\Omega$)

Fig. 18

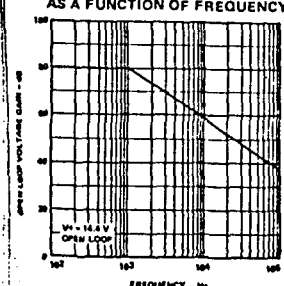
OPEN LOOP VOLTAGE GAIN
AS A FUNCTION OF FREQUENCY

Fig. 16

FAIRCHILD • TDA2002 • TDA2002A

DESIGN CONSIDERATIONS

The board layout of the TDA2002 and TDA2002A is critical to assure good stability. The layout shown in Figure 20 is recommended. If a different layout is used, it is important that the ground points of inputs 1 and 2 be well decoupled from the ground of the output. Pin lengths should be as short as possible.

The component values shown on the applications schematics are recommended. However, other values may be used, and Table 1 is intended to serve as a guide for the designer on the effect of changing component values.

No electrical insulation is needed between the package tab and the heat sink, if the heat sink is electrically isolated or is at ground potential.

Component	Recommended value	Purpose	Larger than recommended value	Smaller than recommended value
C1	10 μ F	Input DC decoupling		Noise at switch-on, switch-off
C2	470 μ F	Ripple rejection		Degradation of PSRR
C3	0.1 μ F	Supply bypassing		Danger of oscillation
C4	1000 μ F	Output coupling to load		Higher low frequency cutoff
C5	0.1 μ F	Frequency stability		Danger of oscillation at high frequencies with inductive loads
CFB	$\frac{1}{2 \pi \cdot B \cdot R1}$	Upper frequency cutoff	Lower bandwidth	Larger bandwidth
R1	$(A_V - 1) \cdot R2$	Closed loop gain determination		Increase of drain current
R2	2.2 Ω	Closed loop gain and PSRR determination	Degradation of PSRR	
R3	1 Ω	Frequency stability	Danger of oscillation at high frequencies with inductive loads	
RFB	$\geq 20 R2$	Upper frequency cutoff	Poor high frequency attenuation	Danger of oscillation

TABLE 1

FAIRCHILD • TDA2002 • TDA2002A

APPLICATIONS INFORMATION:

Several typical applications of the TDA2002 and TDA2002A are shown in this section, together with printed circuit board layouts.

Figures 19 and 20 show a typical circuit with CFB, RFB shown dashed. CFB and RFB may be used to adjust the bandwidth after the gain has been set by the ratio R1/R2. (See Figure 15).

Figures 23 and 24 show a typical 15 watt bridge circuit utilizing two devices. A potentiometer (P1) is included to balance the offset voltages between the two devices.

TYPICAL APPLICATION CIRCUIT

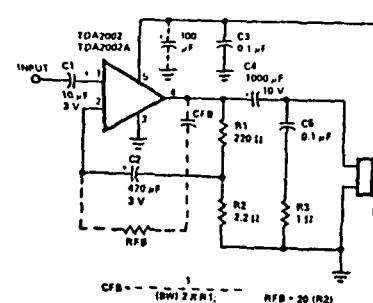


Fig. 19

P.C. BOARD AND COMPONENT LAYOUT FOR THE CIRCUIT OF FIG. 19 (1:1 SCALE)

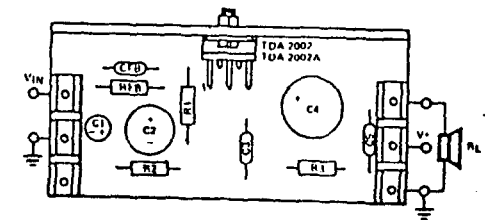


Fig. 20

LOW COST APPLICATION CIRCUIT

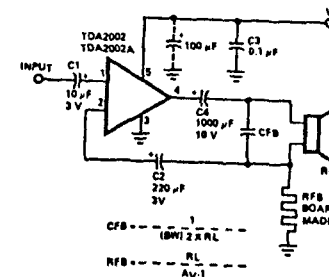


Fig. 21

P.C. BOARD AND COMPONENT LAYOUT FOR THE CIRCUIT OF FIG. 21 (1:1 SCALE)

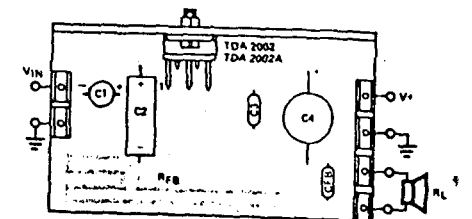


Fig. 22

15 WATT BRIDGE CIRCUIT

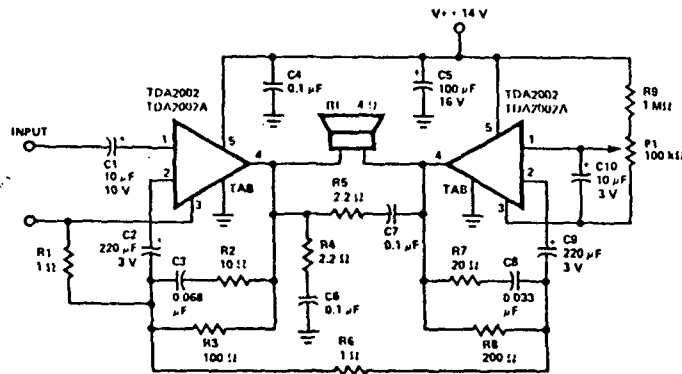


Fig. 23

P.C. BOARD AND COMPONENT LAYOUT FOR THE CIRCUIT OF FIG. 23 (1:1 SCALE)

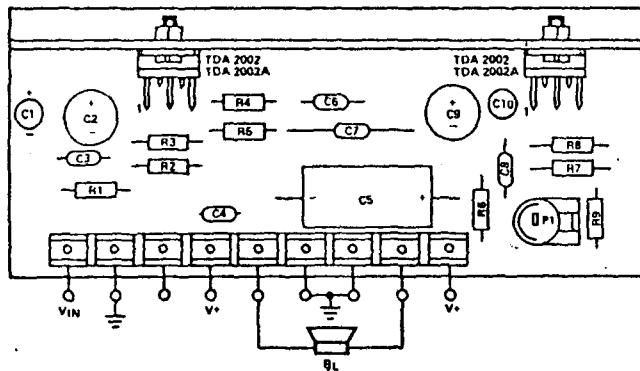


Fig. 24

THERMAL SHUTDOWN

Both the TDA2002 and TDA2002A have been designed with a thermal shutdown feature. Typical curves of output power and supply current as a function of case temperature are shown in Figures 17 and 18. The thermal overload circuit reduces the drive to the output stage when the junction temperature exceeds the design threshold. The result is a reduced supply current and power output consistent with maintaining the junction temperature at the design limit.

The thermal overload feature offers several important advantages to the circuit designer:

1. The device can withstand excessive ambient temperatures (below 150°C) and temporary or permanent overloads on the output.
2. The safety margin on the heat sink design may be reduced because the device will not be damaged by excessive junction temperature (below 150°C). The only result of this increased junction temperature will be a reduction in output power and supply current.

OVERVOLTAGE (LOAD DUMP) PROTECTION

The TDA2002 has been designed with a built-in circuit which enables this device to withstand a series of voltage spikes (see Figure 25). The load dump feature starts at about 18 V, so the operating voltage must not exceed 18 V.

This feature is particularly important in automobile applications, and the pulse train shown in Figure 25 is intended to simulate the voltage spikes which often occur on the supply line in automotive applications.

If the supply voltage peaks exceed 40 V, then an LC network must be inserted between the supply and Pin 5 to assure that the pulses at Pin 5 will not exceed the limits shown in Figure 25. A typical LC network is shown in Figure 26. With this network a train of pulses up to 120 V and 2 ms wide can be applied from the supply line.

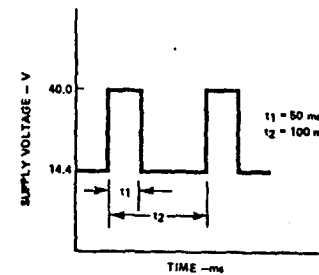


Fig. 25

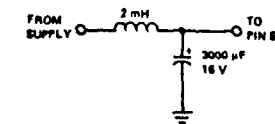
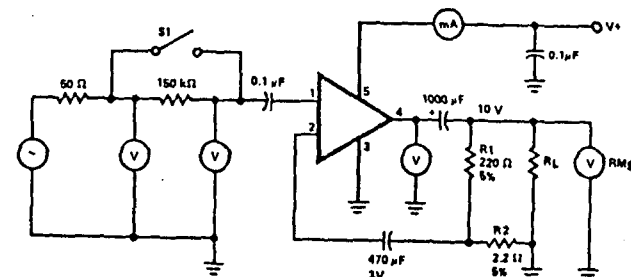


Fig. 26

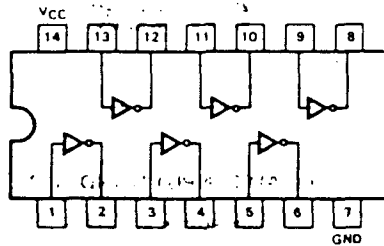
TEST CIRCUIT



INVERSORES SN 74LS04



MOTOROLA



J Suffix — Case 832-07 (Ceramic)
N Suffix — Case 646-05 (Plastic)

SN54LS04
SN74LS04

HEX INVERTER
LOW POWER SCHOTTKY

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5	V	
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 4.0 mA, V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74	0.35	0.5	V	I _{OL} = 8.0 mA
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
I _{IL}	Input LOW Current			0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current	-20		-100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current Total, Output HIGH Total, Output LOW			2.4	mA	V _{CC} = MAX
				6.6		

AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{PLH}	Turn Off Delay, Input to Output		9.0	15	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Turn On Delay, Input to Output		10	15	ns	

PUERTAS NAND EN 74LS13



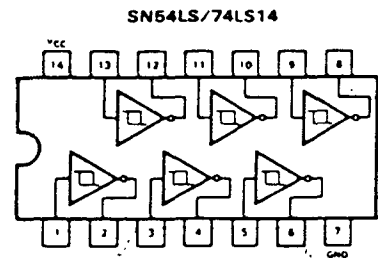
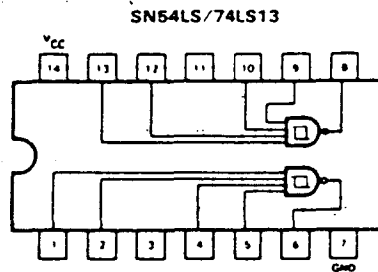
DESCRIPTION — The SN54LS/74LS13 and SN54LS/74LS14 contain logic gates (inverters) which accept standard TTL input signals and provide standard TTL output levels. They are capable of transforming slowly changing input signals into sharply defined, jitter-free output signals. Additionally, they have greater noise margin than conventional inverters.

Each circuit contains a Schmitt trigger followed by a Darlington level shifter and a phase splitter driving a TTL totem pole output. The Schmitt trigger uses positive feedback to effectively speed-up slow input transitions, and provide different input threshold voltages for positive and negative-going transitions. This hysteresis between the positive-going and negative-going input thresholds (typically 800 mV) is determined internally by resistor ratios and is essentially insensitive to temperature and supply voltage variations.

**SN54LS/74LS13
SN54LS/74LS14**

**SCHMITT TRIGGERS
DUAL GATE/HEX INVERTER
LOW POWER SCHOTTKY**

LOGIC AND CONNECTION DIAGRAMS



J Suffix — Case 632-07 (Ceramic)
N Suffix — Case 646-05 (Plastic)

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V _{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _{OH}	Output Current — High	54, 74			0.4	mA
I _{OL}	Output Current — Low	54			4.0	mA
		74			8.0	

MOTOROLA SCHOTTKY TTL DEVICES

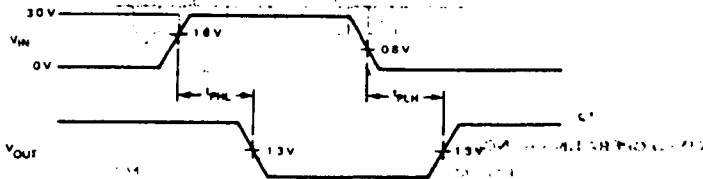
SN54LS/74LS13 • SN54LS/74LS14

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V_{T+}	Positive-Going Threshold Voltage	1.5		2.0	V	$V_{CC} = 5.0\text{ V}$
V_{T-}	Negative-Going Threshold Voltage	0.6		1.1	V	$V_{CC} = 5.0\text{ V}$
$V_{T+} - V_{T-}$	Hysteresis	0.4	0.8		V	$V_{CC} = 5.0\text{ V}$
V_{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN.}$, $I_{IN} = -18\text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.5	3.4	V	$V_{CC} = \text{MIN.}$, $I_{OH} = -400\text{ }\mu\text{A}$, $V_{IN} = V_{IL}$
		74	2.7	3.4	V	
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$V_{CC} = \text{MIN.}$, $I_{OL} = 4.0\text{ mA}$, $V_{IN} = 2.0\text{ V}$
		74	0.35	0.5	V	
I_{T+}	Input Current at Positive-Going Threshold		-0.14		mA	$V_{CC} = 5.0\text{ V}$, $V_{IN} = V_{T+}$
I_{T-}	Input Current at Negative-Going Threshold		-0.18		mA	$V_{CC} = 5.0\text{ V}$, $V_{IN} = V_{T-}$
I_{IH}	Input HIGH Current		1.0	20	μA	$V_{CC} = \text{MAX.}$, $V_{IN} = 2.7\text{ V}$
I_{IL}	Input LOW Current			0.1	mA	$V_{CC} = \text{MAX.}$, $V_{IN} = 7.0\text{ V}$
I_{OS}	Short Circuit Current			-0.4	mA	$V_{CC} = \text{MAX.}$, $V_{IN} = 0.4\text{ V}$
I_{CC}	Power Supply Current					$V_{CC} = \text{MAX.}$
	Total, Output HIGH	LS13	2.9	6.0	mA	
		LS14	8.6	16	mA	
	Total, Output LOW	LS13	4.1	7.0	mA	
		LS14	12	21	mA	

AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$

SYMBOL	PARAMETER	MAX		UNITS	TEST CONDITIONS
		LS13	LS14		
t_{PLH}	Propagation Delay, Input to Output	22	22	ns	$V_{CC} = 5.0\text{ V}$
t_{PHL}	Propagation Delay, Input to Output	27	22	ns	$C_L = 15\text{ pF}$



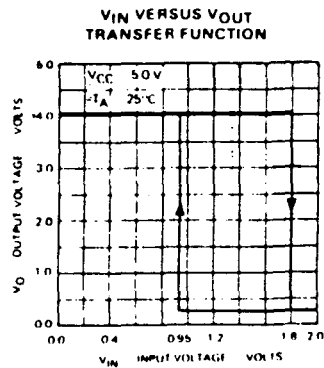


Fig. 1

THRESHOLD VOLTAGE AND HYSTERESIS
VERSUS
POWER SUPPLY VOLTAGE

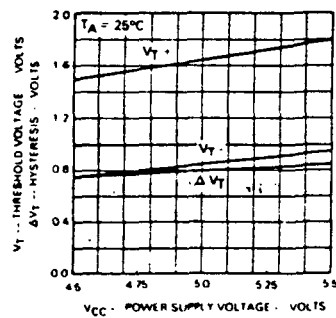


Fig. 2

THRESHOLD VOLTAGE HYSTERESIS
VERSUS
TEMPERATURE

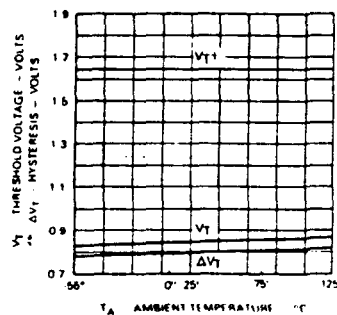


Fig. 3

DECODIFICADOR SN 74LS42



DESCRIPTION — The LSTTL/MSI SN54LS42/74LS42 is a Multipurpose Decoder designed to accept four BCD inputs and provide ten mutually exclusive outputs. The LS42 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- MULTI-FUNCTION CAPABILITY
- MUTUALLY EXCLUSIVE OUTPUTS
- DEMULTIPLEXING CAPABILITY
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

SN54LS42 SN74LS42

ONE-OF-TEN DECODER

LOW POWER SCHOTTKY

PIN NAMES

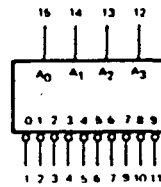
A₀ - A₃ Address Inputs
0 to 9 Outputs, Active LOW (Note b)

LOADING (Note a)	
HIGH	LOW
0.5 U.L.	0.25 U.L.
10 U.L.	5(2.5) U.L.

NOTES

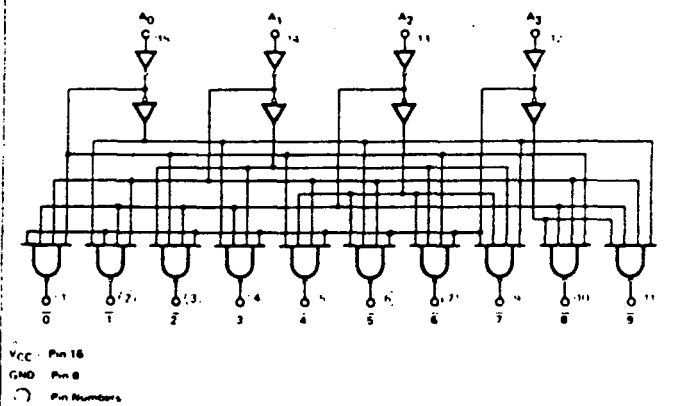
- a. 1 TTL Unit Load (U.L.) = 40 μ A HIGH/16 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC SYMBOL

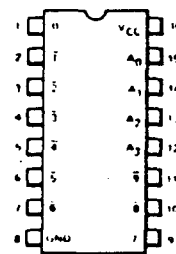


V_{CC} = Pin 16
GND = Pin 8

LOGIC DIAGRAM



CONNECTION DIAGRAM DIP (TOP VIEW)



J Suffix — Case 620-08 (Ceramic)
N Suffix — Case 648-05 (Plastic)

NOTE

The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

SN54LS/74LS42

FUNCTIONAL DESCRIPTION — The LS42 decoder accepts four active HIGH BCD inputs and provides ten mutually exclusive active LOW outputs, as shown by logic symbol or diagram. The active LOW outputs facilitate addressing other MSI units with LOW input enables.

The logic design of the LS42 ensures that all outputs are HIGH when binary codes greater than nine are applied to the inputs.

The most significant input A₃ produces a useful inhibit function when the LS42 is used as a one-of-eight decoder. The A₃ input can also be used as the Data input in an 8-output demultiplexer application.

TRUTH TABLE

A ₀	A ₁	A ₂	A ₃	0	1	2	3	4	5	6	7	8	9
L	L	L	L	L	H	H	H	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H	H	H
H	H	L	L	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	H	L	H	H	H
H	H	H	L	H	H	H	H	H	H	H	L	H	H
L	L	L	H	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L
L	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = HIGH Voltage Level
L = LOW Voltage Level

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V _{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54			4.0	mA
		74			8.0	

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5		
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 4.0 mA, V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74	0.35	0.5	V	
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current	20		100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current			13	mA	V _{CC} = MAX

AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS		
		MIN	TYP	MAX				
t _{PLH}	Propagation Delay (2 Levels)		15	25	ns	Fig 2	V _{CC} = 5.0 V C _L = 15 pF	
t _{PHL}			15	25				
t _{PLH}	Propagation Delay (3 Levels)		20	30	ns			Fig 1
t _{PHL}			20	30				

4

AC WAVEFORMS

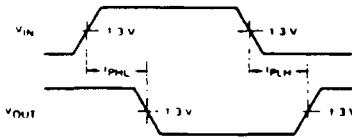


Fig. 1

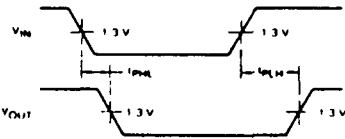


Fig. 2

CONTADOR SN 7490



DESCRIPTION — The SN54LS/74LS90, SN54LS/74LS92 and SN54LS/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q_0 to \overline{CP}_1) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

J Suffix — Case 632-07 (Ceramic)
N Suffix — Case 646-05 (Plastic)

SN54LS/74LS90 SN54LS/74LS92 SN54LS/74LS93

DECADE COUNTER;
DIVIDE-BY-TWELVE COUNTER;
4-BIT BINARY COUNTER
LOW POWER SCHOTTKY

- LOW POWER CONSUMPTION . . . TYPICALLY 45 mW
- HIGH COUNT RATES . . . TYPICALLY 42 MHz
- CHOICE OF COUNTING MODES . . . BCD, BI-QUINARY, DIVIDE-BY-TWELVE, BINARY
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

PIN NAMES

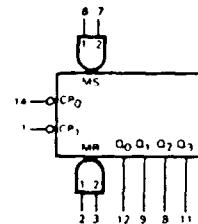
		LOADING (Note a)	
		HIGH	LOW
\overline{CP}_0	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
\overline{CP}_1	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
\overline{CP}_1	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5(2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5(2.5) U.L.

Notes

- a. 1 TTL Unit Load (U.L.) = 40 μ A HIGH, 1.6 mA LOW
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for commercial (74) Temperature Ranges
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the \overline{CP}_1 input of the device
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns

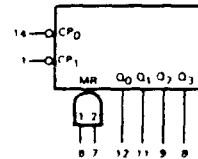
LOGIC SYMBOL

LS90



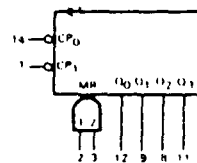
V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 13

LS92

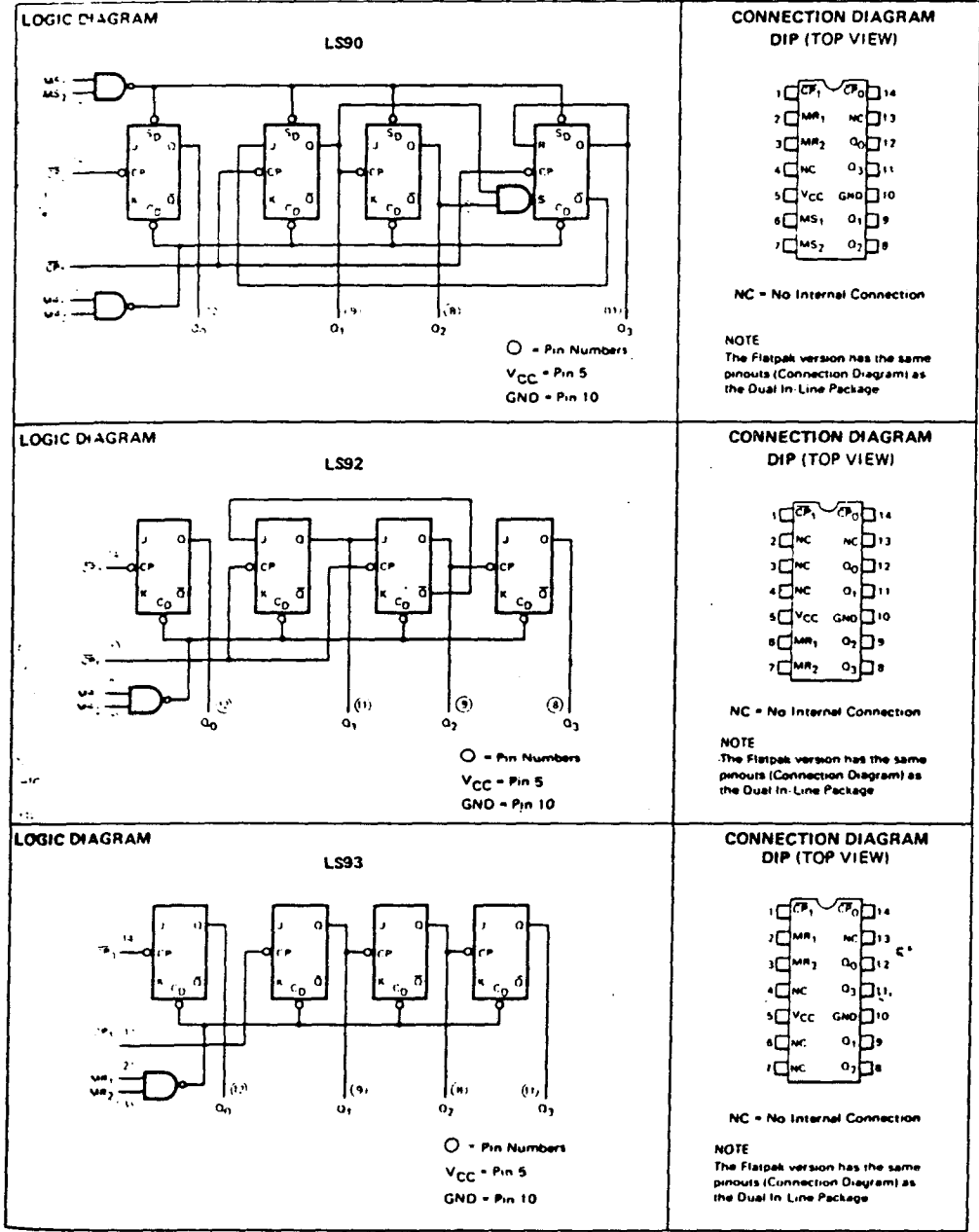


V_{CC} = Pin 5
GND = Pin 10
NC = Pins 2, 3, 4, 13

LS93



V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 6, 7, 13



4

FUNCTIONAL DESCRIPTION - The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q₀ output of each device is designed and specified to drive the rated fan-out plus the \overline{CP}_1 input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

- A. BCD Decade (8421) Counter — The \overline{CP}_1 input must be externally connected to the Q₀ output. The \overline{CP}_0 input receives the incoming count and a BCD count sequence is produced.
- B. Symmetrical Si-quinary Divide-By-Ten Counter — The Q₃ output must be externally connected to the \overline{CP}_0 input. The input count is then applied to the \overline{CP}_1 input and a divide-by-ten square wave is obtained at output Q₀.
- C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function (\overline{CP}_0 as the input and Q₀ as the output). The \overline{CP}_1 input is used to obtain binary divide-by-five operation at the Q₃ output.

LS92

- A. Modulo 12, Divide-By-Twelve Counter — The \overline{CP}_1 input must be externally connected to the Q₀ output. The \overline{CP}_0 input receives the incoming count and Q₃ produces a symmetrical divide-by-twelve square wave output.
- B. Divide-By-Two and Divide-By-Six Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The \overline{CP}_1 input is used to obtain divide-by-three operation at the Q₁ and Q₂ outputs and divide-by-six operation at the Q₃ output.

LS93

- A. 4-Bit Ripple Counter — The output Q₀ must be externally connected to input \overline{CP}_1 . The input count pulses are applied to input \overline{CP}_0 . Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q₀, Q₁, Q₂, and Q₃ outputs as shown in the truth table.
- B. 3-Bit Ripple Counter — The input count pulses are applied to input \overline{CP}_1 . Simultaneous frequency divisions of 2, 4, and 8 are available at the Q₁, Q₂, and Q₃ outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

SN54LS/74LS90 • SN54LS/74LS92 • SN54LS/74LS93

LS90
MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR ₁	MR ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE Output Q₀ is connected to input CP₁ for BCD count

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

Note Output Q₀ connected to input CP₁

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

Note Output Q₀ connected to input CP₁

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5	V	
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 4.0 mA I _{OL} = 8.0 mA V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74	0.35	0.5	V	
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current MS, MR CP ₀ CP ₁ (LS90, LS92) CP ₁ (LS93)			-0.4 -2.4 -3.2 -1.6	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current	20		-100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current			15	mA	V _{CC} = MAX

SN54LS/74LS90 • SN54LS/74LS92 • SN54LS/74LS93

AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$, $V_{CC} = 5.0\text{ V}$, $C_L = 15\text{ pF}$

SYMBOL	PARAMETER	LIMITS									UNITS
		LS90			LS92			LS93			
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f _{MAX}	CP ₀ Input Clock Frequency	32			32			32			MHz
f _{MAX}	CP ₁ Input Clock Frequency	16			16			16			MHz
t _{PLH} t _{PHL}	Propagation Delay, CP ₀ Input to Q ₀ Output		10 12	16 18		10 12	16 18		10 12	16 18	ns
t _{PLH} t _{PHL}	CP ₀ Input to Q ₃ Output		32 34	48 50		32 34	48 50		46 46	70 70	ns
t _{PLH} t _{PHL}	CP ₁ Input to Q ₁ Output		10 14	16 21		10 14	16 21		10 14	16 21	ns
t _{PLH} t _{PHL}	CP ₁ Input to Q ₂ Output		21 23	32 35		10 14	16 21		21 23	32 35	ns
t _{PLH} t _{PHL}	CP ₁ Input to Q ₃ Output		21 23	32 35		21 23	32 35		34 34	51 51	ns
t _{PLH}	MS Input to Q ₀ and Q ₃ Outputs		20	30							ns
t _{PHL}	MS Input to Q ₁ and Q ₂ Outputs		26	40							ns
t _{PHL}	MR Input to Any Output		26	40		26	40		26	40	ns

AC SETUP REQUIREMENTS: $T_A = 25^\circ\text{C}$, $V_{CC} = 5.0\text{ V}$

SYMBOL	PARAMETER	LIMITS						UNITS
		LS90		LS92		LS93		
		MIN	MAX	MIN	MAX	MIN	MAX	
t_W	\overline{CP}_0 Pulse Width	15		15		15		ns
t_W	\overline{CP}_1 Pulse Width	30		30		30		ns
t_W	MS Pulse Width	15						ns
t_W	MR Pulse Width	15		15		15		ns
t_{rec}	Recovery Time MR to \overline{CP}	25		25		25		ns

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from HIGH-to-LOW in order to recognize and transfer HIGH data to the Q outputs

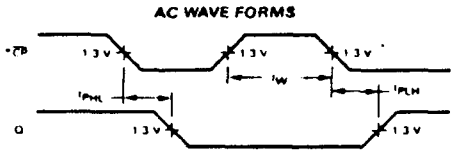


Fig. 1

*The number of Clock Pulses required between the t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Tables

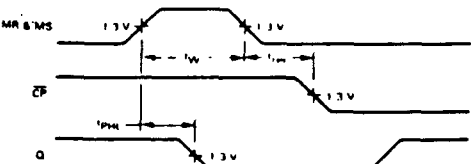


Fig. 2

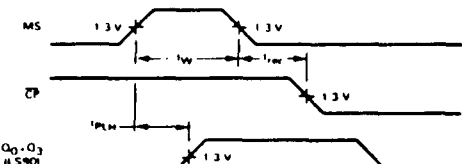


Fig. 3

FLIP-FLOP JK SN 74107 A



SN54LS107A SN74LS107A

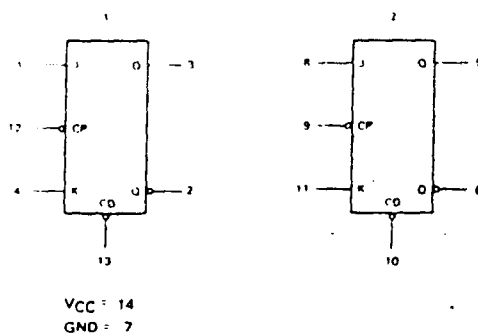
DESCRIPTION - The SN54LS 74LS107A is a Dual JK Flip-Flop with individual J, K, Direct Clear and Clock Pulse inputs. Output changes are initiated by the HIGH-to-LOW transition of the clock. A LOW signal on CD input overrides the other inputs and makes the Q output LOW.

The SN54LS/74LS107A is the same as the SN54LS/74LS73A but has corner power pins.

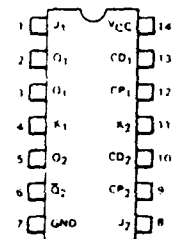
DUAL JK FLIP-FLOP

LOW POWER SCHOTTKY

LOGIC SYMBOL



CONNECTION DIAGRAM DIP - TOP VIEW



J Suffix - Case 632-07 (Ceramic)
N Suffix - Case 646-05 (Plastic)

NOTE
The Flatpack version has the same pinouts (Connection Diagram) as the Dual In Line Package.

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
VCC	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
TA	Operating Ambient Temperature Range	54 74	55 0	25 25	125 70	°C
IOH	Output Current - High	54, 74			0.4	mA
IOL	Output Current - Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage			0.7	V	Guaranteed Input LOW Voltage for All Inputs
V _{IK}	Input Clamp Diode Voltage		0.65	1.5	V	V _{CC} MIN, I _{IN} 18 mA
V _{OH}	Output HIGH Voltage	54 2.5 74 2.7	3.5		V	V _{CC} MIN, I _{OH} MAX, V _{IN} V _{IH} or V _{IL} per Truth Table
V _{OL}	Output LOW Voltage	54, 74	0.25 0.35	0.4 0.5	V	I _{OL} 4.0 mA V _{CC} - V _{CC} MIN I _{OL} 8.0 mA V _{IN} V _{IL} or V _{IH} per Truth Table
I _{IH}	Input HIGH Current	J, K Clear Clock		20 60 80	μA	V _{CC} MAX, V _{IN} 2.7 V
				0.1 0.3 0.4	mA	V _{CC} MAX, V _{IN} 7.0 V
	Input LOW Current	J, K Clear and Clock		0.4 0.8	mA	V _{CC} MAX, V _{IN} 0.4 V
I _{OS}	Short Circuit Current		20	100	mA	V _{CC} MAX
I _{CC}	Power Supply Current			6.0	mA	V _{CC} MAX

AC CHARACTERISTICS: T_A 25°C, V_{CC} 5.0 V

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
f _{MAX}	Maximum Clock Frequency	30	45		MHz	V _{CC} 5.0 V
t _{PLH}	Propagation Delay, Clock to Output		15	20	ns	C _L 15 pF
t _{PHL}			15	20	ns	

AC SETUP REQUIREMENTS: T_A 25°C, V_{CC} 5.0 V

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _W	Clock Pulse Width	20			ns	V _{CC} 5.0 V
t _W	Set Pulse Width	25			ns	
t _s	Setup Time	20			ns	
t _h	Hold Time	0			ns	

MULTIVIBRADOR SN 74123



MOTOROLA

DESCRIPTION — These d.c. triggered multivibrators feature pulse width control by three methods. The basic pulse width is programmed by selection of external resistance and capacitance values. The LS122 has an internal timing resistor that allows the circuits to be used with only an external capacitor. Once triggered, the basic pulse width may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear.

The LS122 and LS123 have Schmitt trigger inputs to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

- OVERRIDING CLEAR TERMINATES OUTPUT PULSE
- COMPENSATED FOR V_{CC} AND TEMPERATURE VARIATIONS
- D.C. TRIGGERED FROM ACTIVE-HIGH OR ACTIVE-LOW GATED LOGIC INPUTS
- RETRIGGERABLE FOR VERY LONG OUTPUT PULSES, UP TO 100% DUTY CYCLE
- INTERNAL TIMING RESISTORS ON LS122

LS122
FUNCTIONAL TABLE

CLEAR	INPUTS				OUTPUTS	
	A1	A2	B1	B2	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
H	L	X	T	H	L	H
H	X	L	T	H	L	H
H	X	L	H	T	L	H
H	X	L	H	H	L	H
H	H	L	T	H	L	H
H	H	L	H	T	L	H
H	H	L	H	H	L	H
T	L	X	H	H	L	H
T	X	L	H	H	L	H

LS123
FUNCTIONAL TABLE

CLEAR	INPUTS		OUTPUTS	
	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	T	L	H
H	L	H	L	H
T	L	H	L	H

NOTES

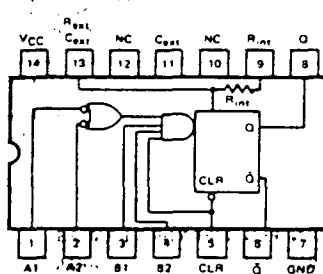
1. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
2. To use the internal timing resistor of the LS122, connect R_{int} to V_{CC} .
3. For improved pulse width accuracy connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open circuited.
4. To obtain variable pulse widths, connect an external variable resistance between R_{int}/C_{ext} and V_{CC} .

SN54LS/74LS122 SN54LS/74LS123

RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

LOW POWER SCHOTTKY

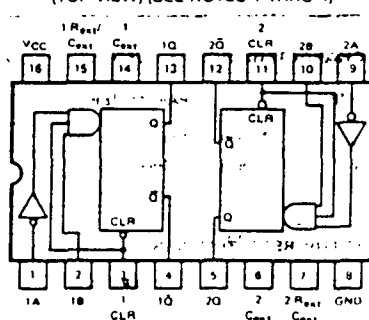
SN54LS/74LS122
(TOP VIEW) (SEE NOTES 1 THRU 4)



J Suffix — Case 632-07 (Ceramic)
N Suffix — Case 648-05 (Plastic)

NC — NO internal connection

SN54LS/74LS123
(TOP VIEW) (SEE NOTES 1 THRU 4)



J Suffix — Case 620-08 (Ceramic)
N Suffix — Case 648-05 (Plastic)

TYPICAL APPLICATION DATA

The output pulse t_W is a function of the external components C_{EXT} and R_{EXT} or C_{EXT} and R_{INT} on the LS122. For values of $C_{EXT} \geq 1000$ pF, the output pulse at $V_{CC} = 5.0$ V and $V_{RC} = 5.0$ V (see Figures 1, 2, and 3) is given by

$$t_W = K R_{EXT} C_{EXT} \text{ where } K \text{ is nominally } 0.45$$

If C_{EXT} is in pF and R_{EXT} is in k Ω then t_W is in nanoseconds

The C_{EXT} terminal of the LS122 and LS123 is an internal connection to ground, however for the best system performance C_{EXT} should be hard wired to ground

Care should be taken to keep R_{EXT} and C_{EXT} as close to the monostable as possible with a minimum amount of inductance between the R_{EXT}/C_{EXT} junction and the R_{EXT}/C_{EXT} pin. Good groundplane and adequate bypassing should be designed into the system for optimum performance to insure that no false triggering occurs

It should be noted that the C_{EXT} pin is internally connected to ground on the LS122 and LS123, but not on the LS221. Therefore, if C_{EXT} is hard-wired externally to ground, substitution of a LS221 onto a LS123 socket will cause the LS221 to become non-functional.

The switching diode is not needed for electrolytic capacitance application and should not be used on the LS122 and LS123

To find the value of K for $C_{EXT} \geq 1000$ pF, refer to Figure 4. Variations on V_{CC} or V_{RC} can cause the value of K to change, as can the temperature of the LS123, LS122. Figures 5 and 6 show the behaviour of the circuit shown in Figures 1 and 2. Separate power supplies are used for V_{CC} and V_{RC} . If V_{CC} is tied to V_{RC} , Figure 7 shows how K will vary with V_{CC} and temperature. Remember, the changes in R_{EXT} and C_{EXT} with temperature are not calculated and included in the graph

As long as $C_{EXT} \geq 1000$ pF and $5K \leq R_{EXT} \leq 260$ K (SN74LS122/123) or $5K \leq R_{EXT} \leq 160$ K (SN54LS122/123), the change in K with respect to R_{EXT} is negligible

If $C_{EXT} < 1000$ pF the graph shown on Figure 8 can be used to determine the output pulse width. Figure 9 shows how K will change for $C_{EXT} < 1000$ pF if V_{CC} and V_{RC} are connected to the same power supply. The pulse width t_W in nanoseconds is approximated by

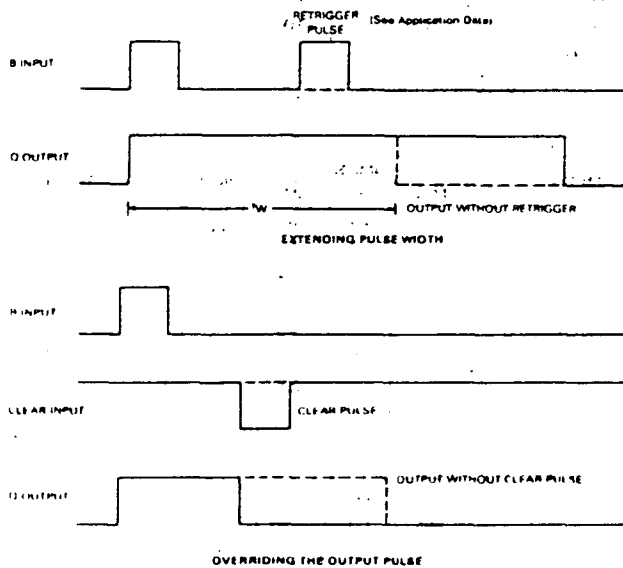
$$t_W = 8 + 0.05 C_{EXT} (\text{pF}) + 0.45 R_{EXT} (\text{k}\Omega) C_{EXT} + 11.6 R_{EXT}$$

In order to trim the output pulse width, it is necessary to include a variable resistor between V_{CC} and the R_{EXT}/C_{EXT} pin, or between V_{CC} and the R_{EXT} pin of the LS122. Figure 10, 11, and 12 show how this can be done. R_{EXT} remote should be kept as close to the monostable as possible.

Retriggering of the part, as shown in Figure 3, must not occur before C_{EXT} is discharged or the retrigger pulse will not have any effect. The discharge time of C_{EXT} in nanoseconds is guaranteed to be less than $0.22 C_{EXT}$ (pF) and is typically $0.05 C_{EXT}$ (pF).

For the smallest possible deviation in output pulse widths from various devices, it is suggested that C_{EXT} be kept ≥ 1000 pF

WAVEFORMS



GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
VCC	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA
R _{ext}	External Timing Resistance	54 74	5.0 5.0		180 260	kΩ
C _{ext}	External Capacitance	54, 74	No Restriction			
R _{ext} /C _{ext}	Wiring Capacitance at R _{ext} /C _{ext} Terminal	54, 74			50	pF

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	VCC = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	VCC = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5	V	
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 4.0 mA VCC = VCC MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74	0.35	0.5	V	
I _{IH}	Input HIGH Current			20	μA	VCC = MAX, V _{IN} = 2.7 V
				0.1	mA	VCC = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.4	mA	VCC = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current	-20		-100	mA	VCC = MAX
I _{CC}	Power Supply Current	LS122		11	mA	VCC = MAX
		LS123		20		

AC CHARACTERISTICS: T_A = 25°C, VCC = 5.0 V

SYMBOL	PARAMETER	LIMITS			UNITS	-- TEST CONDITIONS
		MIN	TYP	MAX		
t _{PLH}	Propagation Delay, A to Q		23	33	ns	C _{ext} = 0 C _L = 15 pF R _{ext} = 5.0 kΩ R _L = 2.0 kΩ
t _{PHL}	Propagation Delay, A to \bar{Q}		32	45		
t _{PLH}	Propagation Delay, B to Q		23	44	ns	
t _{PHL}	Propagation Delay, B to \bar{Q}		34	56		
t _{PLH}	Propagation Delay, Clear to \bar{Q}		28	45	ns	
t _{PHL}	Propagation Delay, Clear to Q		20	27		
t _{W min}	A or B to Q		118	200	ns	
t _{WQ}	A to B to Q	40	45	50	μs	C _{ext} = 1000 pF, R _{ext} = 10 kΩ, C _L = 15 pF, R _L = 2.0 kΩ

AC SETUP REQUIREMENTS: T_A = 25°C, VCC = 5.0 V

SYMBOL	PARAMETER	LIMITS			UNITS
		MIN	TYP	MAX	
t _W	Pulse Width	40			ns

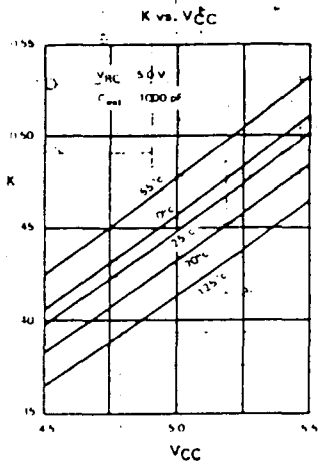


Fig. 5

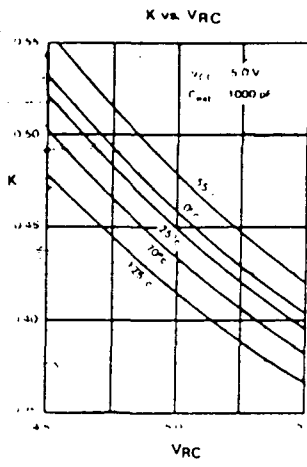


Fig. 6

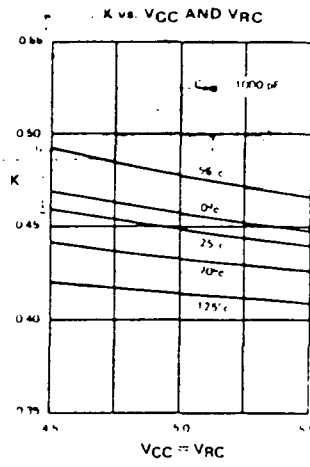


Fig. 7

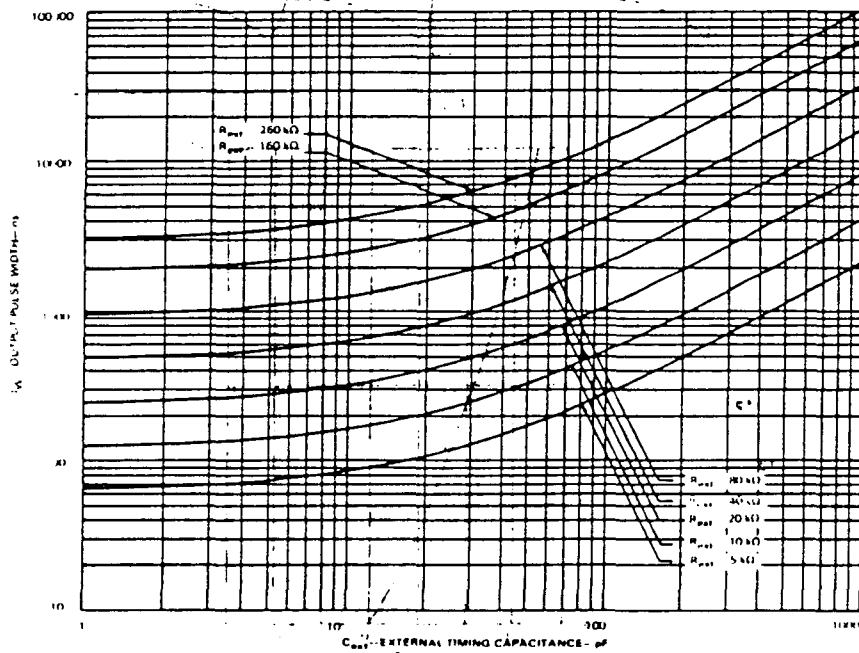


Fig. 8

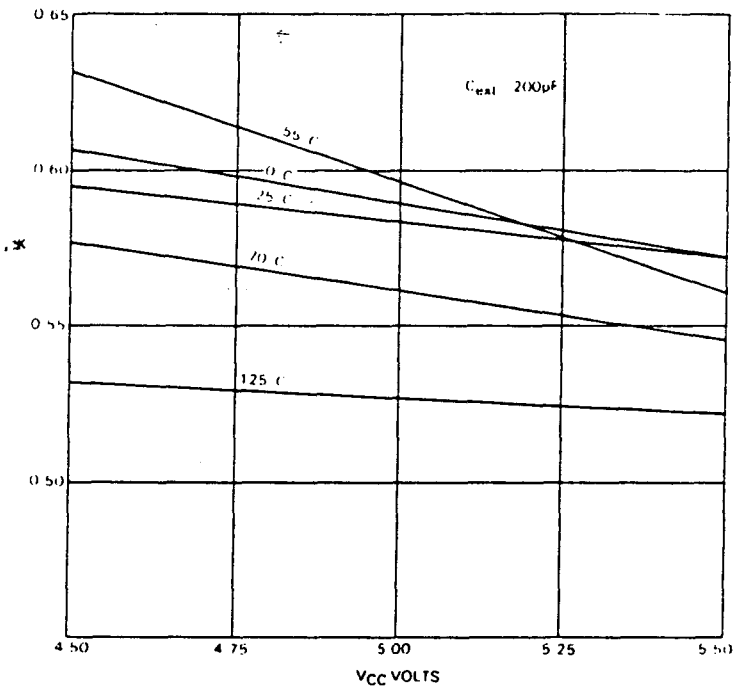


Fig. 9

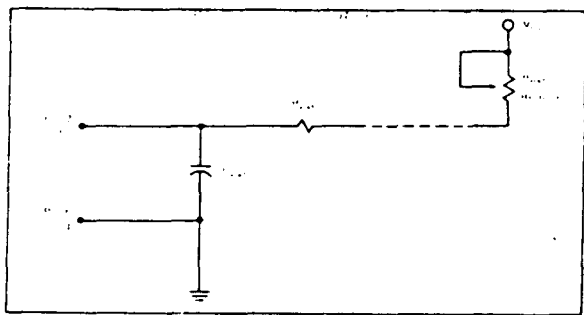


Fig. 10 -- LS123 REMOTE TRIMMING CIRCUIT

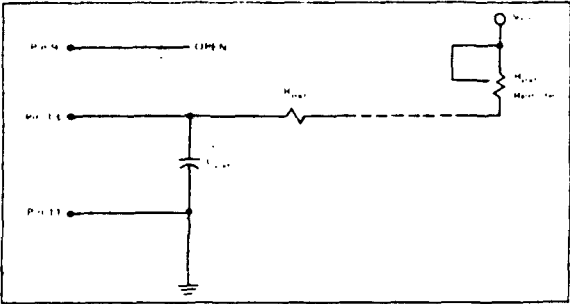


Fig. 11—LS122 REMOTE TRIMMING CIRCUIT WITHOUT R_{EXT}

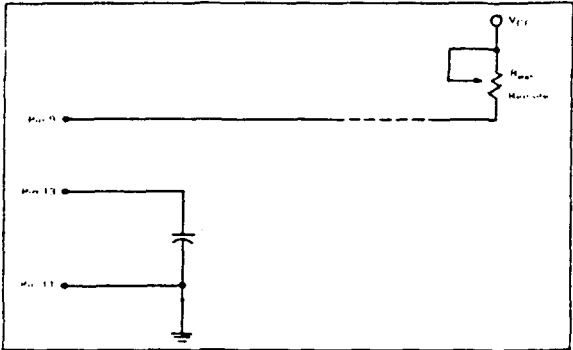


Fig. 12—LS122 REMOTE TRIMMING CIRCUIT WITH R_{INT}

CONTADORES PROGRAMABLES SN 74192. SN 74193



SN54LS/74LS192 SN54LS/74LS193

DESCRIPTION The SN54LS/74LS192 is an UP/DOWN BCD Decade (8421) Counter and the SN54LS/74LS193 is an UP/DOWN MODULO 16 Binary Counter. Separate Count Up and Count Down Clocks are used and in either counting mode the circuits operate synchronously. The outputs change state synchronous with the LOW-to-HIGH transitions on the clock inputs.

Separate Terminal Count Up and Terminal Count Down outputs are provided which are used as the clocks for a subsequent stages without extra logic, thus simplifying multistage counter designs. Individual preset inputs allow the circuits to be used as programmable counters. Both the Parallel Load (PL) and the Master Reset (MR) inputs asynchronously override the clocks.

**PRESETTABLE BCD/DECADE
UP/DOWN COUNTER
PRESETTABLE 4-BIT BINARY
UP/DOWN COUNTER
LOW POWER SCHOTTKY**

- **LOW POWER** 95 mW TYPICAL DISSIPATION
- **HIGH SPEED** 40 MHz TYPICAL COUNT FREQUENCY
- **SYNCHRONOUS COUNTING**
- **ASYNCHRONOUS MASTER RESET AND PARALLEL LOAD**
- **INDIVIDUAL PRESET INPUTS**
- **CASCADING CIRCUITRY INTERNALLY PROVIDED**
- **INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS**

PIN NAMES

CP_U	Count Up Clock Pulse Input	
CP_D	Count Down Clock Pulse Input	
MR	Asynchronous Master Reset (Clear) Input	
\overline{PL}	Asynchronous Parallel Load (Active LOW) Input	
P_n	Parallel Data Inputs	
Q_n	Flip-Flop Outputs (Note b)	
\overline{TC}_D	Terminal Count Down (Borrow) Output (Note b)	
\overline{TC}_U	Terminal Count Up (Carry) Output (Note b)	

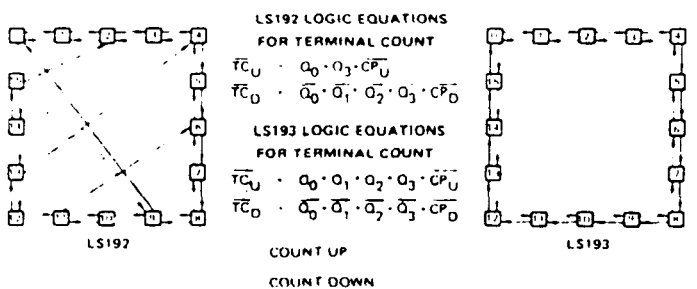
LOADING (Note a)

	HIGH	LOW
CP_U	0.5 U.L.	0.25 U.L.
CP_D	0.5 U.L.	0.25 U.L.
MR	0.5 U.L.	0.25 U.L.
\overline{PL}	0.5 U.L.	0.25 U.L.
P_n	0.5 U.L.	0.25 U.L.
Q_n	10 U.L.	5(2.5) U.L.
\overline{TC}_D	10 U.L.	5(2.5) U.L.
\overline{TC}_U	10 U.L.	5(2.5) U.L.

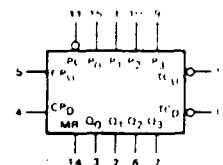
NOTES

- 1 TTL Unit Load (U.L.) = 40 μ A HIGH/16 mA LOW
- 2 The Output LOW drive factor is 2.5 U.L. for MILITARY (54) and 5 U.L. for COMMERCIAL (74) Temperature Ranges.

STATE DIAGRAMS

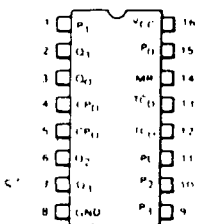


LOGIC SYMBOL



V_{CC} - Pin 16
GND - Pin 8

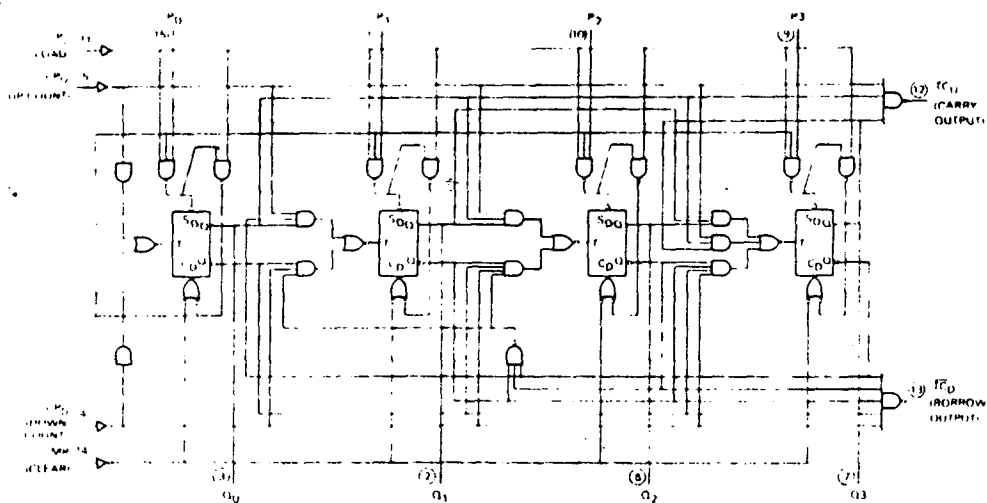
CONNECTION DIAGRAM DIP (TOP VIEW)



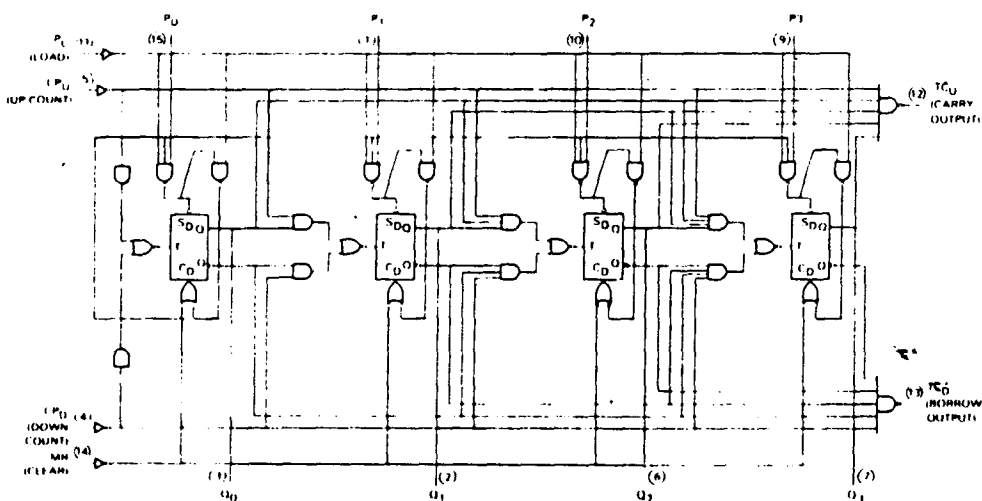
J Suffix - Case 620 08
(Ceramic)
N Suffix - Case 648 05
(Plastic)

NOTE
The Flatpack version has the same pinouts (Consult Diagrams in the Dual In Line Package)

LOGIC DIAGRAMS



LS192



LS193

VCC Pin 16
GND Pin 8
○ Pin Number

FUNCTIONAL DESCRIPTION The LS192 and LS193 are Asynchronously Presetable Decade and 4 Bit Binary Synchronous UP/DOWN (Reversible) Counters. The operating modes of the LS192 decade counter and the LS193 binary counter are identical, with the only difference being the count sequences as noted in the State Diagrams. Each circuit contains four master/slave flip-flops, with internal gating and steering logic to provide master reset, individual preset, count up and count down operations.

Each flip-flop contains JK feedback from slave to master such that a LOW-to-HIGH transition on its T input causes the slave, and thus the Q output to change state. Synchronous switching, as opposed to ripple counting, is achieved by driving the steering gates of all stages from a common Count Up line and a common Count Down line, thereby causing all state changes to be initiated simultaneously. A LOW-to-HIGH transition on the Count Up input will advance the count by one; a similar transition on the Count Down input will decrease the count by one. While counting with one clock input, the other should be held HIGH. Otherwise, the circuit will either count by twos or not at all, depending on the state of the first flip flop, which cannot toggle as long as either Clock input is LOW.

The Terminal Count Up (\overline{TC}_U) and Terminal Count Down (\overline{TC}_D) outputs are normally HIGH. When a circuit has reached the maximum count state (9 for the LS192, 15 for the LS193), the next HIGH to LOW transition of the Count Up Clock will cause \overline{TC}_U to go LOW. \overline{TC}_U will stay LOW until CP_U goes HIGH again, thus effectively repeating the Count Up Clock, but delayed by two gate delays. Similarly, the \overline{TC}_D output will go LOW when the circuit is in the zero state and the Count Down Clock goes LOW. Since the TC outputs repeat the clock waveforms, they can be used as the clock input signals to the next higher order circuit in a multistage counter.

Each circuit has an asynchronous parallel load capability permitting the counter to be preset. When the Parallel Load (PL) and the Master Reset (MR) inputs are LOW, information present on the Parallel Data inputs (P_0, P_3) is loaded into the counter and appears on the outputs regardless of the conditions of the clock inputs. A HIGH signal on the Master Reset input will disable the preset gates, override both Clock inputs, and latch each Q output in the LOW state. If one of the Clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that Clock will be interpreted as a legitimate signal and will be counted.

MODE SELECT TABLE

MR	\overline{PL}	CP_U	CP_D	MODE
H	X	X	X	Reset (Asyn.)
L	L	X	X	Preset (Asyn.)
L	H	H	H	No Change
L	H	\downarrow	H	Count Up
L	H	H	\downarrow	Count Down

- L LOW Voltage Level
- H HIGH Voltage Level
- X Don't Care
- \downarrow LOW to HIGH Clock Transition

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
VCC	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
TA	Operating Ambient Temperature Range	54 74	55 0	25 25	125 70	°C
IOH	Output Current — High	54, 74			-0.4	mA
IOL	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS			UNITS	TEST CONDITIONS
			MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74			0.8		
V _{IK}	Input Clamp Diode Voltage			-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5		V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5		V	
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA, V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	
I _{IH}	Input HIGH Current				20	µA	V _{CC} = MAX, V _{IN} = 2.7 V
I _{IL}	Input LOW Current				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{CS}	Short Circuit Current		20		100	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{CC}	Power Supply Current				34	mA	V _{CC} = MAX

4

AC CHARACTERISTICS: TA = 25°C

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{MAX}	Maximum Clock Frequency	25	32		MHz	V _{CC} = 5.0 V C _L = 15 pF
t _{PLH}	CP _U Input to TC _U Output		17	26	ns	
t _{PHL}	TC _U Output		18	24	ns	
t _{PLH}	CP _D Input to TC _D Output		16	24	ns	
t _{PHL}	TC _D Output		15	24	ns	
t _{PLH}	Clock to Q		27	38	ns	
t _{PHL}			30	47	ns	
t _{PLH}	PL to Q		24	40	ns	
t _{PHL}			25	40	ns	
t _{PHL}	MR Input to Any Output		23	35	ns	

SN54LS/74LS192 • SN54LS/74LS193

AC SETUP REQUIREMENTS: $T_A = 25^\circ\text{C}$

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_w	Any Pulse Width	20			ns	$V_{CC} = 5.0\text{V}$
t_s	Data Setup Time	20			ns	
t_h	Data Hold Time	5.0			ns	
t_{rec}	Recovery Time	40			ns	

DEFINITIONS OF TERMS:

SETUP TIME (t_s) is defined as the minimum time required for the correct logic level to be present at the logic input prior to the \overline{PL} transition from LOW to HIGH in order to be recognized and transferred to the outputs

HOLD TIME (t_h) is defined as the minimum time following the \overline{PL} transition from LOW to HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative HOLD TIME indicates that the correct logic level may be released prior to the \overline{PL} transition from LOW to HIGH and still be recognized

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from LOW to HIGH in order to recognize and transfer HIGH data to the Q outputs

AC WAVEFORMS

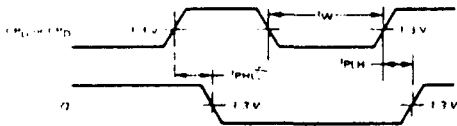


Fig. 1

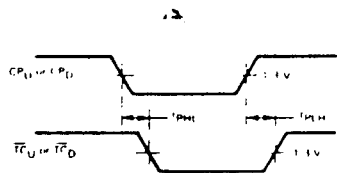
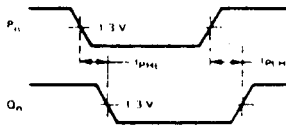


Fig. 2



NOTE $\overline{P_L}$ = LOW

Fig. 3

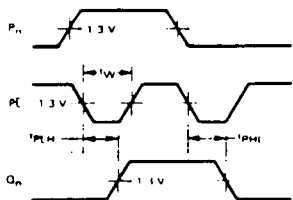


Fig. 4

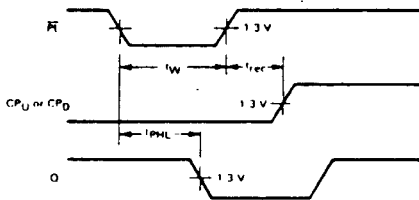
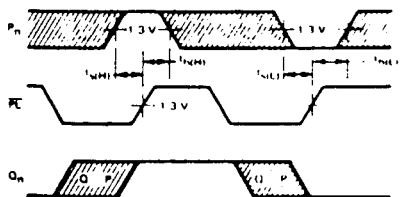


Fig. 5



*The shaded areas indicate when the input is permitted to change for predictable output performance

Fig. 6

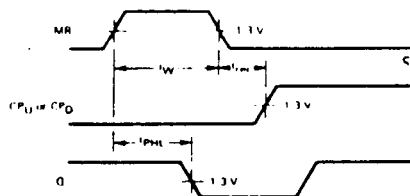


Fig. 7

R. VOLTAJE MA 7805, MA7812, MA7824



MOTOROLA

MC7800 Series

THREE-TERMINAL POSITIVE VOLTAGE REGULATORS

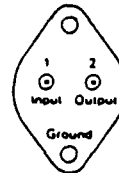
These voltage regulators are monolithic integrated circuits designed as fixed-voltage regulators for a wide variety of applications including local on-card regulation. These regulators employ internal current limiting, thermal shutdown, and safe-area compensation. With adequate heatsinking they can deliver output currents in excess of 1.0 ampere. Although designed primarily as a fixed voltage regulator, these devices can be used with external components to obtain adjustable voltages and currents.

- Output Current in Excess of 1.0 Ampere
- No External Components Required
- Internal Thermal Overload Protection
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation
- Output Voltage Offered in 2% and 4% Tolerance

THREE-TERMINAL POSITIVE FIXED VOLTAGE REGULATORS

SILICON MONOLITHIC
INTEGRATED CIRCUITS

K SUFFIX
METAL PACKAGE
CASE 1-03
TO-204AA
(TO-3)

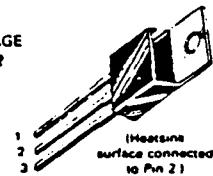


(Bottom View)

Pins 1 and 2 electrically isolated from case. Case is third electrical connection.

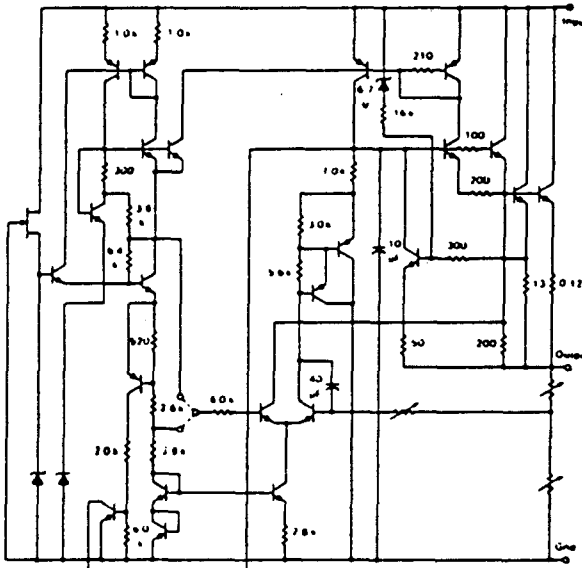
T SUFFIX
PLASTIC PACKAGE
CASE 221A-02
TO-220AB

Pin 1 Input
2 Ground
3 Output



(Heatsink surface connected to Pin 2)

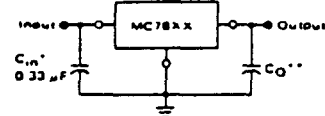
EQUIVALENT SCHEMATIC DIAGRAM



ORDERING INFORMATION

Device	Output Voltage Tolerance	Temperature Range	Package
MC78XXK	4%	55 to +150°C	Metal Power
MC78XXAK	2%		
MC78XXBK	4%	40 to +125°C	Plastic Power
MC78XXCK	4%	0 to +125°C	
MC78XXAK	2%		
MC78XXCT	4%		
MC78XXACT	2%		
MC78XXBT	4%	40 to +125°C	

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above the output voltage even during the low point on the input ripple voltage.

XX = these two digits of the type number indicate voltage.

* C_{in} is required if regulator is located an appreciable distance from power supply filter.

** C_{O} is not needed for stability, however, it does improve transient response.

XX indicates nominal voltage.

TYPE NO./VOLTAGE

MC7805	5.0 Volts	MC7815	15 Volts
MC7806	6.0 Volts	MC7818	18 Volts
MC7808	8.0 Volts	MC7824	24 Volts
MC7812	12 Volts		

MC7800 Series

MC7800 Series MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Input Voltage (5.0 V - 18 V) (24 V)	V _{in}	35 40	Vdc
Power Dissipation and Thermal Characteristics			
Plastic Package			
T _A = +25°C	P _D	Internally Limited	Watts
Derate above T _A = +25°C	1/θ _{JA}	15.4	mW/°C
Thermal Resistance, Junction to Air	θ _{JA}	65	°C/W
T _C = +25°C	P _D	Internally Limited	Watts
Derate above T _C = +75°C (See Figure 1)	1/θ _{JC}	200	mW/°C
Thermal Resistance, Junction to Case	θ _{JC}	5.0	°C/W
Metal Package			
T _A = +25°C	P _D	Internally Limited	Watts
Derate above T _A = +25°C	1/θ _{JA}	22.5	mW/°C
Thermal Resistance, Junction to Air	θ _{JA}	45	°C/W
T _C = +25°C	P _D	Internally Limited	Watts
Derate above T _C = +65°C (See Figure 2)	1/θ _{JC}	182	mW/°C
Thermal Resistance, Junction to Case	θ _{JC}	5.5	°C/W
Storage Junction Temperature Range	T _{stg}	-65 to +150	°C
Operating Junction Temperature Range	T _J	-55 to +150 0 to +150 -40 to +150	°C

DEFINITIONS

Line Regulation — The change in output voltage for a change in the input voltage. The measurement is made under conditions of low dissipation or by using pulse techniques such that the average chip temperature is not significantly affected.

Load Regulation — The change in output voltage for a change in load current at constant chip temperature.

Maximum Power Dissipation — The maximum total device dissipation for which the regulator will operate within specifications.

Quiescent Current — That part of the input current that is not delivered to the load.

Output Noise Voltage — The rms ac voltage at the output with constant load and no input ripple measured over a specified frequency range.

Long Term Stability — Output voltage stability under accelerated life test conditions with the maximum rated voltage listed in the devices' electrical characteristics and maximum power dissipation.

MC7800 Series

MC7805, B, C

ELECTRICAL CHARACTERISTICS (V_{in} 10V I_O 500 mA T_J T_{min} to T_{high} [Note 1] unless otherwise noted)

Characteristic	Symbol	MC7805			MC7805B			MC7805C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage (T_J -25°C)	V_O	4.8	5.0	5.2	4.8	5.0	5.2	4.8	5.0	5.2	Vdc
Output Voltage (50 mA I_O 1.0 A P_D 15 W) 7.0 Vdc V_{in} 20 Vdc 8.0 Vdc V_{in} 20 Vdc	V_O	4.65	5.0	5.35	4.75	5.0	5.25	4.75	5.0	5.25	Vdc
Line Regulation (T_J -25°C Note 2)	ΔV_{OL}	-	2.0	50	-	7.0	100	-	7.0	100	mV
7.0 Vdc V_{in} 25 Vdc 8.0 Vdc V_{in} 12 Vdc	ΔV_{OL}	-	1.0	25	-	2.0	50	-	2.0	50	mV
Load Regulation (T_J -25°C Note 2)	ΔV_{OL}	-	25	100	-	40	100	-	40	100	mV
50 mA I_O 1.5 A 250 mA I_O 750 mA	ΔV_{OL}	-	8.0	25	-	15	50	-	15	50	mV
Quiescent Current (T_J -25°C)	I_B	-	3.2	8.0	-	4.3	8.0	-	4.3	8.0	mA
Quiescent Current Change 7.0 Vdc V_{in} 25 Vdc 8.0 Vdc V_{in} 25 Vdc 5.0 mA I_O 1.0 A	ΔI_B	-	0.3	0.8	-	1.3	0.5	-	1.3	0.5	mA
Ripple Rejection 8.0 Vdc V_{in} 18 Vdc 1 120 Hz	RR	68	75	-	68	-	-	68	-	-	dB
Dropout Voltage (I_O 1.0 A T_J -25°C)	$V_{in} - V_O$	-	2.0	2.5	-	2.0	-	-	2.0	-	Vdc
Output Noise Voltage (T_A -25°C) 10 Hz 1 100 kHz	V_n	-	10	40	-	10	-	-	10	-	μ V
Output Resistance (1 10 kHz)	r_O	-	17	-	-	17	-	-	17	-	m Ω
Short Circuit Current Limit (T_A -25°C) V_{in} 35 Vdc	I_{sc}	-	0.2	1.2	-	0.2	-	-	0.2	-	A
Peak Output Current (T_J -25°C)	I_{max}	1.3	2.5	3.3	-	2.2	-	-	2.2	-	A
Average Temperature Coefficient of Output Voltage	TCV _O	-	±0.6	-	-	1.1	-	-	1.1	-	mV/°C

MC7805A, AC

ELECTRICAL CHARACTERISTICS (V_{in} 10V I_O 1.0 A T_J T_{min} to T_{high} [Note 1] unless otherwise noted)

Characteristic	Symbol	MC7805A			MC7805AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage (T_J -25°C)	V_O	4.8	5.0	5.1	4.9	5.0	5.1	Vdc
Output Voltage (50 mA I_O 1.0 A P_D 15 W) 7.5 Vdc V_{in} 20 Vdc	V_O	4.8	5.0	5.2	4.8	5.0	5.2	Vdc
Line Regulation (Note 2)	ΔV_{OL}	-	2.0	10	-	7.0	50	mV
7.5 Vdc V_{in} 25 Vdc I_O 500 mA 8.0 Vdc V_{in} 12 Vdc 8.0 Vdc V_{in} 12 Vdc T_J -25°C 7.3 Vdc V_{in} 20 Vdc T_J -25°C	ΔV_{OL}	-	3.0	10	-	10	50	mV
Load Regulation (Note 2)	ΔV_{OL}	-	2.0	25	-	25	100	mV
50 mA I_O 1.5 A T_J -25°C 50 mA I_O 1.0 A 250 mA I_O 750 mA T_J -25°C 250 mA I_O 750 mA	ΔV_{OL}	-	2.0	25	-	25	100	mV
Quiescent Current T_J -25°C	I_B	-	3.2	4.0	-	4.3	8.0	mA
Quiescent Current Change 8.0 Vdc V_{in} 25 Vdc I_O 500 mA 7.5 Vdc V_{in} 20 Vdc T_J -25°C 5.0 mA I_O 1.0 A	ΔI_B	-	0.3	0.5	-	0.8	0.5	mA
Ripple Rejection 8.0 Vdc V_{in} 18 Vdc 1 120 Hz T_J -25°C 8.0 Vdc V_{in} 18 Vdc 1 120 Hz I_O 500 mA	RR	68	75	-	68	-	-	dB
Dropout Voltage (I_O 1.0 A T_J -25°C)	$V_{in} - V_O$	-	2.0	2.5	-	2.0	-	Vdc
Output Noise Voltage (T_A -25°C) 10 Hz 1 100 kHz	V_n	-	10	40	-	10	-	μ V
Output Resistance (1 10 kHz)	r_O	-	2.0	-	-	17	-	m Ω
Short Circuit Current Limit (T_A -25°C) V_{in} 35 Vdc	I_{sc}	-	0.2	1.2	-	0.2	-	A
Peak Output Current (T_J -25°C)	I_{max}	1.3	2.5	3.3	-	2.2	-	A
Average Temperature Coefficient of Output Voltage	TCV _O	-	±0.6	-	-	1.1	-	mV/°C

NOTES 1 T_{low} -55°C for MC78XX A T_{high} +150°C for MC78XX A

0° for MC78XX AC

+125°C for MC78XX AC B

2 Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7812, B, C
ELECTRICAL CHARACTERISTICS ($V_{in} = 19\text{ V}$, $I_O = 500\text{ mA}$, $T_J = T_{top}$ to T_{high} (Note 1) unless otherwise noted)

Characteristic	Symbol	MC7812			MC7812B			MC7812C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	11.5	12	12.5	11.5	12	12.5	11.5	12	12.5	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_D \leq 15\text{ W}$)	V_O	—	—	—	—	—	—	11.4	12	12.5	Vdc
14.5 Vdc $\leq V_{in} \leq 27\text{ Vdc}$		11.4	12	12.5	11.4	12	12.5	—	—	—	
15.5 Vdc $\leq V_{in} \leq 27\text{ Vdc}$		—	—	—	—	—	—	—	—	—	
Line Regulation ($T_J = +25^\circ\text{C}$, Note 2)	ΔV_O	—	5.0	120	—	13	240	—	13	240	mV
14.5 Vdc $\leq V_{in} \leq 30\text{ Vdc}$		—	3.0	60	—	6.0	120	—	6.0	120	
16 Vdc $\leq V_{in} \leq 22\text{ Vdc}$		—	—	—	—	—	—	—	—	—	
Load Regulation ($T_J = +25^\circ\text{C}$, Note 2)	ΔV_O	—	30	120	—	46	240	—	46	240	mV
5.0 mA $\leq I_O \leq 1.5\text{ A}$		—	10	80	—	17	120	—	17	120	
250 mA $\leq I_O \leq 750\text{ mA}$		—	—	—	—	—	—	—	—	—	
Quiescent Current ($T_J = +25^\circ\text{C}$)	I_Q	—	3.4	6.0	—	4.4	8.0	—	4.4	8.0	mA
Quiescent Current Change	ΔI_Q	—	—	—	—	—	—	—	—	—	mA
14.5 Vdc $\leq V_{in} \leq 30\text{ Vdc}$		—	0.3	0.8	—	—	1.0	—	—	1.0	
15 Vdc $\leq V_{in} \leq 30\text{ Vdc}$		—	0.04	0.5	—	—	0.5	—	—	0.5	
5.0 mA $\leq I_O \leq 1.0\text{ A}$		—	—	—	—	—	—	—	—	—	
Ripple Rejection	RR	61	66	—	60	—	—	60	—	—	dB
15 Vdc $\leq V_{in} \leq 25\text{ Vdc}$, $f = 120\text{ Hz}$		—	—	—	—	—	—	—	—	—	
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$)	V_n	—	10	40	—	10	—	—	10	—	$\mu\text{V}/V_O$
10 Hz $\leq f \leq 100\text{ kHz}$		—	—	—	—	—	—	—	—	—	
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	18	—	18	—	—	18	—	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$)	I_{sc}	—	0.2	1.2	0.2	—	—	0.2	—	—	A
$V_{in} = 35\text{ Vdc}$		—	—	—	—	—	—	—	—	—	
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	2.2	—	—	2.2	—	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.5	—	—	—	—	—	1.0	—	mV/ $^\circ\text{C}$

MC7812A, AC
ELECTRICAL CHARACTERISTICS ($V_{in} = 19\text{ V}$, $I_O = 1.0\text{ A}$, $T_J = T_{top}$ to T_{high} (Note 1) unless otherwise noted)

Characteristic	Symbol	MC7812A			MC7812AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	11.75	12	12.25	11.75	12	12.25	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_D \leq 15\text{ W}$)	V_O	11.5	12	12.5	11.5	12	12.5	Vdc
14.8 Vdc $\leq V_{in} \leq 27\text{ Vdc}$		—	—	—	—	—	—	
Line Regulation (Note 2)	ΔV_O	—	5.0	18	—	13	120	mV
14.8 Vdc $\leq V_{in} \leq 30\text{ Vdc}$, $I_O = 500\text{ mA}$		—	8.0	30	—	16	120	
16 Vdc $\leq V_{in} \leq 22\text{ Vdc}$, $T_J = +25^\circ\text{C}$		—	3.0	9.0	—	6.0	60	
14.8 Vdc $\leq V_{in} \leq 27\text{ Vdc}$, $T_J = +25^\circ\text{C}$		—	5.0	18	—	13	120	
Load Regulation (Note 2)	ΔV_O	—	2.0	25	—	46	100	mV
5.0 mA $\leq I_O \leq 1.5\text{ A}$, $T_J = +25^\circ\text{C}$		—	2.0	25	—	46	100	
5.0 mA $\leq I_O \leq 1.0\text{ A}$		—	1.0	15	—	—	—	
250 mA $\leq I_O \leq 750\text{ mA}$, $T_J = +25^\circ\text{C}$		—	1.0	25	—	17	50	
250 mA $\leq I_O \leq 750\text{ mA}$		—	—	—	—	—	—	
Quiescent Current	I_Q	—	—	5.0	—	—	6.0	mA
$T_J = +25^\circ\text{C}$		—	3.4	4.0	—	4.4	6.0	
Quiescent Current Change	ΔI_Q	—	0.3	0.5	—	—	0.8	mA
15 Vdc $\leq V_{in} \leq 30\text{ Vdc}$, $I_O = 500\text{ mA}$		—	0.2	0.5	—	—	0.8	
14.8 Vdc $\leq V_{in} \leq 27\text{ Vdc}$, $T_J = +25^\circ\text{C}$		—	0.04	0.2	—	—	0.5	
5.0 mA $\leq I_O \leq 1.0\text{ A}$		—	—	—	—	—	—	
Ripple Rejection	RR	61	66	—	60	—	—	dB
15 Vdc $\leq V_{in} \leq 25\text{ Vdc}$, $f = 120\text{ Hz}$		—	—	—	—	—	—	
$T_J = +25^\circ\text{C}$		61	66	—	60	—	—	
16 Vdc $\leq V_{in} \leq 25\text{ Vdc}$, $f = 120\text{ Hz}$		—	—	—	—	—	—	
$I_O = 500\text{ mA}$		—	—	—	—	—	—	
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$)	V_n	—	10	40	—	10	—	$\mu\text{V}/V_O$
10 Hz $\leq f \leq 100\text{ kHz}$		—	—	—	—	—	—	
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	2.0	—	18	—	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$)	I_{sc}	—	0.2	1.2	0.2	—	—	A
$V_{in} = 35\text{ Vdc}$		—	—	—	—	—	—	
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	2.2	—	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.5	—	—	—	—	mV/ $^\circ\text{C}$

NOTES: 1. $T_{top} = -55^\circ\text{C}$ for MC78XX, A; $T_{top} = +150^\circ\text{C}$ for MC78XX, A; $T_{top} = 0^\circ\text{C}$ for MC78XXC, AC; $T_{top} = -40^\circ\text{C}$ for MC78XXB.

2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7815, B, C

ELECTRICAL CHARACTERISTICS ($V_{in} = 23V$, $I_Q = 500mA$, $T_J = T_{typ}$ to T_{high} (Note 1) unless otherwise noted)

Characteristic	Symbol	MC7815			MC7815B			MC7815C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ C$)	V_O	14.4	15	15.6	14.4	15	15.6	14.4	15	15.6	Vdc
Output Voltage (50 mA $\leq I_Q \leq 1.0A$, $P_O = 15W$)	V_O										Vdc
17.5 Vdc $\leq V_{in} \leq 30Vdc$		14.25	15	15.75	14.25	15	15.75	14.25	15	15.75	
18.5 Vdc $\leq V_{in} \leq 30Vdc$											
Line Regulation ($T_J = +25^\circ C$ (Note 2))	RegLine	—	60	160	—	13	300	—	13	300	mV
17.5 Vdc $\leq V_{in} \leq 30Vdc$		—	30	75	—	60	180	—	60	150	
20 Vdc $\leq V_{in} \leq 25Vdc$											
Load Regulation ($T_J = +25^\circ C$ (Note 2))	RegLoad	—	32	150	—	52	300	—	52	300	mV
50 mA $\leq I_Q \leq 1.0A$		—	10	75	—	20	180	—	20	150	
250 mA $\leq I_Q \leq 750mA$											
Quiescent Current ($T_J = +25^\circ C$)	I_Q	—	3.4	6.0	—	4.4	8.0	—	4.4	8.0	mA
Quiescent Current Change	ΔI_Q	—	—	—	—	—	—	—	—	—	mA
17.5 Vdc $\leq V_{in} \leq 30Vdc$		—	0.3	0.8	—	1.0	—	—	1.0	—	
18.5 Vdc $\leq V_{in} \leq 30Vdc$		—	0.04	0.5	—	0.5	—	—	0.5	—	
50 mA $\leq I_Q \leq 1.0A$											
Ripple Rejection	RR	60	66	—	—	58	—	—	58	—	dB
18.5 Vdc $\leq V_{in} \leq 28.5Vdc$, $f = 120Hz$											
Dropout Voltage ($I_Q = 1.0A$, $T_J = +25^\circ C$)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ C$)	V_n	—	10	40	—	10	—	—	10	—	$\mu V/V_O$
10 Hz $\leq f \leq 100kHz$											
Output Resistance ($f = 10kHz$)	r_O	—	19	—	—	19	—	—	19	—	m Ω
Short Circuit Current Limit ($T_A = +25^\circ C$)	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
$V_{in} = 35Vdc$											
Peak Output Current ($T_J = +25^\circ C$)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.8	—	—	± 1.0	—	—	± 1.0	—	mV/ $^\circ C$

MC7815A, AC

ELECTRICAL CHARACTERISTICS ($V_{in} = 23V$, $I_Q = 1.0A$, $T_J = T_{typ}$ to T_{high} (Note 1) unless otherwise noted)

Characteristic	Symbol	MC7815A			MC7815AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ C$)	V_O	14.7	15	15.3	14.7	15	15.3	Vdc
Output Voltage (50 mA $\leq I_Q \leq 1.0A$, $P_O = 15W$)	V_O							Vdc
17.5 Vdc $\leq V_{in} \leq 30Vdc$		14.4	15	15.6	14.4	15	15.6	
Line Regulation (Note 2)	RegLine	—	60	22	—	13	150	mV
17.5 Vdc $\leq V_{in} \leq 30Vdc$, $I_Q = 500mA$		—	60	22	—	16	150	
20 Vdc $\leq V_{in} \leq 25Vdc$		—	30	10	—	60	75	
17.5 Vdc $\leq V_{in} \leq 30Vdc$, $T_J = +25^\circ C$		—	60	22	—	12	150	
20 Vdc $\leq V_{in} \leq 25Vdc$, $T_J = +25^\circ C$								
Load Regulation (Note 2)	RegLoad	—	20	25	—	52	100	mV
50 mA $\leq I_Q \leq 1.0A$, $T_J = +25^\circ C$		—	20	25	—	62	100	
50 mA $\leq I_Q \leq 1.0A$		—	10	15	—	—	—	
250 mA $\leq I_Q \leq 750mA$, $T_J = +25^\circ C$		—	10	25	—	20	50	
250 mA $\leq I_Q \leq 750mA$								
Quiescent Current	I_Q	—	—	5.5	—	—	6.0	mA
$T_J = +25^\circ C$		—	3.4	4.6	—	4.4	6.0	
Quiescent Current Change	ΔI_Q	—	0.3	0.5	—	—	0.8	mA
17.5 Vdc $\leq V_{in} \leq 30Vdc$, $I_Q = 500mA$		—	0.2	0.5	—	—	0.8	
17.5 Vdc $\leq V_{in} \leq 30Vdc$, $T_J = +25^\circ C$		—	0.04	0.2	—	—	0.5	
50 mA $\leq I_Q \leq 1.0A$								
Ripple Rejection	RR	60	66	—	—	—	—	dB
18.5 Vdc $\leq V_{in} \leq 28.5Vdc$, $f = 120Hz$, $T_J = +25^\circ C$		60	66	—	—	—	—	
18.5 Vdc $\leq V_{in} \leq 28.5Vdc$, $f = 120Hz$, $I_Q = 500mA$		60	66	—	—	58	—	
Dropout Voltage ($I_Q = 1.0A$, $T_J = +25^\circ C$)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ C$)	V_n	—	10	40	—	10	—	$\mu V/V_O$
10 Hz $\leq f \leq 100kHz$								
Output Resistance ($f = 10kHz$)	r_O	—	20	—	—	19	—	m Ω
Short Circuit Current Limit ($T_A = +25^\circ C$)	I_{sc}	—	0.2	1.2	—	0.2	—	A
$V_{in} = 35Vdc$								
Peak Output Current ($T_J = +25^\circ C$)	I_{max}	1.3	2.5	3.3	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.8	—	—	± 1.0	—	mV/ $^\circ C$

NOTES: 1. $T_{typ} = +55^\circ C$ for MC78XX, A; $T_{typ} = +150^\circ C$ for MC78XX, A; $T_{typ} = +125^\circ C$ for MC78XXC, AC, B.
2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

TYPICAL CHARACTERISTICS ($T_A = +25^\circ\text{C}$ unless otherwise noted)

FIGURE 1 – WORST CASE POWER DISSIPATION
versus AMBIENT TEMPERATURE (Case 221A)

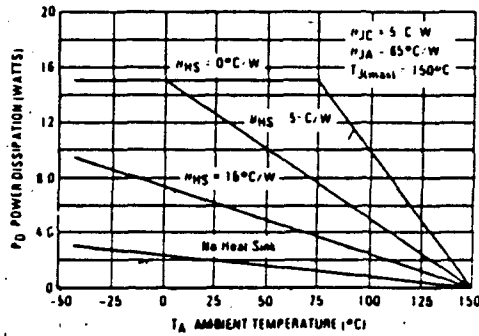


FIGURE 3 – INPUT OUTPUT DIFFERENTIAL AS A
FUNCTION OF JUNCTION TEMPERATURE
(MC78XXC, AC, B)

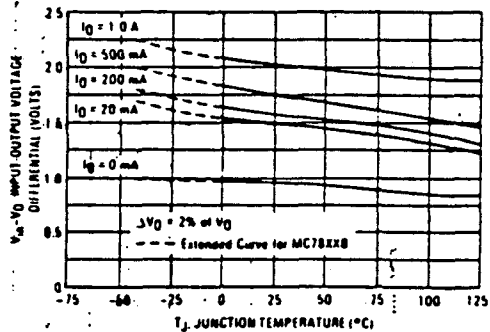


FIGURE 5 – PEAK OUTPUT CURRENT AS A FUNCTION
OF INPUT-OUTPUT DIFFERENTIAL VOLTAGE
(MC78XXC, AC, B)

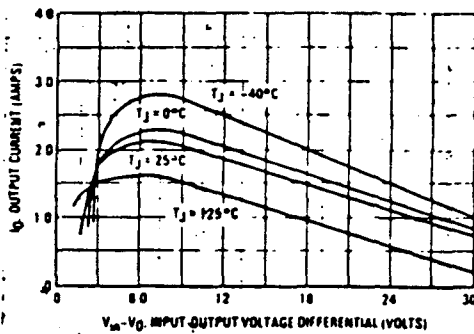


FIGURE 2 – WORST CASE POWER DISSIPATION
versus AMBIENT TEMPERATURE (Case 1)

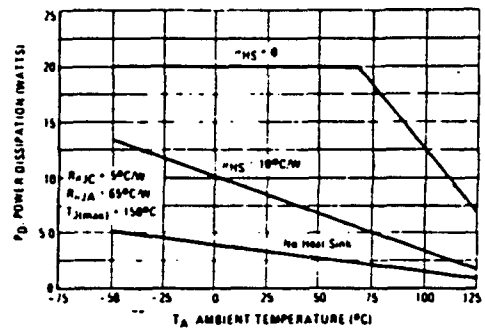


FIGURE 4 – INPUT OUTPUT DIFFERENTIAL AS A
FUNCTION OF JUNCTION TEMPERATURE
(MC78XX, A)

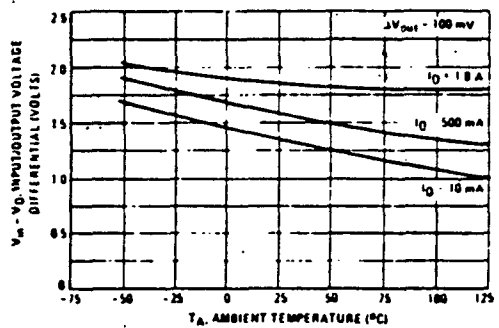
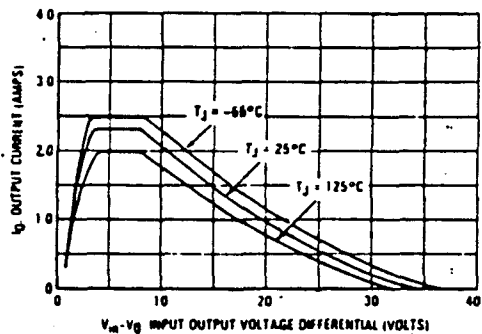


FIGURE 6 – PEAK OUTPUT CURRENT AS A FUNCTION OF INPUT-OUTPUT DIFFERENTIAL
VOLTAGE (MC78XX, A)



MC7800 Series

TYPICAL CHARACTERISTICS (continued)
($T_A = 25^\circ\text{C}$ unless otherwise noted.)

FIGURE 7 - RIPPLE REJECTION AS A FUNCTION OF OUTPUT VOLTAGES (MC78XXC, AC)

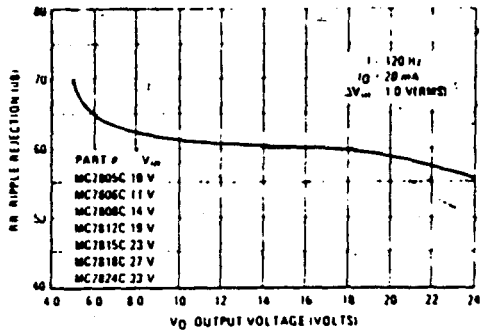


FIGURE 8 - RIPPLE REJECTION AS A FUNCTION OF FREQUENCY (MC78XXC, AC, A)

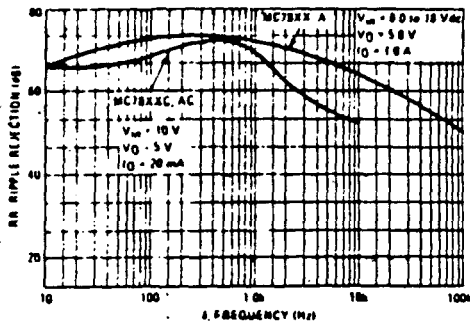


FIGURE 9 - OUTPUT VOLTAGE AS A FUNCTION OF JUNCTION TEMPERATURE (MC78XXC, AC, B)

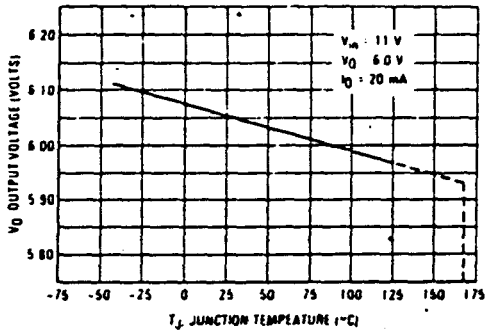


FIGURE 10 - OUTPUT IMPEDANCE AS A FUNCTION OF OUTPUT VOLTAGE (MC78XXC, AC)

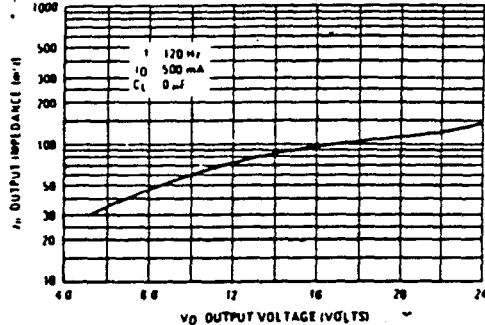


FIGURE 11 - QUIESCENT CURRENT AS A FUNCTION OF TEMPERATURE (MC78XXC, AC, B)

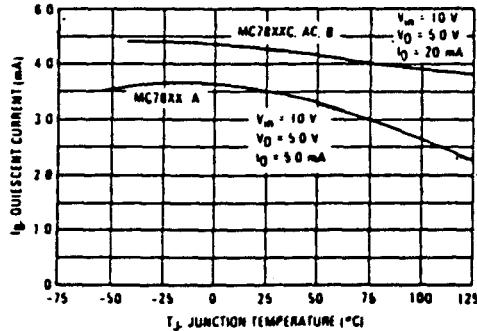
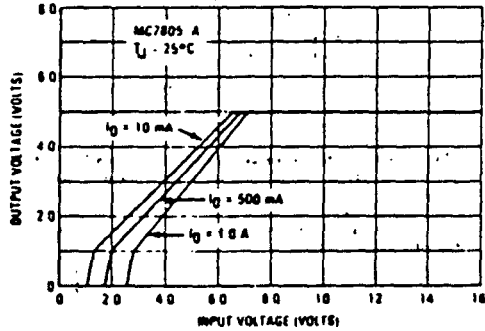


FIGURE 12 - DROPOUT CHARACTERISTICS (MC78XX, A)



MC7800 Series

APPLICATIONS INFORMATION

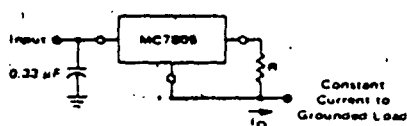
Design Considerations

The MC7800 Series of fixed voltage regulators are designed with Thermal Overload Protection that shuts down the circuit when subjected to an excessive power overload condition, Internal Short-Circuit Protection that limits the maximum current the circuit will pass, and Output Transistor Safe-Area Compensation that reduces the output short-circuit current as the voltage across the pass transistor is increased.

In many low current applications, compensation capacitors are not required. However, it is recommended that the regulator input be bypassed with a capacitor if the regulator is connected

to the power supply filter with long wire lengths, or if the output load capacitance is large. An input bypass capacitor should be selected to provide good high-frequency characteristics to insure stable operation under all load conditions. A 0.33 μF or larger tantalum, mylar, or other capacitor having low internal impedance at high frequencies should be chosen. The bypass capacitor should be mounted with the shortest possible leads directly across the regulator's input terminals. Normally good construction techniques should be used to minimize ground loops and lead resistance drops since the regulator has no external sense lead.

FIGURE 13 - CURRENT REGULATOR



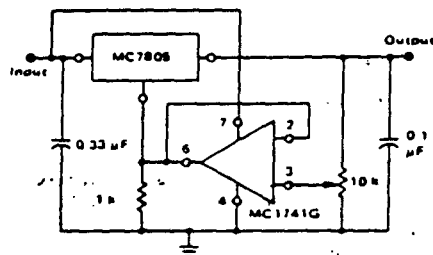
The MC7800 regulators can also be used as a current source when connected as above. In order to minimize dissipation the MC7805C is chosen in this application. Resistor R determines the current as follows:

$$I_O = \frac{5V}{R} + I_Q$$

$$I_Q \approx 1.5 \text{ mA over line and load changes}$$

For example, a 1-ampere current source would require R to be a 5-ohm, 10-W resistor and the output voltage compliance would be the input voltage less 7 volts.

FIGURE 14 - ADJUSTABLE OUTPUT REGULATOR

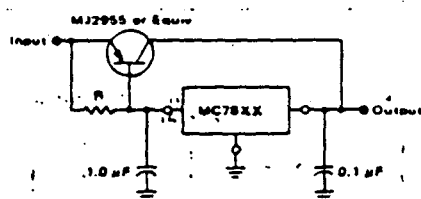


$$V_O: 10 \text{ V to } 20 \text{ V}$$

$$V_{IN}: V_O + 20 \text{ V}$$

The addition of an operational amplifier allows adjustment to higher or intermediate values while retaining regulation characteristics. The minimum voltage obtainable with this arrangement is 20 volts greater than the regulator voltage.

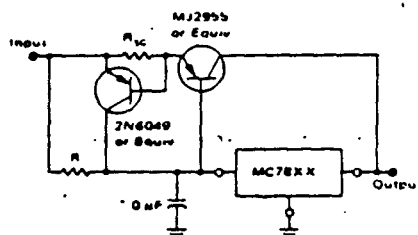
FIGURE 15 - CURRENT BOOST REGULATOR



XX = 2 digits of type number indicating voltage

The MC7800 series can be current boosted with a PNP transistor. The MJ2955 provides current to 5.0 amperes. Resistor R in conjunction with the V_{BE} of the PNP determines when the pass transistor begins conducting. This circuit is not short-circuit proof. Input-output differential voltage minimum is increased by V_{BE} of the pass transistor.

FIGURE 16 - SHORT-CIRCUIT PROTECTION



XX = 2 digits of type number indicating voltage

The circuit of Figure 16 can be modified to provide supply protection against short circuits by adding a short-circuit sense resistor R_{SC} and an additional PNP transistor. The current sensing PNP must be able to handle the short-circuit current of the three-terminal regulator. Therefore a four-ampere plastic power transistor is specified.

PRESUPUESTO

COMPOSICION DEL EQUIPO

El presente proyecto ha sido llevado a cabo por el equipo que se relaciona a continuación:

- Un ingeniero técnico de telecomunicación, director del proyecto, encargado de su desarrollo, así como de la coordinación de su equipo y la supervisión del trabajo.
- Un maestro de taller, consistiendo su trabajo en la realización de las placas de circuito impreso y montaje de los componentes electrónicos.
- Un delineante, encargado de realizar las figuras explicativas del proyecto.
- Un mecanógrafo, cuya labor ha consistido en mecanografiar la totalidad de este proyecto.

COSTES DE LA EJECUCION MATERIAL

Los capitulos que incluyen el importe de la ejecución material de este proyecto son los siguientes:

RELACION DE SALARIOS

A continuación se expone la distribución de cargas sociales.

Vacaciones anuales retribuidas.....	8.33%
Indemnización de despido.....	1.60%
Seguros de accidente.....	7.00%
Subsidio familiar.....	2.90%
Subsidio de vejez.....	1.80%
Abono días festivos.....	12%
Días de enfermedad.....	0.75%
Plus de cargas familiares.....	4.25%
Gratificaciones extraordinarias.....	25%
Otros conceptos.....	19%
TOTAL.....	82.83%

	Sueldo mensual	Base diario	Cargas sociales	Salario efectivo diario
Ingeniero técnico				
telecomunicación	125000	4166	3450	7616
Maestro de taller	75000	2500	2071	4571
Delineante	75000	2500	2071	4571
Mecanógrafo	60000	2000	1675	3675

El importe de los salarios es:

	Días	Salario diario	Total
Ingeniero técnico			
telecomunicación	180	7616	1370880
Maestro de taller	60	4571	274260
Delineante	15	4571	68565
Mecanógrafo	25	3657	91425
TOTAL SALARIOS			1805130

Alquiler de equipos de medida y laboratorio

Alquiler/hora	HORAS	Total alquiler
8000	100	800000
TOTAL ALQUILER		800000

Compra de material

120 resistencias	240
2 potenciómetros ajuste	60
1 potenciómetro logarítmico	100
170 condensadores	2.550
3 condensadores 4700 μ F	2.208
4 trimmer ajuste	200
12 diodos	360
4 diodos led	120
7 transistores (bip. y FET's)	1.400
37 circuitos integrados	22.500
2 cristales de cuarzo	4.000
1 filtro cuarzo XF 107S138	18.900
3 botes de FI	125
4 impedancias de choque	120
1 instrumento de medida	500

PRESUPUESTO U

5 placas de circuito impreso	10.000
32 zócalos IC's	640
1 transformador 2A	2.000
3 puentes rectificadores	900
6 displays AC	1.500
1 teclado Cherry	4.324
2 conmutadores 2 posiciones	400
1 portafusibles	100
1 caja montaje	12.000
otros (cables, separadores)	1.000
 TOTAL COMPRAS	 86.147
 COSTE EJECUCION MATERIAL	 2.691.277

GASTOS GENERALES Y BENEFICIO INDUSTRIAL

Está estipulado reflejar un 16% del importe de ejecución industrial como Gastos Generales, y un 6% como beneficio industrial, sumando un porcentaje del 22%.

Importe de G.G. y B.I. (22% de 2.691.277) = 592.081

HONORARIOS DEL PROYECTO

Según las tarifas existentes, el presente proyecto se encuentra clasificado dentro del grupo XII, por lo que corresponde aplicar un 7% sobre los coeficientes de los tramos en que se divide el importe de la ejecución material. Tenemos pues:

Importe	coeficiente	factor	Total
1.000.000	1	0.07	70.000
1.691.277	0.8	0.056	94.712
			;
TOTAL HONORARIOS			164.711

PRESUPUESTO TOTAL

Importe de la ejecución material.....	2.691.277
Gastos generales y beneficio industrial	<u>592.061</u>
 Presupuesto de contrata	 3.283.358
 Honorarios	 164.711
<hr/>	
IMPORTE TOTAL DE PROYECTO	3.448.069
<hr/>	

Importa el presente presupuesto la cantidad de tres millones, cuatrocientos cuarenta y ocho mil, sesenta y nueve pesetas.

Las Palmas de Gran Canaria, Julio 1936

El ingeniero proyectista

fdo. Francisco Eugenio González