

I N D I C E

El presente proyecto está compuesto por los siguientes documentos y estos a su vez en los apartados que se detallan a continuación:

Documento número 1.- MEMORIA

- 1.1.- ANTECEDENTES
 - 1.1.1.- Reglamento de Aplicación
- 1.2.- OBJETO DEL TRABAJO
- 1.3.- INTRODUCCION
- 1.4.- DIAGRAMA DE BLOQUES
- 1.5.- SISTEMA TECNICO
 - 1.5.1.- Contador-Decodificador
 - 1.5.1.1.- Contador
 - 1.5.1.2.- Decodificador
 - 1.5.2.- Circuito de detección
 - 1.5.3.- Circuito de apagado del display
 - 1.5.4.- Diseño del oscilador
 - 1.5.5.- Temporizador
- 1.6.- DISEÑO PRACTICO
 - 1.6.1.- Contador-Decodificador
 - 1.6.2.- Circuito de detección
 - 1.6.3.- Circuito de apagado del display
 - 1.6.4.- Oscilador
 - 1.6.5.- Temporizador
- 1.7.- CIRCUITO IMPRINTO
- 1.8.- ESTUDIO ECONOMICO
- 1.9.- HOJAS DE CARACTERISTICAS

UNIVERSITARIA

- 1.10.- DIRECCIONALIDAD
- 1.11.- FACTORES DE TODO ORDEN QUE SE HAN TENIDO EN CUENTA Y JUSTIFICACION TECNICA Y ECONOMICA DE LA SOLUCION ADOPTADA
- 1.12.- DOCUMENTOS DE QUE CONSTA EL PROYECTO
- 1.13.- CONSIDERACIONES FINALES

Documento número 2.- PLANOS

- Hoja Nº 1.- DIAGRAMA DE BLOQUES
- Hoja Nº 2.- ESQUEMA TECNICO
- Hoja Nº 3.- ESQUEMA PRACTICO
- Hoja Nº 4.- PLANO DE MONTAJE

Documento número 3.- PRESUPUESTO

- 3.1.- PRESUPUESTO GENERAL

DOCUMENTO NUMERO 1

M E M O R I A

ORIGINAL

MEMORIA

1.1.- ANTECEDENTES

Los avances tecnológicos registrados en todas las ramas de la Electrónica: Industrial, Telecomunicación, Instrumentación, Bioingeniería e Informática, nos está aportando y van a seguir aportando a la Humanidad unos beneficios extraordinarios. Sedice con frecuencia que los progresos tecnológicos de la Electrónica son tan vertiginosos que rebasan incluso las previsiones de los propios expertos.

Ningún campo de la tecnología ha experimentado progresos tan espectaculares como el de la Electrónica; ningún otro mercado un desarrollo tan grande. Sin duda queremos apuntar aquí hacia el gran protagonista de los últimos años, el Microprocesador.

El trabajo que vamos a desarrollar aunque viable de hacer con microprocesador, pero no económico, es anterior a este y consistirá en trabajar con la familia TTL y aplicarla a un juego y digitalizarlo completamente.

1.1.1.- Reglamento de Aplicación

Desarrollaremos en este apartado de forma sucinta lo que dice el Reglamento a aplicar.

En este caso el Reglamento a aplicar es el de Máquinas Recreativas. Existen clasificaciones diferentes dependiendo de los premios y de la forma de lograr estos. Va esta clasificación desde las máquinas donde nuestras habilidades son puestas de manifiesto y por tanto la posibilidad del premio en base a esto y las puramente de azar reservadas a lugares perfectamente controlados.

En el caso que nos ocupa el juego del JACK-POT diremos que las combinaciones con los nueve (9) Leds son dos elevado a la potencia de nueve $2^9 = 512$. El Reglamento - contempla que el sesenta y cinco por ciento (65%) de estas combinaciones, o sea, trescientas veinte y dos (322) deben ser combinaciones premiadas.

La suma de las puntuaciones que se pueden obtener - suma treinta y seis (36); a este valor hay que darle un - peso y este nos determinará la cuantía del premio.

1.2.- OBJETO DEL TRABAJO

Este trabajo dividido en dos partes claramente diferenciadas, tiene como finalidad; en su primera parte, del diseño teórico del juego Jack Pot Digital.

La segunda parte del trabajo consistirá en estudiar una serie de circuitos integrados de la familia TTL, ver el acoplamiento entre ellos así como las conexiones a realizar. Desarrollar de forma práctica realizando un montaje en una placa confeccionando el circuito impreso.

La elección del nombre del juego se ha tomado por estar inspirada la idea en su equivalente mecánico conocido por esta denominación.

En definitiva, el objeto del trabajo es el estudio de la familia TTL viéndose a esta desde inversores, puertas lógicas acopladas de forma que resulten osciladores, contadores, detectores, hasta decodificadores, excitadores de siete segmentos, etc.

Deseamos alcanzar el objetivo fijado al final de este trabajo.

1.3.- INTRODUCCION

El juego del Jack-Pot es un juego de azar. La máquina determina aleatoriamente una combinación de símbolos que aparecen tras el cristal un instante después de haber accionado una palanca. La máquina determina la ganancia - del jugador en función de la probabilidad de salir que - tenga la combinación de símbolos que ha quedado en la pantalla.

En la aproximación digital los símbolos serán simplemente tres columnas de diodos LEDS controladas cada una por un pulsador el cual al dejar de pulsar, dejará - uno de los diodos de la columna iluminado.

Una vez iluminado un diodo de cada columna aparecerá en un display de siete segmentos una puntuación entre cero y ocho de acuerdo con la siguiente regla:

Tres (3) Leds rojos	8 Puntos
Tres (3) Leds verdes	4 "
Tres (3) Leds amarillos	4 "
Rojo-Verde-Rojo (uve invertida)	2 "
Rojo-Amarillo-Rojo (forma de uve)	2 "
Verde-Rojo-Amarillo (diagonal)	1 "
Amarillo-Rojo-Verde (diagonal)	1 "
Otras disposiciones	0 "

La distribución de los diodos quedan de la siguiente forma:

Verde	Verde	Verde
Rojo	Rojo	Rojo
Amarillo	Amarillo	Amarillo

Una vez vistas las condiciones del juego ya podemos establecer un diagrama de bloques del circuito a utilizar.

1.4.- DIAGRAMA DE BLOQUES

El juego está compuesto por tres osciladores previamente temporizados para que estos sigan oscilando un tiempo después de haber dejado de pulsar para evitar que el jugador pueda predecir cual de los diodos va a quedar iluminado.

Estos osciladores controla cada uno un conjunto con contador-decodificador el cual pilota cada uno una columna de leds.

Un circuito de detección analizará la configuración de diodos encendidos resultante y dará en el display la puntuación correspondiente a cada una.

Un circuito de apagado, apagará el display mientras haya algún oscilador funcionando para evitar un bailoteo de cifras sin sentido en el display hasta que permanezca un diodo de cada columna encendido.

De acuerdo con esto podemos pasar al diseño de cada uno de los bloques de la lámina 1 (Ver Planos). Para ello haremos primero un diseño teórico que luego ajustaremos a las posibilidades reales de los circuitos existentes en el mercado.

Finalmente veremos el diseño del circuito impreso sobre el cual va a ir el circuito práctico y algunas consideraciones sobre el montaje del mismo.

Haremos también un pequeño estudio económico sobre los costes del montaje.

1.5.- DISEÑO TEÓRICO

1.5.1.- Contador - Decodificador

1.5.1.1.- Contador

El contador al recibir los impulsos de reloj (clock) debe contar 0 , 1 , 2 y al llegar al siguiente impulso de reloj (el reloj es el oscilador) debe volver a cero.

Para esto tenemos la siguiente tabla de transición:

Y_1	Y_0	$\overline{\text{Rel.}}$	Rel.
0	0	0	1
0	1	1	0
1	0	0	0
X	X	X	X

$DY_1 \quad DY_0 \quad \overline{DY_1} \quad \overline{DY_0}$

En biestables D, la tabla de excitación es igual que la tabla de transición.

Aplicando Karnaugh y simplificando tendremos:

	1	X	
		X	1

$$DY_1 = Y_1 \overline{\text{Rel}} + Y_0 \text{Rel}$$

		X	1
1		X	

$$DY_0 = Y_0 \overline{\text{Rel}} + \overline{Y_0} \overline{Y_1} \text{Rel}$$

1.5.1.2.- Decodificador

Con este circuito vamos a obtener los elementos a partir de su código.

Veamos la siguiente tabla de verdad:

E_1	E_2	S_0	S_1	S_2
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
X	X	X	X	X

La salida S_0 atacará al Led Verde

La salida S_1 atacará al Led Rojo

La salida S_2 atacará al Led Amarillo

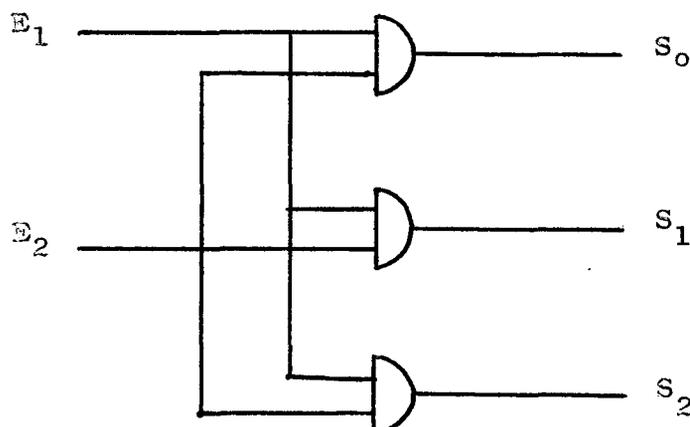
La deducción de las ecuaciones es inmediata.

$$S_0 = \bar{E}_1 \bar{E}_2$$

$$S_1 = \bar{E}_1 E_2$$

$$S_2 = E_1 \bar{E}_2$$

El circuito es el siguiente:



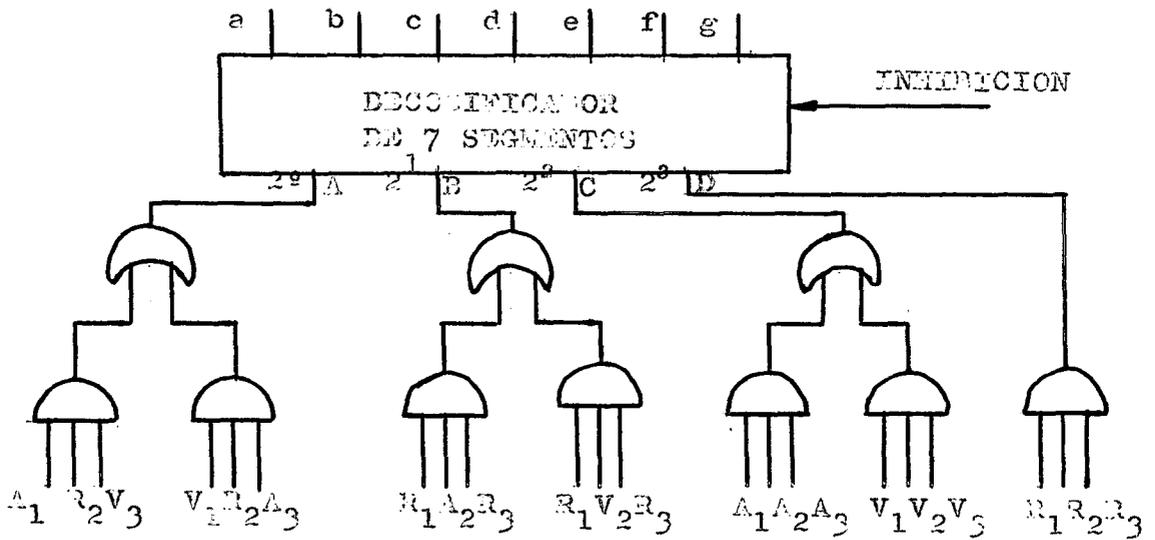
1.5.2.- Circuito de detección

En los últimos tiempos han aparecido en el mercado una serie de dispositivos de presentación visual fabricados a base de siete segmentos o barras independientes mediante los cuales se pueden representar los dígitos decimales. Estos segmentos pueden ser cristales líquidos, diodos luminiscentes, etc. Para excitar a estos dispositivos se han desarrollado toda una gama de decodificadores que reciben la información procedente de un ordenador o un aparato de medida en código 8-4-2-1 y entregan siete (7) salidas preparadas para alimentar cada uno de los siete (7) segmentos que compone cada dígito decimal.

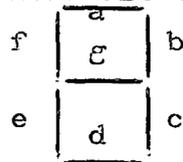
Veamos este sistema combinacional y las configuraciones a detectar que son las siguientes en nuestro caso:

R_1	-	R_2	+	R_3	8 Puntos
V_1	-	V_2	-	V_3	4 "
A_1	-	A_2	-	A_3	4 "
R_1	-	V_2	-	R_3	2 "
R_1	-	A_2	-	R_3	2 "
V_1	-	R_2	-	A_3	1 "
A_1	-	R_2	-	V_3	1 "

El circuito de detección es:



Para diseñar el decodificador de siete segmentos - supondremos la siguiente distribución de segmentos en el display:



La tabla de verdad del decodificador es:

D	C	B	A	a	b	c	d	e	f	g	DISPLAY
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	x	x	x	x	x	x	x	-
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	x	x	x	x	x	x	x	-
0	1	1	0	x	x	x	x	x	x	x	-
0	1	1	1	x	x	x	x	x	x	x	1
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	x	x	x	x	x	x	x	-
1	0	1	0	x	x	x	x	x	x	x	-
1	0	1	1	x	x	x	x	x	x	x	-
1	1	0	0	x	x	x	x	x	x	x	-
1	1	0	1	x	x	x	x	x	x	x	-
1	1	1	0	x	x	x	x	x	x	x	-
1	1	1	1	x	x	x	x	x	x	x	-

Veamos las conclusiones que se derivan de la observación de la tabla de verdad.

Al poder tener en la entrada solo los términos 0 - 1 - 2 - 4 - 8 hemos tomado el resto de términos como redundantes.

Las salidas a, d, e son iguales.

La salida b es siempre uno (1).

Simplifiquemos las otras salidas por el método de los mapas de Karnaugh.

$\begin{matrix} c \\ \backslash \\ d \end{matrix}$	$\begin{matrix} A \\ / \\ B \end{matrix}$	00	01	11	10
00	1	1	x	.	
01	1	x	x	x	
11	x	x	x	x	
10	.	x	x	x	

$$a = \bar{A} \bar{C} = d = e$$

	00	01	11	10
00	1		x	1
01	1	x	x	x
11	x	x	x	x
10	1	x	x	x

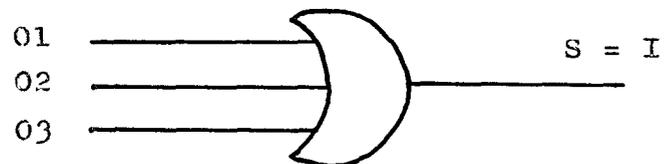
$$c = \bar{A} \bar{B} + A$$

1.5.3.- Circuito de apagado del display

La misión de este circuito será inhibir el decodificador de siete segmentos cuando algún oscilador se encuentre funcionando.

01	02	03	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

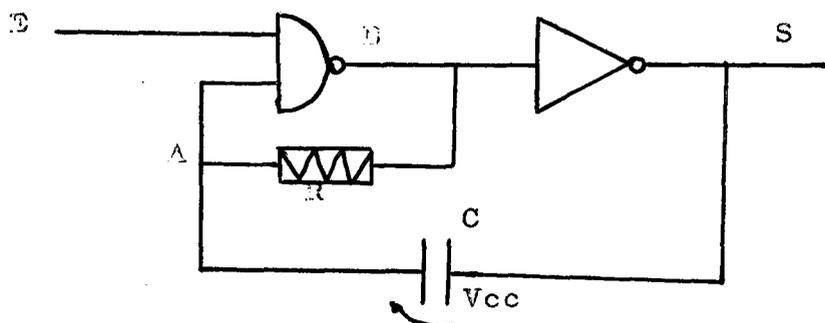
El circuito resulta ser simplemente:



1.5.4.- Diseño del oscilador

Tiene que oscilar solo cuando tenga en su entrada un nivel alto procedente del temporizador.

El circuito es:

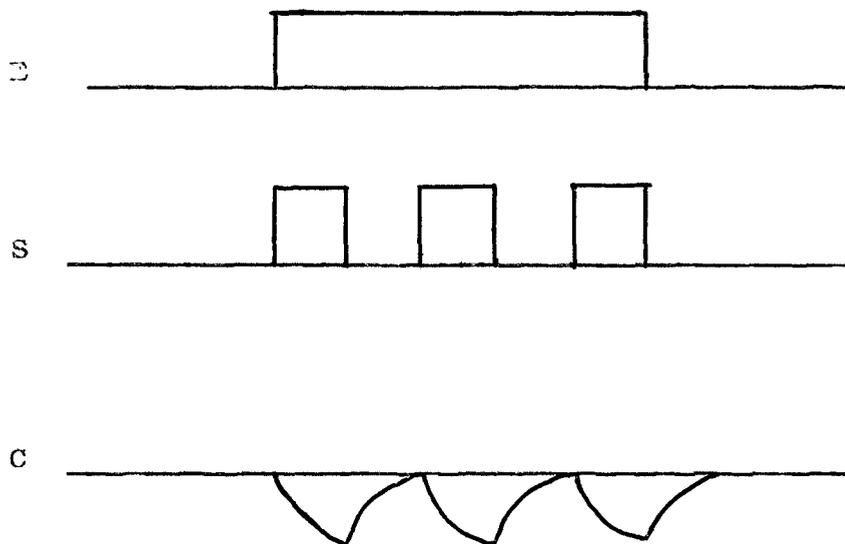


Cuando "E" vale cero (0), "B" vale uno (1) y "S" es cero independientemente de lo que valga la entrada "A" de

la puerta. Esta entrada "A" vale uno (1) a través de la resistencia R. El condensador C estará cargado en el sentido positivo.

Cuando "B" vale uno (1), al valer "A" uno (1), "B" pasa a cero (0) y "S" pasa a uno (1) con lo que el condensador trata de cargarse en sentido contrario al que estaba cargado. Cuando el potencial en A llegue a ser cero la puerta vuelve a conmutar con lo que S pasa a cero y C comienza a cambiar nuevamente el sentido de su carga produciéndose la oscilación.

Para mayor claridad haremos un cronograma de la entrada B, la salida S y la tensión del condensador.



La frecuencia de oscilación dependerá de lo que tarde el condensador en cambiar el sentido de su carga. A mayor condensador menor frecuencia.

1.5.5.- Temporizador

Utilizaremos como temporizador un multivibrador monoestable que tenga la posibilidad de variar la anchura del impulso de salida mediante control externo.

No será necesario gran precisión, puesto que a menor precisión menor posibilidad de predecir la configuración a fijar, por ello se podrán usar resistencias y condensadores de temporización grandes con la única limitación -

que la que impongan las características del circuito integrado utilizado.

1.6.- DISEÑO PRACTICO

La gama de circuitos integrados existentes en el mercado local es reducida por lo que hay que ajustar las necesidades de diseño a las posibilidades reales de los circuitos integrados existentes si se quiere minimizar el número de pastillas a utilizar.

Se ha elegido la familia lógica TTL porque dentro de la pequeña (SSI) y mediana escala de integración (MSI) es la más extendida en el mercado local.

Veamos cómo se ha construido prácticamente cada uno de los bloques.

1.6.1.- Contador-Decodificador

El contador será un circuito integrado 7490 que contará los impulsos provenientes del oscilador que le llegan por la entrada \overline{CPa} teniendo la entrada \overline{CPbd} conectada a la salida Qa para poder ser utilizado como contador decimal. Las entradas de RESET R91 y R92 estarán conectadas a un nivel bajo para permitir la cuenta.

Las salidas Qa , Qb , Qc y Qd estarán conectadas a las entradas A, B, C, D del decodificador-excitador de los leds.

Este integrado consta de cuatro rangos duales de flips-flops maestro-auxiliar, interconectados directamente para proporcionar un contador divisor por dos y un contador divisor por cinco. Las entradas de conteo están inhibidas, y todas las salidas puestas a cero lógico o a una cuenta binaria codificada decimal (BCD) de 9 a través de líneas de reset directas con puerta. La salida del flip-flop A no está internamente conectada a las etapas siguientes, y por tanto el conteo puede separarse en estos nodos independientes. (Ver fotocopia de características)

Como decodificador usaremos el circuito integrado - 74145. Este circuito tiene las salidas complementadas; es decir, cuando la configuración de entrada corresponde, - por ejemplo a un cinco, todas las salidas del decodificador están en alta excepto la salida número cinco. Este - decodificador tiene una tensión de salida de nivel alto de 15 voltios y una salida de nivel bajo de 0,5 voltios por lo que por si solo es capaz de excitar a los Leds sin necesidad de buffers.

Tenemos que tener en cuenta que debemos conectar la salida del decodificador al cátodo de los Leds para que - estos se enciendan con un nivel bajo. El ánodo de los Leds se conectará a través de una resistencia de limitación a la alimentación.

El Led Verde lo conectamos a la salida $\bar{0}$ del decodificador, el Led Rojo a la salida $\bar{1}$ y el Amarillo a la $\bar{2}$.

La salida $\bar{3}$ del decodificador, una vez invertida, será llevada a las entradas R01 y R02 del contador para - que este se ponga a cero y empiece otra vez la cuenta.

Hacemos referencia a las fotocopias de las características de estos circuitos integrados que aparecen más adelante.

1.6.2.- Circuito de detección

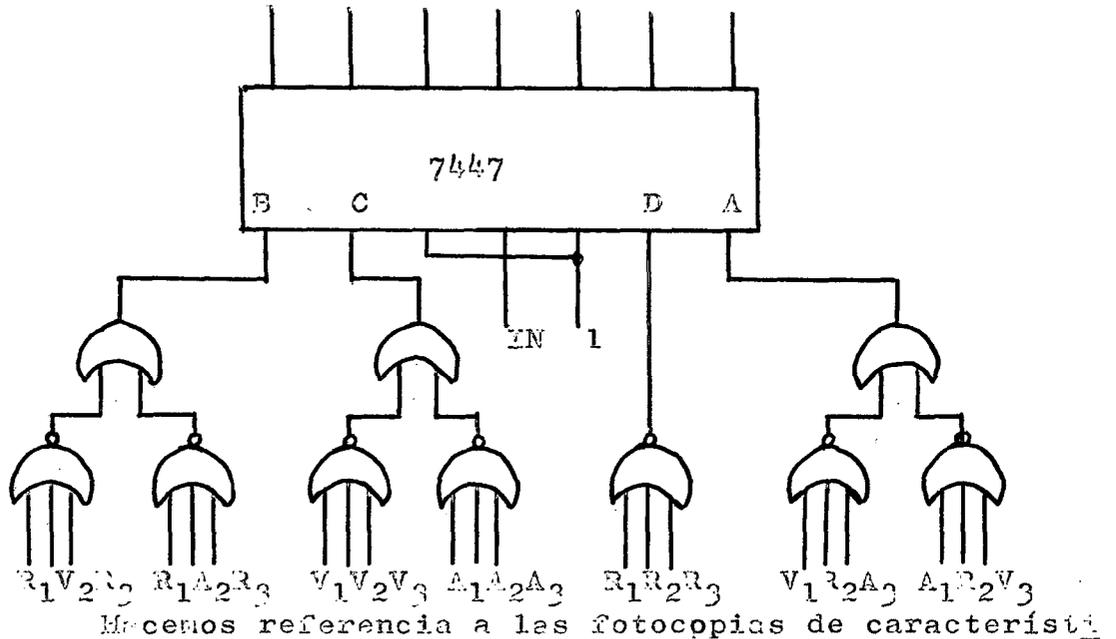
Estará formado por un decodificador-excitador de - siete segmentos con las puertas de detección necesarias - en las entradas A, B, C y D.

Como decodificador se utilizará un circuito integrado 7447 cuyas salidas, al igual que en el 74145, tiene - las salidas complementadas. Estas salidas estarán conectatas mediante resistencias limitadoras a un display que - tendrá que ser de ánodo común para poder detectar niveles bajos.

Las entradas \overline{BT} y \overline{RBI} del decodificador 7447 estarán a nivel alto para que aparezca la salida cero y que el circuito funcione. La entrada $\overline{BI/RBO}$ se utilizará como entrada de inhibición.

En cuanto a las puertas de las entradas A, B, C, D del decodificador ha habido que cambiar las puertas AND del circuito teórico por puertas NOR ya que ahora tienen que dar salida uno cuando las tres entradas valgan cero (0), tienen que dar salida cero (0) en el resto de los casos.

El circuito nos queda de la siguiente forma:



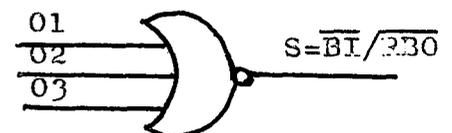
cas.

1.6.3.- Circuito de apagado del display

Para poder inhibir al decodificador de siete segmentos tendrá que dar salida cero cuando alguna de las entradas a los osciladores se encuentre en alta, es decir, el oscilador esté funcionando. La salida del circuito irá conectada a la entrada $\overline{BI}/\overline{RBO}$ del decodificador.

01	02	03	S
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

El circuito es:



1.6.4.- Oscilador

Como oscilador se ha utilizado el mismo circuito que en el diseño teórico, solo que como inversor se ha usado una puerta NAND con las dos entradas cortocircuitadas. El motivo de este cambio no ha sido otro que el de tener todo el oscilador en una sola pastilla de puertas NAND 7400.

Los valores de la resistencia y el condensador han sido obtenidos en laboratorio. Se podría haber aumentado la frecuencia de oscilación con solo disminuir el valor del condensador, se ha elegido una frecuencia baja para facilitar la obtención de las distintas configuraciones a la hora de probar el circuito.

1.6.5.- Temporizador

La parte principal del circuito temporizador es un circuito integrado 74123. Los monoestables que lleva este circuito se pueden disparar por flanco de subida o por flanco de bajada según el impulso se aplique a la entrada "A" o a la entrada "B". Nosotros lo usaremos disparándolo por el flanco de bajada de la señal que le llegue por la patilla A teniendo la patilla de disparo por flanco de subida "B" y la de borrado "CLEAR" a nivel alto para permitir el disparo.

A las entradas Rex/Cex y Cex se conectan los componentes de temporización de la forma que indica las hojas de características.

La resistencia exterior se ha puesto variable para poder tener un margen en el tiempo de temporización.

El impulso de salida es en principio una función de un condensador y una resistencia externas. La anchura del impulso de salida viene dada por la fórmula:

$$T_w = K_d \cdot R_{ex} \cdot C_{ex} \left(1 + \frac{0,7}{R_{ex}} \right)$$

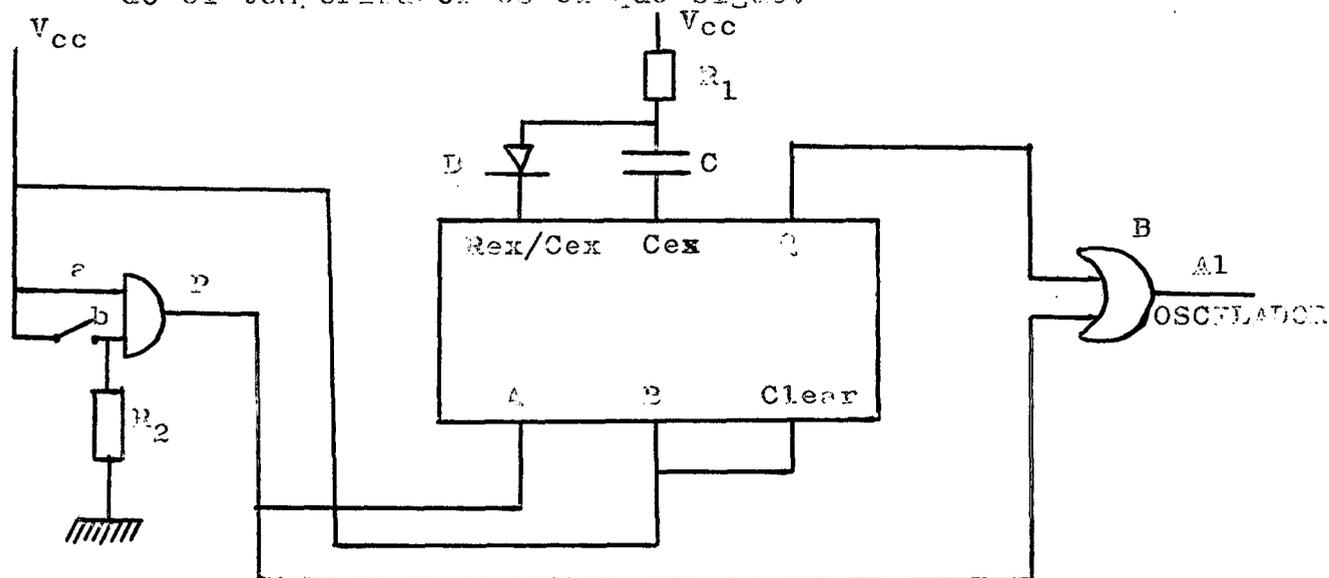
R_{ex} en Kilohmios

C_{ex} en picofaradios

$K_d = 0,25$

T_w ns

El circuito completo de disparo del oscilador incluido el temporizador es el que sigue:



Cuando el pulsador está desconectado la salida de la puerta "P" es cero (0) con lo que la entrada "A" del monoestable es cero (0) y la salida "Q" también es cero (0). - La salida del oscilador es cero con lo que este está bloqueado. La entrada "b" de la puerta "P" está a masa por la resistencia R_2 .

Al pulsar la entrada "b" se pone a uno (1) con lo que la salida de la puerta pasa a uno (1). La entrada "A" del monoestable pasa a uno (1), la salida "Q" sigue siendo cero (0) pero la salida de la puerta "B" al oscilador es uno (1) por estar en alta la entrada 2 con lo que el oscilador arranca a oscilar.

Al dejar de pulsar, la salida "P" pasa a ser cero pero este flanco de bajada se detecta en la entrada "A" del monoestable, este se dispara y Q vale uno (1) durante un tiempo T_w que es el que el oscilador permanece activado.

1.7.- CIRCUITO IMPRESO

El circuito impreso se ha diseñado buscando la colocación más idónea de los componentes sobre la placa de baquelita, dibujando sus patillas sobre papel y realizando el trazado de pistas de acuerdo con el circuito práctico. Ha sido menester tirar mucho papel pues conseguir interconectar los componentes entre sí intercalando el menor número de puentes que eran necesarios ha sido una tarea árdua. Una vez conseguido sobre papel, y en un tamaño superior a la placa utilizada, el circuito de cobre, se pasó a la placa con un rotulador especial de color negro. Se atacó la placa sumergiéndola en una disolución de cloruro férrico y agua durante un intervalo de media hora. Al cabo de ese tiempo se extrajo la placa y se limpió con agua y alcohol. Se fijaron los componentes y sus zócalos y se protegió el lado de cobre con laca especial.

A continuación de este apartado tenemos dos fotocopias la primera de ellas cuando la placa se dibujó con rotulador y en la segunda una vez atacada con el cloruro férrico y ya lista para la colocación de los componentes.

En los Planos, una Lámina está destinada a la parte física de los Componentes de forma que sea fácil la localización de cada uno de ellos.

Como seguimos el método descrito por ser el más económico aunque también el más engorroso. Existe otro método que consiste, en una vez dibujado el circuito sobre papel milimetrado, se pasa a papel vegetal y, en laboratorio se extrae un negativo mediante el cual, por el procedimiento fotográfico se impresiona la cara del cobre de la placa, posteriormente se taladra y se realiza el montaje del circuito.

Seguidamente vamos a dar los valores prácticos de los componentes utilizados:

- IC - 1 7408 (Cuatro puertas AND), se usan tres.
- IC - 2 7432 (Cuatro puertas OR).
- IC - 3 74123 (Dos monoestables), se usa uno.
- IC - 4 74123 (Dos monoestables).
- IC - 5 7400 (Cuatro puertas NAND), se usan dos.
- IC - 6 7400 (Cuatro puertas NAND).
- IC - 7 7490 (Contador decimal).
- IC - 8 7490 (Contador decimal).
- IC - 9 7490 (Contador decimal).
- IC - 10 74145 (Decodificador-excitador)
- IC - 11 74145 (Decodificador-excitador)
- IC - 12 74145 (Decodificador-excitador)
- IC - 13 7427 (Tres puertas NOR, tres entradas)
- IC - 14 7427 (Tres puertas NOR, tres entradas), se
usan dos.)
- IC - 15 7427 (Tres puertas NOR), se usan dos.
- IC - 16 7432 (Cuatro puertas OR).
- IC - 17 7404 (Cuatro inversores).
- IC - 18 7447 (Decodificador 7 segmentos).
- IC - 19 Display ánodo común Rojo RS 586 - 526
- R1 = R2 = R3 = 470 ohmios.
- R4 = R5 = R6 = 270 ohmios.
- R7 = R8 = R9 = 470 ohmios.
- R10 R16 = 270 ohmios.
- P1 = P2 = P3 = 25 K ohmios.
- C1 = C2 = C3 = 470 microfaradios.
- C4 = C5 = C6 = 150 microfaradios.
- D1 = D2 = D3 son diodos de silicio 1N4007

Tres diodos Leds verdes

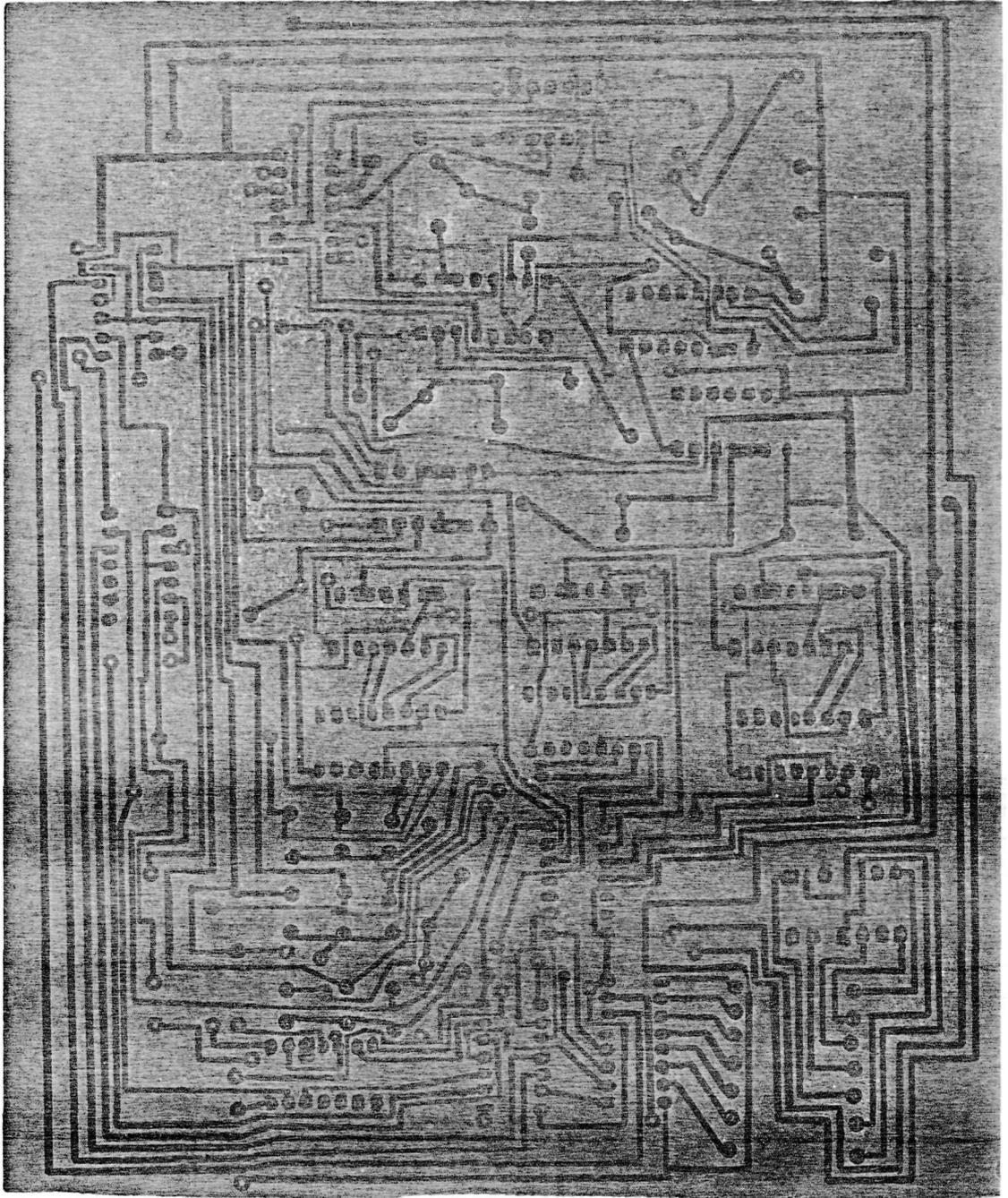
Tres diodos Leds Rojos

Tres diodos Leds Amarillos.

Con los condensadores C1, C2 y C3 se pueden conseguir temporizaciones de unos tres segundos con los potenciómetros P1, P2 y P3 al máximo.

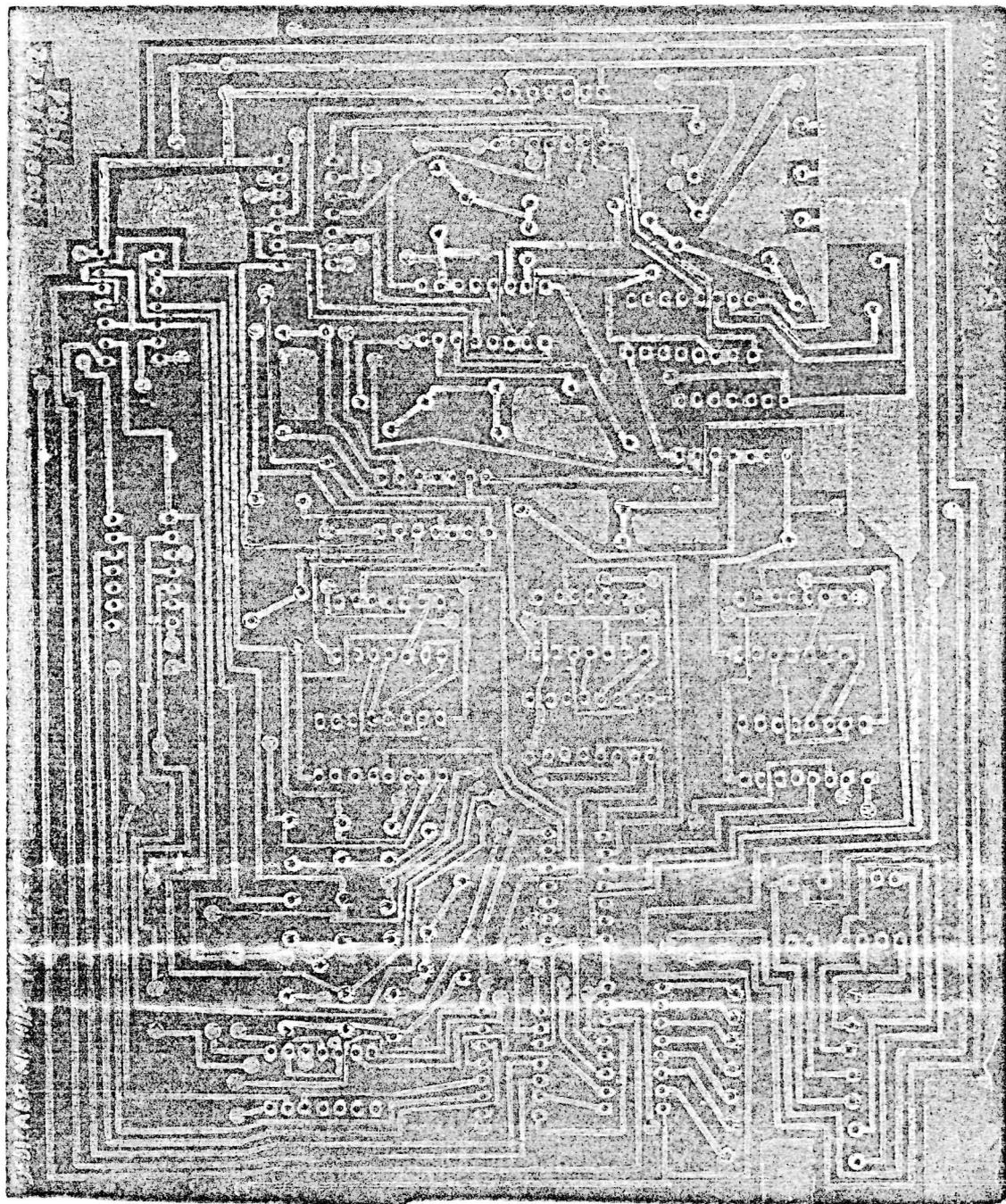
Para aumentar la luminosidad de los Leds y de los segmentos del display hay que disminuir las resistencias de limitación R7, R8 y R9.

LADO DEL COBRE



- PLACA SIN SER ATACADA CON CLORURO FERRICO

LADO DEL COPRE



- PLACA UNA VEZ ATACADA CON CLOURO FERRICO

1.8.- ESTUDIO ECONOMICO

Haremos un estudio económico del coste del montaje - bastante superficial, pero orientativo, ya que es imposible hacer un estudio exacto debido a las grandes diferencias - de precios de los circuitos integrados entre unas tiendas y otras.

<u>CANTIDAD</u>	<u>DENOMINACION</u>	<u>PRECIO UNIT.</u>	<u>TOTAL</u>
2	IC SN7400	35	70
1	IC 7404N	35	35
1	IC E-7408PC	35	35
3	IC SN7427N	35	35
2	IC SN7432N	35	35
1	IC 7447AN	90	90
3	IC SN7490AN	73	219
3	IC DM74123N	73	219
3	IC 74145N	90	270
1	DISPLAY 7 SEG.	576	576
3	Diodos Silicio 1N4007	25	75
3	LEDS Rojos	25	75
3	LEDS Verdes	35	105
3	LEDS Amarillos	35	105
6	Zócalos 16 pins	35	210
13	Zócalos 14 pins	40	520
1	Placa baquelita con lado de Cobre	185	185
3	Pulsadores pequeños	40	120
3	Potenciómetros 25 K.	25	75
3	Condensadores 470 F	65	195
3	Condensadores 150 F	15	45
<u>SUMA PARCIAL</u>			<u>3.294 Pts.</u>

<u>CANTIDAD</u>	<u>DENOMINACION</u>	<u>PRECIO UNID.</u>	<u>TOTAL</u>
10	Resistencias 270 oh.	8	80
6	Resistencias 470 oh.	10	60
			<u>140 Pts</u>

El total del montaje ha sido:

3.294
 140

 3.334 Pesetas
 =====

Al total resultante habria que añadirle estaño, cable y material diverso mas el tiempo de trabajo y confección.

Queremos hacer unas consideraciones al respecto de este pequeño estudio económico:

El total en Pesetas que hemos dado es real. Se puede observar en este presupuesto precios desorbitados como el del Display y en general los circuitos integrados. Debemos añadir que algunos componentes fueron traídos desde Madrid y son los que han resultado más baratos que los conseguidos en el mercado local.

En definitiva, el presupuesto total del montaje del Juego JACK-POT ha resultado TRES MIL TRESCIENTAS TREINTA Y CUATRO PSETAS.

1.9.- HOJAS DE CARACTERISTICAS

No deja de ser imprescindible conocer las características de los circuitos integrados usados, y es por lo que, adjuntamos a continuación. fotocopia de las características de los IC,s.

Puerta NAND cuádruple con 2 entradas

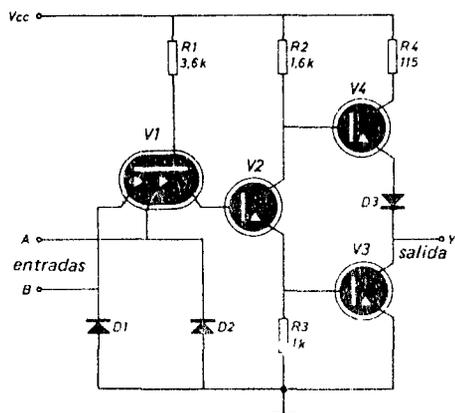
1 - SN 7400 N
4 - MC 7400 P
7 - ZN 7400 E
10 - FJH 131
13 - TL 7400 N

2 - F 7400 PC
5 - DM 7400 N
8 - N 7400 A
11 - FLH 101
14 - SF.C 400 E

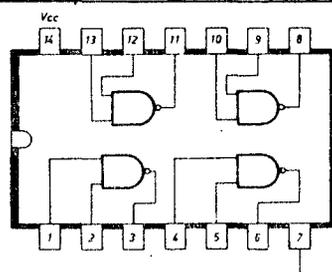
3 - F 9N00 PC
6 - DM 8000 N
9 - T 7400 B1
12 - MIC 7400 N
15 -

Diagrama esquemático

(cada puerta)



Los valores de los componentes son típicos



Lógica positiva: $Y = \overline{A \cdot B}$

Lógica negativa: $Y = \overline{A+B}$

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	1.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	$^{\circ}C$
Cargab. de salida norm. de cada salida, N			10	U. l.

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.3		Volts	V_{CC} MIN., $I_{OH} = 0.4$ mA, $V_{IN} = 0.8$ V
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	
I_{IH}	Corriente de entrada ALTA			40	μA	V_{CC} MAX., $V_{IN} = 2.4$ V } Cada entrada
I_{IL}	Corriente de entrada BAJA			1.0	mA	
I_{OS}	Corr. de salida cortocircuito (3)	-15		-55	mA	V_{CC} MAX., $V_{IN} = 0.4$ V Cada entrada
I_{CCH}	Corriente alimentación ALTA		4.0	8.0	mA	V_{CC} MAX.
I_{CCL}	Corriente alimentación BAJA		12	22	mA	V_{CC} MAX., $V_{IN} = 0$ V
						$V_{CC} = \text{MAX.}, V_{IN} = 5.0$ V

CARACTERISTICAS DE CONMUTACION ($T_A = 25^{\circ}C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. DE PRUEBA
t_{PLH}	Retardo Turn Off de entr. a sal.		11	22	ns	$V_{CC} = 5.0$ V $C_L = 15$ pF $R_L = 100 \Omega$
t_{PHL}	Retardo Turn On de entr. a sal.		7.0	15	ns	

Inversor séxtuple

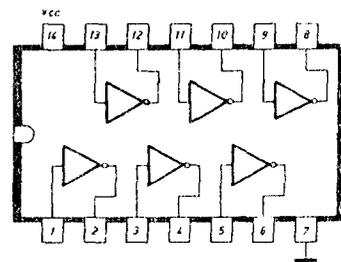
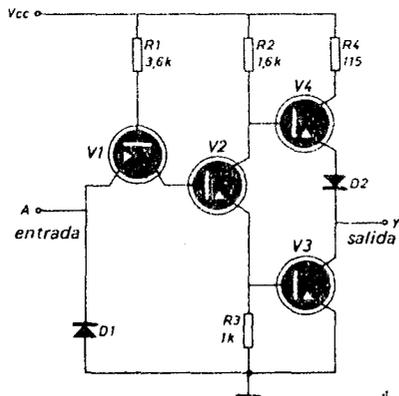
1 - SN 7404 N
4 - MC 7404 P
7 - ZN 7404 E
10 - FJH 241
13 - TL 7404 N

2 - F 7404 PC
5 - DM 7404 N
8 - N 7404 A
11 - FLH 211
14 - SF.C 404 E

3 - F 9 N 04 PC
6 - DM 8004 N
9 - T 7404 B 1
12 - MIC 7404 N
15 -

Diagrama esquemático

(cada inversor)



Lógica positiva: $Y = \bar{A}$

Los valores de los componentes son típicos

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	$^{\circ}C$
Cargab. de salida norm. de cada salida, N			10	U. I..

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA EN FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.3		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}, V_{IN} = 0.8 \text{ V}$
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IN} = 2.0 \text{ V}$
I_{IH}	Corriente de entrada ALTA			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$
I_{IL}	Corriente de entrada BAJA			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
I_{OS}	Corr. de salida cortocircuito (3)	-18		-55	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
I_{CCH}	Corriente alimentación ALTA		6.0	12	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$
I_{CCL}	Corriente alimentación BAJA		18	33	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.0 \text{ V}$

CARACTERISTICAS DE CONMUTACION ($T_A = 25^{\circ}C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. DE PRUEBA
t_{PLH}	Retardo Turn Off de entr. a sal.		12	22	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
t_{PHL}	Retardo Turn On de entr. a sal.		8.0	15	ns	$R_L = 400 \Omega$

Puerta AND cuádruple con 2 entradas

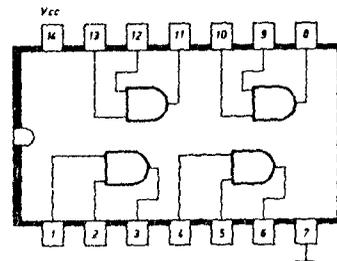
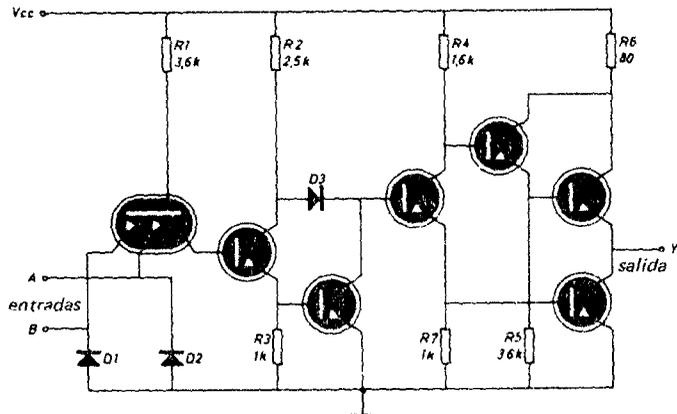
1 - SN 7408 N
4 - MC 7408 P
7 - ZN 7408 E
10 -
13 - TL 7408 N

2 - F 7408 PC
5 - DM 7408 N
8 - N 7408 A
11 - FLH 381
14 - SF.C 408 E

3 - F 9 N 08 PC
6 -
9 - T 7408 B1
12 - MIC 7408 N
15 -

Diagrama esquemático

(cada puerta)



Lógica positiva: $Y = A \cdot B$

Lógica negativa: $Y = A + B$

Los valores de los componentes son típicos

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	$^{\circ}C$
Cargab. de salida norm. de cada salida, N			10	U. L.

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión de entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión de entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4			Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.8 \text{ mA}, V_{IH} = 2.0 \text{ V}$
V_{OL}	Tensión de salida BAJA			0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IL} = 0.8 \text{ V}$
I_{IH}	Corriente de entrada ALTA			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$ $V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$ } Cada entrada
				1.0	mA	
I_{IL}	Corriente de entrada BAJA			- 1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$ Cada entrada
I_{OS}	Corr. de salida cortocircuito (3)	- 40		- 100	mA	$V_{CC} = \text{MAX.}$
I_{CCH}	Corriente alimentación ALTA			20	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5 \text{ V}$
I_{CCL}	Corriente alimentación BAJA			32	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$

CARACTERISTICAS DE CONMUTACION ($T_A = 25^{\circ} C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. DE PRUEBA
t_{PLH}	Retardo Turn Off de entr. a sal.		17.5	40	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
t_{PHL}	Retardo Turn On de entr. a sal.		12	25	ns	$R_L = 400 \Omega$

Puerta NOR triple con 3 entradas

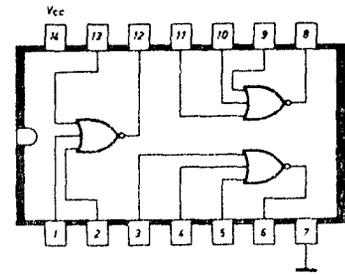
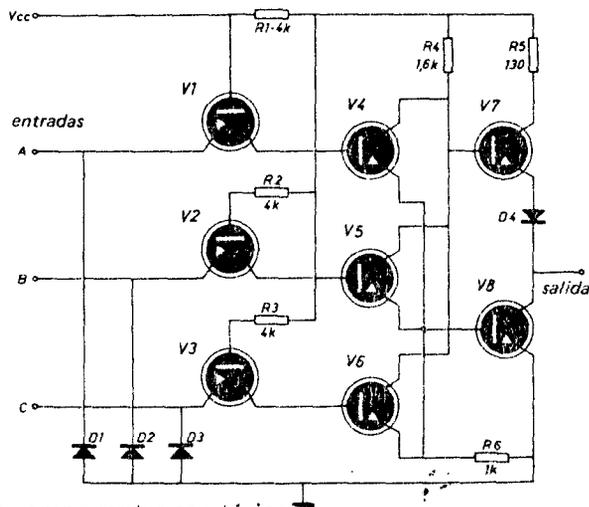
1 - SN 7427 N
4 -
7 - ZN 7427 E
10 -
13 -

2 - F 7427 PC
5 - DM 7427 N
8 -
11 - FLH 621
14 -

3 - F 9 N 27 PC
6 -
9 -
12 -
15 -

Diagrama esquemático

(cada puerta)



Lógica positiva: $Y = \overline{A+B+C}$

Lógica negativa: $Y = \overline{A \cdot B \cdot C}$

Los valores de los componentes son típicos

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO		MIN.	TIP.	MAX.	UNID.
Tensión de alimentación V_{CC}		4.75	5.0	5.25	Volts
Margen de temperatura ambiente		0	25	70	°C
Cargabilidad normalizada de cada salida, N	Nivel ALTO Nivel BAJO			20 10	U. L. U. L.

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión de entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión de entrada BAJA garantizada
V_{CD}	Tens. en el diodo limit. de entr.			1.5	Volts	
V_{OH}	Tensión de salida ALTA	2.4	3.3			
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	
I_I	Corr. para tensión de entr. Máx.			1.0	mA	
I_{IH}	Corriente de entrada ALTA			40	µA	
I_{IL}	Corriente de entrada BAJA			1.6	mA	
I_{OS}	Corr. de salida cortoc. (3)	-18		55	mA	
I_{CCH}	Corriente alimentación ALTA		10	16	mA	
I_{CCL}	Corriente alimentación BAJA		16	26	mA	

CARACTERISTICAS DE CONMUTACIÓN ($T_A = 25^\circ C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. PRUEBA
t_{PLH}	Retardo Turn Off de entr. a sal.		7.0	11	ns	$V_{CC} = 5.0 V$ $C_L = 15 pF$
t_{PHL}	Retardo Turn On de entr. a sal.		10	15	ns	$R_L = 400 \Omega$

Puerta AND cuádruple con 2 entradas

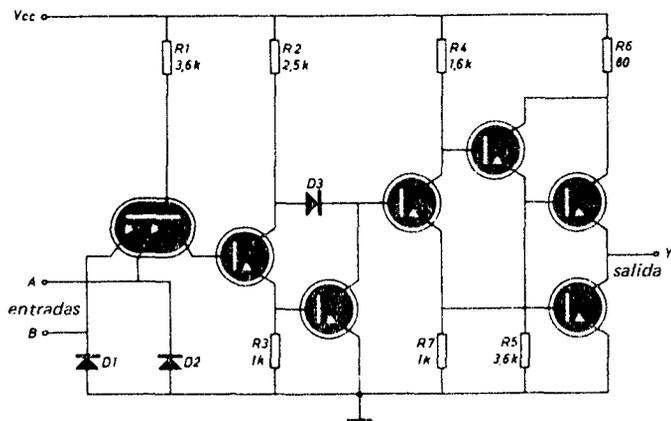
1 - SN 7408 N
4 - MC 7408 P
7 - ZN 7408 E
10 -
13 - TL 7408 N

2 - F 7408 PC
5 - DM 7408 N
8 - N 7408 A
11 - FLH 381
14 - SF.C 408 E

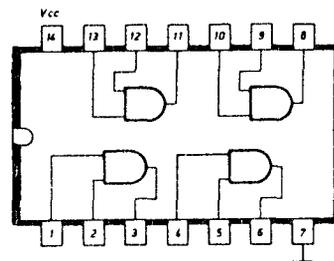
3 - F 9 N 08 PC
6 -
9 - T 7408 B1
12 - MIC 7408 N
15 -

Diagrama esquemático

(cada puerta)



Los valores de los componentes son típicos



Lógica positiva: $Y = A \cdot B$

Lógica negativa: $Y = A + B$

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	$^{\circ}C$
Cargab. de salida norm. de cada salida, N			10	U. L.

CARACTERÍSTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión de entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión de entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4			Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.8 \text{ mA}, V_{IH} = 2.0 \text{ V}$
V_{OL}	Tensión de salida BAJA			0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IL} = 0.8 \text{ V}$
I_{IH}	Corriente de entrada ALTA			40 1.0	μA mA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$ $V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$ } Cada entrada
I_{IL}	Corriente de entrada BAJA			- 1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$ Cada entrada
I_{OS}	Corr. de salida cortocircuito (3)	- 40		-100	mA	$V_{CC} = \text{MAX.}$
I_{CCH}	Corriente alimentación ALTA			20	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5 \text{ V}$
I_{CCL}	Corriente alimentación BAJA			32	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$

CARACTERÍSTICAS DE CONMUTACION ($T_A = 25^{\circ}C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. DE PRUEBA
t_{PLH}	Retardo Turn Off de entr. a sal.		17.5	40	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
t_{PHL}	Retardo Turn On de entr. a sal.		12	25	ns	$R_L = 400 \Omega$

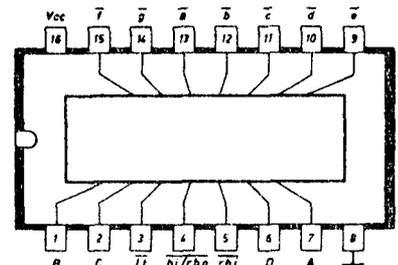
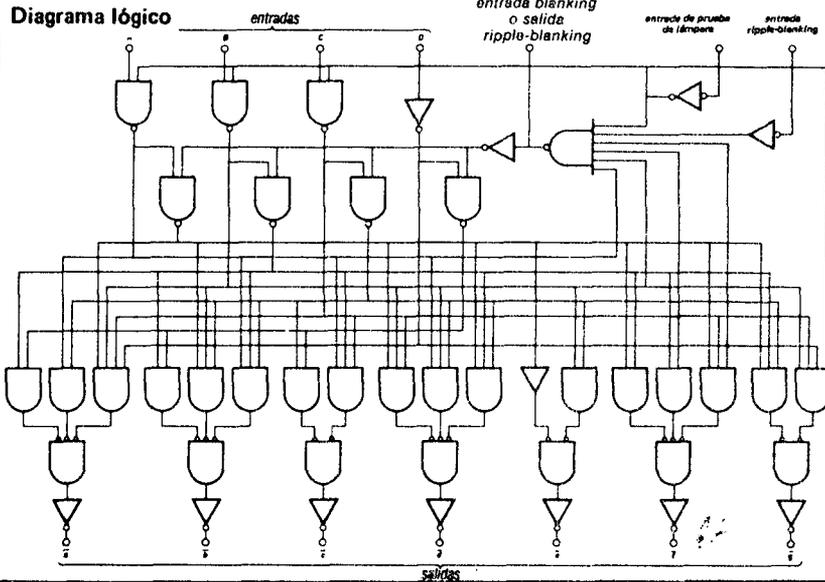
Decodificador/excitador BCD a 7 segmentos

1 - SN 7447 AN
4 -
7 -
10 -
13 - TL 7447 AN

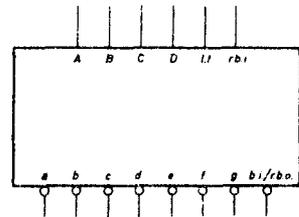
2 - F 7447 APC
5 -
8 -
11 - FL 121 V
14 - SF.C 447 AE

3 - F 9357 BPC
6 -
9 -
12 - MIC 7447 N
15 - SW 7447 AN

Diagrama lógico



Símbolo lógico



DESCRIPCION - El Decodificador/Excitador BCD a 7 segmentos consta de puertas NAND buffers de entrada y siete puertas AND - OR INVERT. Esto ofrece salidas de corriente de absorción (sink current) elevada con un BAJO activo para excitar indicadores directamente. Siete puertas NAND y un excitador se hallan conectadas por parejas para poder ofrecer los datos BCD y su complemento a las siete puertas decodificadoras AND - OR - INVERT. La puerta restante NAND y tres buffers de entrada proporcionan la entrada de lámpara de prueba, entrada de blanking salida de ripple-blanking y entrada ripple-blanking.

El circuito acepta información BCD (decimal codificado binario) de 4 - bits y dependiendo del estado de las entradas auxiliares, decodifica estos datos para atacar un indicador de 7 segmentos. Los niveles de salida lógica-positiva, así como las condiciones requeridas en las entradas auxiliares, se indican en la tabla de verdad. Las configuraciones de salida del decodificador/excitador están diseñadas para aguantar las tensiones relativamente elevadas requeridas por los indicadores de 7 segmentos. Las salidas aguantan 15 V con una corriente inversa máxima de 250 μ A. Los segmentos indicadores que requieran hasta 40 mA pueden atacarse directamente con los transistores de salida. La presentación visual de entradas BCD por encima de 9 son símbolos únicos para denotar las condiciones de entrada.

El Decodificador/Excitador lleva incorporados control automático de cero-blanking en el flanco posterior y/o anterior (\overline{RBI} y \overline{RBO}). La prueba de lámpara (lamp test) (LT) de estos tipos puede realizarse en cualquier momento en que el nudo BI/RBO esté en nivel ALTO. Ambos contienen una entrada para contrarrestar el blanking (\overline{BI}) que puede utilizarse para controlar la intensidad de la lámpara o para inhibir las salidas.

PATILLAS

A, B, C, D
 \overline{RBI}
 \overline{LT}
 $\overline{BI/RBO}$

Entradas BCD
Entrada de Ripple Blanking
Entrada de prueba de lámpara
Entrada de Blanking o
Salida de Ripple Blanking
Salidas

CARGA

1 U. L.
1 U. L.
1 U. L.
2.6 U. L.
5 U. L.
12.5 U. L.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tens. de alimentación V_{CC} (Ver Nota 10)	4.75	5.0	5.25	Volts
Temperatura ambiente de funcionamiento	0	25	70	$^{\circ}$ C
Cargabilidad de salida normalizada de las salidas \bar{a} hasta \bar{g} para cargas Serie 54/74			24	
Cargabilidad de salida del nudo $\overline{BI/RBO}$ para carga de la Serie 54/74			5.0	
Corr. de absorción de salida, I_{OL} :			40	mA
Salidas \bar{a} hasta \bar{g}			8.0	mA
Nudo $\overline{BI/RBO}$			15	Volts
Tensión continua en las salidas \bar{a} hasta \bar{g}				

CARACTERÍSTICAS ELÉCTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMB.	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tens. entr. ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tens. entr. BAJA garantizada
V_{ON}	Tensión de salida en estado conductor para sal. a hasta g		0.3	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 40 \text{ mA}$
V_{OL}	Tensión de salida baja en el nudo BI/RBO		0.3	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 8.0 \text{ mA}$
V_{off}	Tensión de salida en estado de bloqueo para sal. a hasta g	15			Volts	$V_{CC} = \text{MAX.}, I_{off} = 250 \mu\text{A}$
V_{OH}	Tensión de salida ALTA en BI/RBO	2.4	3.7		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.2 \text{ mA}$
I_{IL}	Corr. en entr. BAJA para cualquier entr. except. BI/RBO			- 1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
	Corriente de entrada BAJA en BI/RBO			- 4.2	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
I_{IH}	Corr. en entr. BAJA para cualquier entr., excepto BI/RBO			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
I_{OS}	Corriente de salida en cortocircuito en el nudo BI/RBO			- 4.0	mA	$V_{CC} = \text{MAX.}$
I_{CC}	Corriente de alimentación		64	103	mA	$V_{CC} = \text{MAX.}$

TABLA DE VERDAD

DECIMAL O FUNCION	ENTRADAS						SALIDAS							NOTA	
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A	$\overline{\text{BI/RBO}}$	\bar{a}	\bar{b}	\bar{c}	\bar{d}	\bar{e}	\bar{f}		\bar{g}
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	A
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	A
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	H	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
$\overline{\text{BI}}$	X	X	X	X	X	X	L	H	H	H	H	H	H	H	B
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H	C
$\overline{\text{LT}}$	L	X	X	X	X	X	H	L	L	L	L	L	L	L	D

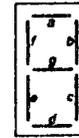
NOTAS:

- $\overline{\text{BI/RBO}}$ está cableada AND sirviendo como entrada de blanking (BI) y/o salida ripple-blanking ($\overline{\text{RBO}}$). La entrada de blanking (BI) debe estar abierta o mantenida a un nivel ALTO cuando se deseen funciones de salida 0 a 15, y la entrada de ripple-blanking ($\overline{\text{RBI}}$) debe estar abierta o a nivel ALTO si no se desea el blanking de un 0 decimal. X = la entrada puede ser ALTA o BAJA.
- Cuando se aplica un nivel BAJO a la entrada de blanking (condición forzada) todas las salidas de segmento se van a nivel BAJO independientemente del estado de cualquier otra condición de entrada.
- Cuando la entrada de ripple-blanking ($\overline{\text{RBI}}$) y las salidas A, B, C y D estén a nivel BAJO, con la entrada de prueba de lámpara a nivel ALTO, todas las salidas de segmento se van a nivel ALTO y la salida de ripple-blanking ($\overline{\text{RBO}}$) se pone a nivel BAJO (condición de respuesta).
- Cuando la entrada de blanking/salida de ripple-blanking ($\overline{\text{BI/RBO}}$) esté abierta o mantenida a nivel ALTO y se aplique un nivel BAJO a la entrada de prueba de lámpara, (lamp test) todas las salidas de segmento se ponen a nivel BAJO.

CARACTERISTICAS DE CONMUTACION ($T_A = 25^\circ C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. PRUEBA
t_{PLH}	Retardo Turn Off de entr. a sal. Entr. A a cualquier sal.			100	ns	$V_{CC} = 5.0 V$ $C_L = 15 pF$ $R_L = 120 \Omega$
t_{PHL}	Retardo Turn On entr. a sal. Entr. A a cualquier salida.			100	ns	
t_{PLH}	Retardo Turn Off entr. a sal. Entr. \overline{RBI} a cualquier sal.			100	ns	
t_{PHL}	Retardo Turn On entr. a sal. Entr. \overline{RBI} a cualquier salida			100	ns	

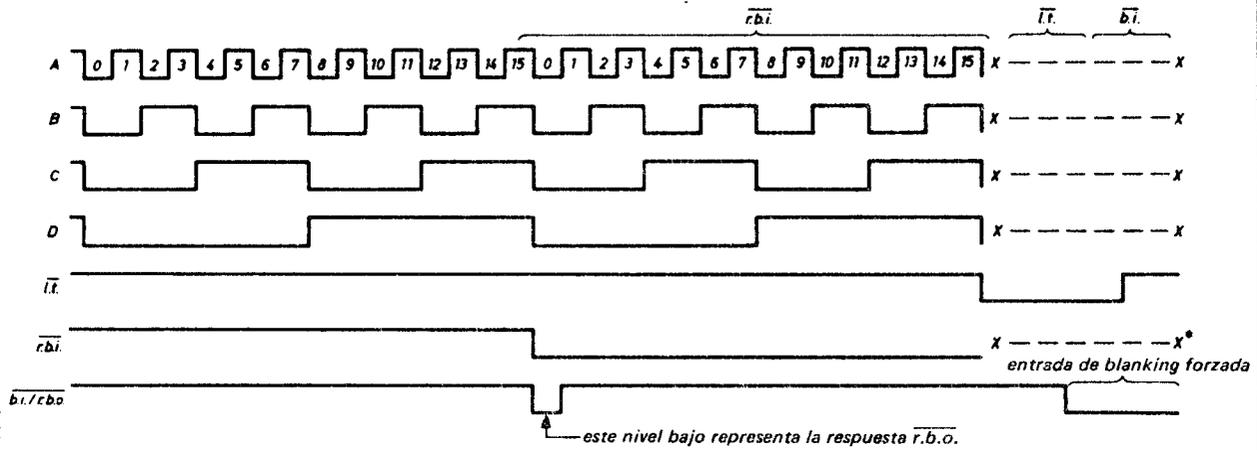
DESIGNACIONES NUMERICAS – VISUALIZACION RESULTANTE



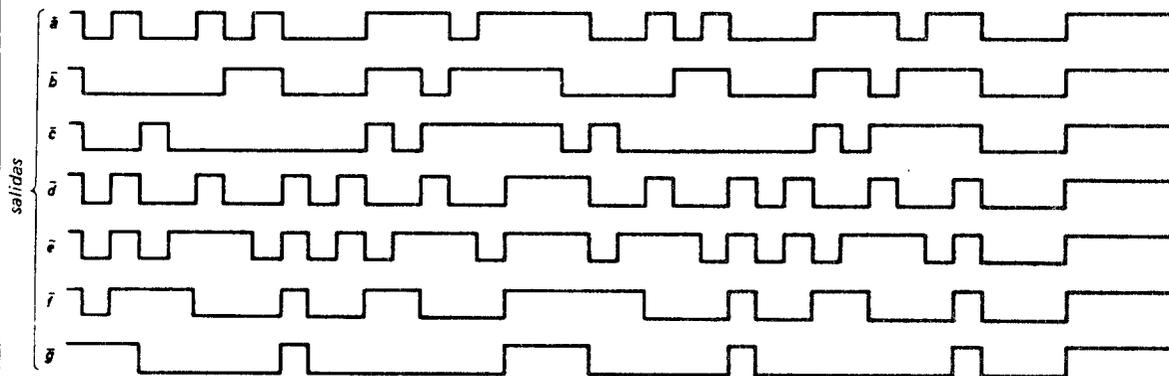
identificación de segmentos

CARACTERISTICAS DE CONMUTACION (Continuación)

FORMAS DE ONDA DE TENSION TÍPICAS DE ENTRADA/SALIDA



*la entrada X - - - X puede ser alta o baja



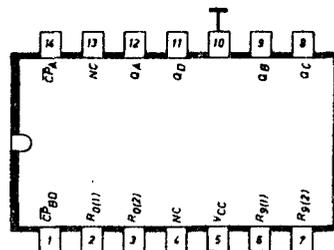
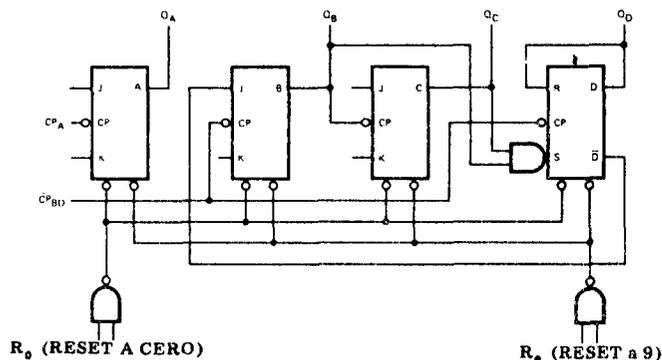
contador de décadas (división por dos y división por cinco)

1 - SN 7490 AN
4' - MC 7490 P
7 - ZN 7490 E
10 - FJJ 141
13 - TL 7490 N

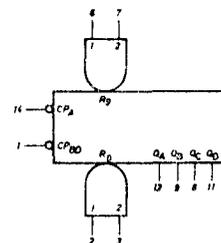
2 - F 7490 PC
5 - DM 7490 N
8 - N 7490 A
11 - FLJ 161
14 - SF.C 490 E

3 - F 9390 PC
6 - DM 8530 N
9 - T 7490 B 1
12 - MIC 7490 N
15 - SW 7490 N

diagrama lógico



símbolo lógico



DESCRIPCION.—El dispositivo es un Contador de Décadas que consta de cuatro rangos duales de flip-flops maestro-auxiliar, interconectados directamente para proporcionar un contador divisor por dos y un contador divisor por cinco. Las entradas de conteo están inhibidas, y todas las salidas puestas a cero lógico o una cuenta binaria codificada decimal (BCD) de 9 a través de líneas de reset directas con puerta. La salida del flip-flop A no está internamente conectada a las etapas siguientes, y por tanto el conteo puede separarse en estos modos independientes:

- a. Si se utiliza como contador de décadas binario codificado decimal, la entrada \overline{CP}_{BD} debe conectarse externamente a la salida Q_A . La entrada \overline{CP}_A recibe la cuenta de entrada, obteniéndose una secuencia de conteo de acuerdo con la cuenta BCD para la aplicación decimal de complemento a nueve.
- b. Si se desea una cuenta de división por diez simétrica para sintetizadores de frecuencia u otras aplicaciones que requieran la división de una cuenta binaria por una potencia de diez, la salida Q_D debe conectarse externamente a la entrada de \overline{CP}_A . La cuenta de entrada se aplica entonces a la entrada \overline{CP}_{BD} obteniéndose una onda cuadrada dividida por diez en la salida Q_A .
- c. Para funcionar como contador divisor por dos y divisor por cinco, no se requiere interconexión interna. El flip-flop A se utiliza como elemento binario para la función división por dos. La entrada \overline{CP}_{BD} se utiliza para obtener una operación binaria de división por cinco en las salidas Q_B, Q_C y Q_D . En este modo los dos contadores operan independientemente; no obstante, todos los cuatro flip-flops se ponen en reset simultáneamente.

PATILLAS

PATILLAS	CARGA
R 0	Entradas de reset de cero
R 9	Entradas de reset de nueve
\overline{CP}_A	Entrada de reloj
\overline{CP}_{BD}	Entrada de reloj
Q_A, Q_B, Q_C, Q_D	Salidas

1 carga unidad (U.L.) = 40 μ A ALTO/1,6 mA BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (Nota 10)	4.75	5.0	5.25	Volts
Margen de temp. ambiente de funcionamiento	0	25	70	$^{\circ}$ C
Cargabilidad de salida normalizada de cada salida, N (nota 12)			10	U. L.
Ancho de impulso de cuenta de entr., t_p (in)	50			ns
Ancho de impulso de reset, t_p (reset)	50			ns

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOL.	PARAMETRO	MIN.	TIP.(2)	MAX.	UNIDADES	COND. DE PRUEBA (1)
V _{IH}	Tensión de entrada ALTA	2.0			Volts	Tens.de entr. ALTA garantizada
V _{IL}	Tensión de entrada BAJA			0.8	Volts	Tens.de entr. BAJA garantizada
V _{OH}	Tensión de salida ALTA	2.4			Volts	V _{CC} = MIN., I _{OH} = -0.4 mA
V _{OL}	Tensión de salida BAJA			0.4	Volts	V _{CC} = MIN., I _{OL} = 16 mA
	Corr.de entr. ALTA en R0(1), R0(2), R9(1), o R9(2)			40	µA	V _{CC} = MAX., V _{IN} = 2.4 V
				1.0	mA	V _{CC} = MAX., V _{IN} = 5.5 V
I _{IH}	Corriente de entrada ALTA en la entrada \overline{CP}_A			80	µA	V _{CC} = MAX., V _{IN} = 2.4 V
	Corriente de entrada ALTA en la entrada \overline{CP}_{BD}			1.0	mA	V _{CC} = MAX., V _{IN} = 5.5 V
	Corr.de entr. BAJA en R0(1), R0(2), R9(1), o R9(2)			- 1.6	mA	V _{CC} = MAX., V _{IN} = 0.4 V
I _{IL}	Corr. entr. BAJA en entr. \overline{CP}_A			- 3.2	mA	V _{CC} = MAX., V _{IN} = 0.4 V
	Corr. entr. BAJA en entr. \overline{CP}_{BD}			- 6.4	mA	V _{CC} = MAX., V _{IN} = 0.4 V
I _{OS}	Corr.de sal. en cortoc. (3)	-18		- 57	mA	V _{CC} = MAX.
I _{CC}	Corriente de alimentación		32	53	mA	V _{CC} = MAX.

CARACTERISTICAS DE CONMUTACION (T_A = 25° C)

SIMBOL.	PARAMETRO	MIN.	TIP.	MAX.	UNID.	COND. DE PRUEBA
f _{max}	Frecuencia máxima de impulso de cuenta de entrada	10	18		MHz	
t _{PLH}	Retardo Turn Off de entrada de impulso de cuenta a salida Q _C		60	100	ns	V _{CC} = 5.0 V C _L = 15 pF R _L = 400 Ω
t _{PHL}	Retardo Turn On de entrada de impulso de cuenta a salida Q _C		60	100	ns	

TABLAS DE VERDAD

SECUENCIA DE CUENTA BCD (Nota 1)

CUENTA	SALIDA			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

CUENTA DE RESET (Nota 2)

ENTRADAS DE RESET				SALIDA			
R 0(1)	R 0(2)	R 9(1)	R 9(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L				
L	X	L	X				
L	X	X	L				
X	L	L	X				

Notas:

1. Salida Q_A conectada a entrada \overline{CP}_{BD} para cuenta BCD
2. X indica que tanto puede existir un nivel ALTO como BAJO

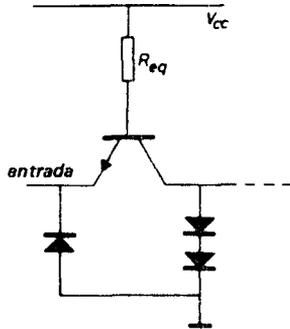
multivibrador monoestable redisparable con borrado (clear)

1 - SN 74123 N
4 -
7 - ZN 74123 E
10 -
13 -

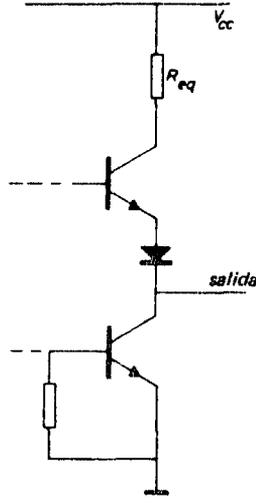
2 -
5 - DM 74123 N
8 - N 74123 A
11 - FLK 121
14 - SF.C 4123 E

3 -
6 -
9 -
12 - MIC 74123 N
15 - SW 74123 N

diagrama esquemático de entradas y salidas



equivalente de cada entrada



típica de ambas salidas

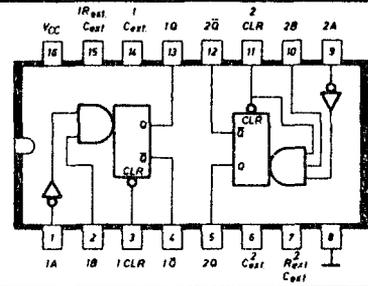


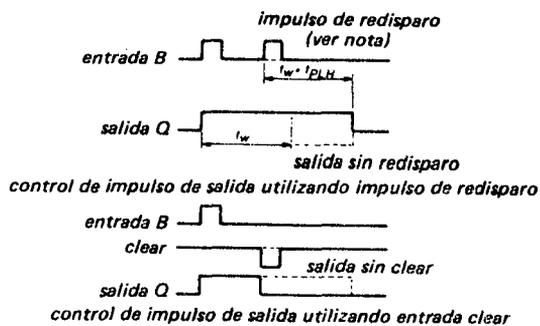
TABLA DE FUNCION

ENTRADAS		SALIDAS	
CLEAR	A B	Q	\bar{Q}
L	X X	L	H
X	H X	L	H
X	X L	L	H
H	L ↑	\downarrow	\downarrow
H	↓ H	\downarrow	\downarrow
↑	L H	\downarrow	\downarrow

NOTAS:

- H = nivel ALTO (estado estacionario), L = nivel BAJO (estado estacionario), ↑ = transición de nivel BAJO a ALTO, ↓ = transición de nivel ALTO a nivel BAJO, \downarrow = un impulso de nivel ALTO, \uparrow = un impulso de nivel BAJO, X = cualquier nivel (cualquier entrada, incluyendo transiciones).
- Para utilizar el resistor interno de temporización, conéctese R_{int} a V_{CC} . Puede conectarse un condensador externo de temporización entre E_{ext} y R_{ext}/C_{ext} (positivo).
- Para una repetibilidad exacta de las anchuras de impulso, conéctese un resistor externo entre R_{ext}/C_{ext} y V_{CC} con R_{int} en circuito abierto.
- Para obtener anchuras de impulso variables, conéctese una resistencia variable externa entre R_{int} o R_{ext}/C_{ext} y V_{CC} .

DESCRIPCION.—El multivibrador "123" permite el disparo cc a partir de entradas con puerta (gated inputs) de nivel BAJO activo (A) y nivel ALTO activo (B) y proporciona también cancelación (overriding) de entradas de borrado directas. Dispone también de salidas complementarias. La capacidad de disparo simplifica la generación de impulsos de salida de duración extremadamente larga. Disparando la entrada antes de que se haya terminado el impulso de salida, puede ampliarse el impulso de salida. La posibilidad de eliminar el borrado (overriding clear) permite terminar cualquier impulso de salida en un tiempo predeterminado independientemente de los componentes R y C de temporización. La figura A ilustra el disparo de un solo ciclo con las entradas activas (B) de nivel ALTO.



NOTA: El impulso de redisparo no debe comenzar antes de 0,22 C_{ext} (en picofaradios) nanosegundos después del impulso de disparo anterior.

Figura A. Entrada típica/impulsos de salida

**Anchura de impulso de salida típica/
Capacidad de temporización externa**

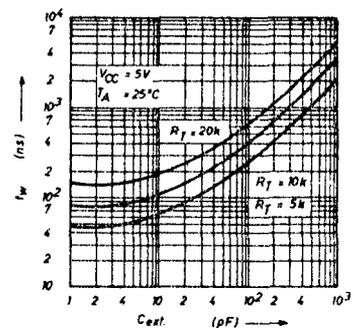


Figura B

DESCRIPCION (Continuación)

Estos monoestables están ideados para proporcionar al diseñador de sistemas una completa flexibilidad en el control de la anchura del impulso, bien alargando el impulso mediante redisparo o acortándole mediante clearing.

El impulso de salida es en principio una función de un condensador y una resistencia externos. Para $C_{ext} > 1.000 \text{ pF}$, la anchura del impulso de salida (t_w) está definida por:

$$t_w = K \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T} \right)$$

donde

R_T está en $k\Omega$ (el resistor de temporización puede ser interno o externo)
 C_{ext} está en pF
 t_w está en ns
 K es 0,28

Para las anchuras de impulso cuando $C_{ext} \leq 1.000 \text{ pF}$, véase Figura B.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNID.
Tensión de alimentación V_{CC}	4.75	5	5.25	Volts.
Corr. de salida nivel ALTO I_{OH}			-800	μA
Corr. de salida nivel BAJO I_{OL}			16	mA
Anchura de entrada A o B ALTA	40			ns
impulso, t_w entrada A o B BAJA	40			ns
Clear BAJO	40			ns
Resistencia de temporización externa R_{ext}	5		50	$k\Omega$
Capacidad externa C_{ext}	Sin restricción			
Capac. del cableado en el term. R_{ext}/C_{ext}			50	pF
Temper. ambiente de funcionamiento T_A	0		70	$^{\circ}C$

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (a menos que se indique otra cosa)

SIMBOL.	PARAMETRO	MIN.	TIP. (2)	MAX.	UNID.	COND. DE PRUEBA (1)
V_{IH}	Extensión de entr. nivel ALTO	2			Volts	
V_{IL}	Tensión de entr. nivel BAJO			0.8	Volts	
V_I	Tensión de referencia de entrada			- 1.5	Volts	$V_{CC} = \text{MIN.}, I_I = -12 \text{ mA}$
V_{OH}	Tensión de salida nivel ALTO	2.4	3.4		Volts	$V_{CC} = \text{MIN.}, I_{OH} = \text{MAX.}, (1)$
V_{OL}	Tensión de salida nivel BAJO		0.2	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = \text{MAX.}, (1)$
I_I	Corr. de entr. tens. de entr. máx.			1	mA	$V_{CC} = \text{MAX.}, V_I = 5.5 \text{ V}$
I_{IH}	Corr. de entr. entrada de datos nivel ALTO			40 80	μA	$V_{CC} = \text{MAX.}, V_I = 2.4 \text{ V}$
I_{IL}	Corr. de entr. entrada de datos nivel BAJO			- 1.6 - 3.2	mA	$V_{CC} = \text{MAX.}, V_I = 0.4 \text{ V}$
I_{OS}	Corr. de salida en cortoc. (3)	-10		- 40	mA	$V_{CC} = \text{MAX.}, (a)$
I_{CC}	Corriente de alimentación (en reposo o disparada)		23	28	mA	$V_{CC} = \text{MAX.}, (b \text{ and } c)$

NOTAS:

- C_{ext} está a masa para medir V_{OH} en Q, V_{OL} en Q o I_{OS} en Q. C_{ext} debe abrirse para medir V_{OH} en Q, V_{OL} en Q o I_{OS} en Q.
- La I_{CC} en reposo se mide (después del borrado) con 2,4 V aplicados a todas las entradas A y clear, entradas B a masa, todas las salidas abiertas, $C_{ext} = 0,02 \mu F$, y $R_{ext} = 25 k\Omega$, R_{int} abierta.
- I_{CC} se mide en estado disparado con 2,4 V aplicados a todas las entradas B y clear, entradas A a masa, todas las salidas abiertas, $C_{ext} = 0,02 \mu F$ y $R_{ext} = 25 k\Omega$, R_{int} abierta.

CARACTERISTICAS DE CONMUTACION $V_{CC} = 5 \text{ V}; T_A = 25^{\circ} C$

PARAMETRO	DE (EN-TRADA)	A (SALIDA)	MIN.	TIP.	MAX.	UNID.	COND. DE PRUEBA
t_{PLH}	A	Q		22	23	ns	$C_{ext} = 0$ $R_{ext} = 5 k\Omega$ $C_L = 15 \text{ pF}$ $R_L = 400 \Omega$
	B	Q		19	28	ns	
t_{PHL}	A	\bar{Q}		30	40	ns	
	B	\bar{Q}		27	36	ns	
t_{PHL}	Clear	Q		18	27	ns	
t_{PLH}	Clear	\bar{Q}		30	40	ns	
$t_{wQ} (\text{min})$	A o B	Q		45	65	ns	$C_{ext} = 1000 \text{ pF}$ $R_{ext} = 10 k\Omega$ $C_L = 15 \text{ pF}$ $R_L = 400 \Omega$
t_{wQ}	A o B	Q	2.76	3.03	3.37	μs	

DATOS TÍPICOS DE APLICACION

Conexión de componentes de temporización cuando $C_{ext} \leq 1.000 \text{ pF}$

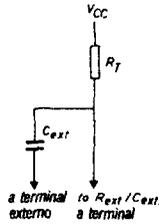


Figura D

Conexión de componentes de temporización cuando $C_{ext} > 1.000 \text{ pF}$ y se utiliza clear

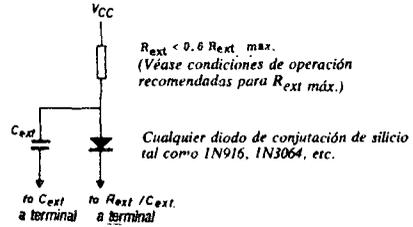


Figura E

Para evitar la tensión inversa sobre C_{ext} se recomienda el método indicado en la figura E cuando se utilicen condensadores electrolíticos y en aquellas aplicaciones en que se utilice la función clear. En todas las aplicaciones en que se utilice diodo, la anchura de impulso es:

$$t_w = K_D \cdot R_{ext} \cdot C_{ext} \left(1 + \frac{0.7}{R_{ext}} \right)$$

donde

R_{ext} está en $k\Omega$
 C_{ext} está en pF
 t_w está en ns
 $K_D = 0.25$

Decodificador 1 de 10/excitador

1 - SN 74145 N
4 - MC 74145 P
7 -
10 -
13 - TL 74145 N

2 - F 74145 PC
5 - DM 74145 N
8 - N 74145 B
11 - FLL 111 T
14 -

3 - F 93145 PC
6 -
9 -
12 - MIC 74145 N
15 - SW 74145 N

diagrama lógico

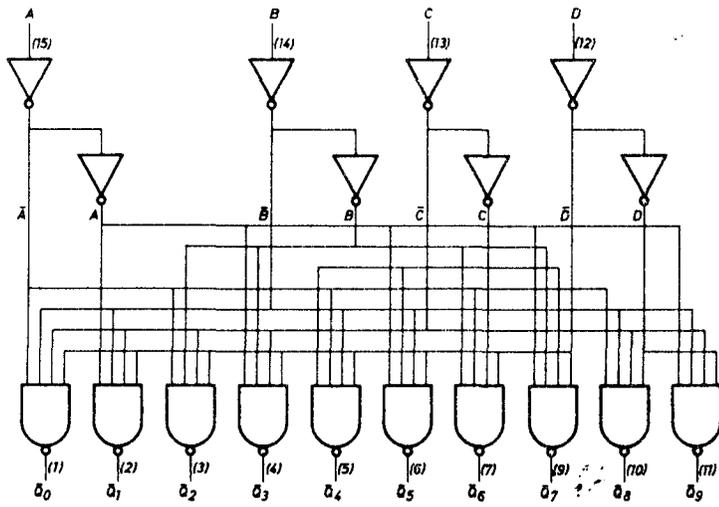
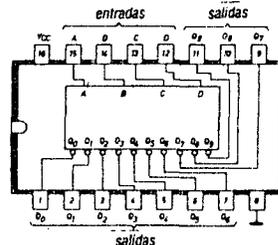
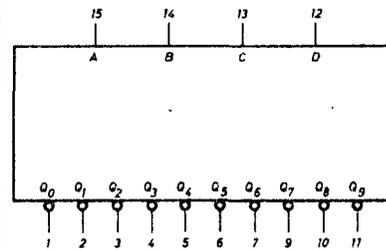


diagrama de conexión



símbolo lógico



DESCRIPCION. El decodificador/excitador de siete segmentos está diseñado para aceptar entradas BCD y proporcionar salidas adecuadas para atacar indicadores numéricos de siete segmentos. Todas las salidas permanecen inactivas para todas aquellas condiciones de entrada binaria no válidas. Estos dispositivos están diseñados para utilizarse como indicadores/excitadores de relés o excitadores de circuitos lógicos con colector abierto. Cada uno de los transistores de salida de alta tensión de ruptura absorberán (sink) hasta 80 mA de corriente. La disipación típica de potencia es 215 mW.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación (10)	4.75	5.0	5.25	Volts
Márgen de temperatura de funcionamiento	0	25	70	°C
Tensión en cualquier salida (11)			15	Volts

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (a menos que se indique otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión ALTA de entrada	2.0			Volts	Tensión de umbral ALTA de entrada garantizada
V_{IL}	Tensión BAJA de entrada			0.8	Volts	Tensión de umbral BAJA de entrada garantizada
V_{OL}	Tensión BAJA de salida		0.5	0.9	Volts	$I_{OL} = 80 \text{ mA}$, $V_{CC} = \text{MIN.}$
V_{OH}	Tensión ALTA de salida	15		0.4	Volts	$I_{OL} = 20 \text{ mA}$, $V_{CC} = \text{MIN.}$
I_{IH}	Corriente ALTA de entrada (Cada entrada)			40	μA	$V_{CC} = \text{MAX.}$, $V_{IN} = 2.4 \text{ V}$
I_{IL}	Corriente BAJA de entrada (Cada entrada)			1.0	mA	$V_{CC} = \text{MAX.}$, $V_{IN} = 5.5 \text{ V}$
I_{CC}	Corriente de alimentación		43	1.6	mA	$V_{CC} = \text{MAX.}$, $V_{IN} = 0.4 \text{ V}$
				70	mA	$V_{CC} = \text{MAX.}$

CARACTERISTICAS DE CONMUTACION ($T_A = 25^\circ \text{C}$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	CONDICIONES DE PRUEBA
t_{PLH}	Retardo Turn Off de entrada a salida			50	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 5 \text{ pF}$ $R_L = 100 \Omega$
t_{PHL}	Retardo Turn On de entrada a salida			50	ns	

Nota:

a) En la página XXXVI pueden verse el circuito de carga y las formas de onda de tensión.

PATILLAS

A, B, C, D
 $\bar{Q}0$ a $\bar{Q}9$

Entradas BCD
Salidas

CARGA (a)
1 U. L.
(b)

Notas:

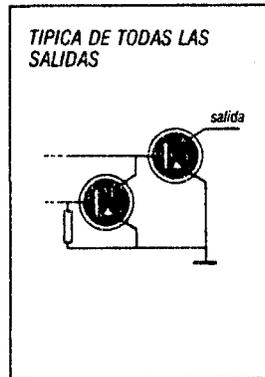
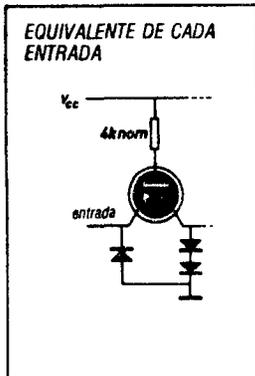
a) 1 U. L. = $40 \mu\text{A}$. ALTO/1.6 mA BAJO

b) Características de salida

MAX. Corriente de absorción (Sinking current) en estado BAJO 80 mA

MIN. Tensión de ruptura ALTA: 15 V.

DIAGRAMAS ESQUEMATICOS DE ENTRADAS Y SALIDAS



1.10.- BIBLIOGRAFIA

Para el desarrollo de esta primera parte de este trabajo hemos recurrido a las siguientes bibliografías:

- Circuitos integrados Digitales TTL: Parte I de Muidenkring. Edi. Paraninfo.
- Circuitos Integrados Digitales TTL: Parte II de Muidenkring. Edi. Paraninfo.
- Sistemas Electrónicos Digitales. E. Mandado Editorial Marcombo.
- Estructura y funcionamiento de los computadores digitales. J.P. Menaidier. Editorial AC
- Revista Radio Plans.
- Introducción a los circuitos integrados V.M. Grinich Edi. Gustavo Gili

1.11.- FACTORES DE TODO ORDEN QUE SE HAN TENIDO EN CUENTA Y JUSTIFICACION TECNICA Y ECONOMICA DE LA SOLUCION ADOPTADA

A lo largo de los apartados de esta memoria, se han expuesto las consideraciones que han servido de base para la solución adoptada. Ya hemos hecho mención a que este trabajo podía haberse desarrollado con microprocesador pero la solución económica nos indica su **inviabilidad**.

Bajo el punto de vista técnico, el hacer uso de la familia TTL nos da un buen grado de fiabilidad. Desde el punto de vista económico esta familia nos resulta idónea.

1.12.- DOCUMENTOS DE QUE CONSTA EL PROYECTO

El presente proyecto consta de los siguientes documentos: Memoria, Planos y Presupuesto.

Queremos hacer resaltar que un Proyecto consta de más documentos que los aquí presentados, sirva como ejemplo, el Pliego de Condiciones facultativas, pero debido al carácter más de trabajo es por lo que hemos creído conveniente dejarlo con los documentos reseñados.

1.13.- CONSIDERACIONES FINALES

Este trabajo ha quedado dividido en dos partes. - La primera de diseño teórico con los cálculos de los circuitos. La segunda con la parte práctica donde se ha buscado los circuitos integrados más apropiados a cada caso. Añadiríamos una tercera parte que no queda reflejado en el papel y es la placa con todos los componentes montados y en perfecto funcionamiento.

Queremos dejar constancia de nuestro agradecimiento a las personas que han colaborado en este Proyecto.

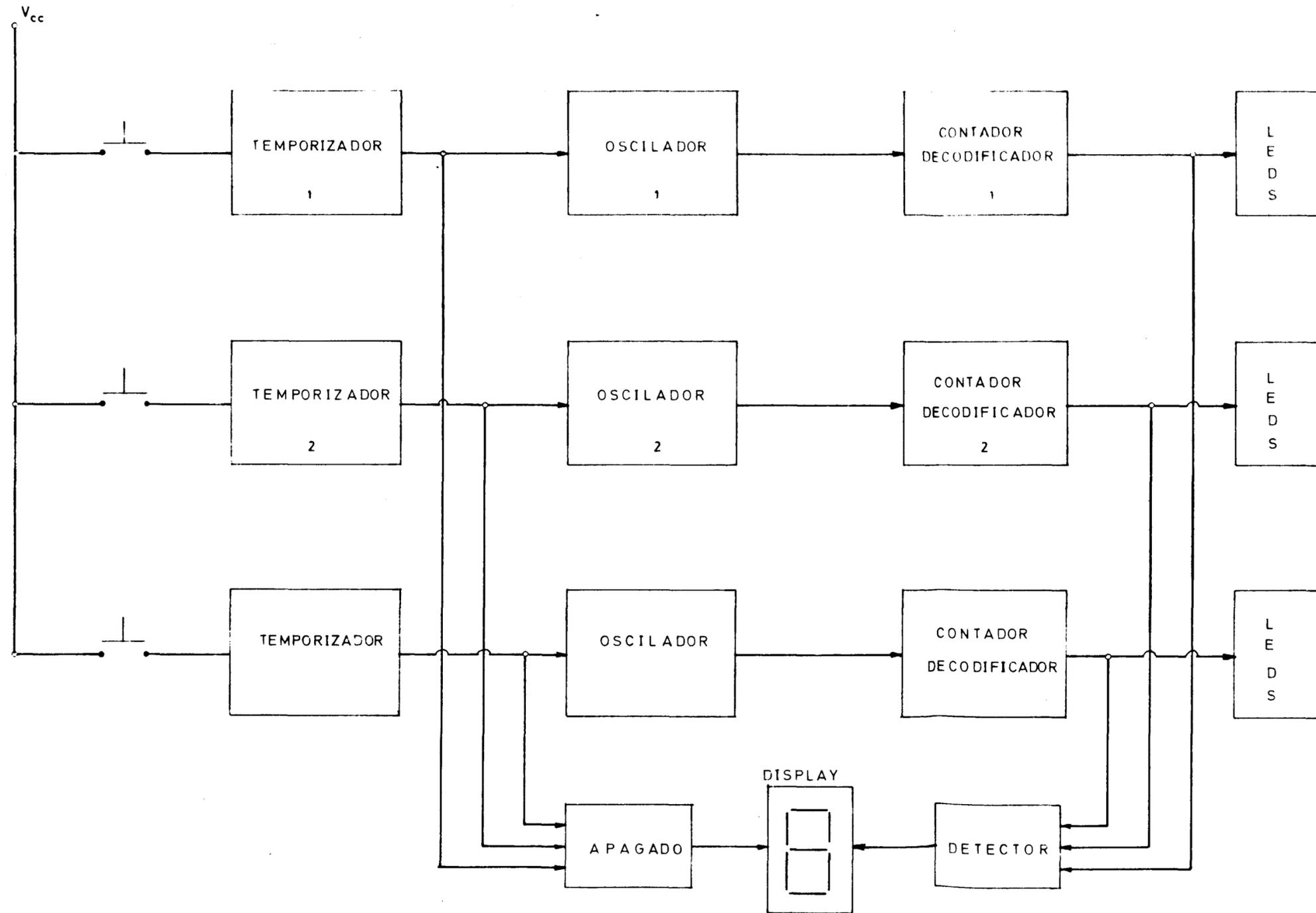
Consideramos redactado el presente Proyecto, que elevamos al Tribunal de Trabajo de Fin de Carrera, esperando merezca su aprobación.

Las Palmas de Gran Canaria, 30 de Septiembre de 1.981.

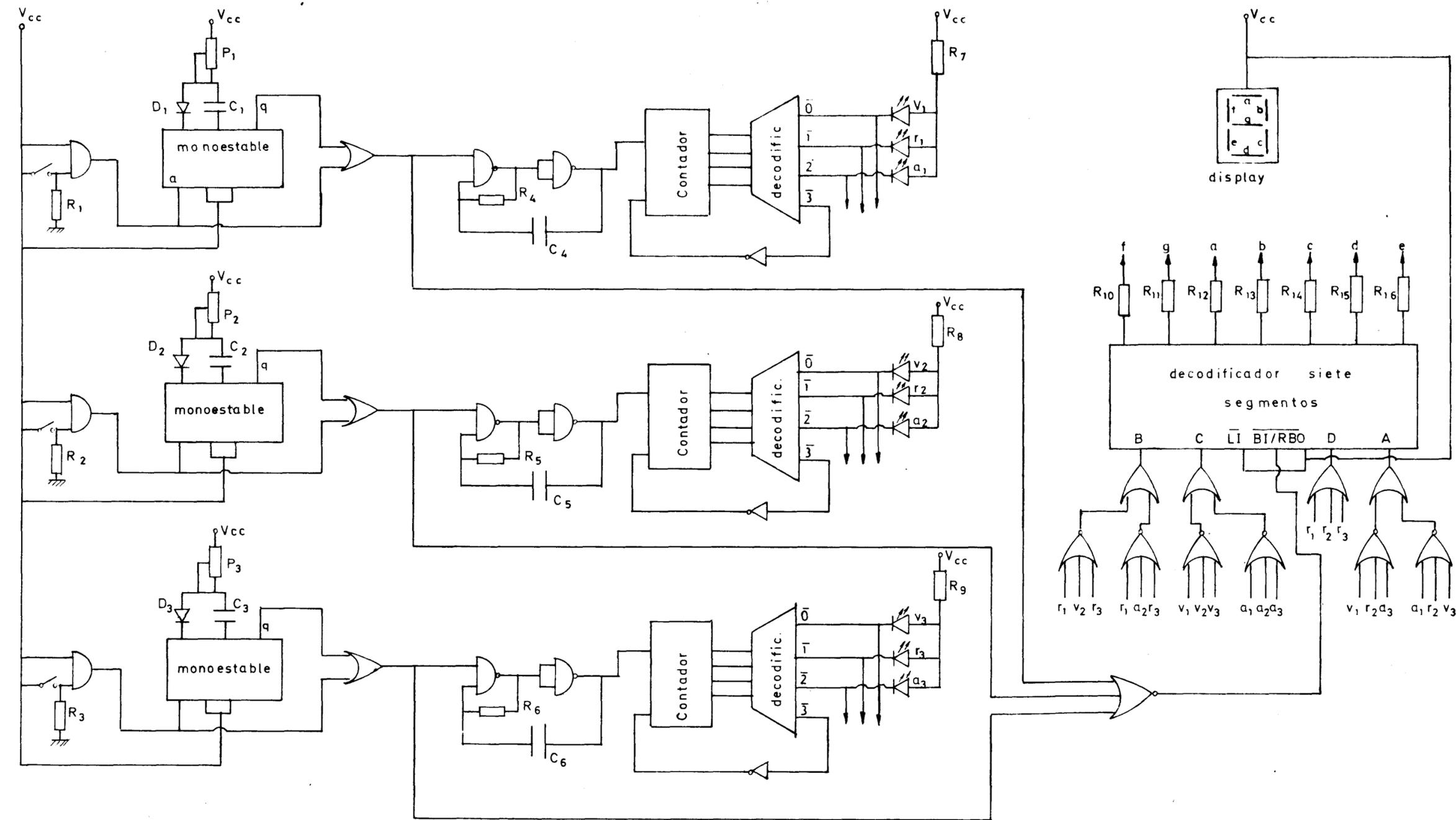
El Autor del Proyecto

Pdo.: José M^a Pérez Rivero

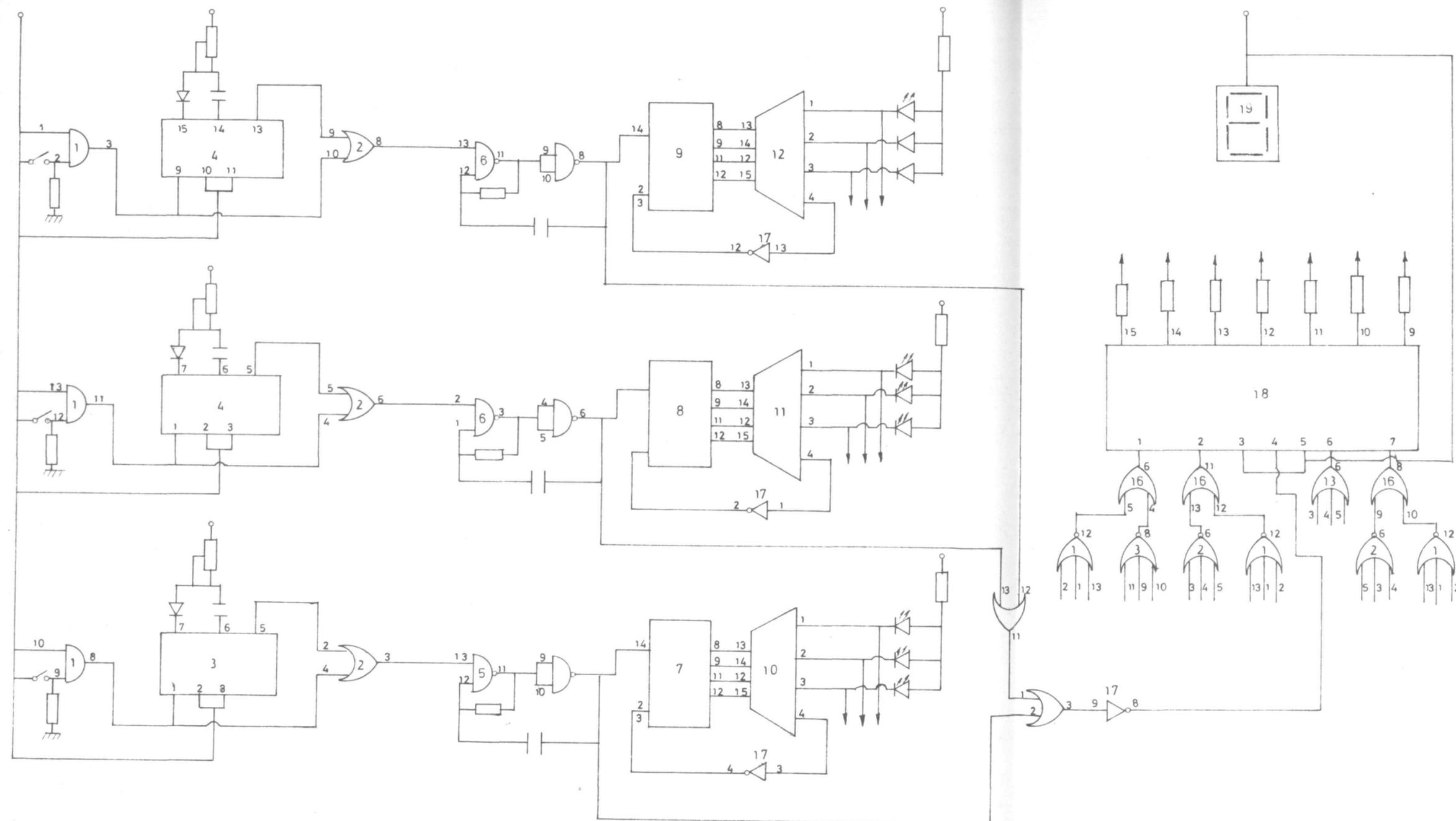
EXAMINADO:



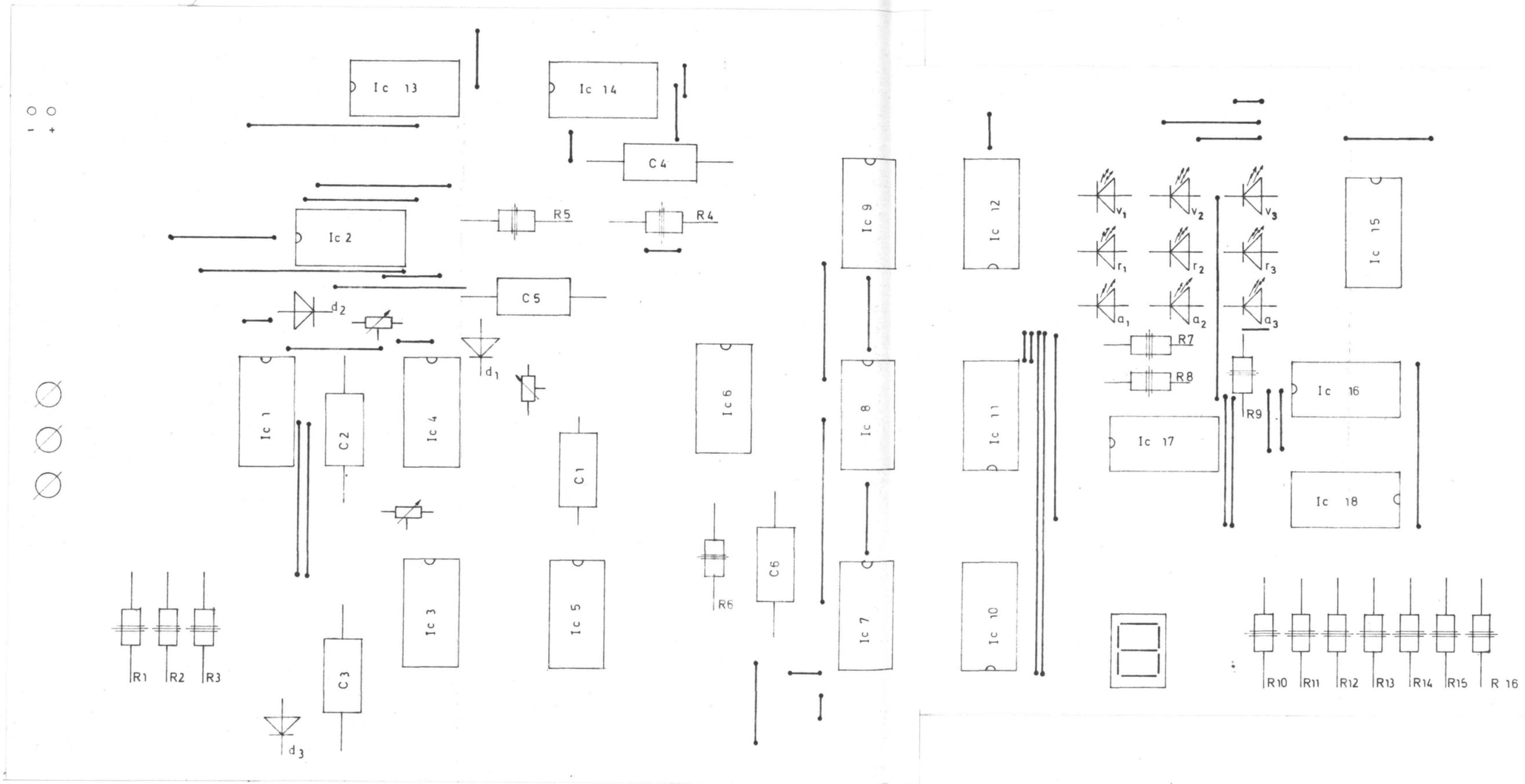
PROYECTO	JUEGO JACK POT DIGITAL
INGENIERO TECNICO	D. JOSE MARIA PEREZ RIVERO
DIAGRAMA DE BLOQUES	



PROYECTO	JUEGO JACK POT DIGITAL
INGENIERO TECNICO	D. JOSE MARIA PEREZ RIVERO
ESQUEMA TEORICO	



PROYECTO	JUEGO JACK POT DIGITAL
INGENIERO TECNICO	D. JOSE MARIA PEREZ RIVERO
ESQUEMA PRACTICO	



PROYECTO	JUEGO JACK POT DIGITAL
INGENIERO TECNICO	D. JOSE MARIA PEREZ RIVERO
SITUACION componentes	

DOCUMENTO NUMERO 3

P R E S U P U E S T O

PRESUPUESTO

3.1.- PRESUPUESTO GENERAL

Este Documento que nos dará el Presupuesto General de la ejecución material del trabajo está incompleto y queremos señalar que en toda regla este Documento suele constar de: Lista de Material, Cuadro de Precios y por último el Presupuesto General. Permitásenos trastocar un poco lo mencionado debido a que hemos enfocado todo el trabajo más desde un punto de vista técnico sin pensar en mucho en la ejecución material. No obstante vamos a presupuestar mil (1000) unidades como el prototipo realizado.

En el Apartado 1.7 de la Memoria hemos realizado un pequeño estudio económico de lo que nos resultó el montaje. Tomando esta cantidad como referencia y pensando en que se construya de forma seriada mil unidades. Asciendo el presupuesto de ejecución material a la cantidad de **TRES MIL DÓLARES TRESCIENTAS TREINTA Y CUATRO MIL PESETAS.**

Las Palmas de Gran Canaria, 30 de Septiembre de 1981

El Autor del Proyecto

Edo.: José M^a Pérez Rivero

EXCMO. SEÑOR:

Fdo: Sebastián Suárez Sol
«Catedra de Ordenadores»