

PROYECTO
MASTER MIND
ELECTRONICO

I N T R O U C C I O N

Se redacta el presente proyecto, en calidad de trabajo de fin de carrera, como complemento de las enseñanzas recibidas a lo largo de la carrera de Ingeniería Técnica de Telecomunicaciones.

Dicho trabajo es requisito previo e indispensable, para la obtención del título correspondiente, según el vigente plan de estudios, en el que, está incluido como asignatura del último curso de la mencionada carrera.

La redacción del proyecto se lleva a cabo a petición de la Escuela Universitaria de Ingeniería Técnica de Telecomunicaciones de Las Palmas con domicilio social en la calle de Tomás Morales s/n, y en cuya representación actúa como tutor el profesor de la citada escuela: D. Sebastian Suárez Gil.

INDICE GENERAL

- 0 Introducción.
 - 1.1 Justificación del trabajo.
 - 1,2 Tecnología empleada.
 - 2 Esquema en bloques.
 - 3 Generador aleatorio de combinaciones.
 - 4 Detector de aciertos.
 - 5 Detector de semejantes.)- Control
 - 6 Unidad de entrada de combinaciones.
 - 7 Contador de aciertos y semejantes.
 - 8 Sistema de presentación.
 - 9 Fuente de alimentación.
 - 10 Presupuesto.
-
- Lista de componentes.
 - Información técnica..
 - DIAGRAMAS

TITULO DEL PROYECTO:

MASTER MIND ELECTRONICO

AUTOR DEL PROYECTO:

EUGENIO FERNANDEZ MARTIN.

Firmado:Eugenio Fernandez

EL TUTOR:

SEBASTIAN SUAREZ GIL.

Firmado:Sebastian Suárez

FECHA: JUNIO 82

1. INTRODUCCION

En estas fechas anteriores nos hemos visto invadidos por una gran variedad y cantidad de juegos electrónicos.

La venta de estos juegos ha crecido muy rápidamente y hay una gran variedad en el mercado. Van desde las pequeñas calculadoras, los juegos para el televisor, las máquinas de marcianitos, el come-cocos, pero las que más abundan y más éxito dan en los locales son las máquinas de la suerte. Estas máquinas tienen una gran diferencia con las anteriores ya que con estas se juega a ganar dinero, aunque casi siempre se pierde.

Hay muchos tipos :Bingo, juegos de cartas, combinacion de frutas, etc... Además para atraer la atención del consumidor le han introducido una musica muy atrayerte.

Ahora las autoridades van a imponer unas fuertes restricciones en el tema de los juegos.

1.1 JUSTIFICACION DEL TRABAJO

En las maquinas descritas anteriormente no tienen creatividad ninguna, ya que con ella se juega automáticamente y en otras ni siquiera eso, sino se introducen monedas.

Hay un juego que hace unos años tuvo mucho éxito y fue el Master Mind.

Se juega en una caja de plastico con agujeros en la cual se introducen unas chinchetas de distintos colores.

Este juego tiene de positivo de que hay que emplear la inteligencia para poderlo resolver con rapidez.

Tiene una parte de suerte y otra de lógica.

El juego consiste en introducir en un lugar una combinación de colores desconocida para el jugador.

Hay diez chinchetas de diferentes colores y las hay que introducir en seis agujeros. Tiene 16 filas de seis agujeros por lo que son posible 16 jugadas.

Cuando en una misma columna de agujeros hay dos chinchetas de igual color se tiene un acierto y se indica pero no su posición.

Cuando se tiene en distintas columnas dos chinchetas del mismo color se tiene un semejante y se indica pero no su posición.

De esta forma en cada jugada se anotan los aciertos y semejantes, con lo que con un pequeño calculo mental llegamos a descifrar la combinación de colores desconocida.

Gana el jugador que adivina la combinación del contrario en menor número de jugadas.

En el Master Mind electrónico he colocado 4 dígitos que van del 0 al 9 y se juega de forma similar al

anterior.

La única diferencia es que los números se pueden repetir.

1.2 TECNOLOGIA EMPLEADA

En nuestra Escuela se ha propuesto por parte del profesorado : "Que todos los futuros proyectos se tengan que presentar montados y comprobados". Es condición necesaria para la obtención del título.

El material lo ofrece la Escuela a entera utilidad del alumnado.

Esta idea todavía es una propuesta y por ahora no es obligatorio.

Mi opinión es que es una buena idea y me acojo a ella por lo que presento mi proyecto completamente construido con material de la escuela.

Esperando que esta propuesta en el futuro sea obligatoria ya que la considero muy constructiva para el aprendizaje del alumnado. Quisiera también que tuviera una buena acogida por parte de los compañeros alumnos.

El gran problema que me he encontrado a la hora del diseño es que el material de la escuela y el necesario para el proyecto no son compatibles..

El material de la Escuela es para la enseñanza así que todos los circuitos están separados aisladamente. Mientras que el material para el proyecto se simplifica mucho tomando circuitos con varias funciones dentro de él, así es más barato y sencillo de montar.

Pero he hecho todo lo posible y todos los cambios necesarios para poderlo montar con material de la Escuela.

Este juego se puede desarrollar basándose en microprocesadores. Un estudio que he hecho sin entrar muy profundo es que por microprocesadores resultaría un poco más barato. El diseño por este dispositivo consistiría en : 1 microprocesador, varios circuitos adicionales y lo

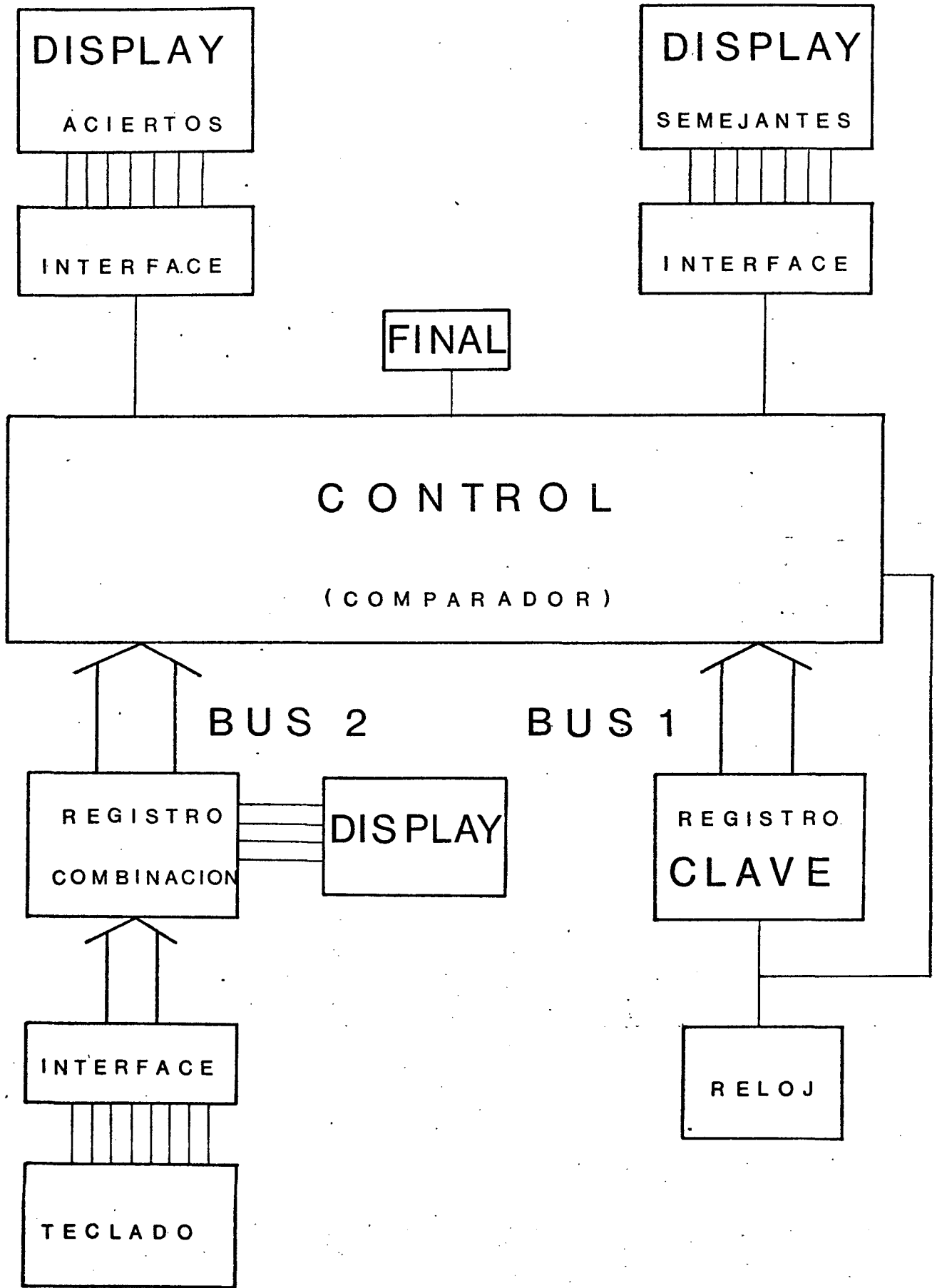
más importante, la creación de un programa más o menos complejo.

Pero mi idea de proyecto es la de exponer en un papel y en un circuito los conceptos de electrónica que he aprendido en esta Escuela y de una forma muy práctica y clara.

He utilizado tecnología TTL. y CMOS/TRI-STATE ya que son las familias mas conocidas, practicas, útiles y conocidas del mercado.

Los circuitos más utilizados son los cuyos buffers de salida son TRI-STATE. Muy utiles para simplificar el diseño y conección de todos los integrados a un solo BUS.

2. ESQUEMA EN BLOQUES



DESCRIPCION DE LOS BLOQUES

1. RELOJ

Genera una onda cuadrada de una frecuencia aproximada de 100 Khz.

Esta formado por un TRIGGER-SCHMITT de un 7414 actuando como oscilador.

Se ha diseñado con una frecuencia de 100 Khz para que al pulsar un interruptor, un grupo de pulsos de número desconocido para el jugador actúe sobre los contadores. Los contadores quedaran almacenados con unos pulsos desconocidos totalmente para el jugador. Es imposible que con esta frecuencia el jugador pueda adivinar la combinación generada.

2. REGISTRO CLAVE

Almacena la información de los contadores en unos latches.

Son latches con buffer de salida en TRI-STATE. Necesarios para poder conectar todos los latches a un único bus (BUS 1).

Cuando le llega una señal de control determinada actúa un latch u otro.

Los latch estan formados con integrados 4044B de tecnología CMOS.

3. TECLADO

Esta formado por 16 teclas que van del 0 al 9 y de la A a F (Números hexadecimales).

Solo se utilizaran los números decimales y la tecla E que actuará como ejecutadora del funcionamiento del control (puesta en marcha).

4. INTERFACE DEL TECLADO

El teclado descrito anteriormente es de una forma de estructura especial por lo cual solo se puede utilizar un tipo de interface. Esta interface especial esta formada por un C.I. 74C922N que es un decodificador de una matriz de 8 x 8 de 16 teclas.

Tiene la gran ventaja que sus salidas de datos BCD son en TRI-STATE. Es de la familia CMOS.

5. REGISTROS DE COMBINACIONES

En estos registros se almacenan los datos (números decimales) introducidos por el teclado.

Hay dos tipos de registros:

1.-Registros que almacenan los datos y los mantienen fijos para que constantemente esten actuando sobre el Display, asi el jugador en todo momento puede ver la combinación que él ha introducido. Se ha utilizado los 4 Flip Flop D de un 74175 TTL.

2.-Registros que almacena los conocidos datos y actúa sobre el BUS 2 ya que sus salidas son en TRI-STATE. Todos los registros estan conectados a este BUS 2 y se ha utilizado el conocido 4044B.

6. CONTROL Y COMPARADOR

Es un bloque el cual tiene dos misiones:

1.-Actua sobre todos los registros tanto los del BUS 1 como los del BUS 2. Controla en todo momento cual registro tiene que estar cargando a su correspondiente BUS.

2.-Compara los datos de los registros y según sean aciertos o semejantes dirige la información a su de

terminada interface.

Se ha utilizado un LED para indicar final de partida. Ya sea que el jugador ha hallado la combinación desconocida o ha agotado sus 10 posibilidades de jugar.

7. INTERFACE PARA ACIERTOS Y SEMEJANTES

Estan formados por contadores que toman los pul sos provenientes del Control. Estos contadores estan conectados a decodificadores para poder ver los resultados en forma decimal sobre un Display.

Se ha dispuesto de un pulsador adicional por si el jugador quiere en algún momento conocer el número generado clave. Pero la partida acaba al pulsar este inte ruptor.

3. GENERADOR ALATORIO DE COMBINACIONES

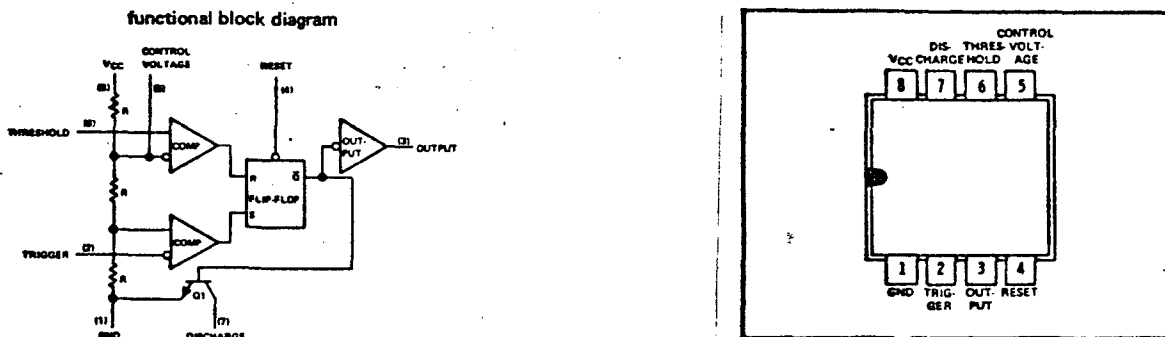
(GENERADOR CLAVE)

Se intenta conseguir 4 digitos totalmente aleatorios. Para ello se ha construido un oscilador de una frecuencia elevada (=100 KHz) que actua sobre una cascada de contadores.

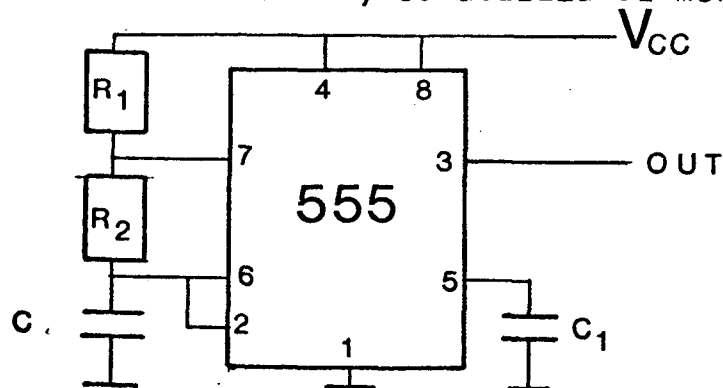
Este oscilador esta formado con un 556 en configuración de astable. Solo se utiliza una parte del 556 ya que este circuito integrado esta compuesto de dos 555 conocido por todos y de muchisimas aplicaciones. Es el C. I. de más uso y aplicaciones del mercado.

Su diagrama funcional en bloques es:

Fig. 1



Para conectar este circuito en forma de oscilador (multivibrador astable) se utiliza el montaje:



El circuito oscila por la carga y descarga de un condensador ,de esta forma se obtiene una gran precisión. Su funcionamiento es:

-Al aplicar el pulsador P1 ,el condensador C 1 se

carga a través de las resistencias R 1 y R 2 .

Cuando el condensador se carga la salida esta a nivel alto ($V_o = 3.3 \text{ v}$). Se carga hasta la tensión umbral ($0.67.V_{cc} = 3,35 \text{ v}$). Cuando sobrepase la tensión de umbral, la salida pasa a nivel bajo ($V_o = 0,1 \text{ v}$) y el condensador se descarga a través de R 2 y un transistor en el interior del 555. El condensador se descarga hasta la tensión de trigger ($0,33.V_{cc} = 1,67 \text{ v}$). Cuando sea menor que $0,33 \text{ v}$ la salida vuelve a nivel alto y todo el ciclo se vuelve a repetir.

Fig. 2

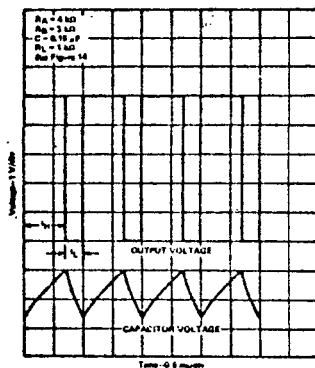


FIGURE 14—TYPICAL ASTABLE WAVEFORMS

El tiempo en el cual la salida esta a nivel al to se calcula por la formula:

$$t_H = 0,693 (R_1 + R_2).C$$

El tiempo en el nivel bajo:

$$t_L = 0,693 (R_2).C$$

El periodo total:

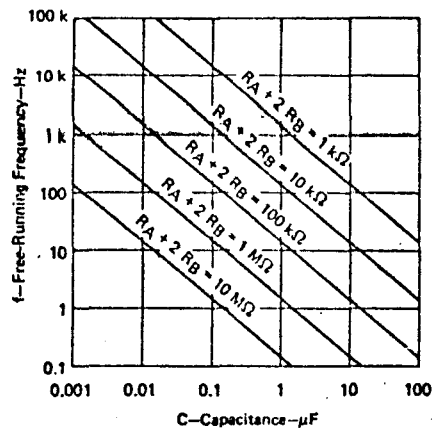
$$T = t_H + t_L$$

La frecuencia $F = 1/T = 1,44 / (R_1 + R_2 . 2).C$

El ciclo de trabajo D (Duty cycle) es determinado por los valores de R 1 y R 2 .

$$D \Rightarrow R_2 / R_1 + 2R_2$$

Existe un ábaco por el cual es muy sencillo de seleccionar una frecuencia determinada.



Para el circuito necesito una frecuencia aproximada de 100 KHz. Fijandome en el ábaco, he escogido:

$$R_1 + R_2 = 10 \text{ K}$$

$$C = 0,001 \text{ F}$$

Tomando los valores standar de:

$$R_1 = 3 \text{ K } 9$$

$$R_2 = 3 \text{ K } 3$$

$$C = 1 \text{ nF}$$

Sustituyendo estos valores en las formulas obtengo que a nivel alto:

$$t_H = 0,693 (3 \text{ K } 9 \quad 3 \text{ K } 3) \cdot 1 \cdot 10^{-9} \text{ F} = 5 \text{ m seg}$$

y permanece en nivel bajo:

$$t_L = 0,693 (3 \text{ K } 3) \cdot 1 \cdot 10^{-9} \text{ F} = 2,3 \text{ m seg}$$

por lo que su periodo es:

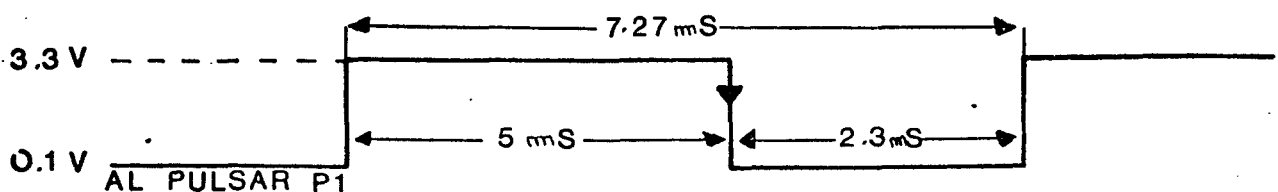
$$T = t_H + t_L = 7,27 \text{ m seg}$$

$$F = 1/T = 100 \text{ KHz}$$

Con un ciclo de trabajo del 68,5 %

La salida del oscilador será de la forma:

Fig. 3



El condensador C_1 se utiliza para mantener fija la tensión de una de las entradas del comparador de umbral

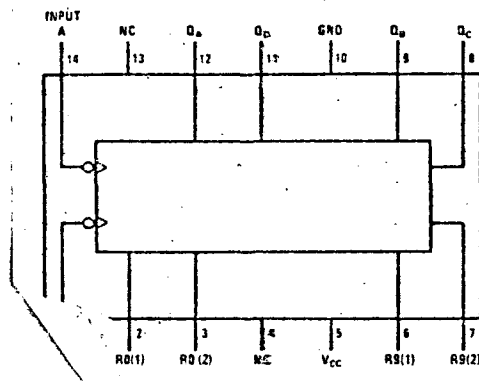
$$C = 0,001 \text{ uF}$$

Ahora pasamos a la etapa de la generación de los cuatro dígitos. Para contar los pulsos generados por el reloj en un instante, he utilizado cuatro contadores conectados en cascada.

El contador es un 7490 conectado de tal forma que sus salidas sea en BCD del 0 hasta el 9. Se consigue conectando Q_A a input B.

La entrada de pulsos es por la patilla 14 y es por flanco de bajada.

Fig. 4



Las salidas de los contadores van a atacar los latches CMOS. Por ello voy a realizar un pequeño comentario acerca de la interface entre TTL y CMOS.

INTERFACE ENTRE TTL Y CMOS

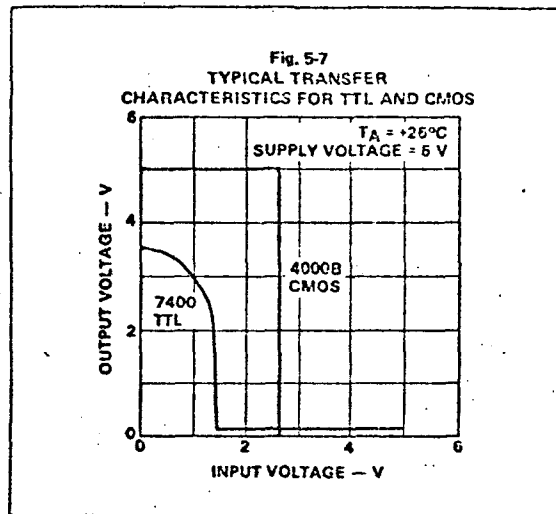
Cuando CMOS opera en $V_{cc} = 5v$, la interface de Cmos a TTL es directa. La impedancia de entrada de CMOS es muy alta, así que de cualquier forma TTL conducirá a los CMOS sin pérdida de Fan Out en el nivel bajo.

Desafortunadamente, muchos TTL tienen insuficiente voltaje en el nivel alto (típicamente 3,5v) para conducir bien a un CMOS. Para solucionar este problema se coloca una resistencia exterior (pull up) de 1 K a 10 K desde la salida de TTL hasta la alimentación V_{cc} lo que hará que su voltaje de nivel alto suba hasta 4,5 v o alrededor.

Para realizar esta operación hay también circu

tos especiales, sobre todo cuando CMOS esta alimentado con tensines de 5,5 a 15 v.

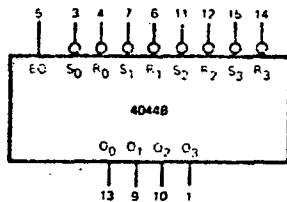
Fig. 5



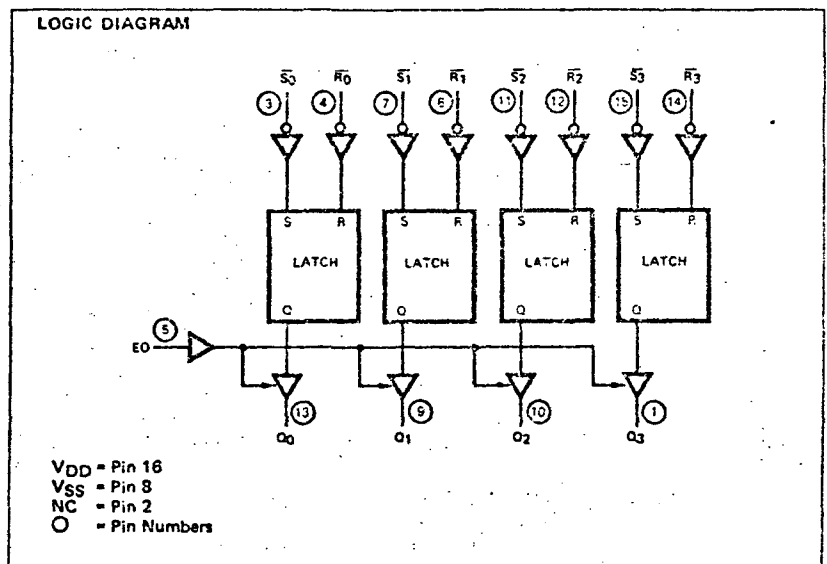
Para el proyecto he conectado resistencias de Los latch CMOS se han conseguido a partir del

4044B = Cuatro R/S Latch.

Fig. 6



VDD = Pin 16
VSS = Pin 8
NC = Pin 2



Las entradas S se han conectado a masa y asi funciona como latch.

Cuando llega una señal de control, actua sobre Eo (patilla 5). Cuando viene un nivel bajo las salidas quedan el Alta Impedancia. Cuando viene un nivel alto las salidas se conectan al BUS 1.

Las salidas de todos los C.I. 4044B estan conec tada al mismo BUS 1.

En este montaje para diferenciar los distintos pesos del código BCD se ha utilizado la referencia de co lores:

PESO 1 : A : — BLANCO
Peso 2 : B : — VERDE
Peso 4 : C : — NARANJA
Peso 8 : D : — AZUL

El diagrama en bloques del Generador Clave esta en la proxima pagina Fig. 7

El diagrama electrico del Generador Clave esta en el Plano 1.

DIAGRAMA BLOQUE GENERADOR CLAVE

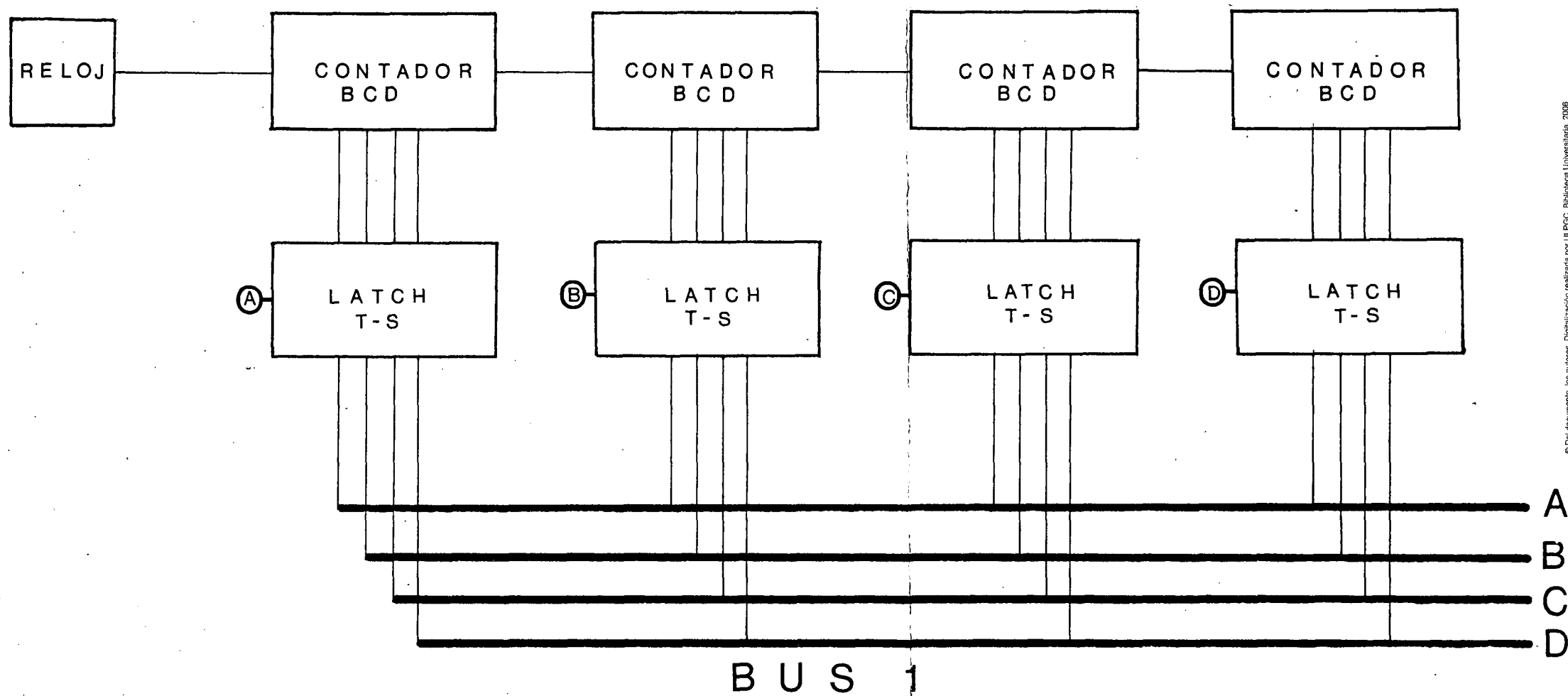


Fig. 7

T-S: TRI-STATE

4. CONTROL

Esta formado por varios circuitos y el detector de aciertos y semejantes. Se estudia en el próximo apartado.

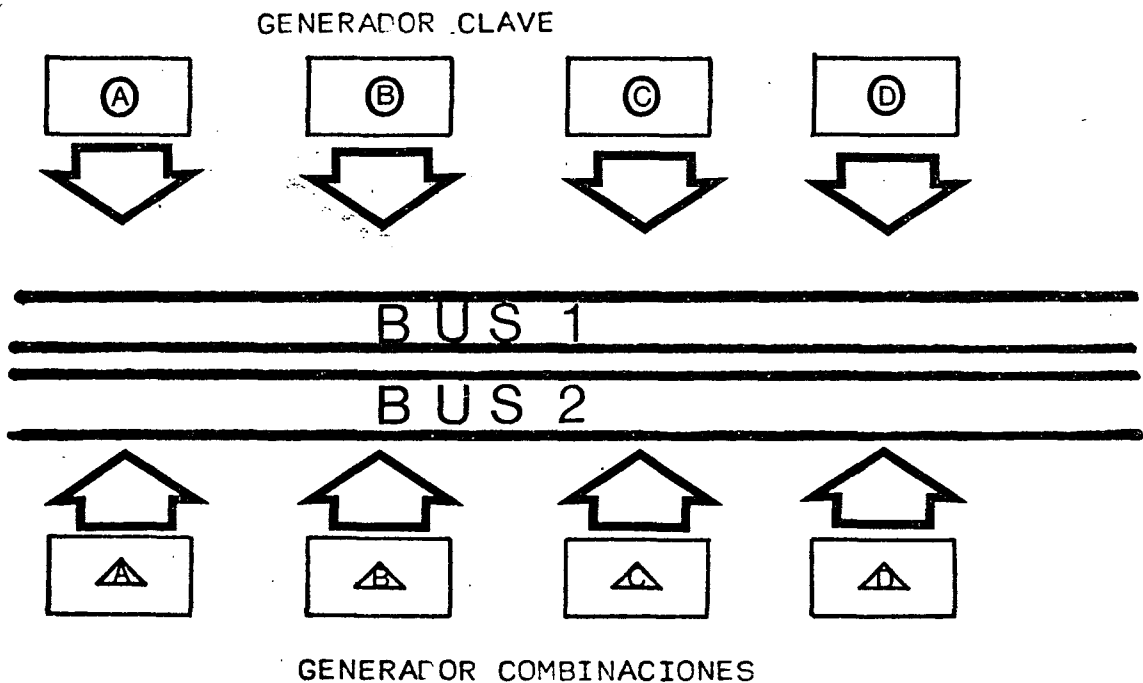
5. DETECTOR DE ACIERTOS Y SEMEJANTES

Hasta ahora ya tengo los latch (A) (B) (C) (D) del generador clave conectados al BUS 1.

Por otro lado yo voy a conectar los latch $\triangle A$ $\triangle B$ $\triangle C$ $\triangle D$ del generador de combinaciones, que lo conecto al BUS 2.

Los latch estan conectados de la forma:

Fig. 8



En el generador de combinaciones se va a introducir los números accionados por el teclado. De dicho generador se estudiará en otro apartado pero ahora se puede considerar como 4 latch TRI-STATE y esta formado por los latch $\triangle A$ $\triangle B$ $\triangle C$ $\triangle D$ Los cuales tienen almacenados 4 dígitos. Es necesario hacer esta observación para poder entender la disposición de los BUSES y la misión del Control.

Por las reglas del juego Master Mind yo tengo que comparar el primer dígito del generador clave (G. C.) con los cuatro dígitos del generador de combinaciones (G. Comb.) para saber si tengo algún acierto ó semejante.

Será acierto cuando compare el primer latch del G.C. con el primer latch del G. Comb. y los dos sean iguales. (A) con $\triangle A$

A los latch del G. C. los llamo \bigcirc

A los latch del G. Comb. los llamo \triangle

Cuando compare (A) con cualquiera de $\triangle B$ $\triangle C$ $\triangle D$ y sean los dos iguales, entonces tengo un semejante.

La misma operación tengo que hacer con (B) y comparandolo con los cuatro $\triangle A$ $\triangle B$ $\triangle C$ $\triangle D$; igual para (C) y (D)

En este apartado se estudia la forma de como controlar estos latch y de detectar cuando dos latch iguales están activados. Es decir, (A) con $\triangle A$, (B) con $\triangle B$, (C) con $\triangle C$, (D) con $\triangle D$. Cuando estos latch estén activados tendré una señal de salida que la envío al comparador.

Para poder combinar (A) con los otros cuatro, igual con (B), (C) y (D) se tiene que cumplir la tabla de verdad:

Fig. 9

Hago las siguientes consideraciones:

$$(A) = 00$$

$$(B) = 01$$

$$(C) = 10$$

$$(D) = 11$$

$$\triangle A = 00$$

$$\triangle B = 01$$

$$\triangle C = 10$$

$$\triangle D = 11$$

Tabla de verdad

00 00

00 01

00 10

00 11

(A) = 00 combinado con : \triangle

0 1 0 0
 0 1 0 1
 0 1 1 0
 0 1 1 1

ⓑ = 0 1 combinado con: \triangle

1 0 0 0
 1 0 0 1
 1 0 1 0
 1 0 1 1

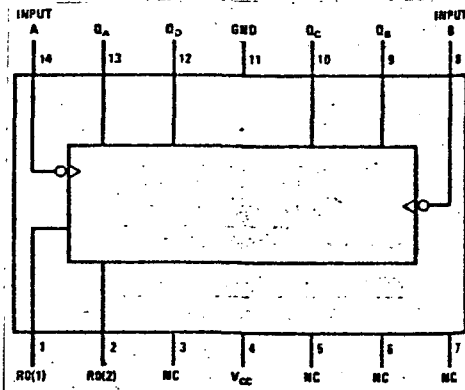
ⓒ = 1 0 combinado con: \triangle

1 1 0 0
 1 1 0 1
 1 1 1 0
 1 1 1 1

ⓓ = 1 1 combinado con: \triangle

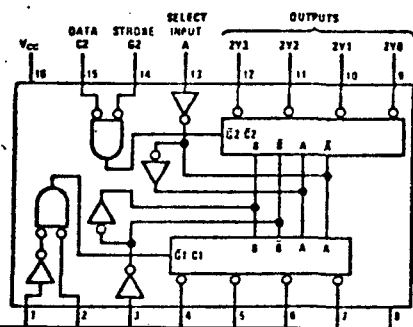
Para la creación de estas combinaciones he utilizado un contador BCD (7493) que cuenta de 0 hasta 16

Fig. 10



Para la actuación de los latch según su código he utilizado dos decodificadores independientes (74156) de 2 x 4 .

Fig. 11



INPUTS				OUTPUTS			
SELECT	STROBE	DATA		1Y0	1Y1	1Y2	1Y3
B	A	G1	C1				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

El decodificador 74156 tiene la particularidad de que al tener una combinación deseada a la entrada, su salida correspondiente sera activada pero a nivel bajo y todas las restantes quedan a nivel alto. Por ello he tenido que utilizar inversores (74C04) para actuar sobre los latch. Ya que estos cuando se le aplica una señal de nivel bajo a su entrada de control Eo, sus salidas pasan al estado de Alta-Impedancia. Entonces cuando se selecciona un latch determinado, el decodificador da un nivel L y el inversor lo convertira en nivel H y el latch seleccionado se conecta a su BUS correspondiente.

Los impulsos que atacan al 7493 para que cuente provienen de un 555 en configuración de astable. Lo he tomado de la otra mitad del 556. Como aqui la rapidez no es condición importante, sino que actue con precisión. Se toma una frecuencia baja de 1 Khz. Esta frecuencia se obtiene con los valores de:

$$R_1 = 3K9$$

$$R_2 = 2K7$$

$$C = 0,15 \mu F$$

De donde obtengo:

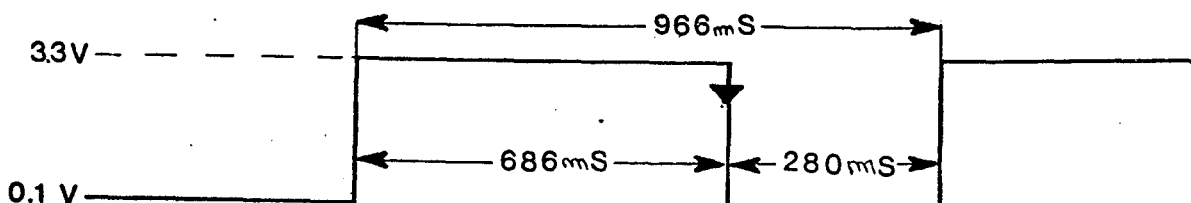
$$t_H = 686 \text{ mseg}$$

$$t_L = 280 \text{ mseg}$$

$$T = 966 \text{ mseg} \quad F = 1 \text{ Khz}$$

$$D = 71\%$$

El pulso de salida es de la forma:



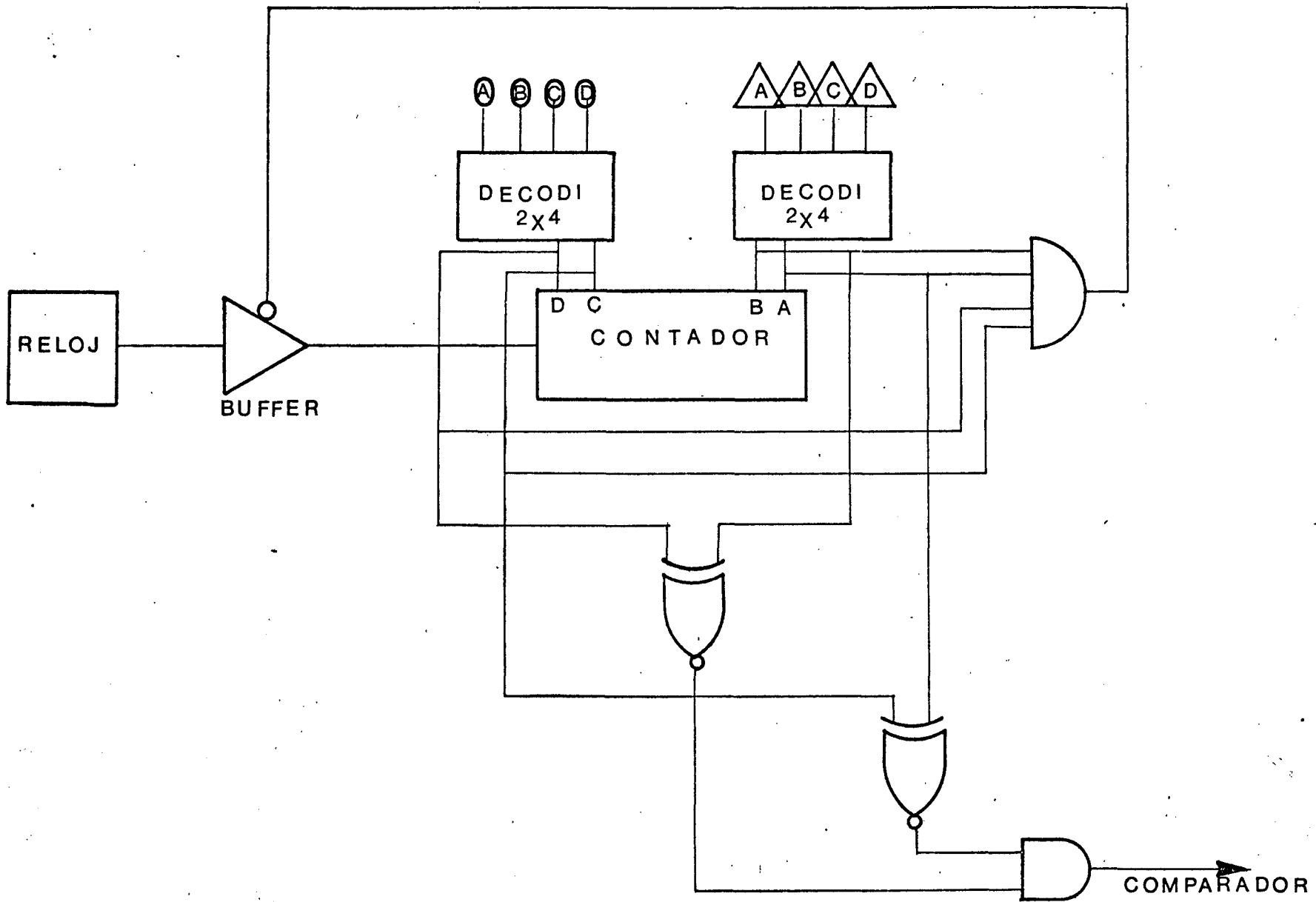


Fig. 12
 DIAGRAMA BLOQUE CONTROL Y DETECTOR ACIERTOS
 SEMECANTES

Cuando el contador llegue a la posición BCD 1111 (16 en decimal). Ya se han realizado todas actua-
ciones y comparaciones, por lo que tengo que parar de con-
tar . Por esto he conectado una puerta AND de cuatro en-
tradas que actúa sobre un Buffer TRI-STATE 74125.

Cuando el contador cuenta del 0000 hasta el 1110, la puerta AND da siempre un 0 a su salida y actúa al buffer que queda conectado.

Cuando el contador llega a 1111 la puerta AND da un 1 a su salida que actúa sobre el buffer que se pone en Alta-Impedancia y ya no le llegan más pulsos al con-
tador. Al contador se le ha dotado de reset para poder jugar en cada tirada sucesiva. Es la tecla E del teclado hexadecimal.

El esquema en bloques del Control es la Fig. 12

El detector de aciertos tiene que actuar cuando estan actuadas las combinaciones:

0 0 0 0
0 1 0 1
1 0 1 0
1 1 1 1

Es decir (A) con $\triangle A$, (B) con $\triangle B$, (C) con $\triangle C$, (D) con $\triangle D$.

Cumpliendo la tabla de verdad:

Fig. 13

$\begin{matrix} A & B \\ C & D \end{matrix}$	0 0	0 1	1 1	1 0
0 0	1	0	0	0
0 1	0	1	0	0
1 1	0	0	1	0
1 0	0	0	0	1

Vemos que la simplificación por el método de Karnaugh no ofrece ninguna ventaja. La función de salida es de la forma:

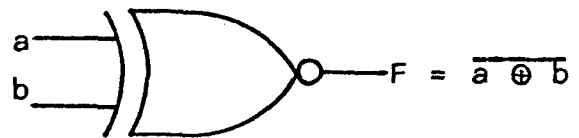
$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + ABCD + A\bar{B}\bar{C}\bar{D}$$

Si lo hicieramos por este método es un poco tosco. Salta a la vista que lo que nos interesa es que cuando dos combinaciones sean iguales quiero tener un 1 a la salida, pues utilizo puertas NOR-EXCLUSIVE que cumplen esta misión.

Fig. 14

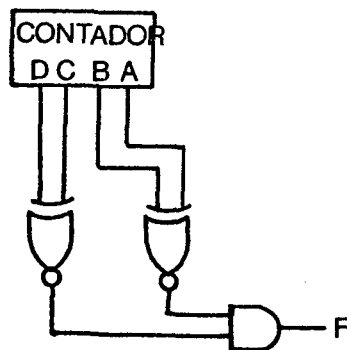
Tabla de verdad

A	B	NOR-E
0	0	1
0	1	0
1	0	0
1	1	1



Están conectadas del modo:

Fig. 15



Si hago la tabla de verdad de este montaje se ve que corresponde con la fórmula anterior hallada:

D	C	B	A	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1

D	C	B	A	F
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}BC\bar{D} + A\bar{B}\bar{C}D + ABCD$$

De donde con dos puertas NOR-EXCLUSIVE y una puerta AND de dos entradas he logrado el detector de aciertos y semejantes. Las puertas NOR-EXCLUSIVE son de dos entradas tambien.

El detector de aciertos y semejantes actúa de la siguiente forma:

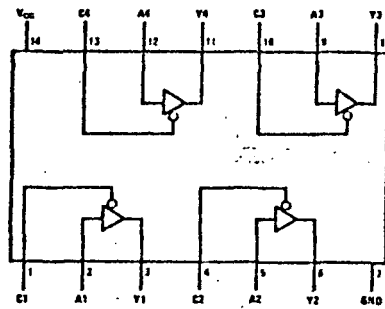
- Cuando hay una colocación de acierto tengo un nivel 1 a la salida.
- Cuando hay una colocación de semejante tengo un nivel 0 a la salida.

En todo este proyecto se utiliza siempre lógica positiva.

El diagrama eléctrico del Control con el Detector de aciertos y semejantes esta en el plano 2.

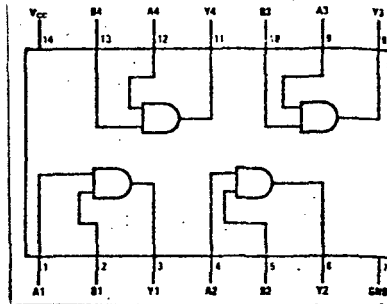
El buffer que se utiliza para la entrada de los impulsos del reloj es un 74125 TRI-STATE . Fig. 16

Fig. 16



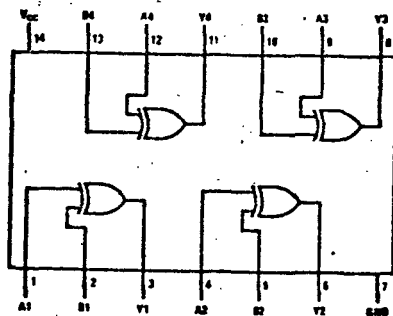
La puerta AND de cuatro entradas, se basa en el 7408 conectando las salidas de dos puertas a la entrada de otra puerta.

Fig. 17



Las puertas NOR-EXCLUSIVE están construidas con el 7486 y con inversores.

Fig. 18



6. UNIDAD DE ENTRADA DE COMBINACIONES

Esta compuesto de los siguientes circuitos:

- 6.1 Latch TRI-STATE
- 6.2 Registros D
- 6.3 Decodificadores para Display
- 6.4 Display
- 6.5. Decodificador de teclado

El esquema en bloques de esta unidad esta en la fig. 19

6.1 LATCH TRI-STATE

Estos latch estan conectados al Bus 2.

La información en estos latch no queda almacenada, por lo que sus entradas estan conectadas a registros D, los cuales tienen la información constantemente almacenada.

Estan formados estos latch por los ya conocidos 4044B, anteriormente ya descritos.

Sus entradas de control estan conectadas a un decodificador. Esta parte del circuito ya se ha descrito con amplitud en el capitulo del Control. Su funcionamiento y descripción se pueden ver en dicho apartado.

6.2 REGISTROS D

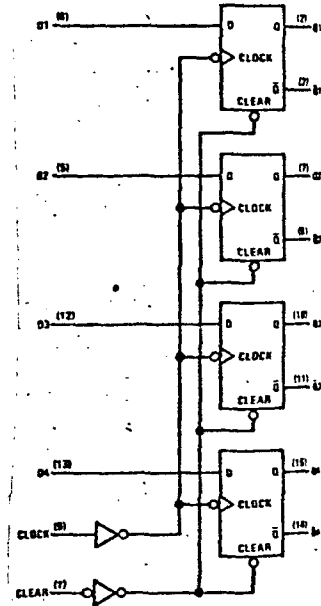
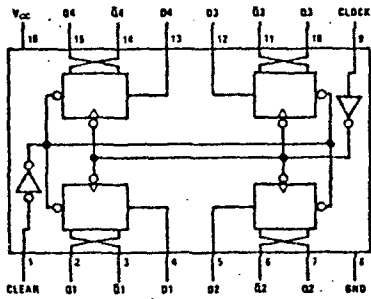
Son los registros (memoria) que almacena los digitos introducidos por el Teclado.

La información en sus registros nunca se pierde y permanece cuanto tiempo queramos.

Cuando llega un impulso positivo por su entrada de reloj, la información que este en la entrada queda almacenada en los registros D. Cuando la entrada de reloj vuelve a nivel bajo, la información que esta en la entrada no queda almacenada y la información que estaba almacenada queda sin alteración.

Tiene Clear para borrar la información almacenada pero no se ha utilizado esta ventaja y se ha conectado a nivel alto. Para borrar la información almacenada se logra introduciendo un nuevo dato, que elimina al anterior.

Fig.20 (74175)



Sus salidas se conectan a:

- Decodificadores de Display : Para poder ver constantemente los digitos introducidos por el teclado.
- Latch TRI-STATE : Para poder dar la información a estos latch y asi poder hacer la comparación.

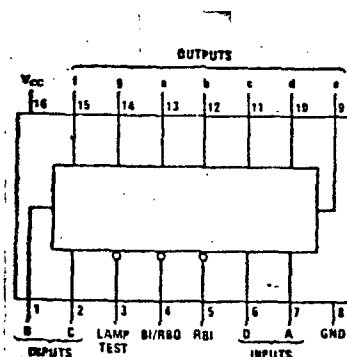
6.3 DECODIFICADORES PARA DISPLAY

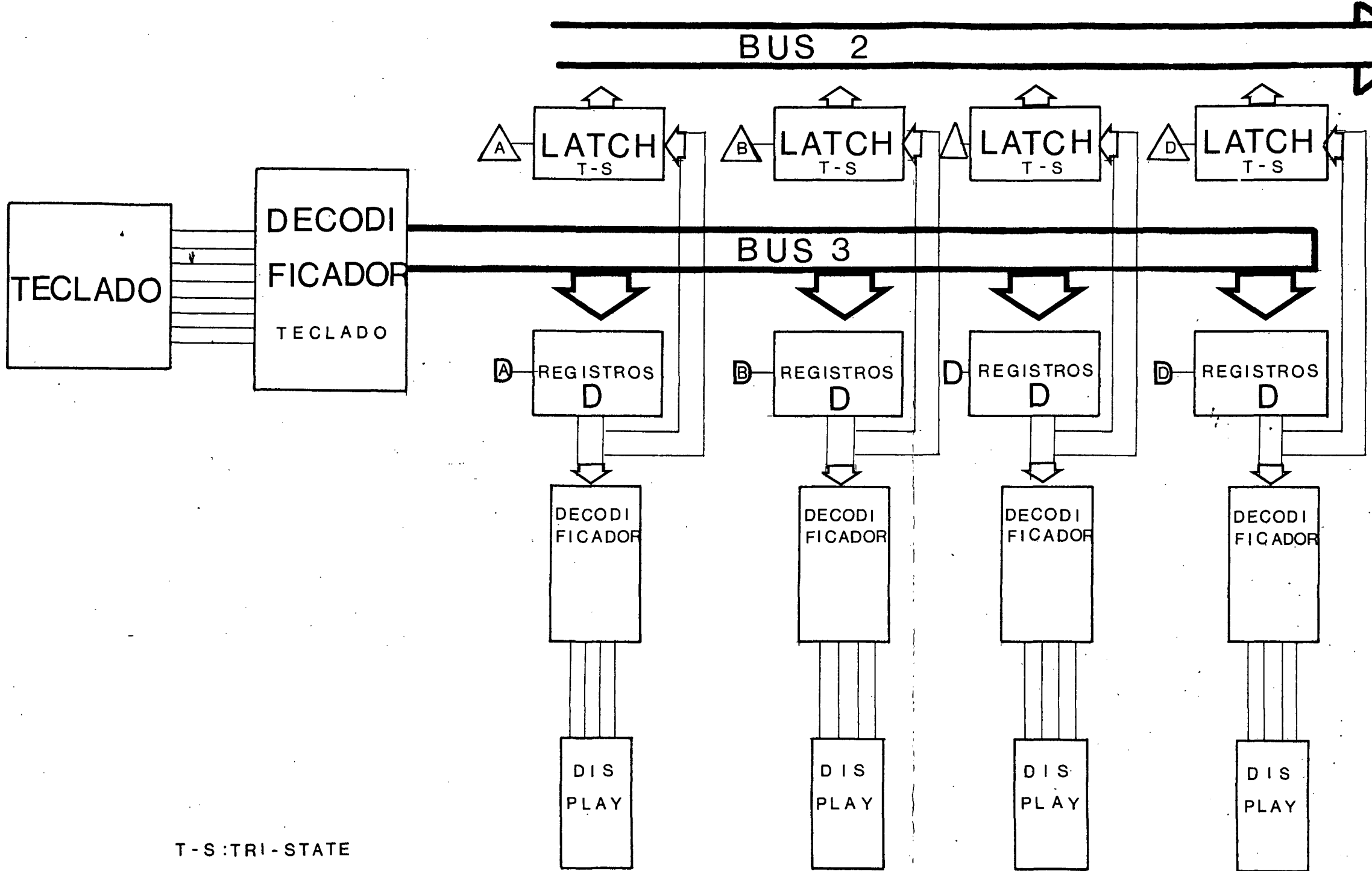
La señal BCD de los registros D la decodifican a una señal que ataca a LED de catodo común. Sus salidas son activas en nivel alto.

Para este proyecto he utilizado el decodificador

7448.

Fig. 21





T-S: TRI-STATE

Este decodificador tiene la característica de tener unas resistencias de 2 K conectadas interiormente a sus salidas. Así nos ahorramos la necesidad de conectar resistencias exteriores para controlar la corriente que circula por el LED.

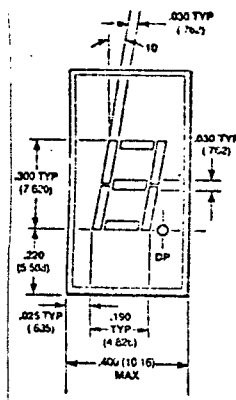
La corriente que suministra este decodificador es de 6,4 mA y nos viene bien ya que la corriente promedio para los LEDs que se utilizan es de 30 mA.

Tiene otras ventajas como Test de muestreo, Dejar en blanco las salidas, pero estas ventajas no las he utilizado y por ello he conectado las patillas 3,4,5, a Vcc.

6.4 DISPLAY

He utilizado los digitos a led de 7 segmentos de catodo común tipo MAN 74 A.

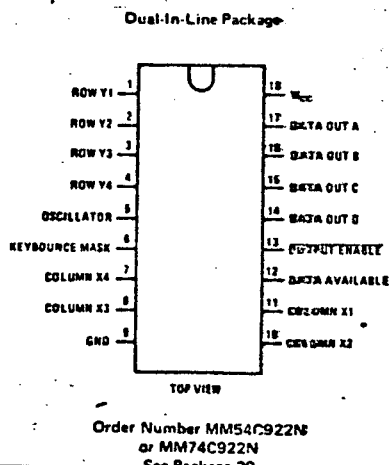
Fig. 22



- Pin MAN74A
- 1 Anodo F
 - 2 Anodo G
 - 3 No Pin
 - 4 Common Cathode
 - 5 No Pin
 - 6 Anodo E
 - 7 Anodo D
 - 8 Anodo C
 - 9 Anodo DP
 - 10 No Pin
 - 11 No Pin
 - 12 Common Cathode
 - 13 Anodo B
 - 14 Anodo A

El punto decimal se ha dejado al aire, no es necesario.

6.5 DECODIFICADOR DE TECLADO (74C922)



6.5 DECODIFICADOR DE TECLADO

Esta basado en un decodificador C-MOS que incorpora toda la logica necesaria para decodificar completamente una matriz de 16 S.P.S.T. interruptores (normalmente abiertos) a codigo BCD.

S.P.S.T. ---  Un solo polo ON-OFF

Los interruptores estan en una matriz de 4 x 4 y son secuencialmente explorados en una relación determinada por su reloj interno, la frecuencia de él, siendo determinada por una capacidad exterior o alternativamente un oscilador externo, pudiendo ser usado en total sincronización dentro de un sistema. Puede usarse con interruptores de hasta 50 K de resistencia en conducción. No necesita conectar diodos en la matriz de interruptores para eliminar interrupciones fantasma.

Un data available flag (salida) asume un nivel lógico alto cuando una tecla se entra y vuelve a nivel bajo cuando la tecla es soltada, incluso si otra tecla es presionada. El data available flag volverá a alto para indicar la aceptación de una nueva entrada de tecla después de un normal periodo de rebote. Se pueden apretar dos teclas a la vez y latch internos almacenan el último entrada incluso después de que la tecla sea levantada.

Las salidas son en TRI-STATE permitiendo la expansión y aplicación a BUS. Las salidas son en Tri-State hasta que una tecla es presionada, entonces el dato es colocado en el Bus. Cuando la tecla es levantada, la salida vuelve a Tri-State.

En este montaje sea conectado al Bus 3 que actúa sobre los registros D, que almacenan los datos introducidos por el teclado. los datos seran introducidos de forma asincrona, para que el jugador tenga todo el tiempo que

quiera para pensar la siguiente jugada o número.

Pra que funcione asincrono hay que conectar un inversor a la salida del Data Available que actue sobre el Output Enable, este es activo a nivel bajo y habilita la salida.

Para actuar sobre cada registro D independiente_{mente} he conectado un 4017 a la salida de Data Available.

El 4017 es un contador johnson de 5 estados. Funciona de la siguiente forma : cuando le llega un pulso positivo por su entrada de reloj lo cuenta y da un nivel alto por la salida 1. Cuando llega otro pulso da un nivel alto por la salida 2 y la 1 vuelve a nivel bajo. Asi ocurre sucesivamente.

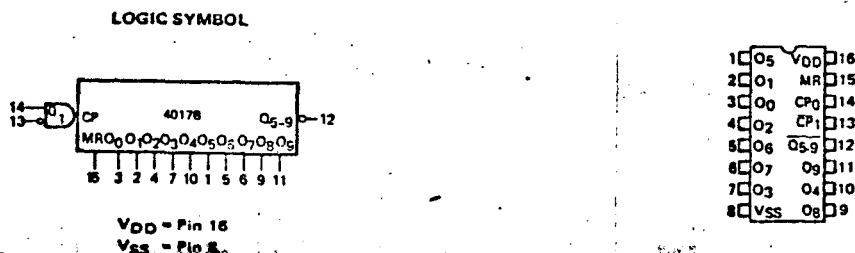
Para este juego se ha conectado para que entre 4 pulsos y el quinto para que se ejecute el juego. El quinto pulso se genera cuando se presiona la tecla E.

Tiene un Master Reset que se utiliza cuando se ha introducido 5 pulsos vuelva a su posición original para poder jugar otra tirada y cargar de nuevo los registros D.

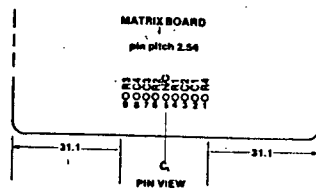
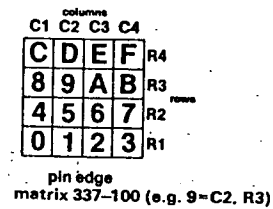
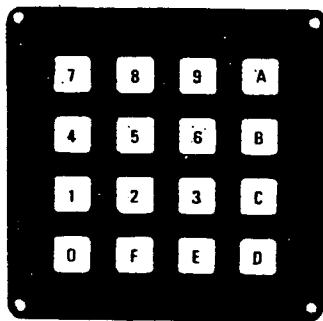
Las salidas del 4017 son del tipo **A B C D** que su conección se puede ver en el diagrama de bloques de la fig. 19.

Cuando se aprieta la tecla E se actúa sobre el reset del contador de control (7493) y empieza a realizarse todas las comparaciones y controles.

Fig. 23



Para este decodificador hay un teclado especial. Consiste en 16 teclas que van del 0 al 9 y de A a F, tiene una fila de conexiones utilizando solamente 8 contactos. Los números se introducen del 0 al 9. La forma y distribución de este teclado se puede ver en la fig. 24



El esquema eléctrico de esta unidad es el número

3.

7. CONTADOR DE ACIERTOS Y SEMEJANTES

En esta unidad tambien se incluye por cuestión de comprensión el comparador, que es un circuito que pertenece al control. Se ha puesto aquí ya que se entiende mejor así la función que desempeña.

El comparador tiene la misión de comparar los datos almacenados en el generador aleatorio de combinaciones con los datos de la unidad de entrada de combinaciones. Es decir, comparar los números generados al azar por la máquina con los números introducidos a voluntad por el jugador.

El generador aleatorio de combinaciones entrega sus datos por el BUS 1.

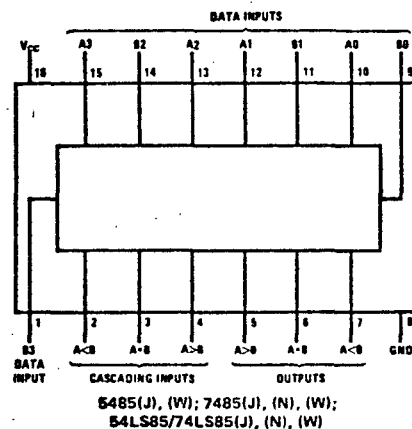
La unidad de entrada de combinaciones entrega sus datos al BUS 2.

La disposición y el orden de entrega de estos datos se ha estudiado en la unidad de control.

Entonces el comparador lo único que tiene que hacer es comparar el BUS 1 con el BUS 2.

El integrado que he utilizado como comparador es el 7485 que es un comparador de 4 bits.

Fig. 25



Solo he utilizado la posibilidad de que cuando =
BUS 1 = BUS 2 - Tener un 0 a la salida

BUS 1 = BUS 2 - Tener un 1 a la salida

Para ello he tenido que conectar las entradas de cascada a :

A < B a Masa





A > B a Masa

A = B a Vcc

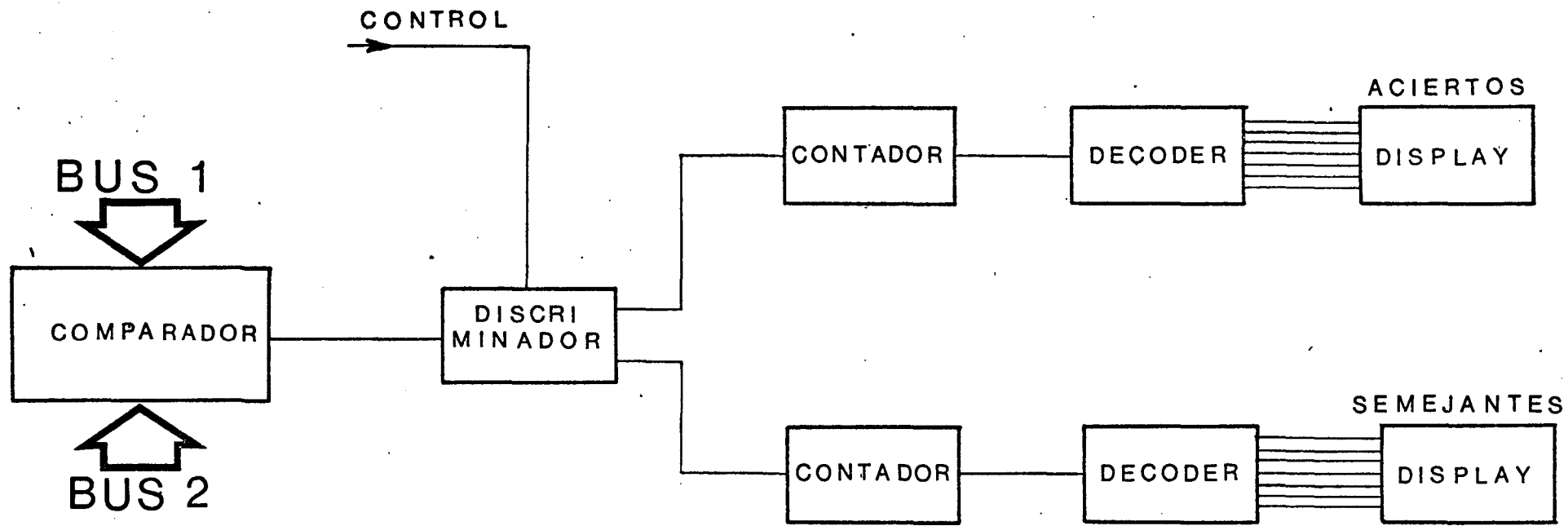
El esquema en bloques de esta unidad esta en la fig. 26

Veamos anteriormente en la unidad de Control que lo latch D TRI-STATE eran activados por decodificadores 2 x 4. La secuencia era :

```
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1 - a
0 1 0 0 - b
Continua ...
```

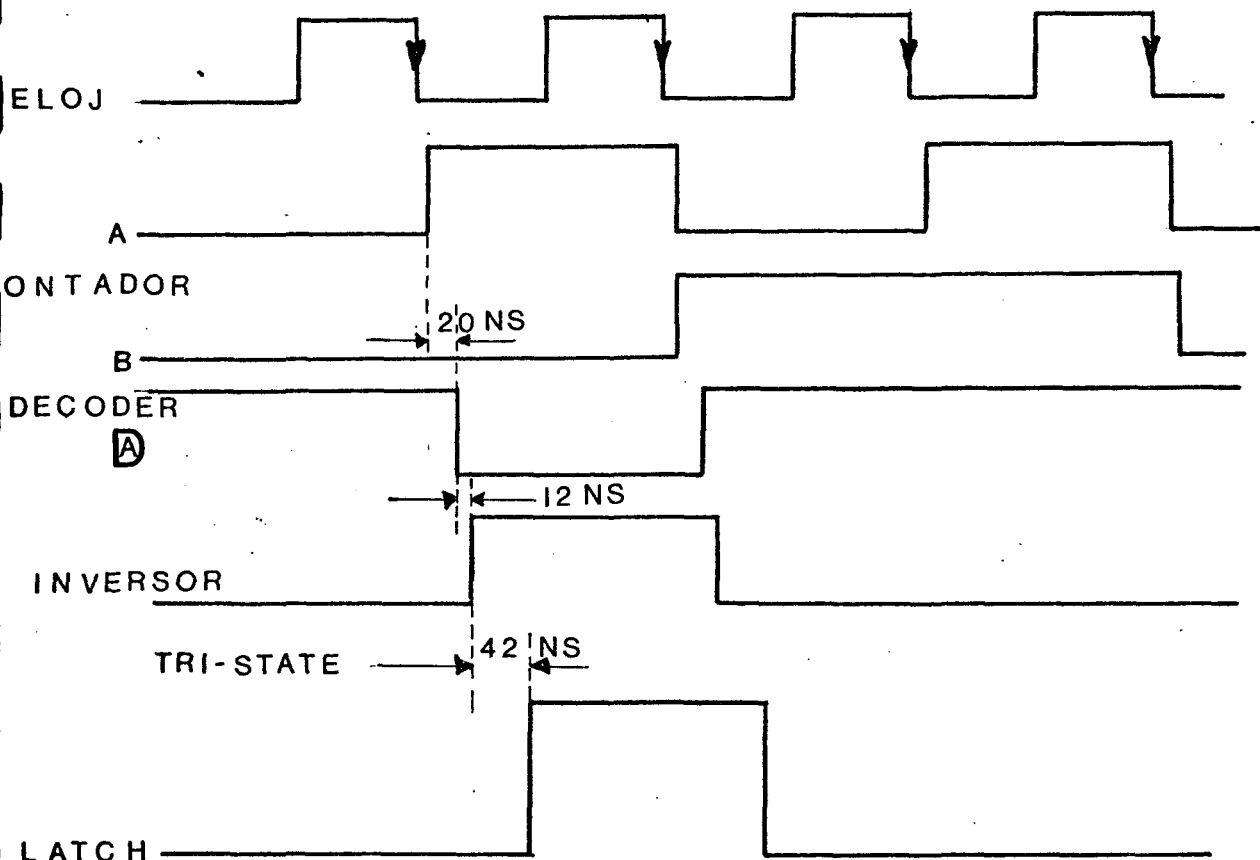
Vemos que al pasar de la secuencia a en la cual estan activados los latch  y  , a la secuencia b en la que estan activados los latch  y  .

Pasamos de comparar dos latch a comparar otros dos latch distintos. Antes era un latch comparado con los otros , pero uno estaba fijo. Pero ahora han conmutado los dos, pues entonces hay un momento en el cual todos los latch quedan desactivados, todos estan en TRI-STATE. Entonces el comparador 7485 que es de la familia TTL tiene todas sus entradas al aire y las considera como un 1. Por lo tanto da a la salida un 1 ya que los BUS 1 y BUS 2 son iguales. Pero este 1 es falso y tengo que eliminarlo. La solución es muy sencilla, se introduce por el BUS 1 una resistencia de pequeño valor (200) y que no cargue a las puertas de salida de los latch, a la en-



trada A y a masa, para que cuando los latch estén en TRI-STATE, el comparador tenga el número 14 en el BUS 1 y así sea distinto del 15 que tiene el BUS 2. De esta forma he conseguido tener un 0 a la salida.

El tiempo el cual los latch están en TRI-STATE es el retraso introducido por los latch que es de un valor de 42 nseg. El cronograma de tiempos se ve en la fig. 27.



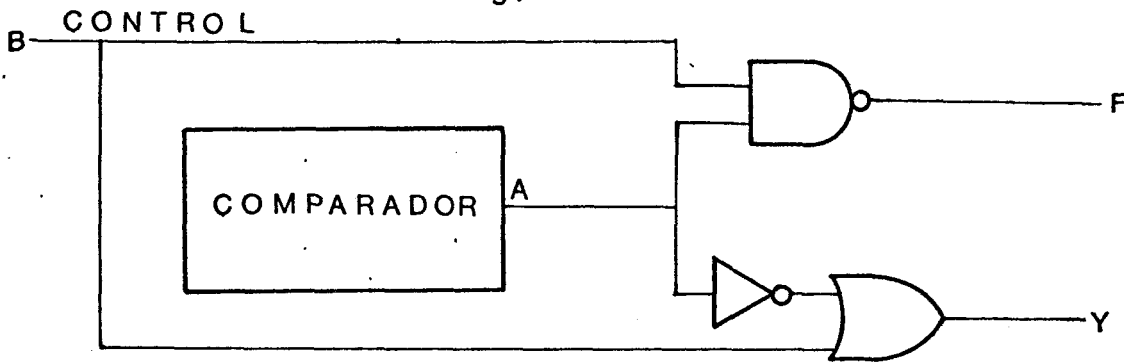
El discriminador es un circuito gobernado por una señal de control por el cual la salida del comparador la conmuta hacia el contador de aciertos o hacia el contador de semejantes.

Como se describió en la unidad de Control, cuando se actúa 2 latch iguales (⊙ con △) se envía un 1 al comparador. Pues esta señal es aplicada al discriminador, el cual conmuta la señal del comparador a la entrada del contador de aciertos.

Cuando recibe un 0 por su control, el discriminador conmuta la señal de salida del comparador con la entrada del contador de semejantes. Así cuenta un contador u otro los aciertos y semejantes.

El diseño del discriminador es muy sencillo.

Fig. 28



Los impulsos de salida del discriminador tienen que ser de bajada para poder actuar sobre el contador.

Tiene que cumplir la siguiente tabla de verdad y se desarrolla por Karnaugh.

a	0	1
b	0	1
0	1	1
1	1	0

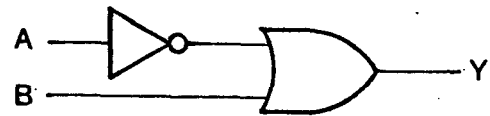
$$F = \bar{A} + \bar{B} = \overline{A \cdot B}$$

F - Contador de aciertos

a	0	1
b	0	1
0	1	1
1	1	0

$$Y = \bar{A} + B$$

Y - Contador de semejantes



De esta forma se demuestra la fig. 28 anteriormente dibujada.

El contador, decodificador y display son los ya utilizados anteriormente en este montaje.

Al contador se le ha dotado de reset ya que a cada jugada hay que poner a cero los contadores. Ya que se va a introducir una nueva combinación de dígitos dife

rentes por la unidad de entrada de combinaciones y dará una distinta cantidad de aciertos y semejantes.

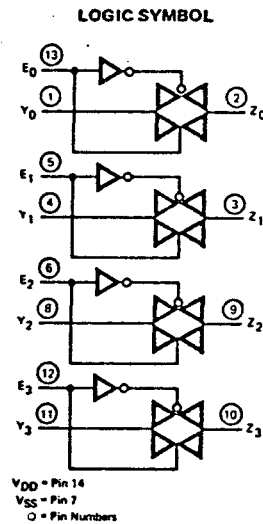
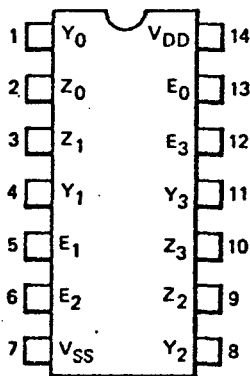
El esquema eléctrico de esta unidad está en el plano 4.

CIRCUITOS COMPLEMENTARIOS

Son circuitos adicionales que mejoran el buen funcionamiento del Master Mind.

Si el jugador en cualquier momento se cansa de jugar ó se siente vencido, puede apretar un pulsador por el cual los digitos secretamente almacenados apareceran en el Display.

He utilizado los interruptores analogicos CMOS 4016B fig. 29



Se han conectado de tal forma que en el juego normal hacen la conmutación entre los registros D de los 74175 y los decodificadores 7448.

Cuando se apreta el pulsador, la anterior conmutación descrita desaparece y queda al aire. Ahora se hace la conmutación entre las salidas de los 7490 del generador aleatorio de combinaciones y los decodificadores 7448.

Al accionar dicho pulsador va a actuar sobre una célula R-S NAND que actúa sobre el LED de final de partida, que queda iluminado indicando que la partida ha terminado.

Las conexiones eléctricas estan descritas en el plano 4.

En este juego he puesto la limitación de que solo se pueden hacer 10 jugadas. Cuando se han hecho todas las jugadas, el juego termina y se enciende el LED de final de partida. Para ello he utilizado el contador Johnson de 5 estados 4017B que es accionado por la tecla E y actúa sobre su entrada de reloj. La tecla E es accionada en cada jugada. Cuando le hayan llegado los 10 pulsos por la patilla 14, entonces por la patilla 11 hay un nivel alto que actúa sobre el LED.

Su circuito eléctrico está descrito en el plano 4.

En todos los planos los cables del reset se han dejado indicados. En el plano 4 se describe el circuito y conexión del reset. Los cables que están indicados con una H se conectan a los indicados con una H, igual para los L.

8. SISTEMA DE PRESENTACION

El juego vendrá en una caja de aluminio anodizado negro. Donde la distribución de los componentes y dimensiones se detallan en el siguiente plano.

La fuente de alimentación es exterior. Las dimensiones de la caja vienen determinadas por las placas de circuito impreso utilizadas para este montaje. Se han colocado una encima de la otra para un menor espacio.

El plano utilizado es el número cinco.

Utilidad de los pulsadores descritos en el plano.

P1= Generación aleatoria

P2= Paso a paso

P3= Aparecen digitos aleatorios

P4= Reset partida

Todas las dimensiones son en milímetros en el plano 5.

9. FUENTE DE ALIMENTACION

Para la alimentación de los circuitos integrados del Master Mind necesito una fuente con las siguientes características =

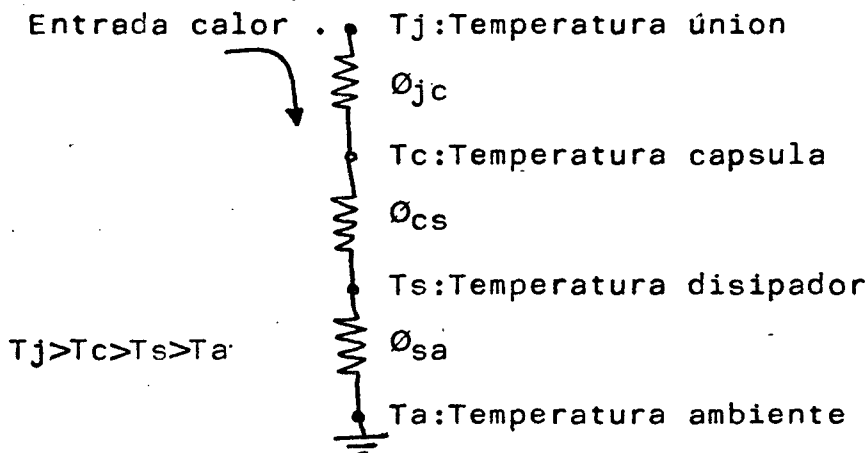
$$V_{cc} = 5 \text{ v} \quad I_{out} = 1.5 \text{ Amp}$$

Protegida contra cortocircuitos

Para lograr este propósito he tenido que efectuar los siguientes calculos:

El circuito regulador necesario es el 7805CT

Circuito térmico entre semiconductor y disipador



Θ_{jc} : Resistencia térmica entre union y capsula

Θ_{cs} : Resistencia térmica entre capsula y disipador

Θ_{sa} : Resistencia térmica entre disipador y ambiente

Θ_{ja} : Resistencia térmica entre union y ambiente

$$\Theta_{ja \text{ tot}} = \frac{T_j - T_a}{P_d} = \frac{125 - 60}{1.5} = 7.29 \text{ C/W}$$

$$T_j: 125^\circ \quad T_a: 60^\circ$$

Para el buen funcionamiento del circuito debe cumplirse

$$\Theta_{ja \text{ tot}} > \Theta_{jc} \quad 7.2 > 4$$

La corriente máxima de salida del 7805CT es

$$I_{out \text{ max}} = 1.7 \text{ Amp}$$

$$\Theta_{ja \text{ tot}} = \frac{T_{j \text{ max}} - T_a}{V_{in} \cdot I_{om}} = \frac{150 - 60}{11 \times 1.7} = 4.89 \text{ C/W}$$

Para necesitar disipador debe cumplirse:

$$\theta_{ja \text{ tot}} < \theta_{ja} \quad 7.2 < 50$$

Calculo de la resistencia térmica de disipador a ambiente

$$\theta_{sa} = \theta_{ja \text{ tot}} - \theta_{jc} = 4.8 - 4 = 0.80 \text{ C/W}$$

En condiciones de cortocircuito tendremos

$$\theta_{sa} = 1.20 \text{ C/W}$$

Con estos datos voy a una tabla de disipadores y obtengo que el disipador a utilizar es el IERC HP3.

Para la fuente se utiliza un transformador de tension de entrada de 220 v y de salida 9 v eficaces.

$$V_{pp} = V_{ef} \times \sqrt{2} = 12.70 \text{ v}$$

En el puente P1 hay una caida de tension

$$V_{rect} = 2 \text{ v}$$

$$\begin{aligned} \text{Tension sin regular } V_{sr} &= V_{pp} - V_{rect} = \\ &= 10.70 = 11 \text{ v} \end{aligned}$$

La corriente que circula por el puente es:

$$I_p = 1.8 \times 1.5 = 2.7 \text{ Amp}$$

Debo utilizar un puente que soporte 3 amperios y es el KBL 02 ó tambien 4 diodos del tipo 1N5401

El transformador debe ser de 25 VA

Se utilizan dos condensadores para filtro.

C1 es para mantener la estabilidad del amplificador operacional.

C2 es para eliminar parasitos en alta frecuencia que pueden afectar a los circuitos alimentados.

A la fuente se le ha dotado de un LED de indicacion de correcto funcionamiento.

El circuito eléctrico esta en el plano 5.

10. PRESUPUESTO.

El estudio económico es basado en el precio actual del mercado. En esta región sufrimos el problema de la insularidad. Entonces al estar aislados, hay algunos comerciantes que imponen unos precios abusivos. De esta manera los precios fluctúan grandemente de una tienda a otra.

El estudio realizado es solamente orientativo por las causas anteriores, pero da una muestra aproximada de su valor real.

<u>COMPONENTE</u>	<u>CANTIDAD</u>	<u>PRECIO UNIDAD</u>	<u>TOTAL</u>
7490	6	73	438
4044	8	95	760
74174	4	74	296
7448	6	98	588
4017	2	80	160
7404	2	49	98
4016	2	75	150
74156	2	84	168
7402	1	35	35
7408	1	45	45
7485	1	110	110
7486	1	60	60
7493	1	73	73
74125	1	60	60
556	1	70	70
74C922	1	420	420
7805	1	160	160
MAN 74A	6	145	870
P1 3 Amp	1	210	210
LED	2	45	90
PULSADORES	4	40	160

<u>COMPONENTE</u>	<u>CANTIDAD</u>	<u>PRECIO UNIDAD</u>	<u>TOTAL</u>
T1	1	300	300
PLACAS	3	200	600
		SUMA TOTAL	<hr/> 5.921 ptas

LISTA DE COMPONENTES

GENERADOR ALFATORIO DE COMBINACIONES

7490	Contador	
4044	Latch	
556	Reloj	
R1	3 K 9	1/4 w
R2	3 K 3	1/4 w
R _L	1 K	1/4 w
C	1 nF	Ceramico
C1	0,001 uF	Ceramico
P1	Pulsador miniatura	

CONTROL=DETECTOR DE ACIERTOS Y SEMEJANTES

7404	Inversor	
7408	AND	
7486	EXCLUSIVE-OR	
74125	Buffer TRI-STATE	
74156	Decodificador	
R1	3 K 9	1/4 w
R2	2 K 7	1/4 w
C	0,15 uF	Ceramico

UNIDAD DE ENTRADA DE COMBINACIONES

4044	Latch	
4017	Contador Johnson	
7448	Decodificador	
74175	Registros D	
740922	Decodificador Teclado	
Man 74A	Display	
C	0,01 uF	Ceramico

CONTADOR DE ACIERTOS Y SEMEJANTES

7400	NAND	
7402	NOR	
7448	Decodificador	
7485	Comparador 4 Bits	
7490	Contador	
MAN 74A	Display	
R1	220	1/4 w

CIRCUITOS COMPLEMENTARIOS

4016	Switch	
7402	NOR	
7404	Inversores	
74279	R-S NAND Báscula	
4017	Contador Jonhson	
R1,R5	10 k	1/4 w
R2	100 K	1/4 w
R3	33 K	1/4 w
R4	330	1/4 w
C1,C2	2u2	1/4 w
P3,P4	Pulsadores miniatura	
Led	Rojo	

FUENTE DE ALIMENTACION

7805CT	Regulador 5v	
R1	330	1/4 w
C1	25 uF	25 v Electrolitico
C2	0,1 uF	12 v Ceramico
P1	Puente 3 Amp	
Disipador modelo IERC HP3		
T1	Transformador	220-9 v 25 VA

SISTEMA DE PRESENTACION

Chapa ólámina de Aluminio anodizado negro de 160 x 125 mm

BIBLIOGRAFIA

Los estudios realizados para este proyecto son principalmente los conocimientos adquiridos en esta Escuela.

Pero para su desarrollo he obtenido información de los siguientes libros:

- CMOS DATA BOOK - National y Fairchild
- TTL DATA BOOK - National, Fairchild y Texas
- VOLTAGE REGULATOR HAND BOOK - National
- THE LINEAR CONTROL CIRCUITS DATA - Texas
- The optoelectronics data book - Texas y Fairchild
- Catálogo RS. International Edition - March-June 1982
- CIRCUITOS ELECTRONICOS : DIGITALES I y II.

E. Muñoz Merino

- Información PIHER.

CONSIDERACIONES FINALES

Con este proyecto quiero exponer los conocimientos adquiridos en estos 3 años de estudios. Esperando que los futuros alumnos de esta Escuela, se dignen en leer este proyecto y adquieran algunos conocimientos.

Quiero dejar constancia de mi agradecimiento a todas las personas que han colaborado en este proyecto.

Desde el punto de vista técnico le debo mi agradecimiento a :

D. Sebastian Suarez Gil

D. Jesus Lujan Jimenez

D. Caballero

D. Jose M. Perez Rivero

Por su ayuda moral y animo a :

Srta. Rosa Delia Fdez

D. Juan Antonio Jimenez Glez

Sra. Encarnacion Martin

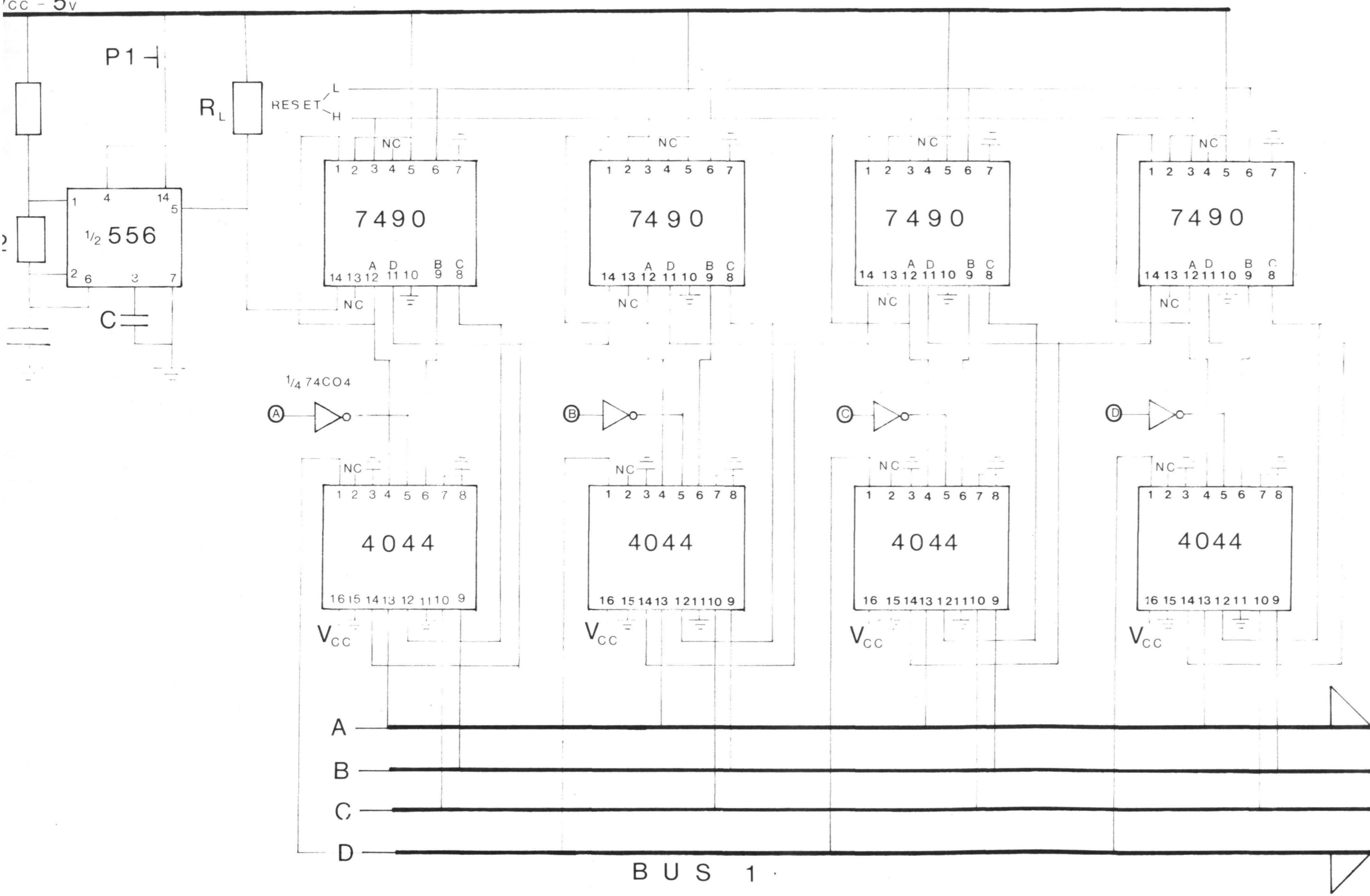
Consideo redactado el presente Proyecto, que elevo al Tribunal de Trabajo de Fin de Carrera, esperando merezca su aprobación.

Las Palmas de Gran Canaria a 7 de Julio de 1.982

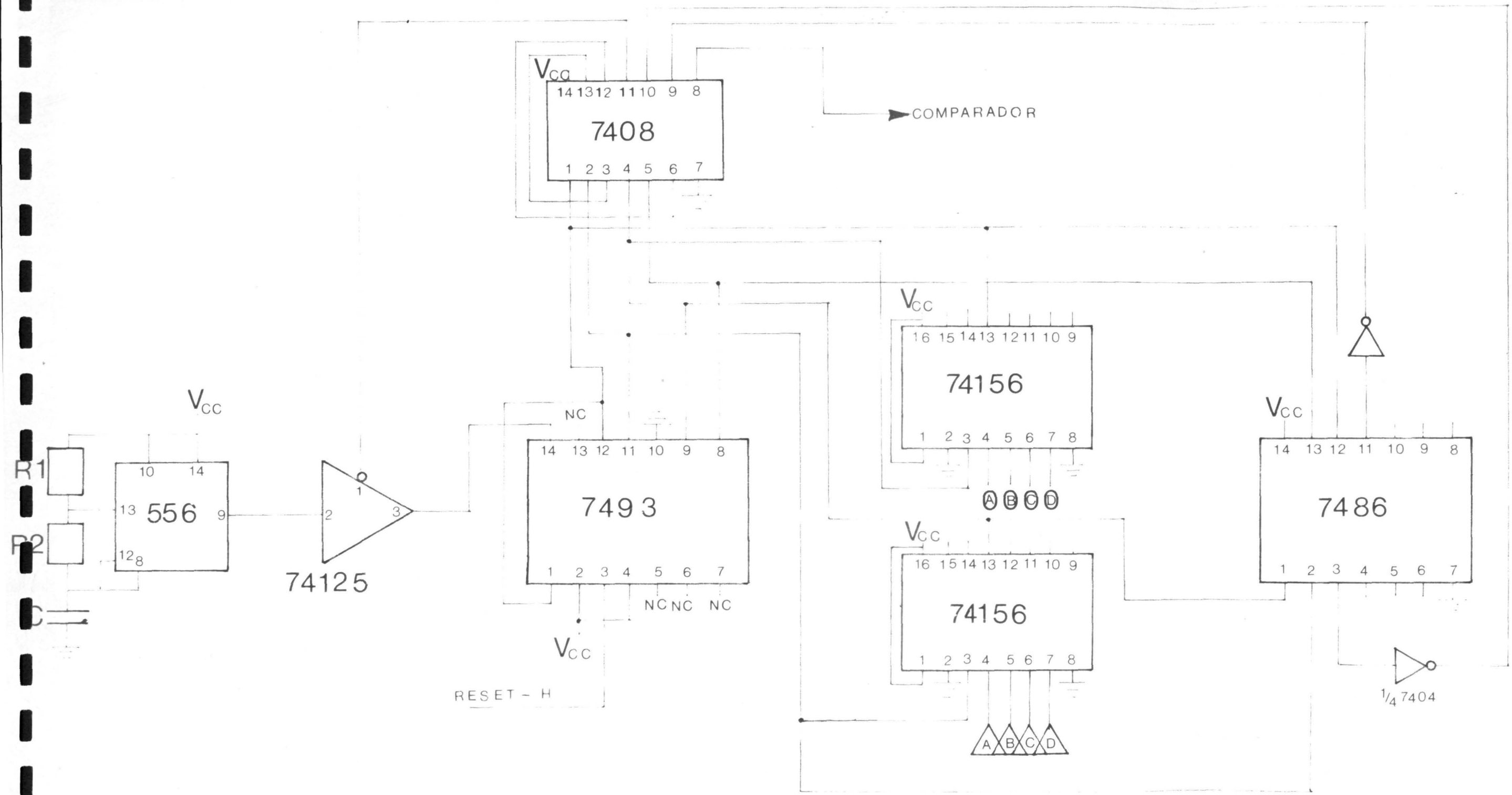
Autor del Proyecto

Fdo. Eugenio Manuel Fernandez Martin

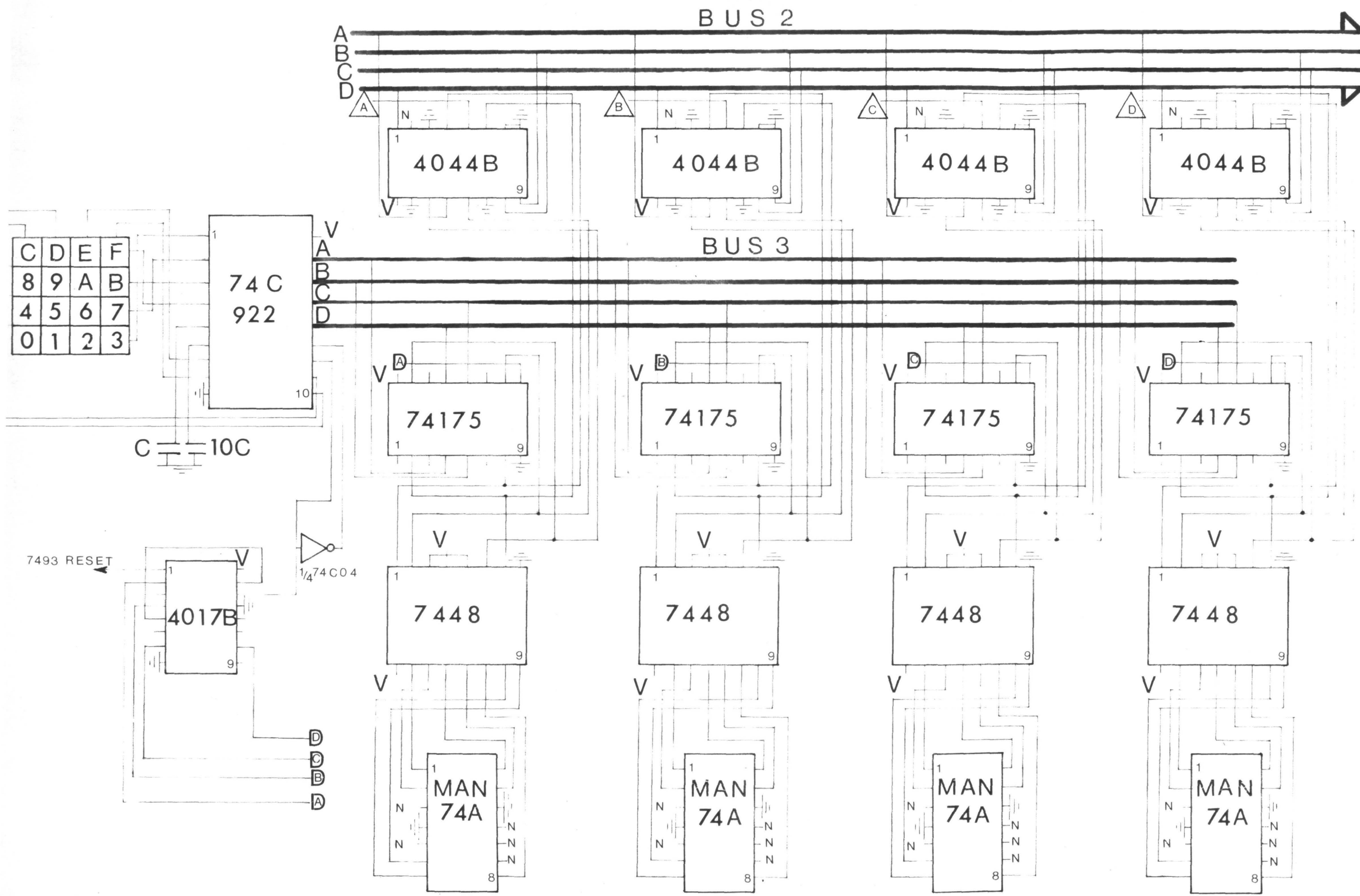
$V_{CC} = 5V$



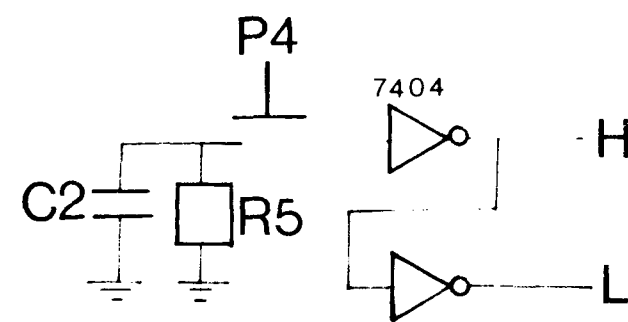
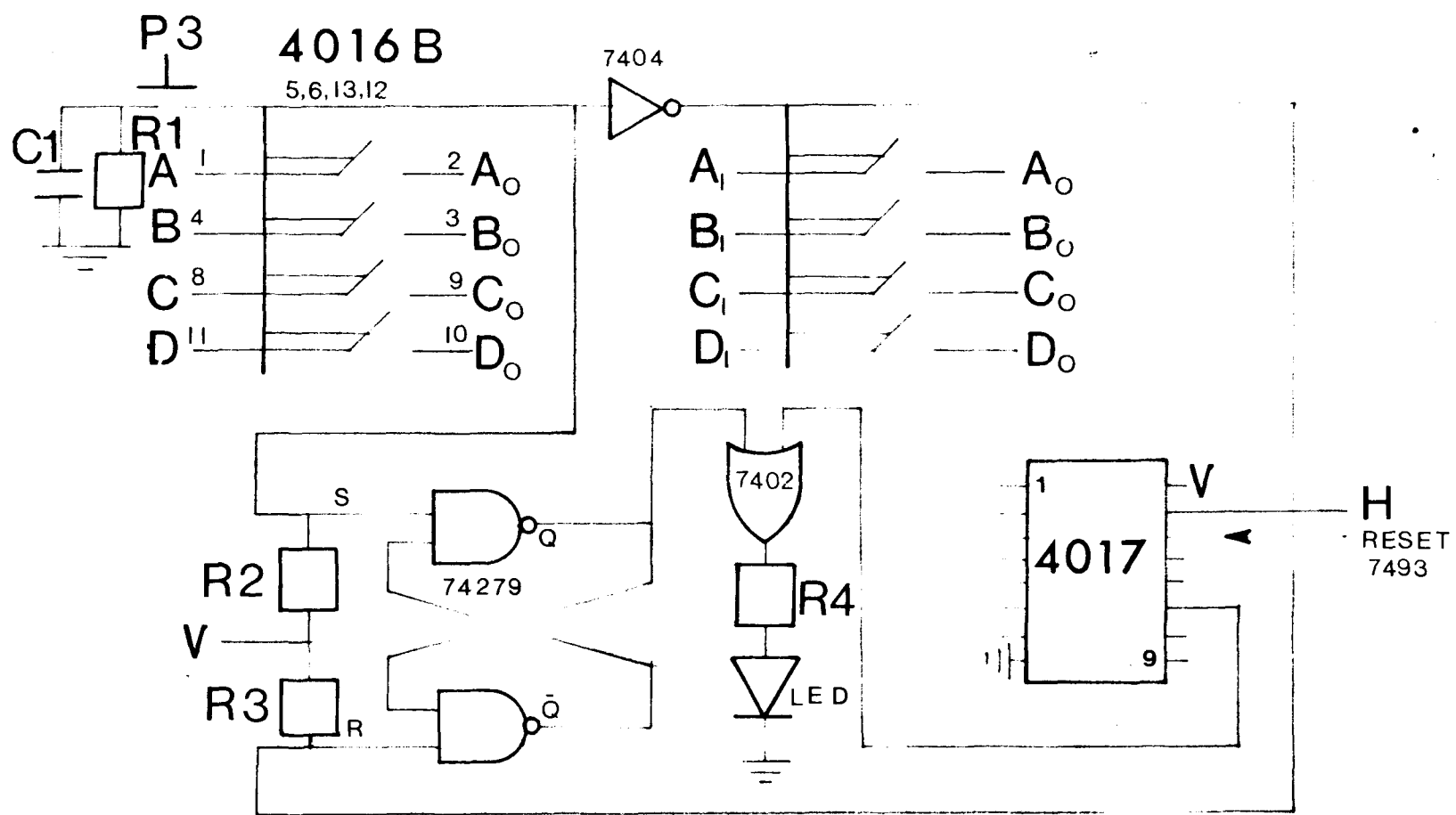
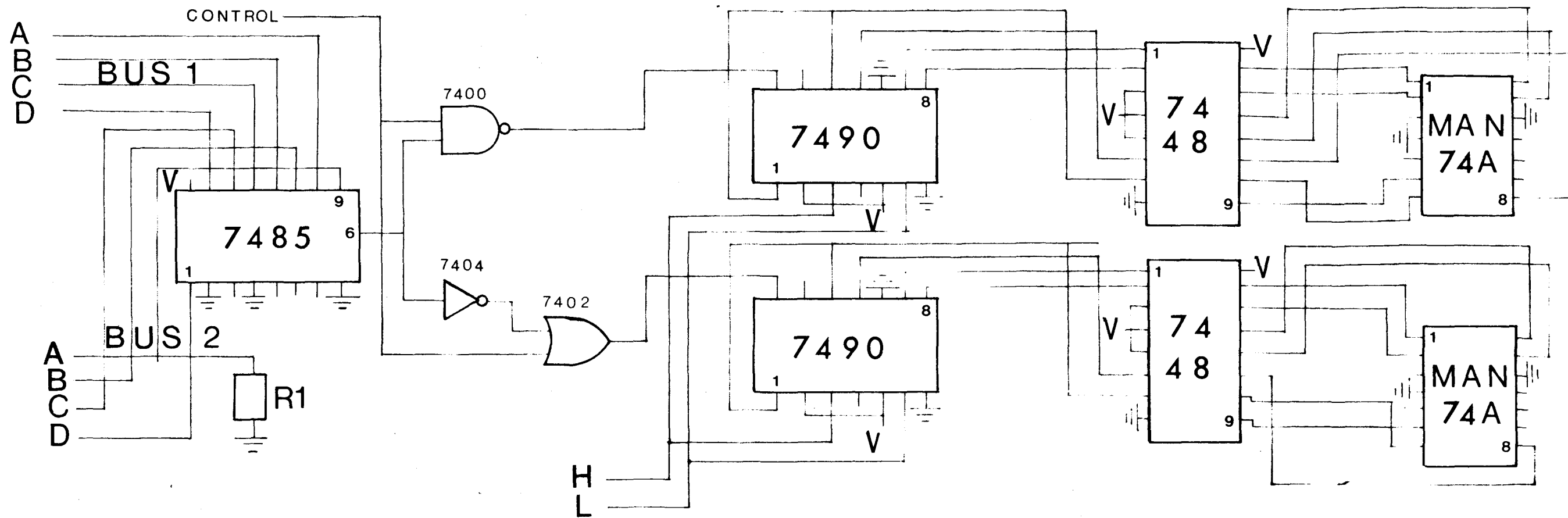
ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACION	
ALUMNO	EUGENIO M. FERNANDEZ
PROYECTO	MASTER MIND ELECTRONICO
PLANO	1
FECHA	JUNIO 82



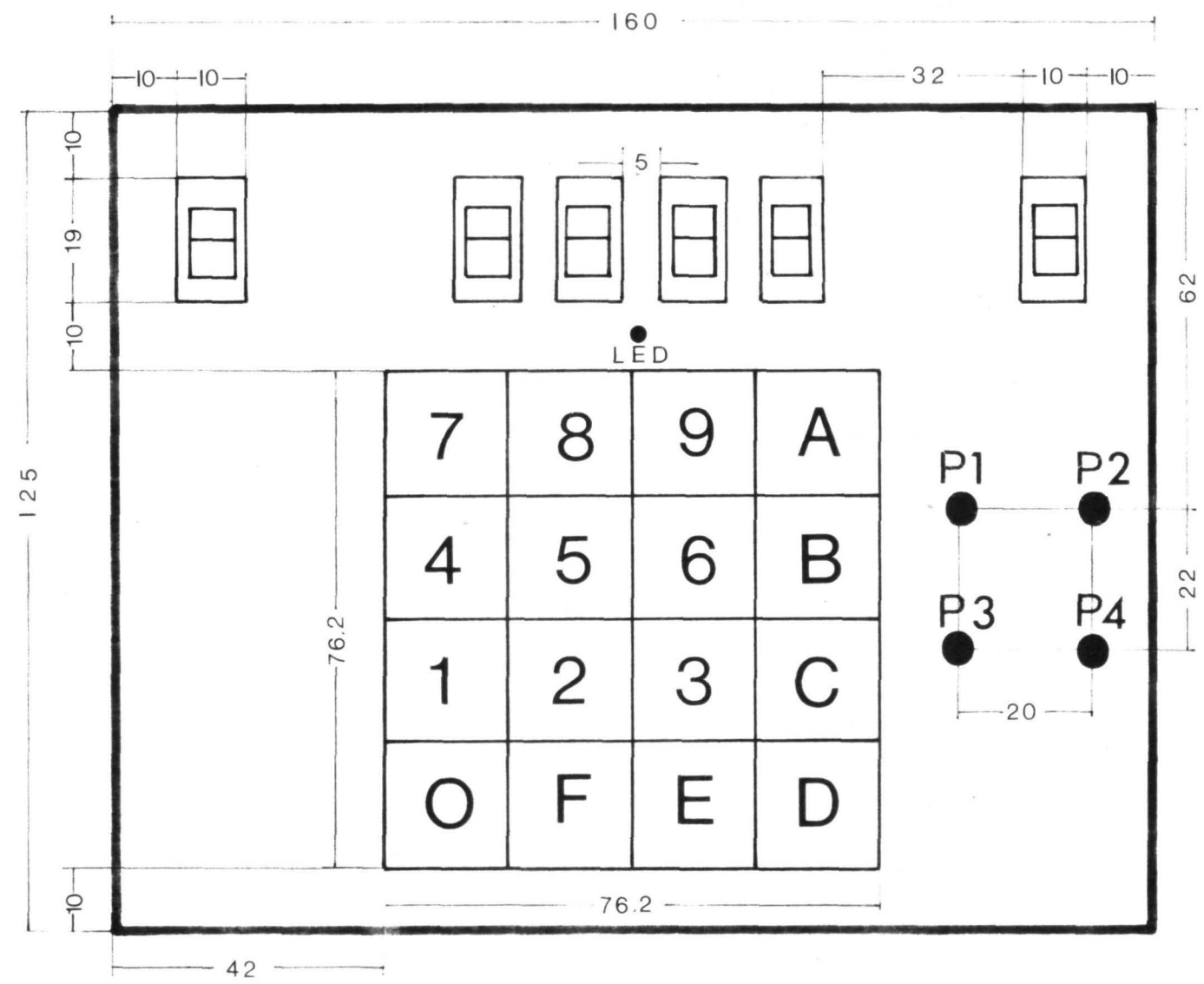
ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACIONES	
ALUMNO	EUGENIO M. FERNANDEZ
PROYECTO	MASTER MIND ELECTRONICO
PLANO	2
FECHA	JUNIO 82



ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACION	
ALUMNO	EUGENIO M. FERNANDEZ
PROYECTO	MASTER MIND ELECTRONICO
PLANO	3
FECHA	JUNIO 82



ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACIONES	
ALUMNO	EUGENIO M. FERNANDEZ
PROYECTO	MASTER MIND ELECTRONICO
PLANO	4
FECHA	JUNIO 82



ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACION	
ALUMNO	EUGENIO M. FERNANDEZ
PROYECTO	MASTER MIND ELECTRONICO
PLANO	5
FECHA	JUNIO 82

