

I N T R O D U C C I O N

Se redacta el presente proyecto, en calidad de trabajo de fin de carrera, como complemento de las enseñanzas recibidas a lo largo de la carrera de Ingeniería Técnica de Telecomunicaciones.

Dicho trabajo es requisito previo e indispensable, para la obtención del título correspondiente, según el vigente plan de estudios, en el que, está incluido como asignatura del último curso de la mencionada carrera.

La redacción del proyecto se lleva a cabo a petición de la Escuela Universitaria de Ingeniería Técnica de Telecomunicaciones de Las Palmas con domicilio social en la calle de Tomás Morales s/n, y en cuya representación actúa como tutor el profesor de la citada escuela: D. Sebastian Suárez Gil.

TITULO DEL PROYECTO:

PARTE I :

ESTUDIO DESCRIPTIVO DE LOS SISTEMAS DE MEMORIAS.

PARTE II :

CIRCUITO PROGRAMADOR DE LA EPROM 2716.

AUTOR DEL PROYECTO:

JESUS LUJAN JIMENEZ.

Firmado: Jesús Luján Jiménez.

EL TUTOR:

SEBASTIAN SUAREZ GIL.

Firmado: Sebastian Suárez Gil.

FECHA: FEBRERO 82.

INDICE GENERAL.

PARTE. I: MEMORIAS.

	PAGINA
1 <u>INTRODUCCION, CLASIFICACION, TERMINOLOGIA.</u>	1
1.1 Introducci3n.	1
1.2 <u>Clasificaci3n Tecnologica.</u>	2
1.2.1 Memorias de Procesos Magn3ticos.	2
1.2.2 Memorias de Procesos Electr3nicos.	2
1.2.3 Memorias de Procesos Opticos.	4
1.3 Terminologia.	5
2 <u>JERARQUIZACION DE LAS MEMORIAS.</u>	9
2.1 <u>Memoria Principal 3 Central.</u>	11
2.1.1 Memoria de N3cleos de Ferrita.	11
2.1.2 Memorias Magneticas de Pelicula Delgada.	24
2.1.3 Memorias de Hilo Magn3tico.	28
2.1.4 Memorias de Semiconductores.	30

	PAGINA
<u>2.2 Memorias Intermedias.</u>	40
2.2.1 Memorias CCD.	40
2.2.2 Memorias de Burbujas Magnéticas.	49
<u>2.3 Memorias Auxiliares.</u>	57
2.3.1 Discos Magnéticos.	57
2.3.2 Tambores Magnéticos.	64
2.3.3 Tarjetas Magnéticas.	65
2.3.4 Cintas Magnéticas.	67
2.3.5 Memorias de Acceso Optico.	70
2.3.6 Memorias Superconductoras ó Josephson.	74
<u>PARTE.II: PROGRAMADOR EPROM 2716.</u>	
3 Justificación del Trabajo.	77
4 Descripción y Objetivos del Programador.	81
5 Funcionamiento de los Circuitos Electronicos.	83
5.1 Descripción de la Memoria 2716.	84
5.2 Generador de Pulsos de Reloj.	88
5.3 Circuitos de Direccionamiento.	93
5.4 Generador de Pulsos de Programación.	94
5.5 Circuitos de Retención y Comprobación.	96
5.6 Memoria RAM (2 K).	98
5.7 Circuito Generador de la tensión de Programación.	99
5.8 Transceptor de Bus.	102
5.9 Comparador.	103
5.10 Fuente de Alimentación.	105
---- Lista de Componentes	107
---- DIAGRAMAS.	---

PARTE. I : MEMORIAS.

1. Introducción, Clasificación, Terminología.

1.1 Introducción.

Una de las mayores ventajas que los sistemas digitales tienen sobre los sistemas análogos es la habilidad que tienen para almacenar grandes cantidades de información. Para conseguir esto se han ideado diversas formas de almacenar la información mediante elementos capaces de presentar dos estados estables y claramente diferenciados que podremos identificar como "0" y "1", es decir, elementos capaces de almacenar un BIT.

Al soporte físico de esta información elemental registrada se le denomina Punto de Memoria. El concepto superior al punto de memoria es el Registro que consiste en un conjunto ordenado de puntos de memoria que serán tratados por el ordenador como un solo bloque. El registro en su conjunto forma una unidad lógica de información y al conjunto organizado de estas unidades lógicas de información ó registros se le llama MEMORIA.

Por lo tanto podemos definir a la memoria como todo dispositivo electrónico capaz de almacenar información, de tal forma, que el órgano que se sirve de él pueda acceder a la información solicitada en cualquier momento. Por lo tanto no se consideran como memorias las cintas y tarjetas perforadas, pero sí a la cinta magnética una vez montada en el dispositivo de lectura.

1.2 CLASIFICACION TECNOLOGICA.

Los fenómenos físicos que pueden utilizarse para la realización del punto de memoria son muy diversos y atendiendo a este aspecto podemos hacer una primera clasificación.

1.2.1 Memorias de Procesos Magnéticos.

Generalmente estas memorias utilizan el magnetismo residual que presentan algunos materiales ferromagneticos como la ferrita ó aleaciones magneticas como el permalloy. Este magnetismo residual permanece estable siempre que no haya un campo exterior que le haga conmutar. Las principales memorias de procesos magneticos son:

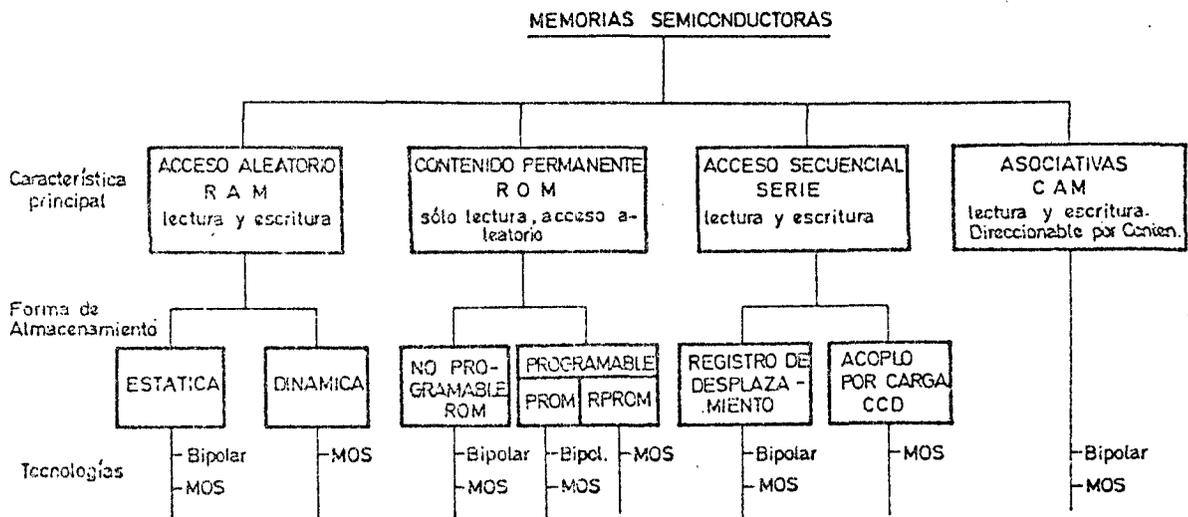
- Memoria de Nucleos Magnéticos.
- Memoria Magnetica de Pelicula Delgada.
- Memoria de Hilos Magneticos.
- Memoria de Tambor Magnetico.
- Memoria de Tarjetas Magneticas.
- Memoria de Discos Magneticos.
- Memoria de Cinta magnetica.
- Memoria de Burbujas Magneticas.

Respecto a la memoria de Burbujas Magnéticas, como se vera posteriormente, tiene una filosofia de funcionamiento diferente, no obstante se introduce en esta clasificación porque en esencia es una memoria Magnetica.

1.2.2 Memorias de Procesos Electrónicos.

En las memorias de semiconductores el punto de memoria se realiza generalmente con un flip-flop. La construcción de estos FF se lleva a cabo mediante transistores bipolares, que constituyen las memorias de semiconductores mas rapidas, aunque las

memorias confeccionadas con MOSFET resultan de menor tamaño y costo por bit. La mayoría de estas memorias necesitan alimentación eléctrica continua ya que son volatiles. Debido al enorme desarrollo existente en este campo hay una gran variedad de tecnologías, organizaciones y usos de las memorias. Debido a esto, dividiremos primeramente las memorias por aplicaciones y dentro de cada aplicación por la tecnología de fabricación, con este criterio podemos elaborar el siguiente cuadro:



Clasificación de las Memorias por Aplicaciones y Tecnologías.

Aunque posteriormente se verán todas estas memorias con más detalle y atendiendo a otro tipo de clasificación, podemos decir a modo de resumen que la única ventaja que tienen las memorias bipolares respecto a las MOS es su mayor velocidad, mientras que las MOS presentan la posibilidad de integración a mayor escala lo cual implica mayor capacidad de memoria por superficie de sustrato y por lo tanto menor precio por bit, además las memorias MOS tienen menor consumo que las bipolares. No obstante, la mayor velocidad de las bipolares es una ventaja temporal, ya que están apareciendo memorias de canal N (N-MOS) que reducen el tiempo de acceso de las de canal P (P-MOS), aproximándose al tiempo de acceso de las bipolares.

1.2.3 Memoria de Procesos Opticos.

Basicamente consiste en el almacenamiento y recuperación de la información mediante el empleo de rayos de luz. La posibilidad más simple para una memoria a la que se accede mediante un haz de rayos consiste en un dispositivo en el que un haz láser escribe los datos quemando pequeños agujeros sobre el revestimiento de disco, luego emplearíamos un láser de menor potencia para la lectura de los datos.

En un disco de 35,5 cm de diametro se pueden realizar diez mil millones de agujeros de este tipo. Además este tipo de memorias tiene la ventaja de la imposibilidad de perdida accidental de información, aunque también se podría considerar un inconveniente por lo que se confía en poder inventar una memoria optica de disco en la que los datos pueden borrarse y volverse a escribir. El proyecto para desarrollar este tipo de memoria se funda en la interacción de un medio magnético con la luz.

Para la escritura de los datos, se ha de calentar el medio por encima de su temperatura de Curie, que es la temperatura a la cual desaparece su magnetismo. Despues, a medida que el medio se va enfriando, se aplica un campo magnético, de forma que, al reaparecer el magnetismo este toma su orientación preferente. La lectura de los datos exige que la luz deba reflejarse en el medio magnético ó bien transmitirse através del mismo ya que el magnetismo al cambiar ligeramente la polarización de la luz nos ofrecera el mecanismo para extraer la información. Para que el efecto sea máximo, la magnetización debe ser perpendicular al plano del disco.

1.3 TERMINOLOGIA.

Punto de Memoria:

Un punto de memoria ó una celda de memoria es un dispositivo ó circuito usado para almacenar un solo bit de información "0" ó "1".

Palabra:

Palabra ó registro es un conjunto ordenado de puntos de memoria que seran tratados por el ordenador como un solo bloque.

Dirección:

Dirección es la designación usada para la localización de un bit ó palabra en la memoria.

Direccionamiento Lineal ó Directo:

En el direccionamiento lineal ó directo cada palabra tiene una línea de dirección separada, por lo que para seleccionar una palabra en particular su línea de dirección de energizarse. Este direccionamiento se usa en las memorias de baja capacidad relativa, memorias de película delgada y núcleos mag.

Direccionamiento Binario:

En este tipo de direccionamiento, la dirección de una localización de memoria se especifica por un número de bits de dirección, por lo tanto para seleccionar una palabra en particular es necesario aplicar el código apropiado de direccionamiento.

Capacidad:

Capacidad es el número total de bits que puede almacenarse en una memoria. Según la organización de la memoria, la palabra tendrá una longitud y tendremos $N^{\circ} \text{ Bits} = N^{\circ} \text{ Palabras} \times N^{\circ} \text{ bit/pal}$

Operación de Lectura:

Se realiza una operación de lectura cuando se extraen informaciones previamente registradas en una dirección particular.

Lectura Destructiva:

Este tipo de lectura ocurre en los dispositivos de Núcleos

de Ferrita, ya que para transferir su contenido al hilo de lectura lo hacen por inducción. Los Nucleos que están a "1" conmutan a "0" y los que están a "0" no varían, por lo tanto la lectura es destructiva, no obstante después de una fase de lectura hay una fase de reescritura con lo cual no se pierde la información almacenada.

Operación de Escritura:

Se realiza una operación de escritura cuando se registran informaciones en la memoria.

Almacenamiento Estático:

El almacenamiento estático se da en los tipos de memorias en las cuales la información no cambia físicamente de lugar. Los registros con FF y los nucleos magnéticos son ejemplos de almacenamiento estático.

Almacenamiento Dinámico:

En el almacenamiento dinámico la información almacenada está cambiando de posición continuamente. Ejemplo de almacenamiento dinámico son cintas magnéticas, tambor, discos y registros de desplazamiento circulatorio.

Tiempo de Acceso:

Es el tiempo que transcurre desde que la memoria recibe una orden solicitando datos y cuando los datos están disponibles.

Tiempo de Ciclo:

Es el tiempo que toma la memoria para ir y traer datos desde una dirección dada y luego regresar a su estado original lista para una nueva orden.

Memoria de Acceso Aleatorio: (RAM)

Son memorias en las cuales la información puede ser escrita ó leída desde cualquier localización de almacenamiento con el mismo tiempo de acceso. Ejemplos de estas memorias son las de nucleos magnéticos y cierto tipo de semiconductoras.

Memorias de Acceso Secuencial:

Son memorias en las cuales una localización de dirección particular se encuentra barriendo sucesivamente todas las posiciones anteriores a ella. En este tipo de memorias el tiempo de acceso no es constante y varia dependiendo de la localización de la dirección. Un ejemplo puede ser las memorias de Cinta.

Memorias de Acceso Ciclico:

Este es un tipo de acceso comprendido entre el acceso aleatorio y el secuencial ya que el sistema de control del dispositivo, por ejemplo en una memoria de disco, actúa aleatoriamente buscando la pista y luego secuencialmente buscando la información dentro de ella .

Memoria de Contenido Dirigible: (CAM)

Sirven para almacenar datos utilizados muy frecuentemente, actuan en conjunción con las memorias centrales para aumentar su velocidad de funcionamiento. Estas memorias no nos dan el dato sino si está ó no y en caso de que esté nos dan la dirección en donde se encuentra. También se les suele denominar memorias dirigibles por contenido.

Memorias de Solo Lectura: (ROM)

Su contenido es absolutamente inalterable, el contenido de la memoria debe considerarse como parte del proceso de fabricación. Este tipo de memorias se utilizan en aplicaciones en donde los datos no van a variar nunca.

Memoria Volatil:

Son aquellas memorias a las que una perdida del suministro eléctrico provoca la perdida de la información almacenada.

Memoria Principal:

Son aquellas que están bajo el control directo de la Unidad de Control. Deben ser de acceso aleatorio y tener un tiempo de acceso, tanto en escritura como en lectura, lo más bajo

posible. Algunos ejemplos de este tipo de memorias son: Nucleos de Ferrita, Peliculas Magnéticas Delgada, Semiconductores, etc.

Memorias Auxiliares:

Estas son memorias adicionales usadas en la mayoría de los ordenadores para el almacenamiento de grandes cantidades de información, que por supuesto exceden la capacidad de la memoria Principal. Este es el campo predilecto de las memorias magnéticas de superficie movil, Discos Magnéticos, Tambores Magnéticos y Cintas Magnéticas.

Memorias de Acceso Boram:

La palabra Boram (Block Oriented Random Access Memory) significa que se puede acceder aleatoriamente al bloque pero al dato en cuestión se accede de modo secuencial. Corresponden a este tipo de memorias las de Burbujas Magnéticas y los dispositivos CCD.

Memorias Laram:

Estas memorias consisten en un número de registros CCD trabajando en paralelo, los cuales tienen en común las líneas de entrada y salida. Se utiliza un decodificador para seleccionar aleatoriamente uno de ellos, por lo tanto se llama Memoria de Acceso Aleatorio por Línea Direccionable (Line-Addressable Random-Access memory) y como puede verse es un concepto similar al de las memorias BORAM.

2. JERARQUIZACION DE LAS MEMORIAS.

Dado que las principales características de cualquier sistema informático, en lo referente a velocidad de proceso y almacenamiento de información, no pueden ser cubiertos a la vez por ningún tipo de memoria actual, es por lo que surge la necesidad de realizar un sistema de jerarquización de las memorias mediante el cual se puedan conjugar en un mismo sistema las mejores características de un grupo heterogéneo de memorias. Una disposición de este tipo se representa en la Fig.1, en donde la memoria

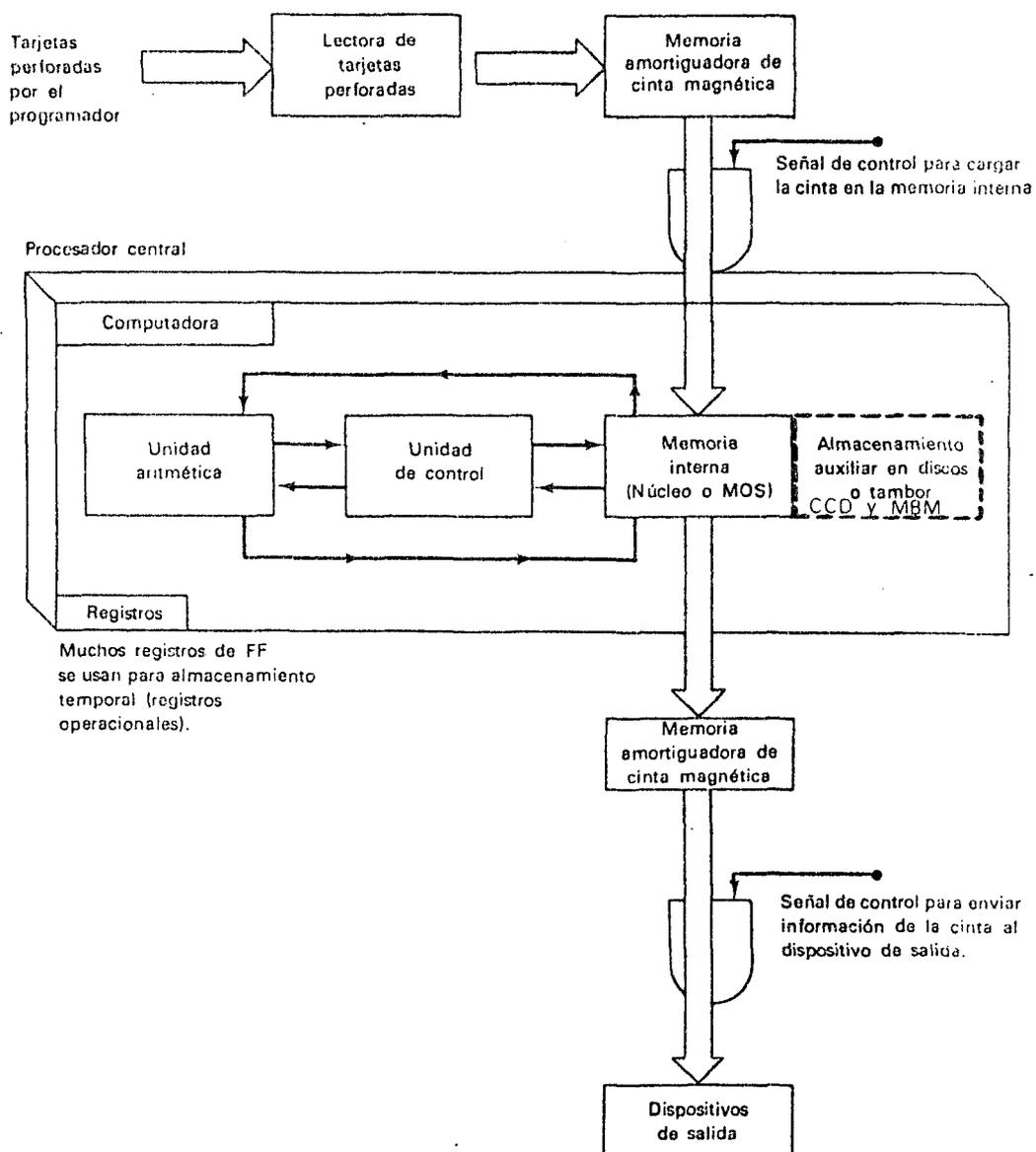


Fig.1 Jerarquización de las Memorias.

Principal ó Central es una memoria de gran velocidad y relativamente pequeña capacidad y está directamente gobernada por la unidad de control, para suplir la deficiencia de capacidad de la memoria principal se le asocian unas memorias Intermedias de mayor capacidad y velocidad un poco mas baja que no tienen obligatoriamente que estar gobernadas por la Unidad de Control como lo está la principal y por último Las memorias Auxiliares, de muy gran capacidad y velocidades bastante lentas en donde se almacena practicamente toda la información, está información es introducida por bloques en la memoria Central mediante gestiones de software.

A continuación se hará una exposición por Niveles Jerarquicos de algunos de los dispositivos, no ya atendiendo a su tecnología como se hizo al principio, sino dentro del Sistema Informatico al nivel que pertenecen. De esta forma tenemos:

Memoria Central ó Principal

- Memoria de Núcleos de Ferrita.
- Memoria de Pelicula Magnetica Delgada.
- Memoria de Hilos Magneticos.
- Memoria de Semiconductores.

Memoria Intermedia

- CCD (Dispositivos de Acoplo de Carga)
- MBM (Memorias de Burbujas Magneticas)

Memorias Auxiliares

- Memoria de Disco Magnetico.
- Memoria de Tambor Magnetico.
- Memoria de Cinta Magnetica.
- Memoria de Acceso Optico.
- Memorias Superconductoras.

2.1 MEMORIA PRINCIPAL Ó CENTRAL:

La memoria Principal ó Central está directamente gobernada por la Unidad de Control, sus tiempos de acceso tanto en lectura como en escritura deben ser lo mas bajos posibles, está organizada por palabras que son tecnológicamente iguales y funcionalmente independientes. La Memoria Principal dispone de un Registro de Selección de Palabra que contiene la dirección de la palabra a la que se accede y los decodificadores que se encargaran posteriormente de activar dicha palabra. En las operaciones de lectura el contenido de la palabra seleccionada se transfiere a un Registro de Intercambio, en donde la tenemos disponible para su utilización, y en las operaciones de escritura, el contenido de este registro se introduce en la dirección indicada por el registro de selección.

2.1.1 Memorias de Nucleos de Ferrita:

En estos dispositivos el Punto de Memoria se efectua aprovechando el magnetismo residual que presenta la ferrita. Los núcleos de ferrita tienen una reluctancia muy baja, por lo tanto son facilmente magnetizados, y presentan una retentividad alta lo que significa que permanecerán magnetizados indefinidamente, sin la presencia de un campo exterior. Como se ve en la Fig.2

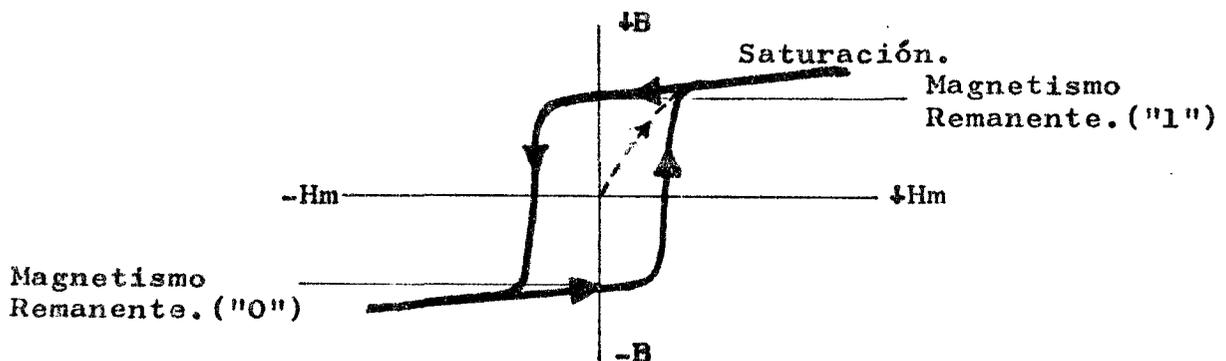


Fig.2 Ciclo de Histéresis.

el ciclo de histéresis que presentan los núcleos magnéticos es casi rectangular con lo cual podemos asociar un "1" al estado remanente positivo y un "0" al estado remanente negativo. En esencia, podemos considerar que el núcleo magnético actúa como un flip-flop magnético el cual puede ser conmutado desde un estado a otro mediante la aplicación de pulsos eléctricos apropiados. En la Fig.3 está representado un núcleo magnético con un alambre que lo atraviesa, si una corriente se pasa a través del alambre se producirá a su alrededor un flujo magnético cuya dirección depende de la dirección de la corriente. Estas líneas de flujo magnético producidas por la corriente del alambre magnetizarán al núcleo ya sea en dirección de las manecillas del reloj o en dirección opuesta.

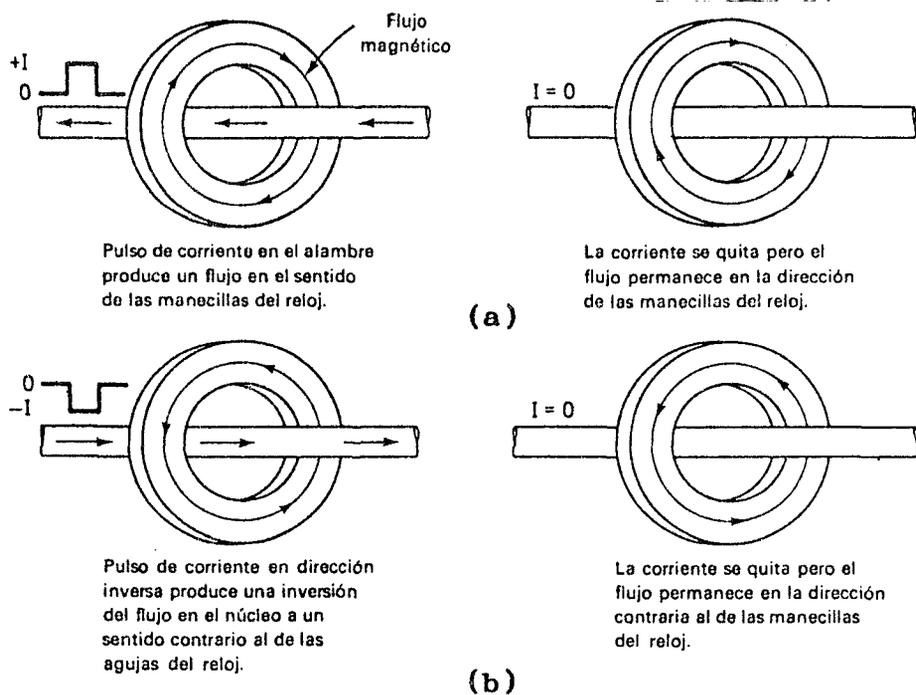


Fig.3 Magnetización del Núcleo

En la fig.3(a) vemos como una corriente de izquierda a derecha y de valor $+I$, superior al valor de umbral de la corriente de magnetización I_M , produce un flujo en sentido de las manecillas del reloj y cuando la corriente en el alambre se reduce a cero el núcleo se estabiliza en su magnetismo remanente propio y en la dirección de las manecillas del reloj. La Fig.3(b) es lo inverso.

Por lo tanto, para conmutar un núcleo magnético, que ha sido magnetizado previamente en la dirección de las agujas del reloj, se le hace circular una corriente que tenga una amplitud mayor que la de umbral de magnetización (I_M) y de signo contrario, con lo cual el núcleo sera magnetizado en dirección opuesta al de las manecillas del reloj y permanecerá así aún cuando la corriente se reduzca a cero.

Para núcleos de diámetros comprendidos entre 0,3 y 2 mm, los pulsos típicos de corriente tienen una duración de 0,1 a 1,0 μ s de anchura que es más que suficiente para producir la magnetización requerida. El valor de la corriente de magnetización depende del tamaño del núcleo y del material pero es típicamente de 50 a 100mA.

Una vez visto como podemos posicionar al núcleo en un estado determinado ("0" ó "1") y como puede hacerse que conmute, el siguiente paso será ver como podemos LEER ó detectar la información que tiene almacenada el núcleo. Para el proceso de lectura debemos enhebrar un segundo alambre en el núcleo llamado Línea Sensora, tal como aparece en la Fig.4 .

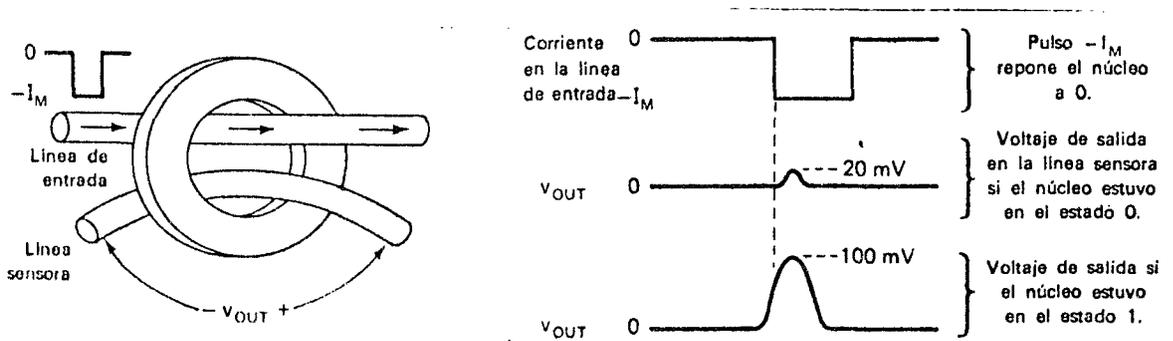


Fig.4 Proceso de Lectura.

Para leer ó detectar el estado de un núcleo, se aplica un pulso negativo de corriente a la línea de entrada con lo cual se lleva el núcleo al estado cero ("0"). Como consecuencia, un pequeño pulso de voltaje sera inducido en la línea sensora con una amplitud y duración que dependerá del estado en el que se encontraba el

núcleo antes de ser puesto a "0" . Si el núcleo estaba previamente a "0", un pulso negativo de corriente solo causaría un pequeño cambio en el flujo, que ya estaba establecido en sentido contrario al de las agujas del reloj. Este pequeño cambio en el flujo induciría un pequeño voltaje de acuerdo con la Ley de Faraday. Por el contrario, si el núcleo estuviese previamente a "1" , el pulso negativo de corriente llevaría la saturación del núcleo de un sentido a saturación en sentido contrario, con lo cual la variación del flujo es mucho mayor, induciendo a su vez mayor voltaje.

Resumiendo, una tensión de salida pequeña en la línea sensora indica que el núcleo tenía originalmente un "0" , por el contrario, una tensión de salida elevada indica que originalmente tenía un "1" . El principal inconveniente de esta técnica de lectura es que todos los núcleos pasan a estado "0" . Para evitar el inconveniente de la Lectura Destructiva, las operaciones en la memoria se dividen en dos partes: Fase de Lectura y Fase de Escritura, en el caso de una búsqueda en memoria, la segunda fase se encarga de reescribir la palabra leída, con lo cual a nivel de ciclo de memoria la lectura ya no resulta destructiva.

Una vez visto el funcionamiento del núcleo magnético como elemento constitutivo de este tipo de memorias, veremos su organización atendiendo al tipo de selección. Para diferenciar los distintos tipos de selección se utiliza una denominación referida al direccionamiento del núcleo magnético según se haga a través de dos, dos y medio ó tres hilos y se les denomina Organización 2D, Organización $2\frac{1}{2}D$ y Organización 3D respectivamente.

La elección de cada una de ellas va en función del tipo de memoria que se quiera construir, por ejemplo, para una memoria muy rápida y de pequeña capacidad se utiliza el procedimiento 2D, para grandes memorias de mediana velocidad y en memorias rápidas de capacidad mediana se utiliza preferentemente el método $2\frac{1}{2}D$ y el método

3D se reserva principalmente para construcción de memorias de mayor capacidad aunque de menor velocidad.

Organización 2D.

Es la memoria mas sencilla de todas, consiste en una matriz de núcleos, cada uno de ellos está atravesado por dos hilos perpendiculares entre si llamados hilo de palabra e hilo de bit. Las palabras se almacenan por filas, por esta razón a este tipo de memorias se los conoce tambien como memorias organizadas por palabras. En la Fig.5 se esquematiza la organización general de una memoria de este tipo sin incluir los generadores de corrientes I e I/2 y los amplificadores de los impulsos de salida.

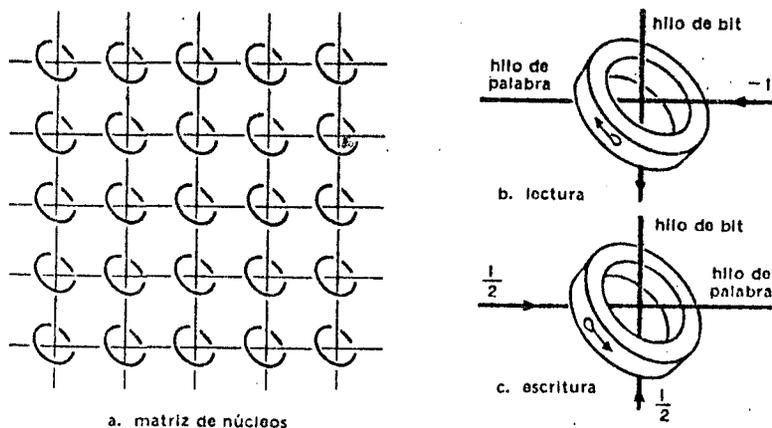


Fig.5 Organización 2D.

Para escribir una determinada palabra en la memoria (supuesta previamente a cero) se envía una corriente $I/2$ por el hilo de palabra correspondiente y una corriente $I/2$ por todos los hilos de bit, a los que corresponda un "1" en la palabra. Unicamente los núcleos que se vean atravesados simultáneamente por las dos medias corrientes bascularán, puesto que la corriente $I/2$ por si sola es incapaz de provocar la conmutación del núcleo. La operación de lectura de una palabra consiste en enviar una corriente $-I$ por el hilo de palabra, con lo cual los núcleos que estuviesen a "1" en esta palabra conmutaran y la variación de flujo en el cambio inducira una tensión en los correspondientes hilos de bit.

Organización 3D.

También se suele llamar de selección por corrientes coincidentes, parte de la decodificación la realiza la propia organización de la memoria. Esta se divide en "m" matrices de 2^n núcleos, donde "m" es el número de bits de la palabra y "n" el número de bits del registro de selección. Cada núcleo de la matriz i-ésima corresponde al bit de peso "i" de una de las 2^n palabras de la memoria. Cada núcleo está atravesado por cuatro hilos, dos para la selección X e Y enhebrados en serie con las "m" matrices, además hay dos hilos por matriz uno de lectura y el otro de inhibición. La Fig.6 representa una organización de este tipo.

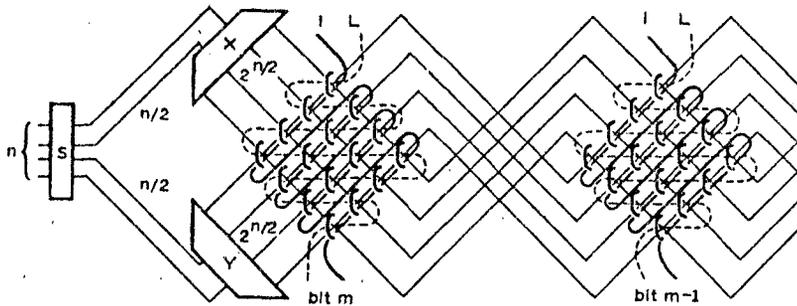


Fig.6 Organización 3D.

Para leer una palabra se mandan los impulsos $-I/2$ por los hilos X e Y correspondientes. La coincidencia de estos dos impulsos pone a cero a los núcleos de la palabra que estuviesen a "1" y este basculamiento induce una señal en los hilos de lectura.

Se escriben los bits "1" de una palabra, previamente puesta a cero, enviando corrientes $I/2$ por los hilos X e Y que la seleccionan.

Escribir ceros consiste en evitar el basculamiento de los núcleos: se envía una corriente $-I/2$ por el hilo de inhibición de las matrices en donde se deba almacenar un cero, ya que esta corriente $-I/2$ opuesta a las dos corrientes $I/2$ de los hilos X e Y da como resultante $I/2$, que es insuficiente para provocar el basculamiento del núcleo. Dado que las operaciones de lectura e inhibición no coinciden en el tiempo, es posible utilizar el mismo hilo para realizar las dos operaciones mediante unos circuitos adicionales.

Organización 2 1/2 D.

Este tipo de organización representa un compromiso entre las organizaciones del tipo 2D y 3D, el tipo de selección, al igual que la organización 3D, se hace por corrientes coincidentes y la diferencia respecto a esta radica en que dispone de "n" excitadores X individuales en lugar de ser común el excitador X para todas las matrices. De esta forma ya no se necesita el hilo de inhibición, puesto que los excitadores X individuales pueden ser controlados mediante puertas para dejar que circule la corriente I/2 cuando haya que escribir un "1" ó no dejarla pasar cuando lo que se quiere escribir es un "0". Este tipo de organización esta representado en la Fig.7.

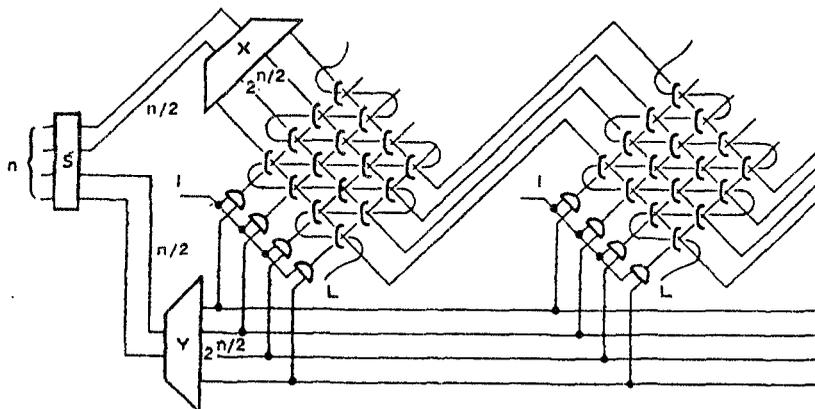


Fig.7 Organización 2 1/2 D.

La Fig.8 muestra un sistema completo de memoria de núcleos magnéticos que contiene 8 planos con 16 núcleos por plano ó dicho de otra forma, la memoria tiene capacidad para almacenar dieciséis palabras de 8 bits. En esta figura, solamente aparece representado uno de los ocho planos con que consta, pero debe tenerse en cuenta que las líneas de selección X e Y estan enhebradas através de todos los planos. Debemos de tener en cuenta tambien que de las ocho líneas sensoras corresponde una para cada plano y lo mismo ocurre con las ocho líneas de inhibición.

Esta memoria ejecuta dos operaciones basicas: buscar, traer y al-

macenar. La operación de buscar y traer (llamada también operación de leer ó recobrar) consiste en tomar una palabra desde una localización de memoria determinada y colocarla en el registro amortiguador de memoria (MBR) para ser enviada a otro destino. Después de esta operación de lectura la palabra es reescrita en memoria solucionando de esta forma el inconveniente de la lectura destructiva, con lo cual después de un proceso de lectura la memoria permanece inalterada.

La operación de almacenamiento (llamada también operación de escritura) consiste en poner una nueva palabra en una localización determinada de la memoria. Esta nueva palabra se envía siempre al MBR antes de entrar en la memoria. El código de dirección de la palabra de memoria sobre la que se va a leer ó escribir se encuentra en el registro de direcciones de memoria (MAR). Las señales de control para todas las operaciones del ordenador son suministradas por la Unidad de Control. El proceso es el siguiente.

Ciclo de Recuperación (Fetch).

Las formas de onda para este ciclo son las de la parte izquierda del diagrama de tiempos de la Fig.8 que son la descripción paso a paso de un ciclo completo de lectura de memoria.

1. La unidad de control genera una señal de ciclo de Lectura que permanece a nivel alto durante toda la operación de Lectura.
2. El borde de subida de esta señal genera un pulso estrecho de borrado que pone a cero todos los flip-flops del MBR.
3. Simultáneamente, se carga la dirección de la palabra que va a ser leída en el MAR.
4. Poco después (típicamente una fracción de microsegundo) la unidad central genera tres señales: un pulso de lectura, un pulso estroboscópico de lectura y un pulso de escritura, con la relación de tiempos que se muestra en el diagrama.

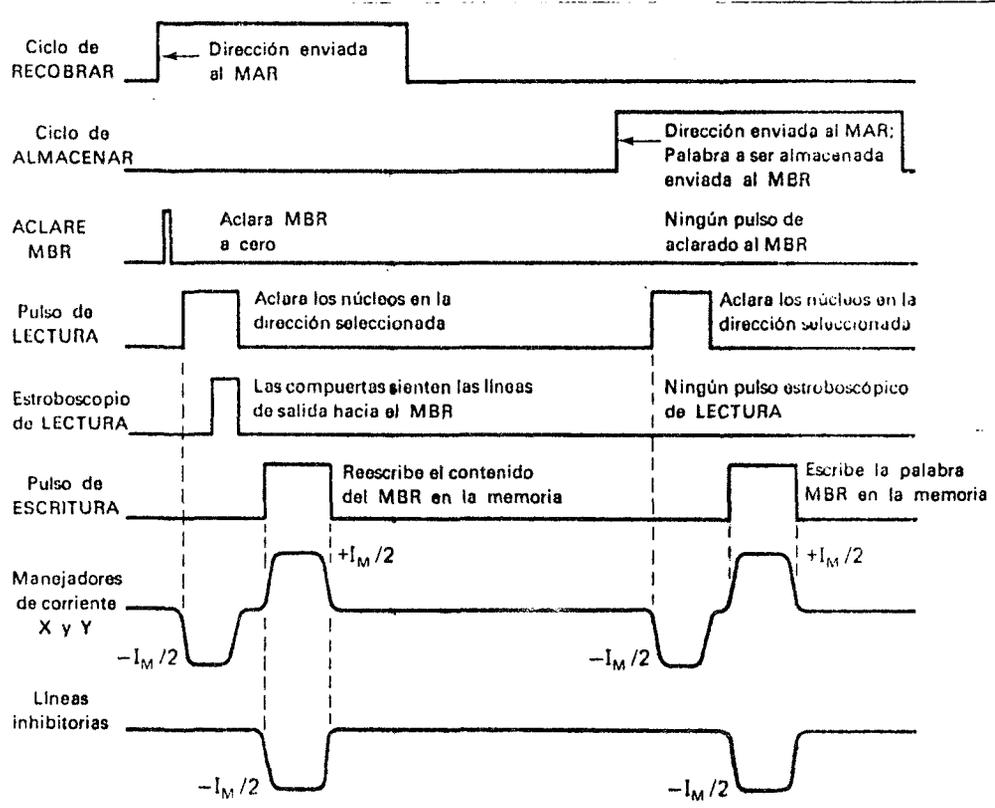
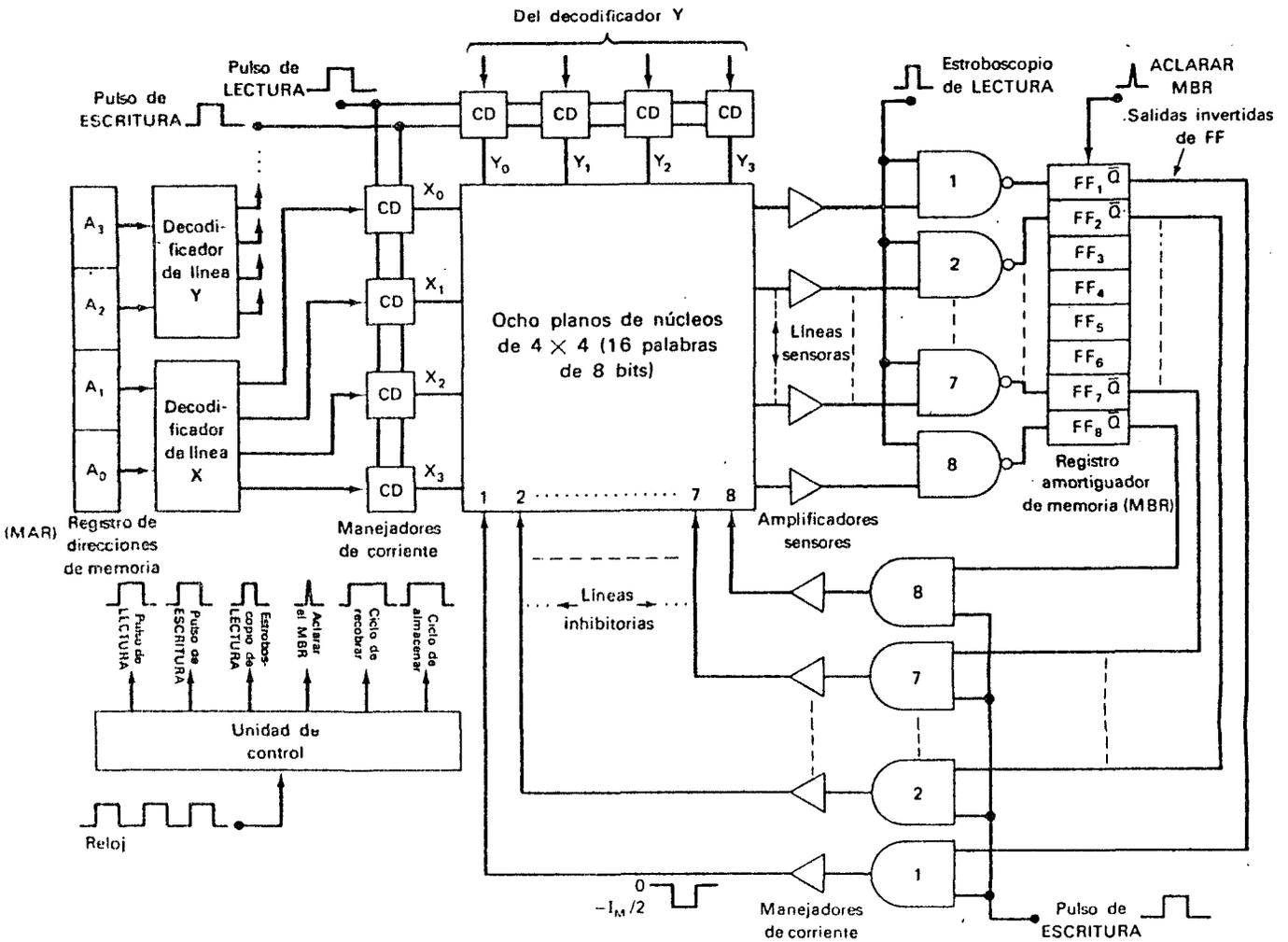


Fig. 8 Sistema Completo de Memoria de Núcleos.

5. El pulso de lectura causa pulsos de corriente $-I/2$ que fluyen a través de la línea X y de la línea Y seleccionadas por los decodificadores de dirección. Estas corrientes conmutan a "0" todos los núcleos de la dirección seleccionada, produciendo los correspondientes pulsos de salida en la línea sensora. Estas salidas convenientemente amplificadas se aplican a las puertas Nand 1-8 y serán aplicadas a los flip-flop correspondientes cuando aparezca el pulso estroboscópico de lectura en la otra entrada de las puertas Nand. En otras palabras, si el núcleo de la dirección seleccionada en un plano dado hubiese contenido un "1", la línea sensora de este plano produciría un pulso que pondría su correspondiente flip-flop del MBR en estado "1". Así, después del pulso estroboscópico de lectura, el MBR contiene la palabra que estaba almacenada en la dirección seleccionada y esa dirección está ahora completamente a "0".

6. Un poco después del pulso de lectura se produce el pulso de escritura. Debido a la lectura destructiva de las memorias de núcleos magnéticos, es necesario escribir de nuevo en la memoria la palabra que está ahora en el MBR. El pulso de escritura ocasiona que pulsos de corriente $I/2$ fluyan a través de las líneas X e Y seleccionadas para conmutar a "1" todos los núcleos de esa dirección, excepto aquellos que reciban a la vez un pulso de corriente $-I/2$ en su línea de inhibición. Los amplificadores de corriente de la línea de inhibición son activados por el pulso de escritura que va a las puertas And 1-8 junto con las salidas del MBR. Se usan las salidas invertidas de los flip-flops, de tal modo que una línea de inhibición recibe un pulso $-I/2$ solo si su correspondiente flip-flop del MBR está en estado "0". De este modo, el MBR determina si se escribe un "1" en un núcleo dado o si permanece a "0", reescribiendo de nuevo la palabra en su antigua posición. Así, al completarse el ciclo de escritura el MBR contiene la palabra deseada y esta palabra es también retenida en la memoria.

Ciclo de Almacenamiento.

A esta operación corresponden las señales de la derecha del diagrama de tiempos de la Fig.8.

1. La unidad de control genera una señal de Ciclo de Almacenamiento que permanecerá a nivel alto durante toda la operación de almacenamiento.
2. En el borde de subida de esta señal de almacenamiento, la palabra que va a introducirse en la memoria se carga en el MBR. Simultáneamente, la dirección donde esta palabra va a ser almacenada se carga en el MAR.
3. Poco después la unidad de control genera un pulso de lectura seguido por un pulso de escritura. El pulso de lectura produce pulsos $-I/2$ que fluyen a través de las líneas X e Y seleccionadas conmutando por consiguiente todos los núcleos de esa dirección a estado "0". Las salidas de la línea sensora no afectan al contenido del MBR porque el pulso estroboscópico NO se genera durante los ciclos de almacenamiento, en realidad esta es la única diferencia entre los ciclos de lectura y los de escritura.
4. El pulso de escritura ocurre poco después de terminar el de lectura y genera pulsos $I/2$ que fluyen a través de las líneas X e Y seleccionadas. Esto causará que los núcleos de la dirección seleccionada se pongan a "1" excepto aquellos que simultáneamente reciben pulsos de corriente $-I/2$ en su línea de inhibición. Una vez más, las salidas de los flip-flops del MBR determinan que líneas de inhibición son activadas, de tal modo que se almacena un "1" solo en aquellos núcleos cuyos flip-flops correspondientes tengan un "1". Así, al final del ciclo de escritura, la dirección seleccionada en la memoria contiene la misma palabra que está en el MBR.

Consideraciones Generales.

Para producir un estado de flujo cualquiera, se precisa una corriente y una tensión determinada durante un tiempo determinado. El producto de corriente, tensión y tiempo representa una energía, que es necesaria para el cambio en la magnetización de un núcleo magnético. Por lo tanto si un núcleo magnético le cambia su estado de magnetización a una frecuencia elevada, se produce un calentamiento del núcleo ya que en cada proceso de magnetización se disipa una energía, con cambios de magnetización a una frecuencia de 10^5 por seg. los núcleos magnéticos pueden calentarse sensiblemente y si llegan a alcanzar la temperatura de Curie las propiedades ferromagnéticas del material habrán desaparecido con lo cual el núcleo magnético ya no es capaz de almacenar información. Los núcleos actuales tienen unos márgenes de temperatura muy amplios y ofrecen unas temperaturas de Curie de 600°C . Otra de las consideraciones que limita la velocidad de operación de una memoria es el tamaño de los núcleos, por este motivo las memorias de organización 2D son más rápidas ya que se enhebran menos hilos y esto permite reducir su diámetro, con lo cual al disminuir la energía necesaria para su magnetización se puede aumentar la velocidad.

También se debe prestar una atención especial en lo que respecta a la disposición de las líneas tanto las de selección como las de lectura e inhibición. En el hilo de lectura no solamente se induce la señal útil del núcleo seleccionado sino que también se inducen señales perturbadoras de los núcleos que solamente son recorridos por medias corrientes de selección. Por otro lado si el hilo de lectura está mal dispuesto aparecen acoplamientos entre éste y los conductores de coordenadas, con lo cual se produce una tensión perturbadora adicional apreciable. Para evitar este tipo de perturbaciones se construyen disposiciones en las que se anulan por término medio las perturbaciones de acoplamiento con los con-

ductores de selección y las señales perturbadoras procedentes de los núcleos magnéticos no seleccionados (seleccionados unicamente por medias corrientes de selección, $+I/2$).

En los casos mas sencillos se logra una mejoría con la disposición de la Fig.9 (a) en la cual el conductor de lectura discurre de modo que se compensan las tensiones perturbadoras de los conductores X al discurrir paralelamente al hilo de lectura. En esta disposición la señal de lectura cambiará de signo dependiendo del núcleo seleccionado, para lo cual se hace necesario un amplificador de lectura que pueda procesar tanto los impulsos de lectura negativos como positivos.

En la Fig.9 (b) se representa otra forma de disposición en forma de trenza que proporciona al conductor de lectura una excelente compensación a las perturbaciones. Para evitar al minimo el acoplamiento de los conductores X e Y al hilo de lectura, este se enhebra en diagonal. Mediante el cruce en diagonal y la conducción

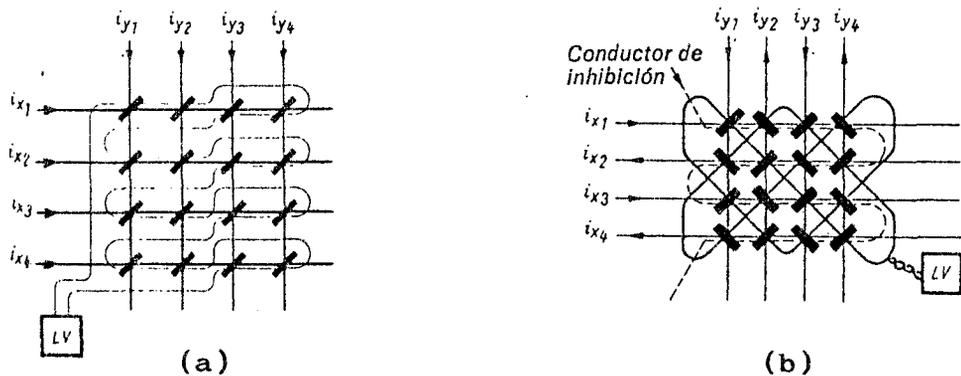


Fig.9 Compensación de las Perturbaciones.

trenzada de los dos terminales del hilo de lectura se eliminan las componentes residuales del acoplamiento inductivo de los conductores X e Y. Además, los núcleos magnéticos, como puede verse en la Fig.9 (b), no están situados de igual manera uno al lado del otro, sino que están desplazados alternativamente 90° y juntamente con la disposición del hilo de lectura se suprime en gran parte las perturbaciones inductivas de los núcleos magnéticos no seleccionados. Debido a la situación alternativa de los núcleos magnéticos

deberemos permutar cíclicamente la alimentación de las corrientes en las líneas de selección X e Y. Al igual que en el caso anterior, la polaridad de la tensión en la línea de lectura puede ser de distinto signo según el núcleo magnético seleccionado, por lo tanto para su evaluación se necesita de un amplificador que responda por igual a ambas polaridades. Además, el amplificador de lectura debe tener un umbral de excitación que permita la supresión de las tensiones perturbadoras. Mediante estas disposiciones se pueden construir matrices con más de 10^4 núcleos y capacidades de memoria de cien millones de bits.

2.1.2 Memorias Magnéticas de Película Delgada.

Junto a los materiales con ciclos de histéresis rectangulares se encuentra en la técnica de las memorias medios compuestos por delgadas capas magnetizables (típicamente 1.000 angstroms). Estas tienen respecto a los núcleos magnéticos algunas características completamente diferentes. Las capas utilizadas son tan delgadas que puede considerarse que su longitud y su anchura geométricas son infinitamente grandes si lo comparamos con su grosor. En estas capas tan delgadas no se necesita formar un circuito magnético cerrado ya que las pocas líneas de flujo que discurren por su seno pueden cerrarse a través de la superficie desproporcionadamente grande, con resistencia magnética suficientemente pequeña a través del aire ó a través de una capa de ferrita próxima.

La capa delgada magnetizable se deposita sobre un sustrato aislante (vidrio) ó bien como cubierta que envuelve a un hilo soporte.

Las dos modalidades se emplean técnicamente para la confección de memorias de película delgada y en memorias de hilo magnético.

A los dos medios se les denomina conjuntamente dispositivos de almacenamiento con sentido magnético preferente.

En este tipo de medios aparecen dos ejes de magnetización perpendiculares entre si, uno de ellos es de magnetización fácil y el otro de magnetización difícil, por este motivo se les denomina dispositivos con sentido magnético preferente.

Aplicando un campo magnético que actúe según el eje de magnetización difícil (aplicando un impulso de corriente en el hilo de palabra) no causará que la celda conmute su estado de magnetización permanente, pero si provocará el desplazamiento del vector de magnetización unos 90° , retornando a su estado magnético original cuando termine el pulso, con lo cual la lectura no resulta destructiva.

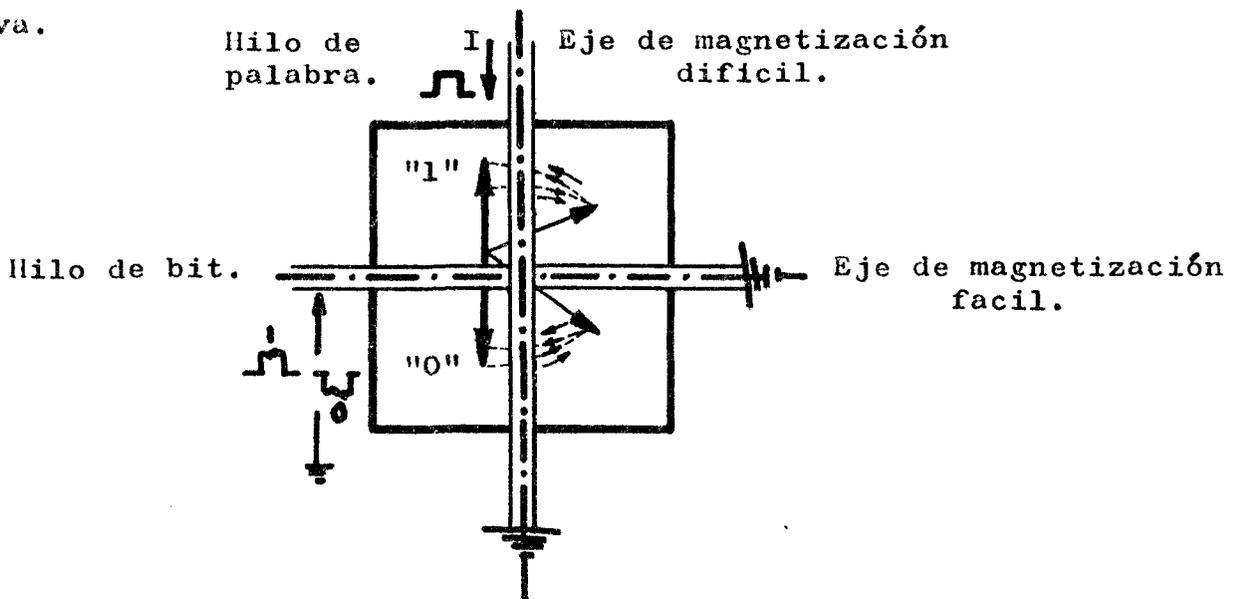


Fig.10 Basculación del vector de magnetización.

Como puede verse en la Fig.10, el hilo de palabra corresponde con el eje de magnetización difícil y el hilo de bit con el de magnetización fácil. En el hilo de bit se induce una tensión producida por la corriente que circula en el hilo de palabra que hará bascular momentáneamente al vector de magnetización, esta tensión será positiva ó negativa de acuerdo con la información retenida en la celda.

Los conductores de bits y de palabras se realizan la mayoría de las veces como conductores obtenidos por procedimientos de grabación, obteniéndose distancias mínimas que se imprimen en la placa de película magnética bajo aislamiento intermedio de óxido de

silicio. Los puntos de cruce formados por las líneas de palabra (hilos de palabra) y las líneas de bit (hilos de bit) junto con la película magnética, forman los puntos de memoria.

Proceso de Escritura.

La Fig.11 muestra la película delgada con la línea de palabra y la línea de bit. La línea de palabra se usa para seleccionar la celda en la cual se va a escribir y la línea de bit se usa para escribir la información en la celda. Los pulsos de corriente son típicamente de unos 500 mA y se aplican a estas líneas en las direcciones que se muestran en la Fig.

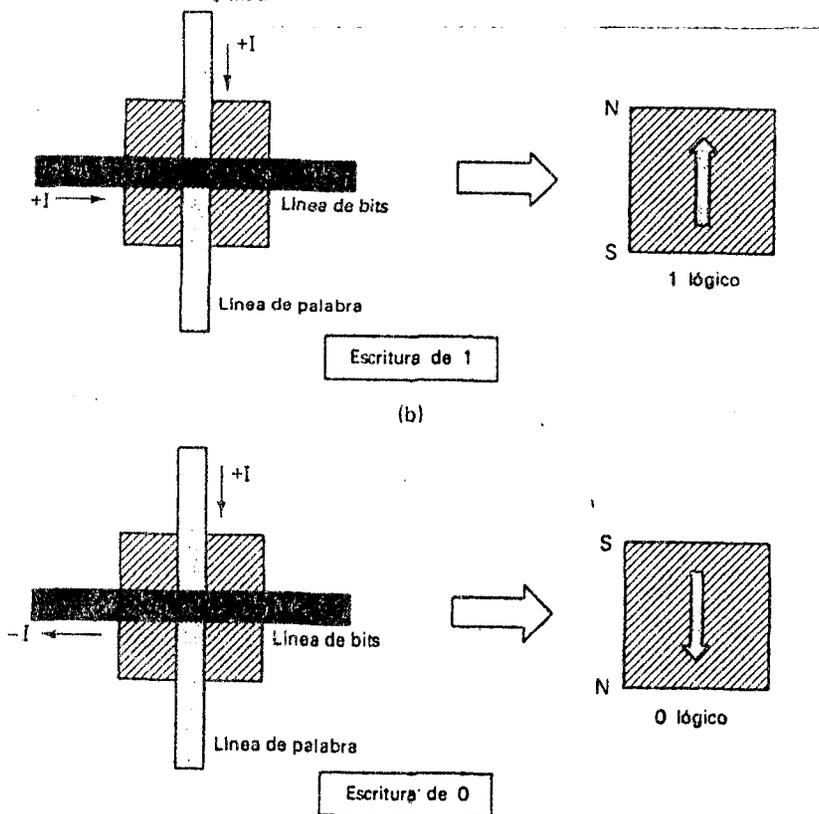


Fig.11 Escritura en una Celda de Pelicula.

La corriente en la línea de palabra es siempre en la misma dirección (hacia abajo) y la corriente en la línea de bit puede ser en cualquier dirección, de izquierda a derecha ($+I$) para escribir un "1" ó de derecha a izquierda ($-I$) para escribir un "0".

Al final de los pulsos, la celda retendrá el nuevo estado logico.

Proceso de Lectura.

Si aplicamos un pulso de corriente solo a la línea de palabra no hará que la celda conmute su estado de magnetización permanente pero producirá un basculamiento del vector de magnetización durante el pulso de corriente y luego retornará a su estado magnético original cuando termine el pulso. Este comportamiento se utiliza para detectar el estado de una celda añadiendo una tercera línea, llamada Línea Sensora. En la Fig.12 se ilustra esta disposición junto a las señales de salida de la celda, la salida de la línea sensora es un pequeño pulso de voltaje si hay un "1" (pulso positivo) y un pequeño pulso de voltaje negativo si es un "0".

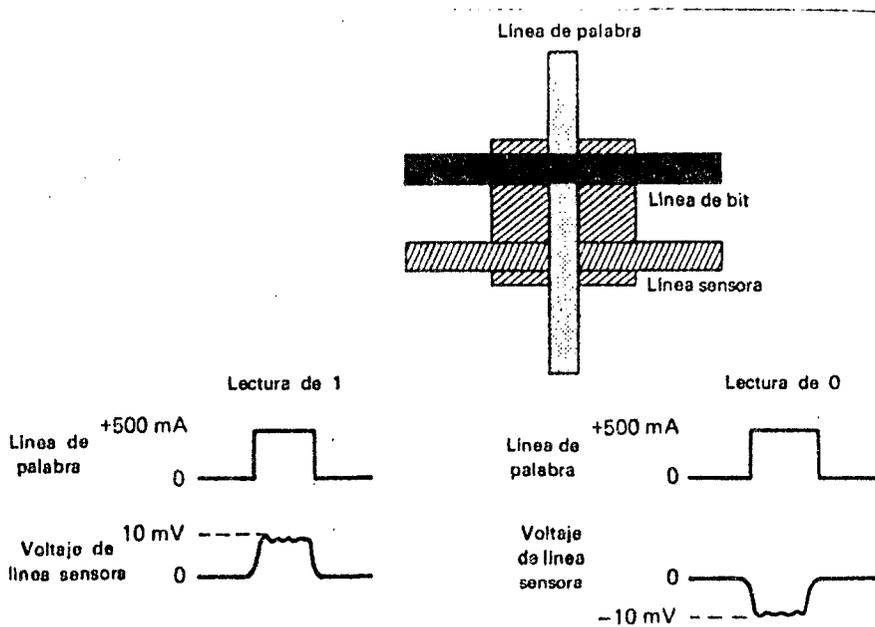


Fig.12 Lectura en una Celda de Pelicula.

Debemos hacer algunas observaciones en lo que respecta al ciclo de lectura. Primero, la línea de bit no se pulsa durante los procesos de lectura, únicamente se hace en los de escritura. Solo se aplican pulsos de corriente de aproximadamente 500 mA a la línea de palabra. Segundo, la amplitud de las salidas sensoras es la misma en ambos casos, pero la polaridad es opuesta. Tercero y más importante el proceso de lectura en las celdas de película delgada no es destructivo.

Consideraciones Generales.

Las memorias de película delgada no están organizadas como memorias de corriente coincidente, sino como memorias de selección lineal. Esto significa que para una memoria de película delgada de 2^{11} palabras (2.048) se requieren 11 bits de dirección, los cuales deben ser decodificados en 2.048 salidas diferentes. Esto necesita un circuito decodificador de 11 entradas, 2.048 salidas, el cual es extremadamente complejo. Aunque hay algunos métodos de diseño para reducir la complejidad del decodificador, no obstante esta es una de las desventajas en cuanto a carestía y complejidad del circuito que las memorias de selección lineal tienen frente a las de corrientes coincidentes.

Las memorias de películas magnéticas delgadas son muy rápidas. La velocidad de trabajo depende fundamentalmente de la velocidad de respuesta del amplificador de lectura y los circuitos asociados a la memoria habiéndose obtenido tiempos de acceso de 50 ns.

Otro de los aspectos a tener en cuenta en este tipo de memorias consiste en las interferencias producidas por los fuertes impulsos de corriente que recorren el conductor de palabra y afectan a los conductores de bit que se encuentran a distancias muy pequeñas de los conductores de palabra. Una forma de disminuir notablemente el problema consiste en la utilización de Amplificadores Diferenciales como amplificadores de lectura.

2.1.3 Memorias de Hilo Magnético.

Esta memoria es una variación de las de película delgada. Como material de soporte de la película magnética ya no se utiliza una superficie plana de vidrio sino un hilo soporte, en el que la capa magnetizable se ha dispuesto como recubrimiento. Este hilo se uti-

liza además como conductor de bit, con lo cual solamente debemos disponer los hilos de palabra. La Fig.13 representa esta disposición. Los conductores de bit son de Berilio-Cobre recubiertos de una capa de Permalloy como medio magnético.

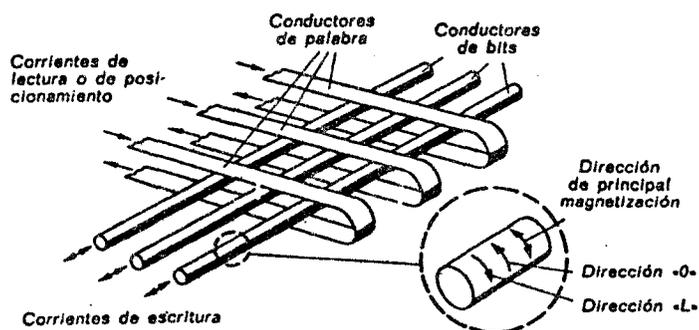


Fig.13 Memoria de Hilos Magnéticos.

Los conductores de palabra son perpendiculares a los hilos de bit y rodean a estos formando lazos. Sobre la capa magnetizable del conductor de bit se originan tantas celdas de memoria como cruce con los conductores de palabra existan. En este caso también rigen las mismas características magnéticas que en las películas magnéticas delgadas vistas anteriormente. Aquí el eje difícilmente magnetizable se encuentra sobre el eje del hilo de bit y el fácilmente magnetizable, que será donde se almacenará la información, se encuentra en la superficie del hilo al igual que el eje difícilmente magnetizable pero perpendicular a este.

En lectura se alimenta el conductor de palabra con una corriente de lectura que según la dirección del flujo magnético da lugar a una inducción en el hilo de bit de una tensión cuya polaridad depende del estado en que se encuentre el elemento de memoria seleccionado. Después de un paso de amplificación se activan los flip flops correspondientes en los registros de memoria.

En el proceso de escritura se hace circular una corriente por el hilo soporte ó de bit, que tendrá un sentido u otro en función del dato que se pretende almacenar, esta corriente origina alrededor del hilo un campo magnético circular en sentido de "1" ó

"0" de acuerdo con el sentido de la corriente. Al mismo tiempo se hace circular una corriente por el hilo de palabra que en combinación con la corriente por el hilo de bit origina el almacenamiento de la información.

La velocidad de trabajo de una memoria de este tipo viene determinada esencialmente por el control electrónico, ya que el proceso magnético necesita solamente de 10 a 20 ns. Debido a las propiedades de la electrónica de control unos tiempos de acceso de aproximadamente 0,1 μ s y un tiempo de escritura de 0,2 μ s.

Con densidades de alrededor de tres conductores de bit por milímetro y un conductor de palabra por milímetro, una matriz de memoria de hilo magnético con 512 (2^9) conductores de bit y 128 (2^7) conductores de palabra, tiene una capacidad de $2^{16} = 65.536$ bits ó lo que es lo mismo 8.192 palabras de 8 bits (bytes) y solo ocupa una superficie de 20 x 15 cm, pudiendose obtener capacidades de memoria mucho mayores mediante la incorporación de varias matrices. Al igual que en las memorias de película magnética, se podra asignar a cada conductor otro sin capa magnética y conducir las dos salidas a un amplificador diferencial. Puede reducirse el número de conductores de compensación a uno por cada grupo de 8 a 32 bits utilizando un sistema de selección apropiado que conmute tanto los amplificadores de lectura como los generadores de corriente de bit. Por lo tanto, con esta lectura diferencial se compensan las interferencias en los procesos de lectura.

2.1.4 Memorias de Semiconductores.

Aunque esta denominación es muy amplia, como puede verse en el cuadro del apartado 1.2.2, aqui solamente vamos a referirnos a las memorias de este tipo que se utilizan dentro del grupo de Memoria Central ó Principal.

En la memoria Central ó Principal, las memorias electrónicas empleadas más frecuentemente son las de tipo RAM, Memorias de Acceso Aleatorio (Random Access Memory), en las cuales cada una de las células de almacenamiento pueden ser leídas ó escritas de una forma directa.

En cuanto al tipo de célula utilizada, las memorias RAM pueden ser de dos tipos: Estáticas, cuya construcción se lleva a cabo mediante tecnologías MOS ó Bipolar, siendo estas ultimas las más rapidas con tiempos de acceso de unos 30 ns. Se denominan Estáticas ya que el contenido de la célula de almacenamiento permanece invariable a menos que se escriba un nuevo bit en ella.

En las Dinámicas la información se almacena como carga del condensador existente entre el sustrato y la fuente de un MOSFET, y dado que el voltaje almacenado decae gradualmente a medida que la capacidad se descarga, necesitaremos de unos ciclos de refresco cada 2 ms aproximadamente, que tienen como misión el reestablecer la carga perdida. Su construcción se lleva a cabo mediante tecnología MOS que permite una mayor densidad de almacenamiento debido a los escasos componentes que necesitan las células de este tipo.

Además de las células básicas, para la construcción de las memorias, se necesitan otros circuitos auxiliares como:

- Decodificadores de fila y columna.
- Amplificadores y Detectores de datos.
- Adaptadores de Niveles Lógicos.

En cuanto al tipo de selección de dirección, al igual que en las memorias de núcleos magnéticos, se utiliza la selección Lineal ó la selección Coincidente.

A continuación se analizan las células más utilizadas dentro de las memorias Bipolares: Con transistores multiemisores y células con acoplo por diodo, para pasar después a la explicación de las celulas basicas de las memorias RAM con tecnología MOST.

Célula con Transistores Multiemisores.

El circuito correspondiente a una célula de este tipo esta representado en la Fig. 14 y el modo de funcionamiento es el siguiente, supongamos que Q_1 esta conduciendo y Q_2 al corte, considerando por definición que en estas condiciones la memoria tiene almacenado un "1" logico.

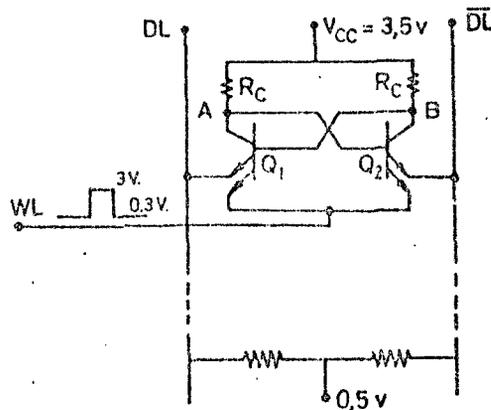


Fig. 14 Célula con Transistores Multiemisores.

Ciclo de Lectura:

Para direccionar la célula se aplica un impulso de unos 3v a la Linea de Palabra (WL) que en estado de reposo esta a un potencial de unos 0,3v. Este potencial de 3v en WL provoca que la corriente del emisor de Q_1 conectado a WL se transfiera a DL donde una vez amplificado se detectará y se interpretará como la existencia de un "1" lógico. En el caso de que la célula almacenase un "0" lógico, la corriente se hubiese detectado en \overline{DL} .

La anchura del impulso que se aplica a WL va en función de la rapidez de transferencia de corriente de un emisor a otro y a la rapidez del amplificador de lectura, debiendo proporcionar suficiente tiempo para que se realicen estas funciones.

Ciclo de Escritura:

Supongamos que en la célula de la figura anterior que tenia un "1" queremos escribir un "0", el direccionamiento se hace de la misma forma que para una operación de lectura, pero además se introduce

el dato deseado por la línea correspondiente, el mecanismo de almacenamiento es el siguiente: Si tenemos almacenado un "1" y queremos almacenar un "0", enviaremos un impulso de 3v por la línea WL y simultáneamente se baja la tensión en la línea \overline{DL} , manteniéndola en la línea DL, de esta forma se produce una diferencia de potencial entre ambas líneas que debe ser mayor que $V_{BE} - V_{SAT}$, de esta forma provocamos la conducción de Q_2 mediante el emisor conectado a \overline{DL} con lo que la tensión en B bajara a V_{SAT} cortando a Q_1 , con lo cual al desaparecer el impulso en WL y volver \overline{DL} a la tensión de DL quedará almacenado un "0" en forma de conducción de Q_2 y corte de Q_1 . Si el caso fuese el escribir un "1", bajaríamos la tensión en DL mientras mantendríamos la tensión en \overline{DL} .

Célula con Acoplo por Diodo.

En este tipo de células, la conexión con la línea de datos se hace a través de unos diodos, que pueden ser realizados con tecnología Schottky, estos diodos tienen sus ánodos conectados a cada una de las líneas de datos. Esta es la diferencia fundamental respecto a las células con transistores multiemisores, los cuales hacían la conexión con la línea de datos a través de un segundo emisor en cada transistor. El esquema de esta célula se representa en la Fig. 15 .

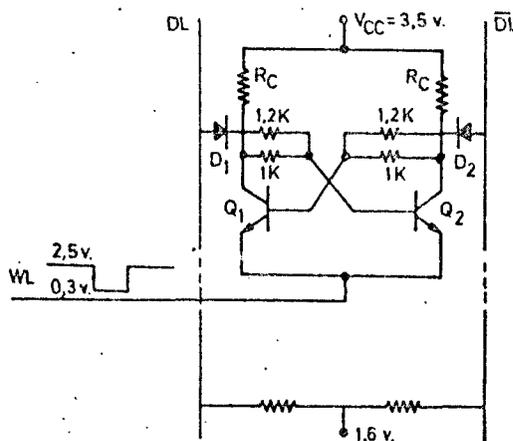


Fig. 15 Célula con Acoplo por Diodos.

En estado de reposo, la tensión de la línea de datos es de 1,6v y la de la línea de palabra de 2,5v. Supondremos que tenemos almacenado "1" en forma de conducción de Q_1 y corte de Q_2 y viceversa para el caso de tener almacenado un "0".

Ciclo de Lectura:

Cuando se desea leer el contenido de una célula, se provoca un impulso de bajada de la tensión en WL hasta 0,3v con lo cual se polariza en sentido directo el diodo que esta conectado al colector del transistor en conducción. La conducción del diodo produce una corriente en la línea de datos conectada al diodo. Esta corriente produce un desequilibrio de tensión entre DL y \overline{DL} y es interpretada en el amplificador de lectura.

Ciclo de Escritura:

Para escribir un dato se han de producir dos impulsos, uno de direccionamiento a través de WL y otro de dato a través de DL ó \overline{DL} . Si la célula tiene almacenado un "1" (Q_1 conduciendo) y se quiere escribir un "0", simultáneamente al impulso de lectura que pone a 0,3v WL, se eleva la tensión en DL respecto a \overline{DL} por medio de un impulso de 2,8v en DL. Esto hace que D_1 conduzca a través de Q_1 , produciendo una caída de tensión en la resistencia de 1 K que es suficiente como para hacer conducir a Q_2 con lo que el biestable bascula quedando Q_2 en conducción y por lo tanto un "0" almacenado.

Memorias RAM con dispositivos MOST.

Las memorias semiconductoras vistas anteriormente estaban constituidas por tecnología bipolar, en la cual la célula básica de almacenamiento estaba formada por transistores bipolares.

La tecnología MOS, por el contrario, realiza el biestable mediante inversores MOS, esto permite la integración a gran escala (LSI) y por otra parte el consumo de potencia se reduce considerablemente. Esta tecnología presenta algunos inconvenientes respecto a las me-

morias bipolares tales como, tiempo de acceso a la memoria mayor, necesidad de dos tensiones de alimentación y mayor complejidad de de diseño, aunque esta desventaja de tener un tiempo de acceso mayor pronto desaparecerá ya que se están desarrollando nuevos procedimientos de fabricación de memorias MOS de canal N que poseen unos tiempos de acceso cercanos a los conseguidos con tecnología bipolar. Otro de los inconvenientes, en las células MOS DINAMICA, consiste en la necesidad que tienen estas células de que se refresquen periódicamente los datos almacenados, aunque este inconveniente está ampliamente compensado por los escasos componentes que necesita una célula de este tipo. A continuación vamos a ver el funcionamiento de este tipo de células.

Célula Estática:

La célula más utilizada consiste en un biestable constituido por dos inversores MOS, Fig. 16. Cuando en la célula tenemos almacenado un "1" tomaremos el acuerdo de que lo hace en la forma de conducción de Q_1 y corte de Q_2 y viceversa para el caso de almacenar un "0" lógico. En estado de reposo, la célula queda totalmente aislada al quedar las puertas de transferencia abiertas como consecuencia de la polarización aplicada desde la línea WL.

Ciclo de Lectura:

Para leer el contenido de una célula debemos direccionarla aplicando un impulso de -12 v a la línea WL con lo cual los transistores Q_5 y Q_6 conducen transfiriendo los potenciales respectivos del punto A a DL y del punto B a \overline{DL} . Detectando convenientemente el potencial en DL podremos conocer si la célula encierra un "1", con lo cual en DL se obtienen 0 v ó por el contrario un "0" obteniéndose en DL -12 v. Podríamos lógicamente haber obtenido los valores en \overline{DL} , siendo estos los inversos.

Ciclo de Escritura:

En una operación de escritura lo primero que debemos hacer, al igual que en una operación de lectura, es direccionar la célula aplicando un impulso negativo de -12 v en WL con lo cual se habilitan los caminos a través de Q_5 y Q_6 . A continuación si queremos almacenar un "1", aplicaremos -12 v en \overline{DL} y pasando por Q_6 que esta habilitado hara conducir a Q_1 (en caso que no estuviese conduciendo) quedando el potencial del punto A aproximadamente a 0 v. con lo cual Q_2 se pone al corte. Cuando cesa el impulso negativo en WL el "1" logico queda almacenado en la célula.

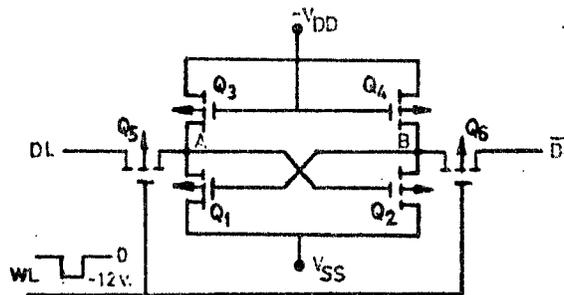


Fig. 16 Célula Estática.

Célula Dinamica:

En este tipo de memorias la información se almacena en forma de carga del condensador que aparece estructuralmente entre el sustrato y la puerta de los MOST, por ejemplo, la carga cero representa un "0" logico y una carga de 500×10^{-15} culombios puede representar un "1" logico, aunque esta carga parece pequeña en realidad es la carga de tres millones de electrones. Con este tipo de células se pasa de 6 MOST por célula en las memorias estáticas a tres en este tipo de memorias dinamicas, aunque ya se han realizado memorias dinamicas en las cuales solamente se utiliza un solo MOST con lo cual se aumenta enormemente la densidad de almacenamiento, reduciendo la potencia y el coste por bit.

En la Fig. 17 esta representada una célula de este tipo constituida por tres transistores MOS. En el transistor Q_2 se puede apreciar la capacidad que sirve para almacenar la información.

El condensador de almacenamiento pierde carga por dos causas, la lectura y las fugas, por lo tanto deberá regenerarse la carga periódicamente, generalmente una vez cada dos milisegundos. Cuando la célula resulta seleccionada para una operación de lectura, la carga almacenada sera compartida entre el condensador y la elevada capacidad de la línea de datos, como resultado de ello, la tensión que representa la información resulta atenuada en un factor de 10 a 20. Por lo tanto, cuando deseemos retener la información, habra de ser regenerada en cada operación de lectura. Mientras dure la operación de renovación no puede escribirse ni leerse en la célula y por tanto se pierde algo del tiempo de utilización de la memoria.

Ciclo de Lectura:

Debemos habilitar Q_3 aplicando una tensión negativa de unos -15 v entre WLL y el sustrato. Si el condensador C esta descargado, representando un "0" logico, Q_2 no conducira, con lo cual Q_3 tampoco lo hará y tendremos en \overline{DO} un circuito abierto que se interpretara como un "1" en el circuito de lectura. Por el contrario, si el condensador estuviese cargado, representando un "1" logico, tendriamos aplicado un potencial negativo a la puerta de Q_2 con lo cual estaria habilitado y conducirá haciendo conducir a su vez a Q_3 con lo cual en \overline{DO} obtendremos el potencial de masa. Como puede verse, a la salida de la célula obtenemos el valor inverso del contenido de la celula.

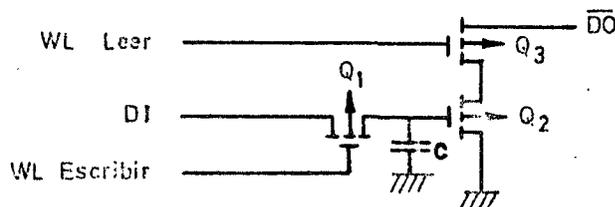


Fig. 17 Célula Dinamica.

Ciclo de Escritura:

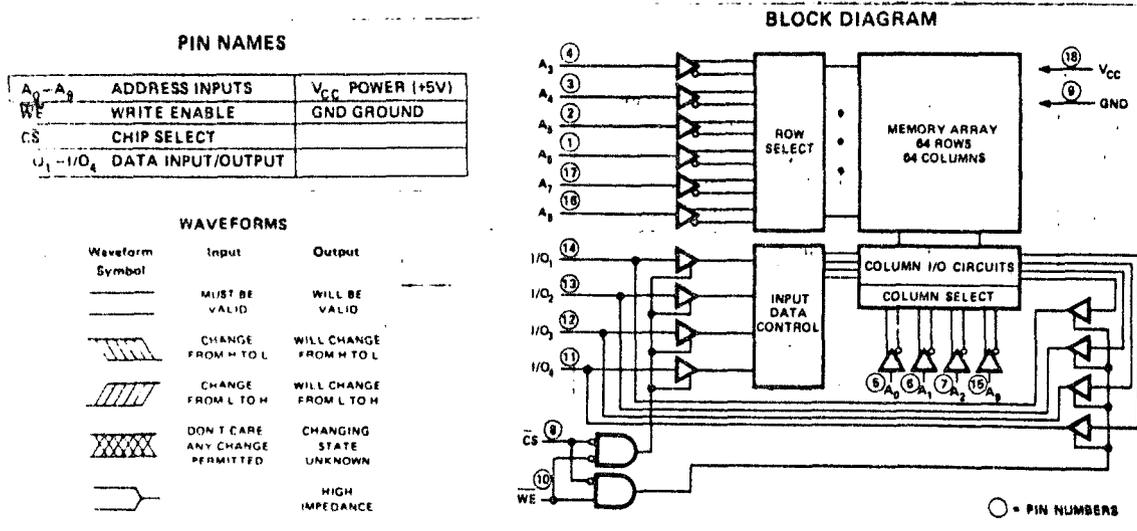
Aplicamos una tensión negativa a la línea WLE, con lo cual Q_1 conduce y a través de él, la capacidad C se carga a la tensión que llegue por DI. Si queremos escribir un "1" por DI llega una tensión negativa que carga C , manteniendo de esta forma la puerta de Q_2 a un potencial negativo respecto al sustrato. Si por el contrario se quiere escribir un "0", por DI llega una tensión de 0 v y la capacidad C se descarga en el caso que estuviese cargada, quedando Q_2 cortado, almacenándose de esta forma un "0" en la célula.

Consideraciones Generales:

En lo concerniente a las memorias semiconductoras hemos visto que hay memorias bipolares (TTL ó ECL) y memorias MOS (canal P, -- canal N, MOS Complementario: CMOS). Las memorias Bipolares son más rápidas, disipan mucha más potencia y son más caras puesto que su tecnología es muy compleja. Las memorias MOS canal P son más lentas, disipan mucha menos potencia que las bipolares y son más baratas puesto que su tecnología es mucho más simple. Las memorias MOS canal N son bastante más rápidas que las de canal P (prácticamente se han conseguido los tiempos de acceso de las bipolares), su disipación es proporcionalmente inferior y su precio similar. Las memorias CMOS ó MOS complementario disipan entre 100 y 10.000 veces menos potencia que las MOS normales pero resultan un poco más caras. Los tiempos de acceso son de 45 a 60 ns en las bipolares TTL y de 15 a 30 en las bipolares ECL, de 150 a 350 nanosegundos (ns) en las memorias MOS dinámicas, de 55 a 450 ns en las MOS estáticas y las CMOS son las que disipan menos potencia, ideales para diseño en equipos autónomos, pero son las más lentas con tiempos de acceso entre 300 y 1600 ns.

A continuación, en la Fig. 18, se representa el esquema en bloques de la memoria 2114 de INTEL con capacidad para 4.096 bits, organi-

zados en 1.024 palabras de 4 bits, de A_0 a A_9 son las entradas de direccionamiento, \overline{WE} es la señal de escritura habilitada y se activa a nivel bajo, \overline{CS} es la señal de selección de circuito, ya que una memoria puede, en función de la capacidad de dicha memoria, estar constituida por varios circuitos como este. Y por ultimo $I/O_1 - I/O_4$ son los terminales de Entrada/Salida. Esta memoria es una RAM (Estatica) que tiene un tiempo de acceso de 100 a 250 nanosegundos, en función de los cinco modelos de ella que existen en el mercado.



RECOMMENDED AC OPERATING CONDITIONS ($T_A = 0$ to $70^\circ C$, $V_{CC} = 5.0 V \pm 5\%$)

Parameter	Symbol	MCM2114-20 MCM21L14-20		MCM2114-25 MCM21L14-25		MCM2114-30 MCM21L14-30		MCM2114-45 MCM21L14-45		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
Read Cycle Time	t_{RC}	200	—	250	—	300	—	450	—	ns
Access Time	t_A	—	200	—	250	—	300	—	450	ns
Chip Selection to Output Valid	t_{SO}	—	70	—	85	—	100	—	120	ns
Chip Selection to Output Active	t_{SX}	20	—	20	—	20	—	20	—	ns
Output 3-State From Deselection	t_{OTD}	—	60	—	70	—	80	—	100	ns
Output Hold From Address Change	t_{OHA}	50	—	50	—	50	—	50	—	ns
Write Cycle Time	t_{WC}	200	—	250	—	300	—	450	—	ns
Write Time	t_W	120	—	135	—	150	—	200	—	ns
Write Release Time	t_{WR}	0	—	0	—	0	—	0	—	ns
Output 3 State From Write	t_{OTW}	—	60	—	70	—	80	—	100	ns
Data to Write Time Overlap	t_{DW}	120	—	135	—	150	—	200	—	ns
Data Hold From Write Time	t_{DH}	0	—	0	—	0	—	0	—	ns

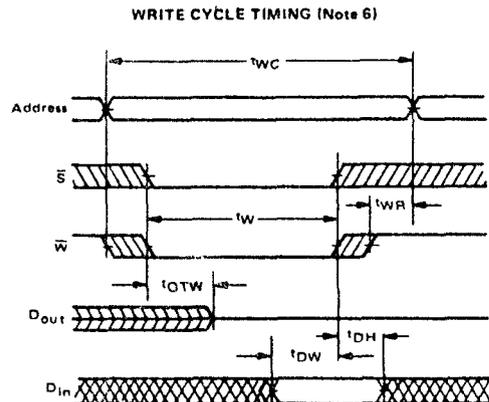
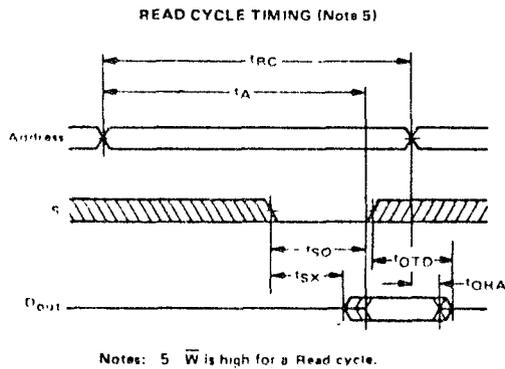


Fig. 10 Diagrama en bloques y de tiempos. (2114).

2.2 MEMORIAS INTERMEDIAS:

Este tipo de memorias tienen una capacidad mucho mayor que la de la memoria Central, del orden de varios Megabits, aunque su tiempo de acceso es algo mayor. Se caracterizan por tener una forma de acceso de tipo BORAM (Block Oriented Random Access Memory) en el cual se accede aleatoriamente al bloque de información y una vez en el bloque, al dato en cuestión, se accede secuencialmente. Los intercambios de información entre la memoria principal y la memoria intermedia son gestionados por software, transfiriéndose a la memoria principal bloques de información que necesita en un momento determinado de ejecución del programa. Estas memorias han llenado el espacio vacío en términos de velocidad y tiempo de acceso entre la memoria central y las memorias auxiliares. Entre ellas se encuentran:

- Memorias CCD.
- Memorias de Burbujas Magneticas.

A continuación pasamos a la explicación de cada uno de estos dispositivos por separado.

2.2.1 Memorias CCD (Dispositivos de Carga Acoplada).

Considerese un transistor MOS con un canal extremadamente largo, sobre el cual y entre Fuente (Source) y Drenador (Drain) se han colocado una gran cantidad de puertas estrechamente espaciadas. Tal disposición puede hacerse funcionar como un registro de desplazamiento. Cada electrodo de puerta forma con el sustrato un condensador MOS capaz de almacenar carga. Por ejemplo, si un "1" se introduce en la fuente, la carga se almacena en el condensador más cercano a esta, si al mismo tiempo se le aplica un voltaje apropiado al electrodo E_1 , (Fig. 19). Si ahora este voltaje desaparece de E_1 y es aplicado simultáneamente al electrodo E_2 , el paquete de carga se moverá desde E_1 a E_2 .

Repitiendo este proceso la carga se moverá de condensador a condensador, por este motivo a la configuración se le denomina Dispositivo de Transferencia de Carga (Charge-Transfer Device, CTD) ó Dispositivo de Carga Acoplada (Charge-Coupled Device, CCD). De esta forma se pueden obtener registros de desplazamiento ó memorias serie de elevadísima densidad a unos precios razonables.

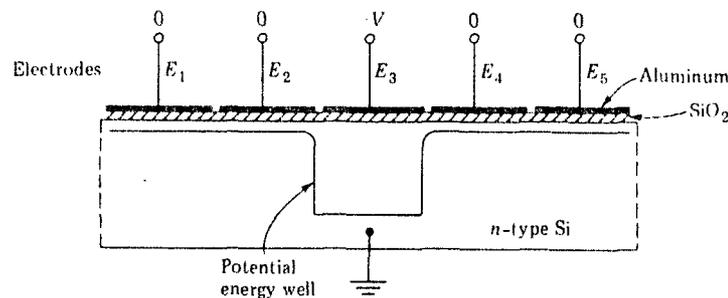


Fig. 19 Estructura simplificada de un CCD.

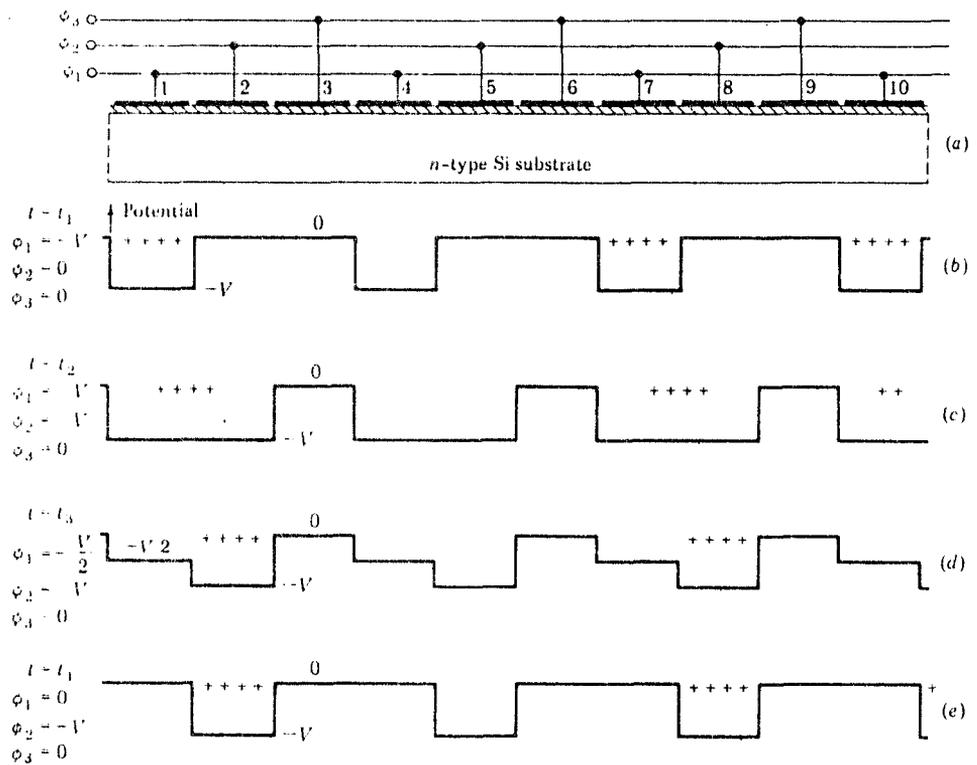
Para comprender mejor el funcionamiento del dispositivo considerese un sustrato tipo N que ha sido recubierto con una fina capa de óxido, sobre el cual se ha depositado una fila de electrodos espaciados a pequeñísima distancia, cinco de los cuales se muestran en la Fig. 19. Para simplicidad de explicación, considerese que el voltaje umbral es cero y que no hay presentes huecos (portadores minoritarios). Como puede verse en la figura, el voltaje de la puerta 3 es $-V$ y los demás electrodos están a masa. Este voltaje negativo repele los electrones libres del sustrato que se encuentra bajo E₃ y son alejados del SiO₂. Como consecuencia aparecen iones positivos inmóviles y se forma bajo E₃ una región de agotamiento. La fig. 19 representa la variación del potencial con la distancia, tomada esta en planos paralelos a la superficie del óxido, también podemos ver los pozos de potencial para los portadores minoritarios, los huecos.

Si introducimos un paquete de huecos en la zona bajo E₃, las cargas pueden moverse libremente dentro del pozo, pero no pueden atravesar el potencial de las paredes del pozo. En otras palabras, al estar presente el voltaje $-V$, las cargas positivas no pueden vagar continuamente y son atrapadas bajo E₃ cerca de la superficie

del canal.

Vamos a considerar a continuación como se mueven de derecha a izquierda, a través del canal, las cargas almacenadas. Este desplazamiento corresponde al que efectúan los bits en un registro de desplazamiento.

Examínese la estructura de la Fig. 20, constituida por diez placas en las cuales cada tercer electrodo se unen entre si.



Arriba: Representación de la transferencia de carga.

Abajo: Formas de onda de la excitación de tres fases.

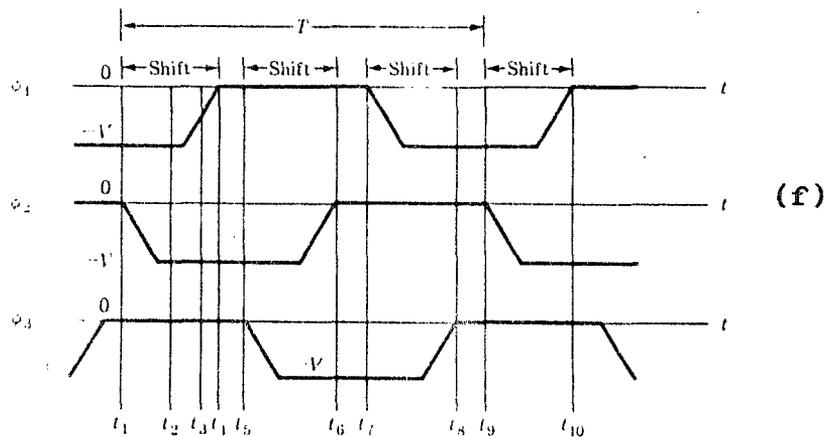


Fig. 20 Transferencia de carga y fases de excitación.

En $t=t_1$ el voltaje aplicado es $\phi_1 = -V$, $\phi_2 = \phi_3 = 0$ cuya situación esta representada en la Fig. 20 b, formandose pozos de potencial bajo los electrodos 1, 4, 7 y 10. Los signos más indican esquemáticamente que la carga está almacenada cerca de la superficie y bajo E_1 , E_7 y E_{10} pero no bajo E_4 , indicando que la información digital "1011" ha sido introducida en el CCD. Un momento despues, en $t=t_2$, el voltaje de ϕ_2 cambia a $-V$ manteniendo ϕ_1 y ϕ_3 sus valores previos. Por lo tanto, el perfil del potencial se altera tal y como indica la Fig. 20 c. La carga almacenada es ahora compartida por dos electrodos contiguos, debido a la difusión de los huecos del pozo original en el pozo vacio que ha aparecido recientemente. Poco despues, la situación de la Fig. 20 c se estabiliza, ϕ_1 comienza a decrecer y en $t=t_3$, $\phi_1 = -V/2$, mientras que ϕ_2 y ϕ_3 permanecen sin cambio. El perfil de potencial correspondiente a t_3 aparece en la Fig. 20 d. El campo eléctrico marginal causado por la diferencia de potencial entre ϕ_1 y ϕ_2 origina el desplazamiento de los huecos hacia el pozo más profundo, tal como aparece en la figura. Finalmente en $t=t_4$, tenemos $\phi_1 = 0$, $\phi_2 = -V$ y $\phi_3 = 0$ y la figura que representa esta situación es la 20 e. Como consecuencia de esta secuencia de cambios de voltaje, la configuración inicial de carga almacenada que era "1011" ha sido transferida un electrodo a la derecha, como aparece claramente comparando las Figuras 20 b y 20 e. Esta secuencia que acaba de ser descrita, representa la transferencia de la información almacenada desde un electrodo al siguiente en un registro de desplazamiento CCD.

Puesto que se requieren tres voltajes, hacen falta tambien tres fases de reloj ϕ_1 , ϕ_2 y ϕ_3 que estan representadas en la Fig. 20 f. La primera transferencia se lleva a cabo entre t_1 y t_4 , la segunda entre t_5 y t_6 , la tercera entre t_7 y t_8 y la cuarta entre t_9 y t_{10} . Evidentemente por cada ciclo de entrada de periodo T hacen lugar tres desplazamientos. Durante los inter-

valos entre desplazamientos (por ejemplo, entre t_4 y t_5), el voltaje del reloj permanece constante y el perfil del potencial sin alterar. Como puede verse, si un bit es encerrado bajo un electrodo, no se podra almacenar información bajo los dos próximos electrodos. En otras palabras, una célula de almacenamiento está constituida por tres electrodos y en ella solamente puede ser almacenado un bit. Por lo tanto, para este CCD, los electrodos por bit son tres.

El CCD es un dispositivo unipolar ya que solamente cargas de un signo son desplazadas longitudinalmente de electrodo en electrodo. La estructura de la Fig. 20 se refiere a un CCD de canal P, porque las cargas que se transfieren son huecos (portadores minoritarios) en un sustrato de silicio tipo N. Un dispositivo de canal N (sustrato tipo P) se excita mediante voltajes positivos en lugar de negativos y las formas de onda de la Fig. 20 f son invertidas (cambiando $-V$ por $+V$) y por supuesto los signos más deben ser cambiados a menos, para indicar que el paquete de electrones ("1" logico) está siendo transferido por el registro de desplazamiento.

Frecuencias Limite de Operación:

Por debajo de ciertas frecuencias de reloj (50 kHz a 1 MHz) aparece un fenomeno llamado " Efecto de Corriente Oscura " que consiste en el cambio del estado logico "0" al estado logico "1" como consecuencia de ser atrapados portadores generados termicamente en el interior de un pozo de potencial previamente vacio.

No se requiere un suministro de energia constante a las células CCD, ya que solamente se disipa energia en el proceso de carga de la capacidad de la célula. Consecuentemente el limite superior de la frecuencia del reloj (1 a 10 MHz) puede ser determinada por la disipación máxima de potencia permitida. También, un incremento en la frecuencia reduce la eficiencia de la transferencia de carga de una célula a la siguiente. Por lo tanto, la frecuencia superior

Puede ser limitada por el punto en el cual la pérdida de transferencia llega a ser inaceptable.

Estructuras de Entrada y Salida:

En la Fig. 21 (a), al principio de un registro CCD, se ha añadido por difusión una Fuente (S) y una Puerta (G). El pozo de potencial situado debajo del primer electrodo E_1 actúa como un drenador, por lo cual, la fuente (S) junto con la puerta (G) y el electrodo (E_1) forman un MOSFET. Aplicando voltajes apropiados a S y G circulará una corriente hasta que el pozo se sature de carga, alcanzando de esta forma el mismo potencial que S.

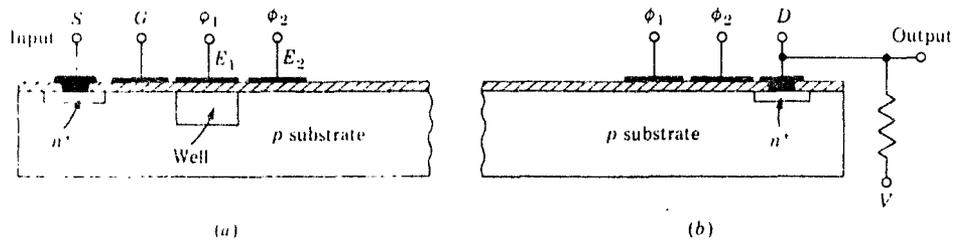


Fig. 21 Estructuras de: (a) Entrada y (b) Salida.

En la Fig. 21 (b) está representado el circuito de salida, obtenido añadiendo por difusión un Drenador (D) al final del registro, el cual detecta las salidas de corriente. Las detecciones de voltaje ó de carga se obtienen mediante la construcción en el chip de un amplificador de salida ó añadiendo uno externamente.

Organización de las Memorias CCD.

Las memorias CCD ocupan el espacio vacío entre las RAM y las memorias de discos magnéticos de cabeza fija. Las CCD son más baratas que las RAM pero su tiempo de acceso es más lento debido a su operación serie. Por otro lado, las CCD son más caras pero más rápidas que las memorias de burbujas magnéticas. Aplicaciones para las CCD pueden ser pequeñas memorias serie para reemplazar a los relativamente caros registros de desplazamiento, y más importante aún, grandes sistemas de memorias en los cuales la mayor velocidad

de las CCD las hacen mas atractivas que las de discos magnéticos. Las memorias de carga acoplada son excelentes sistemas de memoria para el refresco de pantalla en terminales con tubo de rayos catódicos.

Puesto que las CCD trabajan en serie, la información debe ser desplazada hacia la salida antes de poder ser leida. Por lo tanto, en el peor de los casos, el tiempo de acceso de cualquier bit (llamado " tiempo de espera ") es mas largo que el correspondiente a las memorias RAM. Para un número dado de bits por chip, el tiempo de espera (latency time) depende del tipo de organización del chip. Comúnmente se utilizan tres tipos de organización: Zig-Zag (Serpentine), Serie-Paralelo-Serie (SPS) y Memoria de Acceso Aleatorio por Linea Direccionable (LARAM).

Zig-Zag (Serpentine).

Es una organización sincrona en la cual el dato es transferido de célula a célula a través de un largo registro de desplazamiento en forma de zig-zag, configuración que está representada en la Fig. 22, La transferencia de carga de una célula a la siguiente

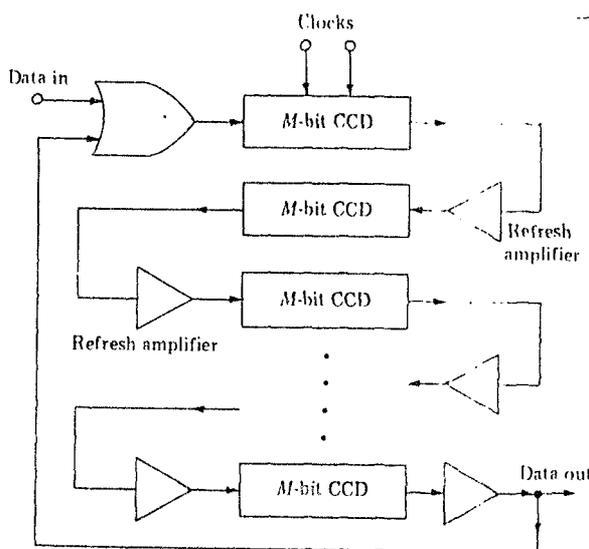


Fig. 22 Organización en Zig-Zag (Serpentine).

tiene una eficiencia muy alta (99,999 %). Las limitaciones impuestas por deficiencias en la transferencia y por generación de

corriente oscura, requieren que la carga almacenada deba ser restablecida mediante amplificadores de refresco despues de cada 100 a 300 células. Esta es la configuración mas simple para fabricar de las tres, y para una memoria CCD corta es rapida si usamos un reloj de frecuencia elevada. Por ejemplo, para $f=10$ MHz, el tiempo de espera para una CCD de 1.024 bits es $102 \mu s$. A medida que se aumenta la frecuencia del reloj, es mayor la energia desperdiciada, y por lo tanto debemos buscar un compromiso entre el tiempo de espera y la disipación de potencia.

Memoria de Acceso Aleatorio por Linea Direccional. (LARAM).

Esta es una organización optimizada para proporcionar un tiempo de acceso más corto. Las LARAM consisten en un numero de memorias CCD con recirculación funcionando en paralelo y utilizando en común las lineas de entrada y salida. Se utiliza un decodificador para seleccionar aleatoriamente cualquiera de los registros, de ahí la designación de memoria de acceso aleatorio por linea direccional (Line-Addressable Random-Access Memory).

La Intel 2416 es una memoria de 16 kb CCD en encapsulado de 18 patillas, organizada en 64 registros de desplazamiento con recirculación independientes de 256 bits cada uno. Un decodificador de 6 a 64 lineas puede seleccionar de forma aleatoria cualquiera de estos registros. En la Fig. 23 está la representación esquemática de esta memoria. Las operaciones de acceso aleatorio asi como las de I/O se llevan a cabo de forma similar a las de una memoria RAM 64 bits. Para un reloj de 2 MHz el tiempo de espera es $\frac{256}{2} = 128 \mu s$. El tiempo de acceso promedio es la mitad de esta cantidad, osea, 64 us. La Intel 2464 es una memoria CCD de 65.536 bits, organizada de una forma similar a la de la 2416 pero con 256 registros de circulación independientes de 256 bits cada uno. Esta memoria está realizada en un chip que mide solamente 3,5 por 5 mm.

En los dispositivos CCD, el número de fases de excitación no tiene un número crítico y va íntimamente ligado a la estructura de los electrodos pudiendo encontrarnos dispositivos excitados por cuatro fases, por tres, por dos e inclusive de fase única, haciendo cumplir a esta fase con ciertos requisitos respecto a una tensión fija aplicada a ciertos electrodos.

En la representación de la memoria 2416 (16.384 bits), las cuatro fases de reloj se obtienen de un circuito aparte, el 5244.

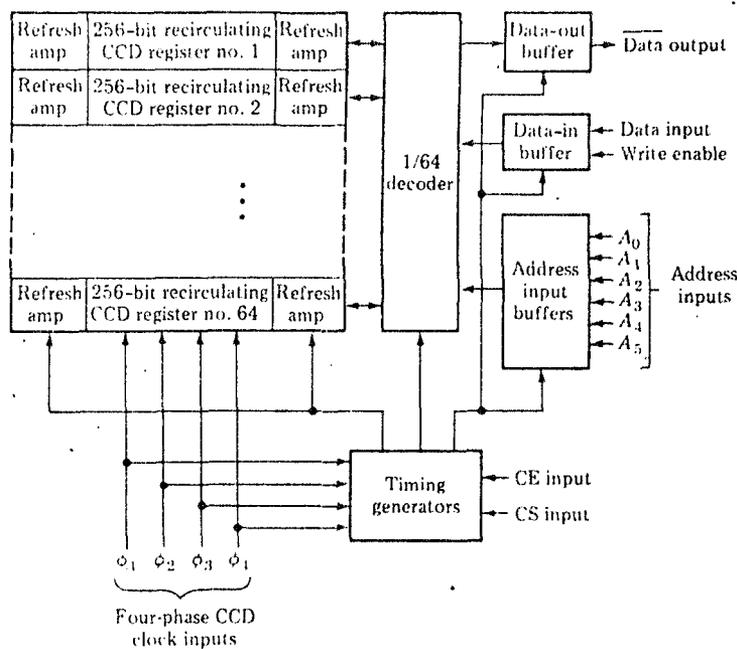


Fig. 23 Representación Esquemática de la Memoria 2416 de Intel.

Organización Serie Paralelo Serie.

Esta configuración aparece representada en la Fig. 24. Los N primeros bits son desplazados dentro del registro horizontal CCD por el reloj de alta frecuencia (f_c). Estas cargas serán transferidas posteriormente en paralelo a los N registros verticales. Los próximos N bits de entrada son alimentados dentro del registro horizontal de entrada. En seguida estos segundos bits son cargados dentro de los registros verticales. Con la finalidad de hacer sitio para los segundos N bits, los primeros N bits deben ser des-

plazados hacia abajo un registro vertical. Evidentemente, estos registros verticales operan a una frecuencia f_c/N , que será mucho mas baja que f_c si el valor de N es grande. El tercer grupo de N bits es introducido rapidamente en el registro horizontal de entrada y transferidos posteriormente a los registros verticales. Este proceso se repite hasta que el registro de entrada y todos los demás registros estan llenos. En este instante, los N primeros bits (los cuales estan ahora en el extremo inferior de los registros verticales) son transferidos al registro horizontal de salida y desplazados hacia afuera en serie y a la misma frecuencia f_c por la que fueron introducidos en el sistema. Observe que los bits de salida son realimentados a la entrada, determinando de esta forma que sea un registro de desplazamiento con recirculación.

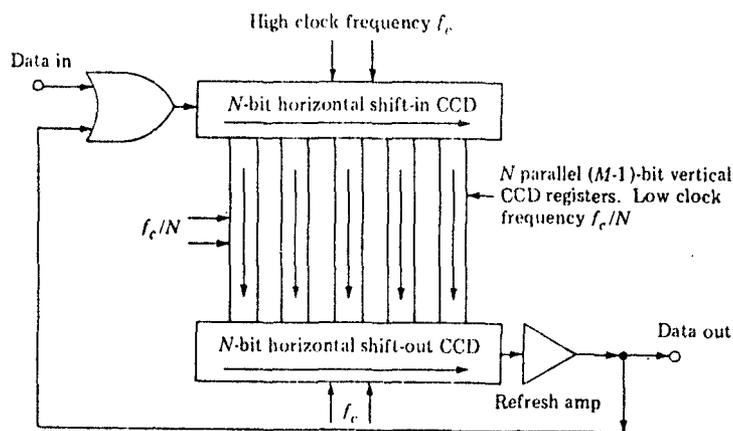


Fig. 24 Organización Serie-Paralelo-Serie.

2.2.2 Memorias de Burbujas Magnéticas.

Las memorias de burbujas magneticas están organizadas intrínsecamente en serie, por lo que el tiempo de acceso depende del número de posiciones de almacenamiento y de la velocidad de desplazamiento. Su aplicación potencial más prometedora reside en la sustitución de las memorias de cinta y de disco de capacidad comprendida entre un millón y 10 millones de bits. Estas memorias se basan en la movilidad de las burbujas magnéticas ó dominios microscópi-

cos de polarización magnética en una película magnética delgada de ortoferrita ó granate. Una característica importante de las memorias de burbujas es que retienen la información almacenada cuando se interrumpe la alimentación externa, lo cual constituye una propiedad valiosa. Para preservar la polarización de las burbujas se utiliza un imán permanente que mantiene fijo el campo magnético perpendicular.

Principio de Funcionamiento:

El material básico para la construcción de dispositivos de burbujas magnéticas es una oblea formada por un sustrato de granate no magnético, sobre el cual se deposita una película de granate magnético. El sustrato contiene gadolinio, galio y oxígeno y la capa magnética contiene itrio, samario, hierro y galio. A pesar de la composición diferente, la capa magnética asume la misma estructura cristalina que el sustrato. Generalmente la anisotropía de un granate magnético es muy baja, lo cual quiere decir que es posible magnetizar el granate en cualquier dirección con la misma facilidad por medio de un campo exterior. Sin embargo, si se hace crecer el cristal a una temperatura controlada de 1.200°C , su anisotropía será alta, puesto que los iones de tierras raras quedan dispuestos en forma tal que la magnetización fácil sólo es posible en una dirección bien definida.

Una película delgada de granate magnético (de unos cuantos micrones) tiene regiones magnetizadas norte-sur y otras sur-norte en forma perpendicular al plano de la película, Fig. 25 a, siendo el magnetismo neto de la película igual a cero.

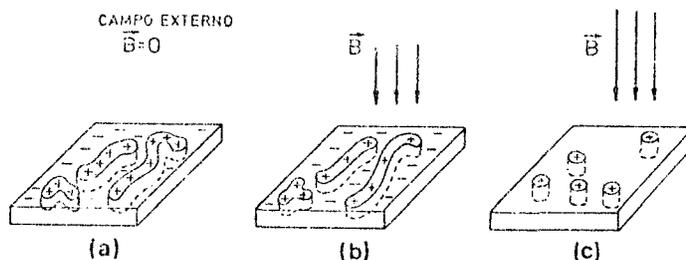


Fig.25 Formación de burbujas por campo externo.

Al aplicar un campo magnético externo perpendicular, Fig 25 b, los dominios con polaridad opuesta a la del campo se "encogen". Si se aumenta la intensidad del campo, se forman "burbujas" cilíndricas Fig. 25 c, y si la intensidad del campo aumenta más allá de ciertos límites, las burbujas finalmente desaparecen. Este es el campo de polarización. Si su intensidad es adecuada, las burbujas tendrán un diámetro de unos 3 micrones, dimensión necesaria para que la densidad de almacenamiento de la memoria sea competitiva.

Si el campo varía de intensidad sobre el plano del cristal, las burbujas se moverán siguiendo el gradiente del campo. La memoria completa implica la generación, manipulación y detección de las burbujas. El pequeñísimo tamaño de las burbujas permite una alta densidad de almacenamiento (sobre 155 Kbits/cm^2). Esto unido a la facilidad de fabricación del chip, baja potencia requerida, no volatilidad de la memoria y alta fiabilidad del sistema, hace que las memorias de burbujas magnéticas resulten competitivas en precios con otras más lentas (discos magnéticos) y representan una gran promesa para aplicaciones que no requieran alta velocidad de acceso.

Generación, propagación y detección de las burbujas:

La forma más simple y efectiva de generación de burbujas es por medio de un bucle conductor por el cual circula un pulso de corriente que produce un campo de intensidad suficiente para la formación de una burbuja (Fig. 26). El bucle conductor de Al-Cu, se deposita sobre el granate por metalización y está separado de las estructuras de permalloy (aleación magnética de alta permeabilidad, compuesta generalmente por un 81,5 % de Niquel y un 18,5% de Hierro, aunque algunas veces se añaden pequeñas cantidades de otros metales) usadas para la propagación por una capa de SiO_2 . El bucle conductor, al igual que los circuitos de replica y de-

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2009

tección discutidos posteriormente, se obtienen usando máscaras similares a los empleadas en circuitos integrados. Existen dos tipos de generadores, el de tipo galon (chevrons) ilustrado en la Fig. 26 y el generador en " T ", compatibles, respectivamente, con las barras de propagación en galón y en T, que se discutirán a continuación.

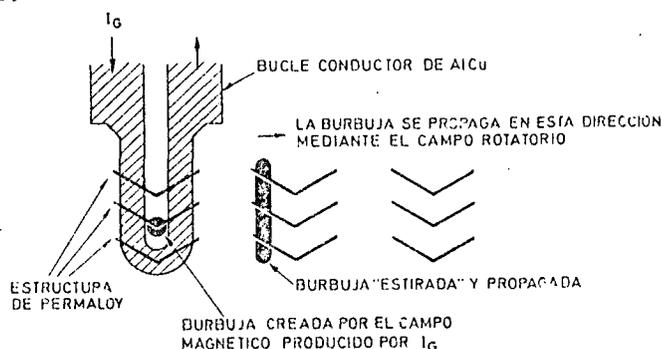


Fig. 26 Generador de burbujas en una estructura de galón.

Una vez generada la burbuja, ésta es desplazada a lo largo de un camino predeterminado por medio de un campo giratorio en el plano del granate, producido por dos bobinas a 90° , por las cuales circula una corriente alterna a una frecuencia apropiada para la propagación de las burbujas a la velocidad deseada. El camino de circulación de las burbujas queda determinado por la disposición geométrica de las estructuras de propagación de permalloy, en T ó en Galón, depositadas sobre la capa de SiO_2 mediante máscara. El mecanismo de propagación queda descrito gráficamente en la Fig. 27: (a) propagación en estructura galón y (b) propagación en estructura T. La polaridad de las barras de permalloy cambia con el campo rotatorio. La burbuja tiene polaridad opuesta a la del punto de la barra directamente opuesta a ella y se mueve al cambiar la polaridad de la barra. Para aprovechar la superficie del chip en su totalidad, se necesitan, además de las estructuras de propagación rectilínea, otras que permitan giros en 90° y 180° . La Fig. 28 indica la configuración necesaria para estructuras T. Se ha discutido la generación y la propagación de las burbujas. Falta discutir detección y el borrado.

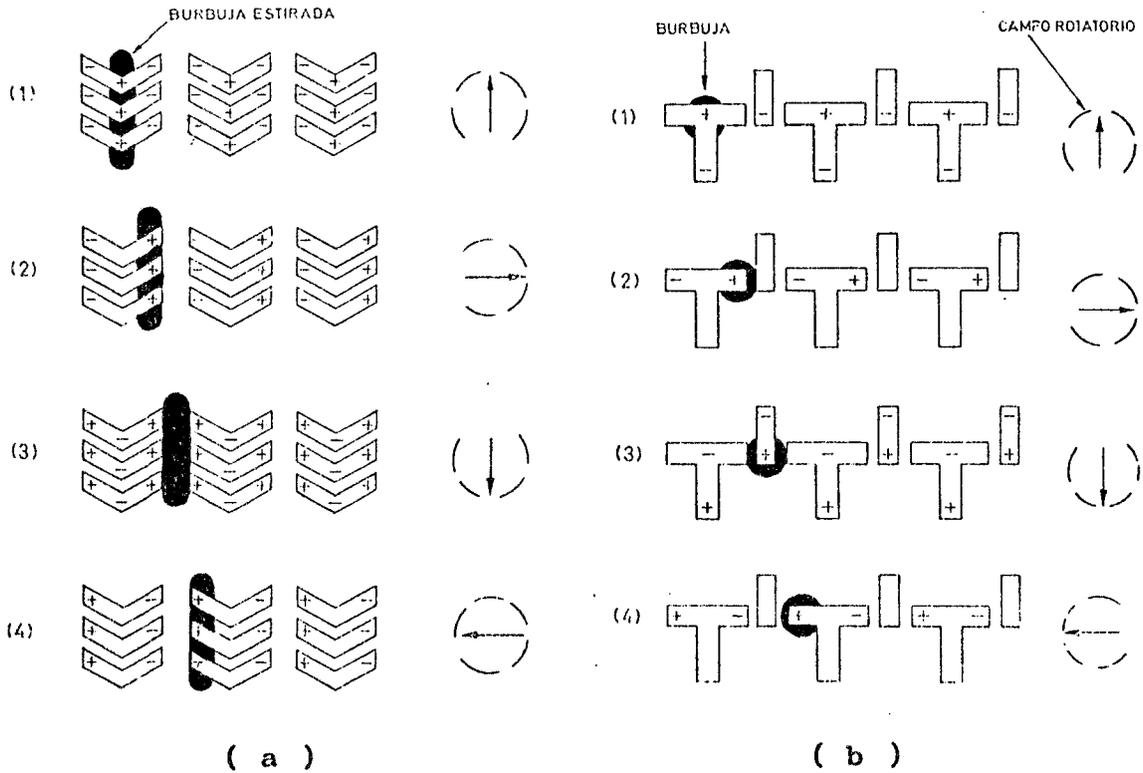


Fig. 27: (a) Estructura Galón (b) Estructura en "T".

El borrado es sumamente sencillo. Si recordamos que un aumento del campo magnético perpendicular sobre ciertos límites hace desaparecer las burbujas, está claro que solo se necesita una bobina de borrado que produzca un campo perpendicular al cristal magnético y refuerce el campo constante que mantiene las burbujas.

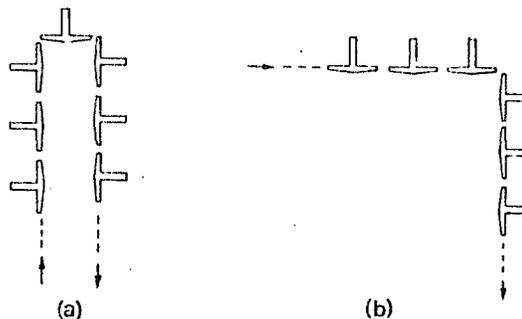


Fig. 28: (a) Giro a 180° (b) Giro a 90°.

Existen dos tipos de replicadores: el de medio disco y el de galón. El replicador de medio disco es compatible con la propagación por barras "T" y el de galón, lógicamente, con la propagación por

barras en galón. El principio de réplica de las burbujas se explica en la Fig. 29. La burbuja original sigue el camino preestablecido por la memoria, y la réplica de la burbuja original sigue hacia el detector, donde despues de ser detectada se pierde.

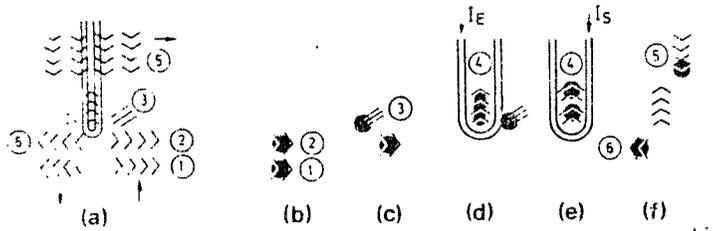


Fig. 29 Replicador en galón.

En la Fig. 29 (a) se representa la configuración general, (b) la burbuja asciende con el campo rotatorio (c) La burbuja se traslada a la posición 3 para hacerlo posteriormente a la 4 (interior del bucle), (d) al aplicar un pulso de corriente I_E , la burbuja se estira, (e) al aplicar un pulso de corriente I_S , la burbuja se separa en dos, que siguen los caminos 5 y 6. Notese que la estructura principal esta en la (a) y que de la (b) a la (f) son despieces de esta estructura general, pero representando distintos momentos del recorrido de la burbuja.

El detector se forma usando una estructura en forma de galónes que va estirando la burbuja hasta que es cientos de veces más larga que el diámetro original de la burbuja. Esto es necesario,

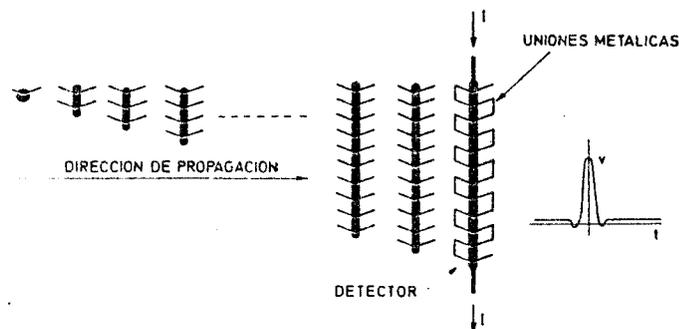


Fig. 30 Estructura del detector.

pues la detección se efectúa usando la propiedad magnetorresistiva del permalloy, o sea, el cambio de resistencia de éste

cuando se encuentra bajo el efecto de un campo magnético. La estructura de salida tiene los segmentos unidos entre si, lo cual no altera su propiedad de transporte de la burbuja, pero en cambio, al encontrarse la burbuja estirada bajo ella, la combinación del campo de polarización y el campo opuesto producido por la burbuja, hace que el campo neto sea cero, cambiando entonces la resistencia de la estructura. A través de ésta, como se ve en la figura, se hace circular una corriente de varios miliamperios, y al cambiar la resistencia de la estructura, entre sus terminales se produce un pulso de tensión de unos 10 mV, pulso que es detectado y amplificado.

El sistema completo requiere, además de los chips necesarios para obtener el número de bits deseados, un campo magnético permanente para la persistencias de las burbujas generadas, el campo de borrado ya discutido y el campo giratorio de propagación. Además se requieren los circuitos externos de generación de funciones (leer-escribir, aclarar, generar, replicar y detectar, generación de corriente de campo giratorio, etc). El campo permanente se obtiene mediante un circuito magnético formado por un imán permanente y unas placas de ferrita que hacen el campo homogéneo sobre la totalidad de los chips. El campo de borrado se obtiene por medio de una bobina superpuesta al circuito de memoria, devanada en forma tal que el campo que produce refuerza el del imán permanente. El campo giratorio es creado por dos bobinas en cuadratura que envuelven al circuito integrado. Las bobinas son alimentadas por el generador de campo rotatorio, que es otro circuito auxiliar. La combinación de dos campos en cuadratura de la misma frecuencia produce un campo giratorio. En la Fig. 31 se muestra la disposición física de las bobinas auxiliares sobre los chips. Nótese que la dirección del devanado de las bobinas del campo giratorio es tal, que está en el plano del chip. En cambio la bobina de borrado produce un campo perpendicular a éstos.

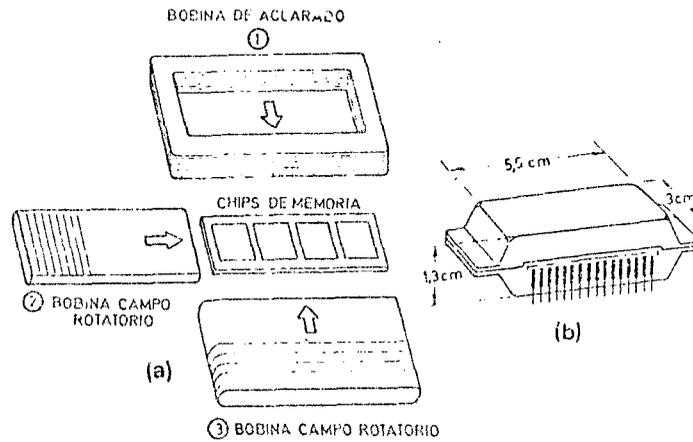


Fig. 31 Disposición de las bobinas en el chip.

El conjunto, incluyendo el circuito magnético del imán permanente va envuelto en un blindaje de permalloy, con el objeto de evitar la influencia indeseada de campos externos.

La Fig. 32 representa la disposición de un chip dedicado a un registro de desplazamiento (shift register), y representa el diagrama en bloque del sistema completo, incluyendo los circuitos de control. Esta memoria tiene una capacidad de 280.000 bits. En la actualidad INTEL posee una memoria de 1 Megabit, 1.048.576 bits, organizados en cuatro sectores, de 80 lazos cada sector y 4.096 bits por lazo, esta memoria se le designa por 7110.

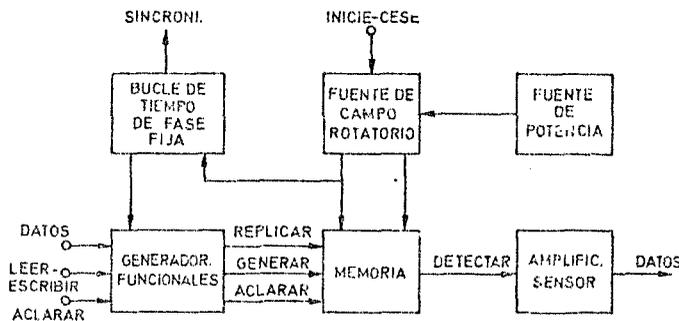


Fig. 32 Diagrama en bloques del sistema completo.

2.3 MEMORIAS AUXILIARES:

Estas memorias, por lo general, estan fuera del ordenador en dispositivos perifericos. Son memorias caracterizadas por capacidades mucho mayores, tiempos de acceso considerables y grandes velocidades de transferencia. Se accede en ellas a bloques de informaci3n que son transferidos a la memoria central para ser utilizados alli. Por lo general son memorias magn3ticas dinámicas, se distinguen los tambores y discos con cabezas fijas con tiempos de acceso entre 5 y 20 ms, discos con cabezas móviles, frecuentemente intercambiables, con tiempos de acceso entre 50 y 100 ms, memorias de tarjetas magneticas con tiempos de acceso entre 200 y 600 ms y por ultimo dentro de las memorias magn3ticas dinámicas más importantes tenemos las cintas magn3ticas que debido al tipo de acceso secuencial tiene tiempos de acceso de hasta varios minutos, y por su intercambiabilidad proporciona una capacidad casi infinita. El caudal de las cintas magn3ticas, por el momento, puede oscilar entre 15 y 300 kilo-caracteres.

Los otros dos tipos de memorias auxiliares que trataremos son: las memorias de acceso optico y las memorias superconductoras, que son memorias de reciente aparici3n a nivel tecnológico ya que aún no estan disponibles en el mercado.

2.3.1 Discos Magn3ticos:

En este tipo de memorias el soporte de la informaci3n es un disco. Los discos pueden ser : Discos flexibles (Floppy Disk) de 13,3 cm, que se denominan "minis", ó de 20,3 cm de diametro. Estan fabricados en una materia plastica -Mylar- recubiertos de óxido magn3tico. Están albergados dentro de un envoltorio, introduciendose el conjunto dentro del transporte en el cual, al girar, el disco por inercia toma una forma plana. Giran a velocidades re-

relativamente bajas, unas 360 revoluciones por minuto. La información suele almacenarse sobre 77 pistas (tracks) numeradas de la 0 a la 76 en ambas caras. En la Fig. 33 puede verse la apariencia externa y el cuadro de características del floppy de dos caras y 20,32 cm (8 pulgadas) de Shugart Associates (SA-850).

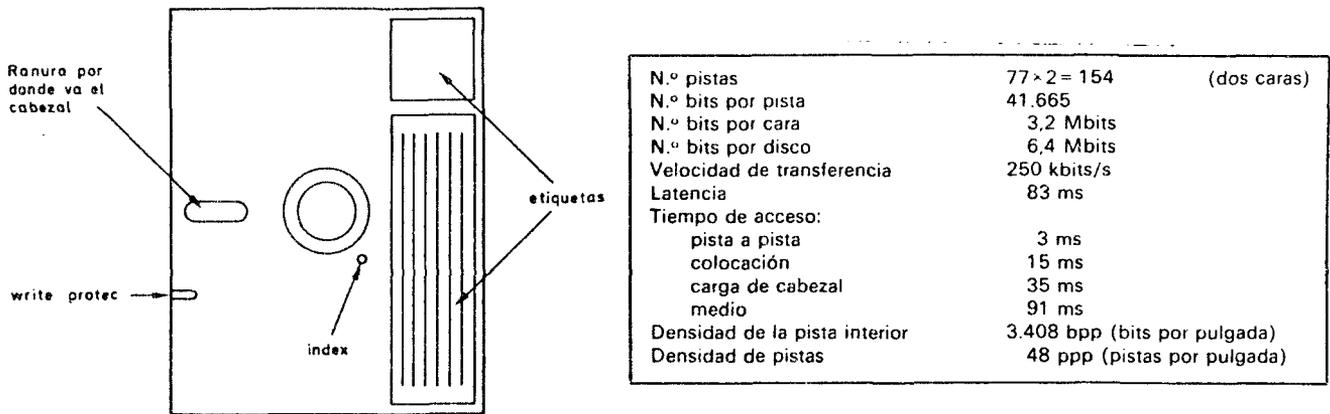


Fig. 33 Apariencia física y características del SA-850.

Respecto a los circuitos de lectura-escritura, son circuitos traductores analógico-digitales y viceversa respectivamente. El circuito de escritura traduce los pulsos procedentes del sistema en señales almacenables por el disco mediante unos generadores de corriente que atacan a un cabezal compuesto por una bobina enrollada a un núcleo de ferrita con una abertura en la parte de contacto con el disco. Para que el contacto no sea destructivo, se coloca una pieza de cerámica alrededor de ese núcleo que suaviza el contacto obteniendo a su vez la máxima señal.

El circuito de lectura consta de un amplificador que hace disponible la señal recogida del disco por ese mismo cabezal. Esta señal es filtrada, pasada por un amplificador diferencial y mediante un A/D (un detector de paso por cero en nuestro caso) obtenemos los pulsos de salida.

La electrónica de la información del estado del disco viene dada por cinco señales principalmente.

Indicación de disco protegido (write protect):

Es una señal que se envía al sistema e impide escribir sobre el

disco, evitando que sea destruida la información existente.

La indicación de que un disco está protegido ó no, viene dado por un agujero practicado en el mismo, si está tapado se puede escribir sobre el disco y si esta destapado indica que el disco está protegido y que no se puede escribir sobre él.

--Indicación de doble cara o no:

Esta indicación aparece en los dispositivos de dos caras que admiten también discos de una cara.

--Indicador de pista 0 (track 0 detector):

Esta señal se utiliza para tener una pista de referencia, ya que el disco solo interpreta pulsos.

--Indicación de principio de pista (index):

Al ser el disco circular es necesario tener una referencia de principio de pista que se hace mediante un agujero en el disco. A veces existe también otro agujero que indica el principio del sector.

--Indicación de preparado (ready):

Sirve para indicar cuándo una serie de condiciones son cumplimentadas para empezar a trabajar.

Para el formateado del disco uno de los sistemas que se emplean y uno de los más sencillos es el denominado FM. El modelo FM se basa en que el "1" tiene frecuencia doble que el "0". Si entre dos pulsos de reloj, hay un pulso, tendremos un "1" y si no lo hay, tendremos un "0".

El otro tipo de disco, denominado disco rígido, está compuesto generalmente de un metal ligero (normalmente aluminio). Las dos caras del disco están recubiertas de una delgada capa magnética constituida por partículas en forma de agujas de un micrometro de longitud (10^{-4} cm) y una decima de micrometro de anchura. Su diametro suele ser de unos 35 cm y su espesor de unos 3 mm. Las densidades de pistas y de información por pista son mayores que

en los discos flexibles, siendo el número de pistas por superficie entre 200 y 800, siendo los bits por centímetro de pista de 450 a 2.400, aunque estos valores suelen cambiar al alza. Tal y como indica la Fig. 34, suelen unirse varios discos (de 6 a 10) formando una pila o paquete de discos (disk pack) que giran solidariamente sobre un eje. Como puede apreciarse en la figura, todos los discos están activados por ambas caras excepto el primero y el último que solo lo están por las caras interiores.

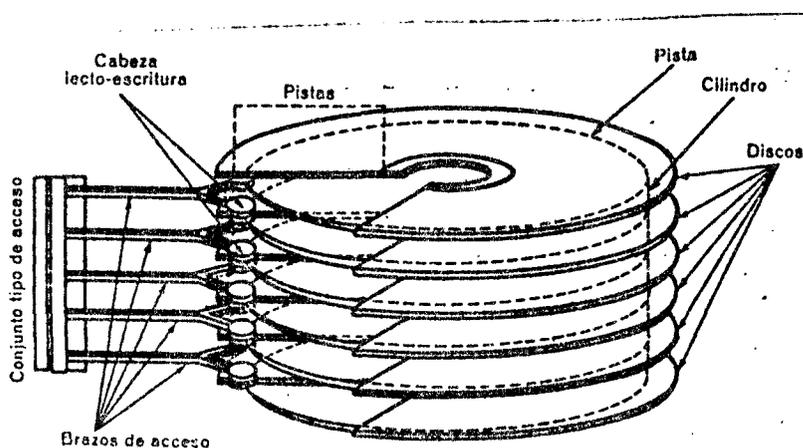


Fig. 34 Pila de discos rígidos.

En cada cara se dispone de un número determinado de pistas concéntricas en las que se almacena la información según una densidad de almacenamiento determinada por el fabricante. Así, el número de pistas de cada cara, la densidad de almacenamiento y el número de discos, determinan la capacidad.

El equipo de lectura-escritura consta básicamente de un mecanismo de giro que proporciona una velocidad de rotación entre 1.400 y 3.600, en función del tipo de sistema y de un sistema de brazo desplazable radialmente entre los discos. El conjunto de todas las pistas colocadas bajo las cabezas para una posición dada del brazo se llama cilindro.

En algunas unidades llamadas de cabezas fijas, hay una cabeza de lectura-escritura continuamente posicionada sobre la pista.

El movimiento del brazo se realiza con un motor hidráulico, con

el que el tiempo de posicionamiento sobre una pista es proporcional al número de pistas atravesadas, o con un motor lineal electromagnético, que desarrolla una aceleración proporcional al número de pistas a atravesar.

Formato de la información:

Las pistas se inicializan en la fábrica con tres bloques, separados por espacios vacíos (inter record gap), los contenidos son los siguientes: el primero es una señal que indica comienzo de pista, el segundo nos da la dirección de la pista y contiene el número del cilindro y el número de la cabeza correspondiente a esa pista y otros datos de control y el tercero, llamado descripción de pista, contiene también datos de control.

A partir de un disco ya inicializado, la información se graba en bloques. Un bloque es el conjunto de caracteres que se leen o escriben en una operación de E/S.

Hay discos con pistas de formato fijo, donde la pista se considera dividida en varios sectores iguales. El bloque se graba en uno o más sectores. Para localizar un bloque se identifica a éste por la dirección del sector donde empieza, formada por el número de cilindro, el número de la cabeza dentro del cilindro y el número del sector dentro de la pista.

En otros discos, de formato variable, cada bloque de datos se graba en su pista a continuación de la anterior, y va precedida de una información de control llamada identificador de bloque que contiene: el número de cilindro correspondiente, el número de la cabeza dentro del cilindro y el número del bloque dentro de la pista. El bloque y su identificador están separados por un espacio vacío (inter record gap)

Organización de los datos en los discos:

En el paquete de discos se graba un fichero llamado tabla de contenidos, aquí se almacenan las etiquetas de todos los ficheros

contenidos en el paquete. Este fichero especial comienza siempre en un sitio fijo.

Dentro de cada fichero, los registros pueden organizarse según tres esquemas básicos: organización secuencial, organización directa y secuencial indexada.

-- Organización Secuencial:

Es el sistema más sencillo de organizar un archivo en disco. En este caso los datos se disponen físicamente en la sucesión bajo la que deben ser tratados y el archivo se completa con un último registro que será interpretado como criterio de fin de archivo. El tratamiento de estos archivos será secuencial en el sentido de que se leerán los registros según el orden de su ubicación sin omitir ninguno.

-- Organización Directa:

La organización directa de datos está diseñada para el tratamiento al azar e inmediato de los registros: se pretende localizar una información con un solo proceso físico de lectura. El dato que se desee leer debe contener información que permita la obtención de la dirección de su ubicación en el disco.

-- Organización Indexada:

Este tipo de organización también está prevista para el tratamiento de la información al azar. Sin embargo, la correspondencia entre el argumento de búsqueda y la ubicación física del registro se realiza por consulta de unos registros especiales, llamados registros-índice que contienen, para cada argumento de búsqueda, la dirección del registro de datos correspondiente, junto con el propio argumento.

Ya hemos explicado brevemente el formato y la organización de la información, ahora vamos a hablar de otro parametro importante: el tiempo de acceso. Se llama así al tiempo que transcurre desde que la unidad de discos recibe del programa una orden de leer un bloque hasta que el contenido de éste se ha transferido a memoria.

Este tiempo tiene, en los discos de cabezas móviles, tres componentes: el tiempo de búsqueda, el tiempo de latencia y el tiempo de transferencia.

-- Tiempo de búsqueda (seek):

Es el tiempo requerido para que el brazo se desplace hasta el cilindro donde se encuentra el bloque solicitado.

-- Tiempo de latencia:

Es el tiempo que transcurre desde que la cabeza se ha posicionado en el cilindro deseado, hasta que el bloque pedido pasa por debajo de ella para poder ser leído. El tiempo de latencia dura entre 0 y la duración de una vuelta completa, siendo su valor medio la mitad del tiempo de una revolución.

-- Tiempo de transferencia:

Es el tiempo invertido en transferir el contenido del bloque solicitado desde el disco a la memoria ó viceversa.

Por lo tanto, a los discos, les corresponde cubrir el espacio comprendido entre el acceso aleatorio y el acceso secuencial, y se le denomina: Acceso cíclico.

Respecto a la construcción de las cabezas de lectura-escritura diremos que su diseño es muy cuidadoso ya que los discos rígidos giran a altas revoluciones, pudiendose alcanzar velocidades de la cabeza respecto a la pista de más de 190 km/h en discos de 35 cm de diametro y girando a 3.000 rpm. Este problema se soluciona con la tecnologia de " cabezas flotantes ", en la cual la cabeza está diseñada de tal forma que hay una fuerza aerodinamica producida por el flujo de aire impidiendo que el contacto se produzca. No obstante la distancia de la cabeza a la superficie del disco es extremadamente pequeña, por lo cual las condiciones ambientales de la habitación deben estar exentas de polvo ya que de lo contrario se producirian rebotes de la cabeza con la consiguiente perdida de información.

2.3.2 Tambores Magnéticos:

Aquí se utiliza como medio de almacenamiento de información la superficie de un tambor rotativo, recubierto como en los casos anteriores por una capa de material magnétizable. En estos dispositivos, el almacenamiento y recuperación de la información se realiza, al igual que en los discos, mediante las técnicas de cabezas flotantes (flying heads).

Como puede verse en la Fig. 35 hay dos tipos de tambores: (a) con cabezas fijas y (b) con cabezas móviles.

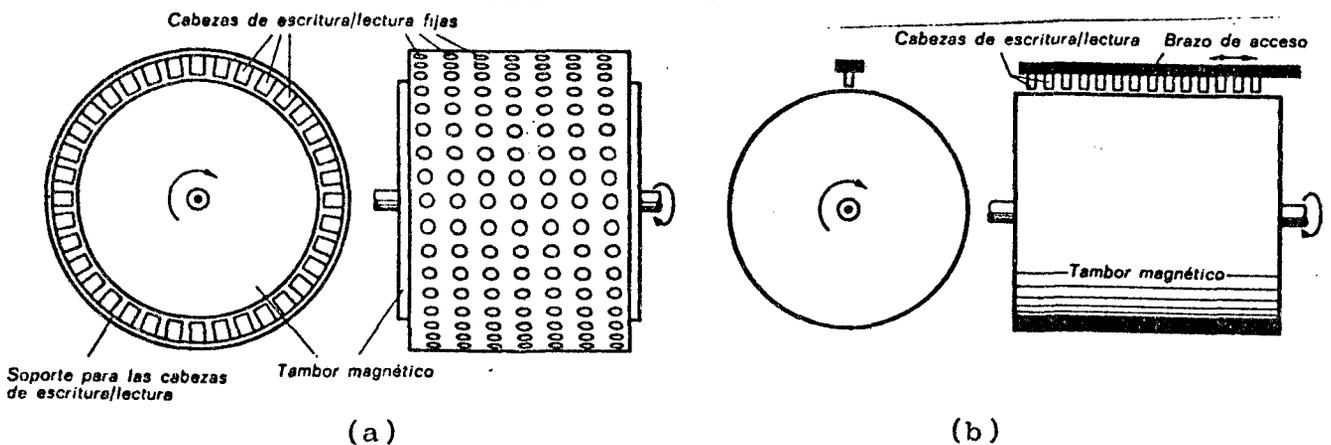


Fig.35 Tambores con cabezas (a) Fijas y (b) Móviles.

Los tambores con cabezas fijas se utilizan cuando se requieren tiempos de acceso reducidos, estando este tiempo determinado por la velocidad de rotación del tambor y por el diametro de este, definiendose, en este caso, un tiempo de acceso correspondiente al tiempo empleado por el tambor en dar media vuelta.

En los sistemas de cabezas móviles se utilizan varios cabezales montados en un brazo común para conseguir que la trayectoria de acceso a la pista deseada sea lo más corta posible. A veces se utilizan varios brazos de acceso, que se pueden posicionar independientemente. De este modo es posible un solape en los tiempos de posicionamiento de varias operaciones de lectura-escritura, de forma que, por simultaneidad de operaciones se obtiene un tiempo de acceso más corto. Para los tambores con cabezas móviles el tiempo de acceso esta compuesto por el de posicionamiento,

el de latencia y el de transferencia, explicados anteriormente, mientras que para los de cabezas fijas queda reducido al tiempo de latencia y al de transferencia, con lo cual el tiempo de acceso es menor.

Los tambores están en el rango de 2 pulgadas a 4 pies de diámetro y hasta 5 pies de longitud y pueden girar a velocidades de hasta 10.000 rpm. Generalmente los tambores que giran a gran velocidad deben reducir su diámetro para evitar los efectos de la fuerza centrífuga, con la consiguiente reducción de la capacidad de almacenamiento. Por lo tanto, deben conjugarse estos factores llegando a un compromiso óptimo entre capacidad y tiempo de acceso junto con diámetro y velocidad de rotación.

2.3.3 Tarjetas Magnéticas:

En este caso el medio de almacenamiento esta constituido por una lamina de material sintético recubierta por el material magnétizable. En la Fig. 36 se muestra la forma esquemática de una memoria de este tipo. Las tarjetas magnéticas se encuentran en un deposito de almacenamiento en donde permanecen suspendidas de una serie de varillas giratorias. En la figura está representado un dispositivo con 8 varillas, con lo cual podremos seleccionar un total de 256 tarjetas. En cada tarjeta se han diseñado unas ranuras de suspensión de forma especial que combinadas con el fresado de las varillas y el giro de las mismas hacia la derecha ó la izquierda, permite la liberación de la tarjeta seleccionada, su posterior caída al fondo del deposito y su transporte al sistema de lectura. El sistema de lectura consiste en un tambor rotativo, cuya superficie posee orificios ó ranuras que son capaces de mantener la tarjeta a presión mediante succión, de forma que gira solidariamente con el tambor. El proceso a partir de aquí es similar al de los tambores magnéticos, pudiendose leer ó escribir las informaciones mediante cabezas.

Cuando la tarjeta ya no se necesita, se desprende del tambor al cesar la succión, entrando en el transporte de devolución que la introduce de nuevo en las varillas, quedando en el lado derecho del grupo de tarjetas, en donde una corriente de aire las mantiene en posición vertical.

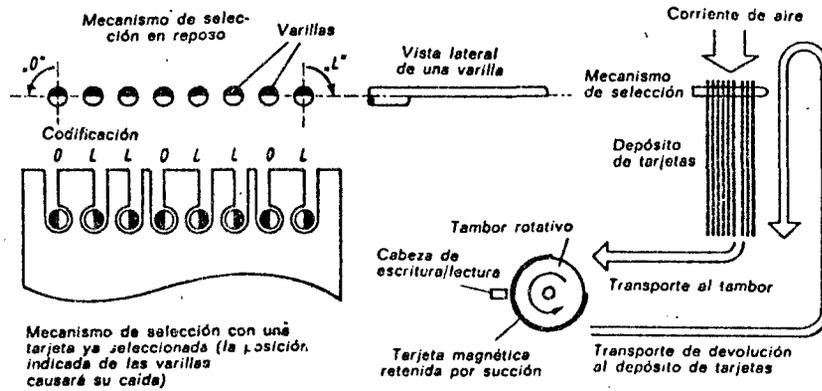


Fig.36 Memoria de Tarjetas Magnéticas.

La principal ventaja de este tipo de memorias estriba en la posibilidad de intercambiar los depósitos, lo que permite almacenamientos de información relativamente grandes.

La capacidad de un sistema de este tipo, con 256 tarjetas, siendo cada tarjeta de dimensiones 30 x 10 cm, y pudiendo almacenar cada una de ellas unos 200.000 caracteres, resulta un total de unos 50 millones de caracteres por depósito, con un coste muy reducido tanto para el equipo como para el depósito de tarjetas. Además, cada unidad de memoria está compuesta por varios depósitos de tarjetas, por lo que se dispone de una capacidad mucho mayor e inmediatamente accesible. El principal inconveniente reside en un tiempo de acceso bastante grande, aproximadamente de 1 seg. Sin embargo, en ciertas aplicaciones, el tiempo de acceso es un factor de escasa importancia, resultando muy económica y conveniente como sistema de fichero, en el que cada grupo de tarjetas pueden estar reservadas para un trabajo en particular ó guardar información referente a distintos clientes.

2.3.4. Cintas Magnéticas:

Por el momento, la cinta magnética es el medio más popular para almacenar muy grandes cantidades de información. La mayor parte de los ordenadores de mediano y gran tamaño tienen una ó varias unidades de cinta magnética, ya que representa el medio más barato de almacenamiento. Las cintas son generalmente de $\frac{1}{2}$ ó 1 pulgada de ancho, en la cual se disponen de 7 a 14 pistas, siendo la densidad de empaquetamiento de 200 a 1.600 bits por pulgada, teniendo un carrete típico unos 2.400 pies de largo. Al igual que en otros dispositivos magnéticos hay un soporte, que en este caso es nylon, mylar, poliéster, etc, y un material magnetizable como el óxido de hierro en agujas de alrededor de $0,7 \mu\text{m}$ de longitud y de $0.1 \mu\text{m}$ de anchura.

La cinta de un carrete no es utilizable en su totalidad ya que hay que dejar una zona al principio y otra al final para su manipulación física durante el montaje y el rebobinado. Para que el ordenador pueda detectar donde empiezan y terminan estas zonas se marcan con un papel metalizado autoadhesivo que refleja un rayo de luz que incide sobre él, siendo detectado por una célula fotoeléctrica.

La mayoría de las unidades modernas de cinta usan una cabeza de Lectura-Escritura por pista. Las cabezas consisten en un núcleo de hierro maleable de alta permeabilidad con una bobina arrollada alrededor del mismo y una pequeña apertura de aire (típicamente $0,002 \text{ cm}$). Al escribir, la corriente pasa por la bobina, estableciendo unas líneas de flujo magnético en el núcleo. Estas líneas de flujo recorren el núcleo hasta encontrar el espacio de aire, el cual ofrece una reluctancia muy alta, esto ocasiona que las líneas de flujo se separen y recorran el recubrimiento magnético de la cinta.

Al estar la cabeza de lectura posicionada después de la de escri-

tura nos permite leer de inmediato la información que ha sido escrita y compararse con la información de entrada (generalmente en un registro) para ver que esté correcta.

En la Fig. 37 esta representada una sección de la cabeza de Escritura-Lectura y el formato de la cinta de siete pistas (BCD).

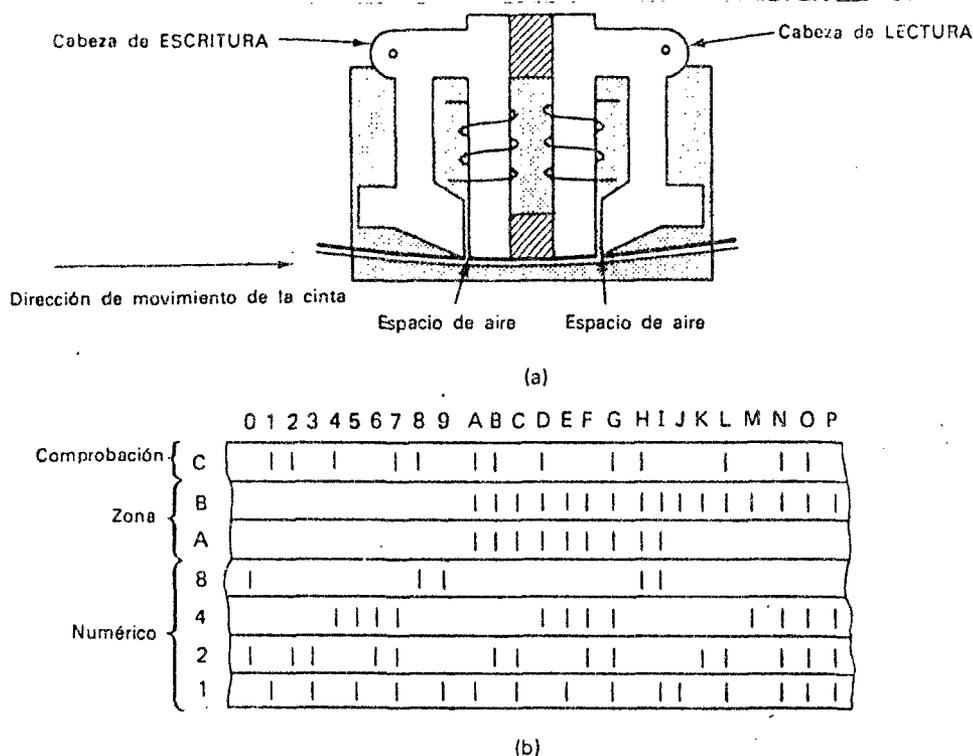


Fig. 37 (a) Cabeza Lec/Esc y (b) Cinta de siete pistas.

-- Organización de los datos en la cinta:

El conjunto de bloques que contienen información relativa a un mismo tipo de datos se llama "fichero" (por ejemplo: fichero de empleados, fichero de clientes, fichero de proveedores, etc). El comienzo y el final de un fichero se indica grabando un bloque con un carácter especial, llamado marca de cinta (Tape Mark). Además, cada fichero va enmarcado entre dos bloques identificadores llamados: etiquetas de cabecera y fin. La primera contiene la palabra "HDR" (header) que lo identifica como etiqueta de cabecera de fichero. Además contiene otros datos como nombre del fichero, fecha en que se grabó y fecha a partir de la cual ya no es necesario y puede borrarse. La etiqueta de fin se autoidenti-

fica con la palabra "EOF" (end of file). Si un fichero ocupa más de un carrete, su etiqueta de fin en los carretes que no sean el último se autoidentifican con la palabra "EOV" (end of volume). En la Fig. 38 se indica el contenido de un carrete con sus etiquetas correspondientes y con un fichero de dos bloques.

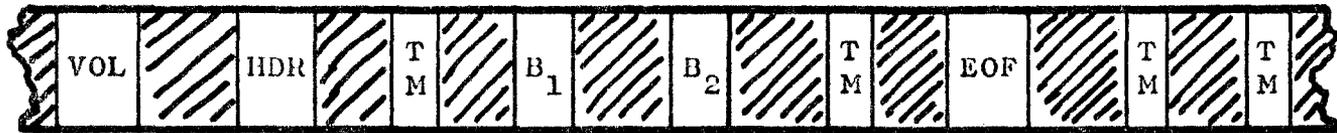


Fig. 38 Cinta con etiquetas y fichero.

Consideraciones generales:

Los bits se almacenan secuencialmente mediante la representación de caracteres en serie y bits en paralelo. Las técnicas más usadas son: Grabación con retorno a cero (RZ= Return to Zero), grabación sin retorno a cero (Non Return to Zero = NRZ), grabación con inversión sin retorno a cero (Non Return to Zero Invert = NRZI) , grabación por modulación de fase (Phase Encoding = PE) y otros, sistemas que no se explican por salirse del objetivo de este trabajo. En todos los métodos anteriores, la corriente inductora debe ser lo bastante fuerte como para magnetizar por saturación al material magnético, con objeto de obtener la máxima señal a la salida. Por otra parte, la intensidad necesaria para la saturación de la película depende del espesor de esta, por lo tanto, cuanto más delgada sea la película, mayor densidad de grabación se puede obtener. El número de bits por pulgada que se puede obtener con un espesor de 20 μm será de unos 3.500. No obstante pueden obtenerse espesores mucho menores (en la actualidad se pueden obtener espesores de hasta 0,5 μm). En teoría, una cinta de 1.100 metros podría almacenar con una densidad de 6.400 bpi alrededor de 270 millones de caracteres, aunque esta cantidad se ve sensiblemente disminuida por las lagunas inter bloques (gaps).

Estos "gaps" tienen longitudes comprendidas entre 1,5 y 2 cm. La velocidad de desplazamiento de la cinta por debajo de las cabezas oscila entre 0,5 y 5 m/s, lo que proporciona una velocidad de transferencia de información de 125.000 a 1.250.000 caracteres por segundo, en cintas de 6.400 bpi.

Los controles de error se llevan a cabo reservando una de las pistas para control de paridad. Este control de paridad se denomina " Control Vertical ". Al final de cada bloque se incluye un carácter cuyos bits se obtienen por control de paridad de la pista. Este control se denomina " Control Horizontal ". Con lo cual, la combinación del control vertical y el horizontal permite corregir un error sobre un bits (y sólo uno).

Uno de los principales inconvenientes que presenta este sistema es su tiempo de acceso considerablemente largo, ya que un carrete de 1.100 metros se tardan en su lectura de 5 a 15 minutos.

2.3.5 Memorias de Acceso Optico:

Esta memoria tiene sus antecedentes de funcionamiento en los lectores ópticos de cintas perforadas, con la diferencia de que aquí los agujeros son realizados y posteriormente detectados mediante láser de semiconductores (Láser = Light Amplificación by Stimulated Emission of Radiación).

Este sistema es capaz de almacenar alrededor de "diez mil millones de agujeros (bits) ", a diferencia de los 160 millones que podían almacenarse en un disco magnético del mismo tamaño, 35,5 cm. Los datos son escritos mediante quemaduras producidas por el rayo láser, que hace agujeros de 1 um de diametro sobre el revestimiento del disco. El disco consiste en un soporte transparente revestido con una fina capa metálica, por el momento es Teluro, aunque presenta algunos problemas de absorción de energía a la frecuencia de la luz emitida por el láser. Donde hay metal, como

consecuencia de no haberse practicado agujero, la luz sera reflejada, por el contrario, si el revertimiento ha sido agujereado, el haz de lectura producido por el láser de menor potencia, pasara libremente.

El láser semiconductor esta formado por estratos de arseniuro de galio ó arseniuro de galio y aluminio, que son de tipo N y tipo P alternativamente, como indica la Fig. 39.

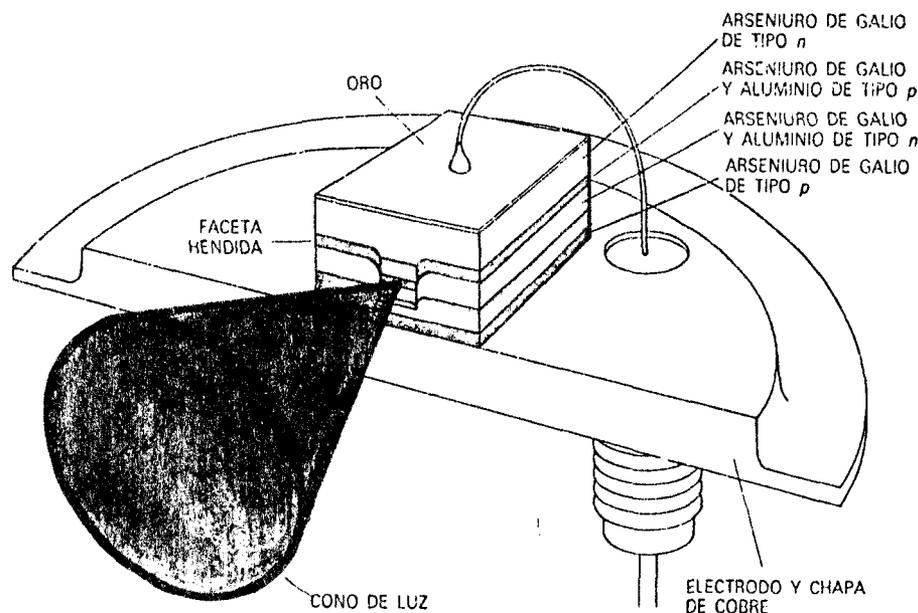


Fig. 39 Láser de semiconductores.

Al aplicar un voltaje, los electrones se mueven hacia abajo llegando a un fino estrato de arseniuro de galio tipo P situado en el centro del láser, allí recombinan con los huecos y se libera energía en forma de fotones. La probabilidad de una recombinación capaz de producir un fotón depende de la presencia en las proximidades de otros fotones de igual energía. Esta recombinación ayudada por la presencia de otro fotón dá lugar a la emisión estimulada. Cuando predomina este tipo de recombinación, la emisión es esencialmente coherente, puesto que los fotones que pasan cerca de las posiciones de recombinación producen nuevos fotones. Esto se consigue cuando son muy numerosos los portadores disponibles para la recombinación y las superficies emisoras de luz se tratan de modo que mantengan la mayoría de los fotones gene-

rados dentro del dispositivo, sin perjuicio de que estos puedan salir en cierta medida a través de una de estas superficies que sera menos reflectora que la otra. Si la distancia entre las superficies reflectoras es igual a un número entero de longitud de onda, la onda se refuerza despues de cada reflexión. Como resultado, se crea una onda estacionaria superpuesta a una onda progresiva, siendo esta ultima la que es emitida atravesando la superficie menos reflectora. Esta luz que constituye el haz láser se focaliza hasta quedar reducido a una pequeña mancha sobre una pelicula metalica delgada, fundiendo una pequeña zona de ella. En el centro de la mancha, donde el haz es más intenso, se abre un agujero todavia menor. Debido a la tensión superficial, el metal fundido adyacente se riza sobre si mismo para producir un borde toroidal. Por tanto, las propiedades deseables para el metal son: una gran absorción de energia a la frecuencia de emisión del láser y un bajo calor de fusión y vaporización. Por otra parte, el medio no debe ser demasiado sensible al calor, ya que la intensidad minima de láser que se necesita para la lectura de los datos podria alterar la información.

Las propiedades de un metal como el telurio son bastante prometedoras. Aunque los datos una vez grabados ya no se pueden cambiar, se confia en poder desarrollar una memoria óptica de disco en la que los datos puedan borrarse y volverse a escribir. El proyecto para desarrollar tal memoria se funda en la interacción de un medio magnético con la luz. Para la escritura de los datos se ha de calentar el medio por encima de su temperatura de Curie (temperatura por encima de la cual desaparece su magnetismo). A medida que el medio se va enfriando se aplica un campo magnético, de tal forma que al reaparecer el magnetismo este tome preferentemente su orientación. En la Fig. 40, se representa el dispositivo completo de una memoria óptica. El láser de escritura es de mayor potencia que el de lectura, ya que el de escritura tiene la misión,

como es logico, de la realizaci3n de los agujeros. Adem1s de los l1seres, el dispositivo cuenta con un sistema de lentes para la polarizaci3n correcta de la luz y de unos sistemas de enfoque que gobiernan el haz.

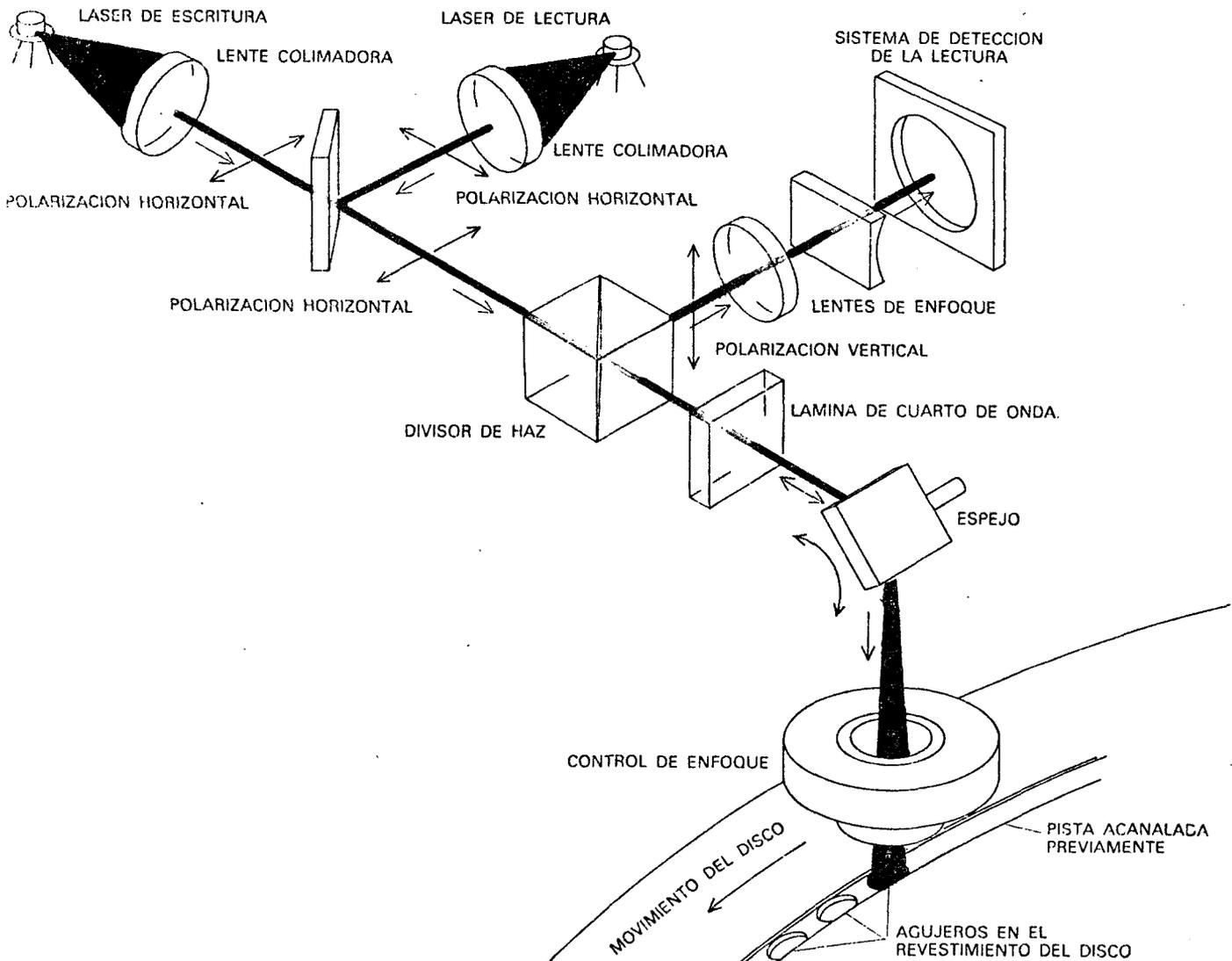


Fig. 40 Sistema completo de la memoria 3ptica.

El proceso para la confecci3n de los agujeros es el siguiente: Supongamos que se quiere realizar un agujero de un micrometro de diametro sobre una pelicula de telurio de 300 angstroms ($0,03 \mu\text{m}$) de espesor. El impulso de l1ser que lo realice debe prolongarse el tiempo suficiente para calentar el metal, abrir un peque1o agujero por vaporizaci3n y mantener el metal fundido hasta que se forme el reborde. En esto 3ltimo es en lo que se invierte m1s tiempo. La velocidad de formaci3n del reborde viene a ser de unos 1.000 cm/s , con lo cual un agujero de un micrometro de dia-

metro se abriría en unas cinco cienmillonesimas de segundo, con la utilización de un láser de 20 milivatios.

Debido a que los laseres de arseniuro de galio y sus aleaciones afines tienen una luz roja ó infra-roja, se presenta un inconveniente, ya que a tales longitudes de onda, el telurio presenta una debil absorción. No obstante en RCA propusieron una solución: En el disco, el recubrimiento de telurio debe colocarse sobre un sustrato transparente de tal forma que el espesor del telurio y el sustrato sea un cuarto de la longitud de onda de la luz de emisión. Bajo el sustrato hay un reflector de aluminio, estando la luz reflejada por él, desfasada media longitud de onda respecto a la luz reflejada por el telurio y de esta forma la interferencia destructiva entre ambas sería completa. En otras palabras, el telurio aparece negro visto desde el lado del láser, por lo tanto se absorbe toda la energía incidente. Estas son, por el momento, las memorias de mayor densidad de almacenamiento y estan estudiando la solución de sus problemas firmas como Philips, RCA, Hitachi, Xerox, Thomson CSF y otras.

2.3.6 Memorias Superconductoras. (Memorias Josephson):

Las células de memorias Josephson trabajan en condiciones cercanas al cero absoluto, pudiendo almacenar información en forma de cuantos únicos de flujo magnético, llegando por tanto, a la economía límite de energía alcanzable en un dispositivo magnético de almacenamiento. Estas memorias, que todavía estan en proceso de investigación, ofrecen un perfeccionamiento de las memorias microelectronicas, pudiendo llegar a hacer posible la creación de una generación de ordenadores superrápidos basados en la unión túnel superconductoras. Tales uniones son dispositivos de conmutación de terminales múltiples que, en respuesta a un pequeño cambio en el campo magnético local, gobiernan la transición entre un estado de filtración superconductoras y un estado de filtración normal.

La " Filtración " se refiere a la capacidad, que, bajo ciertas condiciones, poseen los electrones para penetrar a través de las barreras de energía y que normalmente carecen al no disponer de la suficiente energía para superarlas.

Para que la unión túnel pase al estado de superconducción, hay que enfriar el dispositivo a temperaturas criogénicas mediante la inmersión en helio líquido. La reducción en el consumo de potencia permite empaquetar los circuitos con una densidad extremada sin que se creen problemas de disipación de calor, siendo los tiempos de acceso de 10 a 100 veces menor que el de las memorias electrónicas actuales.

Existen todavía por resolver algunos problemas difíciles antes de que se implanten las memorias. La fabricación de la unión túnel precisa de unas películas aislantes perfectas (usualmente óxidos amorfos que crecen in situ) con un espesor aproximado de un doscientosavo de la longitud de onda de la luz azul. También son necesarias crear nuevas técnicas de empaquetamiento e interconexión para alcanzar la alta densidad requerida para lograr los mínimos retardos de interconexión. Conviene estudiar debidamente las tensiones mecánicas generadas por los distintos coeficientes de dilatación térmica para evitar daños cuando la temperatura baje desde la ambiente hasta casi el cero absoluto. Tales consideraciones sugieren que serán necesarios algunos años de trabajo antes de que los sistemas crioelectrónicos sean utilizables, ya que la necesidad de refrigeración por helio líquido es un grave inconveniente por el momento. No obstante, IBM ha obtenido células que conmutan a 50 ps, permitiendo construir memorias de 7 ns de acceso. Los laboratorios de IBM en Zurich esperan alcanzar densidades de 100 kbits/cm², habiendo preparado ya una memoria de 16 K con un consumo de tan solo 40 μ W.

PARTE. II:

PROGRAMADOR EPROM 2716.

3. JUSTIFICACION DEL TRABAJO

Dentro del grupo de memorias programables por el usuario, hasta hace unos años, solamente se disponian de memorias cuya programación estaba basada en un sistema de "escritura destructiva", por lo cual, una vez grabada la información ya no puede alterarse. Estas memorias se denominan PROM y estan realizadas en tecnología bipolar. Tienen dos formas de programación, de acuerdo con su construcción interna: programables mediante la destrucción de un fusible y programables mediante la destrucción de una unión p-n, ver Fig. 41.

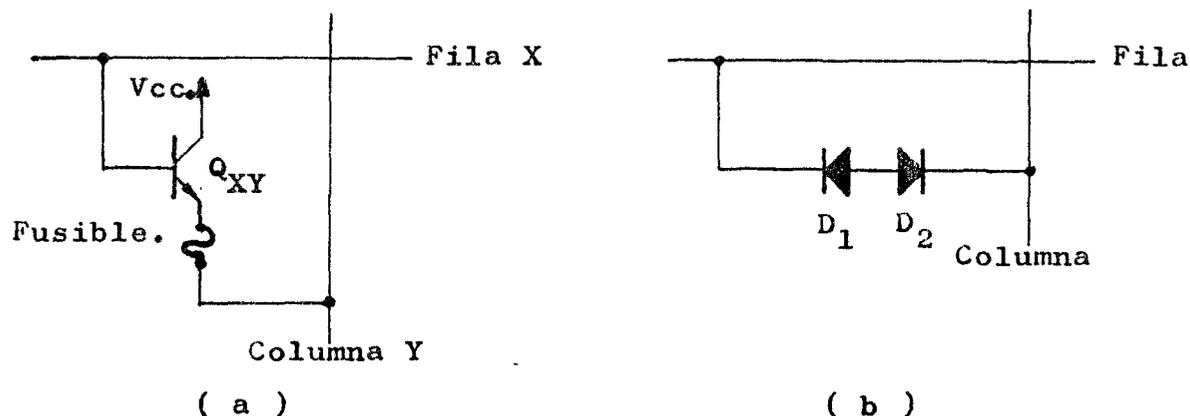


Fig. 41 Células (a) Fusible y (b) Diodos.

a) Destrucción de Fusible:

En este caso hay un fusible en serie con el emisor de cada célula de memoria, por lo cual todas las células antes de la programación estan a "1". El fusible esta constituido por una finisima tira de Nícrón (aleación de níquel-cromo). El usuario solo tendra que destruir el fusible mediante impulsos de corriente, amplitud y duración, determinados por el fabricante, en las células donde desee un "0".

Los fusibles de Nicron presentan algunos problemas, principalmente el conocido con el nombre de "recrecimiento" (growback), en el que algunos fusibles retornan a su estado previo reconectándose. Posteriormente se han construido memorias en las cuales los fusibles estan constituidos por silicio policristalino. Estas memorias funcionan exactamente igual que las anteriores pero no presentan el problema del recrecimiento.

b) Diodos en oposición:

Esta memoria consta de una matriz de células, en la que cada célula esta constituida por dos diodos en oposición, Fig. 41 (b). Aquí, al contrario que en el caso anterior, la memoria antes de la programación esta toda a "0". En este dispositivo la programación conducira a la zona de avalancha a uno de los diodos, con lo cual cortocircuitamos la unión p-n del diodo polarizado inversamente, mientras que el polarizado directamente no sufre ninguna alteración. El fabricante suministra los datos referentes a la amplitud, duración y frecuencia de la señal de grabación.

El principal inconveniente de este tipo de memorias reside en la imposibilidad de cambiar los datos si asi se desea. No obstante son insustituibles en aquellos casos en donde la información es invariable, como es el caso de tablas de conversión, tablas de logaritmos, etc.

Sin embargo, son frecuentes los casos en donde los datos interesan guardarlos unicamente durante un cierto tiempo, transcurrido el cual, los datos hay que actualizarlos. Estos sistemas, son por ejemplo todos aquellos que manejan tarifas como: gasolineras, taxímetros, peaje autopistas, parquímetros, etc. Estos problemas y todos aquellos en donde la información deba cambiarse periodicamente asi como programas de prototipos que deban ser depurados. encuentran una solución mucho más comoda

y sobre todo más económica en las memorias EPROM (Erasable and Electrically Reprogrammable PROM) .

Estas memorias estan diseñadas para ser utilizadas en sistemas de depuración y aplicaciones similares en donde se requieren memorias no volatiles que deben ser reprogramadas periodicamente. Estas memorias disponen en su parte superior de un cristal de cuarzo transparente que permite borrar el contenido de la memoria con luz ultravioleta.

Memorias EPROM: Principios de Funcionamiento.

El punto de memoria en las EPROM esta constituido por un transistor MOSFET, realizado mediante una tecnologia especial denominada FAMOS (siglas de Floating-gate Avalanche-inyección metal-oxide-semiconductor), que significa: MOS con inyección por avalancha en puerta aislada.

Esta puerta aislada esta constituida por silicio policristalino y no tiene ningún tipo de conexión electrica ya que esta completamente separada del sustrato por una fina capa de Si O₂ de aproximadamente 1.000 Å. Este dispositivo esta representado en la Fig. 42 (a), (b) y (c).

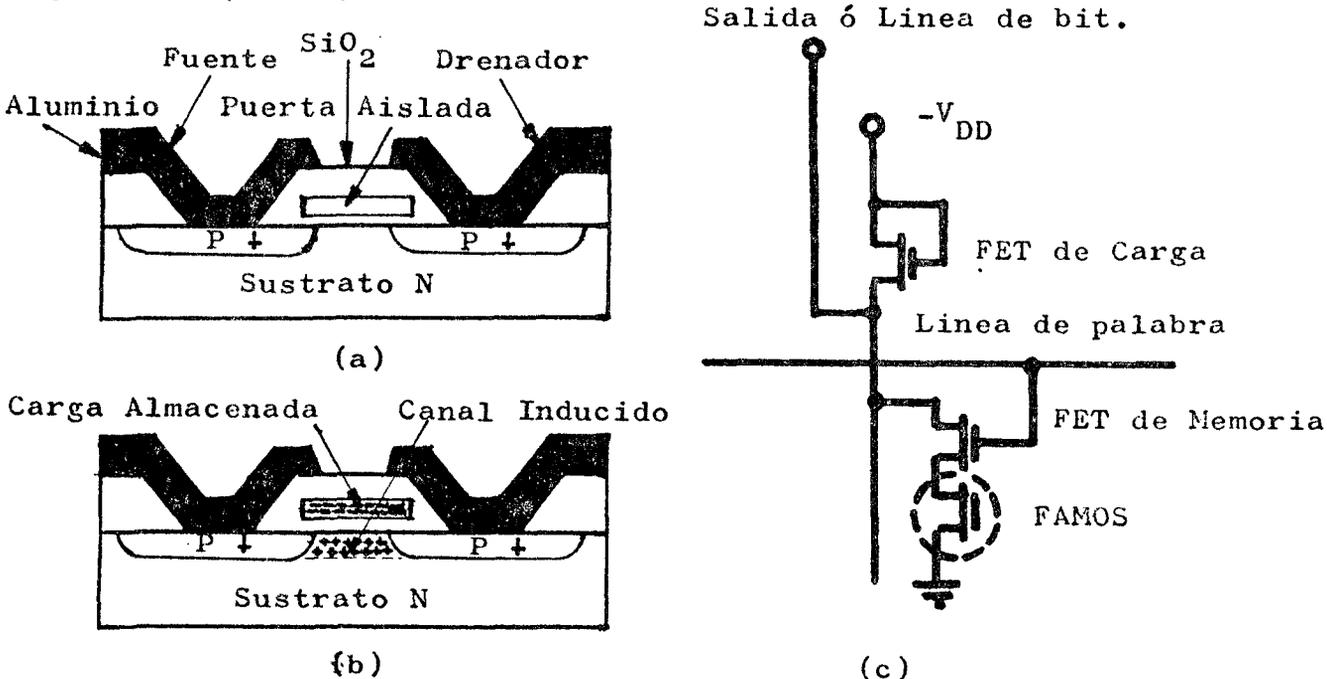


Fig. 42 Celula de almacenamiento de carga FAMOS (canal P).

El funcionamiento de este dispositivo depende de la carga introducida en la puerta aislada desde la Fuente ó el Drenador mediante inyección de electrones por avalancha. Esta carga hace el mismo efecto el mismo efecto que el potencial que se aplica en la puerta de un MOSFET normal, es decir, este potencial crea un canal de conducción entre Drenador y Fuente en aquellos MOSFET en los que se haya cargado la puerta aislada. Para introducir la carga en la puerta aislada se aplica una tensión inversa elevada (unos 25 v.) entre Sustrato-Drenador ó Sustrato-Fuente y mediante unas condiciones de geometría cuidadosamente estudiadas, es posible la inyección de electrones de alta energía desde la unión inversamente polarizada hasta la puerta aislada, atravesando la fina capa de Si O_2 que los separa. La cantidad de carga transferida a la puerta aislada va en función de la amplitud y duración del pulso de programación aplicado. Una vez eliminado el voltaje inverso aplicado no existe camino de descarga para la fuga de electrones, estimándose que el 70 % de la carga almacenada permanece retenida después de 10 años a 125°C . Sin embargo si el dispositivo es iluminado con luz ultravioleta, se origina una corriente fotoeléctrica, debida a la cual, los electrones atrapados en la puerta aislada retornan al Sustrato, De esta forma la célula FAMOS vuelve a su estado de no conducción (un circuito abierto entre Fuente y Drenador).

La presencia ó ausencia de carga puede ser detectada mediante la medida de la resistencia entre Fuente y Drenador, siendo R_{SD} extremadamente alta cuando esta sin programar ó borrada y cuando la carga negativa almacenada induce un canal de tipo P, la resistencia R_{SD} entre Fuente y Drenador es baja, resultando virtualmente un cortocircuito .

4. INFORMACION GENERAL

DESCRIPCION Y OBJETIVOS DEL PROGRAMADOR

Este dispositivo esta especialmente diseñado para generar las señales necesarias en los procesos de programación de las memorias EPROM 2716.

El dispositivo dispone además de 2 K de memoria RAM, constituidos por cuatro circuitos integrados 2114. Esto le permite operar con fuentes de datos del exterior mediante conectores dispuestos a tal efecto en los buses de direcciones y datos. De esta forma, mediante las oportunas señales de escritura (\bar{W}) y de selección de circuito (\bar{S}) procedentes del exterior, la información es almacenada en la RAM. Una vez almacenada la información, el sistema exterior manda nuevamente los datos y mediante las correspondientes señales de control son comparados con los ya existentes en la RAM. Si los datos coinciden podemos desconectar el programador del equipo exterior. En caso contrario, el comparador proporciona una señal de error producida por la diferencia entre los datos transmitidos y los almacenados, debiendo repetirse el proceso nuevamente.

Durante la recepción de datos del exterior, a los buses de direcciones y de datos, solamente estan conectados los circuitos que componen la memoria RAM, estando todos los demas circuitos del programador inhibidos y sin ningún efecto sobre ellos.

Cuando los datos del exterior estan correctamente almacenados, el proceso de programación que sigue a continuación, no tiene ya ninguna diferencia respecto al que se realizaria con una memoria 2716, ya programada, que actuase como original, salvo la señal de control que selecciona uno de los dos tipos de memoria existentes (RAM y EPROM).

El dispositivo se activa mediante el flip-flop tipo S-R de Marcha-Parada, constituido por dos puertas nand. Al ponerlo en la posición de marcha aplicamos un "1" en el terminal de reset del Generador de Pulsos de Reloj, con lo cual comienza el proceso de programación. Los pulsos de reloj son aplicados simultaneamente al circuito de Direccionamiento y al Generador de Pulsos de Programación. Con el frente de subida del pulso de reloj, se activa el pulso de programación y con los frentes de bajada se cambia de dirección.

Una vez esten en los buses las direcciones y sus datos correspondientes se aplica un pulso de programación por dirección, transcurrido el cual, existe un tiempo destinado a la verificación de la información programada, si esta es correcta pasamos a la siguiente dirección repitiendose el proceso. En caso de detectarse diferencia entre la información programada y la información original, el comparador dispara un flip-flop S-R que ademas de indicar el fallo mediante un LED rojo, aplica un cero al reset del Generador de Pulsos de Reloj, con lo cual se detiene el proceso de programación.

5. FUNCIONAMIENTO DE LOS CIRCUITOS ELECTRONICOS

A continuación se hará una descripción detallada y por separado de cada uno de los circuitos electrónicos que componen el programador, terminada la cual, pasaremos a una descripción paso a paso de los procesos de programación y de control lógico en ambas modalidades: Programación con datos procedentes del exterior y Programación a partir de otra EPROM 2716 que actúa de original.

5.1 DESCRIPCION DE LA MEMORIA 2716.

La 2716 es una memoria de solo lectura reprogramable y borrrable mediante luz ultravioleta. Tiene una capacidad de 16.384 bits, organizados en 2.048 palabras de 8 bits. El dispositivo esta fabricado con tecnologia MOS de canal N. Su modo de funcionamiento es estatico, no necesitando ni reloj, ni refresco y tiene un tiempo de acceso de 450 ns. Sus salidas son tres estados.

Instrucciones de Programación:

Despues de terminada una operación de borrado, todos los bits del dispositivo estan a " 1 " representados por salidas altas. Los datos son introducidos mediante programación de " 0 " (salidas bajas) en los bits correspondientes. La palabra se direcciona de la misma forma que en una operación de lectura. Cuando se ha programado un " 0 " solamente puede ser cambiado a " 1 " mediante un borrado con luz ultravioleta (U.V). Para colocar la memoria en modo de programación, la patilla 21, entrada de V_{pp} , debe elevarse a + 25 v. La fuente de alimentación V_{cc} es la misma que para una operación de lectura y el terminal para habilitar las salidas (\bar{G}), patilla 20, esta a V_{IH} . Los datos de programación se introducen en palabras de 8 bits atraves de los terminales de salida de los datos (DQ). Solamente los " 0 " seran programados cuando se introducen los " 0 " y los " 1 " en la palabra de datos. Despues del direccionamiento, y estando presentes los datos se aplica un pulso de programación de 50 ms (V_{IL} a V_{IH}) a la entrada $\bar{E}/PROG$. patilla 18. Para la programación de las direcciones se aplica solamente un pulso de programacion por dirección. Las posiciones pueden ser programadas individualmente, secuencialmente ó de una forma aleatoria. La anchura maxima del pulso

de programación son 55 ms, por lo tanto la programación no debe efectuarse con una señal de c.c. aplicada a la entrada \overline{E}/PROG . Pueden ser programadas varias 2716 en paralelo con los mismos datos uniendo todas las entradas comunes y aplicando a las entradas \overline{E}/PROG el pulso de programación. También se pueden programar en paralelo varias 2716 con datos diferentes usando el modo INHIBIT PROGRAM. Excepto la patilla \overline{E}/PROG , todas las entradas iguales (incluyendo Output Enable) pueden ser comunes. El modo VERIFICACION DE PROGRAMACION, con V_{pp} a 25 v se usa para determinar si todos los bits programados lo están correctamente. Excepto en programación y en verificación V_{pp} debe estar a 5 v. En la Fig. 43 aparece el aspecto exterior de la memoria y la distribución de las patillas tal y como están en realidad.

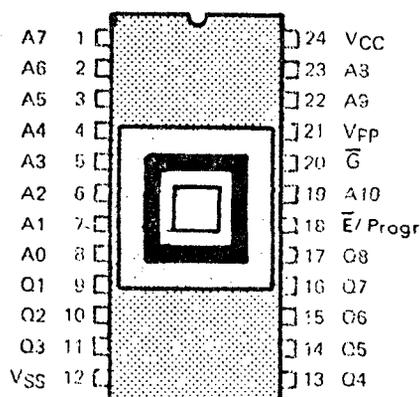


Fig. 43 Aspecto físico de la 2716.

Operación de Lectura:

La 2716 tiene dos funciones de control para el proceso de lectura, los dos deben ser satisfechos para obtener los datos a la salida, estos controles son \overline{E}/PROG (patilla 18) y \overline{G} (patilla 20), siendo respectivamente el habilitador de chip y el habilitador de las salidas, debiendo estar ambos a nivel bajo. Un nivel alto en \overline{G} coloca las salidas en alta impedancia, de este modo se permite que dos ó más dispositivos sean conectados a un mismo bus de datos y solamente una de las 2716 conectadas

en esta configuración tendra sus salidas dispuestas en el bus de datos, de esta forma se evitan conflictos de información en el bus de datos.

El modo de Espera (Standby Mode) se ha dispuesto para reducir la disipación activa de potencia de 525 mW a 132 mW.

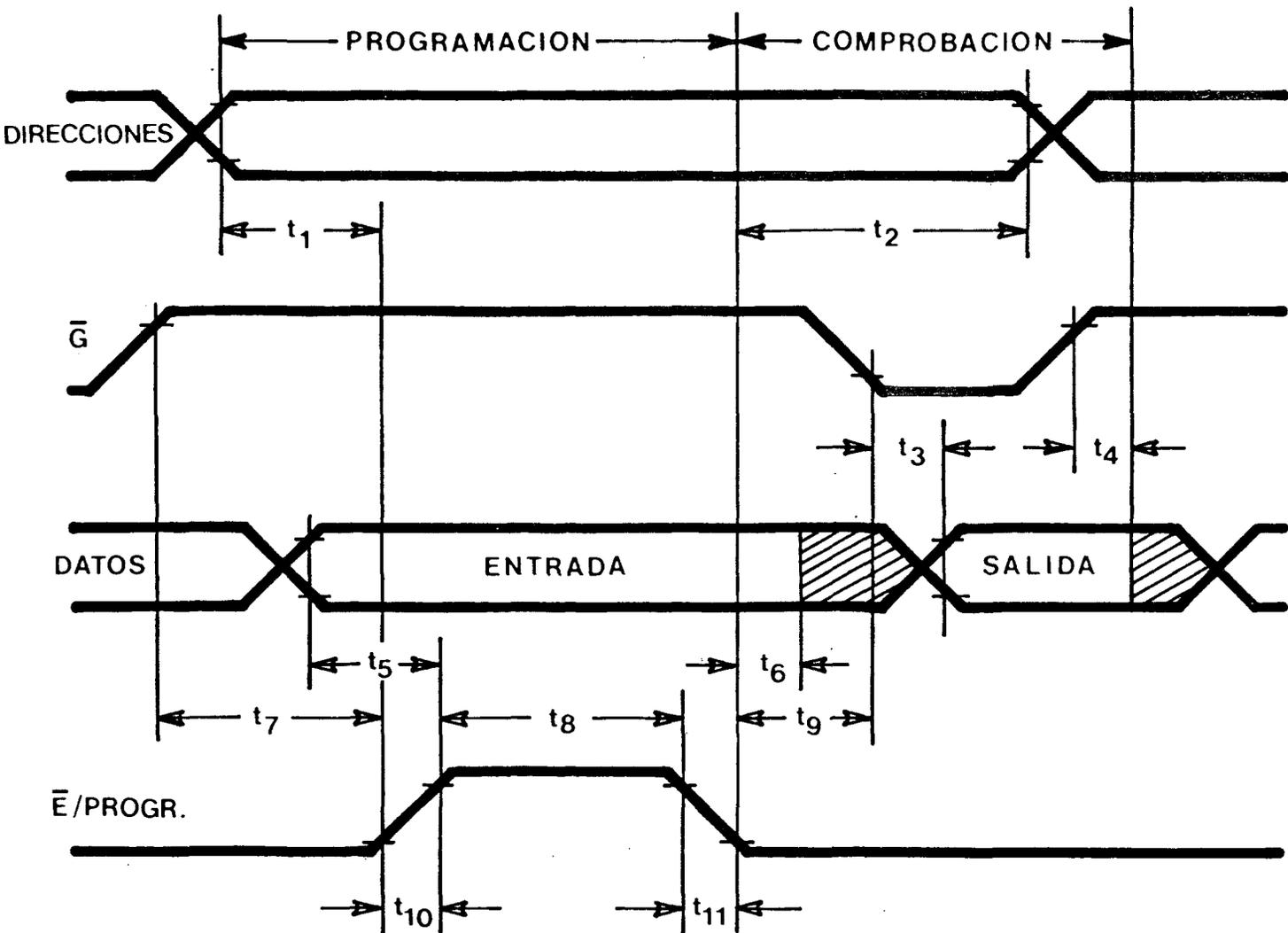
Instrucciones de Borrado:

La 2716 puede borrarse mediante la exposición a luz ultravioleta de gran intensidad con una longitud de onda de 2537 Å. La potencia recomendada para un buen borrado es 15 Ws/cm². Las lamparas deben usarse sin filtro de onda corta y la memoria debe colocarse aproximadamente a una pulgada del tubo de rayos U.V.

Debe tenerse en cuenta que la luz solar y ciertos tipos de tubos fluorescentes emiten parte de su energia en estas longitudes de onda. Por lo tanto, si los datos se exponen continuamente al nivel de iluminación de una habitación con tubos fluorescentes, la 2716 llega a borrarse aproximadamente despues de 3 años, mientras expuesta directamente a la luz solar puede llegar a borrarse en 1 semana. Por lo tanto , si una vez programada la memoria, la luz va a incidir directamente sobre ella se recomienda cegar el orificio de borrado con una etiqueta opaca.

Fatiga de Programación:

Los procesos de Programación y Borrado de las EPROM producen cambios quimicos en el dispositivo. Estos cambios afectan a la longevidad de la memoria, necesitandose en cada nueva programación una mayor anchura del pulso de programa para adquirir la misma carga, esto empieza a ocurrir tras unos cientos de borrados. Por lo tanto, para conseguir un largo periodo de servicio de estos dispositivos deben seguirse escrupulosamente las recomendaciones que da el fabricante y principalmente en lo concerniente a programación y borrado.



	Min.	Max.	T
t_1 = Tiempo de establecimiento en Direcciones.	2		μs
t_2 = Tiempo de permanencia de las Direcciones.	2		μs
t_3 = Retardo Habilitación-Salida de Datos.	0	120	ns
t_4 = Retardo Inhabilitación-Salidas en Alta Z.		120	ns
t_5 = Tiempo de establecimiento de Datos.	2		μs
t_6 = Tiempo de retención de los Datos.	2		μs
t_7 = Tiempo de \bar{G} a "1" a Pulso Programación.	2		μs
t_8 = Anchura del Pulso de Programación.	45	55	ms
t_9 = Tiempo de retención de las Salidas.	2		μs
t_{10} = Tiempo de subida del Pulso de Programación.	5		ns
t_{11} = Tiempo de bajada del Pulso de Programación.	5		ns

Fig. 44 Diagrama de Tiempos de Programación y Comprobación.

5.2 GENERADOR DE PULSOS DE RELOJ

El circuito está constituido por el integrado LM 555. Este dispositivo puede generar oscilaciones ó tiempos de retardo con gran exactitud, disponiendo además de terminales adicionales que le permiten ser disparado ó puesto en estado de reset. En este caso se hace funcionar al circuito en operación astable (oscilador), para lo cual se auto-dispara puentando la patilla de disparo (2) con la patilla 6. El conexionado completo como oscilador aparece representado en la Fig. 45.

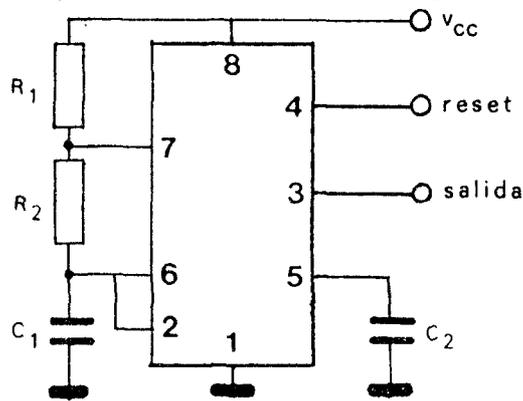


Fig. 45 LM 555 como oscilador.

La frecuencia y el ciclo de trabajo están controlados por un condensador y dos resistencias externas, obteniéndose unas oscilaciones de gran exactitud.

El tiempo de carga (estado alto) depende de los valores de R_1 , R_2 y C teniendo por valor:

$$t_1 = \ln 2 (R_1 + R_2) C$$

y el tiempo de descarga (estado bajo) depende solamente de R_2 y C teniendo por valor:

$$t_2 = \ln 2 (R_2) C$$

con lo cual, el periodo de la señal generada es:

$$T = t_1 + t_2 = \ln 2 (R_1 + 2R_2) C$$

Por lo tanto el ciclo de trabajo viene determinado por la relación entre los tiempos de carga y de descarga ó lo que es lo mismo, por la relación entre R_1 y R_2 , dando un ciclo de trabajo:

$$C_t = \left(1 - \frac{R_2}{R_1 + R_2} \right) \cdot 100 \%$$

Ciclo de Trabajo (C_t) = Duty cycle (D).

Descripción de funcionamiento:

Según se ha visto anteriormente en las características técnicas de la memoria EPROM 2716, el tiempo que debe permanecer como mínimo una dirección cualquiera, viene determinada principalmente por la anchura del pulso de programación que puede oscilar entre 45 ms como mínimo y 55 ms como máximo, siendo este tiempo superior en varios ordenes de magnitud respecto a los otros tiempos que hay que tener en cuenta.

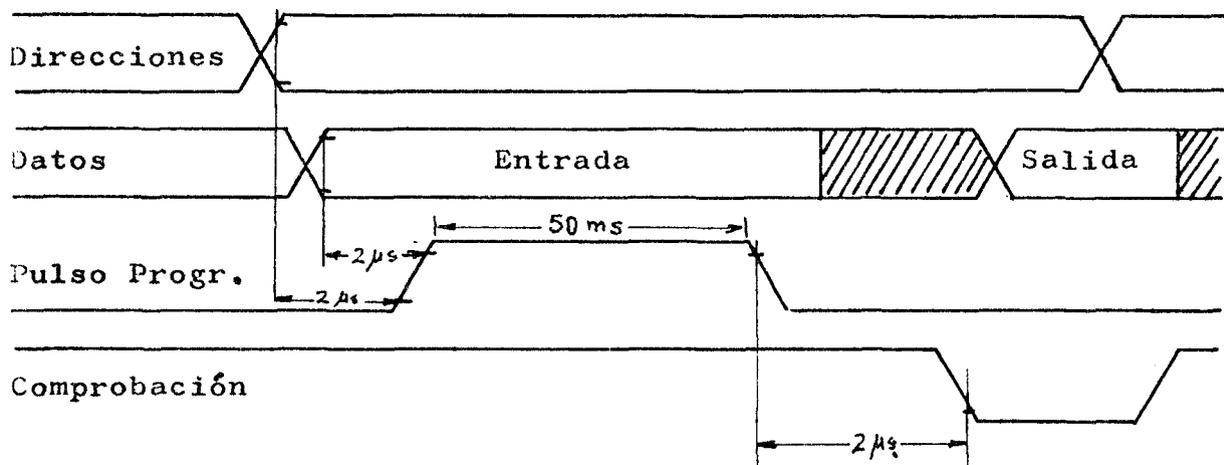


Fig. 46 Diagrama de tiempos.

Sin embargo, como puede verse en el diagrama de la Fig. 46, existen otros tiempos que deben respetarse para obtener una programación correcta. Estos tiempos son principalmente los que se requieren para el establecimiento de los buses de direcciones y de datos, antes de que se aplique el pulso de progra-

mación (2 μ s como mínimo). Así mismo debe tenerse en cuenta que cuando comienza el tiempo de comprobación, debemos esperar otros 2 μ s como mínimo para que los datos esten disponibles a la salida de la memoria y puedan ser enviados posteriormente al comparador para su comprobación. De no hacerlo así, los datos de entrada al comparador procedentes de la memoria pudieran no ser correctos, produciendo un fallo de programación "falso".

Dado que en este dispositivo la rapidez no es una condición imprescindible, elegiremos unos tiempos de trabajo muy por encima de los tiempos mínimos, con lo cual aseguraremos un perfecto funcionamiento.

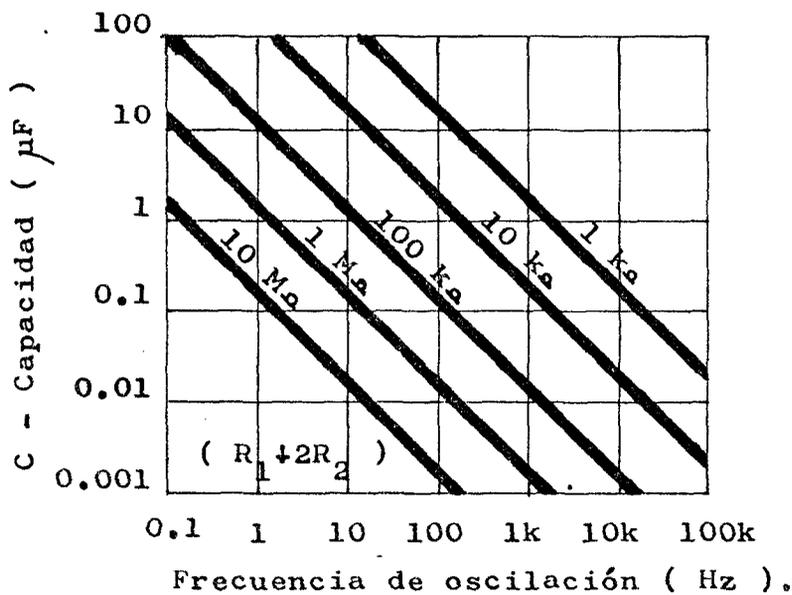


Fig. 47 Abaco para determinar la frecuencia.

Eligiendo un periodo de 60 ms es más que suficiente para las necesidades de programación y comprobación. Este periodo representa una frecuencia de oscilación de unos 16 Hz, que como puede verse en el abaco corresponde a una resistencia $(R_1 + 2R_2)$ de 1 M y una capacidad de 0.1 μF . Ahora solamente resta la distribuir los valores de resistencia entre R_1 y R_2 para obtener el ciclo de trabajo apropiado.

Tomando unos valores de:

$$R_1 = 680 \text{ k}$$

$$R_2 = 100 \text{ k}$$

$$C_1 = 0.1 \text{ } \mu\text{F}$$

Obtenemos una señal que permanece en estado alto durante:

$$t_1 = 0.693 (680 \text{ k} + 100 \text{ k}) 0.1 \cdot 10^{-6} \text{ } \mu\text{F} = 54 \text{ ms.}$$

y permanece en estado bajo durante:

$$t_2 = 0.693 (100 \text{ k}) 0.1 \cdot 10^{-6} \text{ } \mu\text{F} = 7 \text{ ms.}$$

con lo cual el periodo es:

$$T = t_1 + t_2 = 61 \text{ ms} \dots\dots\dots F = \frac{1}{T} = 16 \text{ Hz.}$$

y con un ciclo de trabajo del 89 %. Estas señales son suficientes para activar el circuito que genera el pulso de programación y el circuito de direccionamiento, siendo activados en distintos momentos, tal y como indica la grafica de la Fig. 48.

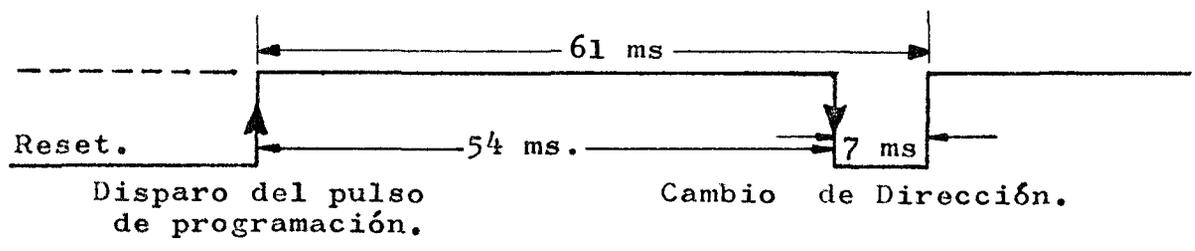


Fig. 48 Salida del Generador de Pulsos de Reloj.

Este circuito permanecerá en estado de Reset mientras a la salida de la puerta AND (A₁) del CI 17 haya un nivel bajo. Este nivel bajo puede ser motivado por tres causas:

- a) El flip-flop S-R formado por las puertas NAND N₇ y N₈ del CI 15 está en estado de parada.
- b) La salida Z del circuito comparador CI 14 es un cero, lo cual indicaría que hay un fallo en la programación.
- c) La salida del inversor I₁ del CI 18 es un cero, lo que

indica que el bit 12, que sale por la patilla 9 del CI 3, es un " 1 " con lo cual ya se han programado las 2.048 posiciones de memoria y el circuito debe detenerse.

Cuando la salida de la puerta AND (A_1) del CI 17 haya un " 1 " el circuito se pone a oscilar generando señales como la indicada en la Fig. 44. Esta señal se aplica simultaneamente a tres circuitos:

- Con el frente de subida de la señal se activa el circuito CI 5 que es el encargado de generar el pulso de programación. La señal se introduce por la entrada B (patilla 5).
- Cuando se produce el frente de bajada, el contador de direcciones constituido por CI 2 cambia a la proxima dirección. La señal se introduce por la entrada de Reloj ϕ_1 (patilla 10)
- Por ultimo, se aplica a la puerta AND (A_2) del CI 17 junto con el pulso de programación. De esta forma aseguramos que solamente sea aplicado un pulso de programación a la memoria cuando ambas señales esten presentes y al mismo tiempo impedimos que la anchura del pulso de programación sea superior a los 54 ms que dura el pulso de reloj en estado alto ("1").

Solamente resta decir que se hace necesario el empleo de condensadores de filtro en el terminal de alimentación para proteger los circuitos asociados, debido a los transitorios que pudiesen aparecer en los procesos de conmutación. El mínimo recomendado es de $0.1 \mu F$ en paralelo con $1 \mu F$ electrolitico.

El terminal de control de voltaje (patilla 5) suele emplearse como entrada de modulación y como en este caso no se utiliza, debemos mantener el potencial de este punto constante. Esto se hace mediante un condensador de $0.01 \mu F$.

Por ultimo, debemos tener en cuenta el retardo que existe entre

el reset y la salida. Este retardo es típicamente de $0.47 \mu s$ y la anchura mínima del pulso de reset es típicamente $0.3 \mu s$.

5.3 CIRCUITOS DE DIRECCIONAMIENTO

Esta constituido por un contador de 12 etapas, con salida para cada una de ellas ($Q_1 - Q_{12}$). El CI 2 es el encargado de esta misión y esta constituido por el circuito integrado CMOS CD 4040 BC. Este contador se incrementa en una cuenta en las transiciones negativas de cada pulso de reloj. El contador se pone en estado de reset (todas las salidas a cero, osea en la cuenta cero) aplicando un "1" logico en la entrada de reset, independientemente del reloj.

El circuito de direccionamiento se completa con dos SN 74LS367 CI 1 - CI 3. Estos circuitos tienen como misión el suministrar la corriente necesaria del BUS DE DIRECCIONES, ya que el CI 2 no puede atacar directamente el direccionamiento de todos los circuitos debido a su bajo " fan out ".

Los Bus Driver permanecen con sus salidas en estado de alta impedancia mientras no se habiliten mediante un " 0 " logico en los terminales \overline{G} (salidas permitidas). De esta forma se obtiene la independencià del BUS DE DIRECCIONES, ya que cuando se direcciona desde el exterior, el flip-flop de Marcha-Parada se encuentra en la posición de Parada, con lo cual estamos aplicando un " 1 " en \overline{G} , inhabilitando las salidas.

Al mismo tiempo, cuando el flip-flop de Marcha-Parada se encuentra en la posición de Parada, se esta poniendo el circuito contador CI 2 en estado de reset y por lo tanto en la cuenta "cero". Cuando lo pongamos en la posición de Marcha, cambiara a la cuenta "uno" con el frente de bajada del primer impulso generado por el circuito de Reloj CI 4, y asi sucesivamente hasta la cuenta 2.048, en la que se hace "1" el bit 12.

5.4 GENERADOR DE PULSOS DE PROGRAMACION

Este circuito tiene como misión el proporcionar, con la mayor exactitud posible, un pulso comprendido entre 45 y 55 ms. Este pulso de programación se aplicara en cada dirección a la patilla 18 ($\bar{E}/\text{Progr.}$) de la 2716 que se va a programar, mientras se mantiene la patilla 21 (V_{pp}) a un potencial de ± 25 V. Este pulso lo genera el circuito DM 74121, compuesto por un multivibrador monoestable. Este circuito se dispara con los frentes de subida de los pulsos de reloj y una vez disparado es independiente de cualquier transición de las entradas, siendo la salida función única y exclusivamente de los componentes externos de temporización. El montaje efectuado para conseguir este pulso, con los componentes de temporización apropiados, aparece en la Fig. 49.

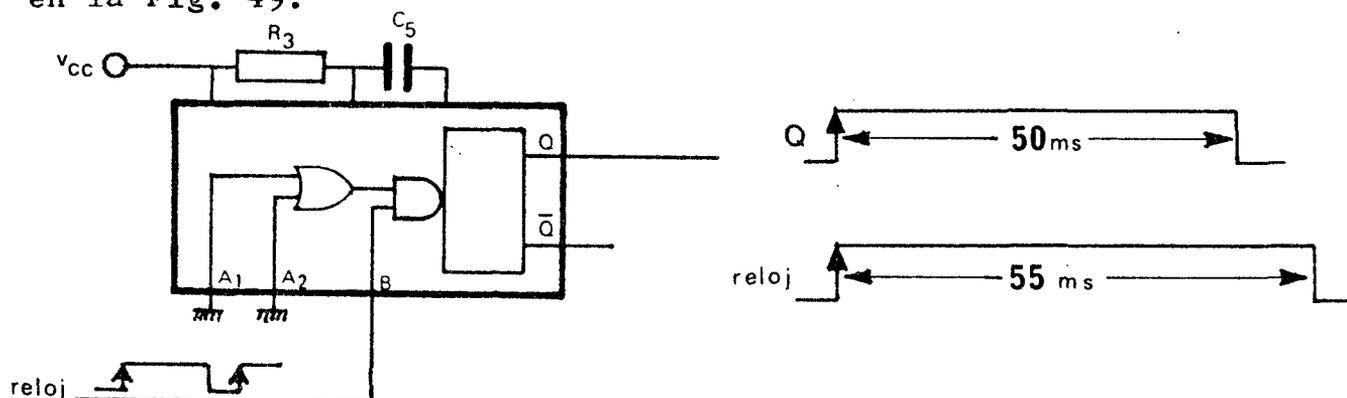


Fig. 49 Circuito del Pulso de Programación.

Para conseguir que se dispare con los frentes de subida del pulso de reloj, las entradas A_1 y A_2 deben estar a " 0 " logico y los pulsos de reloj aplicados a la entrada B, tal y como aparece en la figura.

Para este tipo de circuitos, la anchura del pulso de salida viene determinado por:

$$t_p = \ln 2 C_T \cdot R_T$$

Por lo tanto, deberemos buscar unos valores de los componentes de temporización que proporcionen una anchura de pulso comprendido entre 45 y 55 ms, tal y como establecen las características técnicas de la memoria 2716 (ver Fig. 44). Luego los valores de R_T y C_T deben calcularse para obtener una anchura óptima de 50 ms. Los valores normalizados más aproximados son:

$$R_3 = 33 \text{ K}\Omega$$

$$C_5 = 2.2 \mu\text{F}$$

Con los cuales se obtiene una anchura del pulso de programación de:

$$t_p = \ln 2 (2.2 \cdot 10^{-6} \text{ F }) (33 \cdot 10^3 \Omega) = 50.32 \text{ ms}$$

Las tolerancias de los componentes de temporización deben ser del " 1 % ", ya que de ser del 5 % tendríamos:

$$R_3 = 33 \text{ K} + 5 \% = 34.65 \text{ K}\Omega$$

$$C_5 = 2.2 \text{ uF} + 5 \% = 2.31 \mu\text{F}$$

y la anchura del pulso de programación sería en este caso:

$$t_p = \ln 2 (2.31 \cdot 10^{-6} \text{ F }) (34.65 \cdot 10^3 \Omega) = 55.48 \text{ ms}$$

con lo cual se habría sobrepasado la anchura máxima permitida del pulso de programación.

Como ya se dijo anteriormente, este pulso se aplica a la patilla 18 ($\overline{E}/\text{Progr}$) de la 2716 que se está programando, pero se hace a través de la puerta AND- A_2 del CI 17, a la cual se aplica además de esta señal, la procedente del Generador de Pulsos de Reloj. De esta forma se impide que el pulso que aplicamos sea de una anchura superior al tiempo de permanencia en estado alto del pulso de Reloj, que coincide con la anchura máxima permitida del Pulso de Programación (55 ms).

Con los frentes de subida de \overline{Q} se disparan los pulsos de Retención y Comprobación que genera el circuito CI 6.

5.5 CIRCUITOS DE RETENCION Y COMPROBACION

Estas funciones las lleva a cabo el circuito CMOS 74C221, compuesto por dos multivibradores monoestables. Cada multivibrador dispone de 3 entradas (A, B y Clear), con las cuales se puede respectivamente: disparar el multivibrador con frentes de bajada, con frentes de subida ó ponerlo en Clear. En este caso, tanto uno como otro se disparan con frentes de bajada, por lo que los terminales "B" y "CLK" deben ir a positivo. La disposición de este circuito (CI 6) aparece en la Fig: 50.

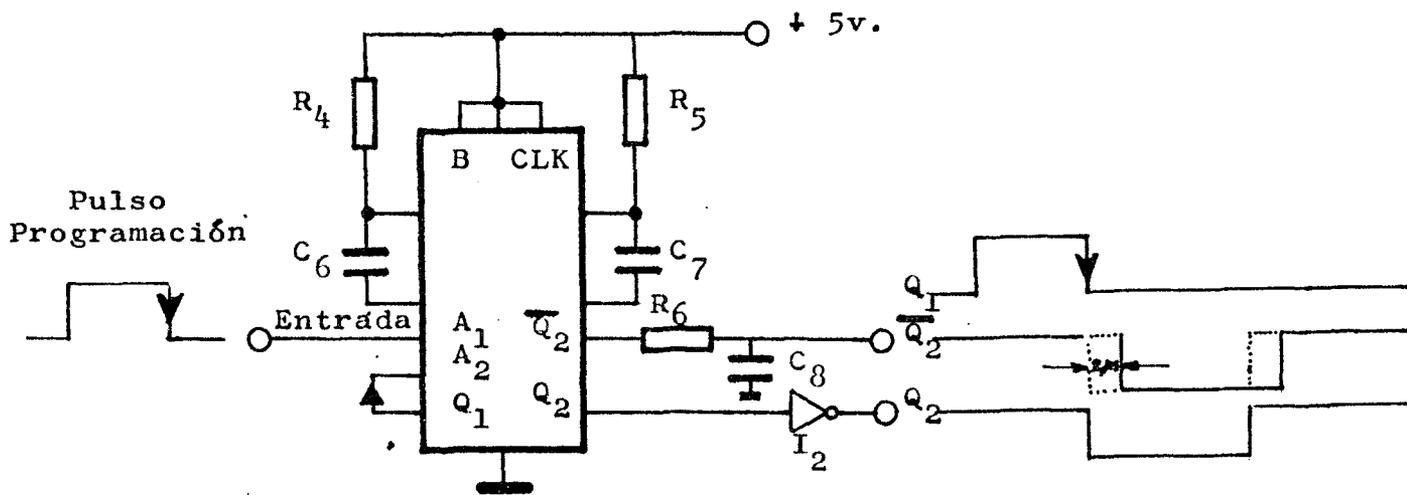


Fig: 50 Conexionado del circuito de retencion-Comprobación.

El primer multivibrador es disparado por el frente de bajada del Pulso de Programación y tiene como misión el proporcionar un retardo antes de proceder a la comprobación. Este retardo debe ser de $2 \mu\text{s}$ como mínimo, según se indica en el diagrama de tiempos de la Fig: 44. El segundo multivibrador se dispara transcurrido este retardo y mediante el frente de bajada de Q_1 aplicado directamente en A_2 . Este multivibrador proporciona las señales necesarias y el tiempo correspondiente de los procesos de comprobación. La salida de Q_2 , una vez invertida por I_2 , es un "0" y se aplica a $\overline{E/PRG}$ (Patilla 18) de CI 12, habilitando las salidas de Datos. Esta misma señal se aplica a N_0 que lo convierte en "1", aplicándolo posteriormente a A_3 . Este "1" junto

con la señal $\overline{W} = "1"$, tenemos a la salida de A_3 un "1" que se aplica a \overline{G} de CI 13, con lo cual se inhabilita el Transceptor de Bus, siendo en este momento el Bus de Datos "A" totalmente independiente del Bus "B". De esta forma, en el Bus de Datos "A" tenemos los datos de la memoria 2716 que hace de original y en el "B" los Datos de la memoria que se esta programando. Estos Datos estan presentes en sus respectivos Buses antes de que se habilite el comparador CI 14. Esta señal de habilitación (\overline{S}) es generada por \overline{Q}_2 . Para permitir que los datos esten presentes en los Buses antes de la orden de comparación, se ha dispuesto a la salida de Q_2 una red R C que proporciona un retardo de aproximadamente $2 \mu s$, siendo $R = 680 \Omega$ y $C = 0.01 \mu F$. Esta señal retardada se envia a A_4 , siendo en todo momento la salida de N_9 un "1", produciendose de esta forma la comprobación de los Datos programados. Si estos Datos son correctos, el tendra a su salida un "1" y el proceso de programación continura, en caso contrario, a la salida del comparador habra un "0", provocando la parada del reloj mediante la salida "0" de A_1 . Al mismo tiempo se encendera el LED rojo que nos indicara el fallo de programación.

La ancura de los Pulsos de los multivibradores viene determinada por la red RC externa y se calcula mediante:

$$t = C_{Ext} \cdot R_{Ext}$$

Los tiempos que se han elegido estan muy por encima de los minimos recomendados por el fabricante, de esta forma se asegura un buen funcionamiento.

Los valores que se han elegido son:

$$R_4 = 1 K \quad C_6 = 10 nF \quad R_5 = 1 K \quad C_7 = 22 nF$$

Obteniendose unos tiempos:

$$t_1 = 10 \cdot 10^{-9} \cdot 10^3 = 10 \mu s \quad (\text{Retención}).$$

$$t_2 = 22 \cdot 10^{-9} \cdot 10^3 = 22 \mu s \quad (\text{Comprobación}).$$

Cuando el multivibrador que proporciona la señal de comparación termina su ciclo, la salida de datos de la memoria que se esta programando queda inhabilitada y el transceptor de Bus habilitado, con lo cual el Bus de Datos "A" y el "B" se convierten en un Bus unico. De esta forma queda todo listo para proceder a la programación de la siguiente dirección de memoria.

5.6 MEMORIA RAM (2 K)

Esta constituida por los circuitos CI 7 a CI 10 del tipo 2114. Estos circuitos tienen una capacidad de 4.096 bits, organizados en 1.024 palabras de 4 bits. Cada circuito dispone de un terminal de selección (\overline{S}) y de un terminal de escritura permitida (\overline{W}).

Cuando se reciben Datos del exterior, el conmutador S_2 de selección de memoria debe estar en la posición "1" y la señal de habilitación de escritura (\overline{W}) debe estar a "0". En estas condiciones, los Datos, son almacenados hasta la dirección de 1.023 (0 a 1.023) en los circuito CI 7 y CI 8, estando los cuatro primeros bits de la palabra almacenados en CI 7 y los cuatro restantes en CI 8. Cuando se llega a la dirección 1.024, el bit 11 es un "1", con lo cual en N_1 y N_2 tenemos aplicados dos "1" y a la salida aparecera un "0", deshabilitando los circuitos CI 7 y CI 8. Por el contrario, el "1" del bit 11 habilita los circuitos CI 9 y CI 10, en los cuales se almacenaran las direcciones de memoria comprendidas entre la 1.024 y 2.047. Esta habilitación de los circuitos CI 9 y CI 10 se produce debido a la inversión del "1" (bit 11) producida por I_3 y aplicada a las puertas Nand N_3 y N_4 . Los procesos de lectura se efectuan en aquellos circuitos seleccionados en los que la señal (\overline{W}) sea un "1". Para dejar la memoria RAM con sus salidas en alta im-

pedancia, el conmutador S_2 se pone en la posición "0". Esto se hace en los casos en los que se toma como fuente de datos, para la programación, a otra memoria 2716 colocada en el zocalo CI 11.

5.7 CIRCUITO GENERADOR DE LA TENSION DE PROGRAMACION

El circuito representado en la Fig: 51 es el encargado de generar los 25 v. necesarios en los procesos de programación. Esta tensión se aplica al terminal V_{pp} (patilla 21) en los procesos de programación y comprobación.

Este circuito conmuta entre dos niveles de tensión: 5 y 25 v. Esto se hace así, ya que, V_{cc} debe ser aplicada simultáneamente ó antes que V_{pp} y debe desconectarse simultáneamente ó después de V_{pp} , so pena de dañar la memoria. De esta forma la tensión V_{pp} se aplica cuando el conmutador S_1 se pone en la posición de " Marcha " y esto siempre ocurre después después de aplicar la alimentación general del programador. Una vez programada la memoria, el conmutador S_1 debe ponerse en la posición de " Parada " para posteriormente desconectar la alimentación general.

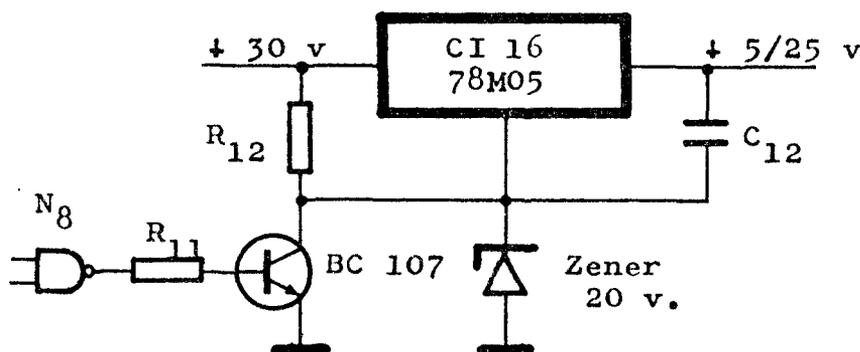


Fig. 51 Generador de Tensión V_{pp} .

Funcionamiento del Circuito:

Cuando a la base del transistor se aplica un nivel alto (2.4 v como minimo), el transistor conduce y al hacerlo cortocircuita el diodo zener. Bajo estas condiciones, el regulador tiene su terminal común virtualmente a potencial de masa (0.2 v de $V_{CE Sat.}$), produciendose de esta forma una salida del regulador de 5 v.

Con una señal de nivel bajo en la base del transistor (0.7 v como máximo), el transistor deja de conducir, haciendolo entonces el diodo zener, con lo que aparecen 20 v en el terminal común del regulador, con lo que a la salida tendremos + 25 v.

Elección de componentes:

-- Para elegir el regulador, el principal parametro que se ha tenido en cuenta ha sido la tensión maxima de entrada, ya que las corrientes que se manejan en este circuito son muy pequeñas:

$$I_{pp 1} (\bar{E}/PRG=V_{IL}) \dots\dots\dots 5 \text{ mA Max.}$$

$$I_{pp 2} (\bar{E}/PRG=V_{IH}) \dots\dots\dots 30 \text{ mA Max.}$$

Como puede verse, la potencia disipada por el regulador en el peor de los casos es de 150 mW.

El regulador ideal para este montaje era el 78L05 ya que es un regulador de pequeña potencia, con una corriente maxima de salida de 100 mA, más que suficiente para nuestras necesidades, pero sin embargo, la maxima tensión de entrada de este regulador son 30 v, con lo cual estaria trabajando justo en el limite de su tensión de entrada. Por esto se ha elegido al 78M05, cuya tensión maxima de entrada es de 35 v.

-- El condensador C_{12} de 0.01 μF tiene como finalidad el reducir ruidos de alta frecuencia de los transitorios

-- El diodo Zener que se ha elegido es el BZX 55, siendo su tensión de zener 20 v, su potencia de 400 mW, la I_Z de 5 mA,

y la I_Z Max. de 19 mA.

-- La elección de R_{12} viene determinada por la corriente que debe suministrar al zener cuando el transistor no esta conduciendo. Esta corriente es de 3 mA, ya que el zener necesita para su funcionamiento 5 mA y el terminal común del regulador ya le esta suministrando 4 mA, que es la corriente de reposo típica del 78M05, con lo cual se le suministran al zener 7 mA, corriente que supera en un 40 % a la minima de funcionamiento, de esta forma aseguramos el correcto funcionamiento del zener. Por lo tanto, cuando el transistor no esta conduciendo, en R_{12} caen 10 v y circula una corriente de 3 mA, esto nos da un valor de $R_{12} = 3K3$.

-- El transistor puede ser un BC 107 cuyos parametros son:

$$V_{CB} = 50v. \quad V_{CE} = 45v. \quad V_{EB} = 6v. \quad I_C \text{ Max.} = 100mA. \quad P_{\text{Max.}} = 300mW$$

$$H_{FE} \text{ Min.} = 110.$$

Para asegurar la saturación del transistor debemos calcular un valor de la resistencia de base R_{11} que suministre suficiente corriente de base. Por Kirchoff tenemos que la corriente de colector debe ser:

$$30 = 3K3 I_C + V_{CE} \text{ Sat.} \quad \dots \quad I_C = 9 \text{ mA.}$$

El valor mínimo de la corriente de base debe ser:

$$I_B \text{ Min.} = \frac{I_C}{H_{FE}} = \frac{9mA}{110} = 81 \mu A.$$

Tomando un valor de $R_{11} = 10 K$ y considerando que la minima tensión de un nivel alto, a la salida de N_0 , son 2.4 v, tendremos por Kirchoff, en el circuito de Base:

$$2.4 = 10K I_B + V_{BE} \text{ Sat.} \quad \dots \quad I_B = 170 \mu A$$

Como puede verse, la corriente de Base es mayor que la corriente minima de Base necesaria para saturar el transistor, por lo el transistor está en SATURACION.

5.8 TRANSCEPTOR DE BUS

Este circuito se encarga de hacer que el Bus de Datos "A" y el Bus de Datos "B" sean un unico Bus de Datos ó por el contrario, sean dos Buses de Datos independientes, en función de que se este realizando una operación de Programación ó una operación de Comprobación respectivamente. Esto se lleva a cabo habilitando el transceptor mediante la señal G, suministrada por A₃. Ademas tiene una segunda misión consistente en hacer que el flujo de Datos se haga del Bus de Datos "B" hacia el "A", aplicando un "0" en el terminal "DIR" (patilla 1). Esto ocurre cuando se estan recibiendo Datos del exterior para ser almacenados en la memoria RAM y el "0" esta suministrado por el estado de Parada del Programador. En el caso que el Programador estubiese en estado de Marcha, a "DIR" se estaria aplicando un "1" y el flujo de Datos seria en este caso del Bus de Datos "A" hacia el Bus de Datos "B".

Tabla de Funcionamiento

\bar{G}	DIR	OPERACION
L	L	Datos de "B" hacia el Bus "A".
L	H	Datos de "A" hacia el Bus "B".
H	X	Aislamiento (Alta Impedancia).

En la Fig. 52 aparece la representación esquemática de este circuito (SN 74 LS 245).

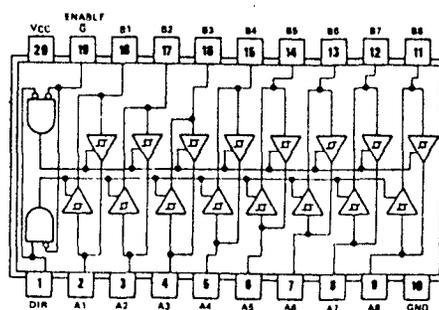


Fig. 52 Representación esquemática del SN 74LS245.

5.9 COMPARADOR

Esta función la lleva a cabo el integrado DM 8130. Este circuito determina la igualdad ó desigualdad entre dos palabras binarias de diez bits, aunque en nuestro caso solo se utilizan ocho para la comprobación del Bus de Datos.

El circuito dispone además de un terminal de "STROBE" (patilla 11) que permite inhabilitar el comparador, colocando la salida permanentemente a "1", mientras este terminal tenga aplicado un "1".

Las ordenes de comparación que recibe el circuito tienen dos procedencias. La primera se produce cuando vamos a comparar los Datos del exterior almacenados en la RAM con los Datos que nuevamente manda el exterior para verificar si la transmisión ha sido correcta. Para realizar esta operación el conmutador S₁ debera estar en la posición de "Parada", el conmutador S₂ debera estar en la posición "1" y la señal W=1. Con estas condiciones, la puerta Nand N₉ tendra sus dos entradas a "1", siendo su salida un "0", que al aplicarse en A₄ produce la orden de comparación.

La otra procedencia de las ordenes de comparación, proviene del tiempo que se destina a tal efecto en cada dirección durante los procesos de programación. El encargado de dar esta orden es el circuito CI 6, mediante su salida Q₂, tal y como se explico en el apartado 5.5, ver Fig. 54.

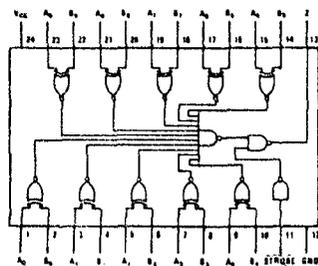


Tabla de Funcionamiento

CONDICION	STROBE	Z
A=B , A≠B	1	1
A=B	0	1
A≠B	0	0

Fig. 53 Representación Esquemática.

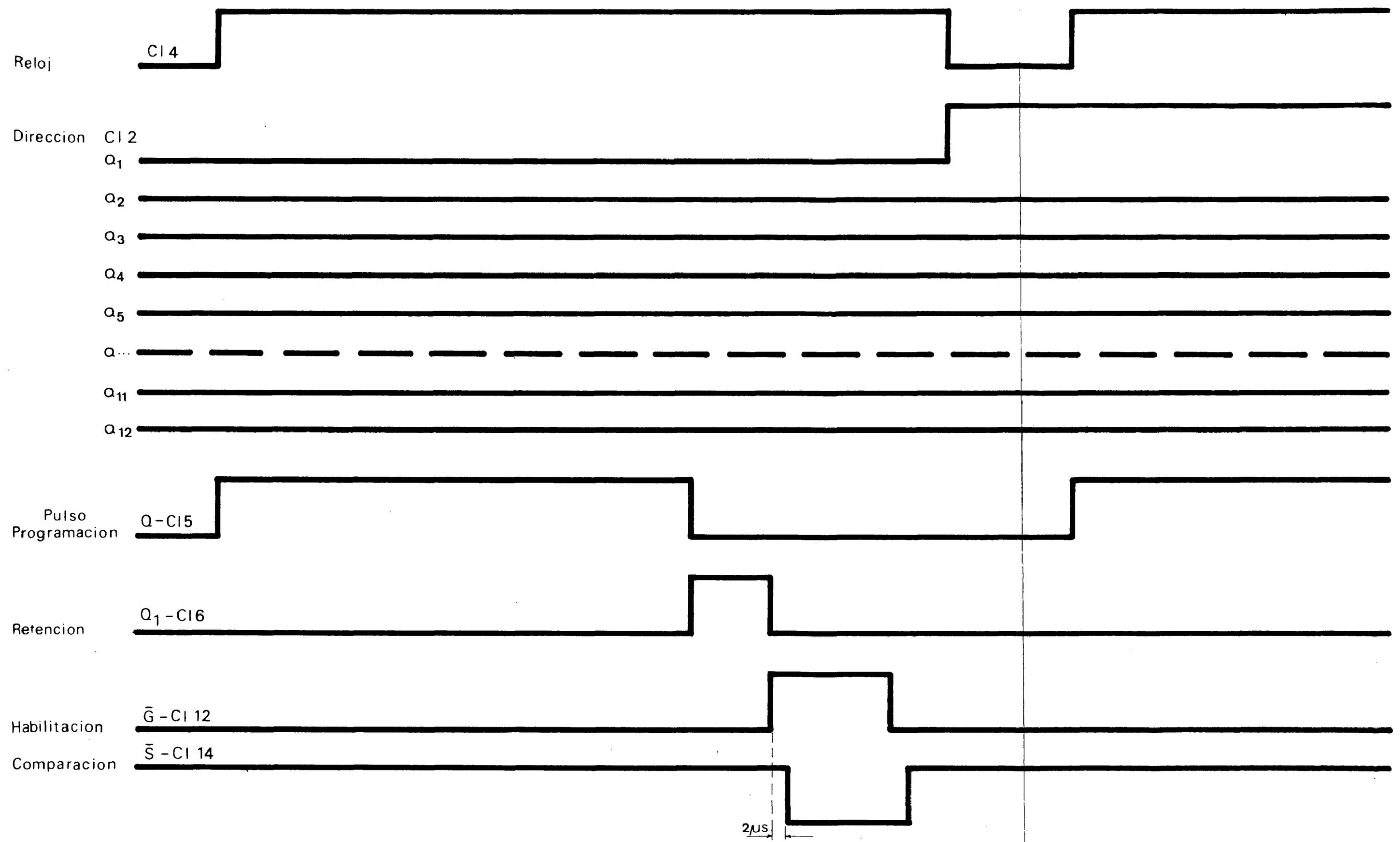


Fig. 54

5.10 FUENTE DE ALIMENTACION

La fuente de alimentación esta constituida por dos secciones, la primera de las cuales suministra una tensión regulada de + 5 voltios para la alimentación de los circuitos, siendo su consumo máximo previsto de 0.7 A, aunque este consumo nunca llegara a producirse, ya que implicaria el funcionamiento al unisono de todos los circuitos y esto no se produce.

La segunda sección proporciona los + 30 voltios necesarios para la tensión de programación (V_{pp}), suministrando una corriente máxima de 40 mA.

Alimentación Circuitos

Esta sección tiene en el secundario una tensión de 9 v. eficaces que representan una tensión de pico de:

$$V_{pico} = V_{ef} \cdot \sqrt{2} = 12.70 \text{ vol.}$$

En el puente P_1 hay una caída de tensión de $V_F = 2 \text{ v.}$, con lo cual en los condensadores C_{14} y C_{15} , así como a la entrada del regulador (CI 21) habra una tensión:

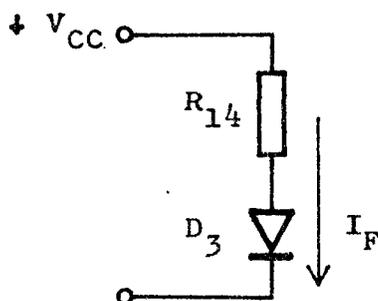
$$V_{sin \text{ reg.}} = V_{pico} - V_F = 10.70 \text{ vol.}$$

Esto representa una potencia disipada por el regulador de:

$$P_D = I_{sal.} (V_{sin \text{ reg.}} - V_{CC}) = 0.7 \text{ A} \cdot 5.7 \text{ V} = 4 \text{ W.}$$

El condensador de filtro C_{14} tiene una capacidad de 2.200 μF y los condensadores C_{15} y C_{16} tienen respectivamente 220 nF y 470 nF. Estos condensadores tienen como finalidad la estabilidad del circuito, así como la eliminación de transitorios.

También se ha dispuesto de un dispositivo optico de indicación del funcionamiento de la fuente. Este dispositivo esta constituido por R_{14} y D_3 (LED verde) .



Características del LED:

I_F max.	40 mA.
I_F tip.	10 mA.
$V_F(I_F \text{ tip.})$..	2 V .
P_D	100 mW.

$$R_{14} = \frac{V_{CC} - V_F}{I_F} = 300 \text{ ohm.}$$

Tomando un valor normalizado para R_{14} de 270 ohm.

Tensión de Programación (V_{pp})

Esta sección tiene en el secundario una tensión de 30 v. eficaces, representando una tensión de pico de:

$$V_{\text{pico}} = V_{\text{ef}} \cdot \sqrt{2} = 42.42 \text{ vol.}$$

En el puente P_2 hay una caída de tensión $V_F = 2 \text{ v.}$, con lo cual en C_{17} hay una tensión de 40.42 vol.

El diodo Zener D_4 es del tipo BZX 61 (30 v.) y una potencia máxima de 1.3 W. Esta potencia limita la corriente máxima que pasara por R_{15} a 40 mA, siendo la corriente máxima solicitada por la carga de 30 mA.

Con estos datos el valor de R_{15} obtenido es:

$$R_{15} = \frac{40.42 - 30}{40} = 260 \text{ ohm.}$$

Tomando un valor normalizado de 270 ohm, siendo la potencia de esta resistencia de 1/2 W.

LISTA DE COMPONENTESCIRCUITOS INTEGRADOS:

CI 1, CI 3	74LS367	Drivers.
CI 2	4040	Contador.
CI 4	555	Reloj.
CI 5	74121	Multivibrador.
CI 6	74LS221	Multivibrador.
CI 7-10	2114	Memorias RAM.
CI 11, CI 12	ZOCALOS	Zocalos 2716.
CI 13	74LS245	Transceptor BUS.
CI 14	8130	Comparador.
CI 15	7400	Nands N_5-N_8 .
CI 16	78M05	Regulador.
CI 17	74C08	Puertas AND.
CI 18-20	74C00	Nands-Inv.
CI 21	7805	Regulador.

TRANSISTORES:

Q_1 BC 107

DIODOS:

D_1 LED Rojo.
 D_2, D_3 LED Verde.
 D_4 BZX 61 (Zener 30v/1.3 W).
 D_{11} BZX 55 (Zener 20v/400 mW).

PUENTES RECTIFICADORES:

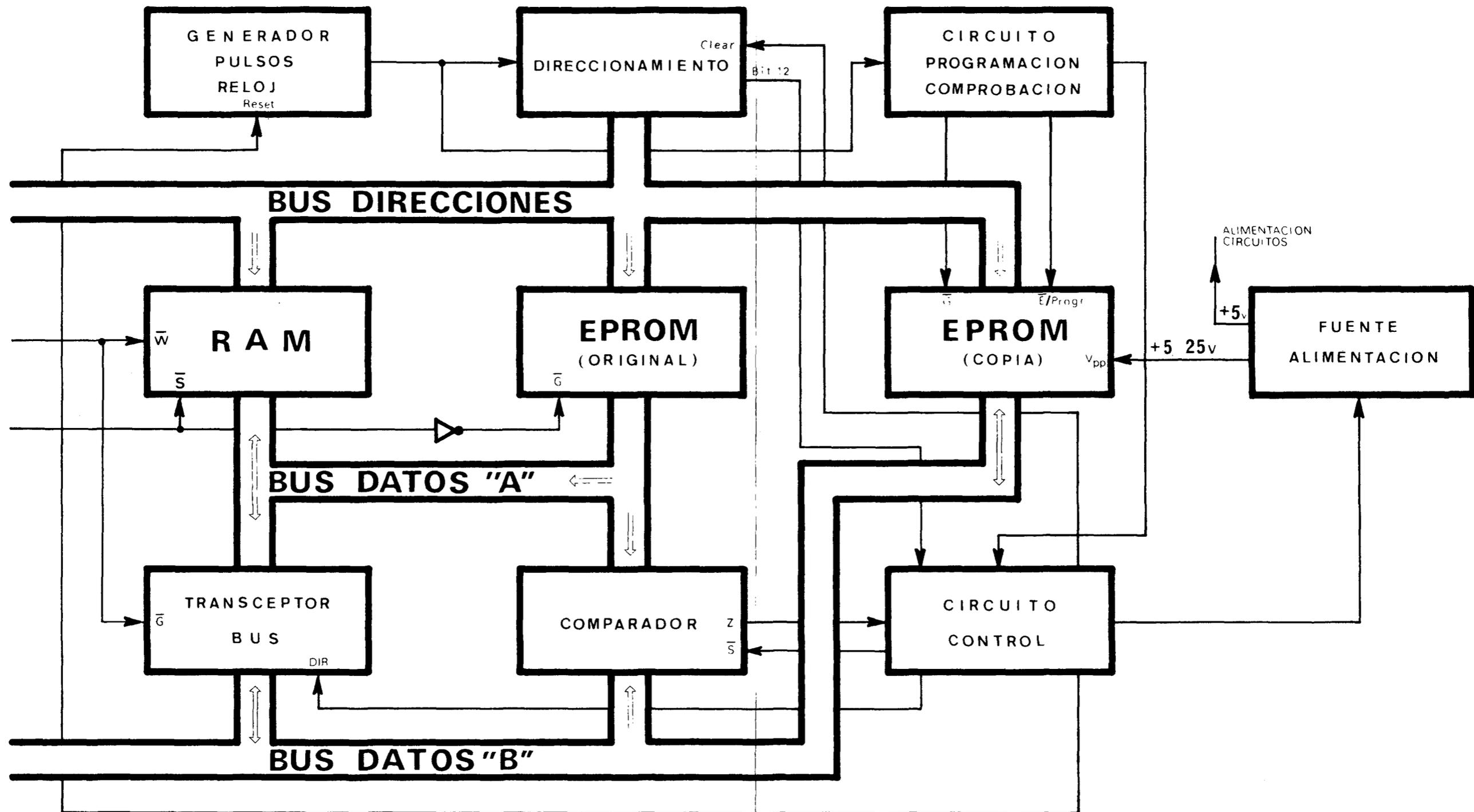
P_1 2A . / 50 V.
 P_2 1A . / 100 V.

CONDENSADORES:

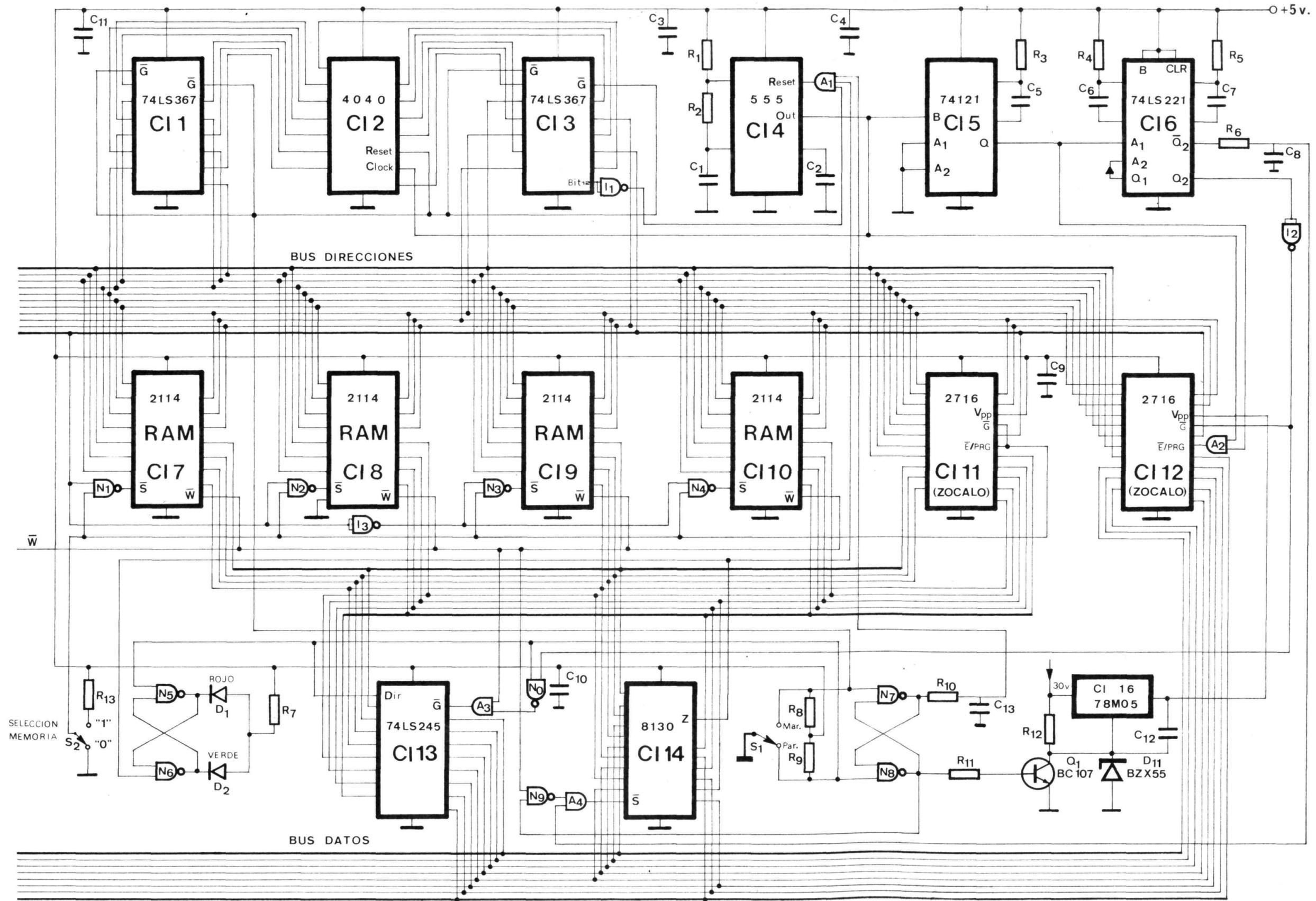
C ₁	0.1 μ F	Ceramico.
C ₂	0.01 μ F	Ceramico.
C ₃	0.1 μ F	Eléctrolítico.
C ₄	1 μ F	Eléctrolítico.
C ₅	2.2 μ F	Poliester.
C ₆	10 nF	Ceramico.
C ₇	22 nF	Ceramico.
C _{8, 13}	0.01 μ F	Poliester.
C _{9, 10, 11}	0.1 μ F	Poliester.
C ₁₂	100 nF	Tantalo.
C ₁₄	2.200 μ F	Eléctrolítico.
C ₁₅	220 nF	Tantalo.
C ₁₆	470 nF	Tantalo
C ₁₇	1.000 μ F	Eléctrolítico.

RESISTENCIAS:

R ₁	680 K, 1/8 W, 1 %.
R ₂	100 K, 1/8 W, 1 %.
R ₃	33 K, 1/8 W, 1 %.
R _{4, 5, 9, 13, 8.}	1 K, 1/8 W, 5 %.
R _{6, 10}	680 Ω , 1/8 W, 5 %.
R _{7, 14}	270 Ω , 1/8 W, 10 %.
R ₁₁	10 K, 1/8 W, 10 %.
R ₁₂	3.3 K, 1/2 W, 10 %.
R ₁₅	270 , 1/2 W, 10 %.

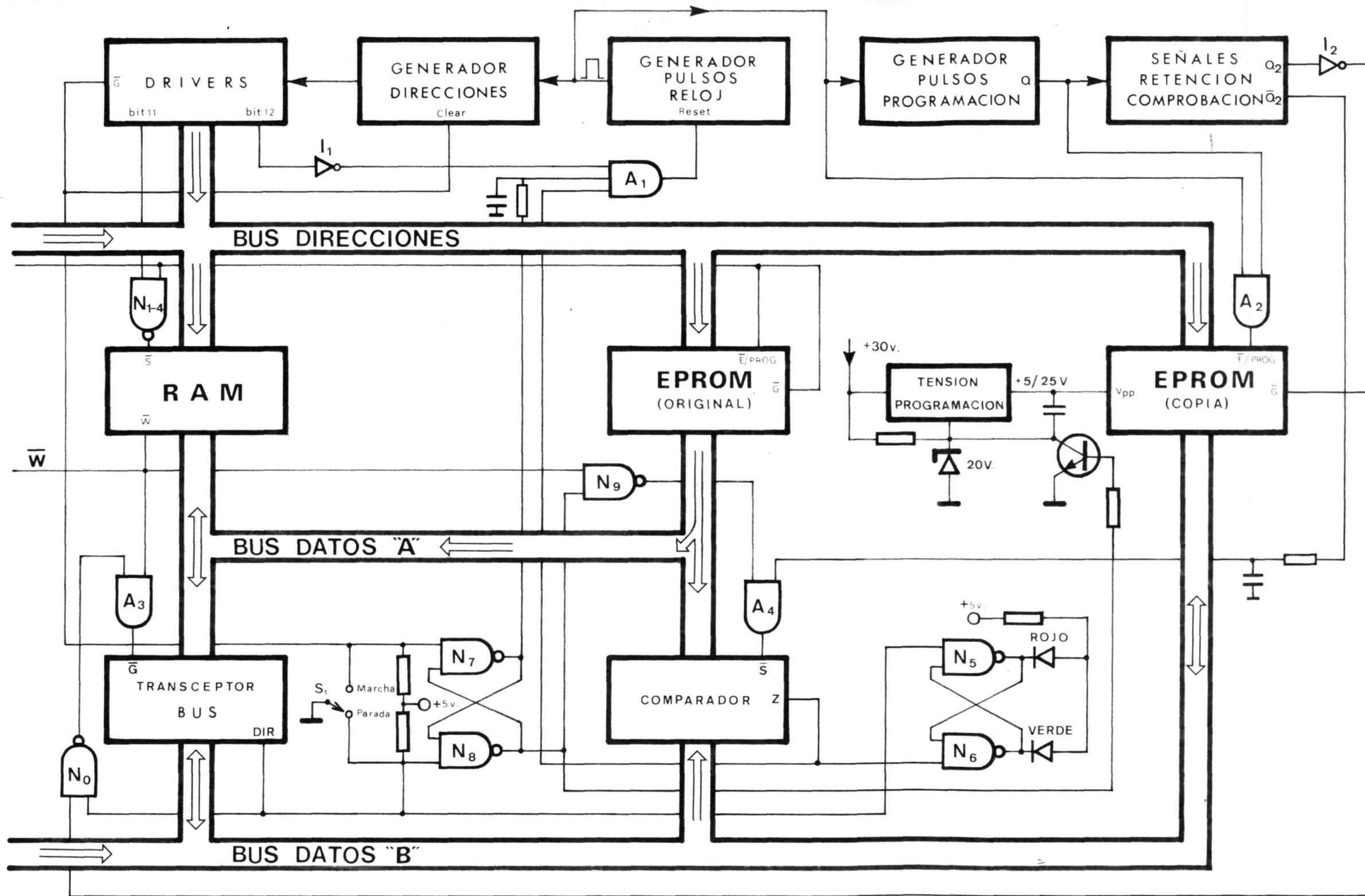


ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACION	
ALUMNO	Jesus Lujan Jimenez
TRABAJO	Programador EPROM 2716
PLANO	Diagrama en Bloques
FECHA	Febrero 82

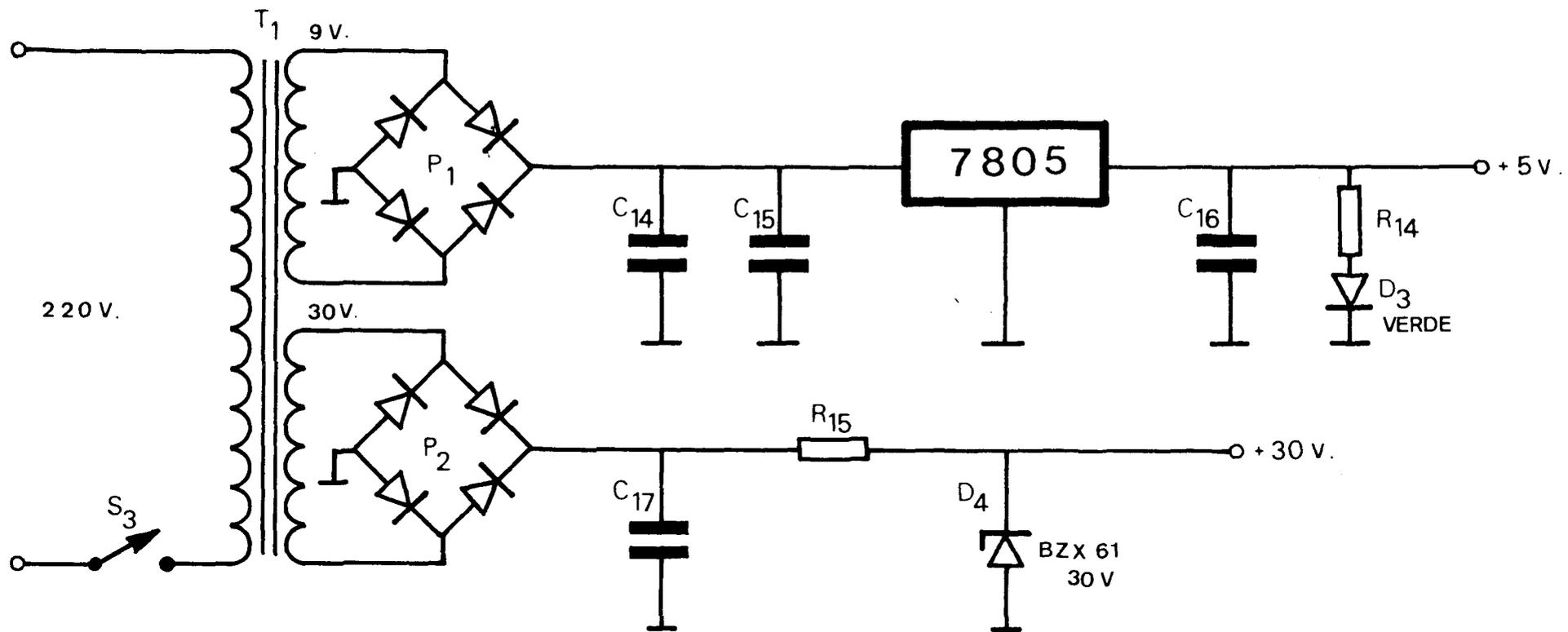


ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACION	
ALUMNO	Jesus Lujan Jimenez
TRABAJO	Programador EPROM 2716
PLANO	Diagrama Electrico
FECHA	Febrero 82

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008



ESCUELA UNIVERSITARIA DE INGENIEROS TECNICOS DE TELECOMUNICACION	
ALUMNO	Jesus Lujan Jimenez
TRABAJO	Programador EPROM 2716
PLANO	Diagrama de Funcionamiento
FECHA	Febrero 82



ESCUELA UNIVERSITARIA
DE INGENIEROS TECNICOS DE TELECOMUNICACION

ALUMNO	Jesus Lujan Jimenez
TRABAJO	Programador EPROM 2716
PLANO	Fuente de Alimentacion
FECHA	Febrero 82