

TITULO : GENERADOR Y CONMUTADOR DE TONOS DE FSK

AUTOR : JACINTO RUIZ ALONSO

TUTOR : VICENTE MENA SANTANA

ESPECIALIDAD : RADIO COMUNICACIONES

MIEMBROS DEL TRIBUNAL CALIFICADOR :

PRESIDENTE :

VOCAL :

VOCAL SECRETARIO :

FECHA DE LECTURA :

CALIFICACION :

TUTOR :

AUTOR :

VICENTE MENA SANTANA

JACINTO RUIZ ALONSO

RESUMEN DEL EQUIPO

Básicamente este proyecto lo podemos resumir, como un equipo muy útil, dentro del sistema de una transmisión de señales Telegráficas. Para ello consta de los circuitos electrónicos necesarios, para convertir una señal Telegráfica en una señal de audio: la - cual resultará mucho más fácil de transmitir.

Entre las aplicaciones más comunes de este equipo se encuentra - la transmisión vía radiofrecuencia o bien vía multiplex telefóni - co de un señal de Teletipo o bien una señal de un Telealarma a - otro punto de destino.

El Equipo se ha diseñado con circuitos analógicos y digitales, - con componentes comerciales y Tecnología moderna en el tratamien - to de señales Telegráficas.

Una novedad a tener en cuenta es el proceso que sigue en el tra - tamiento de la señal, para evitar que las busquedades de la se - ñal telegráfica al cambiar del estado marca-espacio y viceversa repercutan en la señal de audio de salida.

MEMORIA

INDICE

INDICE MEMORIA

Propósito del Equipo	1
Descripción general del Proyecto	1
1.- Misión del Generador y Conmutador de Tonos de FSK en el sistema de Telecomunicación	4
1.1.- Canal de Transmisión	4
1.2.- Sistema de Telecomunicación	4
1.3.- Misión del Generador y Conmutador de Tonos de FSK	5
1.4.- Modulación por desplazamiento de frecuencia (MDF)	7
1.4.1.- Definición	7
1.4.2.- Ancho de Banda y Velocidad de Transmisión	7
1.4.3.- Señal Modulada	8
1.4.4.- Calidad del Sistema de Modulación	9
1.5.- Propósito del Equipo	9
1.6.- Especificaciones del Equipo	10
2.- Funcionamiento Operativo	12
2.1.- Controles e indicadores	12
2.1.1.- Fuente de Alimentación	12
2.1.2.- Equipo Modulador de FSK	12
2.2.- Puesta en funcionamiento del Equipo	13

3.- Teoría de Funcionamiento	15
3.1.- Diagrama de Bloques	15
3.2.- Descripción Funcional	16
4.- Oscilador Multifrecuencia	18
4.1.- Descripción detallada y diseño	18
4.2.- Características de diseño del oscilador en puente de Wien	22
4.3.- Diseño de los Osciladores	27
5.- Circuito de Aislamiento de Alto nivel	30
5.1.- Diseño del circuito	31
6.- Circuito Conversor a Niveles lógicos	35
6.1.- Diseño de Circuito	36
7.- Circuito Selector de Marca o Espacio	37
8.- Red Divisora de frecuencia	39
9.- Convertidor Digital - Analógico	46
9.1.- Diseño del Circuito	49
10.- Filtro Paso Bajo	50
10.1.- Curva Real	56
11.- Fuente de Alimentación	57
11.1.- Descripción Detallada	58
12.- Aplicaciones del Equipo	62
- Bibliografía	64

INDICE PLANOS

- Diagrama Eléctrico de la tarjeta -OM-	65
- Diagrama Eléctrico de la Tarjeta -M-T	66
- Componentes de la tarjeta -MT-	67
- Circuito Impreso lado componentes de la tarjeta -M-T	
- " " " pistar	68
- Componentes de la tarjeta -OM-	69
- Circuito Impreso de la tarjeta -OM-	70
- Componentes de la tarjeta -F-A	71
- Circuito Impreso de la F-A	72
Cableado del Equipo	74

INDICE APENDICE

- Lista de Componentes de la tarjeta -OM-	78
- Lista de Componentes de la tarjeta -MT-	79
- Lista de Componentes de la tarjeta -FA-	81
- Características Eléctricas de circuitos Integrados utilizados.	82

INDICE PRESUPUESTO

- Composición del equipo	115
- Costes de la Ejecución Material	116
- Coste de Material	118
- Gastos Generales y Honorarios del Proyecto	120
- Presupuesto e Importe total del proyecto	121

INTRODUCCION

- PROPOSITO DEL EQUIPO

El objeto del proyecto es principalmente dar una aplicación a los conocimientos teóricos adquiridos durante la carrera, así como también los conocimientos prácticos y experimentales adquiridos en la empresa de trabajo.

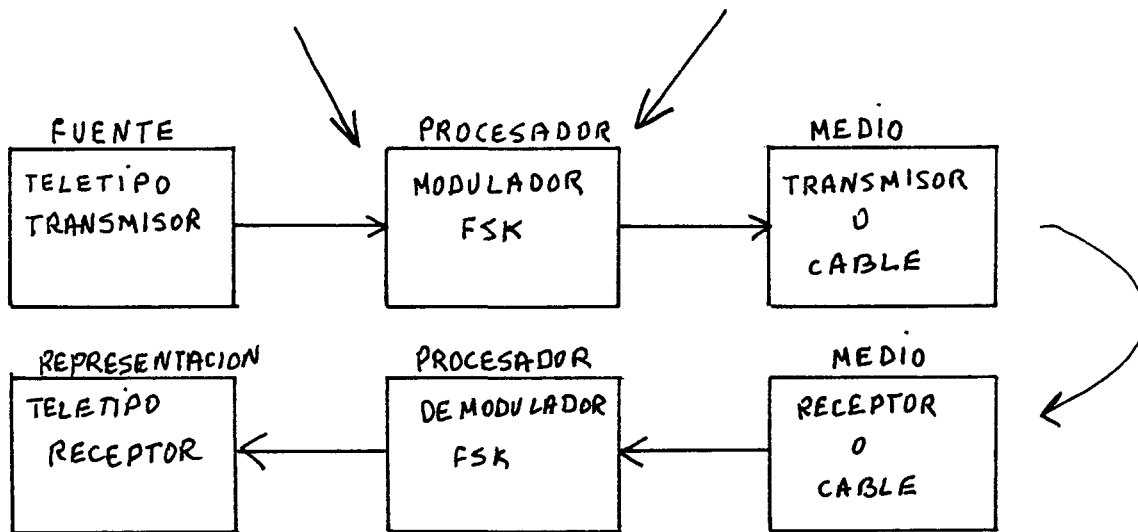
Me he inclinado por esta rama de los moduladores por desplazamiento de frecuencia, debido al gran número de aplicaciones prácticas que tiene hoy día en las comunicaciones.

Lo que he pretendido con este trabajo es enriquecerme en el terreno de la experimentación, debido al gran número de problemas que se presentan al diseñar un equipo y posteriormente llevarlo a la práctica, comprobando que se presentan muchos problemas que no aparecen en la teoría, tales como desacoplos, ruidos, etc.

Por otro lado el propósito del equipo es que se puede usar para la transmisión de una señal telegráfica, previo tratamiento de la señal en dicho equipo, así como la utilización en telealarmas etc.

- DESCRIPCION GENERAL DEL PROYECTO

Primeramente de una forma resumida, diremos que este equipo va a ser pieza clave dentro de un sistema de telecomunicaciones. Como veremos más adelante detalladamente un sistema de Telecomunicaciones consta de varias partes:



Como vemos este equipo será el encargado de procesar o convertir la señal procedente de la fuente, bien sea de un teletipo y transformarla en un señal de audio, apta para ser transmitida, bien vía transmisor, via cable etc.

El equipo está formado básicamente por dos tarjetas:

- Tarjeta Osciladora Multifrecuencia:

La cual se encargará de generar seis pares de frecuencias, que después de ser tratados convenientemente nos darán las señales de audios requeridas.

- Tarjeta Manipuladora de Tono:

Es la que contiene circuitos de adaptación de entrada y salida, y a su vez todos los circuitos que harán posible la salida conmutada de los dos tonos de audio.

Ademas de los planos eléctricos y físicos de las dos tarjetas y componentes asociados, se han hecho también diagramas de cableado, dandonos una idea bien clara de las interconexiones entre las tarjetas entre sí y a su vez con los componentes asociados.

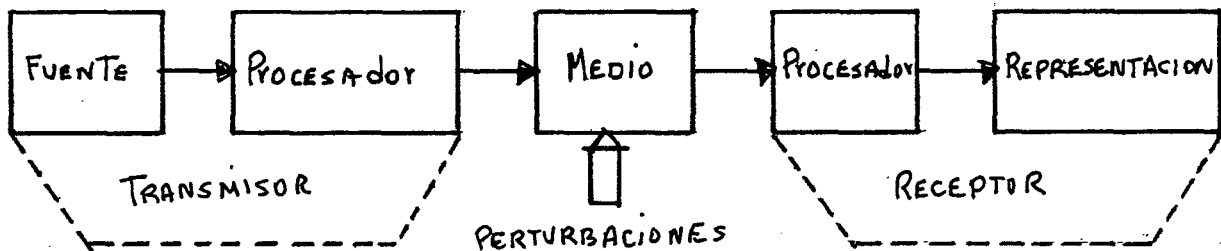
Se prevee además de una fuente de alimentación para alimentar la unidad y hacerla más autónoma.

1.- Misión del Generador y Conmutador de Tonos.

de FSK en el sistema de Telecomunicación.

1.1.- Canal de Transmisión: se llama así al conjunto de equipos, facilidades y asignaciones, en el espacio, tiempo o frecuencia dispuesto para transportar una informa-ción desde su lugar de origen hasta su destino.

1.2.- Sistema de Telecomunicación: es el conjunto formado por los canales, incluyendo aquí todos los accesorios necesarios para la transmisión y recepción de señales, así como la organización de las redes para la distribución de las señales. Podemos representar, de una forma general, el modelo de un sistema de Telecomunicación, dividiéndolo en una serie de partes muy características, -atendiendo a la misión completa que cada una realiza - en el proceso de transmisión de señales de un lugar a otros.



LA FUENTE: es la que origina la información, siendo la salida de esta, señales digitales o analógicas. Estas señales -necesitarán una adaptación al medio de transmisión y ello se realizará en el procesador, concepto que abar-ca órganos tales como: codificadores, moduladores, in-terfaces, transmisores etc... El procesador pretende conseguir objetivos tan importantes como:

- conseguir una propagación satisfactoria de la

señal a través del medio a utilizar en cada caso.

- proteger la información de perturbaciones.
- optimizar el uso del medio de transmisión.

Una vez hecha esta adaptación de las señales, estas se transmiten por un medio determinado, que se caracteriza por introducir efectos de atenuación, de interferencias, distorsión y de ruidos no deseados a la señal. A lo largo de toda la transmisión, aparecerán perturbaciones no deseadas y que afectan a la calidad y al cance de la transmisión. Por último, tenemos la parte receptora de la señal que consta de un procesador que adecua la señal a la unidad de presentación de la información áoriginada en la fuente. Podemos decir que la misión del receptor en toda su amplitud es: reconocer la señal transmitida y a partir de ella recuperar la información que contiene y que en su momento fue originada en la fuente.

1.3.- Misión del Generador y Conmutador de Tonos de FSK.

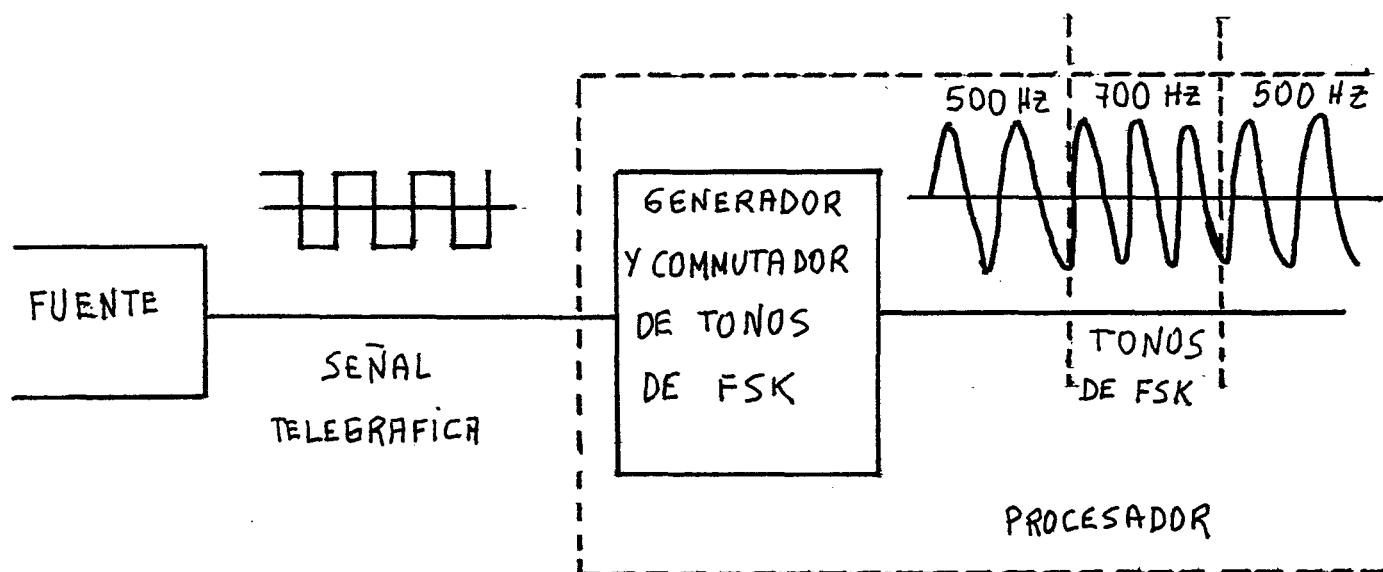
Dentro del amplio campo que abarca un sistema de Telecomunicación, el equipo que en cuestión se tratará, será un elemento fundamental para el tratamiento y procesamiento de un tipo muy determinado de señales. El Generador y Conmutador de Tonos de FSK, comunmente llamado Modulador de FSK, desarrollará su misión dentro del bloque "transmisor" del sistema, como elemento constituyente del "procesador", para aquellos casos en que la información sea de naturaleza alfanumérica y siendo la correspondiente señal a la salida de la "fuente", del tipo telegráfico.

La señal telegráfica, se caracteriza por su baja velocidad de transmisión, estando comprendida esta entre 50 y 200 bandios; y porque sólo puede tomar dos valores, uno alto -

que correspondería a un estado llamado de Marca y otro bajo correspondiente al estado de Espacio.

El paso de un estado a otro se hace de una forma brusca, y la información se transmite codificada cuando se utilizan - para ello señales de este tipo.

El Modulador de FSK, dará a la señal uno de entre varios de los tratamientos que debe recibir en el proceso de adaptación para poder ser transmitida por el medio. La salida de este equipo CONVERTIDOR (1), será una señal llamada de FSK y atacará a otros elementos (equipos) constituyentes del - procesador y por tanto del bloque transmisor del sistema de telecomunicación.



Si nos fijamos en la figura anterior podemos observar la forma de la señal a la entrada y a la salida del equipo Modulador de FSK.

(1) Nota: para mayor simplicidad, denominaré "CONVERTIDOR" al equipo Generador y Conmutador de Tonos de FSK.

La información está impresa en la señal telegráfica -

mediante un código determinado y dicha información se conserva a la salida del Convertidor con el mismo código, pero la señal que la contiene es distinta en forma, como puede verse. Mientras que a la entrada tenemos niveles altos y bajos de una señal telegráfica a la salida obtenemos tonos de las frecuencias distintas.

Se puede entender fácilmente la razón de existencia de este elemento del sistema, dada la importante necesidad de señales analógicas en el proceso de transmisión a larga distancia, frente a la inviabilidad de transmitir las señales digitales; dadas las grandes dificultades que actualmente ello conlleva.

1.4.- Modulación por desplazamiento de frecuencia (MDF). Es también denominada Modulación de FSK (frequency shift Keying).

1.4.1.- Definición: la modulación FSK es un sistema de modulación digital. En toda modulación digital, una portadora analógica es modulada por una señal moduladora digital. En el caso de una modulación FSK, el parámetro de la portadora que va a variar en función de la señal digital moduladora va a ser la frecuencia, y dicha variación se efectuará bruscamente o a saltos, debido a la naturaleza intrínseca de la señal moduladora. Es por estas variaciones bruscas de la frecuencia por lo que se denomina a esta modulación "por desplazamiento".

1.4.2.- Ancho de banda y velocidad de transmisión.

El ancho de banda de la señal modulada depende de la velocidad de transmisión. La velocidad de transmisión mide el número de estados de modulación transmitidos por unidad de tiempo.

$$V_T = \frac{\text{estados de modulación}}{\text{Seg.}} = (\text{BAUDIOS})$$

Cuando los símbolos (niveles) se transmiten en banda base, la velocidad de transmisión en función del ancho de banda vienen relacionados por:

$$V_T = \frac{2B}{1+x}$$

V_T : Velocidad de transmisión

B : Ancho de banda

X : Parámetro del filtro ($0 < x < 1$)

Cuando los símbolos se transmiten modulados en FSK, entonces el ancho de banda necesario (B_T) es cuatro veces el ancho de banda necesario en banda base (B).

$$B_T = 4B$$

$$B = \frac{B_T}{4}$$

$$V_T \leq \frac{2B_T}{4(1+x)}$$

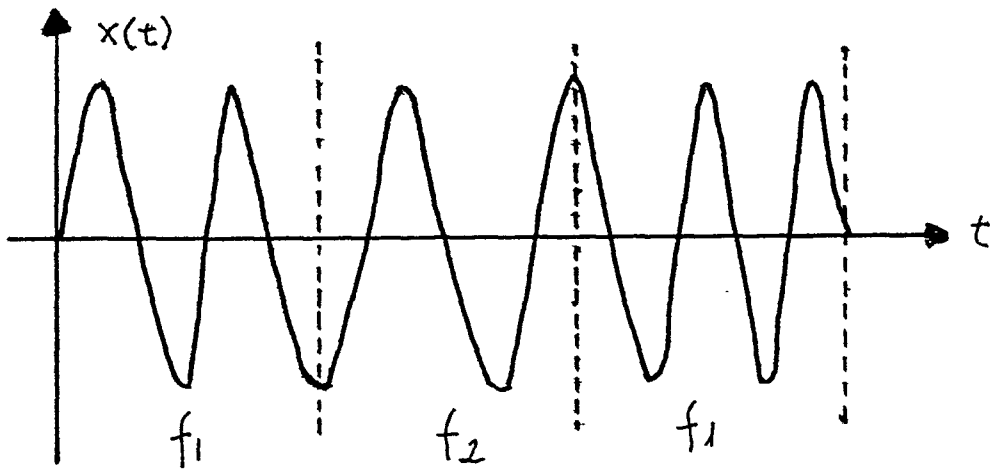
$$V_T \leq \frac{B_T}{2(1+x)}$$

$$B_T \geq 2V_T (1+x)$$

1.4.3.- Señal Modulada: la señal resultante, de este tipo de modulación tendrá la forma siguiente.

$$x(t) = A_0 \cos (W_0 \pm \Delta W)t$$

Se trata de una señal de amplitud constante e igual a A_0 , y de frecuencia instantánea que podrá tomar los valores $f_0 + \Delta f$ ó bien $f_0 - \Delta f$ según el impulso a transmitir sea una Marca (MK) o un Espacio (SP). Δf será un desplazamiento de frecuencia fijo sobre una frecuencia central f_0 .



Señal MDF o FSX

$$f_1 = f_0 + \Delta f$$

$$f_2 = f_0 - \Delta f$$

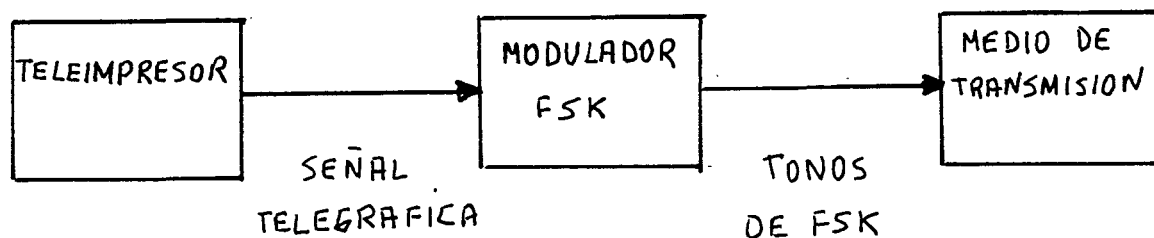
1.4.4.- Calidad del sistema de Modulación. Se expresa mediante la probabilidad de error de los impulsos. Dicha probabilidad depende de la relación S/N (señal-ruido) y del método de detección que se utilice. Los valores de probabilidad han de interpretarse generalmente como mínimos, pues se suelen calcular para modelos sencillos de recepción y considerando presente únicamente al ruido blanco gaussiano. Se entiende por ruido blanco gaussiano a un proceso ideal de ruido en el que la densidad espectral de potencia es plana sobre una amplia gama de frecuencias.

1.5.- Propósito del Equipo.

La misión específica del equipo, consiste en convertir - datos en forma de señal telegráfica, procedentes generalmente de un teléimpresor; en tonos de audio.

Los datos entran en forma de Marca o Espacio y en la salida tenemos un tono de un desplazamiento de frecuencia correspondiente a la de Marca y otro de frecuencia co-

rrrespondiente a la de Espacio, según cada caso.



El convertidor tiene la posibilidad de suministrar tres pares de tonos de FSK de frecuencias diferentes; Seleccionaremos uno de los tres pares según convenga con un conmutador de tres posiciones.

A la entrada puede ser atacado con señales telegráficas polares de bajo nivel (EIA) de ± 12 vcc. y también con señales de alto nivel, ya sean polares o neutras; aceptando en éste último caso lazos de corriente de ± 20 mA. y de 0 y -20 mA. cuando son suministrados por fuentes de ± 60 Vcc. A la salida, el nivel de los tonos de FSK, puede ser ajustado con un potenciómetro, para poder adecuar dicha salida al proceso de transmisión.

Con un conmutador, se puede cambiar el criterio de polaridad para las señales de Marca y Espacio, existiendo la posibilidad de asignarle un tono de FSK determinado, al nivel alto o al nivel bajo, según el criterio adoptado posicionando dicho conmutador.

1.6.- Especificaciones del Equipo.

- Circuitos de entrada: a) circuito cerrado o lazo de alto nivel; detecta bucles de 20 mA. neutros o polares.

- b) circuito polar de bajo nivel; detecta señales EIA de ± 12 Vcc.
- Impedancia de entrada: alta.
 - Frecuencias de salida: tres pares de tonos seleccionables:
 - $420 \pm 42,5$ (Hz)
 - $540 \pm 42,5$ (Hz)
 - $660 \pm 42,5$ (Hz)
 - Frecuencias de salida de los osciladores: son igual a las frecuencias de Marca y Espacio multiplicadas por 360.
 - Nivel de salida: ajustable.
 - Impedancia de salida: baja y aproximadamente igual a 75 .
 - Régimen de salida: hasta 200 baudios.
 - Alimentación necesaria: el convertidor en sí, requiere para su funcionamiento de ± 12 Vcc. pero se le acompaña, en módulo aparte, de una fuente de alimentación de ± 12 Vcc. directamente enchufable al convertidor mediante tres bornes. La fuente se alimenta de 220 VCA - 50 Hz. En definitiva, la alimentación requerida es directamente la de la red de corriente alterna.
 - Dimensiones: a) fuente de alimentación: 175x155x75 (mm)
b) equipo convertidor: 200x170x120
 - Chasis: de aluminio pintado en Epoxi

2.- FUNCIONAMIENTO OPERATIVO

2.1.- Controles e indicadores

2.1.1.- Fuente de Alimentación.

- Conmutador de encendido (c1): controla la aplicación de energía alterna al equipo.
- Lamparita indicadora de encendido (L1): indica el encendido o apagado de la unidad.
- Fusible de protección (F1): de 300 mA.
- Bornes de interconexión:
 - negro: -12Vcc
 - amarillo: 0Vcc
 - rojo: +12Vcc

2.1.2.- Equipo Modulador de FSK.

- Lamparita indicadora de alimentación (L2): nos indica la presencia de 12Vcc de alimentación en el equipo.
- Conmutador de sentido (c2): selecciona el criterio de polaridad
Para las señales de Marca y Espacio. (Para arriba, asigna la Marca al nivel alto de señal telegráfica.
- Conmutador selector de tonos (c3): selecciona uno de los tres pares de tonos de FSK -- disponibles.

Posición 1: $420 \pm 42,5$ (H_Z)

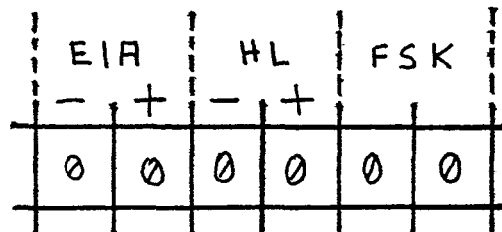
Posición 2: $540 \pm 42,5$ (H_Z)

Posición 3: $660 \pm 42,5$ (H_Z)

- Conmutador selector de lazo de alto nivel (c4) introduce una red u otra en el circuito de alto nivel según la señal sea polar o neutra.

El conmutador debe estar hacia arriba cuando la señal de entrada sea polar de ± 20 mA. y hacia abajo cuando la señal sea neutra de 0 y 20 mA.

- Potenciómetro de ajuste de nivel de Tonos de salida (P1): permite ajustar el nivel de salida de los tonos de audio (FSK). Se encuentra alojado sobre la propia tarjeta de circuito impreso MT (manipuladora de tonos).
- Bornes de alimentación - negro: -12Vcc
 - amarillo: 0Vcc
 - rojo: +12Vcc
- Regleta de señales de entrada y salida al equipo: posee dos conexiones para entradas de alto nivel, dos conexiones para entradas de bajo nivel y dos conexiones para la salida de audio. La distribución de dichos bornes podemos verla en la siguiente figura:



2.2.- Puesta en funcionamiento del equipo.

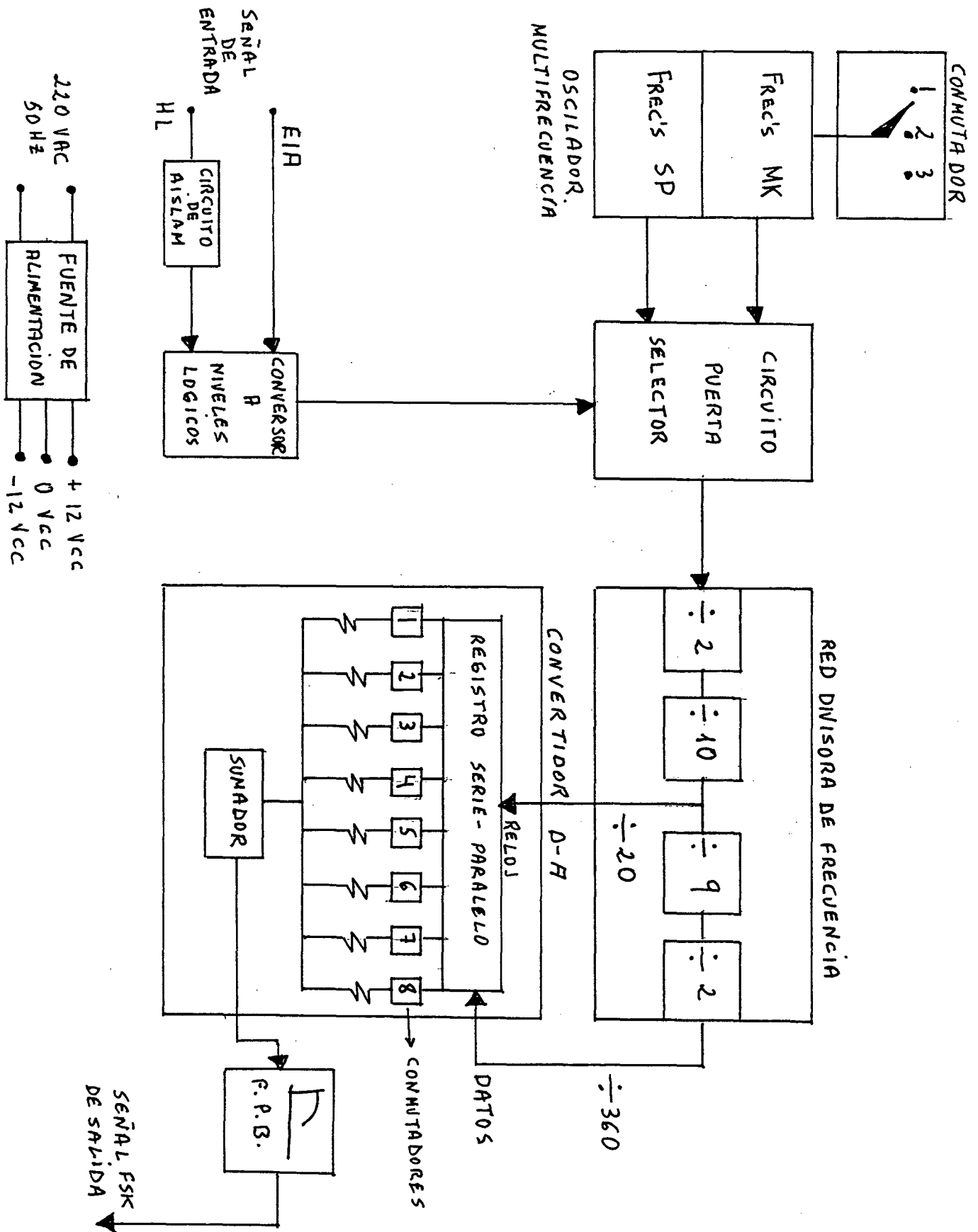
El procedimiento de puesta en funcionamiento inicial, abarca los siguientes pasos:

- 1.- Conexionar entre sí, los bornes de alimentación de la fuente y del convertidor.
- 2.- Conexionar debidamente y en su lugar correspondiente, la entrada telegráfica según se trate de alto o de bajo nivel.

- 3.- Si la entrada fuese de alto nivel, colocar el conmutador C4 en la posición apropiada, según la señal - de entrada sea neutra o polar.
- 4.- Con el conmutador de tres posiciones C3 seleccionar los tonos de FSK deseados para transmitir.
- 5.- Colóquese el conmutador de sentido C2 en la posición de la polaridad deseada.
- 6.- Encender el equipo operando con el conmutador C1 y observar el encendido de las lamparitas L1 y L2 respectivamente.
- 7.- Ajústese el potenciómetro de nivel de Tonos P1, para el nivel deseado.

3.- TEORIA DE FUNCIONAMIENTO

3.1.- Diagrama de bloques.



3.2.- Descripción Funcional

Mediante dos conexiones independientes, la unidad puede aceptar señales telegráficas polares de bajo nivel (EIA) de ± 12 voltios o bien señales de alto nivel de ± 60 -- voltios y 20 mA. de corriente de bucle cerrado. La señal de alto nivel podrá ser polar de ± 20 mA. o neutra de 0 y 20 mA.

Tanto las señales de alto nivel, después de haber sido tratadas convenientemente en el "circuito de aislamiento" correspondiente, como las señales de bajo nivel; se convertirán a niveles lógicos de cero y 12 voltios en el bloque "Convertor a niveles lógicos", para poder atacar a los circuitos lógicos posteriores, los cuales funcionarán con tecnología CMOS.

Las señales lógicas de Marca y Espacio correspondientes, atacan al "Circuito puerta selector". Dicho circuito -- transfiere a su salida la frecuencia de Marca o la de Espacio procedentes del "Oscilador multifrecuencia".

El "Oscilador multifrecuencia" genera tres pares de frecuencias distintas; cada par representa tonos de FSK de Marca y Espacio. Los osciladores de este bloque son en puente de Wien y funcionan a frecuencias que son 360 veces superiores a las frecuencias de audio de salida.

El conmutador actúa de forma, que hace al oscilador multifrecuencia generar permanentemente un par de frecuencias, entre los tres posibles.

Las frecuencias del oscilador anteriormente mencionado, entrarán secuencialmente en la "red divisora de frecuencia". Los circuitos de esta red proporcionan al "Conver

tidor de Digital a onda senoidal" una señal de reloj que divide por 20 y un tren de impulsos de datos que divide -- por 360 a la señal de entrada.

El "Convertidor de digital a analógico", consiste básicamente en un registro de desplazamiento "serie a paralelo de ocho etapas, cuyas salidas se desarrollan independientemente a través de una resistencia. Cada salida se suma, desarrollando un nivel de Tensión compuesto que varía en amplitud según el número de etapas que estén cargadas. Puesto que las señales de reloj del registro y la entrada de datos varían directamente con las frecuencias del "oscilador multifrecuencia" en una proporción adecuada, en la salida del circuito se genera una señal sinusoidal escalonada, de frecuencia igual a la de los tonos de FSK que se requieren. Esta filosofía, de obtener las frecuencias de FSK, impide los cambios o fluctuaciones en la señal de salida de una forma brusca, cuando la señal de entrada se desplaza entre los estados de Marca-Espacio y Espacio-Marca.

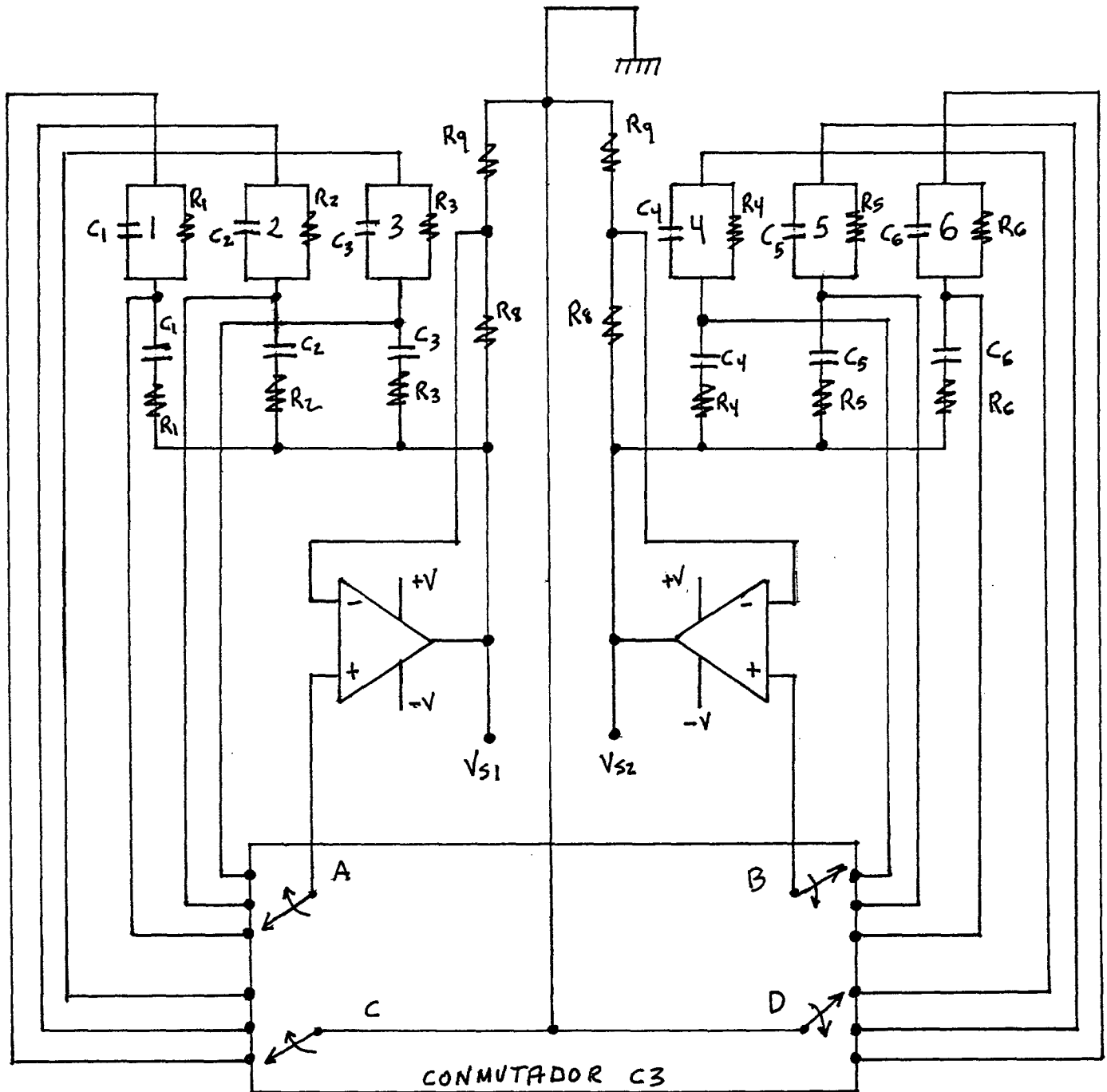
La salida del convertidor se aplica a un "Filtro activo paso bajo" de 2^o orden. Este filtro elimina de los tonos de salida, las componentes de alta frecuencia indeseadas, obteniéndose de esta forma señales sinusoidales puras.

Se ha provisto de forma adicional, de una fuente de alimentación que transforma la tensión de 220 VCA de la red, en dos tensiones continuas reguladas de ± 12 voltios, para de esta forma concederle al equipo más autonomía de funcionamiento.

4.- OSCILADOR MULTIFRECUENCIA

4.1.- Descripción detallada y diseño.

Está localizado en la tarjeta-OM- de la unidad, y su esquema electrónico general, se muestra a continuación.



Nota Técnica:

El conmutador C3 consta de cuatro circuitos y tres posiciones diferentes, de forma que cada posición actúa simultáneamente en -- los cuatro circuitos al manipular un único eje, el cual mueve a la vez los contactos correspondientes a cada uno de los cuatro - circuitos...

El oscilador básico que se usará para la obtención de las frecuencias, será un oscilador formado por un amplificador operativo y una red de desplazamiento de fase con configuración en -- puente de Wien (Wien Bridge Sine Wave Oscillator).

La tarjeta del oscilador multifrecuencia cuyo esquema electrónico hemos visto anteriormente, nos proporcionará permanentemente un par de frecuencias; una correspondiente a MK y la otra a SP. Observando el esquema electrónico del oscilador multifrecuencia, vemos que cada oscilador básico estará formado por un amplificador operacional y una red básica en puente de Wien que tendrá una rama común para cualquier frecuencia que seleccionemos con el conmutador, y otra rama -RC- que será distinta según la posición del conmutador. La rama común del puente está formada por las resistencias R_8 y R_9 y esta configuración es idéntica para los dos osciladores básicos que permanentemente están funcionando, pues dicha rama sólo influye en el arranque del oscilador y no en la frecuencia que ese proporciona.

Se dispone de tres redes -RC- para cada amplificador operativo, pero estará en activo una de las tres a través de los contactos del conmutador, quedando las otras dos al aire y por tanto inactivas.

Cuando el conmutador está en la posición primera, la red 1 formada por los condensadores C_1 y por las resistencias R_1 , idénticos entre sí, junto con R_8 y R_9 formarán el puente de Wien que conexasionado al primer amplificador nos proporcionará la primera frecuencia de MK. En la misma posición del conmutador, el segundo amplificador queda conexasionado con la red formada por R_4 , C_4 , R_8 y R_9 proporcionandonos la primera frecuencia de SP. En estas condiciones las redes 2,3,5 y 6 quedan al aire.

Cuando pasamos el conmutador a la segunda posición, acoplamos - las redes 2 y 5 a los dos amplificadores respectivamente, obteniéndose a la salida de ambos la segunda frecuencia de MK y -- SP.

Y por último, el mismo efecto conseguiremos con las redes 3 y 6, al pasar el conmutador a la tercera posición.

En V_{s1} tendríamos una de las frecuencias correspondientes a la MK, y en V_{s2} tendremos una de las tres frecuencias correspondiente al SP.

Las frecuencias a la salida de los osciladores posibles, serán las de los tonos de FSK correspondientes multiplicadas por una cantidad igual a 360.

Teniendo en cuenta esa consideración, a continuación reflejamos en la siguiente tabla todas las frecuencias en juego.

Frecuencias de audio (H _z)			Frecuencias de osciladores (KH _z)	
420	+ 42,5	462,5	166,5	
	- 42,5	377,5	135,9	
540	+ 42,5	582,5	209,7	
	- 42,5	497,5	179,1	
660	+ 42,5	702,5	252,9	
	- 42,5	617,5	222,3	

A las frecuencias de 420, 540 y 640 se les denomina "centrales". La separación entre ellas es de 120 H_z. Sumando y restando una cantidad fija e igual a 42,5; a cada frecuencia central obtenemos el valor de las frecuencias de FSK que nos debe proporcionar el equipo.

Podemos clasificar estas frecuencias en dos grupos, según correspondan a MK, o a SP, obteniéndose la siguiente tabla:

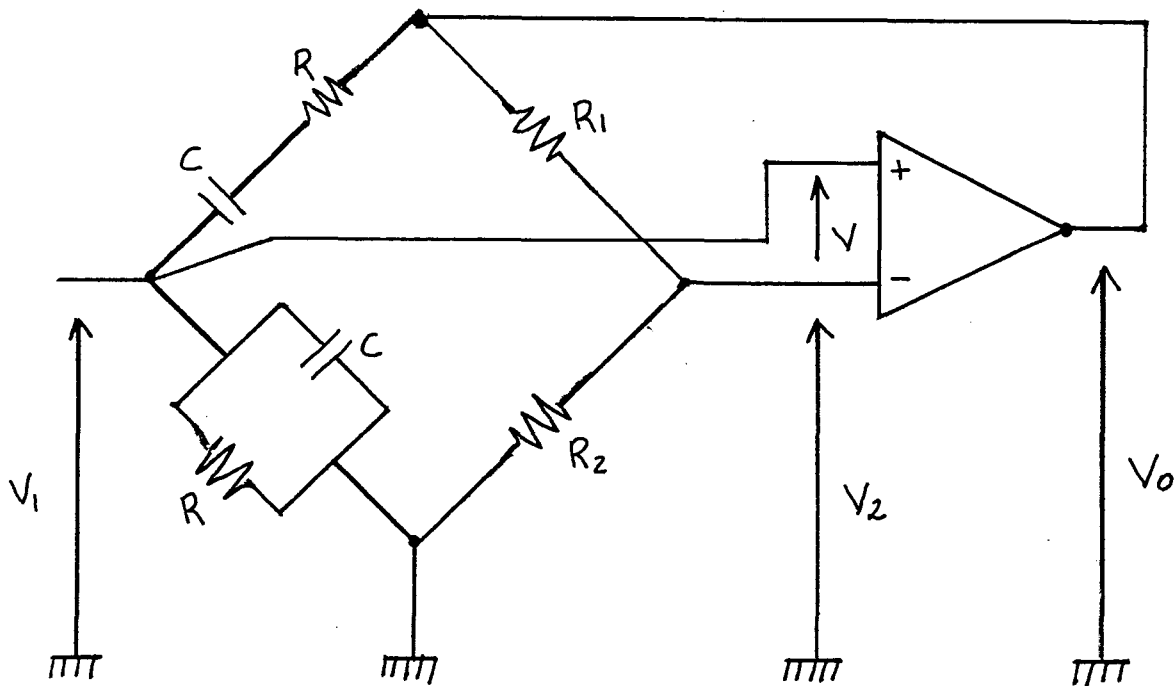
FRECUENCIAS DE MK		FRECUENCIAS DE SP	
Frec's audio (H _z)	Frec's Osc (KH _z)	Frec's audio (H _z)	Frec's Osc (KH _z)
462,5	166,5	377,5	135,9
582,5	209,7	497,5	179,1
702,5	252,9	617,5	222,3

Antes de realizar el diseño de cada una de las redes necesarias, para conseguir las distintas frecuencias, es necesario realizar un breve estudio a modo reconditorio sobre el oscilador en puente de Wien.

4.2.- Características de diseño del oscilador en puente de Wien.

Este oscilador utiliza una red RC que se encargará de proporcionar la realimentación positiva necesaria para que exista oscilación.

Dicha red tendrá una configuración como la de la figura y se llama "Puente de Wien".



La amplitud y la fase de la señal realimentada es función de la frecuencia, y existirá una frecuencia para la cuál el defásaje sea nulo; esta será la frecuencia de oscilación y para ello V y V_o estarán en fase.

La rama del puente formada por R_1 y R_2 es puramente resistiva y en lo único que influye es en la ganancia del lazo y por tanto en el arranque del oscilador, no introduciendo defasaje alguno.

El puente de Wien es selectivo en frecuencia para el equilibrio, esto quiere decir que sólo podría equilibrarse a una frecuencia, siendo esta a la cuál oscilará el circuito.

En cuanto al amplificador a utilizar debe ser simétrico o con entrada diferencial; para que no cargue al puente a través de las polarizaciones de sus terminales de entrada, y debe presentar por tanto alta impedancia de entrada. En el caso nuestro se utilizará un amplificador operacional. Consideremos el amplificador operacional ideal:

$$\begin{aligned} Z_e &\rightarrow \infty \\ Z_o &\rightarrow 0 \\ A_v &= \frac{V_o}{V} \quad \left| \quad \text{cte y real} \right. \end{aligned}$$

Con lo cual nos permitirá unos cálculos sencillos y aproximados al caso real. Al realizar esta consideración podremos realizar el cálculo de la ganancia de realimentación (β) de una forma más sencilla.

Teniendo en cuenta lo anterior; tenemos que:

$$\beta = \frac{V}{V_0} = \frac{V_1 - V_2}{V_0} \quad (1)$$

$$V_1 = \frac{V_0}{R+Z_c + \frac{R \cdot Z_c}{R+Z_c}} \cdot \frac{R \cdot Z_c}{R+Z_c} =$$

$$V_0 \frac{R \cdot Z_c}{\frac{R^2 + R \cdot Z_c + R \cdot Z_c + Z_c^2 + RZ_c}{R+Z_c}}$$

Simplificando:

$$V_1 = V_0 \frac{RZ_c}{R^2 + 3 \cdot R \cdot Z_c + Z_c^2} = V_0 \frac{1}{\frac{R}{Z_c} + 3 + \frac{Z_c}{R}} \quad \text{Siendo } Z_c = \frac{1}{j\omega c}$$

Sustituyendo el valor de Z_c queda:

$$V_1 = V_0 \frac{1}{3 + j\omega RC + \frac{1}{j\omega RC}} = V_0 \frac{1}{3 + j\left(\omega RC - \frac{1}{\omega RC}\right)} \quad (2)$$

Por otro lado tenemos que:

$$V_2 = \frac{V_0}{R_1 + R_2} \cdot R_2 = \frac{R_2}{R_1 + R_2} \cdot V_0 \quad (3)$$

Sustituyendo (2) y (3) en (1) quedaría:

$$\beta = \frac{1}{3 + j\left(\omega RC - \frac{1}{\omega RC}\right)} - \frac{R_2}{R_1 + R_2} \quad (4)$$

Como A_v es cte y real, para que el defasaje sea nulo tendrá que cumplirse que la parte imaginaria de β sea cero. De esta condición deduciremos la frecuencia de oscilación:

$$\text{Im}(\beta) = 0 \quad wRC - \frac{1}{wRC} = 0$$

$$wRC = \frac{1}{wRC}, \quad w^2 = \frac{1}{R^2 C^2}, \text{ sacando raíz cuadrada}$$

$$w = \frac{1}{RC}$$

y como $w = 2\pi f$, $f = \frac{w}{2\pi}$, luego

$$\boxed{f = \frac{1}{2\pi RC}} \quad (5)$$

De (5) se deduce que la frecuencia de oscilación vendrá determinada exclusivamente por los valores de las resistencias de valor R y los condensadores de valor C .

Siendo como hemos visto f la frecuencia de oscilación y $w = 2\pi f$, se nos quedará la siguiente expresión de :

$$\beta = \frac{1}{3} - \frac{R_2}{R_1 + R_2} = \frac{1}{\mathcal{J}}$$

Siendo \mathcal{J} el grado de equilibrio del puente, o bien $\frac{1}{\mathcal{J}}$ el desequilibrio.

Para que el puente se equilibre se tiene que cumplir que $V_1 - V_2 = 0$, lo que se traduce en $\beta = 0$, situación para la cual $\mathcal{J} \rightarrow \infty$ y que corresponde al mayor grado de equilibrio del puente; luego:

$$\beta = 0 \rightarrow \frac{1}{3} - \frac{R_2}{R_1+R_2} = 0,$$

$$\frac{1}{3} = \frac{R_2}{R_1+R_2} \rightarrow \boxed{\frac{R_1+R_2}{R_2} = 3} \quad \text{Condición de mantenimiento de oscilación}$$

Por otro lado la condición de arranque del oscilador vendrá dada por:

$$\text{Re}[A \cdot \beta] > 1 \rightarrow A \frac{1}{\mathcal{J}} > 1 \rightarrow A > \mathcal{J}$$

Sustituyendo el valor de $\frac{1}{\mathcal{J}}$:

$$A \left(\frac{1}{3} - \frac{R_2}{R_1+R_2} \right) > 1 \quad \text{de donde:}$$

$$\left(\frac{1}{3} - \frac{R_2}{R_1+R_2} \right) > \frac{1}{A}$$

Como A es muy grande lo consideraremos idealmente infinito quedando la siguiente aproximación válida realmente:

$$\frac{1}{A} \approx 0;$$

$$\frac{1}{3} - \frac{R_2}{R_1+R_2} > 0; \quad \frac{1}{3} > \frac{R_2}{R_1+R_2};$$

$$\boxed{\frac{R_1+R_2}{R_2} > 3}$$

(6) Condición de arranque del oscilador.

4.3.- Diseño de los Osciladores.

Como la rama del puente de Wien formada por las resistencias R_1 y R_2 solo influye en la condición de arranque del oscilador, no afectando a la frecuencia de oscilación, el diseño de dicha rama será común y único para los seis osciladores. El diseño de estos seis osciladores diferirá en la elección de los valores correspondientes de la rama RC, siendo estos los que nos permitirán obtener una u otra frecuencia. Según esto tendremos:

$$\frac{R_1+R_2}{R_2} > 3$$

Elijo $R_2 = 1K\Omega$, con lo que:

$$\frac{1+R_1}{1} > 3 \rightarrow R_1 > 3-1 \rightarrow R_1 > 2K\Omega$$

Como por otro lado la condición de mantenimiento nos dice que $\frac{R_1+R_2}{R_2} = 3$, elegimos un valor de R_1 que asegure el arranque, pero próximo a la condición exterior.

Elijo el valor comercial de $2K7\Omega$ para R_1 , pues cumple la condición de arranque y se aproxima a la de mantenimiento de oscilación; luego queda:

$R_1 = 2K7\Omega$
$R_2 = 1K\Omega$

Para el diseño de las distintas redes R - C que nos proporcionen las diversas frecuencias requeridas nos basaremos en la ecuación (5):

$$f = \frac{1}{2\pi RC}$$

OSCILADOR N. 1: frecuencia igual a 166,5 KHz. Escojo para C el valor comercial de 180 pf, según lo cual tendremos:

$$R = \frac{1}{2\pi fc} = \frac{1}{2\pi \cdot 166,5 \cdot 10^3 \cdot 180 \cdot 10^{-12}} = 5.310 \Omega$$

$C_1 = 180 \text{ pF}$ $R_1 = 5k3 \Omega$
--

OSCILADOR N.2: frecuencia igual a 209,7 KHz. Escojo para C el valor comercial de 150 pF, según lo cual tendremos:

$$R = \frac{1}{2\pi \cdot 209,7 \cdot 10^3 \cdot 150 \cdot 10^{-12}} = 5059,7 \Omega$$

$C_2 = 150 \text{ pF}$ $R_2 = 5K \Omega$

OSCILADOR N.3: frecuencia igual a 252,9 KHz. Escojo C = 120 pF.

$$R = \frac{1}{2\pi \cdot 252,9 \cdot 10^3 \cdot 120 \cdot 10^{-12}} = 5244$$

$C_3 = 120 \text{ pF}$ $R_3 = 5K2$

OSCILADOR N.4: frecuencia igual a 135,9 KHz. Escojo C = 220 pF.

$$R = \frac{1}{2\pi \cdot 135,9 \cdot 10^3 \cdot 220 \cdot 10^{-12}} = 5323 \Omega$$

$C_4 = 220 \text{ pF}$ $R_4 = 5k3 \Omega$
--

OSCILADOR N.5; frecuencia igual a 179,1 KHz. Escojo $C = 150$ pF.

$$R = \frac{1}{2\pi \cdot 179,1 \cdot 10^3 \cdot 150 \cdot 10^{-12}} = 5924 \Omega$$

$C_5 = 150$ pF
$R_5 = 5K9 \Omega$

OSCILADOR N.6: frecuencia igual a 222,3 KHz. Escojo $C = 150$ pF.

$$R = \frac{1}{2\pi \cdot 222,3 \cdot 10^3 \cdot 150 \cdot 10^{-12}} = 4772,9 \Omega$$

$C_6 = 150$ pF
$R_6 = 4K7 \Omega$

Teniendo en cuenta que estos valores de R han sido obtenidos para condiciones ideales del amplificador operacional resultará que en la realidad estos valores son aproximados para conseguir las frecuencias de oscilación necesarias.

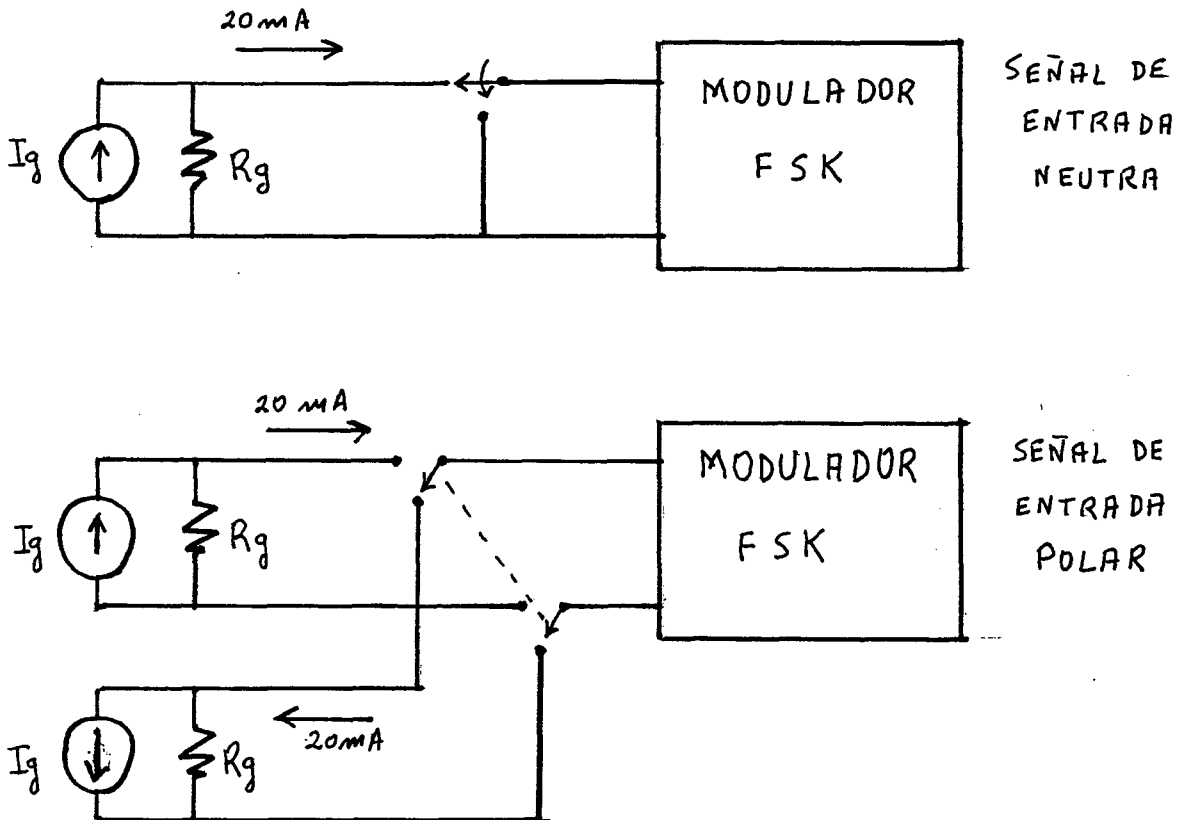
Además los valores comerciales no coinciden exactamente con estos valores ideales obtenidos.

Se procederá para solventar el problema utilizando como R , potenciómetros de 10K con los que se ajustarán las frecuencias de los osciladores correspondientes.

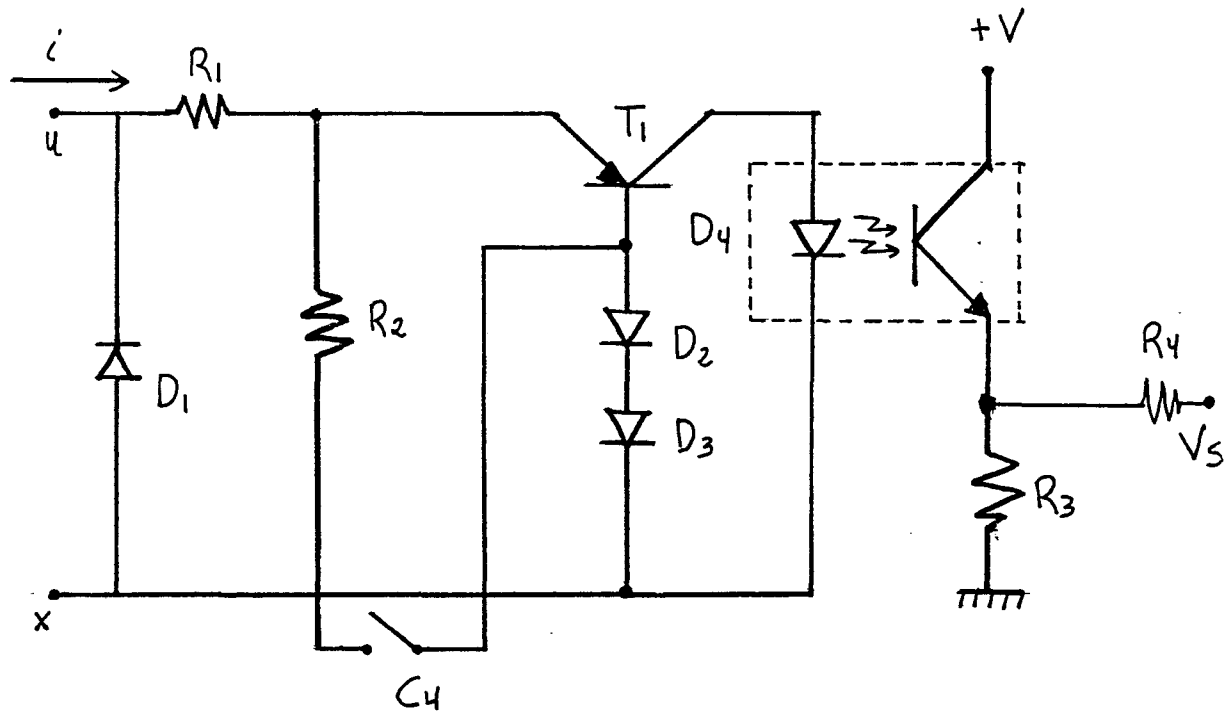
5.- CIRCUITO DE AISLAMIENTO DE ALTO NIVEL.

La misión de este circuito, consiste en detectar y aislar señales telegráficas de alto nivel, cuando son proporcionadas por una fuente de corriente de lazo de 20 mA. El -- circuito de aislamiento, detecta una corriente determinada y la aísla del resto de los circuitos del equipo, proporcionando a su salida un nivel de Tensión aislado de la entrada y que el circuito conversor a niveles lógicos, interpretará como una marca o un espacio. La tensión en bornas de la fuente de corriente, puede ser de hasta 60 voltios de corriente continua.

La siguiente figura nos indica el tipo de señales de entrada de alto nivel, que puede aceptar el circuito, que -- posteriormente se estudiará.



La configuración electrónica del circuito de aislamiento es la indicada en la figura siguiente:



En las patillas u y x conexionaremos el lazo de la señal de entrada. En V_{S1} obtenemos una señal de bajo nivel aislada del bucle de entrada y se conectará con la entrada del -- circuito conversor a niveles lógicos.

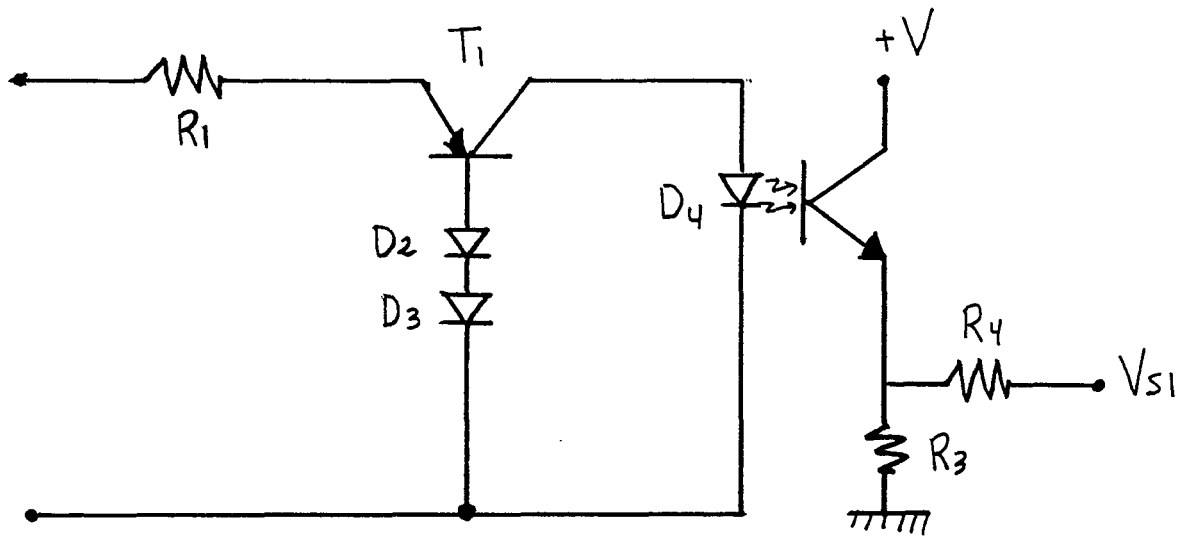
En funcionamiento neutro, el conmutador C_u debe de estar ce rrado, de forma que al introducir R_2 , establecemos el umbral de la corriente de bucle en aproximadamente 9 mA.

5.1.- Diseño del circuito

a.- Para señales polares de ± 20 mA.

- | | |
|-----------------------|-------------------------------|
| - Para $i = 20$ mA. | D_1 conduce |
| | D_2, D_3, T_1, D_4 cortados |
| | $V_{S1} = 0$ (nivel bajo) |
| - Para $i = + 20$ mA. | D_1 cortado |
| | T_1, D_2, D_3, D_4 conducen |
| | $V_{S1} = +12$ (nivel bajo) |

En estas condiciones nos quedaría el siguiente circuito:



La corriente por el colector de T_1 sería aproximadamente 20 mA., dicha corriente es la que atravesaría el diodo del optoacoplador. Si observamos las curvas correspondientes al D_4 (4N28) vemos que para esa corriente de entrada, por el colector del optotransistor circularía -- 10 mA.

Según esto, tendríamos:

$$V_{CE} = V - I_C \cdot R_3 \quad \text{Elijo } R_3 = 6K8\Omega$$

$$V_{CE} = 12 - 10 \times 10^{-3} \times 6,8 \times 10^3 = -56$$

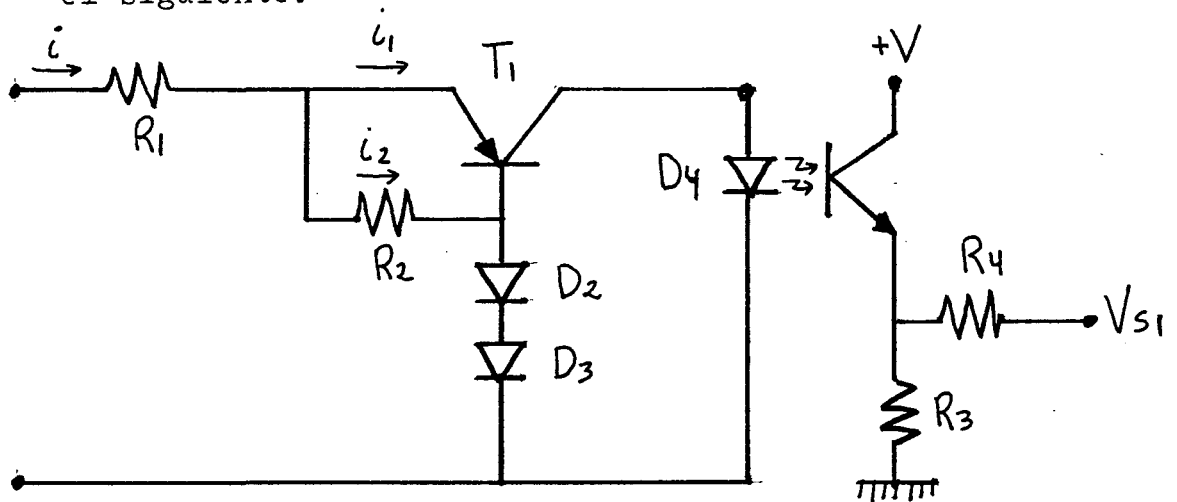
Vemos que $V_{CE} < V_{CE\text{ SAT}}$ y por tanto el optotransistor es tará saturado con este valor de R_3 , obteniéndose en V_{S1} un nivel alto de tensión de aproximadamente 12 voltios. Esto se consigue eligiendo un valor para R_3 , suficientemente alto.

b.- Para señales neutras de 0 y 20 mA.

El conmutador C_4 debe estar cerrado para poner R_2 en paralelo con la unión E-B de T_1 y de esta forma establecer el umbral de la corriente de lazo en 9 mA. Para ello es necesario que R_2 tenga un valor adecuado.

- Cuando $i = 0$ mA. D_1 cortado
 D_2, D_3, T_1, D_4 cortados
 $V_{S1} = 0$ (nivel bajo)
- Cuando $i = 20$ mA. D_1 cortado
 D_2, D_3, T_1, D_4 conducen
 $V_{S1} \approx 12$ (nivel alto)

En estas condiciones, el circuito que nos quedará sería el siguiente:



En el circuito anterior tendremos:

$$V_{EB} = R_2 \times i_2$$

$$i = i_1 + i_2$$

$$V_{EB} = 0'6 \text{ voltios}$$

Queremos conseguir que cuando i sea menor de 9 mA. el transistor T_1 no conduzca: se trata, por tanto de conseguir - que cuando $i < 9$ entonces:

$i_1 = 0$ y $V_{EB} < 0.6$, luego

$$R_2 = \frac{V_{EB}}{i_2} = \frac{0.6}{9 \times 10^{-3}} = 66.6 \Omega$$

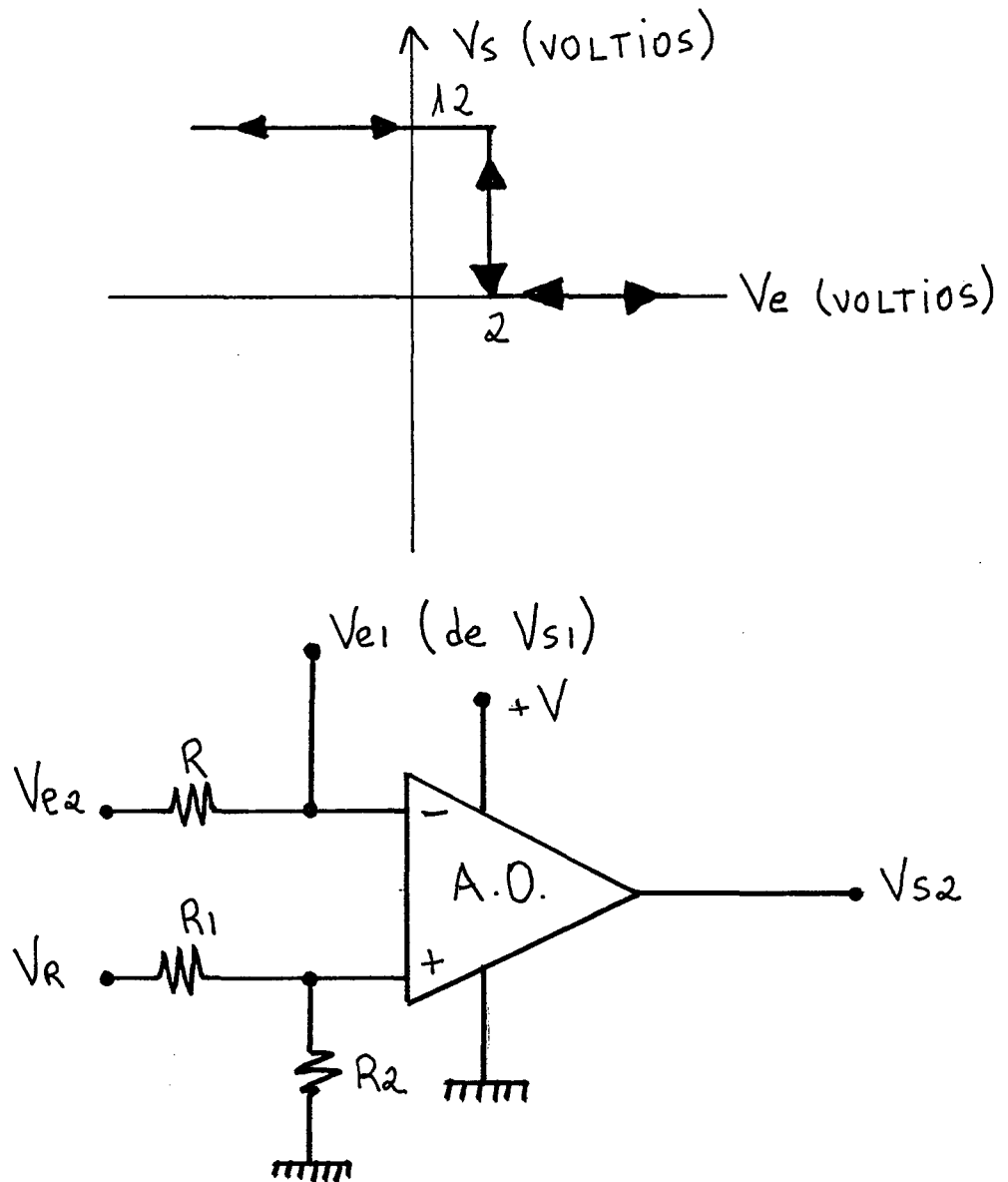
Elijo el valor comercial de $R_2 = 68 \Omega$

El efecto conseguido por R_2 sería:

- Cuando $i > 9$ mA. $\longrightarrow V_{S1} = + 12$ voltios
- Cuando $i < 9$ mA. $\longrightarrow V_{S1} = 0$ voltios

6.- CIRCUITO CONVERSION A NIVELES LOGICOS.

Como el resto de los circuitos del equipo, trabajaran con niveles de entrada y salida de cero y doce voltios, el circuito en estudio lo que hará, será traducir las entradas telegráficas a niveles lógicos adecuados para atacar el resto de los circuitos, los cuales utilizarán tecnología CMOS.



R : 2K7

V_R : Tensión de referencia = + 12 V_{cc}

+ V : + 12 V_{cc}

V_{e1} : señal procedente del circuito de alto nivel

V_{e2} : señal E1A de entrada

V_{s2} : nivel lógico de salida

A.O : amplificador operacional

6.1.- Diseño del circuito

Como sabemos de un amplificador operacional:

$$V_e = \infty \rightarrow V_s = 0$$

$$V_+ = \frac{V_R}{R_1 + R_2} \times R_2 = 2$$

Por otro lado; $V_- = V_e$

Cuando $V_e < 2 \rightarrow V_s = 12$, que es lo que se pretende,

$$V_e = -\infty \rightarrow V_s = 12$$

$$V_+ = \frac{V_R \cdot R_2}{R_1 + R_2} = 2 ; \quad V_- = V_e$$

Cuando $V_e > 2 \rightarrow V_s = 0$,

$$V_+ = V_- = \frac{12 \times R_2}{R_1 + R_2} = 2, \text{ supongo } R_2 = 0.5 \text{ K}\Omega$$

$$\text{entonces } \frac{12 \times 0.5}{R_1 + 0.5} = 2 \quad R_1 = 2\text{K}5\Omega$$

Elijo los valores comerciales

$$R_1 = 2\text{K}7$$

$$R_2 = 560$$

Los diferentes niveles, de entrada y salida al circuito, quedan reflejados en voltios, en la siguiente tabla:

	V_{e1}	V_{e2}	V_{s2}	Nivel lógico
Marca	12	12	0	"0"
Espacio	0	-12	12	"1"

7.- CIRCUITO SELECTOR DE MARCA O ESPACIO.

El par de frecuencias seleccionadas del oscilador multifrecuencia, se aplican a la tarjeta - MT - (manipuladora de tonos), a través de las patillas "Y" (marca) y "Z" (espacio). Cualquier frecuencia del oscilador, se puede seleccionar como frecuencia de MK o SP, puesto que esta selección en función de la posición del conmutador C_2 . Cuando el conmutador se encuentra en su posición normal (contacto abierto), el circuito puerta selector transfiere la frecuencia de MK a su salida, cuando su entrada procedente de V_{s2} es un "0" -- correspondiente a MK, igualmente transferirá la frecuencia de SP a su salida, cuando en su entrada procedente de V_{s2} tengamos un "1" correspondiente a SP.

Cuando el conmutador C_2 se encuentre "invertido" (contactos cerrados, accionados hacia abajo), lo que hace el circuito puerta selector es, transferir a su salida una frecuencia de MK cuando en su entrada procedente de V_{s2} hay presente una frecuencia de SP, cuando en su misma entrada tenga un "0" correspondiente a MK.

A continuación, se representa el esquema lógico -electrónico, del circuito en cuestión:

Y : entrada MK

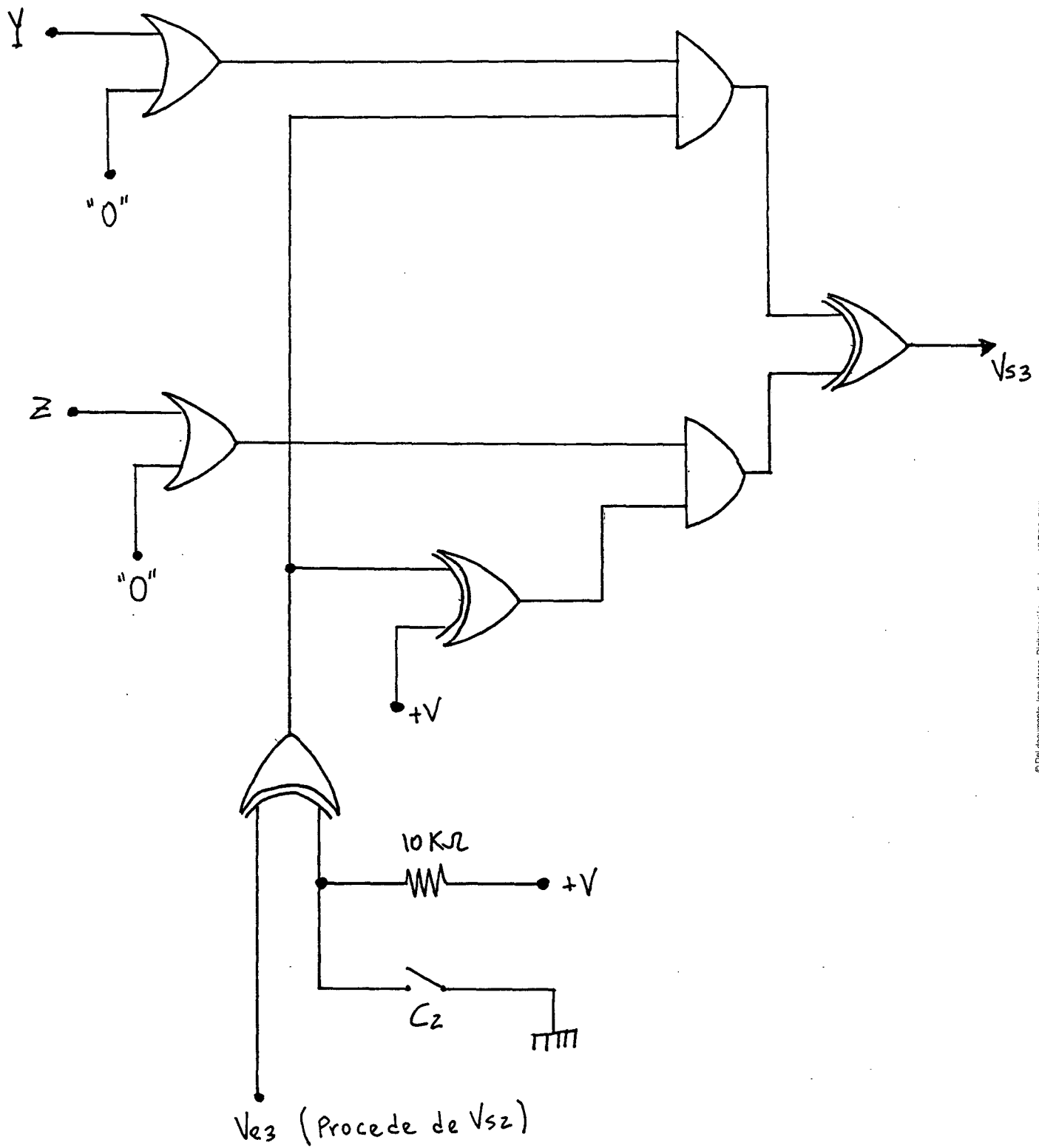
Z : " SP

+V : +12 voltios

V_{s3} : salida del circuito

V_{e3} : entrada de control

C_2 : conmutador de sentido



8.- RED DIVISORA DE FRECUENCIA.

Un divisor de frecuencia, es un circuito lógico secuencial, que proporciona una salida única que depende, del número de excitaciones aplicadas a su entrada. Debe dar a su salida - un impulso por cada "n" que se apliquen a su entrada (si el divisor es por "n"), siendo "n" entero, positivo y distinto de cero.

Para el diseño de los distintos divisores de frecuencia que se necesitan, usaremos biestables del tipo JK con entradas asíncronas de CLEAR (puesta a cero) y PRESET (puesta a uno). Dichos biestables, los usaremos como tipo "T", para cuyo -- fin uniremos entre sí las entradas JK. La tabla de excitación correspondiente a un biestable tipo "T" es la siguiente:

T	Q^t	Q^{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Q^t : estado actual

Q^{t+1} : estado siguiente

T : entradas

Cuando la entrada es "0", la salida no cambia de estado, y -- cuando la entrada es "1", la salida cambia de estado, así si Q^t era 1, Q^{t+1} pasa a ser cero y viceversa.

Básicamente un divisor de frecuencia será un contador, de -- forma que una vez hecha la cuenta del número de impulsos que deben de sucederse para que a la salida obtengamos un impulso, dicho contador volverá a cero, o sea eliminaremos los im-- pulsos que sobren.

Para dicha inicialización del contador, usaremos un sistema combinacional que dará una señal adecuada en el momento oportuno y actuará una de las entradas asíncronas de los biestables que sean necesarios.

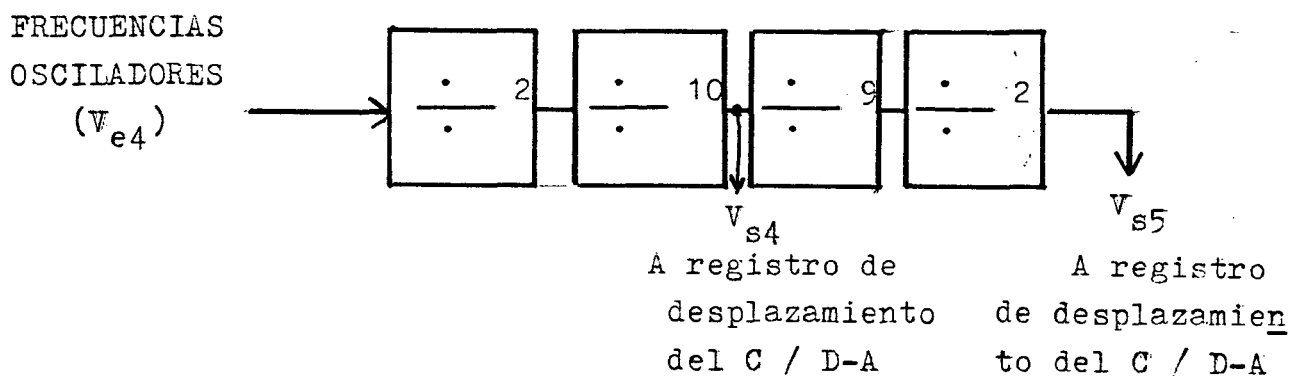
Los contadores que usaremos serán del tipo asíncronos, o sea un flip-flop disparará al siguiente y así sucesivamente.

Para determinar el número de biestables lo haremos a partir de la expresión:

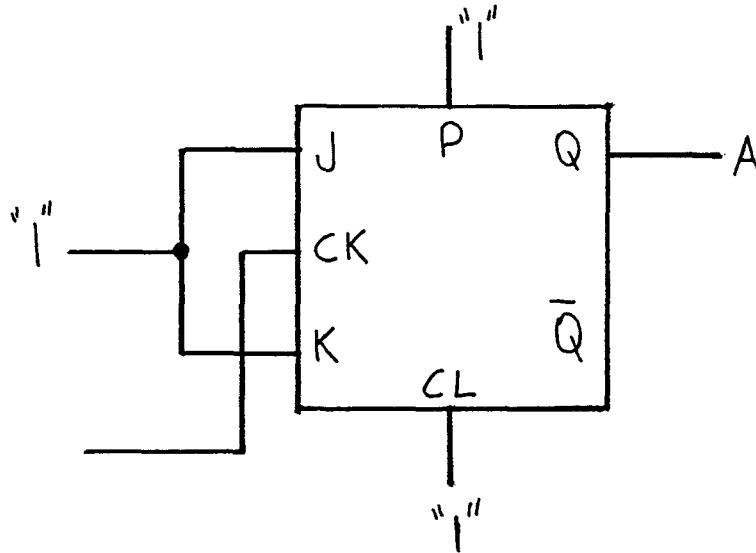
$$2^{n-1} < N \leq 2^n$$

N: n^o de impulsos a contar
n : n^o de biestables necesarios

Para conseguir las frecuencias de audio requeridas, tenemos que dividir las frecuencias de los osciladores de la tarjeta "oscilador multifrecuencia" por una cantidad igual a 360, haciéndolo para ello en pasos sucesivos, así como también sacaremos una división por 20 para el registro de desplazamiento del "Convertidor D-A"; tal como indica el siguiente diagrama de bloques:



- Divisor por 2 : el número de biestables necesarios es de uno. La configuración lógica elegida para dicho fin es la siguiente:



V_{e4} : señal de entrada procedente de V_{s3} ; del circuito puerta selector.

"1" : uno lógico

P : preset

CL : clear

J,K : entradas al biestable

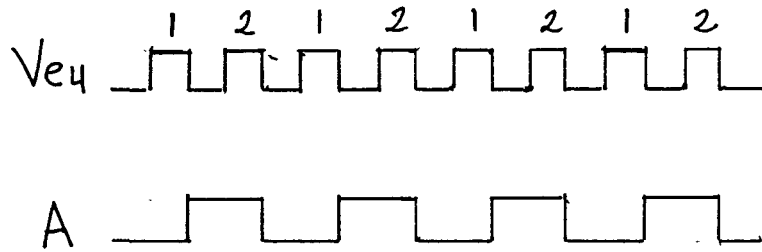
CK : entrada de reloj

Q, \bar{Q} : salidas del biestable

Luego lo que me va a quedar será:

$$A = \frac{V_{e4}}{2} \quad (\text{referido a frecuencia})$$

Cronograma de Tiempos:



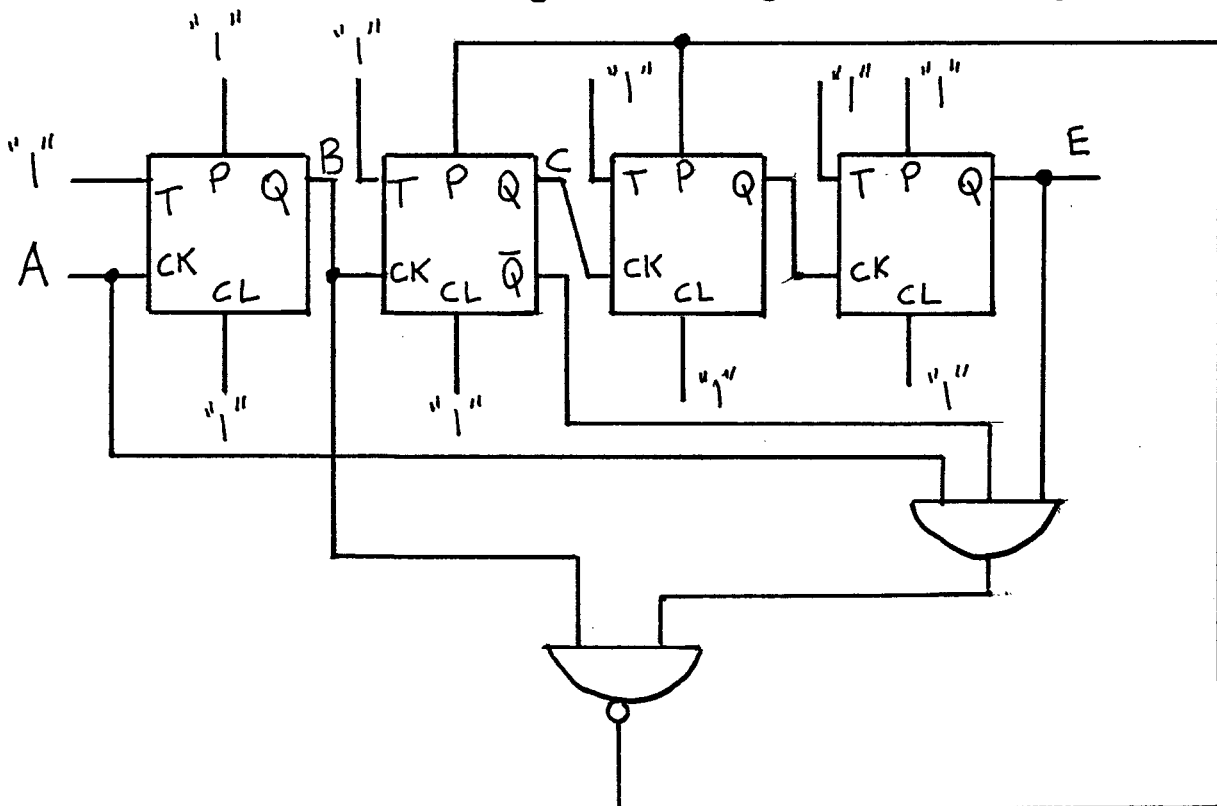
Los biestables JK usados son del tipo 74C76, poseen -
entradas asíncronas Clear y preset que se activan con
un cero lógico. Se trata de biestables síncronos que
se disparan en los flancos de bajada de la señal de
reloj:

- Divisor por 10: el número de biestables necesarios es
de cuatro.

$$2^{4-1} < 10 < 2^4 \quad N = 10$$

$$n = 4$$

La configuración lógica será la siguiente:



T : entrada única obtenida al unir entre sí, las dos entradas JK.

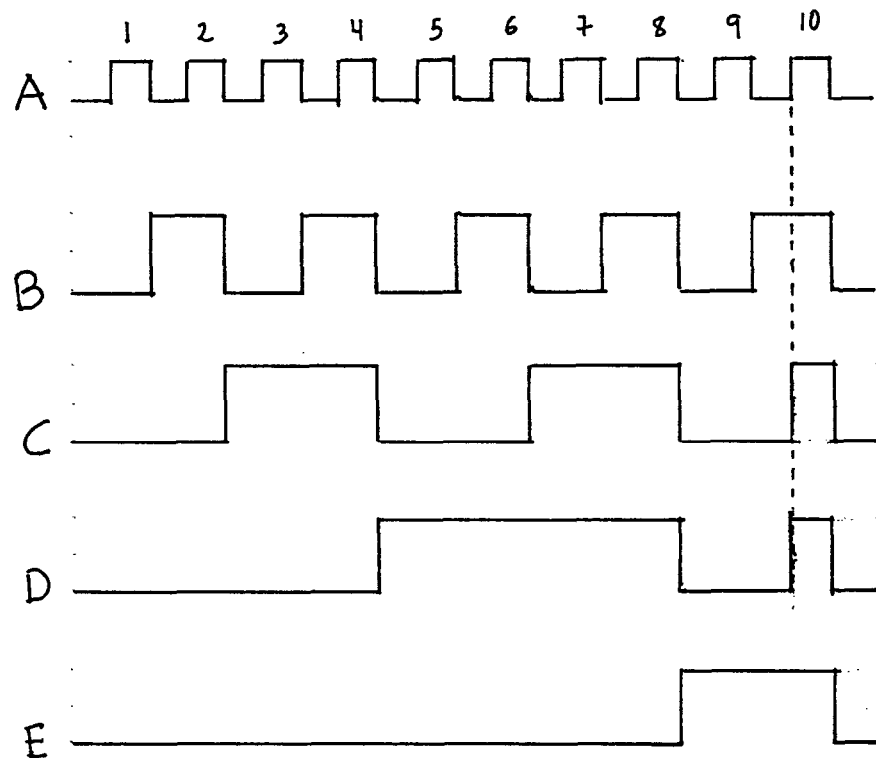
A : salida del divisor por 2 y entrada al divisor por 10.

E : salida del divisor por 10.

Luego lo que me va a quedar será:

$$E = \frac{A}{10} \quad (\text{referido a frecuencia})$$

Cronograma:



En el flanco de subida del impulso número 10, el sistema combinatorial, convenientemente diseñado para ello, enviará una señal "0" a los biestables segundo y tercero, activando su entrada preset. En este instante de tiempo, quedará todos los biestables a uno,

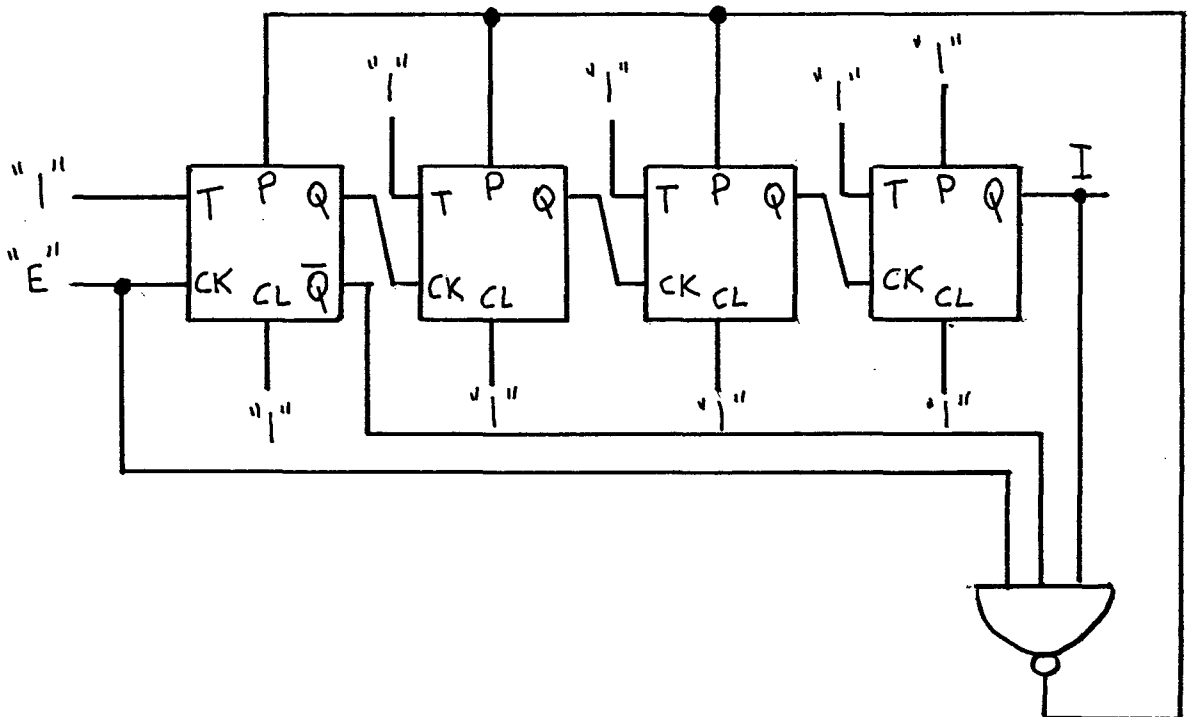
correspondiendo este estado al último que contaría. Como el siguiente estado al que evolucionaría el contador desde el estado IIII, sería el 0000, resulta -- que la configuración anteriormente vista cuenta hasta 10 y vuelve a su posición inicial, dando por consiguiente a su salida "E" un impulso por cada 10 que entran por la patilla "A".

- Divisor por 9: el número de biestables necesarios es de cuatro.

$$2^{4-1} < 9 < 2^4 \quad N = 9$$

$$n = 4$$

La configuración lógica sería:



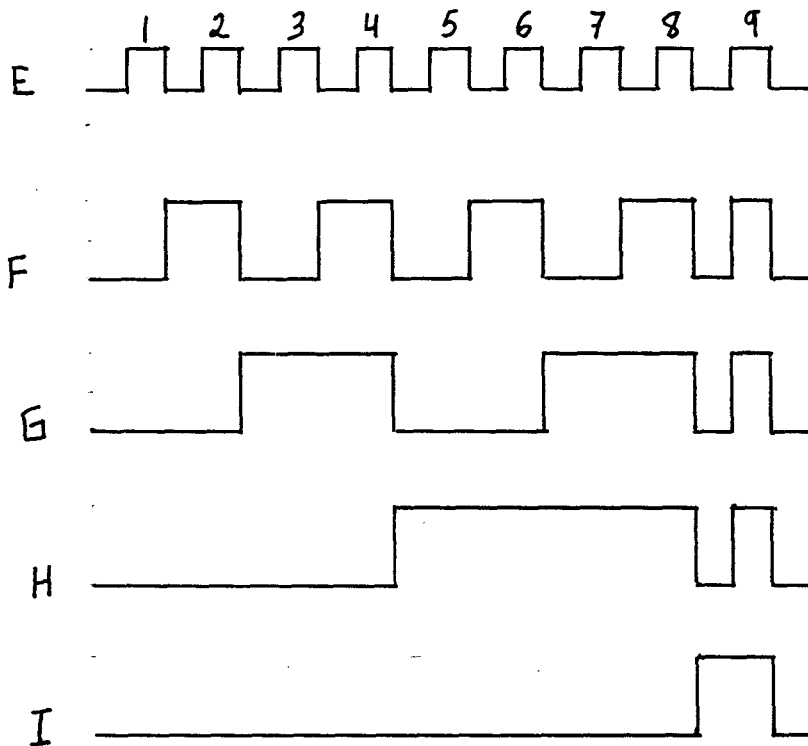
E : salida del divisor por 10 y entrada la divisor por 9.

I : salida del divisor por 9.

Nos va a quedar:

$$I = \frac{E}{9} \quad (\text{referido a frecuencia})$$

Cronograma:



El principio de funcionamiento de este divisor, es idéntico al visto en el caso anterior, sólo que en el divisor por 9 la señal de control se producirá en el instante de tiempo correspondiente al flanco de subida del impulso número 9. Dicha señal de control, es la que hará que todos los biestables del contador se pongan a uno.

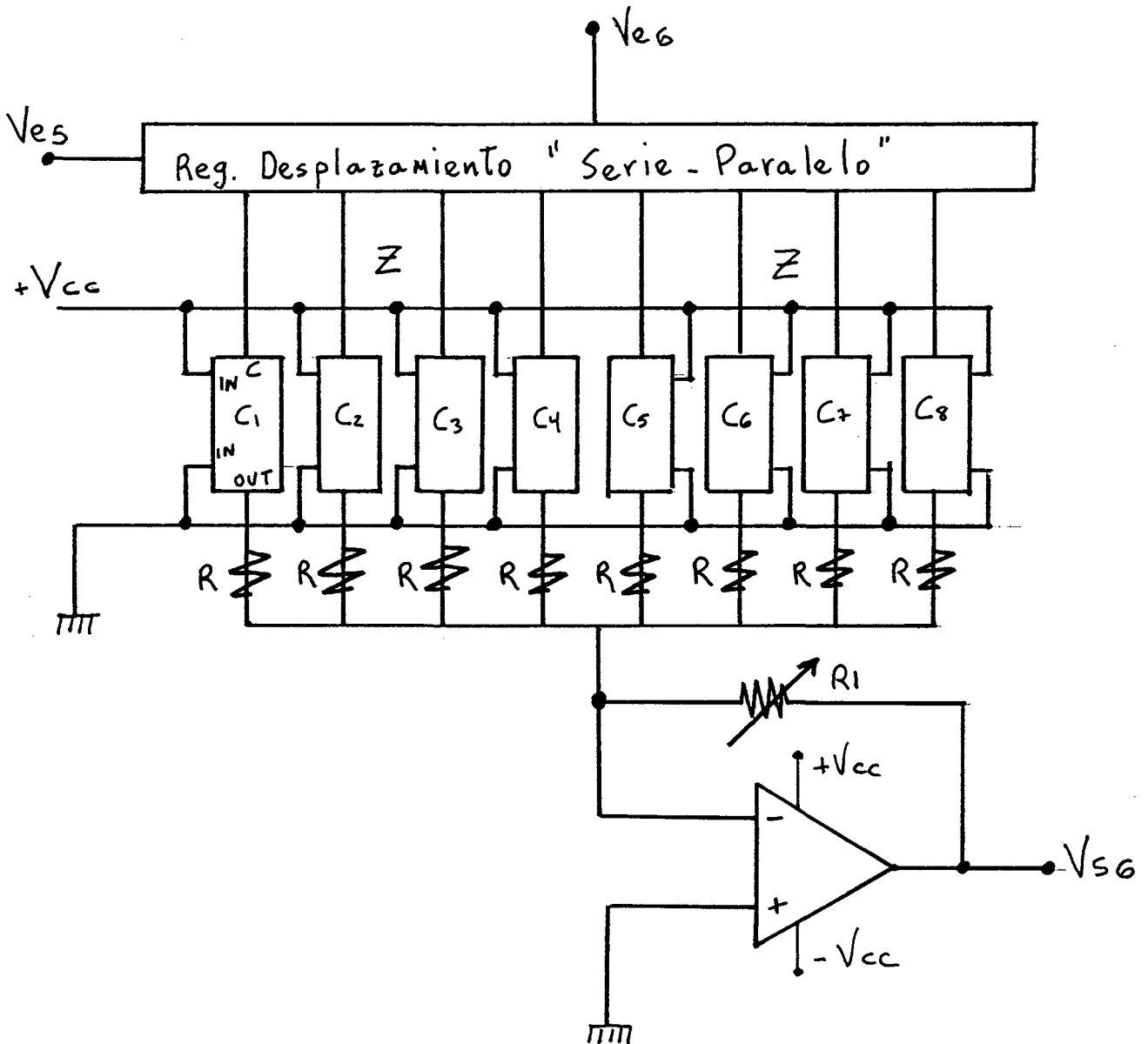
9.- CONVERTIDOR DIGITAL - ANALOGICO.

Este circuito, se encargará de obtener una onda senoidal es calonada, a partir de las señales V_{s4} y V_{s5} procedentes de la red divisora de frecuencia.

La relación entre ambas señales viene dada por:

$$V_{s5} = \frac{V_{s4}}{18}$$

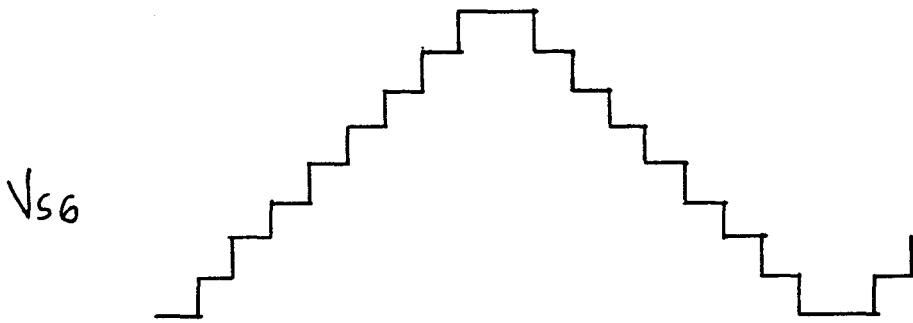
La configuración electrónica del circuito, es la representada a continuación:



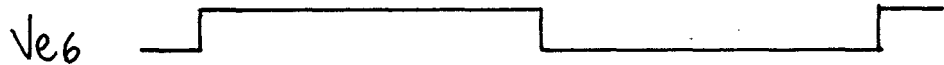
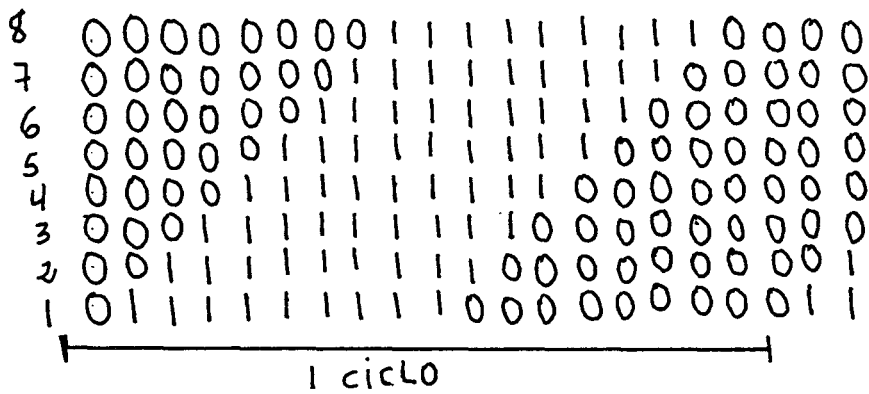
A la entrada del registro de desplazamiento tendremos una señal " V_{e5} " (tren de impulsos) de frecuencia, igual a la de oscilación dividida por 360. Tendrá también, una entrada de reloj " V_{e6} " de frecuencia, igual a la de oscilación dividida - por 20.

A la salida de dicho registro se obtienen ocho bits en paralelo que controlan ocho conmutadores electrónicos "Z"; estos últimos, darán a su salida o bien 12 voltios o bien masa, deprendiendo que su entrada de control sea "1" ó "0". Las salidas de los conmutadores son sumadas en cada instante de tiempo, desarrollándose un nivel de tensión determinado. Los sucesivos niveles de tensión conformarán la onda sinusoidal escalonada, cuya frecuencia será la de los diversos tonos de - FSK que se requieren a la salida del modulador. A continua-ción se representa un diagrama de tiempos que a clara perfectamente el proceso descrito.

Diagrama de tiempos - convertidor de digital a onda sinusoi-
dal escalonada.



SALIDAS
PARALELO



$$V_{e6} = \frac{V_{e5}}{18}$$

9.1.- Diseño del circuito

La tensión de salida del circuito nos quedaría:

$$V_{s6} = - \frac{V_{cc} \times R_1}{R} (X_1 + X_2 + X_3 + X_4 + X_5 + X_6 + X_7 + X_8)$$

donde : X_1, X_2, \dots, X_8 representan los bits de salida del registro de desplazamiento.

Su valor puede ser "0" ó "1".

Al valor:

$$a = \frac{V_{cc} \times R_1}{R} \text{ se le denomina "escalón cuántico".}$$

Queremos que el valor de tensión máxima obtenible en V_{s6} sea de 5 voltios, entonces el escalón cuántico tendrá -- que tener el siguiente valor:

$$a = \frac{V_s \text{ max}}{8} = \frac{5}{8} = 0'625 \text{ voltios}$$

luego:

$$a = 0'625 = \frac{12 \times R_1}{R}$$

Elijo $R = 100K\Omega$ con lo que resultará que R_1 tiene que - valor lo siguiente:

$$R_1 = \frac{0'625 \times R}{12} = 5K2$$

Los valores comerciales elejidos son:

$R = 100K$
$R_1 = 5K\Omega$

Elijo R_1 variable, para poder variar el nivel de la señal de salida.

10.- FILTRO PASO BAJO

Se tratará de un filtro activo de 2^o orden y su misión consiste en rechazar de la onda senoidal escalonada, las restantes componentes de alta frecuencia indeseadas, que están presentes encima de las frecuencias de los tonos de -- marca y espacio.

En general, la función de transferencia de un filtro activo paso bajo de 2^o orden, viene dada por la siguiente expresión.

$$F(s) = \frac{V_s}{V_e}(s) = \frac{K}{a s^2 + b s + 1} = \frac{K/a}{s^2 + \frac{b}{a} s + \frac{1}{a}} = \frac{K \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

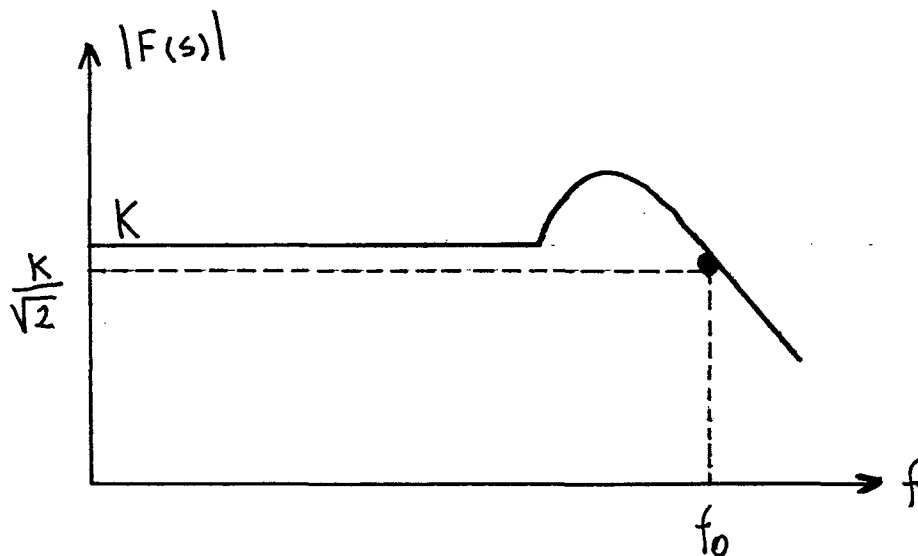
donde:

$$a = j\omega$$

$$\omega_0 = \frac{1}{\sqrt{a}} ; \text{ frecuencia propia del filtro}$$

$$Q = \frac{\sqrt{a}}{b} ; \text{ factor de sobretensión del filtro}$$

K = ganancia de la banda de paso



$$W \rightarrow 0, \text{ luego } F(s) \rightarrow K$$

$$W = W_0, \quad " \quad F(s) = -jQK$$

$$W \rightarrow \infty, \quad " \quad F(s) \rightarrow 0$$

Sustituyendo valores en la expresión primera;

$$\left| s^2 + \frac{W_0}{Q} s + W_0^2 \right| = \left| \underbrace{(W_0^2 - W^2)^2 + \left(\frac{W_0 \times W}{Q} \right)^2}_{A} \right|^{1/2}$$

De aquí vemos que:

$|F(s)|$ es máximo cuando $|A|$ es mínimo

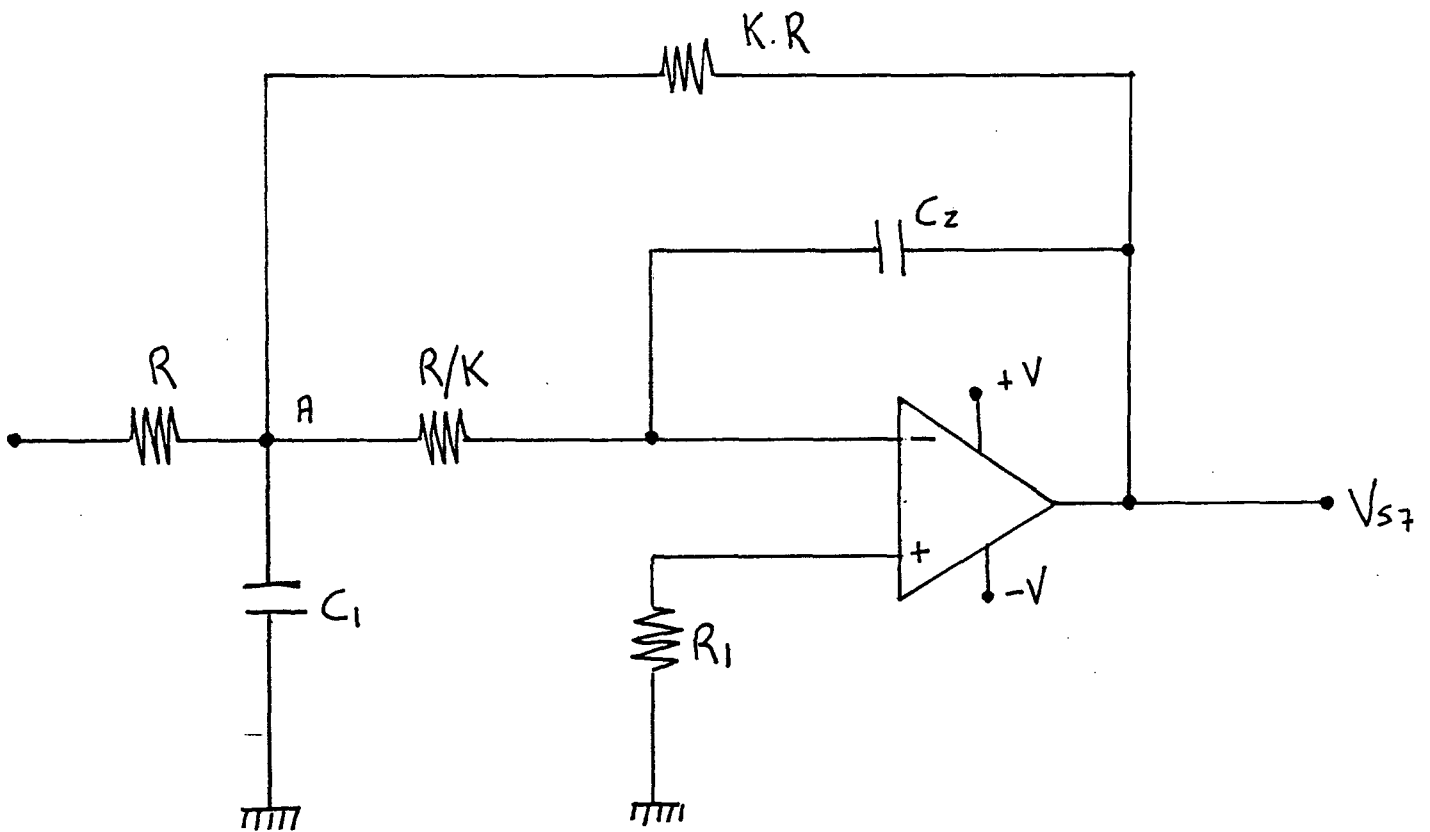
$$\frac{\partial |A|^2}{\partial W} = -4W_0^2 \times W + 4W^3 + \frac{2W \times W_0^2}{Q^2} = 0$$

$$4W^2 = 4W_0^2 - \frac{2W_0^2}{Q^2}$$

$$W_m = W_0 \sqrt{1 - \frac{1}{2Q^2}} \rightarrow \text{La proximidad del máximo a } W_0 \text{ depende de } Q$$

$$\text{Para } f=f_c \quad |F(s)| = \frac{K}{\sqrt{2}}$$

- configuración electrónica.



Saquemos pues la función de transferencia:

$$\frac{V_{e7} - V_A}{R} + \frac{V_{s7} - V_A}{K \times R} - \frac{V_A}{Z_{c1}} + \frac{V^- - V_A}{R/K} = 0$$

Pero como:

$$V^- = V^+ = 0$$

$$\frac{V_A}{R/K} = \frac{V_{s7}}{Z_{c2}} \rightarrow V_A = - \frac{R/K}{Z_{c2}} \times V_{s7} \rightarrow V_A = - \frac{SRC_2 \times V_{s7}}{K}$$

$$\frac{V_{e7}}{R} + \frac{V_{s7}}{K.R} + V_{s7} \frac{SRC_2}{K} \left(\frac{1}{R} + \frac{1}{KR} \times SC_1 + \frac{K}{R} \right) = 0$$

$$\frac{V_{e7}}{R} + \frac{V_{s7}}{K} \left(\frac{1}{R} + SC_2 + \frac{SC_2}{K} + S^2 C_2 C_1 R + SC_2 K \right) = 0$$

$$\frac{V_{s7}}{V_{e7}} = - \frac{K}{R \left[1 + SC_2 + \frac{SC_2}{K} + S^2 C_2 C_1 R + SC_2 K \right]}$$

luego la función de transferencia del filtro:

$$\frac{V_{s7}}{V_{e7}} = - \frac{K}{C_2 C_1 R^2 S^2 + \frac{R C_2 S (K_2 + K + 1)}{K} + 1}$$

Donde:

$$E \times B \times P = - K$$

$$W_0 = \frac{1}{\sqrt{a}} = \frac{1}{R \sqrt{C_1 C_2}}$$

$$Q = \frac{\sqrt{a}}{b} = \frac{K}{K^2 + K + 1} \sqrt{\frac{C_2}{C_1}}$$

- Diseño:

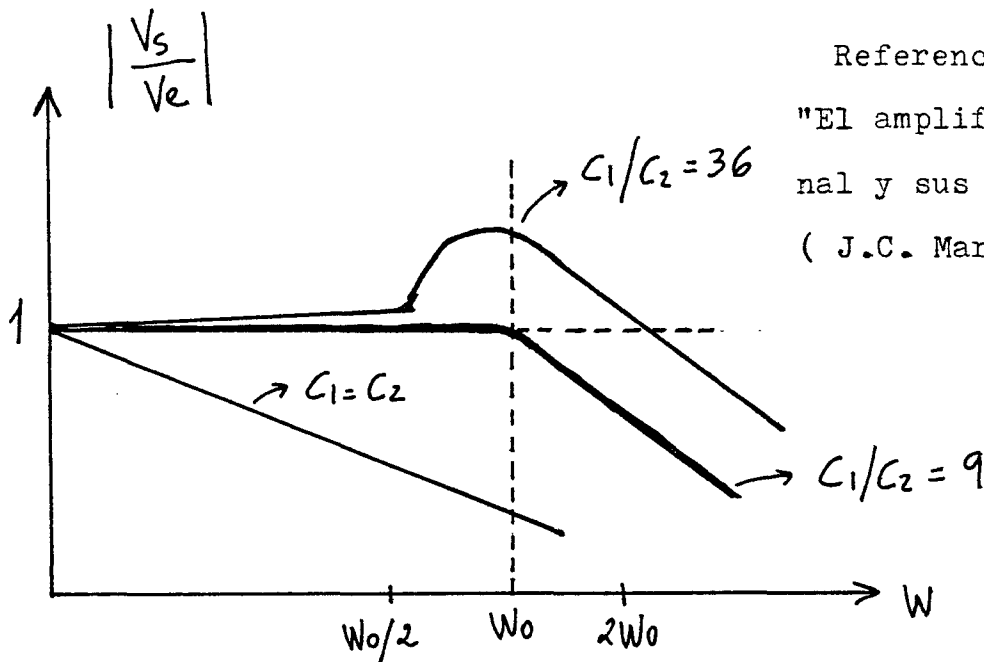
Puesto que, la mayor frecuencia correspondiente a los tonos de FSK que se quieren transmitir es de 702,5 H_z tomaremos como frecuencia propia del filtro, 700 H_z. Según esto:

$$W_0 = \frac{1}{R \sqrt{C_1 C_2}} = 2\pi \times 700 = 1400\pi$$

Por otra parte, sabemos que:

$$Q = \frac{K}{K^2 + K + 1} \sqrt{\frac{C_1}{C_2}}$$

También sabemos que la ley de atenuación para este filtro, depende de la relación C₁/C₂, según las curvas siguientes, cuando K = 1



Referencia:
 "El amplificador operacion
 al y sus aplicaciones"
 (J.C. Marchais)

La curva más conveniente para nuestro caso es la $C_1/C_2 = 9$, debido a que se requiere una respuesta lo más plana posible, pues hay que filtrar de forma que por debajo de la frecuencia de corte, pasen tonos de varias frecuencias con una amplitud lo más constante posible.

Como hacemos $K = 1$ tendremos que:

$$Q = \frac{1}{3} \sqrt{\frac{C_1}{C_2}} = \frac{1}{3} \sqrt{9} = 1$$

$$\frac{C_1}{C_2} = 9 \quad , \quad C_1 = 9 C_2$$

Para simplificar los cálculos, tomamos $C_1 = 10 C_2$ y elegimos:

$$\begin{aligned} C_1 &= 100\text{nF} \\ C_2 &= 10\text{nF} \end{aligned}$$

Como hemos considerado $K = 1$, resultará que las tres resistencias (excepto R_1) que forman la red del filtro tendrán

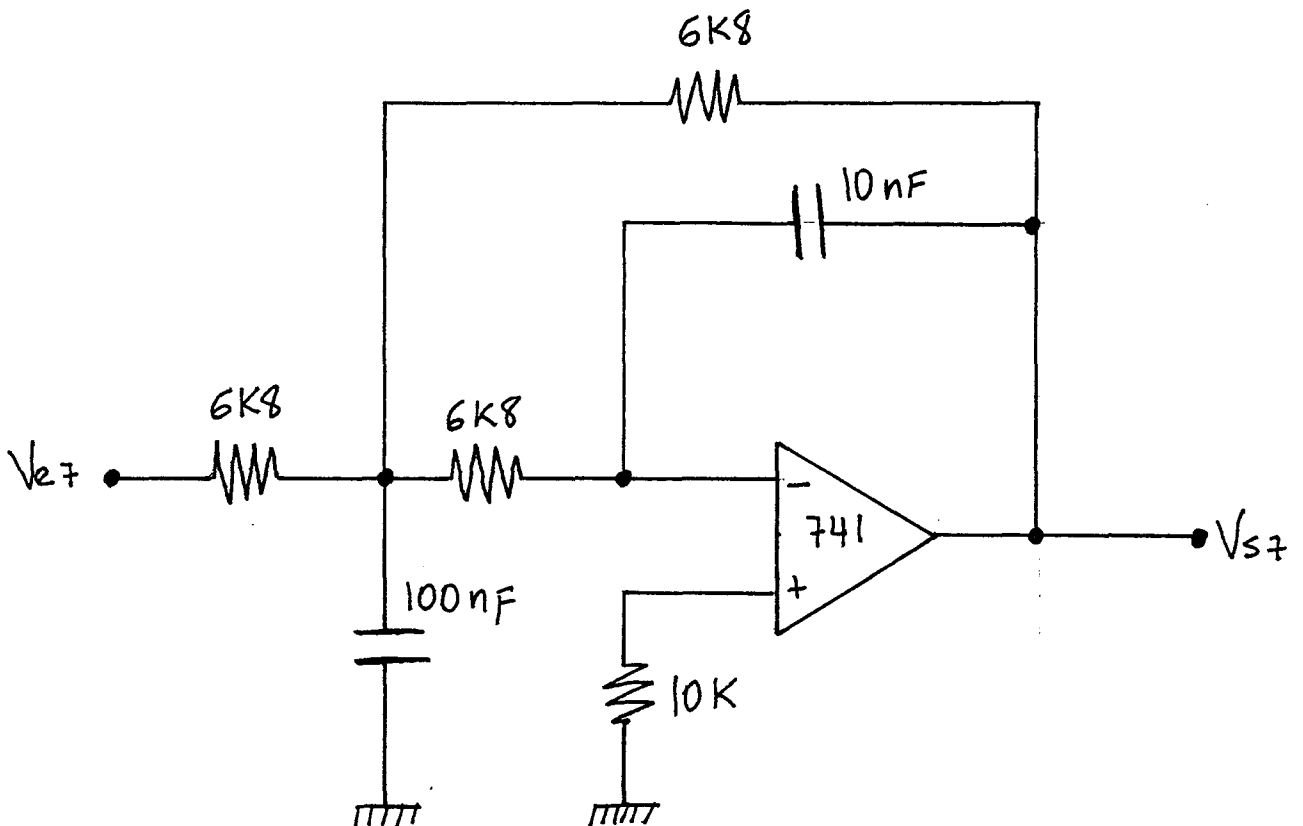
el mismo valor. Para hallarlo, haremos la siguiente operación:

$$\omega_0 = \frac{1}{R\sqrt{C_1 C_2}} \quad R = \frac{1}{\omega_0 \sqrt{C_1 \cdot C_2}}$$

$$R = \frac{1}{1400\pi \sqrt{10 \cdot 10^{-9} \cdot 100 \cdot 10^{-9}}} = 7189,8$$

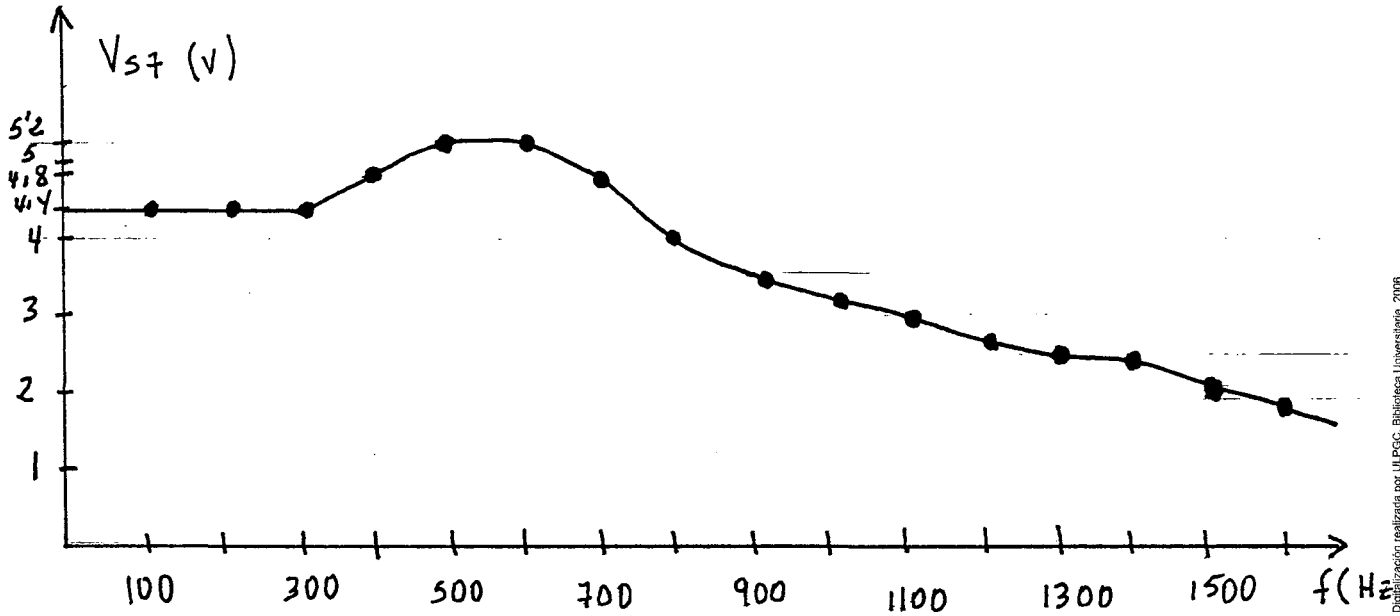
Elejimos el valor comercial $R = 6K8$

Con estos valores, obtenemos un filtro activo paso bajo práctico, cuyo esquema con los valores prácticos de los componentes se representa a continuación:



10.1.- Curva real

Con mediciones prácticas, se ha obtenido la siguiente curva de respuesta en frecuencia del filtro en cuestión (se representa la señal de salida en función de la frecuencia, para una señal de entrada de 4,4 voltios)

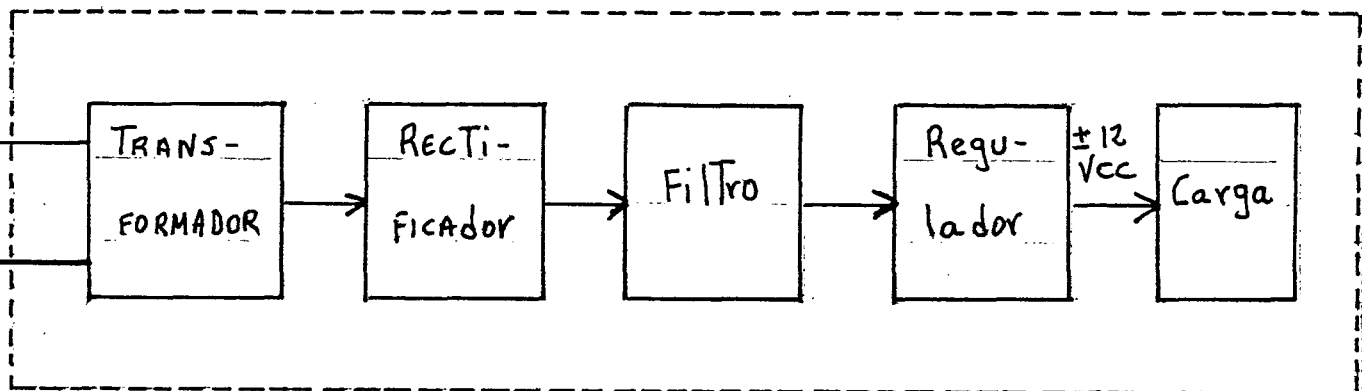


A la salida del filtro, obtenemos una onda sinusoidal no escalonada, de frecuencia igual a la de los tonos de ancho pretendidos.

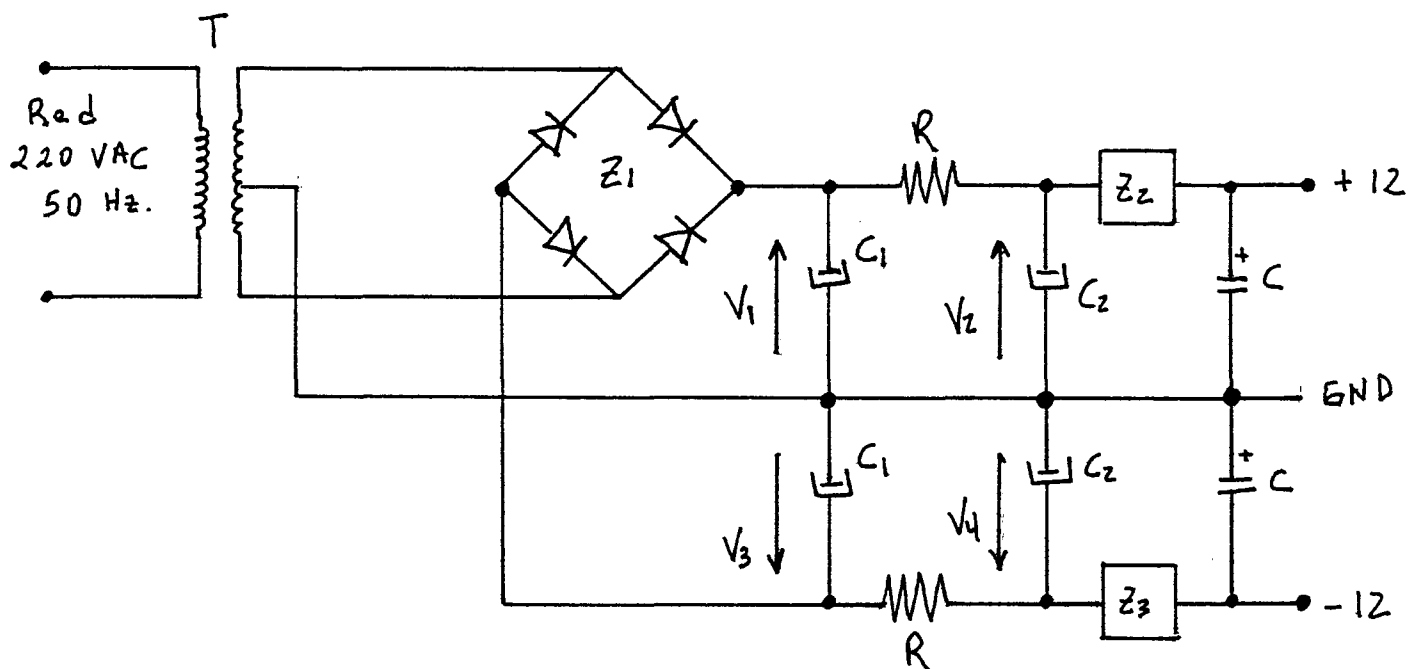
11.- FUENTE DE ALIMENTACION

Para la adecuada alimentación de todos los elementos componentes del equipo, necesitamos una fuente de alimentación, que nos proporcione ± 12 voltios regulados de tensión continua. Dado que el consumo global del equipo no excederá de un amperio, se le dotará a dicha fuente de los elementos correspondientes para que pueda entregar una corriente de hasta 1A, sin que esta se vea dañada en alguno de sus componentes y sin que se vean muy perjudicadas sus características fundamentales de tensión y rizado.

Diagrama de bloques:



Esquema Electrónico



11.1.- Descripción detallada

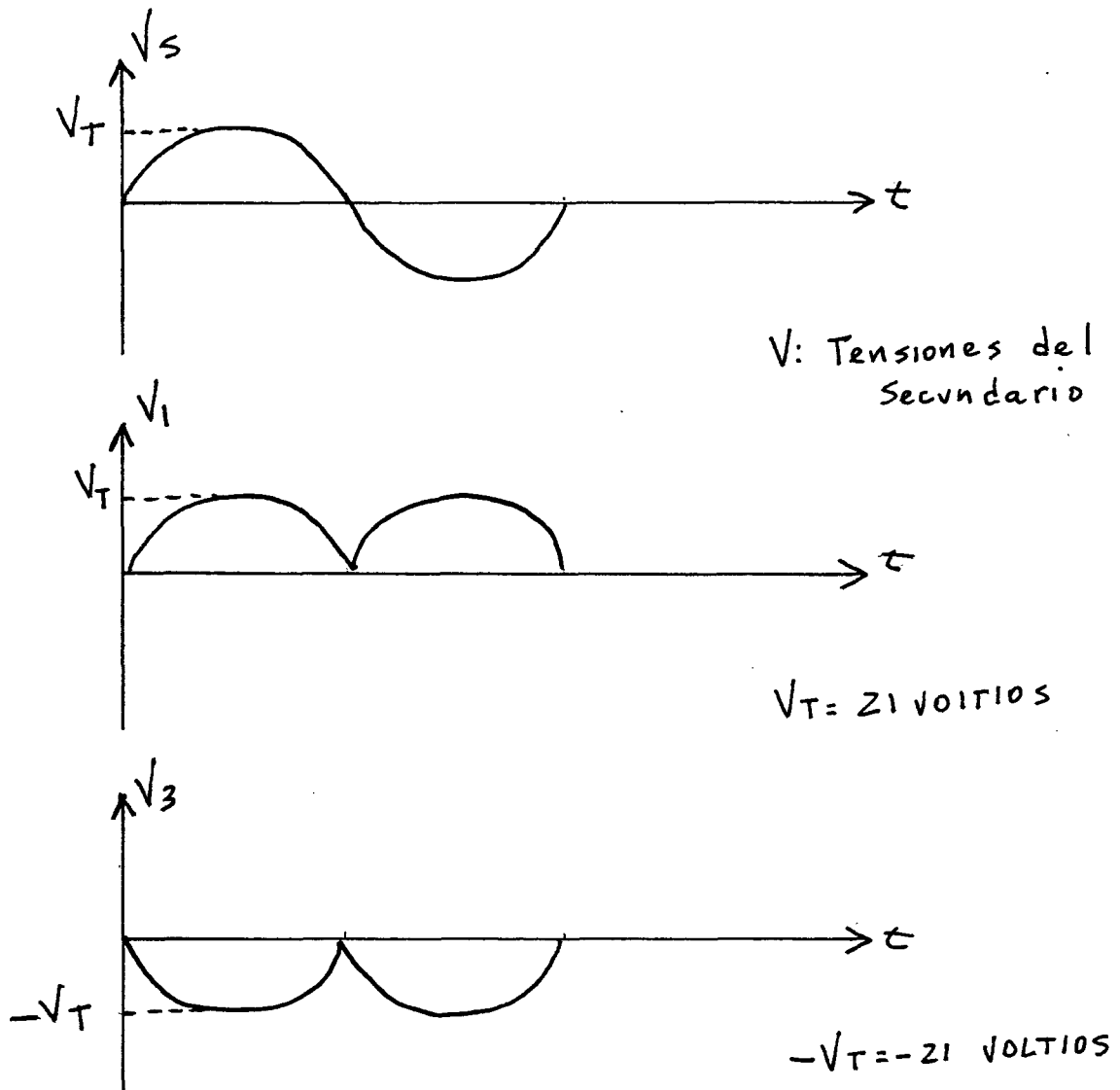
El transformador instalado, convierte una tensión alterna de 220 voltios eficaces en dos tensiones alternas de 15 voltios eficaces. El máximo de corriente que soporta es de 1A.

$$V_{\max} = V_{\text{ef}} \times \sqrt{2} = 21 \text{ voltios}$$

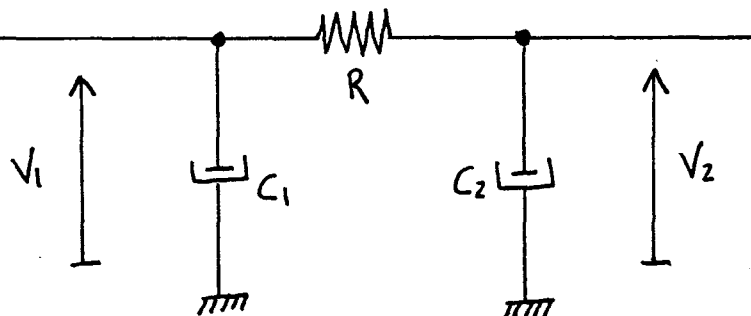
El rectificador de onda completa, es una configuración formada por cuatro diodos en puente. Se comercializa en forma integrada y en nuestro caso se ha instalado en la fuente el circuito integrado B40 - C3700/2200.

tendremos las tensiones V_1 y V_3 que se representan a continuación:

Nota: V_s representa las tensiones del secundario del transformador.



El filtro; en nuestro caso estará formado por dos filtros idénticos, y simétricos, uno para la tensión positiva rectificada y otro para la negativa. El filtro básico, es è del tipo C_1 -R- C_2 y lo representamos a continuación:



Siendo V_1 la salida de un rectificador de doble onda, como el de nuestro caso, resulta que para este tipo de filtros se cumple que:

$$V_2 = V_{\text{máx}} - \frac{5000 I_L}{C_1} - I_1 \cdot R$$

Teniendo esto en cuenta, elejiremos un valor para C_1 lo suficientemente grande y un valor para R pequeño. Considerando un consumo de 300 mA, el cual ya es muy excesivo para este equipo, hay que procurar que V_2 sea suficiente para poder atacar al regulador de 12 voltios.

Con estas consideraciones elijo $C_1 = 2200 \mu F$ y $R = 10 \text{ ohm}$, cumpliéndose con bastante holgura las condiciones impuestas. La R la elijo de un watio, pues para el consumo anteriormente considerado la potencia que disiparía, estaría por ese orden.

C_2 mejora el factor de rizado, y elijo un valor práctico tal como:

$$C_2 = 47 \mu F$$

Reguladores de Tensión: utilizaremos dos reguladores, uno de más doce voltios y otro de menos doce. A su salida nos proporcionarán una tensión estabilizada. Se han instalado dos reguladores que se comercializan en forma integrada, y teniendo en cuenta las características que nos dan los fabricantes se han elegido los dos siguientes:

- Modelo 7812 para proporcionar + 12 V_{cc} regulados.
- Modelo 7912 para proporcionar - 12 V_{cc} regulados.

Las tensiones de entrada al regulador variarán en función del consumo, pero la tensión de salida permanecerá estable.

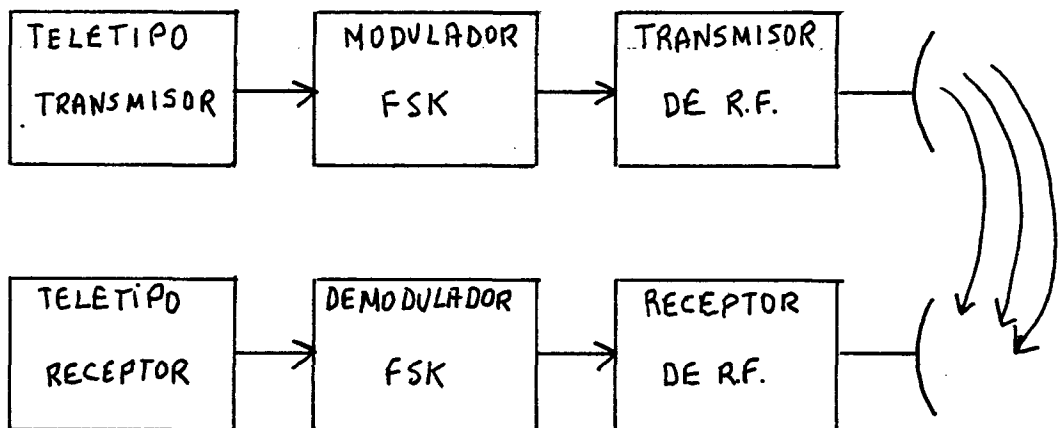
12.- APLICACIONES DEL EQUIPO.

Estas se derivan del hecho, de que el equipo permite la transmisión, de cualquier información contenida en una señal telegráfica (dos estados), con su código determinado. Podemos citar algunas de estas aplicaciones:

- transmisión de la información que genera un teleimpresor.
- transmisor de alarmas codificadas, a un centro de control distante.
- controles remotos de dispositivos electromecánicos, utilizando para ello señales de control codificadas.

Una aplicación práctica que está teniendo hoy en día este equipo es la comunicación entre una estación de tierra y un barco; desplazando el antiguo medio que era la transmisión en Morse.

Un esquema de dicha comunicación sería:



Mediante este sistema podemos transmitir información de una forma rápida, clara y precisa.

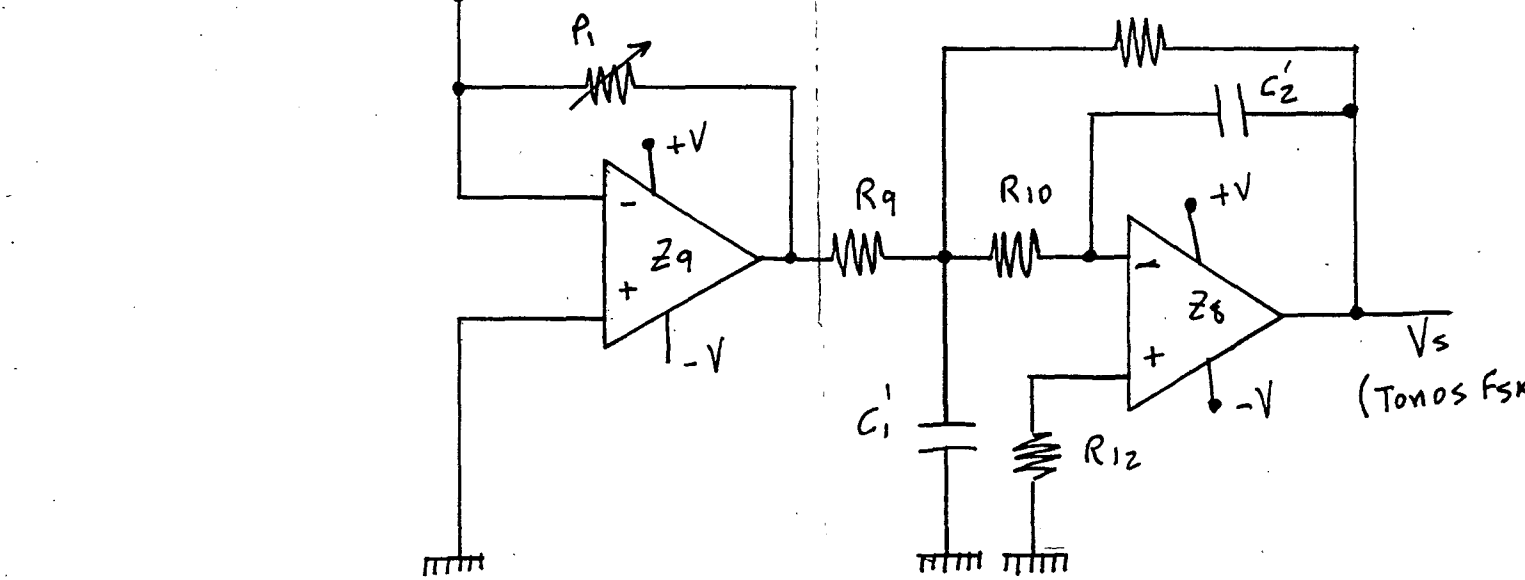
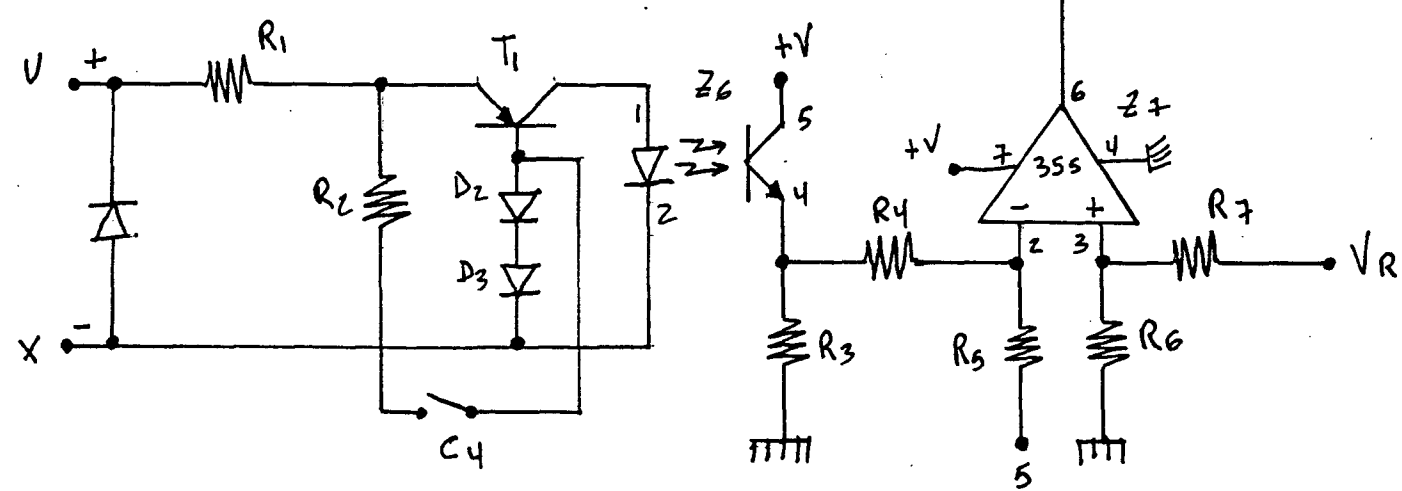
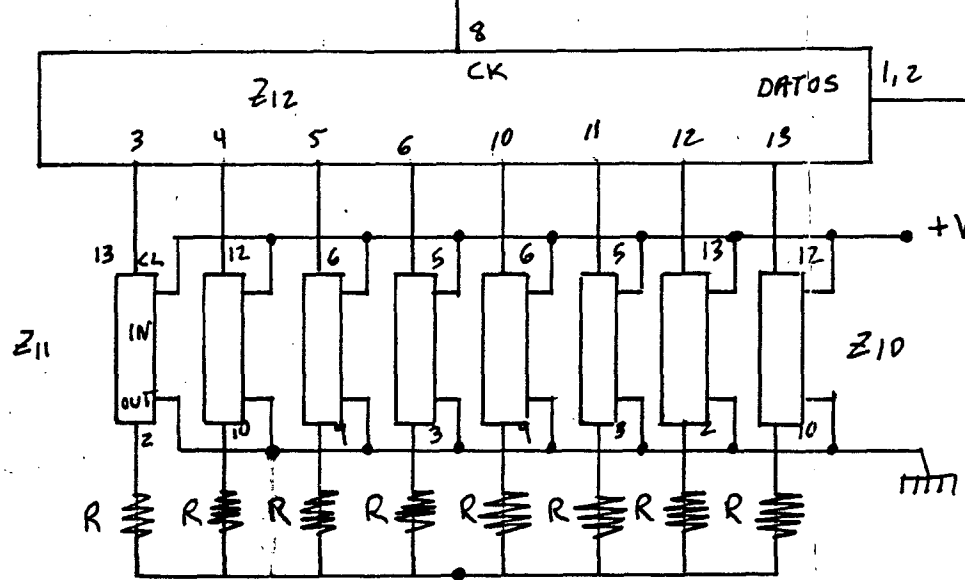
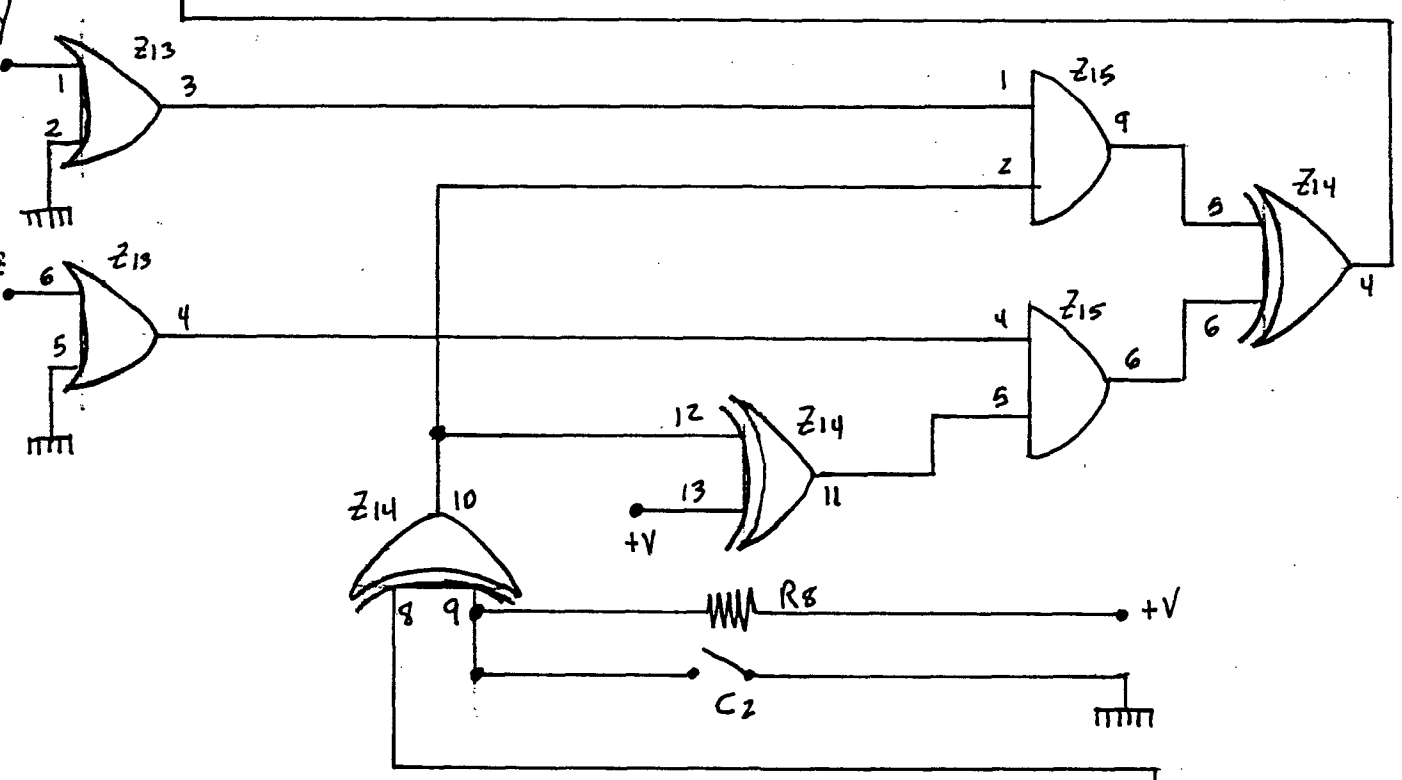
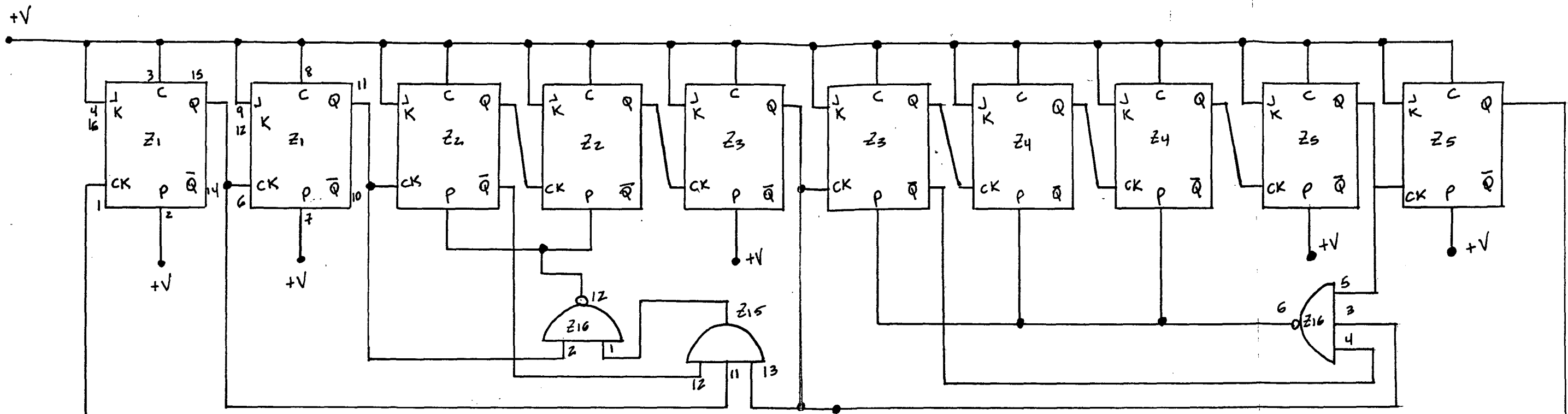
En aplicaciones militares permite el uso de un código de seguridad.

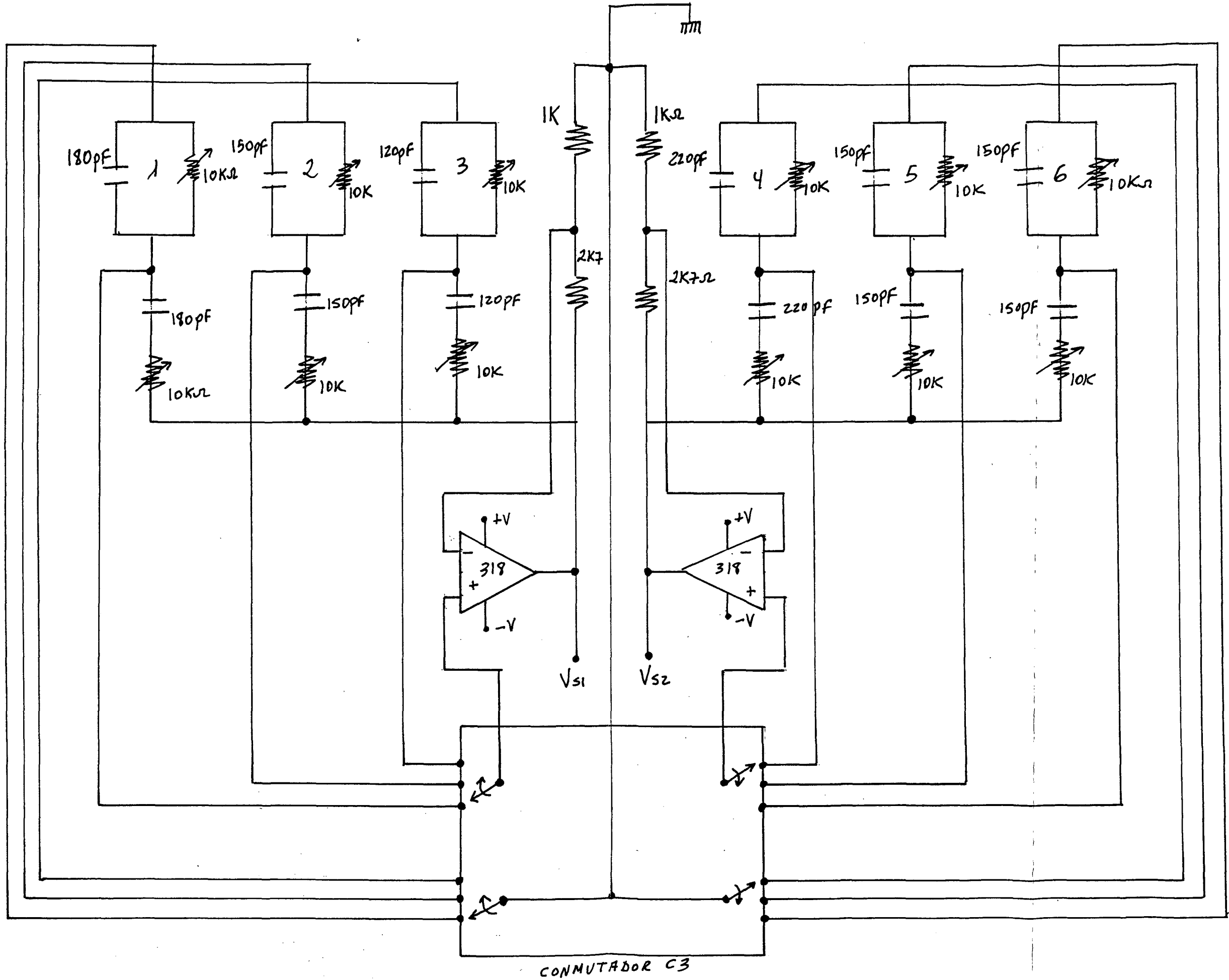
En general este equipo permite la transmisión de cualquier información, que no requiera una velocidad de transmisión superior a los 200 baudios y que venga dada en forma de dos estados o niveles de tensión.

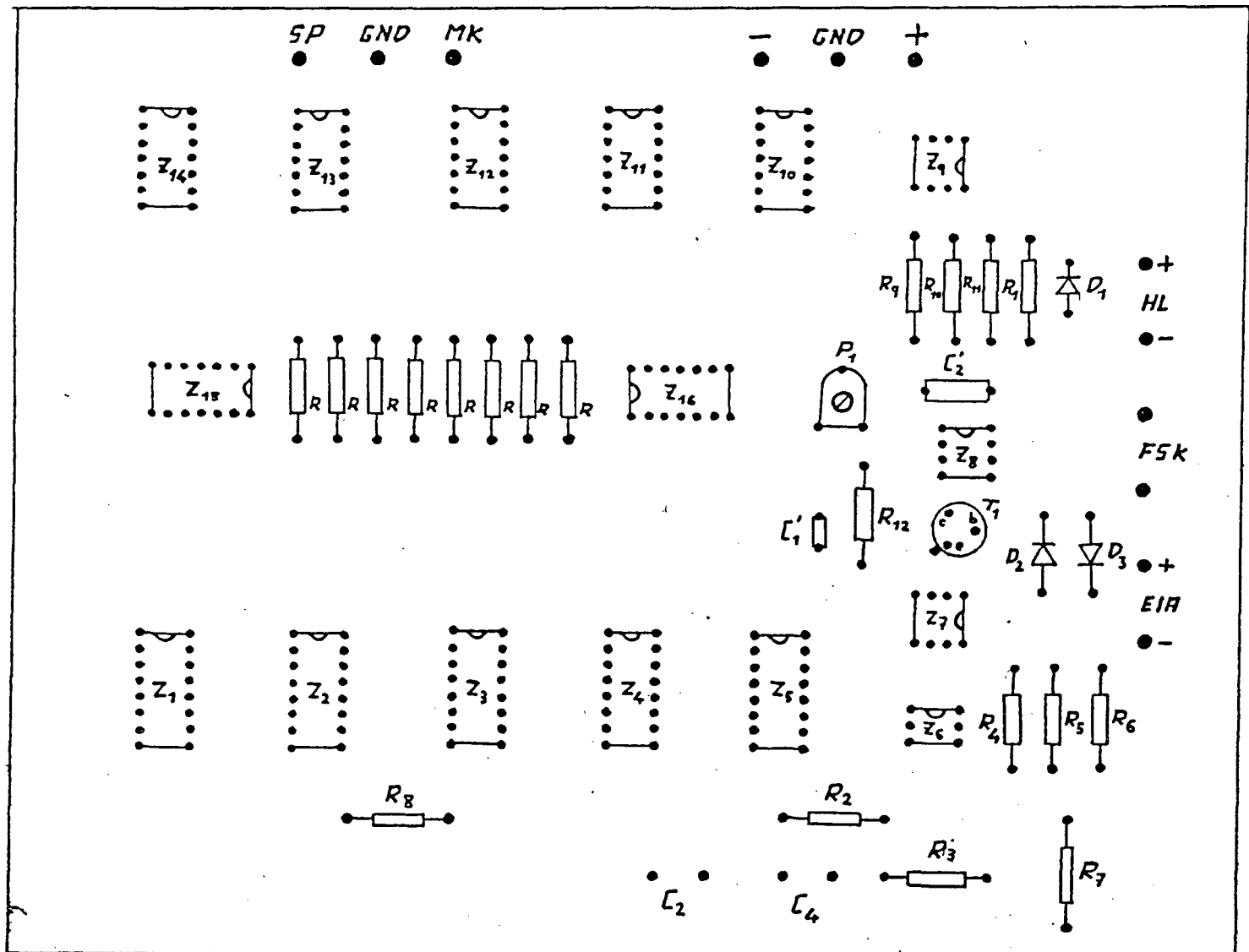
- Bibliografía

- Circuitos Electrónicos: Digitales II, de la cátedra de electrónica II y III de la -- E.T.S.I. de Telecomunicación de Madrid.
- Electrónica Digital Moderna, de J.M. Angulo.
- El Amplificador Operacional y sus aplicaciones, J.C. Marchais.
- Tone Keyer, de Frederick Electronics

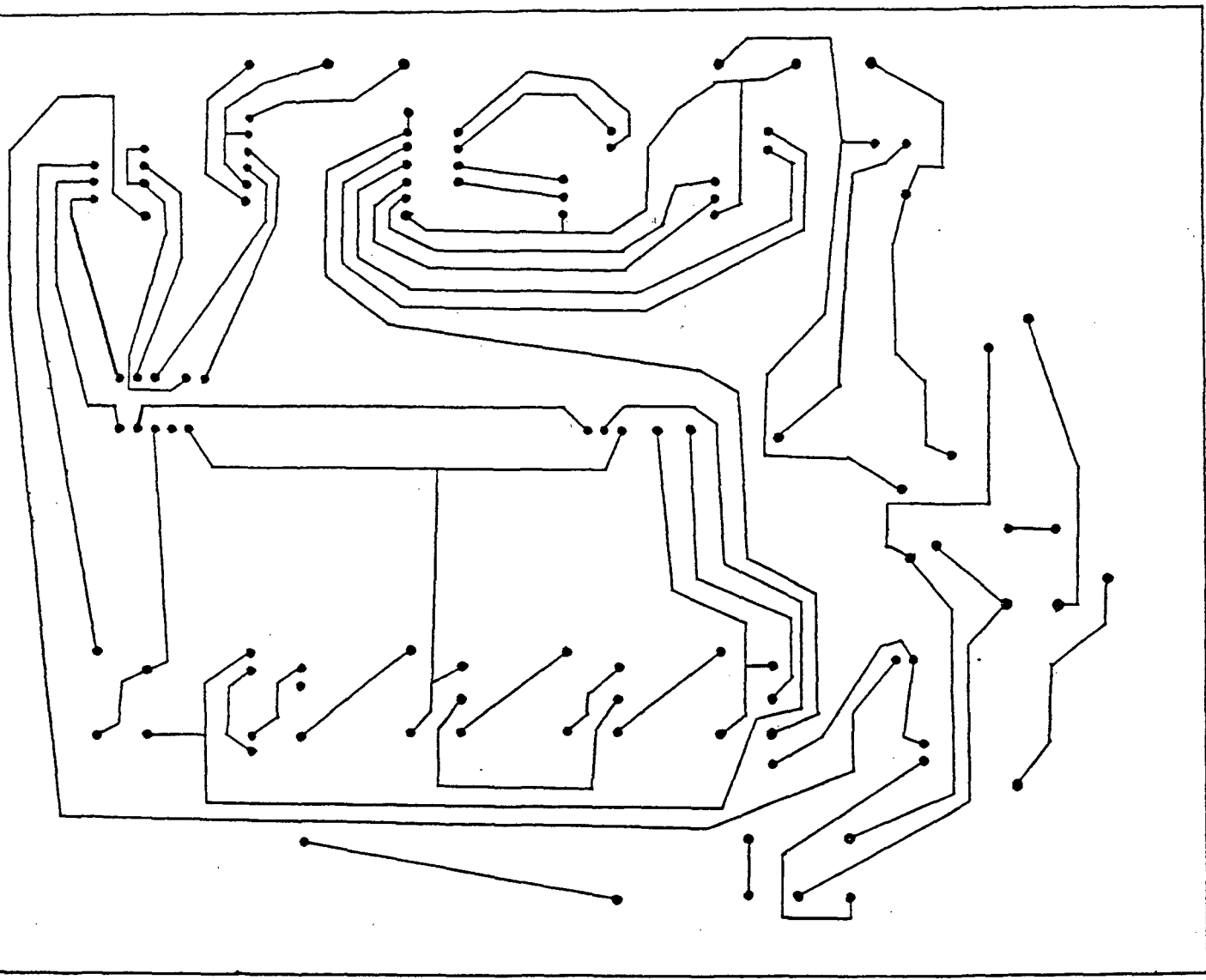
PLANOS



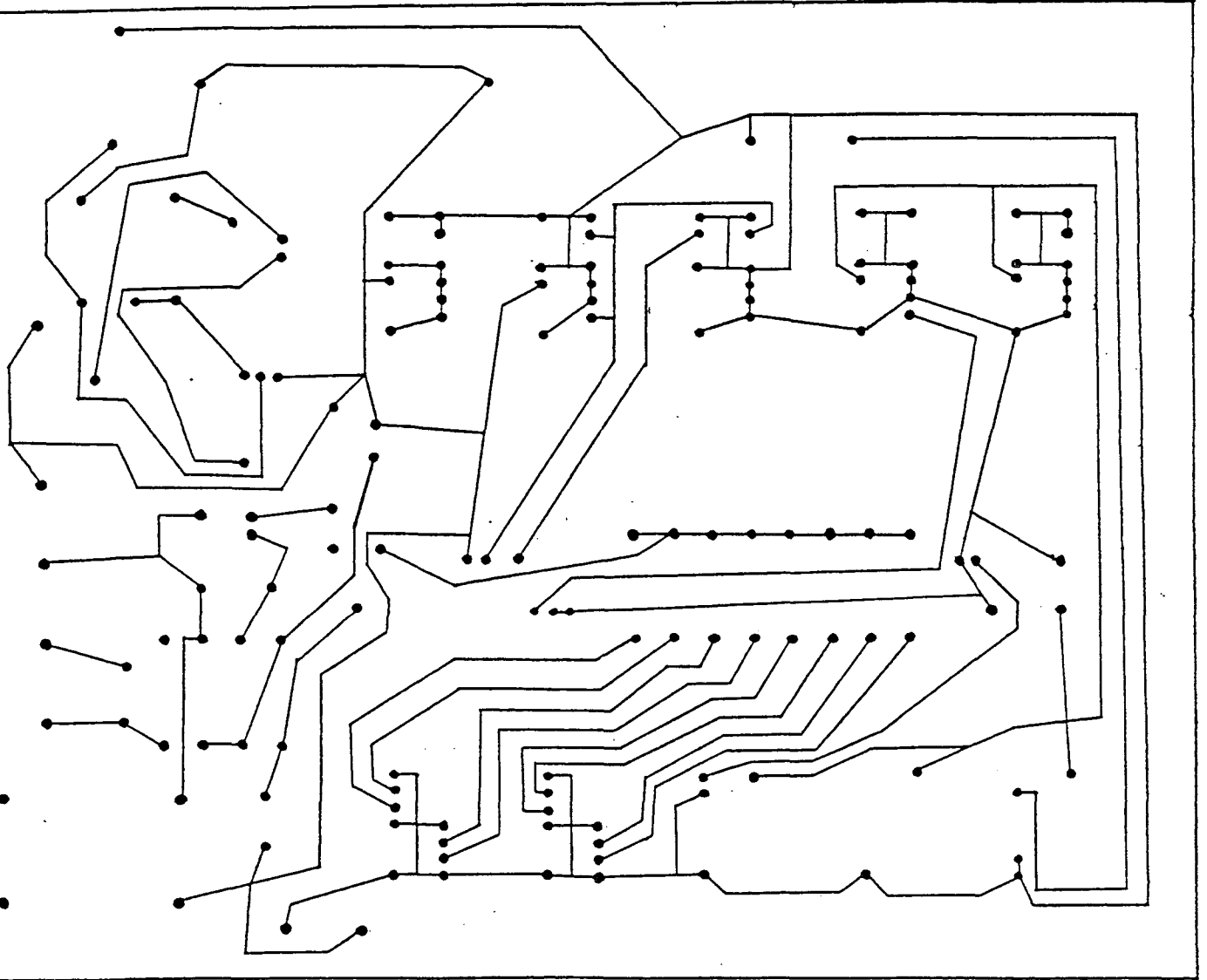




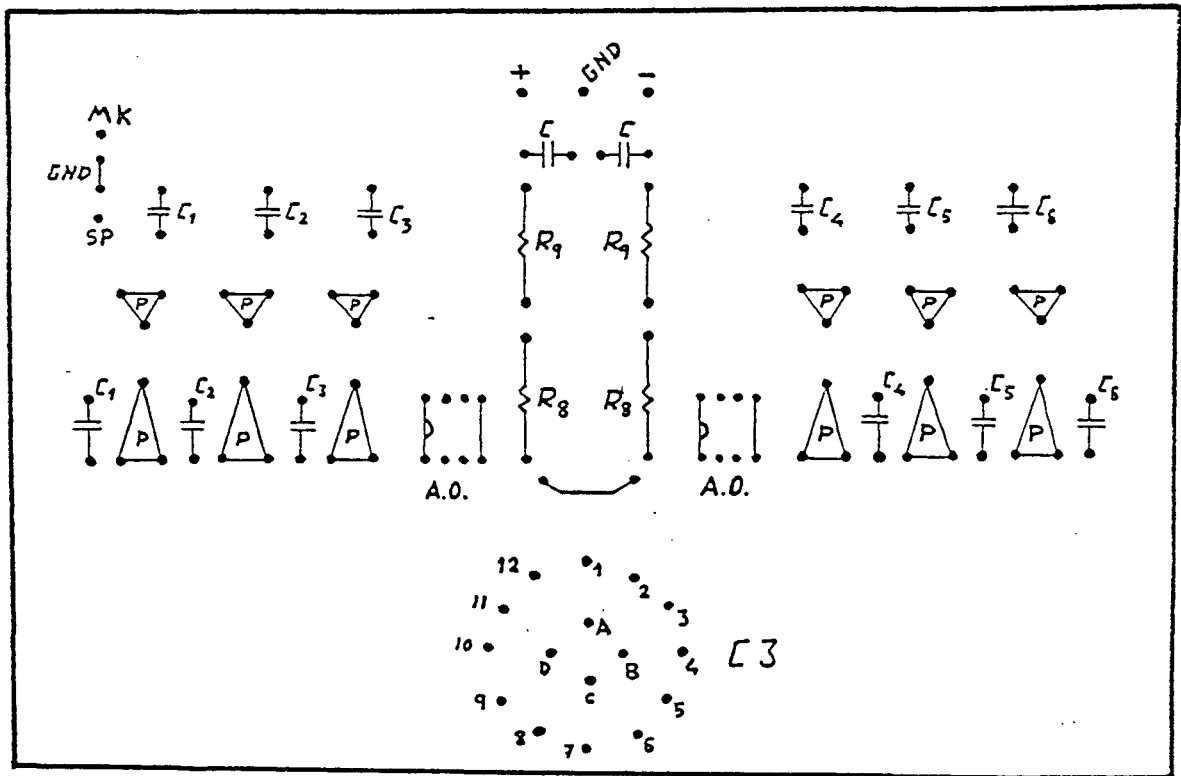
COMPONENTES DE LA TARJETA -MI-



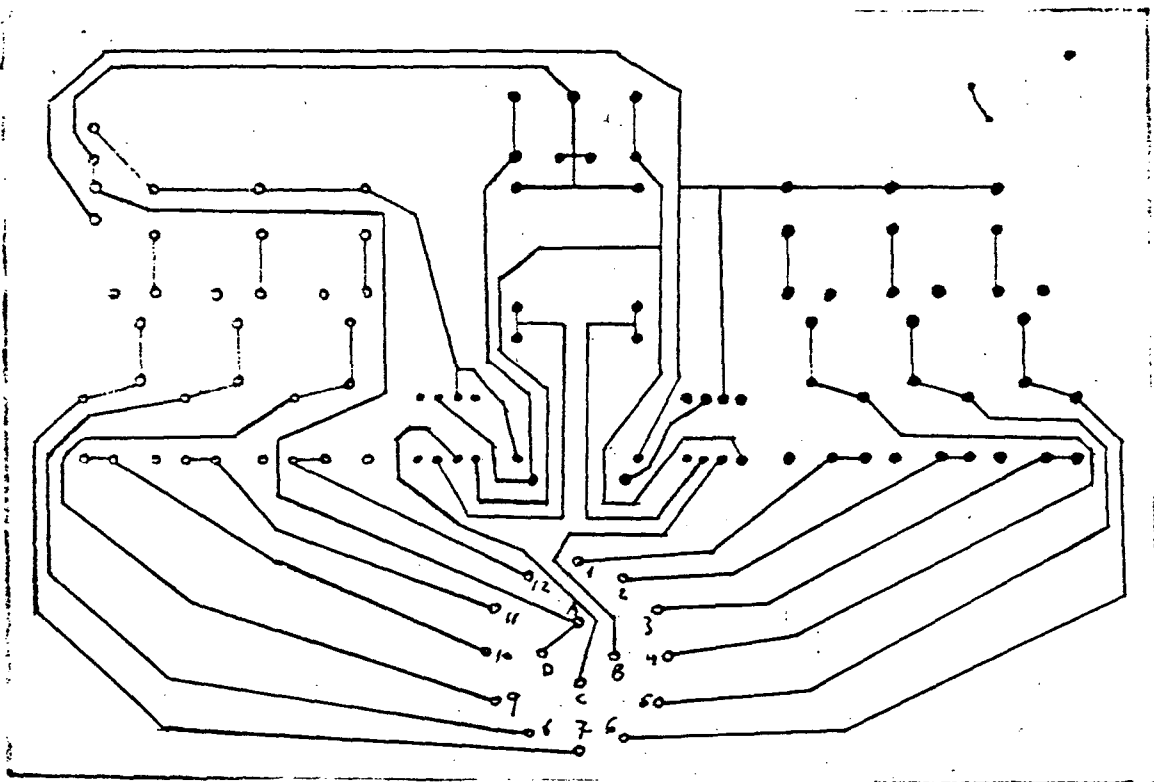
CIRCUITO IMPRESO LADO COMPONENTES -MT-



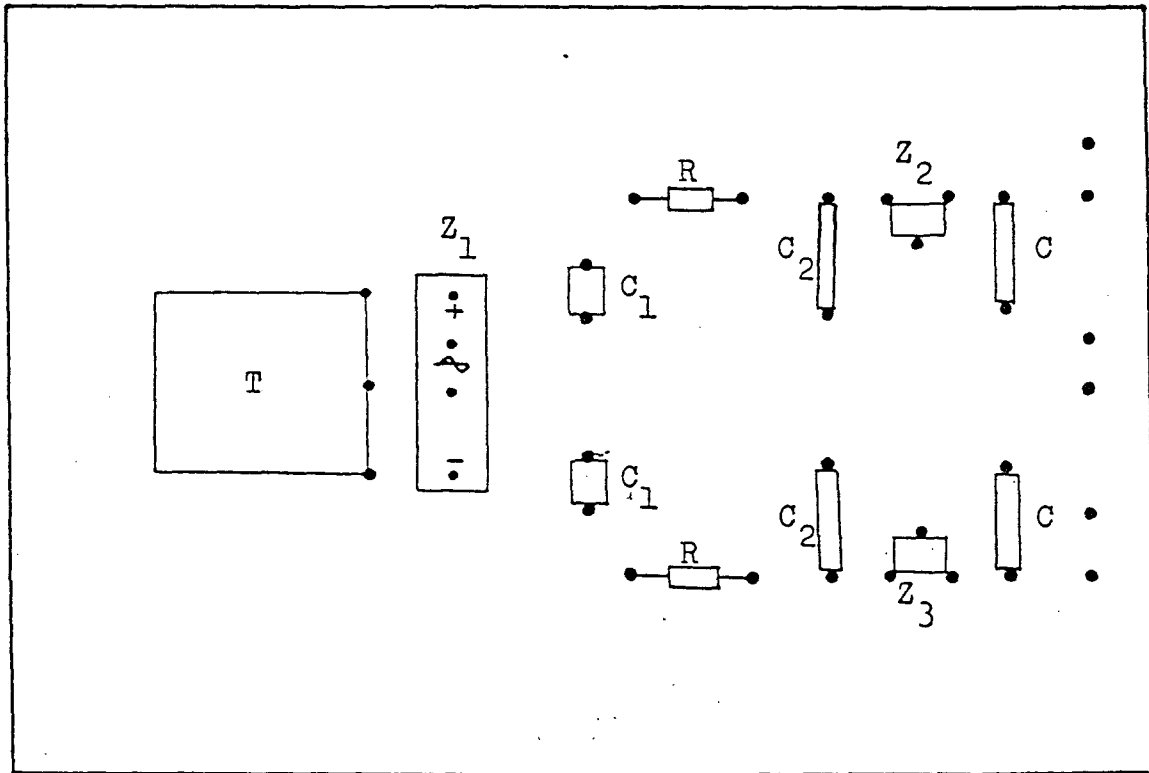
CIRCUITO IMPRESO LADO PISTAS - MT-



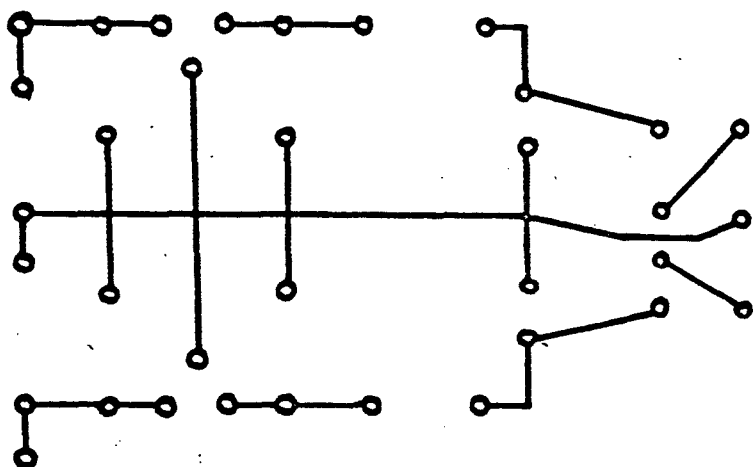
COMPONENTES DE LA TARJETA-OM-



CIRCUITO IMPRESO DE LA TARJETA-OM-



COMPONENTES DE LA TARJETA -FA-



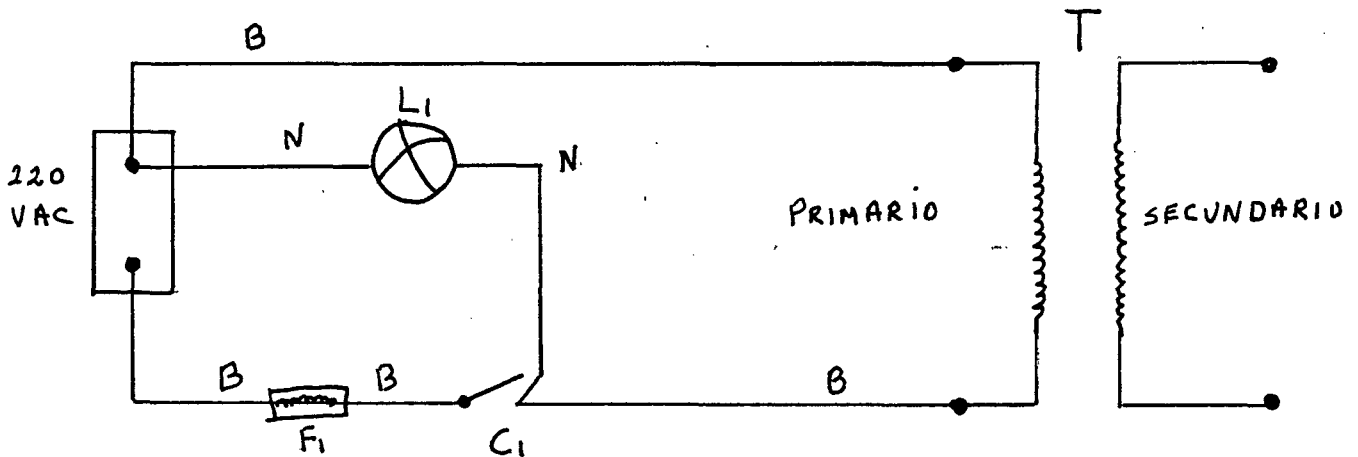
CIRCUITO IMPRESO DE LA TARJETA - F-A -

- Cableado del Equipo

Las interconexiones realizadas con hilo, quedan reflejadas en los siguientes diagramas de cableado: siendo el código de colores, el siguiente:

B	: blanco	A	: amarillo
M	: marrón	Na	: naranja
N	: negro	Cu	: cobre
R	: rojo		
Az	: azul		
V	: verde		

a) Fuente de alimentación.-

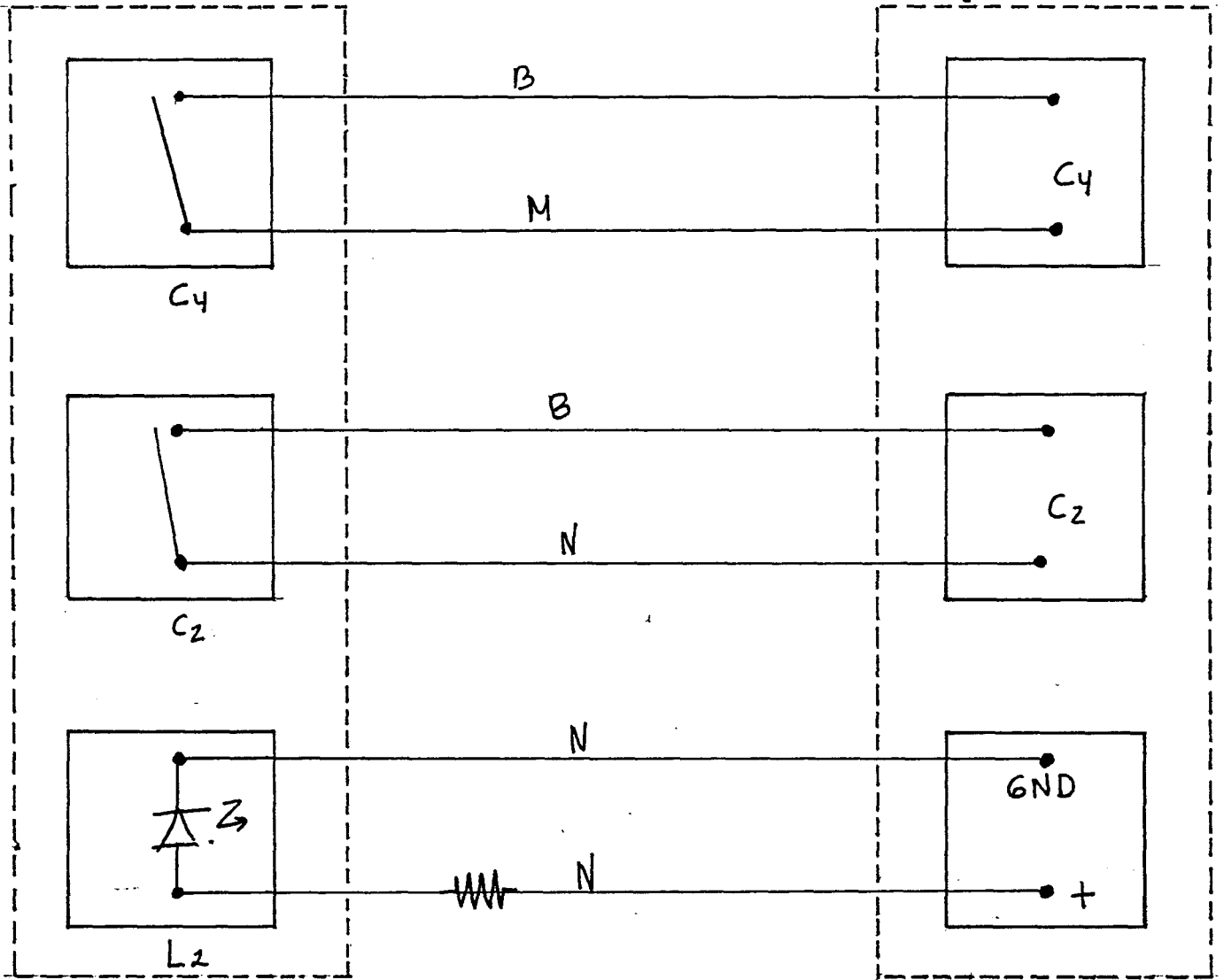


b) Equipo convertidor.-

Las interconexiones entre tarjetas, así como con las regletas, bornes y conmutadores, se han realizado con pares de hilos de distintos colores, tal como se representa en los siguientes diagramas:

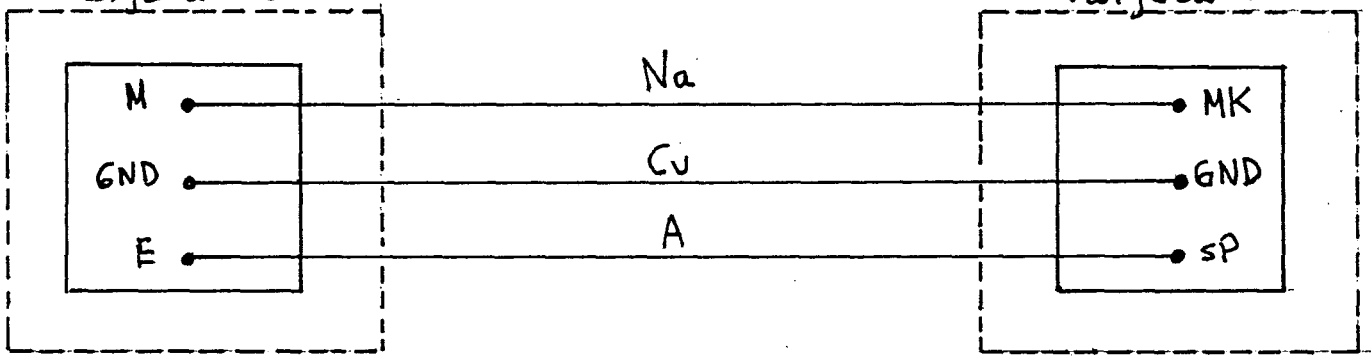
Panel frontal

Tarjeta -MT-



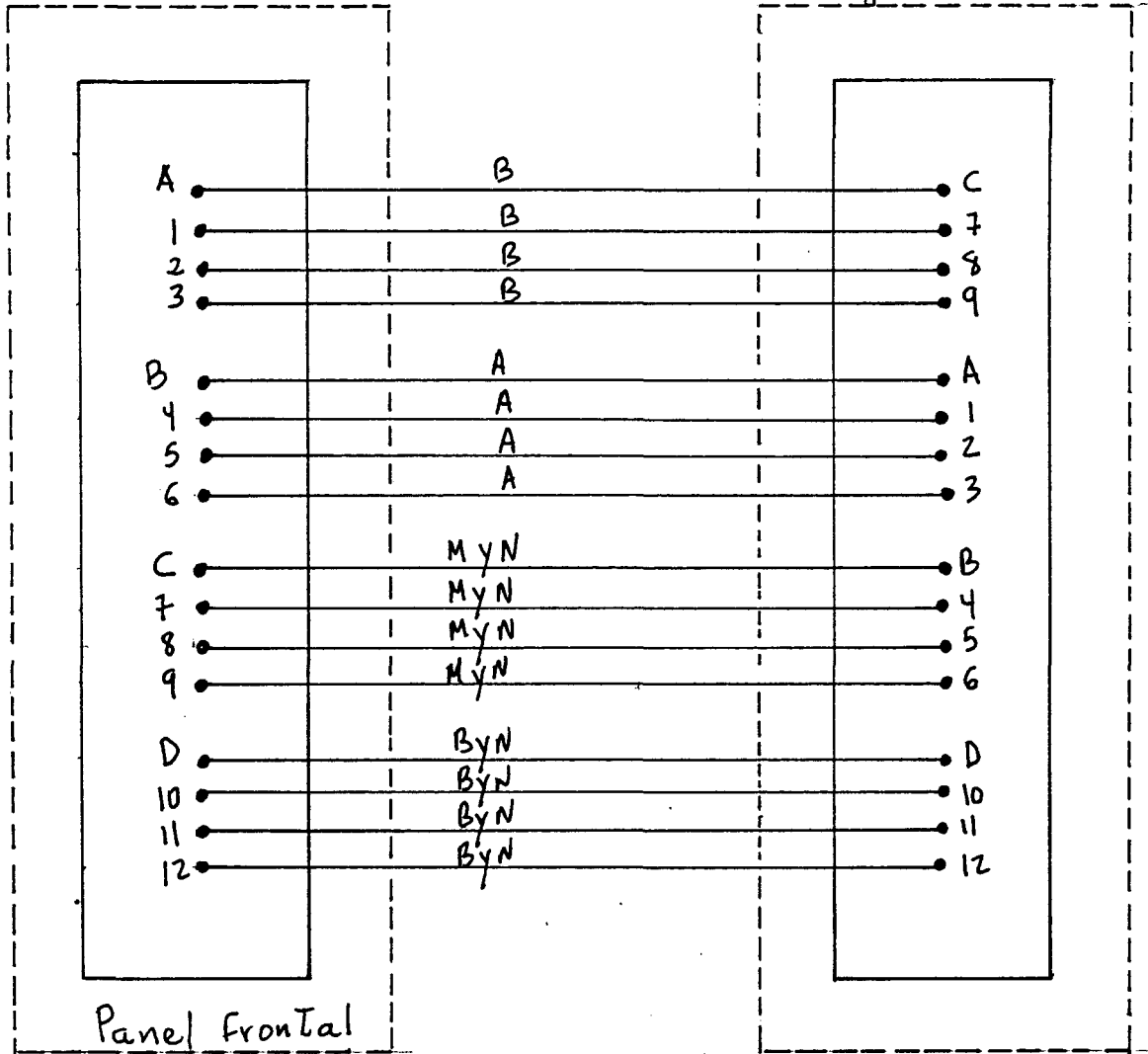
Tarjeta -OM-

Tarjeta -OM-
Tarjeta -MT-

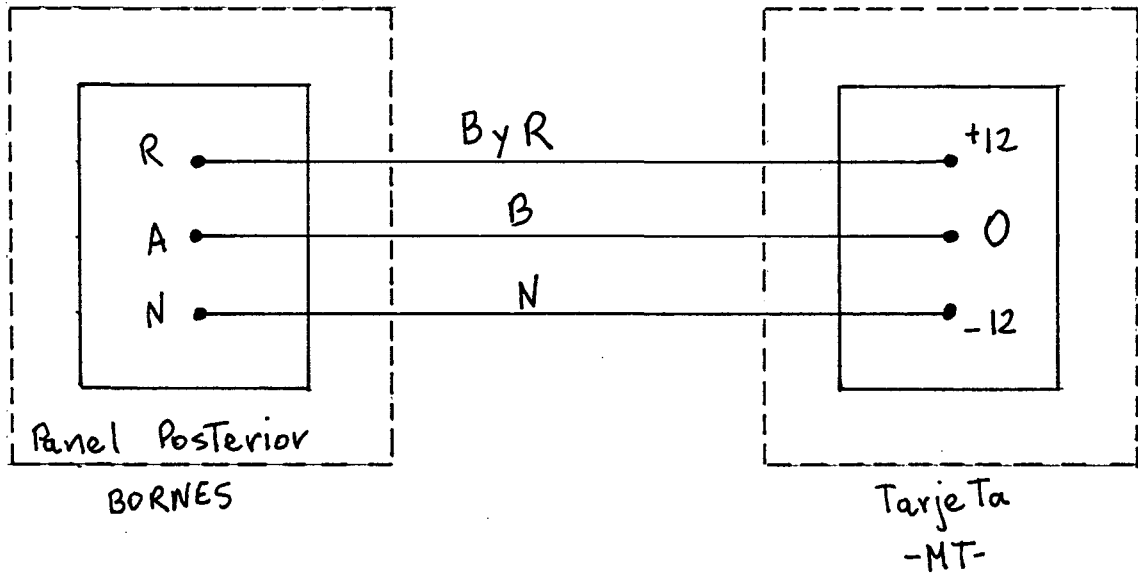


C3

Tarjeta -OM-

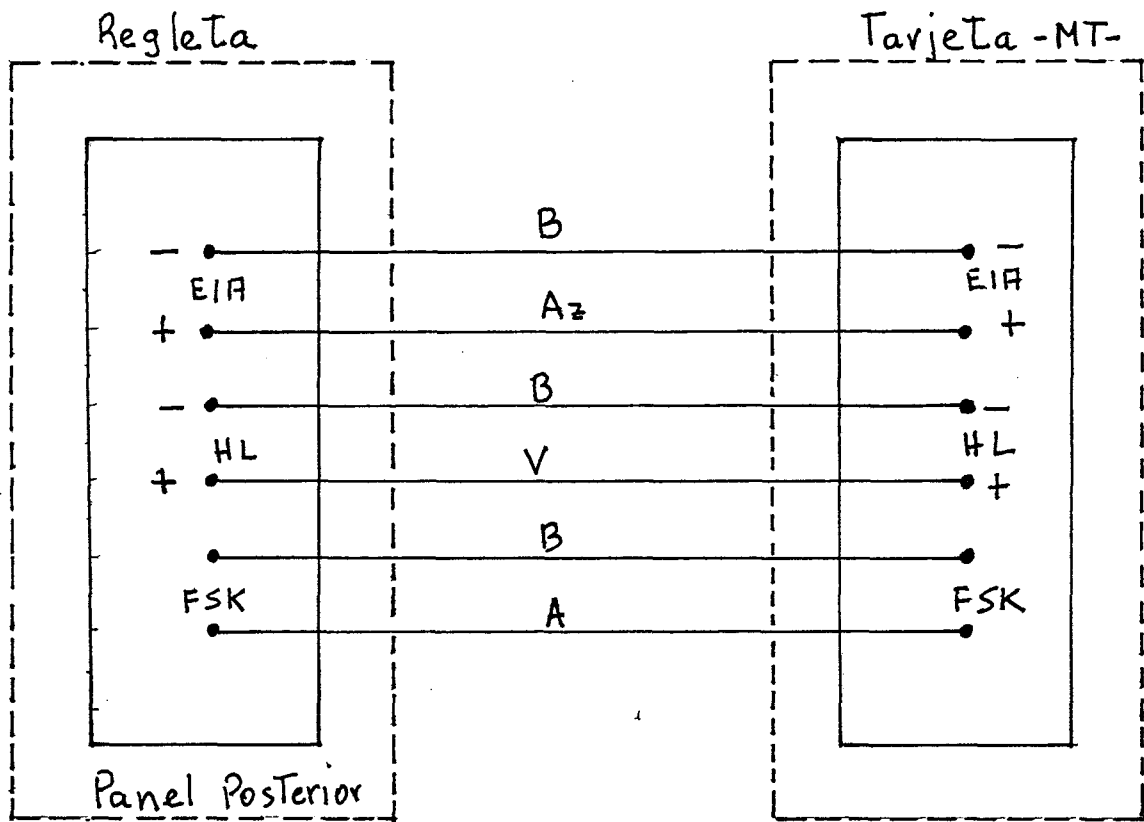


Panel Frontal



Panel Posterior BORNES

Tarjeta -MT-



APENDICE

Tarjeta -OM-
Lista de componentes

<u>Referencia</u>	<u>Componentes</u>	<u>Valor</u>
C	Condensadores	0,1 F
C ₁	"	180pF
C ₂	"	150pF
C ₃	"	120pF
C ₄	"	220pF
C ₅	"	150pF
C ₆	"	150pF
R ₈	Resistencias	2K7
R ₉	"	1K
P	Potenciómetro	10K
A.0	Amplificador ope.	318
C ₃	Conmutador de 4 circuitos tres posi ciones	

Tarjeta - MT -

Lista de componentes

<u>Referencia</u>	<u>Componente</u>	<u>Valor</u>
Z ₁	Biestables	74C76
Z ₂	"	"
Z ₃	"	"
Z ₄	"	"
Z ₅	"	"
Z ₆	Optoaislador	4N28
Z ₇	A.Operacional	355
Z ₈	"	741
Z ₉	"	"
Z ₁₀	Switch	4016
Z ₁₁	"	"
Z ₁₂	Registro S-P	<u>74C164</u>
Z ₁₃	Puertas OR	4071
Z ₁₄	Puertas XOR	74C86
Z ₁₅	Puertas AND	4073
Z ₁₆	Puertas NAND	74C10
R ₁	Resistencia	47 ohm.
R ₂	"	68 "
R ₃	"	6K8
R ₄	"	10 K
R ₅	"	2K7
R ₆	"	2K7
R ₇	"	560 ohm.
R ₈	"	10 K
R ₉	"	6K8

<u>Referencia.</u>	<u>Componente</u>	<u>Valor</u>
R ₁₀	Resistencia	6K8
R ₁₁	"	6K8
R ₁₂	"	10 K
R	"	100 K
P ₁	Potenciómetro	5 K
D ₁	Diodo	1N4002
D ₂ , D ₃	"	1N914
T ₁	Transistor	2N2907
C ₁	Condensador	100nF.
C ₂	"	10nF.
+V	Alimentación	+ 12 Voltios
-V	"	- 12 "
V _R	Tensión de referencia	+ 12 "
C ₂	Conmutador de sentido	
C ₄	Conmutador de Alto nivel	
u, x	Entradas de alto nivel	± 20 mA.
s	Entrada EIA	
y	Entrada de frec. osc. de MK	
z	Entrada de frec. osc. de SP	
V _s	Salida de audio	

Fuente de Alimentación

Lista de Componentes

<u>Referencia</u>	<u>Componente</u>	<u>Valor</u>
T	Transformador	V Primario = 220 VAC V Secundario = 15 VAC Imáx = 1A
Z ₁	Puente rectificador	B40-C3700/2200
Z ₂	Regulador de +12	7812
Z ₃	Regulador de -12	7912
C ₁	Condensador	2200 F, 40V _{cc}
C ₂	"	47 F, 50V _{cc}
C	"	0,1 F, 35V _{cc}
R	Resistencia	10 ohm. 1W

- Características Eléctricas de circuitos integrados utilizados:

En las hojas que siguen, se relacionan características de los fabricantes, de los circuitos integrados instalados en el equipo, los cuáles enunciamos a continuación:

<u>COMPONENTE</u>	<u>REFERENCIA</u>	<u>HOJA N.</u>
Optoacoplador	4N28	83
A.Operacional	741	88
"	318	93
Regulador de +12	7812	95
Regulador de -12	7912	98
Puerta AND	74C08, 4073	101
Puerta OR	4071	104
Switch	4016	105
Puerta NAND	74C10	107
Flip-Flop	74C76	109
OR-EXC	74C86	111
Registro Ser-Parl	74C164	113

OPTOISLADOR 4N28: equivalente del TIL 116

TYPES TIL111, TIL114, **TIL116**, TIL117 OPTO-COUPLEDERS

BULLETIN NO. DL-S 7312030, NOVEMBER 1973

COMPATABLE WITH STANDARD DTL AND TTL INTEGRATED CIRCUITS

- Gallium Arsenide Diode Infrared Source Optically Coupled to a Silicon N-P-N Phototransistor
- High Direct-Current Transfer Ratio
- Base Lead Provided for Conventional Transistor Biasing
- High-Voltage Electrical Isolation . . . 1.5-kV or 2.5-kV Rating
- Plastic Dual-In-Line Package
- High-Speed Switching: $t_r = 2 \mu s$, $t_f = 2 \mu s$ Typical

mechanical data

The package consists of a gallium arsenide infrared-emitting diode and an n-p-n silicon phototransistor mounted on a 6-lead frame encapsulated within an electrically nonconductive plastic compound. The case will withstand soldering temperature with no deformation and device performance characteristics remain stable when operated in high-humidity conditions. Unit weight is approximately 0.52 grams.

NOTES:

- Leads are within 0.005 radius of true position (TP) at the gauge plane with maximum material condition and unit installed.
- All dimensions are in inches unless otherwise noted.
- Pin 1 identified by index dot.
- Terminal connections:

1. Anode	} Infrared emitting diode
2. Cathode	
3. No internal connection	} Phototransistor
4. Emitter	
5. Collector	
6. Base	

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Input-to-Output Voltage: TIL111	±1.5 kV
TIL114, TIL116, TIL117	±2.5 kV
Collector-Base Voltage	70 V
Collector-Emitter Voltage (See Note 1)	30 V
Emitter-Collector Voltage	7 V
Emitter-Base Voltage	7 V
Input-Diode Reverse Voltage	3 V
Input-Diode Continuous Forward Current at (or below) 25°C Free-Air Temperature (See Note 2)	100 mA
Continuous Power Dissipation at (or below) 25°C Free-Air Temperature:	
Infrared-Emitting Diode (See Note 3)	150 mW
Phototransistor (See Note 4)	150 mW
Total, Infrared-Emitting Diode plus Phototransistor (See Note 5)	250 mW
Storage Temperature Range	-55°C to 150°C
Lead Temperature 1/16 Inch from Case for 10 Seconds	260°C

- NOTES: 1. This value applies when the base-emitter diode is open-circuited.
 2. Derate linearly to 100°C free-air temperature at the rate of 1.33 mA/°C.
 3. Derate linearly to 100°C free-air temperature at the rate of 2 mW/°C.
 4. Derate linearly to 100°C free-air temperature at the rate of 2 mW/°C.
 5. Derate linearly to 100°C free-air temperature at the rate of 3.33 mW/°C.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

†††

TYPES TIL111, TIL114, TIL116, TIL117

OPTO-COUPLEDERS

electrical characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	TIL111 TIL114			TIL116			TIL117			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
$V_{BR(CBO)}$	Collector-Base Breakdown Voltage $I_C = 10 \mu A, I_E = 0, I_F = 0$	70			70			70			V
$V_{BR(CEO)}$	Collector-Emitter Breakdown Voltage $I_C = 1 mA, I_B = 0, I_F = 0$	30			30			30			V
$V_{BR(ESD)}$	Emitter-Base Breakdown Voltage $I_E = 10 \mu A, I_C = 0, I_F = 0$	7			7			7			V
I_R	Input Diode Static Reverse Current $V_R = 3 V$	10			10			10			μA
$I_{C(on)}$	On-State Collector Current Phototransistor Operation $V_{CE} = 0.1 V, I_F = 16 mA, I_B = 0$	2 7									mA
					2 5			5 9			
	Photodiode Operation $V_{CB} = 0.4 V, I_F = 16 mA, I_E = 0$	10 20			10 20			10 20			μA
$I_{C(off)}$	Off State Collector Current Phototransistor Operation $V_{CE} = 10 V, I_F = 0, I_B = 0$	1 50			1 50			1 50			nA
	Photodiode Operation $V_{CB} = 10 V, I_F = 0, I_E = 0$	0.1 20			0.1 20			0.1 20			
h_{FE}	Transistor Static Forward Current Transfer Ratio $V_{CE} = 5 V, I_C = 10 mA, I_F = 0$	100 300						200 550			
	$V_{CE} = 5 V, I_C = 100 \mu A, I_F = 0$				100 300						
V_F	Input Diode Static Forward Voltage $I_F = 16 mA$	1.2 1.4						1.2 1.4			V
	$I_F = 60 mA$				1.25 1.5						
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage $I_C = 2 mA, I_F = 16 mA, I_B = 0$	0.25 0.4						0.25 0.4			V
	$I_C = 2.2 mA, I_F = 15 mA, I_B = 0$				0.25 0.4						
	$I_C = 0.5 mA, I_F = 10 mA, I_B = 0$							0.25 0.4			
r_{iO}	Input-to-Output Internal Resistance $V_{in-out} = 1.5 kV$ for TIL111, 2.5 kV for all others. See Note 5	10^{11}			10^{11}			10^{11}			Ω
C_{iO}	Input to Output Capacitance $V_{in-out} = 1 V, f = 1 MHz$ See Note 5	1 1.3			1 1.3			1 1.3			pF

NOTE 5: These parameters are measured between both input diode leads shorted together and all the phototransistor leads shorted together.

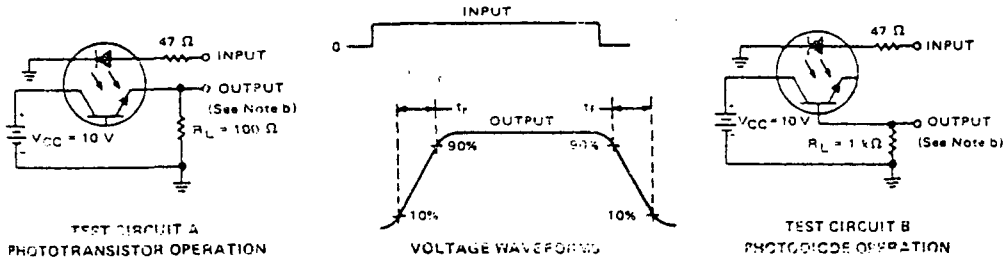
switching characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	TIL111 TIL114			TIL116			TIL117			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t_r	Rise Time Phototransistor Operation $V_{CC} = 10 V, R_L = 100 \Omega, I_{C(on)} = 2 mA$	2 5			2 7			2 9			μs
t_f	Fall Time See Test Circuit A of Figure 1	2 5			2 7			2 9			
t_r	Rise Time Photodiode Operation $V_{CC} = 10 V, R_L = 1 k\Omega, I_{C(on)} = 20 \mu A$	1			1			1			μs
t_f	Fall Time See Test Circuit B of Figure 1	1			1			1			

TYPES TIL111, TIL114, TIL116, TIL117 OPTO-COUPLEDERS

PARAMETER MEASUREMENT INFORMATION

Adjust amplitude of input pulse for:
 $I_{C(on)} = 2 \text{ mA}$ (Test Circuit A) or
 $I_{C(on)} = 20 \mu\text{A}$ (Test Circuit B)



NOTES a. The input waveform is supplied by a generator with the following characteristics: $Z_{out} = 50 \Omega$; $t_r \leq 15 \text{ ns}$; duty cycle = 1%; $t_w = 10 \mu\text{s}$
 b. The output waveform is monitored on an oscilloscope with the following characteristics: $t_r \leq 12 \text{ ns}$; $R_{in} \geq 1 \text{ M}\Omega$; $C_{in} \leq 20 \text{ pF}$.

FIGURE 1—SWITCHING TIMES

TYPICAL CHARACTERISTICS

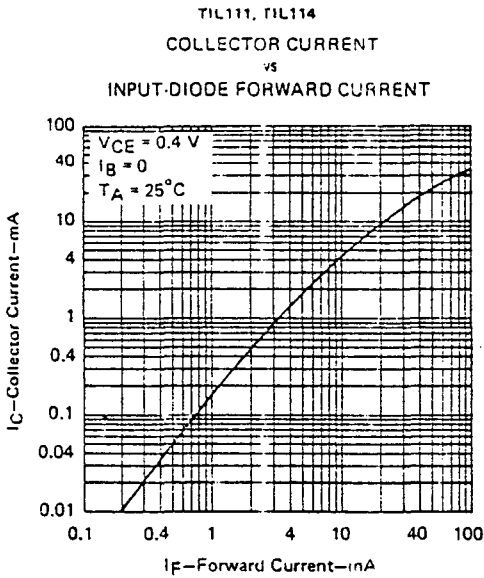


FIGURE 2

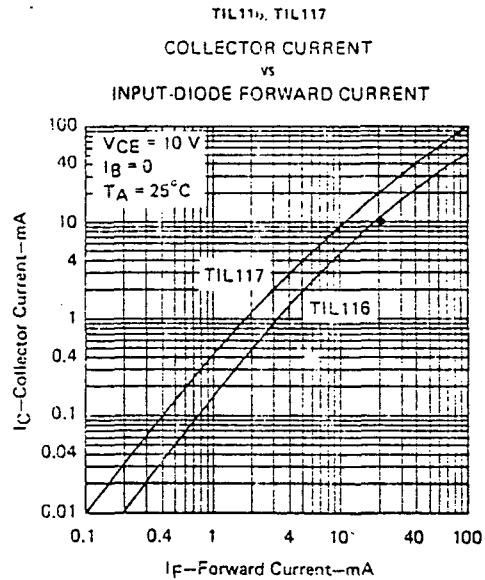


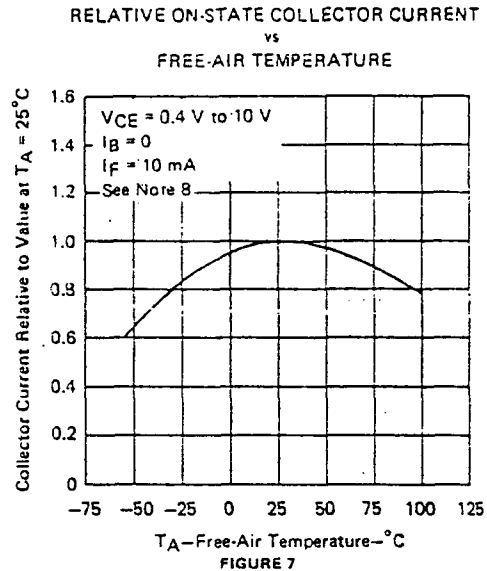
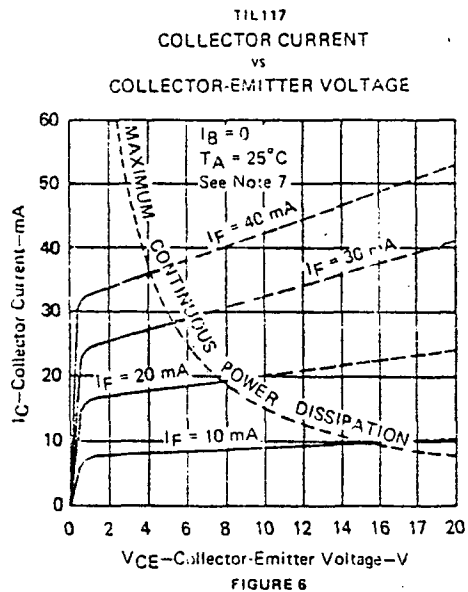
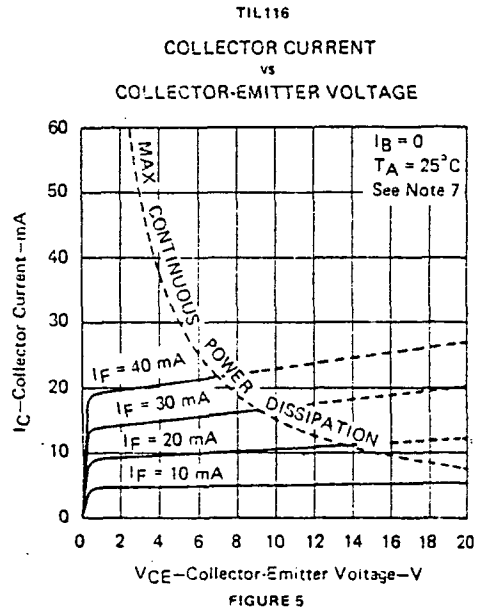
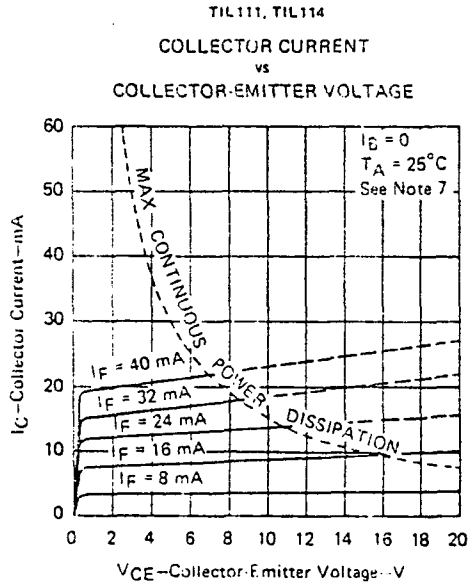
FIGURE 3

TEXAS INSTRUMENTS
 INCORPORATED
 POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

121

TYPES TIL115, TIL114, TIL116, TIL117 OPTO-COUPLEDERS

TYPICAL CHARACTERISTICS



NOTES: 7. Pulse operation of input diode is required for operation beyond limits shown by dotted lines.
8. These parameters were measured using pulse techniques. $t_w = 1$ ms, duty cycle $\leq 2\%$.

TYPES TIL111, TIL114, TIL116, TIL117 OPTO-COUPLEDERS

TYPICAL CHARACTERISTICS

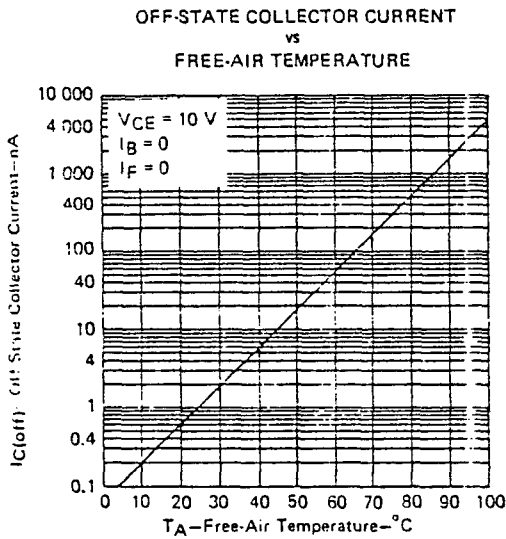


FIGURE 3

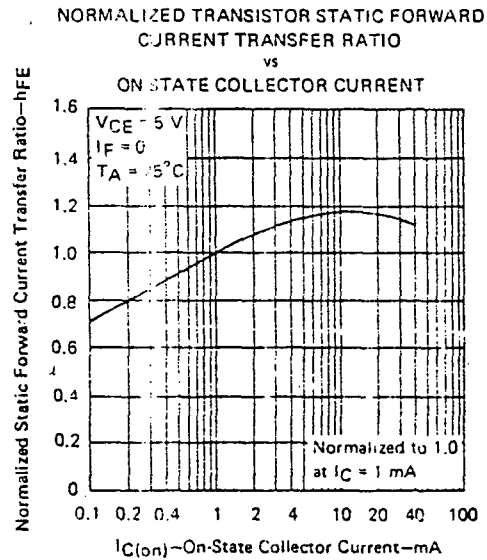


FIGURE 9

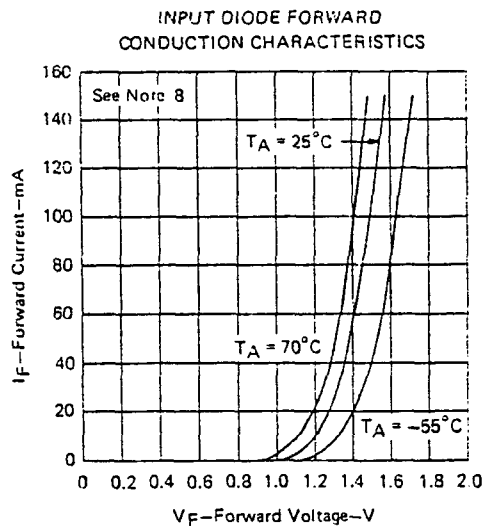


FIGURE 10

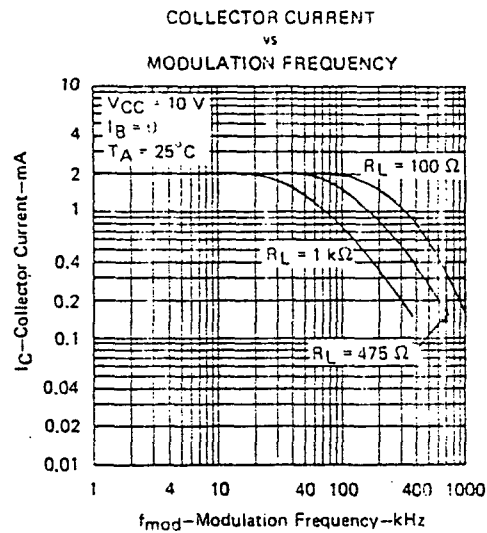


FIGURE 11

NOTE 8: These parameters were measured using pulse techniques. $t_w = 1\text{ ms}$, duty cycle $\leq 2\%$.

TI cannot assume any responsibility for any circuits shown or represent that they are free from patent infringement.

TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES AT ANY TIME IN ORDER TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCT POSSIBLE.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

123

μA741

FREQUENCY-COMPENSATED OPERATIONAL AMPLIFIER PIHER SEMICONDUCTORES

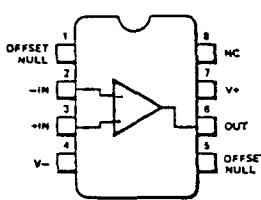
GENERAL DESCRIPTION — The μA741 is a high performance monolithic Operational Amplifier constructed using the Fairchild Planar* epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of latch-up tendencies make the μA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications. Electrical characteristics of the μA741A and E are identical to MIL-M-38510/10101.

- NO FREQUENCY COMPENSATION REQUIRED
- SHORT CIRCUIT PROTECTION
- OFFSET VOLTAGE NULL CAPABILITY
- LARGE COMMON MODE AND DIFFERENTIAL VOLTAGE RANGES
- LOW POWER CONSUMPTION
- NO LATCH-UP

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	
μA741A, μA741, μA741E	±22 V
μA741C	±18 V
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
Molded and Hermetic DIP	670 mW
Mini DIP	310 mW
Flatpak	570 mW
Differential Input Voltage	
Input Voltage (Note 2)	±15 V
Storage Temperature Range	
Metal Can, Hermetic DIP, and Flatpak	-65°C to +150°C
Mini DIP, Molded DIP	-55°C to +125°C
Operating Temperature Range	
Military (μA741A, μA741)	-55°C to +125°C
Commercial (μA741E, μA741C)	0°C to +70°C
Lead Temperature (Soldering)	
Metal Can, Hermetic DIPs, and Flatpak (60 s)	300°C
Molded DIPs (10 s)	260°C
Output Short Circuit Duration (Note 3)	Indefinite

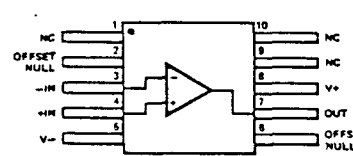
**8-LEAD MINIDIP
(TOP VIEW)
PACKAGE OUTLINES 6T 9T
PACKAGE CODES T R**



ORDER INFORMATION

TYPE	PART NO.
μA741C	μA741TC
μA741C	μA741RC

**10-LEAD FLATPAK
(TOP VIEW)
PACKAGE OUTLINE 3F**

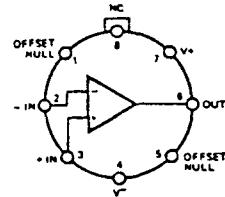


ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AFM
μA741	μA741FM

CONNECTION DIAGRAMS

**8-LEAD METAL CAN
(TOP VIEW)
PACKAGE OUTLINE 5B**

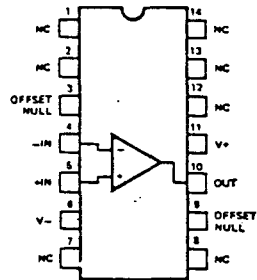


Note: Pin 4 connected to case

ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AHM
μA741	μA741HM
μA741E	μA741EHC
μA741C	μA741HC

**14-LEAD DIP
(TOP VIEW)
PACKAGE OUTLINE 6A, 9A**



ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741ADM
μA741	μA741DM
μA741E	μA741EDC
μA741C	μA741DC
μA741C	μA741PC

*Planar is a patented Fairchild process.

μA741A

CHARACTERISTICS (V_S = ±15V, T_A = 25°C unless otherwise specified)

DEFINITIONS	CONDITIONS	MIN	TYP	MAX	UNITS
	R _S < 50Ω		0.8	3.0	mV
Voltage Drift				15	μV/°C
			3.0	30	nA
Current Drift				0.5	nA/°C
			30	80	nA
Common Mode Ratio	V _S = +10, -20; V _S = +20, -10V, R _S = 50Ω		15	50	μV/V
Supply Current		10	25	35	mA
	V _S = ±20V		80	150	mW
	V _S = ±20V	1.0	6.0		MΩ
Open Loop Gain	V _S = ±20V, R _L = 2kΩ, V _{OUT} = ±15V	50			V/mV
Rise Time			0.25	0.8	μs
Overshoot			6.0	20	%
Bandwidth		0.437	1.5		MHz
Input Impedance	V _{IN} = ±10V	0.3	0.7		V/μs
Specifications apply for -55°C < T _A < +125°C					
				4.0	mV
				70	nA
				210	nA
Common Mode Ratio	V _S = ±20V, V _{IN} = ±15V, R _S = 50Ω	80	95		dB
Offset Voltage	V _S = ±20V	10			mV
Supply Current		10		40	mA
	V _S = ±20V			165	mW
	-55°C			135	mW
	+125°C				
	V _S = ±20V	0.5			MΩ
	R _L = 10kΩ	±16			V
	R _L = 2kΩ	±15			V
Open Loop Gain	V _S = ±20V, R _L = 2kΩ, V _{OUT} = ±15V	32			V/mV
Gain	V _S = ±5V, R _L = 2kΩ, V _{OUT} = ±2V	10			V/mV

Operating ambient temperatures up to 70°C. Above 70°C ambient derate linearly at 6.3mW/°C for the metal can, 8.3mW/°C for the Flatpak.
 If the supply voltage is less than ±15V, the absolute maximum input voltage is equal to the supply voltage.
 Rating applies to +125°C case temperature or 75°C ambient temperature.
 BW(MHz) = 0.35 / Rise Time (μs)

μA741C

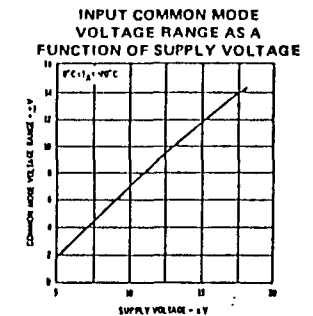
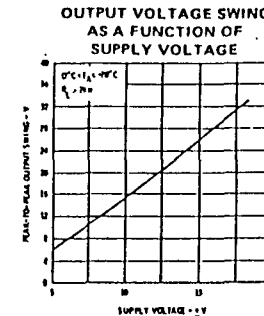
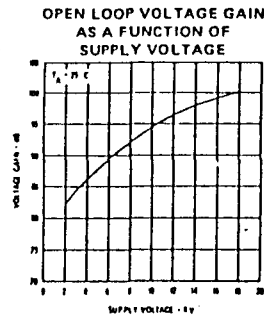
ELECTRICAL CHARACTERISTICS (V_S = ±15V, T_A = 25°C unless otherwise specified)

PARAMETERS (see definitions)	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	R _S < 10 kΩ		2.0	6.0	mV
Input Offset Current			20	200	nA
Input Bias Current			80	500	nA
Input Resistance		0.3	2.0		MΩ
Input Capacitance			1.4		pF
Offset Voltage Adjustment Range			±15		mV
Input Voltage Range		±12	±13		V
Common Mode Rejection Ratio	R _S < 10 kΩ	70	90		dB
Supply Voltage Rejection Ratio	R _S < 10 kΩ		30	150	μV/V
Large Signal Voltage Gain	R _L > 2 kΩ, V _{OUT} = ±10 V	20,000	200,000		
Output Voltage Swing	R _L > 10 kΩ	±12	±14		V
	R _L > 2 kΩ	±10	±13		V
Output Resistance			75		Ω
Output Short Circuit Current			25		mA
Supply Current			1.7	2.8	mA
Power Consumption			50	85	mW
Transient Response (Unity Gain)	Rise time	V _{IN} = 20 mV, R _L = 2 kΩ, C _L < 100 pF	0.3		μs
			Overshoot	5.0	
Slew Rate	R _L > 2 kΩ		0.5		V/μs

The following specifications apply for 0°C < T_A < +70°C:

Input Offset Voltage				7.5	mV
Input Offset Current				300	nA
Input Bias Current				800	nA
Large Signal Voltage Gain	R _L > 2 kΩ, V _{OUT} = ±10 V	15,000			
Output Voltage Swing	R _L > 2 kΩ	±10	±13		V

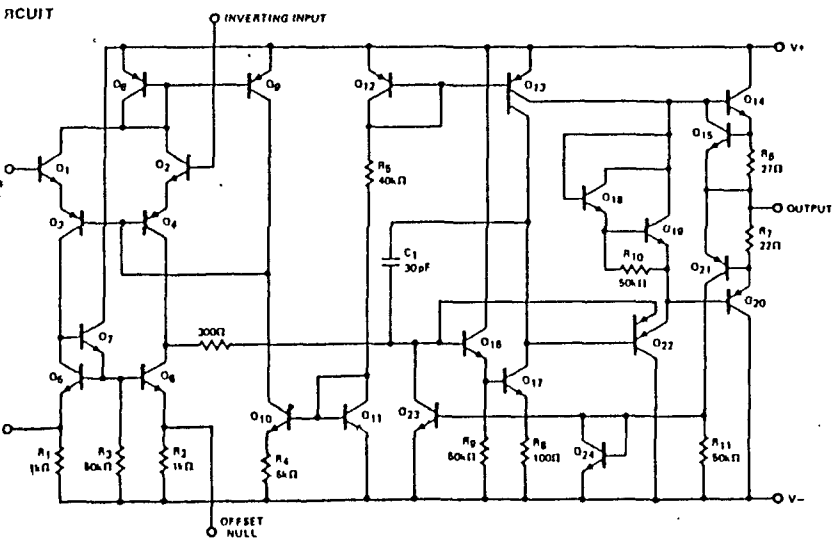
TYPICAL PERFORMANCE CURVES FOR μA741E AND μA741C



μA741E

CHARACTERISTICS (V_S = ±15V, T_A = 25°C unless otherwise specified)

DEFINITIONS	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	R _S < 50Ω		0.8	3.0	mV
Input Offset Voltage Drift				15	μV/°C
Input Bias Current			3.0	30	nA
Input Current Drift				0.5	nA/°C
Common Mode Rejection Ratio	V _S = +10, -20; V _S = +20, -10V, R _S = 50Ω		15	50	μV/V
Supply Current		10	25	35	mA
	V _S = ±20V		80	150	mW
	V _S = ±20V	1.0	6.0		MΩ
Open Loop Voltage Gain	V _S = ±20V, R _L = 2kΩ, V _{OUT} = ±15V	50			V/mV
Transient Response (Unity Gain)	Rise Time		0.25	0.8	μs
	Overshoot		6.0	20	%
Bandwidth (Unity Gain)	V _{IN} = ±10V	0.437	1.5		MHz
Input Impedance		0.3	0.7		V/μs
The following specifications apply for 0°C < T _A < 70°C					
Input Offset Voltage				4.0	mV
Input Bias Current				70	nA
Input Current Drift				210	nA
Common Mode Rejection Ratio	V _S = ±20V, V _{IN} = ±15V, R _S = 50Ω	80	95		dB
Input Offset Voltage	V _S = ±20V	10			mV
Supply Current		10		40	mA
	V _S = ±20V			150	mW
Input Resistance		0.5			MΩ
Output Voltage Swing	V _S = ±20V, R _L = 10kΩ	±16			V
	V _S = ±20V, R _L = 2kΩ	±15			V
Open Loop Voltage Gain	V _S = ±20V, R _L = 2kΩ, V _{OUT} = ±15V	32			V/mV
	V _S = ±15V, R _L = 2kΩ, V _{OUT} = ±2V	10			V/mV



μA741

ELECTRICAL CHARACTERISTICS (V_S = ±15V, T_A = 25°C unless otherwise specified)

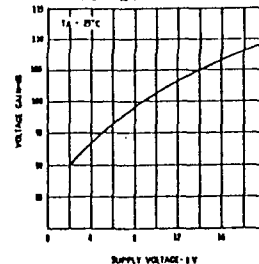
PARAMETERS (see definitions)	CONDITIONS	MIN	TYP	MAX	UNITS	
Input Offset Voltage	R _S < 10 kΩ		1.0	5.0	mV	
Input Offset Current			20	200	nA	
Input Bias Current			80	500	nA	
Input Resistance		0.3	2.0		MΩ	
Input Capacitance			1.4		pF	
Offset Voltage Adjustment Range			±15		mV	
Large Signal Voltage Gain	R _L > 2 kΩ, V _{OUT} = ±10 V	60,000	200,000			
Output Resistance			75		Ω	
Output Short Circuit Current			25		mA	
Supply Current			1.7	2.8	mA	
Power Consumption			50	85	mW	
Transient Response (Unity Gain)	Rise time	V _{IN} = 20 mV, R _L = 2 kΩ, C _L < 100 pF		0.3		μs
			Overshoot		5.0	
Slew Rate	R _L > 2 kΩ		0.5		V/μs	

The following specifications apply for -55°C < T_A < +125°C:

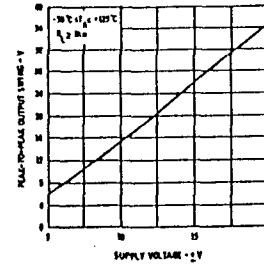
Input Offset Voltage	R _S < 10 kΩ		1.0	6.0	mV
Input Offset Current	T _A = +125°C		7.0	200	nA
	T _A = -55°C		85	500	nA
Input Bias Current	T _A = +125°C		0.03	0.6	μA
	T _A = -55°C		0.3	1.5	μA
Input Voltage Range		±12	±13		V
Common Mode Rejection Ratio	R _S < 10 kΩ	70	90		dB
Supply Voltage Rejection Ratio	R _S < 10 kΩ		30	150	μV/V
Large Signal Voltage Gain	R _L > 2 kΩ, V _{OUT} = ±10 V	25,000			
Output Voltage Swing	R _L > 10 kΩ	±12	±14		V
	R _L > 2 kΩ	±10	±13		V
Supply Current	T _A = +125°C		1.5	2.5	mA
	T _A = -55°C		2.0	3.3	mA
	T _A = +125°C		45	75	mW
Power Consumption	T _A = +125°C		60	100	mW
	T _A = -55°C				

TYPICAL PERFORMANCE CURVES FOR μA741A AND μA741

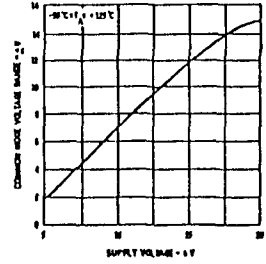
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF SUPPLY VOLTAGE



OUTPUT VOLTAGE SWING AS A FUNCTION OF SUPPLY VOLTAGE

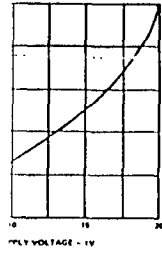


INPUT COMMON MODE VOLTAGE RANGE AS A FUNCTION OF SUPPLY VOLTAGE

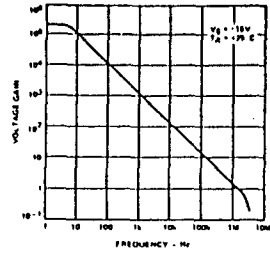


TYPICAL PERFORMANCE CURVES FOR μA741A, μA741, μA741E AND μA741C

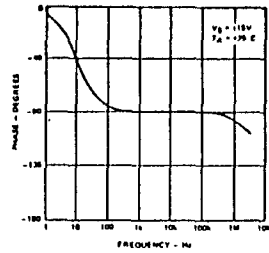
1. CONSUMPTION AS A FUNCTION OF SUPPLY VOLTAGE



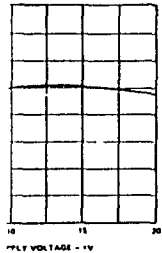
2. OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF FREQUENCY



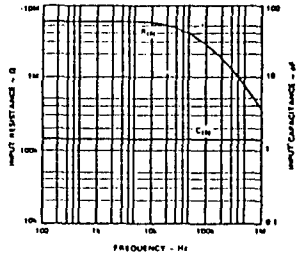
3. OPEN LOOP PHASE RESPONSE AS A FUNCTION OF FREQUENCY



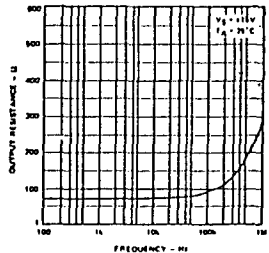
4. OFFSET CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



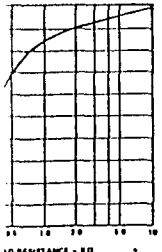
5. INPUT RESISTANCE AND INPUT CAPACITANCE AS A FUNCTION OF FREQUENCY



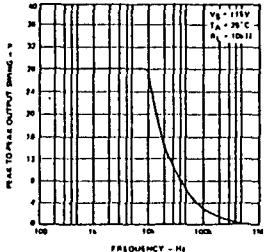
6. OUTPUT RESISTANCE AS A FUNCTION OF FREQUENCY



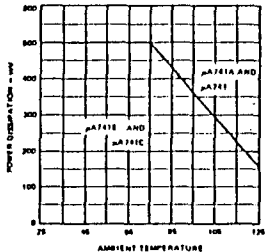
7. VOLTAGE SWING AS A FUNCTION OF LOAD RESISTANCE



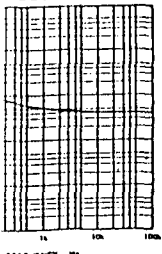
8. OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY



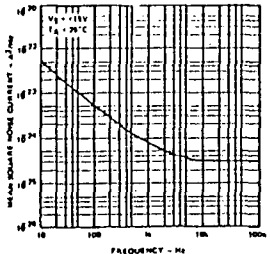
9. ABSOLUTE MAXIMUM POWER DISSIPATION AS A FUNCTION OF AMBIENT TEMPERATURE



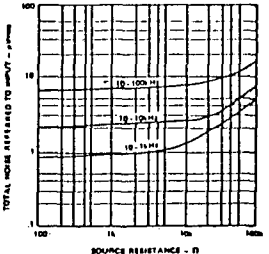
10. NOISE VOLTAGE AS A FUNCTION OF FREQUENCY



11. INPUT NOISE CURRENT AS A FUNCTION OF FREQUENCY

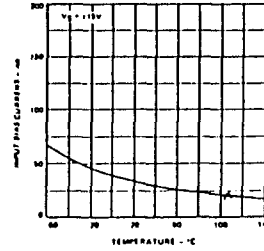


12. BROADBAND NOISE FOR VARIOUS BANDWIDTHS

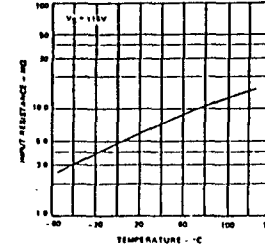


TYPICAL PERFORMANCE CURVES FOR μA741A AND μA741

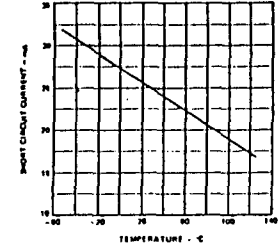
13. INPUT BIAS CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



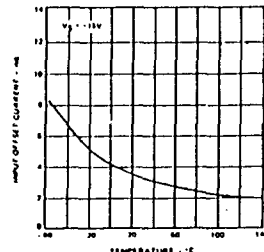
14. INPUT RESISTANCE AS A FUNCTION OF AMBIENT TEMPERATURE



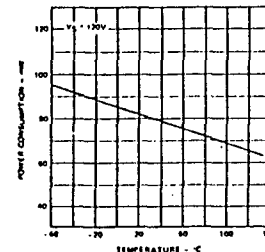
15. OUTPUT SHORT-CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



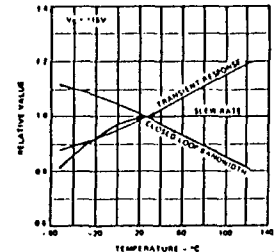
16. INPUT OFFSET CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



17. POWER CONSUMPTION AS A FUNCTION OF AMBIENT TEMPERATURE

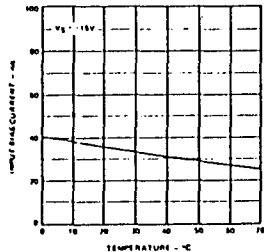


18. FREQUENCY CHARACTERISTICS AS A FUNCTION OF AMBIENT TEMPERATURE

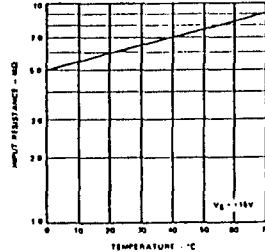


TYPICAL PERFORMANCE CURVES FOR μA741E AND μA741C

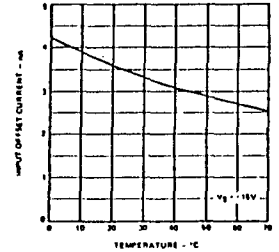
19. INPUT BIAS CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



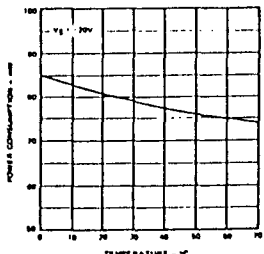
20. INPUT RESISTANCE AS A FUNCTION OF AMBIENT TEMPERATURE



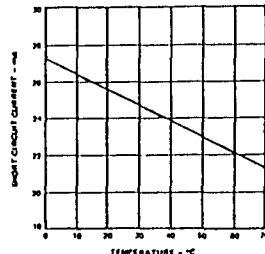
21. INPUT OFFSET CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



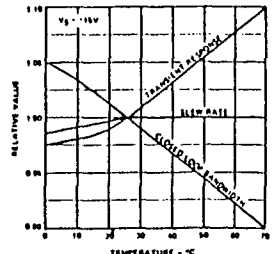
22. POWER CONSUMPTION AS A FUNCTION OF AMBIENT TEMPERATURE



23. OUTPUT SHORT CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE

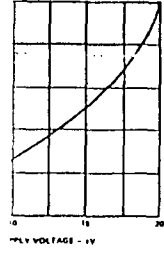


24. FREQUENCY CHARACTERISTICS AS A FUNCTION OF AMBIENT TEMPERATURE

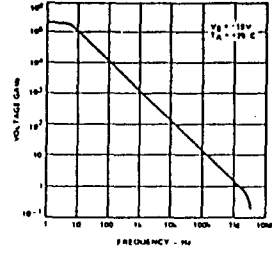


TYPICAL PERFORMANCE CURVES FOR μA741A, μA741, μA741E AND μA741C

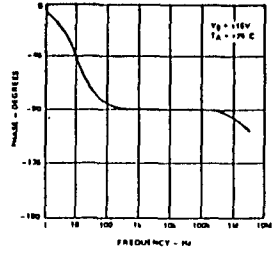
INPUT BIAS CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



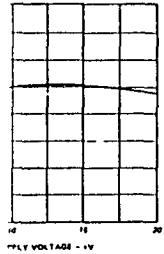
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF FREQUENCY



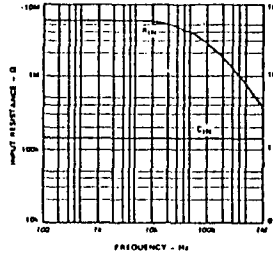
OPEN LOOP PHASE RESPONSE AS A FUNCTION OF FREQUENCY



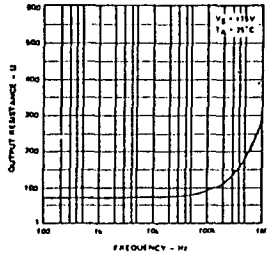
INPUT OFFSET CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



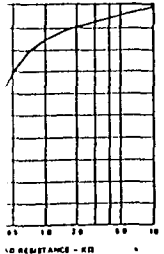
INPUT RESISTANCE AND INPUT CAPACITANCE AS A FUNCTION OF FREQUENCY



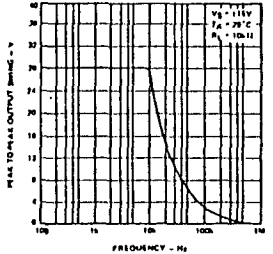
OUTPUT RESISTANCE AS A FUNCTION OF FREQUENCY



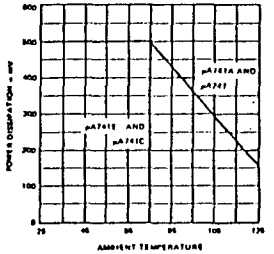
OUTPUT VOLTAGE SWING AS A FUNCTION OF LOAD RESISTANCE



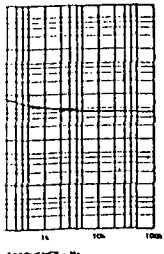
OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY



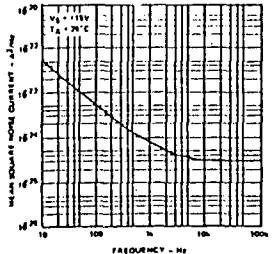
ABSOLUTE MAXIMUM POWER DISSIPATION AS A FUNCTION OF AMBIENT TEMPERATURE



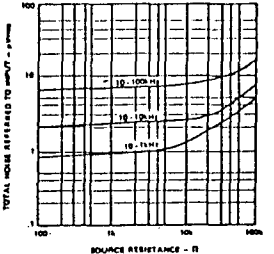
NOISE VOLTAGE AS A FUNCTION OF FREQUENCY



INPUT NOISE CURRENT AS A FUNCTION OF FREQUENCY

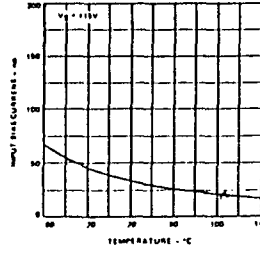


BROADBAND NOISE FOR VARIOUS BANDWIDTHS

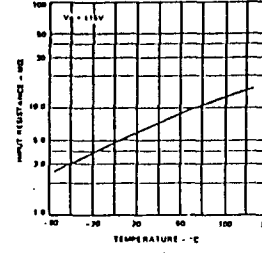


TYPICAL PERFORMANCE CURVES FOR μA741A AND μA741

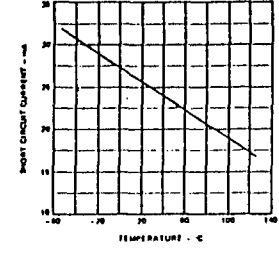
INPUT BIAS CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



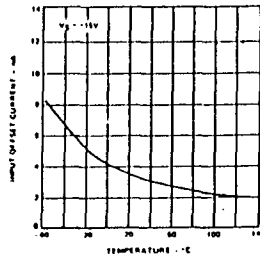
INPUT RESISTANCE AS A FUNCTION OF AMBIENT TEMPERATURE



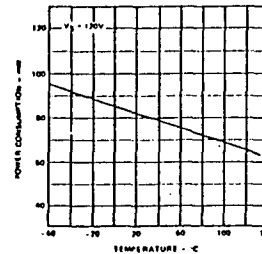
OUTPUT SHORT-CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



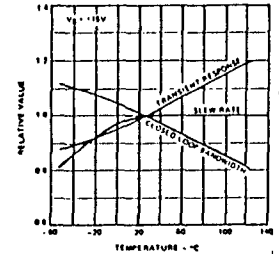
INPUT OFFSET CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



POWER CONSUMPTION AS A FUNCTION OF AMBIENT TEMPERATURE

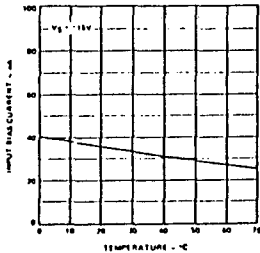


FREQUENCY CHARACTERISTICS AS A FUNCTION OF AMBIENT TEMPERATURE

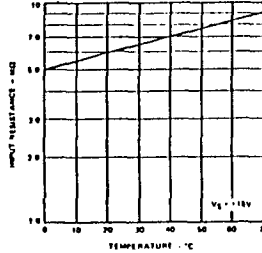


TYPICAL PERFORMANCE CURVES FOR μA741E AND μA741C

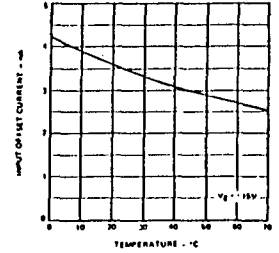
INPUT BIAS CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



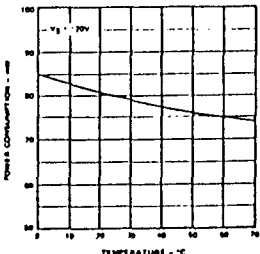
INPUT RESISTANCE AS A FUNCTION OF AMBIENT TEMPERATURE



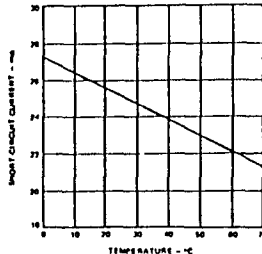
INPUT OFFSET CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



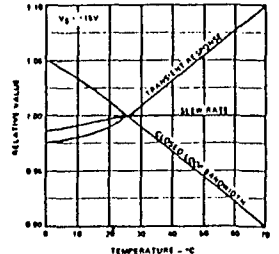
POWER CONSUMPTION AS A FUNCTION OF AMBIENT TEMPERATURE



OUTPUT SHORT CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



FREQUENCY CHARACTERISTICS AS A FUNCTION OF AMBIENT TEMPERATURE



LM118/LM218/LM318 Operational Amplifiers

General Description

The LM118 series are precision high speed operational amplifiers designed for applications requiring wide bandwidth and high slew rate. They feature a factor of ten increase in speed over general purpose devices without sacrificing DC performance.

Features

- 15 MHz small signal bandwidth
- Guaranteed 50V/μs slew rate
- Maximum bias current of 250 nA
- Operates from supplies of ±5V to ±20V
- Internal frequency compensation
- Input and output overload protected
- Pin compatible with general purpose op amps

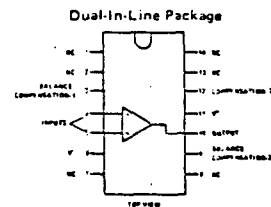
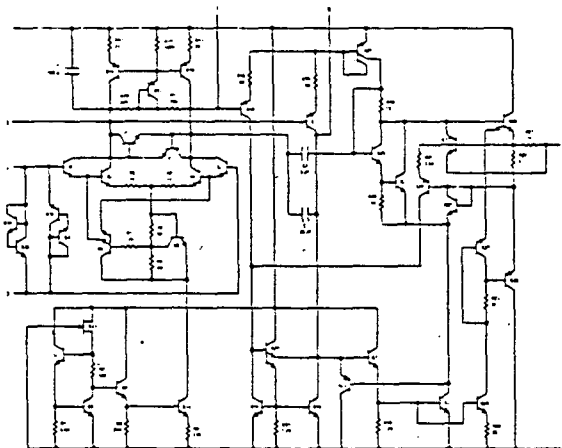
The LM118 series has internal unity gain frequency compensation. This considerably simplifies its application since no external components are necessary for operation. However, unlike most internally

compensated amplifiers, external frequency compensation may be added for optimum performance. For inverting applications, feed-forward compensation will boost the slew rate to over 150V/μs and almost double the bandwidth. Overcompensation can be used with the amplifier for greater stability when maximum bandwidth is not needed. Further, a single capacitor can be added to reduce the 0.1% settling time to under 1 μs.

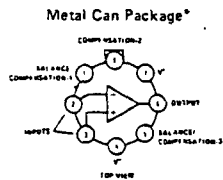
The high speed and fast settling time of these op amps make them useful in A/D converters, oscillators, active filters, sample and hold circuits, or general purpose amplifiers. These devices are easy to apply and offer an order of magnitude better AC performance than industry standards such as the LM709.

The LM218 is identical to the LM118 except that the LM218 has its performance specified over a -25°C to +85°C temperature range. The LM318 is specified from 0°C to +70°C.

Schematic and Connection Diagrams

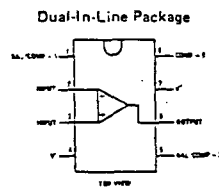


Order Number LM118J, LM218J or LM318J
See NS Package J14A



*Pin connections shown on schematic diagram and typical applications are for TO-5 package.

Order Number LM118H, LM218H or LM318H
See NS Package H08C



Order Number LM118J-8, LM218J-8 or LM318J-8
See NS Package J08A
Order Number LM318N
See NS Package N08B

LM118/LM218/LM318



Absolute Maximum Ratings

Supply Voltage	120V
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	±10 mA
Input Voltage (Note 3)	±15V
Output Short-Circuit Duration	Indefinite
Operating Temperature Range	
LM118	-55°C to +125°C
LM218	-25°C to +85°C
LM318	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	LM118/LM218			LM318			Units
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$	2	4		4	10		mV
Input Offset Current	$T_A = 25^\circ\text{C}$	6	50		30	200		nA
Input Bias Current	$T_A = 25^\circ\text{C}$	120	250		150	500		nA
Input Resistance	$T_A = 25^\circ\text{C}$	1	3		0.5	3		MΩ
Supply Current	$T_A = 25^\circ\text{C}$	5	8		5	10		mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}$, $R_L \geq 2\text{ k}\Omega$	50	200		25	200		V/V
Slew Rate	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $A_V = 1$	50	70		50	70		V/μs
Small Signal Bandwidth	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$	15			15			Hz
Input Offset Voltage				6		15		mV
Input Offset Current				100		300		nA
Input Bias Current				500		750		nA
Supply Current	$T_A = 125^\circ\text{C}$	4.5	7					mA
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$ $R_L \geq 2\text{ k}\Omega$	25			20			V/V
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 2\text{ k}\Omega$	±12	±13		±12	±13		V
Input Voltage Range	$V_S = \pm 15\text{V}$	±11.5			±11.5			V
Common-Mode Rejection Ratio		80	100		70	100		dB
Supply Voltage Rejection Ratio		70	80		65	80		dB

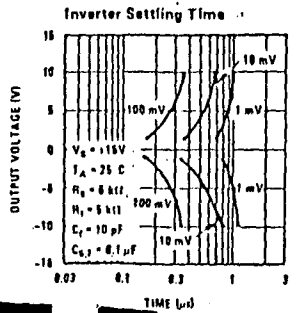
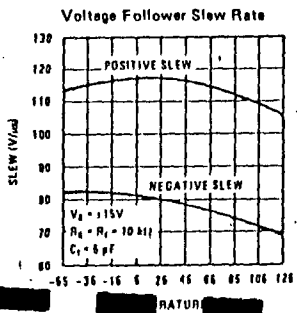
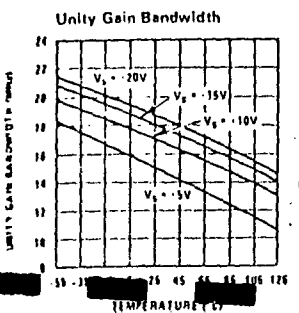
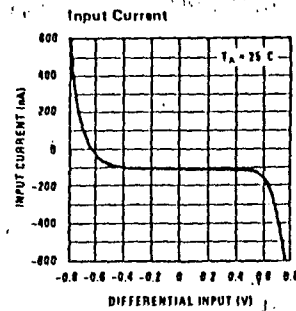
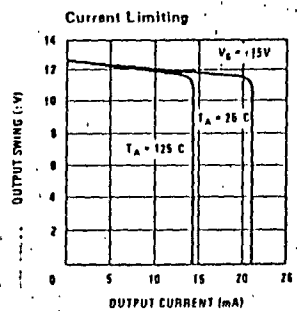
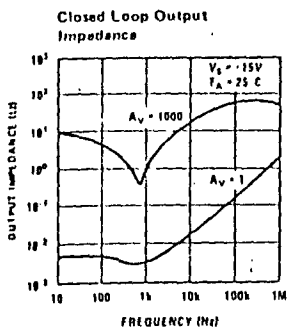
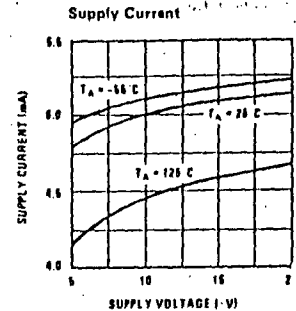
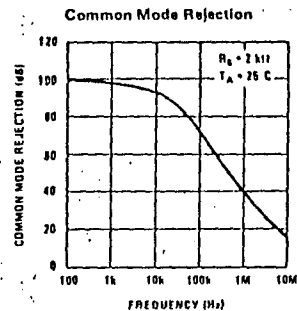
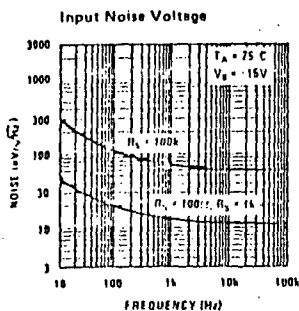
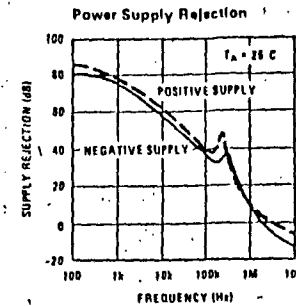
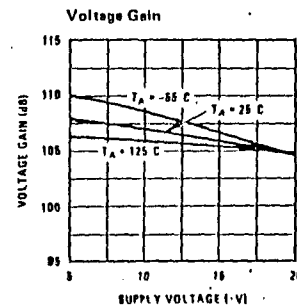
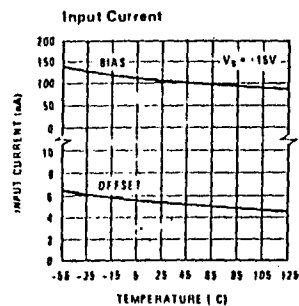
Note 1: The maximum junction temperature of the LM118 is 150°C, the LM218 is 110°C, and the LM318 is 110°C. For operating at temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, case to case. The thermal resistance of the dual in-line package is 100°C/W, junction to ambient.

Note 2: The inputs are shunted with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

Note 3: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 4: These specifications apply for $\pm 15\text{V} \leq V_S \leq \pm 20\text{V}$ and $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM118), $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ (LM218), and $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ (LM318). Also, power supplies must be bypassed with 0.1μF disc capacitors.

Typical Performance Characteristics LM118, LM218





Voltage Regulators

LM78MXX Series 3-Terminal Positive Regulators

General Description

The LM78MXX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78MXX series is available in the plastic TO-202 package. This package allows these regulators to deliver over 0.5A if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

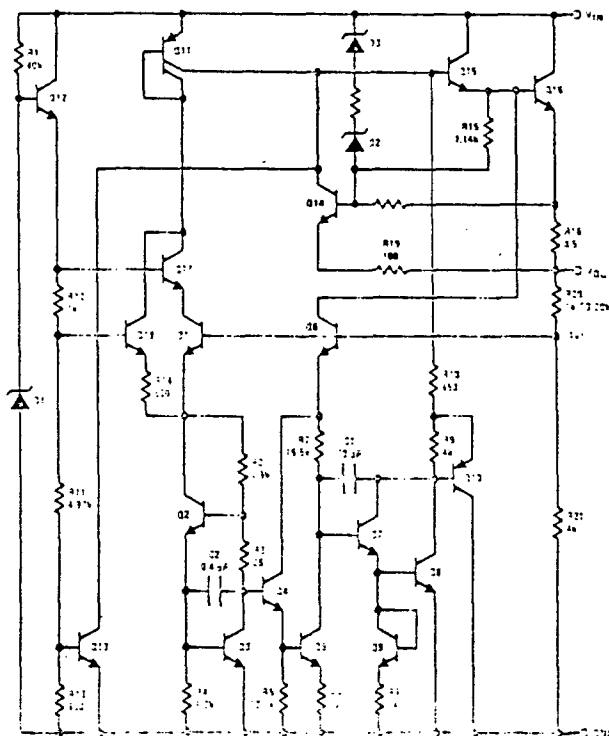
Considerable effort was expended to make the LM78MXX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

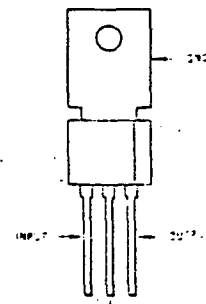
Features

- Output current in excess of 0.5A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in plastic TO-202 package
- Special circuitry allows start-up even if output is pulled to negative voltage (\pm supplies)

Schematic and Connection Diagrams



Plastic Package



Order Numbers
 LM78M05CP
 LM78M12CP
 LM78M15CP
 See Package P03A

For Tab Band TO-202
 Order Numbers
 LM78M05CP TB
 LM78M12CP TB
 LM78M15CP TB
 See Package P03E

1-190

Maximum Ratings

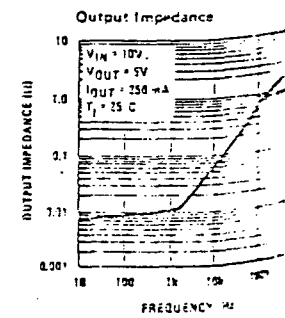
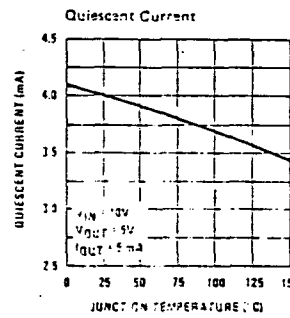
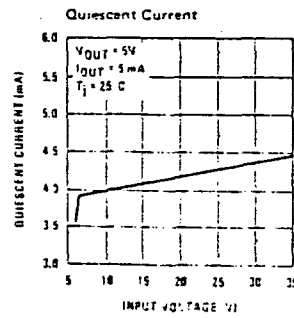
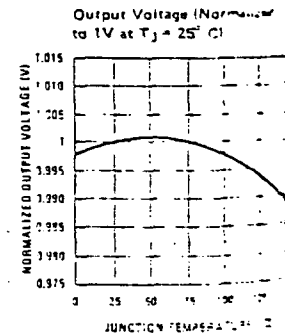
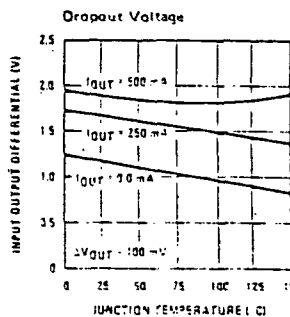
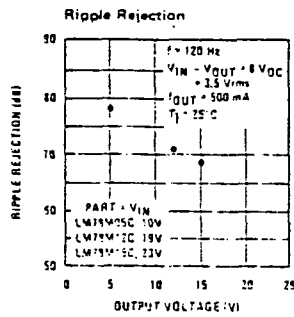
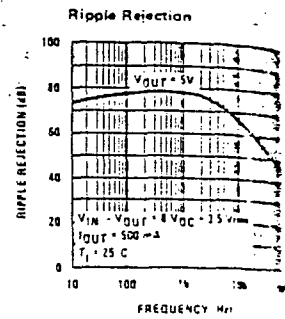
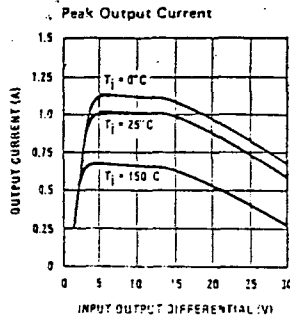
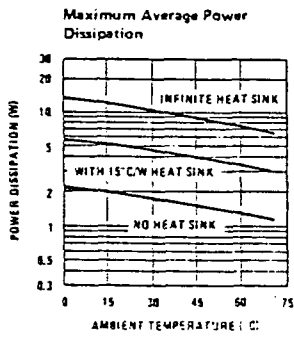
35V
 Internally Limited
 0°C to +70°C
 +125°C
 -65°C to +150°C
 +230°C
 (Pulse loading, 10 seconds)

Electrical Characteristics $T_A = 0^\circ\text{C}$ to 70°C , $I_O = 500\text{ mA}$, unless otherwise noted.

PARAMETER	CONDITIONS	5V			12V			15V			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Output Voltage	$T_J = 25^\circ\text{C}$	4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V
Output Voltage Regulation	$P_D \leq 7.5\text{ W}$, $5\text{ mA} \leq I_O \leq 500\text{ mA}$, and $V_{\text{MIN}} \leq V_{\text{IN}} \leq V_{\text{MAX}}$	4.75		5.25	11.4		12.6	14.25		15.75	V
		(7.5 $\leq V_{\text{IN}} \leq 20$)			(14.8 $\leq V_{\text{IN}} \leq 27$)			(16 $\leq V_{\text{IN}} \leq 30$)			V
Line Regulation	$T_J = 25^\circ\text{C}$, $I_O = 100\text{ mA}$			50			120			150	mV
	$T_J = 25^\circ\text{C}$, $I_O = 500\text{ mA}$			100			240			300	mV
				(7.2 $\leq V_{\text{IN}} \leq 25$)			(14.5 $\leq V_{\text{IN}} \leq 30$)			(17.6 $\leq V_{\text{IN}} \leq 30$)	V
Dropout Voltage	$T_J = 25^\circ\text{C}$, $5\text{ mA} \leq I_O \leq 500\text{ mA}$			100			240			300	mV
Temperature Stability				20			48			60	mV/1000 hrs
Quiescent Current	$T_J = 25^\circ\text{C}$		4	10		4	10		4	10	mA
Maximum Current	$T_J = 25^\circ\text{C}$			0.5			0.5			0.5	mA
	$5\text{ mA} \leq I_O \leq 500\text{ mA}$										mA
Voltage	$T_J = 25^\circ\text{C}$			1			1			1	mA
	$V_{\text{MIN}} \leq V_{\text{IN}} \leq V_{\text{MAX}}$			(7.5 $\leq V_{\text{IN}} \leq 25$)			(14.8 $\leq V_{\text{IN}} \leq 30$)			(16 $\leq V_{\text{IN}} \leq 30$)	V
Load Noise Voltage	$T_J = 25^\circ\text{C}$, $f = 10\text{ Hz} - 100\text{ kHz}$		40			75			90		μV
Regulation Rejection	$f = 120\text{ Hz}$		78			71			69		V
Dropout Voltage to Maintain Regulation	$T_J = 25^\circ\text{C}$, $I_O = 500\text{ mA}$		7.2			14.5			17.6		V

Thermal resistance without a heat sink for junction to case temperature is 12°C/W for the TO-202 package. Thermal resistance for ambient temperature is 70°C/W for the TO-202 package.

Typical Performance Characteristics



LM79XX Series 3-Terminal Negative Regulators

General Description

The LM79XX series of 3-terminal regulators is available in 3 output voltages of -5V, -12V, and -15V. These devices need only one external component—a bypass capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting safe area protection and thermal shutdown for protection against virtually all overload conditions.

The ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current

drawn of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

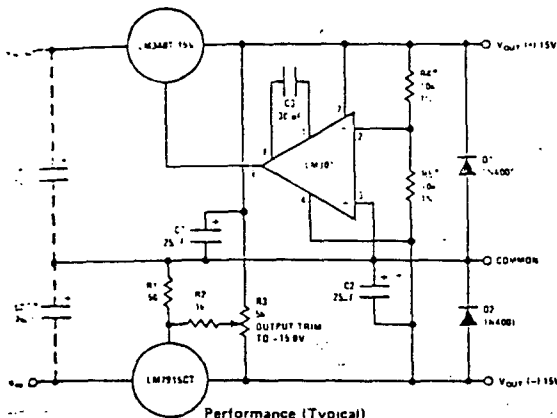
For applications requiring other voltages, see LM127 data sheet.

Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% preset output voltage

Typical Applications

-15V, 1 Amp Tracking Regulators

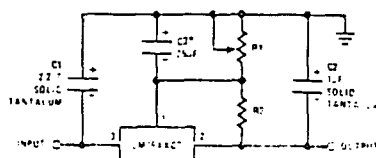


Performance (Typical)

	(-15)	(+15)
Load Regulation at $\Delta I_L = 1A$	40 mV	2 mV
Output Ripple $C_{IN} = 3000\mu F, I_L = 1A$	100µVrms	100µVrms
Temperature Stability	50 mV	50 mV
Output Noise 10 Hz $\leq f \leq$ 10 kHz	150µVrms	150µVrms

*Resistor tolerance of R4 and R5 determine matching of (+) and (-) outputs
 **Necessary only if raw supply filter capacitors are more than 3" from regulators

Variable Output



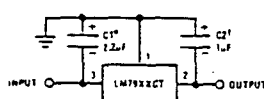
Improves transient response and ripple rejection
 Do not increase beyond 50µF

$$V_{OUT} = V_{SET} \left(\frac{R1 + R2}{R2} \right)$$

Select R2 as follows

LM7905CT	300Ω
LM7912CT	750Ω
LM7915CT	1k

Fixed Regulator

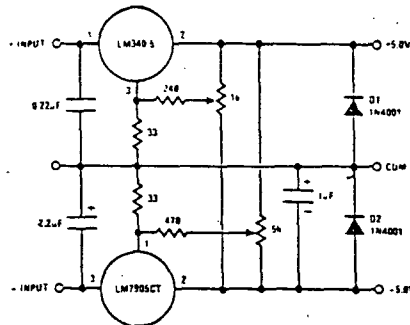


*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25µF aluminum electrolytic may be substituted.

**Required for stability. For value given, capacitor must be solid tantalum. 25µF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100µF, a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

Dual Trimmed Supply



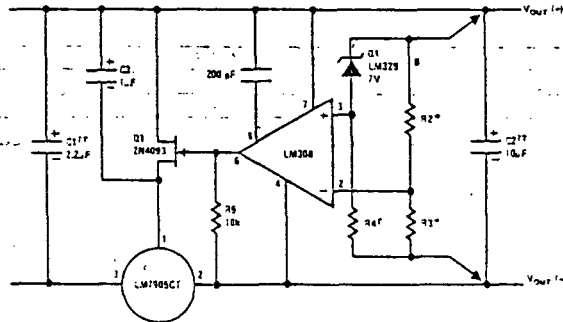
Electrical Characteristics (Continued) Conditions unless otherwise noted: $I_{OUT} = 500\text{ mA}$, $C_{IN} = 2.2\mu\text{F}$, $T_J \leq -125^\circ\text{C}$, Power Dissipation = 1.5W.

PARAMETER	CONDITIONS	LM7912C			LM7915C			UNITS	
		12V			15V				
		MIN	TYP	MAX	MIN	TYP	MAX		
Output Voltage	$T_J = 25^\circ\text{C}$ $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$ $P \leq 1.5\text{ W}$	-11.5	-12.0	-12.5	-14.4	-15.0	-15.6	V	
		-11.4		-12.6	-14.25		-15.75	V	
		(-27 $\leq V_{IN} \leq -14.5$)			(-30 $\leq V_{IN} \leq -17.5$)			V	
Line Regulation	$T_J = 25^\circ\text{C}$, (Note 2)		5	80		5	100	mV	
			(-30 $\leq V_{IN} \leq -14.5$)			(-30 $\leq V_{IN} \leq -17.5$)			V
			3	30		3	50	mV	
			(-22 $\leq V_{IN} \leq -16$)			(-26 $\leq V_{IN} \leq -20$)			V
Load Regulation	$T_J = 25^\circ\text{C}$, (Note 2) $5\text{ mA} \leq I_{OUT} \leq 1.5\text{ A}$ $250\text{ mA} \leq I_{OUT} \leq 750\text{ mA}$		15	200		15	200	mV	
			15	200		15	200	mV	
			5	75		5	75	mV	
Quiescent Current	$T_J = 25^\circ\text{C}$		1.5	3		1.5	3	mA	
Quiescent Current	With Line			0.5			0.5	mA	
Dropout Voltage	With Load, $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$		(-30 $\leq V_{IN} \leq -14.5$)			(-30 $\leq V_{IN} \leq -17.5$)			V
				0.5			0.5	mA	
Output Voltage	$T_A = 25^\circ\text{C}$, $10\text{ Hz} \leq f \leq 100\text{ Hz}$			300			375	μV	
Output Voltage	$f = 120\text{ Hz}$	54	70		54	70		dB	
		(-25 $\leq V_{IN} \leq -15$)			(-30 $\leq V_{IN} \leq -17.5$)			V	
Dropout Voltage	$T_J = 25^\circ\text{C}$, $I_{OUT} = 1\text{ A}$			1.1			1.1	V	
Peak Output Current	$T_J = 25^\circ\text{C}$			2.2			2.2	A	
Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{ mA}$, $0^\circ\text{C} \leq T_J \leq 100^\circ\text{C}$			-0.8			-1.0	mV/°C	

* For calculations of junction temperature rise due to power dissipation, thermal resistance junction to ambient (θ_{JA}) is 50°C/W and 1°C/W (infinite heat sink).
 † Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage during a test must be taken into account.

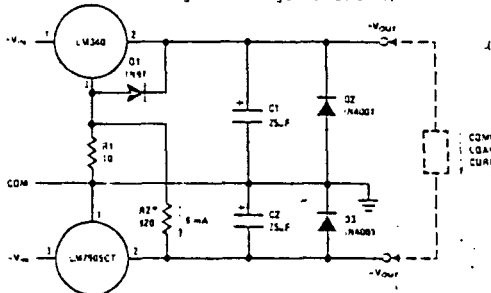
Typical Applications (Continued)

High Stability 1 Amp Regulator



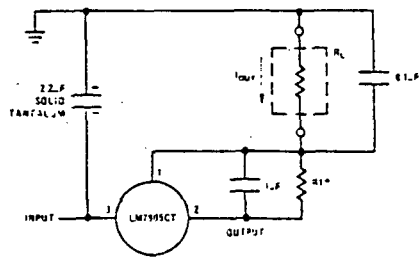
Load and line regulation < 0.01% temperature stability $\leq 0.2\%$
 † Determines Zener current
 †† Solid tantalum
 * Select resistors to set output voltage 2 ppm/°C tracking suggested

Preventing Positive Regulator Latch-Up



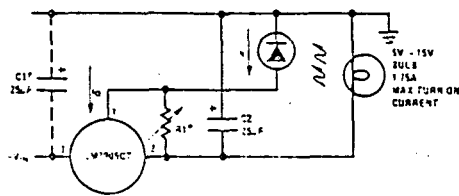
R1 and D1 allow the positive regulator to "start up" when +V_{IN} is delayed relative to -V_{IN} and a heavy load is drawn between the outputs. Without R1 and D1, most three-terminal regulators will not start with heavy (0.1A-1A) load current flowing to the negative regulator, even though the positive output is clamped by Q2.
 * R2 is optional. Ground pin current from the positive regulator flowing through R1 will increase -V_{OUT} = 60 mV if R2 is omitted.

Current Source

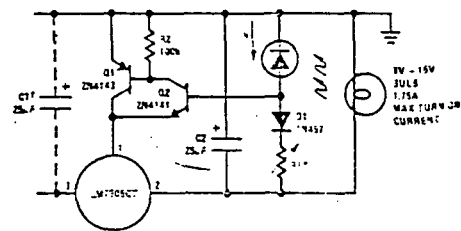


$$I_{OUT} = I_{MA} - \frac{5V}{R1}$$

Light Controllers Using Silicon Photo Cells

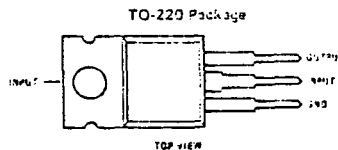
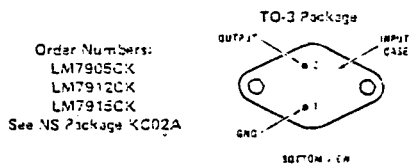


* Lamp brightness increases until $I_L = I_Q (= 1 \text{ mA}) = 5V/R1$.
 † Necessary only if raw supply filter capacitor is more than 2" from LM7905CT



* Lamp brightness increases until $I_L = 5V/R1$ (it can be set as low as 1 uA)
 † Necessary only if raw supply filter capacitor is more than 2" from LM7905CT

Connection Diagrams



MM54C08/MM74C08 Quad 2-Input AND Gate

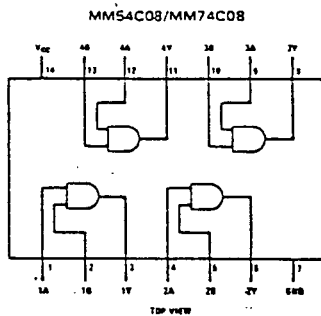
General Description

Employing complementary MOS (CMOS) transistors to achieve wide power supply operating range, low power consumption and high noise margin, these gates provide basic functions used in the implementation of digital integrated circuit systems. The N and P-channel enhancement mode transistors provide a symmetrical circuit with output swing essentially equal to the supply voltage. No dc power other than that caused by leakage current is consumed during static condition. All inputs are protected from damage due to static discharge by diode clamps to V_{CC} and GND.

Features

- Wide supply voltage range 3.0V to 15V
- Guaranteed noise margin 1.0V
- High noise immunity $0.45 V_{CC}$ (typ.)
- Low power fan out of 2
TTL compatibility driving 74L
- Low power consumption* 10 nW/package (typ.)

Connection Diagrams



Truth Tables

MM54C08/MM74C08

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Level L = Low Level

Absolute Maximum Ratings (Note 1)

Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	-55°C to +125°C
154C08, MM54C88	-40°C to +85°C
174C08, MM74C88	-85°C to +150°C
Power Dissipation	500 mW
Operating V_{CC} Range	3.0V to 15V
Absolute Maximum V_{CC}	18V
Storage Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics

Maximum limits apply across the guaranteed temperature range, unless otherwise noted.

Parameter	Conditions	Min.	Typ.	Max.	Units
CMOS to CMOS					
Logical "1" Input Voltage	$V_{CC} = 5.0V$ $V_{CC} = 10V$	3.5 8.0			V
Logical "0" Input Voltage	$V_{CC} = 5.0V$ $V_{CC} = 10V$			1.5 2.0	V
Logical "1" Output Voltage	$V_{CC} = 5.0V, I_O = -10\mu A$ $V_{CC} = 10V, I_O = -10\mu A$	4.5 9.0			V
Logical "0" Output Voltage	$V_{CC} = 5.0V, I_O = +10\mu A$ $V_{CC} = 10V, I_O = +10\mu A$			0.5 1.0	V
Logical "1" Input Current	$V_{CC} = 15V, V_{IN} = 15V$		0.005	1.0	μA
Logical "0" Input Current	$V_{CC} = 15V, V_{IN} = 0V$	-1.0	-0.005		μA
Supply Current	$V_{CC} = 15V$		0.01	15	μA
CMOS/LPTTL Interface					
Logical "1" Input Voltage	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	$V_{CC} - 1.5$ $V_{CC} - 1.5$			V
Logical "0" Input Voltage	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$			0.8 0.8	V
Logical "1" Output Voltage	54C, $V_{CC} = 4.5V, I_O = -360\mu A$ 74C, $V_{CC} = 4.75V, I_O = -360\mu A$	2.4 2.4			V
Logical "0" Output Voltage	54C, $V_{CC} = 4.5V, I_O = +360\mu A$ 74C, $V_{CC} = 4.75V, I_O = +360\mu A$			0.4 0.4	V
Output Drive (See 54C/74C Family Characteristics Data Sheet) (short circuit current)					
Output Source Current (P-Channel)	$V_{CC} = 5.0V, V_{OUT} = 0V$ $T_A = 25^\circ C$	-1.75	-3.3		mA
Output Source Current (P-Channel)	$V_{CC} = 10V, V_{OUT} = 0V$ $T_A = 25^\circ C$	-8.0	15		mA
Output Sink Current (N-Channel)	$V_{CC} = 5.0V, V_{OUT} = V_{CC}$ $T_A = 25^\circ C$	1.75	3.8		mA
Output Sink Current (N-Channel)	$V_{CC} = 10V, V_{OUT} = V_{CC}$ $T_A = 25^\circ C$	8.0	18		mA

AC Electrical Characteristics

(MM54C08/MM74C08) $T_A = 25^\circ C, C_L = 50 pF$, unless otherwise specified.

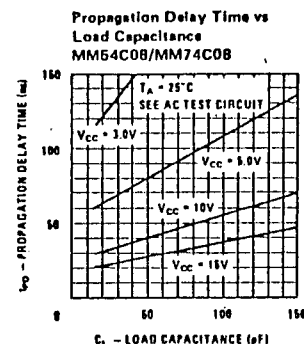
Parameter	Conditions	Min.	Typ.	Max.	Units
t_{pd}, t_{pdt}	Propagation Delay Time to Logical "1" or "0"		80 40	140 70	ns
C_{IH}	Input Capacitance		5.0		pF
C_{PD}	Power Dissipation Capacitance		14		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

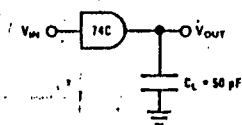
Note 2: Capacitance is guaranteed by periodic testing.

Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics application note — AN-90.

Typical Performance Characteristics

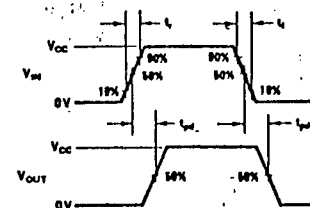


AC Test Circuits



NOTE: DELAYS MEASURED WITH INPUT $t_r = 20 ns$

Switching Time Waveforms



073BM/CD4073BC Double Buffered Triple 3-Input AND Gate
 075BM/CD4075BC Double Buffered Triple 3-Input OR Gate

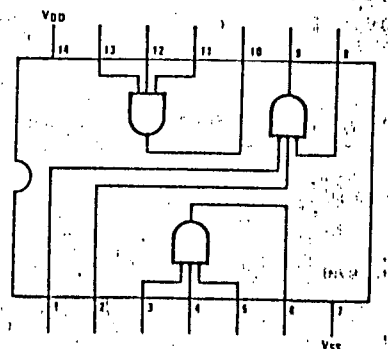
General Description

These gates are monolithic complementary MOS integrated circuits constructed with N- and P-channel enhancement mode transistors. They have high source and sink current capabilities and conform to the B series output drive. The devices also have outputs which improve transfer characteristics by providing very high gain. All inputs are protected by standard CMOS input protection diodes with V_{DD} and V_{SS}.

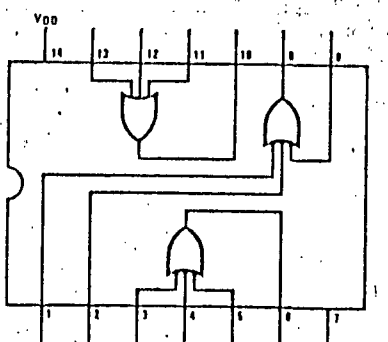
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} typ.
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- 5V - 10V - 15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1μA at 15V over full temperature range

Pin Connection Diagrams



CD4073 Triple 3-Input AND Gate
TOP VIEW



CD4075B Triple 3-Input OR Gate

Absolute Maximum Ratings (Notes 1 and 2)

V _{DD}	DC Supply Voltage	-0.5 V _{DC} to +18 V _{DC}
V _{IN}	Input Voltage	-0.5 V _{DC} to V _{DD} + 0.5 V _{DC}
T _S	Storage Temperature Range	-65°C to +150°C
P _D	Package Dissipation	500 mW
T _L	Lead Temperature (soldering, 10 seconds)	300°C

Operating Conditions (Note 2)

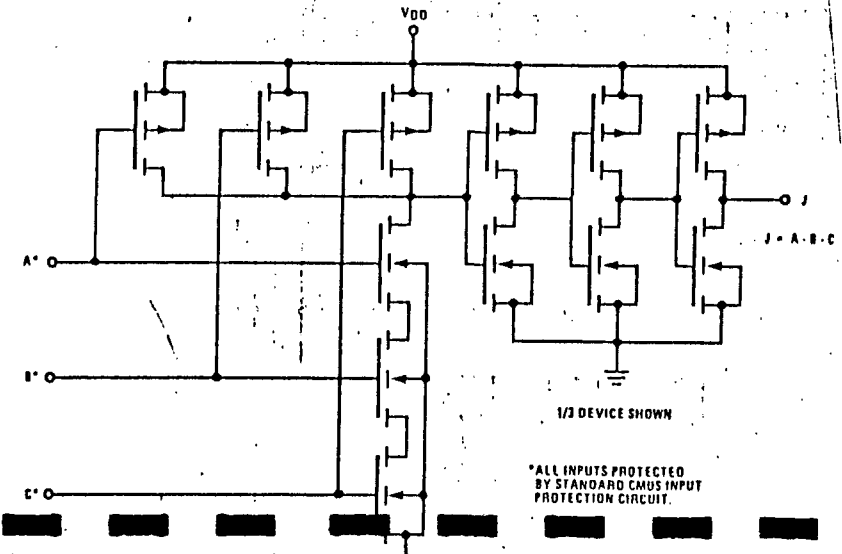
V _{DD}	DC Supply Voltage	+5 V _{DC} to +15 V _{DC}
V _{IN}	Input Voltage	0 V _{DC} to V _{DD} V _{DC}
T _A	Operating Temperature Range	-55°C to +125°C
	CD4073BM/CD4075BM	-55°C to +125°C
	CD4073BC/CD4075BC	-40°C to +85°C

DC Electrical Characteristics CD4073BM/CD4075BM (Note 2)

PARAMETER	CONDITIONS	-55°C		+25°C			+125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD}	Quiescent Device Current V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		0.25 0.5 1.0		0.004 0.005 0.006	0.25 0.5 1.0		7.5 15 30	μA
V _{OL}	Low Level Output Voltage V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V I _{OL} < 1 μA		0.05 0.05 0.05		0 0 0	0.05 0.05 0.05		0.05 0.05 0.05	V
V _{OH}	High Level Output Voltage V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V I _{OH} < 1 μA	4.95 9.95 14.95		4.95 9.95 14.95	5 10 15		4.95 9.95 14.95		V
V _{IL}	Low Level Input Voltage V _{DD} = 5V, V _O = 0.5V V _{DD} = 10V, V _O = 1.0V V _{DD} = 15V, V _O = 1.5V I _{OL} < 1 μA		1.5 3.0 4.0		2 4 6	1.5 3.0 4.0		1.5 3.0 4.0	V
V _{IH}	High Level Input Voltage V _{DD} = 5V, V _O = 4.5V V _{DD} = 10V, V _O = 9.0V V _{DD} = 15V, V _O = 13.5V I _{OH} < 1 μA	3.5 7.0 11.0		3.5 7.0 11.0	3 6 9	3.5 7.0 11.0		3.5 7.0 11.0	V
I _{OL}	Low Level Output Current V _{DD} = 5V, V _O = 0.4V V _{DD} = 10V, V _O = 0.5V V _{DD} = 15V, V _O = 1.5V	0.64 1.6 4.2		0.51 1.3 3.4	0.88 2.2 8	0.36 0.90 2.4			mA
I _{OH}	High Level Output Current V _{DD} = 5V, V _O = 4.6V V _{DD} = 10V, V _O = 9.5V V _{DD} = 15V, V _O = 13.5V	-0.64 -1.6 -4.2		-0.51 -1.3 -3.4	-0.88 -2.2 -8	-0.36 -0.90 -2.4			mA
I _{IN}	Input Current V _{DD} = 15V, V _{IN} = 0V V _{DD} = 15V, V _{IN} = 15V		-0.10 0.10		-10 ⁻⁵ 10 ⁻⁵	-0.10 0.10		-1.0 1.0	μA

Notes on following page.

Schematic Diagram



National Semiconductor

071BM/CD4071BC Quad 2-Input OR Buffered Series Gate 081BM/CD4081BC Quad 2-Input AND Buffered Series Gate

General Description

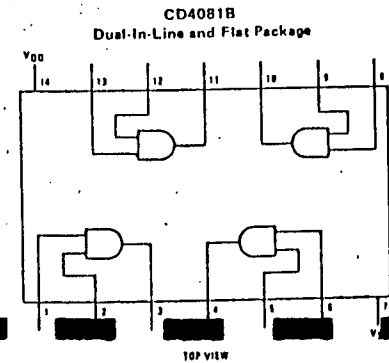
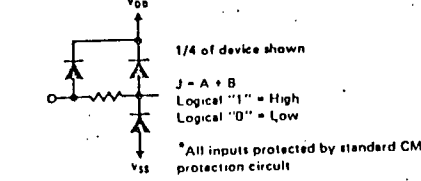
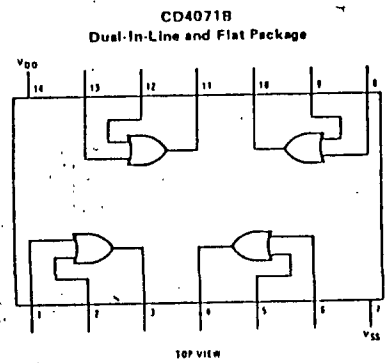
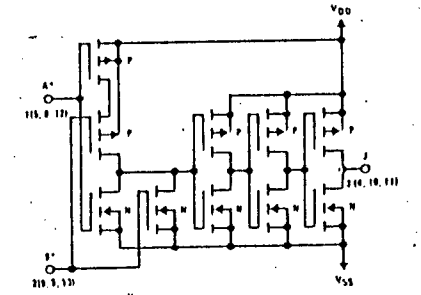
Quad gates are monolithic complementary MOS integrated circuits constructed with N- and P-enhancement mode transistors. They have equal and sink current capabilities and conform to J-B series output drive. The devices also have 10 outputs which improve transfer characteristics and provide very high gain.

Inputs are protected against static discharge with diodes and V_{SS} .

Features

- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- 5V-10-15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15V over full temperature range

Logic and Connection Diagrams



Absolute Maximum Ratings

Inputs 1 and 2)	
Voltage at Any Pin	-0.5V to $V_{DD} + 0.5V$
Package Dissipation	500 mW
V _{DD} Range	-0.5 V _{DC} to +18 V _{DC}
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

Operating V _{DD} Range	3 V _{DC} to 15 V _{DC}
Operating Temperature Range	-65°C to +125°C
CD4071BM, CD4081BM	-65°C to +125°C
CD4071BC, CD4081BC	-40°C to +85°C

DC Electrical Characteristics — CD4071BM/CD4081BM (Note 2)

PARAMETER	CONDITIONS	-55°C		+25°C			+125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		0.25		0.004	0.25		7.5	μ A
	V _{DD} = 10V		0.50		0.005	0.50		15	μ A
	V _{DD} = 15V		1.0		0.006	1.0		30	μ A
V _{OL} Low Level Output Voltage	V _{DD} = 5V		0.05		0	0.05		0.05	V
	V _{DD} = 10V		0.05		0	0.05		0.05	V
	V _{DD} = 15V		0.05		0	0.05		0.05	V
V _{OHL} High Level Output Voltage	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
	V _{DD} = 15V	14.95		14.95	15		14.95		V
V _{IL} Low Level Input Voltage	V _{DD} = 5V, V _O = 0.5V		1.5		2	1.5		1.5	V
	V _{DD} = 10V, V _O = 1.0V		3.0		4	3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V		4.0		6	4.0		4.0	V
V _{IHL} High Level Input Voltage	V _{DD} = 5V, V _O = 4.5V	3.5		3.5	3		3.5		V
	V _{DD} = 10V, V _O = 9.0V	7.0		7.0	6		7.0		V
	V _{DD} = 15V, V _O = 13.5V	11.0		11.0	9		11.0		V
I _{OL} Low Level Output Current	V _{DD} = 5V, V _O = 0.4V		0.64		0.51	0.88		0.36	mA
	V _{DD} = 10V, V _O = 0.5V		1.6		1.3	2.25		0.9	mA
	V _{DD} = 15V, V _O = 1.5V		4.2		3.4	8.8		2.4	mA
I _{OHL} High Level Output Current	V _{DD} = 5V, V _O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
	V _{DD} = 10V, V _O = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
	V _{DD} = 15V, V _O = 13.5V	-4.2		-3.4	-8.8		-2.4		mA
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.10		-10 ⁻⁵	-0.10		-1.0	μ A
	V _{DD} = 15V, V _{IN} = 15V		0.10		10 ⁻⁵	0.10		1.0	μ A

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

CD4016BM/CD4016BC Quad Bilateral Switch

General Description

CD4016BM/CD4016BC is a quad bilateral switch for the transmission or multiplexing of analog and digital signals. It is pin-for-pin compatible with the CD4016BC.

Features

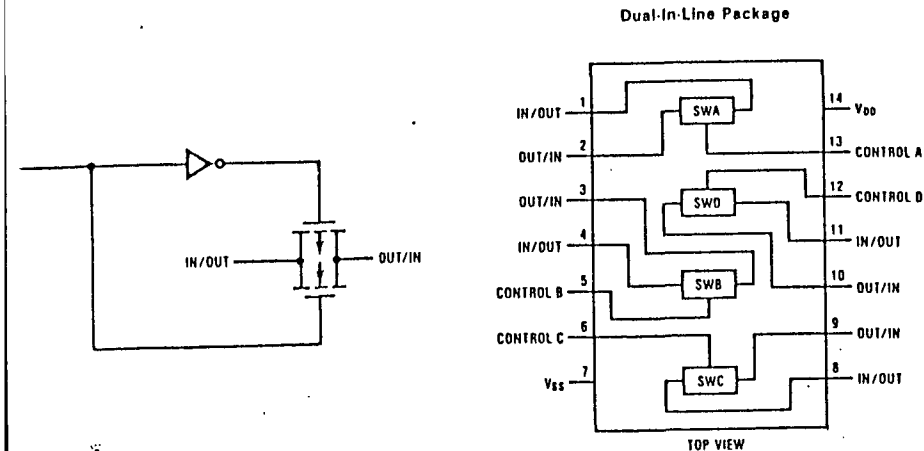
- Supply voltage range: 3V to 15V
- Range of digital and analog switching: $\pm 7.5 V_{PEAK}$
- On-resistance for 15V operation: 400Ω (typ.)
- Control "ON" resistance over temperature: $\Delta R_{ON} = 10\Omega$ (typ.)
- Signal input degree of linearity: 0.4% distortion (typ.)
@ $f_{IS} = 1\text{ kHz}$, $V_{IS} = 5\text{ V}_{p-p}$, $V_{DD} - V_{SS} = 10\text{ V}$, $R_L = 10\text{ k}\Omega$
- Very low "OFF" switch leakage: 0.1 nA (typ.)
@ $V_{DD} - V_{SS} = 10\text{ V}$, $T_A = 25^\circ\text{C}$

- Extremely high control input impedance: $10^{12}\Omega$ (typ.)
- Low crosstalk between switches: -50 dB (typ.)
@ $f_{IS} = 0.9\text{ MHz}$, $R_L = 1\text{ k}\Omega$
- Frequency response, switch "ON": 40 MHz (typ.)

Applications

- Analog signal switching/multiplexing
 - Signal gating
 - Squelch control
 - Chopper
 - Modulator/Demodulator
 - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

Logic and Connection Diagrams



Absolute Maximum Ratings (Notes 1 and 2)

V_{DD} Supply Voltage	-0.5V to +18V
V_{IN} Input Voltage	-0.5V to $V_{DD} + 0.5\text{ V}$
T_S Storage Temperature Range	-65°C to +150°C
P_D Package Dissipation	500 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions (Note 2)

V_{DD} Supply Voltage	3V to 15V
V_{IN} Input Voltage	0V to V_{DD}
T_A Operating Temperature Range	-55°C to +125°C
CD4016BM	-55°C to +125°C
CD4016BC	-40°C to +85°C

DC Electrical Characteristics CD4016BM (Note 2)

Parameter	Conditions	-55°C		25°C			125°C		Units
		Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
I_{DD} Quiescent Device Current	$V_{DD} = 5\text{ V}$		0.25		0.01	0.25		7.5	μA
	$V_{DD} = 10\text{ V}$		0.5		0.01	0.5		15	μA
	$V_{DD} = 15\text{ V}$		1.0		0.01	1.0		30	μA

Signal Inputs and Outputs

R_{ON} "ON" Resistance	$R_L = 10\text{ k}\Omega$ to $\frac{V_{DD} - V_{SS}}{2}$ $V_C = V_{DD}$, $V_{IS} = V_{SS}$ or V_{DD} $V_{DD} = 10\text{ V}$ $V_{DD} = 15\text{ V}$								
			600	250	660	960	Ω		
	$R_L = 10\text{ k}\Omega$ to $\frac{V_{DD} - V_{SS}}{2}$ $V_C = V_{DD}$ $V_{DD} = 10\text{ V}$, $V_{IS} = 4.75$ to 5.25 V $V_{DD} = 15\text{ V}$, $V_{IS} = 7.25$ to 7.75 V								
		1870	850	2000	2600	Ω			
		775	400	850	1230	Ω			
ΔR_{ON} Δ "ON" Resistance Between any 2 of 4 Switches (In Same Package)	$R_L = 10\text{ k}\Omega$ to $\frac{V_{DD} - V_{SS}}{2}$ $V_C = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD} $V_{DD} = 10\text{ V}$ $V_{DD} = 15\text{ V}$			15		Ω			
				10		Ω			
I_{IS} Input or Output Leakage Switch "OFF"	$V_C = 0$, $V_{DD} = 15\text{ V}$ $V_{IS} = 15\text{ V}$ and 0 V , $V_{OS} = 0\text{ V}$ and 15 V		± 50	± 0.1	± 50	± 500	nA		

Control Inputs

V_{ILC} Low Level Input Voltage	$V_{IS} = V_{SS}$ and V_{DD} $V_{OS} = V_{DD}$ and V_{SS} $I_{IS} = \pm 10\mu\text{A}$ $V_{DD} = 5\text{ V}$ $V_{DD} = 10\text{ V}$ $V_{DD} = 15\text{ V}$							
			0.9		0.7	0.5	V	
			0.9		0.7	0.5	V	
V_{IHC} High Level Input Voltage	$V_{DD} = 5\text{ V}$ $V_{DD} = 10\text{ V}$ (see Note 6 and Figure 8) $V_{DD} = 15\text{ V}$		3.5		3.5		V	
			7.0		7.0		V	
			11.0		11.0		V	
I_{IN} Input Current	$V_{DD} - V_{SS} = 15\text{ V}$ $V_{DD} \geq V_{IS} \geq V_{SS}$ $V_{DD} \geq V_C \geq V_{SS}$		± 0.1		$\pm 10^{-5}$	± 0.1	± 1.0	μA

Electrical Characteristics CD4016BC (Note 2)

Parameter	Conditions	-40°C		25°C			85°C		Units
		Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
Quiescent Device Current	V _{DD} = 5V		1.0		0.01	1.0		7.5	μA
	V _{DD} = 10V		2.0		0.01	2.0		15	μA
	V _{DD} = 15V		4.0		0.01	4.0		30	μA
DC Inputs and Outputs									
"ON" Resistance	R _L = 10kΩ to $\frac{V_{DD} - V_{SS}}{2}$ V _C = V _{DD} , V _{IS} = V _{SS} or V _{DD} V _{DD} = 10V		610		275	660		840	Ω
	V _{DD} = 15V		370		200	400		520	Ω
Δ "ON" Resistance (Between any 2 of 4 Switches (In Same Package))	R _L = 10kΩ to $\frac{V_{DD} - V_{SS}}{2}$ V _C = V _{DD} V _{DD} = 10V, V _{IS} = 4.75 to 5.25V		1900		850	2000		2380	Ω
	V _{DD} = 15V, V _{IS} = 7.25 to 7.75V		790		400	850		1080	Ω
Δ "ON" Resistance (Between any 2 of 4 Switches (In Same Package))	R _L = 10kΩ to $\frac{V_{DD} - V_{SS}}{2}$ V _{CC} = V _{DD} , V _{IS} = V _{SS} to V _{DD} V _{DD} = 10V				15				Ω
	V _{DD} = 15V				10				Ω
Input or Output Leakage Switch "OFF"	V _C = 0, V _{DD} = 15V V _{IS} = 0V or 15V V _{OS} = 15V or 0V		±50		±0.1	±50		±200	nA
Control Inputs									
Low Level Input Voltage	V _{IS} = V _{SS} and V _{DD} V _{OS} = V _{DD} and V _{SS} I _{IS} = ±10μA								
	V _{DD} = 5V		0.9		0.7		0.4		V
	V _{DD} = 10V		0.9		0.7		0.4		V
	V _{DD} = 15V		0.9		0.7		0.4		V
High Level Input Voltage	V _{DD} = 5V	3.5		3.5		3.5			V
	V _{DD} = 10V (see Note 6 and Figure 8)	7.0		7.0		7.0			V
	V _{DD} = 15V	11.0		11.0		11.0			V
Input Current	V _{CC} - V _{SS} = 15V V _{DD} > V _{IS} > V _{SS} V _{DD} > V _C > V _{SS}		±0.3		±10 ⁻⁵	±0.3		±1.0	μA

Electrical Characteristics T_A = 25°C, t_r = t_f = 20ns and V_{SS} = 0V unless otherwise specified

Parameter	Conditions	Min.	Typ.	Max.	Units
t _{PLH} Propagation Delay Time Signal Input to Signal Output	V _C = V _{DD} , C _L = 50pF, (Figure 1)				
	R _L = 200k		58	100	ns
	V _{DD} = 5V		27	50	ns
	V _{DD} = 10V		20	40	ns
t _{PZL} Propagation Delay Time Control Input to Signal Output High Impedance to Logical Level	R _L = 1.0kΩ, C _L = 50pF, (Figures 2 and 3)				
	V _{DD} = 5V		20	50	ns
	V _{DD} = 10V		18	40	ns
	V _{DD} = 15V		17	35	ns
t _{PZL} Propagation Delay Time Control Input to Signal Output Logical Level to High Impedance	R _L = 1.0kΩ, C _L = 50pF, (Figures 2 and 3)				
	V _{DD} = 5V		15	40	ns
	V _{DD} = 10V		11	25	ns
	V _{DD} = 15V		10	22	ns
Sine Wave Distortion	V _C = V _{DD} = 5V, V _{SS} = -5V R _L = 10kΩ, V _{IS} = 5V _{PP} , 1 kHz (Figure 4)		0.4		%

AC Electrical Characteristics (Cont'd)

T_A = 25°C, t_r = t_f = 20ns and V_{SS} = 0V unless otherwise specified

Parameter	Conditions	Min	Typ	Max	Units
Frequency Response — Switch "ON" (Frequency at -3dB)	V _C = V _{DD} = 5V, V _{SS} = -5V, R _L = 1kΩ, V _{IS} = 5V _{PP} , 20 Log ₁₀ V _{OS} /V _{OS} (1 kHz) - dB, (Figure 4)		40		MHz
Feedthrough — Switch "OFF" (Frequency at -50dB)	V _{DD} = 5V, V _C = V _{SS} = -5V, R _L = 1kΩ, V _{IS} = 5V _{PP} , 20 Log ₁₀ (V _{OS} /V _{IS}) = -50dB, (Figure 4)		1.25		MHz
Crosstalk Between Any Two Switches (Frequency at -50dB)	V _{DD} = V _{C(A)} = 5V; V _{SS} = V _{C(B)} = -5V, R _L = 1kΩ, V _{IS(A)} = 5V _{PP} , 20 Log ₁₀ (V _{OS(B)} /V _{OS(A)}) = -50dB, (Figure 5)		0.9		MHz
Crosstalk; Control Input to Signal Output	V _{DD} = 10V, R _L = 10kΩ R _{IN} = 1kΩ, V _{CC} = 10V Square Wave, C _L = 50pF (Figure 6)		150		mV _{PP}
Maximum Control Input	R _L = 1kΩ, C _L = 50pF, (Figure 7) V _{OS(I)} = 1/2 V _{OS} (1 kHz)				
C _{IS} Signal Input Capacitance			6.5		MHz
C _{OS} Signal Output Capacitance	V _{DD} = 10V		8.0		MHz
C _{IOS} Feedthrough Capacitance	V _C = 0V		9.0		MHz
C _{IN} Control Input Capacitance			4		pF
			4		pF
			0.2		pF
			5	7.5	pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

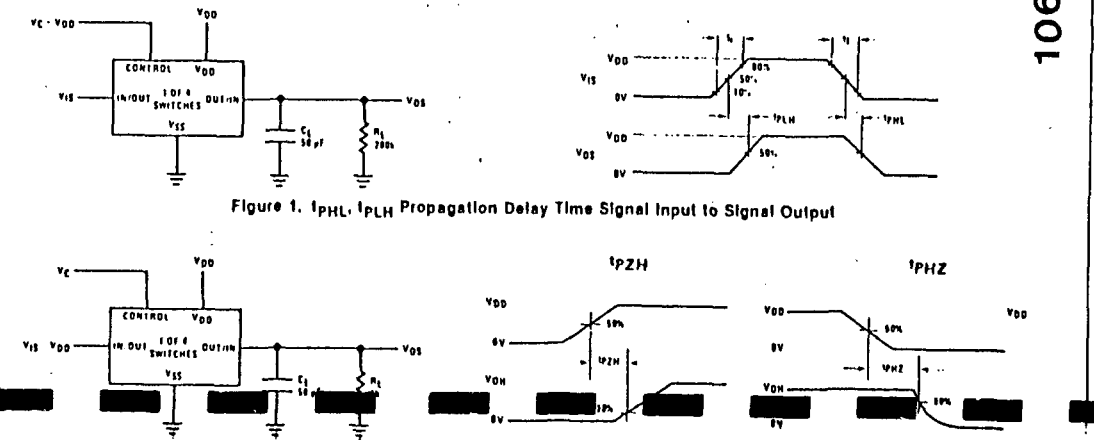
Note 3: These devices should not be connected to circuits with the power "ON".

Note 4: In all cases, there is approximately 5pF of probe and jig capacitance on the output; however, this capacitance is included in C_L wherever it is specified.

Note 5: V_{IS} is the voltage at the in/out pin and V_{OS} is the voltage at the out/in pin. V_C is the voltage at the control input.

Note 6: If the switch input is held at V_{DD}, V_{IHC} is the control input level that will cause the switch output to meet the standard "B" series V_{OH} and I_{OH} output levels. If the analog switch input is connected to V_{SS}, V_{IHC} is the control input level — which allows the switch to sink standard "B" series I_{OLH} high level current, and still maintain a V_{OL} < standard "B" series. See Figure 8.

AC Test Circuits and Switching Time Waveforms





MM54C00/MM74C00 Quad 2-Input NAND Gate
MM54C02/MM74C02 Quad 2-Input NOR Gate
MM54C04/MM74C04 Hex Inverter
MM54C10/MM74C10 Triple 3-Input NAND Gate
MM54C20/MM74C20 Dual 4-Input NAND Gate

MM54C00/MM74C00, MM54C02/MM74C02
 MM54C04/MM74C04, MM54C10/MM74C10
 MM54C20/MM74C20

General Description

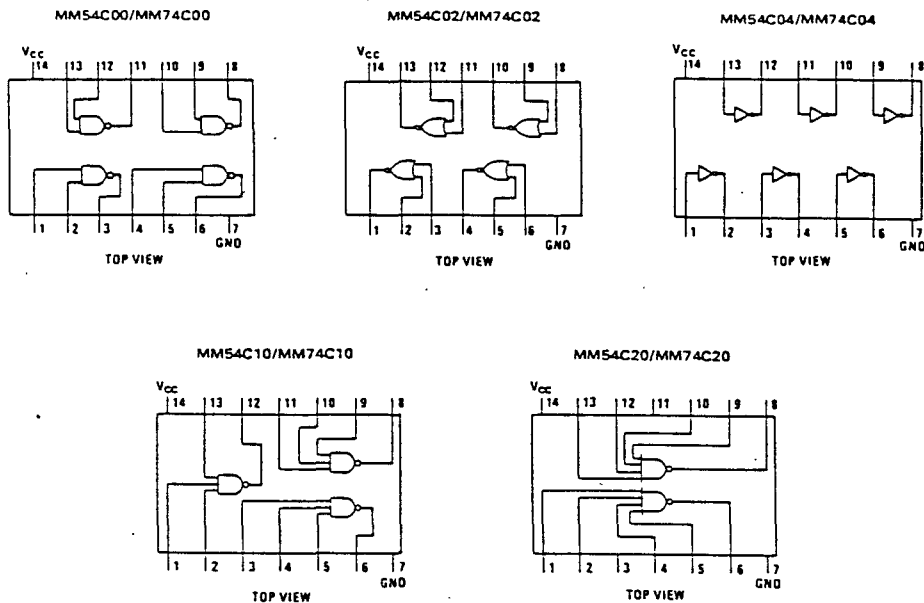
These logic gates employ complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity and symmetric controlled rise and fall times. With features such as this the 54C/74C logic family is close to ideal for use in digital systems. Function and pin out compatibility with series 54/74 devices minimizes design time for those designers already familiar with the standard 54/74 logic family.

All inputs are protected from damage due to static discharge by diode clamps to V_{CC} and GND.

Features

- Wide supply voltage range 3.0V to 15V
- Guaranteed noise margin 1.0V
- High noise immunity 0.45 V_{CC} (typ.)
- Low power consumption 10 nW/package (typ.)
- Low power TTL compatibility fan out of 2 driving 74L

Connection Diagrams



Absolute Maximum Ratings

Storage Temperature Range	-55°C to +125°C
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Operating V _{CC} Range	3.0V to 15V
Maximum V _{CC} Voltage	18V
Power Dissipation	500mW
Soldering Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics

Min/max limits apply across the guaranteed temperature range unless otherwise noted.

Parameter	Conditions	Min.	Typ.	Max.	Units
CMOS to CMOS					
IN(1) Logical "1" Input Voltage	V _{CC} = 5.0V V _{CC} = 10V	3.5 8.0		1.5 2.0	V
IN(0) Logical "0" Input Voltage	V _{CC} = 5.0V V _{CC} = 10V				V
OUT(1) Logical "1" Output Voltage	V _{CC} = 5.0V, I _O = -10μA V _{CC} = 10V, I _O = -10μA	4.5 9.0		0.5	V
OUT(0) Logical "0" Output Voltage	V _{CC} = 5.0V, I _O = +10μA V _{CC} = 10V, I _O = +10μA			1.0	V
IN(1) Logical "1" Input Current	V _{CC} = 15V, V _{IN} = 15V		0.005	1.0	μA
IN(0) Logical "0" Input Current	V _{CC} = 15V, V _{IN} = 0V	-1.0	-0.005	15	μA
IC Supply Current	V _{CC} = 15V		0.01		μA
Low Power to CMOS					
IN(1) Logical "1" Input Voltage	54C, V _{CC} = 4.5V 74C, V _{CC} = 4.75V	V _{CC} - 1.5 V _{CC} - 1.5		0.8	V
IN(0) Logical "0" Input Voltage	54C, V _{CC} = 4.5V 74C, V _{CC} = 4.75V			0.8	V
OUT(1) Logical "1" Output Voltage	54C, V _{CC} = 4.5V, I _O = -10μA 74C, V _{CC} = 4.75V, I _O = -10μA	4.4 4.4			V
OUT(0) Logical "0" Output Voltage	54C, V _{CC} = 4.5V, I _O = +10μA 74C, V _{CC} = 4.75V, I _O = +10μA			0.4 0.4	V
CMOS to Low Power					
IN(1) Logical "1" Input Voltage	54C, V _{CC} = 4.5V 74C, V _{CC} = 4.75V	4.0		1.0	V
IN(0) Logical "0" Input Voltage	54C, V _{CC} = 4.5V 74C, V _{CC} = 4.75V			1.0	V
OUT(1) Logical "1" Output Voltage	54C, V _{CC} = 4.5V, I _O = -360μA 74C, V _{CC} = 4.75V, I _O = -360μA	2.4 2.4			V
OUT(0) Logical "0" Output Voltage	54C, V _{CC} = 4.5V, I _O = 360μA 74C, V _{CC} = 4.75V, I _O = 360μA			0.4 0.4	V
Output Drive (See 54C/74C Family Characteristics Data Sheet) (short circuit current)					
ISOURCE Output Source Current	V _{CC} = 5.0V, V _{IN(0)} = 0V T _A = 25°C, V _{OUT} = 0V	-1.75			mA
ISOURCE Output Source Current	V _{CC} = 10V, V _{IN(0)} = 0V T _A = 25°C, V _{OUT} = 0V	-8.0			mA
ISINK Output Sink Current	V _{CC} = 5.0V, V _{IN(1)} = 5.0V T _A = 25°C, V _{OUT} = V _{CC}	1.75			mA
ISINK Output Sink Current	V _{CC} = 10V, V _{IN(1)} = 10V T _A = 25°C, V _{OUT} = V _{CC}	8.0			mA

T_A = 25°C, C_L = 50 pF, unless otherwise specified.

Parameter	Conditions	Min.	Typ.	Max.	Units
MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04					
t _{pd0} , t _{pd1}	Propagation Delay Time to Logical "1" or "0"		50 30	90 60	ns ns
C _{IN}	Input Capacitance		6.0		pF
C _{PD}	Power Dissipation Capacitance		12		pF
MM54C10/MM74C10					
t _{pd0} , t _{pd1}	Propagation Delay Time to Logical "1" or "0"		60 35	100 70	ns ns
C _{IN}	Input Capacitance		7.0		pF
C _{PD}	Power Dissipation Capacitance		18		pF
MM54C20/MM74C20					
t _{pd0} , t _{pd1}	Propagation Delay Time to Logical "1" or "0"		70 40	115 80	ns ns
C _{IN}	Input Capacitance		9		pF
C _{PD}	Power Dissipation Capacitance		30		pF

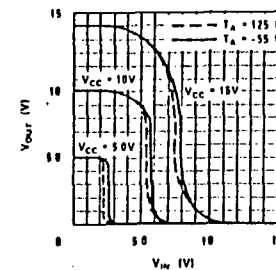
Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

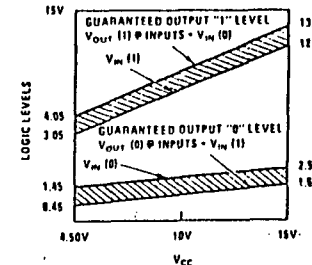
Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics application note - AN-90.

Typical Performance Characteristics

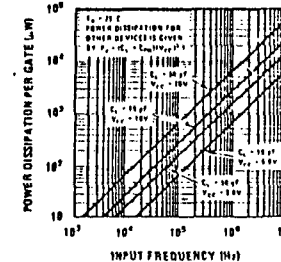
Gate Transfer Characteristics



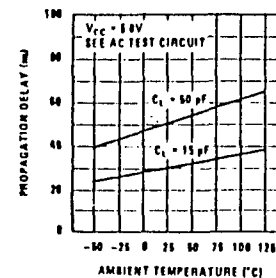
Guaranteed Noise Margin Over Temperature vs V_{CC}



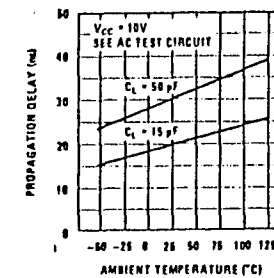
Power Dissipation vs Frequency MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04



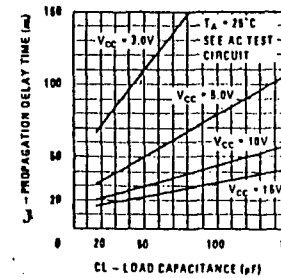
Propagation Delay vs Ambient Temperature MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04



Propagation Delay vs Load Capacitance MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04



Propagation Delay Time vs Load Capacitance MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04



MM54C73/MM74C73/MM54C76/MM74C76/MM54C107 MM74C107 Dual J-K Flip-Flops with Clear and Preset

General Description

These dual J-K flip-flops are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement transistors. Each flip-flop has independent J, K, clock and clear inputs and Q and \bar{Q} outputs. The MM54C76/MM74C76 flip-flops also include preset inputs and are supplied in 16 pin packages. These flip-flops are edge sensitive to the clock input and change state on the negative going transition of the clock pulses. Clear or preset is independent of the clock and is accomplished by a low level on the respective input.

Features

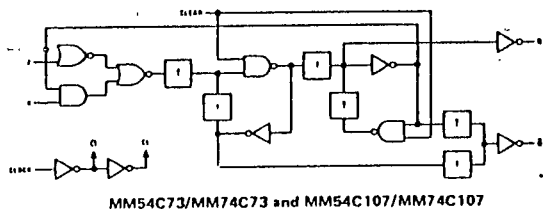
- Supply voltage range: 3V to 15V
- Tenth power TTL compatible: drive 2 LPTTL loads

- High noise immunity: 0.45 V_{CC} (typ.)
- Low power: 50 nW (typ.)
- Medium speed operation: 10 MHz (typ.) with 10V supply

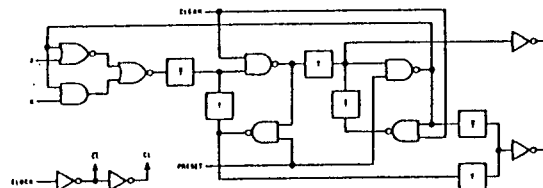
Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering
- Computers

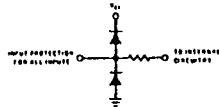
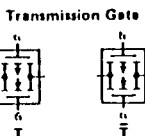
Logic and Connection Diagrams



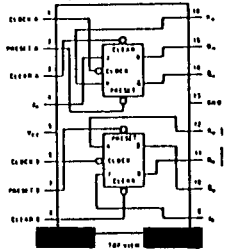
MM54C73/MM74C73 and MM54C107/MM74C107



MM54C76/MM74C76



74C76



Absolute Maximum Ratings

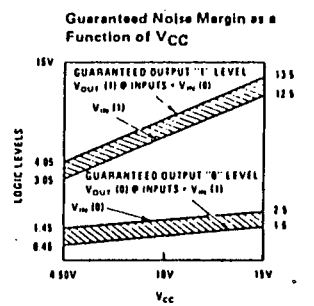
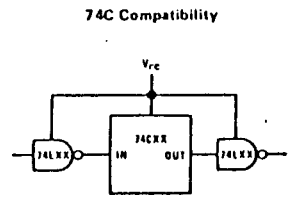
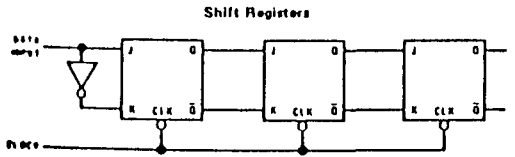
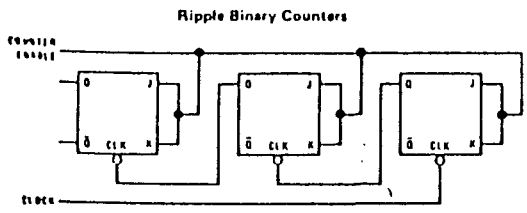
Voltage at Any Pin (Note 1)	-0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	
MM54CXX	-55°C to 125°C
MM74CXX	-40°C to +85°C
Storage Temperature	-65°C to 150°C
Package Dissipation	500 mW
Lead Temperature (Soldering, 10 seconds)	300°C
Operating V_{CC} Range	+3V to 15V

DC Electrical Characteristics

Min/max limits apply across temperature range unless otherwise noted.

Parameter	Conditions	Min.	Typ.	Max.
CMOS to CMOS				
$V_{IN(1)}$	Logical "1" Input Voltage $V_{CC} = 5.0V$ $V_{CC} = 10V$	3.5 8.0		
$V_{IN(0)}$	Logical "0" Input Voltage $V_{CC} = 5.0V$ $V_{CC} = 10V$			1.5 2.0
$V_{OUT(1)}$	Logical "1" Output Voltage $V_{CC} = 5.0V$ $V_{CC} = 10V$	4.5 9.0		
$V_{OUT(0)}$	Logical "0" Output Voltage $V_{CC} = 5.0V$ $V_{CC} = 10V$			0.5 1.0
$I_{IN(1)}$	Logical "1" Input Current $V_{CC} = 15.0V$			1.0
$I_{IN(0)}$	Logical "0" Input Current $V_{CC} = 15.0V$	-1.0		
I_{CC}	Supply Current $V_{CC} = 15.0V$		0.050	60
Low Power TTL to CMOS Interface				
$V_{IN(1)}$	Logical "1" Input Voltage 54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	$V_{CC} - 1.5$		
$V_{IN(0)}$	Logical "0" Input Voltage 54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$			0.8
$V_{OUT(1)}$	Logical "1" Output Voltage 54C, $V_{CC} = 4.5V, I_O = -360\mu A$ 74C, $V_{CC} = 4.75V, I_O = -360\mu A$	2.4		
$V_{OUT(0)}$	Logical "0" Output Voltage 54C, $V_{CC} = 4.5V, I_O = 360\mu A$ 74C, $V_{CC} = 4.75V, I_O = 360\mu A$			0.4
Output Drive (See 54C/74C Family Characteristics Data Sheet) (short circuit current)				
I_{SOURCE}	Output Source Current $V_{CC} = 5.0V, V_{IN(0)} = 0V$ $T_A = 25^\circ C, V_{OUT} = 0V$	-1.75		n
I_{SOURCE}	Output Source Current $V_{CC} = 10V, V_{IN(0)} = 0V$ $T_A = 25^\circ C, V_{OUT} = 0V$	-8.0		n
I_{SINK}	Output Sink Current $V_{CC} = 5.0V, V_{IN(1)} = 5.0V$ $T_A = 25^\circ C, V_{OUT} = V_{CC}$	1.75		n
I_{SINK}	Output Sink Current $V_{CC} = 10V, V_{IN(1)} = 10V$ $T_A = 25^\circ C, V_{OUT} = V_{CC}$	8.0		n

Parameter	Any Input	180	300	ns
Input Capacitance		70	110	ns
Propagation Delay Time to a Logical "0" or Logical "1" from Clock to Q or Q	$V_{CC} = 5.0V$ $V_{CC} = 10V$	200	300	ns
Propagation Delay Time to a Logical "0" from Preset or Clear	$V_{CC} = 5.0V$ $V_{CC} = 10V$	80	130	ns
Propagation Delay Time to a Logical "1" from Preset or Clear	$V_{CC} = 5.0V$ $V_{CC} = 10V$	200	300	ns
Time Prior to Clock Pulse that Data must be Present	$V_{CC} = 5.0V$ $V_{CC} = 10V$	80	130	ns
Time after Clock Pulse that J and K must be Held	$V_{CC} = 5.0V$ $V_{CC} = 10V$	110	175	ns
Minimum Clock Pulse Width	$V_{CC} = 5.0V$ $V_{CC} = 10V$	45	70	ns
$t_{WL} = t_{WH}$		-40	0	ns
Minimum Preset and Clear Pulse Width	$V_{CC} = 5.0V$ $V_{CC} = 10V$	-20	0	ns
Maximum Toggle Frequency	$V_{CC} = 5.0V$ $V_{CC} = 10V$	120	190	ns
Clock Pulse Rise and Fall Time	$V_{CC} = 5.0V$ $V_{CC} = 10V$	50	80	ns
		90	130	ns
		40	60	ns
	2.5	4.0		MHz
	7.0	11.0		MHz
			15	μs
			5	μs

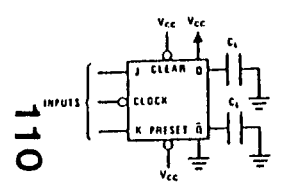


Absolute Maximum Ratings are those values beyond which the safety of the device cannot be guaranteed. Except for "Optimum Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Capacitance is guaranteed by periodic testing.

I_{DD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristic application note — AN-90.

Test Circuit



Truth Table

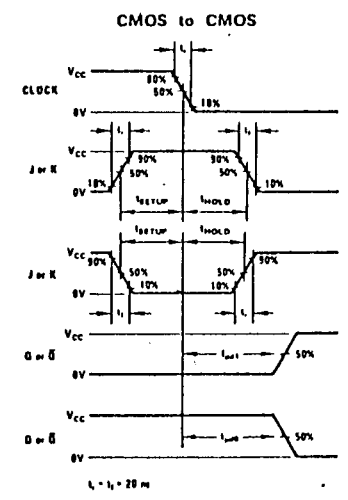
t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

Preset	Clear	Q_n	\bar{Q}_n
0	0	0	0
0	1	1	0
1	0	0	1
1	1	* Q_n	* \bar{Q}_n

t_n = bit time before clock pulse.
 t_{n+1} = bit time after clock pulse.

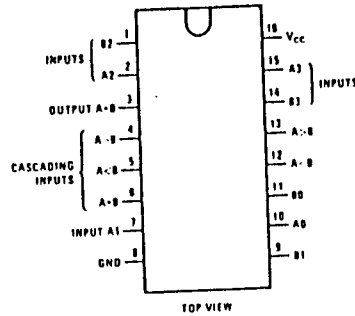
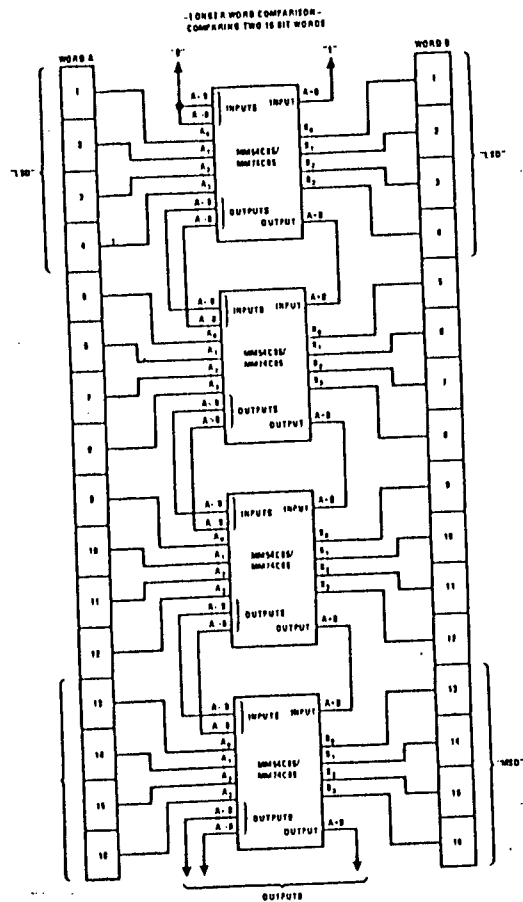
* No change in output from previous state.

Switching Time Waveforms

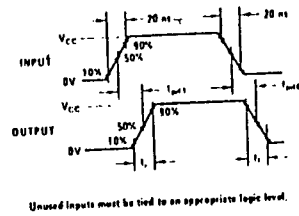


Typical Applications

four Digit Comparator



Switching Time Waveforms



Truth Table

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	L	H	L
A3 = B3	A2 < B2	X	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	H	L	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	H	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	H	H	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	H	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	L	L	L

MM54C86/MM74C86 Quad 2-Input EXCLUSIVE-OR Gate

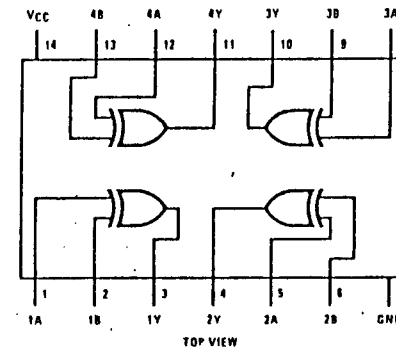
General Description

Employing complementary MOS (CMOS) transistors to achieve wide power supply operating range, low power consumption and high noise margin these gates provide basic functions used in the implementation of digital integrated circuit systems. The N and P-channel enhancement mode transistors provide a symmetrical circuit with output swing essentially equal to the supply voltage. No dc power other than that caused by leakage current is consumed during static condition. All inputs are protected from damage due to static discharge by diode clamps to V_{CC} and GND.

Features

- Wide supply voltage range: 3.0V to 18V
- Guaranteed noise margin: 0.45 V_{CC} (typical)
- High noise immunity: fan out of 7 driving 74LS00
- Low power consumption: 10 nW/package (typical)
- The MM54C86/MM74C86 follows the MM54LS86/MM74LS86 Pinout.

Connection Diagram



Truth Table

MM54C08/MM74C08

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High Level L = Low Level



Temperature Range -65°C to +150°C
 Dissipation 500mW
 V_{CC} Range 3.0V to 15V
 Maximum V_{CC} 18V
 Temperature (Soldering, 10 seconds) 300°C

Electrical Characteristics

Conditions apply across temperature range unless otherwise noted.

Parameter	Conditions	Min.	Typ.	Max.	Units
CMOS to CMOS					
Logical "1" Input Voltage	V _{CC} = 5.0V V _{CC} = 10V	3.5 8.0			V
Logical "0" Input Voltage	V _{CC} = 5.0V V _{CC} = 10V			1.5 2.0	V
Logical "1" Output Voltage	V _{CC} = 5.0V, I _O = -10μA V _{CC} = 10V, I _O = -10μA	4.5 9.0			V
Logical "0" Output Voltage	V _{CC} = 5.0V, I _O = +10μA V _{CC} = 10V, I _O = +10μA			0.5 1.0	V
Logical "1" Input Current	V _{CC} = 15V, V _{IN} = 15V		0.005	1.0	μA
Logical "0" Input Current	V _{CC} = 15V, V _{IN} = 0V	-1.0	-0.005		μA
Supply Current	V _{CC} = 15V		0.01	15	μA
CMOS/LPTTL Interface					
Logical "1" Input Voltage	54C, V _{CC} = 4.5V 74C, V _{CC} = 4.75V	V _{CC} - 1.5 V _{CC} - 1.5			V
Logical "0" Input Voltage	54C, V _{CC} = 4.5V 74C, V _{CC} = 4.75V			0.8 0.8	V
Logical "1" Output Voltage	54C, V _{CC} = 4.5V, I _O = -360μA 74C, V _{CC} = 4.75V, I _O = -360μA	2.4 2.4			V
Logical "0" Output Voltage	54C, V _{CC} = 4.5V, I _O = +360μA 74C, V _{CC} = 4.75V, I _O = +360μA			0.4 0.4	V
Output Drive (See 54C/74C Family Characteristics Data Sheet) (short circuit current)					
Output Source Current (P-Channel)	V _{CC} = 5.0V, V _{OUT} = 0V T _A = 25°C	-1.75	-3.3		mA
Output Source Current (P-Channel)	V _{CC} = 10V, V _{OUT} = 0V T _A = 25°C	-8.0	-15		mA
Output Sink Current (N-Channel)	V _{CC} = 5.0V, V _{OUT} = V _{CC} T _A = 25°C	1.75	3.6		mA
Output Sink Current (N-Channel)	V _{CC} = 10V, V _{OUT} = V _{CC} T _A = 25°C	8.0	16		mA

Electrical Characteristics

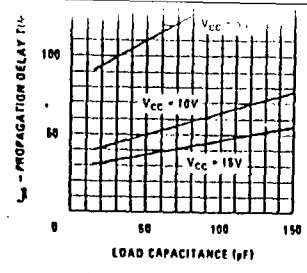
MM74C86) T_A = 25°C, C_L = 50pF, unless otherwise specified.

Parameter	Conditions	Min.	Typ.	Max.	Units
Propagation Time to Logical "1" or "0"	V _{CC} = 5.0V		110	185	ns
	V _{CC} = 10V		50	90	ns
Input Capacitance	Note 2		5.0		pF
Power Dissipation Capacitance	(Note 3) Per Gate		20		pF

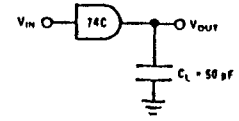
"Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Reliability is guaranteed by periodic testing.

Power dissipation determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics note — AN-90.

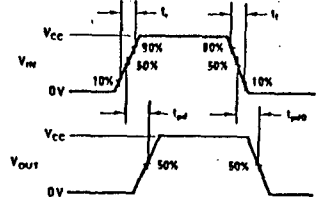


AC Test Circuits



NOTE: DELAYS MEASURED WITH INPUT t_r = 20 ns

Switching Time Waveforms



4C164/MM74C164 8-Bit Parallel-Out Serial Shift Register

General Description

The 4C164/MM74C164 shift registers are a monolithic complementary MOS (CMOS) integrated circuit designed with N- and P-channel enhancement transistors. These 8-bit shift registers have gated serial input and clear. Each register bit is a D-type master/slave flip-flop. A high-level input enables the other input which determines the state of the flip-flop.

Serially shifted in and out of the 8-bit register on a positive going transition of clock pulse. Clear is independent of the clock and accomplished by a low level clear input. All inputs are protected against static effects.

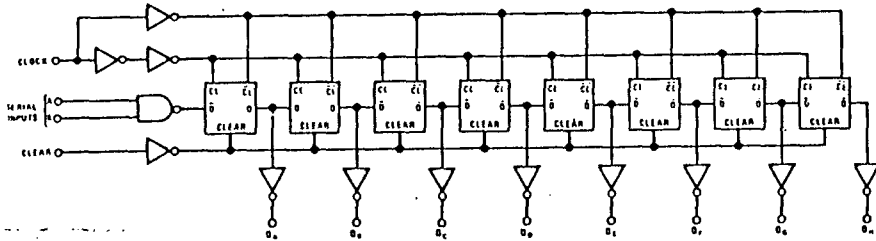
Features

- Supply voltage range 3V to 15V
- Tenth power TTL compatible drive 2 LPTTL loads
- High noise immunity 0.45 V_{CC} (typ.)
- Low power 50 nW (typ.)
- Medium speed operation 8.0 MHz (typ.) with 10V supply

Applications

- Data terminals
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering
- Computers

Block Diagram

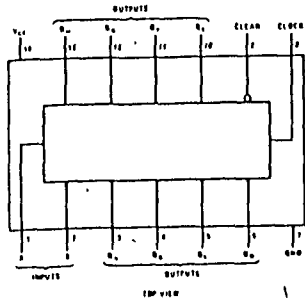


Functional Diagram

Truth Tables

Serial Inputs A and B

INPUTS		OUTPUT
A	B	O _{n+1}
1	1	1
0	1	0
1	0	0
0	0	0



Absolute Maximum Ratings (Note 1)

Voltage at Any Pin	-0.3V to V _{CC} +0.3V
Operating Temperature Range	
MM54C164	-55°C to +125°C
MM74C164	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Absolute Maximum V _{CC}	18V
Package Dissipation	500mW
Operating V _{CC} Range	3V to 15V
Lead Temperature (Soldering, 10 sec.)	300°C

DC Electrical Characteristics Max./min. limits apply across temperature range, unless otherwise noted.

Parameter	Conditions	Min.	Typ.	Max.	Units
CMOS to CMOS					
V _{IN(1)}	Logical "1" Input Voltage V _{CC} = 5.0V V _{CC} = 10V	3.5 8.0			V
V _{IN(0)}	Logical "0" Input Voltage V _{CC} = 5.0V V _{CC} = 10V			1.5 2.0	V
V _{OUT(1)}	Logical "1" Output Voltage V _{CC} = 5.0V, I _O = -10μA V _{CC} = 10V, I _O = -10μA	4.5 9.0			V
V _{OUT(0)}	Logical "0" Output Voltage V _{CC} = 5.0V, I _O = +10μA V _{CC} = 10V, I _O = +10μA			0.5 1.0	V
I _{IN(1)}	Logical "1" Input Current* V _{CC} = 15V, V _{IN} = 15V		0.005	1.0	μA
I _{IN(0)}	Logical "0" Input Current V _{CC} = 15V, V _{IN} = 0V	-1.0	-0.005		μA
I _{CC}	Supply Current V _{CC} = 15V		0.05	300	μA
CMOS to LPTTL Interface					
V _{IN(1)}	Logical "1" Input Voltage 54C V _{CC} = 4.5V 74C V _{CC} = 4.75V	V _{CC} - 1.5 V _{CC} - 1.5			V
V _{IN(0)}	Logical "0" Input Voltage 54C V _{CC} = 4.5V 74C V _{CC} = 4.75V			0.8 0.8	V
V _{OUT(1)}	Logical "1" Output Voltage 54C V _{CC} = 4.5V, I _O = -360μA 74C V _{CC} = 4.75V, I _O = -360μA	2.4 2.4			V
V _{OUT(0)}	Logical "0" Output Voltage 54C V _{CC} = 4.5V, I _O = 360μA 74C V _{CC} = 4.75V, I _O = 360μA			0.4 0.4	V
Output Drive (See 54C/74C Family Characteristics Data Sheet) (Short Circuit Current)					
I _{SOURCE}	Output Source Current V _{CC} = 5.0V, V _{IN(0)} = 0V T _A = 25°C, V _{OUT} = 0V	-1.75			mA
I _{SOURCE}	Output Source Current V _{CC} = 10V, V _{IN(0)} = 0V T _A = 25°C, V _{OUT} = 0V	-8.0			mA
I _{SINK}	Output Sink Current V _{CC} = 5.0V, V _{IN(1)} = 5.0V T _A = 25°C, V _{OUT} = V _{CC}	1.75			mA
I _{SINK}	Output Sink Current V _{CC} = 10V, V _{IN(1)} = 10V T _A = 25°C, V _{OUT} = V _{CC}	8.0			mA

Electrical Characteristics $T_A = 25^\circ\text{C}$, $C_L = 50\text{pF}$, unless otherwise noted.

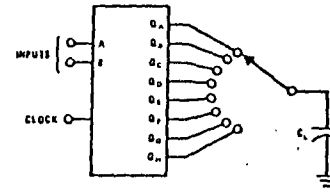
Parameter	Conditions	Min.	Typ.	Max.	Units
Propagation Delay Time to a Logical "0" or a Logical "1" from Clock to Q	$V_{CC} = 5.0\text{V}$		230	310	ns
	$V_{CC} = 10\text{V}$		90	120	ns
Propagation Delay Time to a Logical "0" from Clear to Q	$V_{CC} = 5.0\text{V}$		280	380	ns
	$V_{CC} = 10\text{V}$		110	150	ns
Time Prior to Clock Pulse that Data Must be Present	$V_{CC} = 5.0\text{V}$	200	110		ns
	$V_{CC} = 10\text{V}$	80	30		ns
Time After Clock Pulse that Data Must be Held	$V_{CC} = 5.0\text{V}$	0	0		ns
	$V_{CC} = 10\text{V}$	0	0		ns
Maximum Clock Frequency	$V_{CC} = 5.0\text{V}$	2.0	3		MHz
	$V_{CC} = 10\text{V}$	5.5	8		MHz
Minimum Clear Pulse Width	$V_{CC} = 5.0\text{V}$		150	250	ns
	$V_{CC} = 10\text{V}$		55	90	ns
Maximum Clock Rise and Fall Time	$V_{CC} = 5.0\text{V}$	15			μs
	$V_{CC} = 10\text{V}$	5.0			μs
Input Capacitance	Any Input (Note 2)		5		pF
Power Dissipation Capacitance	(Note 3)		140		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for Operating Temperature Range they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

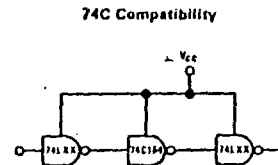
Note 2: Capacitance is guaranteed by periodic testing.

Note 3: C_{PD} determines the no load AC power consumption of any CMOS device. For complete explanation see 54C/74C Family characteristics application note AN-90.

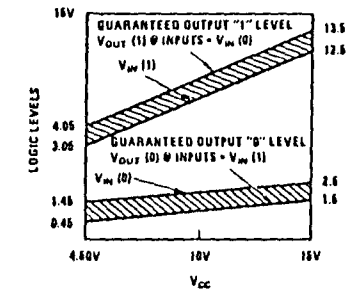
AC Test Circuit



Typical Applications

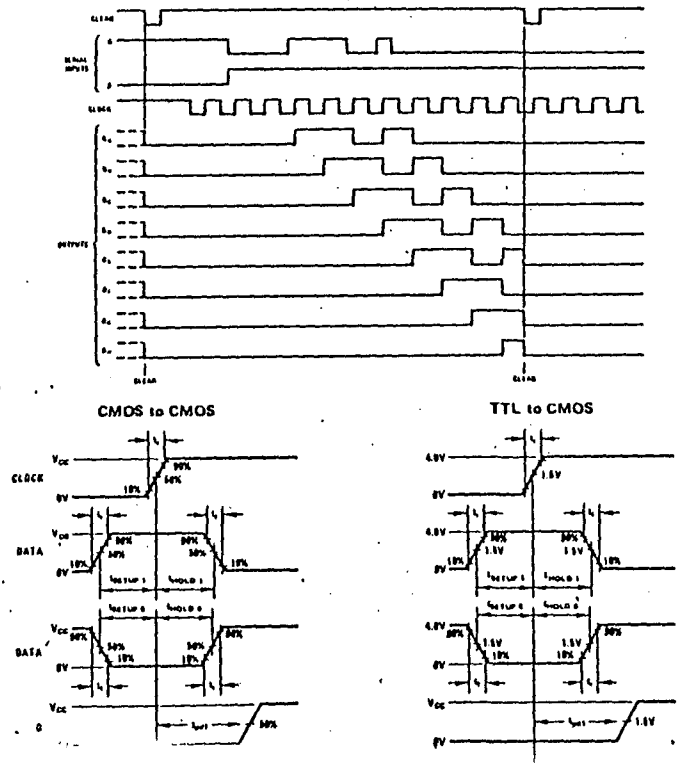


Guaranteed Noise Margin as a Function of VCC



Switching Time Waveforms

114



PRESUPUESTO

COMPOSICION DEL EQUIPO

El presente proyecto ha sido llevado a cabo por el equipo que se relaciona a continuación:

- Un ingeniero tecnico de telecomunicación.
director del proyecto, encargado de su desarrollo, así como de la coordinación de su equipo y la supervisión del trabajo.
- Un maestro de taller, consistiendo su trabajo en la realización de las placas de circuito impreso y montaje de los componentes electrónicos.
- Un delineante, encargado de realizar las figuras explicativas del proyecto.
- Un mecanógrafo, cuya labor ha consistido en mecanografiar la totalidad de este proyecto.

COSTES DE LA EJECUCION MATERIAL

Los capitulos que incluyen el importe de la ejecución material de este proyecto son los siguientes:

RELACION DE SALARIOS

A continuación se expone la distribución de cargas sociales.

Vacaciones anuales retribuidas	8.33%
Indemnización de despido	1.60%
Seguros de accidente	7.00%
Subsidio familiar	2.90%
Subsidio de vejez	1.80%
Abono días festivos	12%
Días de enfermedad	0.75%
Plus de cargas familiares	4.25%
Gratificaciones extraordinarias	25%
Otros conceptos	19%
TOTAL	82.83%

	Sueldo mensual	Base diario	Cargas sociales	Salario efectivo diario
Ingeniero técnico Telecomunicación	125000	4166	3450	7616
Maestro de taller	75000	2500	2071	4571
Delineante	75000	2500	2071	4571
Mecanógrafo	60000	2000	1675	3675

El importe de los salarios es:

	Dias	Salario diario	Total
Ingeniero técnico telecomunicación	90	7616	685.440
Maestro de taller	20	4571	91.420
Delineante	5	4571	22.855
Mecanografo	10	3657	36.570
TOTAL SALARIOS			836.285

Coste de Materiales

<u>Componente</u>	<u>Precio Unidad(pts)</u>	<u>N.Unidades</u>	<u>Total(pt)</u>
Caja bastidor (200x180x120)	890	1	890
Caja bastidor (175x155x75)	800	1	800
Bornes Macho	74	6	444
Bornes Hembra	78	6	468
Regleta de 6 conexiones	168	1	168
Conmutador	173	3	519
Lamparita 220 V.	127	1	127
LED	25	1	25
Conmutador 4c x 3p	236	1	236
Portafusible	43	1	43
Cordón alimentación	98	1	98
Hilos de cableado			300
Placa circuito impreso (150x100)	170	2	340
Placa circuito impreso doble pista (200x150)	275	1	275
Transformador 1 A.	832	1	832
Puente rectificador	178	1	178
Regulador de tensión	132	2	264
Condensadores	12	22	264
Potenciómetro precisión (10 K)	100	6	600
Potenciómetro normal	30	7	210
Resistencia	5	26	130
Diodo 1N4002	43	1	43
Diodo 1N914	31	2	62
Espadines			12

<u>Componente</u>		<u>Precio Unidad (pts)</u>	<u>N.Unidad</u>	<u>Total</u>
Transistor 2N2907		67	1	67
Integrado	318	150	2	300
"	355	248	1	248
"	741	82	2	164
"	4N28	350	1	350
"	74C86	178	1	178
"	4071	163	1	163
"	4073	158	1	158
"	74C10	173	1	173
"	74C76	212	5	1060
"	74C164	235	1	235
"	4016	118	2	236
Total Compras				10660P.
Coste Ejecución Material				846.945

GASTOS GENERALES Y BENEFICIO INDUSTRIAL

Está estipulado reflejar un 16% del importe de ejecución industrial como gastos generales, y un 6% como beneficio industrial, sumando un porcentaje del 22%.

Importe de G.G. y B.I. (22% de 846.945) = 186.330

HONORARIOS DEL PROYECTO

Según las tarifas existentes, el presente proyecto se encuentra clasificado dentro del grupo XII, por lo que corresponde aplicar un 7% sobre los coeficientes de los tramos en que se divide el - importe de la ejecución material. Tenemos pues;

Importe	Coeficiente	Factor	Total
1.000.000	1	0.07	70.000
1.681.277	0.8	0.056	94.712
TOTAL HONORARIOS		164.711

PRESUPUESTO TOTAL

Importe de la ejecución material	836.285
Gastos generales y beneficio industrial	186.330
Presupuesto de contrata	1.022.615
Honorarios	164.711
IMPORTE TOTAL DE PROYECTO	1.187.326

Importa el presente presupuesto la cantidad de un millón ciento ochenta y siete mil trecientas veintiseis pesetas.

Las Palmas de Gran Canaria. Octubre 1.986

El ingeniero proyectista

fdo. Jacinto Ruiz Alonso