

ORIGINAL

FIRMADO: EL TUTOR

J.M. ~~CAMPECHO~~ RCDADO

FIRMADO: EL ALUMNO

J.A. MARRERO ARAÑA

Las Palmas de G. Canaria, JUNIO del 83

ORIGINAL

ESCUELA UNIVERSITARIA DE INGENIERIA TECNICA
DE
TELECOMUNICACION

ESPECIALIDAD: EQUIPOS ELECTRONICOS

ALUMNO: JOSE ANTONIO MARRERO ARAÑA

TUTOR: JUAN MANUEL CARUNCHO RODADO

Las Palmas de G. Canaria, JUNIO del 83

INDICE GENERAL.-

ORIGINAL

1.-	MEMORIA	pag.	1
2.-	INTRODUCCION	,,	3
3.-	DIAGRAMA DE BLOQUES	,,	7
3-1.-	OSCILADOR DE $FRQ = f(C_x)$,,	8
3-2.-	CIRCUITO PARA VALIDACION	...	,,	8
3-3.-	TEMPORIZADOR	,,	8
3-4.-	CONTADOR	,,	9
3-5.-	OSCILADOR PATRON Y DIVISORES.		,,	9
3-6.-	CIRCUITO DE OVERFLOW	,,	10
4.-	DISEÑO GENERAL	,,	11
4-1.-	INTERFACE TTL-CMOS Y CMOS-TTL		,,	11
4-2.-	OSCILADOR DE $FRQ = f(C_x)$,,	14
4-3.-	CIRCUITO VALIDACION CUENTA ..		,,	20
4-4.-	TEMPORIZADOR	,,	22
4-5.-	CONTADORES Y VISUALIZADORES .		,,	24
4-6.-	OSCILADOR PATRON Y DIVISORES.		,,	29
4-7.-	CIRCUITO DE OVERFLOW	,,	38
4-8.-	FUENTE DE ALIMENTACION	,,	39
5.-	MONTAJE PRACTICO	,,	42
6.-	CAPACIMETRO MEJORADO	,,	46
7.-	RESUMEN	,,	50
8.-	CONCLUSION	,,	52
9.-	PLANOS	,,	53
10.-	CARACTERISTICAS			

ORIGINAL

1.- MEMORIA.-

Este proyecto es presentado como trabajo de fin de carrera, constituyendo una aplicación teórico-práctica de algunos de los conocimientos adquiridos durante la misma.

Con él se culmina nuestra formación Universitaria la cual nos permitira realizar la labor social encomendada a nuestra profesión.

El objetivo perseguido en este proyecto es el de dar una aplicación práctica a los conceptos teóricos - empleados en el mismo, ya que con este trabajo se adjunta el capacímetro ensamblado.

La elección del "Capacímetro Digital" se ha hecho con mentalidad teórico-práctica, la cual lleva a la -- búsqueda de la utilidad de todo diseño, y que no quede en un desarrollo teórico sin utilidad y viabilidad alguna.

Nuestro capacímetro es basicamente un oscilador cuya frecuencia es función de la capacidad C_x a medir.

La lectura de la capacidad C_x se hace luego mediante una conversión FRECUENCIA-CAPACIDAD la cual se realiza facilmente según veremos posteriormente. Las diferentes escalas son seleccionadas manualmente mediante un conmutador, exponiendose al final del proyecto una versión mejorada en la que el sistema de elección de escala se realiza automaticamente.

Esta versión es la que se queria montar en un principio, pero impedimentos de tipo practico a la hora del montaje obligaron a conmutar manualmente las escalas. Uno de estos impedimentos fué motivado por la dificultad de obtención de los micro-relés para la selección de escalas, tal y como se indica en el esquema electrónico.

Finalmente diremos que los criterios seguidos en el diseño de nuestro capacimetro han sido encaminados a la obtención de todas las cualidades que un buen aparato de medida debe reunir (fiabilidad, sensibilidad, estabilidad, precisión ...), teniendo en cuenta ademas un factor tan importante como es el económico.

2.- INTRODUCCION.-

El proceso del proyecto electrónico ha sufrido una revolución en los años recientes. Hasta mediada la década de los años sesenta un gran número de ingenieros estaban ocupados en el diseño de circuitos.

Empleando elementos discretos (bien fueran elementos activos, como transistores y diodos, o componentes pasivos, como resistencias, condensadores e inductancias) proyectaban amplificadores, osciladores, redes o conmutación y una gran variedad de otros circuitos que después se combinaban para el montaje de sistemas electrónicos como voltímetros, receptores de TV, computadoras y otros. Como cada circuito se proyectaba especialmente para una aplicación particular, su funcionamiento se optimizaba de acuerdo con los otros circuitos del sistema. Además, como normalmente había varias disposiciones de transistores y resistencias - que cumplieran con un propósito específico, quedaba la puerta abierta a la creatividad y al proyecto de cada circuito.

Con la llegada de los circuitos integrados (IC) muchos de los circuitos que antes se proyectaban pre-

viamente para cada aplicación, pueden obtenerse ahora de forma integrada y estándar. Por lo tanto, cada vez más, el proyecto tiene mayor proporción de trabajo de selección de los amplificadores operacionales en IC, puertas lógicas, contadores, etc., y de determinación de sus interconexiones y condiciones de trabajo para que en conjunto cumplan unas determinadas funciones.

Los ICs, en este sentido, han tendido a estandarizar el proceso de un proyecto, con tal intensidad - en algunos casos, que el proyecto de un circuito es - una simple etapa de la realización de un diagrama de bloques. Como consecuencia, se sigue que los ICs han convertido el proceso de un proyecto en algo al alcance de un mayor número de usuarios y de acuerdo con ello se han multiplicado enormemente las aplicaciones de la electrónica integrada.

Una vez finalizado este pequeño resumen de la labor del proyectista antes y después de la llegada de los ICs, vamos a introducirnos realmente en nuestro proyecto en cuestión mediante una serie de razones que nos llevan a la conclusión de su gran utilidad.

Si nos fijamos en la elevada tolerancia (un 10 o un 20% son valores normales) que tienen gran cantidad de condensadores, resulta conveniente efectuar una medida rápida y precisa de los citados componentes, - siempre que se vayan a emplear en circuitos en los que se exija cierta precisión.

Por otro lado nos permitirá también medir aquellos

condensadores cuyo valor nominal no está claramente definido, o incluso aquellos en los que no aparece.

Otra utilidad no menos importante es la de comprobar aquellos condensadores "sospechosos"; debiendo ser, por tanto, un aparato de medida de gran utilidad en todo laboratorio.

Frente a los capacitímetros existentes en el mercado, los cuales se basan en su mayoría en la impedancia que presenta a una señal de entrada de frecuencia conocida, o bien, en la recta de carga o descarga del condensador a medir, el nuestro es básicamente un oscilador.

Las ventajas que presenta frente a los primeros son su mayor sensibilidad a los cambios de capacidad, su mayor linealidad y que la frecuencia de nuestro oscilador no depende de V_{cc} , con lo que las variaciones de tensión no le afectan.

La frecuencia de oscilación solo depende de dos componentes exteriores, R_x y C_x , con lo que fijado uno de ellos podemos conocer el otro en función de la frecuencia. A medida que C_x crece la frec. disminuye al aumentar la cte. RC.

La capacidad de medida abarca desde 1 pF hasta 100 uF dividida en 5 gamas de medida cuyos margenes son los siguientes:

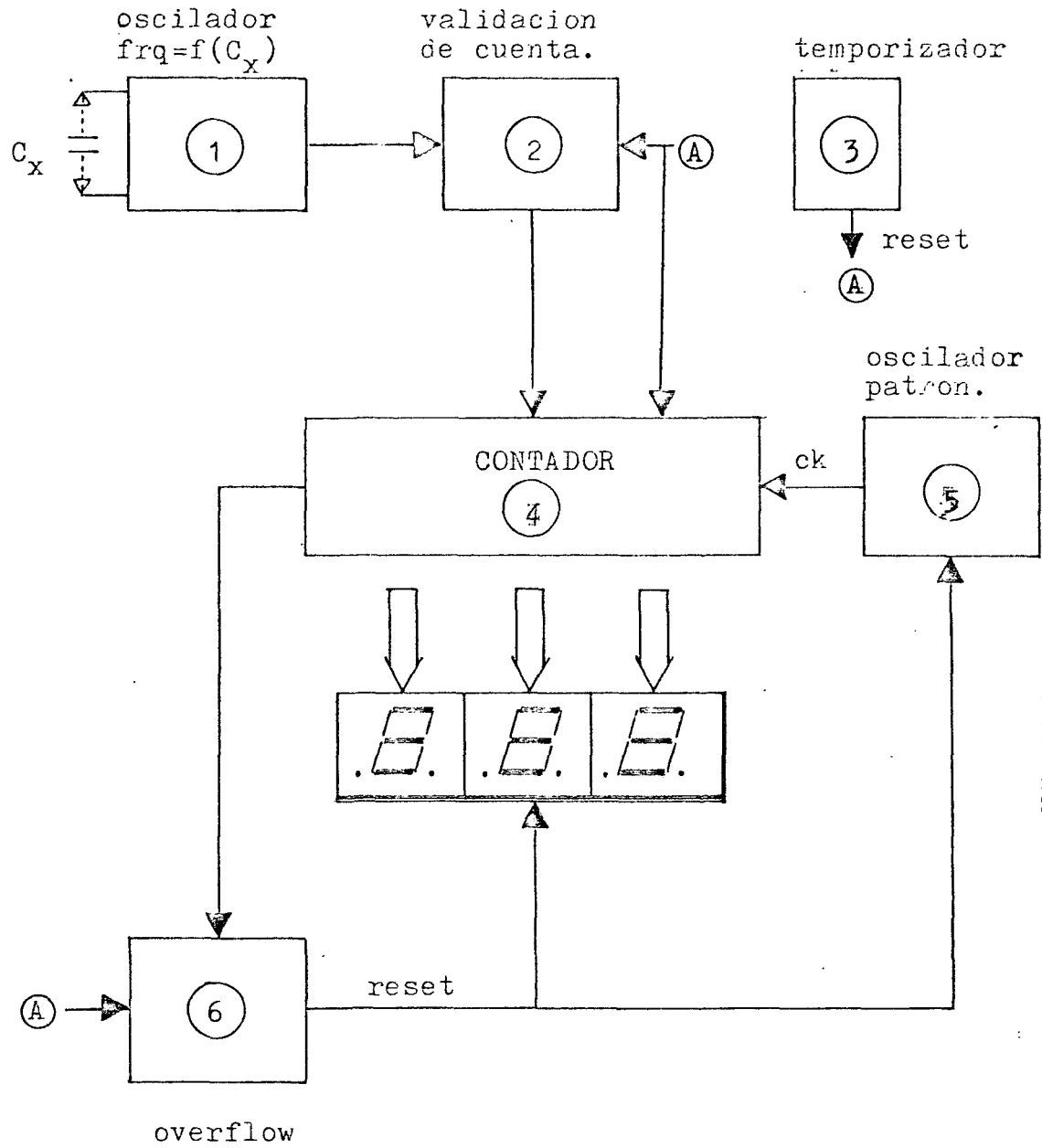
- 1: de 1 a 99 pF con una cifra decimal.
- 2: de 100 a 999 pF.
- 3: de 1 a 99 nF con una cifra decimal.
- 4: de 100 a 999 nF.
- 5: de 1 a 99 uF con una cifra decimal.

Debido a que existe un decimal en las lecturas inferiores a 100 y a que el sistema de medida de la frecuencia solo admite en el peor de los casos un error de ± 1 ciclo, tenemos que el sistema de lectura presenta un error de ± 1 % como máximo. Este error incluso es menor en la practica pues se dispone de un circuito temporizador el cual efectua automaticamente la medida cada segundo aproximadamente.

Evidentemente entre la capacidad medida y la real el error no siempre será nulo debido a que nuestro oscilador no es ideal, con lo cual su respuesta no es completamente lineal en todo el margen de medida de una gama, y a que no es completamente inmune a las variaciones de temperatura, capacidades parásitas,...

Una vez finalizada esta introducción pasamos a estudiar de lleno nuestro capacímetro, empezando por explicar su funcionamiento general mediante su diagrama de bloques.

3.- DIAGRAMA DE BLOQUES.-



Basandonos en el diagrama de bloques anterior vamos a dar una explicación por encima del cometido de cada uno de ellos.

3-1.- OSCILADOR DE FRQ=f(C_x).-

Como ya se mencionó anteriormente la frecuencia de este oscilador depende de C_x y unas resistencias - las cuales son seleccionadas por el conmutador de escalas, de manera que el circuito oscile a la frecuencia deseada. Su salida ataca al bloque 2.

3-2.- CIRCUITO PARA VALIDACION DE CUENTA.-

Tiene dos entradas, una procedente del temporizador y otra del oscilador. Este se inicializa con la entrada de un pulso de reset, pasando luego su salida a uno durante un periodo exacto de reloj y luego vuelve a cero hasta la proxima entrada de reset.

3.3.- TEMPORIZADOR.-

Este circuito está formado por un simple oscilador de aproximadamente 1c/sg., el cual tiene un ciclo de trabajo asimétrico, siendo la duración en estado bajo de 0,2 sg. y en el alto de 0,8 seg. Este circuito es el encargado de resetear los bloques 2, 4 y 6 para que se inicie una nueva medida cuando su salida es cero y durante el tiempo que permanece a uno se efectúa la medida y se presenta en los visualizadores.

3-4.- CONTADOR.-

Este circuito hace las funciones de contador, decodificador y excitador 7 segmentos. La entrada de reloj la recibe del oscilador patrón, la del reset - del temporizador y tiene además una entrada "enable" del bloque 2. La cuenta de los pulsos de reloj se efectúa durante el tiempo en que la entrada "enable" esté activada, permaneciendo luego la lectura en los visualizadores hasta que la próxima la sustituya.

Tiene una salida de acarreo la cual se utiliza para activar el circuito de overflow, además de las de excitación de los visualizadores.

3.5.- OSCILADOR PATRÓN Y DIVISORES.-

Este circuito está formado por un oscilador a cristal de 1MHz., de frecuencia muy estable lo cual permite tomar un patrón de gran precisión a la hora de medir la frecuencia del bloque 1. Se incluyen en este bloque además unos divisores los cuales permiten la elección de la freq. mas adecuada de acuerdo con la del bloque 1.

La salida del divisor ataca al contador a través del conmutador de escalas con el que se elige submúltiplo de 1 MHz. deseado. Este divisor tiene una entrada de reset activada por el C. de overflow, de manera que al activarse no permite el paso de pulsos de reloj al contador.

3-6.- CIRCUITO DE OVERFLOW.-

Su entrada de señal procede del contador y la reset del temporizador. El reset lo pone a cero y solo actúa cuando recibe una entrada de acarreo de cuenta, con lo que su salida pasa a uno reseteando el divisor como se dijo anteriormente. Esta misma salida se aprovecha para dar una indicación visual de que existe overflow, y esta consiste en iluminar los puntos decimales izquierdos de los visualizadores a la vez. Como la cuenta se repite cada segundo, cuando lo hay se ven parpadear los puntos decimales de los tres visualizadores al mismo tiempo.

Con este apartado damos por finalizado el estudio en bloques del capacimetro y vamos a pasar a explicar detalladamente la composición interna de cada uno de ellos.

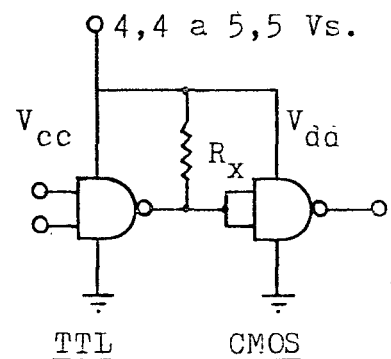
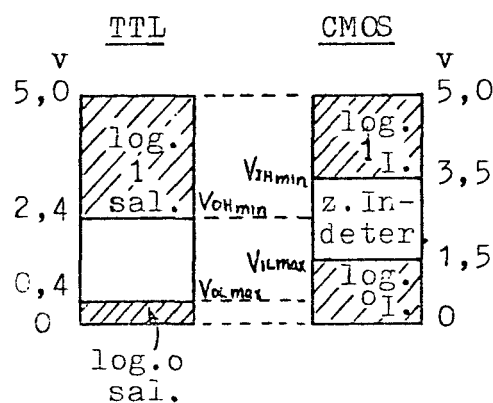
Se hará el esquema eléctrico de cada uno por separado para explicarlo, aunque al final del proyecto y en la sección de planos aparecen todos ellos interconectados entre sí.

4.- DISEÑO GENERAL.-

La tecnología empleada en este proyecto ha sido fundamentalmente la TTL salvo en los circuitos del oscilador n.1 y en el divisor en que se empleó CMOS, por lo que primero que nada vamos a dar un pequeño estudio de las compatibilidades entre ambas en el interface.

4-1.- INTERFACE TTL-CMOS y CMOS-TTL.-

El interface TTL-CMOS con una fuente de alimentación común entre 4,5 y 5,5 Vs., como es nuestro caso, el acople directo entre ambas nos puede crear algunos estados indeterminados debido a que, como muestra el diagrama, el voltaje mínimo de salida en estado alto $V_{OH_{min}}$ de la TTL es 2,4 Vs., y este valor es inferior a los 3,5 Vs. necesarios para garantizar a la entrada CMOS.



En el esquema de la derecha se muestra como se elimina este problema mediante el empleo de la resistencia R_x exterior, la cual pudiera ser la misma que se emplea para una salida en colector abierto a V_{DD} de 5 V.

La siguiente tabla nos muestra los valores de R_x en la interface TTL-CMOS para las diferentes familias TTL:

	<u>74</u>	<u>74H</u>	<u>74L</u>	<u>74LS</u>	<u>74S</u>
$R_x \text{ min}(\Omega)$	390	270	1,5K Ω	820	270
$R_x \text{ máx}(K\Omega)$	4,7	4,7	27	12	4,7

De ella se deduce que una R_x comprendida entre 1,5 y 4,7 K Ω nos sirve para todos los tipos de TTL y en las peores condiciones.

La impedancia de entrada CMOS es esencialmente "capacitiva", lo cual nos indica que una salida TTL puede tener muchas cargas CMOS dependiendo el número de ellas de la frecuencia de operación.

En la interface CMOS-TTL, según se vio en el diagrama anterior, el requisito es que la corriente de drenaje sea suficiente en un estado de salida bajo y para un voltaje de salida máximo de 0,4 Vs.

La corriente de drenaje para la serie B, que es la empleada en el capacitometro es de 0,4 mA. para todos los tipos de puertas, con una $V_{01} = 0,4 \text{ Vs}$ a $V_{DD} = 5 \text{ Vs}$. Esta serie B es capaz de atacar directamente al menos dos cargas TTL, en el peor de los casos.

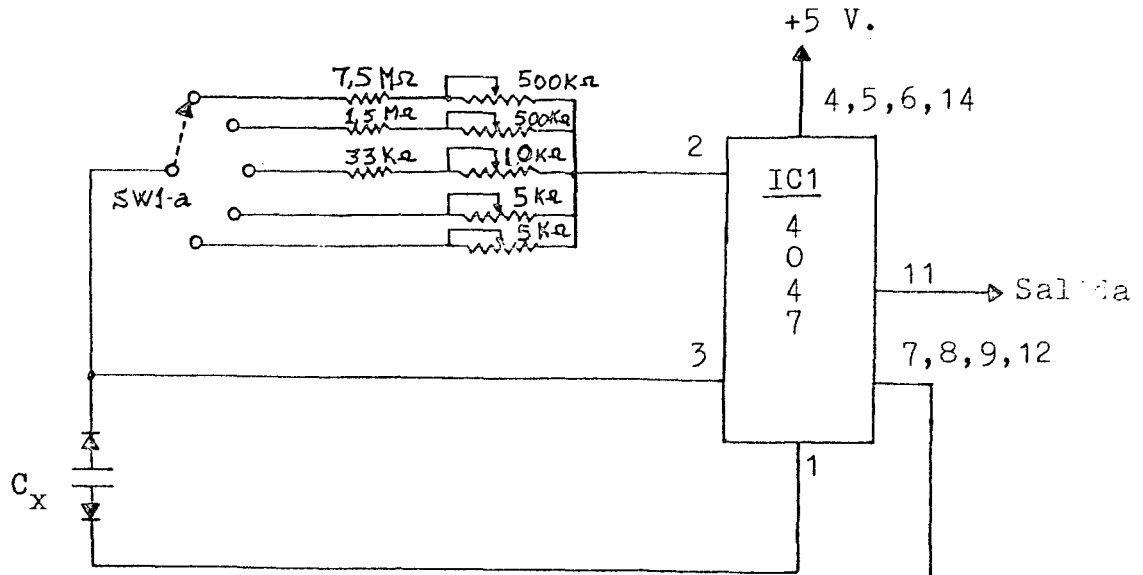
Si nosotros quisieramos mayor fanout podemos emplear los buffers 4049A ó 4050A, los cuales tienen el siguiente fanout según las familias TTL:

FAMILIAS TTL

<u>BUFFER FANOUT</u>	<u>74</u>	<u>74H</u>	<u>74L</u>	<u>74LS</u>	<u>74S</u>
minimo	1	1	14	7	1
típico	3	2	28	14	2

De lo visto anteriormente y ciñendonos a nuestro circuito vemos que el acoplo CMOS-TTL lo podemos hacer siempre directamente pues solo carga a una TTL, mientras que en el TTL-CMOS solo hemos de poner una resistencia entre la entrada clear y V_{CC} en el divisor pues la entrada de reloj de este ya hay una de $1K\Omega$.

Vamos a pasar ahora al diseño de cada uno de los bloques que se vieron anteriormente.

4-2.- OSCILADOR DE $f(C_x)$.-

Nuestro oscilador ha sido construido sobre un 4047, y su elección se ha hecho en base a su estabilidad, -- presentando una gran linealidad en su frecuencia en función de C_x dentro de un margen de medida bastante amplio. Otro factor a tener en cuenta es su gran sencillez y economía dado que solo consta de un IC dependiendo su frecuencia de dos componentes exteriores, la capacidad C_x y una resistencia R la cual se puede ajustar de forma que si C_x es fijo podemos llevar la frecuencia de oscilación al valor deseado.

Este IC puede funcionar como multivibrador monoestable o astable. En ambos casos la R se conecta entre el R-TIMING (patilla 2) y el RC-COMMON (patilla 3) y el C entre C-TIMING (patilla 1) y RC-COMMON.

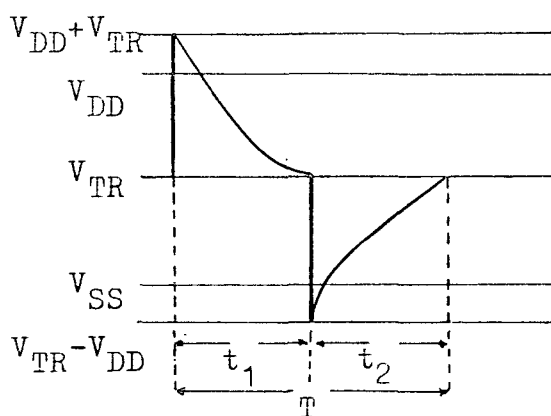
Para su funcionamiento como astable deben ponerse a V_{cc} las patillas 4,5,6 y a masa las 8,9,12.

En su funcionamiento como astable presenta un ciclo de trabajo del 50% y una buena estabilidad en la frecuencia teniendo una desviación de:

$$\pm 2\% + 0,003\% \text{ } ^\circ\text{C} \text{ a } 100 \text{ KHz.}$$

$$\pm 2\% + 0,015\% \text{ } ^\circ\text{C} \text{ a } 10 \text{ KHz.}$$

La señal de salida aparece en 11 y vamos a calcular el periodo empleando tecnicas de integrados. en vez de la cte. de tiempo RC.



$$t_1: V_{TR} = (V_{DD} + V_{TR}) e^{-t_1/RC} \quad \text{de donde}$$

$$t_1 = RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}}$$

$$t_2: V_{DD} - V_{TR} = (2V_{DD} - V_{TR}) e^{-t_2/RC} \quad \text{de donde}$$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}}$$

Por tanto, el periodo $T = t_1 + t_2$ del astable será:

$$T = -RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

El 4047 tiene una salida cuya frecuencia es la mitad de la anterior, siendo su período $T_a = 2T$. Por cuestiones de tiempo esta salida nos interesa más que la primera y en función de ella vamos a calcular los valores de R para todas las escalas.

V_{TR} es el voltaje de transferencia y va desde el 33 al 67% de V_{DD} . Su valor típico es $0,5 V_{DD}$ y sus valores máx. y mín. son $0,33$ y $0,67 V_{DD}$ respectivamente. Vamos a calcular T_a para estos tres valores de V_{TR} .

Para $V_{TR} = 0,5 V_{DD}$

$$T_a = -2RC \ln \frac{0,5V_{DD}(V_{DD} - 0,5V_{DD})}{(V_{DD} + 0,5V_{DD})(2V_{DD} - 0,5V_{DD})} = 4,4RC$$

$$\underline{T_a = 4,4 RC}$$

Si repetimos los cálculos para V_{TR} máx. y mín. el resultado coincide en ambos casos y T_a vale:

$$\underline{T_a = 4,62 RC}$$

La conversión FRECUENCIA-CAPACIDAD se logra mediante la elección adecuada del período T_a .

Recordemos que la capacidad C_x viene dada en forma exponencial, teniendo una mantisa entera y un exponente negativo que variará según sean pF, nF ó uF.

La fórmula general de C_x será:

$$C_x = X \cdot 10^Y$$

La entrada del reloj patrón, de período T_0 , está siempre aplicada a los contadores, pero la cuenta solo se efectúa durante el tiempo T_a , siendo por tanto la relación entre T_a y T_0 :

$$\underline{T_a = n T_0}$$

Si nosotros hacemos $n=X$, el número de pulsos que pasa al contador coincide con la mantisa de C_x apareciendo en los visualizadores su valor. El exponente viene implícito en la posición del conmutador de escalas.

Teniendo esta igualdad presente, la expresión de C_x será:

$$\underline{C_x = n 10^y}$$

Vamos ahora a calcular R según las diferentes escalas.

a) ESCALA N.1

El rango de medida va desde 1 a 99 pF, con tres cifras en la mantisa por lo que el exponente será 10^{-13} y para el V_{TR} típico el valor de T_a será:

$$T_a = n T_0 = 4,4 R n 10^{-13} \text{ seg.}$$

para esta escala el valor de la frecuencia patrón empleada es $f_0 = 250 \text{ KHz.}$, así pues:

$$R = T_0 / 4,4 \times 10^{-13} .$$

$$R = 10^{13} / 250 \times 10^3 \times 4,4 = 9 \text{ M}\Omega$$

$$\underline{R = 9 \text{ M}\Omega}$$

En la práctica el valor de R empleado ha sido ligeramente inferior, $8 \text{ M}\Omega$, y próximo al obtenido para V_{TR} mínimo. La composición de R se hizo con una resistencia fija de $7,5 \text{ M}\Omega$ y un potenciómetro helicoidal de $500 \text{ K}\Omega$ en serie para el ajuste fino en la calibración.

b) ESCALA N.2

El rango de medida va desde 100 hasta 999 pF con tres cifras enteras, siendo ahora $C_x = n \cdot 10^{-12} \text{ Far.}$, y la frecuencia patrón $f_0 = 125 \text{ KHz}$. Así pues, el valor de R para V_{TR} típico es:

$$R = T_0 / 4,4 \times 10^{-12} = 10^{12} / 125 \times 10^3 \times 4,4 = 1,8 \text{ M}\Omega$$

$$\underline{R = 1,8 \text{ M}\Omega}$$

En la práctica se empleó una R fija de $1,5 \text{ M}\Omega$ y un potenciómetro helicoidal de $500 \text{ K}\Omega$ en serie para calibración.

c) ESCALA N.3

Abarca de 1 a 99 nF con tres dígitos enteros con lo cual $C_x = n \cdot 10^{-10} \text{ Far.}$, y para la $f_0 = 62,5 \text{ KHz}$ el valor de R es:

$$R = T_0 / 4,4 \times 10^{-10} = 10^{10} / 62,5 \times 10^3 \times 4,4 = 36,3 \text{ K}\Omega$$

$$\underline{R = 36,3 \text{ K}\Omega}$$

El valor de la R fija empleado ha sido de 32 K y la variable de $10 \text{ K}\Omega$.

d) ESCALA N.4

Va desde 100 hasta 999 pF, viniendo C_x dado por: $C_x = n \cdot 10^{-9}$ y para $f_0 = 62,5 \text{ KHz}$., el valor de R será la

de la parte del anterior, pues sólo ha variado el exponente de C_x . Luego:

$$R = 3,63 \text{ Kg}$$

Como el valor de R es ya bastante bajo no hace falta emplear la R fija y solo se usó un potenciómetro helicoidal de 5 Kg.

e) ESCALA N.5

Va desde 1 hasta 99 mF. Al tener tres cifras en la mantisa el valor de C_x es: $n \cdot 10^{-7}$. El período T_a nos ha ido creciendo a medida que aumentábamos las escalas y en consecuencia hemos tenido que bajar la frecuencia del reloj para que no exista desbordamiento en la medida y mantener la relación entre T_a y P_0 .

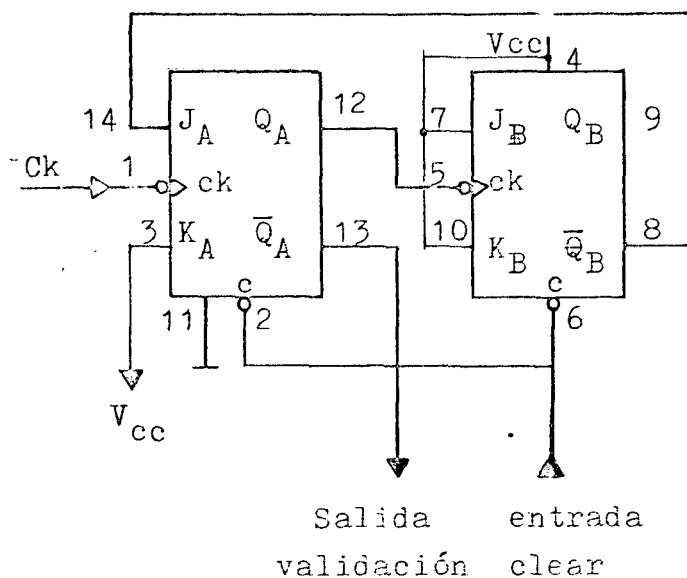
Para esta escala T_a es ya bastante grande en comparación con las primeras y por ello hemos de reducir la frecuencia del reloj al valor: $f_c = 1553,125 \text{ Hz}$ sea, $10^6 / 2^9$. El valor de R será:

$$R = T_0 / 4,4 \times 10^{-7} = 10^7 / 1,9 \times 3,125 \times 4,4 = 1,16 \text{ Kg}$$

$$R = 1,16 \text{ Kg}$$

Al igual que en la escala precedente el valor de R empleado ha sido de 5 Kg variable.

Con este último cálculo ya son conocidos todos los valores de R en todas las escalas. La elección de cinco se ha hecho con el fin de lograr la mayor linealidad y precisión posibles en la lectura dentro de cada una de ellas.

4-3.- CIRCUITO PARA VALIDAR UN CR. DE CUENTA.-

Este circuito ha de realizar las funciones de inicio y paro de la cuenta de los contadores. Se inicia con un pulso de reset y su salida cambia de estado durante un período de la señal de reloj de entrada y luego vuelve al estado inicial hasta que el próximo pulso de reset lo inicialice de nuevo.

Su diseño puede hacerse mediante diagramas de estado, según las técnicas clásicas de cálculo de circuitos secuenciales, pero el circuito que se obtiene es más complicado que este, pues además de los biestables nos saldría un circuito combinatorial anexo que nos obliga al empleo de más de un IC. Como se observa en el esquema el circuito es bastante sencillo y se basa en las propiedades de lo master-slave.

El primer JK tiene una entrada fija K_A y la otra J_A variable mediante su conexión a \bar{Q}_B , mientras que el segundo tiene la configuración de un tipo T, siendo su funcionamiento el siguiente:

Al llegar un pulso de reset procedente del temporizador, ambos J-K ponensus salidas Q a cero y las \bar{Q} a uno, con lo cual se aplica un uno a J_A .

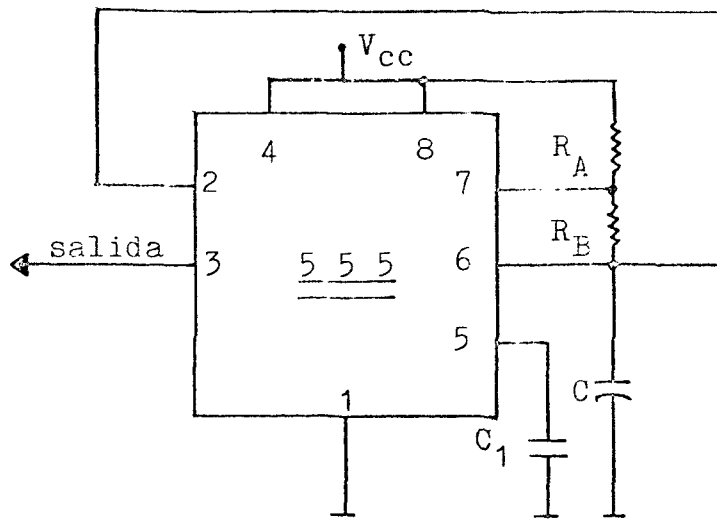
En el flanco de bajada del primer pulso de reloj Q_A pasa uno y \bar{Q}_A a cero, no habiendo cambio alguno en el segundo biestable ya que conmuta en el flanco de bajada de su entrada de reloj, o sea, cuando Q_A pasa de uno a cero.

En el flanco de bajada del segundo pulso de reloj \bar{Q}_A pasa a cero y Q_A a uno. Con el paso de uno a cero de \bar{Q}_A se produce la conmutación en el segundo J-K, con lo que su salida \bar{Q}_B pasa a cero y se lo aplica a J_A .

Al estar ahora J_A a cero y K_A a uno este biestable ya no vuelve a conmutar su salida en sucesivos pulsos de reloj. comportandose del mismo modo el segundo.

Esta situación permanece hasta la llegada del próximo pulso de reset y se vuelve a repetir el ciclo de medida. Debido a que la entrada de validación de cuenta es activa a nivel bajo en el tipo de contador empleado en el montaje, la salida que se usa es la \bar{Q}_A .

El biestable que se ha empleado es el 74LS73, cuyas características aparecen al final de este proyecto.

4-4.- TEMPORIZADOR

Este circuito es un simple oscilador cuya frecuencia es de aproximadamente $1\text{c}/\text{sg.}$, y su ciclo de trabajo es asimétrico con una duración de $0,2\text{ sg}$ en estado bajo y $0,8$ en el alto aproximadamente. Esta montado con un 555 y la relación entre R_A, R_B y C es la siguiente:

$$t_h = 0,693 (R_A + R_B) C$$

$$t_l = 0,693 R_E C$$

Si fijamos $C = 2,2\ \mu\text{F}$ y sabiendo que $t_h = 0,8\text{ sg}$ y $t_l = 0,2\text{ sg}$ podemos calcular R_B primero y luego R_A .

$$R_E = \frac{t_l}{0,693 C} = \frac{0,2}{0,693 \times 2,2} \times 10^6 = 131\text{ K}$$

$$R_E = 131\text{ K}$$

$$R_A = \frac{t_h}{0,693 C} - R_E = \frac{0,8}{0,693 \times C} - R_A = 393\text{ K}$$

$$\underline{R_A = 393 \text{ K}}$$

Estos valores de resistencias no son estandares por lo cual los sustituimos por los mas proximos para el montaje. Los valores elegidos han sido $R_A = 390 \text{ K}$ y $R_B = 150 \text{ K}$. La variación sufrida con este cambio es minima y a nosotros no nos afecta en absoluto, debido a que la elección del período de oscilación es un compromiso entre un mínimo fijado por el tiempo necesario para hacer la medida mas grande, o sea $C = 99 \text{ uF}$, y por otro lado la frecuencia con que se repite la medida.

Los valores practicos de t_h y t_l una vez efectuados los cambios de R_A y R_E son:

$$\underline{t_h = 0,823 \text{ seg.}}$$

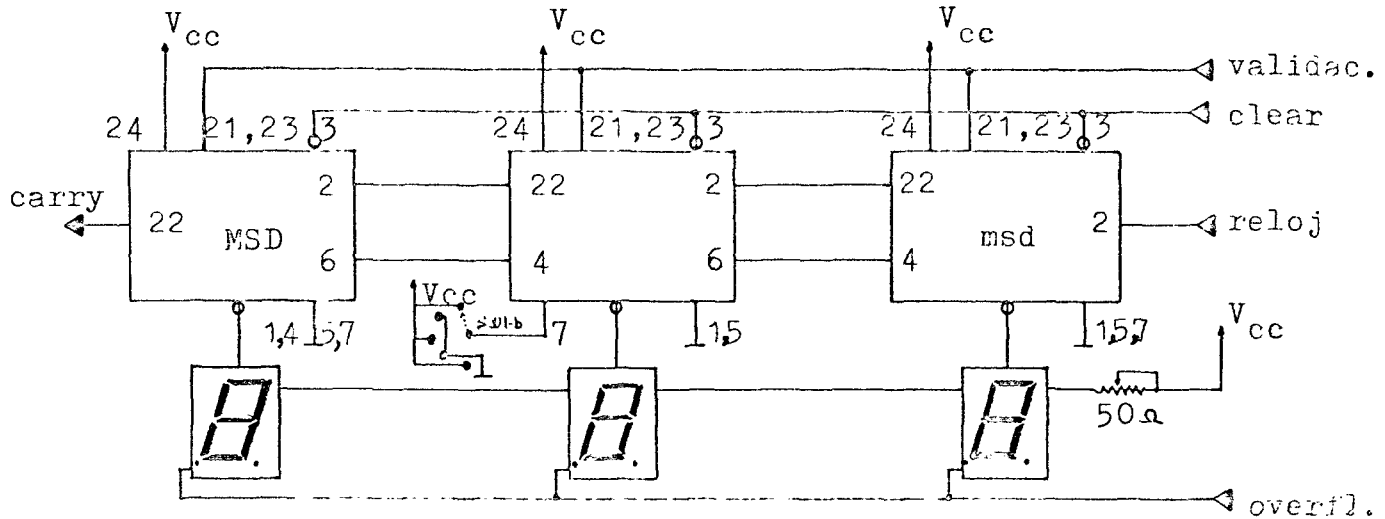
$$\underline{t_l = 0,228 \text{ seg.}}$$

siendo el período de oscilación T_p :

$$T_p = t_h + t_l = 0,823 + 0,228 = 1,05 \text{ seg.}$$

por lo tanto, la frecuencia con que se repetirá la medida es:

$$\underline{f_{\text{rep}} = 1/T_p = 0,95 \text{ c/seg.}}$$

4-5.- COUNTADORES Y VISUALIZADORES.-

Estos circuitos son los encargados de la presentación visual del valor de C_x . Los contadores están montados con los IC's 741S143 que hacen las funciones de contador de cuatro bit/latch, decodificador y excitador de siete segmentos/lámpara.

Las entradas con buffers están implementadas con resistores relativamente elevados en serie con las bases de los transistores de entrada para bajar los requerimientos de corriente de excitación a la mitad de los necesarios en una entrada TTL estándar.

Las salidas del excitador están diseñadas para mantener una corriente de sink en estado de conducción relativamente constante, de aproximadamente 15 mA en las salidas "a" a "g" y siete en la "dp", en un margen de tensiones de uno a cinco voltios.

Puede atacar cualquier número de LED's en serie en tanto en cuanto no se exceda el margen de tensión

de salida. Según se ve en el esquema la entrada de validación se aplica al mismo tiempo a las patillas 21 (entrada de mando del latch) y 23 (entrada de habilitación de cuenta paralelo PCEI). Para un modo de cuenta normal ambas deben estar bajas. Cuando están altas el contador queda inhibido y los latches permanecen constantes.

Cuando en temporizador manda el pulso de reset los contadores pasan a cero permaneciendo en los latches la información anterior y no variando su salida. A continuación y durante el período T_a en que el circuito de validación pone a cero su salida, los contadores inician la cuenta y los latches siguen a estos.

Al ser la frecuencia de reloj muy grande y T_a muy pequeño en comparación con $\overline{T_a}$, sucede que no vemos la cuenta de los contadores y solo se lee su valor final permaneciendo fija la lectura. Como la lectura se efectúa cada segundo, si hay diferencia entre ellas veríamos variar el último dígito, y si no la hubiere la lectura permanece invariable y constante.

La entrada de reloj se aplica a la patilla 2 del contador menos significativo msd, 1 a salida de carry de éste (patilla 22) a la entrada de reloj del siguiente, y así hasta el MSB en el que su salida de carry se aprovecha para activar el circuito de overflow.

Las entradas de clear de los tres contadores (patilla 3) están en paralelo y son activas a nivel bajo.

Las entradas de habilitación de cuenta serie (patilla 1) se pone a masa para desactivarla y las de

blanking (patilla 5) tambien, permitiendo una visualización normal.

Las salidas de excitación de LED/LAMPARAS son activas a nivel bajo y salen por 15, 16, 14, 9, 11, 10 y 13, utilizandose la salida de coma decimal "dp" solo en el segundo contador. Al no tener salida "dp" el MSD y el msd sus entradas "dp" (patilla 7) se han puesto a masa.

Recordemos que en las escalas 1, 3 y 5, tenemos tres cifras en la lectura con lo que el exponente debe dividirse por 10. Con el fin de evitar el poner cinco exponentes distintos en las escalas y que la lectura se haga directamente en las unidades que estamos acostumbrados, o sea, pF-nF y uF, se introduce una coma decimal en el segundo dígito con lo que ya no hace falta dividir el exponente por diez. Por tanto, con esta medida se logra que las dos primeras escalas correspondan a pF, las tercera y cuarta a nF y la quinta a uF.

Debido a esto, la entrada "dp" del segundo contador está controlada por el conmutador de escalas, de manera que en las 1, 3 y 5, la pone a Vcc apareciendo coma decimal a la salida (patilla 8), y en las 2 y 4, a masa no teniendose salida "dp".

Dado el bajisimo consumo de los IC's , casi toda la potencia es empleada en la excitación de los visualizadores, con lo que para minimizar los requerimientos de potencia a la fuente, vamos a hacer uso de una posibilidad de conexiõado bastante interesante que tienen estos contadores.

Existe una entrada "RIPPLE-BLANKING" (patilla 4) la cual, si es puesta a masa y la información de los latches es cero, hace desaparecer toda la visualización, forzando su salida "RIPPLE-BLANKING" a cero. Esta salida puede utilizarse como entrada R-B del siguiente contador de manera que si el MSD tiene su entrada R-B fija a masa, cuando su información sea cero pone su salida R-B a cero y desaparece la indicación visual.

Repetiendo esta conexión con los otros contadores, cuando la información de todos es cero desaparece toda indicación visual. Se consigue, por tanto, una lectura mas cómoda al desaparecer los ceros a la izquierda y un ahorro considerable de potencia.

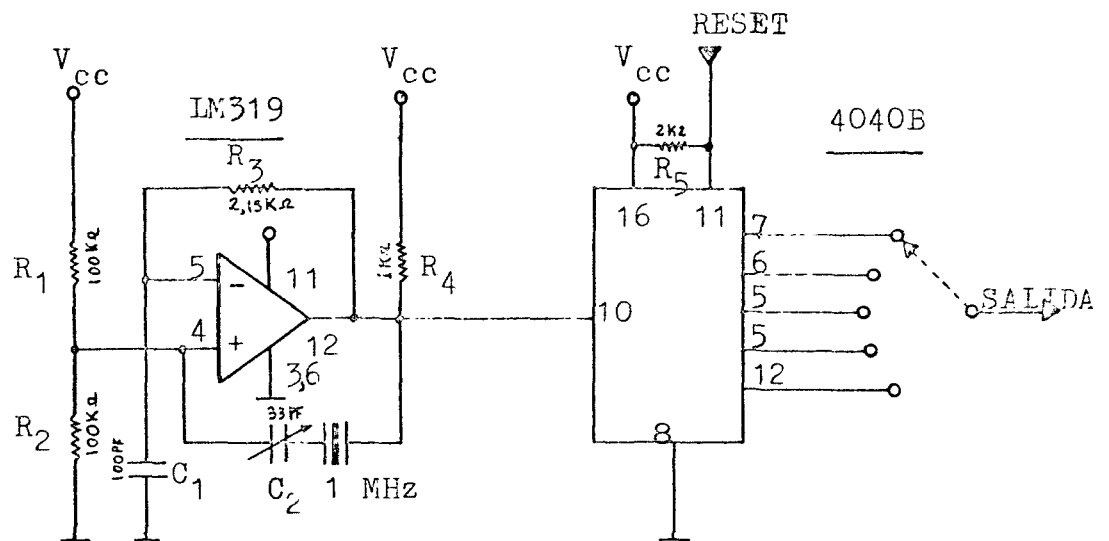
Los visualizadores tienen punto decimal a la izquierda y a la derecha, utilizandose el "dp" derecho solo en el segundo. Los "dp" izquierdos se emplean para la indicación de overflow, y son controlados por el circuito de overflow, estando todos ellos conectados en paralelo.

Cuando existe un pulso de carry en el MSD el C. de overflow es activado mandando a cero su salida, que normalmente se mantiene a uno. Con ello se encienden los "dp" izquierdos independientemente del estado de los contadores. La salida de los divisores queda tambien inhibida con lo que, al no pasar pulsos de reloj a los contadores y ser la información de los latches 000, desaparece toda indicación visual que no sea la de overflow. Al repetirse la lectura cada segundo se produce un parpadec en los puntos, siendo esta la in-

dicación visual de que se ha producido un desbordamiento en la medida.

La intensidad luminosa de los visualizadores está controlada por un potenciómetro de brillo interno de 50Ω , el cual puede regularse por el orificio existente en el panel frontal del capacitómetro. Este potenciómetro se ha puesto internamente debido a que nuestro medidor se empleará primordialmente en el laboratorio, donde las variaciones de luminosidad no son significativas.

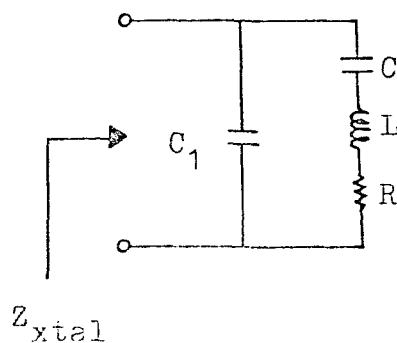
4-6.- OSCILADOR EN RING Y DIVISOR S.-



El oscilador patrón está montado sobre el op-amp LM319, y es un oscilador a cristal. Antes de hacer el estudio de este oscilador vamos a hacer un análisis general de los osciladores a cristal.

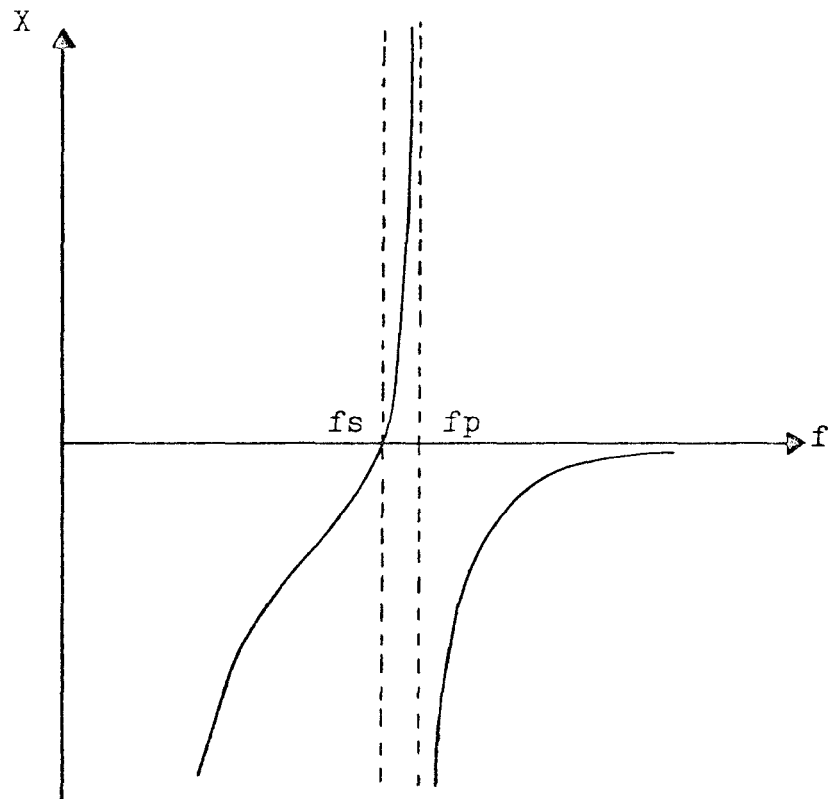
Estos osciladores hacen uso de las propiedades piezoeléctricas de determinados cristales, como el de cuarzo, reproduciendo eléctricamente el fenómeno de la resonancia mecánica que se produce a una frecuencia muy precisa.

El circuito eléctrico equivalente a un cristal es el siguiente:



La inductancia L representa la masa del cristal, C su elasticidad y R las pérdidas de energías debidas a rozamientos. El condensador C_1 representa la capacidad eléctrica entre las dos metalizaciones.

La reactancia en bornas del cristal en función de la frecuencia adopta la forma siguiente:



donde f_s corresponde a la frecuencia de resonancia se rie del cristal y f_p a la de paralelo.

Supongamos $R \approx 0$ y vamos a calcular el valor de Z_{xtal} .

$$\begin{aligned}
 Z_{xtal} &= \frac{1}{j\omega C_1} \left(j\omega L + \frac{1}{j\omega C} \right) = \\
 &= -j \frac{\frac{1}{\omega C_1} \left(\omega L - \frac{1}{\omega C} \right)}{\omega L - \frac{1}{\omega} \left(\frac{C_1 + C}{C C_1} \right)}
 \end{aligned}$$

$$Z_{\text{mín.}} \rightarrow 0 \quad \text{si} \quad \omega L - \frac{1}{\omega C} = 0 \quad \rightarrow \quad \omega^2 = \frac{1}{LC} \quad \rightarrow$$

$\omega = \frac{1}{LC} = \omega_s$ esta ω corresponde a la pulsación de resonancia serie ω_s del cristal y de aquí se calcula f_s .

$$f_s = \frac{1}{2\pi\sqrt{LC}}$$

$$Z_{\text{máx.}} \rightarrow \quad \text{si} \quad \omega L = \frac{1}{\omega} \left(\frac{C_1 + C}{\epsilon C_1} \right)$$

$$\omega^2 = \frac{1}{L} \left(\frac{C_1 + C}{C \cdot C_1} \right) = \frac{1}{LC_1} \left(1 + \frac{C_1}{C} \right)$$

$$\omega = \omega_p = \frac{1}{\sqrt{LC_1}} \sqrt{1 + \frac{C_1}{C}}$$

donde ω_p es la pulsación de resonancia paralelo del cristal y de aquí se calcula f_p

$$f_p = \frac{1}{2\pi\sqrt{LC_1}} \sqrt{1 + \frac{C_1}{C}}$$

ambas frecuencias están muy próximas ya que $C \ll C_1$.

A la frecuencia de resonancia serie el cristal se comporta prácticamente como un cortocircuito, mientras que en la de paralelo lo hace como un circuito abierto. En el pequeño margen entre ambas lo hace como una reactancia positiva (inductancia).

La característica más importante de este componente es su alto Q (del orden de 10^4) que redundará en la

buena estabilidad de los osciladores construidos con él.

La frecuencia de resonancia (normalmente especificada con tres cifras significativas) es fija, aunque puede modificarse externamente en una pequeña proporción.

La estabilidad con la temperatura es otro factor importante, llegandose a obtener estabilidades mejores que 1 parte en 10⁹ con la ayuda de cámaras termoestables. Aunque ω_s y ω_p esten muy próximas siempre $\omega_s > \omega_p$ pues no llegan a ser iguales.

Para $\omega < \omega_s$

$$\omega L < \frac{1}{\omega C} \text{ y también } \omega L < \frac{1}{\omega} \frac{C_1 + C}{C_1 C}$$

luego $Z_{xtal} = -j X$, o sea, es del tipo capacitativo.

Para $\omega_s < \omega < \omega_p$

$$\omega L > \frac{1}{\omega C} \text{ y también } \omega L < \frac{1}{\omega} \frac{C_1 + C}{C_1 C}$$

luego $Z_{xtal} = j X$, o sea, es del tipo inductivo.

Para $\omega > \omega_p$

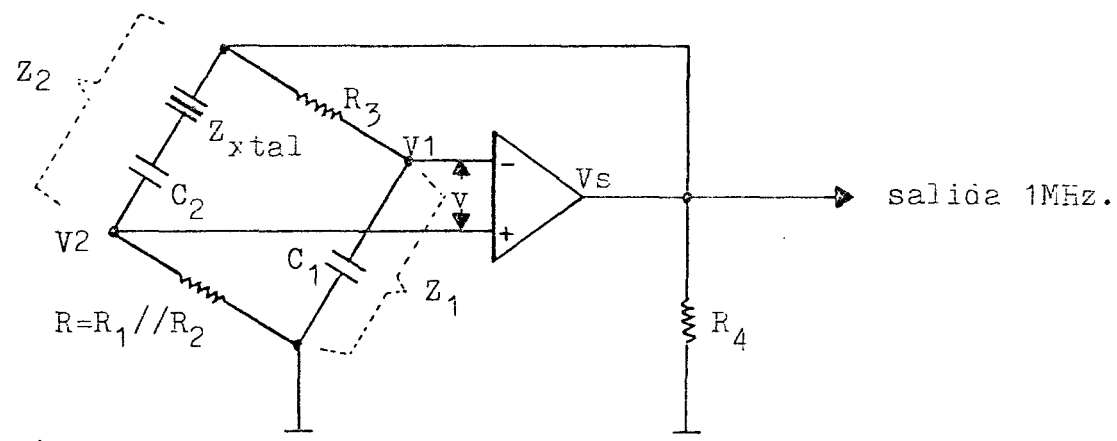
$$\omega L > \frac{1}{\omega C} \text{ y también } \omega L > \frac{1}{\omega} \frac{C_1 + C}{C_1 C}$$

luego $Z_{xtal} = -j X$, es de tipo capacitativo.

A una frecuencia ω tal que, $\omega_s \leq \omega < \omega_p$, el cristal sustituye a cualquier bobina, y si un oscilador que utilice una bobina para oscilar, se la sustituye por un cristal, el oscilador trabajará a una frecuencia comprendida entre ω_s y ω_p .

Al margen de frecuencias entre ω_s y ω_p se le llama frecuencia del cristal. Normalmente se emplea un condensador de capacidad pequeña en serie con el cristal, con lo que se logra que la tensión continua en bornas de este sea pequeña y así sus características no varían rápidamente, sirviendo además para arrastrar al oscilador hacia la frecuencia del cristal. También se suele poner variable lo que permite el ajuste fino de la frecuencia del cristal.

Vamos a estudiar ahora nuestro oscilador a cristal, el cual tiene el montaje de un puente de Wien. Veremos su circuito equivalente y le daremos la forma clásica del puente de Wien.



vamos a calcular la impedancia del cristal Z_{xtal} a la

frecuencia de resonancia $f_0 = 1 \text{ MHz}$.

Recordemos que la condición para que un oscilador oscile, y el nuestro oscila prácticamente, es que la parte imaginaria del producto de A por β sea cero. Donde A es la ganancia del amplificador y β la realimentación del lazo. Por tanto se debe cumplir:

$$\text{Imag.} (A \beta) = 0 \quad \text{a la frecuencia de resonancia } \omega_0.$$

Al ser A un número real, la condición anterior queda reducida a que $\text{Imag.} \beta = 0$ y basandonos en esta condición vamos a calcular Z_{xtal} a $\omega = \omega_0$.

Según se desprende del circuito equivalente anterior:

$$\beta = \frac{V}{V_s} = \frac{V_1 - V_2}{V_s} = \frac{V_1}{V_s} - \frac{V_2}{V_s}$$

donde

$$V_1 = \frac{V_s Z_1}{Z_1 + R_3} \quad \longrightarrow \quad \frac{V_1}{V_s} = \frac{Z_1}{Z_1 + R_3}$$

$$V_2 = \frac{V_s R}{Z_2 + R} \quad \longrightarrow \quad \frac{V_2}{V_s} = \frac{R}{Z_2 + R}$$

siendo:

$$Z_1 = \frac{1}{j\omega C_1} \quad \text{y} \quad Z_2 = Z_{\text{xtal}} + \frac{1}{j\omega C_2}$$

luego,

$$\beta = \frac{Z_1}{Z_1 + R_3} - \frac{R}{R + Z_2} = \frac{\cancel{R} Z_1 + Z_1 Z_2 - \cancel{R} Z_1 - R R_3}{(Z_1 + R_3)(R + Z_2)} =$$

$$\beta = \frac{Z_1 Z_2 - R R_3}{R R_3 + Z_1 Z_2 + (R Z_1 + R_3 Z_2)}$$

al ser Z_1 y Z_2 imaginarios puros, $Z_1 Z_2$ será real al igual que $R R_3$, siendo por tanto $(R Z_1 + R_3 Z_2)$ la parte imaginaria de β . Así pues, a ω_0 se cumplirá:

$$\underline{R Z_1 + R_3 Z_2 = 0}$$

sustituyendo Z_1 y Z_2 por su valor,

$$\frac{R}{j\omega_0 C_1} + R_3 \left(Z_{xtal} + \frac{1}{j\omega_0 C_2} \right) = 0$$

despejando Z_{xtal} tenemos que:

$$Z_{xtal} = - \frac{R}{j\omega_0 C_1 R_3} - \frac{1}{j\omega_0 C_2} = j \left(\frac{R}{\omega_0 C_1 R_3} + \frac{1}{\omega_0 C_2} \right)$$

Si sustituimos ahora cada componente por su valor, tenemos que para $f_0 = 1$ MHz. el valor de Z_{xtal} es:

$$Z_{xtal} = j \left(\frac{50 \times 10^3}{2\pi \times 10^6 \times 100 \times 10^{-12} \times 2,15 \times 10^3} - \frac{1}{2\pi \times 10^6 \times 33 \times 10^{-12}} \right)$$

$$\underline{Z_{xtal} = j 4,2 \times 10^4}$$

Al ser positiva nos indica que es inductiva y vemos como efectivamente a la frecuencia de resonancia ω_0 comprendida entre ω_s y ω_p el cristal se comporta como una bobina.

En el montaje práctico C_2 es variable permitiendo el ajuste fino del oscilador.

Las patillas 3 y 6 van a masa en el LM319 y la alimentación V_{cc} a la 11. Para mayor información sobre este comparador de alta velocidad dirigirse al apartado de características.

Damos por finalizado con esto el estudio del oscilador patrón, pasando a continuación a ver el divisor de frecuencia.

Debido a que 1 MHz. es una frecuencia muy elevada para nuestros propósitos, nos vemos obligados a dividirla por potencias de dos hasta llevarla al valor que nos interesa. En realidad a nosotros nos interesa que la frecuencia del oscilador patrón sea elevada, - pues nos permitirá una mayor precisión en la medida.

Como divisor se ha empleado el IC CD4040B el cual permite la elección a su salida de doce frecuencias diferentes, las cuales van desde $f_{in} / 2^1$ hasta $f_{in} / 2^{12}$. Esta amplia gama de frecuencias derivadas de la patrón nos evidencia por si solo la razón de la elección de este integrado. Para hacernos una idea, si la frecuencia de entrada fuera de 1 seg, el período de la salida de frecuencia mínima sería de 1h-8 min-16 seg, lo que permite que este IC se emplee con asiduidad en circuitos de retardo.

Todas las etapas contadoras son flip-flop master-slave. El avance de la cuenta se produce en el flanco de bajada del reloj, poniendose todas las salidas a cero cuando se aplica un nivel alto a la entrada reset. Todas las entradas y salidas son Buffers.

En nuestro capacitómetro hemos utilizado las siguientes salidas en función de la variación de escala:

Escala 1:	frec.	250 KHz	=	$f_{in} / 2^2$	patilla n	7
Escala 2:	,,	125 KHz	=	$f_{in} / 2^3$,,	,,6
Escala 3:	,,	62,5KHz	=	$f_{in} / 2^4$,,	,,5
Escala 4:	,,	,,	,,	,,	,,	,,,
Escala 5:	,,	1953,125 Hz	=	$f_{in} / 2^9$,,	,,12

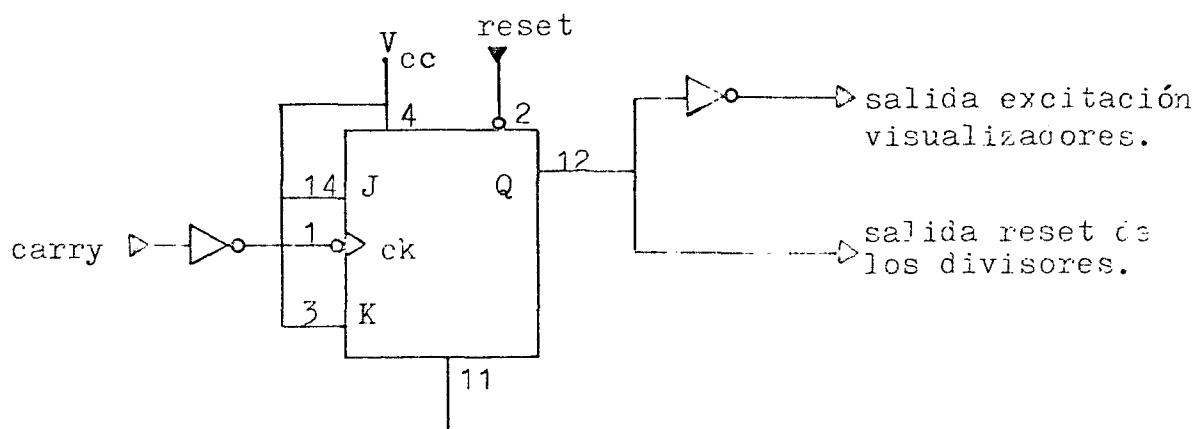
Vemos como a medida que las escalas aumentan el período de la señal de salida también lo hace, -- con lo que se mantiene la relación con el período T_a del oscilador de $frec. = f(C_x)$.

El conmutador de escala selecciona la salida deseada y esta se aplica a la entrada de reloj del bloque contador a través de un buffer inversor.

El divisor posee una entrada de reset la cual está controlada por el circuito de overflow, y que normalmente está en estado bajo, pasando al alto cuando se activa dicho circuito. Si esto se produce todas las salidas del contador quedan inhibidas con lo cual no pasa ningún pulso de reloj al bloque contador.

Observese en el esquema electrico que a la entrada de reset le hemos puesto una resistencia de 2K2 a V_{CC} para el interface TTL-CMOS , tal y como se estudio en dicho apartado.

La alimentación la toma por las patillas 8 (GND) y 16 (V_{CC}).

4-7.- CIRCUITO DE CV-APIC.

Tal y como se ha mencionado con anterioridad, este circuito tiene la misión de detectar cualquier desbordamiento en la lectura, y cuando esta se produzca, dar una indicación visual.

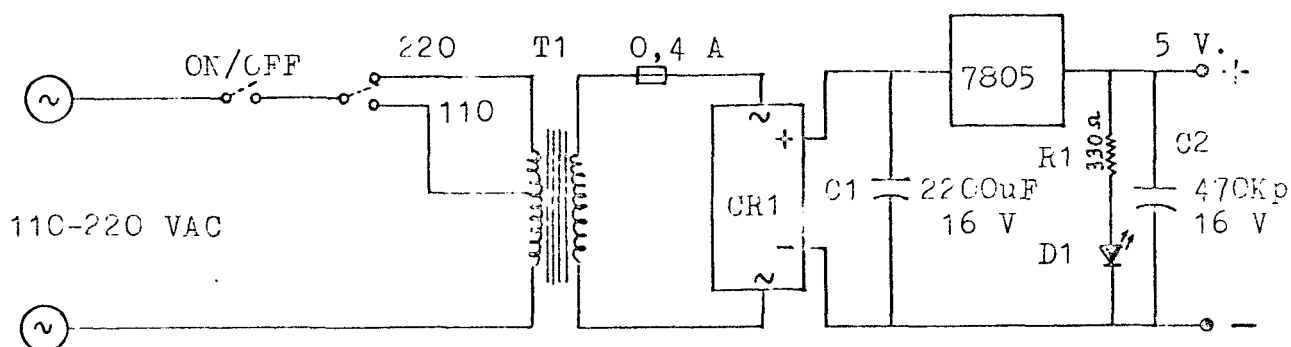
A este circuito le llegan dos entradas, una de reloj producida por el pulso de carry del contador MSD, y otra de reset gobernada por el temporizador.

Tiene una salida la cual se destina en dos, una invertida que ataca a los "ap" de overflow en los visualizadores por medio de un inversor-buffer que proporciona la corriente necesaria para la excitación de estos, y otra no invertida para resetear los divisores.

Como en la cuenta 9 el pulso de carry está a cero, y cuando pasa a cero sube a uno, hemos de invertirlo para poder aplicarlo correctamente a la entrada de reloj de nuestro circuito pues es activo en el flanco de bajada.

Por otro lado las entradas J y K se han puesto a uno (tipo T), aunque pudieramos haberle dado la tipo D, pues lo unico que hace el circuito es conmutar su salida al recibir el pulso de reloj.

4-8.- FUENTE DE ALIMENTACIÓN.-



La fuente de alimentación dispone de un interruptor de puesta en marcha así como de un conmutador para seleccionar el voltaje de entrada. El transformador T1 da una salida de 9 VAC pudiendo suministrar hasta 0,5 A rectificándose en el puente CR1. El consumo típico del capacitador no llega a 400 mA., por lo que el fusible es de ese valor. La salida del puente rectificador es filtrada en C1 antes de pasar por el regulador. Este admite una entrada de 7 a 25 V y su salida es de 5V.

La salida de 5 V tiene un indicador luminoso en el panel frontal por medio del LED D1. Este es de tamaño muy reducido siendo suficiente una corriente de 10 mA para una buena iluminación.

Vamos a ver a continuación el consumo de cada integrado para comprobar que la suma total no excede de la capacidad de la fuente, que como hemos dicho es de 500 mA.

El IC1 es el CMOS 4047, como se indica en el esquema, siendo muy reducido y del orden de 1uA como máximo. El IC2 pertenece a la familia TTL y tiene un consumo máximo de 33mA, aunque en la práctica es menos de

de la mitad pues de los seis inversores que contiene solo se usan tres. En el IC3 que está formado por dos J-K el consumo máximo no excede de 40 mA. El temporizador IC4 absorbe del orden de unos 30 mA máximo teniendo en cuenta las cargas.

A los contadores IC5, IC6, IC7 corresponden el mayor consumo pues sus excitadores deben alimentar a los visualizadores. La corriente máxima que pueden suministrar es del orden de 93 mA cada uno.

El IC8 al igual que IC3 es un 7473 y al usarse solo un J-K consumirá la mitad aproximadamente, es decir, unos 20 mA. Para el IC9 que es un op-amp LM319 se necesitan 33 mA y para el CI-OS IC10 que es un 4040 no sobrepasar los 5 mA.

Si añadimos los 10 mA para el encendido del LED nos dá un consumo total máximo de 435 mA. En un funcionamiento normal del equipo jamás se llega a este valor pues en el cálculo se han supuesto los valores extremos de trabajo. En realidad este valor solo se puede alcanzar en caso de avería, y es por ello que se ha sobredimensionado un poco la fuente para que en caso de que se produzca no resulte dañada, con el consiguiente peligro para el resto de los componentes.

El lugar idóneo para colocar el fusible de entrada hubiese sido en el primario del transformador, pero debido al consumo tan reducido en éste no existen fusibles comerciales de ese valor.

El fusible se ha colocado en el secundario y al ser en este la tensión de 9 VAC y 0,5 A la corriente

verdad se pudo suministrar una potencia máxima de 4,01. aproximadamente.

Al regulador se le ha colocado un disipador y éste se ha unido al chasis para que mantenga una temperatura de régimen lo mas constante posible.

Con el estudio de la fuente se acaba este apartado de diseño general del equipo pasando a continuación al relato de lo que ha sido el montaje en líneas generales.

5.- MONTAJE ELECTRÓNICO.-

Una vez finalizado el estudio teórico y dibujado el esquema electrónico, lo que primero se nos plantea es la elección de la distribución y forma en que se quiere hacer el montaje.

En nuestro caso hemos montado el capacitómetro en una caja de montaje de las que existe normalmente en las tiendas de electrónica, de dimensiones 5x10x20 aproximadamente. Los componentes se han distribuido en dos placas, una frontal que contiene a los visualizadores, al LED de encendido con su resistencia serie y al potenciómetro de brillo, y otra placa que llamaremos principal en la cual se alojan el resto de los componentes.

A partir del circuito eléctrico hemos dibujado el cliché en papel vegetal del circuito impreso a realizar. Al tener dos placas se han hecho evidentemente dos clichés y la distribución que en ellas se hacen de los componentes es la que se ha pensado como idónea de acuerdo con el espacio físico en que se alojan. En la sección de planos pueden verse estos clichés.

En la realización del circuito impreso se utilizó una placa de fibra de vidrio fotosensible. Esta placa tiene un recubrimiento de cobre y en ella se ha depositado una emulsión fotosensible, tanto sea positiva como negativa.

Para la obtención del circuito impreso con esta placa se recorta el cliché correspondiente primeramente. A continuación se coloca éste sobre el cristal de

for a que las referencias del circuito se lean al revés. (así, en el circuito impreso definitivo, visto por el lado de las pistas de dichas referencias se lean al derecho).

A continuación colocamos la placa presensibilizada, tomando la precaución de que no le incida la luz solar directamente (la luz ambiente durante unos segundos no deteriora la emulsión), presionando el fotolito al cristal, insolando la misma según el método correspondiente a la insoladora utilizada. Si está equipada con luz-día el tiempo necesario es de cinco minutos - aproximadamente, y si utiliza luz ultravioleta es de dos minutos mas o menos.

Una vez insolada la placa, se sumerge en una cubeta, que previamente se habrá llenado con el líquido revelador correspondiente al tipo de placa utilizada (positiva o negativa) y el tiempo de revelado será de 1,5 minutos aproximadamente. Es conveniente la agitación permanente del líquido y a continuación se dejará secar al aire durante medio minuto. Durante este proceso debemos abstenernos del mas mínimo roce con la parte emulsionada de la placa, ya que esta podría quedar gravemente dañada.

Para placa positiva, como es nuestro caso, se utiliza revelador de placa positiva y el cliché del dibujo original positivo, en cambio si fuera negativa utilizaríamos revelador de placa negativa y el cliché negativo.

El ataque con cloruro férrico se realizará de forma tradicional, recomendándose, si se desea máxima rapidez, baño caliente a 40°C y agitación continua, así

como lavacos con agua corriente del circuito varias veces durante el ataque.

El ataque de la placa también se puede realizar de una manera más veloz, utilizando atacador rápido. Una vez terminado el ataque, se aclara y enjuaga con abundante agua corriente, estando ya listo el circuito impreso para su taladrado y ulterior utilización.

Cuando la placa ha sido taladrada debe volverse a limpiar perfectamente para eliminar cualquier huella dactilar o de grasa. Una vez secada se debe proceder a la colocación y soldadura de todos los componentes lo mas rapidamente posible para evitar que la placa se nos oxide. Mediante el proceso de soldadura la placa no debe tocarse nunca por la cara impresa, pues con el sudor de los dedos facilitamos su oxidación, recomendandose sostener la placa con un paño bien limpio para así poderla sostener por ambas caras.

En nuestro caso todos los integrados tienen zóca los con lo que se facilita su sustitución no dañandose el circuito impreso cada vez que se averie alguno de ellos. Tan pronto se suelden todos los componentes se debe proceder al lacado del circuito impreso para evitar su oxidación. Para una buena protección se deben de dar varias capas de laca.

Nuestra placa está ya finalizada y solo le resta la colocación de todos los integrados. Ahora nos resta fijarla al chasis de la caja haciendole los taladros correspondientes.

La confección de la caja del capacitmetro es una tarea delicada ya que se debe realizar los huecos para el conmutador de escalas, interruptor de encendido y el LED correspondiente, ventanera para lectura de los visualizadores, orificio para ajuste interno del brillo o intensidad de los mismos y terminales de salida para colocación del condensador a medir en la tapa frontal; y el del conmutador de cambio de tensión de alimentación y el del cable de alimentación en la tapa trasera.

Finalizada la confección de ambas tapas se colocaron todos los componentes anteriores y se procedió a la soldadura de los cables de interconexión entre ellos y las placas y entre estas.

Las placas se fijaron mediante separadores la principal, por un lado se unió la segunda. En la primera se puso una serie de puntos de prueba los cuales se muestran en el circuito electrónico, siendo importante su utilización para el chequeo del equipo.

En la sección de planos se muestran las vistas interior y exterior del capacitmetro así como los clichés de las placas.

El negativo de la fuente está puesto al chasis ya que la propia caja sirve de apantallamiento, y la conexión entre los terminales de prueba que sostienen a C_x y el circuito oscilador de $f=f(C_x)$, por medio de un coaxial.

Datos con esto por finalizado este pequeño resumen de lo que ha sido el montaje práctico de nuestro capacitmetro, siendo en líneas generales común al de la mayoría de los equipos.

6.- CAPACÍMETRO DIGITAL MEJORADO.

En la sección de planos se inserta un esquema de este capacímetro, el cual era el que se pensó montar en un principio, tal y como se dijo al comienzo de este proyecto.

Basicamente el esquema es idéntico salvo en que la conmutación de escalas se hace automáticamente.

En un principio se pensó que la conmutación se podía realizar con microswitch electrónicos del tipo 4016 o similares, pero las corrientes de fuga en estos son comparables en magnitud con las de carga y descarga de los condensadores pequeños por lo que hubo de desecharse la idea.

Para su montaje se pensó que lo ideal era usar microrelés como elemento de conmutación, lo cual llevaría consigo la necesidad de otra alimentación de 12VDC si no existieran relés de 5VDC.

El tiempo del temporizador probablemente habríamos de alargarlo un poco, para que diese tiempo a efectuarse todas las medidas, siendo el funcionamiento el que a continuación se indica.

Antes que nada vamos a describir dos circuitos fundamentales en este modelo, que son el control de conmutación y el circuito de reset.

El primero está diseñado con el CMOS 4022B que es un contador divisor por 8 y tiene ocho salidas, de las cuales solo una está activada y a medida que llegan los pulsos de reloj va pasando a la siguiente. En la posición inicial la salida "0" está a uno, al recibir el primer pulso de reloj pasa a cero y la "1"

contiene a uno, y así sucesivamente hasta que conmute la "7" y se repita el ciclo. Cuando la entrada de reset se activa pasa a la posición cero y dispone de una entrada " clock inhibit " que al activarse no permite el paso de nuevos pulsos de reloj.

En la sección de características pueden verse las graficas de funcionamiento.

La entrada de reloj se conecta al carry de los contadores, o mas exactamente, al del MSD. La de reset va conectada a la salida RESET 1 del circuito de reset.

En la posición inicial estará a uno la salida "0" como ya se dijo, con lo que RL1 estará en ON cerrándose sus contactos a, b y c, seleccionando el primero la R de los pF, el segundo la coma decimal y el tercero la salida del divisor correspondiente a esta escala.

Vamos a explicar como opera el circuito de reset antes de meternos en el funcionamiento general.

Este circuito dispone de dos salidas de reset, la 1 y la 2. La primera se activa solo cuando recibe un pulso del temporizador, y la segunda lo hace al recibir ese pulso y ademas cuando con el de carry del MSD.

Vamos a explicar la razón de existencia de estos dos pulsos de reset.

Es evidente que cuando se recibe el pulso del temporizador todos los circuitos se reseteen para iniciar una nueva medida, pero el pulso de carry solo debe inicializar a los contadores y al circuito de validación, no debiendo variar para nada el estado del control de conmutación. la razón es sencilla pues este circuito se basa en los pulsos de carry para seleccionar

sus salidas y de el pulso de carry lo resetea siempre tendria como unica salida activada la "0".

Veamos ahora como funciona el circuito al efectuar cualquier medida.

Como ya se ha dicho en la posición o estado inicial está activada la salida "0" que corresponde a la medida de capacidad mas pequeña, o sea, a la escala de pF. Luego siempre que se conecta el equipo y en ausencia de condensador en los terminales de medida RL1 estará activado.

Si la capacidad C_x es inferior a 100 pF, no habrá carry y el circuito de conmutación permanecerá siempre en la posición inicial, repitiendose la lectura cada pulso del temporizador. Si C_x fuera superior a 99 pF e inferior a 1 nF, entonces se producirá un desbordamiento que producirá un pulso de reset a su vez, con lo que se activará la salida "1" en el conmutador de escalas (C.E. para abreviar su escritura en adelante), seleccionandose la R de la segunda escala, la coma decimal y la salida del divisor de frecuencia correspondiente. Por otro lado este pulso de carry nos activa la salida RESET 1 que pone a cero los contadores y el C. de validación para repetir la medida con esta nueva R. Este mismo procedimiento se sigue si la capacidad fuese cualquier otra siempre que no exceda de 100 uF.

Queda claro que cuanto mayor sea C_x mas tiempo se necesita para la medida pues hemos de pasar por todas las escalas anteriores.

Si C_x fuera mayor que 100uF entonces se producirian mas de cuatro pulsos de carry, con lo que al lle-

gar al quírto la salida "5" pasa a uno y al estar conectada al reset del divisor impide el paso de nuevos pulsos de relój al contador, y por otro lado a través de un inversor activa los "dp" de overflow.

Como resumen vemos que el control de conmutación o C.E., se vale del pulso de carry para seleccionar la primera salida donde no se produzca desbordamiento en la lectura.

En la sección de planos se puede ver el circuito electrónico y en el se muestra una de las múltiples formas que puede tener el circuito de reset. El diseño se ha hecho con biestables J-K y como se muestra en el circuito electrónico se han puesto unos retardos RC para evitar que las entradas set y reset puedan estar activadas a la vez con los estados indeterminados que ello traería consigo.

Para el montaje se necesitarían cinco micro-relés con tres contactos independientes cada uno, siendo esta la principal dificultad que se nos ha presentado a la hora de intentar llevarlo a la práctica, por lo que se optó por la conmutación manual.

Queda abierta esta posibilidad para futuros proyectos en las promociones venideras, deseando que el mercado local se surta de un mayor número de microcomponentes, que facilitará enormemente los montajes.

7.- RESUMEN ESTC.

<u>Cantidad</u>	<u>Concepto</u>	<u>P.Unidad</u>	<u>Pesetas</u>
1	Interruptor de encendido		85
1	Commutador 220/110		120
1	Transformador 110-220/9 v.		470
1	Puente rectificador		85
1	Regulador 7805		80
11	Resistencias 1,4 W.	10	110
6	Potenciómetros helicoidales	310	1860
1	Placa de fibra de vidrio		740
1	Caja para montaje		1649
1	Portafusibles y fusible C,4A.		40
1	Diodo LED		40
1	Cable con clavija de red		110
1	Gomilla pasamuros		20
1	Commutador 3 galletas-5 pos.		290
3	Displays anodo-común	225	675
1	Condensador 470 Kp		37
1	,, 2,2 uF		45
1	,, C,1 uF		25
1	,, 100 pF		15
1	,, 2200 uF		75
1	,, variable 33pF		25
1	C. Integrado 4047B		183
1	,, 555		95
2	,, 741S73	174	348
1	,, 741S04		99
1	,, IM319		727

<u>Cantidad</u>	<u>Concepto</u>	<u>F.Unidad</u>	<u>Pesetas</u>
1	C1 Integrado 4040		175
3	,, 74143	550	1650
1	Zócalo IC 8 patas		20
4	,, 14 ,,	45	180
2	,, 16 ,,	45	90
3	,, 24 ,,	79	237
	Material vario		350
		
		TOTAL:	10.753
		dto. 20%	- 2.150
		
		RESTAN	8.603
		=====	

A este presupuesto habría que añadirle el coste de una jornada laboral de 8 horas, que es el tiempo aproximado que se tarda en el ensamblaje y confección de los circuitos.

8.- CONCLUSIÓN.-

Vimos a lo largo de este proyecto todo el desarrollo teórico primeramente, para a continuación ver el montaje práctico con los diversos problemas que surgen en este. Aunque en conjunto el capacitmetro es el mismo que se pensó en un principio, los circuitos tuvieron que madurarse para realizar a la perfección las funciones a ellos encomendadas.

Aquí solo vemos el resultado final de un proceso de investigación de la circuiteria y componentes más idoneos, pero para llegar a él hubieron de hacerse muchos ensayos con anterioridad. Aunque en la redacción del proyecto siempre se ha hablado en plural o en impersonal, el trabajo ha sido realizado por una persona solamente, bajo las directrices marcadas por el tutor.

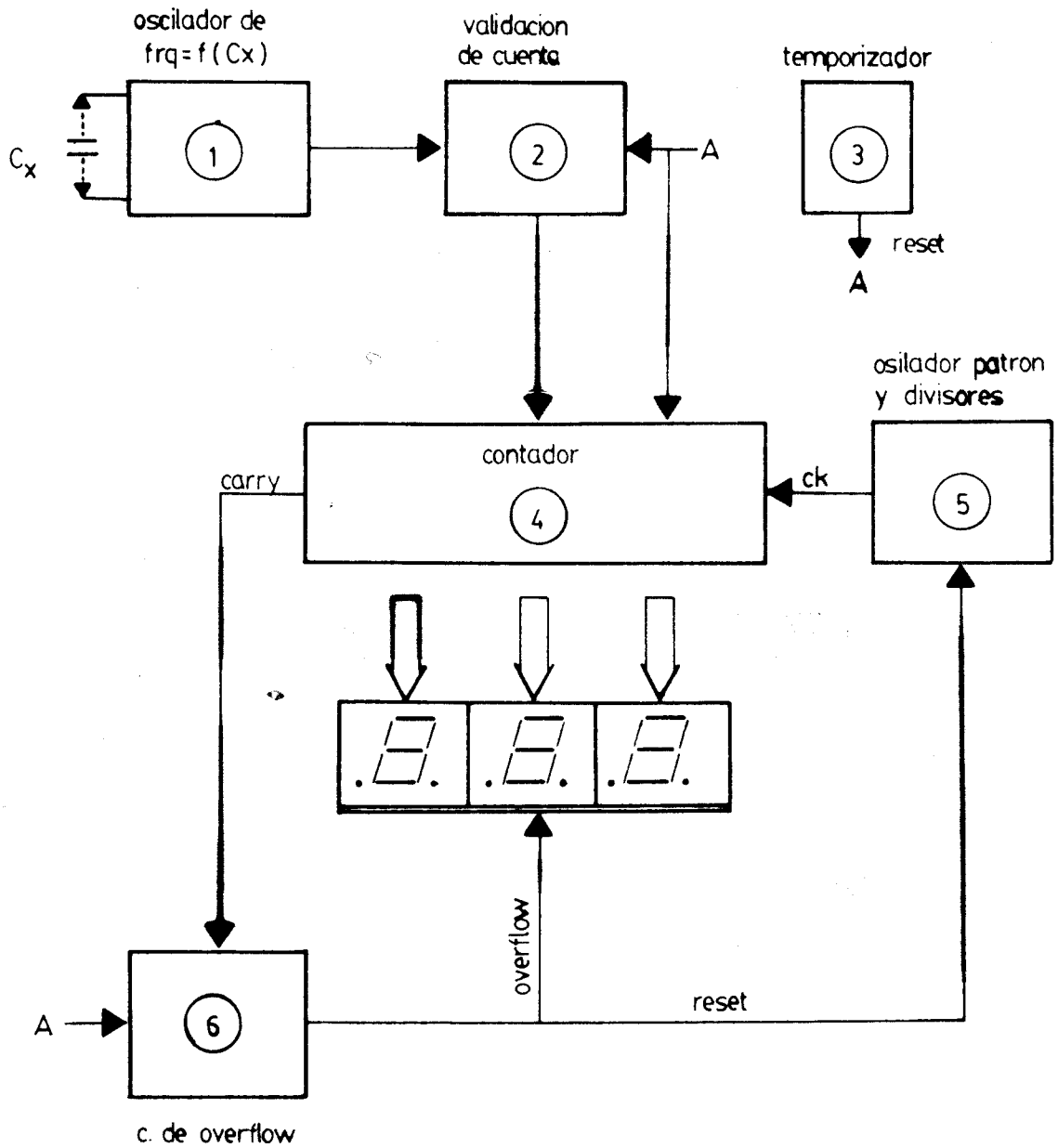
Como epílogo solo me atrevo a dar una recomendación a quien deba realizar un proyecto y es que lo monte prácticamente, pues es en el montaje donde se aprende de muchas mas cosas. Y casi me atreveria a decir que se aprende mas de los errores que de los aciertos ya que, con aquellos nos vemos obligados a averiguar donde está el fallo, mientras que si todo marcha bien nunca -- profundizamos en la esencia de ese funcionamiento.

La teoría está en los libros y apuntes que hemos confeccionado a lo largo de la carrera, y siempre podemos echar mano a ellos, pero la práctica nadie nos la enseña sino que debemos adquirirla nosotros mismos.

INDICE DE PLANOS.-

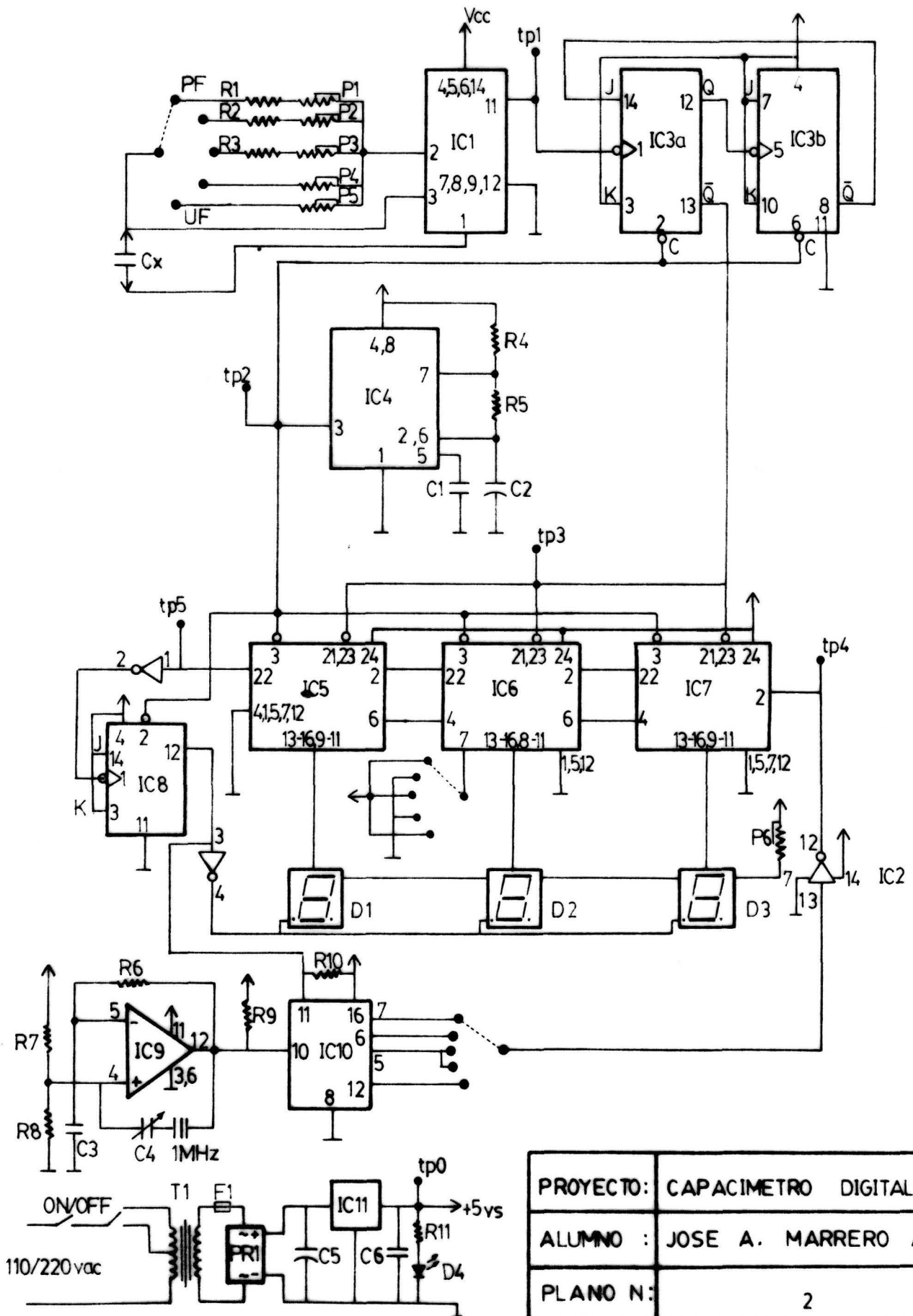
Plano n. 1	Diagrama de bloques.
Plano n. 2	Esquema electrónico.
Plano n. 3	Cronograma.
Plano n. 4	Clichés de circuito impreso.
Plano n. 5	Vistas interior y exterior del capacitmetro ensamblado.
Plano n. 6	Capacitmetro automático.
Lista de componentes.		

DIAGRAMA DE BLOQUES



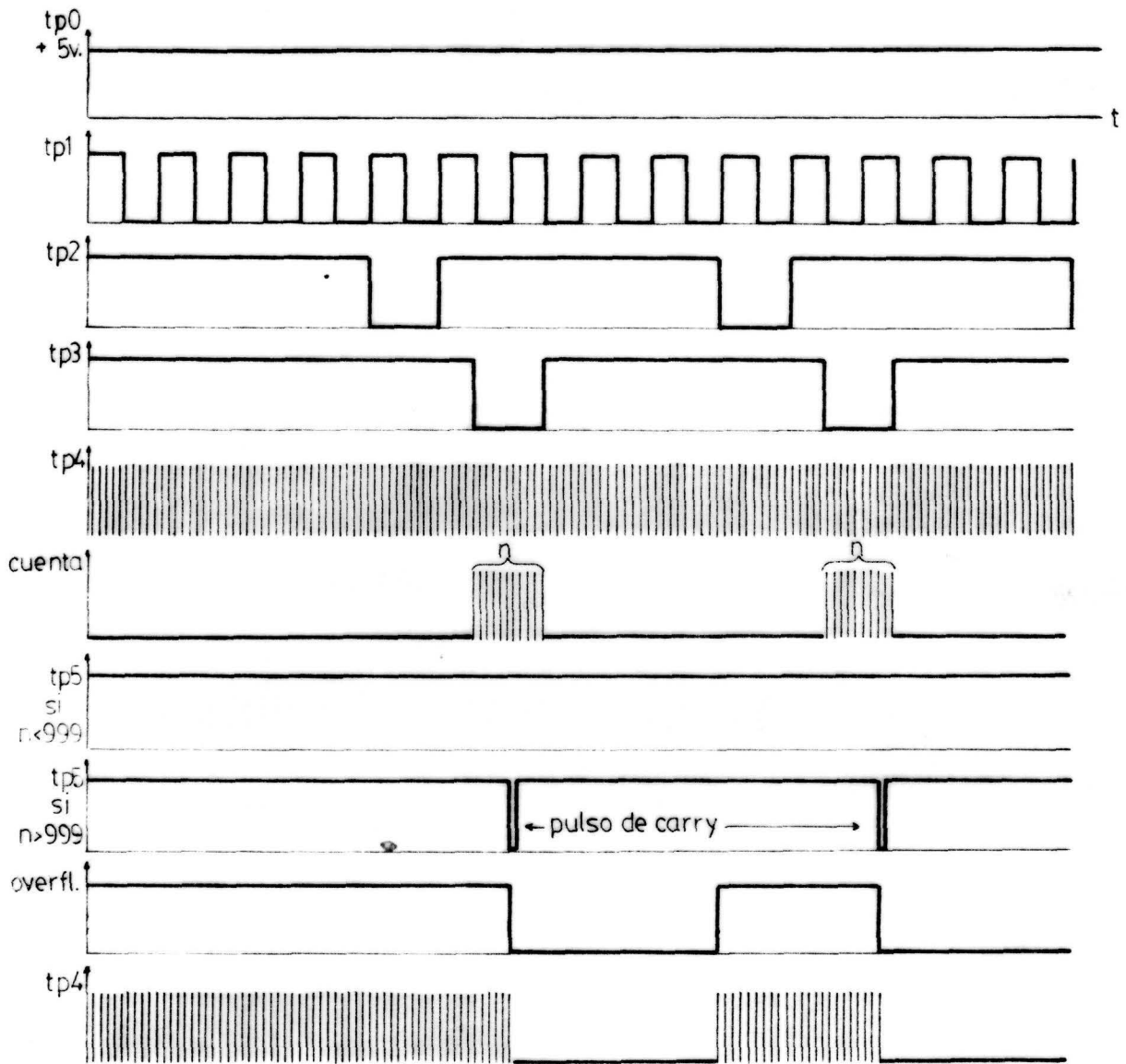
PROYECTO:	CAPACIMETRO DIGITAL
ALUMNO :	JOSE A. MARRERO A.
PLANO N:	1
FECHA :	JUNIO 83

ESQUEMA ELECTRONICO



PROYECTO:	CAPACIMETRO DIGITAL
ALUMNO :	JOSE A. MARRERO A.
PLANO N:	2
FECHA :	JUNIO 83

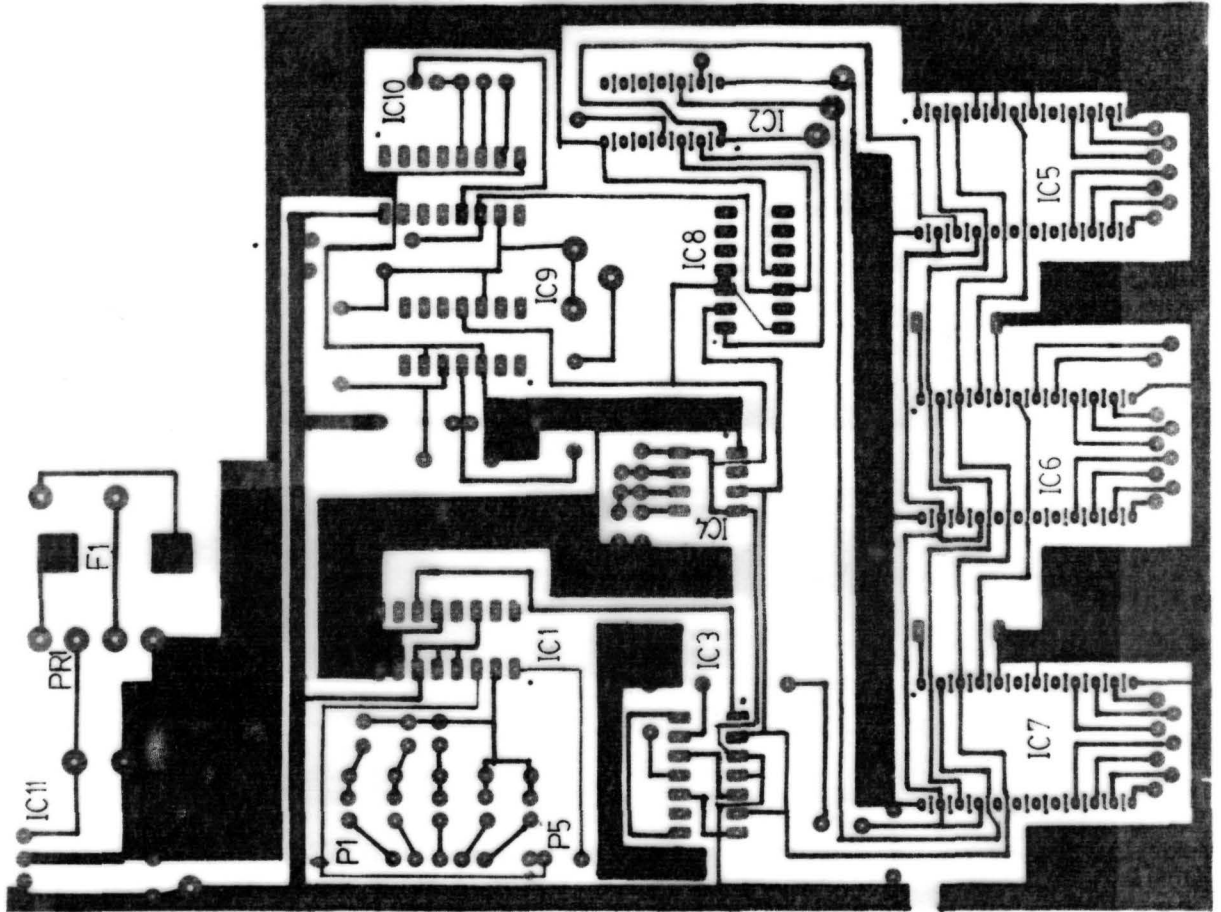
CRONOGRAMA



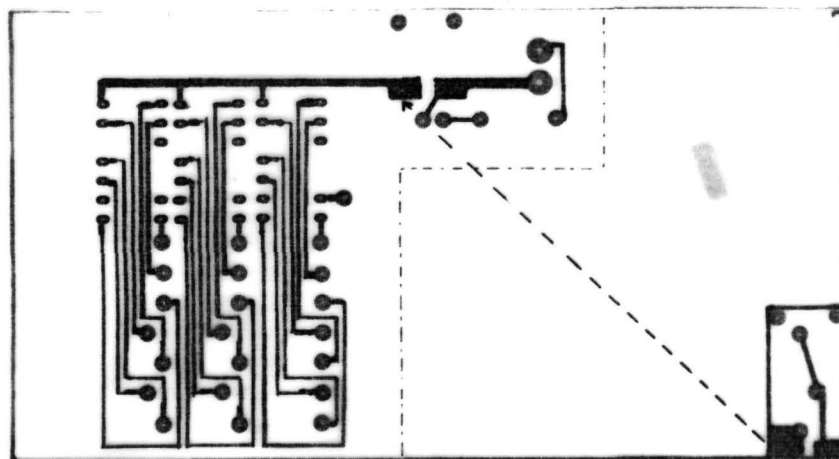
PROYECTO:	CAPACIMETRO DIGITAL
ALUMNO :	JOSE A. MARRERO A.
PLANO N:	3
FECHA :	JUNIO 83

CLICHES DE CIRCUITO IMPRESO

tarjeta principal

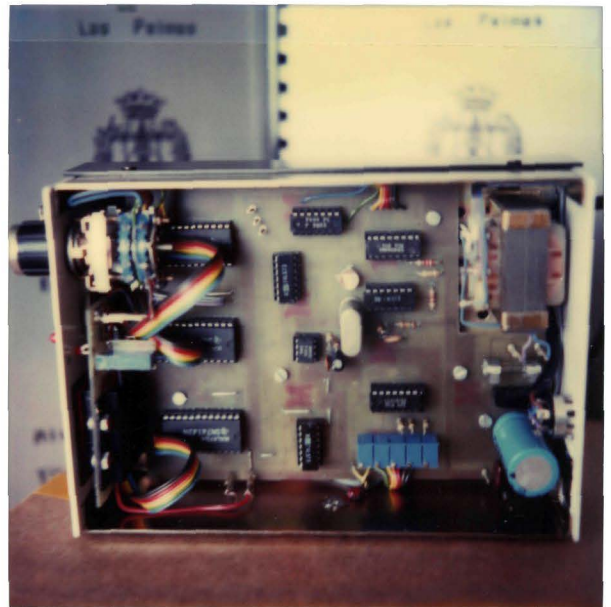


tarjeta displays



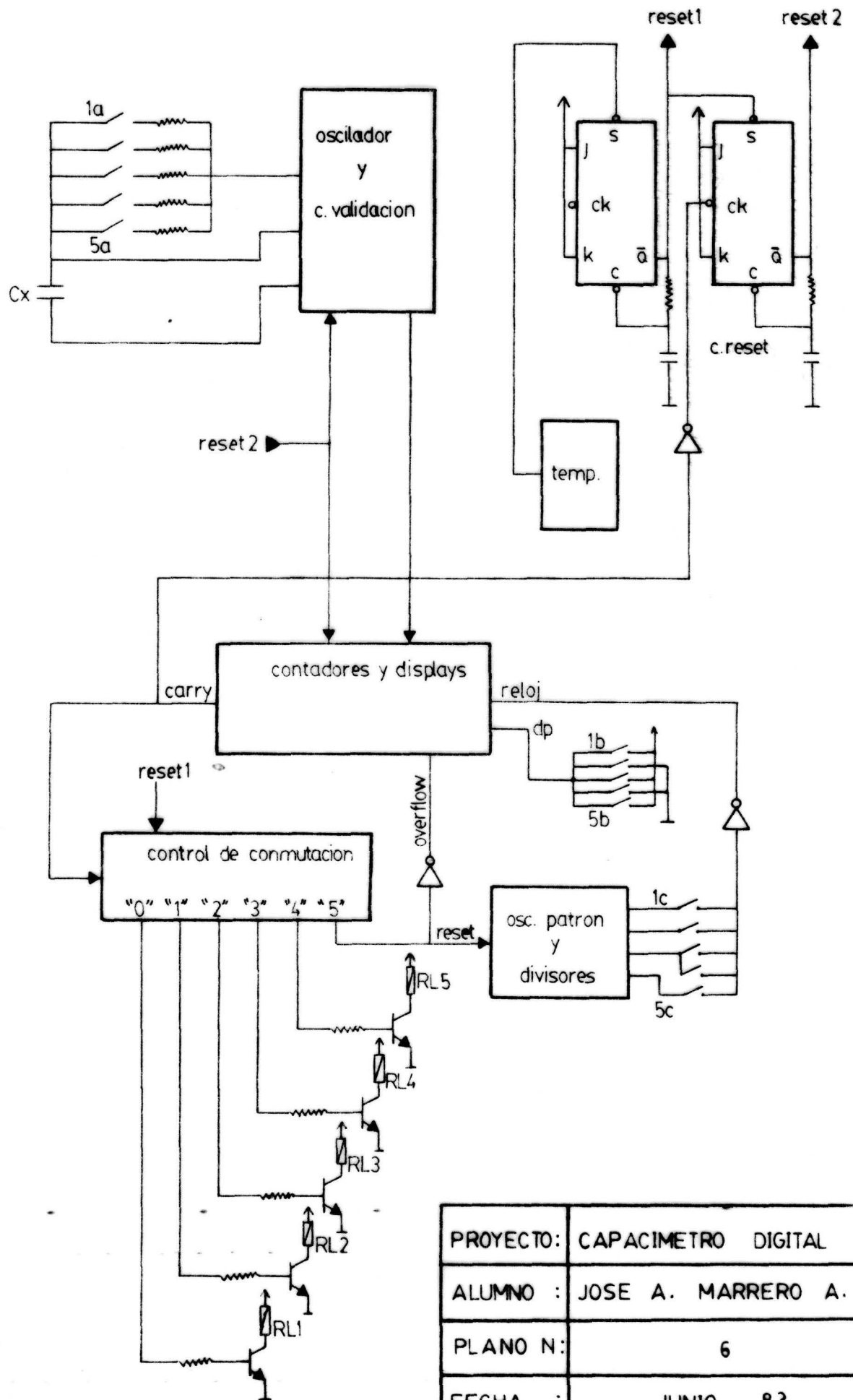
zocalo pot
de brillo

PROYECTO:	CAPACIMETRO DIGITAL
ALUMNO :	JOSE A. MARRERO A.
PLANO N:	4
FECHA :	JUNIO 83



PROYECTO:	CAPACIMETRO DIGITAL
ALUMNO :	JOSE A. MARRERO A.
PLANO N:	5
FECHA :	JUNIO 83

CAPACIMETRO AUTOMATICO



PROYECTO:	CAPACIMETRO DIGITAL
ALUMNO :	JOSE A. MARRERO A.
PLANO N:	6
FECHA :	JUNIO 83

LISTA DE COMPONENTES.-

C1	condensador de	0,1 uF	
C2	,,	elect. de 2,2 uF-16 v.	
C3	,,	de 100 pF	
C4	,,	variable de 33pF	
C5	,,	elect. de 2200 uF-25 v.	
C6	,,	de 470 Kp	
R1	resistencia de	7,4 K	1/4 w.
R2	,,	1,4 M	,,
R3	,,	33 K	,,
R4	,,	590 K	,,
R5	,,	150 K	,,
R6	,,	2,15K	,,
R7,R8	,,	100 K	,,
R9	,,	1 K	,,
R10	,,	2,2 K	,,
R11	,,	330	,,
P1,P2	potenciómetro helicoidal de	500 K	1/4 w.
P3	,,	,,	10 K ,,
P4,P5	,,	,,	5 K ,,
P6	,,	,,	50 1/2 w.
D1,D2,D3	display de 7 segmentos	ánodo común.	
D4	diodo LED		
BR1	punte rectificador	1 A., 60 v.	
T1	transformador de alimentación	110/220-9v,0,5A	
F1	fusible de	0,4 A.	
Xtal	crystal de cuarzo de	1 MHz.	

IC1	circuito integrado	4047E
IC2	,,	74LS04
IC3,IC8	,,	74LS73
IC4	,,	555
IC5,IC6,IC7	,,	74143
IC9	,,	LM319
IC10	,,	4040E
IC11	regulador de tensión	7805

CARACTERISTICAS

Inversor séxtuple

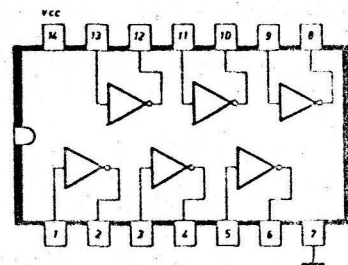
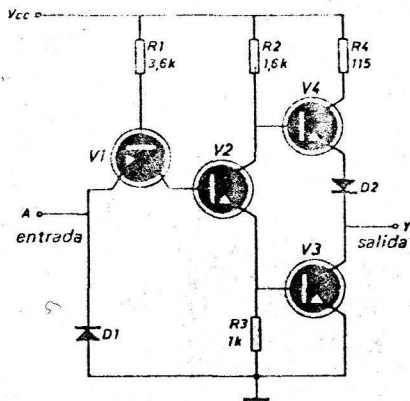
1 - SN 7404 N
4 - MC 7404 P
7 - ZN 7404 E
10 - FJH 241
13 - TL 7404 N

2 - F 7404 PC
5 - DM 7404 N
8 - N 7404 A
11 - FLH 211
14 - SF.C 404 E

3 - F 9 N 04 PC
6 - DM 8004 N
9 - T 7404 B 1
12 - MIC 7404 N
15 -

Diagrama esquemático

(cada inversor)



Lógica positiva: $Y = \bar{A}$

Los valores de los componentes son típicos

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V _{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	°C
Cargab. de salida norm. de cada salida, N			10	U.L.

CARACTERÍSTICAS ELÉCTRICAS EN EL MARGEN DE TEMPERATURA EN FUNCIONAMIENTO (si no se especifica otra cosa)

SÍMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V _{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión entrada ALTA garantizada
V _{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión entrada BAJA garantizada
V _{OH}	Tensión de salida ALTA	2.4	3.3		Volts	V _{CC} = MIN., I _{OH} = -0.4 mA, V _{IN} = 0.5 V
V _{OL}	Tensión de salida BAJA		0.22	0.4	Volts	V _{CC} = MIN., I _{OL} = 16 mA, V _{IN} = 2.0 V
I _{IH}	Corriente de entrada ALTA			40	µA	V _{CC} = MAX., V _{IN} = 2.4 V
I _{IL}	Corriente de entrada BAJA			1.0	mA	V _{CC} = MAX., V _{IN} = 5.5 V
I _{OS}	Corr. de salida cortocircuito (3)	-18		-55	mA	V _{CC} = MAX., V _{IN} = 0.4 V
I _{CCH}	Corriente alimentación ALTA		6.0	12	mA	V _{CC} = MAX., V _{IN} = 0 V
I _{CCL}	Corriente alimentación BAJA		16	33	mA	V _{CC} = MAX., V _{IN} = 5.0 V

CARACTERÍSTICAS DE CONMUTACION (T_A = 25° C)

SÍMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. DE PRUEBA
t _{PLH}	Retardo Turn Off de entr. a sal.		12	22	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Retardo Turn On de entr. a sal.		8.0	15	ns	R _L = 400 Ω

Flip-flop dual JK maestro/auxiliar con reloj y borrado separados

1 - SN 7473 N
4 - MC 7473 P
7 - ZN 7473 E
10 - FJJ 121
13 - TL 7473 N

2 - F 7473 PC
5 - DM 7473 N
8 - N 7473 A
11 - FLJ 121
14 - SF.C 473 E

3 - F 9 N 73 PC
6 - DM 8501 N
9 - T 7473 B 1
12 - MIC 7473 N
15 - SW 7473 N

Diagrama lógico

(cada flip-flop)

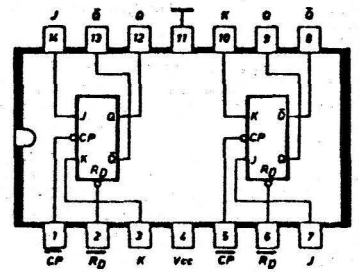
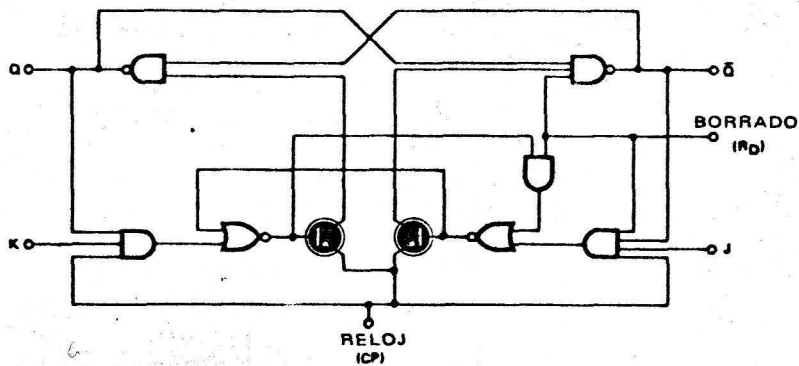


TABLA DE VERDAD

t_n	t_{n+1}	
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

Notas:
 t_n = Instante antes del impulso de reloj
 t_{n+1} = Instante después del impulso de reloj

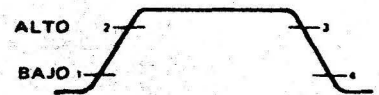
Lógica positiva:

Entr. BAJA para clear de Q a nivel ALTO
El borrado es independiente del reloj.

DESCRIPCION - Este dispositivo es un flip-flop dual JK maestro/auxiliar con entradas separadas de borrado y reloj en cada flip-flop. Las entradas a la sección maestro están controladas por el impulso de reloj. El impulso de reloj regula también el estado de los transistores de acoplamiento que conectan las secciones maestro y auxiliar. La secuencia de funcionamiento es como sigue:

- 1 - Aislar auxiliar de maestro.
- 2 - Entrar la información de las entradas J y K al maestro.
- 3 - Incapacitar las entradas J y K.
- 4 - Transferir la información del maestro al auxiliar.

FORMA DE ONDA DEL RELOJ



CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	$^{\circ}C$
Cargab. de salida norm. de cada salida, N			10	U. L.
Anchura del impulso de reloj $t_p(\text{clock})$	20			ns
Anchura del impulso de borrado $t_p(\text{clear})$	25			ns
Tiempo de estab. (Setup) de entrada t_{setup}	$> t_p(\text{clock})$			
Tiempo de manten. (Hold) de entrada t_{hold}	0			

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Entrada ALTA Garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Entrada BAJA Garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.5		Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.4 \text{ mA}$
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}$
I_{IH}	Corr. de entr. ALTA en J o K			40	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$
	Corr. de entr. ALTA en borrado, o reloj			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
I_{IL}	Corr. de entr. BAJA en J o K			80	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$
	Entrada de corriente BAJA en borrado, o reloj			1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
I_{OS}	Corr. de sal. en c. (3)	-18		-57	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$
	Corriente de alimentación		20	40	mA	$V_{CC} = \text{MAX.}$

CARACTERISTICAS DE CONMUTACION ($T_A = 25^\circ C$)

SIMBOLO	PARAMETRO	MIN.	TIP.	MAX.	UNIDADES	COND. PRUEBA
f_{max}	Frecuencia de reloj máxima	15	20		MHz	$V_{CC} = 5.0 V$ $C_L = 15 pF$ $R_L = 400 \Omega$
t_{PLH}	Retardo Turn Off de borrado a salida		16	25	ns	
t_{PHL}	Retardo Turn On de borrado a salida		25	40	ns	
t_{PLH}	Retardo Turn Off de reloj a salida	10	16	25	ns	
t_{PHL}	Retardo Turn On de reloj a salida	10	25	40	ns	

Contador de 4 bit/latch, excitador de leds de siete segmentos/lámpara

1 - SN 74143 N
4 -
7 -
10 -
13 -

2 -
5 -
8 -
11 - FLL 171
14 -

3 -
6 -
9 -
12 -
15 -

diagrama lógico

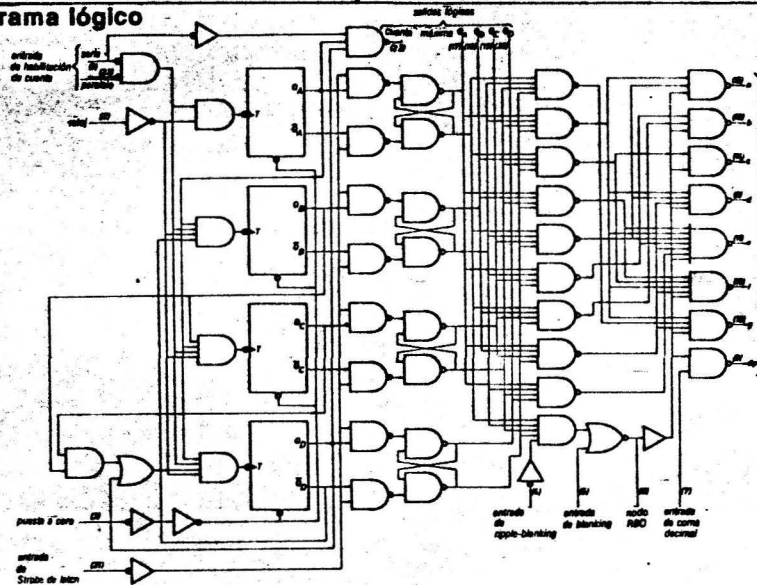
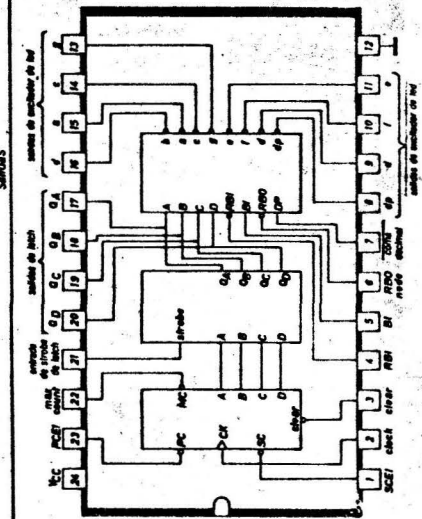


diagrama lógico y de conexión



DESCRIPCION. Estos circuitos MSI TTL contienen el equivalente a 86 puertas en un solo chip. Las entradas y salidas lógicas son totalmente TTL/DTL compatibles. Las entradas con buffers están implementadas con resistores relativamente elevados en serie con las bases de los transistores de entrada para bajar los requerimientos de corriente de excitación a la mitad de los necesarios en una entrada estándar TTL.

El serial-count-enable (habilitación de cuenta serie), realmente dos emisores internos, se considera como una carga estándar. Las salidas lógicas, excepto RBO, tienen «pull-ups» activos.

Las salidas del excitador están diseñadas específicamente para mantener una corriente de sink en estado de conducción relativamente constante, de aproximadamente 15 miliamperios en las salidas «a» a «g» y siete miliamperios en la salida «dp», en un margen de tensión de uno a cinco voltios. Puede atacarse cualquier número de LED's en serie en tanto en cuanto no se exceda el margen de tensión de salida.

Todas las entradas tienen un diodo limitador (diode-clamped) para minimizar los efectos de línea de transmisión, simplificándolo por tanto el diseño del sistema. La frecuencia máxima de reloj es típicamente 18 MHz y la disipación típica de potencia 280 mW.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO		MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}		4.75	5	5.25	Volts
Tensión en estado de conducción en las salidas «a» a «g» y «dp»		1		5	Volts
Corriente de salida nivel ALTO I_{OH}	$Q_A, Q_B, Q_C, Q_D,$ RBO Cuenta máxima			-240 -120 -560	μA μA μA
Corriente de salida nivel BAJO, I_{OL}	$Q_A, Q_B, Q_C, Q_D,$ RBO Cuenta máxima			4.8 4.8 11.2	mA mA mA
Anchura del impulso de reloj $t_{r(10-90)}$	Nivel lógico ALTO Nivel lógico BAJO	25 55			ns ns
Anchura del impulso de puesta a cero, $t_{r(0-1)}$		25			ns
Tiempo de formación, t_{form}	Arrastre serie y paralelo Clear estado inactivo	30† 60†			ns ns
Margen de temperatura ambiente, T_A		0		70	$^{\circ}C$

† La flecha indica que el flanco positivo del impulso de reloj se utiliza como referencia.

CARACTERÍSTICAS ELÉCTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO RECOMENDADO (a menos que se indique otra cosa)

SÍMBOLO	PARAMETRO:		MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada nivel ALTO		2			Volts	
V_{IL}	Tensión de entrada nivel BAJO				0.8	Volts	
V_I	Tensión de entrada limitadora				- 1.5	Volts	$V_{CC} = \text{MIN.}, I_I = -12 \text{ mA}$
V_{OH}	Tensión de salida nivel ALTO	RBO QA, QB, QC, QD Cuenta máxima	2.4			Volts	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OH} = \text{MAX.}$
V_{OL}	Tensión de salida nivel BAJO	RBO QA, QB, QC, QD Cuenta máxima			0.4	Volts	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OL} = \text{MAX.}$
$V_{O(\text{off})}$	Tensión de salida estado de bloqueo	Salidas «a» hasta «g», «dp»	7			Volts	$V_{CC} = \text{MAX.}, I_{OH} = 250 \mu\text{A}$
$I_{O(\text{on})}$	Corriente de salida estado conductor	Salidas «a» hasta «g»	9	15		mA	$V_{CC} = \text{MIN.}, V_O = 1 \text{ V}$ $V_{CC} = 5 \text{ V}, V_O = 2 \text{ V}$ $V_{CC} = \text{MAX.}, V_O = 5 \text{ V}$
			4.5	7	22	mA	
I_I	Corriente de entrada para tensión de entrada máxima	Salida «dp»		7		mA	$V_{CC} = \text{MIN.}, V_O = 1 \text{ V}$ $V_{CC} = 5 \text{ V}, V_O = 2 \text{ V}$ $V_{CC} = \text{MAX.}, V_O = 5 \text{ V}$
				7	12	mA	
I_{IH}	Corriente de entrada nivel ALTO	Acarreo serie nudo RBO otras entradas	- 0.12	- 0.5	40	μA mA	$V_{CC} = \text{MAX.}, V_I = 2.4 \text{ V}$
I_{IL}	Corriente de entrada nivel BAJO	Acarreo serie nudo RBO otras entradas		1.5	- 1.6 - 2.4 - 0.8	mA mA mA	$V_{CC} = \text{MAX.}, V_I = 0.4 \text{ V (a)}$
I_{OS}	Corriente de salida en cortocircuito	QA, QB, QC, QD Cuenta máxima	- 9 - 15		- 27.5 - 55	mA mA	$V_{CC} = \text{MAX.}$
I_{CC}	Corriente de alimentación			56	93	mA	$V_{CC} = \text{MAX. (b)}$

NOTAS:

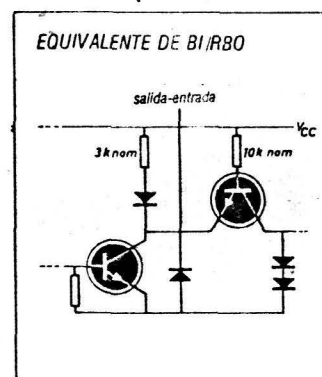
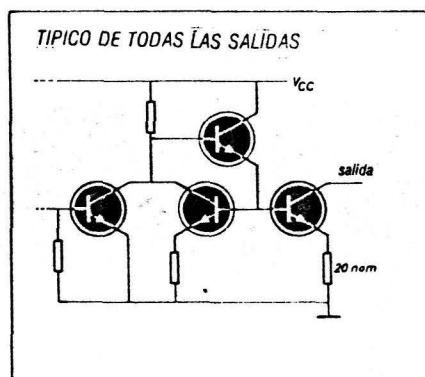
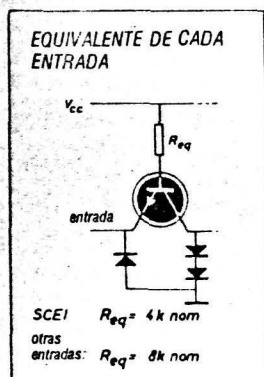
- I_{IL} en el nudo RBO está comprobada con BI a masa y RBI a 4,5 V.
- I_{CC} se ha medido después de establecerse las condiciones siguientes:
 - 1) Strobe = RBI = dp = 4,5 V.
 - 2) Parallel count enable = serial count enable = BI = GND (masa).
 - 3) Puesta a cero (clear) ($\overline{\text{C}}$) del reloj hasta que todas las salidas estén en «0».
 - 4) Las salidas «a» hasta «g» y «dp» = 2,5 V, las salidas restantes abiertas.

CARACTERÍSTICAS DE CONMUTACION, $V_{CC} = 5 \text{ V}, T_A = 25^\circ \text{ C.}$

PARAMETRO	DE (ENTRADA)	A (SALIDA)	MIN.	TIP.	MAX.	UNIDADES	CONDICIONES DE PRUEBA
f_{max}			12	18		MHz	
t_{PLH}	«Look ahead» serie	Cuenta máxima		12	20	ns	$C_L = 15 \text{ pF}, R_L = 560 \Omega \text{ (c)}$
t_{PHL}				23	35	ns	
t_{PLH}	Reloj	Cuenta máxima		26	40	ns	
t_{PHL}				29	45	ns	
t_{PLH}	Reloj	QA, QB, QC, QD		28	45	ns	$C_L = 15 \text{ pF}, R_L = 1.2 \text{ k}\Omega \text{ (c)}$
t_{PHL}				38	60	ns	
t_{PHL}	Clear	QA, QB, QC, QD		57	90	ns	

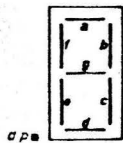
NOTA c: Las formas de onda de tensión y el circuito de carga aparecen en la página XXXVI.

DIAGRAMAS ESQUEMÁTICOS DE ENTRADAS Y SALIDAS



Las funciones de las entradas y salidas son las siguientes:

FUNCION	PATILLA N.º	DESCRIPCION
ENTRADA DE PUESTA A CERO (CLEAR INPUT)	3	Cuando está BAJA pone y mantiene el contador en 0. Debe estar ALTA para conteo normal.
ENTRADA DE RELOJ (CLOCK INPUT)	2	Cada transición a positivo aumentará la cuenta, siempre y cuando el circuito esté en modo de cuenta normal (las entradas de count enable serie y paralelo BAJAS, entrada de clear ALTA).
ENTRADA DE HABILITACION DE CUENTA PARALELO (PCEI) (PARALLEL COUNT ENABLE INPUT)	23	Debe estar BAJA para un modo de cuenta normal. Cuando esté ALTA, el contador quedará inhibido. El nivel lógico no debe cambiarse cuando el reloj esté BAJO.
ENTRADA DE HABILITACION DE CUENTA SERIE (SERIAL COUNT ENABLE INPUT) (SCEI)	1	Debe estar BAJA para un modo de cuenta normal, debe también estar BAJA para permitir que la salida de cuenta máxima se ponga BAJA. Al ponerse ALTA, el contador quedará inhibido y la salida de cuenta máxima será llevada a nivel ALTO. El nivel lógico no debe cambiarse cuando el reloj ser ponga BAJO.
SALIDA CUENTA MAXIMA (MAXIMUN COUNT OUTPUT)	22	Se pondrá BAJA cuando el contador esté en 9 y la entrada de serial count enable (habilitación cuenta serie) esté BAJA. Volverá a ALTO cuando el contador cambie a 0 y permanecerá así durante el cómputo de 1 a 8. Permanecerá ALTA (inhibida) mientras la entrada de habilitación de cuenta serie esté ALTA.
ENTRADA DE MANDO DEL LATCH (LATCH STROBE INPUT)	21	Cuando está BAJA, los datos en los latches siguen a los datos en el contador. Cuando está ALTA, los datos en los latches se mantienen constantes y el contador puede actuarse independientemente.
SALIDAS DE LATCH Q _a , Q _b , Q _c , Q _d (LATCH OUTPUTS)	17, 18, 19, 20	Los datos BCD que atacan el decodificador pueden almacenarse en el latch de 4 bit quedando disponibles en estas salidas para atacar otros circuitos lógicos y/o procesadores. Los pesos binarios de las salidas son: Q _a = 1, Q _b = 2, Q _c = 4, Q _d = 8.
ENTRADA DE COMA DECIMAL (DECIMAL POINT INPUT)	7	Debe estar ALTA para que pueda verse la coma. La coma no aparece cuando esta entrada está BAJA o cuando se borra la visualización (blanked).
ENTRADA DE BLANKING (BLANKING INPUT) (BI)	5	Cuando esté ALTA, desaparecerá totalmente la indicación luminosa (apagado) y forzará RBO a BAJO. Para visualización normal debe estar BAJA. Puede ser alimentada con impulsos para conseguir control de intensidad del display.
ENTRADA DE RIPPLE-BLANKING (RIPPLE-BLANKING INPUT) (RBI)	4	Cuando la información en los latches sea 0 BCD, una entrada BAJA hará desaparecer toda la visualización y forzará RBO BAJO. Esta entrada no tiene efecto si la información en los latches es distinta de 0.
SALIDA DE RIPPLE-BLANKING (RIPPLE-BLANKING OUTPUT) (RBO)	6	Proporciona información Ripple-Blanking a la entrada de Ripple-Blanking de la siguiente década. Proporciona un BAJO si BI está ALTA, o si RBI está BAJA y la información en los latches es BCD 0, en otro caso esta salida estará ALTA. Esta patilla tiene un circuito «pull-up» resistivo adecuado para proporcionar una función wire-AND con cualquier salida de colector abierto. Siempre que esté pin esté BAJO la visualización del display desaparecerá, y, por tanto, el pin puede utilizarse como entrada de Blanking de BAJO activo.
SALIDAS DE EXCITACION DE LED/LAMPARAS (LED/LAM DRIVER OUPUTS) (a, b, c, d, e, f, g, dp)	15, 16, 14, 9, 11, 10, 13, 8	Son salidas para atacar LED's de siete-segmentos o lámparas y su coma decimal. Véase a continuación la identificación de segmentos y visualización resultante.



Identificación de segmentos



Designaciones numéricas y visualización resultante

**LINEAR
INTEGRATED CIRCUITS**

**TYPES SN52555, SN72555
PRECISION TIMERS**

BULLETIN NO. DL-S 7312053, SEPTEMBER 1973

- Timing from Microseconds to Hours
- Astable or Monostable Operation
- Adjustable Duty Cycle
- Up to 200-mA Sink or Source Output Current
- TTL Compatible Output
- Designed to be Interchangeable with Signetics SE555/NE555

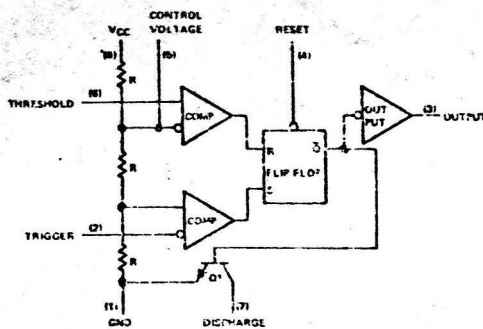
description

The SN52555 and SN72555 are monolithic timing circuits capable of producing accurate time delays or oscillation. In the time-delay or monostable mode of operation, the timed interval is controlled by a single external resistor and capacitor network. In the astable mode of operation, the frequency and duty cycle may be independently controlled with two external resistors and a single external capacitor.

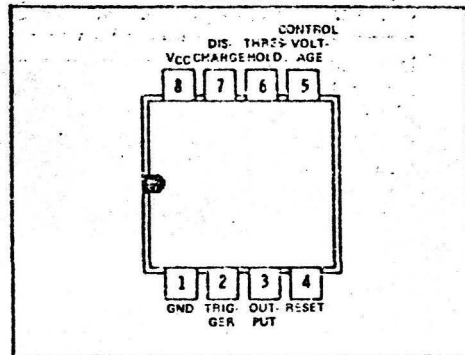
The threshold and trigger levels are normally two-thirds and one-third, respectively, of VCC. These levels can be altered by use of the control voltage terminal. When the trigger input falls below the trigger level, the flip-flop is set and the output goes high. When the threshold input rises above the threshold level, the flip-flop is reset and the output goes low. The reset input can override all other inputs and can be used to initiate a new timing cycle. When the reset input goes low, the flip-flop is reset and the output goes low. When the output is low, a low-impedance path is provided between the discharge terminal and ground.

The output circuit is capable of sinking or sourcing current up to 200 milliamperes. Operation is specified for supplies of 5 to 15 volts. With a 5-volt supply, output levels are compatible with TTL inputs.

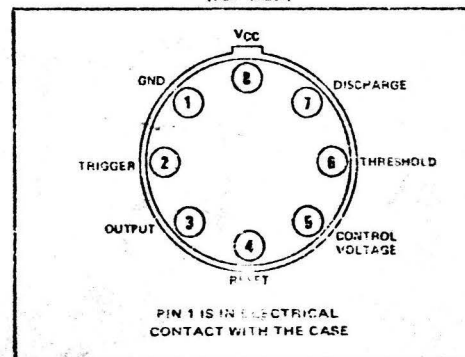
functional block diagram



**FOR P DUAL-IN-LINE PACKAGE
(TOP VIEW)**

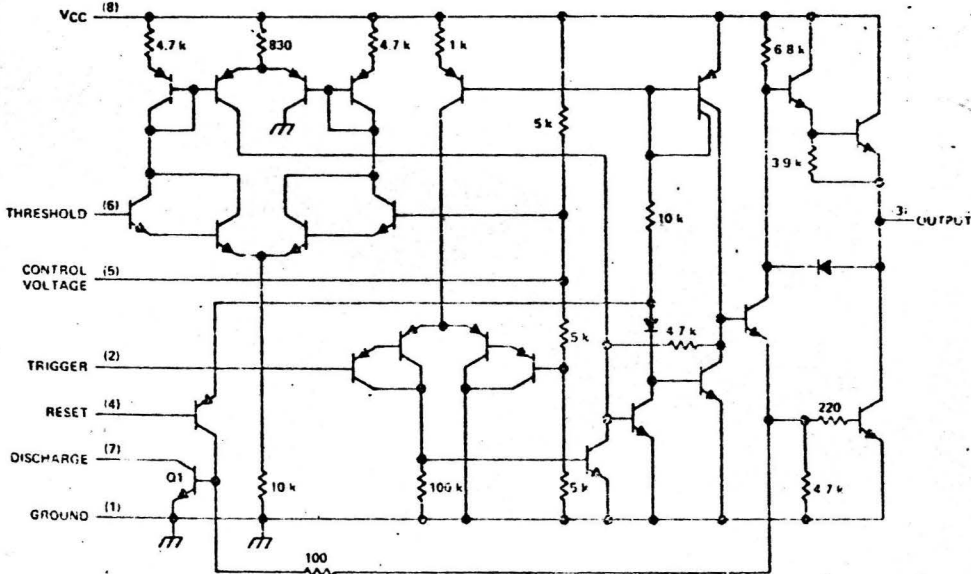


**L PLUG-IN PACKAGE
(TOP VIEW)**



**TYPES SN52555, SN72555
PRECISION TIMERS**

schematic



Resistor values shown are nominal and in ohms.

absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Supply voltage, V _{CC} (see Note 1)	18 V
Input voltage (control voltage, reset, threshold, trigger)	V _{CC}
Output current	±225 mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	600 mW
Operating free-air temperature range: SN52555	-55°C to 125°C
SN72555	0°C to 70°C
Storage temperature range	-65°C to 150°C
Lead temperature 1/16 inch from case for 60 seconds: JP or L package	300°C
Lead temperature 1/16 inch from case for 10 seconds: P package	260°C

- NOTES: 1. All voltage values are with respect to network ground terminal.
2. For operation above 25°C free-air temperature, refer to Dissipation Derating Curve, Figure 1.

recommended operating conditions

	SN52555			SN72555			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V _{CC}	4.5		18	4.5		15	V
Input voltage, V _i (control voltage, reset, threshold, trigger)	V _{CC}			V _{CC}			V
Output Current, I _o	±200			±200			mA
Operating free-air temperature, T _a	-55 to 125			0 to 70			°C

TYPES SN52555, SN72555
PRECISION TIMERS

electrical characteristics at 25°C free-air temperature, VCC = 5 V to 15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN52555			SN72555			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Threshold voltage level as a percentage of supply voltage		66.7			66.7			%
Threshold current (see Note 3)		0.1 0.25			0.1 0.25			μA
Trigger voltage level	VCC = 15 V	4.8	5	5.2	5			V
	VCC = 5 V	1.45	1.67	1.9	1.67			
Trigger current		0.5			0.5			μA
Reset voltage level		0.4	0.7	1	0.4	0.7	1	V
Reset current		0.1			0.1			mA
Control voltage (open circuit)	VCC = 15 V	9.6	10	10.4	9	10	11	V
	VCC = 5 V	2.9	3.3	3.8	2.6	3.3	4	
Low-level output voltage	VCC = 15 V	IOL = 10 mA	0.1 0.15		0.1 0.25		V	
		IOL = 50 mA	0.4 0.5		0.4 0.75			
		IOL = 100 mA	2 2.2		2 2.5			
		IOL = 200 mA	2.5		2.5			
	VCC = 5 V	IOL = 5 mA	0.1 0.25					
		IOL = 8 mA			0.16 0.25			
High-level output voltage	VCC = 15 V	I _{OH} = -100 mA	13	13.3	12.75	13.3	V	
		I _{OH} = -200 mA	12.5		12.5			
	VCC = 5 V	I _{OH} = -100 mA	3	3.3	2.75	3.3		
Supply current	Output low, No load	VCC = 15 V	10 12		10 15		mA	
		VCC = 5 V	3 5		3 6			
	Output high, No load	VCC = 15 V	9 11		9 14			
		VCC = 5 V	2 4		2 5			

NOTE 3: This parameter influences the maximum value of the timing resistors RA and RB. For example when VCC = 5 V the maximum value is R = RA = RB = 20 MΩ.

operating characteristics, VCC = 5 V and 15 V

PARAMETER	TEST CONDITIONS†		SN52555			SN72555			UNIT
	MIN	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Initial accuracy of timing interval	RA = 1 kΩ to 100 kΩ	TA = 25°C	0.5 2			1			%
Temperature coefficient of timing interval	RB = 0 to 100 kΩ	TA = MIN to MAX	30			50			ppm/°C
Supply voltage sensitivity of timing interval	C = 0.1 μF	TA = 25°C	0.005 0.02			0.01			%/V
Output pulse rise time	CL = 15 pF	TA = 25°C	100			100			ns
Output pulse fall time			100			100			ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

THERMAL INFORMATION
DISSIPATION DERATING CURVE

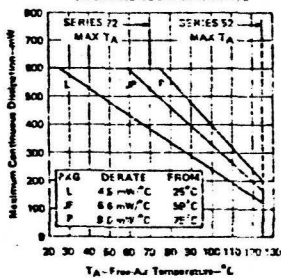


FIGURE 1

TYPES SN52555, SN72555
PRECISION TIMERS

TYPICAL CHARACTERISTICS†

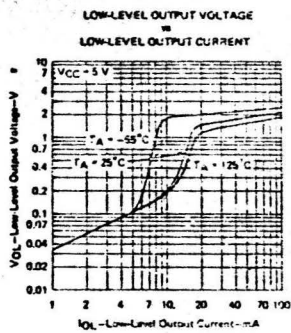


FIGURE 2

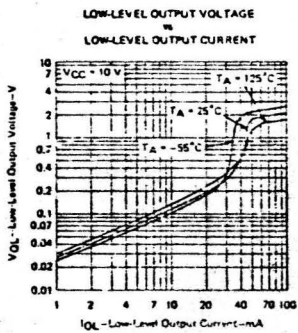


FIGURE 3

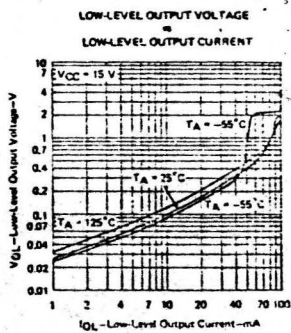


FIGURE 4

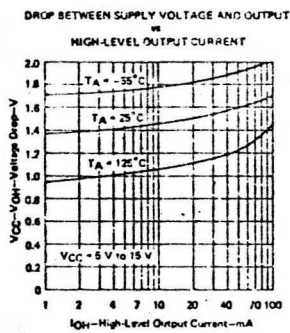


FIGURE 5

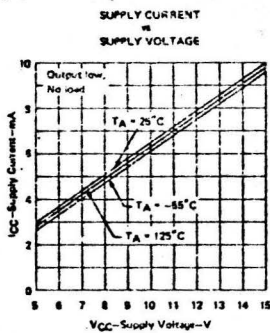


FIGURE 6

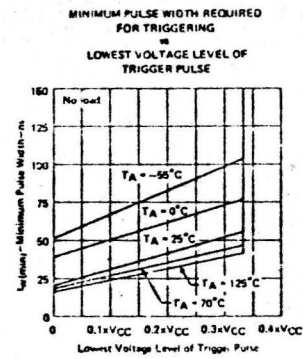


FIGURE 7

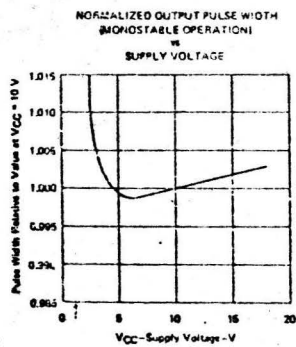


FIGURE 8

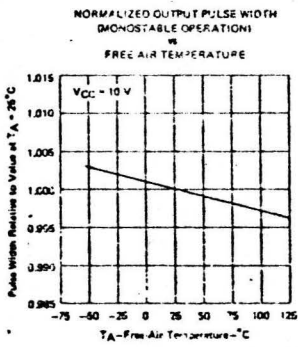


FIGURE 9

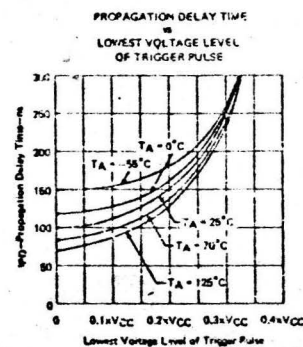


FIGURE 10

†Data for temperatures below 0°C and above 70°C are applicable for SN52555 circuits only.

TYPICAL APPLICATION DATA

monostable operation

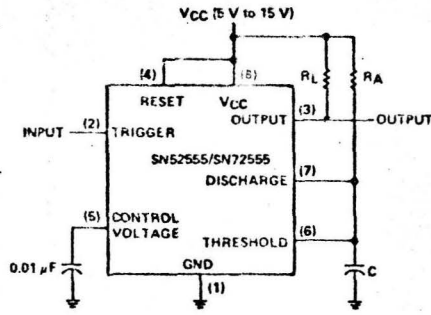


FIGURE 11—CIRCUIT FOR MONOSTABLE OPERATION

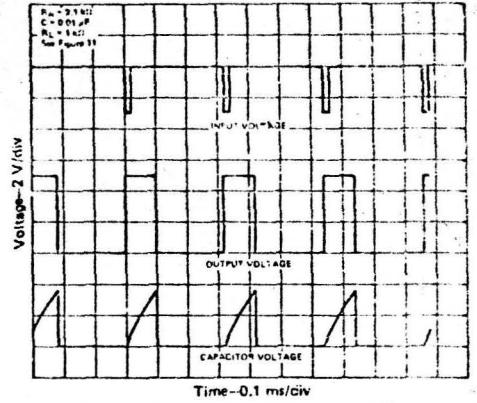


FIGURE 12—TYPICAL MONOSTABLE WAVEFORMS

The SN52555 and SN72555 may be connected as shown in Figure 11 for monostable operation producing an output pulse width independent of the input waveform and controlled by the R_A - C time constant. Prior to the negative-going input pulse, capacitor C is held discharged by transistor $Q1$ (see schematic). Application of a negative-going input-trigger-pulse sets the flip-flop, turns off $Q1$, and drives the output high. Capacitor C is now charged through R_A with a time constant $\tau = R_A C$. When the voltage across capacitor C reaches the threshold voltage of the comparator, the flip-flop is reset, energizing $Q1$ and discharging C ; therefore driving the output back to the low level. Figure 12 shows the actual resultant waveforms.

Monostable operation is initiated when the negative-going input pulse reaches the trigger level. Once initiated, the timing interval will complete even if re-triggering occurs during the timing interval. Because of the threshold level and saturation voltage of $Q1$, the output pulse width is approximately $t_w = 1.1 R_A C$. Figure 13 is a plot of the time constant for various values of R_A and C . The threshold levels and charge rates are both directly proportional to the supply voltage, V_{CC} . The timing interval is therefore independent of the supply voltage, so long as the supply voltage is constant during the time interval.

Applying a negative-going trigger pulse simultaneously to the reset and trigger terminals during the timing interval will discharge C and re-initiate the cycle, commencing on the positive edge of the reset pulse. The output is held low as long as the reset pulse is low. When the reset input is not used, it should be connected to V_{CC} to prevent false triggering.

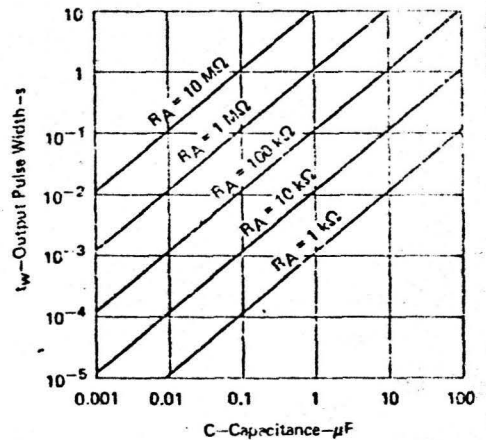
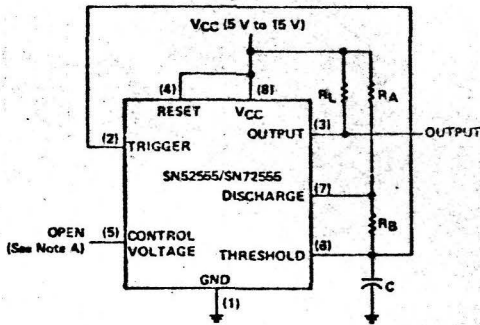


FIGURE 13—OUTPUT PULSE WIDTH vs CAPACITANCE

**TYPES SN52555, SN72555
PRECISION TIMERS**

TYPICAL APPLICATION DATA

astable operation



NOTE A. Decoupling the control voltage input (pin 5) to ground with a capacitor may improve operation. This should be evaluated for individual applications.

FIGURE 14—CIRCUIT FOR ASTABLE OPERATION

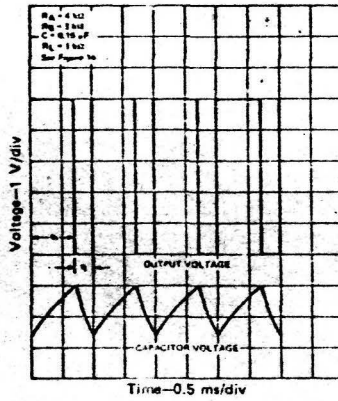


FIGURE 15—TYPICAL ASTABLE WAVEFORMS

Addition of a second resistor, R_B , to the circuit of Figure 11; as shown in Figure 14, and connection of the trigger input to the threshold input will cause the SN52555/SN72555 to self-trigger and run as a multivibrator. The capacitor C will charge through R_A and R_B then discharge through R_B only. The duty cycle may be controlled, therefore, by the values of R_A and R_B .

This astable connection results in capacitor C charging and discharging between the threshold-voltage level ($\approx 0.67 \cdot V_{CC}$) and the trigger-voltage level ($\approx 0.33 \cdot V_{CC}$). As in the monostable circuit, charge and discharge times (and therefore the frequency and duty cycle) are independent of the supply voltage.

Figure 15 shows typical waveforms generated during astable operation. The output high-level duration, t_H , is calculated as:

$$t_H = 0.693 (R_A + R_B)C,$$

output low-level duration, t_L , as:

$$t_L = 0.693 (R_B)C.$$

The total period is $T = t_H + t_L$ and frequency is

$$f = \frac{1}{T}, \text{ or } f = \frac{1.44}{(R_A + 2R_B)C}$$

The frequency of oscillation may be determined by referring to the chart shown in Figure 16, which relates free-running frequency, f , to the external resistors R_A and R_B and the external capacitor C. Duty cycle, D, is determined by the values selected for R_A and R_B and may be calculated as:

$$D = \frac{R_B}{R_A + R_B}$$

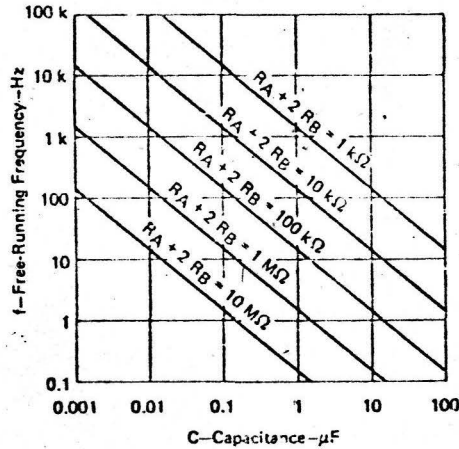


FIGURE 16—FREE RUNNING FREQUENCY

TYPES SN52555, SN72555
PRECISION TIMERS

TYPICAL APPLICATION DATA

missing-pulse detector

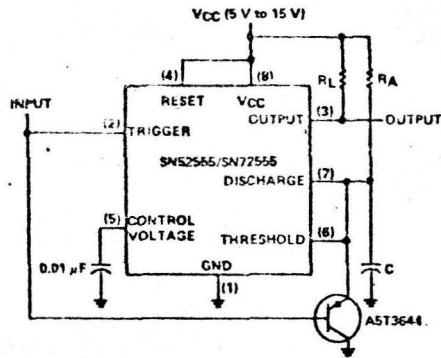


FIGURE 17—CIRCUIT FOR MISSING-PULSE DETECTOR

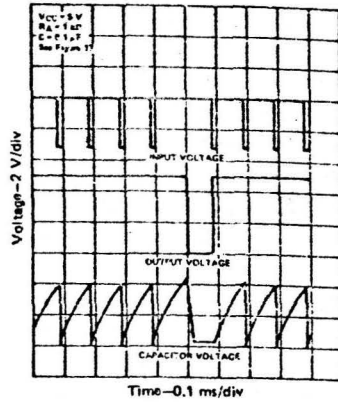


FIGURE 18—MISSING-PULSE-DETECTOR WAVEFORMS

The circuit shown in Figure 17 may be utilized to detect a missing pulse or abnormally long spacing between consecutive pulses in a train of pulses. The timing interval of the monostable circuit is continuously retriggered by the input pulse train as long as the pulse spacing is less than the timing interval. A longer pulse spacing, missing pulse, or terminated pulse train will permit the timing interval to be completed, thereby generating an output pulse as illustrated in Figure 18.

frequency divider

By adjusting the length of the timing cycle, the basic circuit of Figure 11 can be made to operate as a frequency divider. Figure 19 illustrates a divide-by-3 circuit that makes use of the fact that retriggering cannot occur during the timing cycle.

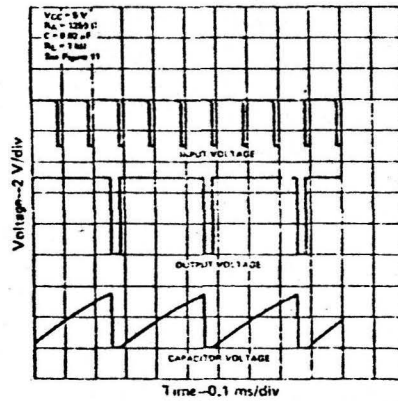
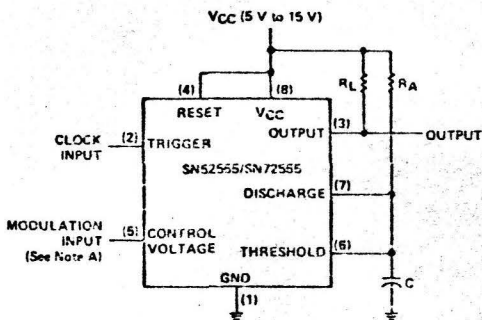


FIGURE 19—DIVIDE-BY-THREE CIRCUIT WAVEFORMS

TYPES SN52555, SN72555
PRECISION TIMERS

TYPICAL APPLICATION DATA

pulse-width modulation



NOTE: A: The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SN52555/SN72555 should be considered.

FIGURE 20—CIRCUIT FOR PULSE WIDTH MODULATION

The operation of the timer may be modified by modulating the internal threshold and trigger voltages. This is accomplished by applying an external voltage (or current) to the control voltage pin. Figure 20 is a circuit for pulse-width modulation. The monostable circuit is triggered by a continuous input pulse train and the threshold voltage is modulated by a control signal. The resultant effect is a modulation of the output pulse width, as shown in Figure 21. A sine-wave modulation signal is illustrated, but any wave-shape could be used.

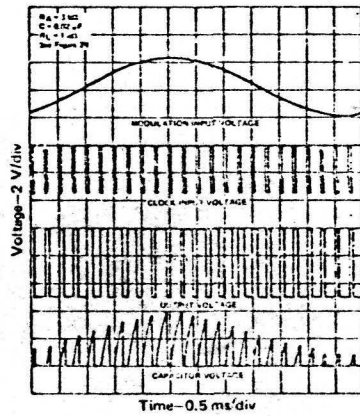
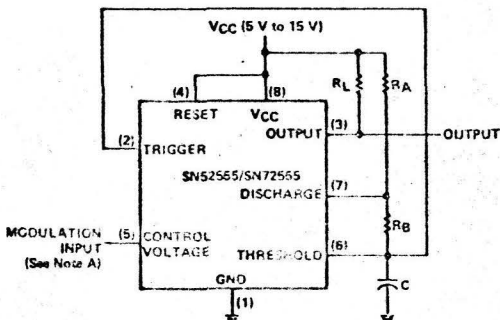


FIGURE 21—PULSE WIDTH MODULATION WAVEFORMS

pulse-position modulation



NOTE A: The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SN52555/SN72555 should be considered.

FIGURE 22—CIRCUIT FOR PULSE POSITION MODULATION

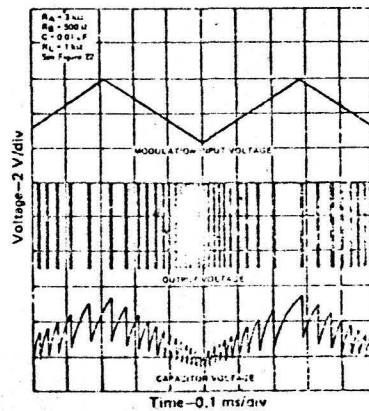


FIGURE 23—PULSE POSITION MODULATION WAVEFORMS

The SN52555/SN72555 may be used as a pulse-position modulator as shown in Figure 22. In this application, the threshold voltage, and thereby the time delay, of a free-running oscillator is modulated. Figure 23 shows such a circuit, with a triangular-wave modulation signal, however, any modulating wave-shape could be used.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

TYPES SN52555, SN72555
PRECISION TIMERS

TYPICAL APPLICATION DATA

sequential timer

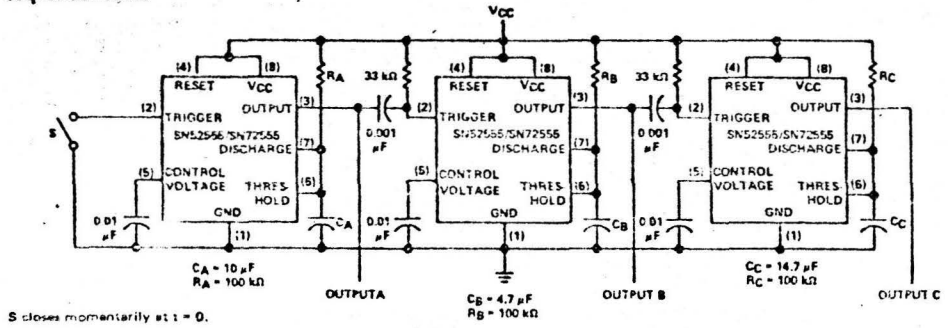


FIGURE 24—SEQUENTIAL TIMER CIRCUIT

Many applications, such as computers, require signals for initializing conditions during start-up. Other applications such as test equipment require activation of test signals in sequence. SN52555/SN72555 circuits may be connected to provide such sequential control. The timers may be used in various combinations of astable or monostable circuit connections, with or without modulation, for extremely flexible waveform control. Figure 24 illustrates a sequencer circuit with possible applications in many systems and Figure 25 shows the output waveforms.

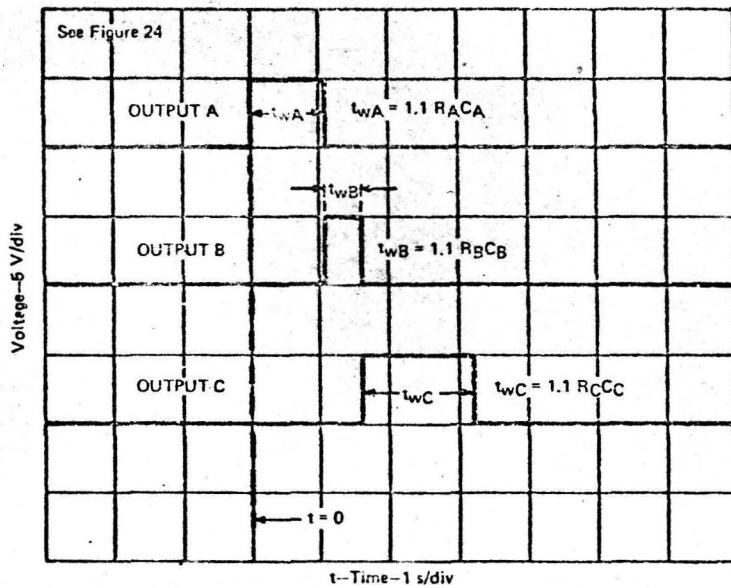


FIGURE 25—SEQUENTIAL TIMER WAVEFORMS

CD4017B, CD4022B Types

COS/MOS Counter/Dividers

High-Voltage Types (20-Volt Rating)

CD4017B—Decade Counter with
10 Decoded Outputs

CD4022B—Octal Counter with
8 Decoded Outputs

The RCA-CD4017B and CD4022B are 5-stage and 4-stage Johnson counters having 10 and 8 decoded outputs, respectively. Inputs include a CLOCK, a RESET, and a CLOCK INHIBIT signal. Schmitt trigger action in the CLOCK input circuit provides pulse shaping that allows unlimited clock input pulse rise and fall times.

These counters are advanced one count at the positive clock signal transition if the CLOCK INHIBIT signal is low. Counter advancement via the clock line is inhibited when the CLOCK INHIBIT signal is high. A high RESET signal clears the counter to its zero count. Use of the Johnson counter configuration permits high-speed operation, 2-input decode-gating and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A CARRY-OUT signal completes one cycle every 10 clock input cycles in the CD4017B or every 8 clock input cycles in the CD4022B and is used to

Features:

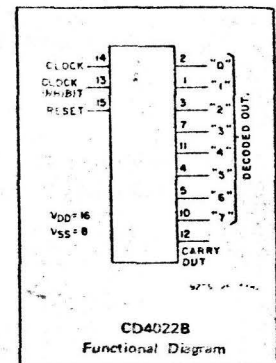
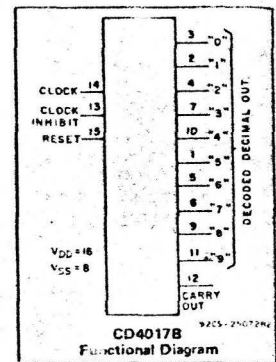
- Fully static operation
- Medium-speed operation . . . 10 MHz (typ.) at $V_{DD} = 10\text{ V}$
- Standardized, symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications:

- Decade counter/decimal decode display (CD4017B)
- Binary counter/decoder
- Frequency division
- Counter control/timers
- Divide-by-N counting
- For further application information, see ICAN-6166 "COS/MOS MSI Counter and Register Design and Applications"

ripple-clock the succeeding device in a multi-device counting chain.

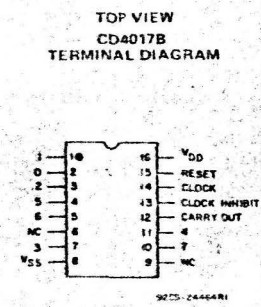
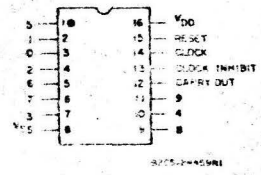
The CD4017B and CD4022B-series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic package (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).



RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTICS	V_{DD} (V)	LIMITS		UNITS
		Min.	Max.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range)		3	18	V
Clock Input Frequency, f_{CL}	5	—	2.5	MHz
	10	—	5	
	15	—	5.5	
Clock Pulse Width, t_{PW}	5	200	—	ns
	10	90	—	
	16	60	—	
Clock Rise & Fall Time, t_{rCL} , t_{fCL}	5	UNLIMITED		
	10			
	15			
Clock Inhibit Setup Time, t_s	5	230	—	ns
	10	100	—	
	15	70	—	
Reset Pulse Width, t_{RW}	5	260	—	ns
	10	110	—	
	15	60	—	
Reset Removal Time, t_{rem}	5	400	—	ns
	10	280	—	
	15	150	—	



CD4017B, CD4022B Types

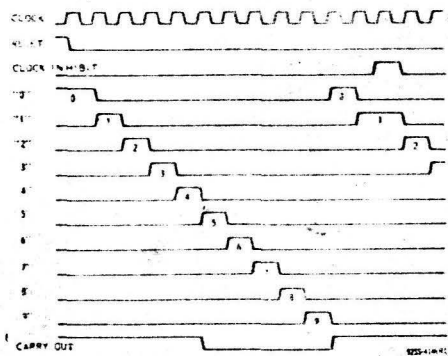
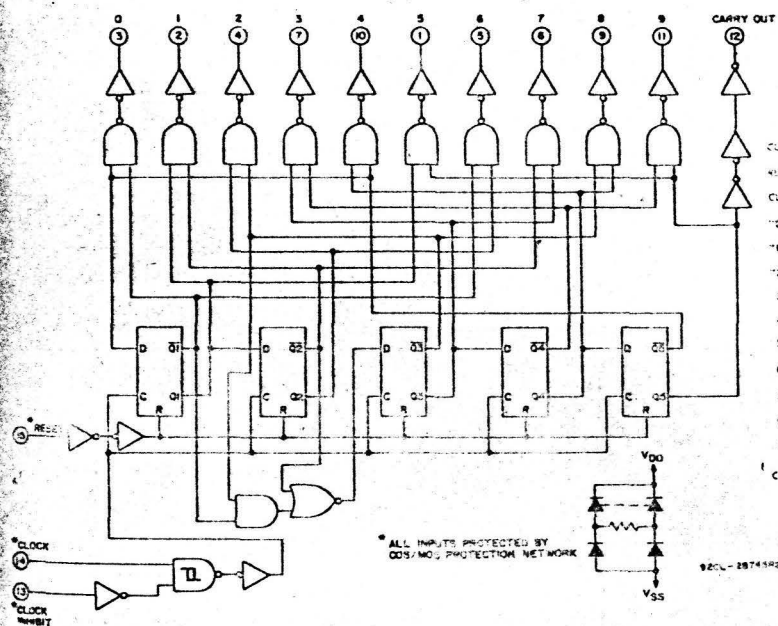


Fig. 2 - Timing diagram for CD4017B.

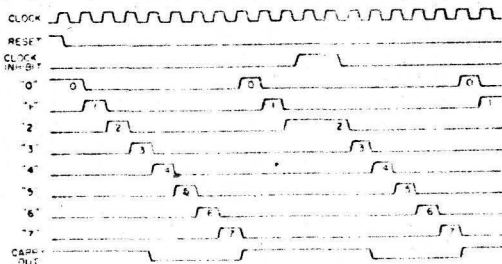
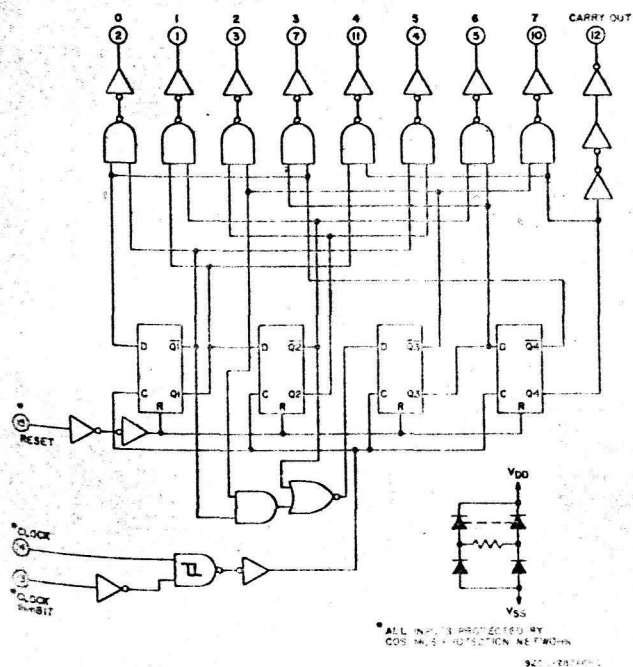


Fig. 4 - Timing diagram for CD4022B

Fig. 3 - Logic diagram for CD4022B

CD4017B, CD4022B Types

MAXIMUM RATINGS, Absolute Maximum Values:

DC SUPPLY VOLTAGE RANGE (V_{DD}) (Voltages referenced to V_{SS} Terminal)	-0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT, ANY ONE INPUT	± 10 mA
POWER DISSIPATION PER PACKAGE (P_D)	500 mW
For $T_A = -40$ to $+60^\circ\text{C}$ (PACKAGE TYPE E)	Derate Linearly at $12 \text{ mW}/^\circ\text{C}$ to 200 mW
For $T_A = +60$ to $+85^\circ\text{C}$ (PACKAGE TYPE E)	500 mW
For $T_A = -55$ to $+100^\circ\text{C}$ (PACKAGE TYPES D, F)	Derate Linearly at $12 \text{ mW}/^\circ\text{C}$ to 200 mW
For $T_A = +100$ to $+125^\circ\text{C}$ (PACKAGE TYPES D, F)	500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	100 mW
FOR $T_A =$ FULL PACKAGE TEMPERATURE RANGE (All Package Types)	
OPERATING TEMPERATURE RANGE (T_A)	
PACKAGE TYPES D, F, H	-55 to $+125^\circ\text{C}$
PACKAGE TYPE E	-40 to $+85^\circ\text{C}$
STORAGE TEMPERATURE RANGE (T_{stg})	-55 to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING)	$\pm 265^\circ\text{C}$
At distance $1/16 \pm 1/32$ inch (1.58 ± 0.79 mm) from case for 10 s max.	

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES ($^\circ\text{C}$)							UNITS
				Values at $-55, +25, +125$ Apply to D, F, H Packages							
				Values at $-40, +25, +85$ Apply to E Package							
V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	-40	+85	+125	+25				
								Min.	Typ.	Max.	
Quiescent Device Current, I_{DD} Max.	-	0.5	5	5	5	150	150	-	0.04	5	μA
	-	0.10	10	10	10	300	300	-	0.04	10	
	-	0.15	15	20	20	600	600	-	0.04	20	
	-	0.20	20	100	100	3000	3000	-	0.08	100	
Output Low (Sink) Current I_{OL} Min.	0.4	0.5	5	0.64	0.1	0.42	0.36	0.51	1	-	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	-	
Output High (Source) Current, I_{OH} Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-	
Output Voltage Low Level, V_{OL} Max.	-	0.5	5			0.05			0	0.05	V
	-	0.10	10			0.05			0	0.05	
	-	0.15	15			0.05			0	0.05	
Output Voltage High Level, V_{OH} Min.	-	0.5	5			4.95		4.95	5	-	V
	-	0.10	10			9.95		9.95	10	-	
	-	0.15	15			14.95		14.95	15	-	
Input Low Voltage, V_{IL} Max.	0.5, 4.5	-	5			1.5			-	1.5	V
	1.9	-	10			3			-	3	
	5, 13.5	-	15			4			-	4	
Input High Voltage, V_{IH} Min.	0.5, 4.5	-	5			3.5		3.5	-	-	V
	1.9	-	10			7		7	-	-	
	5, 13.5	-	15			11		11	-	-	
Input Current I_{IN} Max.	-	0.18	18	± 0.1	± 0.1	± 1	± 1	-	$\pm 10^{-5}$	± 0.1	μA

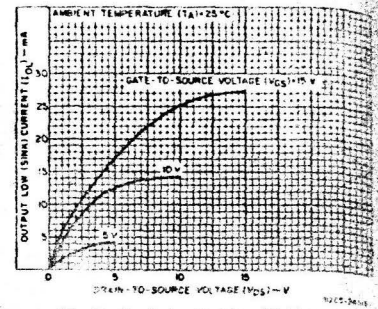


Fig. 5—Typical output low (sink) current characteristics.

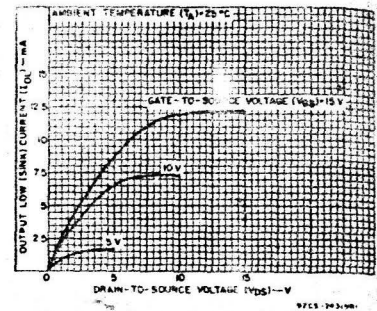


Fig. 6—Minimum output low (sink) current characteristics.

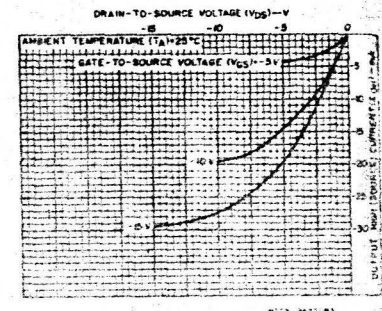


Fig. 7—Typical output high (source) current characteristics.

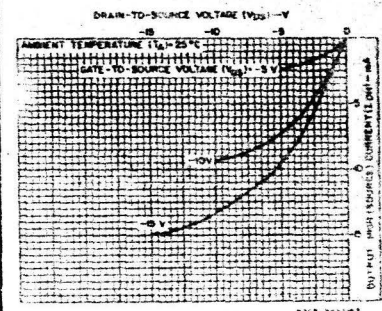


Fig. 8—Minimum output high (source) current characteristics.

CD4017B, CD4022B Types

DYNAMIC ELECTRICAL CHARACTERISTICS

At $T_A = 25^\circ\text{C}$, Input $t_r, t_f = 20\text{ ns}$, $C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	CONDITIONS V_{DD} (V)	LIMITS			UNITS
		Min.	Typ.	Max.	
CLOCKED OPERATION					
Propagation Delay Time, t_{PHL}, t_{PLH} Decode Out	5	—	325	650	ns
	10	—	135	270	
	15	—	85	170	
Carry Out	5	—	300	600	ns
	10	—	125	250	
	15	—	80	160	
Transition Time, t_{THL}, t_{TLH} Carry Out or Decode Out Line	5	—	100	200	ns
	10	—	50	100	
	15	—	40	80	
Maximum Clock Input Frequency, f_{CL}^*	5	2.5	5	—	MHz
	10	5	10	—	
Minimum Clock Pulse Width, t_W	5	—	100	200	ns
	10	—	45	90	
	15	—	30	60	
Clock Rise or Fall Time, t_{rCL}, t_{fCL}	5, 10, 15	UNLIMITED			
Minimum Clock Inhibit to Clock Setup Time, t_s	5	—	115	230	ns
	10	—	50	100	
	15	—	35	70	
Input Capacitance, C_{IN}	Any Input	—	5	—	pF
RESET OPERATION					
Propagation Delay Time, t_{PHL}, t_{PLH} Carry Out or Decode Out Lines	5	—	265	530	ns
	10	—	115	230	
	15	—	85	170	
Minimum Reset Pulse Width, t_W	5	—	130	260	ns
	10	—	55	110	
	15	—	30	60	
Minimum Reset Removal Time	5	—	200	400	ns
	10	—	140	280	
	15	—	75	150	

* Measured with respect to carry output line.

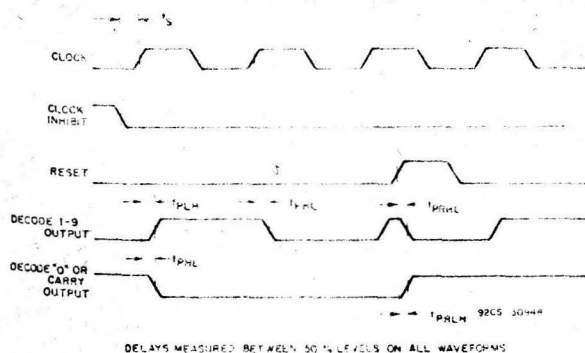


Fig. 9— Propagation delay, setup, and hold time waveforms.

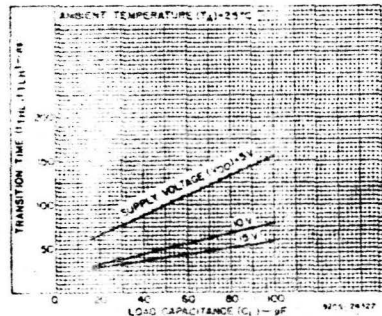


Fig. 10— Typical transition time as a function of load capacitance.

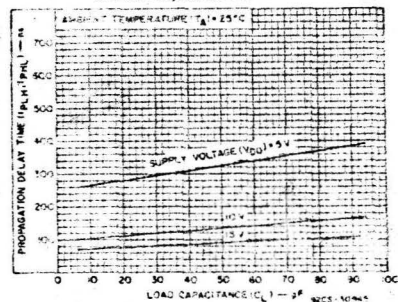


Fig. 11— Typical propagation delay time as a function of load capacitance (clock to decode output).

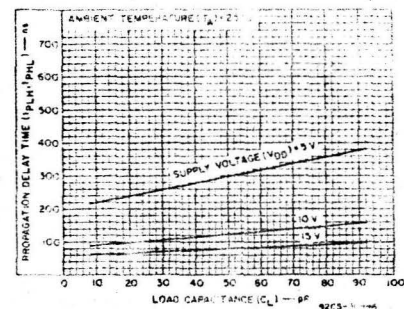


Fig. 12— Typical propagation delay time as a function of load capacitance (clock to carry-out).

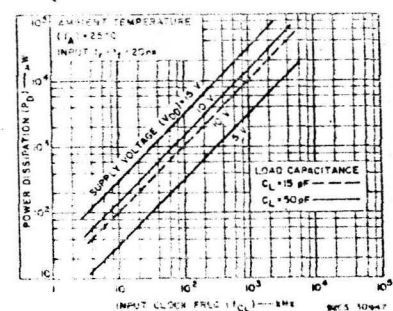


Fig. 13— Typical dynamic power dissipation as a function of clock input frequency.

CD4017B, CD4022B Types

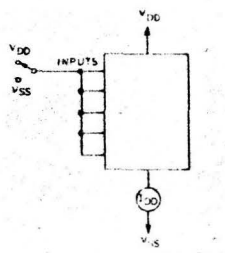


Fig. 14 - Output short-circuit current test circuit.

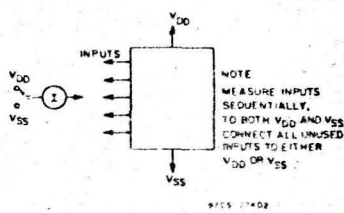


Fig. 15 - Input-leakage current.

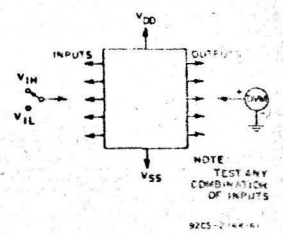


Fig. 16 - Input-voltage test circuit.

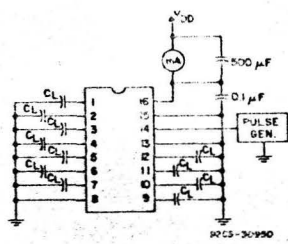


Fig. 17 - Dynamic power dissipation test circuit.

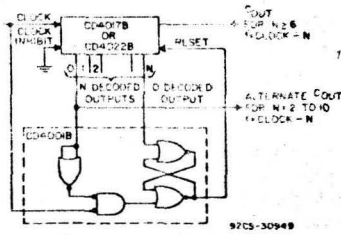
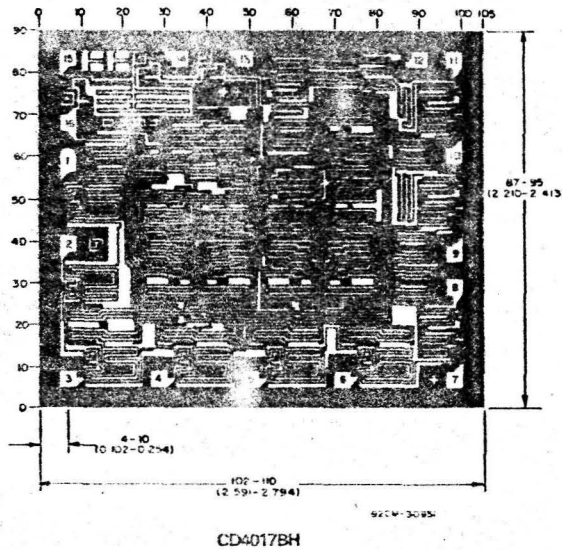
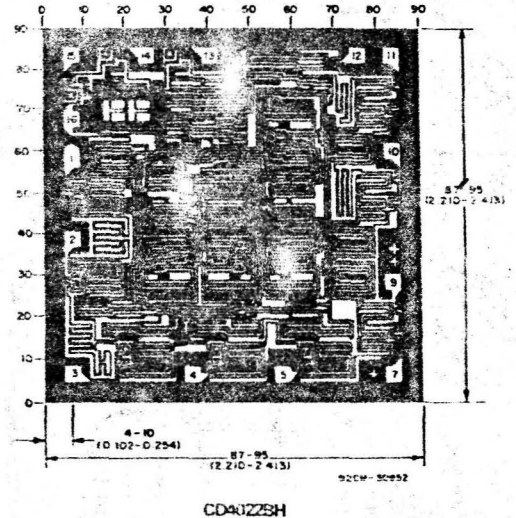


Fig. 18 - Divide by N counter ($N \leq 10$) with N decoded outputs.

When the Nth decoded output is reached (Nth clock pulse) the S-R flip flop (constructed from two NOR gates of the CD4001B) generates a reset pulse which clears the CD4017B or CD4022B to its zero count. At this time, if the Nth decoded output is greater than or equal to 6 in the CD4017B or 5 in the CD4022B, the C_{OUT} line goes high to clock the next CD4017B or CD4022B counter section. The "0" decoded output also goes high at this time. Coincidence of the clock low and decoded "0" output low resets the S-R flip flop to enable the CD4017B or CD4022B. If the Nth decoded output is less than 6 (CD4017B) or 5 (CD4022B), the C_{OUT} line will not go high and, therefore, cannot be used. In this case "0" decoded output may be used to perform the clocking function for the next counter.



CD4017BH



CD4022BH

Dimensions in parentheses are in millimeters and are derived from the best chip dimensions as indicated. Grid graduations are in mils (1 mil = 0.0254 mm).

The photographs and dimensions of each CMOS/MOS chip represent a chip when it is part of the wafer. When the wafer is cut into chips, the cleavage angles are 57° instead of 90° with respect to the face of the chip. Therefore, the isolated chip is actually 7 mils (0.177 mm) larger in both dimensions.

CD4020B, CD4024B, CD4040B Types

COS/MOS Ripple-Carry Binary Counter/Dividers

High-Voltage Types (20-Volt Rating)

- CD4020B – 14 Stage
- CD4024B – 7 Stage
- CD4040B – 12 Stage

RCA-CD4020B, CD4024B, and CD4040B are ripple-carry binary counters. All counter stages are master-slave flip-flops. The state of a counter advances one count on the negative transition of each input pulse; a high level on the RESET line resets the counter to its all zeros state. Schmitt trigger action on the input-pulse line permits unlimited rise and fall times. All inputs and outputs are buffered.

The CD4020B and CD4040B types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), 16-lead ceramic flat packages (K suffix), and in chip form (H suffix).

The CD4024B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Medium-speed operation
- Fully static operation
- Buffered inputs and outputs
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- Fully static operation
- Common reset
- 5-V, 10-V, and 15-V parametric ratings
- Maximum input current of 1 μ A at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin (over full package-temperature range):
 - 1 V at $V_{DD} = 5$ V
 - 2 V at $V_{DD} = 10$ V
 - 2.5 V at $V_{DD} = 15$ V

Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"

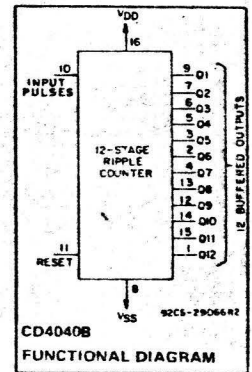
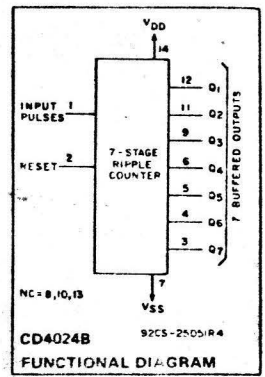
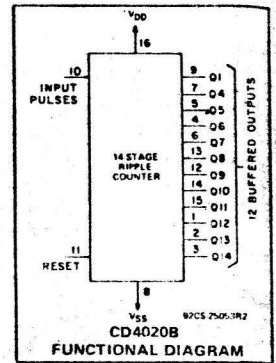
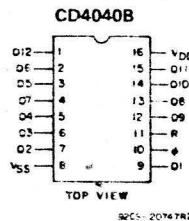
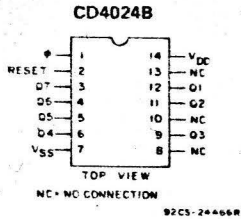
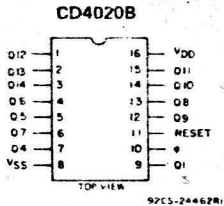
Applications:

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD}) (Voltages referenced to V_{SS} Terminal)	-0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT, ANY ONE INPUT	± 10 mA
POWER DISSIPATION PER PACKAGE (P_D):	
For $T_A = -40$ to $+60^\circ\text{C}$ (PACKAGE TYPE E)	500 mW
For $T_A = +60$ to $+85^\circ\text{C}$ (PACKAGE TYPE E)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
For $T_A = -55$ to $+100^\circ\text{C}$ (PACKAGE TYPES D, F)	500 mW
For $T_A = +100$ to $+125^\circ\text{C}$ (PACKAGE TYPES D, F)	Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T_A):	
PACKAGE TYPES D, F, H	-55 to $+125^\circ\text{C}$
PACKAGE TYPE E	-40 to $+85^\circ\text{C}$
STORAGE TEMPERATURE RANGE (T_{stg})	
	-65 to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 \pm 1/32 inch (1.59 \pm 0.79 mm) from case for 10 s max.	+265 $^\circ\text{C}$

TERMINAL ASSIGNMENTS



CD4020B, CD4024B, CD4040B Types

RECOMMENDED OPERATING CONDITIONS at $T_A = 25^\circ\text{C}$. Unless Otherwise Specified
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	V_{DD}	Min.	Max.	UNITS
Supply Voltage Range (at $T_A =$ Full Package-Temperature Range)		3	18	V
Input-Pulse Frequency,	f_{ϕ}	5 10 15	— 3.5 8 12	MHz
Input-Pulse Width,	t_W	5 10 15	140 60 40	ns
Input-Pulse Rise or Fall Time,	$t_{r\phi}, t_{f\phi}$	5 10 15	Unlimited	μs
Reset Pulse Width,	t_W	5 10 15	200 80 60	ns
Reset Removal Time,	t_{REM}	5 10 15	350 150 100	ns

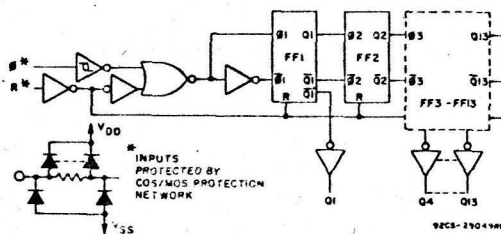


Fig. 1 - Logic diagram for CD4020B.

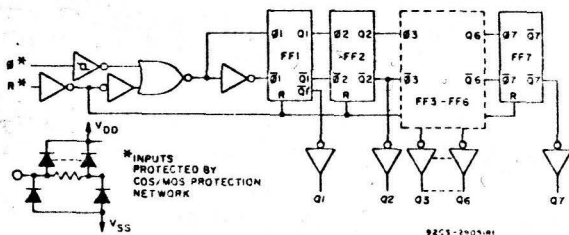


Fig. 2 - Logic diagram for CD4024B.

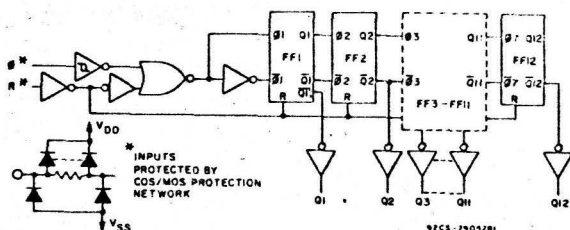
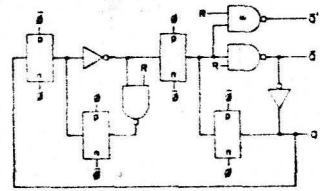


Fig. 3 - Logic diagram for CD4040B.



*ON FIRST STAGE ONLY

Fig. 4 - Detail of typical flip-flop stage.

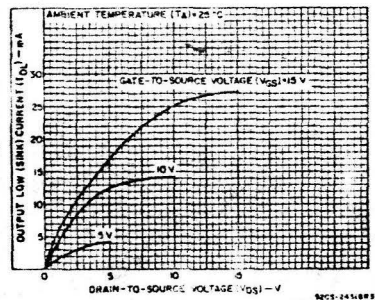


Fig. 5 - Typical output low (sink) current characteristics.

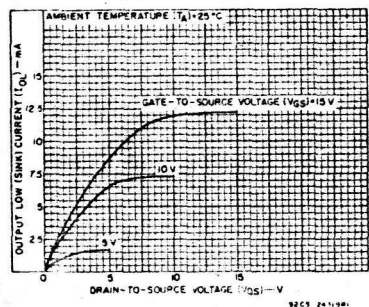


Fig. 6 - Minimum output low (sink) current characteristics.

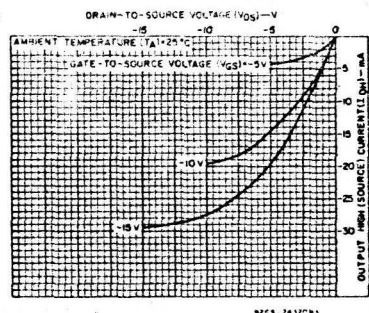


Fig. 7 - Typical output high (source) current characteristics.

CD4020B, CD4024B, CD4040B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	Values at -55, +25, +125 Apply to D,F,H Packages				Values at -40, +25, +85 Apply to E Package			
				-55	-40	+85	+125	+25			
				Min.	Typ.	Max.					
Quiescent Device Current, I _{DD} Max.	-	0,5	5	5	5	150	150	-	0,04	5	μA
	-	0,10	10	10	10	300	300	-	0,04	10	
	-	0,15	15	20	20	600	600	-	0,04	20	
	-	0,20	20	100	100	3000	3000	-	0,08	100	
Output Low (Sink) Current I _{OL} Min.	0,4	0,5	5	0,64	0,61	0,42	0,36	0,51	1	-	mA
	0,5	0,10	10	1,6	1,5	1,1	0,9	1,3	2,6	-	
	1,5	0,15	15	4,2	4	2,8	2,4	3,4	6,8	-	
Output High (Source) Current, I _{OH} Min.	4,6	0,5	5	-0,64	-0,61	-0,42	-0,36	-0,51	-1	-	mA
	2,5	0,5	5	-2	-1,8	-1,3	-1,15	-1,6	-3,2	-	
	9,5	0,10	10	-1,6	-1,5	-1,1	-0,9	-1,3	-2,6	-	
	13,5	0,15	15	-4,2	-4	-2,8	-2,4	-3,4	-6,8	-	
Output Voltage: Low-Level, V _{OL} Max.	-	0,5	5	0,05				-	0	0,05	V
	-	0,10	10	0,05				-	0	0,05	
	-	0,15	15	0,05				-	0	0,05	
Output Voltage: High-Level, V _{OH} Min.	-	0,5	5	4,95				4,95	5	-	V
	-	0,10	10	9,95				9,95	10	-	
	-	0,15	15	14,95				14,95	15	-	
Input Low Voltage, V _{IL} Max.	0,5, 4,5	-	5	1,5				-	-	1,5	V
	1,9	-	10	3				-	-	3	
	1,5, 13,5	-	15	4				-	-	4	
Input High Voltage, V _{IH} Min.	0,5, 4,5	-	5	3,5				3,5	-	-	V
	1,9	-	10	7				7	-	-	
	1,5, 13,5	-	15	11				11	-	-	
Input Current I _{IN} Max.	-	0,18	18	±0,1	±0,1	±1	±1	-	±10 ⁻⁵	±0,1	μA

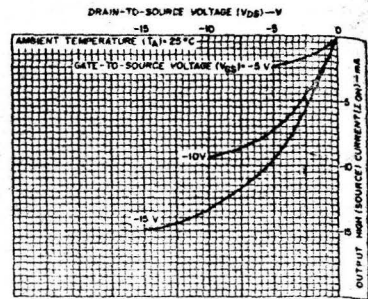


Fig. 8 - Minimum output high (source) current characteristics.

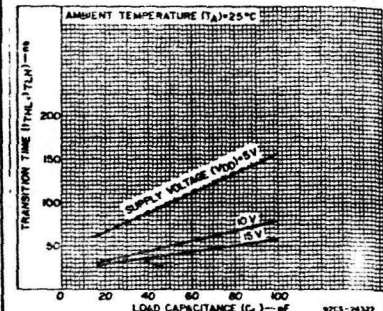
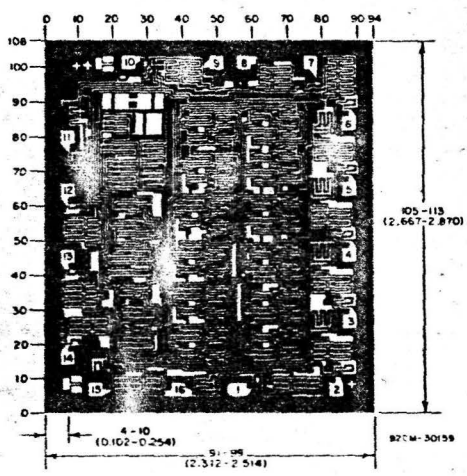
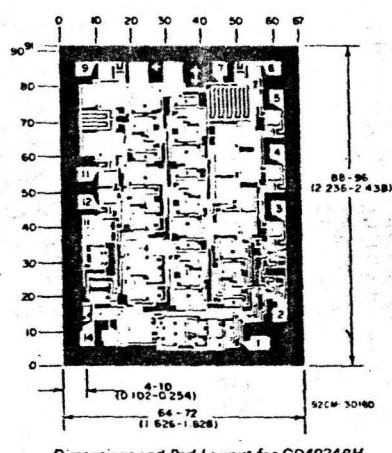


Fig. 9 - Typical transition time as a function of load capacitance.



Dimensions and Pad Layout for CD4020BH. Dimensions and pad layout for CD4040BH are identical.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10⁻³ inch).



Dimensions and Pad Layout for CD4024BH.

The photographs and dimensions of each COS/MOS chip represent a chip when it is part of the wafer. When the wafer is cut into chips, the cleavage angles are 57° instead of 90° with respect to the face of the chip. Therefore, the isolated chip is actually 7 mils (0,17 mm) larger in both dimensions.

CD4020B, CD4024B, CD4040B Types

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, Input $t_r, t_f = 20\text{ ns}$,
 $C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	TEST CONDITIONS	V_{DD} (V)	LIMITS			UNITS
			Min.	Typ.	Max.	
Input-Pulse Operation						
Propagation Delay Time, ϕ to Q_1 Out; t_{PHL}, t_{PLH}		5	-	180	360	ns
		10	-	80	160	
		15	-	65	130	
Q_n to Q_{n+1} ; t_{PHL}, t_{PLH}		5	-	100	200	ns
		10	-	40	80	
		15	-	30	60	
Transition Time, t_{THL}, t_{TLH}		5	-	100	200	ns
		10	-	50	100	
		15	-	40	80	
Minimum Input-Pulse Width, t_W		5	-	70	140	ns
		10	-	30	60	
		15	-	20	40	
Input-Pulse Rise or Fall Time, $t_{r\phi}, t_{f\phi}$		5	Unlimited			μs
		10				
		15				
Maximum Input-Pulse Frequency, f_ϕ		5	3.5	7	-	MHz
		10	8	16	-	
		15	12	24	-	
Input Capacitance, C_i	Any Input		-	5	7.5	pF
Reset Operation						
Propagation Delay Time, t_{PHL}		5	-	140	280	ns
		10	-	60	120	
		15	-	50	100	
Minimum Reset Pulse Width, t_W		5	-	100	200	ns
		10	-	40	80	
		15	-	30	60	
Reset Removal Time, t_{REM}		5	-	175	350	ns
		10	-	75	150	
		15	-	50	100	

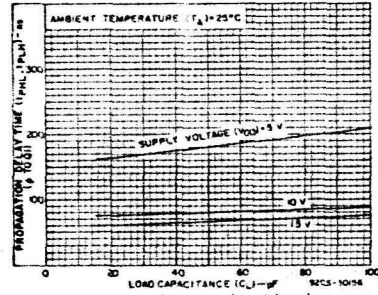


Fig. 10 - Typical propagation delay time as a function of load capacitance (ϕ to Q_1).

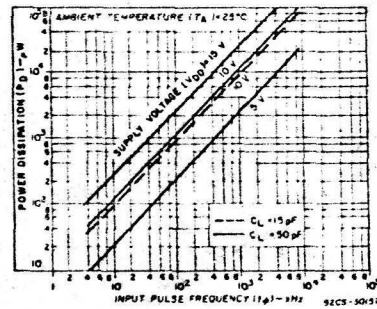


Fig. 11 - Typical dynamic power dissipation as a function of input pulse frequency for CD4020B.

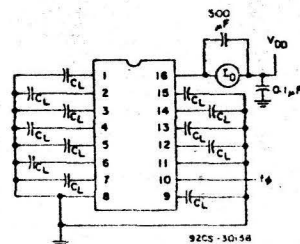


Fig. 12 - Dynamic power dissipation test circuit for CD4020B.

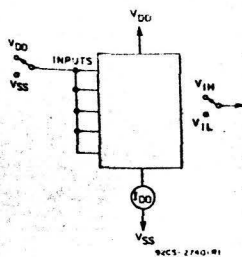


Fig. 13 - Quiescent device current test circuit.

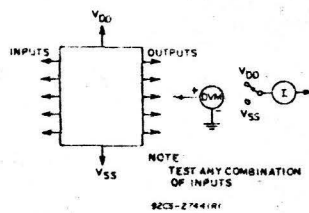


Fig. 14 - Input voltage test circuits.

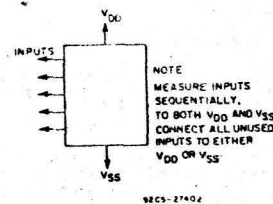


Fig. 15 - Input current test circuit.

CD4047B Types

COS/MOS Low-Power Monostable/Astable Multivibrator

High Voltage Types (20-Volt Rating)

The RCA-CD4047B consists of a gatatable astable multivibrator with logic techniques incorporated to permit positive or negative edge-triggered monostable multivibrator action with retrigging and external counting options.

Inputs include +TRIGGER, -TRIGGER, ASTABLE, ASTABLE, RETRIGGER, and EXTERNAL RESET. Buffered outputs are Q, Q-bar, and OSCILLATOR. In all modes of operation, and external capacitor must be connected between C-Timing and RC-Common terminals, and an external resistor must be connected between the R-Timing and RC-Common terminals.

Astable operation is enabled by a high level on the ASTABLE input or a low level on the ASTABLE input, or both. The period of the square wave at the Q and Q-bar Outputs in this mode of operation is a function of the external components employed. "True" input pulses on the ASTABLE input or "Complement" pulses on the ASTABLE input allow the circuit to be used as a gatatable multivibrator. The OSCILLATOR output period will be half of the Q terminal output in the astable mode. However, a 50% duty cycle is not guaranteed at this output.

The CD4047B triggers in the monostable mode when a positive-going edge occurs on the +TRIGGER input while the -TRIGGER is held high. Input pulses may be of any duration relative to the output pulse.

If retrigger capability is desired, the RETRIGGER input is pulsed. The retriggerable mode of operation is limited to positive-going edge. The CD4047B will retrigger as long as the RETRIGGER input is high, with or without transitions (See Fig. 34).

An external countdown option can be implemented by coupling "Q" to an external "N" counter and resetting the counter with the trigger pulse. The counter output pulse is fed back to the ASTABLE input and has a duration equal to N times the period of the multivibrator.

A high level on the EXTERNAL RESET input assures no output pulse during an "ON" power condition. This input can also be activated to terminate the output pulse at any time, for monostable operation, whenever V_{DD} is applied, an internal power-on reset circuit will clock the Q output low within one output period (t_M).

The CD4047B-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

- Low power consumption: special COS/MOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required
- Buffered inputs
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Monostable Multivibrator Features:

- Positive- or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Internal power-on reset circuit
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

Astable Multivibrator Features:

- Free-running or gatatable operating modes
- 50% duty cycle

- Oscillator output available

- Good astable frequency stability:

Frequency deviation:

$$= \pm 2\% + 0.03\%/^{\circ}\text{C} @ 100 \text{ kHz}$$

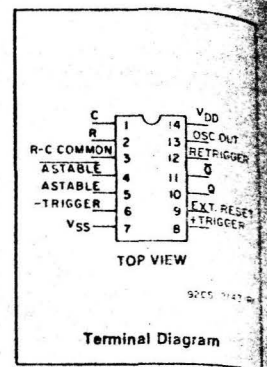
$$= \pm 0.5\% + 0.015\%/^{\circ}\text{C} @ 10 \text{ kHz}$$

(circuits "trimmed" to frequency V_{DD} = 10 V ± 10%)

Applications:

Digital equipment where low-power dissipation and/or high noise immunity are primary design requirements:

- Envelope detection
- Frequency multiplication
- Frequency division
- Frequency discriminators
- Timing circuits
- Time-delay applications



RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T _A = Full Package-Temperature Range)	3	18	V

NOTE: IF AT 15 V OPERATION A 10 MΩ RESISTOR IS USED THE OPERATING TEMPERATURE SHOULD BE BETWEEN -25°C and 100°C

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE (V _{DD}) (Voltage referenced to V _{SS} Terminal)	-0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to V _{DD} + 0.5 V
DC INPUT CURRENT, ANY ONE INPUT	± 10 mA
POWER DISSIPATION PER PACKAGE (P _D):	
For T _A = -40 to +60°C (PACKAGE TYPE E)	500 mW
For T _A = 0 to +85°C (PACKAGE TYPE E)	Derate Linearly at 12 mW/°C to 200 mW
For T _A = -55 to +100°C (PACKAGE TYPES D,F)	500 mW
For T _A = +100 to +125°C (PACKAGE TYPES D,F)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR T _A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T _A):	
PACKAGE TYPES D,F,H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
STORAGE TEMPERATURE RANGE (T _{stg})	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max.	+265°C

CD4047B Types

CD4047B FUNCTIONAL TERMINAL CONNECTIONS

NOTE: IN ALL CASES EXTERNAL RESISTOR BETWEEN TERMINALS 2 AND 3▲
EXTERNAL CAPACITOR BETWEEN TERMINALS 1 AND 2▲

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	OUTPUT PERIOD OR PULSE WIDTH
	TO V _{DD}	TO V _{SS}	INPUT TO		
Astable Multivibrator:					
Free Running	4,5,6,14	7,8,9,12	—	10,11,13	$t_A(10,11) = 4.40 RC$
True Gating	4,6,14	7,8,9,12	5	10,11,13	$t_A(13) = 2.20 RC^*$
Complement Gating	6,14	5,7,8,9,12	4	10,11,13	
Monostable Multivibrator:					
Positive-Edge Trigger	4,14	5,6,7,9,12	8	10,11	$t_M(10,11) = 2.48 RC$
Negative-Edge Trigger	4,8,14	5,7,9,12	6	10,11	
Retriggerable	4,14	5,6,7,8,9	12	10,11	
External Countdown*	14	5,6,7,8,9,12	—	10,11	

▲ See Text.

* First positive 1/2 cycle pulse-width = 2.48 RC, see Note on Page 10.

* Input Pulse to Reset of External Counting Chip External Counting Chip Output To Terminal 4

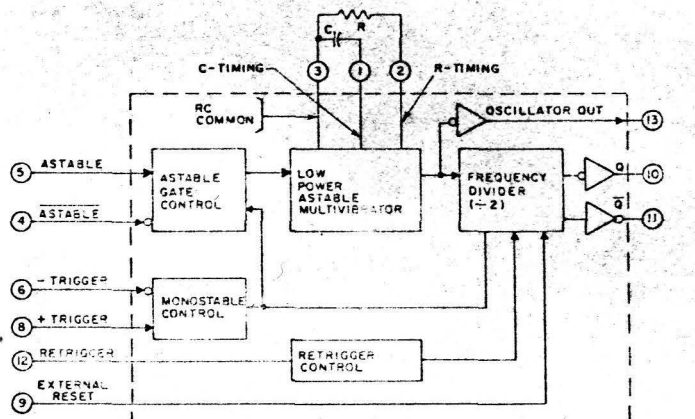


Fig. 1—CD4047B logic block diagram.

92CS-29071

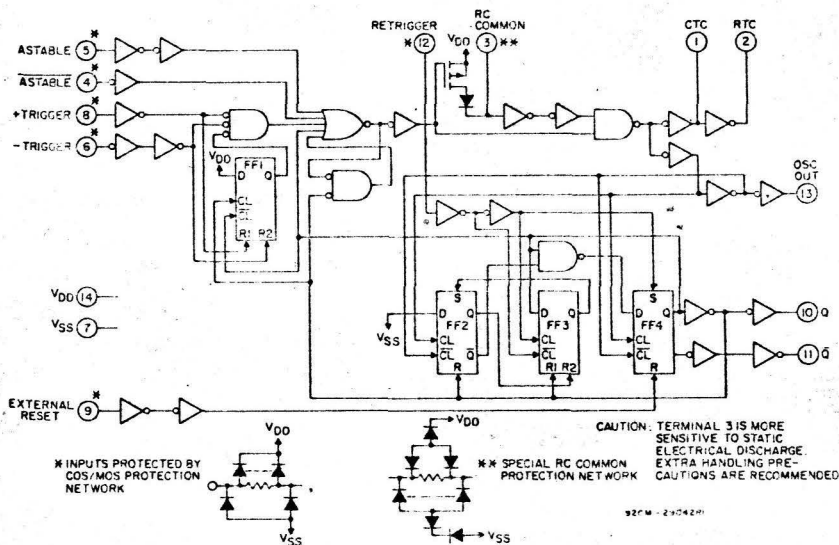


Fig. 2—CD4047B logic diagram.

92CM-24042H

CD4047B Types

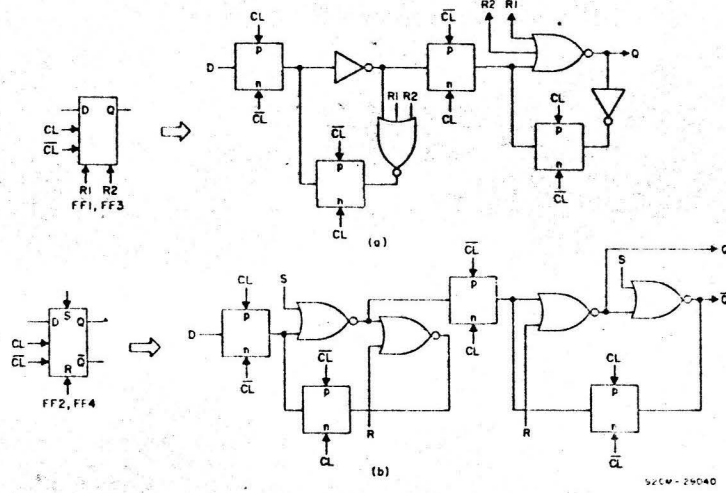


Fig. 3—Detail logic diagram for flip-flops FF1 and FF3 (a) and for flip-flops FF2 and FF4 (b).

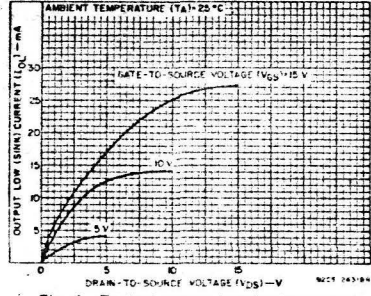


Fig. 4—Typical output low (sink) current characteristics.

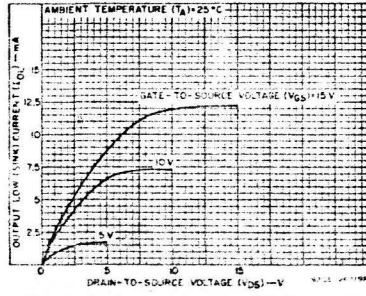


Fig. 5—Minimum output low (sink) current characteristics.

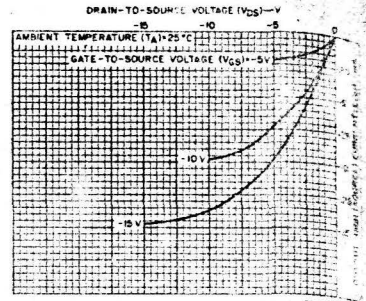


Fig. 6—Typical output high (source) current characteristics.

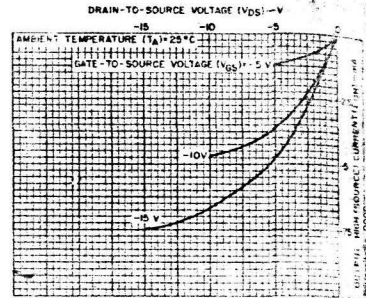


Fig. 7—Minimum output high (source) current characteristics.

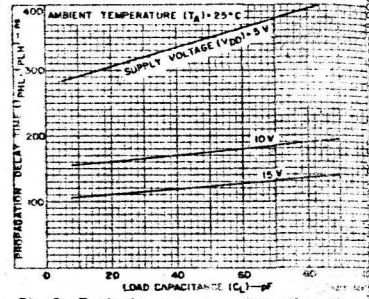


Fig. 8—Typical propagation delay time as a function of load capacitance (Astable to Q, Q̄).

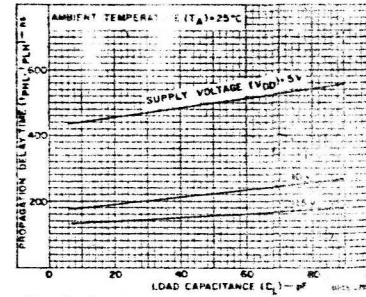


Fig. 9—Typical propagation delay time as a function of load capacitance (Astable to Q, Q̄).

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	Values at -55, +25, +125 Apply to D,F,H Packages				Values at -40, +25, +85 Apply to E Package			
				-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	—	0.5	5	1	1	30	30	—	0.02	1	μA
	—	0.10	10	2	2	60	60	—	0.02	2	
	—	0.15	15	4	4	120	120	—	0.02	4	
Output Low Current I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I _{OH} Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
Output Voltage: Low-Level V _{OL} Max.	—	0.5	5	0.05				—	0	0.05	V
	—	0.10	10	0.05				—	0	0.05	
	—	0.15	15	0.05				—	0	0.05	

CD4047B Types

STATIC ELECTRICAL CHARACTERISTICS (CONTINUED)

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	Values at -55, +25, +125 Apply to D,F,H Packages				Values at -40, +25, +85 Apply to E Package			
				-55	-40	+85	+125	+25			
				Min.	Typ.	Max.					
Output Voltage: High-Level, V _{OH} Min.	—	0.5	5	4.95				4.95	5	—	V
	—	0.10	10	9.95				9.95	10	—	
	—	0.15	15	14.95				14.95	15	—	
Input Low Voltage, V _{IL} Max.	0.5, 4.5	—	5	1.5				—	—	1.5	V
	1.9	—	10	3				—	—	3	
	1.5, 13.5	—	15	4				—	—	4	
Input High Voltage, V _{IH} Min.	0.5, 4.5	—	5	3.5				3.5	—	—	V
	1.9	—	10	7				7	—	—	
	1.5, 13.5	—	15	11				11	—	—	
Input Current I _{IN} Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 ⁵	±0.1	μA

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 50 pF, R_L = 200 kΩ

CHARACTERISTICS	V _{DD} (V)	LIMITS			UNITS
		Min.	Typ.	Max.	
Propagation Delay Time: t _{PHL} , t _{PLH} Astable, Astable to Osc. Out	5	—	200	400	
	10	—	100	200	
	15	—	80	160	
Astable, Astable to Q, \bar{Q}	5	—	350	700	
	10	—	175	350	
	15	—	125	250	
+ or - Trigger to Q, \bar{Q}	5	—	500	1000	
	10	—	225	450	
	15	—	150	300	
Retrigger to Q, \bar{Q}	5	—	300	600	ns
	10	—	150	300	
	15	—	100	200	
External Reset to Q, \bar{Q}	5	—	250	500	
	10	—	100	200	
	15	—	70	140	
Transition Time: t _{THL} , t _{TLH} Osc. Out, Q, \bar{Q}	5	—	100	200	
	10	—	50	100	
	15	—	40	80	
Minimum Input Pulse Width: + Trigger, - Trigger	5	—	200	400	
	10	—	80	160	
	15	—	50	100	
Reset	5	—	100	200	
	10	—	50	100	
	15	—	30	60	
Retrigger	5	—	300	600	
	10	—	115	230	
	15	—	75	150	
Input Rise and Fall Time: All Inputs	t _r , t _f	5	Unlimited		μs
		10			
		15			
Q or \bar{Q} Deviation from 50% Duty Factor		5	±0.5	±1	%
		10	±0.5	±1	
		15	±0.1	±0.5	
Input Capacitance, C _{IN}	Any Input	—	5	7.7	pF

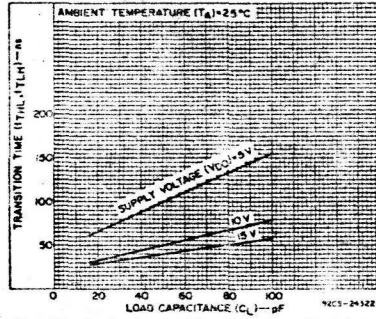


Fig. 10—Typical transition time as a function of load capacitance.

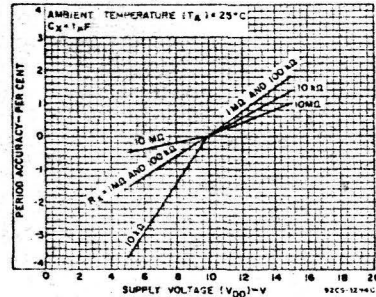


Fig. 11—Typical astable oscillator or Q, \bar{Q} period accuracy vs. supply voltage.

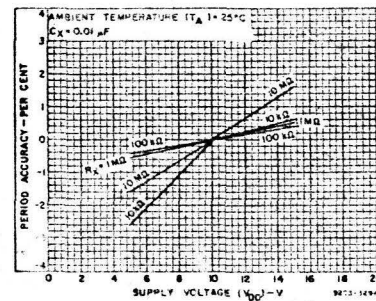


Fig. 12—Typical astable oscillator or Q, \bar{Q} period accuracy vs. supply voltage.

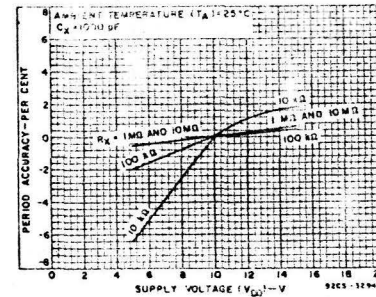


Fig. 13—Typical astable oscillator or Q, \bar{Q} period accuracy vs. supply voltage.

CD4047B Types

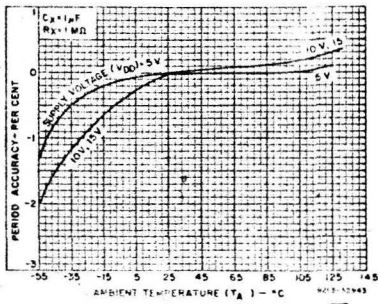


Fig. 14—Typical astable oscillator or Q, \bar{Q} period accuracy vs. ambient temperature (ultra-low frequency).

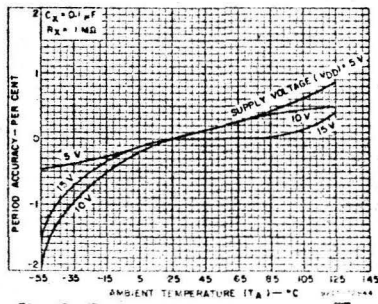


Fig. 15—Typical astable oscillator or Q, \bar{Q} period accuracy vs. ambient temperature (low frequency).

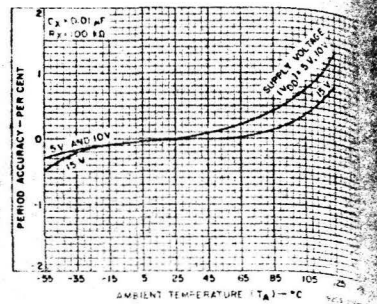


Fig. 16—Typical astable oscillator or Q, \bar{Q} period accuracy vs. ambient temperature (medium frequency).

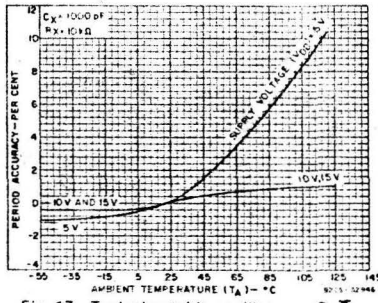


Fig. 17—Typical astable oscillator or Q, \bar{Q} period accuracy vs. ambient temperature (high-frequency).

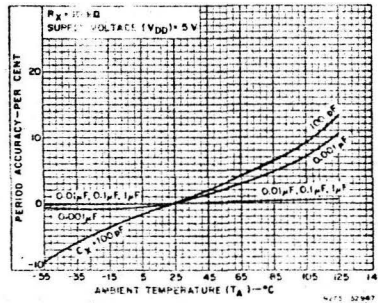


Fig. 18—Typical astable oscillator or Q, \bar{Q} period accuracy vs. ambient temperature.

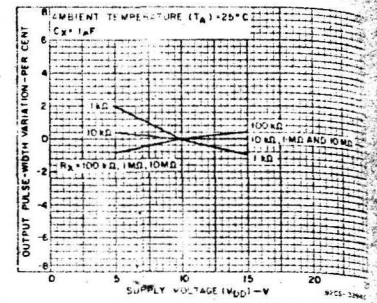


Fig. 19—Typical output pulse-width variations vs. supply voltage.

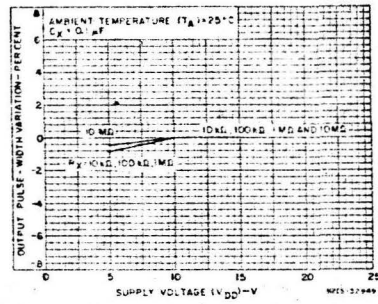


Fig. 20—Typical output pulse-width variations vs. supply voltage.

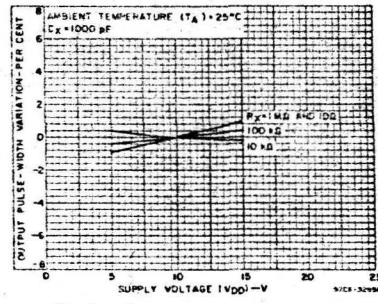


Fig. 21—Typical output pulse-width variations vs. supply voltage.

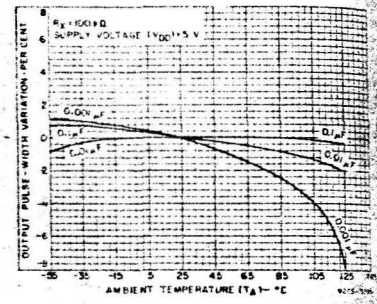


Fig. 22—Typical output pulse-width variations vs. ambient temperature.

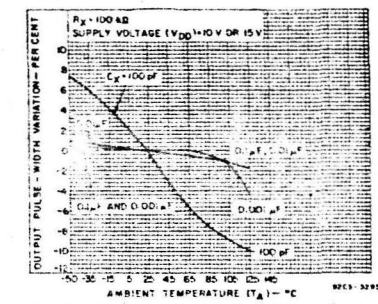


Fig. 23—Typical output pulse-width variations vs. ambient temperature.

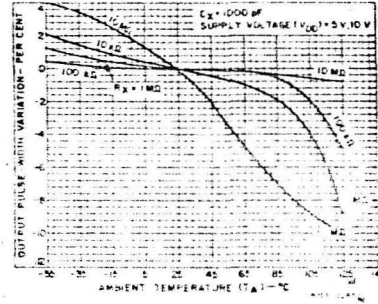


Fig. 24—Typical output pulse-width variations vs. ambient temperature.

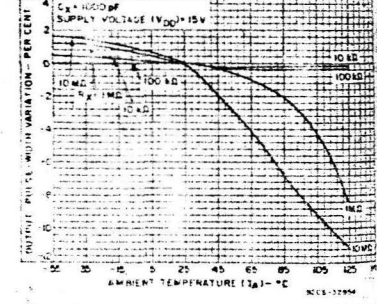


Fig. 25—Typical output pulse-width variations vs. ambient temperature.

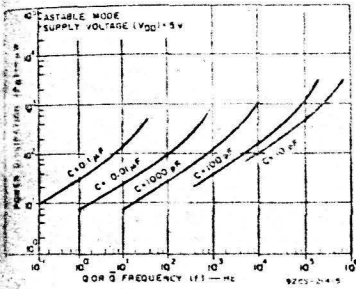


Fig. 26—Typical power dissipation vs. output frequency ($V_{DD} = 5$ V).

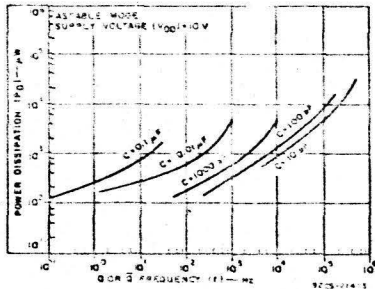


Fig. 27—Typical power dissipation vs. output frequency ($V_{DD} = 10$ V).

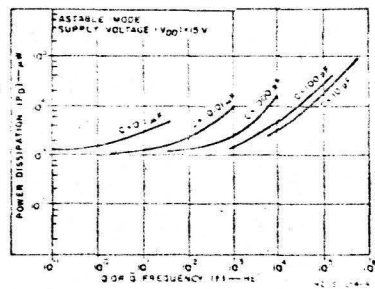


Fig. 28—Typical power dissipation vs. output frequency ($V_{DD} = 15$ V).

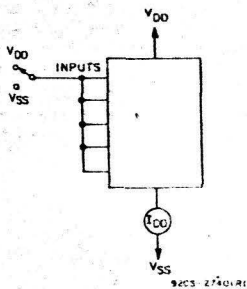


Fig. 29—Quiescent device current test circuit.

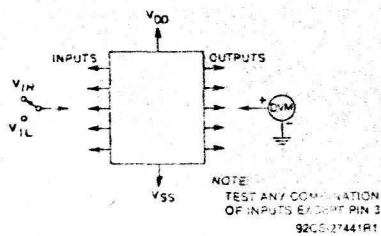


Fig. 30—Input-voltage test circuit.

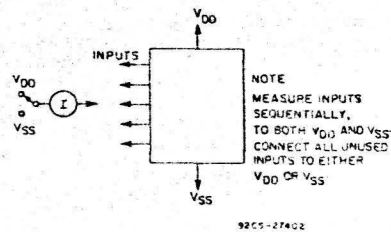


Fig. 31—Input leakage-current test circuit.

I. Astable Mode Design Information

A. Unit-to-Unit Transfer-Voltage Variations — The following analysis presents variations from unit to unit as a function of transfer-voltage (V_{TR}) shift (33%–67% V_{DD}) for free-running (astable) operation.

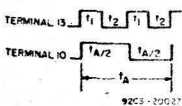


Fig. 32—Astable mode waveforms.

$$t_1 = -RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}};$$

typically, $t_1 = 1.1 RC$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}};$$

typically, $t_2 = 1.1 RC$

$$t_A = 2(t_1 + t_2)$$

$$= -2RC \ln \frac{(V_{TR}V_{DD} - V_{TR}^2)}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

Typ: $V_{TR} = 0.5 V_{DD}$ $t_A = 4.40 RC$
 Min: $V_{TR} = 0.33 V_{DD}$ $t_A = 4.62 RC$
 Max: $V_{TR} = 0.67 V_{DD}$ $t_A = 4.62 RC$

thus if $t_A = 4.40 RC$ is used, the variation will be +5%, -0% due to variations in transfer voltage.

B. Variations Due to V_{DD} and Temperature Changes — In addition to variations from unit to unit, the astable period varies with V_{DD} and temperature. Typical variations are presented in graphical form in Figs. 11 to 18 with 10 V as reference for voltage variations curves and 25°C as reference for temperature variations curves.

II. Monostable Mode Design Information
 The following analysis presents variations from unit to unit as a function of transfer-voltage (V_{TR}) shift (33% – 67% V_{DD}) for one-shot (monostable) operation.

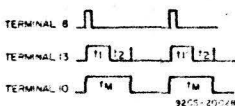


Fig. 33—Monostable waveforms.

$$t_1' = -RC \ln \frac{V_{TR}}{2V_{DD}};$$

typically, $t_1' = 1.38 RC$

$$t_M = (t_1' + t_2)$$

$$t_M = -RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(2V_{DD} - V_{TR})(2V_{DD})}$$

where t_M = Monostable mode pulse width. Values for t_M are as follows:

Typ: $V_{TR} = 0.5 V_{DD}$ $t_M = 2.48 RC$
 Min: $V_{TR} = 0.33 V_{DD}$ $t_M = 2.71 RC$
 Max: $V_{TR} = 0.67 V_{DD}$ $t_M = 2.48 RC$

thus if $t_M = 2.48 RC$ is used, the variation will be +9.3%, -0% due to variations in transfer voltage.

Note:
 In the astable mode, the first positive half cycle has a duration of t_M ; succeeding durations are $t_A/2$.

In addition to variations from unit to unit, the monostable pulse width varies with V_{DD} and temperature. These variations are presented in graphical form in Fig. 19 to 26 with 10 V as reference for voltage-variation curves and 25°C as reference for temperature variation curves.

CD4047B Types

III. Retrigger Mode Operation

The CD4047B can be used in the retrigger mode to extend the output-pulse duration, or to compare the frequency of an input signal with that of the internal oscillator. In the retrigger mode the input pulse is applied to terminal 12, and the output is taken from terminal 10 or 11. As shown in Fig. 34 normal monostable action is obtained when one retrigger pulse is applied. Extended pulse duration is obtained when more than one pulse is applied.

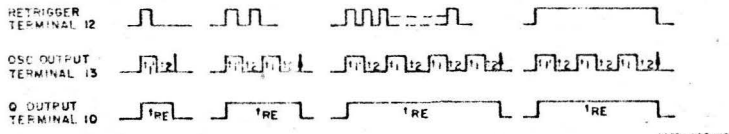


Fig. 34—Retrigger-mode waveforms.

For two input pulses, $t_{RE} = t_1' + t_1 + 2t_2$. For more than two pulses, the output pulse width is an integral number of time periods, with the first time period being $t_1' + t_2$, typically, $2.48RC$, and all subsequent time periods being $t_1 + t_2$, typically, $2.2RC$.

IV. External Counter Option

Time t_M can be extended by any amount with the use of external counting cir-

cuitry. Advantages include digitally controlled pulse duration, small timing capacitors for long time periods, and extremely fast recovery time. A typical implementation is shown in Fig. 35. The pulse duration at the output is

$$t_{ext} = (N - 1)(t_A) + (t_M + t_A/2)$$

where t_{ext} = pulse duration of the circuitry, and N is the number of counts used.

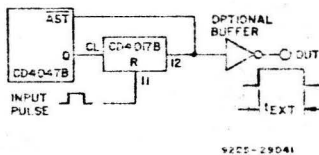


Fig. 35—Implementation of external counter option.

V. Timing-Component Limitations

The capacitor used in the circuit should be non-polarized and have low leakage (i.e. the parallel resistance of the capacitor should be at least an order of magnitude greater than the external resistor used). There is no upper or lower limit for either R or C value to maintain oscillation.

However, in consideration of accuracy, C must be much larger than the inherent stray capacitance in the system (unless this capacitance can be measured and taken into account). R must be much

larger than the COS/MOS "ON" resistance in series with it, which typically is hundreds of ohms. In addition, with very large values of R , some short-term instability with respect to time may be noted.

The recommended values for these components to maintain agreement with

tion of leakage current in the circuit shown in the static electrical characteristics. For dynamic operation the power needed to charge the external timing capacitor C is given by the following formulae:

Astable Mode:

$$P = 2CV^2f \text{ (Output at terminal No. 13)}$$

$$P = 4CV^2f \text{ (Output at terminal Nos. 10 and 11)}$$

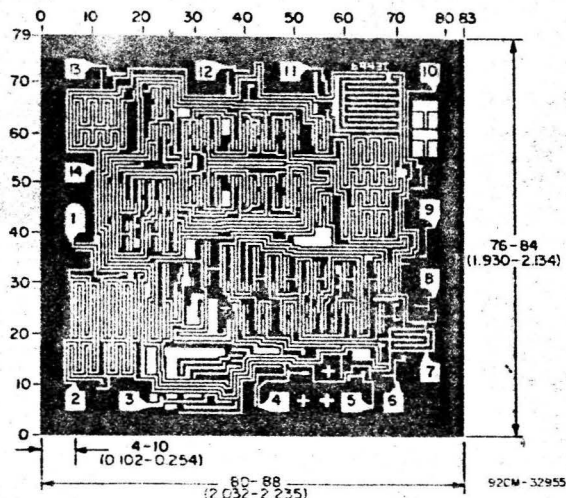
Monostable Mode:

$$P = \frac{(2.9CV^2)}{T} \text{ (Duty Cycle)}$$

(Output at terminal Nos. 10 and 11)

The circuit is designed so that most of the total power is consumed in the external components. In practice, the lower the values of frequency and voltage used, the closer the actual power dissipation will be to the calculated value.

Because the power dissipation does not depend on R , a design for minimum power dissipation would be a small value of C . The value of R would depend on the desired period (within the limitations discussed above). See Figs. 27, 28, and 29 for typical power consumption in astable mode.



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

The photographs and dimensions of the COS/MOS chip represent a chip when it is part of the wafer. When the wafer is cut into chips, the cleavage angles are 57° instead of 90° with respect to the face of the chip. Therefore, the isolated chip is actually 7 mils (0.17 mm) large in both dimensions.

Dimensions and pin layout for CD4047B.