

*Escuela Universitaria Politécnica
de
Las Palmas*



*titulo; Microprocesador aplicado en el control de
viviendas*

autor;

Armando Riquex Romero

tutor;

Sebastian Suarez Gil

Julio 1982

CONFIDENTIAL

INDICE

	pag
1.1 INTRODUCCION.....	1
2 ESTUDIO DEL MICROPROCESADOR.....	3
2.1 ESTUDIO COMPARATIVO.....	3
2.1.1 MICROPROCESADORES DE 4 BITS.....	3
2.1.2 MICROPROCESADORES DE 16 BITS.....	3
2.1.3 MICROPROCESADORES DE 8 BITS.....	4
2.2 ARQUITECTURA DEL MICROPROCESADOR 8085.....	4
2.2.1 PARES DE REGISTROS.....	4
2.2.2 ACUMULADOR.....	5
2.2.3 CONTADOR DE PROGRAMA.....	5
2.2.4 STACK POINTER.....	5
2.2.5 REGISTRO DE FLAG.....	6
2.2.6 UNIDAD ARITMETICO-LOGICA.....	7
2.2.7 DECODIFICADOR Y REGISTRO DE INSTRUCCIONES.....	7
2.2.8 UNIDAD DE INTERRUPCIONES.....	7
2.2.9 ENTRADA SALIDA SERIE.....	8
2.3 DESCRIPCION DE PATILLAS.....	8
2.3.1 BUS DE DIRECCIONES.....	9
2.3.2 BUS DE DATOS/DIRECCIONES.....	9
2.3.3 LLAVE HABILITADORA DE DIRECCION.....	9
2.3.4 LECTURA.....	9
2.3.5 ESCRITURA.....	10
2.3.6 S0, S1 y IO/M.....	10
2.3.7 LECTURA EJECUTANDOSE.....	10
2.3.8 RETENCION.....	10
2.3.9 DEMANDA DE INTERRUPCION.....	11
2.3.10 RESET.....	11
2.3.11 RELOJ.....	11
2.3.12 INTERRUPCIONES DE HARDWARE.....	12
2.3.13 ENTRADA SALIDA SERIE.....	12
3 LENGUAJE ENSAMBLADOR.....	13
3.1 CONCEPTO DEL LENGUAJE ENSAMBLADOR.....	13
3.1.1 JUEGO DE CARACTERES.....	13

3.1.2	FORMATO DE LA LINEA FUENTE.....	14
3.1.2.1	CAMPO DE ETIQUETA.....	14
3.1.2.2	CAMPO DEL CODIGO DE OPERACIONES.....	15
3.1.2.3	CAMPO DE OPERANDOS.....	15
3.1.2.4	CAMPO DE COMENTARIOS.....	15
3.1.3	INFORMACION DEL CAMPO DE OPERANDOS.....	15
3.1.4	TIPO DE EXPRESIONES EN EL ENSAMBLADOR.....	17
3.2	JUEGO DE INSTRUCCIONES DEL 8085.....	18
3.2.1	INSTRUCCIONES DE TRANSFERENCIAS.....	19
3.2.2	INSTRUCCIONES ARITMETICAS Y LOGICA.....	22
3.2.3	INSTRUCCIONES DE SALTO.....	30
3.2.4	INSTRUCCIONES DE LLAMADA.....	31
3.2.5	INSTRUCCIONES DE RETORNO.....	31
3.2.6	INSTRUCCIONES DE ENTRADA/SALIDA Y DE CONTROL.....	32
3.3	SEUDOINSTRUCCIONES.....	35
3.4	MACRO.....	36
3.4.1	DEFINICION DE MACRO.....	37
3.4.2	INSTRUCCIONES MACRO.....	37
3.4.3	OPERADORES ESPECIALES.....	39
3.4.4	LLAMADAS DEL MACRO.....	39
4	DISEÑO DEL HARDWARE DEL MICROPROCESADOR.....	41
4.1	CONEXION DEL MICROPROCESADOR.....	43
4.2	DECODIFICADOR DE DIRECCIONES.....	43
4.3	MEMORIA RAM.....	46
4.3.1	CONEXION DEL SEGUNDO BLOQUE DECODIFICADOR.....	47
4.3.2	ESTUDIO DE LA MEMORIA RAM 8155.....	48
4.3.3	CICLO DE ESCRITURA Y LECTURA.....	50
4.3.4	CONEXION AL SISTEMA.....	52
4.3.5	DIRECCIONAMIENTO DE MEMORIA Y PUERTAS.....	52
4.4	MEMORIA ROM.....	54
4.4.1	CONEXION AL SISTEMA.....	55
4.4.1.1	LATCH DE DIRECCIONES.....	55
4.4.1.2	CONEXION DE LA MEMORIA ROM.....	57
4.4.2	CICLO DE LECTURA.....	58

4.5	TECLADO.....	59
4.5.1	CONTROL DE TECLADO.....	59
4.5.2	CONEXION DE DISPLAY Y TECLADO.....	63
4.6	ELEMENTOS UTILIZADOS EN EL MONTAJE.....	65
5	SISTEMA PERIFERICO DE CONTROL.....	66
5.1	FUNCION HORARIA.....	67
5.1.1	CIRCUITO CONTADOR.....	68
5.1.2	DIVISOR DE FRECUENCIA.....	69
5.1.3	SEÑAL HORARIA.....	71
5.1.4	DISPLAY DE LA SEÑAL HORARIA.....	74
5.1.5	MATERIAL EMPLEADO.....	75
5.2	SISTEMA DE ILUMINACION.....	76
5.2.1	SALIDA DE SELECCION.....	76
5.2.2	SISTEMA ENCENDER/APAGAR.....	78
5.2.3	SISTEMA ENCENDIDO/APAGADO.....	81
5.2.4	SISTEMA ENTRADA/SALIDA Y ACTIVADO.....	82
5.2.5	SISTEMA DE ACTIVACION DEL CLEAR.....	84
5.2.6	SISTEMA ACTIVADOR DE INTERRUPCIONES DE HARDWARE.....	85
5.2.7	SISTEMA DE CONEXION.....	86
5.2.8	DIAGRAMA DE BLOQUES Y MATERIAL EMPLEADO...	87
5.3	SISTEMA DE CONTROL.....	88
5.3.1	DETECTOR DE POZOS.....	89
5.3.2	MATERIAL EMPLEADO.....	89
5.4	SISTEMA DE ALARMA.....	90
5.4.1	MATERIAL EMPLEADO.....	91
6	ORGANIGRAMA.....	92
7	PROGRAMAS.....	103
	DIAGRAMAS	

1.1 INTRODUCCION

La finalidad de este proyecto es la de realizar un estudio amplio sobre microprocesadores, que llevará incluido tanto el estudio teórico, como el estudio práctico del diseño, el cual se encuentra formado por el estudio del hardware necesario para la construcción del microcomputador como el estudio del diseño de diferentes periféricos que se emplean para la ejecución de la función particular a la cual va destinado el microcomputador.

La aplicación particular que se va a dar al microcomputador es doble, por un lado permitirá la realización de una función de gestión, la cual permitirá al usuario la ejecución de programas. Esta función de gestión se efectúa aprovechando los tiempos muertos que tiene el microcomputador durante la ejecución de la segunda función a la cual va destinado.

Esta segunda función, es la de control, la cual inicialmente está diseñada para el control de la lavadora, lavaplatos, cocina, termo y pozos, siempre teniendo en cuenta el sitio al cual irá instalado, debido a que el sistema se diseña sin tener en cuenta ninguna vivienda en particular.

Así mismo realiza también el manejo totalmente automático del sistema de iluminación de la vivienda, que inicialmente se ha supuesto para un máximo de diez y seis habitaciones, este sistema nos permitirá detectar entradas y salidas, realizando con ello el apagado o encendido según las condiciones, y estado de la luz.

Por otro lado permitirá la realización de un control del sistema de alarmas, que inicialmente estará diseñado para robos, aunque deja posibilidades para ampliaciones hasta un total de ocho.

El sistema actuará de modo distinto dependiendo del lugar de donde proceda la alarma.

Para la realización de este proyecto se ha dividido el trabajo en los siguientes apartados o temas:

- . La primera parte estará formada por un pequeño estudio comparativo de los diferentes microprocesadores existentes en el mercado, con la selección del más ideal para este proyecto. Así mismo contendrá un estudio del microprocesador que se seleccione. También estará incluido el estudio del lenguaje ensamblador que emplee el microprocesador elegido.
- . Un segundo apartado en el cual se realizará el estudio del hardware necesario para el diseño del microcomputador.
- . El apartado tercero se encontrará formado por los distintos periféricos empleados en este proyecto para la correcta realización de las funciones que deberá desarrollar el microprocesador.
- . El cuarto apartado estará formado por los distintos organigramas y programas necesarios para la perfecta ejecución de las funciones a realizar.
- . Como final, tenemos el estudio del presupuesto y los distintos diagramas de los circuitos empleados en el diseño del sistema total, así como el diagrama electrónico del sistema.

Antes de iniciar el estudio y desarrollo del proyecto hay que dejar bien claro su carácter general, esto es, que no se hace el diseño para ninguna vivienda en particular

2 ESTUDIO DEL MICROPROCESADOR

2.1 ESTUDIO COMPARATIVO

Dentro de la amplia gama de microprocesadores que existen hoy por hoy en el mercado, la elección de uno en particular se hace difícil. Debido a esto, la mejor forma de plantear este problema será la de descartar los microprocesadores no válidos para este proyecto.

Para la realización de esta selección clasificaremos los microprocesadores por el número de bits que forman sus buses de datos, así tenemos:

2.1.1 MICROPROCESADORES DE 4 BITS

Aunque siendo su principal aplicación, a la hora de su empleo la de control, y siendo esta la principal misión que deberá llevar a cabo el microprocesador en este proyecto se elimina su utilización debido a las razones siguientes:

- . Debido al inconveniente de su limitación en lo referente al cálculo matemático, debido a lo cual la función de gestión quedaría muy limitada.
- . Otro motivo que nos obliga a su descartación es lo reducido del tamaño de la palabra de entrada/salida que al ser de cuatro bits limitaría mucho la función de control, y así mismo la complicaría
- . Otro problema que tiene es su limitación en cuanto al direccionamiento posible de memoria que por regla general va de 256 byte a 4 Kbyte, a causa de lo cual no cubre las exigencias propias de este proyecto, pues solamente en el programa de control se calcula en 4 Kbyte.

2.1.2 MICROPROCESADORES DE 16 BITS

Aunque debido a su amplio bus de datos, y así mis_

mo siendo la palabra de entrada/salida amplia, por ello siendo ideal tanto para los cálculos matemáticos y para la función de control se eliminará su utilización debido fundamentalmente a sobrepasar las exigencias que se plantearan en este proyecto, por lo cual el microprocesador se encontrará subaprovechado.

2.1.3 MICROPROCESADORES DE 8 BITS

Debido a que su bus de datos es lo suficientemente amplio para el tratamiento de los cálculos matemáticos, y así mismo también lo es para la ejecución de la función de control. Y por otro lado la palabra de entrada salida, también de ocho bits, lo que es ideal en la aplicación de control, se estima que este tipo de microprocesadores es el más ideal para este proyecto.

Dentro de esta gama, y teniendo en cuenta las exigencias propias del proyecto, se elige el microprocesador 8085, debido a:

- Amplio desarrollo del circuito asociado de hardware necesario para el diseño del microcomputador, especialmente diseñado para él
- Capacidad de interrupciones por hardware, cuestión importante, por ser estas muy necesarias a la hora de la realización de la función de control.

2.2 ARQUITECTURA DEL MICROPROCESADOR 8085

Tal como se muestra en la figura 2.1, el microprocesador 8085 está formado fundamentalmente por los bloques siguientes:

2.2.1 PARES DE REGISTROS

Formado por tres pares de registros, BC, DE, HL que pueden ser utilizados tanto como pares, en cuyo caso su capacidad es de diez y seis bits, o bien como

seis registros individuales, en cuyo caso su capacidad sera entonces de ocho bits cada uno.

Estos registros pueden ser utilizados desde el exterior por medio de sentencias en el programa del usuario. Tambien podran ser usados, llegado el caso como acumuladores secundarios.

Hay que tener en cuenta que el par de registros HL puede ser considerado como registro especial debido a que cuando por programa, alguna sentencia, sea tanto de transferencia como ann siendo una sentencia aritmético o lógica, se hace referencia a memoria, la dirección de memoria afectada vendra determinada por el contenido de este par de registros HL.

2.2.2 ACUMULADOR

Registro de ocho bits, el cual puede ser cargado indistintamente tanto desde el bus interno de datos, como directamente desde la unidad aritmético-lógica (A.L.U.), y tiene por finalidad la de ejecutar tanto las operaciones aritméticas como las lógicas, por medio de ordenes de la A.L.U., y almacenando posteriormente los resultados de estas operaciones.

2.2.3 CONTADOR DE PROGRAMA

Registro compuesto por diez y seis bits, y siendo un registro especial, tiene por finalidad la de contener la dirección de la siguiente instrucción que se deberá ejecutar. El contenido de este registro se vera incrementado en una unidad durante cada ciclo de instrucción, durante el ciclo de busqueda.

2.2.4 STACK POINTER

Registro formado por diez y seis bits, el cual esta diseñado para almacenar la dirección a la cual se encuentra apuntando el STACK.

El STACK tiene por finalidad la de almacenar el

contador de programa cada vez que se efectue una interrupción, o una instrucción de llamada a una subrutina.

Igualmente el STACK puede ser empleado como una pila, para el almacenamiento de datos durante la ejecución de programas, realizandose esta función por medio de sentencias en el programa (apartado 3.2).

Asi mismo tenemos que este registro de STACK POINTER es accesible desde el exterior por medio de sentencias en el programa (apartado 3.2).

Para una perfecta comprensión del funcionamiento de este registro veamos un ejemplo:

- . En el caso de que se efectue una introducción de datos en la pila, el contenido del STACK POINTER se vera decrementado en tantas unidades como datos sean introducidos en la pila.
- . En el caso de que la operación a efectuar sea una extracción el contenido del STACK POINTER se incrementará en tantas unidades como datos sean extraídos.

2.2.5 REGISTRO DE FLAG

Aunque a la hora de ser mostrado el estado de los flags, esto se realizará en una palabra de 8 bits, la palabra solo tendra cinco con sentido, los otros tres permaneceran fijos en un estado. La distribución de los estados de los flags en la palabra sera el mostrado en la figura siguiente

S	Z	X	AC	X	P	X	CY
---	---	---	----	---	---	---	----

- . FLAG DE CARRY (ACARREO): Este flags es activado o desactivado por medio de las operaciones aritméticas, y nos indicará que ha existido desbordamiento en el último bit del acumulador durante la ejecución de dicha operación.
- . FLAG DE AUXILIAR CARRY: Este flags es activado en el caso de que exista desbordamiento entre el cuarto y quinto bit durante la ejecución de una operación

aritméticas.

- . FLAG DE SIGNO: Nos indicará si el número existente en el acumulador es positivo o negativo. En el caso de que el signo venga determinado por el bit de mayor peso del acumulador, el rango de almacenamiento estará comprendida entre -128 a + 127.
- . FLAG DE CERO: Es activado a "1" en el caso de que el contenido del acumulador sea cero (\emptyset), en el caso contrario sera desactivado.
- . FLAG DE PARIDAD: Este bit sera activado cuando el número de bits del acumulador sea par los "1", y desactivado en el caso contrario.

2.2.6 UNIDAD ARITMETICO-LOGICA (A.L.U.)

Esta unidad, que consta de acumulador y de registro de flags, disponiendo así mismo de una serie de registros temporales de uso exclusivo de la C.P.U. (Unidad Central de Proceso), no siendo por ello accesible desde el exterior.

Esta unidad tendra por finalidad la de ejecutar todas las ordenes de operaciones aritméticas y lógicas que deba efectuar la C.P.U..

2.2.7 DECODIFICADOR Y REGISTRO DE INSTRUCCIONES

El registro de instrucciones esta formado por ocho bits, y tiene por misión la de tomar la información desde el bus interno y retenerla hasta que pase a la unidad decodificadora, la cual tiene por finalidad la de preparar la información para su posterior utilización por las distintas unidades, tanto de la C.P.U., como las del circuito asociado a esta.

2.2.8 UNIDAD DE INTERRUPCIONES

Por medio de esta unidad tendra acceso a la C.P.U. las distintas señales de interrupción de las cuales dispone el microprocesador 8085. Produciendose los saltos

siguientes:

TRAP.....24H

RST 7.5.....3CH

RST 6.5.....34H

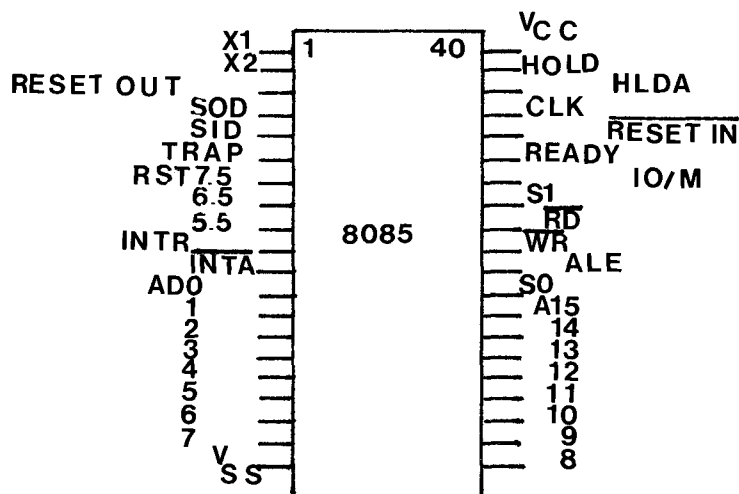
RST 5.5.....2CH

con los niveles de prioridad dados por el orden indicado.

2.2.9 ENTRADA SALIDA SERIE

A travez de esta unidad se produciran las entradas y salidas de datos en serie en respuesta a las instrucciones SIM y RIM, que pueden ser dadas a travez del programa.

2.3 DESCRIPCION DE PATILLAS (PINES)



Tal como se muestra en la figura anterior, el microprocesador 8085 esta encapsulado en una pastilla con cuarenta patillas, con las siguientes señales de entrada en cada una de ellas, y la función a realizar por cada una de las señales.

2.3.1 BUS DE DIRECCIONES/A8-A15

Bus de direcciones, por medio del cual tienen salida los ocho bits de mayor peso, más significativos, de la dirección de memoria. También tienen su salida por este bus la dirección de la puerta de entrada/salida.

Las salidas correspondientes a estas señales permanecerán en tri-state (alta impedancia) mientras las señales HOLD, HALT y RESET se encuentren activadas.

2.3.2 BUS DE DATOS/DIRECCIONES/AD0-AD7

Bus bidireccional, por medio del cual se efectuarán las entradas y salidas de datos desde o hacia el resto del sistema durante el segundo ciclo de reloj.

Y también se efectuará la salida de los ocho bits de menor peso de bus de direcciones, o los ocho bits de dirección de puertas de entrada salida.

2.3.3 LLAVE HABILITADORA DE DIRECCIONES/ALE

Señal de salida, que se producirá durante el primer ciclo de reloj, y que permitirá la llegada de la dirección al periférico que se seleccione.

Así mismo esta señal es utilizada para cargar el estado de la información

2.3.4 LECTURA/RD

Señal de salida, que cuando se encuentre a un nivel bajo, la información contenida en la memoria o en la puerta de entrada/salida seleccionada por la dirección es leída, debido a la cual esta información pasará al bus de datos.

Cuando las señales HOLD, HALT y RESET se encuentren activadas, esta salida se pondrá en un nivel de alta impedancia.

2.3.5 ESCRITURA/ \overline{WR}

Señal de salida, que cuando se encuentre a un nivel bajo la información existente en el bus de datos sera transferido a la memoria o puerta de entrada/salida que se seleccione.

En el caso de que las señales HOLD, HALT y RESET se encuentren activadas, esta salida permanecerá en un estado de alta impedancia.

2.3.6 S \emptyset , S1 y IO/ \overline{M}

Señales de salida, que según sean sus estados se ejecutaran algunas de las funciones siguientes:

<u>IO/M</u>	<u>S\emptyset</u>	<u>S1</u>	<u>FUNCION</u>
\emptyset	\emptyset	\emptyset	Escritura en memoria.
\emptyset	1	\emptyset	Lectura de memoria.
1	\emptyset	1	Escritura en I/O.
1	1	\emptyset	Lectura de I/O.
\emptyset	1	1	Orden de búsqueda.
1	1	1	Interrupción reconocida.
*	\emptyset	\emptyset	HALT.
*	X	X	HOLD.
*	X	X	RESET.
	*		tri-state
	X		desconocida

2.3.7 LECTURA EJECUTANDOSE/READY

Señal de entrada, que mientras se este ejecutando una orden de transferencia desde memoria o puerta de entrada/salida se encontrará a nivel alto.

Una vez la orden ha sido ejecutada esta señal retornará a su nivel bajo.

2.3.8 RETENCION/HOLD, HALD

La primera de las señales, de entrada, nos indica,

en su nivel alto, que la C.P.U. entra en un estado de retención, permaneciendo los buses de salida de esta unidad en un estado de alta impedancia. La segunda de las señales, de salida, es una respuesta de la C.P.U. que nos indicará que la retención ha sido reconocida, por lo cual la C.P.U. se encontrará en un estado de alta impedancia.

2.3.9 DEMANDA DE INTERRUPCION/INTR, INTA

La primera es una señal de entrada usada para la ejecución de una demanda de interrupción, y cuando esta se encuentre a un nivel alto, el contador de programa podra ser inhabilitado.

Asi mismo mientras dure esta señal, una instrucción RESTART o CALL podra ser ejecutada, para poder efectuar un salto a subrutina.

La segunda señal de salida, nos indicará que la demanda de interrupción generada ha sido reconocida por la C.P.U..

2.3.10 RESET IN, RESET OUT

La primera señal, de entrada, nos permite una vez que la señal ha sido activada poner el contador de programa a cero (\emptyset).

La segunda señal, de salida, que nos permite sincronizada con la primera efectuar un RESET en los demás circuitos que forman el microcomputador y periféricos.

2.3.11 RELOJ/X1, X2 y CLK

Por medio de las patillas X1 y X2 tienen su entrada la señal de reloj, que nos determinan los periodos o ciclos de la C.P.U. y del circuito asociado, por medio de la señal CLK de salida. Asi mismo la salida CLK puede ser aprovechada para los circuitos periféricos asociados al microcomputador.

2.3.12 INTERRUPCIONES DE HARDWARE/RST 5.5.6.5.7.5 y TRAP

Señales de entrada, por medio de las cuales son activadas las cuatro interrupciones de hardware de las cuales esta provista el microprocesador 8085.

2.3.13 ENTRADA SALIDA SERIE/SID,SOD

Por la primera de las patillas indicadas se efectuará la entrada de datos en serie, cuando se a de efectuarse una instrucción RIM.

La segunda de las patillas sera empleada para la salida de todos los datos en serie, cuando se ejecutará una instrucción SIM.

3 LENGUAJE ENSAMBLADOR

3.1 CONCEPTOS DEL LENGUAJE ENSAMBLADOR

A la hora de realizar un programa para el microprocesador 8085, y más especialmente cuando para ello se hace uso de unidades de desarrollo, hay que tener muy presente los siguientes conceptos:

3.1.1 JUEGO DE CARACTERES

En el lenguaje ensamblador se hace uso de los siguientes tipos de caracteres:

- . Letras de alfabeto desde la A a la Z.
- . Los digitos del 0 al 9.
- . Caracteres especiales, que son:

+	signo más	-	signo menos
*	asterisco	/	slash
,	coma	'	apostrofe
)	parentesis cierre	(parentesis abertura
&	ampersand	@	signo comercial
\$	signo del dolar	:	doble punto
?	interrogación	=	signo igual
<	mayor que	>	menor que
%	porcentaje	!	exclamación
	espacio en blanco	;	punto y coma
HT	tabulación horizontal	CR	carriage return
FF	fin de linea		

Realizando algunos de estos signos especiales realizan funciones de delimitador en el lenguaje ensamblador, y estos son los signos y sus funciones:

blanco	Separador de campos.
,	Separador de operandos en el campo de operandos. Incluyendo los parametros MACRO.
'...'	Delimitador de caracteres ASCII.
(...)	Delimitador de expresiones.

CR	Indicación de terminación.
HT	Separador de campos.
;	Delimitador del campo de comentarios.
:	Delimitador de simbolos que son utili_ zados como etiquetas.
&	Delimitador del texto prototipo de MACRO, o parametro de concadenación.
%	Delimitador de los parametros MACRO que deben ser evaluados con prioridad.
<.>	Delimitador de parametros de MACRO del texto.
!	Delimitador de un caracter de escape.
::	Delimitador del campo de comentarios en definiciones de MACRO.

3.1.2 FORMATO DE LA LINEA FUENTE

Una instrucción en el lenguaje ensamblador podra contener uno o más de los campos que a continuación se indican.

3.1.2.1 CAMPO DE ETIQUETAS

En primer lugar tenemos que reseñar que el uso de las etiquetas es opcional. Una etiqueta es un nom_ bre simbolico que sirve para la localización de una dirección de memoria cuando se ejecuta un salto o lla_ mada en el lenguaje ensamblador.

Estas etiquetas estaran formadas por una palabra que contendra de uno a seis caracteres alfanumericos, siendo siempre el primer caracter alfabetico, o uno de los caracteres especiales "?" o " a ". Asi mismo la etiqueta se encontrará terminada por un doble pun_ to (:).

Hay que tener bien en cuenta que un nombre utili_ zado como etiqueta solamente lo podra ser una vez en el mismo programa

3.1.2.2 CAMPO DEL CODIGO DE OPERACIONES

Este campo contendrá las operaciones que deberán efectuarse con la instrucción, esta operación vendrá expresada por su código nemotécnico (apartado 3.2).

3.1.2.3 CAMPO DE OPERANDOS

Este campo nos especificará el dato que va a ser operado por la operación que se ha indicado en el campo de operaciones. Pero hay que tener en cuenta que algunas operaciones no hace uso de este campo, y por contra algunas operaciones hacen uso de dos operandos en dicho campo. En este caso, y como regla general, el primer operando indicará el registro de destino, y el segundo indicará el dato o registro de procedencia.

3.1.2.4 CAMPO DE COMENTARIOS

Este campo contendrá cualquier tipo de comentario o aclaración que se considere como necesaria, teniendo presente que esta información dada en el campo de comentarios no será tenida en cuenta en ningún caso por el sistema.

Estos comentarios irán separados del resto de la instrucción por medio de un punto y coma (;), el cual delimita el campo.

3.1.3 INFORMACION DEL CAMPO DE OPERANDOS

En el campo de operandos se puede entregar alguno de los siguientes tipos de información:

- . DATOS HEXADECIMALES: En este caso el dato se encuentra en código hexadecimal y para su reconocimiento ira precedido de una "H".
- . DATOS DECIMALES: En este caso el dato estará en código decimal, e ira precedido de una "D" o sin letra para su reconocimiento

- . DATOS OCTALES: El dato vendra en código octal, y para su reconocimiento ira precedido de una "Q" o una "O".
- . DATOS BINARIOS: El dato se encuentra en código binario, y seguido de una "B", que lo identificará.
- . LOCALIZACION DEL CONTADOR: El caracter "\$" referido a la localización del contador contendra la dirección de la instrucción a ejecutar, o el dato que se desea ensamblar.
- . CONSTANTES ASCII: Uno o más caracteres ASCII encerrado entre comillas definiran una constante ASCII. dos comillas sucesivas también representaran una constante ASCII.

Los caracteres ASCII en el microprocesador 8085 son:

NUL	00	SOH	01	STX	02
ETX	03	EOT	04	ENQ	05
ACK	06	BEL	07	BS	08
HT	09	LF	0A	VT	0B
FF	0C	CR	0D	SO	0E
SI	0F	DLE	10	DC1	11
DC2	12	DC3	13	DC4 _c	14
NAK	15	SYN	16	ETB	17
CAN	18	EM	19	SUB	1A
ESC	1B	FS	1C	GS	1D
RS	1E	US	1F	SP	20
!	21	"	22	#	23
\$	24	%	25	&	26
'	27	(28)	29
*	2A	+	2B	,	2C
-	2D	.	2E	/	2F
0	30	1	31	2	32
3	33	4	34	5	35
6	36	7	37	8	38
9	39	:	3A	;	3B
<	3C	=	3D	>	3E
?	3F	a	40	A	41

B	42	C	43	D	44
E	45	F	46	G	47
H	48	I	49	J	4A
K	4B	L	4C	M	4D
N	4E	O	4F	P	50
Q	51	R	52	S	53
T	54	U	55	V	56
W	57	X	58	Y	59
Z	5A	[5B	\	5C
]()	5D	^ ↑	5E	-(←)	5F
`	60	a	61	b	62
c	63	d	64	e	65
f	66	g	67	h	68
i	69	j	6A	k	6B
l	6C	m	6D	n	6E
o	6F	p	70	q	71
r	72	s	73	t	74
u	75	v	76	w	77
x	78	y	79	z	7A
{	7B		7C	}	7D
~	7E	DEL	7F		

- . ETIQUETAS ASIGNADORAS DE VALOR: Por medio de las expresiones SET y EQU se pueden asignar valores determinados a una etiqueta que ha sido utilizada en un programa.
- . EXPRESIONES: Todos los tipos de operandos pueden ser combinados por operaciones para formar una sola expresión. Un ejemplo de ello viene dado por el localización de programa (\$ + 6) que es una expresión que combina la localización de contador y un número decimal, el 6.

3.1.4 TIPOS DE EXPRESIONES EN EL ENSAMBLADOR

Dentro del lenguaje ensamblador se dispone de los siguientes tipos de operadores:

--. Operadores aritméticos, que son:

- + adición.
- sustracción.
- * multiplicación.
- / división.

MOD modulo, el resultado es la parte real de una división.

--. Operandos lógicos, que son:

- NOT complemento a uno.
- AND AND lógico.
- OR OR lógico.
- XOR OR-exclusivo lógico.

--. Operadores de cambio, que son:

- y SHR x cambia el operador "y" a la derecha del bit de posición de "x".
- y SHL x idem, pero a la izquierda.

--. Operadores de comparación, que son:

- EQ igual.
- NE no igual.
- LT menor que.
- LE menor o igual que.
- GT mayor que.
- GE mayor o igual que.
- NUL Operador especial utilizado para pruebas de parametros de MACRO.

Los operadores de comparación nos contestaran afirmativamente o no, según la comparación sea cierta o no.

3.2 JUEGO DE INSTRUCCIONES DEL 8085

Antes de iniciar el desarrollo del juego de instrucciones utilizados para el microprocesador 8085, debemos recordar que cuando una instrucción afecta a memoria, la dirección de memoria que se va a utilizar en la instrucción viene determinada por el contenido del par de registros HL.

3.2.1 INSTRUCCIONES DE TRANSFERENCIA

-. MOVER:

La instrucción nos permitirá desplazar el contenido de un registro a otro, su formato general es:

MOV reg1,reg2					
MOV	A,A	7F	MOV	B,A	47
	A,B	78		B,B	40
	A,C	79		B,C	41
	A,D	7A		B,D	42
	A,E	7B		B,E	43
	A,H	7C		B,H	44
	A,L	7D		B,L	45
	A,M	7E		B,M	46
MOV	C,A	4F	MOV	D,A	57
	C,B	48		D,B	50
	C,C	49		D,C	51
	C,D	4A		D,D	52
	C,E	4B		D,E	53
	C,H	4C		D,H	54
	C,L	4D		D,L	55
	C,M	4E		D,M	56
MOV	E,A	57		H,A	67
	E,B	58		H,B	60
	E,C	59		H,C	61
	E,D	5A		H,D	62
	E,E	5B		H,E	63
	E,H	5C		H,H	64
	E,L	5D		H,L	65
	E,M	5E		H,E	66
MOV	L,A	67	MOV	M,A	77
	L,B	68		M,B	70
	L,C	69		M,C	71
	L,D	6A		M,D	72
	L,E	6B		M,E	73
	L,H	6C		M,H	74
	L,L	6D		M,L	75
	L,M	6E		M,M	76

ninguna de estas instrucciones afectaran a los flags.

-. **MOVER INMEDIATAMENTE:**

El contenido del segundo byte de la instrucción es transferido al registro indicado por dicha instrucción, su formato general es:

```

MVI reg,dato
MVI A,dato    3E
    B,dato    06
    C,dato    0E
    D,dato    16
    E,dato    1E
    H,dato    26
    L,dato    2E
    M,dato    36
  
```

en ninguno de los casos son afectados los flags.

-. **INTERCAMBIAR PAR HL CON DE:**

El contenido del par de registros HL es transferido al par de registro DE, y el contenido de DE al par HL. Su formato es

```

XCHG    3D
  
```

-. **CARGAR INMEDIATAMENTE PAR DE REGISTROS:**

Instrucción formada por tres byte, siendo el primero de ellos el código de operaciones, y los otros dos son la información que se desea almacenar en el par de registros indicados en la instrucción, su formato general es:

```

LXI reg,dato
LXI B,dato    01
    D,dato    11
    H,dato    21
    SP,dato   31
  
```

no afectará a ningún flags.

-. **CARGAR EL ACUMULADOR INDIRECTAMENTE:**

Por medio de esta instrucción se carga el acumulador

con el contenido de la memoria, cuya dirección viene determinada por el contenido del par de registro especificado en la instrucción su formato general es:

```
LDAX reg
LDAX B    ØA
        D    1A
```

no afectará a ningún flags.

-. CARGAR DIRECTAMENTE EL PAR DE REGISTROS HL:

Con esta instrucción se cargará el registro L con el contenido de la dirección especificada en la instrucción, y el registro H con el contenido de la dirección de memoria consecutiva. Su formato es:

```
LHLD dirección    2A
```

no afectará a ningún flags.

-. CARGAR EL ACUMULADOR DIRECTAMENTE:

El acumulador será cargado con el contenido de la dirección de memoria que se especifica en la instrucción, su formato es:

```
LDA dirección    3A
```

no afectará a ningún flags.

-. ALMACENAR DIRECTAMENTE EL ACUMULADOR:

El contenido del acumulador será almacenado en la dirección de memoria dada en la instrucción, su formato es:

```
STA dirección    32
```

no afectará a ningún flags.

-. ALMACENAR INDIRECTAMENTE EL ACUMULADOR:

Por medio de esta instrucción se almacena el contenido del acumulador en la dirección de memoria determinada por el contenido del par de registro dado en la propia instrucción, su formato general es:

```
STAX reg
STAX B    Ø2
        D    12
```

no afectará a ningún flags.

--. ALMACENAR DIRECTAMENTE EL PAR DE REGISTRO HL:

El contenido del registro L es almacenado en la dirección de memoria indicada en la instrucción, y el contenido del registro H en la dirección de memoria consecutiva, su formato es:

SHLD dirección

no afectará a ningún flag.

3.2.2 INSTRUCCIONES ARITMETICAS Y LOGICAS

--. SUMA:

Estas instrucciones sumaran el contenido del registro especificado en dichas instrucciones, al contenido del acumulador, su formato general es:

```

ADD reg
ADD  A      87
     B      80
     C      81
     D      82
     E      83
     H      84
     L      85
     M      86

```

serán afectados todos los flags.

--. SUMA INMEDIATA:

El contenido del acumulador es sumado con el dato entregado por el segundo byte de la instrucción, su formato es:

ADI dato C6

--. SUMA CON ACARREO:

El contenido del registro indicado en la instrucción es sumado con el contenido del acumulador más el acarreo existente, su formato general es:

```

ADC reg
ADC  A      8F
     B      88

```

ADC	C	89
	D	8A
	E	8B
	H	8C
	L	8D
	M	8E

afectaran a todos los flags.

-. SUMA INMEDIATA CON ACARREO:

El dato entregado por el segundo byte de la instrucción más el acarreo existente es sumado al contenido del acumulador, su formato es:

ACI dato CE

afectará a todos los flags.

-. SUMA DE PAR DE REGISTROS:

El contenido del par de registro que se indica en la instrucción es sumado al contenido del par de registro HL, y el resultado es almacenado en este par de registro HL, su formato general es:

	DAD	reg
DAD	B	09
	D	19
	H	29
	SP	39

no afectaran a ningun flags.

-. RESTA:

El contenido del registro indicado por la instrucción es restado del contenido del acumulador, su formato general es:

	SUB	reg
SUB	A	97
	B	90
	C	91
	D	92
	E	93

```

SUB H    94
        L    95
        M    96

```

afectarán a todos los flags.

-. RESTA INMEDIATA:

El dato indicado en el segundo byte de la instrucción es restado del contenido del acumulador, su formato es:

```

SUI dato    D6

```

afectará todos los flags.

-. RESTA CON BORROW:

El contenido del registro que se indica en la instrucción más el BORROW es restado del contenido del acumulador, su formato general es:

```

SBB reg
SBB A    9F
        B    98
        C    99
        D    9A
        E    9B
        H    9C
        L    9D
        M    9E

```

afectarán a todos los flags.

-. RESTA INMEDIATA CON BORROW

El dato entregado por el segundo byte de la instrucción más el BORROW es restado del contenido del acumulador, su formato es:

```

SBI dato    DE

```

afectará a todos los flags.

-. INCREMENTAR REGISTROS

Por medio de estas instrucciones se incrementará en una unidad el contenido del registro que se especifica en las mismas, su formato general es:

```

INR reg

```

INR	A	3C
	B	04
	C	0C
	D	14
	E	1C
	H	24
	L	2C
	M	34

solamente afectaran a los flags Z, S, P y AC.

-. INCREMENTAR PAR DE REGISTROS:

Con estas instrucciones se incrementará en una unidad el contenido del par de registros indicado por la misma, su formato general es:

	INX	reg
INX	B	03
	D	13
	H	23
	SP	33

no afectaran a ningun flags.

-. DECREMENTAR REGISTROS:

El contenido del registro indicado en la instrucción sera decrementado en una unidad, su formato general es:

	DCR	reg
DCR	A	3D
	B	05
	C	0D
	D	15
	E	1D
	H	25
	L	2D
	M	35

solamente afectaran a los flags Z, S, P y AC.

-. DECREMENTAR PAR DE REGISTROS:

El contenido del par de registro especificado en la instrucción se decrementará en una unidad, su formato general es:

	DCX	reg
	B	ØB
	D	1B
	H	2B
	SP	3B

no afectaran a ningun flags.

-. AND LOGICO CON EL ACUMULADOR:

Se realizará una AND entre el contenido del registro indicado en la instrucción y el contenido del acumulador, realizandose esta bit a bit. Su formato general es:

	ANA	reg
ANA	A	47
	B	4Ø
	C	41
	D	42
	E	43
	H	44
	L	45
	M	46

afectaran a todos los flags.

-. OR-EXCLUSIVO CON EL ACUMULADOR:

Se ejecutará un OR-exclusivo entre los bits del contenido del registro indicado en la instrucción y los bits del contenido del acumulador, su formato general es:

	XRA	reg
XRA	A	AF
	B	A8
	C	A9
	D	AA
	E	AB
	H	AC
	L	AD
	M	AE

afectaran a todos los flags.

--. OR LOGICO CON EL ACUMULADOR

Se realizará la operación OR entre el registro especificado en la instrucción y el contenido del acumulador, su formato general es:

```

ORA reg
ORA  A      B7
      B      B0
      C      B1
      D      B2
      E      B3
      H      B4
      L      B5
      M      B6

```

afectaran a todos los flags.

--. AND INMEDIATO CON EL ACUMULADOR:

Se efectuará una operación AND entre el segundo byte de la instrucción y el contenido del acumulador, su formato es:

```
ANI dato      E6
```

afectará a todos los flags.

--. OR-EXCLUSIVO INMEDIATO CON EL ACUMULADOR:

Se ejecutará un OR-exclusivo entre el contenido del acumulador y el segundo byte de la instrucción, su formato es:

```
XRI dato      EE
```

afectará a todos los flags.

--. OR INMEDIATO CON EL ACUMULADOR:

Se ejecutará una operación OR entre el contenido del acumulador y el segundo byte de la instrucción, su formato es:

```
ORI dato      F6
```

afectará a todos los flags.

--. COMPARACION CON EL ACUMULADOR:

Se efectuará una comparación entre el contenido

del registro indicado en la instrucción y el contenido del acumulador, dándose los resultados de esta comparación por medio de los flags de acarreo y de cero, de tal modo que el flag de cero es activado cuando existe igualdad entre los contenidos de ambos registros.

Y se activará el flag de acarreo cuando el contenido del acumulador sea menor que el contenido del registro, su formato general es:

	CMP reg	
CMP	A	BF
	B	B8
	C	B9
	D	BA
	E	BB
	H	BC
	L	BD
	M	BE

serán afectados todos los flags.

- . COMPARACION INMEDIATA CON EL ACUMULADOR:

Se efectuará una comparación entre el segundo byte de la instrucción y el contenido del acumulador, entregándose los resultados por medio de los flags, al igual que ocurría con la instrucción "CMP", su formato es:

	CPI dato	FE

afectará a todos los flags.

- . ROTAR EL ACUMULADOR HACIA LA IZQUIERDA:

Por medio de esta instrucción se efectuará la siguiente rotación. El bit de mayor peso pasará al flag de acarreo y al bit de menor peso, y los restantes bits se desplazaran un lugar hacia la izquierda, su formato es:

	RLC	Ø7

afectará solamente al flag CY.

- . ROTAR EL ACUMULADOR HACIA LA DERECHA:

Por medio de esta instrucción el bit de menor peso

pasará al flag de acarreo y al bit de mayor peso, desplazándose los demás bits un lugar a la derecha, su formato es:

RRC ØF

afectará solamente al flag de CY.

-. ROTAR A LA IZQUIERDA A TRAVEZ DEL FLAG DE ACARREO:

Por medio de esta instrucción el bit del flag de acarreo pasará al bit de mayor peso, y el de menor peso al flag de acarreo, desplazándose los demás bits un lugar a la izquierda, su formato es:

RAL 17

afectará solamente al flag CY.

-. ROTAR A LA DERECHA A TRAVEZ DEL FLAG DE ACARREO:

Por medio de esta instrucción el bit del flag de acarreo pasará al bit de menor peso, pasando el bit de mayor peso al flag de acarreo, desplazándose los demás bits un lugar a la derecha, su formato es:

RAR 1F

afectará solamente al flag CY.

-. AJUSTE DECIMAL DEL ACUMULADOR:

El contenido del acumulador es dividido en dos grupos de cuatro bits, para su presentación en código decimal, su formato es:

DAA 27

afectará a todos los flags.

-. COMPLEMENTAR EL ACUMULADOR:

El contenido del acumulador es complementado a uno, esto es, pasando los 0 a 1, y los 1 a 0, su formato es:

CMA 2F

no afectará a ningun flags.

-. COMPLEMENTAR EL FLAG DE ACARREO:

Se complementará el contenido del flag de acarreo, pasando 0 a 1 ó de 1 a 0, su formato es:

CMC 3F

afectará al glaf CY.

- . PONER A 1 EL FLAG DE ACARREO:

El contenido del acarreo es activado a 1 sea cual sea su estado, su formato es:

STC 37

afectará solamente al flags CY.

3.2.5 INSTRUCCIONES DE SALTO

Por medio de estas instrucciones se realizaran saltos a ciertas direcciones de memoria, siempre y cuando se cumpla la condición impuesta por las instrucciones.

Asi tenemos los siguientes saltos dependiendo de las condiciones que se deben cumplir para que estos saltos se efectuen:

JMP	salto incondicional	C3
JNC	salto si no acarreo	D2
JNZ	salto si no cero	C2
JP	salto si positivo	F2
JPE	salto si paridad 1	E2
JPO	salto si paridad 0	EA
JZ	salto si cero	CA
JC	salto si acarreo	DA
JM	salto si negativo	FA

Su formato general es:

JMP dirección

En todos los casos, si la condición es satisfecha se efectuará el salto a la dirección indicada en la instrucción, en el caso contrario se prosigue la ejecución del programa por la siguiente instrucción de este.

Hay que tener presente que cuando el salto es ejecutado, la dirección existente en el contador de programa se pierde, y pasa a ocupar su lugar la dirección dada por la instrucción.

No afectará a ningun flags.

3.2.6 INSTRUCCIONES DE LLAMADA

Estas instrucciones efecturan una llamada a sub_rutinas, en el caso de que la condición sea satisfecha, esta condición vendra determinada por dicha instrucción.

Las instrucciones de llamada son:

CALL	llamada incondicional	C9
CNZ	llamada si no cero	CØ
CZ	llamada si cero	C8
CNC	llamada si no acarreo	DØ
CC	llamada si acarreo	D8
CPO	llamada si paridad Ø	EØ
CPE	llamada si paridad 1	E8
CP	llamada si positivo	ØØ
CM	llamada si negativo	F8

Cuando la condición sea satisfecha, se efectuara un salto a la subrutina localizada en la dirección que se da en la instrucción de llamada, de tal forma que el contenido del contador de programa es almacenado, ocupando su sitio la dirección que se de en la propia instrucción de llamada. El almacenado del contenido del contador de programa se realiza en el STACK.

En el caso de que la condición no sea cumplida, la instrucción de llamada sera ignorada, prosiguiendo se la ejecución del programa por la siguiente instrucción de este. Su formato general es:

CALL dirección
no afectaran a ningun flags.

3.2.7 INSTRUCCIONES DE RETORNO

En el caso de que sea satisfecha la condición que es impuesta por la instrucción de retorno, se efectuará el retorno a la dirección donde se encontraba apuntado el contador de programa despues de que se efectuó la última instrucción de llamada. En el caso contrario la instrucción sera ignorada, prosiguiendose la ejecu

ción del programa por la siguiente instrucción de este.

Las instrucciones de retorno son:

RET	retorno incondicional	C9
RNZ	retorno si no cero	CØ
RZ	retorno si cero	C8
RNC	retorno si no acarreo	DØ
RC	retorno si acarreo	D8
RPO	retorno si paridad 0	EØ
RPE	retorno si paridad 1	E8
RP	retorno si positivo	FØ
RM	retorno si negativo	F8

Su formato general es:

RET

no afectara a ningun flags.

3.2.8 INSTRUCCIONES DE ENTRADA/SALIDA Y DE CONTROL

- . ALMACENAR EN EL STACK:

Esta instrucción nos permitirá transferir los ocho bits de mayor peso del par de registro que se indica en la instrucción a la dirección que señala el STACK POINTER, y los ocho bits de menor peso a la dirección consecutiva. Su formato general es:

```

PUSH reg
PUSH B      C5
           D      D5
           H      E5
PUSH PSW    F5

```

PSW == Contador de Programa.

no afectaran a ningun flags.

- . SACAR DESDE EL STACK:

Por medio de esta instrucción se extraerá del STACK las dos primeras direcciones de este, a partir de la señalada por el STACK POINTER, transfiriendo el contenido de la dirección a los ocho bits de mayor peso del par de registro que se indican en la instrucción y la siguiente localización a los ocho bits de menor peso.

Su formato general es:

```

      POP reg
POP   B      C1
      D      D1
      H      E1
      PSW    F1

```

no afectaran a ningun flags.

-. CAMBIAR EL PAR HL CON EL STACK POINTER:

El contenido del STACK POINTER sera almacenado en el par de registro HL, su formato es:

```

      XTHL    E3

```

no afectará a ningun flags.

-. CARGAR EL STACK POINTER CON EL PAR HL:

El contenido del par de registros HL es transferido al registro de STACK POINTER, su formato es:

```

      SPHL    F9

```

no afectará a ningún flags.

-. SALIDA:

Por medio de esta instrucción se colocará el contenido del acumulador en el bus de datos, y por medio del bus de direcciones se seleccionará la puerta por la cual deberá efectuarse la salida, esta puerta vendrá determinada por la propia instrucción. Su formato general es:

```

      OUT port    D3

```

no afectará a ningún flags.

-. ENTRADA:

Con esta instrucción se leerá el dato existente en la puerta que se seleccione por la instrucción, pasando esta información al bus de datos primeramente y almacenandose posteriormente en el acumulador. Su formato general es:

```

      IN port     DB

```

no afectará a ningún flags.

- . INHABILITACION DE INTERRUPCIONES:

El sistema de interrupciones sera inhabilitado, por lo cual las posibles interrupciones que puedan llegar a la C.P.U. seran ignoradas, su formato es:

DI F3

no afectará a ningún flags.

- . HABILITACION DE INTERRUPCIONES:

El sistema de interrupciones sera habilitado, por lo cual a partir de la siguiente instrucción del programa las posibles interrupciones seran reconocidas y ejecutadas por la C.P.U., su formato es:

EI FB

no afectará a ningún flags.

- . NO OPERAR:

Por medio de estas instrucción se producirá un ciclo de instrucción en el cual la C.P.U. no efectuará ninguna operación, su formato es:

NOP 00

no afectará a ningún flags.

- . ALTO:

Al recibirse esta instrucción la C.P.U. terminará el proceso que este ejecutando, su formato es:

HLT 76

no afectará a ningún flags.

- . INTERRUPCIONES DE SOFTWARE:

Estas instrucciones permitiran la ejecución de ordenes de interrupción, realizandose saltos a las siguientes localizaciones:

RST	0	00H	C7
	1	08H	CF
	2	10H	D7
	3	18H	DF
	4	20H	E7
	5	28H	EF
	6	30H	F7
	7	38H	FF

3.3 SEUDOINSTRUCCIONES

En este apartado se realiza un estudio de las principales pseudoinstrucciones que se emplean a la hora de realizar un programa auxiliado por unidades de desarrollo, tal como es el caso en este proyecto.

-. DIRECTIVO EQU:

Nos asignará el valor de la expresión especificada en el campo de operandos al nombre indicado en el campo de etiquetas, su formato es:

nombre EQU expresión

-. DIRECTIVO SET:

Al igual que el directivo EQU, nos asignará el valor de la expresión al nombre especificado en el campo de etiquetas, su formato es:

nombre SET expresión

-. DIRECTIVO DB:

Este directivo carga los datos especificado en lugares de memorias consecutivos, iniciandose la carga en la dirección de memoria especificada por el contenido del contador de programa, su formato es:

opcional: DB expresión

-. DIRECTIVO DW:

Este directivo nos permitirá almacenar cada valor de diez y seis bits de la expresión en una dirección, pares, empezando por la dirección dada por el contador de programa, su formato es:

opcional: DW lista de expresiones

-. DIRECTIVO DS:

Este directivo nos reservará lugares de memoria, siendo el lugar a reservar indicado por la expresión de la pseudoinstrucción, su formato es:

opcional: DS expresión

-. DIRECTIVOS IF, ELSE Y ENDIF:

Son directivos que nos permiten habilitar porciones ensambladas de programa condicional, solo si las

condiciones se cumplen, sus formatos son:

```
opcional:  IF   expresión
opcional:  ELSE  expresión
opcional:  ENDIF expresión
```

-. DIRECTIVO END:

Por medio de este directivo se identificará el final del fichero, programa, fuente, su formato es:

```
opcional:  END
```

-. DIRECTIVO ORG:

Directivo que nos permitirá determinar el lugar a partir del cual se empezará a ensamblar el programa fuente, su formato es:

```
opcional:  ORG   expresión
```

El valor de la expresión nos indicará la primera dirección del programa ensamblado.

3.4 MACRO

A la hora de realizar un programa en los cuales existen gran número de variaciones en los parametro, o que en el desarrollo del programa se repiten una serie de instrucciones en las cuales solo pasan cambios en los parametros, se posee una herramienta que simplifica el desarrollo del programa, pues elimina reiteraciones, esta herramienta es el MACRO que ofrece las siguientes ventajas

- . Reducir la reescritura, por lo cual se disminuye la posibilidad de error.
- . Los simbolos utilizados en un MACRO pueden ser restringidos hasta tal punto de que solo tienen significado dentro del MACRO, evitando con ello el peligro de duplicación.
- . Un error detectado en un MACRO solamente deberá ser corregido una var, independientemente del número de veces que el MACRO sea utilizado.

3.4.1 DEFINICION DE MACRO

Un MACRO puede ser definido como una rutina definida por una secuencia de instrucciones prototipo, de tal forma que cuando se hace una llamada a un MACRO dentro de un programa se efectua un reemplazamiento de tal llamada por una "expansión de código", la cual representara el actual bloque de instrucción de llamada.

Debido a esto, deberemos diferenciar entre MACRO y subrutina, y aunque ambas realizan funciones similares, la diferencia radica en que en un programa solo existirá una versión de cada subrutina, esto es, cada vez que la subrutina es llamada se realiza con los mismos parametros. Sin embargo el MACRO puede ser usado en cada una de las llamadas con parametros diferentes, radicando en ello la mayor utilización que tienen los MACROS.

3.4.2 INSTRUCCIONES MACRO

Dentro del lenguaje macroassembler se hace uso de las siguientes instrucciones:

-. MACRO:

Por medio de esta instrucción se creará un MACRO, su formato es:

nombre MACRO parametros

El nombre expresado en el campo de etiquetas nos identificará el MACRO que se ha creado, para su posterior utilización en el momento de una llamada.

-. DIRECTIVO ENDM:

Nos identificará el final de la definición de MACRO, así mismo es empleado para la terminación de bloques que hayan sido definidos con los directivos REPT, IRP y IRPC, su formato es

----- ENDM -----

-. DIRECTIVO LOCAL:

Por medio de este directivo se determinan una serie de nombres de etiquetas, de tal forma que estos solo tendran significado dentro del MACRO. Asi, cada vez que se efectue una llamada al MACRO, el ensamblador asignará a cada simbolo local un unico simbolo de la forma ??nnnn, asi tenemos que para el primer simbolo local sera ??øøø1, ??øøø2 para el segundo y asi sucesivamente, su formato es:

----- LOCAL nombre de etiquetas

-. DIRECTIVO REPT:

Este directivo nos producirá una secuencia de líneas de código de origen que se repite tantas veces como se indique en la "expresión".

Como unica condición tenemos que el bloque a repetirse deberá ir entre los directivos REPT y ENEM, su formato es:

opcional: REPT expresión

-. DIRECTIVO IRP:

Este directivo nos producirá una sustitución de los parametros del MACRO por los nuevos valores. Asi mismo el número de parametros actuales definidos en la lista determina el número de veces que el MACRO (prototipo) debe ser repetido, su formato es:

opcional: IRP parametros"lista"

-. DIRECTIVO IRPC:

Por medio de este directivo se repiten los parametros indefinidamente, produciendose una secuencia de instrucciones prototipo que seran repetidas tantas veces como caracteres tenga el texto del parametro actualmente especificado.

Debido a esto el ensamblador generará una iteración del código prototipo por cada uno de los caracteres en la fila del texto, su formato es:

opcional: IRPC parametros,texto

-. DIRECTIVO EXITM:

Este directivo nos proporcionará un método alternativo que nos permitirá concluir el MACRO o las repeticiones producidas por el directivo REPT, IRP y IRPC.

Así pues, el ensamblador ignorará todas las instrucciones existentes entre los directivos EXITM y ENDM.

3.4.3 OPERADORES ESPECIALES

En algunos casos especiales, las normas para el tratamiento dadas hasta ahora no son del todo útiles, debido a lo cual se hace uso de los siguientes operadores especiales.

Usado para la concatenación de textos y parámetros.

Usado para la delimitación de textos, tales como lista que contenga otros delimitadores.

! Es colocado delante de un carácter para ser pasado como texto bilaralizado dentro de un parámetro.

3.4.4 LLAMADAS DEL MACRO

Una vez el macro ha sido definido, puede ser utilizado cuantas veces sea necesario por medio de una llamada realizada dentro del programa. Las llamadas del MACRO, y los valores de los parámetros actuales. Así durante el ensamblador, cada vez que se encuentre con una llamada al MACRO es sustituida por el código de definición del MACRO.

El formato de la llamada será entonces:

opcional:	nombre del	parámetros
	MACRO	actuales

Cuando se efectue una llamada a un MACRO hay que tener bien en cuenta que:

-. La posición de los parámetros actuales en una llamada a MACRO es fundamental, debido a que la susti...

tución se basa unicamente en la posición de los pa_ rametros.

- . Hay que tener en cuenta que los espacios en blanco son tratados generalmente como delimitadores. Sin embargo cuando un parametro actual contenga algún espacio en blanco, estos deberan ir encerrados entre . Este criterio deberá ser seguido para cual_ quier delimitador que quiera ser definido.
- . Si una llamada de MACRO contiene más parametros ac_ tuales que los existentes en la propia definición prototipo de MACRO, estos seran ignorados, en el ca_ so de que existan menos parametros se colocara un "nulo" en cada uno de los parametros que se omitan.

4 DISEÑO DEL HARDWARE DEL MICROPROCESADOR

En este tema del proyecto se inicia el estudio del diseño del hardware asociado necesario para la construcción del microprocesador.

Debido a la complejidad del tema, lo primero que deberemos pasar a estudiar son las necesidades mínimas, debido a la generalización de este proyecto, así tenemos:

- PUERTAS: Las puertas que serán empleadas en este sistema son:

Dos puertas para el control de iluminación, con una de entrada por la cual entrarán los datos del muestreo, y otra de salida de selección que nos permitirá determinar la habitación a muestrear.

Dos de control, siendo la de salida de selección común con la del control de iluminación, y la otra de entrada para la lectura de la muestra.

Dos puertas para la función de alarma, una para la entrada de detección, y la de salida para la activación.

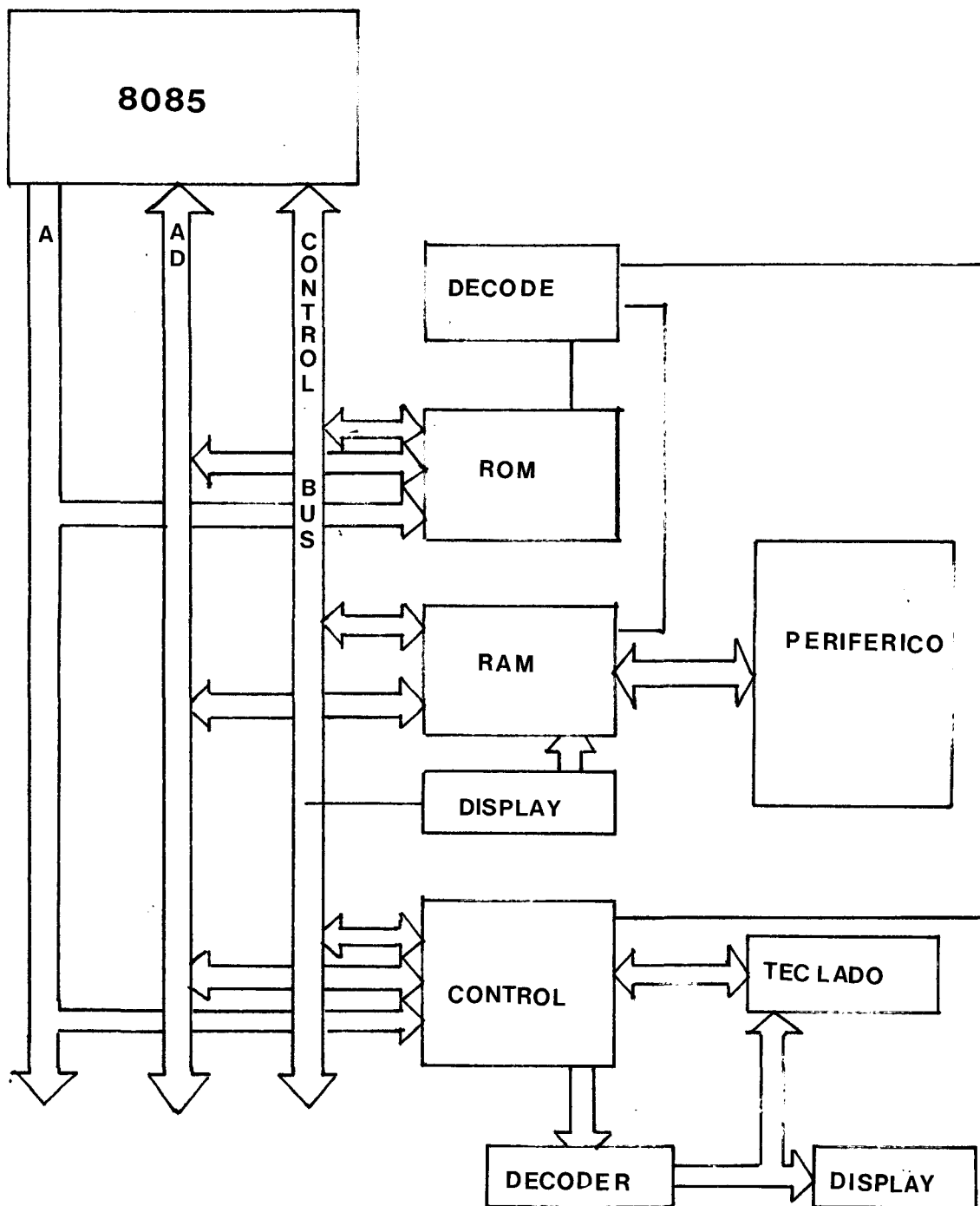
Una puerta de salida para la activación del CLEAR de los distintos Flip-Flop que serán precisos para la realización de las distintas funciones.

Dos puertas de entrada para la entrada de la muestra de selección horaria.

- MEMORIA: Necesitaremos cuatro Kbyte de ROM para el almacenamiento del programa de control y de gestión, y dos Kbyte de RAM para el almacenamiento de datos durante la realización de la función de control y para los programas de usuario.

A parte de esto, utilizaremos un teclado para la entrada de datos, y un grupo de display para la muestra de datos del programa del usuario, y otro para la muestra del reloj.

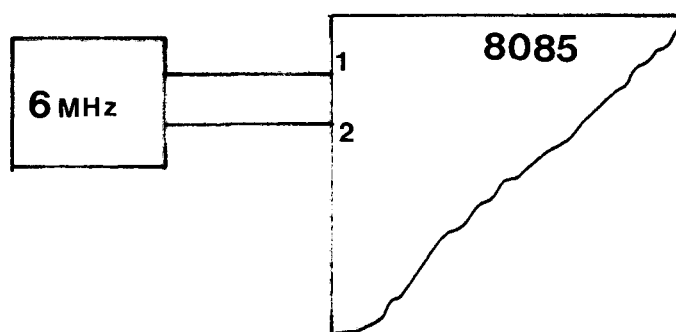
Debido a esto el diagrama de bloques del microcomputador será el mostrado a continuación.



De acuerdo a este diagrama de bloques, los montajes a realizar son los que se detallan en los apartados siguientes.

4.1 CONEXION DEL MICROPROCESADOR 8085

El primer factor a considerar a la hora de diseñar el montaje del microprocesador, es la elección del cristal, que en este caso sera de 6 Mhz, debido a lo cual se deduce que la señal de CLOCK sera de de 3 Mhz. La conexión del cristal se realiza directamente a las patillas 1 y 2 del microprocesador tal como indica la figura siguiente:

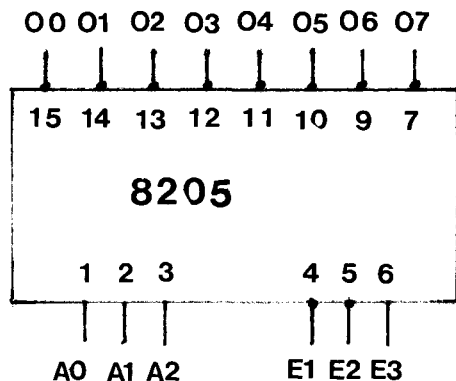


El resto de las conexiones a realizar se iran indicado en los demás apartados del tema a medida de que estas sean empleadas.

4.2 DECODIFICADOR DE DIRECCIONES

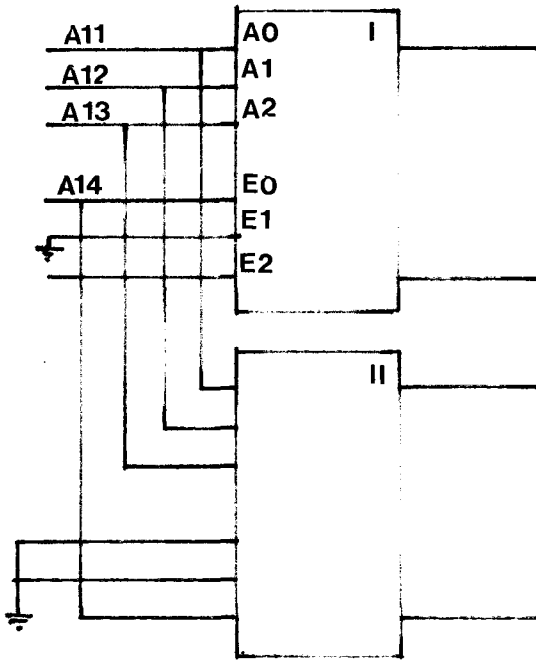
Una vez que se ha determinado la memoria minima para el desarrollo del sistema en este proyecto, y teniendo en cuenta el caracter general, el direccionamiento de memoria se plantea inicialmente para 32 Kbyte, o lo que es lo mismo para 16 bloques de 2 Kbyte cada uno.

Para efectuar esta decodificación de direcciones emplearemos el circuito 8205, cuya configuración es la siguiente



A0	A1	A2	E1	E2	E3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	H	L	H	H	H
L	H	H	L	L	H	H	H	H	H	H	L	H	H
H	H	H	L	L	H	H	H	H	H	H	H	L	H
X	X	X	L	L	L	H	H	H	H	H	H	H	H
X	X	X	H	L	L	H	H	H	H	H	H	H	H
X	X	X	L	H	L	H	H	H	H	H	H	H	H
X	X	X	H	H	L	H	H	H	H	H	H	H	H
X	X	X	L	H	H	H	H	H	H	H	H	H	H
X	X	X	H	H	H	H	H	H	H	H	H	H	H

Teniendo en cuenta esta tabla de verdad, y el número de bloques que se desean conectar, o direccionar, se deberá realizar la siguiente conexión entre dos decodificadores. Para efectuar esta conexión emplearemos cuatro bits de bus de direcciones, que en este caso serán A11, A12, A13, y A14, de la forma que se muestra en la figura siguiente:



Siendo el funcionamiento el siguiente: Mientras A14 procedente del bus de direcciones se encuentre a nivel bajo, la entrada E1 del primer decodificador estará pues a nivel bajo, al igual que E2, y al estar E3 a nivel alto se seleccionaran las salidas CS1 a CS8, siendo imposible la selección de CS9 a CS16 debido a que la entrada E3 del segundo decodificador esta a un nivel bajo.

En cuanto la condición se invierte, esto es, A14 esta a un nivel alto, se anulara la decodificación del primer decodificador, siendo por el contrario posible la selección de CS9 a CS16.

Lo cual cumple con nuestras exigencias propias, y de acuerdo a las entradas procedentes del bus de direcciones, las selecciones a realizar son:

A14	A13	A12	A11	\overline{CS}	BLOQUE DIRECCIONABLE	
L	L	L	L	1	0000	0800
L	L	L	H	2	0800	1000
L	L	H	L	3	1000	1800

A14	A13	A12	A11	\overline{CS}	BLOQUE DIRECCIONABLE	
L	L	H	H	4	18000	20000
L	H	L	L	5	20000	28000
L	H	L	H	6	28000	30000
L	H	H	L	7	30000	38000
L	H	H	H	8	38000	40000
H	L	L	L	9	40000	48000
H	L	L	H	10	48000	50000
H	L	H	L	11	50000	58000
H	L	H	H	12	58000	60000
H	H	L	L	13	60000	68000
H	H	L	H	14	68000	70000
H	H	H	L	15	70000	78000
H	H	H	H	16	78000	80000

Las conecciones al bus de direcciones se realizaran directamente, debido a la compatibilidad total existente entre los niveles entregados por el microprocesador y los exigidos por el decodificador, respecto a las señales de salida del decodificador, su conexión se indicara en el momento de su utilización.

La tensión de alimentación sera de 5 voltios.

4.3 MEMORIA RAM

Las memorias RAM a emplear en este proyecto seran las 8155, el motivo que nos ha llevado a esta selección ha sido la ventaja de disponer en la misma unidad de puertas de entrada y salida, y de memoria.

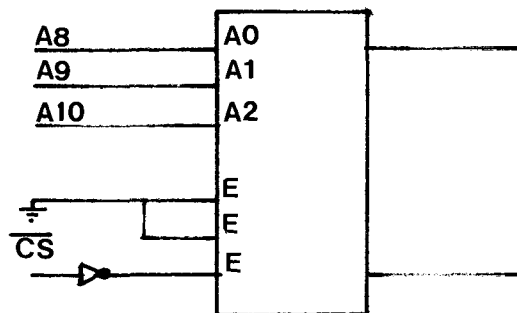
Ahora bien, tiene el inconveniente de que ha sido planteado un decodificador de direcciones en bloques de 2 Kbyte, y al tener esta memoria una capacidad de 256 byte, existe unas lagunas en cuanto al direccionamiento de 1792 byte, que se podria solucionar empleando un segundo bloque decodificador, y aunque para nuestro planteamiento minimo no es util debido a la perdida de direccionamiento de la puertas, se realiza el

el estudio debido a la generalidad de este proyecto.

4.3.1 CONEXION DEL SEGUNDO BLOQUE DECODIFICADOR

en primer lugar debemos señalar que este estudio es valido siempre y cuando las memorias RAM que se empleen para la ampliación sean de 256 byte, en otro caso sera necesario recurrir a otro medio para evitar la perdida de direccionamiento. El motivo de plantearlo solamente para este caso es debido a que son de este tipo las memorias RAM que inicialmente se consideraran.

Para la realización de esta función emplearemos otro decodificador de direcciones 8205, activado por la salida CS8 del primer bloque decodificador y los bits A8, A9 y A10 del bus de direcciones de acuerdo al siguiente montaje:



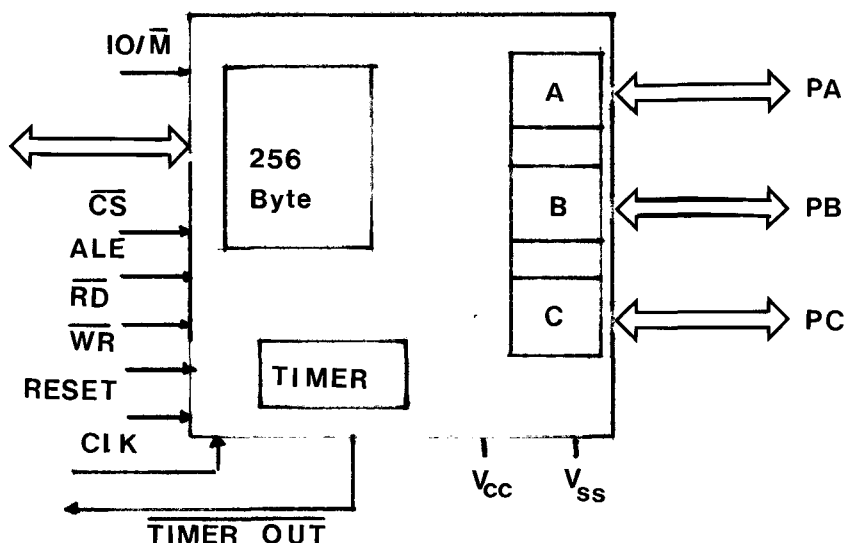
Tal como se observa en la figura la unica exigencia en cuanto a la conexión sera el empleo de un inversor que en este caso sera el 7404, el cual se conecta directamente entre la salida del primer bloque y la entrada de este segundo bloque. El motivo por el cual se emplea este inversor es que la salida del primer bloque es negada, esto es activa al nivel bajo, y por el contrario la entrada E3 requiere un nivel alto para poder ser habilitado el decodificador.

Así pues, y teniendo en cuenta que para ser habilitado el segundo bloque a de ser $A_{11} = 1$, $A_{12} = 1$, $A_{13} = 1$ y $A_{14} = \emptyset$, la decodificación de direcciones que se efectúa es la siguiente:

A_{10}	A_9	A_8	CS	BLOQUES	DIRECCIONABLES
L	L	L	1	3800	38FF
L	L	H	2	3900	39FF
L	H	L	3	3A00	3AFF
L	H	H	4	3B00	3BFF
H	L	L	5	3C00	3CFF
H	L	H	6	3D00	3DFF
H	H	L	7	3E00	3EFF
H	H	H	8	3F00	3FFF

4.3.2 ESTUDIO DE LA MEMORIA RAM 8155

Dado el diagrama de bloques de la memoria RAM 8155 mostrado a continuación.



Se deduce que esta memoria está formada por una memoria RAM de 256 byte y por tres puertas, dos de ellas de ocho bits, y otra de seis bits, siendo las puertas direccionables de la forma que se indica a continuación:

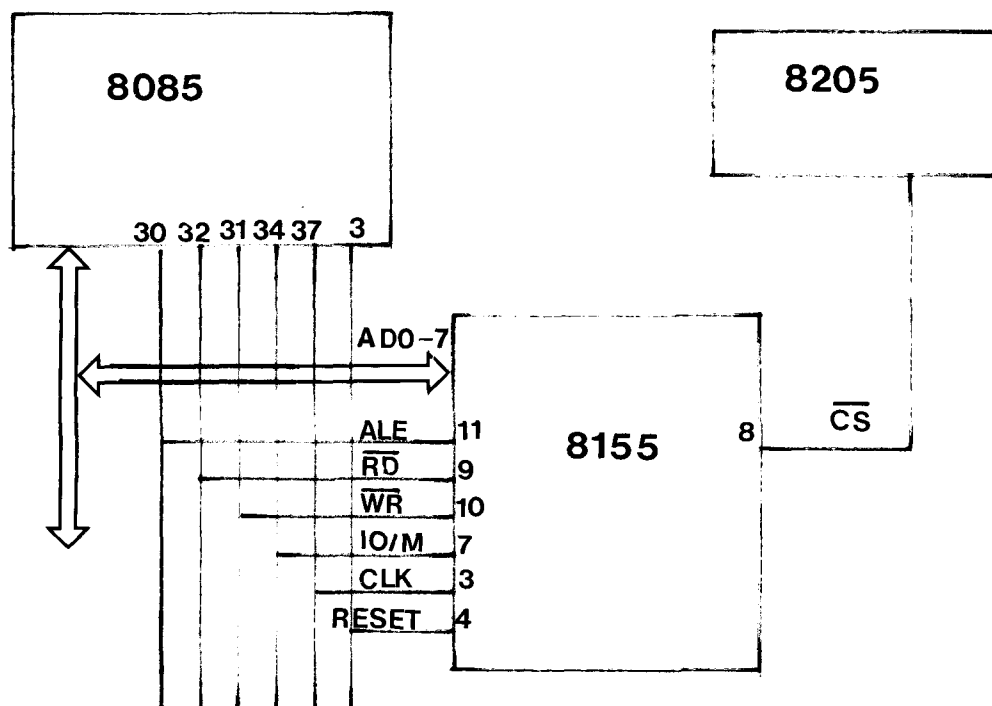
PUERTA A	X	X	X	X	X	\emptyset	\emptyset	1
PUERTA B	X	X	X	X	X	\emptyset	1	\emptyset
PUERTA C	X	X	X	X	X	\emptyset	1	1

Como construcción física, esta unidad esta encapsulada en una pastilla de 40 patillas con las siguientes funciones en cada una de ellas:

- . RESET: Señal de entrada conectada al microprocesador, a la salida RESET OUT.
- . BUS DE DATOS/DIRECCIONES, AD $\bar{0}$ -AD8: Bus bidireccional por medio del cual se realiza la intercomunicación entre la memoria y el microprocesador, en ambos sentidos. Y por otro lado se realiza por el mismo la recepción de la dirección de memoria o de la puerta seleccionada. Conectada al microprocesador.
- . LECTURA, \bar{RD} : Determinará a nivel bajo que se realizará una operación de lectura en memoria o puerta. Conectada al microprocesador.
- . ESCRIBIR, \bar{WR} : A nivel bajo determinará una operación de escritura en memoria o puerta. Conectada al microprocesador.
- . ENTRADA/SALIDA O MEMORIA, IO/ \bar{M} : A nivel alto indicará que la operación a realizar sera de entrada o salida por puerta, y a nivel bajo que lo que se desea realizar es una operación de escritura o lectura en memoria. Conectada al microprocesador.
- . LLAVE HABILITADORA DE DIRECCION, ALE: Permitirá a la unidad la recepción de la dirección de memoria o puerta. Conectada al microprocesador.
- . TIMER OUT: Señal de salida de reloj, en este caso no se conectará.
- . CHIP ENABLE, \bar{CE} : Cuando esta señal de entrada se encuentre a nivel bajo la memoria, como circuito, sera habilitado para su uso. Conectada al decodificador de direcciones, primer bloque.
- . PUERTA, PA, PB, PC: Destinadas a las salidas y entrada de datos desde los perifericos al sistema microcomputado. Iran conectadas a los distintos perifericos que se emplean en este proyecto.

- ALIMENTACION, Vcc, Vss: Que en este caso sera de 5 voltios para Vcc, y de 0 voltios, masa, para Vss.

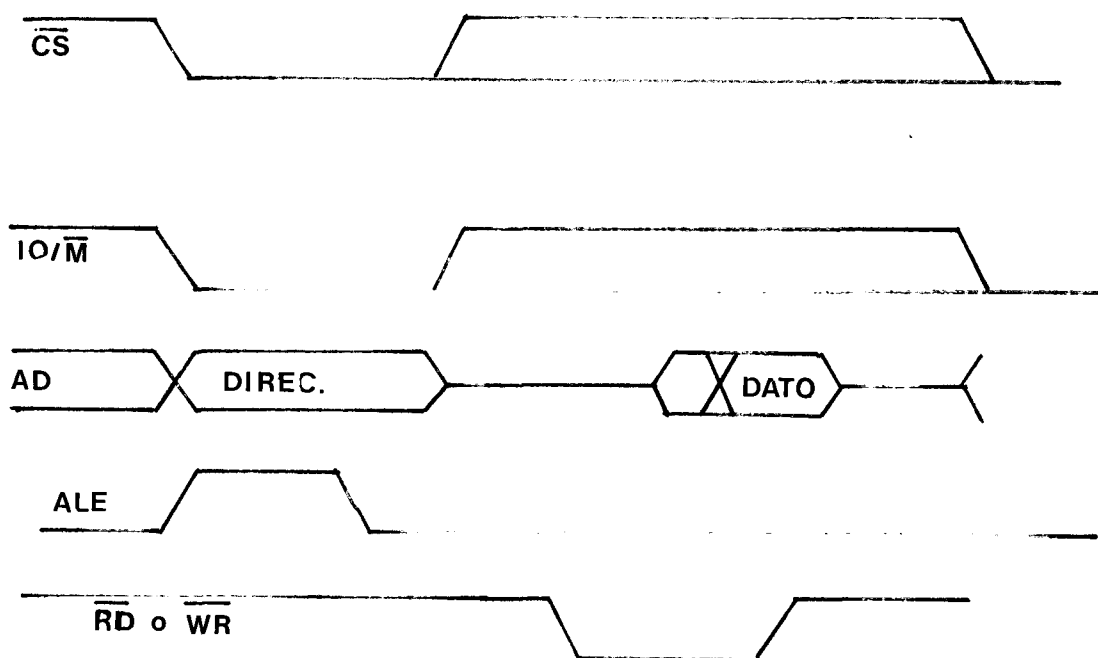
De acuerdo a las funciones que se han indicado, la coneccción, esquematica, que se debe realizar es la mostrada en la figura siguiente:



4.3.3 CICLO DE ESCRITURA Y LECTURA

En este apartado se llevará a cabo un estudio de los ciclos de instrucciones de lectura y escritura por ser los mas fundamentales en nuestro caso. Para ello nos basaremos unicamente en la grafica del cronograma de escritura, debido a que existe una similitud total entre ambos cronograma, pues lo unico que varia de uno a otro es la orden de operación, que solo variará en la orden no en el momento de darla.

Asi pues tenemos que el cronograma de escritura es el mostrado a continuacion:



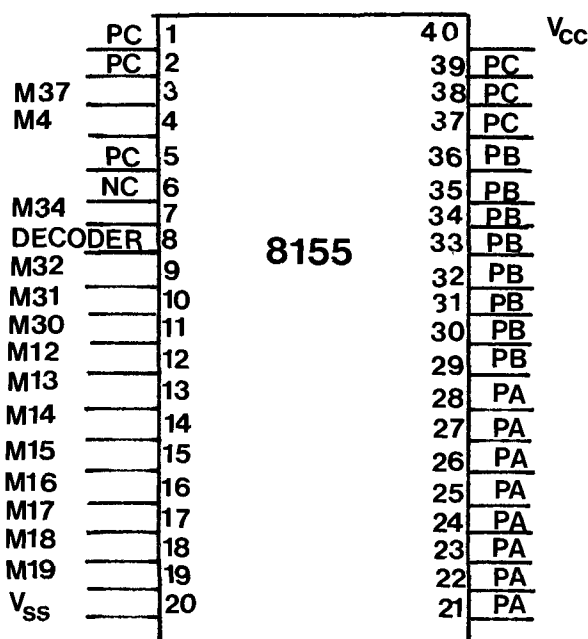
Así pues tenemos que una vez la memoria ha sido habilitada por la señal CE se producirá la señal ALE procedente del microprocesador, la cual nos permitirá que la memoria tome la dirección existente en el bus de datos/direcciones. A la misma vez que esta dirección tiene entrada en la memoria, como circuito, se determina por parte del microprocesador la operación a efectuarse, según el nivel de la señal de entrada IO/M.

Una vez que se ha determinada la dirección y la operación a ejecutar, se testeará las entradas RD y WR para determinar si se ejecuta una lectura o una escritura en la memoria, como circuito, y en el intervalo que dure esta señal, el dato será almacenado o entregado, según los diferentes casos.

4.3.4 CONEXION AL SISTEMA

Teniendo en cuenta lo anteriormente expuesto, y debido a los niveles de tensión y corriente que son compatibles entre la salida del micro y las entradas de la memoria, y así mismo entre la memoria y el decodificador de direcciones.

Y así mismo teniendo en cuenta que para la memoria mínima para la cual se diseña el sistema inicialmente no es necesario un DRIVER. Tenemos que todas las conexiones se realizan directamente de la forma que se indica a continuación.



Este montaje se repite para la totalidad de las memorias RAM 8155 que se empleen en este proyecto.

4.3.5 DIRECCIONAMIENTO DE MEMORIA Y PUERTAS

Teniendo en cuenta que la memoria RAM recibirá las señales habilitadoras desde CS9 a CS16, tenemos que las direcciones son:

-.	MEMORIA I	CS9	
	DIRECCION DE MEMORIA		4000H a 40FFH
	PUERTA A		41H
	PUERTA B		42H
	PUERTA C		43H
-.	MEMORIA II	CS10	
	DIRECCION DE MEMORIA		4800H a 48FFH
	PUERTA A		49H
	PUERTA B		4AH
	PUERTA C		4BH
-.	MEMORIA III	CS11	
	DIRECCION DE MEMORIA		5000H a 50FFH
	PUERTA A		51H
	PUERTA B		52H
	PUERTA C		53H
-.	MEMORIA IV	CS12	
	DIRECCION DE MEMORIA		5800H a 58FFH
	PUERTA A		59H
	PUERTA B		5AH
	PUERTA C		5BH
-.	MEMORIA V	CS13	
	DIRECCION DE MEMORIA		6000H a 60FFH
	PUERTA A		61H
	PUERTA B		62H
	PUERTA C		63H
-.	MEMORIA VI	CS14	
	DIRECCION DE MEMORIA		6800H a 68FFH
	PUERTA A		69H
	PUERTA B		6AH
	PUERTA C		6BH
-.	MEMORIA VII	CS15	
	DIRECCION DE MEMORIA		7000H a 70FFH
	PUERTA A		71H
	PUERTA B		72H
	PUERTA C		73H

-. MEMORIA VIII CS16	
DIRECCION DE MEMORIA	7800H a 78FFH
PUERTA A	79H
PUERTA B	7AH
PUERTA C	7BH

4.4 MEMORIA ROM

Las memorias ROM a emplearse en este sistema serán las 2716, las cuales son memorias de 2 Kbyte encapsuladas en pastillas de 24 patillas con las siguientes funciones en cada una de ellas

- . SALIDA DE DATOS, Q_0-7 : Estas salidas de la memoria serán utilizadas para la comunicación de datos desde la memoria al microprocesador. Conectadas al microprocesador.
- . BUS DE DIRECCIONES, A_0-10 : Bus por medio del cual se recibe la dirección de memoria en la cual se desea realizar la lectura del dato. Conectada al microprocesador.
- . CHIP ENABLE, CE: A nivel bajo habilitará a la memoria para su utilización. Conectada al decodificador de direcciones.
- . OUTPUT ENABLE, OE: Señal de salida, que cuando se encuentre activada indicará que se está efectuando una operación de lectura en la memoria
- . ALIMENTACION, Vcc, Vss, Vpp: Destinadas a la alimentación irán conectadas a los siguientes voltajes:

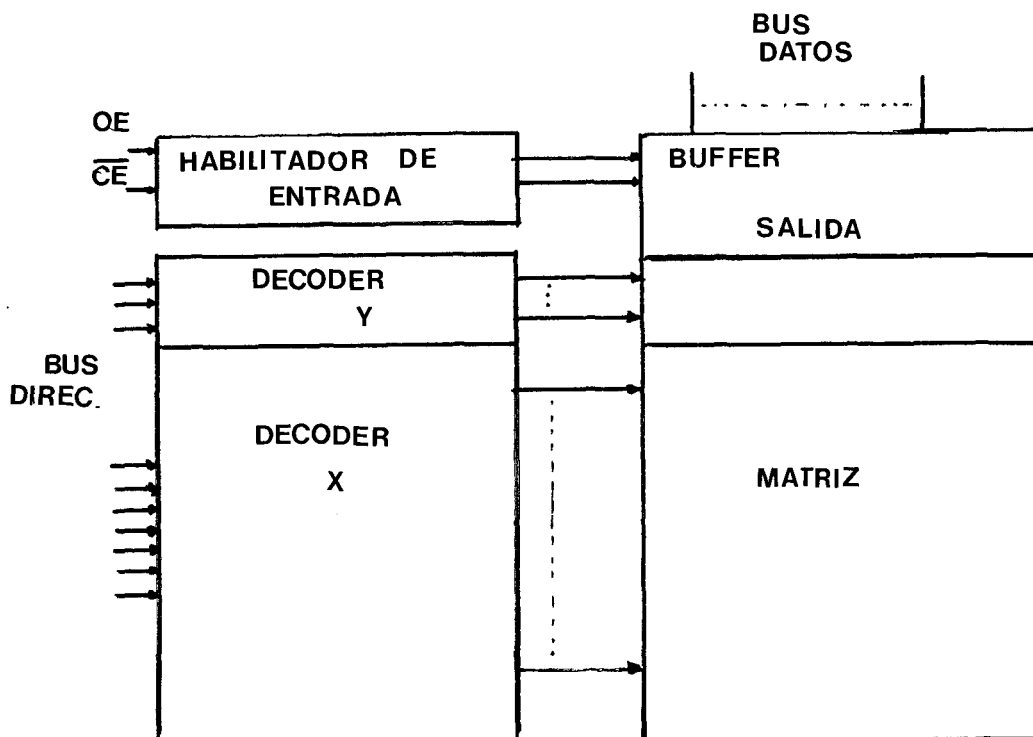
Vcc 5 voltios.

Vss Masa.

Vpp 5 voltios.

esta última va a 5 voltios para las operaciones de lectura. En el momento de su programación, o grabación será conectada a 25 voltios.

Así pues, la distribución de patillas en el encapsulado es el mostrado en la figura siguiente, junto con su diagrama de bloques.



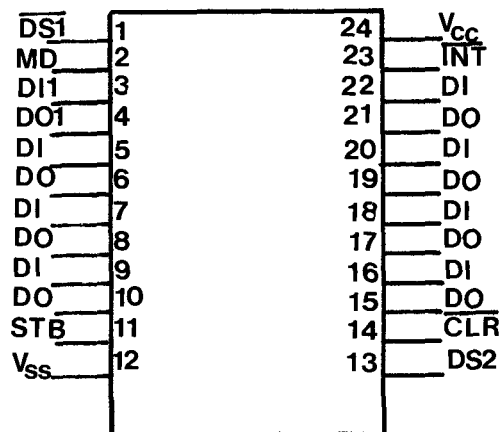
4.4.1 CONEXIÓN AL SISTEMA

Como única exigencia a la hora de conectar este tipo de memorias al sistema es la de que los ocho bits de menor peso de la dirección de memoria son entregados a la memoria por el mismo bus que los datos, debido a lo cual para atacar a la memoria será preciso emplear un sistema de latch, que en este caso se realizará a partir del circuito 8212

4.4.1.1 LATCH DE DIRECCIONES

Al encontrarse multiplexado el bus de direcciones

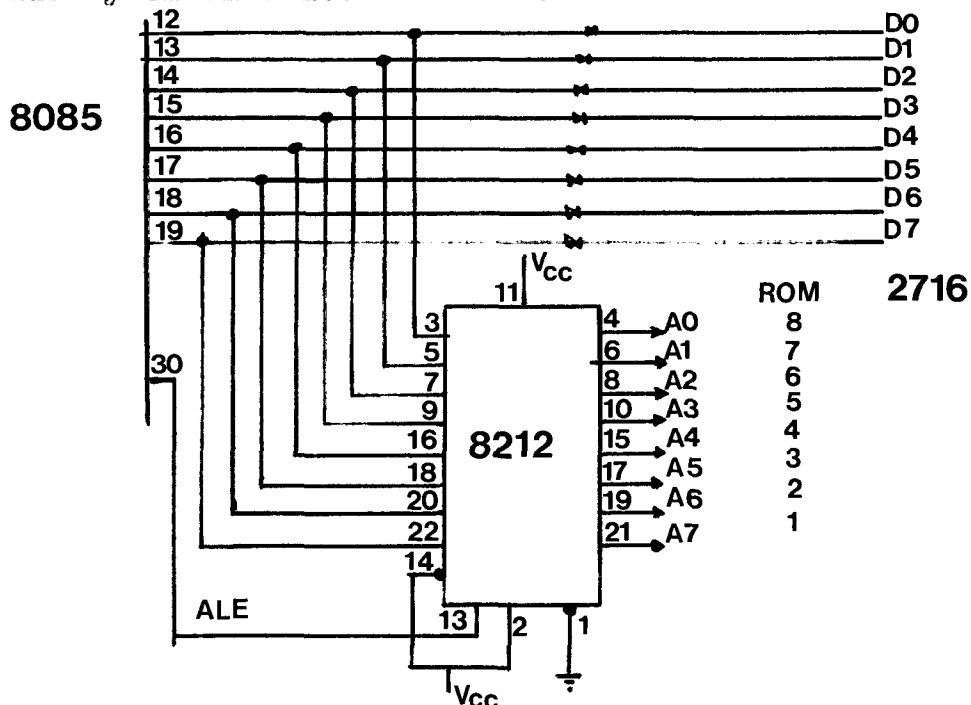
y el bus de datos, y al estar solo disponible los ocho bits del bus de direcciones durante el primer ciclo de reloj, cuando sería necesario que estuviera presente durante la totalidad del ciclo, por lo cual se hace necesario el empleo de un circuito de latch, que en este caso y tal como se ha indicado será el 8212, el cual se encuentra encapsulado en una pastilla con 24 patillas con las siguientes funciones en cada una de ellas.



- . DATOS DE ENTRADA, DI1-DI8: Entrada de datos, en este caso conectada al bus bidireccional de datos del microprocesador.
- . DATOS DE SALIDA, DO1-DO8: Datos de salida, que en este caso serán los ocho bits de menor peso del bus de direcciones, el cual permanecerá en estado de alta impedancia hasta que el circuito sea habilitado.
- . SELECTOR DE DIRECTIVO, $\overline{DS1}$ -DS2: Cuando en DS1 se disponga de un nivel bajo y el DS2 de un nivel alto el circuito será habilitado para su utilización.
- . CONTROL LOGICO, MD, STB: Señal de entradas que actúan de control, que para nuestro caso estarán a un nivel alto.

De acuerdo a esto, y teniendo en cuenta que los ocho bits de menor peso del bus de direcciones estarán

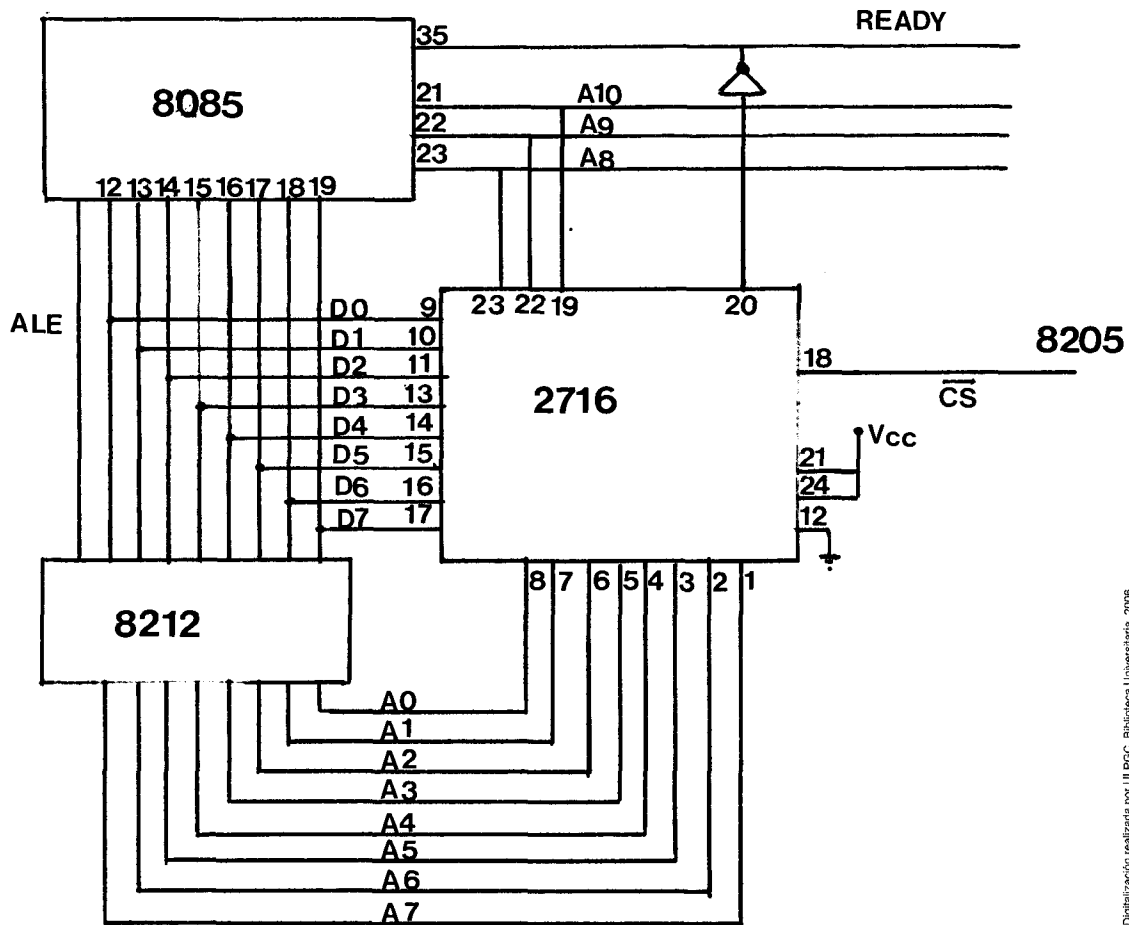
junto a los ocho bits de mayor peso, en su disposición de uso cuando la señal de salida del microprocesador ALE se encuentre a un nivel alto, debido a esto el circuito de latch debe ser habilitado por medio de esta señal, quedando por tanto la conexión de la forma que se indica a continuación. Las conexiones se realizan directamente existe compatibilidad entre el microprocesador y el circuito de latch.



Las salidas del circuito de latch atacaran directamente al circuito de memoria ROM 2716.

4.4.1.2 CONEXION DE LA MEMORIA ROM

Como unica exigencia a la hora de conectar la memoria tenemos que la salida de OUTPUT ENABLE de la memoria ROM 2716 es activa a nivel alto, debido a lo cual y por requerir la entrada READY un nivel alto como indicativo de orden de lectura ejecutandose, sera preciso el empleo de un inversor, que en este caso se emplea el circuito 7404, el cual se conecta directamente entre la salida y la entrada. Debido a esto, y al aplicarse las salidas del latch directamente, la memoria se conectará de la forma a continuación mostrada.



4.4.2 CICLO DE LECTURA

De acuerdo al cronograma mostrado a continuación se deduce las siguientes cuestiones.

Una vez el bus de direcciones se encuentra disponible en la memoria, y esta ha sido habilitada, en un intervalo de tiempo no superior a 450 nseg los datos se encontraran disponibles en el bus de datos, a la vez que se produce esta salida de datos, y en este intervalo la salida OUTPUT ENABLE se encontrará a nivel bajo, indicado la operación que se esta realizando.

4.5 TECLADO

Para el diseño de este sistema de teclado del cual se encuentra dotado el sistema microcomputado, se hara uso de los elementos que acontinuación se indican.

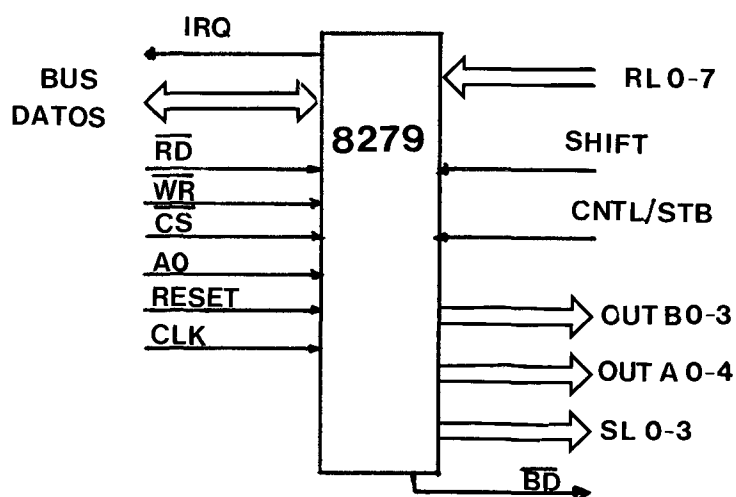
4.5.1 CONTROL DE TECLADO

Para realizar la función de control del teclado emplearemos una configuración que estara formada por un interfase a display, tanto display como teclado, y un decodificador, que en este caso particular seran los circuitos 8279 y 74LS156 respectivamente.

Este interfase a display nos permitirá por un lado la entrada de datos por medio del teclado, y asi mismo la salida por medio del display de los datos entregados por el microprocesador. La configuración del circuito empleado, el 8279, es la de un encapsulado de 40 patillas con las funciones siguientes en cada una de ellas.

- . BUS DE DATOS, DB0-DB7: Bus de datos bidireccional conectado al microprocesador, a travez del cual se realiza la intercomunicación de datos entre el teclado y el microprocesador.
- . CLK: Señal de entrada por medio de la cual el circuito recibe la señal de reloj que precisa para su correcto funcionamiento.
- . RESET: Señal de RESET procedente del microprocesador y que sera utilizada para "limpiar" el display

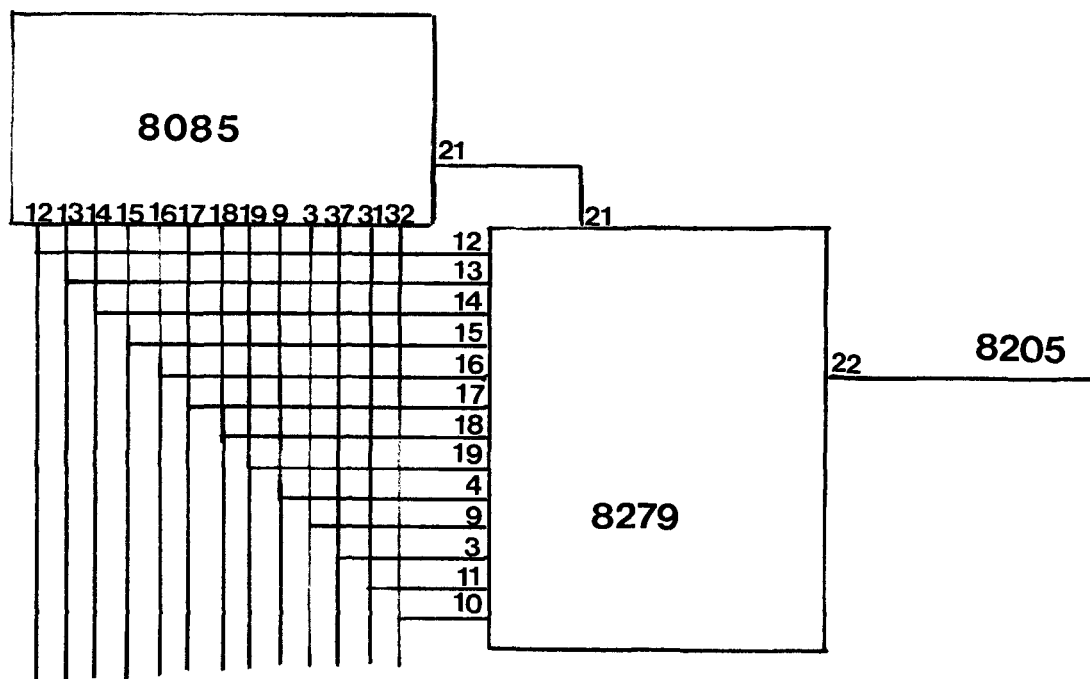
- y el resto de unidades que forman el teclado.
- . HABILITADOR DEL CIRCUITO, CS: Señal procedente del decodificador de direcciones, por medio de la cual el circuito de control de teclado queda habilitado para su utilización.
 - . LINEAS DE SELECCION, SL0-SL3: Lineas de salidas, que conectadas al decodificador indicaran la linea que recibe o tamará los datos el sistema.
 - . LINEAS DE RETORNO, RL0-RL7: Lineas de entradas, por medio de las cuales tienen acceso a la unidad las ordenes dadas desde el teclado.
 - . SALIDAS, A0,B0 a A3,B3: Salidas por medio de las cuales se atacan los display de los cuales va provis_ to el sistema.
 - . SEÑALES DE CONTROL:
 - RD Lectura.
 - WR Escritura.
 - SHIFT Desplazamiento.
 - A0 Buffer de direcciones.
 - BD Espacios en el display de salida.
 - CNTL/STB Control de entrada.



Teniendo en cuenta hasta que punto interesa la

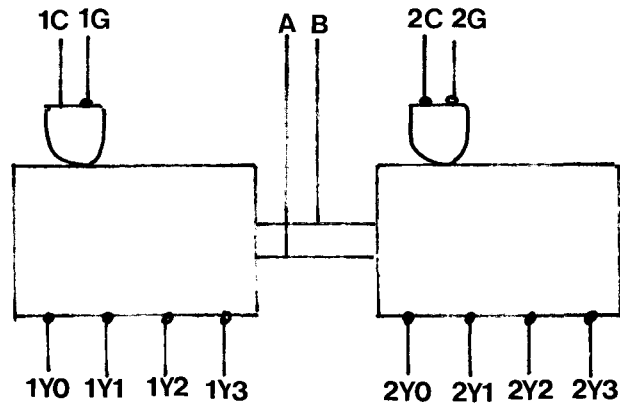
la aplicación de las interrupciones de hardware en otros puntos del sistema, pues como se vera más adelante (tema 5), estas son muy empleadas en las funciones de control, se opta por dotar al sistema de control de teclado de la posibilidad de activar una interrupción de hardware a travez de la salida IRQ (requerimiento de interrupción) del circuito 8279. Esta interrupción sera la 5.5, por motivos que se indicaran a la hora de realizar el estudio del programa (tema 6)

Teniendo en cuenta las exigencias de señales del control, que tienen que proceder del microprocesador, y asi mismo, que debido a la compatibilidad es absoluta, el circuito 8279 se conectara de la siguiente forma al sistema:



Tal como se ha indicado, y debido a que la salida del 8279 solo sirven para exitar un solo display sera necesario la utilización de un decodificador,

que sera el 74LS156, el cual es un doble decodifica_ dos. Con la siguiente tabla de verdad y diagrama ló_ gico.

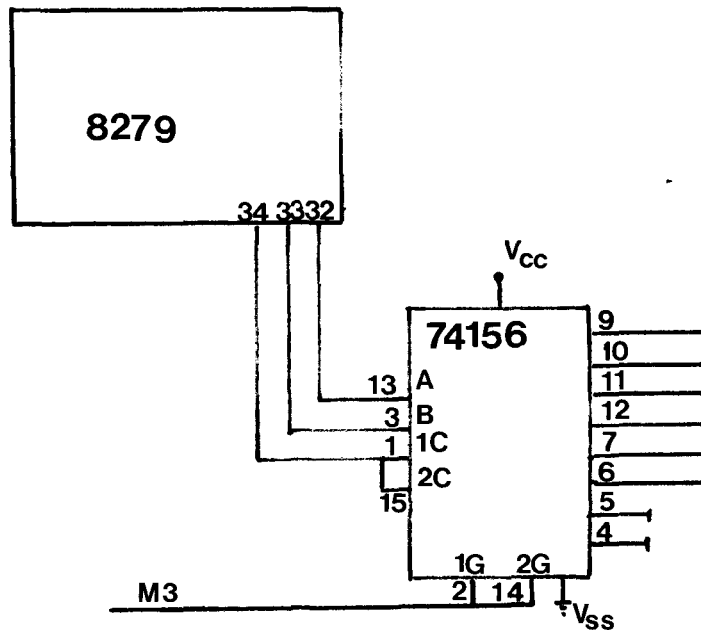


Se conectaran unidas 1C y 2C, al igual que 1G y 2G.

C	B	A	G	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

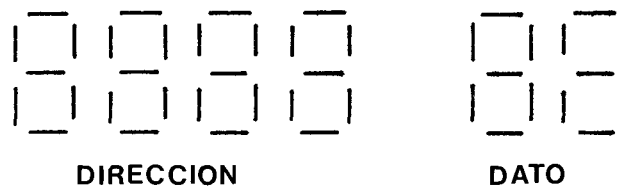
Lo cual nos permitirá efectuar la decodificación deseada en nuestro caso. La conexión de este circui_ to al sistema se realiza de la forma siguiente:

- Las líneas de selección iran a la entradas A, B, C. Conectandose directas debidas a la compativas señales.
- Las entradas G, unidas, iran a la salida RESET del microprocesador.
- Las salidas Y atacaran por un lado a los display, y por otro al teclado de la forma que se indica en la figura siguiente:

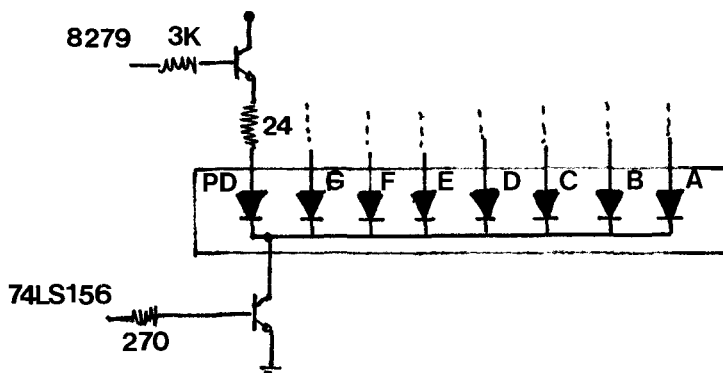


4.5.2 CONEXION DE DISPLAY Y TECLADO

Para el display emplearemos seis unidades, cuatro para el bus de direcciones y dos para el bus de datos, de la forma indicada a continuación



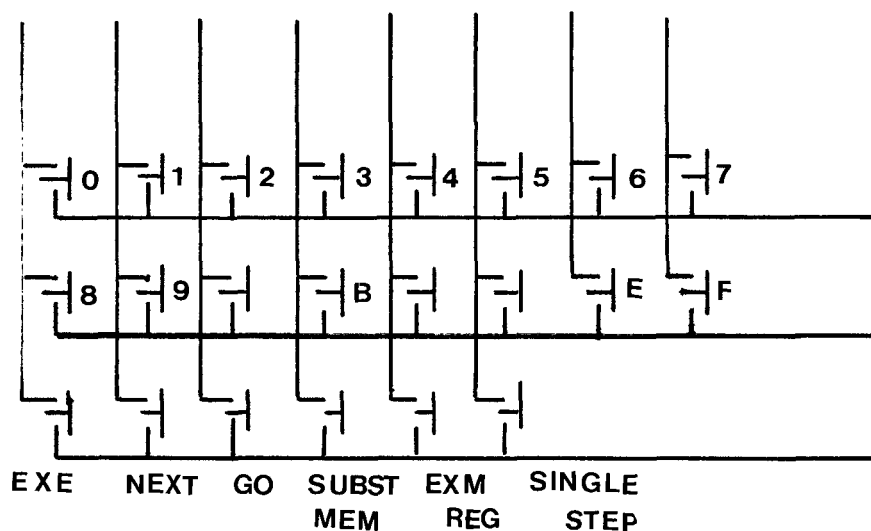
y debido a que los niveles de salida tanto del 8279, como los del decodificador no son suficientes para excitar los display se hará uso del siguiente sistema básico para ello:



El teclado estará formado por:

- . Ø digito Ø
- . 1 digito 1
- . 2 digito 2
- . 3 digito 3
- . 4 digito 4 y 8 bits de mayor peso del SP
- . 5 digito 5 y 8 bits de menor peso del SP
- . 6 digito 6 y 8 bits de mayor peso del PC
- . 7 digito 7 y 8 bits de menor peso del PC
- . 8 digito 8 y registro H
- . 9 digito 9 y registro L
- . A digito A y registro A (Acumulador)
- . B digito B y registro B
- . C digito C y registro C
- . D digito D y registro D
- . E digito E y registro E
- . F digito F y mascara de interrupciones.
- . EXEC Ejecutar
- . NEXT Siguiete dirección
- . EXAM Examinar registros
- . SINGLE Ejecución paso a paso
- . GO Salto

siendo la conección de este teclado de la forma que se indica a continuación.



Quedando el sistema de teclado de la forma indicada en la figura 4.5

4.6 ELEMENTOS UTILIZADOS EN EL MONTAJE

ELEMENTO	Nº CIRCUITO	CANTIDAD
Microprocesador	8085	1
Decodificador de direcciones	8205	2 (1)
Memoria RAM	8155	8
Memoria ROM	2716	2
Latch	8212	1
Inversor Control	7404	1 (1)
Decodificador	8279	1
Transistores	74LS156	1
Resistencia 270	2N2907	14
Resistencia 24		6
Resistencias 3K		8
Display	TIL-313	8
Teclas		6
		22

El diagrama electrónico del microcomputador al entero es mostrado en la figura 4.6

5 SISTEMA DE PERIFERICOS DE CONTROL

En este apartado del proyecto se llevará a cabo el desarrollo del sistema de control que ejecutará la función de control, para ello en este apartado incluiremos tanto el estudio de los diferentes circuitos a emplear, como el sistema de conexión al sistema del microcomputador. En cada uno de los bloques que forman el sistema de control se efectuará un desarrollo del funcionamiento del mismo, junto con las exigencias en cuanto a las palabras de entrada/salida que permitirán su correcto funcionamiento.

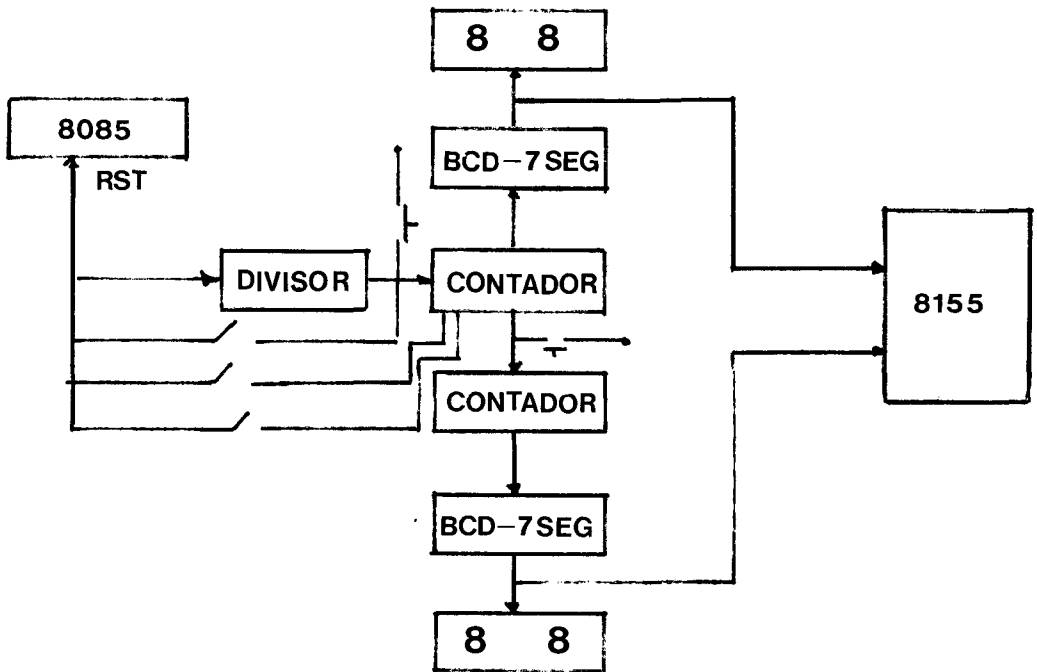
Antes de iniciar el desarrollo dividiremos el tema en los puntos siguientes:

- Función horaria: Por medio de la cual se podrá dotar al sistema de un reloj, el cual estará conectado por un lado al microprocesador a través de las puertas número 41H y 42H, y al exterior a través de un sistema de display.
- Función de iluminación: Por medio de la cual se podrá llevar a cabo el manejo automático del sistema de iluminación de la vivienda, y se conectará al sistema a través de las puertas 49H y 4AH, y a través de la puerta 51H para la actuación de la señal CLEAR necesaria en el sistema a plantear.
- Función de alarma: Por medio del cual se podrá detectar las diferentes alarmas que se pueden conectar al sistema microcomputado, y estará conectado a este sistema a través de las puertas 59H y 5AH.
- Función de control: Por medio de la cual se efectuará el manejo de distintas unidades de la vivienda, de acuerdo a unas ordenes dadas con anterioridad.

Este sistema se conectará al microcomputador a través de las puertas 4AH y 52H, y a la puerta 51H para la señal CLEAR necesaria.

5.1 FUNCION HORARIA

Tal como se ha indicado es necesario dotar al microcomputador de una unidad de reloj, y de acuerdo a las exigencias el diagrama de bloques del sistema sera el mostrado a continuacion.

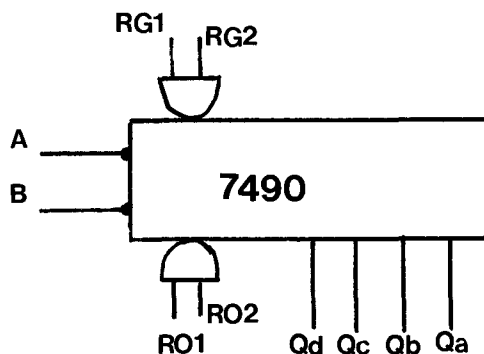


Como se observa en la figura, a parte de disponer de las horas y los minutos, este sistema envia unas señales a la entrada de interrupción de hardware por medio de la cual cada cierto intervalo de tiempo se produce una interrupción, la cual permitirá realizar una función de revisión del sistema de control por si existiera alguna orden por ejecutar. Asi mismo dispondra de unos pulsadores que permitiran la puesta en hora del reloj.

Una vez determinado el diagrama de bloques pasaremos al desarrollo del sistema.

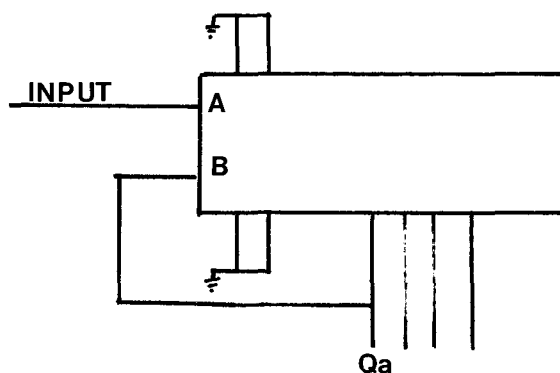
5.1.1 CIRCUITO CONTADOR

Como circuito basico a emplear en este sistema sera el contador de decadas, y para este proyecto se utilizará el circuito 7490, el cual tiene el siguiente esquema lógico y tabla de verdad.



Ro(1)	Ro(2)	Rg(1)	Rg(2)	Qd	Qc	Qb	Qa
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	cuenta			
L	X	L	X	cuenta			
L	X	X	L	cuenta			
X	L	L	X	cuenta			

Ahora bien tenemos que con este circuito se pueden realizar distintos tipos de cuentas, e interesandonos en este caso, tal como se ha indicado, la cuenta de decadas la conexión a realizar sera determinada de la forma indicada en el manual de dicho circuito, por lo cual se conectará la salida Qa a la entrada B, tal como indica el circuito siguiente



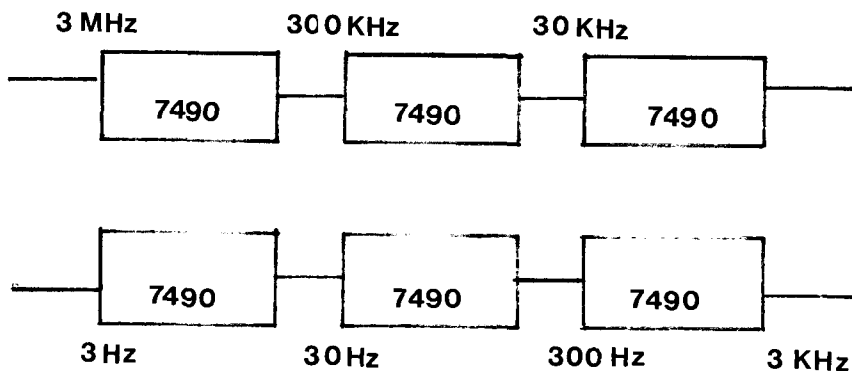
obteniendose la tabla de salidas siguiente:

	Qd	Qc	Qb	Qa
∅	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

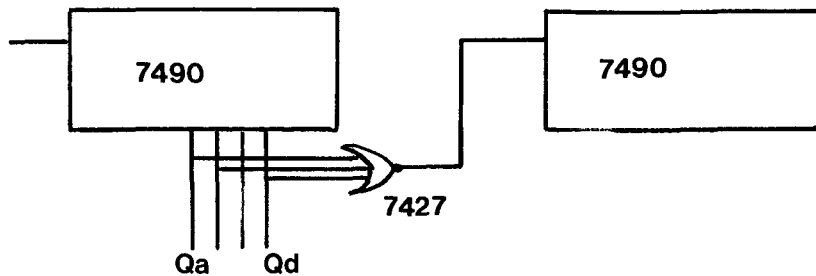
lo cual cumple con todas las exigencias requeridas.

5.1.2 DIVISOR DE FRECUENCIA

Tal como se ha planteado esta unidad del proyecto lo que nos interesa es tener disponible las horas y los minutos, y teniendo en cuenta que la frecuencia de la señal empleada para el desarrollo del reloj es de 3 MHz, esto es un periodo de 0.3333 microsegundo, cuando el periodo deseado es de 60 segundos, por lo cual debemos proceder en primer lugar a dividir la frecuencia hasta el valor deseado. Para ello emplearemos una cadena de contadores, cuyo esquema de bloques se muestra a continuación.



realizandose la conexión entre los bloques que esta unidad de la forma indicada en la figura siguiente:



Efectuandose idéntica conexión entre todos los bloques de la unidad.

Las puertas a emplear serán NOR de tres entradas, de tal forma que cuando se cumple que:

$$Qa \neq L$$

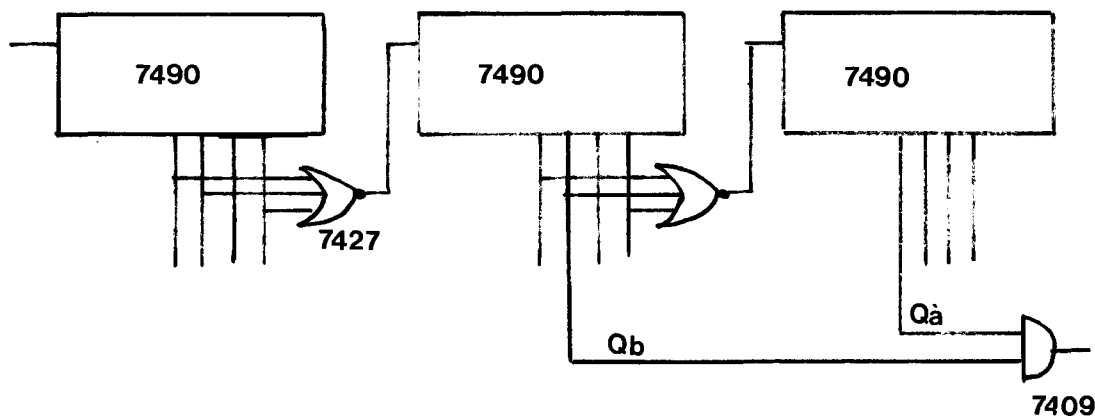
$$Qb \neq L$$

$$Qd \neq L$$

se producirá un pulso a la salida de la puerta, esto es un pulso de cada diez, que es lo que nos interesa.

En este caso el circuito a emplear es el 7427, el cual es un circuito con tres puertas NOR de tres entradas cada una de ellas, y de acuerdo a las características de este circuito la conexión entre el contador y la puerta se realiza directamente, tal como se indicó en la figura anterior.

Una vez disponemos de una frecuencia de 3 Hz solo nos resta realizar la cuenta de 120 pulso, lo cual equivale a un minuto, para realizar esta cuenta se efectuará este montaje que se indica en la figura siguiente en la cual se emplean tres contadores y tres puertas NOR, una de ellas es la que ataca a la entrada, y una puerta AND de dos entradas que ataca a la etapa siguiente:



Debido a esto en el montaje de esta unidad se emplean los siguiente circuitos:

Contadores	7490	9	9 unidades
Puertas NOR	7427	8	3 unidades (resta 1)
Puertas AND	7409	1	1 unidad (restan 3)

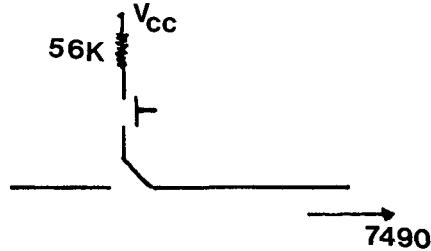
La conexión del divisor al microcomputador se realiza a la salida CLK del microprocesador (patilla 37 del 8085), realizandose esta conexión directamente debido a la compatibilidad entre ambas unidades.

5.1.3 SEÑAL HORARIA

Una vez se dispone de la señal que nos ofrece un pulso por minuto, lo unico que nos resta es efectuar una cuenta de 60 pulsos, lo que equivale a una hora, para realizar esta fuente de cuenta emplearemos dos contadores de decadas con un montaje tal que el segundo contador realiza una cuenta hasta 6 solamente.

Asi mismo este monte mandará un pulso a la entrada de interrupción hardware 6.5 en intervalos de 1, 10 y 60 minutos, con la función que se indicará en el tema 6 de este proyecto.

También dispondra de un pulsador que nos permitirá la puesta en hora de la unidad, para el cual se realiza la conexión siguiente:



su funcionamiento es tal que cada vez que se apriete el pulsador, este contador se incrementará en una unidad. Y para su diseño deberemos tener en cuenta los valores siguientes:

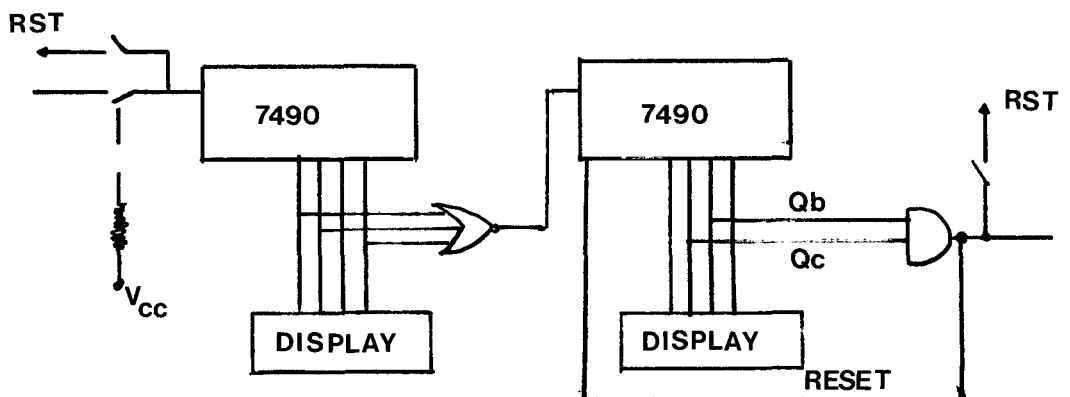
- . Nivel mínimo para el conocimiento de un "1" lógico es de 2'4 voltios.
- . El nivel de corriente para el nivel alto es de 30 microamperios.

De donde consideraremos que la tensión posible que puede caer en la resistencia es de 1 voltios, debido a lo cual el valor de la resistencia sera:

$$R = V/I = 1/20 \cdot 10^{-6} = 50000$$

como valor teorico, y con el fin de tener en cuenta las tolerancias propias emplearemos una resistencia de 56 K .

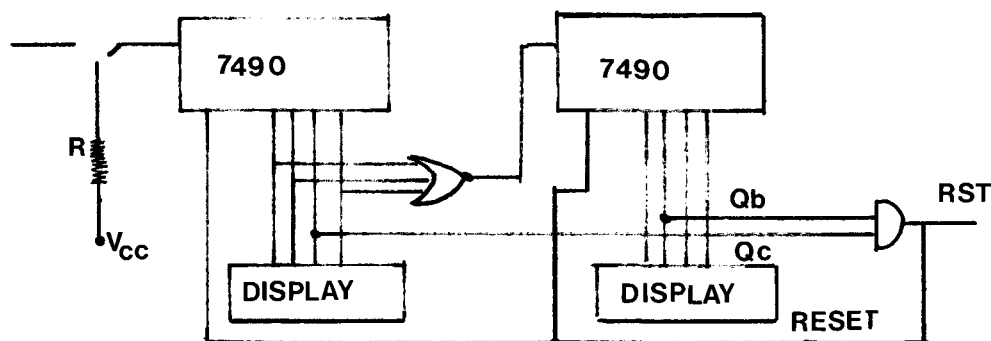
Una vez determinado esto, y teniendo en cuenta lo expuesto anteriormente junto con las exigencias pedidas a este montaje, este quedara de la forma que se indica en la figura siguiente:



Montaje en el cual se cumple que al ser la salida del segundo contador de seis producira un reset en dicho contador, emplezandose por ello una nueva cuenta. De acuerdo a todo lo planteado en este montaje se emplean los circuitos siguientes:

Contador 7490	1	1 unidad
Puerta NOR 7427	1	se utiliza la sobrante del montaje del divisor
Puerta AND 7409	1	Se utiliza la sobrante del montaje del divisor
		(restan 2)

A continuación plantearemos el montaje del bloque que determinara la hora, para el cual realizaremos un montaje similar al indicado en el planteamiento de la unidad de los minutos, debido a lo cual pasaremos directamente a su diseño el cual se realizará de la forma que se indica en la figura siguiente:



Empleandose en el diseño los mismos componentes que los indicados en la cabecera de la pagina.

A parte de los circuitos se emplearan:

Dos resistencias de 56 K

Dos interruptores

Dos pulsadores

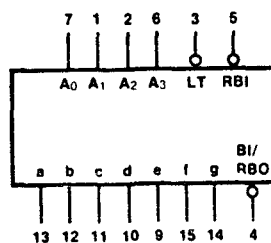
5.1.5 DISPLAY DE LA SEÑAL HORARIA

Una vez disponemos de la señal horaria sera preciso por un lado entregarla al microcomputador, lo cual se hace por medio de las puerta 41H y 42H, y por otro lado al exterior por medio de display.

Ahora bien para atacar a los display lo primero que debemos hacer es una decodificación de BCD a 7 segmentos, función que se realiza por medio del circuito 7448, el cual tiene el siguiente diagrama lógico y tabla de verdad:

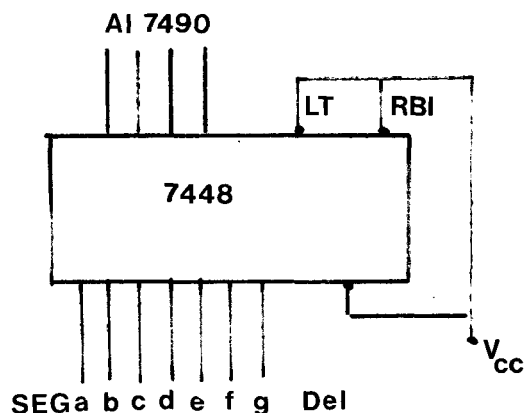
DECIMAL OR FUNCTION	INPUTS						OUTPUTS							NOTE
	\overline{LT}	\overline{RBI}	A ₃	A ₂	A ₁	A ₀	$\overline{BI/RBO}$	a	b	c	d	e	f	
0	H	H	L	L	L	L	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	
11	H	X	H	L	H	H	H	L	L	H	H	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	
\overline{BI}	X	X	X	X	X	X	L	L	L	L	L	L	L	2
\overline{RBI}	H	L	L	L	L	L	L	L	L	L	L	L	L	3
\overline{LT}	L	X	X	X	X	X	H	H	H	H	H	H	H	4

LOGIC SYMBOL



VCC = Pin 16
GND = Pin 8

de acuerdo a lo cual, y teniendo en cuenta la compati-
bilidad existente entre todas las unidades, las conec-
ciones a realizar son:



Realizandose identica conexión para las cuatro
unidades de display que se emplean:

5.1.6 MATERIAL EMPLEADO

En el desarrollo total de la unidad se emplean
los elementos siguientes:

Contadores de decadas	7490	13	13 unidades
Puertas NOR 3 entradas	7427	10	5 unidades
Puertas AND 2 entradas	7409	3	1 unidad
Resistencia 56 K			2 unidades
Interruptores			2 unidades
Pulsadores			2 unidades
BCD-7 segmentos	7448	4	4 unidades
Display			4 unidades

5.2 SISTEMA DE ILUMINACION

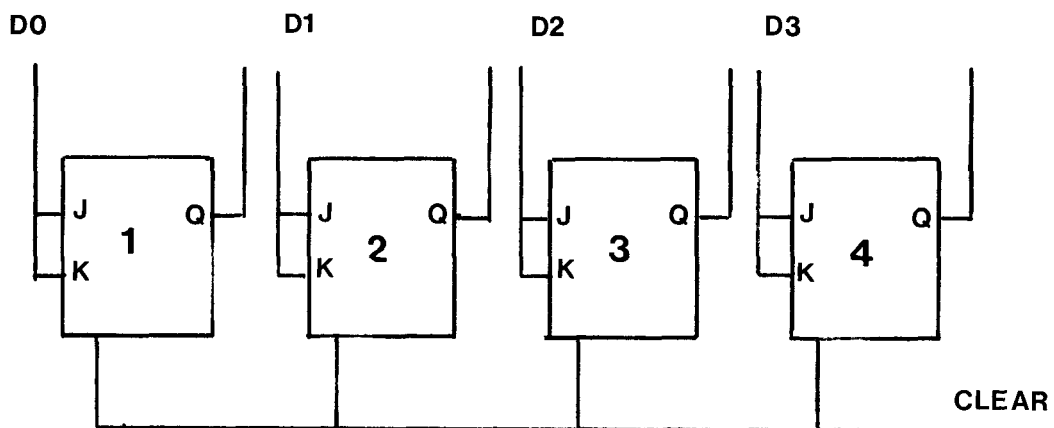
En primer lugar debemos determinar las funciones a efectuarse por este sistema, y que en este caso serán:

- . Encender o apagar las luces.
- . Detección de encendido o apagado.
- . Detección de entrada o salida.
- . Detección de puerta activada (de la habitación).

A continuación se determinaran las puertas por medio de las cuales el sistema de iluminación es conectado al microcomputador, y que serán la 49H, para la entrada de datos, y la 4AH para la salida de selección, una vez determinado esto pasaremos al desarrollo del sistema.

5.2.1 SALIDA DE SELECCION

Debido a que la información de salida por puertas del microcomputador solo se mantiene durante un pequeño intervalo de tiempo, cuando en este caso nos interesa que esta se mantenga por tiempo indefinido se hara necesario el empleo de un sistema de memoria temporal, para ello emplearemos Flip-Flop JK, de acuerdo al montaje mostrado a continuación:

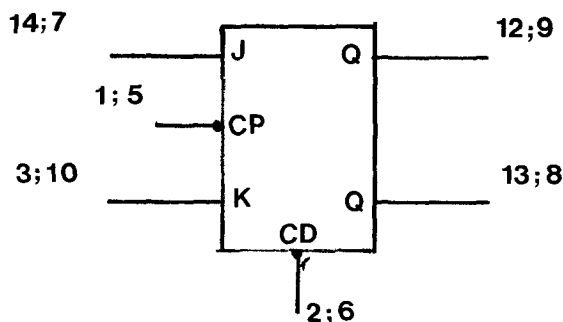


Siendo su funcionamiento de tal forma que cuando a la entrada del JK tenemos un "1" lógico, la salida Q bascula, y como antes de enviar a esta unidad la información de selección se habra efectuado un CLEAR, por lo cual todas las salidas Q estaran a "0" lógico, la respuesta es la deseada. En el caso de que la entrada sea un "0" lógico el JK no basculará, permaneciendo a "0". Lo cual cumple con nuestras exigencias.

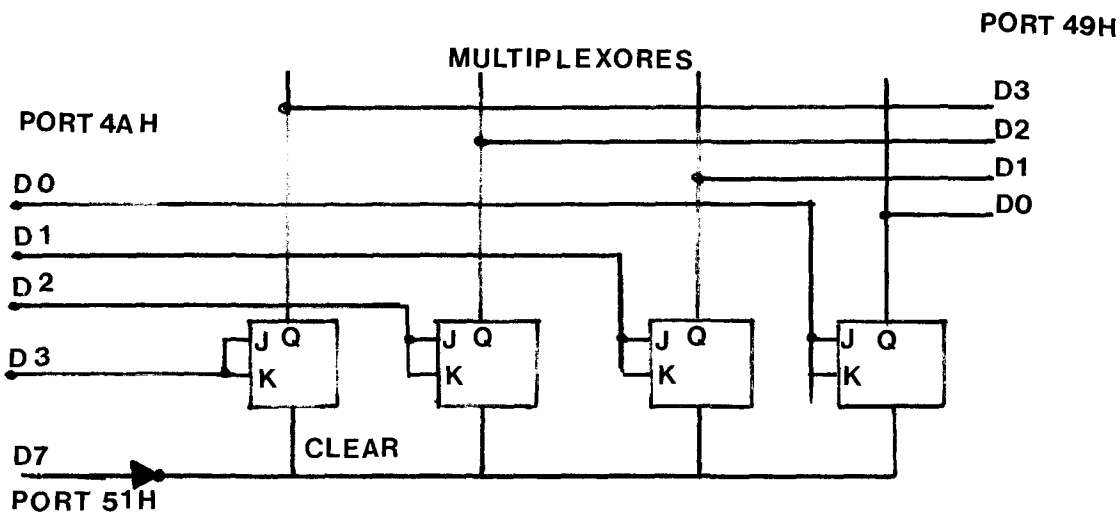
Asi pues la tabla de verdad de este montaje es:

JK	Q(t + 1)
0	Q(t)
1	Q(t)

El circuito a emplear en este caso sera el 7473, el cual dispone de dos Flip-Flop JK, de acuerdo al siguiente diagrama lógico:



y debido a la compatibilidad de niveles de tensión y corriente el montaje se conectará directamente al micro computador, quedando por lo cual la conección de la forma que se indica en la figura.



La entrada de reloj permanecerá al aire debido al caracter asincrono de la unidad. También podra conectarse a masa.

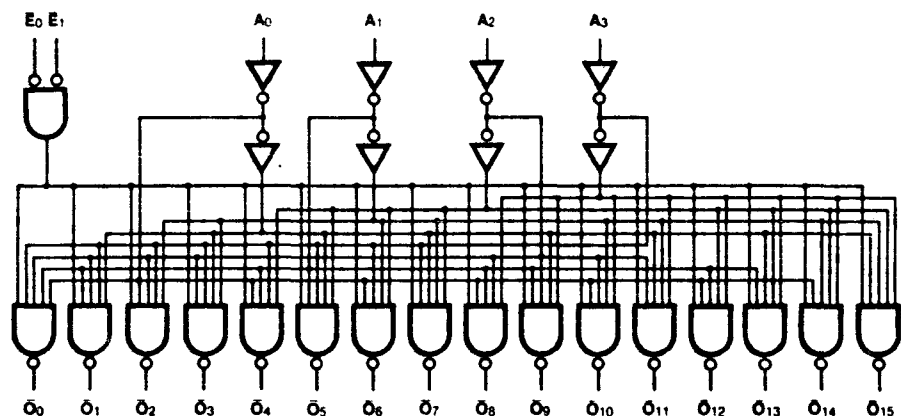
5.2.2 SISTEMA ENCENDER/APAGAR

Para efectuar este montaje debemos disponer en primer lugar de un demultiplexor, que en este caso se utilizará el 74154, el cual tiene la siguiente tabla de verdad y diagrama lógico:

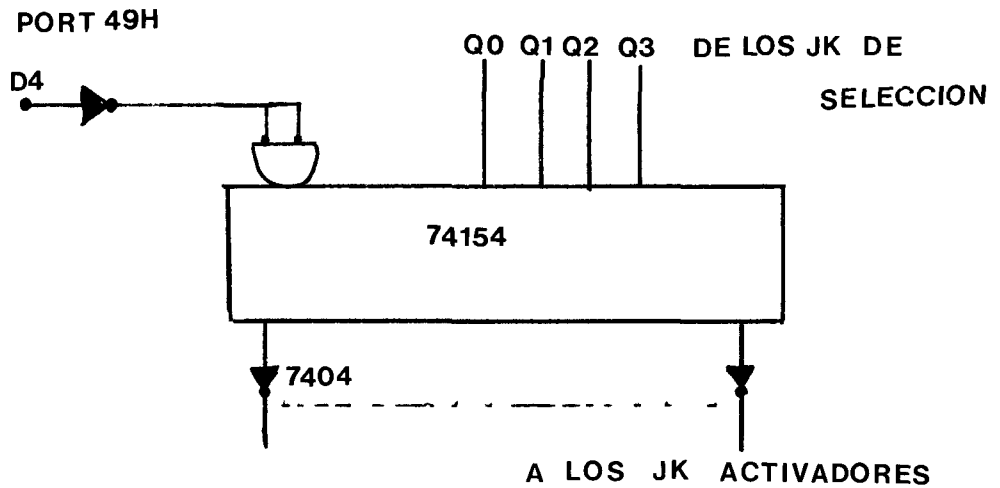
INPUTS						OUTPUTS																
\bar{E}_0	\bar{E}_1	A_0	A_1	A_2	A_3	\bar{O}_0	\bar{O}_1	\bar{O}_2	\bar{O}_3	\bar{O}_4	\bar{O}_5	\bar{O}_6	\bar{O}_7	\bar{O}_8	\bar{O}_9	\bar{O}_{10}	\bar{O}_{11}	\bar{O}_{12}	\bar{O}_{13}	\bar{O}_{14}	\bar{O}_{15}	
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

LOGIC DIAGRAM

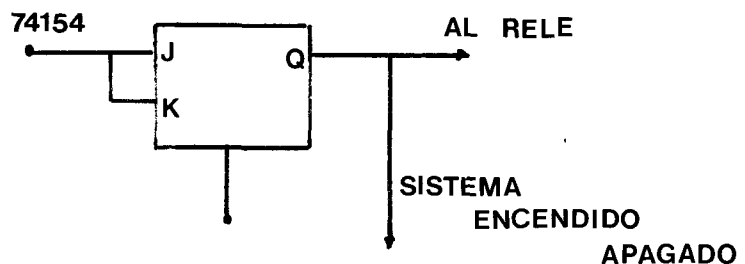


de acuerdo a lo cual, y teniendo en cuenta la compatibilidad existente entre las diferentes unidades, la conexión a realizar es la siguiente:



A la salida del demultiplexor deberemos utilizar inversores para atacar a los JK de la unidad siguiente. Los inversores a utilizar serán 7404, que al ser compatible se conectarán directamente. El diagrama lógico de este circuito es el mostrado en la figura siguiente:

El montaje a realizar con los JK será el siguiente:



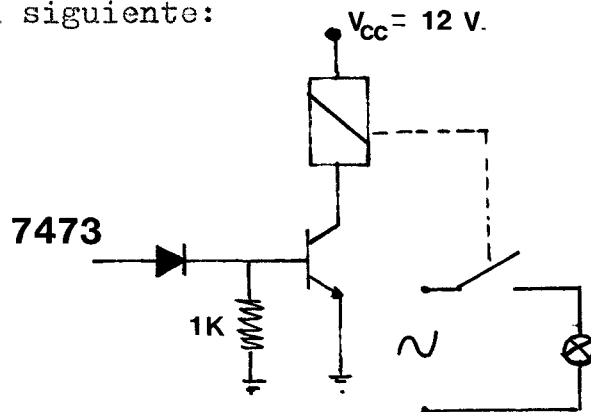
conectandose directamente a la unidad anterior.

El funcionamiento de esta unidad es tal que cada vez que la palabra de salida por la puerta 49H sea:

X X X 1 X X X X

se producira una salida a nivel bajo por la salida seleccionada del demultiplexor, debido a lo cual el Flip-Flop cambiara de estado. Por lo cual cumple con las exigencias requeridas al sistema de encendido y apagado de las luces, con la ventaja de usar la misma palabra de control tanto para el encendido, como para el apagado, pues con esta palabra y debido al montaje del Flip-Flop lo que se produce con cada una de las salidas por puerta es una basculación en el estado del JK.

Como último bloque de esta sistema contamos con un rele, el cual tendra por finalidad la de activar la luz, cuando la salida del JK se un "1" lógico, para ello el rele utilizado sera de 12 voltios y 28Ø y su montaje sera de la forma que se indica en la figura siguiente:



Para su diseño empleamos una resistencia de 1 K entre base y masa con la finalidad de polarizar la base, y un diodo que tendra por finalidad la de evitar sebotos que puedan perjudicar a los bloques anteriores a este.

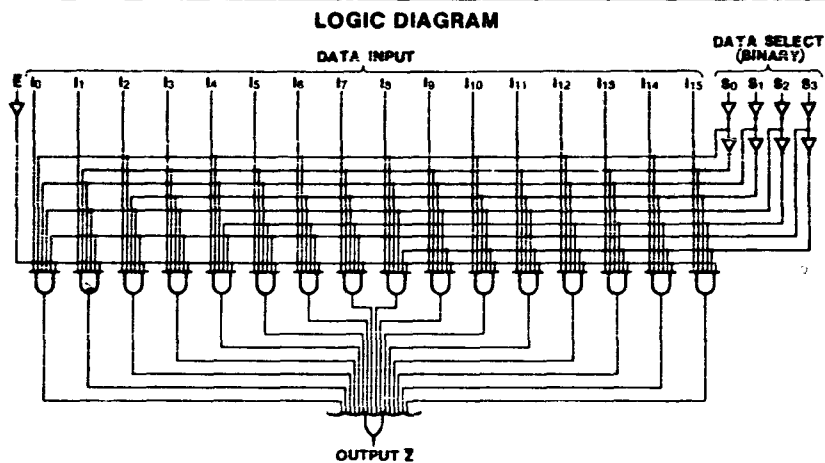
A parte del interruptor gobernado por el rele dispondremos de otro en paralelo con el fin de mantener encendida la luz independientemente de la ordenes da

das por el microcomputador.

5.2.3 SISTEMA DE ENCENDIDO O APAGADO

Debido a que el sistema antes de ejecutar una orden de encender/apagar comprobará el estado de la luz, sera necesario entonces dotar al sistema de un montaje que nos permita detectar el estado de dicha luz.

Este montaje dispondra en primer lugar de un multiplexor, que en este caso sera el 74150, el cual tiene el siguiente diagrama lógico y tabla de verdad:

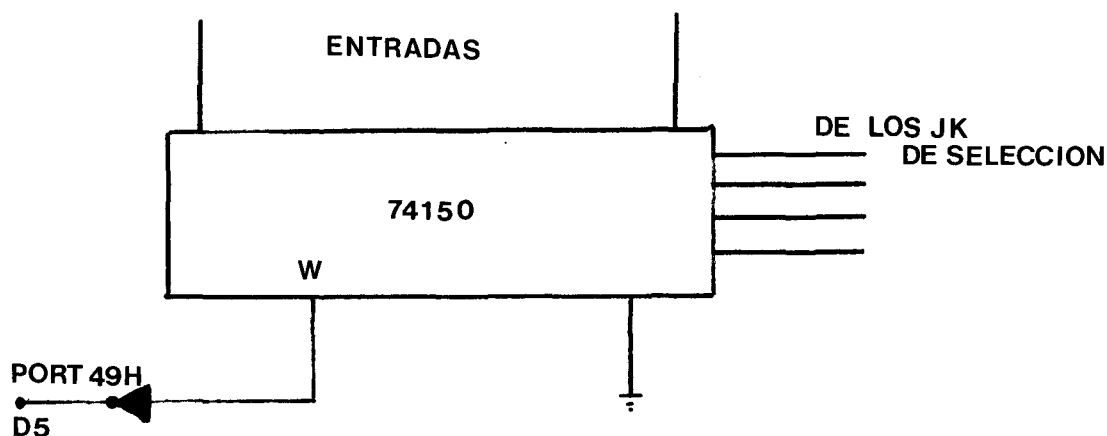


TRUTH TABLE

INPUTS					OUTPUT
S ₃	S ₂	S ₁	S ₀	E	Z
X	X	X	X	H	H
L	L	L	L	L	I ₀
L	L	L	H	L	I ₁
L	L	H	L	L	I ₂
•	•	•	•	L	•
H	H	L	L	L	I ₁₂
H	H	L	H	L	I ₁₃
H	H	H	L	L	I ₁₄
H	H	H	H	L	I ₁₅

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

de acuerdo a lo cual la conexión a realizar sera:



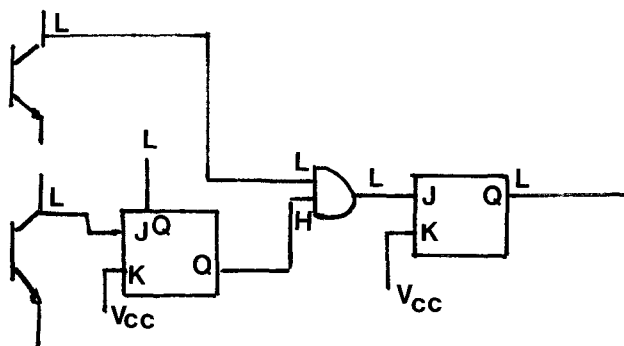
el motivo de emplear el inversor es que la salida del circuito es negada, esto es "0" para encendido, cuando en nuestro caso nos interesa es lo contrario, este inversor sera el 7404, ya empleado.

Las entradas del multiplexor iran conectadas a la salida del Flip-Flop JK del sistema encender/apagar, realizandose la conexión directamente.

5.2.4 SISTEMA ENTRADA/SALIDA Y ACTIVADO

Este sistema estara formado en primer lugar por dos multiplexores de 16 entradas, que seran el 74150, visto anteriormete.

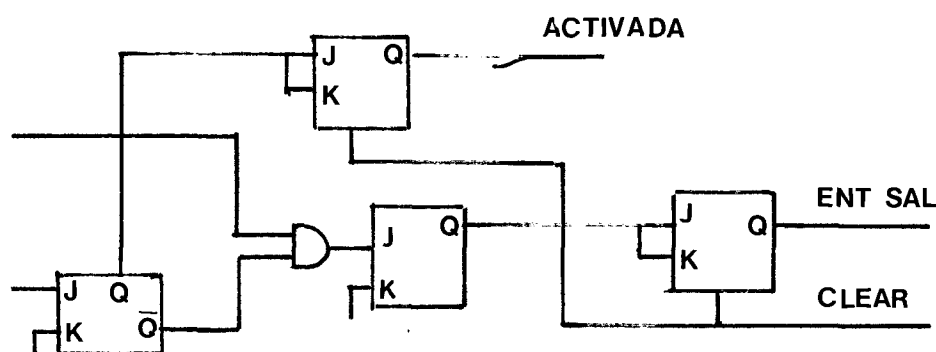
Como principal problema en este montaje tenemos la detección de entrada/salida, pues sera necesario diferenciar entre ambas, y para ello realizaremos el montaje siguiente:



montaje en el cual se indican los estados del reposo, ahora bien, en el caso de que se efectue una salida, el transistor I tendra una salida H, y teniendo en cuenta el tiempo de transito a travez de la puerta de la habitación y asi mismo el tiempo de basculación del Flip-Flop JK I, la salida de la puerta pasara a un nivel alto, por lo cual la salida Q del Flip-Flop JK II pasara a nivel alto, lo cual nos indicará que se ha efectuado una salida, asi mismo al llegar la persona a la altura del segundo transistor, transistor II, la salida de este sera H, lo cual hara bascular al Flip-Flop JK I, pasando la salida Q de este a un nivel H, lo que nos indicará que la puerta ha sido activada.

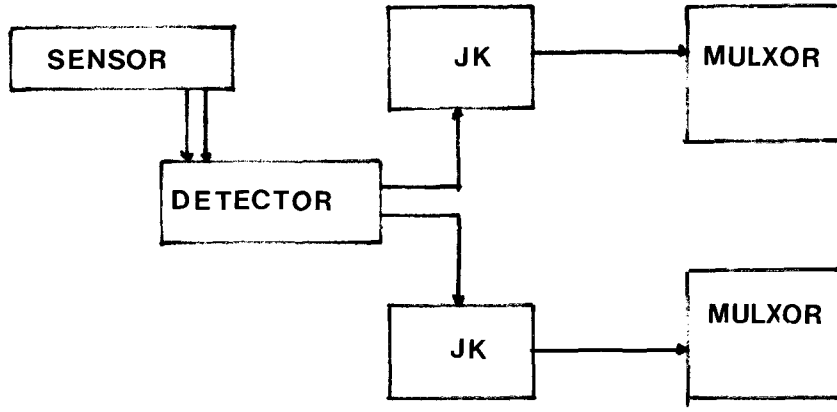
En el caso de que se produzca una entrada el Flip-Flop JK I basculará a H, luego la salida Q a L, por lo cual la salida del Flip-Flop JK II permanecera a nivel bajo, indicandonos una entrada, a la vez que por lo indicado en el caso de la salida, la salida Q del Flip-Flop JK I pasará a un nivel alto indicando nos que la puerta ha sido activada.

Lo cual nos soluciona el problema en parte, pues una vez se ha efectuado el transito, este sistema retornará a la situación de reposodo indicado en la figura anterior, debido a lo cual sara necesario emplear un sistema que nos almacene estos estados hasta que se de una orden de CLEAR, para ello emplearemos otros dos JK con el montaje indicado en la figura siguiente:



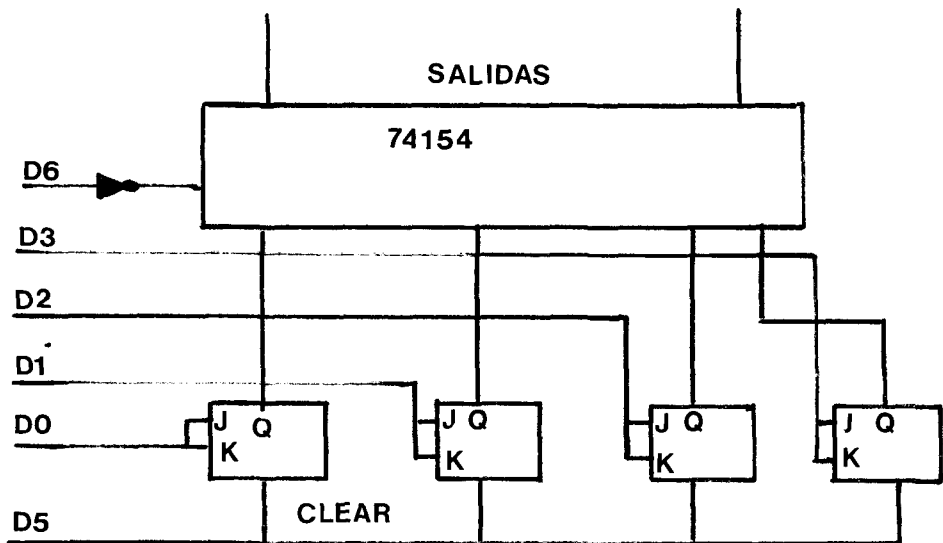
por medio del cual la información quedará retenida.

Asi pues este bloque del sistema entrada/salida y detección quedaria de la forma siguiente:



5.2.5 SISTEMA DE ACTIVACION DEL CLEAR

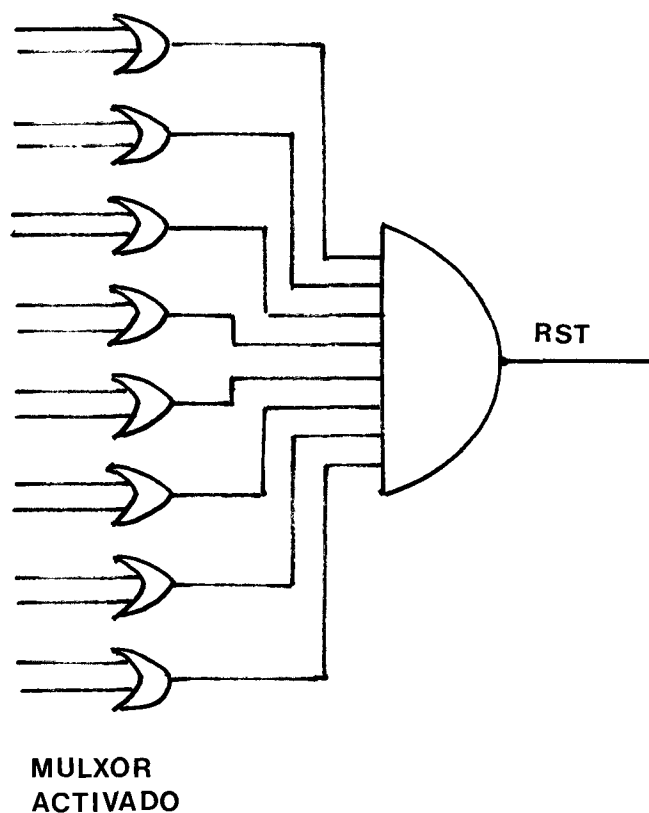
Como ya se ha indicado, en este montaje se emplean una serie de JK que hacen función de memorias temporales a las cuales antes de entregarles una nueva información es necesario efectuar un CLEAR, realizandose esta orden a travez de la puerta 51H del microcomputador con la siguiente conección:



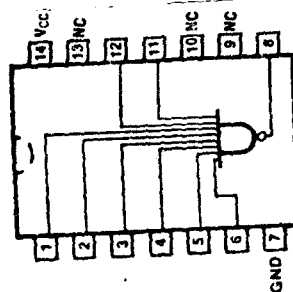
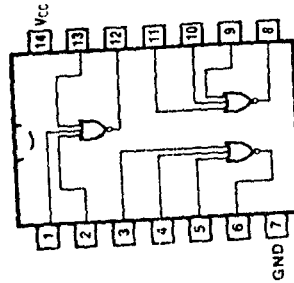
atacando las salidas del demultiplexor a los pares de JK que retienen la información del sistema de entrada/salida y activado de puerta.

5.2.6 SISTEMA ACTIVADOR DEL INTERRUPTOR DE HARDWARE

Una vez que se ha determinado la activación de una puerta es necesario informar de ello al microcomputador, función que desarrollaremos a través de la interrupción de hardware 7.5, y para ello efectuaremos el montaje siguiente:



empleandose para ello 8 puertas NOR de dos entradas que en este caso sera el 7428, y asi mismo una puerta NAND de 8 entradas que sera en este caso el 7430, cuyos diagramas lógicos se muestran a continuación



5.2.7 SISTEMA DE CONECCIONES

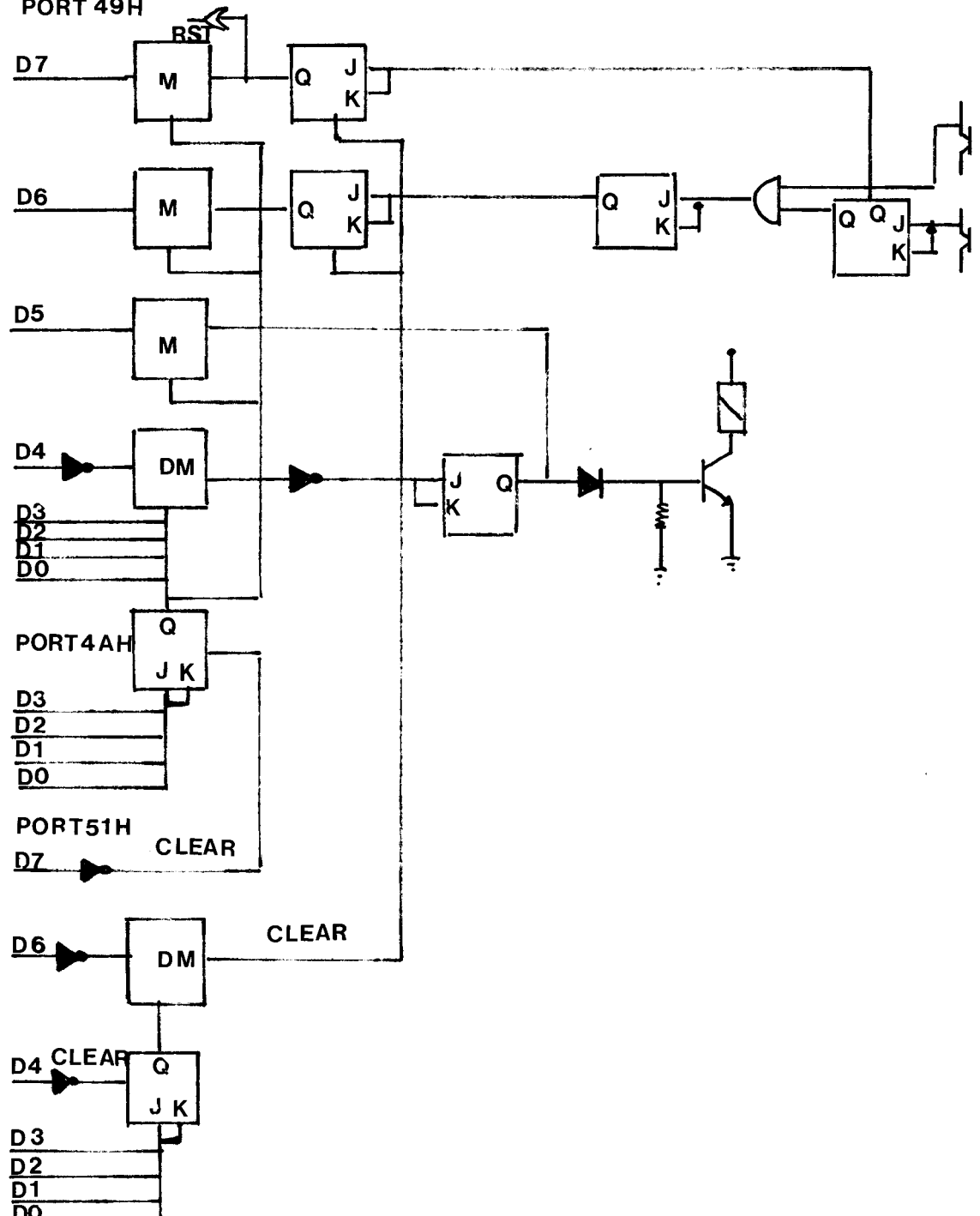
Tal como se ha indicado, este sistema de iluminación se diseña para un máximo de 16 habitaciones, y en el caso de que la vivienda disponga de menos habitaciones los terminales sobrantes procedente de los multiplexores, o demultiplexores, se conectarán los primeros a masa y los de los segundos quedaran al aire.

Como siguiente punto a determinar son las palabras de control que se emplean en el manejo del sistema de iluminación, que son:

Nº puerta	palabra	función
49	XXX1 XXXX	Encender o apagar
49	XX1X XXXX	Luz encendida
49	XXØX XXXX	Luz apagada
49	X1XX XXXX	Salida
49	XØXX XXXX	Entrada
49	1XXX XXXX	Puerta activada
49	ØXXX XXXX	Puerta no activada

Nº puerta	palabra	función
49	XXXX XXXX	Selección, nº puerta.
4A	XXXX XXXX	Selección, determinación.
51	1XXX XXXX	CLEAR de los JK de elección
51	X1XX XXXX	CLEAR en los JK de ent/sal.
51	XXXX XXXX	Selección de los JK de ent/sal.
51	XX1X XXXX	CLEAR en JK del CLEAR.

5.2.8 DIAGRAMA DE BLOQUES Y MATERIAL EMPLEADO
PORT 49H



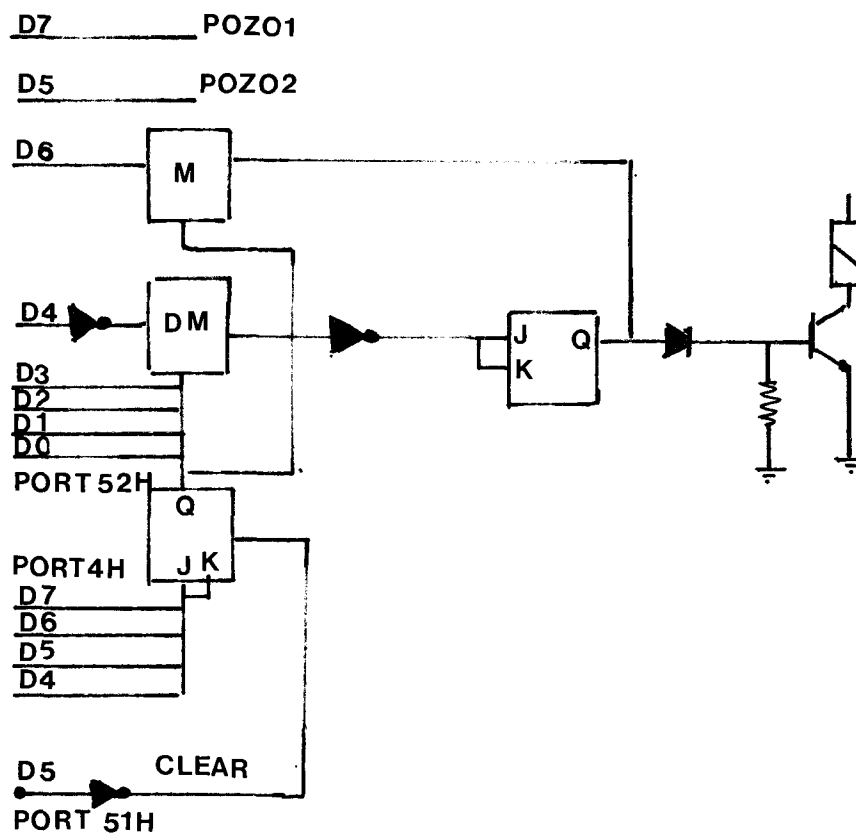
El material empleado en el diseño de este sistema de iluminación es el siguiente:

Flip-Flop JK	7473	88	44 unidades
Inversores	7404	34	6 unidades
Puerta AND	7409	16	4 unidades
Multiplexores	74150	3	3 unidades
Demultiplexores	74154	2	2 unidades
Puerta NOR 2 entradas	7428	8	4 unidades
Puerta NAND 8 entradas	7430	1	1 unidad
Transistores BC107		16	16 unidades
Resistencias 1 K			16 unidades
Rele 280 12 V.			16 Unidades
Diodos			16 Unidades
Interruptores			16 Unidades

Debemos indicar que los sensores se estudiarán al final del tema 5

5.3 SISTEMA DE CONTROL

El sistema de control posee el diagrama de bloques siguiente:

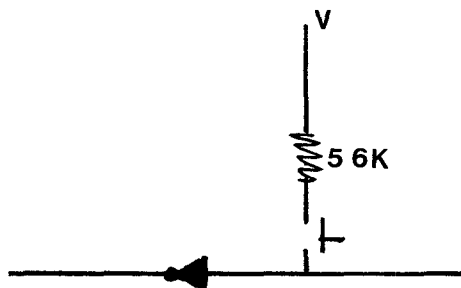


debido a lo cual al repetirse el montaje de forma ana-
loga al visto para el sistema de iluminación nos limi-
taremos a reseñar las diferencias, siendo estas:

- La salida de selección se conectarán al microcompu-
tador a través de los cuatro bits de mayor peso de
la puerta 4AH.
- El CLEAR se conectara al bit D4 de la puerta 51H.

5.3.1 DETECTOR DE POZOS

Por medio de este sistema podremos detectar el
contenido de los pozos, determinando cuando estos se
encuentren llenos y sea necesario vaciarlos, el monta-
je a realizar es el siguiente:



y de acuerdo a lo indicado en el estudio del pulsador
empleado en el sistema de señal horaria, la resisten-
cia a emplear es de 56 K , y su funcionamiento es tal
que cuando el pozo este lleno abrirá el interruptor,
por lo cual a la salida del inversor tendremos un "1"
lógico que nos indicará que el pozo esta lleno, en el
caso contrario tendremos un "0", y aunque se de una
orden de vaciado esta sera ignorada.

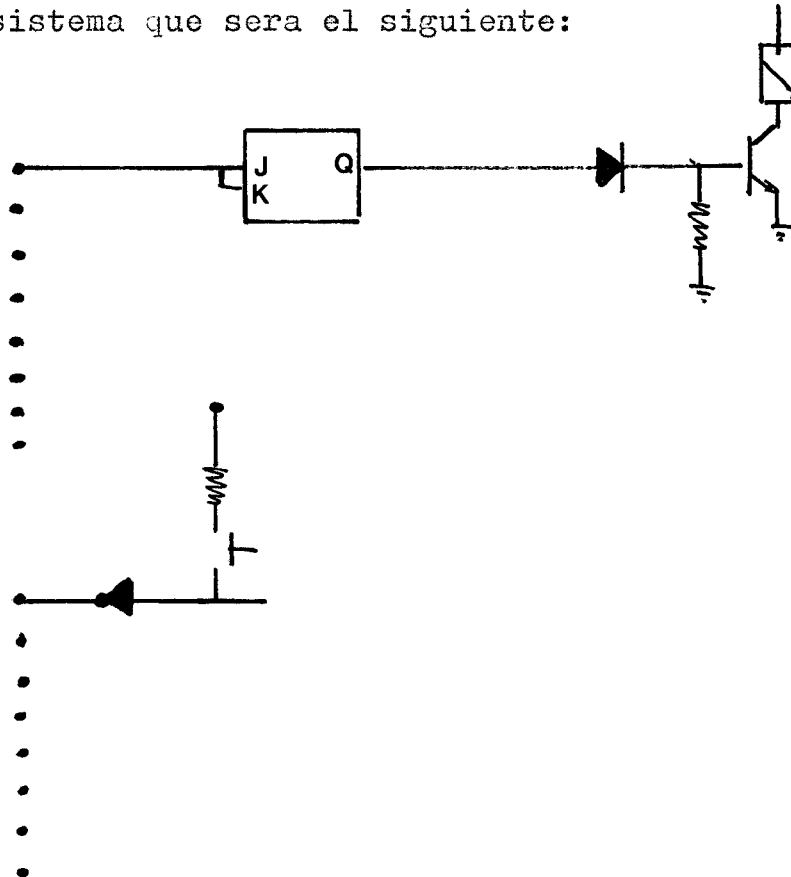
5.3.2 MATERIAL EMPLEADO

Flip-Flop JK	7473	20	10 unidades
Multiplexor	74150	1	1 unidad
Demultiplexores	74154	1	1 unidad
Inversor	7404	18	3 unidades
Rele 280 12 V.			16 unidades
Transistores BC107			16 Unidades
Resistencias 1 K			16 Unidades

Buffer	7407	2	1 unidad
Resistencias	56 K		2 unidades
Pulsadores			2 unidades
Interruptores			16 unidades

5.4 SISTEMA DE ALARMA

En primer lugar debemos dejar claro que inicialmente este sistema se diseña solo para la alarma de robo, siendo ampliación para 6 más. Dejando esto en claro pasaremos al diseño del diagrama de bloques del sistema que sera el siguiente:

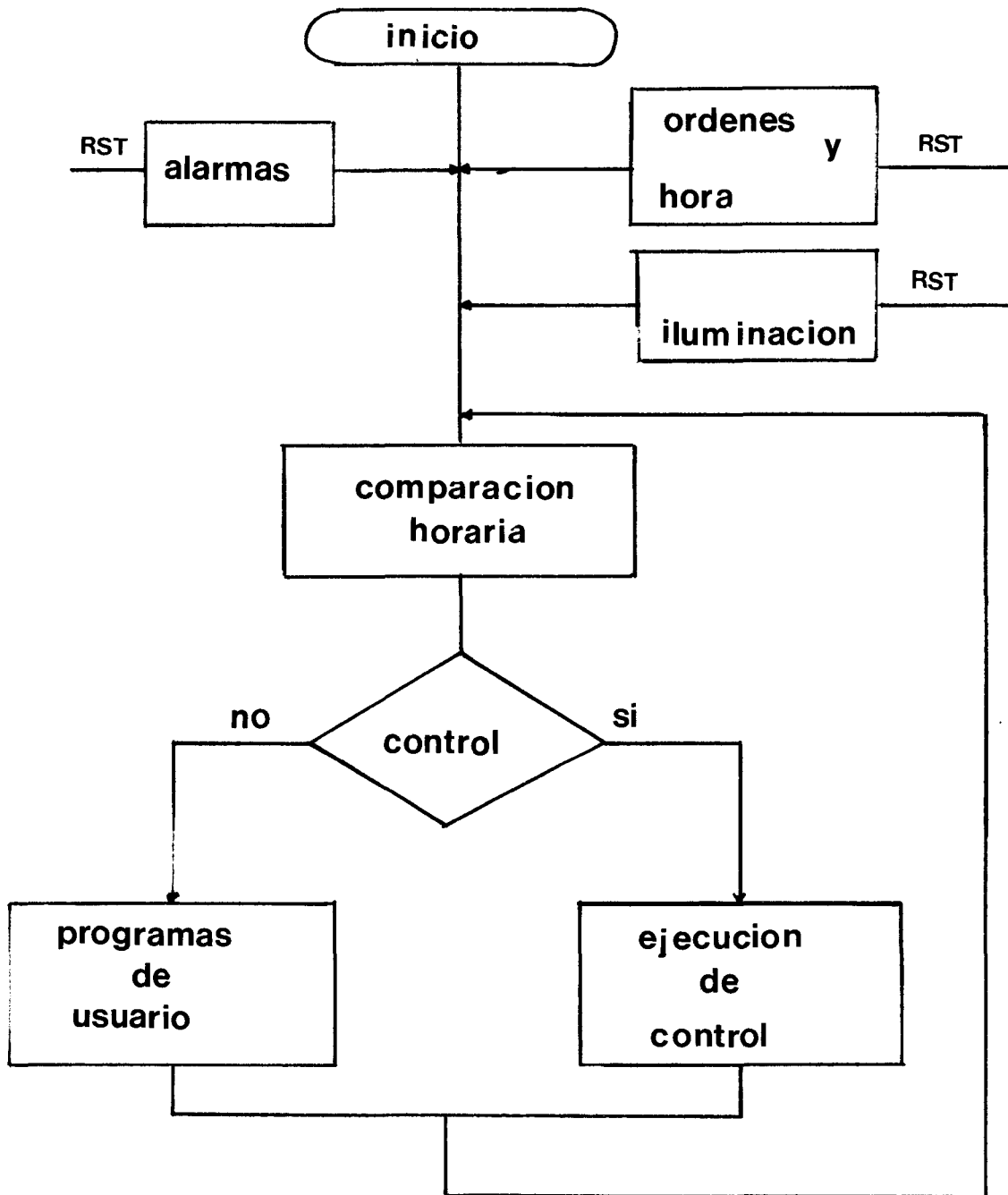


Y siendo los bloques de entrada y salida iguales a los planteados en apartados anteriores, no se procederá a su desarrollo en este.

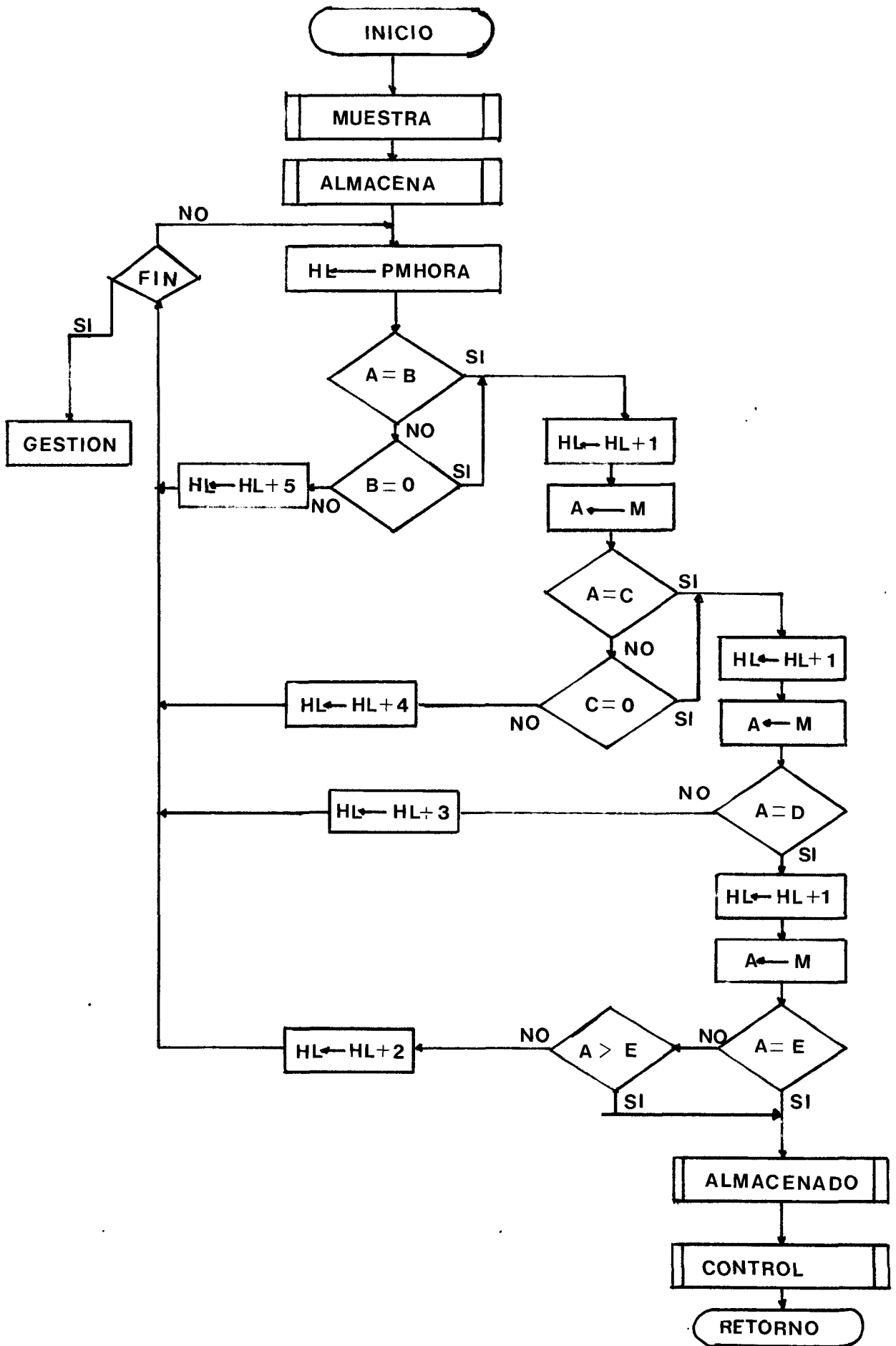
Los terminales de salida del sistema no conectados permanecerán al aire, mientras lo de entrada se conectaran a masa.

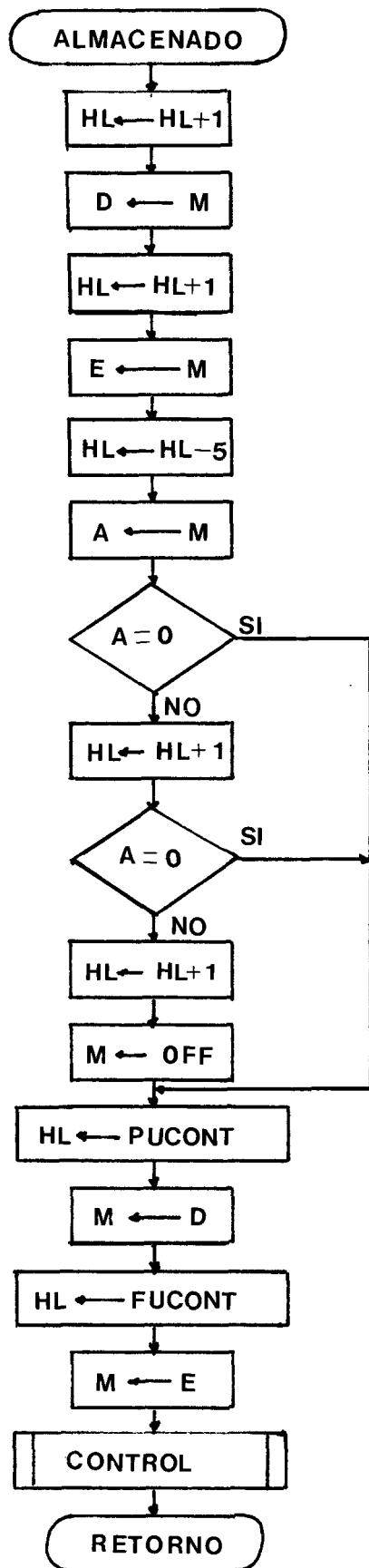
5.4.1 MATERIAL EMPLEADO

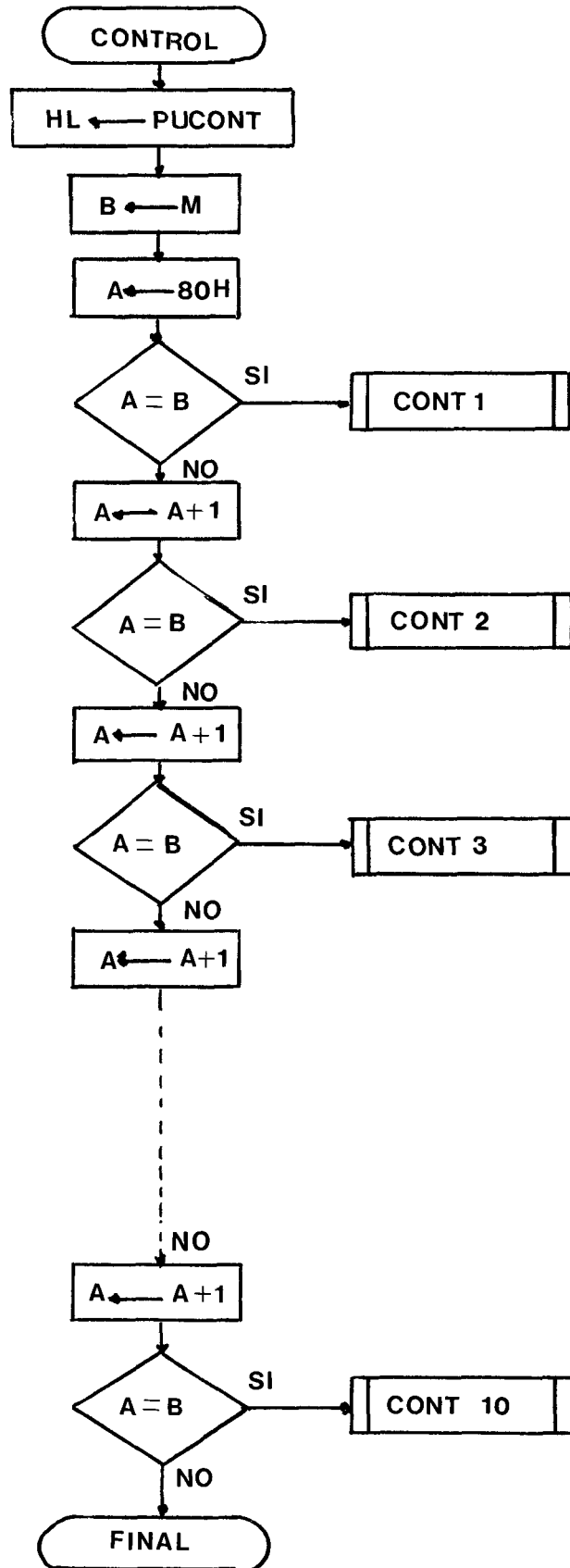
Flip-Flop JK	7473	8	4 unidades
Rele 28Ø	12 V.		8 Unidades
Transistores	BC1Ø7		8 Unidades
Resistencias	1K		8 unidades
Interruptores			8 Unidades
Buffer		8	2 Unidades
Resistencias	56 K		8 Unidades
Pulsadores			8 Unidades

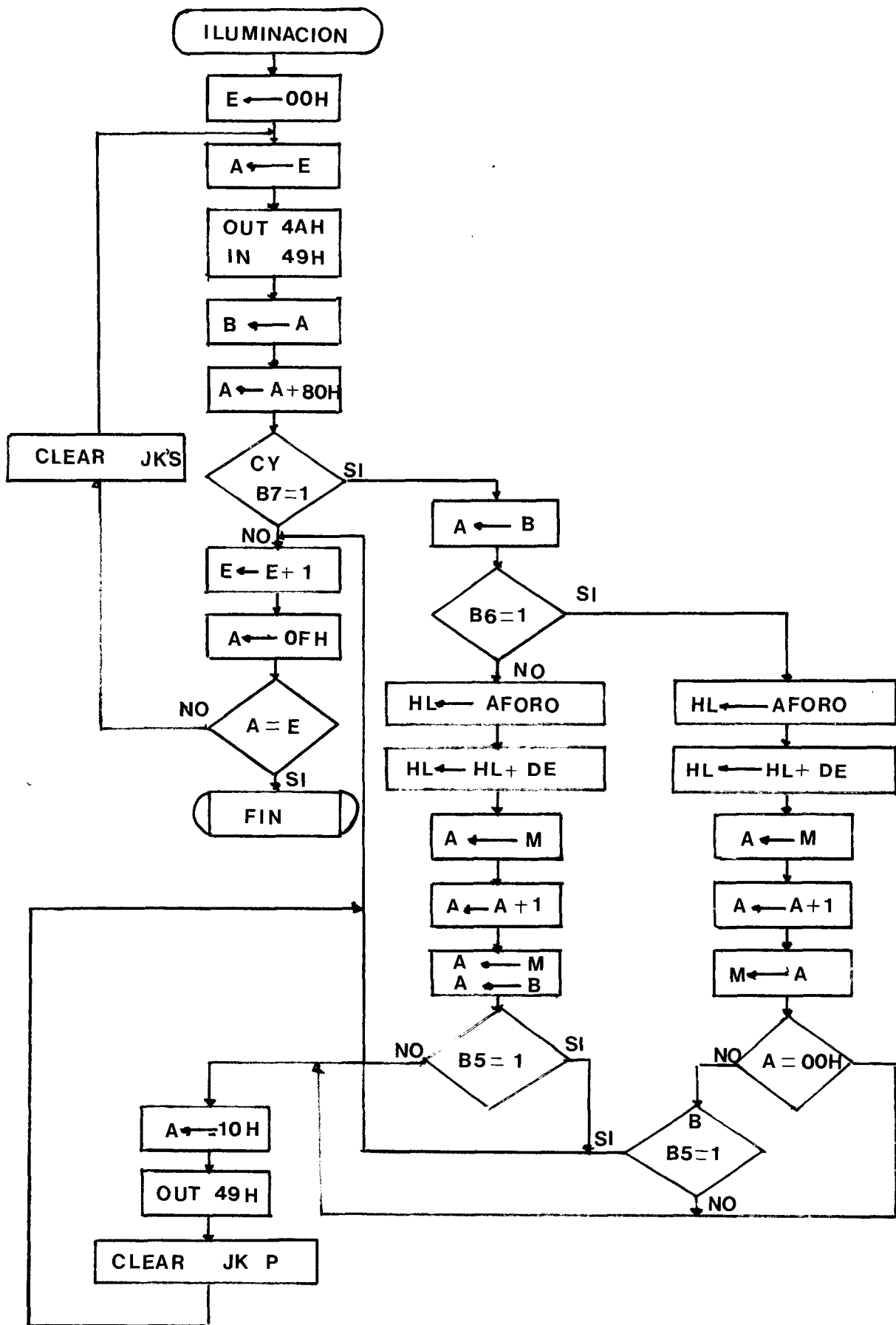
6 ORGANIGRAMAS

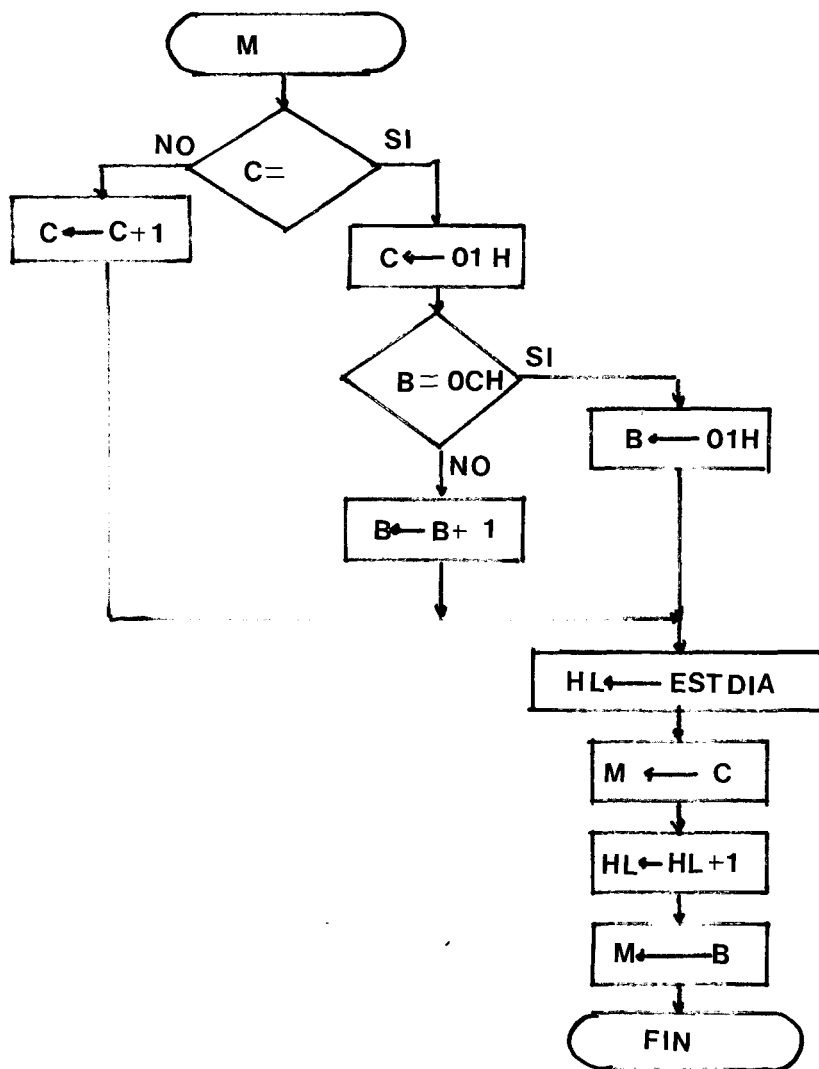
A lo largo de este tema del proyecto y partiendo del organigramma general mostrado se desarrollaran los diferentes organigramas a partir de los cuales se deducirá el programa a emplear en este proyecto

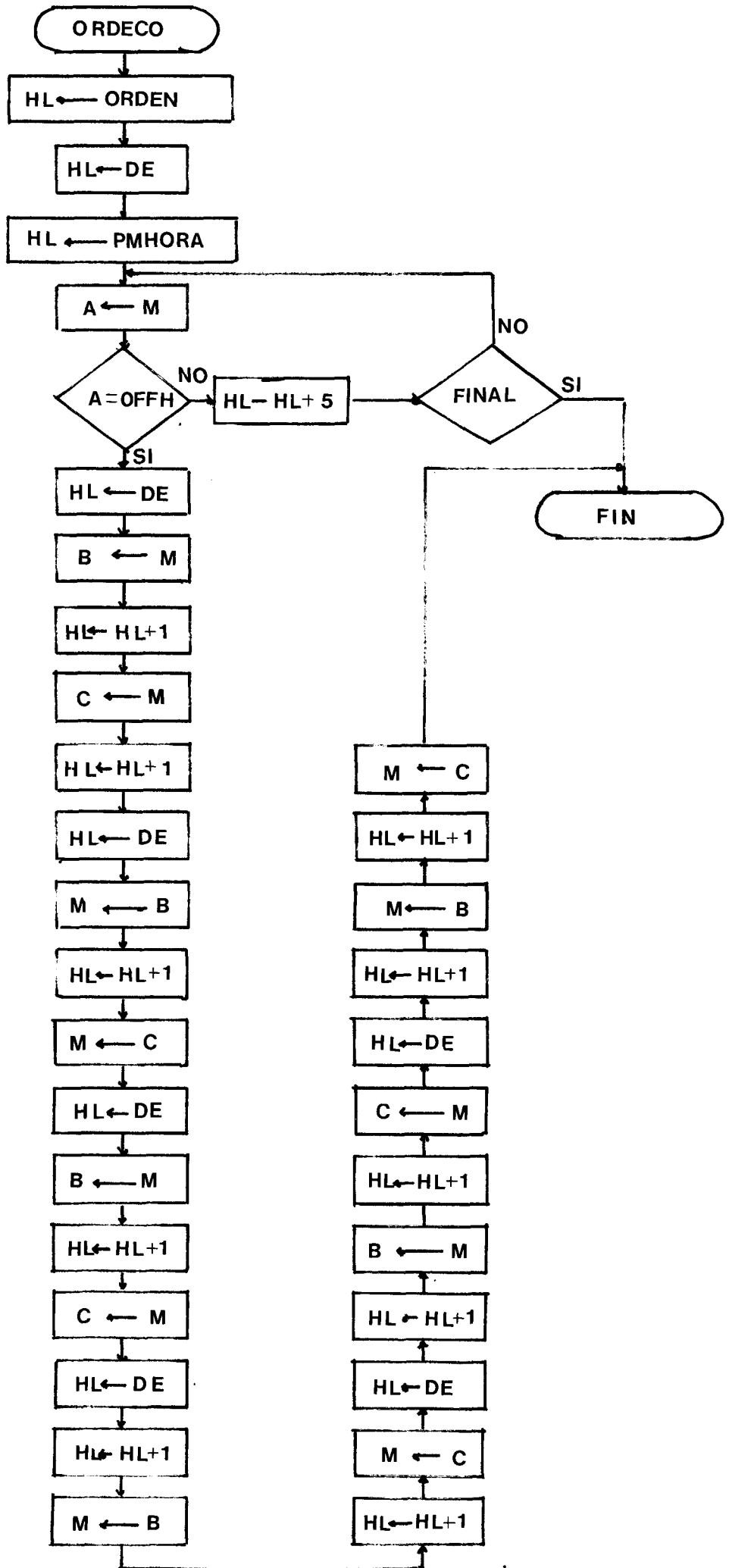


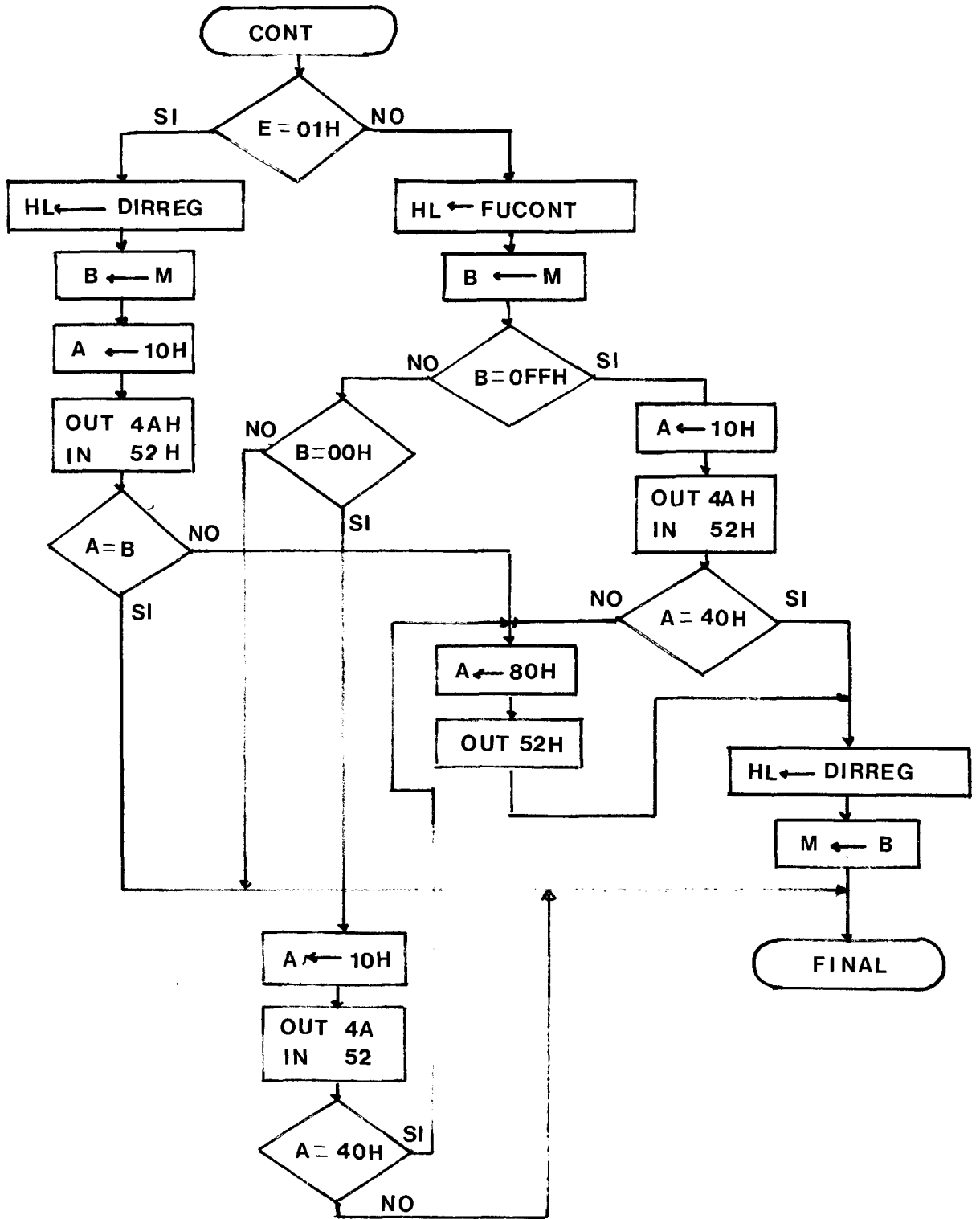


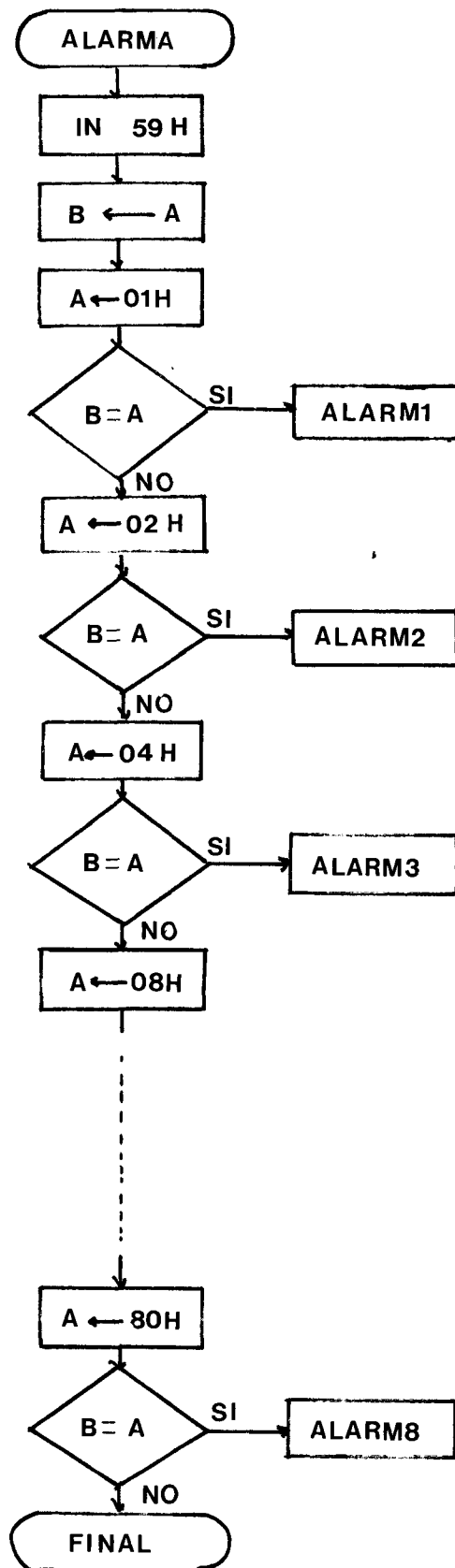


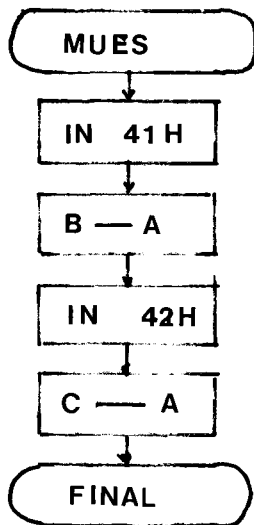
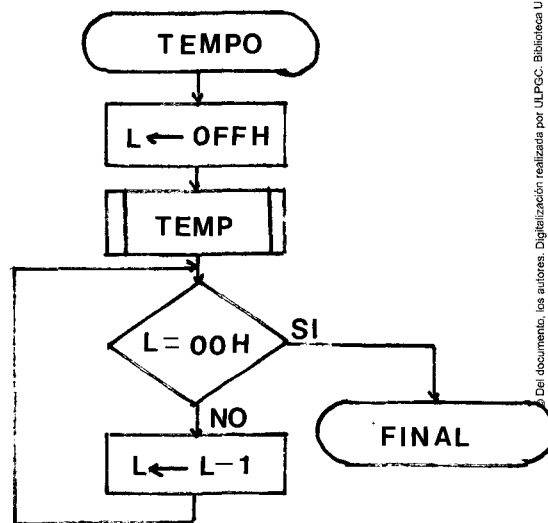
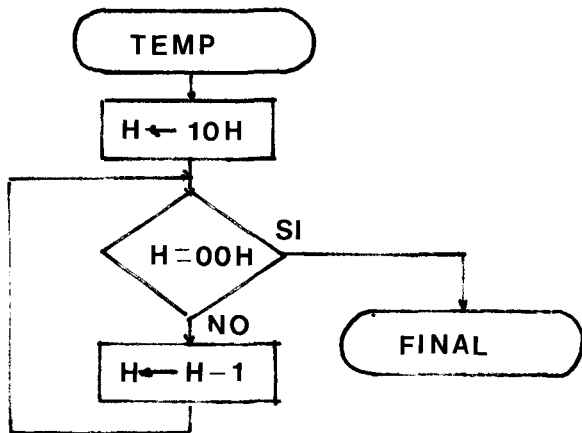
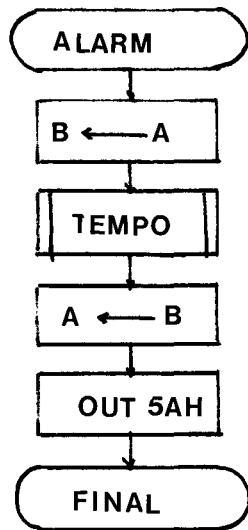












7 PROGRAMAS

Antes de iniciar el desarrollo del programa debemos indicar que el monitor a emplear es el del SDK-85 en el cual se realizarán algunas variaciones, que son:

--. La primera instrucción será un:

```
JMP PRIN      ; Salto al principio del
                programa de control.
```

```
NOP
```

```
NOP
```

```
JMP CLDST    ;
```

--. Las interrupciones de hardware 6.5, 7.5 y trap, efectuarán saltos a

```
JMP LUZP     ; Interrupción de iluminación
```

```
JMP MESDIA   ; Entrada de datos y revisión
```

```
JMP ALARMA   ; Actuación de alarma.
```

permaneciendo el resto del programa similar.

--. Cuando por el programa de control se efectúa el salto a GESTION se produce el salto a la dirección 0003H.

Una vez determinado esto, consideraremos las direcciones de memoria RAM que se encuentran reservadas para las funciones de control, iluminación y alarma que se deben realizar, y estas son:

ESTDIA Almacena el día del mes, la dirección inmediata almacenará el mes del año.

PMHORA Dirección en donde se almacena la primera orden a ejecutar.

SUHORA Ocho bits de mayor peso de la última dirección de memoria destinada a ordenes.

IUHORA Idem para los ocho bits de menor peso.

AFORC Primera dirección que almacena el aforo particular de cada habitación.

ORDEN Primera dirección de almacenamiento previo de las ordenes de control.

LAVAD Almacenamiento del estado de la lavadora.

LAVAV Almacenamiento del estado del Lavaplatos.

HORNO	Almacenamiento del estado del horno.
CONF1	Idem fuego 1
CONF2	Idem fuego 2
CONF3	Idem fuego 3
CONF4	Idem fuego 4
POZ01	Idem pozo 1
POZ02	Idem pozo 2

Como último punto a reseñar tenemos las distribución de las memorias y las puertas, y esta sera:

PUERTA	49H	Entrada de iluminación.
PUERTA	4AH	Salida de control e iluminación.
PUERTA	52H	Entrada de control.
PUERTA	51H	Salida de reset (CLEAR).
PUERTA	59H	Entrada de alarmas.
PUERTA	5AH	Salida de alarmas.
PUERTA	41H	Entrada de Hora.
PUERTA	42H	Entrada de Minuto.
MEMORIA	0000 a 07FF	Monitor.
MEMORIA	0800 a 0FFF	Programa de control.
MEMORIA	4000 a 40FC	Ordenes de control.
MEMORIA	4800 a 400F	Aforo particular.
MEMORIA	4810 a 4015	Orden previa.
MEMORIA	4816	LAVAD
MEMORIA	4817	LAVAV
MEMORIA	4818	TERMO
MEMORIA	4819	HORNO
MEMORIA	481A	CONF1
MEMORIA	481B	CONF2
MEMORIA	481C	CONF3
MEMORIA	481D	CONF4
MEMORIA	481E	POZ01
MEMORIA	481F	POZ02
MEMORIA	4820 y 4821	Estado del día y el mes.
MEMORIA	4822 y sucesivas	STACK POINTER.

Una vez determinado esto pasaremos al programa.

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø8ØØ		1	ORG	Ø8ØØH
482Ø		2	ESTDIA	482ØH
4ØØØ		3	PMHORA	4ØØØH
4822		4	PUCONT	4822H
4823		5	FUCONT	4823H
ØØ4Ø		6	SUHORA	ØØ4ØH
ØØFC		7	IUHORA	ØØFCH
4816		8	LAVAD	4816H
4817		9	LAVAD	4817H
4819		1Ø	HORNO	4819H
481A		11	CONF1	481AH
481B		12	CONF2	481BH
481C		13	CONF3	481CH
481D		14	CONF4	481DH
4818		15	TERMO	4818H
481E		16	POZO1	481EH
481F		17	POZO2	481FH
ØØØ3		18	GESTI	ØØØ3H
Ø8ØØ	312448	19	PRIN:	LXI SP;4824H
Ø8Ø3	CD95ØD	2Ø		CALL CONT12
Ø8Ø6	CDAEØ8	21		CALL MUES
Ø8Ø9	21Ø1ØØ	22		LXI H, ESTDIA
Ø8ØC	56	23		MOV D, M
Ø8ØD	23	24		INX H
Ø8ØE	5E	25		MOV E, M
Ø8ØF	21ØØ4Ø	26		LXI H, PMHORA
Ø812	7E	27	COMP1:	MOV A, M
Ø813	BA	28		CMP D
Ø814	CA25Ø8	29		JZ IGUAL1
Ø817	7A	3Ø		MOV A, D
Ø818	FEØØ	31		CPI ØØH
Ø81A	CA35Ø8	32		JZ IGUAL2
Ø81D	23	33		INX H
Ø81E	23	34		INX H
Ø81F	23	35		INX H

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø82Ø	23	36	INX	H
Ø821	23	37	INX	H
Ø822	C364Ø8	38	JMP	COMPF
Ø825	23	39	IGUAL1: INX	H
Ø826	7E	4Ø	MOV	A,M
Ø827	BB	41	OMP	E
Ø828	CA36Ø8	42	JZ	IGUAL3
Ø82B	7B	43	MOV	A,E
Ø82C	FEØØ	44	CPI	ØØH
Ø82E	23	45	INX	H
Ø82F	23	46	INX	H
Ø83Ø	23	47	INX	H
Ø831	23	48	INX	H
Ø832	C364Ø8	49	JMP	COMPF
Ø835	23	5Ø	IGUAL2: INX	H
Ø836	23	51	IGUAL3: INX	H
Ø837	7E	52	MOV	A,M
Ø838	B8	53	OMP	B
Ø839	CA42Ø8	54	JZ	IGUAL4
Ø83C	23	55	INX	H
Ø83D	23	56	INX	H
Ø83E	23	57	INX	H
Ø83F	C364Ø8	58	JMP	COMPF
Ø842	23	59	IGUAL4: INX	H
Ø843	7E	6Ø	MOV	A,M
Ø844	B9	61	OMP	C
Ø845	CA4EØ8	62	JZ	IGUAL5
Ø848	C24EØ8	63	JNZ	IGUAL5
Ø84C	23	64	INX	H
Ø84D	23	65	INX	H
Ø84E	23	66	IGUAL5: INX	H
Ø84F	56	67	MOV	D,M
Ø85Ø	23	68	INX	H
Ø851	5E	69	MOV	E,M
Ø852	2B	7Ø	DCX	H

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø853	2B	71	DCX	H
Ø854	2B	72	DCX	H
Ø855	2B	73	DCX	H
Ø856	2B	74	DCX	H
Ø857	36FF	75	MVI	A,ØFFH
Ø859	212248	76	LXI	H,PUCONT
Ø85C	72	77	MOV	M,D
Ø85D	212348	78	LXI	H,FUCONT
Ø86Ø	73	79	MOV	M,E
Ø861	C376Ø8	8Ø	JMP	CONTRO
Ø864	3EØØ	81	COMPF:	MVI A,SUHOA
Ø866	BC	82	CMP	H
Ø867	CA6DØ8	83	JZ	INFE
Ø86A	C312Ø8	84	JMP	COMPF1
Ø86D	3EFC	85	INFE:	MVI A,IUHOA
Ø86F	BD	86	CMP	L
Ø87Ø	CAØ3ØØ	87	JZ	GESTI
Ø873	C312Ø8	88	JMP	COMPF1
Ø876	3E8Ø	89	CONTRO:	MVI A,8ØH
Ø878	1EØ1	9Ø	MVI	E,Ø1H
Ø87A	B8	91	CMP	B
Ø87B	CC6BØA	92	CZ	CONT1
Ø87E	3C	93	INR	A
Ø87F	B8	94	CMP	B
Ø88Ø	CCBCØA	95	CZ	CONT2
Ø883	3C	96	INR	A
Ø884	B8	97	CMP	B
Ø885	CCØDØB	98	CZ	CONT3
Ø888	3C	99	INR	A
Ø889	B8	1ØØ	CMP	B
Ø88A	CC5EØB	1Ø1	CZ	CONT4
Ø88D	3C	1Ø2	INR	A
Ø88E	B8	1Ø3	CMP	B
Ø88F	CCAFØB	1Ø4	CZ	CONT5
Ø892	3C	1Ø5	INR	A

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø893	B8	1Ø6	CMP	B
Ø894	CCØØØC	1Ø7	CZ	CONT6
Ø897	3C	1Ø8	INR	A
Ø898	B8	1Ø9	CMP	B
Ø899	CC51ØC	11Ø	CZ	CONT7
Ø89C	3C	111	INR	A
Ø89D	B8	112	CMP	B
Ø89E	CCA2ØC	113	CZ	CONT8
Ø8A1	3C	114	INR	A
Ø8A2	B8	115	CMP	B
Ø8A3	CCF3ØC	116	CZ	CONT9
Ø8A6	3C	117	INR	A
Ø8A7	B8	118	CMP	B
Ø8A8	CC44ØD	119	CZ	CONT1Ø
Ø8AB	C3ØØØ8	12Ø	JMP	PRIN
		121 ;		
		122 ;		ZONA DE SUBROUTINAS
		123 ;		
		124 ;		
		125 ;		SUBROUTINA MUES, TOMA DE DATOS.
		126 ;		
Ø8AE	DB41	127	MUES:	IN 41H
Ø8BØ	47	128	MOV	B,A
Ø8B1	DB42	129	IN	42H
Ø8B3	4F	13Ø	MOV	C,A
Ø8B4	C9	131	RET	
		132 ;		
		133 ;		SUBROUTINA DIAMES
		134 ;		
Ø8B5	F3	135	DIAMES:	DI
Ø8B6	CDAEØ8	136	CALL	MUES
Ø8B9	78	137	MOV	A,B
Ø8BA	FEØØ	138	CPI	ØØH
Ø8BC	CA02Ø8	139	JZ	FINDIA
Ø8BF	C33EØ9	14Ø	JMP	ORDECO

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø8C2	212Ø48	141	FINDIA: LXI	H,ESTDIA
Ø8C5	46	142	MOV	B,M
Ø8C6	23	143	INX	H
Ø8C7	4E	144	MOV	C,M
Ø8C8	3EØ1	145	MVI	A,Ø1H
Ø8CA	B9	146	CMP	C
Ø8CB	CA2CØ9	147	JZ	M31
Ø8CE	3C	148	INR	A
Ø8CF	B9	149	CMP	C
Ø8DØ	CAØ5Ø9	15Ø	JZ	M29
Ø8D3	3C	151	INR	A
Ø8D4	B9	152	CMP	C
Ø8D5	CA2CØ9	153	JZ	M31
Ø8D8	3C	154	INR	A
Ø8D9	B9	155	CMP	C
Ø8DA	CA23Ø9	156	JZ	M3Ø
Ø8DD	3C	157	INR	A
Ø8DE	B9	158	CMP	C
Ø8DF	CA2CØ9	159	JZ	M31
Ø8E2	3C	16Ø	INR	A
Ø8E3	B9	161	CMP	B
Ø8E4	CA23Ø9	162	JZ	M3Ø
Ø8E7	3C	163	INR	A
Ø8E8	B9	164	CMP	C
Ø8E9	CA2CØ9	165	JZ	M31
Ø8EC	3C	166	INR	A
Ø8ED	B9	167	CMP	C
Ø8EE	CA2CØ9	168	JZ	M31
Ø8F1	3C	169	INR	A
Ø8F2	BØ	17Ø	CMP	C
Ø8F3	CA23Ø9	171	JZ	M3Ø
Ø8F6	3C	172	INR	A
Ø8F7	B9	173	CMP	C
Ø8F8	CA2CØ9	174	JZ	M31
Ø8FB	3C	175	INR	A

LOC	OBJ	LINE		SOURCE	STATEMENT
Ø8FC	B9	176		CMP	C
Ø8FD	CA23Ø9	177		JZ	M3Ø
Ø9ØØ	3C	178		INR	A
Ø9Ø1	B9	179		CMP	B
Ø9Ø2	CA2CØ9	18Ø		JZ	M31
Ø9Ø5	3E1D	181	M29:	MVI	A,1DH
Ø9Ø7	B8	182		CMP	B
Ø9Ø8	CAØEØ9	183		JZ	MES1
Ø9ØB	C31FØ9	184		JMP	MES2
Ø9ØE	Ø6Ø1	185	MES1:	MVI	B,Ø1H
Ø91Ø	3EØC	186		MVI	A,ØCH
Ø912	B9	187		CMP	C
Ø913	CA1AØ9	188		JZ	MES3
Ø916	ØC	189		INR	C
Ø917	C335Ø9	19Ø		JMP	MES4
Ø91A	ØEØ1	191	MES3:	MVI	C,Ø1H
Ø91C	C335Ø9	192		JMP	MES4
Ø91F	Ø4	193	MES2:	INR	B
Ø92Ø	C335Ø9	194		JMP	MES4
Ø923	3ELE	195	M3Ø:	MVI	A,1EH
Ø925	B8	196		CMP	B
Ø926	CAØEØ9	197		JZ	MES1
Ø929	C31FØ9	198		JMP	MES2
Ø92C	3ELF	199	M31:	MVI	A,1FH
Ø92E	B8	2ØØ		CMP	B
Ø92F	CAØEØ9	2Ø1		JZ	MES1
Ø932	C31FØ9	2Ø2		JMP	MES2
Ø935	212Ø48	2Ø3	MES4:	LXI	H,ESTDIA
Ø938	7Ø	2Ø4		MOV	M,B
Ø939	23	2Ø5		INX	H
Ø93A	71	2Ø6		MOV	M,C
Ø93B	C38EØ9	2Ø7		JMP	ORDE3
Ø93E	2112ØØ	2Ø8	ORDECO:	LXI	H,ORDEN
Ø941	36ØØ	2Ø9		MVI	M,ØØH
Ø943	23	21Ø		INX	H

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø944	36ØØ	211	MVI	M,ØØH
Ø946	23	212	INX	H
Ø947	36ØØ	213	MVI	M,ØØH
Ø949	23	214	INX	H
Ø94A	36ØØ	215	MVI	M,ØØH
Ø94C	23	216	INX	H
Ø94D	36ØØ	217	MVI	M,ØØH
Ø94F	23	218	INX	H
Ø95Ø	36ØØ	219	MVI	M,ØØH
Ø952	21ØØ4Ø	22Ø	LXI	H,PMHORA
Ø955	77	221	ORDE2: MOV	M,A
Ø956	FEFF	222	CPI	ØFFH
Ø958	CA72Ø9	223	JZ	ORDE1
Ø95B	23	224	INX	H
Ø95C	23	225	INX	H
Ø95D	23	226	INX	H
Ø95E	23	227	INX	H
Ø95F	23	228	INX	H
Ø96Ø	3F4Ø	229	MVI	A,SUHORA
Ø962	BC	23Ø	CMP	H
Ø963	CA69Ø9	231	JZ	INFER
Ø966	C355Ø9	232	JMP	ORDE2
Ø969	\$EFC	233	INFER: MVI	A,IUHORA
Ø96B	BD	234	CMP	L
Ø96C	CA8EØ9	235	JZ	ORDE3
Ø96F	C355Ø9	236	JMP	ORDE2
Ø972	EB	237	ORDE1: XCHG	
Ø973	46	238	MOV	B,M
Ø974	23	239	INX	H
Ø975	4E	24Ø	MOV	C,M
Ø976	EB	241	XCHG	
Ø977	7Ø	242	MOV	M,B
Ø978	23	243	INX	H
Ø979	71	244	MOV	M,C
Ø97A	EB	245	XCHG	

LOC	OBJ	LINE	SCURGE	STATEMENT
Ø97B	23	246	INX	H
Ø97C	46	247	MOV	B,M
Ø97D	23	248	INX	H
Ø97E	4E	249	MOV	C,M
Ø97F	EB	250	XCHG	
Ø980	23	251	INX	H
Ø981	70	252	MOV	M,B
Ø982	23	253	INX	H
Ø983	71	254	MOV	M,C
Ø984	EB	255	XCHG	
Ø985	23	256	INX	H
Ø986	46	257	MOV	B,M
Ø987	23	258	INX	H
Ø988	4E	259	MOV	C,M
Ø989	EB	260	XCHG	
Ø98A	23	261	INX	H
Ø98B	70	262	MOV	M,B
Ø98C	23	263	INX	H
Ø98D	71	264	MOV	M,C
Ø98E	FB	265	ORDE3: EI	
Ø98F	C9	266	RET	
		267	;	
		268	;	SUBROUTINA ILUMINACION.
		269	;	
Ø990	F3	270	LUZP:	DI
Ø991	1E00	271		MVI E,00H
Ø993	7B	272	LUZP1:	MOV A,E
Ø994	D34A	273		OUT 4AH
Ø996	CDCA0D	274		CALL TEMP
Ø999	DB49	275		IN 49H
Ø99B	47	276		MOV B,A
Ø99C	C680	277		ADI 80H
Ø99E	DAAF09	278		JC LUZP2
Ø9A1	1C	279		INR E
Ø9A2	3E80	280	LUZP4:	MVI A,80H

LOC	OBJ	LINE	SOURCE	STATEMENT
Ø9A4	D351	281	OUT	51H
Ø9A6	3E1Ø	282	MVI	A,1ØH
Ø9A8	BB	283	CMP	E
Ø9A9	CAF8Ø9	284	JZ	FINLUZ
Ø9AC	C393Ø9	285	JMP	LUZP1
Ø9AF	78	286	LUZP2: MOV	A,B
Ø9BØ	C6CØ	287	ADI	ØCØH
Ø9B2	DAC5Ø9	288	JC	LUZP3
Ø9B5	21ØØ48	289	LXI	H,AFORO
Ø9B8	19	29Ø	DAD	D
Ø9B9	7E	291	MOV	A,M
Ø9BA	3C	292	INR	A
Ø9BB	77	293	MOV	M,A
Ø9BC	78	294	MOV	A,B
Ø9BD	C6EØ	295	ADI	ØEØH
Ø9BF	DAA2Ø9	296	JC	LUZP4
Ø9C2	C3E3Ø9	297	JMP	LUZP5
Ø9C5	21ØØ48	298	LUZP3: LXI	H,AFORO
Ø9C8	19	299	DAD	D
Ø9C9	7E	3ØØ	MOV	A,M
Ø9CA	3D	3Ø1	DCR	A
Ø9CB	77	3Ø2	MOV	M,A
Ø9CC	FEØØ	3Ø3	CPI	ØØH
Ø9CE	CADAØ9	3Ø4	JZ	LUZP6
Ø9D1	78	3Ø5	MOV	A,B
Ø9D2	C6EØ	3Ø6	ADI	ØEØH
Ø9D4	DAA2Ø9	3Ø7	JC	LUZP4
Ø9D7	C3E3Ø9	3Ø8	JMP	LUZP5
Ø9DA	78	3Ø9	LUZP6: MOV	A,B
Ø9DB	C6EØ	31Ø	ADI	ØEØH
Ø9DD	DAE3Ø9	311	JC	LUZP5
Ø9EØ	C3A2Ø9	312	JMP	LUZP4
Ø9E3	3E1Ø	313	LUZP5: MVI	A,1ØH
Ø9E5	D331	314	OUT	49H
Ø9E7	3E14	315	MVI	A,2ØH

LUC	OBJ	LINE	SOURCE	STATEMENT
Ø9E9	D351	316	OUT	51H
Ø9EB	7B	317	MOV	A,E
Ø9EC	CDC8ØD	318	CALL	TEMP
Ø9EF	D351	319	OUT	51H
Ø9F1	3E4Ø	32Ø	MVI	A,4ØH
Ø9F3	ØØ	321	NOP	
Ø9F4	ØØ	322	NOP	
Ø9F5	D351	323	OUT	51H
Ø9F7	3E8Ø	324	FINLUZ: MVI	A,8ØH
Ø9F9	D351	325	OUT	51H
Ø9FB	FB	326	EI	
Ø9FC	C9	327	RET	
		328 ;		
		329 ;		SUBROUTINA ALARMA.
		33Ø ;		
Ø9FD	F3	331	ALARMA: DI	
Ø9FE	DB59	332	IN	59H
ØAØØ	FEØ1	333	CPI	Ø1H
ØAØ2	CA28ØA	334	JZ	ALARM1
ØAØ5	FEØ2	335	CPI	Ø2H
ØAØ7	CA2FØA	336	JZ	ALARM2
ØAØA	FEØ4	337	CPI	Ø4H
ØAØC	CA36ØA	338	JZ	ALARM3
ØAØF	FEØ8	339	CPI	Ø8H
ØA11	CA3DØA	34Ø	JZ	ALARM4
ØA14	FE1Ø	341	CPI	1ØH
ØA16	CA44ØA	342	JZ	ALARM5
ØA19	FE2Ø	343	CPI	2ØH
ØA1B	CA4EØA	344	JZ	ALARM6
ØA1E	FE4Ø	345	CPI	4ØH
ØA2Ø	CA58ØA	346	JZ	ALARM7
ØA23	FE8Ø	347	CPI	8ØH
ØA25	CA62ØA	348	JZ	ALARM8
ØA28	3EØ1	349	ALARMA1: MVI	A,1ØH
ØA2A	D35A	35Ø	OUT	5AH

LOC	OBJ	LINE	SOURCE	STATEMENT
ØA2C	C36AØA	351		JMP TALAR
ØA2F	3EØ2	352	ALARM2:	MVI A,Ø2H
ØA31	D35A	353		OUT 5AH
ØA33	C36AØA	354		JMP TALAR
ØA36	3EØ4	355	ALARM3:	MVI A,Ø4H
ØA38	D35A	356		OUT 5AH
ØA3A	C36AØA	357		JMP TALAR
ØA3D	3EØ8	358	ALARM4:	MVI A,Ø8H
ØA3F	D35A	359		OUT 5AH
ØA41	C36AØA	36Ø		JMP TALAR
ØA44	CDD5ØD	361	ALARM5:	CALL TEMPO
ØA47	3E1Ø	362		MVI A,1ØH
ØA49	D35A	363		OUT 5AH
ØA4B	C36AØA	364		JMP TALAR
ØA4E	CDC8ØD	365	ALARM6:	CALL TEMP
ØA51	3E2Ø	366		MVI A,2ØH
ØA53	D35A	367		OUT 5AH
ØA55	C36AØA	368		JMP TALAR
ØA58	CDD5ØD	369	ALARM7:	CALL TEMPO
ØA5B	3E4Ø	37Ø		MVI A,4ØH
ØA5D	D35A	371		OUT 5AH
ØA5F	C36AØA	372		JMP TALAR
ØA62	CDD5ØD	373	ALARM8:	CALL TEMPO
ØA65	3E8Ø	374		MVI A,8ØH
ØA67	D35A	375		OUT 5AH
ØA69	FB	376	TALAR:	EI
ØA6A	C9	377		RET
		378		;
		379		;
		38Ø		;
				SUBROUTINA LAVADORA
ØA6B	3EØ1	381	CONT1:	MVI A,Ø1H
ØA6D	BB	382		CMP E
ØA6E	CAA2ØA	383		JZ REVIS
ØA71	212348	384		LXI H,FUCONT
ØA74	46	385		MOV B,M

LOC	OBJ	LINE	SOURCE	STATEMENT
ØA75	78	386	MOV	A,B
ØA76	FEFF	387	CPI	ØFFH
ØA78	CA91ØA	388	JZ	ACTIVA
ØA7B	FEØØ	389	CPI	ØØH
ØA7D	C2B7ØA	39Ø	JNZ	RECOG
ØA8Ø	3E1Ø	391	MVI	A,1ØH
ØA82	D34A	392	OUT	4AH
ØA84	CDC8ØD	393	CALL	TEMP
ØA87	DB49	394	IN	49H
ØA89	FE4Ø	395	CPI	4ØH
ØA8B	CAB3ØA	396	JZ	PONER
ØA8E	C3B7ØA	397	JMP	RECOG
ØA91	3E1Ø	398	ACTIVA: MVI	A,1ØH
ØA93	D349	399	OUT	49H
ØA95	CDC8ØD	4ØØ	CALL	TEMP
ØA98	DB52	4Ø2	IN	52H
ØA9A	FE4Ø	4Ø3	CPI	4ØH
ØA9C	CAB7ØA	4Ø4	JZ	RECOG
ØA9F	C3B3ØA	4Ø5	JMP	PONER
ØAA2	211648	4Ø6	REVIS: LXI	H,LAVAD
ØAA5	46	4Ø7	MOV	B,M
ØAA6	3E1Ø	4Ø8	MV ⁺	A,1ØH
ØAA8	D352	4Ø9	OUT	52H
ØAAA	CDC8ØD	41Ø	CALL	TEMP
ØAAD	DB52	411	IN	52H
ØAAF	B8	412	CMP	B
ØABØ	CABØØA	413	JZ	ACABA
ØAB3	3E8Ø	414	PONER: MVI	A,8ØH
ØAB5	D352	415	OUT	5AH
ØAB7	211648	416	RECOG: LXI	H,LAVAD
ØABA	7Ø	417	MOV	M,B
ØABB	C9	418	ACABA: RET	
		419	;	
		42Ø	;	SUBROUTINA LAVAPLATO

LOC	OBJ	LINE	SOURCE	STATEMENT
		421 ;		
ØABC	3EØ1	422	CONT2:	MVI A,Ø1H
ØABE	BB	423		CMP E
ØABF	CAF3ØA	424		JZ REVIS2
ØAC2	212348	425		LXI H,FUCONT
ØAC5	46	426		MOV B,M
ØAC6	78	427		MOV A,B
ØAC7	FEFF	428		CPI ØFFH
ØAC9	CAE2ØA	429		JZ ACTIV2
ØACC	FEØØ	43Ø		CPI ØØH
ØACE	C2Ø8ØB	431		JNZ RECOG2
ØAD1	3E2Ø	432		MVI A,2ØH
ØAD3	D34A	433		OUT 4AH
ØAD5	CDC8ØD	434		CALL TEMP
ØAD8	DB52	435		IN 52H
ØADA	FE4Ø	436		CPI 4ØH
ØADC	CAØ4ØB	437		JZ PONER2
ØADF	C3Ø8ØB	438		JMP RECOG2
ØAE2	3E2Ø	439	ACTIV2:	MVI A,2ØH
ØAE4	D34A	44Ø		OUT 4AH
ØAE6	CDC8ØD	441		CALL TEMP
ØAE9	DB52	442		IN 52H
ØAEB	FE4Ø	443		CPI 4ØH
ØAED	CAØ8ØB	444		JZ RECOG2
ØAFØ	C3Ø4ØB	445		JMP PONER2
ØAF3	211748	446	REVIS2:	LXI H,LAVAV
ØAF6	46	447		MOV B,M
ØAF7	3E2Ø	448		MVI A,2ØH
ØAF9	D34A	449		OUT 4AH
ØAFB	CDC8ØD	45Ø		CALL TEMP
ØAFE	DB52	451		IN 52H
ØBØØ	B8	452		CMP B
ØBØ1	CAØCØB	453		JZ ACABA2
ØBØ4	3E8Ø	454	ØONER:	MVI A,8ØH
ØBØ6	D352	455		OUT 52H

LOC	OBJ	LINE	SOURCE	STATEMENT
ØBØ8	211748	456	RECOG2:	LXI H,LAVAV
ØBØB	7Ø	457		MOV M,B
ØBØC	C9	458	ACABA2:	RET
		459		;
		46Ø		;
		461		;
ØBØD	3EØ1	462	CONT3:	MVI A,ØLH
ØBØF	BB	463		CMP E
ØB1Ø	CA44ØB	464		JZ REVIS3
ØB13	212348	465		LXI H,FUCONT
ØB16	46	466		MOV B,M
ØB17	78	467		MOV A,B
ØB18	FEFF	468		CPI ØFFH
ØB1A	CA33ØB	469		JZ ACTIV3
ØB1D	FEØØ	47Ø		CPI ØØH
ØB1F	C259ØB	471		JNZ RECOG3
ØB22	3E3Ø	472		MVI A,3ØH
ØB24	D34A	473		OUT 4AH
ØB26	CDC8ØD	474		CALL TEMP
ØB29	DB52	475		IN 52H
ØB2B	FE4Ø	476		CPI 4ØH
ØB2D	CA55ØB	477		JZ PONER3
ØB3Ø	C359ØB	478		JMP RECOG3
ØB33	3E3Ø	479	ACTIV3:	MVI A,3ØH
ØB35	D34A	48Ø		OUT 4AH
ØB37	CDC8ØD	481		CALL TEMP
ØB3A	DB52	482		IN 52H
ØB3C	FE4Ø	483		CPI 4ØH
ØB3F	CA59ØB	484		JZ RECOG3
ØB41	C355ØB	485		JMP PONER3
ØB44	211948	486	REVIS3:	LXI H,HORNO
ØB47	46	487		MOV B,M
ØB48	3E3Ø	488		MVI A,3ØH
ØB4A	D34A	489		OUT 4AH
ØB4C	CDC8ØD	49Ø		CALL TEMP

LOC	OBJ	LINE	SOURCE	STATEMENT
ØB4F	DB52	491	IN	52H
ØB51	B8	492	CMP	B
ØB52	CA5DØB	493	JZ	ACABA3
ØB55	3E8Ø	494	PONER3: MVI	A,8ØH
ØB57	D352	495	OUT	52H
ØB59	211948	496	RECOG3: LXI	H,HORNO
ØB5C	7Ø	497	MOV	M,B
ØB5D	C9	498	ACABA3: RET	
		499 ;		
		5ØØ ;		SUBROUTINA FUEGO 1.
		5Ø1 ;		
ØB5E	3EØ1	5Ø2	CONT4: MVI	A,Ø1H
ØB6Ø	BB	5Ø3	CMP	E
ØB61	CA95ØB	5Ø4	JZ	REVIS4
ØB64	212348	5Ø5	LXI	H,FUCONT
ØB67	46	5Ø6	MOV	B,M
ØB68	78	5Ø7	MOV	A,B
ØB69	FEFF	5Ø8	CPI	ØFFH
ØB6B	CA84ØB	5Ø9	JZ	ACTIV4
ØB6E	FEØØ	51Ø	CPI	ØØH
ØB7Ø	C2AAØB	511	JNZ	RECOG4
ØB73	3E4Ø	512	MVI	A,4ØH
ØB75	D34A	513	OUT	4AH
ØB77	CDØ8ØD	514	CALL	TEMP
ØB7A	DB52	515	IN	52H
ØB7C	FE4Ø	516	CPI	4ØH
ØB7E	CAA6ØB	517	JZ	PONER4
ØB81	C3AAØB	518	JMP	RECOG4
ØB84	3E4Ø	519	ACTIV4: MVI	A,4ØH
ØB86	D34A	52Ø	OUT	4AH
ØB88	CDØ8ØD	521	CALL	TEMP
ØB8B	DB52	522	IN	52H
ØB8D	FE4Ø	523	CPI	4ØH
ØB8F	CAAØB	524	JZ	RECOGE4
ØB92	C3A6ØB	525	JMP	PONER4

LOC	OBJ	LINE	SOURCE	STATEMENT
ØB95	211A48	526	REVIS4:	LXI H,CONF1
ØB98	46	527		MOV B,M
ØB99	3E4Ø	528		MVI A,4ØH
ØB9B	D34A	529		OUT 4AH
ØB9D	CDC8ØD	53Ø		CALL TEMP
ØBAØ	DB52	531		IN 52H
ØBA2	B8	532		CMP B
ØBA3	CAAEOB	533		JZ ACABA4
ØBA6	3E8Ø	534	PONER4:	MVI A,8ØH
ØBA8	D352	535		OUT 52H
ØBAA	211A48	536	RECOG4:	LXI H,CONF1
ØBAD	7Ø	537		MOV M,B
ØBAE	C9	538	ACABA4:	RET
		539		;
		54Ø		;
		541		;
				SUBROUTINA FUEGO 2.
ØBAF	3EØL	542	CONT5:	MVI A,Ø1H
ØBB1	BB	543		CMP E
ØBB2	CAE6ØB	544		JZ REVIS5
ØBB5	212348	545		LXI H,FUCONT
ØBB8	46	546		MOV B,M
ØBB9	78	547		MOV A,B
ØBBA	FEFF	548		CPI ØFFH
ØBBC	CAD5ØB	549		JZ ACTIV5
ØBBF	FEØØ	55Ø		CPI ØØH
ØBC1	C2FBØB	551		JNZ RECOG5
ØBC4	3E5Ø	552		MVI A,5ØH
ØBC6	D34A	553		OUT 4AH
ØBC8	CDC8ØD	554		CALL TEMP
ØBCE	DB52	555		IN 52H
ØBCD	FE4Ø	556		CPI 4ØH
ØBCF	CAF7ØB	557		JZ PONER5
ØBD2	C3FBØB	558		JMP RECOG5
ØBD5	3E5Ø	559	ACTIV5:	MVI A,5ØH
ØBD7	D34A	56Ø		OUT 4AH

LOC	OBJ	LINE	SOURCE	STATEMENT
ØBD9	CDC8ØD	561	CALL	TEMP
ØBDC	DB52	562	IN	52H
ØBDE	FE4Ø	563	CPI	4ØH
ØBEØ	CAFBØB	564	JZ	RECOG5
ØBE3	C3F7ØB	565	JMP	PONER5
ØBE6	211B48	566	REVIS5: LXI	H,CONF2
ØBE9	46	567	MOV	B,M
ØBEA	3E5Ø	568	MVI	A,5ØH
ØBEC	D34A	569	OUT	4AH
ØBEE	CDC8ØD	57Ø	CALL	TEMP
ØBF1	DB52	571	IN	52H
ØBF3	B8	572	CMF	B
ØBF4	CAFFØB	573	JZ	ACABA5
ØBF7	3E8Ø	574	PONER5: MVI	A,8ØH
ØBF9	D352	575	OUT	52H
ØBFB	211B48	576	RECOG5: LXI	H,CONF2
ØBFE	7Ø	577	MOV	M,B
ØBFF	C9	578	ACABA5: RET	
		579	;	
		58Ø	;	SUBROUTINA FUEGO 3.
		581	;	
ØCØØ	3EØ1	582	CONT6: MVI	A,Ø1H
ØCØ2	BB	583	CMF	E
ØCØ3	CA37ØC	584	JZ	REVIS6
ØCØ6	212348	585	LXI	H,FUCONT
ØCØ9	46	59Ø	MOV	B,M
ØCØA	78	587	MOV	A,B
ØCØB	FEFF	588	CPI	ØFFH
ØCØD	CA26ØC	589	JZ	ACTIV6
ØC1Ø	FEØØ	59Ø	CPI	ØØH
ØC12	C24CØC	591	JNZ	RECOG5
ØC15	3E6Ø	592	MVI	A,6ØH
ØC17	D34A	593	OUT	4AH
ØC19	CDC8ØD	594	CALL	TEMP
ØC1C	DB52	595	IN	52H

LOC	OBJ	LINE	SOURCE	STATEMENT
ØC1E	FE4Ø	596	CPI	4ØH
ØC2Ø	CA48ØC	597	JZ	PONER6
ØC23	C34CØC	598	JMP	RECOG6
ØC26	3E6Ø	599	ACTIV6: MVI	A,6ØH
ØC28	D34A	6ØØ	OUT	4AH
ØC2A	CDC8ØD	6Ø1	CALL	TEMP
ØC2D	DB52	6Ø2	IN	52H
ØC2F	FE4Ø	6Ø3	CPI	4ØH
ØC31	CA4CØC	6Ø4	JZ	RECOG6
ØC34	C348ØC	6Ø5	JMP	PONER6
ØC37	211D48	6Ø6	REVIS6: LXI	H,CONF3
ØC3A	46	6Ø7	MOV	B,M
ØC3B	3E6Ø	6Ø8	MVI	A,6ØH
ØC3D	D34A	6Ø9	OUT	4AH
ØC3F	CDC8ØD	61Ø	CALL	TEMP
ØC42	DB52	611	IN	52H
ØC44	B8	612	CMP	B
ØC45	CA5ØØC	613	JZ	ACABA6
ØC48	3E8Ø	614	PONER6: MVI	A,8ØH
ØC4A	D352	615	OUT	52H
ØC4C	211C48	616	RECOG6: LXI	H,CONF3
ØC4F	7Ø	617	MOV	M,B
ØC5Ø	C9	618	ACABA6: RET	
		619 ;		
		62Ø ;		SUBROUTINA FUEGO %.
		621 ;		
ØC51	3EØ1	622	CONT7: MVI	A,Ø1H
ØC53	BB	623	CMP	E
ØC54	CA88ØC	624	JZ	REVIS7
ØC57	212348	625	LXI	H,FUCONT
ØC5A	46	626	MOV	B,M
ØC5B	78	627	MOV	A,B
ØC5C	FEFF	628	CPI	ØFFH
ØC5E	CA77ØC	629	JZ	ACTIV7
ØC61	FEØØ	63Ø	CPI	ØØH

LOC	OBJ	LINE	SOURCE	STATEMENT
ØC63	C29DØC	631	JNZ	RECOG7
ØC66	3E7Ø	632	MVI	A,7ØH
ØC68	D34A	633	OUT	4AH
ØC6A	CDC8ØD	634	CALL	TEMP
ØC6D	DB52	635	IN	52H
ØC6F	FE4Ø	636	CPI	4ØH
ØC71	CA99ØC	637	JZ	PONER7
ØC74	C39DØC	638	JMP	RECOG7
ØC77	3E7Ø	639	ACTIV7:	MVI A,7ØH
ØC79	D34A	64Ø	OUT	4AH
ØC7B	CDC8ØD	641	CALL	TEMP
ØC7E	DB52	642	IN	52H
ØC8Ø	FE4Ø	643	CPI	4ØH
ØC82	CA9DØC	644	JZ	RECOG7
ØC85	C399ØC	645	JMP	PONER7
ØC88	211D48	646	REVIS7:	LXI H,CONF4
ØC8E	46	647	MOV	B,M
ØC8C	3E7Ø	648	MVI	A,7ØH
ØC8E	D34A	64Ø	OUT	4AH
ØC9Ø	CDC8ØD	65Ø	CALL	TEMP
ØC93	DB52	651	IN	52H
ØC95	B8	652	CMP	B
ØC96	CAA1ØC	653	JZ	ACABA7
ØC99	3E8Ø	654	PONER7:	MVI A,8ØH
ØC9B	D352	655	OUT	52H
ØC9D	211D48	656	RECOG7:	LXI H,CONF4
ØCAØ	7Ø	657	MOV	M,B
ØCA1	C9	658	ACABA7:	RET
		659	;	
		66Ø	;	SUBROUTINA TERMO.
		661	;	
ØCA2	3EØ1	662	CONT8:	MVI A,Ø1H
ØCA4	BB	663	CMP	E
ØCA5	CAD9ØC	664	JZ	REVIS8
ØCA8	212348	665	LXI	H,FUCONT

LOC	OBJ	LINE	SOURCE	STATEMENT
ØCAB	46	666	MOV	B,M
ØCAC	78	667	MOV	A,B
ØCAD	FEFF	668	CPI	ØFFH
ØCAF	CAC8ØC	669	JZ	ACTIV8
ØCB2	FEØØ	67Ø	CPI	ØØH
ØCB4	C2EEØC	671	JNZ	RECOG8
ØCB7	3E8Ø	672	MVI	A,8ØH
ØCB9	D34A	673	OUT	4AH
ØCBB	CDC8ØD	674	CALL	TEMP
ØCBE	DB52	675	IN	52H
ØCCØ	FE4Ø	676	CPI	4ØH
ØCC2	CAEAØC	677	JZ	PONER8
ØCC5	C3EEØC	678	JMP	RECOG8
ØCC8	3E8Ø	679	ACTIV8: MVI	A,8ØH
ØCCA	D34A	68Ø	OUT	4AH
ØCCC	CDC8ØD	681	CALL	TEMP
ØCCF	DB52	682	IN	52H
ØCD1	FE4Ø	683	CPI	4ØH
ØCD3	CAEEØC	684	JZ	RECOG8
ØCD6	C3EAØC	685	JMP	PONER8
ØCD9	211948	686	REVIS8: LXI	H,TERMO
ØCDC	46	687	MOV	B,M
ØCDD	3E8Ø	688	MVI	A,8ØH
ØCDF	D34A	689	OUT	4AH
ØCE1	CDC8ØD	69Ø	CALL	TEMP
ØCE4	DB52	691	IN	52H
ØCE6	B8	692	CMP	B
ØCE7	CAF2ØC	693	JZ	ACABA8
ØCEA	3E8Ø	694	PONER8: MVI	A,8ØH
ØCEC	D352	695	OUT	52H
ØCEE	211948	696	RECOG8: LXI	H,TERMO
ØCF1	7Ø	697	MOV	M,B
ØCF2	C9	698	ACABA8: RET	
		699 ;		
		7ØØ ;		SUBROUTINA POZO 1.

LOC	OBJ	LINE	SOURCE	STATEMENT
ØCF3	3EØ1	7Ø1	CONT9:	MVI A,Ø1H
ØCF5	BB	7Ø2		CMP E
ØCF6	CA2AØD	7Ø3		JZ REVIS9
ØCF9	212348	7Ø4		LXI H,FUCONT
ØCFG	46	7Ø5		MOV B,M
ØCFD	78	7Ø6		MOV A,B
ØCFE	FEFF	7Ø7		CPI ØFFH
ØDØØ	CA19ØD	7Ø8		JZ ACTIV9
ØDØ3	FEØØ	7Ø9		CPI ØØH
ØDØ5	C23FØD	71Ø		JNZ RECOG9
ØDØ8	3E9Ø	711		MVI A,9ØH
ØDØA	D34A	712		OUT 4AH
ØDØC	CDC8ØD	713		CALL TEMP
ØDØF	DB52	714		IN 52H
ØD11	FE4Ø	715		CPI 4ØH
ØD13	CA3BØD	716		JZ PONER9
ØD16	C33FØD	717		JMP RECOG9
ØD19	3E9Ø	718	ACTIV9:	MVI A,9ØH
ØD1B	D34A	719		OUT 4AH
ØD1D	CDC8ØD	72Ø		CALL TEMP
ØD2Ø	DB52	721		IN 52H
ØD22	FE4Ø	722		CPI 4ØH
ØD24	CA3FØD	723		JZ RECOG9
ØD27	C33BØD	724		JMP PONER9
ØD2A	211E48	725	REVIS9:	LXI H,POZØ1
ØD2D	46	726		MOV B,M
ØD2E	3E9Ø	727		MVI A,9ØH
ØD3Ø	D34A	728		OUT 4AH
ØD32	CDC8ØD	729		CALL TEMP
ØD35	DB52	73Ø		IN 52H
ØD37	B8	731		CMP B
ØB38	CA43ØD	732		JZ ACABA9
ØD3B	3E8Ø	733	PONER9:	MVI A,8ØH
ØD3D	D352	734		OUT 52H
ØD3F	211E48	735	RECOG9:	LXI H,POZØ1

LOC	OBJ	LINE	SOURGE	STATEMENT
ØD42	7Ø	736	MOV	H,B
ØD43	C9	737	ACABA9: RET	
		738	;	
		739	;	SUBROUTINA POZO 2.
		74Ø	;	
ØD44	3EØ1	741	CONT1Ø: MVI	A,Ø1H
ØD46	BB	742	CMP	E
ØD47	CA7BØD	743	JZ	REVISØ
ØD4A	212348	744	LXI	H,FUCONT
ØD4D	46	745	MOV	B,M
ØD4E	78	746	MOV	A,B
ØD4F	FEFF	747	CPI	ØFFH
ØD51	CA6AØD	748	JZ	ACTIVØ
ØD54	FEØØ	749	CPI	ØØH
ØD56	C29ØØD	75Ø	JNZ	RECOGØ
ØD59	3EAØ	751	MVI	A,ØAØH
ØD5B	D34A	752	OUT	4AH
ØD5D	CDC8ØD	753	CALL	TEMP
ØD6Ø	DB52	754	IN	52H
ØD62	FE4Ø	755	CPI	4ØH
ØD64	CA8CØD	756	JZ	PONERØ
ØD67	C39ØØD	757	JMP	RECOGØ
ØD6A	3EAØ	758	ACTIVØ: MVI	A,ØAØH
ØD6C	D34A	759	OUT	4AH
ØD6E	CDC8ØD	76Ø	CALL	TEMP
ØD71	DB52	761	IN	52H
ØD73	FE4Ø	762	CPI	4ØH
ØD75	CA9ØØD	763	JZ	RECOGØ
ØD78	C38CØD	764	JMP	PONERØ
ØD7B	211F48	765	REVISØ: LXI	H,POZO2
ØD7E	46	766	MOV	B,M
ØD7F	3EAØ	767	MVI	A,ØAØH
ØD81	D34A	768	OUT	4AH
ØD83	CDC8ØD	769	CALL	TEMP
ØD86	DB52	77Ø	IN	52H

LOC	OBJ	LINE	SOURCE	STATEMENT
ØD88	B8	771	OMP	B
ØD89	CA94ØD	772	JZ	ACABAØ
ØD8C	3E8Ø	773	POWERØ:	MVI A,8ØH
ØD8E	D352	774		OUT 52H
ØD9Ø	211F48	775	RECOGØ:	LXI H,POZO2
ØD93	7Ø	776		MOV H,B
ØD94	C9	777	ACABAØ:	RET
		778		;
		779		;
		78Ø		;
				SUBROUTINA REVISION.
ØD95	1EØ1	781	CONT12:	MVI E,Ø1H
ØD97	CD6BØA	782		CALL CONT1
ØD9A	1EØ1	783		MVI E,Ø1H
ØD9C	CDBCØA	784		CALL CONT2
ØD9F	1EØ1	785		MVI E,Ø1H
ØDA1	CDØDØB	786		CALL CONT3
ØDA4	1EØ1	787		MVI E,Ø1H
ØDA6	CD5EØB	788		CALL CONT4
ØDA9	1EØ1	789		MVI E,Ø1H
ØDAB	CDAFØB	79Ø		CALL CONT5
ØDAE	1EØ1	791		MVI E,Ø1H
ØDBØ	CDØØØC	792		CALL CONT6
ØDB3	1EØ1	793		MVI E,Ø1H
ØDB5	CD51ØC	794		CALL CONT7
ØDB8	1EØ1	795		MVI E,Ø1H
ØDBA	CDA2ØC	796		CALL CONT8
ØDBD	1EØ1	797		MVI E,Ø1H
ØDBF	CDF3ØC	798		CALL CONT9
ØDC2	1EØ1	799		MVI E,Ø1H
ØDC4	CD44ØD	8ØØ		CALL CONT1Ø
ØDC7	C9	8Ø1		RET
		8Ø2		;
		8Ø3		;
		8Ø4		;
				SUBROUTINA TEMP,TEMPO.
ØDC8	26ØA	8Ø5	TEMP:	MVI H,ØAH

LOC	OBJ	LINE	SOURCE	STATEMENT
ØDCA	7C	806	TEMP1:	MOV A,H
ØDCB	FE00	807		CPI 00H
ØDCD	CAD40D	808		JZ FINTEM
ØDD0	25	809		DCR H
ØDD1	C3CA0D	810		JMP TEMP1
ØDD4	C9	811	FINTEM:	RET
		812		;
ØDD5	2EFF	813	TEMPO:	MVI L,0FFH
ØDD7	CDC80D	814	TEMP01:	CALL TEMP
ØDDA	2D	815		DCR L
Øddb	7D	816		MOV A,L
ØDDC	FE00	817		CPI 00H
ØDDE	CAE40D	818		JZ TERMIN
ØDE1	C3D70D	819		JMP TEMP01
ØDE4	C9	820	TERMIN:	RET
		821		END

PUBLIC SYMBOLS

EXTERNAL SYMBOLS

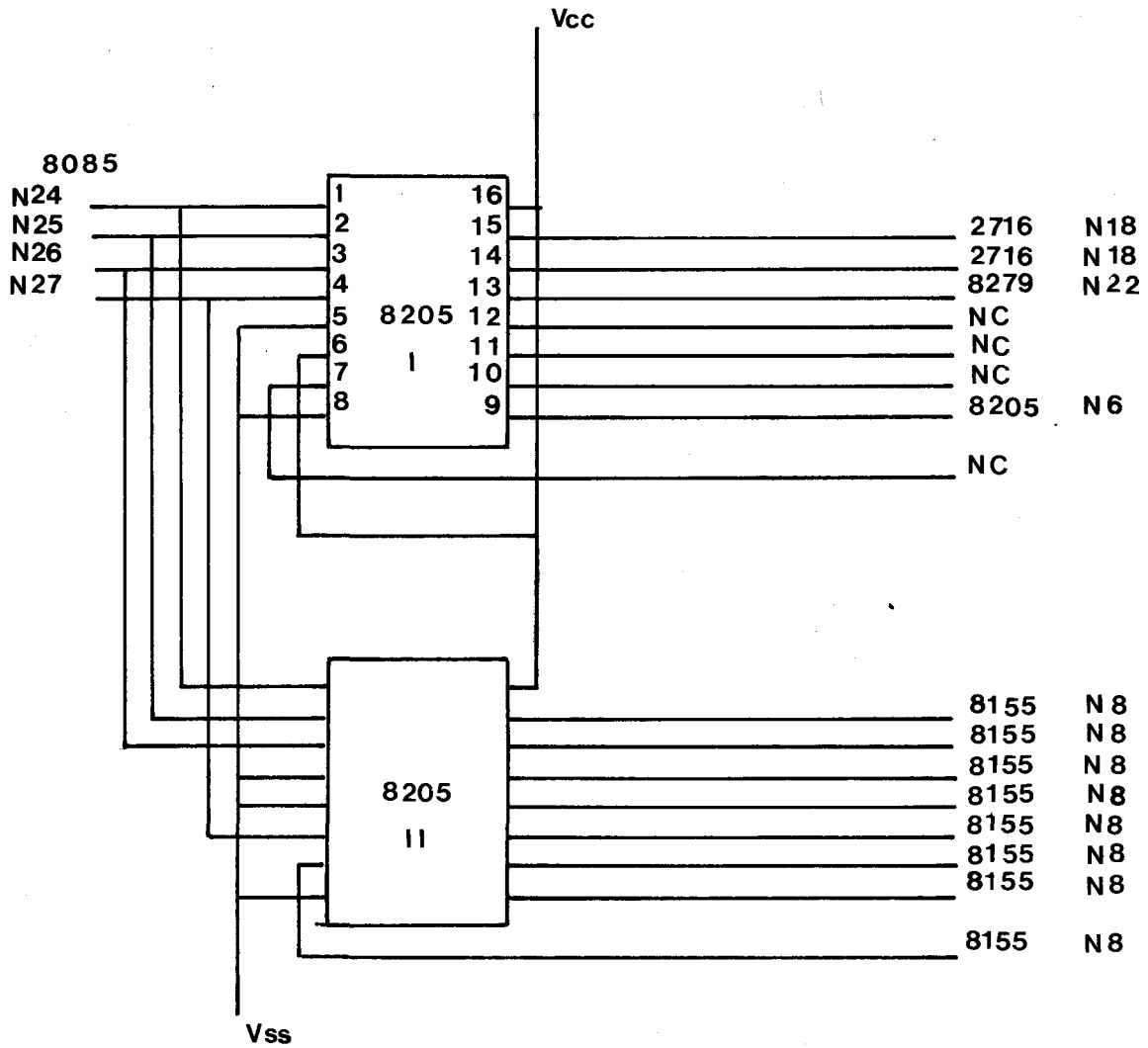
USER SYMBOLS

ACABA	A	0ABB	ACABA0	A	0D94
ACABA2	A	0B0C	ACABA3	A	0B5D
ACABA4	A	0BAE	ACABA5	A	0BFF
ACABA6	A	0C50	ACABA7	A	0CA1
ACABA8	A	0CF2	ACABA9	A	0D43
ACTIV0	A	0D6A	ACTIV2	A	0AE2
ACTIV3	A	0B33	ACTIV4	A	0B84
ACTIV5	A	0BD5	ACTIV6	A	0C26
ACTIV7	A	0C77	ACTIV8	A	0CC8
ACTIV9	A	0D19	ACTIVA	A	0A91
AFORO	A	4800	ALARM1	A	0A28
ALARM2	A	0A2F	ALARM3	A	0A36
ALARM4	A	0A3D	ALARM5	A	0A44
ALARM6	A	0A4E	ALARM7	A	0A58

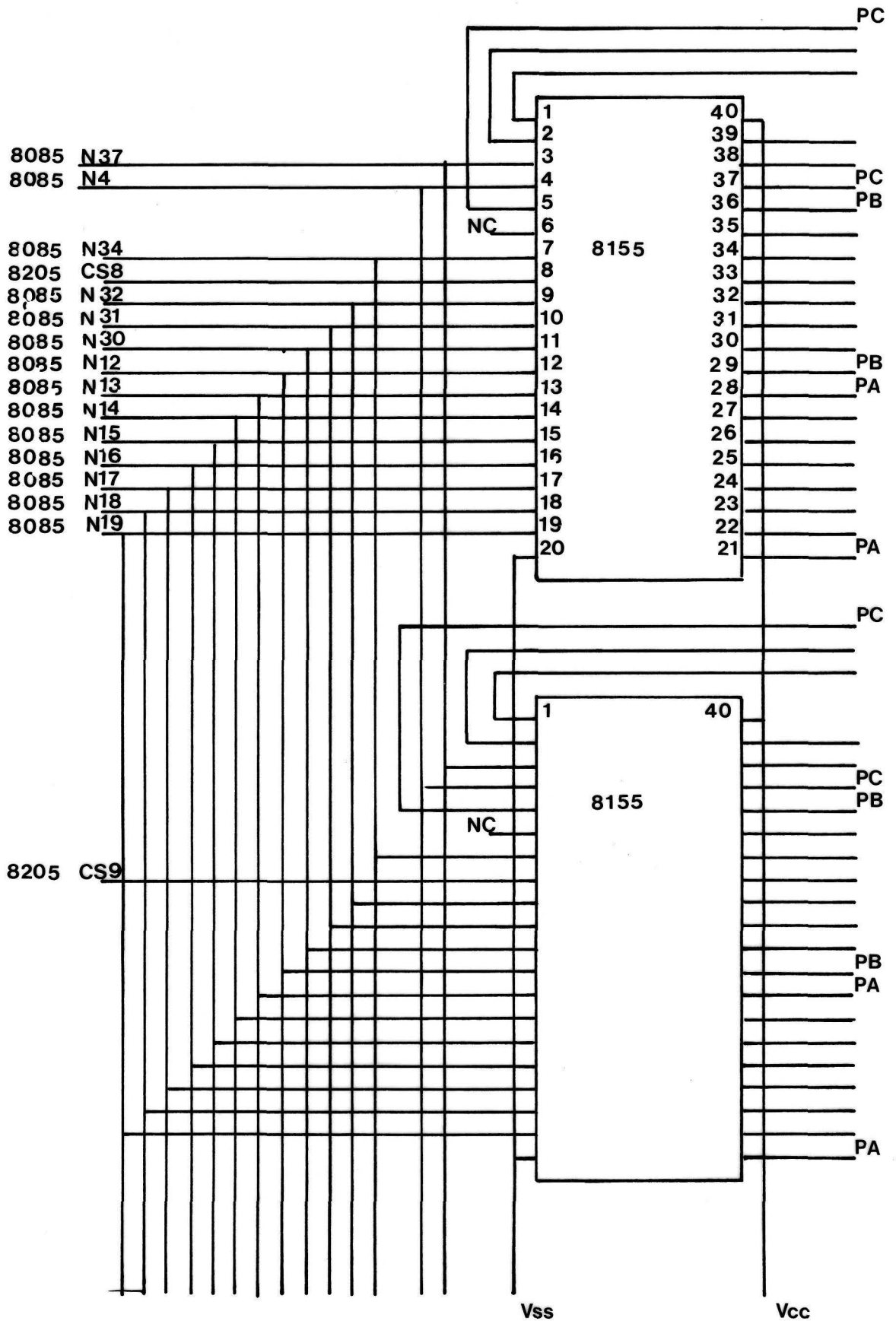
ALARM8	A	ØA62	ALARMA	A	Ø9FD
COMPF	A	Ø864	COMPF1	A	Ø812
CONF1	A	481A	CONF2	A	481B
CONF3	A	481C	CONF4	A	481D
CONT1	A	ØA6B	CONT1Ø	A	ØD44
CONT12	A	ØD95	CONT2	A	ØABC
CONT3	A	ØBØD	CONT4	A	ØB5E
CONT5	A	ØBAF	CONT6	A	ØCØØ
CONT7	A	ØC51	CONT8	A	ØCA2
CONT9	A	ØCF3	CONTRO	A	Ø876
DIAMES	A	Ø8B5	ESTDIA	A	ØØØ1
FINDIA	A	Ø8C2	FINLUZ	A	Ø9F8
FINTEM	A	ØDD4	FUCONT	A	4823
GESTI	A	ØØØ3	HORNO	A	4819
IGUAL1	A	Ø825	IGUAL2	A	Ø835
IGUAL3	A	Ø836	IGUAL4	A	Ø842
IGUAL5	A	Ø84E	INFE	A	Ø86D
INFER	A	Ø969	IUHORA	A	ØØFC
LAVAD	A	4816	LAVAV	A	4817
LUZP	A	Ø99Ø	LUZP1	A	Ø993
LUZP2	A	Ø9AF	LUZP3	A	Ø9C5
LUZP4	A	Ø9A2	LUZP5	A	Ø9E3
LUZP6	A	Ø9DA	M29	A	Ø9Ø5
M3Ø	A	Ø923	M31	A	Ø92C
ORDE2	A	Ø955	ORDE3	A	Ø98E
ORDECO	A	Ø93E	ORDEN	A	481Ø
PMHORA	A	4ØØØ	MES1	A	Ø9ØE
MES2	A	Ø91F	MES3	A	Ø91A
MES4	A	Ø935	MUES	A	Ø8AE
ORDE1	A	Ø972	PONER	A	ØAB3
PONERØ	A	ØD8C	PONER2	A	ØBØ4
PONER3	A	ØB55	PONER4	A	ØBA6
PONER5	A	ØBF7	PONER6	A	ØC48
PONER7	A	ØC99	PONER8	A	ØCEA
PONER9	A	ØD3B	POZO1	A	481E
POZO2	A	481F	PRIN	A	Ø8ØØ

PUCONT	A	4822	RECOG	A	ØAB7
RECOGØ	A	ØD9Ø	RECOG2	A	ØBØ8
RECOG3	A	ØB59	RECOG4	A	ØBAA
RECOG5	A	ØBFB	RECOG6	A	ØC4C
RECOG7	A	ØC9D	RECOG8	A	ØCEE
RECOG9	A	ØD3F	REVIS	A	ØAA2
REVISØ	A	ØD7B	REVIS2	A	ØAF3
REVIS3	A	ØB44	REVIS4	A	ØB95
REVIS5	A	ØBE6	REVIS6	A	ØC37
REVIS7	A	ØC88	REVIS8	A	ØCD9
REVIS9	A	ØD2A	SUHORA	A	ØØ4Ø
TALAR	A	ØA6A	TEMP	A	ØDC8
TEMP1	A	ØDCA	TEMPO	A	ØDD5
TEMPOL	A	ØDD7	TERMIN	A	ØDEA
TERMO	A	4818			

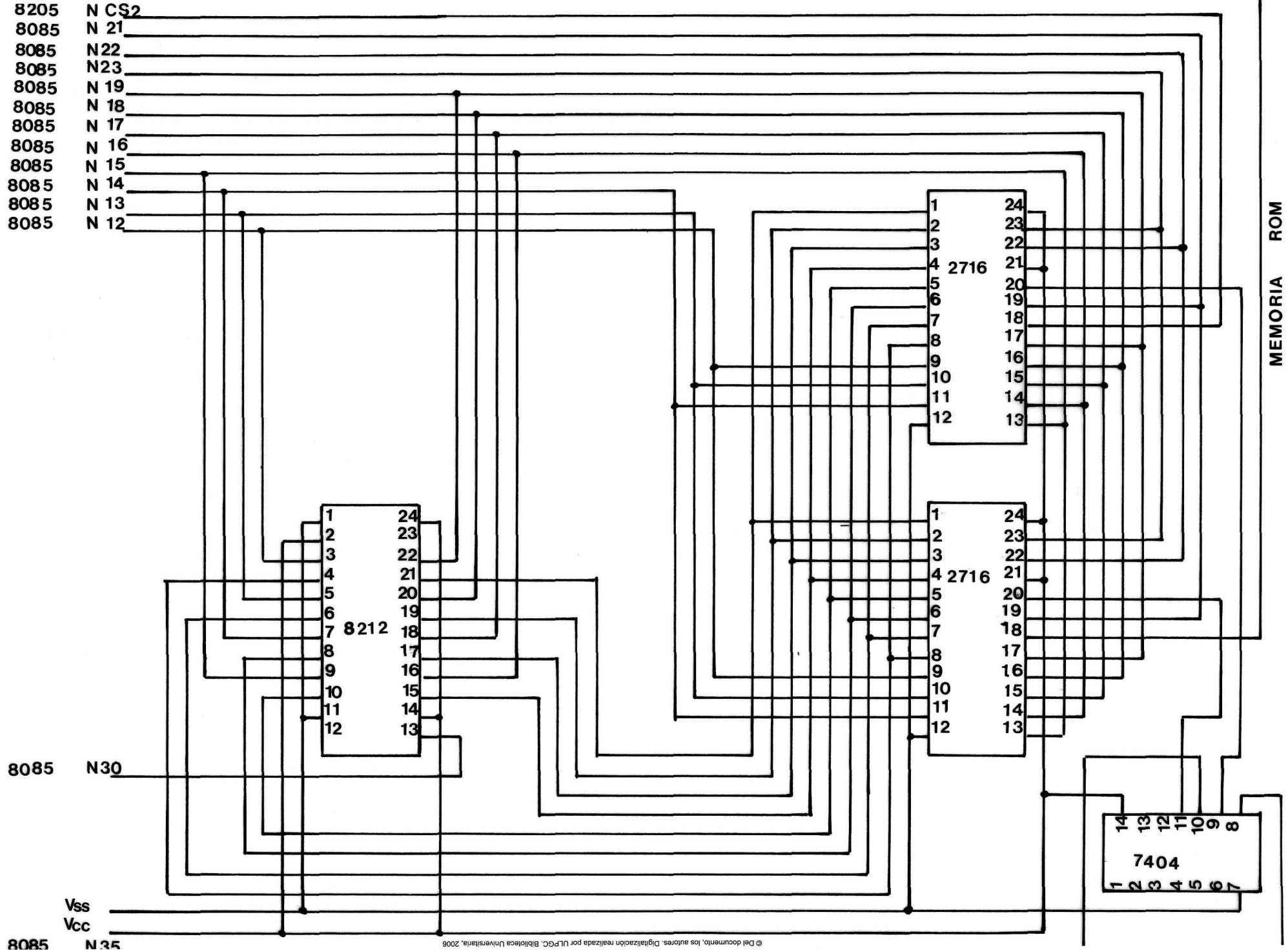
DIAGRAMAS

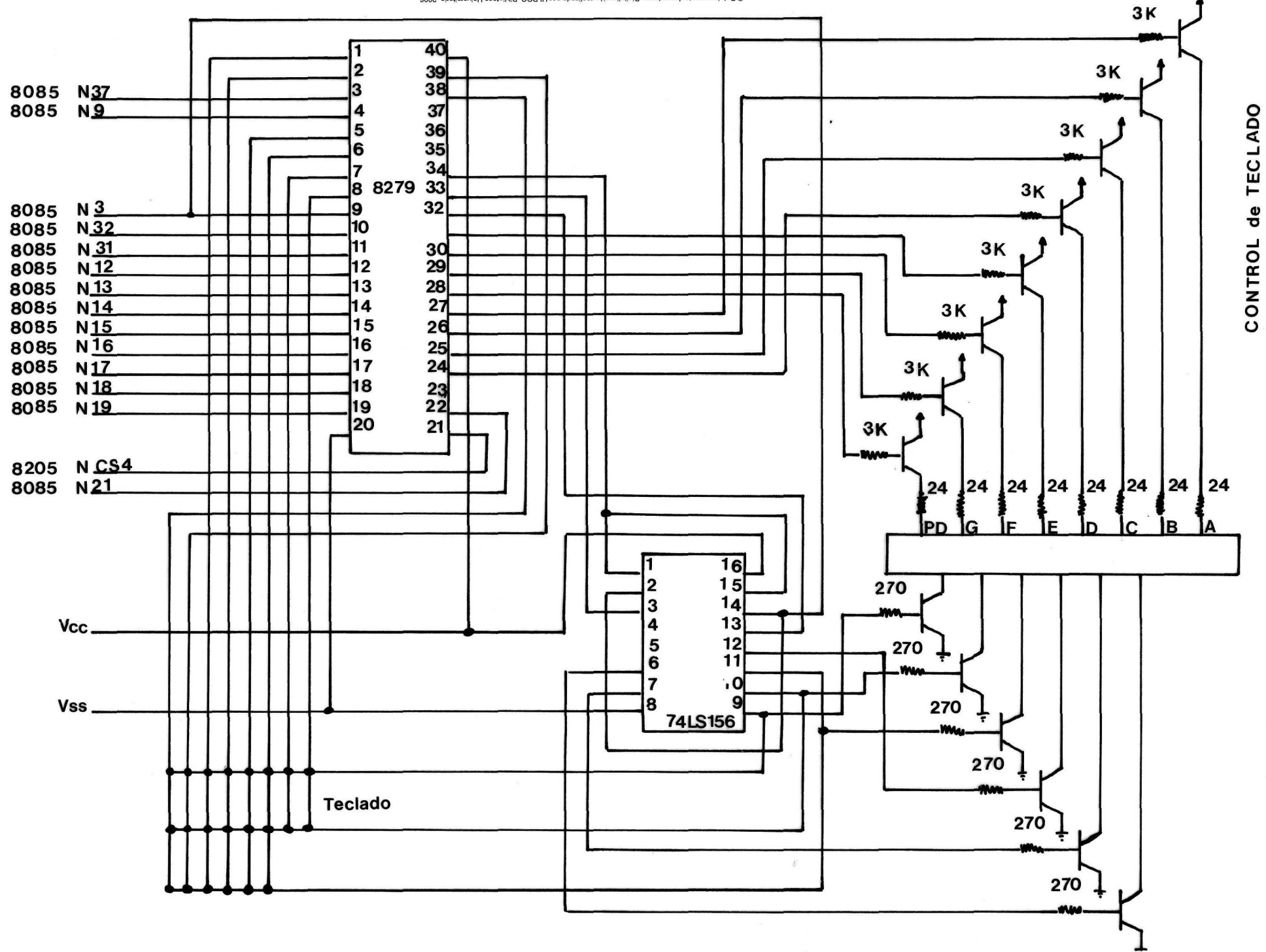


DECODIFICADOR de DIRECCIONES



MEMORIA RAM





CONTROL de TECLADO

TABLE 4. ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin	
With Respect to Ground	-0.5V to +7V
Power Dissipation	1.5 Watt

*COMMENT

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

TABLE 5. D.C. CHARACTERISTICS

(T_A = 0°C to 70°C; V_{CC} = 5V ±5%; V_{SS} = 0V; unless otherwise specified)

Symbol	Parameter	Min.	Max.	Units	Test Conditions
V _{IL}	Input Low Voltage	-0.5	+0.8	V	
V _{IH}	Input High Voltage	2.0	V _{CC} +0.5	V	
V _{OL}	Output Low Voltage		0.45	V	I _{OL} = 2mA
V _{OH}	Output High Voltage	2.4		V	I _{OH} = -400µA
I _{CC}	Power Supply Current		170	mA	
I _{IL}	Input Leakage		±10	µA	V _{in} = V _{CC}
I _{LO}	Output Leakage		±10	µA	0.45V ≤ V _{out} ≤ V _{CC}
V _{ILR}	Input Low Level, RESET	-0.5	+0.8	V	
V _{IHR}	Input High Level, RESET	2.4	V _{CC} +0.5	V	
V _{HY}	Hysteresis, RESET	0.25		V	

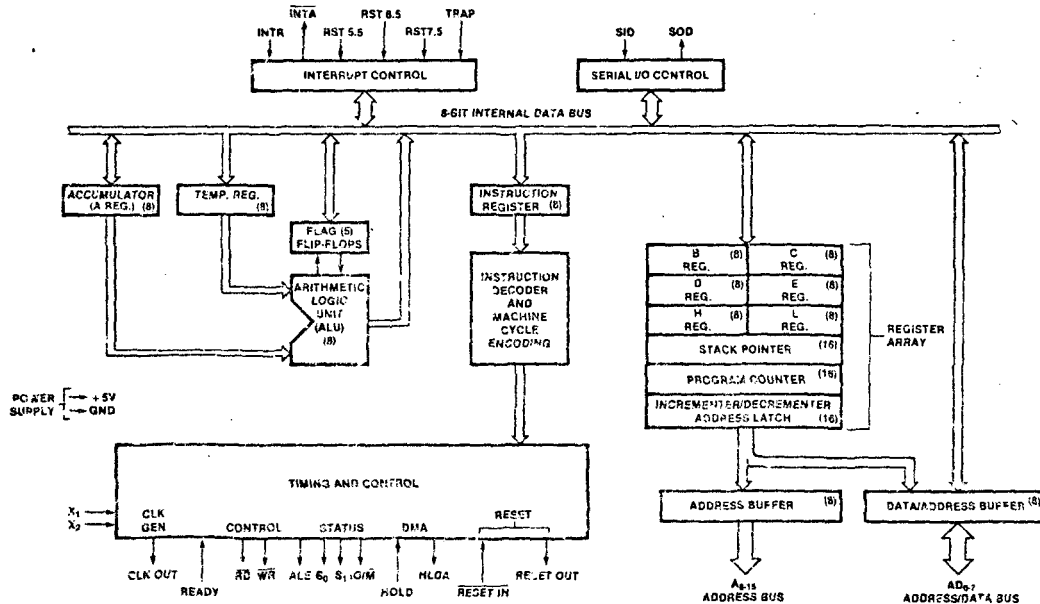


FIGURE 2-1 8085A CPU FUNCTIONAL BLOCK DIAGRAM

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

TABLE 6. A.C. CHARACTERISTICS
 $T_A = 0^\circ\text{C to } 70^\circ\text{C}; V_{CC} = 5\text{V} \pm 5\%; V_{SS} = 0\text{V}$

Symbol	Parameter	8085A ⁽²⁾		8085A-2 ⁽²⁾ (Preliminary)		Units
		Min.	Max.	Min.	Max.	
t_{CYC}	CLK Cycle Period	320	2000	200	2000	ns
t_1	CLK Low Time (Standard CLK Loading)	80		40		ns
t_2	CLK High Time (Standard CLK Loading)	120		70		ns
t_r, t_f	CLK Rise and Fall Time		30		30	ns
t_{XKR}	X_1 Rising to CLK Rising	30	120	30	100	ns
t_{XKF}	X_1 Rising to CLK Falling	30	150	30	110	ns
t_{AC}	A_{8-15} Valid to Leading Edge of Control ⁽¹⁾	270		115		ns
t_{ACL}	A_{0-7} Valid to Leading Edge of Control	240		115		ns
t_{AD}	A_{0-15} Valid to Valid Data In		575		350	ns
t_{AFR}	Address Float After Leading Edge of READ (\overline{INTA})		0		0	ns
t_{AL}	A_{8-15} Valid Before Trailing Edge of \overline{ALE} ⁽¹⁾	115		50		ns
t_{ALL}	A_{0-7} Valid Before Trailing Edge of \overline{ALE}	90		50		ns
t_{ARY}	READY Valid from Address Valid		220		100	ns
t_{CA}	Address (A_{8-15}) Valid After Control	120		60		ns
t_{CC}	Width of Control Low (\overline{RD} , \overline{WR} , \overline{INTA})					ns
t_{CL}	Edge of \overline{ALE} Trailing Edge of Control to Leading Edge of \overline{ALE}	400		230		ns
t_{DW}	Data Valid to Trailing Edge of \overline{WRITE}	420		230		ns
t_{HABE}	HLDA to Bus Enable		210		150	ns
t_{HABF}	Bus Float After HLDA		210		150	ns
t_{HACK}	HLDA Valid to Trailing Edge of CLK	110		40		ns
t_{HDH}	HOLD Hold Time	0		0		ns
t_{HDS}	HOLD Setup Time to Trailing Edge of CLK	170		120		ns
t_{INH}	INTR Hold Time	0		0		ns
t_{INS}	INTR, RST, and TRAP Setup Time to Falling Edge of CLK	160		150		ns
t_{LA}	Address Hold Time After \overline{ALE}	100		50		ns
t_{LC}	Trailing Edge of \overline{ALE} to Leading Edge of Control	130		60		ns
t_{LCK}	\overline{ALE} Low During CLK High	100		50		ns
t_{LDR}	\overline{ALE} to Valid Data During Read		460		270	ns
t_{LDW}	\overline{ALE} to Valid Data During Write		200		120	ns
t_{LL}	\overline{ALE} Width	140		80		ns
t_{LRY}	\overline{ALE} to READY Stable		110		30	ns

Table 6. A.C. Characteristics (Cont.)

Symbol	Parameter	8085A ^[2]		8085A-2 ^[2] (Preliminary)		Units
		Min.	Max.	Min.	Max.	
t_{E}	Trailing Edge of $\overline{\text{READ}}$ to Re-Enabling of Address	150		90		ns
t_{RD}	$\overline{\text{READ}}$ (or $\overline{\text{INTA}}$) to Valid Data		300		150	ns
t_{RV}	Control Trailing Edge to Leading Edge of Next Control	400		220		ns
t_{OH}	Data Hold Time After $\overline{\text{READ}}$ $\overline{\text{INTA}}$ ^[7]	0		0		ns
t_{RYH}	READY Hold Time	0		0		ns
t_{RS}	READY Setup Time to Leading Edge of CLK	110		100		ns
t_{WD}	Data Valid After Trailing Edge of $\overline{\text{WRITE}}$	100		60		ns
t_{WDL}	LEADING Edge of WRITE to Data Valid		40		20	ns

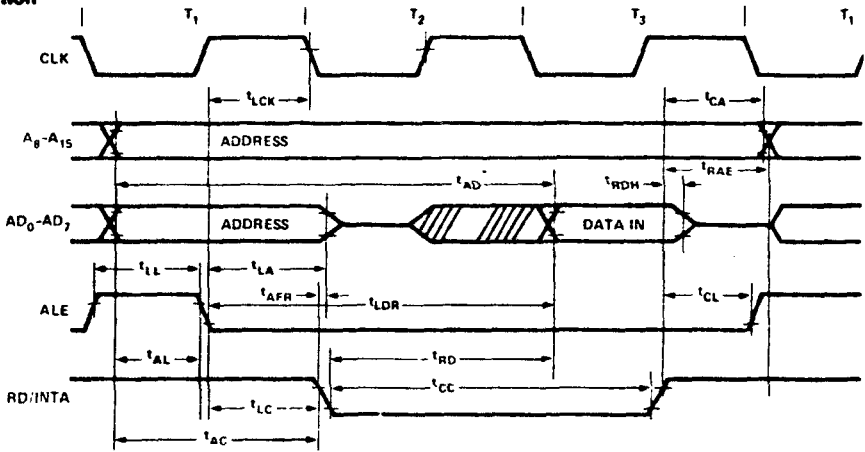
Notes:

- A_8 - A_{15} address Specs apply to $\overline{\text{IO}/\overline{\text{M}}}$, S_0 , and S_1 except A_8 - A_{15} are undefined during T_4 - T_6 of OF cycle whereas $\overline{\text{IO}/\overline{\text{M}}}$, S_0 , and S_1 are stable.
- Test conditions: $t_{CYC} = 320\text{ns}$ (8085A), 200ns (8085A-2); $C_L = 150\text{pF}$
- For all output timing where $C_L = 150\text{pF}$ use the following correction factors:
 $25\text{pF} < C_L < 150\text{pF}$: -0.10ns/pF
 $150\text{pF} < C_L \leq 300\text{pF}$: $+0.30\text{ns/pF}$
- Output timings are measured with purely capacitive load.
- All timings are measured at output voltage $V_L = 0.8\text{V}$, $V_H = 2.0\text{V}$, and 1.5V with 20ns rise and fall time on inputs.
- To calculate timing specifications at other values of t_{CYC} use Table 7.
- Data hold time is guaranteed under all loading conditions.

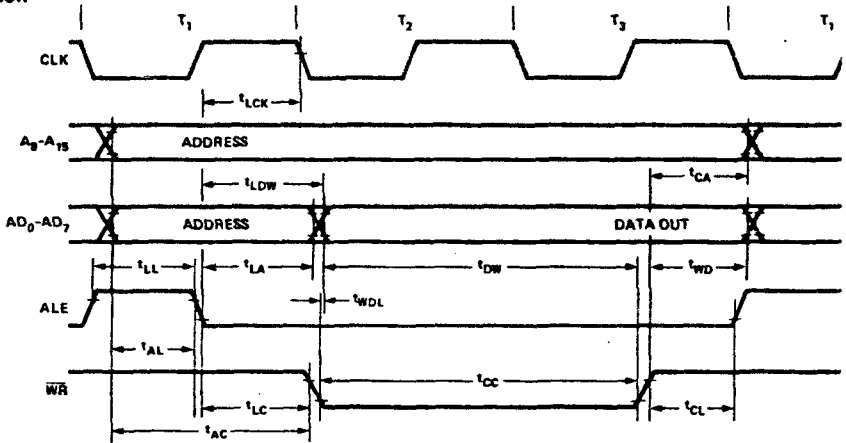
Input Waveform for A.C. Tests:



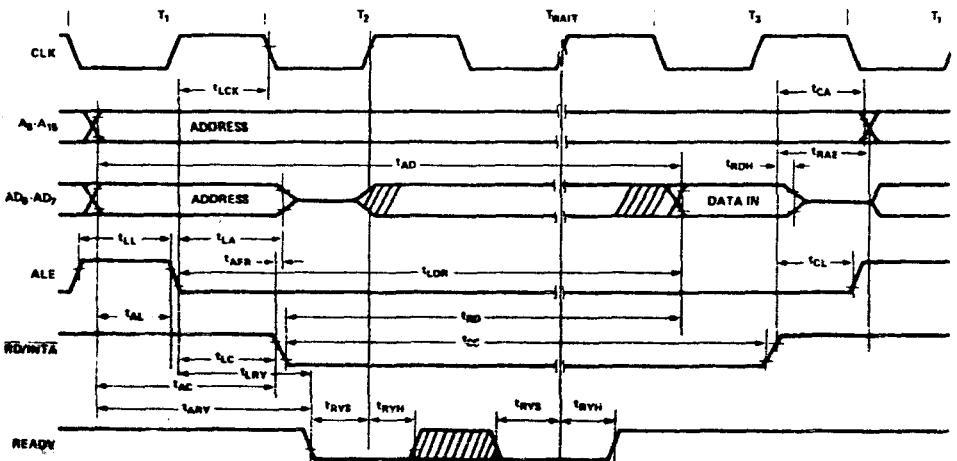
Read Operation



Write Operation



Read operation with Wait Cycle (Typical) — same READY timing applies to WRITE operation.



NOTE 1: READY MUST REMAIN STABLE DURING SETUP AND HOLD TIMES.

Figure 11. 8085A Bus Timing, With and Without Wait

TABLE 7. BUS TIMING SPECIFICATION AS A T_{CYC} DEPENDENT

8085A		
t_{AL}	-	$(1/2) T - 45$ MIN
t_{LA}	-	$(1/2) T - 60$ MIN
t_{LL}	-	$(1/2) T - 20$ MIN
t_{LCK}	-	$(1/2) T - 60$ MIN
t_{LC}	-	$(1/2) T - 30$ MIN
t_{AD}	-	$(5/2 + N) T - 225$ MAX
t_{RD}	-	$(3/2 + N) T - 180$ MAX
t_{RAE}	-	$(1/2) T - 10$ MIN
t_{CA}	-	$(1/2) T - 40$ MIN
t_{DW}	-	$(3/2 + N) T - 60$ MIN
t_{WD}	-	$(1/2) T - 60$ MIN
t_{CC}	-	$(3/2 + N) T - 80$ MIN
t_{CL}	-	$(1/2) T - 110$ MIN
t_{ARY}	-	$(3/2) T - 260$ MAX
t_{HACK}	-	$(1/2) T - 50$ MIN
t_{HABF}	-	$(1/2) T + 50$ MAX
t_{HABE}	-	$(1/2) T + 50$ MAX
t_{AC}	-	$(2/2) T - 50$ MIN
t_1	-	$(1/2) T - 80$ MIN
t_2	-	$(1/2) T - 40$ MIN
t_{RV}	-	$(3/2) T - 80$ MIN
t_{LDR}	-	$(4/2) T - 180$ MAX

8085A-2 (Preliminary)		
t_{AL}	-	$(1/2) T - 50$ MIN
t_{LA}	-	$(1/2) T - 50$ MIN
t_{LL}	-	$(1/2) T - 20$ MIN
t_{LCK}	-	$(1/2) T - 50$ MIN
t_{LC}	-	$(1/2) T - 40$ MIN
t_{AD}	-	$(5/2 + N) T - 150$ MAX
t_{RD}	-	$(3/2 + N) T - 150$ MAX
t_{RAE}	-	$(1/2) T - 10$ MIN
t_{CA}	-	$(1/2) T - 40$ MIN
t_{DW}	-	$(3/2 + N) T - 70$ MIN
t_{WD}	-	$(1/2) T - 40$ MIN
t_{CC}	-	$(3/2 + N) T - 70$ MIN
t_{CL}	-	$(1/2) T - 75$ MIN
t_{ARY}	-	$(3/2) T - 200$ MAX
t_{HACK}	-	$(1/2) T - 60$ MIN
t_{HABF}	-	$(1/2) T + 50$ MAX
t_{HABE}	-	$(1/2) T + 50$ MAX
t_{AC}	-	$(2/2) T - 85$ MIN
t_1	-	$(1/2) T - 60$ MIN
t_2	-	$(1/2) T - 30$ MIN
t_{RV}	-	$(3/2) T - 80$ MIN
t_{LDR}	-	$(4/2) T - 130$ MAX

NOTE: N is equal to the total WAIT states.
 $T = t_{CYC}$.

NOTE: N is equal to the total WAIT states.
 $T = t_{CYC}$.

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

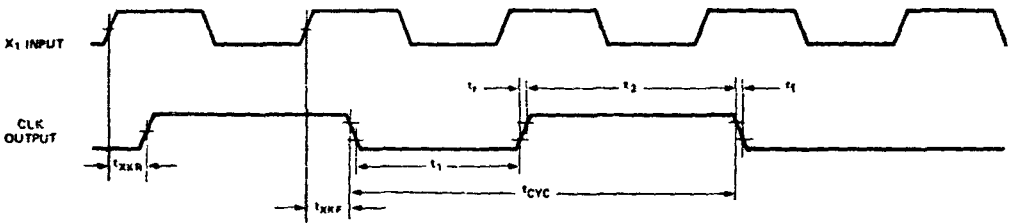


Figure 10. Clock Timing Waveform

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	0°C to +70°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin With Respect to Ground	-0.5V to +7V
Power Dissipation	1.5W

*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

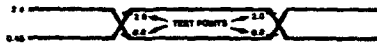
D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = 5V \pm 5\%$)

SYMBOL	PARAMETER	MIN.	MAX.	UNITS	TEST CONDITIONS
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	$V_{CC} + 0.5$	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2\text{mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400\mu\text{A}$
	Input Leakage		± 10	μA	$V_{IN} = V_{CC}$ to 0V
	Output Leakage Current		± 10	μA	$0.45V \leq V_{OUT} \leq V_{CC}$
I_{CC}	V_{CC} Supply Current		180	mA	
(CE)	Chip Enable Leakage				
	8155		+100	μA	$V_{IN} = V_{CC}$ to 0V
	8156		-100	μA	

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = 5V \pm 5\%$)

SYMBOL	PARAMETER	8155/8156		8155-2/8156-2 (Preliminary)		UNITS
		MIN.	MAX.	MIN.	MAX.	
t_{AL}	Address to Latch Set Up Time	50		30		ns
t_{LA}	Address Hold Time after Latch	80		30		ns
t_{LC}	Latch to READ/WRITE Control	100		40		ns
t_{RD}	Valid Data Out Delay from READ Control		170		140	ns
t_{AD}	Address Stable to Data Out Valid		400		330	ns
t_{LL}	Latch Enable Width	100		70		ns
t_{RDF}	Data Bus Float After READ	0	100	0	80	ns
t_{CL}	READ/WRITE Control to Latch Enable	20		10		ns
t_{CC}	READ/WRITE Control Width	250		200		ns
t_{DW}	Data In to WRITE Set Up Time	150		100		ns
t_{WD}	Data In Hold Time After WRITE	0		0		ns
t_{RV}	Recovery Time Between Controls	300		200		ns
t_{WP}	WRITE to Port Output		400		300	ns
t_{PR}	Port Input Setup Time	70		50		ns
t_{RP}	Port Input Hold Time	50		10		ns
t_{SBF}	Strobe to Buffer Full		400		300	ns
t_{SS}	Strobe Width	200		150		ns
t_{RBE}	READ to Buffer Empty		400		300	ns
t_{SI}	Strobe to INTR On		400		300	ns
t_{RDI}	READ to INTR Off		400		300	ns
t_{PSS}	Port Setup Time to Strobe Strobe	50		0		ns
t_{PHS}	Port Hold Time After Strobe	120		100		ns
t_{SBE}	Strobe to Buffer Empty		400		300	ns
t_{WBF}	WRITE to Buffer Full		400		300	ns
t_{WI}	WRITE to INTR Off		400		300	ns
t_{TL}	TIMER-IN to $\overline{\text{TIMER-OUT}}$ Low		400		300	ns
t_{TH}	TIMER-IN to $\overline{\text{TIMER-OUT}}$ High		400		300	ns
t_{RDE}	Data Bus Enable from READ Control	10		10		ns
t_1	TIMER-IN Low Time	80		40		ns
t_2	TIMER-IN High Time	120		70		ns

Input Waveform for A.C. Tests:

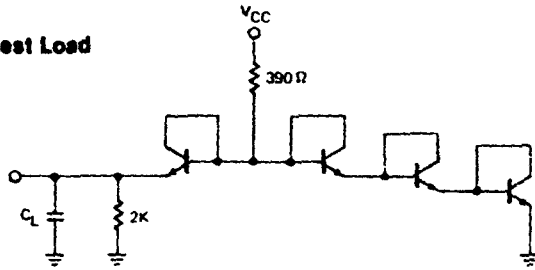


SWITCHING CHARACTERISTICS

Conditions of Test:

- Input pulse amplitudes: 2.5V
- Input rise and fall times: 5 nsec between 1V and 2V
- Measurements are made at 1.5V

Test Load

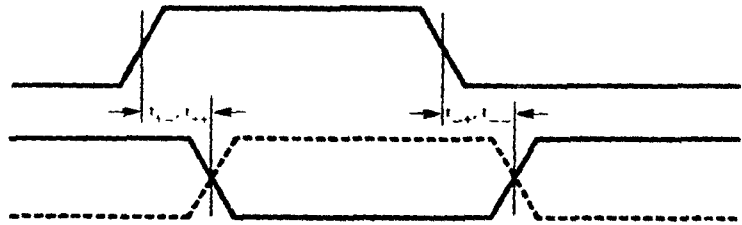


All Transistors 2N2369 or Equivalent. $C_L = 30 \text{ pF}$

Test Waveforms

ADDRESS OR ENABLE
INPUT PULSE

OUTPUT



A.C. CHARACTERISTICS

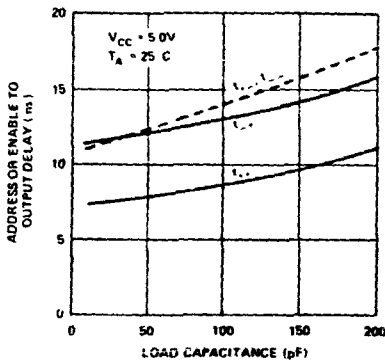
$T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$ unless otherwise specified.

SYMBOL	PARAMETER	MAX. LIMIT	UNIT	TEST CONDITIONS
t_{LH}	ADDRESS OR ENABLE TO OUTPUT DELAY	18	ns	$f = 1 \text{ MHz}$, $V_{CC} = 0V$ $V_{BIAS} = 2.0V$, $T_A = 25^\circ\text{C}$
t_{L-}		18	ns	
t_{H-}		18	ns	
t_{HL}		18	ns	
$C_{IN}^{(1)}$	INPUT CAPACITANCE	P8205 4(typ.)	pF	$f = 1 \text{ MHz}$, $V_{CC} = 0V$ $V_{BIAS} = 2.0V$, $T_A = 25^\circ\text{C}$
		C8205 5(typ.)	pF	

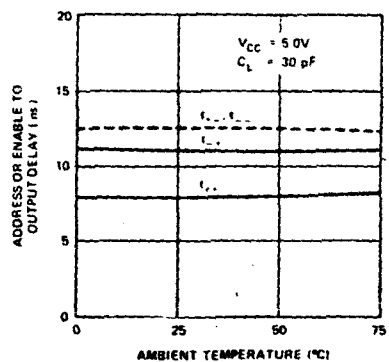
1. This parameter is periodically sampled and is not 100% tested.

TYPICAL CHARACTERISTICS

ADDRESS OR ENABLE TO OUTPUT
DELAY VS. LOAD CAPACITANCE



ADDRESS OR ENABLE TO OUTPUT
DELAY VS. AMBIENT TEMPERATURE



ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias:	Ceramic	-65°C to +125°C
	Plastic	-65°C to +75°C
Storage Temperature		-65°C to +160°C
All Output or Supply Voltages		-0.5 to +7 Volts
All Input Voltages		-1.0 to +5.5 Volts
Output Currents		125 mA

*COMMENT

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

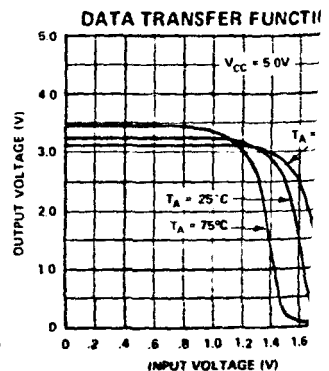
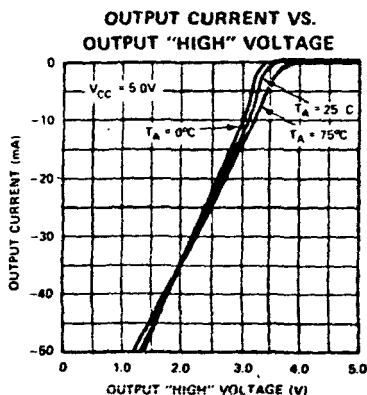
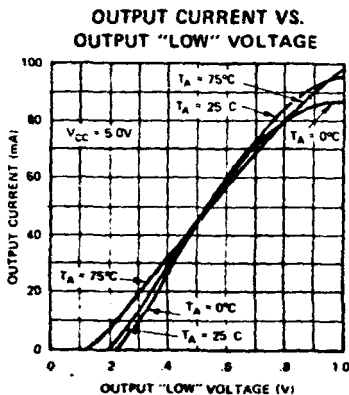
D.C. CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$, $V_{CC} = 5\text{V} \pm 5\%$

8205

SYMBOL	PARAMETER	LIMIT		UNIT	TEST CONDITIONS
		MIN.	MAX.		
I_F	INPUT LOAD CURRENT		-0.25	mA	$V_{CC} = 5.25\text{V}$, $V_F = 0.45\text{V}$
I_R	INPUT LEAKAGE CURRENT		10	μA	$V_{CC} = 5.25\text{V}$, $V_R = 5.25\text{V}$
V_C	INPUT FORWARD CLAMP VOLTAGE		-1.0	V	$V_{CC} = 4.75\text{V}$, $I_C = -5.0\text{mA}$
V_{OL}	OUTPUT "LOW" VOLTAGE		0.45	V	$V_{CC} = 4.75\text{V}$, $I_{OL} = 10.0\text{mA}$
V_{OH}	OUTPUT HIGH VOLTAGE	2.4		V	$V_{CC} = 4.75\text{V}$, $I_{OH} = -1.5\text{mA}$
V_{IL}	INPUT "LOW" VOLTAGE		0.85	V	$V_{CC} = 5.0\text{V}$
V_{IH}	INPUT "HIGH" VOLTAGE	2.0		V	$V_{CC} = 5.0\text{V}$
I_{SC}	OUTPUT HIGH SHORT CIRCUIT CURRENT	-40	-120	mA	$V_{CC} = 5.0\text{V}$, $V_{OUT} = 0\text{V}$
V_{OX}	OUTPUT "LOW" VOLTAGE @ HIGH CURRENT		0.8	V	$V_{CC} = 5.0\text{V}$, $I_{OX} = 40\text{mA}$
I_{CC}	POWER SUPPLY CURRENT		70	mA	$V_{CC} = 5.25\text{V}$

TYPICAL CHARACTERISTICS



ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias Plastic	0°C to +70°C
Storage Temperature	-65°C to +160°C
All Output or Supply Voltages	-0.5 to +7 Volts
All Input Voltages	-1.0 to 5.5 Volts
Output Currents	100mA

***COMMENT**

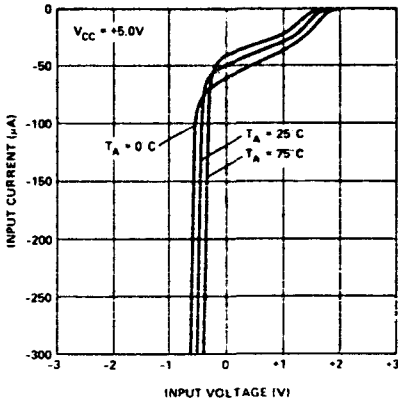
Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } +75^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$

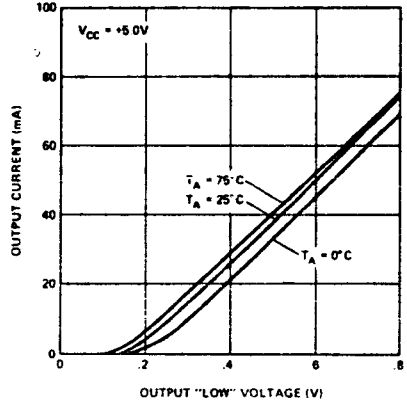
Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ.	Max.		
I_F	Input Load Current, ACK, DS ₂ , CR, DI ₁ -DI ₈ Inputs			-0.25	mA	$V_F = .45\text{V}$
I_F	Input Load Current MD Input			-0.75	mA	$V_F = .45\text{V}$
I_F	Input Load Current DS ₁ Input			-1.0	mA	$V_F = .45\text{V}$
I_R	Input Leakage Current, ACK, DS, CR, DI ₁ -DI ₈ Inputs			10	μA	$V_R \leq V_{CC}$
I_R	Input Leakage Current MO Input			30	μA	$V_R \leq V_{CC}$
I_R	Input Leakage Current DS ₁ Input			40	μA	$V_R \leq V_{CC}$
V_C	Input Forward Voltage Clamp			-1	V	$I_C = -5\text{mA}$
V_{IL}	Input "Low" Voltage			.85	V	
V_{IH}	Input "High" Voltage	2.0			V	
V_{OL}	Output "Low" Voltage			.45	V	$I_{OL} = 15\text{mA}$
V_{OH}	Output "High" Voltage	3.65	4.0		V	$I_{OH} = -1\text{mA}$
I_{SC}	Short Circuit Output Current	-15		-75	mA	$V_O = 0\text{V}$, $V_{CC} = 5\text{V}$
$ I_{O1} $	Output Leakage Current High Impedance State			20	μA	$V_O = .45\text{V}/5.25\text{V}$
I_{CC}	Power Supply Current		90	130	mA	

TYPICAL CHARACTERISTICS

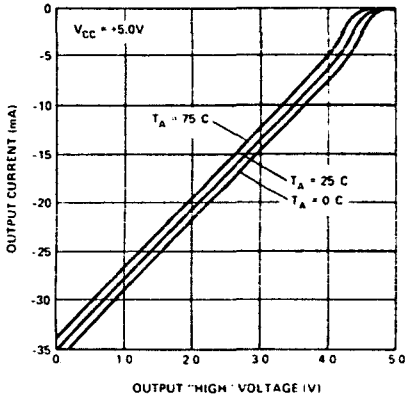
INPUT CURRENT VS. INPUT VOLTAGE



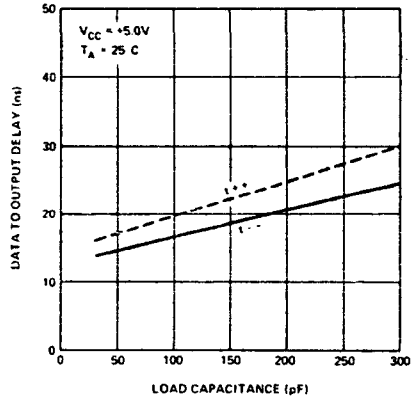
OUTPUT CURRENT VS. OUTPUT "LOW" VOLTAGE



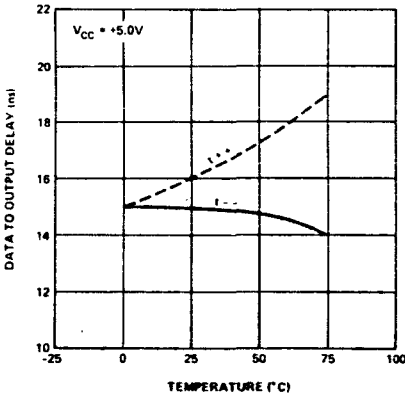
OUTPUT CURRENT VS. OUTPUT "HIGH" VOLTAGE



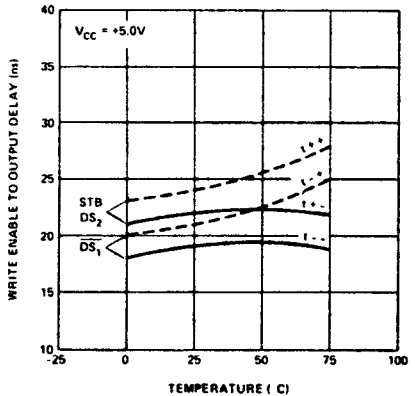
DATA TO OUTPUT DELAY VS. LOAD CAPACITANCE



DATA TO OUTPUT DELAY VS. TEMPERATURE

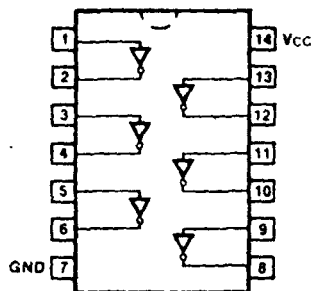


WRITE ENABLE TO OUTPUT DELAY VS. TEMPERATURE



54/7404
54H/74H04
54S/74S04
54S/74S04A
54LS/74LS04
HEX INVERTER

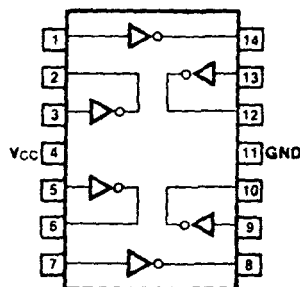
CONNECTION DIAGRAMS
PINOUT A



DECODING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0\text{ V} \pm 5\%$, $T_A = 0^\circ\text{ C to } +70^\circ\text{ C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$, $T_A = -55^\circ\text{ C to } +125^\circ\text{ C}$	
Plastic DIP (P)	A	7404PC, 74H04PC 74S04PC, 74S04APC 74LS04PC		9A
Plastic DIP (P)	A	7404DC, 74H04DC 74S04DC, 74S04ADC 74LS04DC	5404DM, 54H04DM 54S04DM, 54S04ADM 54LS04DM	6A
Plastic DIP (P)	A	74S04FC, 74S04AFC 74LS04FC	54S04FM, 54S04AFM 54LS04FM	3I
	B	7404FC, 74H04FC	5404FM, 54H04FM	

PINOUT B



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

UNITS	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74H		54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max	Min	Max		
I _{CC}	Power Supply Current	12	33	26	58	24	54	2.4	6.6	mA	$V_{IN} = \text{Gnd}$ $V_{CC} = \text{Max}$
											$V_{IN} = \text{Open}$
t _{PLH} t _{PLL}	Propagation Delay	22	15	10	10	2.0	2.0	4.5	5.0	ns	Fig. 3-1, 3-4
t _{PLH} t _{PLL}	Propagation Delay (54/74S04A only)					1.0	1.0	3.5	4.0	ns	Fig. 3-1, 3-4

*DC limits apply over operating temperature range; AC limits apply at $T_A = +25^\circ\text{ C}$ and $V_{CC} = +5.0\text{ V}$.

A.C. CHARACTERISTICS $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5V \pm 5\%$

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ.	Max.		
t _{PW}	Pulse Width	30			ns	
t _{PD}	Data to Output Delay			30	ns	Note 1
t _{WE}	Write Enable to Output Delay			40	ns	Note 1
t _{SET}	Data Set Up Time	15			ns	
t _H	Data Hold Time	20			ns	
t _R	Reset to Output Delay			40	ns	Note 1
t _S	Set to Output Delay			30	ns	Note 1
t _E	Output Enable/Disable Time			45	ns	Note 1
t _C	Clear to Output Delay			55	ns	Note 1

CAPACITANCE* $F = 1\text{MHz}$, $V_{BIAS} = 2.5V$, $V_{CC} = +5V$, $T_A = 25^\circ\text{C}$

Symbol	Test	Limits	
		Typ.	Max.
C _{IN}	DS ₁ MD Input Capacitance	9pF	12pF
C _{IN}	DS ₂ , CK, ACK, DI ₁ -DI ₈ Input Capacitance	5pF	9pF
C _{OUT}	DO ₁ -DO ₈ Output Capacitance	8pF	12pF

*This parameter is sampled and not 100% tested.

SWITCHING CHARACTERISTICS**Conditions of Test**

Input Pulse Amplitude = 2.5V

Input Rise and Fall Times 5ns

Between 1V and 2V Measurements made at 1.5V with 15mA and 30pF Test Load

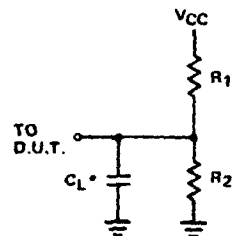
Note 1:

Test	C _L *	R ₁	R ₂
t _{PD} , t _{WE} , t _R , t _S , t _C	30pF	300Ω	600Ω
t _E , ENABLE _I	30pF	10KΩ	1KΩ
t _E , ENABLE _I	30pF	300Ω	600Ω
t _E , DISABLE _I	5pF	300Ω	600Ω
t _E , DISABLE _I	5pF	10KΩ	1KΩ

*Includes probe and jig capacitance.

Test Load

15mA & 30pF



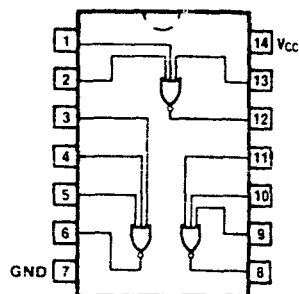
*INCLUDING JIG & PROBE CAPACITANCE

54/7427
54LS/74LS27
 TRIPLE 3-INPUT NOR GATE

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7427PC, 74LS27PC		9A
Ceramic DIP (D)	A	7427DC, 74LS27DC	5427DM, 54LS27DM	6A
Flatpak (F)	A	7427FC, 74LS27FC	5427FM, 54LS27FM	3I

CONNECTION DIAGRAM
PINOUT A



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	0.5/0.25
Outputs	20/10	10/5.0 (2.5)

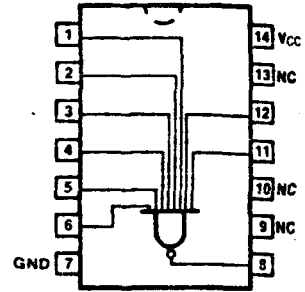
DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS	
		Min	Max	Min	Max		V _{CC} = Max	V _{IN} = Gnd V _{IN} = Open
I _{CC} H	Power Supply Current	16		4.0		mA		
I _{CC} L		26		6.8			V _{IN} = Open	
t _{PLH} t _{PHL}	Propagation Delay	15 11		13 13		ns	Figs. 3-1, 3-4	

*DC limits apply over operating temperature range; AC limits apply at T_A = +25°C and V_{CC} = +5.0 V.

54/7430
54H/74H30
54S/74S30
54LS/74LS30
8-INPUT NAND GATE

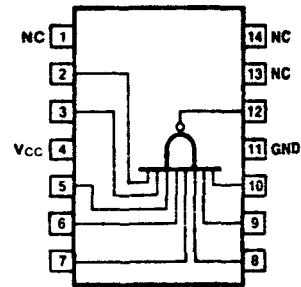
CONNECTION DIAGRAMS
PINOUT A



ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7430PC, 74H30PC 74S30PC, 74LS30PC		9A
Ceramic DIP (D)	A	7430DC, 74H30DC 74S30DC, 74LS30DC	5430DM, 54H30DM 54S30DM, 54LS30DM	6A
Flatpak (F)	A	74S30FC, 74LS30FC	54S30FM, 54LS30FM	3I
	B	7430FC, 74H30FC	5430FM, 54H30FM	

PINOUT B



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74	54/74H	54/74S	54/74LS	UNITS	CONDITIONS	
		Min Max	Min Max	Min Max	Min Max			
I _{CC} H	Power Supply	2.0	4.2	5.0	0.5	mA	V _{IN} = Gnd	V _{CC} = Max
I _{CC} L	Current	6.0	10	10	1.1		V _{IN} = Open	
t _{PLH} t _{PHL}	Propagation Delay	22 15	10 12	2.0 6.0 2.0 7.0	12 20	ns	Figs. 3-1, 3-4	

*DC limits apply over operating temperature range; AC limits apply at T_A = +25°C and V_{CC} = +5.0 V.

54/7448 54LS/74LS48 BCD TO 7-SEGMENT DECODER

DESCRIPTION — The '48 translates four lines of BCD (8421) input data into the 7-segment numeral code and provides seven corresponding outputs having pull-up resistors, as opposed to totem pole pull-ups. These outputs can serve as logic signals, with a HIGH output corresponding to a lighted lamp segment, or can provide a 1.3 mA base current to npn lamp driver transistors. Auxiliary inputs provide lamp test, blanking and cascadable zero-suppression functions.

The '48 decodes the input data in the pattern indicated in the Truth Table and the segment identification illustration. For a detailed description of the blanking, lamp test and zero-suppression functions refer to the '46A data sheet, but note that the segment output states of the '48 are the logical inverse of those of the '46A. Also see the 'LS248 data sheet.

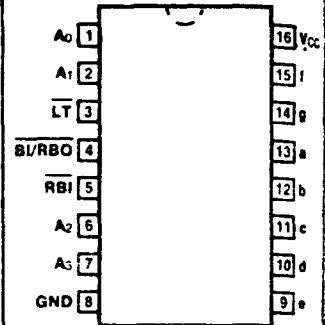
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7448PC, 74LS48PC		9B
Ceramic DIP (D)	A	7448DC, 74LS48DC	5448DM, 54LS48DM	7B
Flatpak (F)	A	7448FC, 74LS48FC	5448FM, 54LS48FM	4L

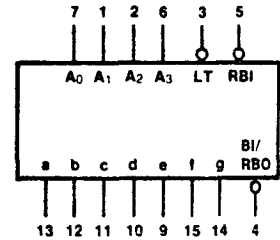
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
A ₀ — A ₃	BCD Inputs	1.0/1.0	0.5/0.25
RBI	Ripple Blanking input (Active LOW)	1.0/1.0	0.5/0.25
LT	Lamp Test Input (Active LOW)	1.0/1.0	0.5/0.25
BI/RBO	Blanking Input (Active LOW) or Ripple Blanking Output (Active LOW)	-2.5 5.0/5.0	-0.75 1.25/2.0 (1.0)
a — g	Segment Outputs (Active HIGH)	10/4.0	2.5/3.75 (1.25)

**CONNECTION DIAGRAM
PINOUT A**

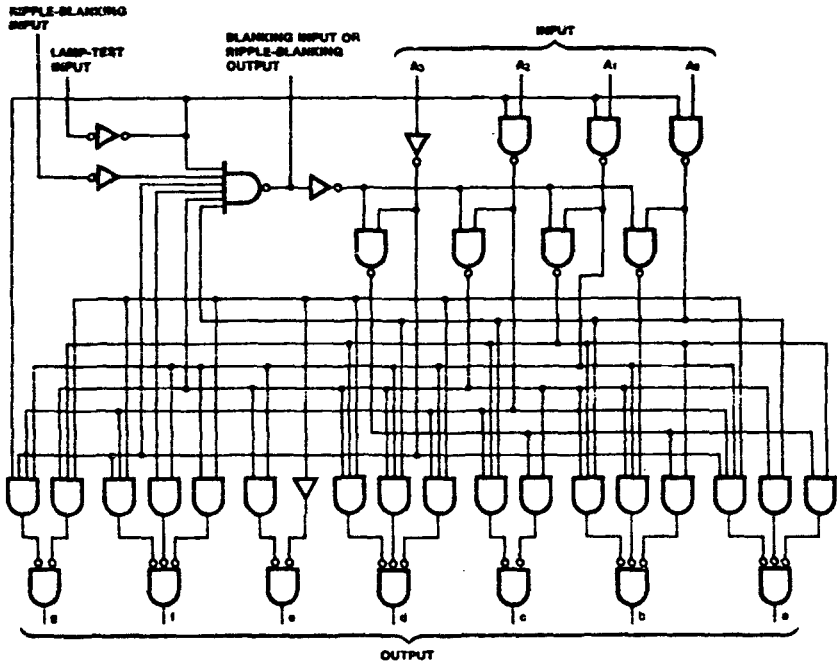


LOGIC SYMBOL



V_{CC} = Pin 16
GND = Pin 8

LOGIC DIAGRAM



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

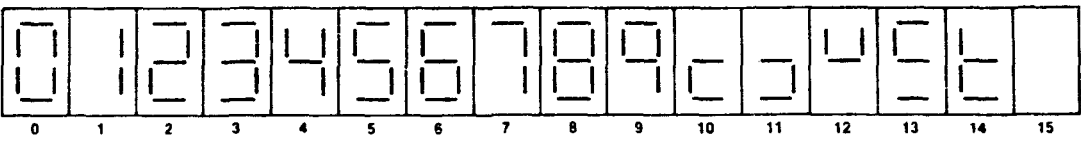
SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
IOH	Output HIGH Current at a —g	-1.3		-1.3		mA	Vcc = Min, Vout = 0.85 V
IOS	Output Short Circuit Current at BI/RBO		-4.0	-0.3	-2.0	mA	Vcc = Max, Vout = 0 V
ICC	Power Supply Current	XM	76	38		mA	Vcc = Max All Inputs = 4.5 V
		XC	90	38			

AC CHARACTERISTICS: Vcc = +5.0 V, TA = +25° C (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		CL = 15 pF RL = 1 kΩ		CL = 15 pF			
		Min	Max	Min	Max		
tPLH	Propagation Delay	100		100		ns	Figs. 3-1, 3-20
tPHL	An to a —g	100		100			
tPLH	Propagation Delay	100		100		ns	Figs. 3-1, 3-5 LT = HIGH, A0 — A3 = HIGH
tPHL	RBI to a —f	100		100			

© Der document, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2008

NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS



TRUTH TABLE

DECIMAL OR FUNCTION	INPUTS						OUTPUTS							NOTE	
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	A ₃	A ₂	A ₁	A ₀	$\overline{\text{BI/RBO}}$	a	b	c	d	e	f		g
0	H	H	L	L	L	L	H	H	H	H	H	H	L		1
1	H	X	L	L	L	H	H	L	H	H	L	L	L		1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
$\overline{\text{BI}}$	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
$\overline{\text{LT}}$	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

NOTES:

- (1) $\overline{\text{BI/RBO}}$ is wired-AND logic serving as blanking input ($\overline{\text{BI}}$) and/or ripple-blanking output ($\overline{\text{RBO}}$). The blanking out ($\overline{\text{BI}}$) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input ($\overline{\text{RBI}}$) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X = input may be HIGH or LOW.
- (2) When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.
- (3) When ripple-blanking input ($\overline{\text{RBI}}$) and inputs A₀, A₁, A₂, and A₃ are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a LOW level and the ripple-blanking output ($\overline{\text{RBO}}$) goes to a LOW level (response condition).
- (4) When the blanking input/ripple-blanking output ($\overline{\text{BI/RBO}}$) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a HIGH level.

4
© De documentos, los autores. Digitalización realizada por UL PCC. Biblioteca Universitaria, 2006

54/7473 54H/74H73 54LS/74LS73

DUAL JK FLIP-FLOP

(With Separate Clears and Clocks)

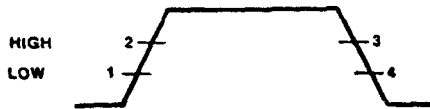
DESCRIPTION — The '73 and 'H73 dual JK master/slave flip-flops have a separate clock for each flip-flop. Inputs to the master section are controlled by the clock pulse. The clock pulse also regulates the state of the coupling transistors which connect the master and slave sections. The sequence of operation is as follows: 1) isolate slave from master; 2) enter information from J and K inputs to master; 3) disable J and K inputs; 4) transfer information from master to slave.

TRUTH TABLE

INPUTS		OUTPUT
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

H = HIGH Voltage Level
 L = LOW Voltage Level
 t_n = Bit time before clock pulse.
 $t_n + 1$ = Bit time after clock pulse.

CLOCK WAVEFORM



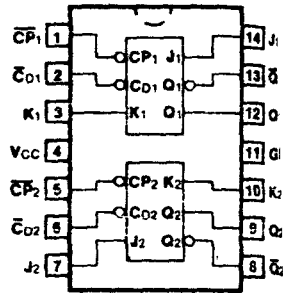
Asynchronous Input:
 LOW input to \bar{C}_D sets Q to LOW level
 Clear is independent of clock

The 'LS73 offers individual J, K, clear, and clock inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the Truth Table as long as minimum setup times are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

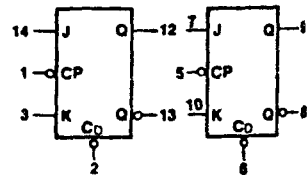
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0 V \pm 5\%$, $T_A = 0^\circ C$ to $+70^\circ C$	$V_{CC} = +5.0 V \pm 10\%$, $T_A = -55^\circ C$ to $+125^\circ C$	
Plastic DIP (P)	A	7473PC, 74H73PC 74LS73PC		9A
Ceramic DIP (D)	A	7473DC, 74H73DC 74LS73DC	5473DM, 54H73DM 54LS73DM	6A
Flatpak (F)	A	7473FC, 74H73FC 74LS73FC	5473FM, 54H73FM 54LS73FM	3I

**CONNECTION DIAGRAM
PINOUT A**



LOGIC SYMBOL



$V_{CC} = \text{Pin } 4$
 $GND = \text{Pin } 11$

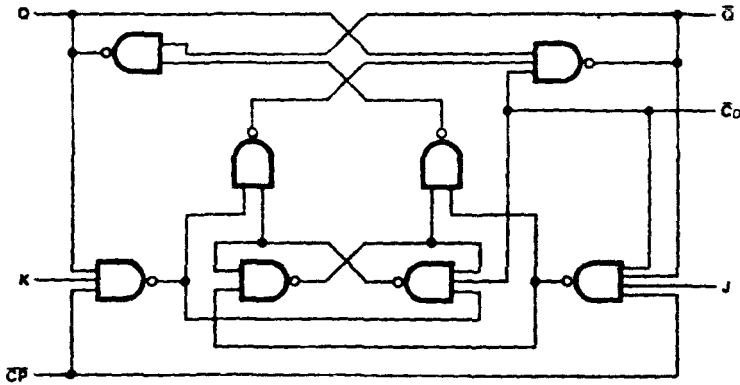
© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

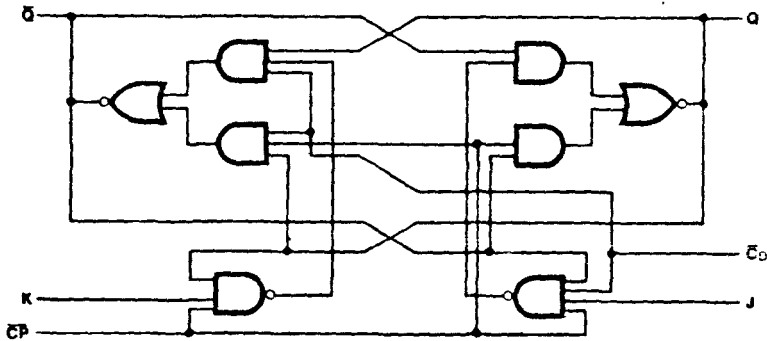
PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
J ₁ , J ₂ , K ₁ , K ₂	Data Inputs	1.0/1.0	1.25/1.25	0.5/0.25
CP ₁ , CP ₂	Clock Pulse Inputs (Active Falling Edge)	2.0/2.0	1.25/1.25	2.0/0.5
$\bar{C}D_1$, $\bar{C}D_2$	Direct Clear Inputs (Active LOW)	2.0/2.0	2.5/2.5	1.5/0.5
Q ₁ , Q ₂ , \bar{Q}_1 , \bar{Q}_2	Outputs	20/10	12.5/12.5	10/5.0 (2.5)

LOGIC DIAGRAMS (one half shown)

'73, 'H73



'LS73



4

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		54/74H		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max		
I _{CC}	Power Supply Current	40		50		8.0		mA	V _{CC} = Max, V _{CP} = 0 V

AC CHARACTERISTICS: V_{CC} = +5.0 V, T_A = +25° C (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		54/74H		54/74LS		UNITS	CONDITIONS
		C _L = 15 pF R _L = 400 Ω		C _L = 25 pF R _L = 280 Ω		C _L = 15 pF			
		Min	Max	Min	Max	Min	Max		
f _{max}	Maximum Clock Frequency	15		25		30		MHz	Fig. 3-1, 3-9
t _{PLH}	Propagation Delay	25		21		20		ns	Figs. 3-1, 3-9
t _{PHL}	\overline{CP}_n to Q or \overline{Q}	40		27		30			
t _{PLH}	Propagation Delay	25		13		20		ns	Figs. 3-1, 3-10
t _{PHL}	\overline{CD}_n to Q or \overline{Q}	40		24		30			

AC OPERATING REQUIREMENTS: V_{CC} = +5.0 V T_A = +25° C

SYMBOL	PARAMETER	54/74		54/74H		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max		
t _s (H)	Setup Time HIGH J _n or K _n to \overline{CP}_n	0		0		20		ns	Fig. 3-18 (¹ 73, ¹ H73) Fig. 3-7 (¹ LS73)
t _h (H)	Hold Time HIGH J _n or K _n to \overline{CP}_n	0		0		0			
t _s (L)	Setup Time LOW J _n or K _n to \overline{CP}_n	0		0		20			
t _h (L)	Hold Time LOW J _n or K _n to \overline{CP}_n	0		0		0			
t _w (H)	\overline{CP}_n Pulse Width	20		12		13.5		ns	Fig. 3-9
t _w (L)		47		16		20			
t _w (L)	\overline{CD}_n Pulse Width LOW	25		16		25		ns	Figs. 3-1, 3-10

54/7490A

54LS/74LS90

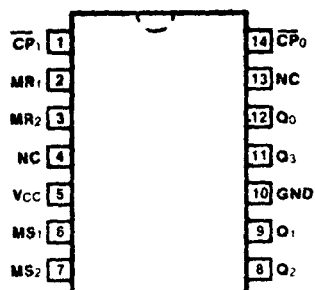
DECADE COUNTER

DESCRIPTION — The '90 is a 4-stage ripple counter containing a high speed $\frac{1}{2}$ -flip acting as a divide-by-two and three flip-flops connected as a divide-by-five counter. It can be connected to operate with a conventional BCD output pattern or it can be connected to provide a 50% duty cycle output. In the CD mode, HIGH signals on the Master Set (MS) inputs set the outputs to CD nine. HIGH signals on the Master Reset (MR) inputs force all outputs LOW. For a similar counter with corner power pins, see the 'LS290; for dual versions, see the 'LS390 and 'LS490.

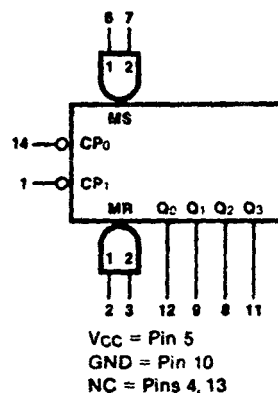
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		VCC = +5.0 V \pm 5%, T _A = 0°C to +70°C	VCC = +5.0 V \pm 10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7490APC, 74LS90PC		9A
Ceramic DIP (D)	A	7490ADC, 74LS90DC	5490ADM, 54LS90DM	6A
Flatpak (F)	A	7490AFC, 74LS90FC	5490AFM, 54LS90FM	3I

CONNECTION DIAGRAM PINOUT A



LOGIC SYMBOL



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
CP ₀	\pm 2 Section Clock Input (Active Falling Edge)	2.0/2.0	0.125/1.5
CP ₁	\pm 5 Section Clock Input (Active Falling Edge)	3.0/3.0	0.250/2.0
MR ₁ , MR ₂	Asynchronous Master Reset Inputs (Active HIGH)	1.0/1.0	0.5/0.25
MS ₁ , MS ₂	Asynchronous Master Set (Preset 9) Inputs (Active HIGH)	1.0/1.0	0.5/0.25
Q ₀	\pm 2 Section Output*	20/10	10/5.0 (2.5)
Q ₁ —Q ₃	\pm 5 Section Outputs	20/10	10/5.0 (2.5)

*The Q₀ output is guaranteed to drive the full rated fan-out plus the CP₁ input.

FUNCTIONAL DESCRIPTION — The '90 is a 4-bit ripple type decade counter. It consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q₀ output of each device is designed and specified to drive the rated fan-out plus the \overline{CP}_1 input. A gated AND asynchronous Master Reset (MR₁, MR₂) is provided which overrides the clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set (MS₁, MS₂) is provided which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH). Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.:

- A. BCD Decade (8421) Counter — The \overline{CP}_1 input must be externally connected to the Q₀ output. The \overline{CP}_0 input receives the incoming count and a BCD count sequence is produced.
- B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q₃ output must be externally connected to the \overline{CP}_0 input. The input count is then applied to the \overline{CP}_1 input and a divide-by-ten square wave is obtained at output Q₀.
- C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function (\overline{CP}_0 as the input and Q₀ as the output). The \overline{CP}_1 input is used to obtain binary divide-by-five operation at the Q₃ output.

MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

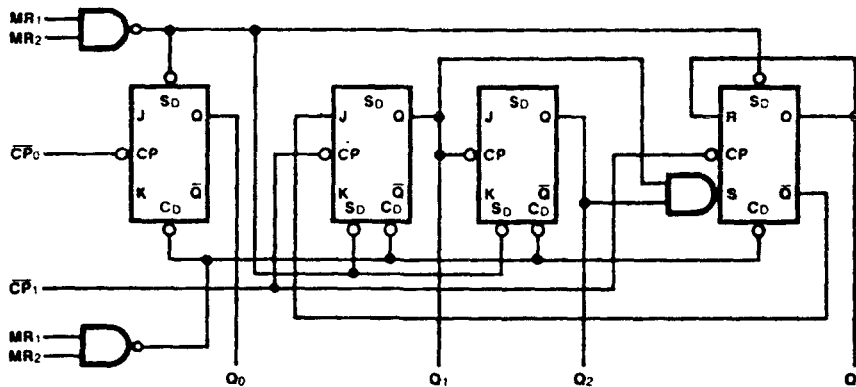
H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

BCD COUNT SEQUENCE

COUNT	OUTPUTS			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q₀ is connected to Input \overline{CP}_1 for BCD count.

LOGIC DIAGRAM



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
I_{IH}	Input HIGH Current, \overline{CP}_0	1.0		0.2		mA	$V_{CC} = \text{Max}, V_{IN} = 5.5 \text{ V}$
I_{IH}	Input HIGH Current \overline{CP}_1	1.0		0.4		mA	$V_{CC} = \text{Max}, V_{IN} = 5.5 \text{ V}$
I_{CC}	Power Supply Current	42		15		mA	$V_{CC} = \text{Max}$

AC CHARACTERISTICS: $V_{CC} = +5.0 \text{ V}$, $T_A = +25^\circ \text{ C}$ (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$		$C_L = 15 \text{ pF}$			
		Min	Max	Min	Max		
f_{max}	Maximum Count Frequency, \overline{CP}_0	32		32		MHz	Figs. 3-1, 3-9
f_{max}	Maximum Count Frequency, \overline{CP}_1	16		16		MHz	Figs. 3-1, 3-9
t_{PLH} t_{PHL}	Propagation Delay \overline{CP}_0 to Q_0	16 18		16 18		ns	Figs. 3-1, 3-9
t_{PLH} t_{PHL}	Propagation Delay \overline{CP}_0 to Q_3	48 50		48 50		ns	Figs. 3-1, 3-9
t_{PLH} t_{PHL}	Propagation Delay \overline{CP}_1 to Q_1	16 21		16 21		ns	Figs. 3-1, 3-9
t_{PLH} t_{PHL}	Propagation Delay \overline{CP}_1 to Q_2	32 35		32 35		ns	Figs. 3-1, 3-9
t_{PLH} t_{PHL}	Propagation Delay \overline{CP}_1 to Q_3	32 35		32 35		ns	Figs. 3-1, 3-9
t_{PLH}	Propagation Delay MS to Q_0 and Q_3	30		30		ns	Figs. 3-1, 3-17
t_{PHL}	Propagation Delay MS to Q_1 and Q_3	40		40		ns	Figs. 3-1, 3-17
t_{PHL}	Propagation Delay MR to Q_n	40		40		ns	Figs. 3-1, 3-17

AC OPERATING REQUIREMENTS: $V_{CC} = +5.0 \text{ V}$, $T_A = +25^\circ \text{ C}$

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
t_w (H)	\overline{CP}_0 Pulse Width HIGH	15		15		ns	Fig. 3-9
t_w (H)	\overline{CP}_1 Pulse Width HIGH	30		30		ns	Fig. 3-9
t_w (H)	MS Pulse Width HIGH	15		15		ns	Fig. 3-17
t_w (H)	MR Pulse Width HIGH	15		15		ns	Fig. 3-17
t_{rec}	Recovery Time, MS to \overline{CP}	25		25		ns	Fig. 3-17
t_{rec}	Recovery Time, MR to \overline{CP}	25		25		ns	Fig. 3-17

54/74150

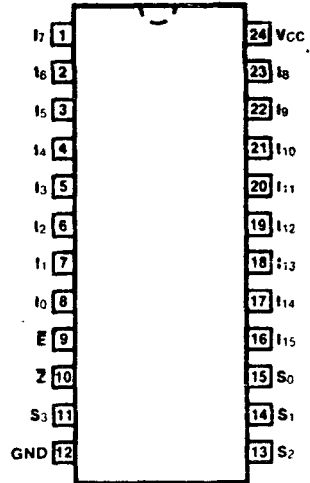
16-INPUT MULTIPLEXER

DESCRIPTION — Signals applied to the Select ($S_0 - S_3$) inputs determine which of the data inputs ($I_0 - I_{15}$) is routed through to the output. Data from the selected input appears at the output (Z) in inverted form. When the active-LOW Enable input is HIGH, the output will be HIGH, regardless of other input conditions.

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0\text{ V} \pm 5\%$, $T_A = 0^\circ\text{C to } +70^\circ\text{C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$, $T_A = -55^\circ\text{C to } +70^\circ\text{C}$	
Plastic DIP (P)	A	74150PC		9N
Ceramic DIP (D)	A	74150DC	54150DM	6N
Flatpak (F)	A	74150FC	54150FM	4M

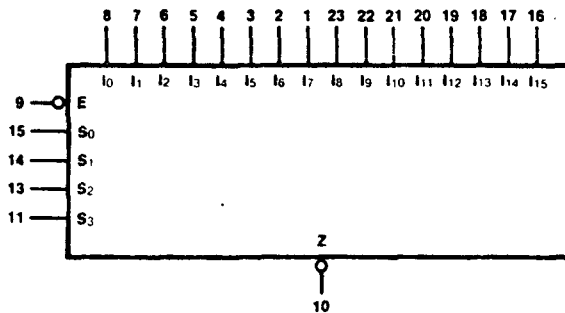
CONNECTION DIAGRAM PINOUT A



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

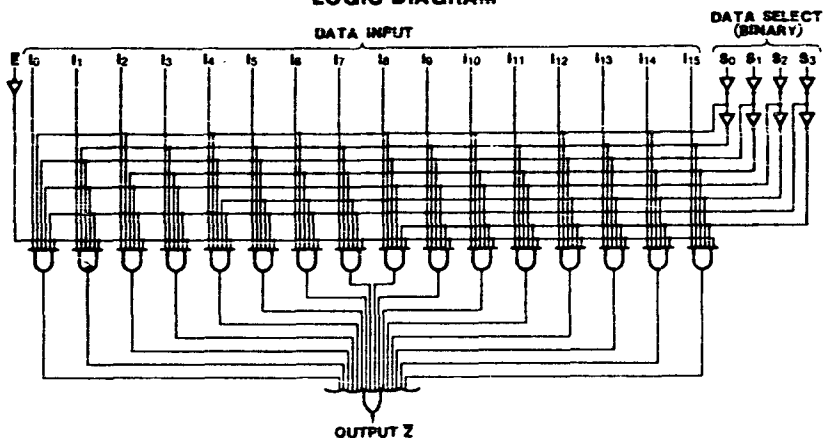
PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW
$I_0 - I_{15}$	Data Inputs	1.0/1.0
$S_0 - S_3$	Select Inputs	1.0/1.0
\bar{E}	Enable Input (Active LOW)	1.0/1.0
Z	Inverted Data Output	20/10

LOGIC SYMBOL



$V_{CC} = \text{Pin } 24$
 $\text{GND} = \text{Pin } 12$

LOGIC DIAGRAM



TRUTH TABLE

INPUTS					OUTPUT
S ₃	S ₂	S ₁	S ₀	E	Z
X	X	X	X	H	H
L	L	L	L	L	I ₀
L	L	L	H	L	I ₁
L	L	H	L	L	I ₂
•	•	•	•	•	•
H	H	L	L	L	I ₁₂
H	H	L	H	L	I ₁₃
H	H	H	L	L	I ₁₄
H	H	H	H	L	I ₁₅

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS	
		Min	Max			
I _{OS}	Output Short Circuit Current	XM	-20	-55	mA	V _{CC} = Max
		XC	-18	-55		
I _{CC}	Power Supply Current		68	mA	V _{CC} = Max, V _{IN} = 4.5V	

AC CHARACTERISTICS: V_{CC} = +5.0 V, T_A = +25°C (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		C _L = 15 pF R _L = 400 Ω			
		Min	Max		
t _{PLH} t _{PHL}	Propagation Delay S _n to Z, 3 Levels		35 33	ns	Figs. 3-1, 3-20
t _{PLH} t _{PHL}	Propagation Delay I _n to Z		20 14	ns	Figs. 3-1, 3-4
t _{PLH} t _{PHL}	Propagation Delay E to Z		24 30	ns	Figs. 3-1, 3-5

54/74154

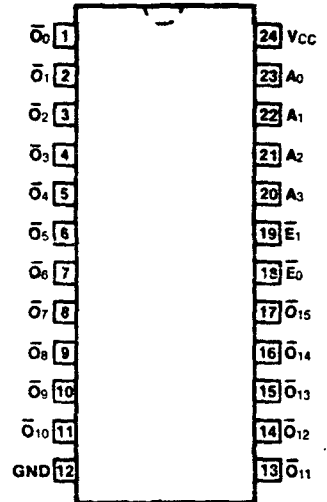
1-OF-16 DECODER/DEMULTIPLEXER

DESCRIPTION — The '154 is a multipurpose decoder designed to accept four inputs and provide 16 mutually exclusive outputs. By means of the Address ($A_0 - A_3$) inputs, data applied to one of the Enable inputs can be routed to any one of the outputs in True (non-inverted) form.

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0\text{ V} \pm 5\%$, $T_A = 0^\circ\text{C to } +70^\circ\text{C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$, $T_A = -55^\circ\text{C to } +125^\circ\text{C}$	
Plastic DIP (P)	A	74154PC		9N
Ceramic DIP (D)	A	74154DC	54154DM	6N
Flatpak (F)	A	74154FC	54154FM	4M

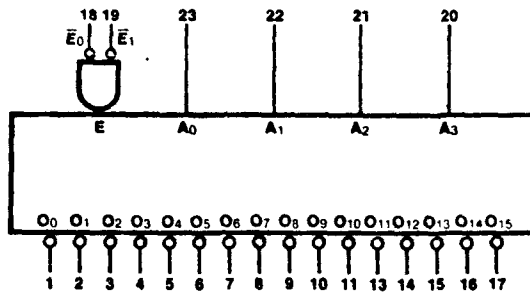
CONNECTION DIAGRAM PINOUT A



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW
$A_0 - A_3$	Address Inputs	1.0/1.0
\bar{E}_0, \bar{E}_1	Enable Inputs (Active LOW)	1.0/1.0
$O_0 - O_{15}$	Outputs (Active LOW)	20/10

LOGIC SYMBOL



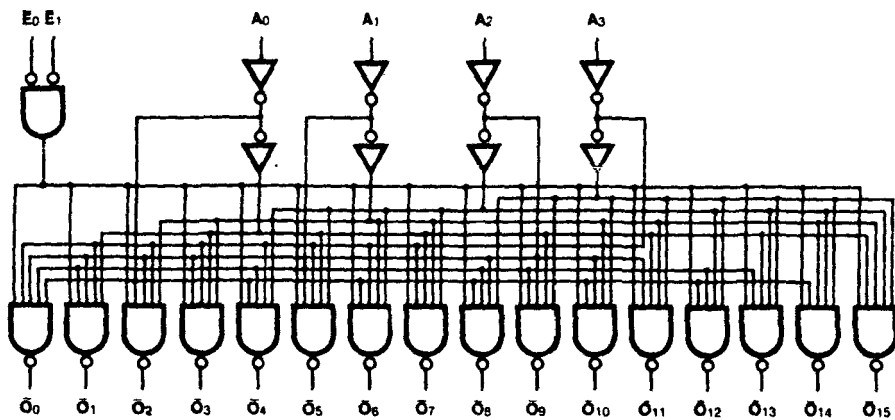
$V_{CC} = \text{Pin } 24$
 $GND = \text{Pin } 12$

TRUTH TABLE

INPUTS						OUTPUTS																
\bar{E}_0	\bar{E}_1	A_0	A_1	A_2	A_3	\bar{O}_0	\bar{O}_1	\bar{O}_2	\bar{O}_3	\bar{O}_4	\bar{O}_5	\bar{O}_6	\bar{O}_7	\bar{O}_8	\bar{O}_9	\bar{O}_{10}	\bar{O}_{11}	\bar{O}_{12}	\bar{O}_{13}	\bar{O}_{14}	\bar{O}_{15}	
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	H	H	H	L	H	H	L	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Immaterial

LOGIC DIAGRAM



© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria.

FUNCTIONAL DESCRIPTION — The '154 decoder accepts four inputs and provides 16 mutually exclusive active LOW outputs, as shown by the logic symbol. The active LOW outputs facilitate addressing other MSI units with active LOW enable.

The '154 can demultiplex data by routing it from one input to one of 16 possible decoder outputs. The desired output is addressed and the data is applied to one of the enable inputs. Providing that the other enable is LOW, the addressed output will follow the state of the applied data.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		Min	Max		
I _{OS}	Output Short Circuit Current	XM	-20	mA	V _{CC} = Max
		XC	-18		
I _{CC}	Power Supply Current	XM	49	mA	V _{CC} = Max
		XC	56		

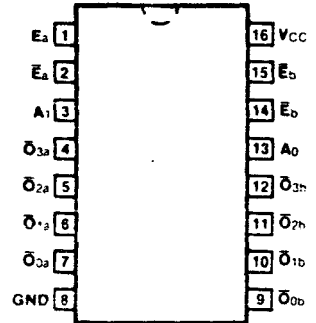
AC CHARACTERISTICS: V_{CC} = +5.0 V, T_A = +25°C (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		C _L = 15 pF R _L = 400 Ω			
		Min	Max		
t _{PLH} t _{PHL}	Propagation Delay A _n to \bar{O}_n		31 28	ns	Figs. 3-1, 3-20
t _{PLH} t _{PHL}	Propagation Delay \bar{E}_n to \bar{O}_n		23 24	ns	Figs. 3-1, 3-5

54/74156 54LS/74LS156

DUAL 1-OF-4 DECODER/DEMULTIPLEXER (With Open-Collector Outputs)

CONNECTION DIAGRAM PINOUT A

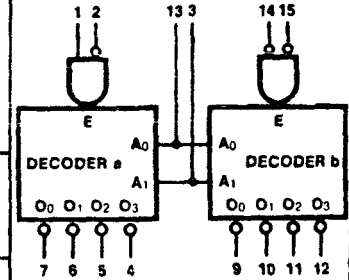


DESCRIPTION — The '156 contains two decoders with common Address (A_0 , A_1) inputs and separate enable gates. Decoder "a" has an enable gate with one active HIGH and one active LOW input, while decoder "b" has two active LOW inputs. If the enable functions are satisfied, one output of each decoder will be LOW, as selected by the Address inputs. For functional description, truth table and logic diagram, please refer to the '155 data sheet.

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0\text{ V} \pm 5\%$, $T_A = 0^\circ\text{C to } +70^\circ\text{C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$, $T_A = -55^\circ\text{C to } +125^\circ\text{C}$	
Plastic DIP (P)	A	74156PC, 74LS156PC		9B
Ceramic DIP (D)	A	74156DC, 74LS156DC	54156DM, 54LS156DM	6B
Flatpak (F)	A	74156FC, 74LS156FC	54156FM, 54LS156FM	4L

LOGIC SYMBOL



V_{CC} = Pin 16
GND = Pin 8

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
A_0, A_1	Address Inputs	1.0/1.0	0.5/0.25
\bar{E}_a, \bar{E}_b	Enable Inputs (Active LOW)	1.0/1.0	0.5/0.25
E_a	Enable Input (Active HIGH)	1.0/1.0	0.5/0.25
$\bar{O}_0 - \bar{O}_3$	Outputs (Active LOW)	OC*/10	OC*/5.0 (2.5)

*OC — Open Collector

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max		
I_{OH}	Output HIGH Current, OFF State	250		100		μA	$V_{CC} = \text{Min}, V_{OH} = 5.5 V$
I_{CC}	Power Supply Current	XM	35	10	10	mA	$V_{CC} = \text{Max}; E_a, E_b = \text{GND}$ $A_0, A_1, E_a = 4.5 V$
		XC	40				

AC CHARACTERISTICS: $V_{CC} = 5.0 V, T_A = 25^\circ C$ (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		54/74LS		UNITS	CONDITIONS
		$C_L = 15 pF$ $R_L = 400 \Omega$		$C_L = 15 pF$ $R_L = 2 k\Omega$			
		Min	Max	Min	Max		
t_{PLH} t_{PHL}	Propagation Delay A_n to \bar{O}_n	34	34	28	33	ns	Figs. 3-2, 3-20
t_{PLH} t_{PHL}	Propagation Delay \bar{E}_a or \bar{E}_b to \bar{O}_n	23	30	25	30	ns	Figs. 3-2, 3-5
t_{PLH} t_{PHL}	Propagation Delay E_a to \bar{O}_n	27	33	34	34	ns	Figs. 3-2, 3-4

MM2716 16,384-Bit (2048 x 8) UV Erasable PROM

General Description

The MM2716 is a high speed 16k UV erasable and electrically reprogrammable EPROM ideally suited for applications where fast turn-around and pattern experimentation are important requirements.

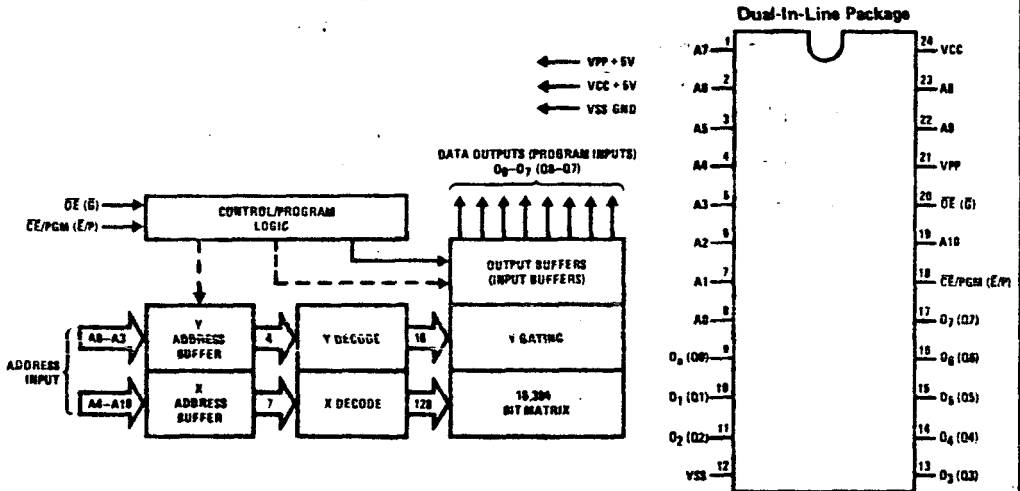
The MM2716 is packaged in a 24-pin dual-in-line package with transparent lid. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written into the device by following the programming procedure.

This EPROM is fabricated with the reliable, high volume, time proven, N-channel silicon gate technology.

Features

- 2048 x 8 organization
- 525 mW max active power, 132 mW max standby power
- Low power during programming
- Access time—MM2716, 450 ns; MM2716-1, 350 ns; MM2716-2, 390 ns
- Single 5V power supply
- Static—no clocks required
- Inputs and outputs TTL compatible during both read and program modes
- TRI-STATE® output

Block and Connection Diagrams *



TOP VIEW
Order Number MM2716Q, MM2716Q-1
or MM2716Q-2
See NS Package J24CO

Pin Connection During Read or Program

MODE	PIN NAME/NUMBER				
	CE/PGM (E/P) 18	OE (G) 20	VPP 21	VCC 24	OUTPUTS 9-11, 13-17
Read	VIL	VIL	5	5	DOUT
Program	Pulsed VIL to VIH	VIH	25	5	DIN

Pin Names

A0-A10	Address Inputs
O0-O7 (O0-O7)	Data Outputs
CE/PGM (E/P)	Chip Enable/Program
OE (G)	Output Enable
VPP	Read 5V, Program 25V
VCC	Power (5V)
VSS	Ground

*Symbols in parenthesis are proposed industry standard.

Absolute Maximum Ratings (Note 1)

Temperature Under Bias	-25°C to +85°C	All Input or Output Voltages with Respect to VSS (except VPP)	5V to -0.3V
Storage Temperature	-65°C to +125°C	Power Dissipation	1.5 W
VPP Supply Voltage with Respect to VSS	28.5V to -0.3V	Lead Temperature (Soldering, 10 seconds)	300°C

READ OPERATION (Note 2)

DC Operating Characteristics

TA = 0°C to +70°C, VCC = 5V ±5%, (VCC = 5V ±10% for MM2716-1), VPP = VCC ±0.6V (Note 3), VSS = 0V, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ILI	Input Current	VIN = 5.25V or VIN = VIL			10	μA
ILO	Output Leakage Current	VOU = 5.25V, CE/PGM = 5V			10	μA
IPP1	VPP Supply Current	VPP = 5.85V			5	mA
ICC1	VCC Supply Current (Standby)	CE/PGM = VIH, OE = VIL		10	25	mA
ICC2	VCC Supply Current (Active)	CE/PGM = OE = VIL		57	100	mA
VIL	Input Low Voltage		0.1		0.8	V
VIH	Input High Voltage		2.0		VCC + 1	V
VOH	Output High Voltage	IOH = 400 μA	2.4			V
VOL	Output Low Voltage	IOL = 2.1 mA			0.45	V

AC Characteristics (Note 4)

TA = 0°C to +70°C, VCC = 5V ±5%, (VCC = 5V ±10% for MM2716-1), VPP = VCC ±0.6V (Note 3), VSS = 0V, unless otherwise noted.

SYMBOL		PARAMETER	CONDITIONS	MM2716		MM2716-1		MM2716-2		UNITS
ALTERNATE	STANDARD			MIN	MAX	MIN	MAX	MIN	MAX	
tACC	TAVQV	Address to Output Delay	CE/PGM = OE = VIL	450		350		390		ns
tCE	TELOV	CE to Output Delay	OE = VIL	450		350		390		ns
tOE	TGLOV	Output Enable to Output Delay	CE/PGM = VIL	120		120		120		ns
tDF	TGHQZ	Output Enable High to Output Hi-Z	CE/PGM = VIL	0	100	0	100	0	100	ns
tOH	TAXQX	Address to Output Hold	CE/PGM = OE = VIL	0		0		0		ns
tOD	TEHQZ	CE to Output Hi-Z	OE = VIL	0	100	0	100	0	100	ns

Capacitance (Note 5)

TA = 25°C, f = 1 MHz

SYMBOL	PARAMETER	CONDITIONS	TYP	MAX	UNITS
CI	Input Capacitance	VIN = 0V	4	6	pF
CO	Output Capacitance	VOUT = 0V	8	12	pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

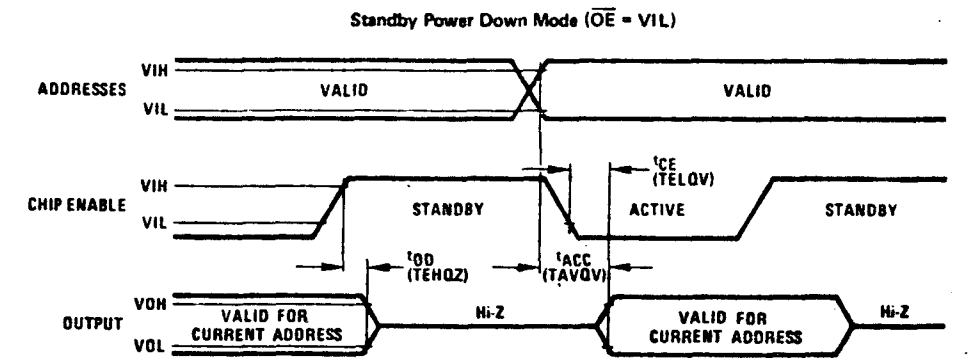
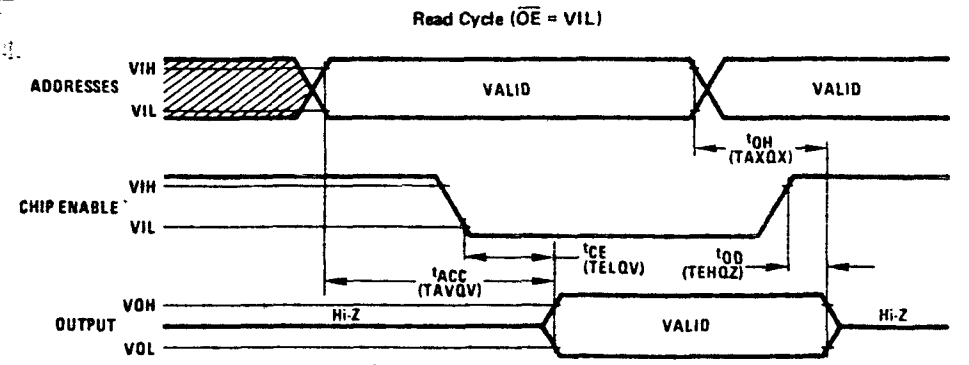
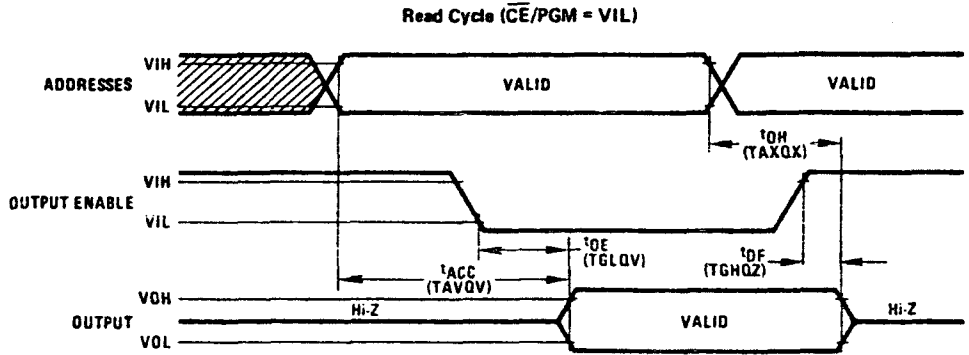
Note 2: Typical conditions are for operation at: TA = 25°C, VCC = 5V, VPP = VCC, and VSS = 0V.

Note 3: VPP may be connected to VCC except during program. The ±0.6V tolerance allows a circuit to switch VPP between the read voltage and the program voltage.

Note 4: Output load: 1 TTL gate and CL = 100 pF. Input rise and fall times ≤ 20 ns.

Note 5: Capacitance is guaranteed by periodic testing.

Switching Time Waveforms *



*Symbols in parentheses are proposed industry standard

© Del documento, los autores. Digitalización realizada por ULPGC. Biblioteca Universitaria, 2006

PROGRAM OPERATION

DC Electrical Characteristics and Operating Conditions (Notes 1 and 2)

(TA = 25°C ±5°C) (VCC = 5V ±5%, VPP = 25V ±1V)

SYMBOL	PARAMETER	MIN	TYP	MAX	UNITS
ILI	Input Leakage Current (Note 3)			10	μA
VIL	Input Low Level	-0.1		0.8	V
VIH	Input High Level	2.0		VCC + 1	V
ICC	VCC Power Supply Current			100	mA
IPP1	VPP Supply Current (Note 4)			5	mA
IPP2	VPP Supply Current During Programming Pulse (Note 5)			30	mA

AC Characteristics and Operating Conditions (Notes 1, 2, and 6)

(TA = 25°C ±5°C) (VCC = 5V ±5%, VPP = 25V ±1V)

SYMBOL		PARAMETER	MIN	TYP	MAX	UNITS
ALTERNATE	STANDARD					
tAS	TAVPH	Address Setup Time	2			μs
tOS	TGHPH	\overline{OE} Setup Time	2			μs
tDS	TDVPH	Data Setup Time	2			μs
tAH	TPLAX	Address Hold Time	2			μs
tOH	TPLGX	\overline{OE} Hold Time	2			μs
tDH	TPLDX	Data Hold Time	2			μs
tDF	TGHQZ	Chip Disable to Output Float Delay (Note 4)	0		100	ns
tCE	TGLQV	Chip Enable to Output Delay (Note 4)			120	ns
tpw	TPHPL	Program Pulse Width	45	50	55	ms
tpR	TPH1PH2	Program Pulse Rise Time	5			ns
tpF	TPL2PL1	Program Pulse Fall Time	5			ns

Note 1: VCC must be applied at the same time or before VPP and removed after or at the same time as VPP. To prevent damage to the device it must not be inserted into a board with power applied.

Note 2: Care must be taken to prevent overshoot of the VPP supply when switching to +25V.

Note 3: $0.45V \leq V_{IN} \leq 5.25V$.

Note 4: $\overline{CE}/PGM = V_{IL}$, $V_{PP} = V_{CC} + 0.6V$.

Note 5: $V_{PP} = 26V$.

Note 6: Transition times ≤ 20 ns unless noted otherwise.