

ESCUELA UNIVERSITARIA POLITECNICA DE
LAS PALMAS DE GRAN CANARIA

Trabajo de Fin de Carrera de Ingenieria Técnica
de Telecomunicaciones.

Título: Control programable de frecuencias para
sintetizacion digital en Reemisores de
TV trabajando en la Banda III

Autor:

Tutor:

Luis Bello González

Manuel Cubero Enrici

Las Palmas de Gran Canaria , Julio-83



INDICE

Introducciónpag. 1

Funcionamiento de un reemisor " 1

Sintetizadores " 5

Tipos de Sintetizadores:

- mediante armónicos " 5
- mediante lazos de realimentación o
digitales " 6

Frecuencias de la Banda III de TV " 11

Control automático de Frecuencia....." 12

Diseño del circuito:

- preescaler " 14
- divisor programable " 20
- cambiador de ciclo de trabajo " 35
- circuito generador de la desviación
de 150 Khz (Off-Set 150 Khz) " 56
- comparador de fases " 68

INDICE DE ESQUEMAS

- Preescaler " 18
- Divisor programable " 33
- Cambiador de ciclo de trabajo " 54
- Generador de la desviación de 150 Khz . " 66
- Comparador de Fases " 75
- Esquema general " 76

ORIGINAL

En los últimos tiempos hemos asistido en el mundo a un auténtico "boom" en el campo de las telecomunicaciones; desde los más sofisticados ingenios espaciales a los ordenadores personales, pasando por la telefonía, radio, televisión, etc..-

Concretamente en España y a raíz del último Mundial de Fútbol, se revolucionó totalmente el mundo de la televisión con unas inversiones de varios miles de millones de ptas..- Una gran parte de esta inversión fue destinada a totalizar la cobertura del territorio español en las dos cadenas de televisión, modernizando por una parte instalaciones ya existentes e instalando nuevos equipos en distintos puntos de la geografía española.

En especial han sido numerosos los reemisores y radioenlaces que se han instalado pretendiendo aumentar la cobertura.

El objeto de este trabajo ha sido precisamente el estudio y diseño de un circuito aplicable a estos equipos, como es un control automático de frecuencia para un sintetizador digital.

Para un mejor conocimiento de la función de este circuito en los equipos anteriormente mencionados voy a intentar explicar brevemente el funcionamiento de un reemisor, así como mostrar su diagrama de bloques.

FUNCIONAMIENTO DE UN REEMISOR:

Basicamente el funcionamiento de un reemisor es el siguiente: la señal recibida por la antena receptora es conducida a través del cable de recepción al filtro de entrada con objeto de conseguir la selectividad adecuada.

Una vez amplificada esta señal por medio del amplificador de entrada se produce la mezcla con la frecuencia producida por el primer oscilador local y cadena de multiplicadores en el circuito mezclador. A la salida del mezclador se obtiene la frecuencia intermedia como diferencia entre la frecuencia del oscilador local multiplicada por la cadena de multiplicadores y la señal de entrada.

Los circuitos de frecuencia intermedia determinan la selectividad del equipo y llevan el nivel de señal hasta el adecuado para la segunda conversión.

Este amplificador es común para todas las series de equipos de VHF y UHF.

La señal de frecuencia intermedia pasa a un segundo mezclador, donde se produce el batido con la señal producida por el segundo oscilador local y la segunda cadena de multiplicadores, obteniéndose en esta mezcla la señal convertida en el canal de salida. Esta señal es amplificada por los pasos amplificadores previos hasta que sea capaz de excitar a los pasos finales.

El control automático de ganancia se realiza tomando una referencia de la señal de salida del excitador transistorizado, la cual es detectada y procesada y actúa seguidamente sobre la polarización de los transistores del amplificador de frecuencia intermedia, controlando con ello su ganancia.

Los equipos reemisores de media y gran potencia tienen a las entradas de aire para ventilación sus correspondientes filtros. Los pasos de potencia que lo requieren van refrigerados por sistemas de turbo-ventiladores independientes para cada etapa y con sistema de seguridad tipo centrífugo, o bien

presostático, que forman parte del circuito de seguridad que hace que el equipo se pare de forma automática por irregularidades en el caudal de aire.

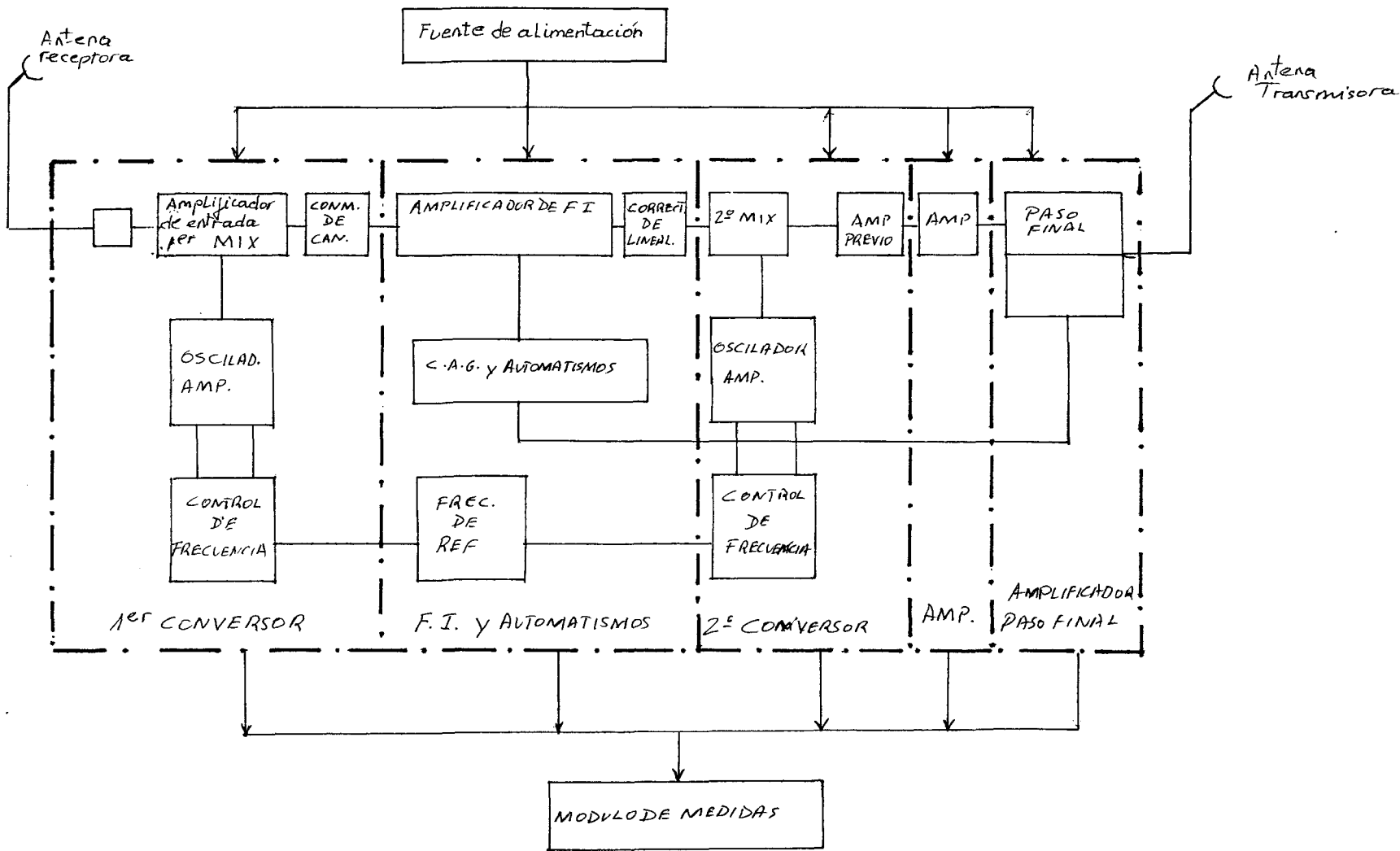
En los equipos de gran potencia se dispone de unidades de seguridad que analizan de forma automática los principales parámetros de las etapas previas y finales actuando sobre los circuitos de "traba" y dejando fuera de servicio el equipo ante alguna anomalía o imposibilitando su puesta en funcionamiento de forma incorrecta.

También dispone de un sistema de seguridades, con aviso óptico y acústico para indicación de manipulaciones incorrectas, apertura de puertas, módulos, etc...., siendo preciso efectuar un "rearme manual" una vez producida la alarma.

El equipo reemisor incorpora temporizadores de arranque y parada. El equipo se pone en marcha con la señal de radio-frecuencia del canal de recepción. Si durante cierto tiempo el nivel de la señal de radio-frecuencia no existe o está por debajo de unos límites se produce la desconexión automática del paso final. Desgraciadamente en nuestras Islas existe un terrible problema de "fading" (desvanecimiento de señal) por lo que muchas veces se produce la desconexión durante el desvanecimiento, y cuando se recobraba la señal, debido a la temporización, se tarda cierto tiempo (algunos minutos) en encenderse el paso final, lo que provoca gran cantidad de molestias. En estos puntos donde el problema de fading es más acentuado se deja inactivo el circuito de desconexión automática.

En los equipos reemisores de diseño más antiguo el control de frecuencias del oscilador local se hace por cristal de cuarzo. En los reemisores más recientes se utiliza un oscilador sintetizado.

DIAGRAMA DE ISLOQUES



Un sintetizador es un elemento que puede generar un gran número de señales senoidales de diferentes frecuencias. Estos tonos se obtienen a partir de unos pocos osciladores e incluso de uno sólo de gran estabilidad.

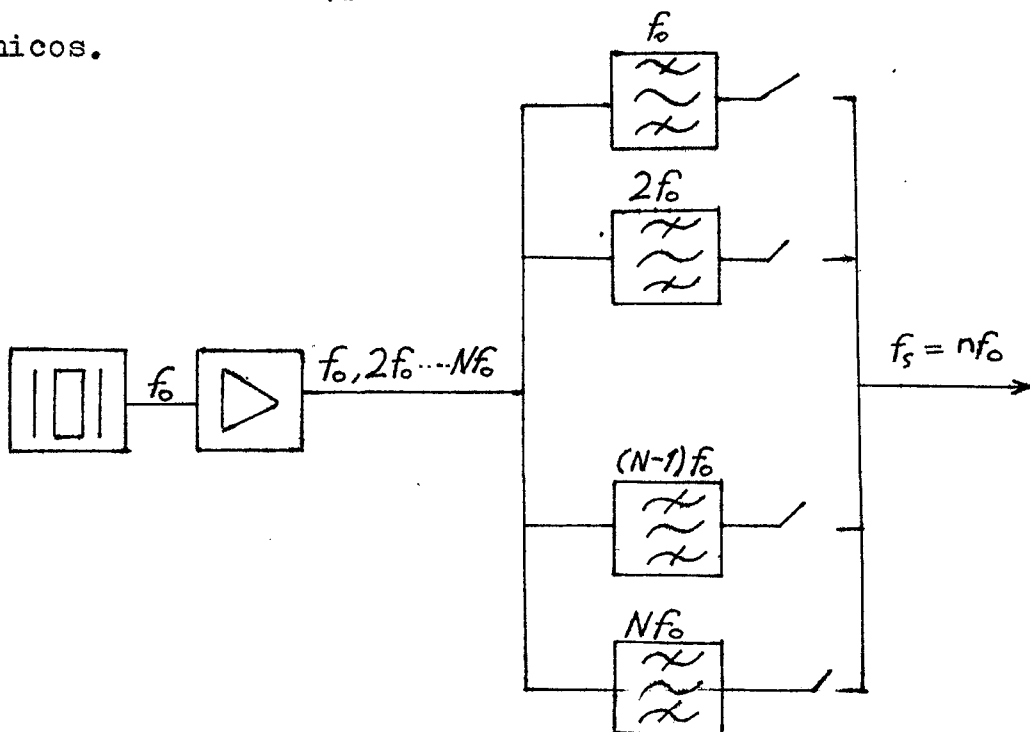
La forma de obtener todos los tonos de salida depende del tipo de sintetizador, y para ello suelen emplear una gran variedad de circuitos como más adelante veremos.

Así, si se desea emplear un sintetizador para generar las portadoras de vídeo en la banda III de VHF, éste deberá suministrar ocho frecuencias separadas entre sí 7 MHz.

TIPOS DE SINTETIZADORES

- Mediante armónicos
- Mediante lazos de realimentación
- Sintetizadores mediante armónicos:

en ellos la frecuencia procedente de un oscilador controlado a cristal se hace pasar por un amplificador que distorsiona la señal, produciendo un elevado número de armónicos.



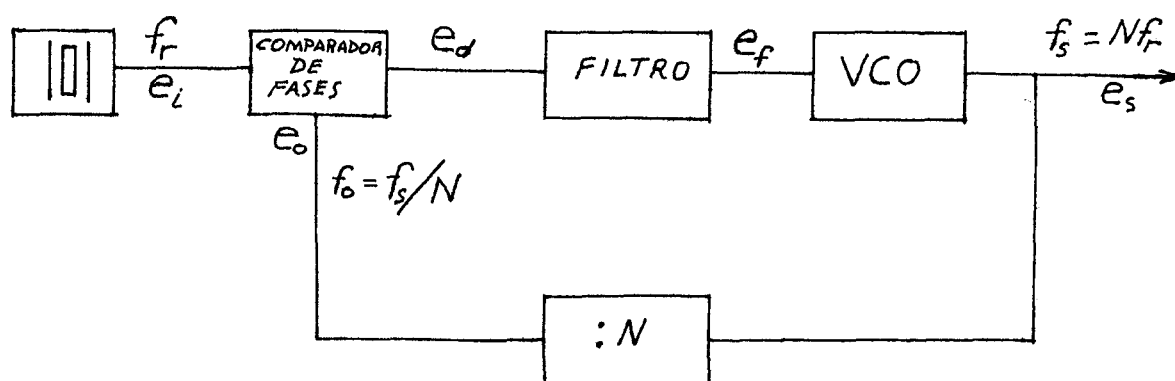
El número de tonos que puede suministrar este sintetizador depende del de los filtros y la resolución o separación entre frecuencias viene dada por f_0 .

Si $f_0=1$ Mhz y se disponen 10 filtros a la salida podemos obtener diez frecuencias de 1 a 10 Mhz con una resolución de 1 Mhz.

El inconveniente de estos sintetizadores radica en su volumen debido al elevado número de filtros que deben incorporar, y que además deben ser lo suficientemente selectivos para que no aparezcan bandas laterales en la salida. La utilización de circuitos integrados digitales resuelven en gran medida este problema .

• Sintetizadores digitales:

este es el segundo tipo de sintetizador, cuyo esquema básico vemos a continuación:



Observemos que las frecuencias de salida es N veces la frecuencia suministrada por un oscilador de referencia f_r .

Si variamos el valor de N variamos el valor de f_0 de tal manera que el comparador de fases genera una tensión que actúa sobre el VCO, variando su frecuencia de oscilación. Así habremos conseguido un sintetizador que puede generar tantos canales como valores pueda tomar N, con una

resolució n entre los mismos de f_r hertzios.

Este valor de N lo podemos variar ateriormente si podemos contar con divisores digitales programables.

Igualmente el comparador de fases lo podemos encontrar facilmente en el mercado como circuito integrado. Este tipo de bucle es lo que corrientemente se conoce con el nombre de PLL (Phase Lock-Loop).

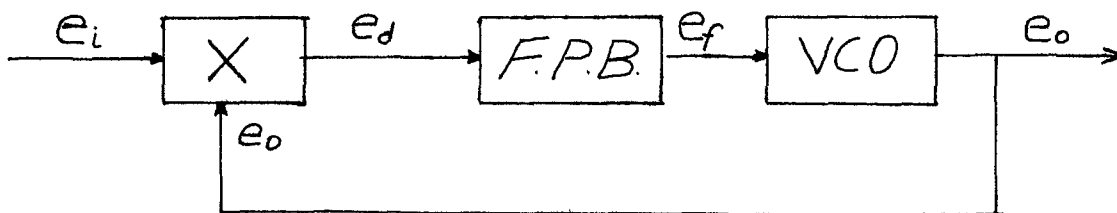
A continuació n vamos a hacer una breve reseña de la funció n de cada bloque dentro del anterior diagrama.

Oscilador de referencia:

Es el encargado de generar una frecuencia de referencia muy estable que atacará a una de las entradas del comparador de fases y que servirá precisamente como referencia a las variaciones de frecuencia de la seña l que recibamos del divisor.

Detector de fase:

Un detector de fase o multiplicador es un elemento al que entra dos seña les e_i y e_o , y a la salida aparece el producto de las dos.



Aquí cabe hacer una serie de consideraciones matemáticas; supongamos:

$$e_i = E_1 \text{ sen}[\omega_0 t + \phi_i(t)] = E_1 \text{ sen } \theta_i(t)$$

$$e_o = E_2 \text{ cos}[\omega_0 t + \phi_o(t)] = E_2 \text{ cos } \theta_o(t)$$

La seña l de salida será el producto de ambas:

$$e_d = \frac{1}{2} \sqrt{\text{sen}(\phi_i(t) - \phi_o(t)) + \text{sen}[2\omega_0 t + \phi_o(t) + \phi_i(t)]}$$

Vemos que esta señal tiene dos términos de los cuales uno es independiente de la frecuencia y función de la diferencia de fases entre las señales de entrada, y el otro término depende del segundo armónico de la frecuencia de entrada. Este último término se elimina mediante el filtro paso bajo que sigue al comparador de fases.

Por tanto el término que nos interesa es:

$$\frac{1}{2} \text{sen}[\phi_i(t) - \phi_o(t)]$$

Cuando $\phi_i(t) = \phi_o(t)$ a la salida del conjunto comparador - filtro obtenemos $e_f = 0$.

Estando las dos señales en cuadratura decimos por tanto que el lazo de fases está enganchado.

Si una vez enganchado el bucle se produce una variación en la fase instantánea de cualquiera de las dos entradas al comparador

$$\theta_i(t) = \omega_0 t + \phi_i(t)$$

$$\theta_o(t) = \omega_0 t + \phi_o(t)$$

se produce un periodo transitorio que depende de las características del filtro, tras el cual volverá a engancharse manteniendo correctamente sincronizadas las fases instantáneas de las dos señales de entrada.

VCO (oscilador controlado por tensión):

Es un oscilador cuya pulsación instantánea vale:

$$W = W_0 + K_0 e_f$$

siendo e_f una tensión continua que en el caso de un PLL es la obtenida a la salida del filtro paso bajo.

Entonces la fase instantánea será:

$$\theta_o(t) = \int W dt = W_0 t + \int K_0 e_f dt = W_0 t + \phi(t) \quad (I)$$

La pulsación instantánea vale:

$$\omega_i = d\theta(t)/dt = \omega_0 + d\phi(t)/dt$$

$$\text{Si } \phi(t) = K \longrightarrow \omega_i = \omega_0$$

Y la frecuencia instantánea sería:

$$f_i = \frac{1}{2\pi} \omega_i = f_0 + d\phi(t)/2\pi dt$$

La ecuación I nos indica que un VCO tiene el efecto de un integrador dentro del bucle de fase, lo que nos permite realizar físicamente VCO con ayuda de un circuito que integra la tensión continua que sale del filtro paso bajo.

En circuitos integrados los valores RC del integrador se seleccionan en función de la f_0 central del VCO.

Divisor por N:

Si la fase instantánea de la señal que entra en el divisor es:

$$\theta_s(t) = \omega_s(t) + \phi_s(t)$$

y sufre una variación de X radianes, las señales de entrada al comparador tendrán una diferencia de fase de X/N radianes. El comparador de fases produce entonces una señal continua de salida del VCO hasta que las fases instantáneas de e_i y e_o coinciden, que es cuando $f_s = Nf_r$.

Si el divisor N es programable se puede variar exteriormente la frecuencia de salida cambiando el valor de N.

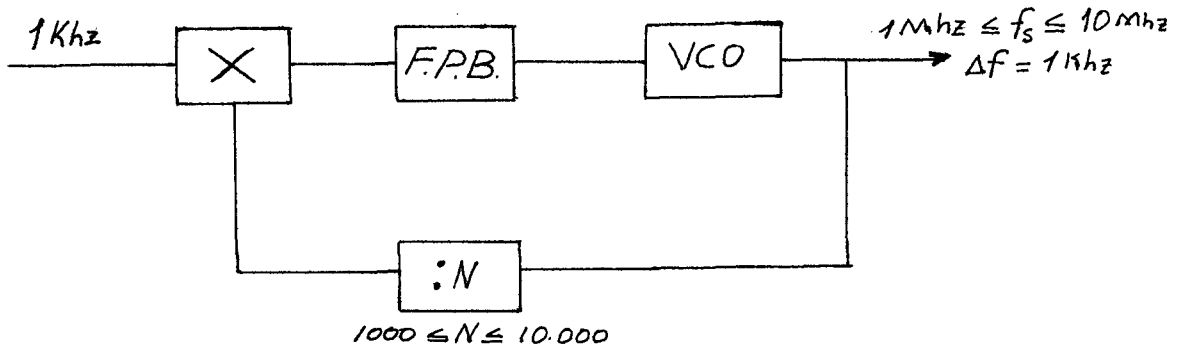
Ejemplo: si se desean generar todos los tonos comprendidos entre 10 y 100 Mhz, con una resolución de 10 Khz, los valores máximo y mínimo de N serán:

$$10^4 N_{\max} = 100 \times 10^6 \quad N_{\max} = 10.000$$

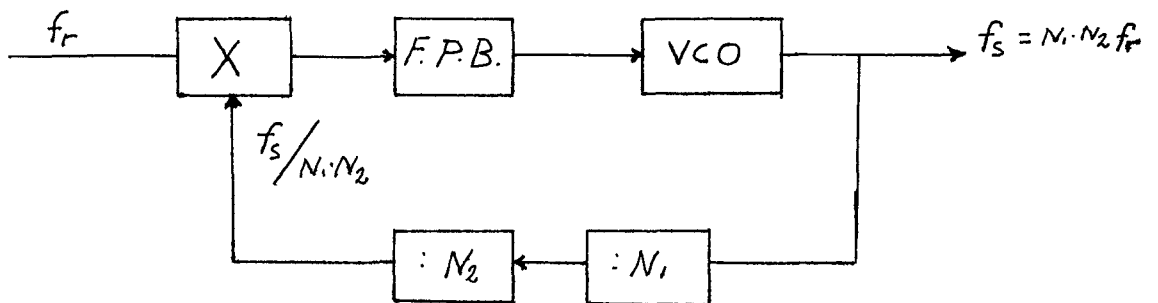
$$N_{\min} = 10 \times 10^6 / 10^4 = 1.000$$

$$\text{Para } N = 2.315 \quad f_s = 2.315 \times 10^4 = 23,15 \text{ Mhz}$$

El esquema de este sintetizador sería:



Hay un tipo de sintetizadores que utilizan dos divisores en el lazo de realimentación



El primero de ellos recibe el nombre de preescaler (N_1), y nos sirve para variar la escala de las frecuencias de salida, de tal manera que la frecuencia de referencia así como el valor de N_2 no tengan por que ser muy altos cuando se trabaja a frecuencias elevadas (VHF o UHF).

Con este trabajo pretendo en concreto el estudio y diseño de un Control Automático de Frecuencia programable para un sintetizador digital que me proporciona las frecuencias para los canales de la banda III de TV para realizar la conversión a FI.

Recordemos que la FI en las normas que utilizamos en España es de:

38,9 Mhz FI de la portadora de vídeo

33,4 Mhz FI de la portadora de sonidos

Por tanto si tenemos la frecuencia del canal 5 (175,25); para obtener la FI necesitamos mezclar con una frecuencia superior en 38,9 Mhz o sea 214,15 Mhz de tal manera que:

$$214,15 - 175,25 = 38,9 \text{ Mhz}$$

y como la portadora de sonidos del canal 5 está en 180,75:

$$214,15 - 180,75 = 33,4 \text{ Mhz (FI de portadora de sonidos)}$$

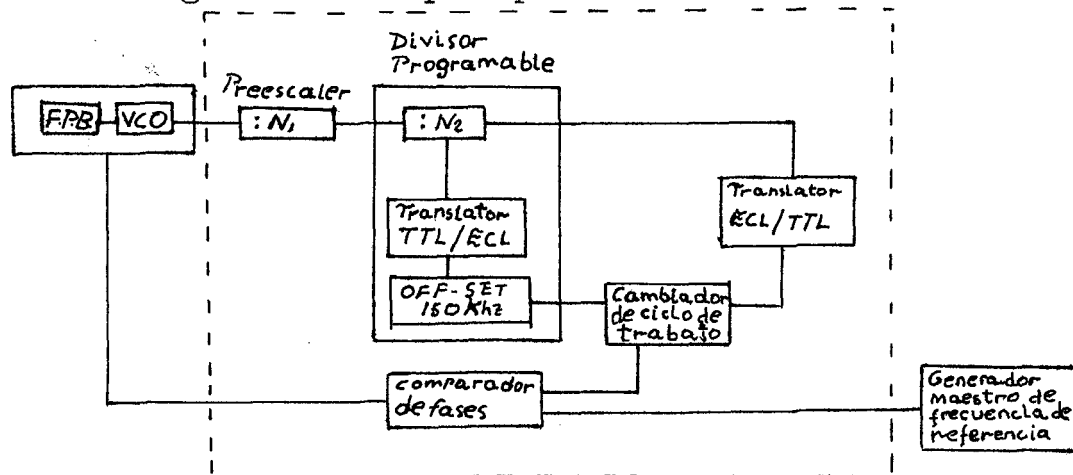
Los canales de la banda 3 junto con sus frecuencias y las frecuencias de mezcla son:

<u>CANAL</u>	<u>FRECUENCIA DE CANAL</u>	<u>FRECUENCIA DE MEZCLA</u>
5	175,25 Mhz	214,15 Mhz
6	182,25	221,15
7	189,25	228,15
8	196,25	235,15
9	203,25	242,15
10	210,25	249,15
11	217,25	256,15

Todas estas frecuencias de canal corresponden a las frecuencias de las portadoras de vídeo.

CONTROL AUTOMATICO DE FRECUENCIA PROGRAMABLE

Un diagrama de bloques primario sería:



Como ya hemos visto en la tabla de frecuencias anterior, en la banda III TV se trabaja en unos rangos muy elevados de frecuencia, por lo que a la hora de diseñar un circuito se deben hacer una serie de consideraciones que contemplen esta situación:

en primer lugar se intuye la utilización de un tipo de lógica de alta velocidad que pudiera ser ECL (lógica emisores acoplados).

La lógica por emisores acoplados es no saturante por diseño. Los retardos de propagación son inferiores a 6 ns., pudiéndose llegar a menos de un nano-segundo por puerta, y la frecuencia de reloj suele ser 50 Mhz hasta las cercanías del Ghz.

Este tipo de lógica aparte de la velocidad ofrece otra serie de ventajas como puede ser un FAN-OUT (25 típico), debido a la baja impedancia de salida de las etapas de seguidor de emisor y la baja corriente de entrada ya que los transistores trabajan en activa. También la familia ECL ofrece una buena inmunidad al ruido y una muy baja generación de ruido ya que la corriente consumida por el circuito es prácticamente constante debido al funcionamiento del par diferencial,

y a la conmutación no saturante. Sin embargo ofrece una disipación superior a las familias lógicas saturantes (40 mW típicos).

Dado que los niveles de salida de ECL son distintos a los de TTL existe incompatibilidad entre familias, no pudiendo conectarse entre ellas sin hacer uso de circuitos de acoplo conocidos como "translators".

Otra consideración importante se refiere a la elección de la frecuencia de referencia que ataca al comparador de fases. Esta debe ser generada por un oscilador maestro a cristal de gran estabilidad. En este caso la frecuencia de referencia será de 111 Khz.

Como Preescaler utilizo un divisor por 9 (N_1), y el divisor programable divide por N_2 que varía con la programación. La frecuencia de salida de este último divisor debe ser igual a la frecuencia de referencia cuando el bucle está enganchado, luego:

$$F_0/N_1N_2 = F_s = F_{ref}$$

$$\text{Si } N_1 = 10 \text{ y } F_{ref} = 0,111 \text{ Mhz}$$

$$F_0/N_2 = 9 \times 0,111$$

$$N_2 = F_0$$

Luego N_2 siempre tendrá el valor de la frecuencia (F_0) del canal en que estemos trabajando, así por ejemplo si estamos en el canal 5, F_0 tendrá un valor de 214,15 y por tanto $N_2 = 214,15$. Estas frecuencias se refiere por supuesto a las frecuencias de conversión, que recordemos eran 38,9 Mhz superiores a las frecuencias de canal.

DISEÑO DEL CIRCUITO

Preescaler.-

Debido a que las frecuencias de salida del VCO son muy grandes se hace necesario añadir un elemento que disminuya el rango de frecuencias. Esto se consigue utilizando un divisor programable ECL.

Como divisor utilizo el CI SP8743B que pertenece a la serie SP8000 (divisores de alta velocidad).

El SP8743B es un contador programable que divide por 8 ó 9. En nuestro caso utilizaremos la división por 9 de tal manera que obtenemos una señal ECL de frecuencias comprendidas entre 23,794 y 28,461 Mhz y con amplitudes ECL.

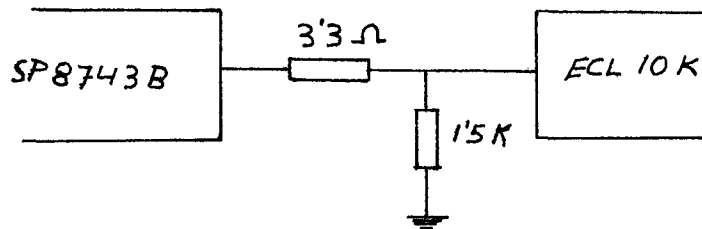
Canal	Frecuencia VCO	Salida Preescaler
5	214,15 Mhz	23,794 Mhz
6	221,15	24,572
7	228,15	25,35
8	235,15	26,127
9	242,15	26,905
10	249,15	27,683
11	256,15	28,461

El SP8743B puede trabajar con una frecuencia de entrada de hasta 500 Mhz y un rango de temperaturas de 0° a 70°. la entrada de reloj está balanceada internamente y el acople por la fuente de señal debe ser capacitivo. La entrada de señal se completa con una entrada de referencia que desacoplamos mediante condensador conectándola a tierra.

El divisor de la división (8 ó 9) se controla mediante dos entradas \overline{PE} . El contador dividirá por 8 cuando las entradas \overline{PE} permanezcan en nivel alto, mientras que

dividirà por 9 cuando ambas entradas estèn en nivel bajo. Estas entradas son compatibles con entradas ECL 10K standard y tienen las mismas características de temperatura. Ambas entradas estàn conectadas a unas resistencias internas de valor nominal 4,3K (Pull-down).

Las salidas directa e inversa son compatibles con salidas ECL II standard. Igualmente estas salidas se pueden conectar a circuitos ECL 10K mediante un interface con dos resistores tal como muestra la figura:



En el caso de que alguna de las salidas (directa o inversa), no se vaya a conectar hay que dejarla cargada con una resistencia de valor aproximado a 1K.

Valores límites absolutos:

Tensión de alimentación (V_{cc}).....5 voltios

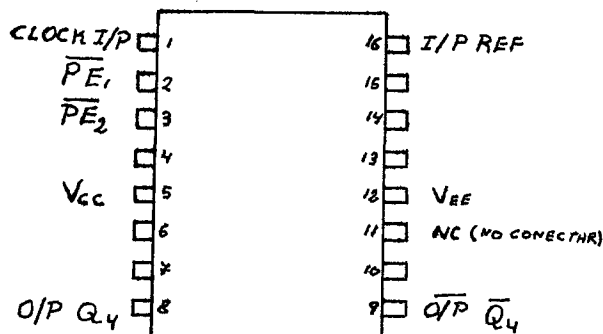
Tensión en las entradas \overline{PE} 0 a V_{cc}

Tensión de entrada CP.....2 Vpp

Corriente de salida20 mA

Màxima temperatura en las patas...150°

SIMBOLO LOGICO



El diagrama lógico del SP8743 es el siguiente:

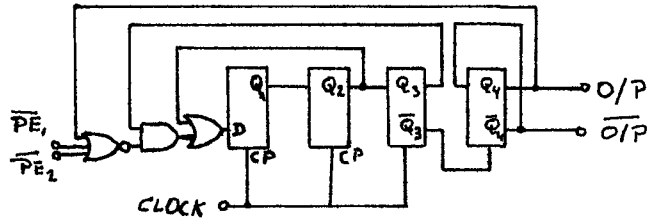


Tabla de verdad

Secuencia de cuenta			
Q1	Q2	Q3	Q4
L	H	H	H
L	L	H	H
H	L	L	L
H	H	L	L
L	H	H	L
L	L	H	L
L	L	L	H
H	L	L	H
H	H	L	H

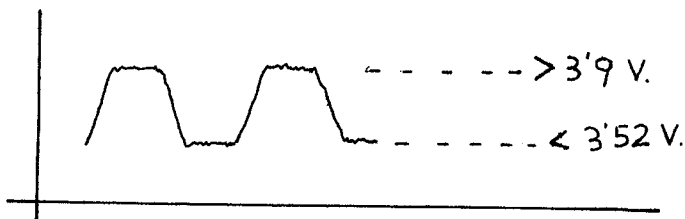
Cociente de la division			
	9	8	8
\overline{PE}_1	L	L	H
\overline{PE}_2	L	H	L

Características del SP8743B

- Entradas \overline{PE} compatibles con ECL 10K
- Las salidas son compatibles con ECL II
- Màxima frecuencia de entrada: 500Mhz
- Mìnima frecuencia de entrada: onda continua
- Retardo de propagaciòn (entrada/salida): 4ns
- Nivel de referencia de entrada \overline{PE} : 3,9 V
- Corriente entregada por la fuente: valor típico 45mA
valor máximo 60mA
- Impedancia de entrada: 400 Ohmios

La señal que se obtiene a la salida debe ser del

tipo:

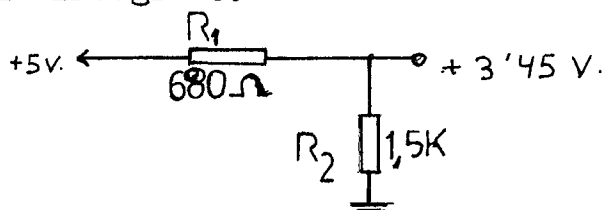


Como ya hemos visto para dividir por 9 este divisor necesita tener sus entradas \overline{PE} a nivel bajo, y recordemos que los niveles ECL eran 3,5 y 3,9. Luego un nivel bajo será una tensión menor que 3,5 V. Esta tensión la conseguimos de la fuente mediante un divisor de tensión, despreciando las corrientes de entrada al integrado:

$$5 = I(R_1 + R_2)$$

$$3,45 = I \times R_2$$

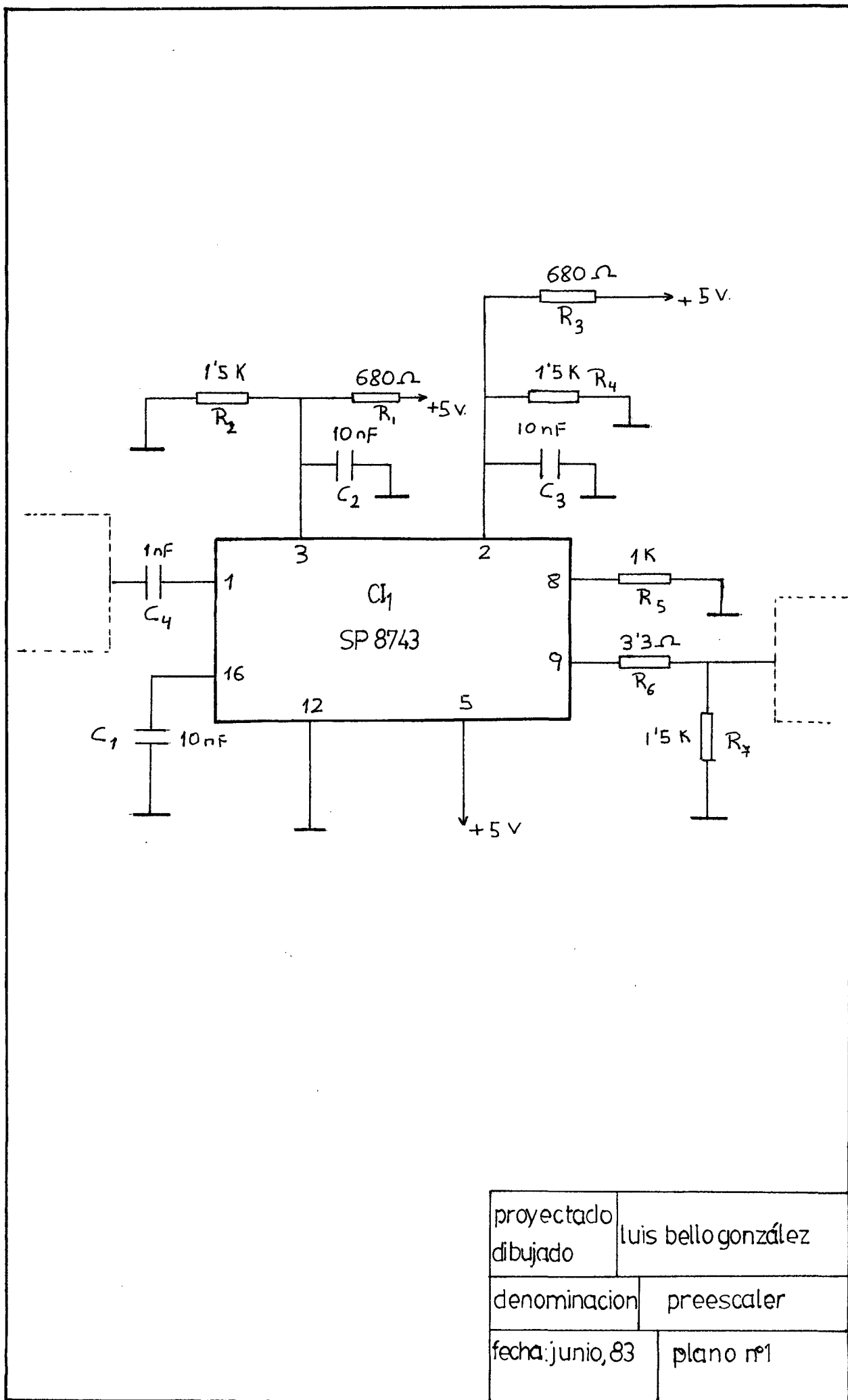
$$R_2/R_1 = 1,5/0,68$$



Luego podemos darle a R_2 el valor de 1,5K y $R_1 = 0,68K$ que corresponden también respectivamente a R_4 y R_3 .

La entrada 16 del integrado es una entrada de referencia que desacoplamos capacitivamente mediante un condensador C_1 de 10 nF conectado a tierra. Igualmente desacoplamos las fuentes de alimentación de las entradas \overline{PE} mediante 2 condensadores C_2 y C_3 de 10nF.

Recordemos que el acople entre la etapa anterior y el SP8743B debe ser capacitivo, dependiendo el valor del condensador de la frecuencia de trabajo. En este caso debe ser del rango de nF y concretamente elijo como valor $C_4 = 1nF$.



proyectado	luis bello gonzález
dibujado	
denominacion	preescaler
fecha: junio, 83	plano nº1

LISTA DE COMPONENTES

Resistencia: R₁ : 680

R₂ : 1,5K

R₃ : 680

R₄ : 1,5K

R₅ : 1K

R₆ : 3,3

R₇ : 1,5K

Condensador: C₁, C₂, C₃ : 10 nF

C₄ : 1 nF

C.I.: SP 8743

Fuente de alimentación de 5 V.

Divisor programable.-

El objeto de este control de frecuencia programable es que el usuario mediante una sencilla operación de programación pueda seleccionar cualquiera de las 7 frecuencias de conversión que mezcladas con las correspondientes frecuencias de los siete canales de la banda tres de TV nos dan la frecuencia intermedia. O también mediante la mezcla de estas frecuencias de conversión con la F.I. obtenemos cualquiera de las frecuencias de la banda tres.

El problema se presenta en que estas frecuencias no son números enteros sino que hay una desviación de 150 Khz.

Así por ejemplo la frecuencia de conversión del canal 5 es de 214,15, luego el valor del número N en este divisor programable debe coincidir numéricamente con la cifra entera, como ya hemos demostrado anteriormente, para así poder obtener una frecuencia igual a la frecuencia de referencia (111Khz).

Si por ejemplo la frecuencia es de 214,15Mhz, para obtener mediante un divisor este cociente se puede dividir A veces por 214 y B veces por 215 y el promedio nos daría 214,15.

$$\frac{A \times 214 + B \times 215}{A + B} = 214,15$$

$$A \times 214 + B \times 215 = 214,15 \times (A + B)$$

$$0,85 \times B = 0,15 \times A ; \frac{A}{B} = \frac{0,85}{0,15}$$

$$A/B = 17/3 \text{ luego } A = 17 \text{ y } B = 3$$

De esta manera tenemos que el divisor programable debe dividir 17 veces por N y 3 veces por N + 1.

El problema que se plantea ahora es como obtener estas divisiones .La solución sería que pudiéramos variar la programación de los divisores mediante una determinada secuencia, de tal manera que obligue al divisor programable a realizar 17 divisiones por N y 3 divisiones por N + 1.

Además conviene que estas divisiones se realicen de manera que se obtengan las mejores características de promedio .Por tanto habría que entremezclar las divisiones por N + 1 entre las divisiones por N:

$$\frac{5N/N + 1/6N/N + 1/6N/N + 1}{20}$$

Esta programación variable con una cierta secuencia se puede conseguir aplicando al divisor programable una función determinada generada por un circuito que denominarè circuito de desviación 150 Khz.

Centrandonos en el divisor programable cabe explicar que lo construimos utilizando integrados de alta velocidad, los cuales mediante un determinado montaje nos permiten dividir por el número que queramos.

El integrado que utilizamos es el F 10137 (contador arriba /abajo de 4 estados).

El F10137 es un contador síncrono de 4 estados capaz de operar con frecuencias de hasta 250Mhz.El circuito está diseñado para trabajar contando hacia adelante o hacia atrás y en los modos Preset(carga de datos) y Hold (mantiene salida en alto), según determinen las entradas S1 y S2.El F10137 es un contador a décadas en código BCD (8421).Todas las operaciones son síncronas y el cambio de estado se inicializa en el flanco de subida del impulso de reloj. Este integrado tiene una entrada activa a nivel bajo \overline{CE}

(count enable: llave de cuenta), y una salida activa a nivel bajo \overline{TC} (terminal count: cuenta final), la cual permite conectar dos o más contadores en cascada sin necesitar de una lógica exterior. Las características de la entrada de Preset hacen posible utilizar el F10137 como un contador programable en gran cantidad de aplicaciones. Este integrado trabaja con lógica ECL.

SIMBOLO LOGICO

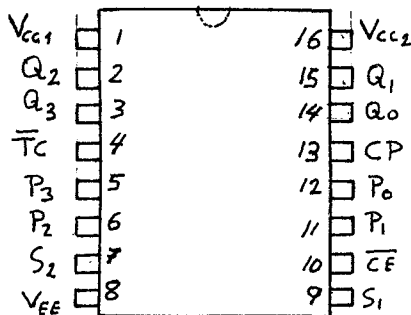


DIAGRAMA DE ESTADOS CUANTA ATRAS

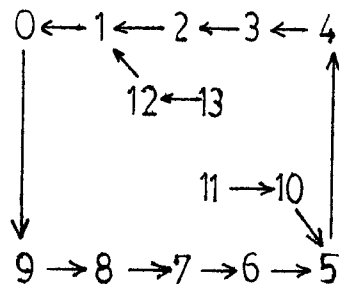


TABLA DE SECUENCIAS DE TRABAJO

Entradas								Salidas					Modo seleccionado
S1	S2	\overline{CE}	\overline{CP}	P3	P2	P1	P0	Q3	Q2	Q1	Q0	\overline{TC}	
L	L	X	/	L	H	L	H	L	H	L	H	H	Preset
L	H	L	/	X	X	X	X	H	H	L	L	H	Count Up (Max.) (\overline{CE} inhibido)
L	H	L	/	X	X	X	X	H	H	H	L	H	
L	H	L	/	X	X	X	X	H	H	H	H	L	
L	H	H	X	X	X	X	X	H	H	H	H	H	
L	H	L	/	X	X	X	X	L	L	L	L	H	
L	H	L	/	X	X	X	X	L	L	L	H	H	
H	H	X	X	X	X	X	X	L	L	H	L	H	Hold
L	L	X	/	L	H	L	L	L	H	L	L	H	Preset Count Down (Min)
H	L	L	/	X	X	X	X	L	L	H	H	H	
H	L	L	/	X	X	X	X	L	L	L	H	H	
H	L	L	/	X	X	X	X	L	L	L	L	H	
H	L	L	/	X	X	X	X	H	H	H	H	H	
H	L	L	/	X	X	X	X	H	H	H	H	H	
H	L	L	/	X	X	X	X	H	H	H	L	H	

H = nivel alto de tensión
 L = nivel bajo
 X = indeterminado

Tabla de selección de modos y ecuación de salida(\overline{TC}).

Selectores S ₁ S ₂		Modo de operacion	F 10137 BCD
L	L	Preset	$\overline{TC} = Q1+Q2$
L	H	Adelante	$\overline{TC} = \overline{CE}+Q0+Q1+Q2+Q3$
H	L	Atras	$\overline{TC} = \overline{CE}+Q0+Q1+Q2+Q3$
H	H	Hold	$\overline{TC} = \text{HIGH}$

El F10137 sigue la secuencia BCD8421 tal como indica el diagrama de estado. Para cualquier circuito tipo la entrada \overline{CE} debe ser puesta a nivel bajo cuando está contando, según se ve en la tabla de secuencias.

Tal como indica la tabla anterior de selección de modos las entradas S determinan el modo de operación del circuito. Todas las operaciones son sincronas y los cambios de estado son iniciados por el flanco de subida del impulso de reloj.

La entrada \overline{CE} no tiene efecto ninguno sobre las operaciones de Preset y Hold.

Cualquiera de las entradas S puede ser conectada a Vcc, lo cual simplifica diseños en los cuales se requiere que tanto S1 como S2 permanezca siempre en nivel alto.

Cuando este integrado está contando, la salida \overline{TC} es controlada por la entrada \overline{CE} y por el estado de los flip-flops como indica la tabla anterior.

\overline{TC} está normalmente en estado alto, y toma el estado bajo (suponiendo \overline{CE} bajo), cuando el contador alcanza el 0 en el modo cuenta atrás.

El control que ejerce la entrada \overline{CE} sobre la salida \overline{TC} hace posible conseguir contadores multiestado sin necesidad de una lógica exterior.

Tal como indica el diagrama de secuencias de trabajo,

cuando un estado está contando, las salidas \overline{TC} anteriores (y por tanto la entrada \overline{CE} de dicho estado), debe estar a nivel bajo. Los límites de frecuencia con esta disposición vienen limitados por el tiempo requerido para que la señal vaya de la primera salida \overline{TC} hasta la entrada \overline{CE} del último estado. El tiempo entre sucesivos flancos de reloj no debe ser menor que la suma de los retardos que hay de CP a \overline{TC} del primer estado, de \overline{CE} a \overline{TC} de los estados intermedios y el tiempo Set-Up del último estado. El contador puede contar o no independientemente de la \overline{CE} del primer estado utilizando las entradas S.

Para cualquier circuito tipo la salida \overline{TC} es forzada a ponerse a nivel alto en el modo Hold. Esta característica puede utilizarse para simplificar diseños en ciertos tipos de aplicaciones.

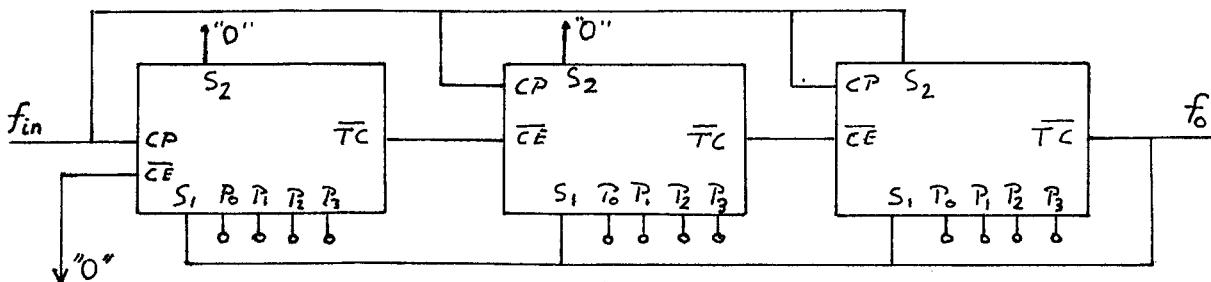
Los flip-flops que componen este integrado son del tipo ~~Master~~ master-slave con realimentación interna JK. El master introduce la información cuando el reloj está en nivel bajo y la transfiere al slave cuando es alto. Las entradas Preset, S y \overline{CE} deben estar en el estado deseado por lo menos cierto tiempo Set-Up antes del flanco de subida de reloj. Los tiempos de mantenimiento (t -Hold), para estas entradas son negativos, por tanto ofrece simplificaciones en algunos circuitos.

En nuestro caso vamos a dividir por un número superior a 200, por lo tanto tenemos que conectar en cascada como mínimo 3 integrados. Según el modo cuenta atrás obtenemos como ecuación de salida $\overline{TC} = \overline{CE} + Q_0 + Q_1 + Q_2 + Q_3$. si conectamos los 3 integrados en cascada, uniendo las salidas \overline{TC} a las entradas \overline{CE} del siguiente estado obtenemos como

ecuación de salida:

$$\overline{TC}_3 = \overline{CE}_1 + Q_0 + Q_1 + Q_2 + Q_3 + Q_4 + Q_5 + Q_6 + Q_7 + Q_8 + Q_9 + Q_{10} + Q_{11}$$

Con esta disposición vemos que \overline{TC} depende pura y exclusivamente de la entrada \overline{CE} del primer integrado y de las salidas de cada contador.



Con el estado todos ceros y el reloj en nivel bajo, las salidas \overline{TC} estarán todas en nivel bajo ya que:

$$Q_n = 0$$

Y forzamos \overline{CE} mediante una tensión externa a mantenerse en nivel bajo, ya que según la tabla de secuencias de trabajo en el modo cuenta abajo esta entrada debe permanecer en nivel bajo, mientras que Hold y Preset tienen esta entrada indeterminada.

Igualmente para permitir la carga de datos, S_1 y S_2 deben estar en nivel bajo (modo Preset). Esto lo podemos conseguir a través de un bucle conectando S_1 a \overline{TC} y S_2 al reloj que también está en nivel bajo.

Con S_1 y S_2 el nivel bajo el circuito está en modo Preset y los datos en las entradas P (Preset), serán introducidos con el flanco de subida de reloj. Y aunque S_2 también se pondrá en nivel alto con el reloj, esto no interferirá en el Presetting, debido a la característica de Hold-time negativo, y es que podremos tener los datos un tiempo antes del flanco de subida de reloj (esta es una característica muy importante de este integrado).

Con \overline{CE} , S1 en nivel bajo y S2 el nivel alto, la salida \overline{TC} se pondrà en nivel alto y por tanto a travès del bucle S1 tambièn se pondrà en alto. Nos encontramos ahora en la situaciòn S1 = S2 = H, y por tanto el circuito està en modo Hold cuando el reloj està en alto, y està en modo cuenta abajo cuando el reloj està en nivel bajo:

$$fc = H \rightarrow S1 = H \rightarrow S2 = H \rightarrow \overline{TC} = H$$

$$fc = L \rightarrow S1 = H \rightarrow S2 = L \rightarrow \overline{TC} = \overline{CE} + \sum_{n=0}^{11} Q_n \text{ (cuenta abajo)}$$

Variando los datos en la entrada de Preset yo puedo programar este divisor para que divida por un nùmero u otro.

En mi caso en que la divisiòn es por un nùmero de tres cifras, ya hemos visto que tengo que utilizar como mìnimo tres divisores conectados en cascada. Los datos en las entradas P del primer divisor me indocaràn las unidades, los del segundo las decenas y los del tercero las centenas. La frecuencia de salida serà:

$$f_o = \frac{f_{in}}{P_n^2 + 1}$$

Observemos que en la entrada de datos se pone en BCD una unidad menos del nùmero por el que queremos dividir. Así por ejemplo si queremos dividir por 213:

P0	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11
0	0	1	0	0	0	0	1	0	0	1	0
		2				1				2	

Como ya hemos visto tanto en la descripciòn como en las tablas anteriores la entrada \overline{CE} del primer integrado cuando estamos en cuenta abajo debe estar siempre en nivel bajo. Tambièn hemos visto que S2 la conectabamos al reloj; pero en este caso podemos dejar la S2 del primer y segundo

integrado con un nivel bajo fijo, y conectar solamente al reloj la entrada S2 del último integrado.

Para conseguir un nivel bajo fijo (=3,3), utilizamos la fuente de 5 V y un divisor de tensión.

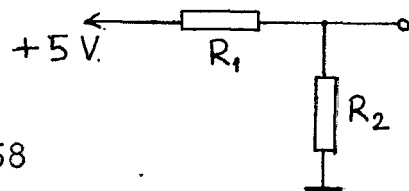
$$5 = I(R_1 + R_2)$$

$$3,3 = I \times R_2$$

$$R_2 / R_1 = 3,3 / 1,7 = 1,94 / 0,68$$

Luego elegimos los valores normalizados de:

$$R_2 = 1,2K \quad R_1 = 0,68K$$



A continuación vamos a ver una tabla con la programación que tendríamos que aplicar a las entradas de Preset para dividir por el número deseado en los canales de la banda III

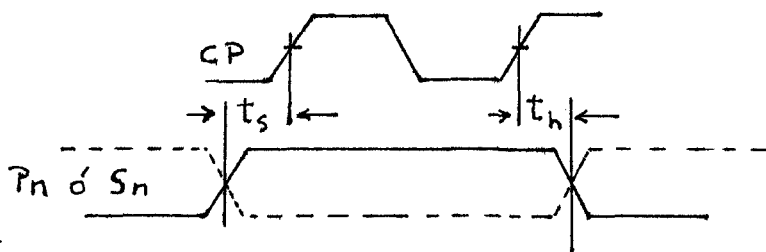
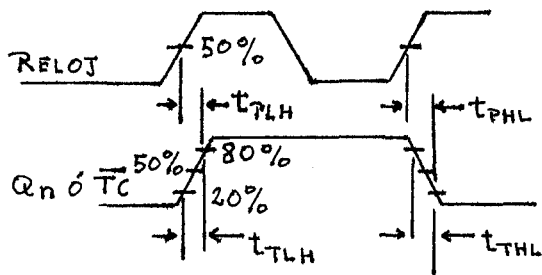
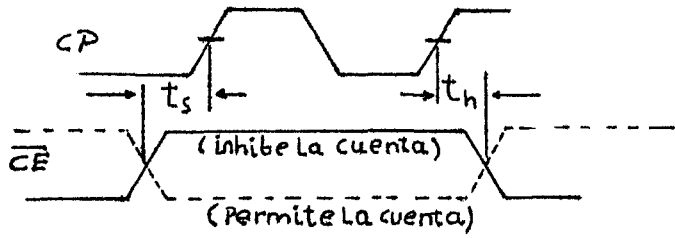
CANAL	+N	CI-3	CI-2	CI-1
5	214,15	0010	0001	0FFF
6	221,15	0010	0010	000F
7	228,15	0010	0010	F \bar{F} F \bar{F}
8	235,15	0010	0011	010F
9	242,15	0010	0100	00F \bar{F}
10	249,15	0010	0100	100F
11	256,15	0010	0101	01F \bar{F}

Ya hemos dicho que la función F genera un circuito que llamaremos de desviación 150 Khz. Y en la tabla anterior cuando se intercambian las posiciones de F y \bar{F} entonces el divisor divide por la cifra anterior. Es decir si dividía por 215, al producirse el intercambio de posiciones dividirá por 214.

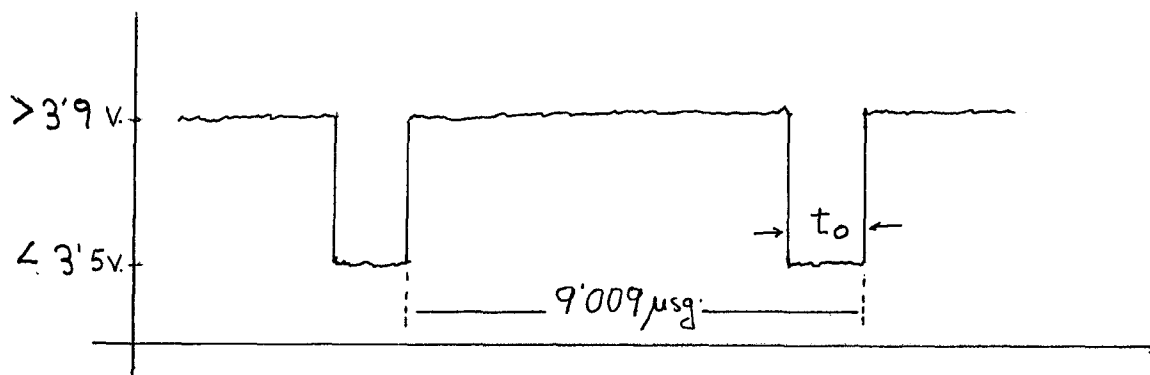
Características de retardo del F10137

SIMBOLO	CARACTERISTICAS	VALOR TIPICO
f_{count}	frecuencia max.	250 Mhz
t_{PLH} t_{PHL}	retardo de propagación, CP a Q_n retardo de propagación, CP a Q_n	2,2ns 2,2ns
t_{PHL} t_{PLH}	retardo de propagación, CP a \overline{TC}	4,5ns
t_{PHL} t_{PLH}	retardo de propagación, \overline{CE} a \overline{TC}	3,5ns
t_{TLH} t_{THL}	tiempo de transición a la salida (20% a 80%), (80% a 20%)	2ns
t_s	tiempo de Set-Up datos entradas selectoras (S) \overline{CE} (permite cuenta) \overline{CE} (inhibe la cuenta)	2,0 ns 4,0 2,7 1,2
t_h	hold time datos entradas selectoras (S) \overline{CE} (permite la cuenta) \overline{CE} (inhibe la cuenta)	-2,0 ns -4,0 -1,0 -2,5

FORMAS DE ONDA



La señal que obtenemos a la salida de este divisor programable tendrá una forma aproximada:

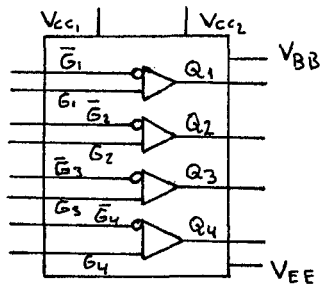


Con una frecuencia de 0,111 Mhz. El valor de t_0 depende de la frecuencia del canal seleccionado. Este valor coincide con el ancho de un pulso de la entrada de reloj al divisor programable.

Así por ejemplo para el canal 5 con una frecuencia de 175,25 Mhz, a la salida del divisor por 9 (Preescaler) tenemos una frecuencia de 23,794 Mhz, que es la entrada de reloj al divisor programable ($214,15/9 = 23,794$). Esta frecuencia tiene un periodo de 42nsg. Mientras que en el otro extremo de la banda, canal 11, la frecuencia de entrada al divisor programable es de 28,461 Mhz ($256,15/9 = 28,461$), con un periodo de 35nsg.

$$\text{Luego } 35 \leq t_0 \leq 42 \text{ nsg.}$$

Los niveles que obtenemos a la salida del divisor programable son niveles ECL los cuales son menores que 3,5 V cuando se trata de nivel bajo y mayor que 3,9 V cuando se trata de nivel alto, mientras que en TTL están por debajo de 0,7 V y por encima de 2,4 respectivamente. Por tanto si vamos a seguir procesando la señal procedente del divisor programable con tecnología TTL necesitamos trasladar los niveles de ECL a TTL. Necesitamos, pues, un convertidor, que se puede encontrar ya integrado, como es el caso del F10125 convertidor cuádruple de ECL a TTL



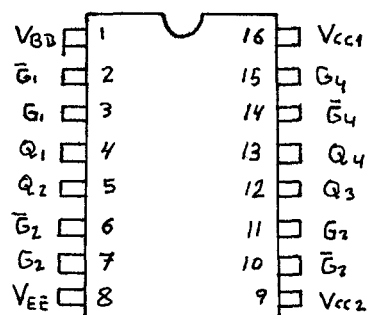
Las entradas diferenciales permiten que cada circuito pueda ser utilizado como inversor, no inversor o como receptor diferencial. Un generador interno proporciona una tensión de referencia en el pin 1 útil para aplicaciones en las que sólo contamos con una señal y no con la inversa o también para aplicaciones en básculas de Schmitt.

Las salidas presentarán un nivel bajo cuando las entradas no estén conectadas.

TABLA DE VERDAD

ENTRADAS		SALIDA
NO INVERSORA	INVERSORA	
L	H	L
H	L	H
L	L	X
H	H	X
OPEN	OPEN	L
VEE	VEE	L
L	VBB	L
H	VBB	H
VBB	L	H
VBB	H	L

SIMBOLO LOGICO



$V_{cc1} = V_{cc2} = 5 \text{ V.}$

$V_{EE} = 0 \text{ V. (tierra)}$

Características:

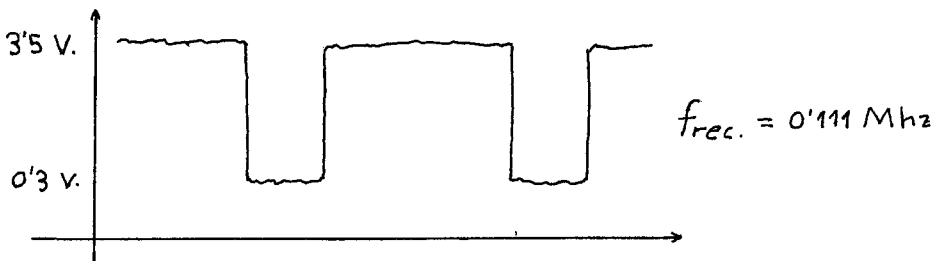
Alimentación $V_{EE} = 0(\text{Gnd}) \quad V_{CC1} = V_{CC2} = 5V$
 Rangos de temperaturas de -30° a 85°
 Tensiones de salidas $V_{OH} = 3,5V(\text{nominal})$
 $V_{OL} = 0,3V(\text{nominal})$
 Consumo por pastilla $380mW$
 Tiempo de propagación $t_{PHL} = 4,5ns$

En el montaje que realizo aprovecho la posibilidad que me da la tabla de verdad:

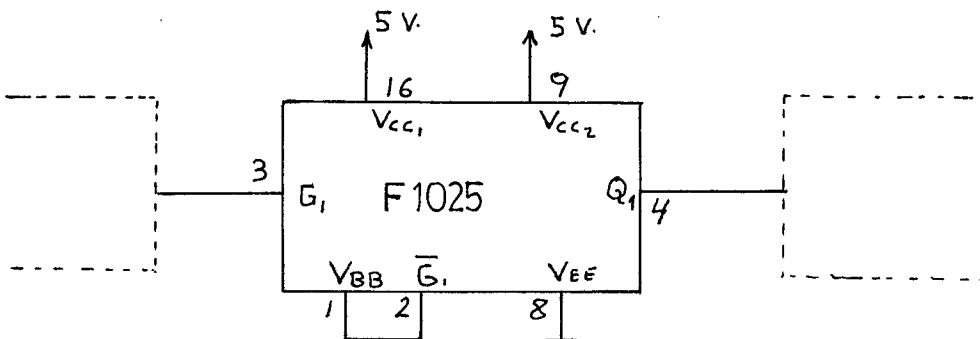
ENTRADA		SALIDA
NO INVERSORA	INVERSORA	TTL
L	V_{BB}	L
H	V_{BB}	H

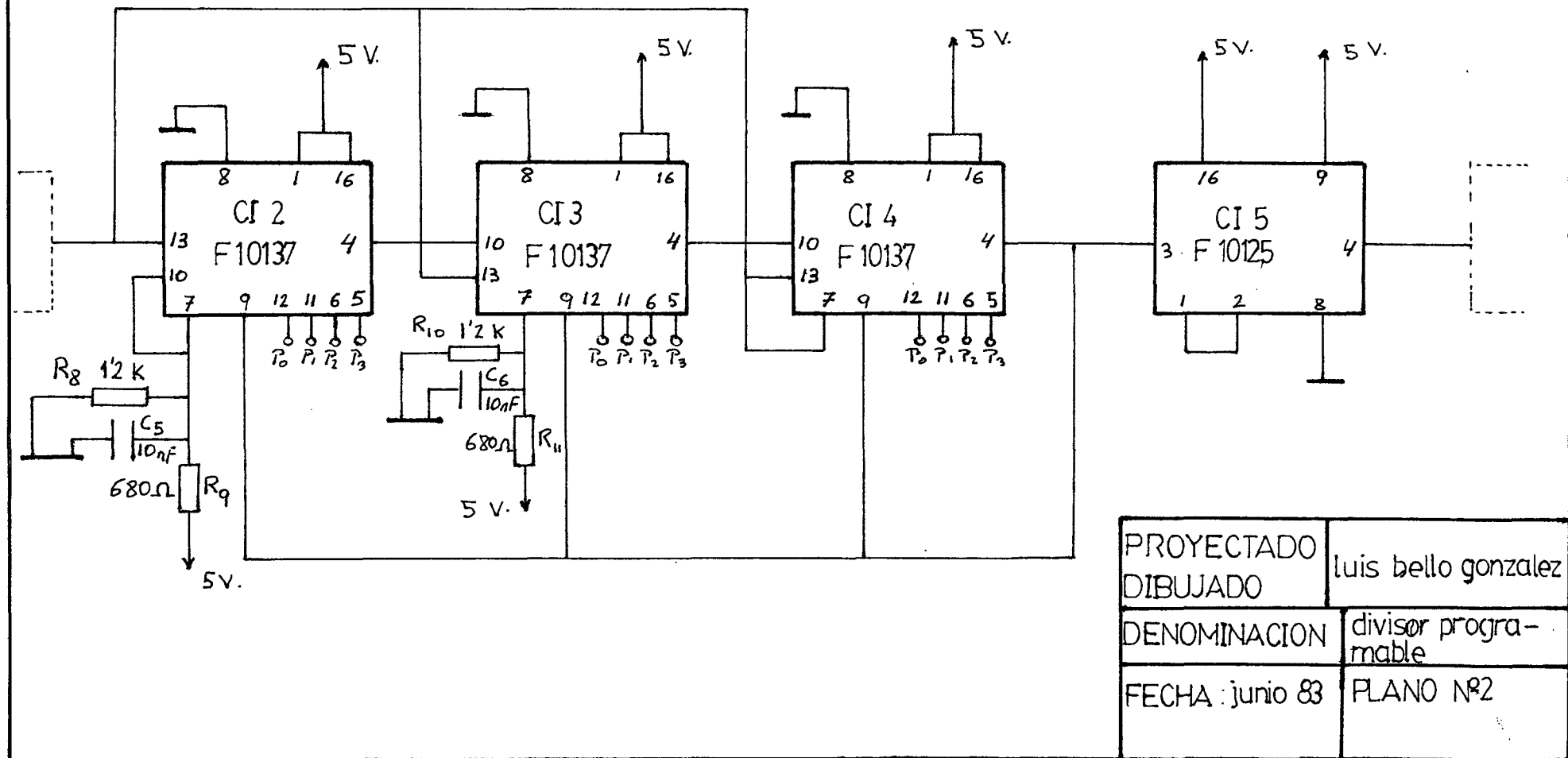
y conecto la pata 1 a una entrada inversora obteniendo la salida igual, pero en niveles TTL. La pata 1 me entrega una tensión de referencia que me ayuda para conseguir el resultado deseado.

La señal que se debe obtener a la salida de esta etapa es la siguiente:



Y el conexionado de esta etapa es:





PROYECTADO	luis bello gonzalez
DIBUJADO	
DENOMINACION	divisor progra- mable
FECHA : junio 83	PLANO Nº2

LISTA DE COMPONENTES

Resistencia R_8 : 1,2K

R_9 : 680

R_{10} : 1,2K

R_{11} : 680

Condensador C_5 : 10 nF

C_6 : 10 nF

Circuito

integrado : CI_2 ; CI_3 , CI_4 : F 10137

CI_5 : F 10125

Fuente de alimentación de 5 V.

Cambiador de ciclo de trabajo.-

Ya hemos conseguido una señal de frecuencia 111 Khz y en niveles TTL. Esta señal deberá atacar, por un lado a un circuito lógico que será el que me genere la función que producirá el cambio de programación instantáneo en el divisor programable, con objeto de obtener una frecuencia de valor cardinal no entero; y por otro lado atacará al comparador de fases junto con otra frecuencia de referencia para así obtener la tensión continua que controle el VCO.

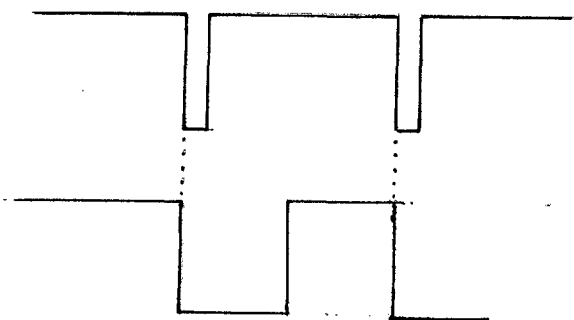
Antes de proseguir conviene explicar el concepto de ciclo de trabajo. Se define como tal a la relación entre el tiempo activo y el periodo total de la señal:

$$C_T = t_a / T \quad \begin{array}{l} t_a = \text{tiempo activo} \\ T = \text{periodo de la señal} \end{array}$$

tendremos pues:

$$\begin{array}{l} C_{T1} = t_1 / T \quad t_1 = \text{tiempo a nivel "1"} \\ C_{T0} = t_0 / T \quad t_0 = \text{tiempo a nivel "0"} \end{array}$$

En nuestro caso tenemos C_{T0} muy pequeño, lo que nos puede causar problemas, ya que el comparador de fases no lo identificaría. Se hace por tanto necesario conseguir un circuito cuya misión sea pasar de un C_{T0} muy pequeño a un C_{T0} mayor, por lo menos la mitad del periodo de la señal:

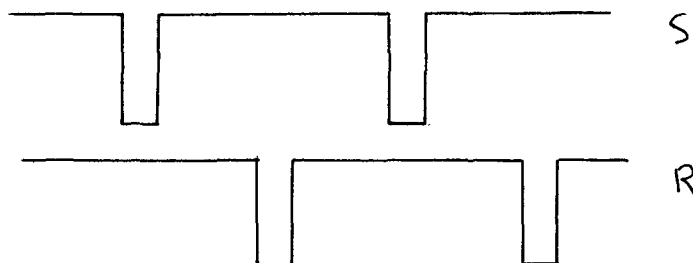


Este parece que se podría solucionar utilizando un monoestable, sin embargo no se encuentran en el mercado multivibradores monoestables que admitan una anchura de pulso inferior a 40 nsg.; y según hemos visto en nuestro caso la anchura de los pulsos a nivel bajo es:

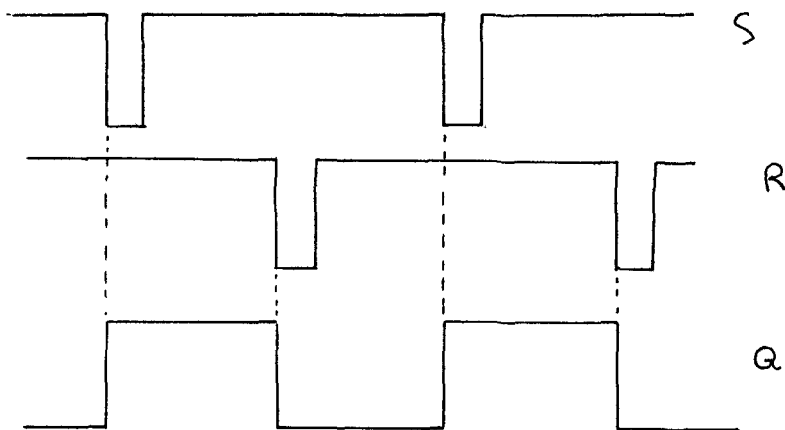
$$35 \leq t_b \leq 42 \text{ nsg}$$

Por lo tanto habrá que pensar en buscar algún montaje que nos permita aumentar la anchura de estos pulsos.

Esto lo conseguimos con la ayuda de un flip-flop RS activo a nivel bajo, ya que si a sus entradas aplicamos las señales:



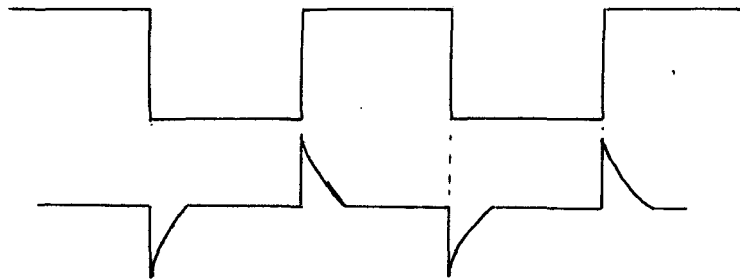
donde S es la señal que procede del divisor programable y R es una señal que debemos obtener mediante algún montaje; obtenemos a la salida del flip-flop:



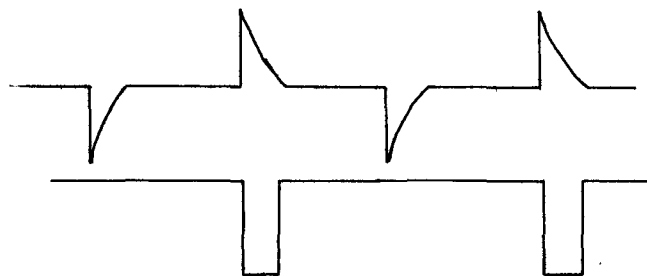
La señal R la podemos conseguir mediante un circuito de realimentación, introduciendo la salida del flip-flop a la entrada de un monoestable disparable con el flanco de subida, de tal manera que se mantenga un nivel bajo en la salida \bar{Q} del monoestable un tiempo t_1 que controlare-

mos con una red $RxOx$ externa. Este tiempo t_1 será aproximadamente igual a la mitad del periodo de la señal de salida del divisor programable, es decir, $4,5 \mu s$. Por tanto la señal en \bar{Q} será igual, pero invertida, a la señal de salida del flip-flop, que es a su vez la señal de entrada al monostable.

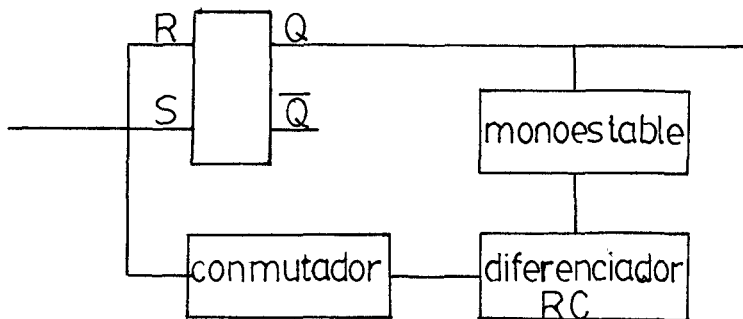
Si a esta salida del monostable conectamos un circuito diferenciador RC obtenemos unos impulsos con los flancos de subida y bajada



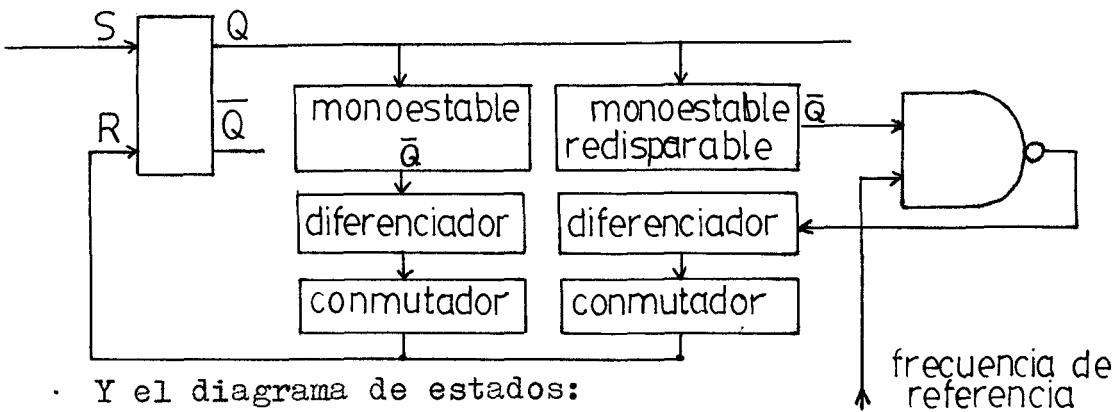
que atacan a la base de un transistor de tal manera que para los pulsos negativos el transistor permanece cortado, mientras que para los picos positivos se satura la base del transistor, que tiene el emisor a tierra. La salida por colector de este transistor sería:



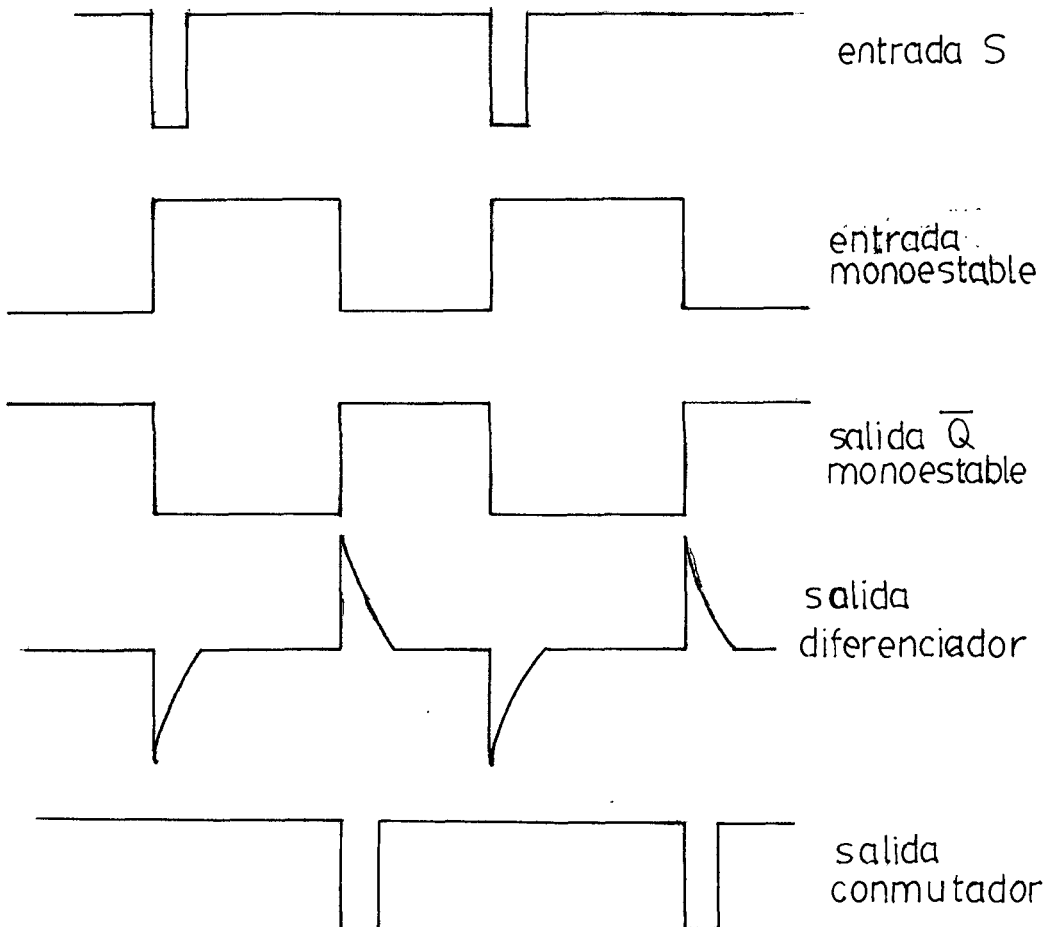
el diagrama de bloques de esta etapa es:



Este proceso es autorrealimentado, por lo que podría bloquearse. Esto hace necesario la utilización de otro monoestable funcionando como redispersable de tal manera que detecte esta anomalía y permita la entrada de la frecuencia de referencia a través de una puerta NAND, que reiniciaría el proceso. De este modo el diagrama de bloques completo quedaría:



Y el diagrama de estados:



A continuación vamos a explicar detenidamente el funcionamiento de cada uno de estos bloques:

Bàscula RS:

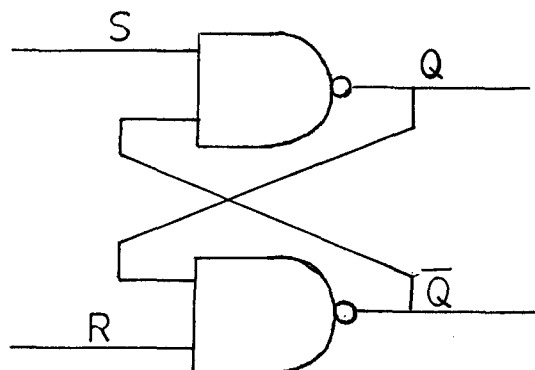
En este caso la bàscula es activa con niveles bajos, o sea, funciona cuando sus entradas se ponen a cero, estando entonces su funcionamiento gobernado por la tabla siguiente:

R	S	Q(t)	Q(t+1)	$\bar{Q}(t+1)$
0	0	0	X	X
0	0	1	X	X
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

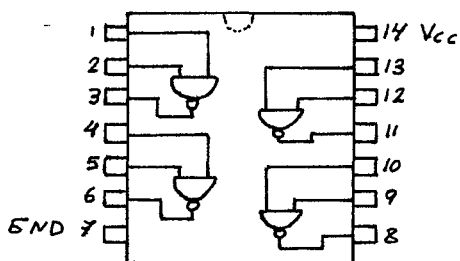
Segùn la tabla anterior y simplificando:

		RS				
		0 0	0 1	1 1	1 0	
Q	0	X	0	0	1	$Q_{t+1} = \bar{S} + RQ$
	1	X	0	1	1	

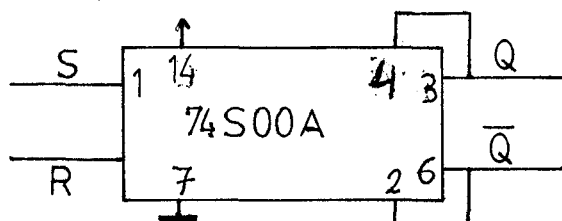
Esta funciòn la realiza el siguiente montaje:



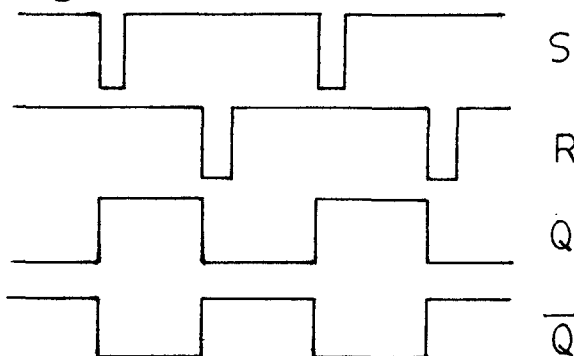
Esta bscula la realizo utilizando el integrado 74S00, cuyo diagrama es el siguiente:



Y el conexionado sera:



El diagrama de estado de esta etapa es:



La seal de salida por un lado ataca al circuito de desviacin 150Khz y por otro lado al monoestable del circuito de realimentacin. La salida \bar{Q} del flip-flop ataca directamente al comparador de fases.

• Monoestable:

un multivibrador monoestable se caracteriza por tener:

- un estado estable
- un estado metaestable.

Un monoestable no es ms que un biestable al que se le ha suprimido mediante una red exterior, un estado estable. Es pues la red pasiva la que controla el estado metaestable.

Mediante una señal de disparo el circuito realiza la transición del estado estable al metaestable, manteniéndose en este último durante un tiempo t controlable por la red exterior, al cabo del cual el circuito vuelve a su estado estable sin necesidad de ninguna señal exterior para realizar la inversión.

Al monoestable se le conoce también como un circuito de un solo disparo, de ciclo único o univibrador. Consiste de dos inversores acoplados donde una de las redes de acople es reactiva (bien RC o RL).

Como aplicaciones del monoestable se pueden citar:

- retardar impulsos digitales
- generar impulsos de anchura controlable pero sincronizados con una fuente exterior de impulsos
- regenera impulsos deteriorados por el sistema de transmisión
- convertidor tensión tiempo
- etc.

En mi caso utilizo al monoestable como un generador de impulsos de anchura controlable, sincronizado con una fuente exterior de impulsos. Este fuente exterior es la salida del biestable RS, de tal manera que el monoestable se dispare con el flanco de subida de la señal y mediante una red RC externa yo obtenga unos pulsos de duración aproximada el estado alto de la salida del biestable y que coincidirá más o menos con la mitad del periodo de la señal que obteníamos del divisor programable. De tal manera que si este periodo era de $9\mu\text{s}$, la duración del pulso a la salida del monoestable debe ser unos $4,5\mu\text{s}$

El monoestable que utilizo en este caso es el 74123, que es multivibrador doble redisparable y resetable. Cada parte del monoestable tiene características de redisparable, nivel complementario de disparo y una entrada predominante de borrado (Direct Clear, \bar{C}_D). Si cuando el circuito está en el estado metaestable se aplica otro disparo a la entrada se provocará un nuevo periodo de retardo, de tal manera que no se altera la salida; por repetición de este proceso el periodo del pulso de salida se puede alargar tanto como se desee (Q alto, \bar{Q} bajo). Alternativamente un nivel bajo en la entrada \bar{C}_D puede dar por terminado el retardo de un periodo e igualmente inhibe el disparo. Una conexión interna de \bar{C}_D a la puerta de entrada hace posible disparar el circuito mediante un flanco de subida en \bar{C}_D tal como veremos en la tabla de verdad. Para valores del condensador externo superiores a 1.000pF, el ancho del pulso de salida se define mediante la expresión:

$$t_w = 0,28R_x C_x (1,0 + 0,7/R_x)$$

donde t_w viene en nsg, R_x en K Ω y C_x en pF.

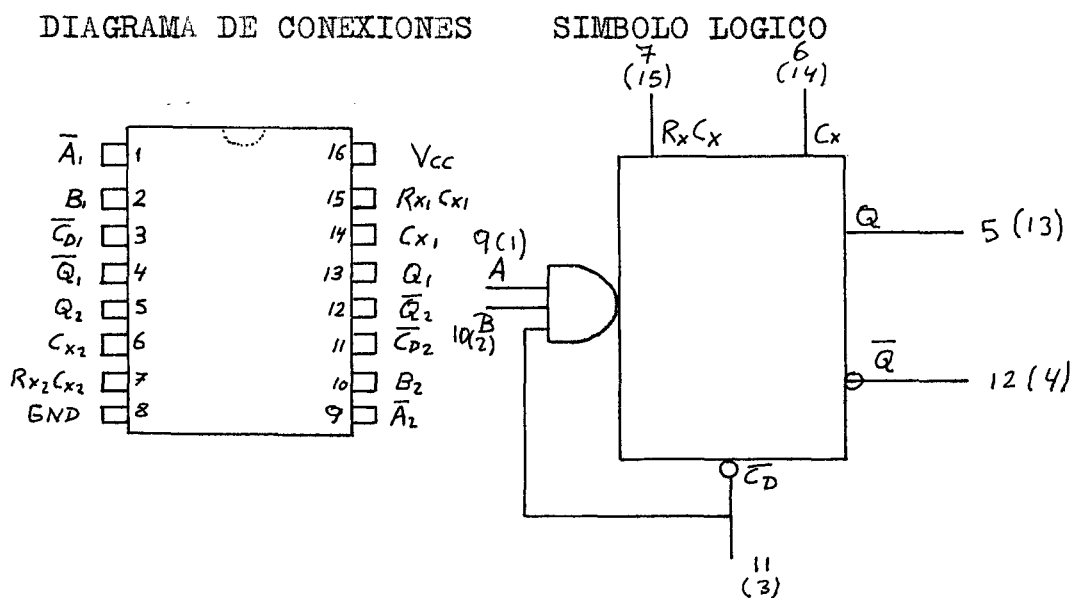





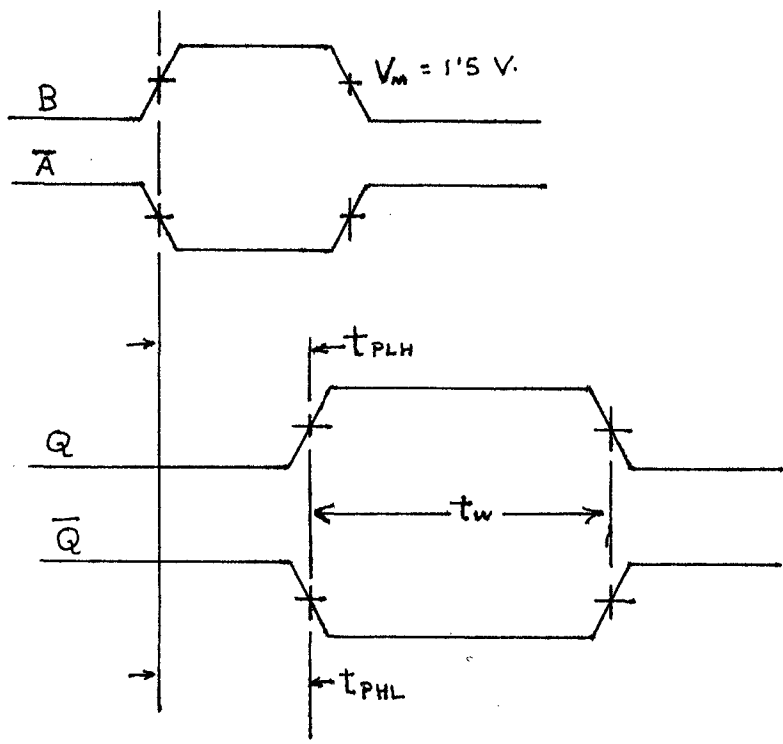


TABLA DE VERDAD

ENTRADAS			RESPUESTA
A	B	$\overline{C_D}$	
X	X	L	No disparable
	L	X	No disparable
	H	H	Disparable
H		X	No disparable
L		H	Disparable
L	H		Disparable

FORMAS DE ONDA



CARACTERISTICAS DE PROPAGACION

SIMBOLO	PARAMETRO	UNIDADES	CONDICIONES
t_{PLH}	Retardo de propagación B a Q	28 ns	Cx = 0pF Rx = 5KΩ
t_{PLH}	Retardo de propagación - A a Q	33 ns	
t_{PHL}	Retardo de propagación B a \bar{Q}	36 ns	
t_{PHL}	Retardo de propagación - A a \bar{Q}	40 ns	
t_{PLH}	Retardo de propagación \bar{C}_{Dn} a \bar{Q}	40ns	Cx = 0pF Rx = 5kΩ
t_{PHL}	Retardo de propagación \bar{C}_{Dn} a Q	27 ns	
$t_w(\text{min})$	Anchura del pulso con Cx=0	65 ns	Cx = 0pF Rx = 5KΩ
t_w	Anchura del pulso con red RC externa	2,76 a 3,37μs	Cx = 100pF Rx = 10 KΩ

REQUERIMIENTOS DE OPERACION

SIMBOLO	PARAMETRO	UNIDADES		CONDICIONES
		Min	Max	
t_w	ancho del pulso	40 ns		Dentro del rango de temperatura
Rx	resistencia externa	5,0K	50KΩ	
Cx	condensador externo	sin restricciones		

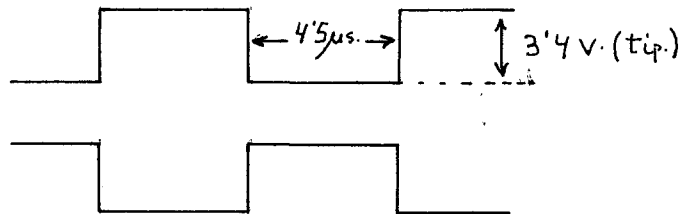
En nuestro caso queremos obtener un pulso de anchura $4,5 \mu\text{s}$. Por tanto acudimos a la gráfica que nos da las características de este integrado y que nos muestra el ancho del pulso según R_x y C_x ; y obtenemos

$$t_w = 4,5 \mu\text{s} \quad \begin{array}{l} C_x = 500 \text{ pF} \\ R_x = 30 \text{ K} \end{array}$$

y escogemos los valores normalizados de:

$$R_x = 27 \text{ K} \quad C_x = 470 \text{ pF}$$

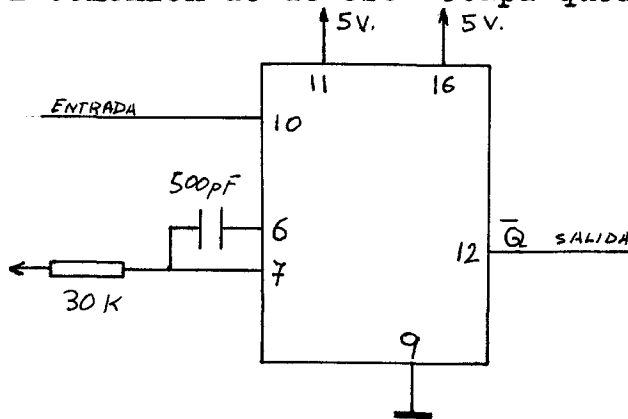
Con estos valores de R y C, y poniendo las entradas de tal manera que actúen en modo disparable, obtenemos a la salida:



Queremos que el disparo se produzca en el flanco de subida, luego introducimos la señal por la entrada B(10) y colocaremos la entrada A(9) a nivel bajo (tierra), mientras que \overline{C}_D (11) la pondremos a nivel alto (5V) como indica la tabla.

ENTRADAS			RESPUESTA
A	B	\overline{C}_D	
L	\nearrow	H	Disparable

El conexionado de esta etapa quedaría por tanto:



y obtenemos una señal de salida



que ataca a continuación a un circuito diferenciador R-C

• Diferenciador RC:

Las consideraciones para analizar un circuito compuesto de resistencia y capacidad son:

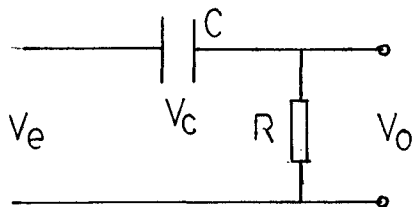
- la tensión en bornas del condensador no puede cambiar bruscamente $[V_c(t^-) = V_c(t^+)]$. Sólo en una situación ideal de aplicar una corriente infinita o conectar una batería ideal directamente al condensador, se puede cambiar instantáneamente la tensión del mismo. Vistas las cosas de otra manera cualquier salto o cambio brusco de tensión en la excitación se recogerá, en ese instante, en las resistencias del circuito. Es como si el condensador se comportase como un cortocircuito virtual justo en ese instante del salto de tensión.
- El estado de equilibrio se logra cuando no circula corriente por el condensador. A tal situación se llegará tras bastante tiempo (varias constantes de tiempo) después de la última excitación, y corresponderá a capacidades plenamente cargadas o totalmente descargadas, según el caso.
- Cualquier parámetro que nos interese (corriente, tensión, carga) en cada uno de los elementos del circuito evoluciona según una ley general:

$$P(t) = A + Be^{-t/\tau}$$

cuando la excitación es una función escalón. Algunos tipos de tensión de entrada pueden considerarse como formados por la superposición de funciones escalón, por lo que la relación anterior será aplicable.

τ es la constante de tiempo, $\tau = RC$, del circuito en cuestión.

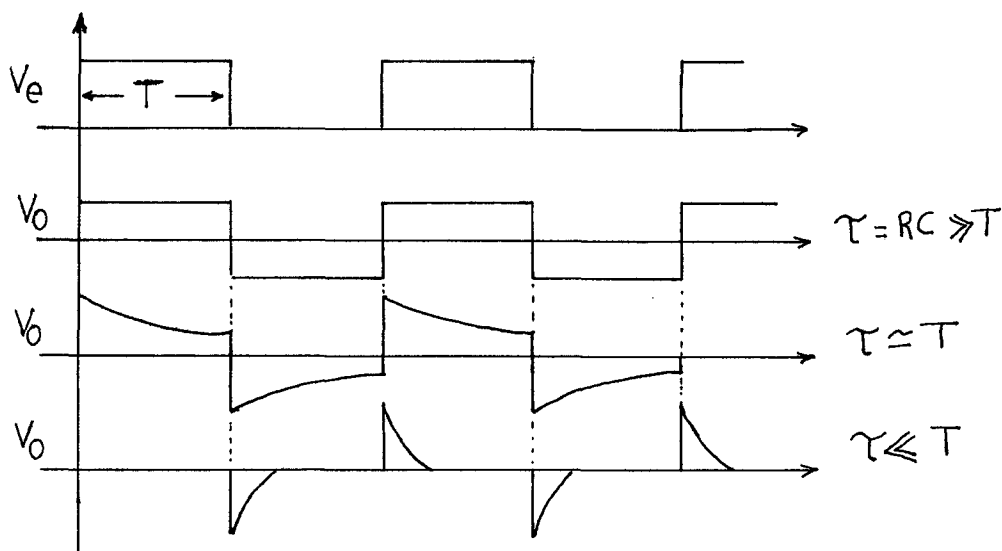
En nuestro caso supongamos la célula RC:



Donde obtenemos y en concordancia con la ley general anterior:

$$V_o = V_c e^{-t/RC}$$

La respuesta a una señal escalòn de entrada podría ser:



Cada uno de los casos anteriores dependen del valor de RC, y en nuestro caso particular lo que nos interesa es:

$$\tau = RC \ll T$$

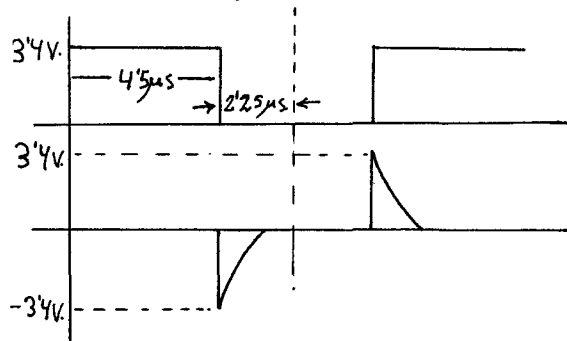
Este último resultado recuerda la salida que debería obtenerse de un circuito diferenciador ideal ante un tren de pulsos: para cada flanco aparece un impulso de Dirac.

La misma condición de diferenciación se puede obtener a partir del planteamiento general de la ecuación:

$$Ri(t) = V_o(t) = V_e(t) - \frac{1}{C} \int i(t) dt$$

$$\text{Si } V_o \ll V_e \quad i = C \cdot dV_e/dt \Rightarrow V_o = RC \cdot dV_e/dt$$

En nuestro caso las señales que tendremos a la salida del monostable y a la salida del diferenciador serán:



En este caso RC debe ser mucho menor que $4,5\mu\text{s}$. Físicamente, se requiere que R y/o C sean muy pequeñas. Por un lado C debe ser pequeña para frecuencias grandes, durante todo el tiempo de transición de alto a bajo, de tal manera que deje pasar esa tensión, luego, el condensador debe ser del orden de picofaradios. Por otro lado R debe tener la suficiente entidad como para que toda la caída se produzca en la resistencia. De este modo Z_R debe ser mucho mayor que Z_C .

Si elegimos un valor de $C = 120\text{pF}$, la impedancia que presenta para valores mucho menores que $2,5\mu\text{s}$ es:

$$2,5/10 = 0,25\mu\text{s} \quad f = 4\text{MHz} \quad |Z| = \frac{1}{\omega C} = 331\Omega$$

$$\text{Como } Z_R \gg Z_C \quad R = 3.310\Omega$$

$$\text{Luego } C = 120\text{pF} \text{ y } R = 3,3\text{K}$$

$$\tau = RC = 3,96 \times 10^{-7} \ll 4,5 \times 10^{-6}$$

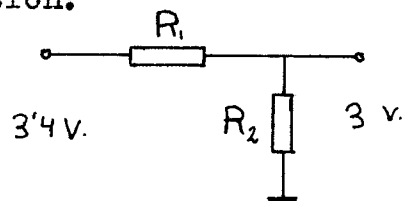
Como quiero fijar la tensión de salida en 3V , y los valores típicos de salida del monoestable son de $3,4\text{V}$, entonces hago un divisor de tensión:

$$3,4/(R_1 + R_2) \times R_2 = 3\text{V}$$

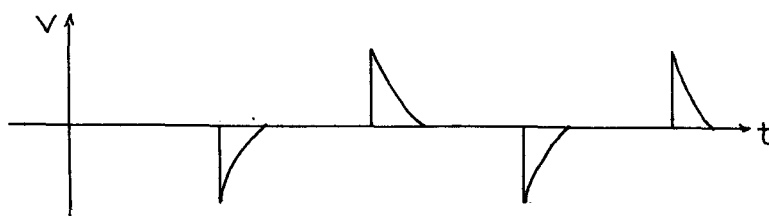
$$R_1 + R_2 = 3,3\text{K}$$

$$R_2 = 2,91\text{K}$$

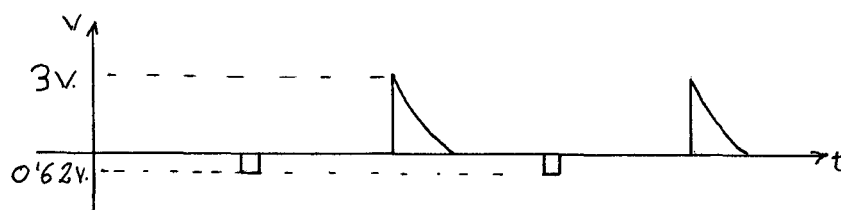
$$\text{Elijo los valores standard } R_2 = 2,7\text{K} \text{ y } R_1 = 380\Omega$$



A continuación, a la salida del diferenciador añadimos un diodo, de tal manera que cuando aplicamos la señal:



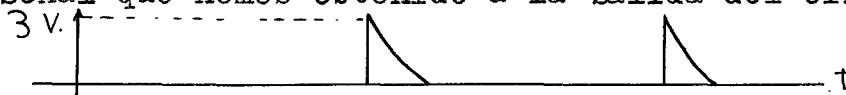
Cuando el pulso es negativo el diodo está polarizado en directo y es practicamente un cortocircuito, siendo la tensión en sus bornas de 0,62 V. Con el impulso negativo el diodo está inversamente polarizado y transfiere toda la tensión (3 V):



El diodo que utilizo en esta ocasión es el 1N4148, que es sumamente apropiado en aplicaciones en que se necesita alta velocidad, con un tiempo de recuperación de inversa menor de 4nsg.

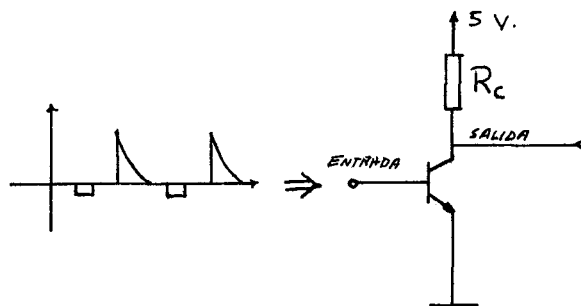
Esta estructura se denomina circuito fijador, restaurador de continua o cambiador de nivel de continua. Su objetivo es fijar o poner los picos extremos de una señal periódica a un valor de referencia determinado y ello sin distorsionar su forma de onda. Una de las aplicaciones típicas de este circuito es precisamente restaurar el nivel de continua de una señal que ha pasado por un condensador de acoplo, y que por tanto ha quedado con valor medio nulo.

La señal que hemos obtenido a la salida del circuito es:



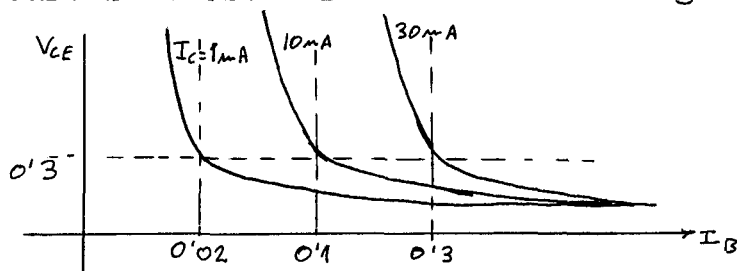
Esta señal la aplicamos a la base del transistor con salida por colector y emisor a tierra. Cuando la señal es el pulso positivo de 3 V, se satura la base obteniendo un nivel bajo a la salida, y cuando el diodo está polarizado en directo

la tensiòn entre base y emisor es negativa, lo que corta al transistor, poniendo la salida a nivel alto:



El transistor que utilizo es el 2N4124, que es útil para aplicaciones generales, con una tensiòn V_{BE} de 0,6 V y una V_{CE} de saturaciòn 0,3 V y una tensiòn màxima permisible en inversa $V_{EB} = 5$ V.

Las curvas de este transistor en la regiòn de saturaciòn son:



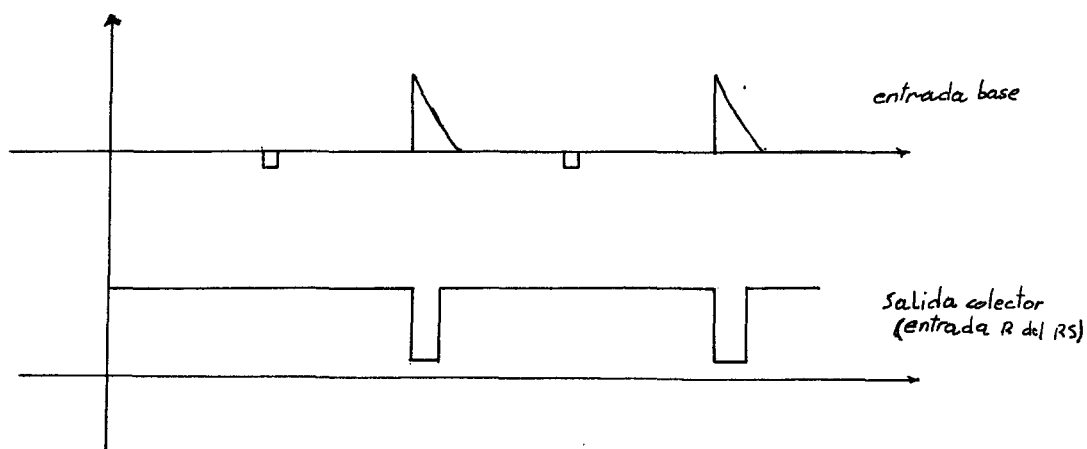
En saturaciòn con una tensiòn $V_{CE} = 0,3$ V y con una corriente de colector $I_c = 1$ mA:

$$5 = V_r + 0,3$$

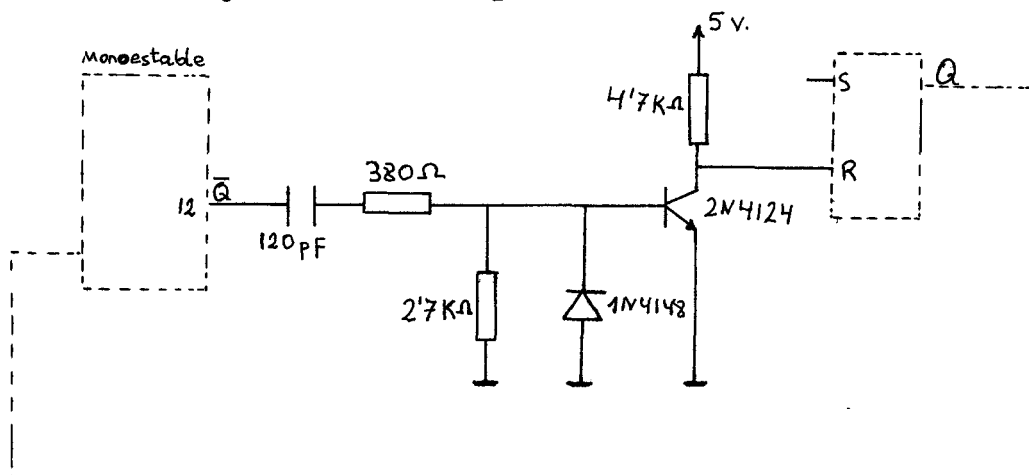
$$V_r = 4,7$$

$$4,7 = I_c \times R_c \quad R_c = 4,7K \Omega$$

La se\u00f1al de salida queda:



El montaje de esta etapa sería:



Este circuito es autorrealimentado , por lo que podría bloquearse. El problema se resuelve utilizando el segundo monoestable del CI 74123, y haciéndolo funcionar como redisparable.

Este funcionamiento como redisparable significa que yo puedo conseguir un pulso de duración infinita sólo con hacer que la red externa $RxCx$ me dé un pulso de ancho superior al periodo de la señal que entra al monoestable. El funcionamiento es el siguiente:

En un ciclo normal, el disparo inicia una rápida descarga del condensador externo, seguida de una rampa de tensión ascendente en Rx . El retardo que se consigue es el que tarda la rampa en alcanzar el punto más alto que dispara el circuito de Schmitt (que contiene el monostable), provocando que la salida vuelva al siguiente estado. Si otro disparo tiene lugar antes que la rampa alcance el umbral del Schmitt, el condensador producirá una nueva descarga y la rampa comenzará de nuevo sin que se produzca cambio alguno a la salida. de esta manera se puede alargar el retardo del periodo de una manera arbitraria sólo con asegurar de que el tiempo entre disparos es menor que el retardo determinado por la red

externa $RxCx$.

Este retardo lo podemos calcular mediante:

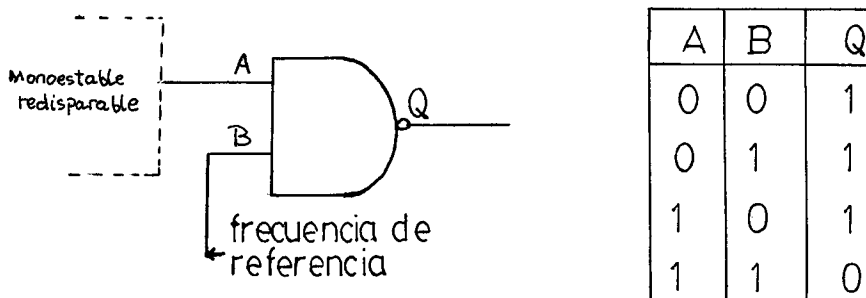
$$t_w = 0,28RxCx(1,0 + 0,7/Rx)$$

Sabemos que el periodo entre disparos es de $9\mu\text{sg}$ y queremos un tiempo mayor. Tambièn observamos que Cx debe aumentar para retardos mayores, Si elegimos $Rx = 25K$ y $Cx = 47nF$:

$$t_w = 3,5 \times 10^{-4} = 355\mu\text{sg} \gg 9\mu\text{sg}$$

Esta disposiciòn hace que tengamos un nivel bajo constante a la salida \bar{Q} . A la entrada de este monostable aplicamos tambièn la salida del biestable RS, aunque esta vez el disparo se produce con el flanco de bajada. Cuando se produce un bloqueo, la salida \bar{Q} pasa a nivel alto ya que transcurre todo el tiempo de retardo sin que se produzca ningùn disparo.

Si conectamos esta salida del redisparable a una puerta NAND junto con la frecuencia de referencia, cada vez que se produjera un bloqueo, un "1" en una de las entradas de la puerta NAND permitirìa el paso de la frecuencia de referencia que reiniciarìa el proceso.

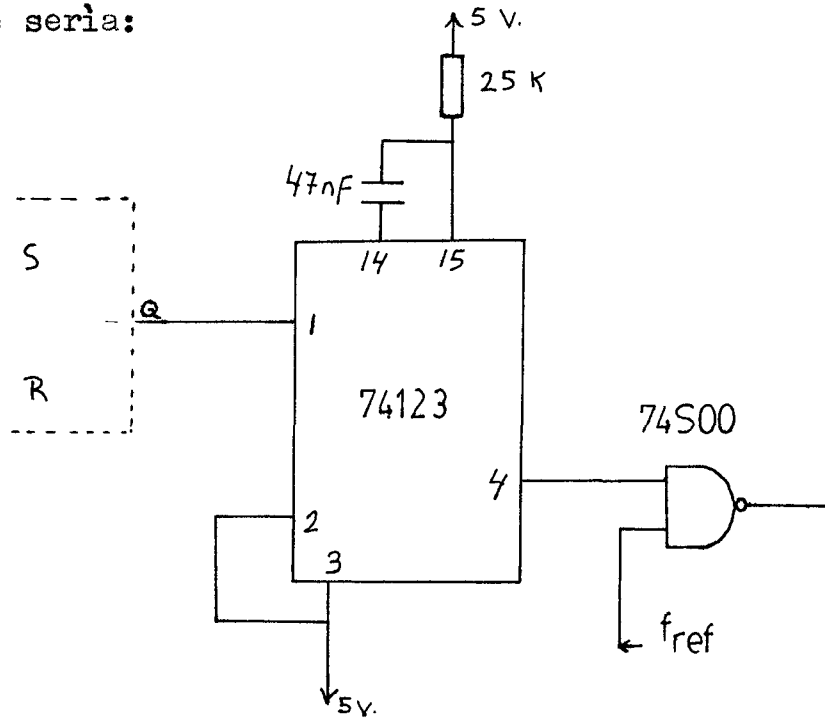


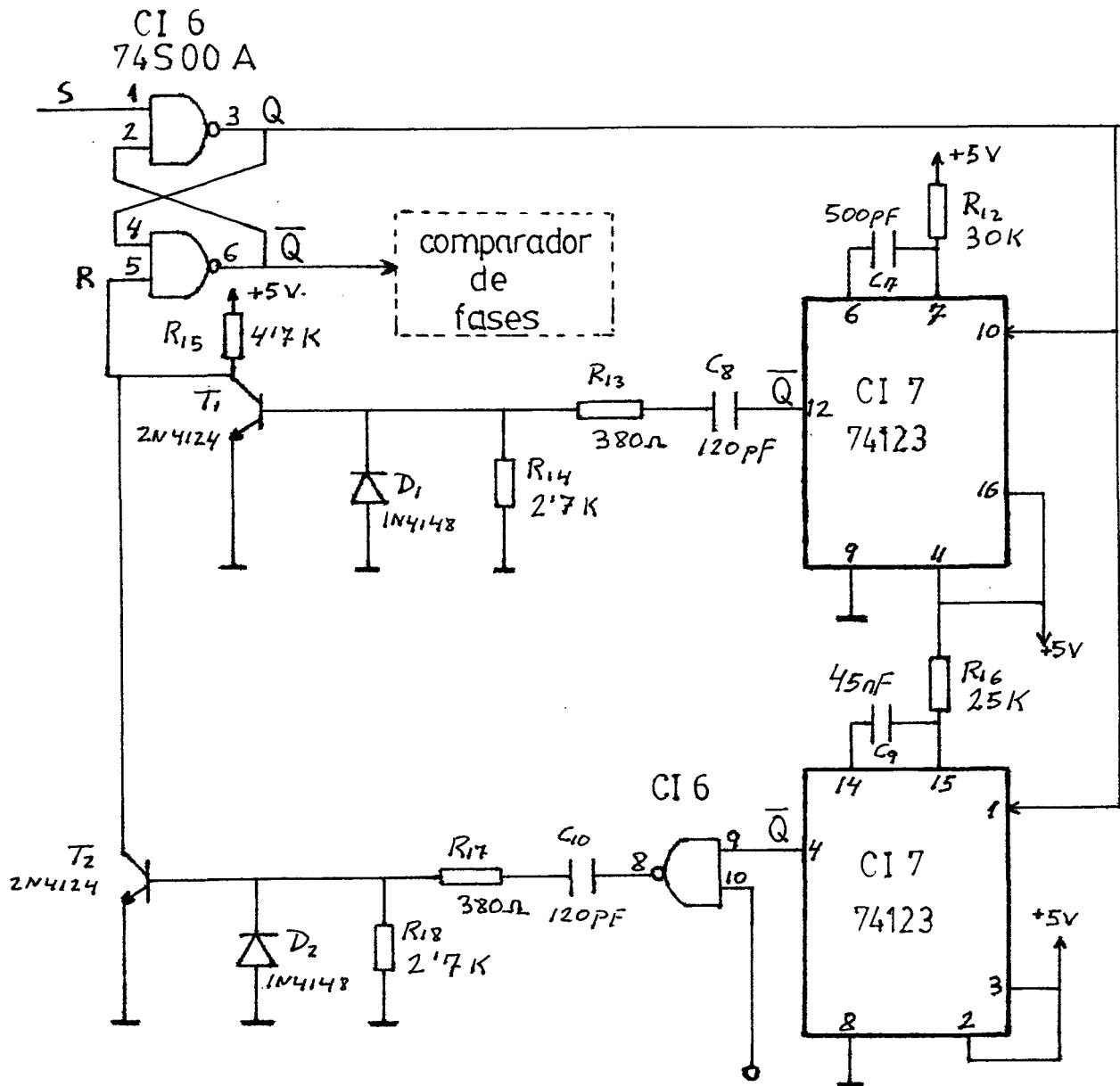
Una vez reiniciado el proceso se pondria a "0" la salida \bar{Q} indefinidamente (mientras no haya un nuevo bloqueo) e inibirìa el paso de la frecuencia de referencia, como vemos en la tabla anterior.

A la salida de la puerta NAND habria que aplicar un circuito diferenciador màs el conmutador igual que en el caso anterior.

Como pueerta NAND utilizo una de las que sobran del integrado 74S00 que he utilizado para la conformación del bistable.

El conexionado del monoestable funcionando como redispensible sería:





proyectado	luis bello
dibujado	
denominación	cambiador de ciclo de trabajo
fecha: junio, 83	plano n°3

LISTA DE COMPONENTES

Resistencias:

R₁₂ : 30 K
R₁₃ , R₁₇ \$ 380
R₁₄ , R₁₈ : 2,7K
R₁₅ : 4,7 K
R₁₆ : 25 K

Condensadores

C₇ : 500 pF
C₈ , C₁₀ : 120 pF
C₉ : 45 nF

Diodos :

D₁ , D₂ : 1N4148

Transistores:

T₁ , T₂ : 2N4124

Circuitos integrados:

CI-6 : 74S00A
CI-7 : 74123

Fuente de alimentación de 5 V.

Circuito generador de la desviación de 150Khz .-

Las frecuencias que necesitamos obtener del VCO ofrecen todas una desviación de 150Khz, como hemos visto en la tabla de frecuencias. Así por ejemplo para el canal 5 necesitamos obtener 214,15 Mhz. Recordemos que se presentaba el problema en el divisor programable de obtener el decimal.

Este circuito generador de la desviación (Off-Set 150Khz) tiene por objeto cambiar el número por el que divide el divisor programable, de manera que tengamos 17 divisiones por N y 3 por N + 1, es decir de cada 20 divisiones 17 deben ser por N y 3 por N + 1. Con objeto de obtener las mejores condiciones de promedio distribuiremos lo más regularmente las tres divisiones por N + 1, de tal manera que adoptamos la frecuencia:

$$\frac{5N/N+1/6N/N+1/6N/N+1}{20}$$

Así en el caso del canal 5 debemos dividir 3 veces por 215 y 17 veces por 214. La programación en el divisor programable sería:

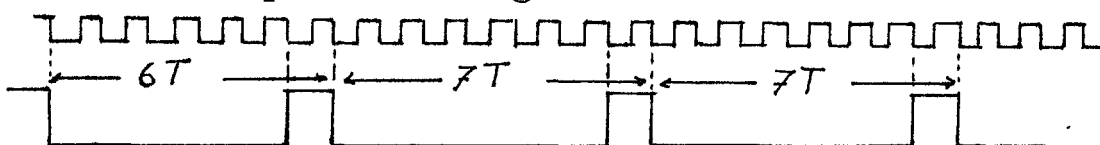
	CI-3	CI-2	CI-1
+ 215	0010	0001	0FFF
+ 214	0010	0001	0FFF

Como ya hemos visto en este ejemplo y en tablas anteriores, el cambio de programación sólo hay que efectuarlo en el primer integrado, mediante determinada función.

Según la secuencia que hemos visto:

$$5N/N+1/6N/N+1/6N/N+1$$

la función que hemos de generar es:

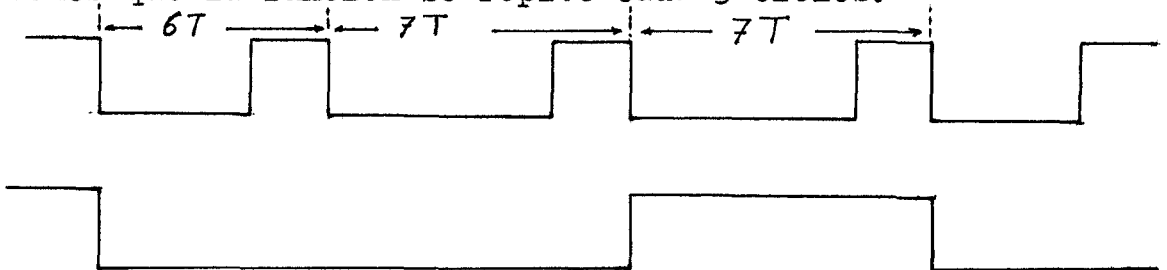


Hay muchas maneras de generar una función: utilizando registros de desplazamientos, contadores, etc..-Sin embargo muchas soluciones implicarían un uso excesivo de chips, que aumentarían los costos.

La solución más eficaz es aquella que ofrece el mejor compromiso entre costo y sencillez.

Observemos que esta nueva función es el resultado de dividir la frecuencia 111Khz unas veces por 6 y otras por 7. Teniendo en cuenta esto cabe pensar nuevamente en el uso de un divisor programable que dividiera unas veces por 6 y otras por 7.

El cambio de programación en este divisor para que divida por 6 o por 7 se llevaría a cabo mediante un divisor de las mismas características dividiendo por 3, ya que vemos que la función se repite cada 3 ciclos:



De acuerdo con esto debemos conseguir un integrado que presente las características adecuadas para el uso que queremos darle:

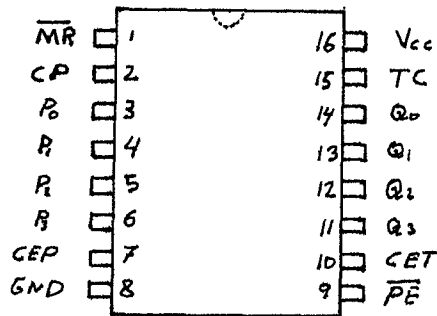
- divisor programable
- TTL
- alta velocidad

Esto lo consigo con el integrado 74 LS 161.

El 74 LS 161 es un contador binario síncrono módulo 16 de alta velocidad. Es presetable sincronicamente para aplicaciones como divisor programable y tiene dos tipos de llaves para cuenta en paralelo o cuenta en serie, más una salida TC que nos da la señal resultado de aplicaciones como divisor.

Este integrado tiene una entrada Master Reset (MR), que tiene prioridad sobre cualquier otra entrada forzando a la salida a ponerse a nivel bajo.

DIAGRAMA DE CONEXIONES



SIMBOLO LOGICO

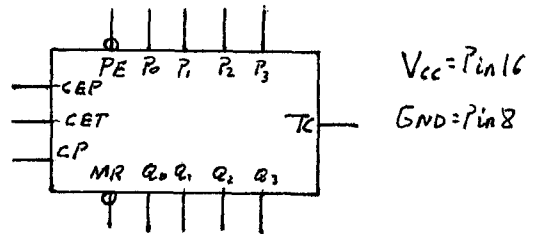
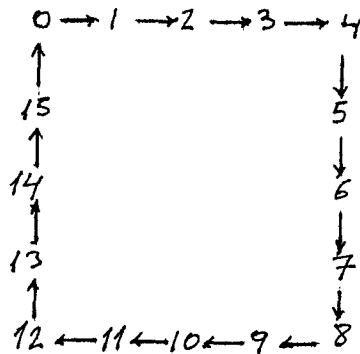


DIAGRAMA DE ESTADOS



PIN	DESCRIPCION
CEP	Entrada llave para cuenta paralelo
CET	Entrada llave para cuenta serie
CP	Entrada de impulsos de reloj (activa en alto)
MR	Entrada asincrona Master Reset (activa en bajo)
Po-P ₃	Entrada de datos en paralelo
\overline{PE}	Llave de entradas de datos
Qo-Q ₃	Salidas de los Flip-Flops
TC	Salida de la cuenta final

El 161 tiene cuatro modos fundamentales de operación que son:

- a) Reset asincrono
- b) Carga en paralelo
- c) Cuenta adelante
- d) Hold (mantenimiento)

Ademàs tiene cuatro entradas de control:

- 1) Master Reset
- 2) Llave de entrada paralelo \overline{PE}
- 3) Llave de cuenta en paralelo CEP
- 4) Llave de cuenta serie CET

Estos controles determinan el modo de operación

\overline{MR}	\overline{PE}	CET	CEP	Acción en el flanco de subida de reloj
L	X	X	X	RESET (CLEAR)
H	L	X	X	CARGA (Pn-Qn)
H	H	H	H	CUENTA
H	H	L	X	NO CAMBIA (HOLD)
H	H	X	L	NO CAMBIA (HOLD)

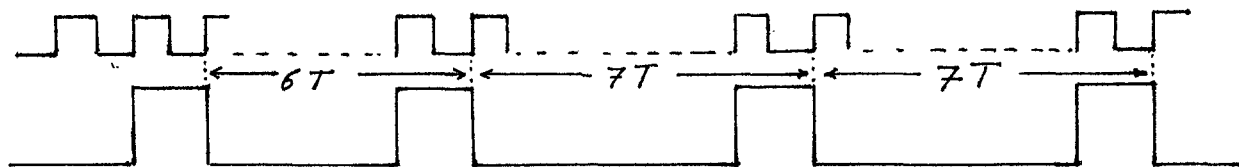
Un nivel bajo en \overline{PE} anula la cuenta y permite que la información en las entradas P_n sea cargada a los flip-flops en el nuevo flanco de subida de CP. Con \overline{MR} y \overline{PE} en alto, CEP y CET permiten la cuenta cuando ambas están en nivel alto. Mientras que a un nivel bajo en cualquiera, CEP o CET, inhibe la cuenta.

El 74 LS 161 utiliza flip-flops tipo D disparados por flanco, de tal manera que aún cambiando cualquiera de las entradas de control, mientras CP esté en un estado definido no se produce error.

La programación de las entradas P_n para dividir por cualquier número debe ser:

P_3	P_2	P_1	P_0	Divide por:
0	0	0	0	16
0	0	0	1	15
0	0	1	0	14
0	0	1	1	13
0	1	0	0	12
0	1	0	1	11
0	1	1	0	10
0	1	1	1	9
1	0	0	0	8
1	0	0	1	7
1	0	1	0	6
1	0	1	1	5
1	1	0	0	4
1	1	0	1	3
1	1	1	0	2
1	1	1	1	1

La función que queremos obtener es:

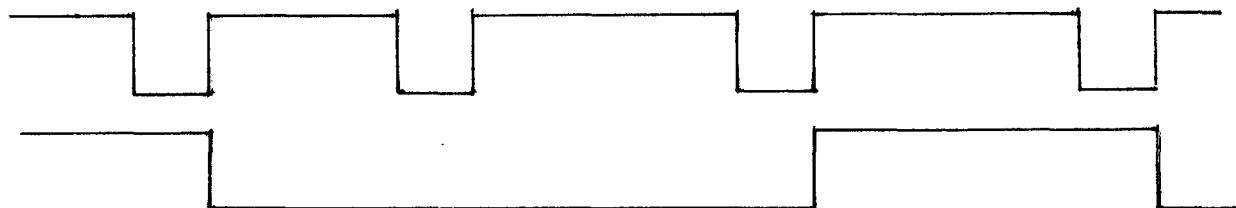


por tanto debemos atacar con la programación adecuada las entradas Pn. Sabemos también que la carga de datos se produce cuando la entrada \overline{PE} está a nivel bajo, luego aplicamos a esta entrada la inversa de la salida TC



de tal manera que el nivel bajo permite la carga de datos y la posterior división.

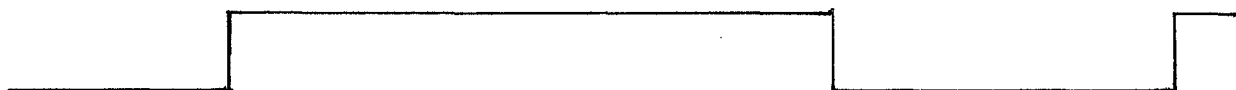
El siguiente divisor debe dividir por 3 la señal que proviene de la anterior:



Para ello utilizamos la programación adecuada:

+ N	P3	P2	P1	P0
+ 3	1	1	0	1

Igual que en el caso anterior realimentamos las entradas \overline{PE} con la salida invertida



Esta salida invertida ataca a la entrada P0 mientras que la salida no invertida ataca a la entrada P1, entradas estas del primer divisor, que recordemos dividía por 6 o por 7.

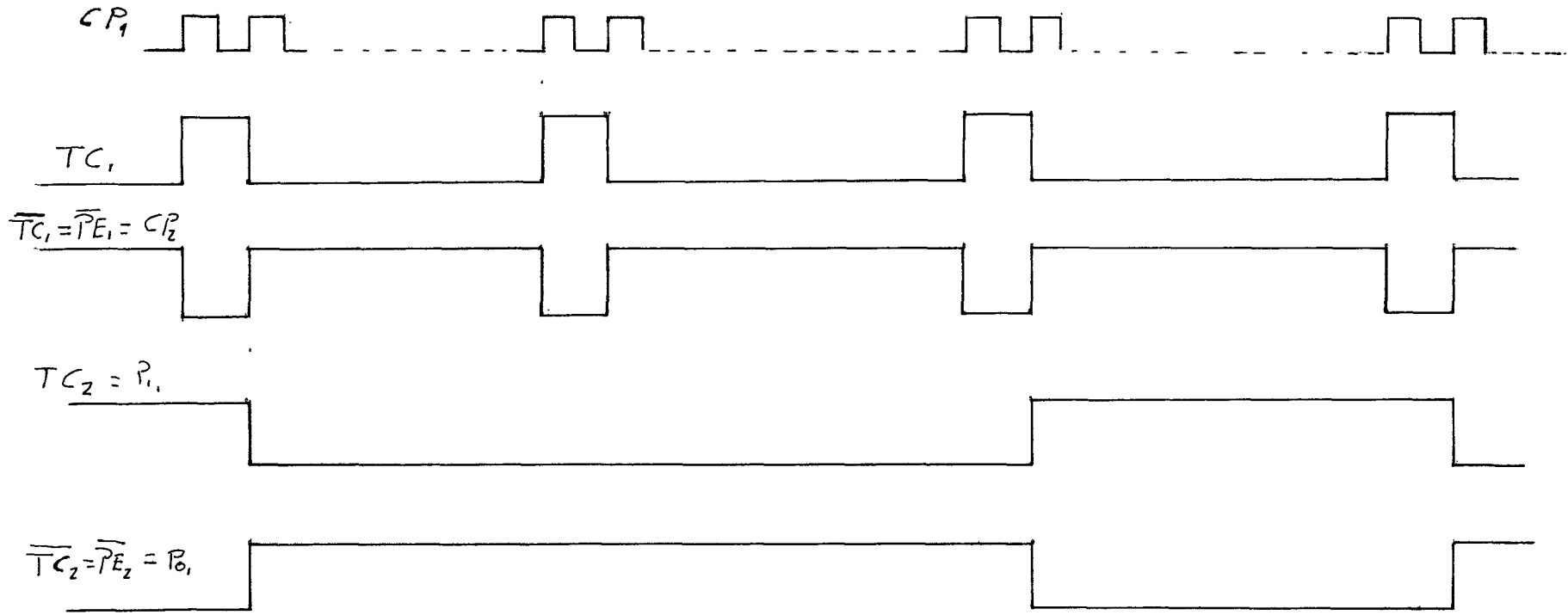
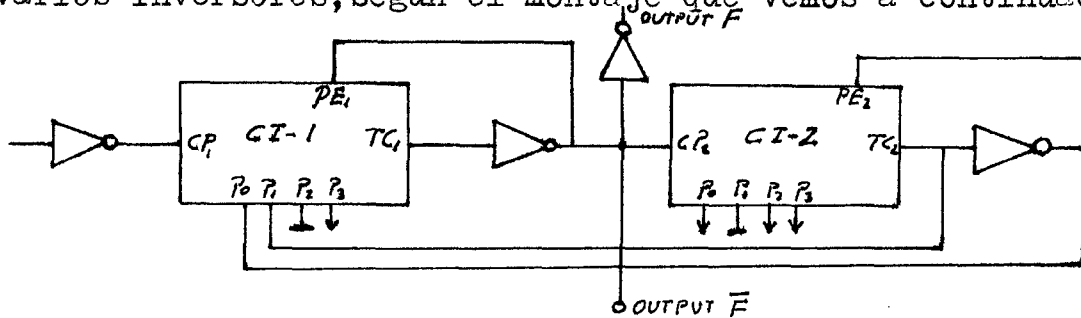


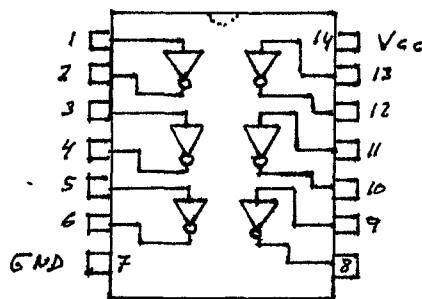
DIAGRAMA DE ESTADOS

Como hemos visto en el diseño del circuito utilizamos varios inversores, según el montaje que vemos a continuación:



Estos inversores los sacamos del circuito integrado 74LS04 que contiene 6 inversores.

El diagrama lógico de este circuito integrado es:



RETARDOS TÍPICOS DE PROPAGACION

t_{PLH}	Retardo de propagación de CP a TC	25 ns
t_{PHL}		21 ns
$t_{S(H)}$	Tiempo Set-Up de \overline{PE} respecto CP (✓)	25 ns
$t_{S(L)}$		25 ns
$t_{H(H)}$	Tiempo de retención de \overline{PE} respecto de CP (✓)	0 ns
$t_{H(L)}$		0 ns
$t_{W(H)}$	Ancho del pulso de reloj	15 ns
$t_{W(L)}$		25 ns

La familia a la que pertenece este integrado, 74LS 04, tiene unas características tales, que presenta una alta impedancia de salida cuando esya está en nivel alto, sin embargo cuando está en nivel bajo la salida presenta una muy baja impedancia.

Estos son factores a tener en cuenta cuando deseemos trasladar a niveles ECL los niveles TTL de salida del circuito generador de la desviación de 150 KHz. Ya que esta salida deberá atacar a las entradas de datos del divisor programable que trabaja con niveles ECL.

Para el 04 los niveles típicos de salida son:

$$V_{oh} = 3,4 \text{ V}$$

$$V_{ol} = 0,25 \text{ V}$$

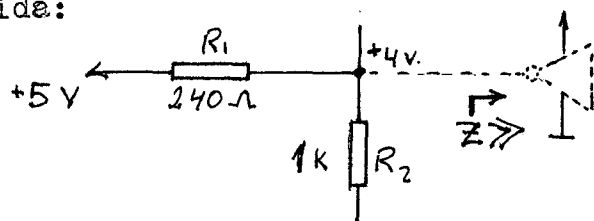
y queremos pasar a unos niveles ECL:

$$V_H = 4 \text{ V}$$

$$V_L = 3 \text{ V}$$

Para realizar esto aplicamos un divisor de tensión.

Vamos a situarnos primero en que a la salida del inversor tenemos un nivel alto y por tanto una alta impedancia de salida:



$$5R_2/R_1 + R_2 = 4$$

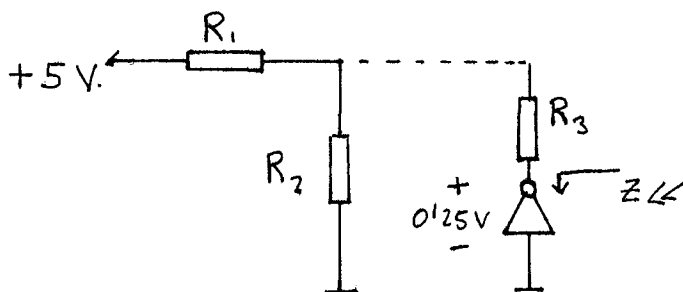
$$R_1 = 240\Omega; R_2 = 1K\Omega$$

$$R_1/R_2 = 1/4 = 0,25/1$$

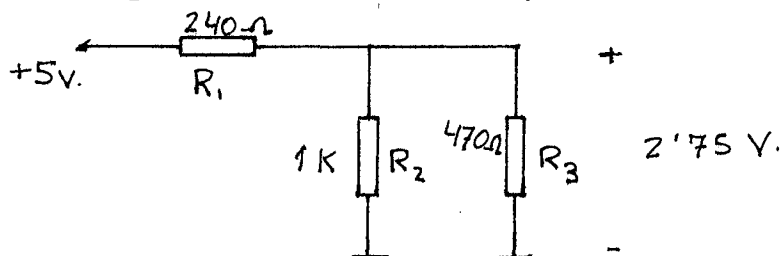
El inversor no carga en este caso al divisor de tensión debido a la alta impedancia de salida, obteniendo por tanto un nivel alto ECL de 4 V.

Vamos a situarnos ahora en el caso que tengamos a la salida del inversor un nivel bajo y por tanto una baja impedancia.

En este caso el nivel de salida típico del inversor es de 0,25 V y debemos conseguir un nivel de 3 V. Además debido a la baja impedancia de salida esta vez si que el inversor carga al divisor de tensión. Podemos simular el circuito:



Si despreciamos la caída 0,25 V tenemos:



donde $R_2 // R_3 = R_T$; por tanto:

$$5R_T / 0,24 + R_T = 2,75$$

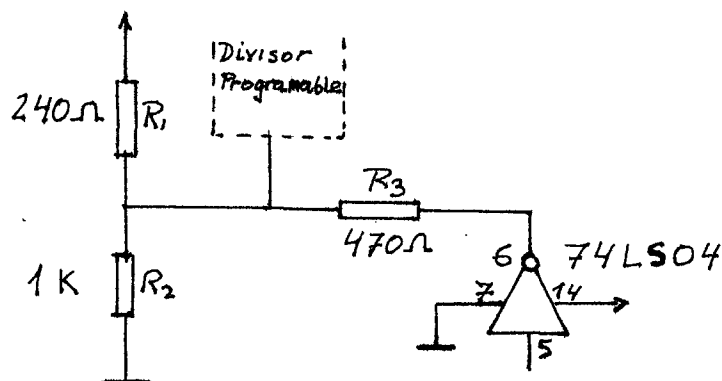
$$R_T = 0,305$$

Por otro lado sabemos que $R_T = 1K // R_3$; y obtenemos:

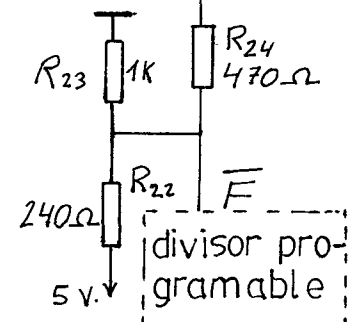
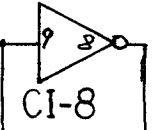
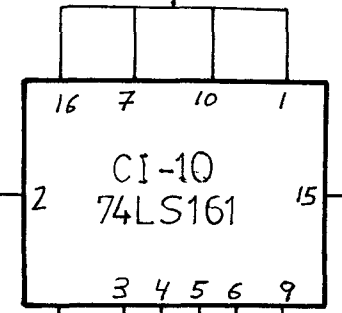
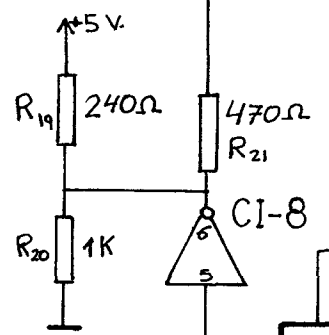
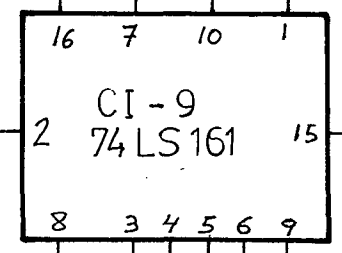
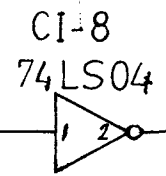
$$R_3 = 0,439$$

Y elegimos el valor normalizado $R_3 = 470 \Omega$

De esta manera vemos que cuando la salida es alta no carga al divisor de tensión y obtenemos un nivel de 4V. Sin embargo cuando la salida es baja si que carga y obtenemos un nivel aproximado de 3V.



cambiador de ciclo de trabajo



proyectado	luis bello
dibujado	
denominación	Off-Set 150Khz
fecha: junio, 83	plano n°4

LISTA DE COMPONENTES

Resistencias:

R₁₉, R₂₂ = 240

R₂₀, R₂₃ = 1 K

R₂₁, R₂₄ = 470

Circuitos integrados:

CI-8 = 74 LS 04

CI-9 = 74 LS 161

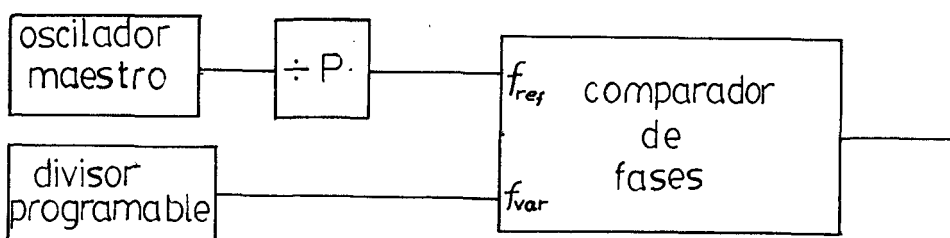
CI-10 = 74 LS 161

Fuente de alimentación de 5 V.

Comparador de fases.-

La señal de la salida \bar{Q} procedente del biestable RS que pertenecía al circuito cambiador de ciclo de trabajo, la introducimos junto con una frecuencia de referencia en un comparador de fases que generará una tensión continua la cual una vez filtrada atacará a un VCO para fijar la frecuencia de oscilación.

La frecuencia de referencia me la proporciona un oscilador maestro a cristal muy estable, Esta frecuencia será del mismo valor que la obtenida del proceso anterior, es decir, 111 Khz

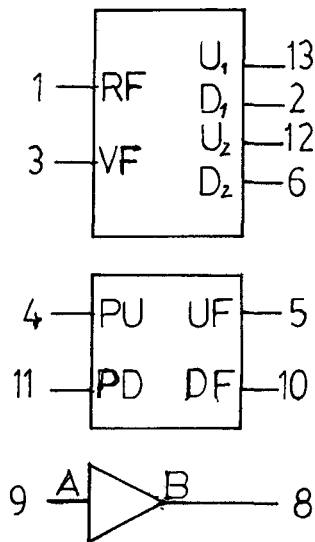


Un circuito comparador de fases se puede encontrar ya integrado en el mercado y como tal tenemos el 11C44.

El 11C44 contiene un detector de fase/frecuencia, un detector de fase, un cargador y un amplificador. El detector de fase/frecuencia acepta señales TTL representadas por una frecuencia de referencia (RF) y una frecuencia variable (VF), compara el tiempo relativo entre las transiciones negativas, y genera una señal ascendente (UP) U_1 o una descendente D_1 , cuya duración es igual a la diferencia de tiempos RF-VF. Cuando las señales RF y VF tienen la misma frecuencia, las salidas del detector de fases U_2 y D_2 proporcionan señales binarias cuyo ciclo completo es proporcional al ángulo de fase entre RF y VF. El cargador (charge pump) puede ser gobernado por U_1, D_1 o U_2, D_2 y tiene tres estados de salida posibles representados por: carga, descarga y mantenimiento

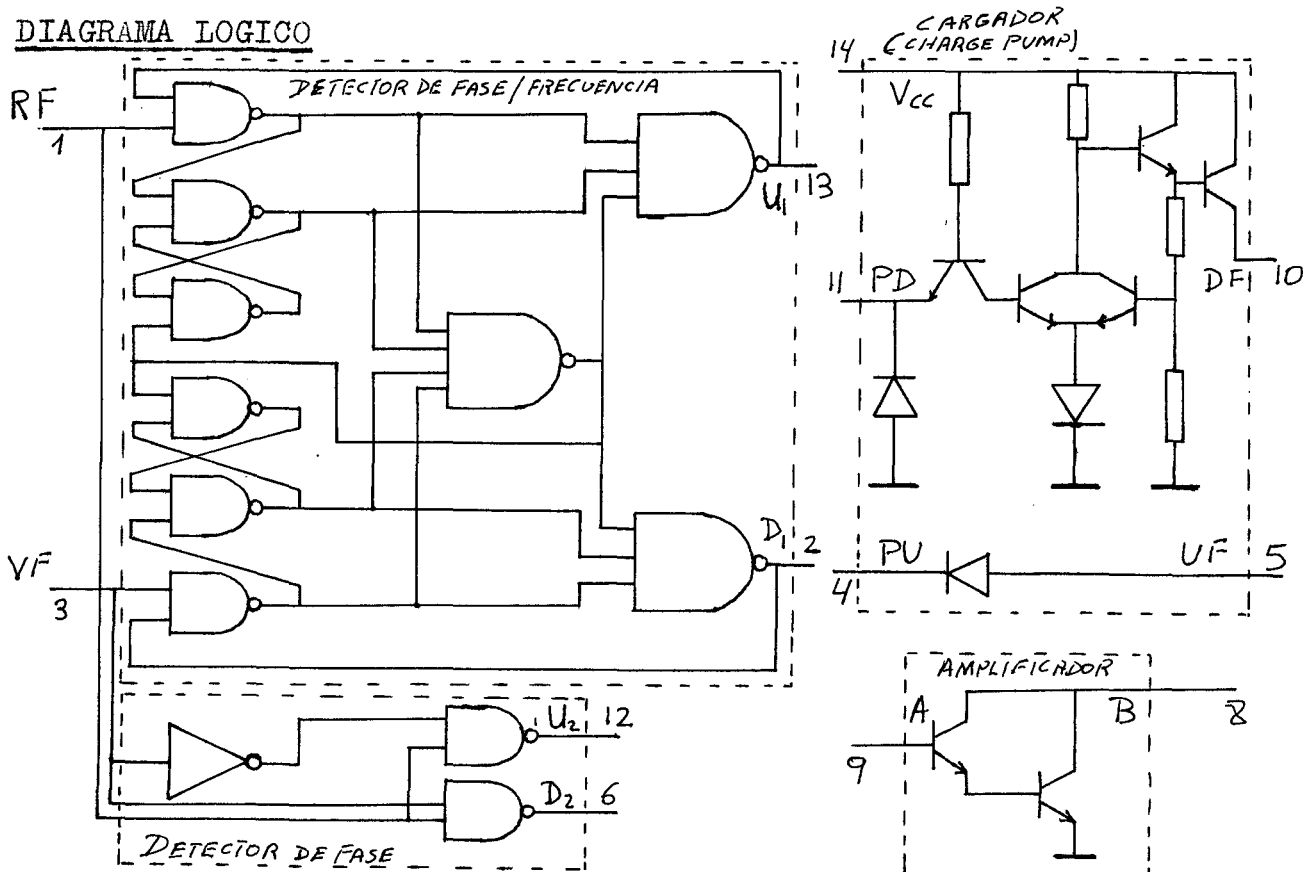
(Hold) de instrucciones cuando son aplicadas a un integrador. el amplificador es un Darlington con emisor a tierra y con el colector y base al exterior. Por tanto el 11C44 contiene varios de los elementos funcionales utilizados en aplicaciones de control de frecuencia. Este chip es compatible con el MOTOROLA MC4044/4344, pero tiene mayor capacidad de discriminación para mayores diferencias de fase.

SIMBOLO LOGICO



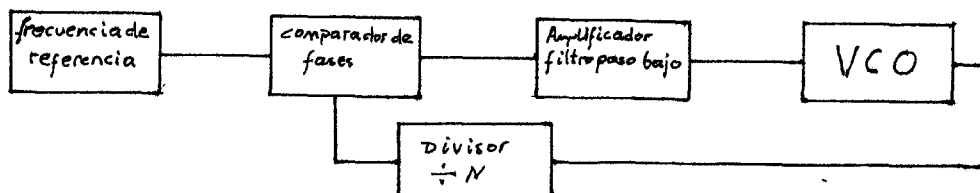
V_{cc} = Pin 14
Gnd = Pin 7

DIAGRAMA LOGICO



- RF : entrada de la frecuencia de referencia
- VF : entrada de la frecuencia variable
- U_1D_1 : salidas del detector de fase/frecuencia
- U_2D_2 : salidas del detector de fase
- PU,PD : entradas del cargador (charge pump)
- UF,DF : salidas del cargador
- A : entrada del amplificador
- B : salida del amplificador

La manera de operar del 11C44 se explica mejor examinando su papel en una aplicación típica y que es precisamente como PLL o sea control de frecuencia, tal como muestra el diagrama siguiente:



Con este montaje se consigue que mediante una relativa baja frecuencia se realice el control de un VCO de muy alta frecuencia. El divisor por N baja la frecuencia de salida del VCO y proporciona una frecuencia variable VF del mismo rango que la frecuencia de referencia RF. Por ejemplo con $RF = 100\text{Khz}$ y una salida del VCO de 120 Mhz , el contador divide por 1.200. Se utilizan controles externos para cambiar los cocientes del divisor el cual en el bucle hace cambiar la frecuencia del VCO.

Si cambiamos el valor de N de 1.200 a 1.201 se reduce VF por debajo de los 100Khz . El detector genera una señal de error la cual actúa sobre el VCO aumentando la frecuencia hasta que VF sea igual a RF 100Khz . El nuevo resultado es que la frecuencia de salida ha crecido a $N \times RF$, en este caso $120,1\text{ Mhz}$.

El bucle también corrige variaciones en el VCO; un cambio en la salida del VCO hace que VF aumente o disminuya en relación RF, provocando que a la vuelta el detector genere una señal de corrección y obligue al VCO a engancharse.

La detección de fase puede ser realizada mediante simples funciones como una báscula o una OR-exclusiva, pero esto es susceptible de actuar con armónicos. Para evitar este defecto un detector debe ignorar cambios de estado repetitivos en una de sus entradas a menos y hasta que el cambio de estado se produzca en la otra entrada. Esto requiere una memoria interna, el 11C44 contiene varias básculas internas, como se puede observar en el diagrama lógico. Al principio de la conexión, el circuito puede escoger alguno de los varios estados para cualquier combinación de los estados de entrada de RF y VF. La posterior respuesta a las transiciones de RF y VF se puede predecir del diagrama secuencial de flujo siguiente:

RF-VF : ESTADOS DE ENTRADA				SALIDAS	
0-0	0-1	1-1	1-0	U ₁	D ₁
(1)	2	3	(4)	0	1
5	(2)	(3)	8	0	1
(5)	6	7	8	1	1
9	(6)	7	12	1	1
5	2	(7)	12	1	1
1	2	7	(8)	1	1
(9)	(10)	11	12	1	0
5	6	(11)	(12)	1	0

Cada combinación posible de RF, VF, U₁ y D₁ se identifica por un número en la tabla de flujo. Si el número está entre paréntesis indica un estado estable, sin paréntesis indica estado inestable. Obsérvese que para cualquier combinación

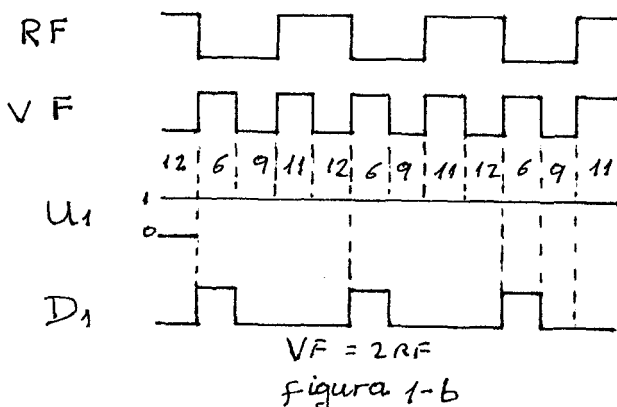
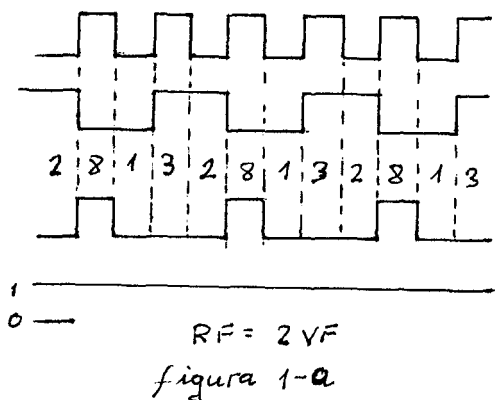
dada de RF-VF en cada columna, hay tres estados estables posibles que corresponden a las tres posibles combinaciones de U_1 y D_1 .

Para determinar la respuesta del circuito a un cambio en la entrada, primero se va horizontalmente de la columna que representa la combinación de entrada que está presente a la columna que representa la nueva combinación de entrada. Esto identificará el número del nuevo estado. Si el número no está entre paréntesis, se va verticalmente hacia el mismo número entre paréntesis.

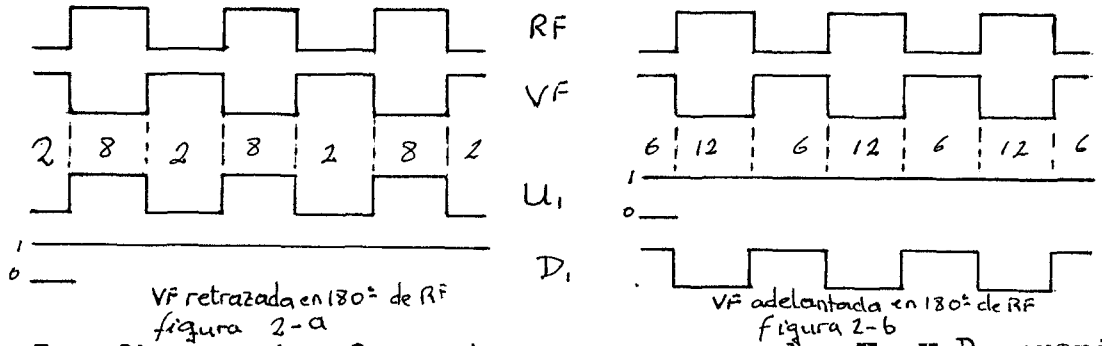
Por ejemplo, si la combinación de entrada RF-VF cambia de 1-1, con el circuito en estado (7), a 1-0, se desplaza hacia la derecha al estado 12. Como es un estado inestable, se mueve hacia abajo hacia (12). Este es el nuevo estado del circuito y es el punto de partida para determinar la respuesta del circuito al siguiente cambio de estado en la entrada.

La tabla de flujo muestra que si las entradas cambian de una parte a otra entre 0-0 y 1-1 el circuito cambia de estado, por tanto, entre (5) y (7), mientras que U_1 y D_1 permanecen en la condición 1-1. Hay que advertir también que cuando RFVF cambia repetidamente de 0-0 a 1-1, significa que las dos entradas concuerdan en fase y frecuencia. Así la señal constante 1-1 en U_1 y D_1 indican la condición de enganche.

Respuesta del detector fase/frecuencia para distintas frecuencias de entrada:



Diferentes interpretaciones del detector fase/frecuencia.-

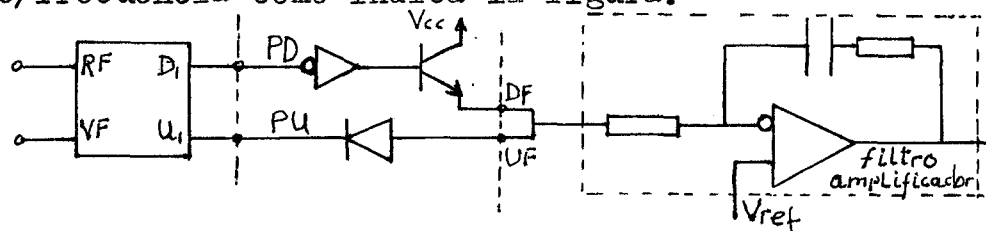


Las figuras 1 y 2 muestran como responden U_1 y D_1 cuando RF y VF difieren en frecuencia o fase. Los números de los estados corresponden a los estados estables en la tabla de flujo. En la figura 1-a, VF es inferior en frecuencia a RF, provocando una señal periódica de U_1 y una constante en nivel alto de D_1 . La señal U_1 indica que la frecuencia del VCO debe ser aumentada. En la figura 1-b, VF es mayor que RF provocando una señal periódica en D_1 y constante en alto en U_1 . La señal D_1 indica que la frecuencia del VCO debe ser disminuida.

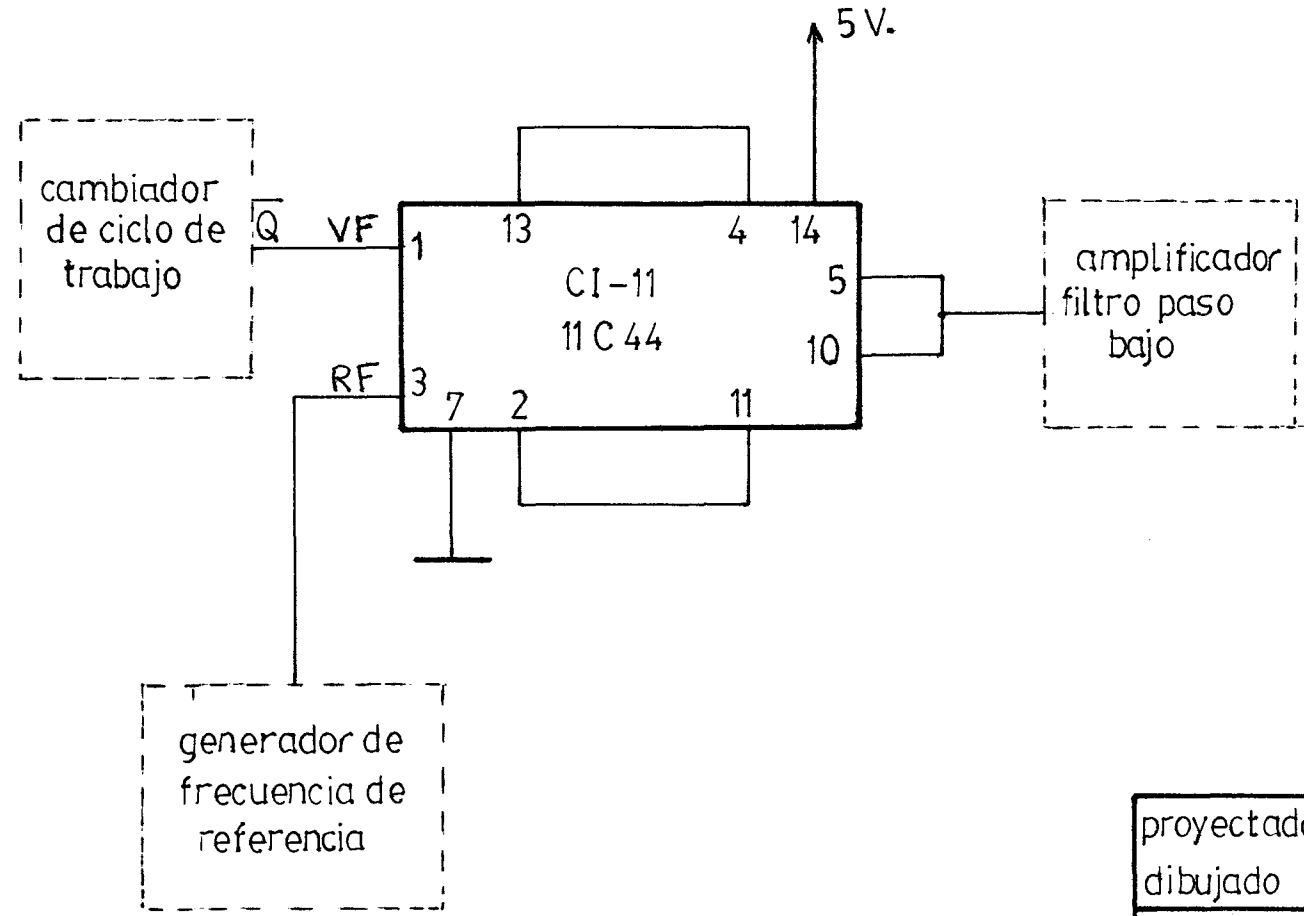
Las figuras 2-a y 2-b muestran que el detector de fase/frecuencia puede responder de dos maneras sin que varíen las señales de entrada RF y VF, si estas difieren en fase pero no en frecuencia. En la figura 2-a el circuito asume como partida el estado (2); el resultado es una señal U_1 cuya duración en estado bajo es el 50 % del periodo de la señal, indicando que VF está atrasada 180° de RF. En la figura 2-b el circuito asume como estado inicial el (6), provocando una señal D_1 cuya duración en estado bajo es el 50 % del periodo total. Esto indica que VF adelanta a RF en 180°, lo cual es, por supuesto, lo mismo que decir que VF atrasa a RF en 180°. Por tanto las salidas de 2-a y 2-b son equivalentes.

El cargador (charge pump: bomba de carga) consiste en un diodo conectado entre los terminales PU y UF y un inversor especial entre los terminales PD y DF. La salida inversora

consta sólo de un transistor Pull-Up. Por tanto cuando DF está en nivel alto, está en salida de baja impedancia con una tensión alrededor de 2,25V. Cuando la entrada PD pasa a alto, la base del transistor es llevada a tierra y por tanto la salida es de muy alta impedancia. Con el cargador conectado al detector de fase/frecuencia como indica la figura:



un nivel bajo en la entrada PU provoca que la salida UF sea de baja impedancia a tierra, con una tensión de salida de aproximadamente 0,75V. Cuando la entrada PU es alta, el diodo es llevado al corte obteniéndose por tanto una salida de alta impedancia. Para una ganancia simétrica del detector de fase en los modos Pump-Up y Pump-Down, la entrada del amplificador Vref debe oscilar entre los niveles de UF 0,75 ò DF 2,25 ò tener un valor de 1,5V..-



proyectado	luis bello gonzález
dibujado	
denominacion	comparador de fases
fecha: junio, 83	plano nº 5

