

TITULO DEL PROYECTO:

-- ANALIZADOR LOGICO --

AUTOR DEL PROYECTO;

JUAN MANUEL SOSA NAVARRO

Firmado: Juan Manuel Sosa Navarro

TUTOR;

SEBASTIAN SUAREZ GIL

Firmado: Sebastian Suarez Gil

Las Palmas de Gran Canaria a 17 de *Octubre* de 1984

INDICE GENERAL

	<u>Pag.</u>
1) - JUSTIFICACION DEL PROYECTO.	1
2) - INTRODUCCION.	2
3) - CARACTERISTICAS GENERALES.	4
4) - ANALISIS POR BLOQUES.	5
4.1) - BLOQUE DE ENTRADA.	6
a) - Introducción	6
b) - Circuito	8
4.2) - DETECTOR DE PALABRA.	11
a) - Introducción	11
b) - Circuito	12
4.3) - UNIDAD DE MEMORIA/	15
a) - Introducción	15
b) - Generador de direcciones	16
c) - Memoria	19
4.4) - UNIDAD DE PRESENTACION.	23
a) - Introducción	23
b) - Multiplexado	25
c) - Programador de líneas	29
d) - Conversores Digital/Analogicos	32
e) - Presentación en Diagramas de Estado	38
e ₁) - Introducción	39
e ₂) - Obtención de la cifra "1"	41
e ₃) - Obtención de la cifra "0"	42
e ₄) - Oscilador en cuadratura	45
e ₅) - Puerta sincronismo	49
4.5) - CLOCK.	51

	<u>Pag.</u>
4.6) - LOGICA CONTROL.	54
4.7) - FUENTE ALIMENTACION.	57
5) - CARACTERISTICAS TECNICAS.	59
6) - LISTA COMPONENTES.	60
7) - ESTUDIO ECONOMICO.	63
8) - PLANOS.	65
9) - BIBLIOGRAFIA.	71

1 - JUSTIFICACION DEL PROYECTO

Se redacta este proyecto, en calidad de trabajo de fin de carrera, como complemento de las enseñanzas recibidas a lo largo de la carrera de Ingeniería Técnica de Telecomunicaciones.

Dicho trabajo es requisito previo o indispensable, para la obtención del título correspondiente, según el vigente plan de estudios, en el que está incluido como asignatura del último curso de la mencionada carrera.

La redacción de este proyecto se lleva a cabo a petición de la Escuela Universitaria de Ingeniería Técnica de Telecomunicación de las Palmas con domicilio social en la calle de Tomas Morales s/n y en cuya representación actúa como tutor el profesor de la citada Escuela: D. Sebastian Suarez Gil.

2 - INTRODUCCION

Los Analizadores Lógicos nacieron de la necesidad de dotar al técnico en Electrónica Digital, de una herramienta de trabajo más potente y versátil que el Osciloscopio convencional, dado que los equipos digitales manejan gran cantidad de datos en paralelo 8, 16, y hasta 32 Bits. Por otro lado, los Osciloscopios son instrumentos destinados a trabajar con señales en el dominio del tiempo o de la frecuencia, pero para poder verificar gran cantidad de datos en paralelo, lo que se necesita es un instrumento en el dominio de datos.

En principio un instrumento de estas características parece bastante sencillo, ya que con solo diseñar un multiplexor de n canales y acoplarlo al Osciloscopio, se podrían visualizar todas las señales en paralelo. Pero hay que tener en cuenta la naturaleza de las señales que se analizan. Estas varían constantemente tanto en la forma como en la frecuencia, por lo que la interpretación directa a través del multiplexor sería imposible. No habría ningún control sobre los datos que se analizan, no pudiéndose someter a estudio ningún grupo de Bytes.

La filosofía de los Analizadores Lógicos, va más allá del simple multiplexor, en algunos casos su complejidad es tal que llegan a costar millones. Estos instrumentos pueden estar concebidos como elemento totalmente autonómo o como circuito que acoplado a un Osciloscopio, permite a través de su pantalla ver el estado de las señales.

En este proyecto, se diseñará un circuito que aprovecha las características del Osciloscopio para conseguir un Analizador Lógico.

En el esquema de la Fig-(1), se pueden ver los distintos bloques que forman este tipo de Analizador Lo-

gíco. El bus de datos a analizar, es tratado y controlado primeramente por un conjunto de circuitos denominado Unidad de Entrada. Los datos salen de esta unidad para llegar al Detector de Palabras, circuito encargado de generar una señal de sincronismo de acuerdo con una Palabra (Byte) prefija por el usuario. El bus de datos llega también a la Unidad de Memoria, donde serán grabados de acuerdo con la señal de sincronismo. Una vez grabados los datos, son leídos por la Unidad de Presentacion, encargada del tratamiento y control de los datos en la pantalla.

Hay dos formas de presentar los datos en pantalla, una es en Diagramas de Tiempo, en la cual se ven los distintos niveles de los datos grabados en memoria, y otra es en Diagrama de estados, apareciendo en pantalla el estado lógico (1-0) de los datos grabados.

Estas han sido las características generales de los Analizadores Lógicos acoplados a Osciloscopios, a continuación se verán las características de que va a estar dotado el Analizador Lógico de este proyecto.

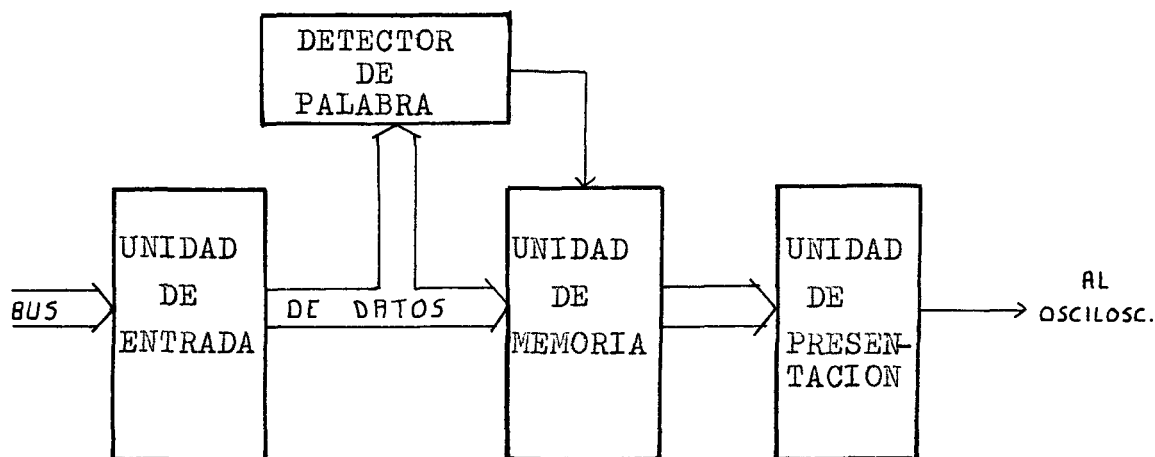


Fig-1

3 - CARACTERISTICAS GENERALES

- A) - Entrada de datos Bufferada.
- B) - Detector de palabras.
- C) - Led indicador de Disparo.
- D) - Selección del flanco de disparo.
- E) - Posibilidad de elegir los datos anteriores o posteriores al disparo.
- F) - Memoria digital.
- G) - Visualización automática, una vez grabada la memoria.
- H) - Formato de pantalla: 8 líneas x 16 palabras.
- I) - Presentación de los datos en Diagramas de tiempos o Diagramas de Estados.
- J) - Posibilidad de aislar grupos de líneas.
- K) - Alimentación única a +5Vcc.

4)- ANALISIS POR BLOQUES

4.1) - BLOQUE DE ENTRADA

a) Introducción.

El Analizador Lógico es un instrumento destinado a analizar una serie de señales, recogidas de un sistema sometido a control. Estas señales llegan al Analizador através de un conjunto de sondas, que el operario conecta en los puntos a controlar.

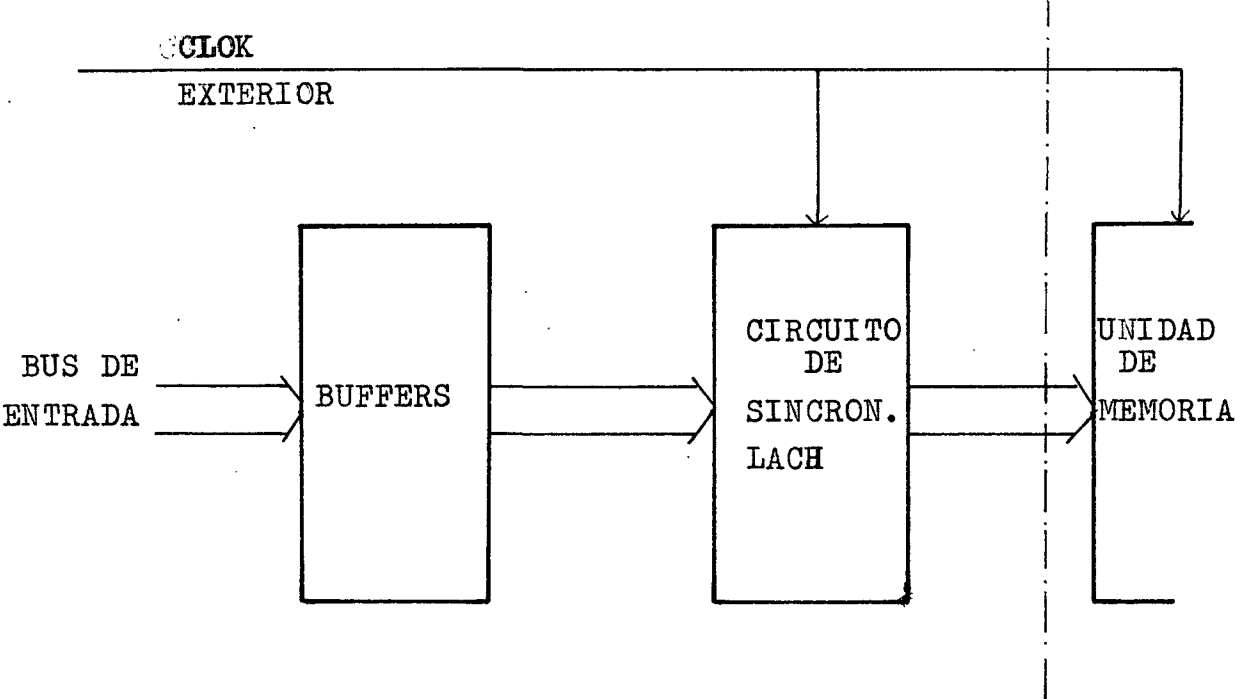
Las ocho sondas que transfieren los datos al Analizador no deben de excederse en su longitud, para evitar que las atenuaciones introducidas den lugar a errores en la interpretación de los datos. Por este motivo el Analizador debe de estar lo más cerca posible del sistema.

Al enganchar las sondas al sistema, el Analizador puede influir sobre los datos que se muestrean, para que no suceda esto y también para evitar errores en la interpretación de los datos, cada una de las ocho entradas está equipada con un Buffer disparador de nivel.

A la salida de los Buffer los datos han de ser sincronizados con alguna señal, común también con la unidad de Memoria, que es el destino de los datos. La señal de sincronismo va ser el Clock exterior y como elemento sincronizador se usará una Memoria Temporal Latch.

En la Figura (4-1) se puede ver el esquema en bloques de la Unidad de Entrada.

Fig.(44)-Esquema en bloques de la Unidad de Entrada



4.1) - BLOQUE DE ENTRADA

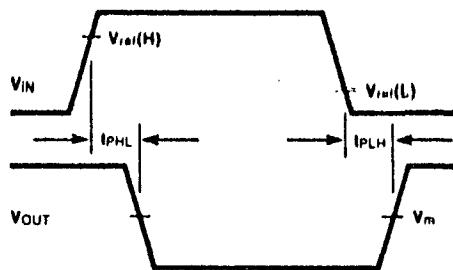
b) Circuito.

El Bus de datos del exterior llega a un conjunto de ocho Buffer Disparadores Inversores Schmitt. Estos disparadores vienen integrados con referencia 74LS14, agrupandose seis en cada integrado. La versión LS14 es para conseguir el menor tiempo de propagación posible, en este caso;

$$T_{plh} = T_{phl} = 22 \text{ ns.}$$

El tiempo de propagación es algo elevado, pero sin consecuencias ya que los datos serán sincronizados en el siguiente paso.

Las características de disparo son las siguientes:



PARAMETER	FAMILY		
	54/74	54LS/74LS	54S/74S
Vref(H)	1.7 V	1.6 V	1.8 V
Vref(L)	0.9 V	0.8 V	1.2 V
Vm	1.5 V	1.3 V	1.5 V

La inversión de datos a la salida se corregirá en la Memoria, donde los datos a su salida también están invertidos.

A la salida de los Buffer los datos tienen que ser sincronizados con el Clock exterior para su correcto acceso a la Memoria y al Detector de P Palabra. Para conseguir esta sincronización los datos son grabados en una memoria temporal Lach, controlada por el Clock exterior.

La memoria temporal esta formada por ocho Flip-Flop tipo D, contenidos en dos circuitos - 74LS175 de alta velocidad. En la figura (42) se observa la tabla de verdad y el diagrama logico de un biestable D.

La característica especial de estos Flip-Flop y que hacen que sean idoneos para esta aplicación, es que la entrada de clock y borrado son comunes, de forma que la información en la entrada D es alma-

TRUTH TABLE

INPUTS		OUTPUTS	
@ t_n , $\overline{MR} = H$		@ $t_n + 1$	
D_n		Q_n	$\overline{Q}_n$
L		L	H
H		H	L

t_n = Bit time before clock positive-going transition
 $t_n + 1$ = Bit time after clock positive-going transition
H = HIGH Voltage Level
L = LOW Voltage Level

LOGIC DIAGRAM

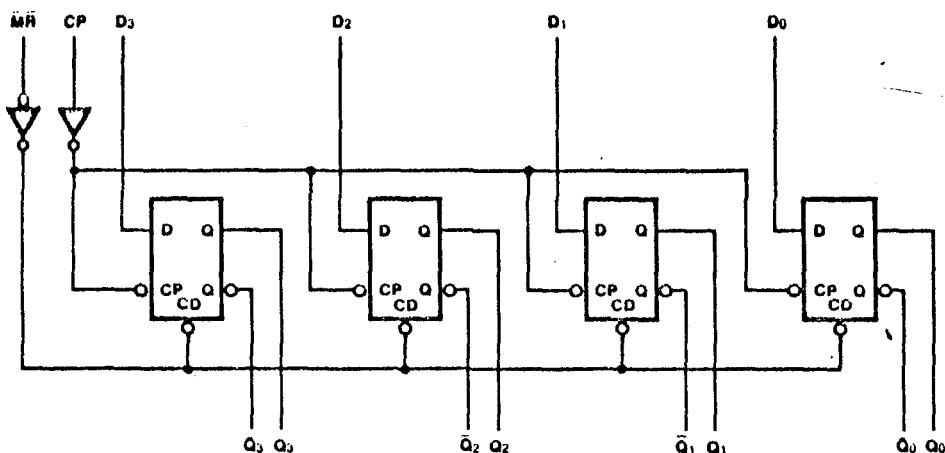


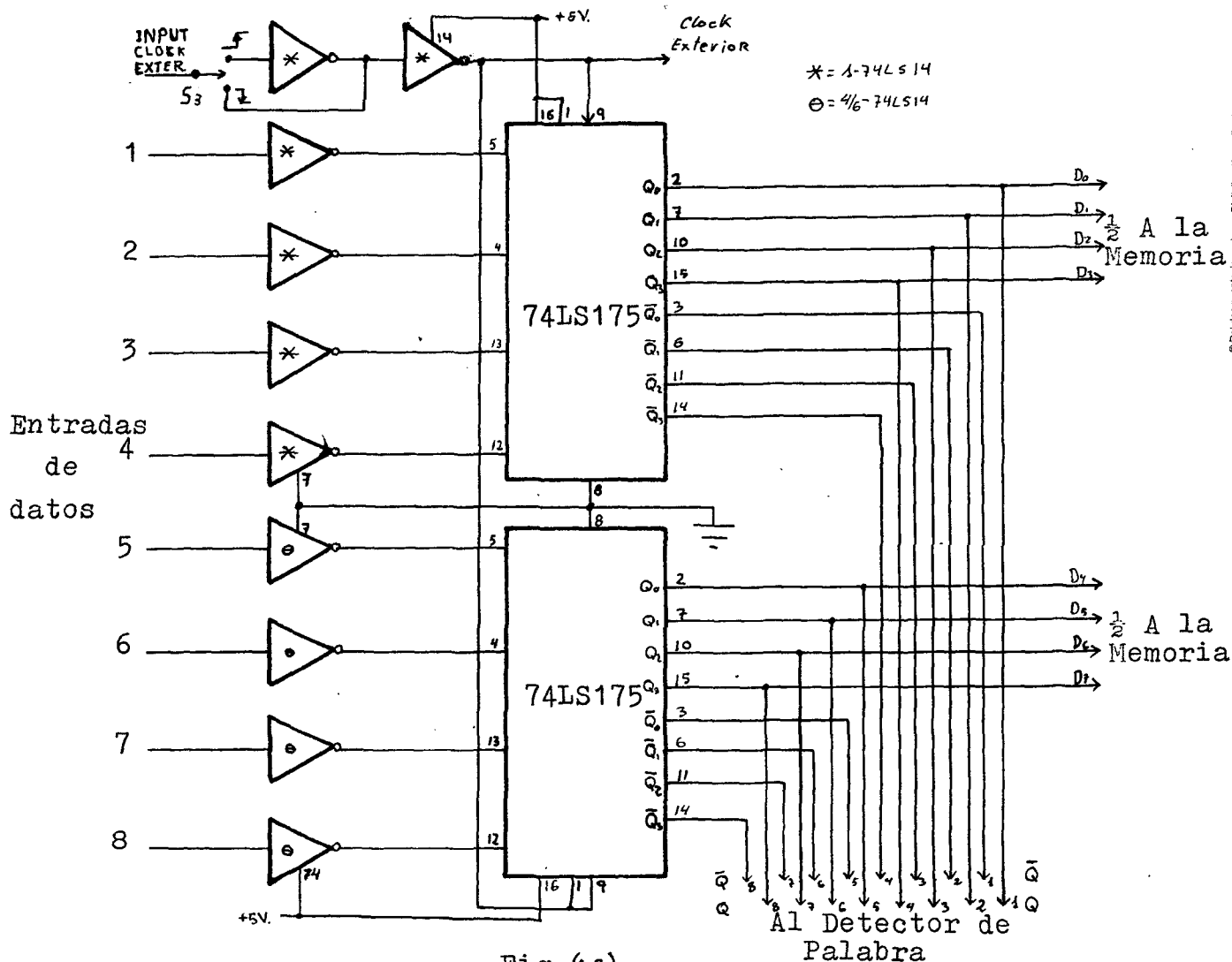
Fig.-(42)

cenada durante la transición Bajo-Alto del Clok, hasta la nueva transición en la que serán borados y grabados otros nuevos datos.

Otra de las ventajas de este "LS175 es que dispone de salidas complementadas de los datos, que se usarán en el Detector de Palabra.

El "LS175 dispone además de una entrada Master Reset ($\overline{MR}$) a todos los Flip-flop, independiente del Clok y de las entradas D, esta entrada no se usa y se conecta a +Vcc.

En la Figura (4-3) se observa los ocho disparadores unidos a los dos "LS175, la entrada del Clok exterior y el Bus de salida a las Memorias y al Detector de Palabra.



4.2) - DETECTOR DE PALABRA

a) Introducción.

Según se comentó en el apartado anterior, el Analizador Lógico es un instrumento que recopila y graba en su memoria datos procedentes de un sistema bajo control. Pero debido a la limitada capacidad de la memoria, no se pueden grabar todos los datos, además no serviría para nada tener almacenados gran cantidad de datos, sino se tiene alguna referencia sobre ellos.

La referencia la va a generar un circuito denominado Detector de Palabra, que acoplado al Bus de entrada analiza los datos Byte a Byte, de forma que si se produce una coincidencia entre estos y un Byte (Palabra) introducido desde el exterior por el operario, generará una señal de sincrónismo (disparo). Este disparo puede ser producido manualmente.

Asociado al Detector de Palabra hay un circuito lógico adicional mandado por el conmutador S1 que será el que controle la forma en que son grabados los datos en memoria. En una posición de S1, se grabarán los datos a partir de la palabra de disparo, en la otra posición, la memoria estará leyendo constantemente y dejará de hacerlo cuando se produzca el disparo. Con esto se consigue que la información contenida en memoria sea la generada después del disparo o antes del disparo.

El funcionamiento del circuito lógico adicional se verá en la correspondiente sección.

4.2) - DETECTOR DE PALABRA

b) Circuito.

Los datos que llegan al Detector de Palabra son los de salida de los Lach, tanto los de lógica positiva como complementada.

Los datos llegan por parejas (8), verdadero y complementado, a ocho commutadores de tres posiciones - un circuito. En la figura (4-4) se observa la conexión entre los Lachs y los commutadores. Estos commutadores, serán los que permitan la programación de la palabra de disparo. En la posición "1" se programa el nivel alto de los datos, en la posición "0" el nivel bajo y en la posición "X" se programa cualquier nivel de los datos.

Las salidas de los ocho commutadores, llega a las ocho entradas de una puerta ~~NAND~~ de referencia 74S30. Se ha elegido la version "S30, para conseguir la mayor velocidad en el disparo. El disparo en lógica negativa de la puerta NAND, pondrá a cero los contadores A y B y hará cambiar de estado el Flip-Flop FF1, que controla la entrada W/R de la memoria. El disparo puede tambien ser producido manualmente, mediante el pulsador P1. Este tipo de pulsador ha de ser de un tipo especial sin rebotes.

En la figura (4-5), se observa la tabla de verdad de la puerta NAND con solo dos entradas acopladas a los commutadores. Las conclusiones se podran generalizar para las ocho entradas.

Cada una de las ocho entradas de la puerta NAND esta conectada através de una resistencia a

+Vcc. Estas resistencias se hacen necesarias para generar un nivel alto, en las entradas donde el conmutador se coloque en la posición "X".

El valor de la resistencia ha de calcularse para que no se supere la $I_{\phi 1}$ de cada Flip-Flop D.

$I_{\phi 1} \approx 1.6 \text{ mA}$ por lo tanto:

$$R = \frac{V_{cc}}{I_{\phi 1}} = \frac{5}{1.6} = 3.12 \text{ Koh.}$$

Para que la corriente sea menor y trabajar con tipo de resistencia normalizado, se hará:

$$R = 4K7$$

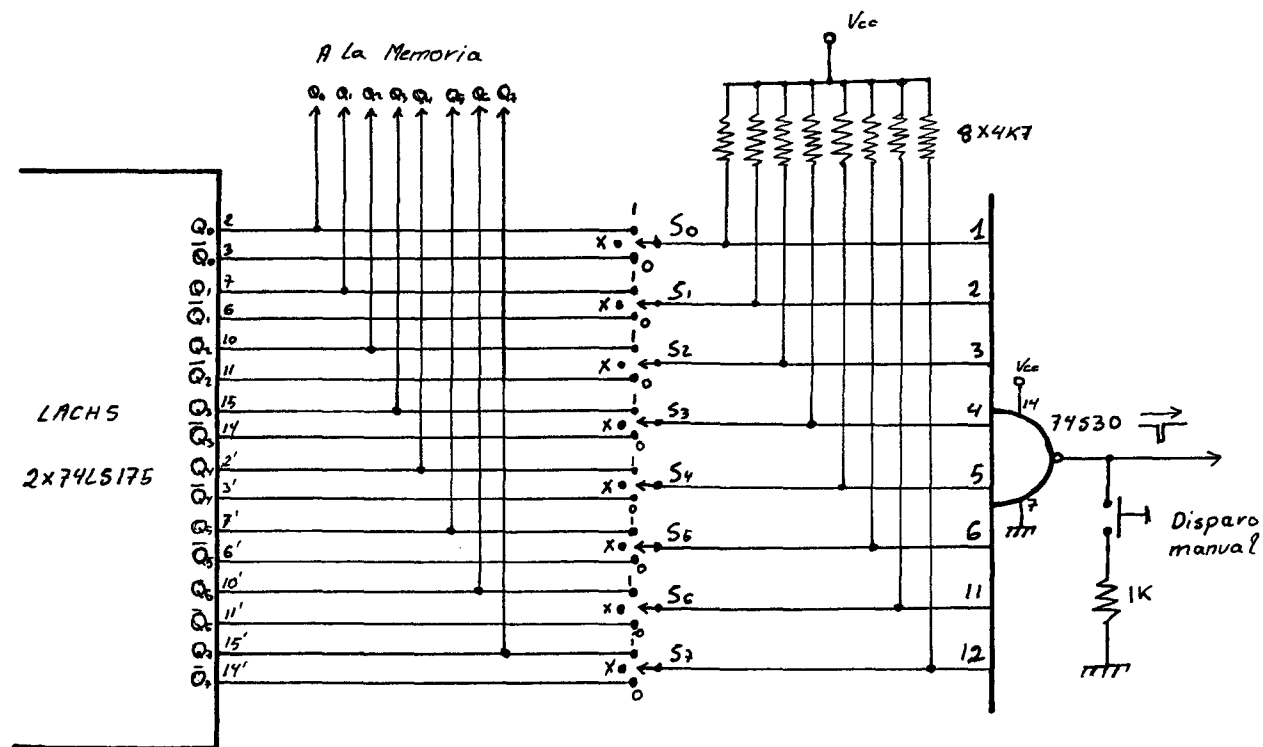
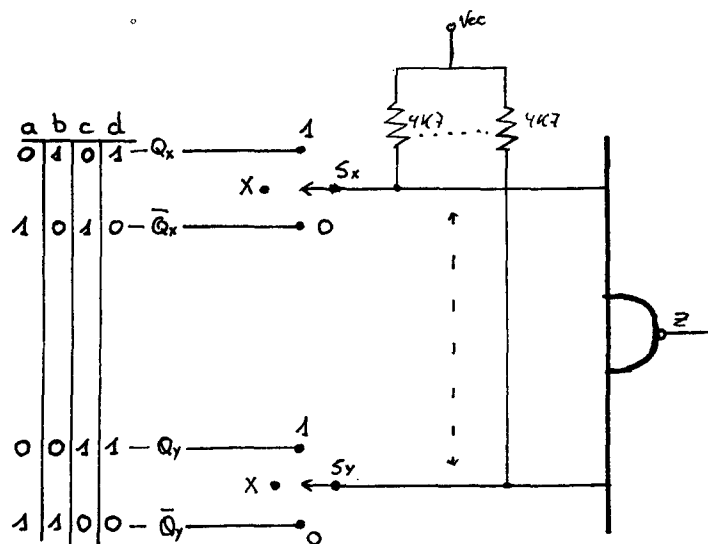


Fig.(1-4): Detector de Palabras.



a	$S_x = 1 \dots \dots S_y = 1 \Rightarrow Z = 1$
	$S_x = 0 \dots \dots S_y = 0 \Rightarrow Z = 0$
	$S_x = 0 \dots \dots S_y = 1 \Rightarrow Z = 1$
	$S_x = X \dots \dots S_y = 0 \Rightarrow Z = 0$
b	$S_x = 1 \dots \dots S_y = 1 \Rightarrow Z = 1$
	$S_x = 0 \dots \dots S_y = 0 \Rightarrow Z = 1$
	$S_x = 1 \dots \dots S_y = 0 \Rightarrow Z = 0$
	$S_x = X \dots \dots S_y = X \Rightarrow Z = 0$
c	$S_x = 1 \dots \dots S_y = 1 \Rightarrow Z = 1$
	$S_x = 0 \dots \dots S_y = 0 \Rightarrow Z = 1$
	$S_x = 1 \dots \dots S_y = 0 \Rightarrow Z = 1$
	$S_x = X \dots \dots S_y = X \Rightarrow Z = 0$
d	$S_x = 1 \dots \dots S_y = 1 \Rightarrow Z = 0$
	$S_x = 0 \dots \dots S_y = 0 \Rightarrow Z = 1$
	$S_x = 1 \dots \dots S_y = 0 \Rightarrow Z = 1$
	$S_x = X \dots \dots S_y = X \Rightarrow Z = 0$

Fig.(1-5): Tabla de verdad.

4.3) - UNIDAD DE MEMORIA

a) Introduccion.

La necesidad de dotar al Analizador Lógico de Memoria, se hace evidente si se tiene en cuenta la naturaleza de la señales que se quieren analizar.

La información en las ocho líneas de datos de entrada al Analizador, está constantemente variando tanto en su contenido, como en frecuencia, por lo que si se visualizaran directamente sería imposible analizarlas. Sin tener en cuenta que la sincronización sería imposible.

Por lo anterior mente expuesto, el Analizador debe de tener algún dispositivo que le permita "congelar" las distintas señales en la pantalla del osciloscopio. Este dispositivo es una memoria digital que permita al Analizador primeramente almacenar los datos, para luego tratarlos de diferentes formas y presentarlos en pantalla en un bucle continuo.

4.3) - UNIDAD DE MEMORIA

b) Generador de Direcciones.

La memoria necesita que le den una serie de direcciones tanto para almacenar los datos, como para leerlos, el circuito encargado es el Contador A.

Al ser la capacidad de la Memoria igual a 128 Bits. en un formato de 16X8, el contador A tendrá que generar direcciones desde la "0000" hasta la "1111".

En el esquema de la fig.(2-5) se puede ver el bloque contador+memorias y se aprecia la conexión del Bus de direcciones del contador A con las memorias y la bifurcación del Bus hacia el Conversor Digital Analógico Horizontal.

El contador elegido es el 74LS161 cuyo dia-

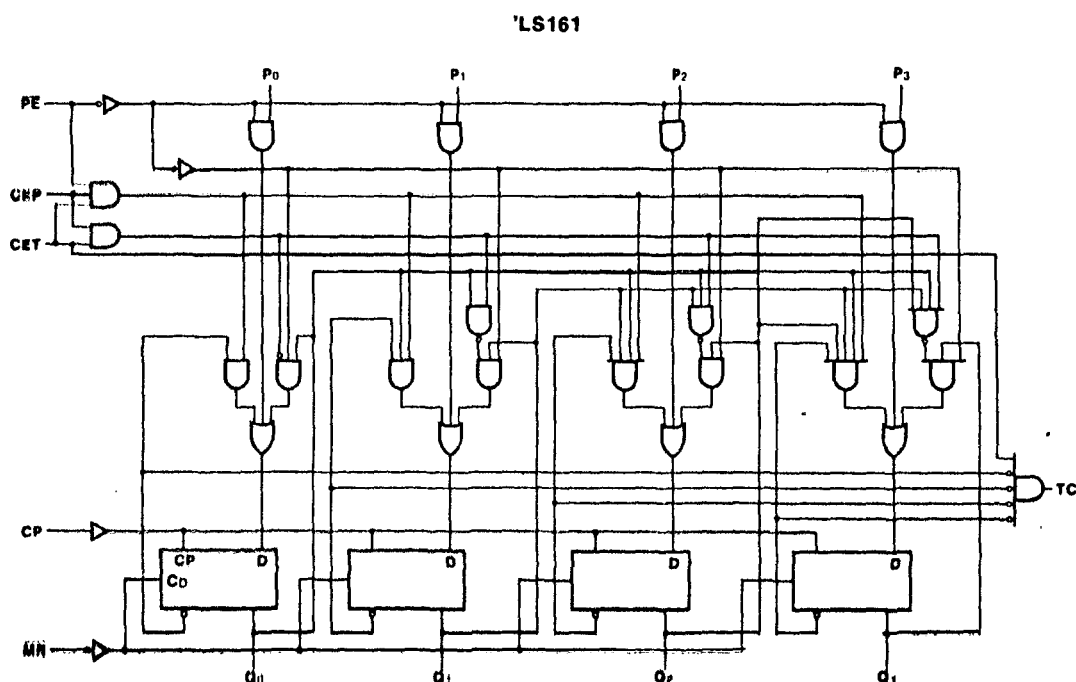


Fig. (2-1)

grama lógico puede verse en la fig.(2-1). Este es un contador binario síncrono, con puesta a cero asíncrona que permitirá en cualquier momento poner a cero el contador bien porque se produzca el disparo del Detector de Palabra o bien por un disparo manual. Esta entrada de reset es através del pin 1 y está unida también al contador B de iguales características que el A, se usa también para sincronizar los dos contadores. El tiempo de respuesta de esta entrada es:

$\overline{MR}$ a Q_n -- $t_{phl} = 28ns$: a tener en cuenta en la entrada $\overline{W}/R$ de las memorias.

La entrada de Clok es através del pin2(CP). A esta entrada tiene acceso tanto el Clok interno que entrará en funcionamiento cuando se esté leyendo la memoria, como el Clok exterior controlado por las puertas AND CyD.

En la entrada de Clok exterior se puede seleccionar el flanco de disparo empleando dos inversores trigger Schmitt del CI-74LS14. En la posición 1 de S3 se selecciona el disparo por flanco de subida y en la posición2 de S3 el disparo por flanco de bajada.

El contador "LS161(A) dispone de una salida de acarreo que irá conectada a la entrada de Clok del contador (B) através de la puerta AND (E). Al ser el módulo de A igual a 16, la frecuencia del Clok en B será: $F_{ca} = F_{cb} / 16$. Dispone también de unas entradas de preselección de carga Po-P3, que no se utilizan en este caso, pero sí en el de (B); por este motivo estas entradas están todas a cero y las CET, CEP y $\overline{PE}$ a uno según la siguiente tabla:

$\overline{SR}$	$\overline{PE}$	CET	CEP	Action on the Rising Clock Edge ()
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD ($P_n \rightarrow Q_n$)
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

gr:solo versión "LS162

En la siguiente figura se aprecia la secuencia típica de puesta a cero (clear), preset, computo e inhibición:

- 1.-Salidas clear a cero
- 2.-Preset a 12 BCD
- 3.-Cuenta a 13, 14, 15, 0, 1, y 2
- 4.-Inhibición

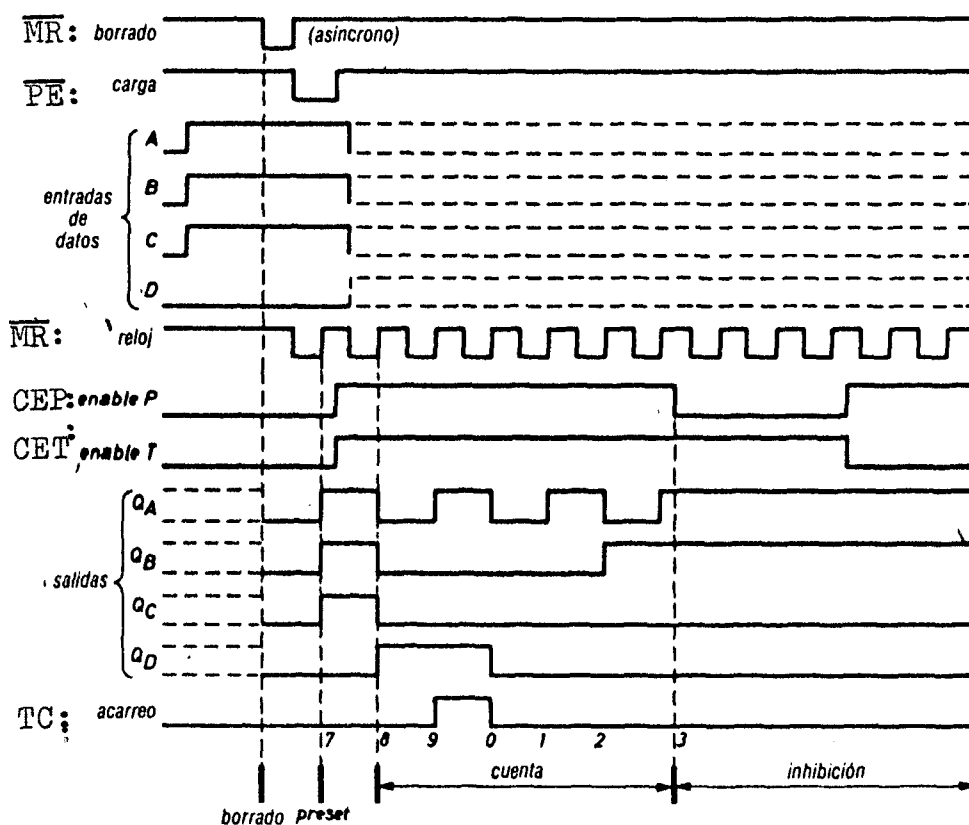


Fig. (2-2)

4.3) - UNIDAD DE MEMORIAc) Memoria.

Según se comentó en el apartado anterior, la capacidad de la Memoria es de 128 Bits en un formato de 16 palabras de 8 Bits. Se ha elegido esta capacidad teniendo en cuenta las dimensiones de una pantalla de Osciloscopio común. Una presentación con más datos podría ocasionar errores en la interpretación.

Por el esquema contador+memorias de la fig. (2-5) se aprecia que la Memoria está constituida por dos RAM tipo 74LS89 de alta velocidad. La capacidad da cada memoria es de 64 Bits en un formato de 16x4, por lo que para conseguir la capacidad total requerida según el formato 16x8, se conectarán según indica la figura(2-5).

En la siguiente fig.(2-3), se observa el esque

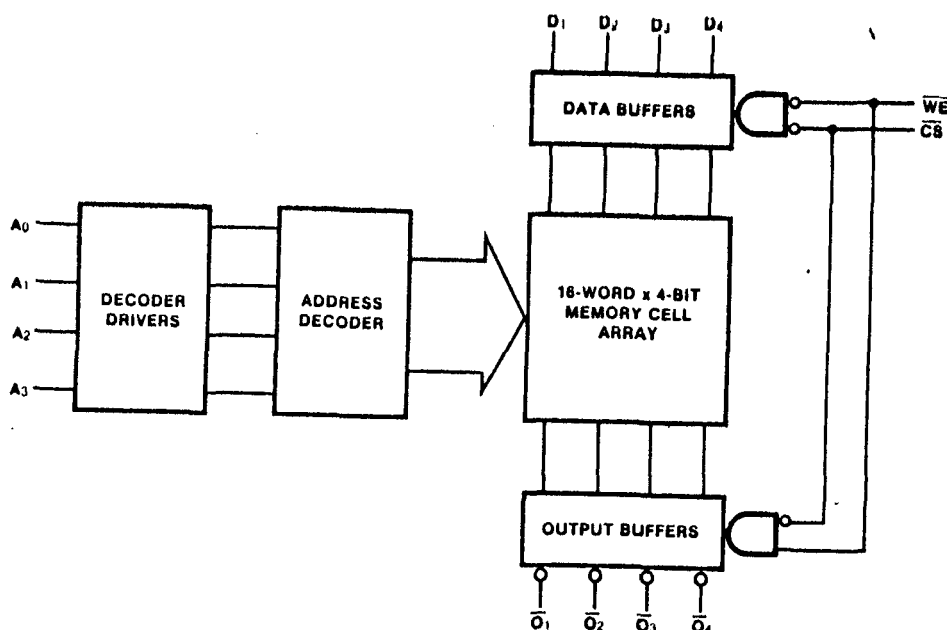


Fig. (2-3)

ma en bloques de este tipo de Memorias, con las distintas señales de entrada y salida.

El bus de salida de estas memorias es en colector abierto para permitir máxima flexibilidad en la conexión. En muchas aplicaciones tales como ampliación de memoria, pueden juntarse las salidas de muchos circuitos. En otras aplicaciones no se utiliza la OR alambrada. En cualquier caso debe utilizarse una resistencia externa conectada a +Vcc (pullup), de valor R_1 , para producir un alto en la salida cuando esté bloqueada. Puede utilizarse cualquier valor de R_1 dentro del margen especificado a continuación:

$$\frac{5.05}{16-F.O.(1.6)} \leq R_1 \leq \frac{2.1}{N(0.1)+F.O.(0.06)}$$

donde; R_1 esta en Koh.

N = número de salidas OR cableadas = 1

$F.O.$ = número de cargas TTL excitadas, este caso el MPX equivale a 1.

Sustituyendo los valores anteriores queda que R_1 debe estar comprendida entre:

$$0.35 \leq R_1 \leq 13.12 \quad \text{en Koh.}$$

El valor mínimo de R_1 está limitado por la capacidad de absorción de salida. El valor máximo está determinado por la corriente de fuga de salida y entrada (I_{cex} e I_r) que debe aplicarse para mantener la salida en 2,4V.

El valor elegido de R_1 es 4K7 típico para esta aplicación.

Tanto las entradas como las salidas están equipadas con Buffers para atenuar las cargas en los circuitos conectados Fig.(2-3).

La entrada de selección ($\overline{CS}$) de las dos memorias está conectada a masa, de esta forma la

memoria está constantemente leyendo o grabando datos, según el estado de la entrada ($\overline{W}/R$).

La entrada de la señal ($\overline{W}/R$) esta gobernada por un conjunto de puertas que forman la lógica de control del Analizador, cuando en esta entrada se presente un nivel bajo, todos los datos presentes en el Bus de entrada irán siendo grabados en la memoria al ritmo del Clock exterior y en las direcciones genera-

FORMAS DE ONDA

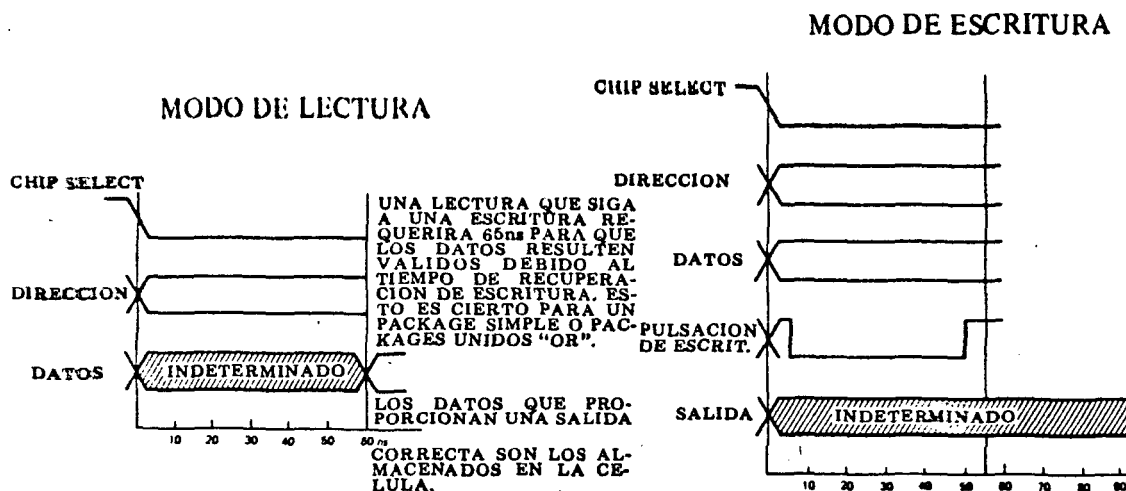


Fig. (2-4)

das por el contador A. Si se presenta un nivel alto, la memoria irá colocando en le Bus de salida los da tos contenidos en las direcciones generadas por el contador A, conectado en esta situación al Clock interno edl Analizador.

Todos estos pasos se pueden seguir en la fig. (2-4). Nótese que se produce una inversión de los datos en la salida como ya se comentó en la Unidad de Entrada, quedando el proceso nulo.

El tiempo de recuperación de escritura $T_{wr}=65ns$ no es problema en este caso, ya que se lee la memoria de forma continua.

Bus de
Datos
de los
Lachs

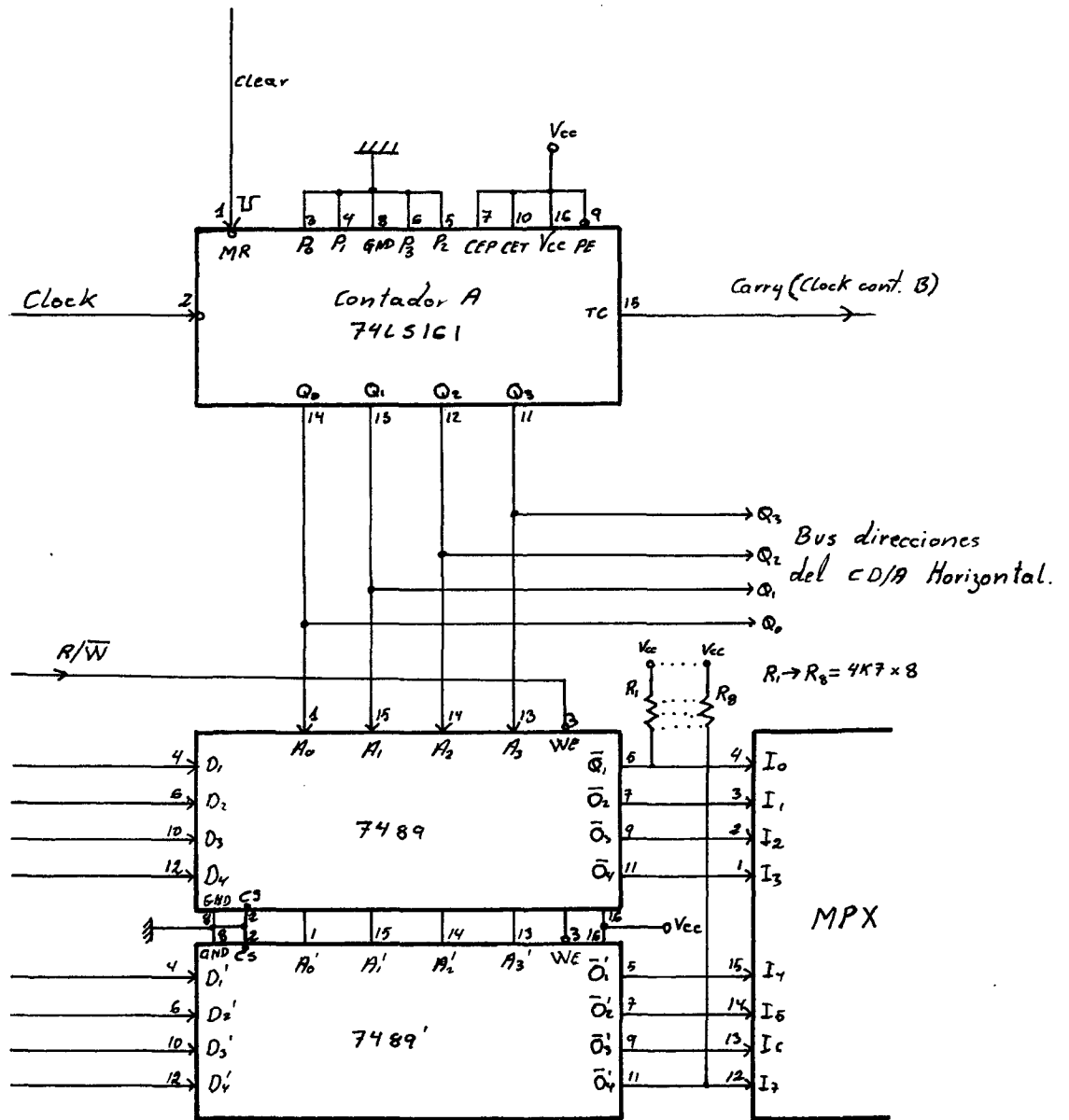


Fig. (2-5) - Conjunto Contador A + Memorias

4.4)- UNIDAD DE PRESENTACION

4.4.a) Introducción

La Unidad de Presentación, es la encargada del control y tratamiento de los datos procedentes de la Memoria para su correcta "presentación en la pantalla de Osciloscopio. Debido a las características de este Analizador, este bloque es el más complejo.

En esta Unidad los datos tendran que pasar de su formato paralelo a serie, empleando un Multiplexor (MPX) para que puedan ser interpretados por el Osciloscopio. Al funcionar el Analizador en dos distintos formatos "Diagrama de Tiempos" y "Diagrama de Estados", al Bus serie se le tendrá que sumar determinados niveles de continua o niveles de continua mas una señal sinusoidal, generada por el Oscilador en Cuadratura, para generar los "1" y "0" del Diagrama de Estados.

Los niveles de continua (producidos por un Conversor Digital Analógico) que se sumen al Bus serie, tendran que colocar los datos en la pantalla segun el formato de 16 columnas de 8 bits (1Byte) cada una. Estos datos deben de estar sincronizados para que aparezcan en el mismo orden (Byte a Byte) en que fueron grabados en la Memoria. Este sincronismo se debe conservar en los dos tipos de presentación.

Otra de las cualidades de este Analizador es que se puede programar el número de líneas que se presenta en la pantalla, con la ventaja de

que se pueden estudiar grupos de líneas aisladas.

En la Fig.(3-1) se observan los distintos bloques que forman esta Unidad.

En los siguientes apartados se irán estudiando cada uno de estos bloques.

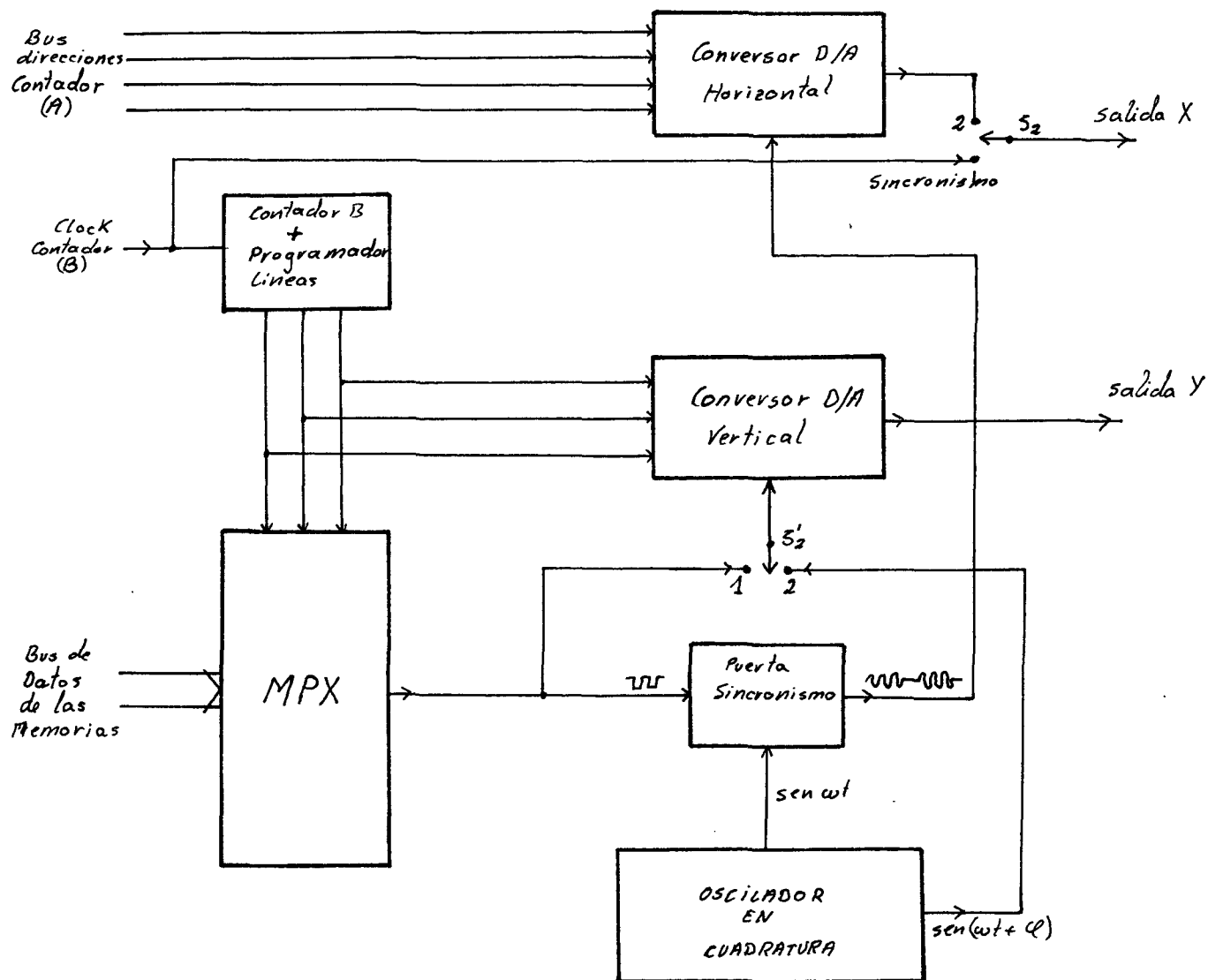


Fig.(3-1) Esquema en bloques de la Unidad de Presentación.

4.4)- UNIDAD DE PRESENTACION

.b) Multiplexado.

El circuito de multiplexado es el encargado de transformar la información de su formato paralelo a serie. Esta transformación se hace necesaria ya que los datos van a ser interpretados por un Osciloscopio que dispone de una entrada serie.

El componente básico de este bloque es el C.I.-74151, que es un Multiplexor de ocho entradas y salidas complementadas. El diagrama lógico de este circuito se puede ver en la fig.(3-2).

Para gobernar este Multiplexor son necesarias tres señales de control S_0, S_1, S_2 . Estas señales son generadas por el contador binario B, de idénticas características que el contador A. Al ser el modulo de este contador $M=16$, dispone de cuatro salidas $Q_A - Q_D$ (ver figura-3-3), por lo tanto en esta a-

LOGIC DIAGRAM

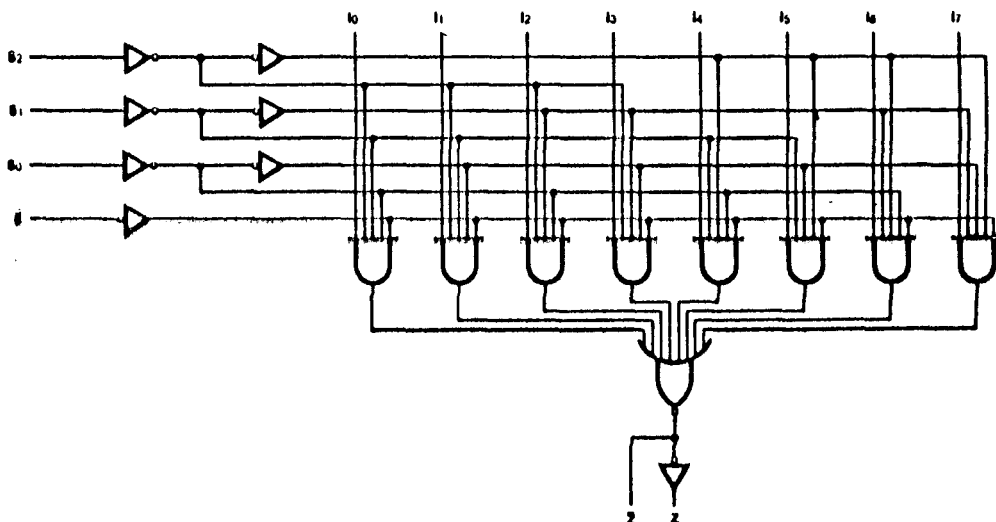


Fig.-(3-2)

símbolo lógico

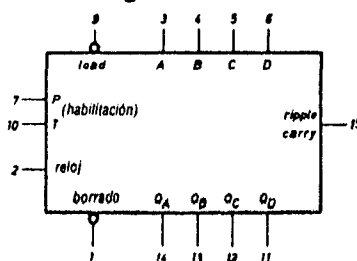


Fig.(3-3) Símbolo lógico del contador B - 74LS161

-plicación se tendrá que eliminar una de las salidas sin que quede afectada la cuenta. La salida que se elimina es la Q_D , salida de mayor peso, quedando el modulo del contador B $M=8$, que son las entradas del Multiplexor, La entrada de preselección(A) a +Vcc.

Las tres salidas del contador, son como se verá más adelante, las que a través del Convertidor Digital Analógico vertical, crean los pedestales de continua para las ocho líneas de datos.

La entrada del Multiplexor $\bar{E}$ (Estrobe) no se utiliza quedando conectada a +Vcc.

La entrada de Clock del contador es a través del pin 2 (CR) y recibe los pulsos de cuenta del contador A por medio de su salida de carry. Al ser el modulo del contador A $M=16$, la frecuencia del Clock en B será: $F_{cb}=16 \times F_{ca}$. El motivo de esta diferencia de frecuencia es para que los datos aparezcan en pantalla según líneas Horizontales y no verticales, porque si fuera así se tendría que producir un disparo de sincronismo para cada dato de la línea vertical (Byte). Al ser $F_{cb}=F_{ca} \times 16$ implica que se recorrerán todas las posiciones de memoria por el contador A, mientras que el contador B mantiene al MPX en la misma dirección; esto hace que por cada dato (Bit) en pantalla se lea una posición distinta de memoria. Cuando el contador A llega a su cuenta máxima (15), se produce el dis-

-paro de carry que hará que el contador B incremente su cuenta en uno, dando salida a través del MPX a una nueva línea de datos. Esta línea como todas irá acompañada del correspondiente nivel de continua generado por el Convertidor Digital Analógico vertical, controlado por el contador B.

La señal de Clock que llega al contador B está gobernada por la puerta AND-E, que solo dará paso al impulso de carry cuando se esté leyendo la memoria y por tanto presentando los datos en pantalla.

En el siguiente diagrama se observan los distintos pasos antes comentados.

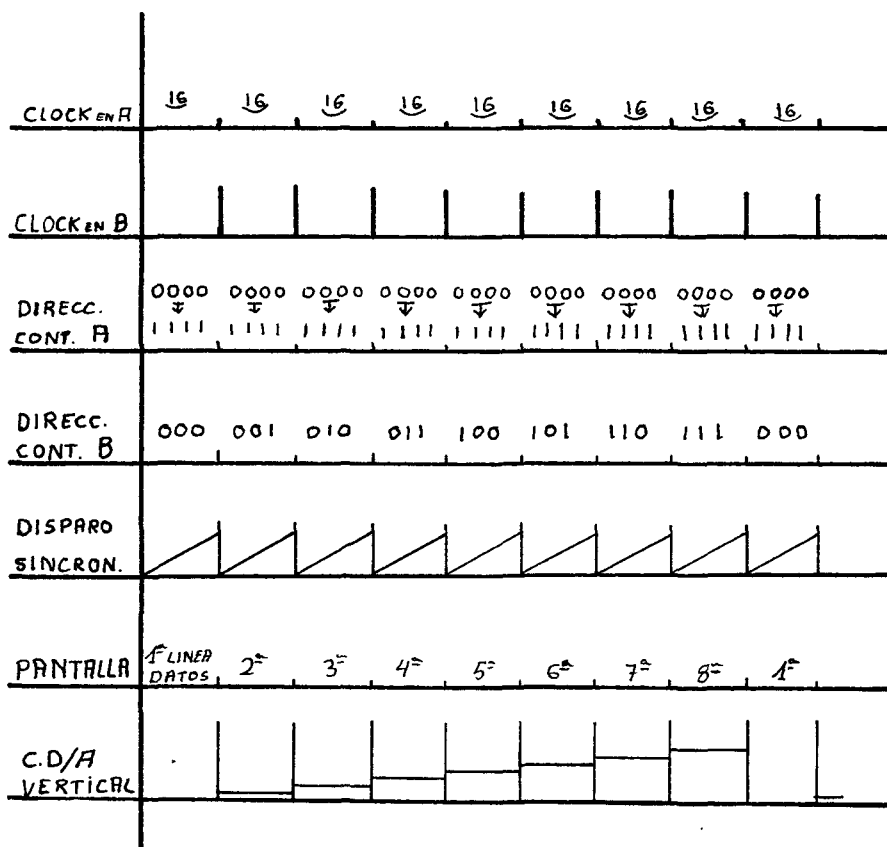


Fig.-(3-4)

La base de tiempos del Osciloscopio ha de ajustarse de forma que se produzca un disparo por cada 16 del clock interno del Analizador.

La sincronización de este contador, con el contador A que genera las direcciones de memoria es a través de la entrada de borrado pin(1) de ambos contadores. A esta entrada llega directamente la señal de disparo del Detector de Palabra, colocándose simultáneamente los dos contadores a cero.

En la figura (3-5) se observa la union entre el contador B y el Multiplexor.

4.4) - UNIDAD DE PRESENTACION

4.4.1) Programador de Lineas

Una de las características de este Analizador, es que se pueden programar el número de líneas que se presenta en pantalla. Para lograr esta característica se aprovecha la cualidad del 74LS161 (B) de que se puede preseleccionar el número de cuenta.

Por el símbolo lógico de este contador B Fig. (3-3), se observa que dispone de cuatro entradas de datos (A, B, C, D). Mediante estas entradas y un circuito lógico adicional, se podrá programar el proceso de cuenta del contador B que ataca al MPX., y por tanto controlar el número de líneas que aparece en pantalla.

El circuito lógico adicional unido al contador B, esta formado por dos inversores y un conmutador doble de cuatro posiciones. Dependiendo de la posición de este conmutador (s-4), se podrá variar el comienzo de la cuenta del contador de acuerdo con la tabla (2). Por esta tabla, se deduce que las entradas A y D (mayor y menor peso) están constantemente a "0" y a "1" respectivamente y las restantes entradas B y C son gobernadas por el conmutador s-4 a través de los dos inversores.

La salida de Carry de este contador B va conectada por medio de un inversor a la entrada de autorización de carga de preselección pin(9). La puerta inversora es necesaria ya que la entrada de preselección es en lógica negativa y la salida de carry en lógica positiva.

En la figura(3-5) se observa el conjunto formado por el contador, circuito lógico y el MPX.

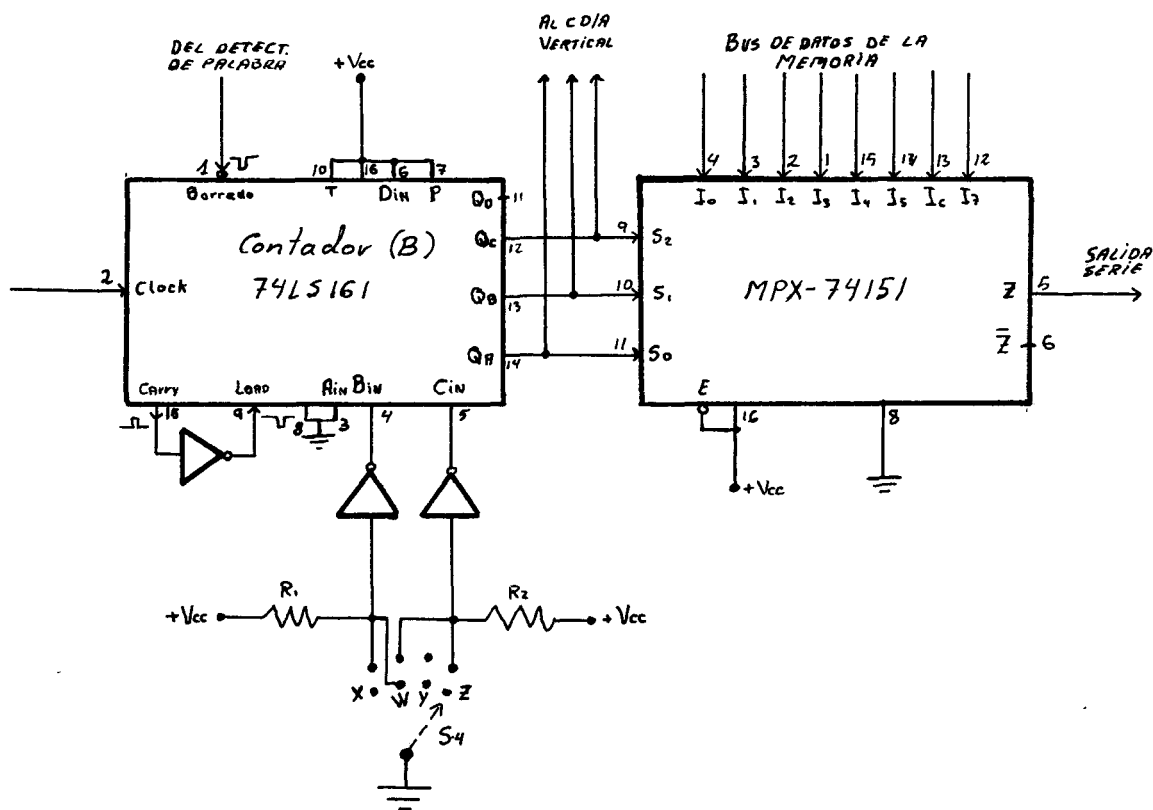


Fig.-(3-5) Contador B + Programador Líneas + Multiplexor

Posición S ₄	ENTRADAS PRESELECCIÓN				
	D	C	B	A	
X	1	1	0	0	solo cuatro líneas
W	1	0	0	0	Todas las líneas
Y	1	1	1	0	solo dos. líneas
Z	1	0	1	0	solo seis líneas
	Cte +Vcc		Cte masa		

Tabla (2)

Al describir el contador B, se dijo que el módulo de este debía ser $M=8$ y que para ello no se conectaba la salida Q_d , siendo las salidas Q_a, Q_b, Q_c las que controlaban el MPX. Esta medida sería suficiente si no se fueran a utilizar las entradas de preselección A,B C,D; por este motivo y para que se produzca un disparo de carry cada vez que en las salidas Q_a, Q_b, Q_c se presente "111", la entrada de preselección Din. esta a 1 cte. De esta forma la base minima de cuenta será "1000" Esta base puede ir ascendiendo de dos en dos según las posiciones del conmutador S-4.

En la posición (W) de s-4, la base será "1000" apareciendo en pantalla todas las líneas.

En la posición (Z) de s-4, la base será "4010" apareciendo en pantalla solo las líneas 2 a 7.

En la posición (X) de s-4, la base será "1100" apareciendo en pantalla solo las líneas de la 4 a 7.

En la posición (Y) de s-4, la base será "1110" apareciendo en pantalla solo las líneas 6 y 7.

4.4)- UNIDAD DE PRESENTACION

d) Conversores Digital/Analógico.

Para poder situar correctamente los datos en la pantalla del Osciloscopio, se necesita un circuito capaz de generar sus coordenadas verticales y horizontales. Estas coordenadas son generadas por los conversores Digital/Analógicos Vertical y Horizontal.

Estos conversores son gobernados por los con tadores A y B, que son respectivamente los que generan las direcciones de Memoria y del Multiplexor.

El conversor D/A horizontal es gobernado por el contador A, y solo entrará en funcionamiento cuando el Analizador este en la forma Diagramas de Estado. A la salida de este conversor se tendrán 16 niveles de continua de acuerdo las direcciones del contador A, es tos niveles situaran horizontalmente 16 datos en la - pantalla.

El contador B controla el conversor Vertical, que a partir de las direcciones de este generará 8 ni veles de continua que situarán las ocho líneas de dat tos en la pantalla. Como ya se ha comentado algunas de las líneas pueden ser suprimidas.

Los dos Conversores (Vertical y Horizontal) son basicamente iguales, diferenciandose en que el con versor horizontal dispone de una entrada de direccion es mas que el vertical. Ver fig.(4-1).

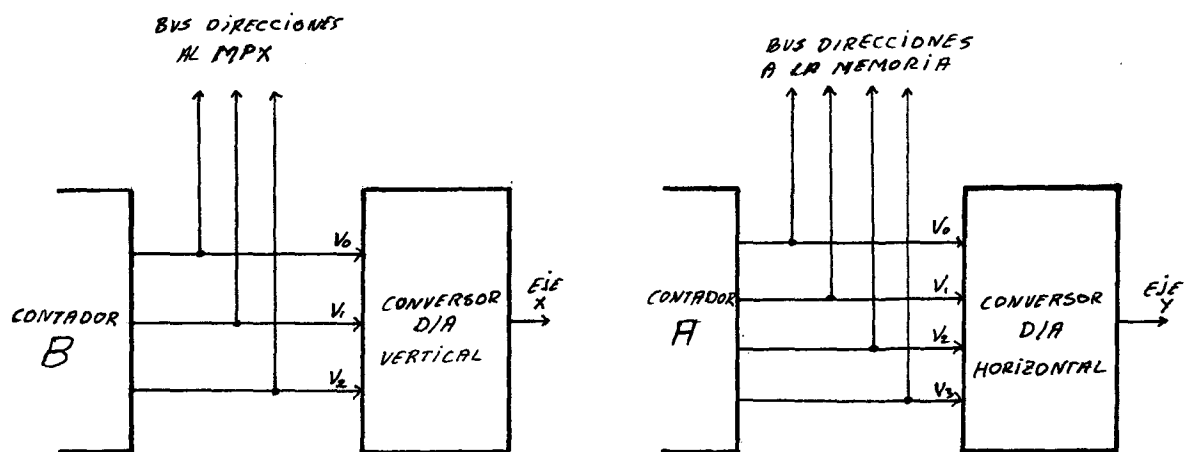


Fig.(4-1) Conexión entre los contadores y Conversores.

El tipo de Conversor elegido es el mas sencillo de todos: Conversor en Red de Resistencias, pero como se comentará mas adelante, este tipo de conversor va a resultar idóneo para esta aplicación específica, aún teniendo en cuenta sus limitaciones.

Al ser los dos conversores iguales, se hará un estudio general sobre este tipo de de conversores y las conclusiones finales se podrán aplicar indistintamente a uno u otro.

En la fig.(4-2) se observa una Red básica de un Conversor Digital/Analógico.

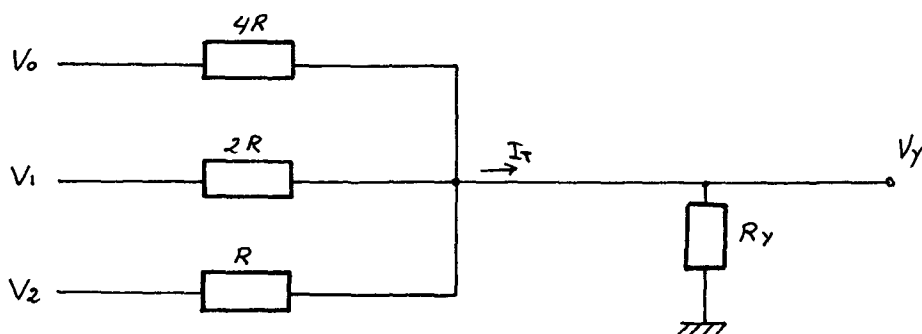


Fig.(4-2) Red básica de conversión.

Como los valores de continua a la salida, deben de estar en función del número binario de entrada, los

valores de las resistencias tienen que ir creciendo según las potencias de dos.

Todas las resistencias estan conectadas a un punto común "nudo". Este punto será la salida "X" o "Y" de los dos conversores.

El calculo de la (V) de salida es:

$$\frac{V_0}{4R} + \frac{V_1}{2R} + \frac{V_2}{R} = \frac{V_y}{R_y} \quad ; \quad \frac{1}{R} \left(\frac{V_0}{4} + \frac{V_1}{2} + V_2 \right) = \frac{V_y}{R_y}$$

$$V_y = \frac{R_y}{R} \left(\frac{V_0}{4} + \frac{V_1}{2} + V_2 \right) \quad \text{si } \frac{R_y}{R} = K \quad \text{queda:}$$

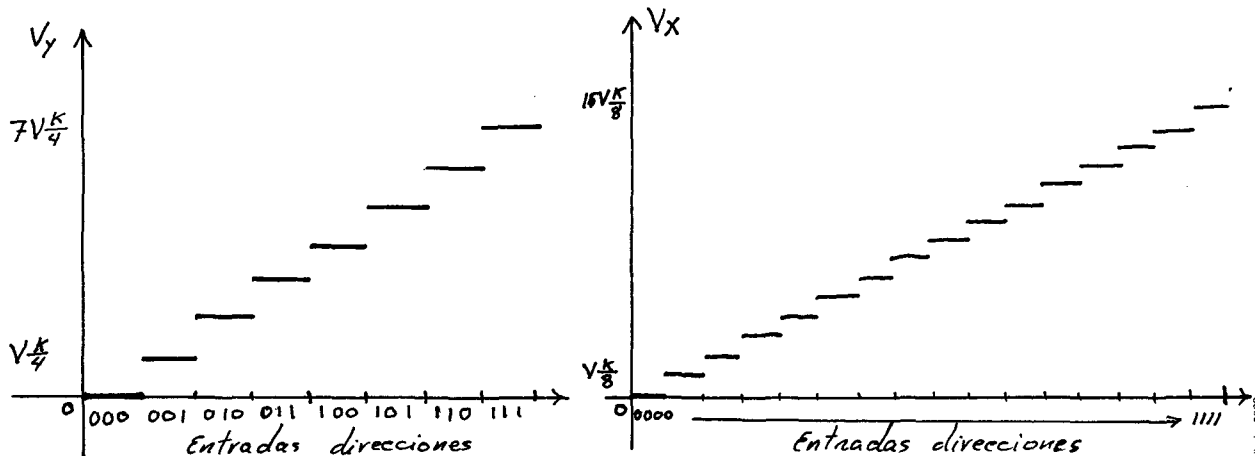
$$V_y = \frac{K}{4} \left(V_0 + 2V_1 + 4V_2 \right)$$

Como se observa por la expresión obtenida, el valor de la tensión de salida depende de la combinación de los valores de entrada. Si V_0 , V_1 , V_2 son los bits de pesos 2^0 , 2^1 , 2^2 , respectivamente, se tendrán los siguientes valores de (V) según la tabla(3-1).

Nº binario de entrada			Tensión analógica Equivalente	Tensión de salida
V_2	V_1	V_0	OPERACIONES	V. (Voltios)
0	0	0	$K/4(0+2 \times 0+4 \times 0)$	0 V.
0	0	1	$K/4(1+2 \times 0+4 \times 0)$	$K/4$ V.
0	1	0	$K/4(0+2 \times 1+4 \times 0)$	$2K/4$ V.
0	1	1	$K/4(1+2 \times 1+4 \times 0)$	$3K/4$ V.
1	0	0	$K/4(0+2 \times 0+4 \times 1)$	$4K/4$ V.
1	0	1	$K/4(1+2 \times 0+4 \times 1)$	$5K/4$ V.
1	1	0	$K/4(0+2 \times 1+4 \times 1)$	$6K/4$ V.
1	1	1	$K/4(1+2 \times 1+4 \times 1)$	$7K/4$ V.

Tabla(3-1)

La salida de los dos conversores será como se muestra en las siguientes figuras.



Este tipo de Conversor presenta una serie de in convenientes para aplicaciones de proposito general:

- a) Alta impedancia de salida.
- b) La señal de salida no es un multiplo exacto del valor digital de entrada, lo que hace que el conversor no tenga gran precisión.

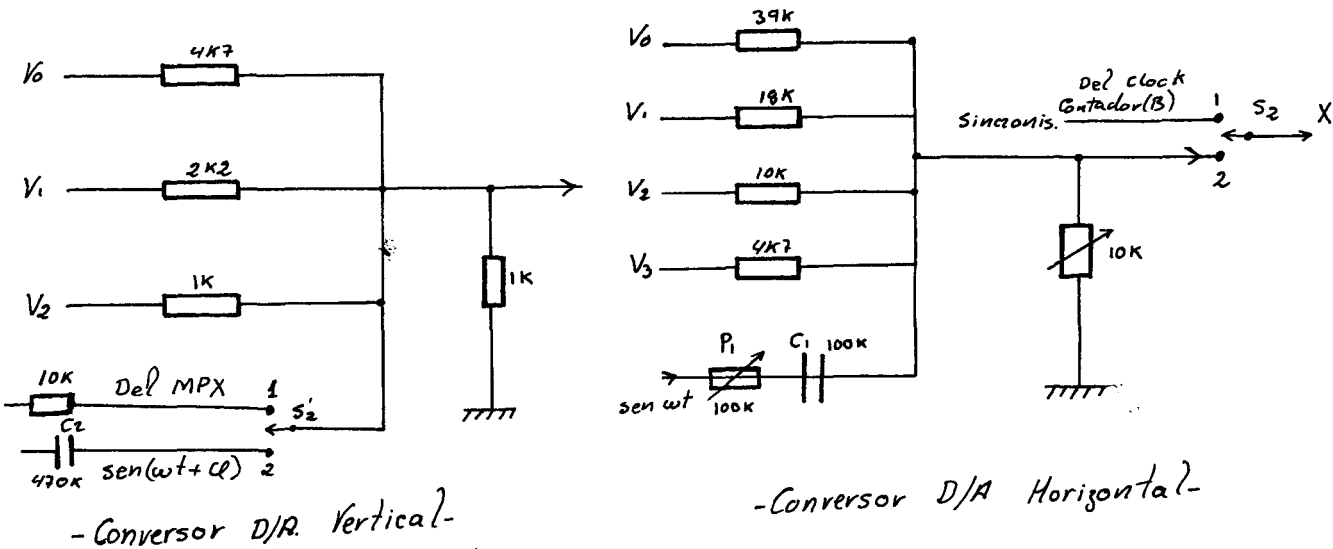
No obstante este sistema resulta idóneo para es ta aplicación, pues no se requiere gran precisión en la salida que sirve unicamente para fijar diversos pe destales de continua y por otra parte la salida de es te circuito se conecta directamente al Osciloscopio, aparato que presenta una gran impedancia de entrada, minimizandose los problemas de cargas y por tanto el efecto de la relativamente alta impedancia de salida de este conversor.

Debido al segundo inconveniente y a que no existen series comerciales de valores que permitan ajustar multiplos exactos en la red de resistencias, será preciso diseñar varias redes ponderadas aproximadas eligiendo entre todas ellas, la que ofrezca una separación entre filas (y columnas para Diagramas de Esatdo) lo mas equilibrado posible.

Practicamente se ha comprobado que los valores mas idoneos son:

Conversor D/A Vertical			Conversor D/A Horizontal		
V_0	-	4K7	V_0	-	39k
V_1	-	2K2	V_1	-	18K
V_2	-	1K	V_2	-	10K
			V_3	-	4K7

En la siguiente figura se observan los dos conversores, con las distintas entradas de datos.



En la figura anterior, se aprecia que a los dos conversores se le suman señales que no son de los buses de direcciones. Estas señales son respectivamente, los datos de salida del MPX y señales sinusoidales con ciertos defases, que van a hacer posible que en el modo Diagrama de Estados se puedan visualizar "1" y "0".

En el caso del Conversos Horizontal, cuya sa

-lida está controlada por el conmutador doble S_2 , la señal sinusoidal se le está sumando constantemente ya que este conversor solo actúa cuando se visualizan los datos en el modo Diagramas de Estado. En la posición 1 de S_2 , estaría el Analizador en el modo Diagramas de Tiempo y en este caso y por esta salida (X) se sincronizarían los datos con la señal de 6 Clock del contador B. En la posición 2 de S_2 , los datos se visualizarían en Diagramas de Estados, dando-se salida al conversor Horizontal. El nivel de la señal sinusoidal está controlado por el potenciómetro P_1 de 400K. El condensador C_1 se encarga de bloquear el posible nivel de continua que acompaña a la señal sinusoidal.

En el caso del Conversor Vertical la entrada suplementaria de señal está controlada por el otro circuito del conmutador S_2 . En la posición 1 - (D.T.) se da entrada a los datos del MPX a través de una resistencia de 10K, que actuará como divisor 1:10 junto con la resistencia de 1K. De esta forma se reduce el nivel de los datos a unos 3mV y se pueden visualizar dentro de las ocho líneas creadas por el conversor Vertical. En la posición 2 de S_2 (D.E.) se da entrada a la señal sinusoidal que llega directamente del oscilador. El condensador de 470K bloqueará la componente continua de esta señal.

4.4) - UNIDAD DE PRESENTACION

e) Presentación en Diagramas de Estado.

- e₁) Introducción
- e₂) Obtención de la cifra "0"
- e₃) Obtención de la cifra "1"
- e₄) Oscilador en cuadratura
- e₅) Puerta Sincronismo

e) Presentación en Diagramas de Estado

e, Introducción.

Una de las características más sobresalientes de este Analizador, es que mediante un conmutador (s-4) se pueden presentar los datos en Diagramas de Tiempo, como en un Osciloscopio normal o en Diagramas de Estado en el que los datos son presentados según su estado lógico (1-0).

Para presentar los datos en diagramas de tiempo, no se necesita ningún circuito complementario a los descritos hasta ahora. Los datos a la salida del MPX son enviados directamente a la entrada (Y) del Osciloscopio. Sumados a este Bus de datos serie irán unos niveles de continua generados por el Conversor D/A Vertical, que crearán las ocho líneas de datos. Estos datos serán sincronizados por el Clock interior del Analizador que llega al Osciloscopio a través de su entrada de sincronismo exterior (X).

El proceso para presentar los datos en Diagramas de Estados es más complejo que el anterior y se necesita para ello circuitos complementarios. Estos circuitos son como se puede ver el diagrama en bloques de la figura(5-1):

a) Un oscilador sinusoidal, que va a permitir basándose en la teoría de la Figuras de Lissajous, obtener "1" y "0" en la pantalla del Osciloscopio. Para ello el Osciloscopio tendrá que funcionar en su forma X-Y.

b) Una puerta de sincronismo, mediante la cual los "1" y "0" presentados serán equivalentes a los datos presentados en Diagramas de Tiempos.

En este tipo de presentación entrará en funcionamiento el Conversor D/A Horizontal que junto con el Vertical creará en la pantalla una matriz de $16 \times 8 = 128$ puntos. En cada punto se tendrá que presentar el estado lógico (1-0) del dato que se encuentren en esse momento a la salida del MPX/

En los siguientes apartados se estudiará como se obtienen "1" y "0" en la pantalla, la puerta de sincronismo y el Oscilador sinusoidal.

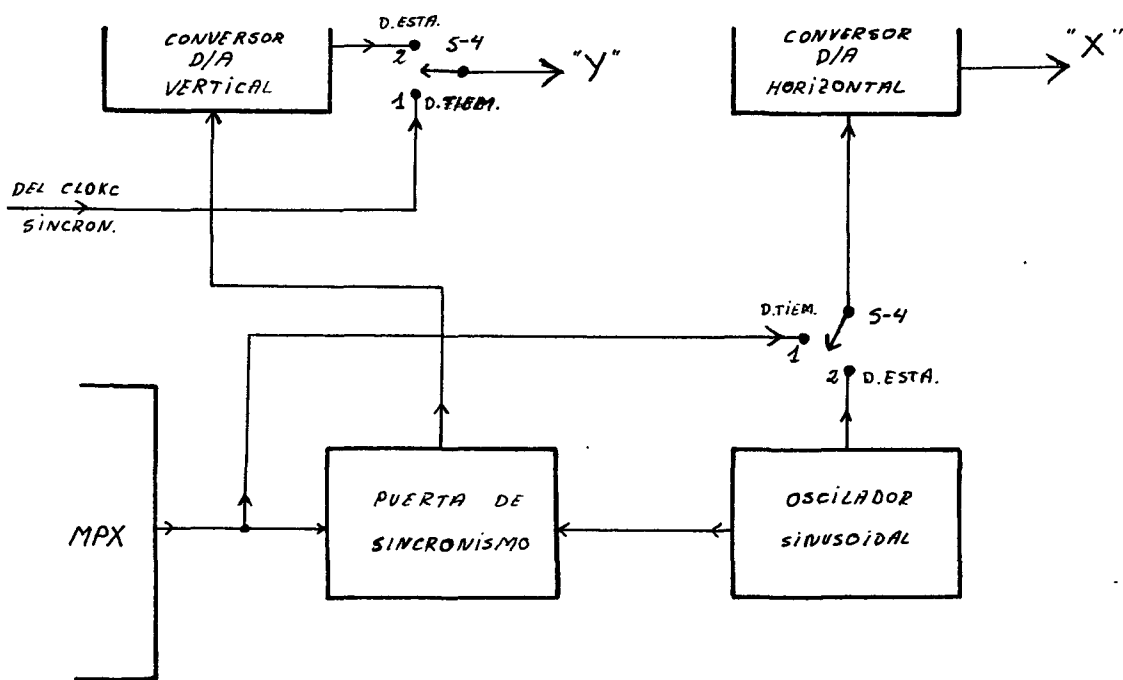


Fig. (5-1)

e) Presentación en Diagramas de Estado

e₂) Obtención de la cifra "1".

La representación de esta cifra es más fácil que la del cero. Para conseguir esta cifra en la pantalla del Osciloscopio se aplicará las siguientes tensiones a las placas de deflexión vertical y horizontal:

Placas deflexión vertical: $V_y = V_0 \sin \omega t$

Placas deflexión Horizontal: $V_x = 0$

La composición de ambas señales dará en la pantalla una recta vertical tal como se muestra en la figura(6-1), que constituye el dígito "1".

Si $V_x = V(\text{Cte})$, seguirá apareciendo el dígito "1" pero desplazado en su eje horizontal. La posición vertical es controlada por V_0 . De esta forma el dígito se podrá colocar en cualquiera de las 128 posiciones.

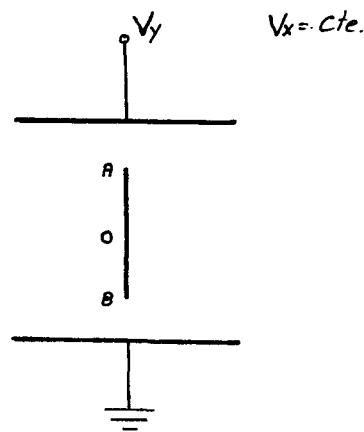
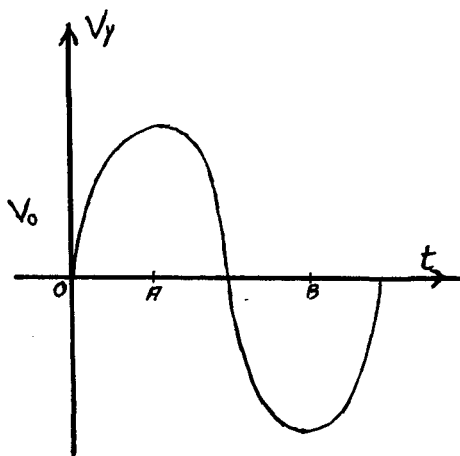


Fig. (6-1)

e) Presentación en Diagramas de Estados

e₃) Obtención de la cifra "0".

Para obtener esta cifra hay que basarse en la Teoría de la Figuras de Lissajous y se presentan tres casos:

Caso a) Si a las placas de deflexión se aplican las siguientes señales:

$$V_x = V_0 \operatorname{sen} \omega t$$

$$V_y = V_0 \operatorname{sen}(\omega t + \pi/2)$$

La composición de ambas señales dará una circunferencia, tal como se muestra en la fig.(7-1). Se ha obtenido la cifra "0".

Caso b) Si las señales V_x y V_y son de la forma:

$$V_x = V_1 \operatorname{sen} \omega t$$

$$V_y = V_2 \operatorname{sen}(\omega t + \pi/2)$$

En este caso las amplitudes máximas son distintas y la figura resultante también lo es, resultando una elipse de ejes coincidentes con los X-Y de la pantalla. Fig.(7-2)

Caso c) Si las señales V_x y V_y son de la forma:

$$V_x = V_1 \operatorname{sen} \omega t$$

$$V_y = V_2 \operatorname{sen}(\omega t + \theta)$$

En este caso, el desfase entre las dos señales no es $\pi/2$ y esto hace que la elipse aparezca representada en la pantalla, inclinada respecto al eje (Y). La inclinación viene dada por la expresión:

$$\text{sen } \theta = \frac{Y_{\text{corte}}}{Y_{\text{max.}}} \quad \text{Figura(7-3)}$$

La deducción de esta expresión es como sigue:

Las deflexiones en la pantalla de un Osciloscopio son proporcionales a las tensiones aplicadas, por tanto si D_x y D_y son las desviaciones horizontal y vertical:

$$D_x = KV_0 \text{sen} \omega t = D_0 \text{sen} \omega t$$

$$D_y = KV_0 \text{sen}(\omega t + \theta) = D_0 \text{sen}(\omega t + \theta)$$

$$\text{donde: } D_0 = KV_0 = \text{Deflexión máxima}$$

Por consiguiente se obtiene que en el instante $t=0$ la desviación será:

$$D_x = 0 \quad ; \quad D_y = D_0 \text{sen } \theta$$

Es decir, para una deflexión nula según el eje (X), la deflexión según el eje (Y) se iguala a la deflexión máxima D_0 multiplicada por $\text{sen } \theta$.

Por tanto las ordenadas Y serán:

$$Y_{\text{corte}} = Y_{\text{max.}} \text{sen } \theta \implies \text{sen } \theta = \frac{Y_{\text{corte}}}{Y_{\text{max.}}}$$

x-x-x-x

De los tres casos estudiados para la obtención de la cifra cero, el tercero es el que se da en el Analizador. Ello es debido a que se emplea como ge

-nerador de señales sinusoidales un Oscilador en Cuadratura, cuya red defasadora como se verá en el siguiente apartado, solo está compuesta por tres secciones RC, por lo que el desfase originado es de 60° . Como se ha dicho esto hará que la cifra cero aparezca inclinada respecto al eje (Y), pero este hecho no hará que se produzca una mala interpretación de los datos, ya que la elipse aunque inclinada es perfectamente diferenciable del dígito "1".

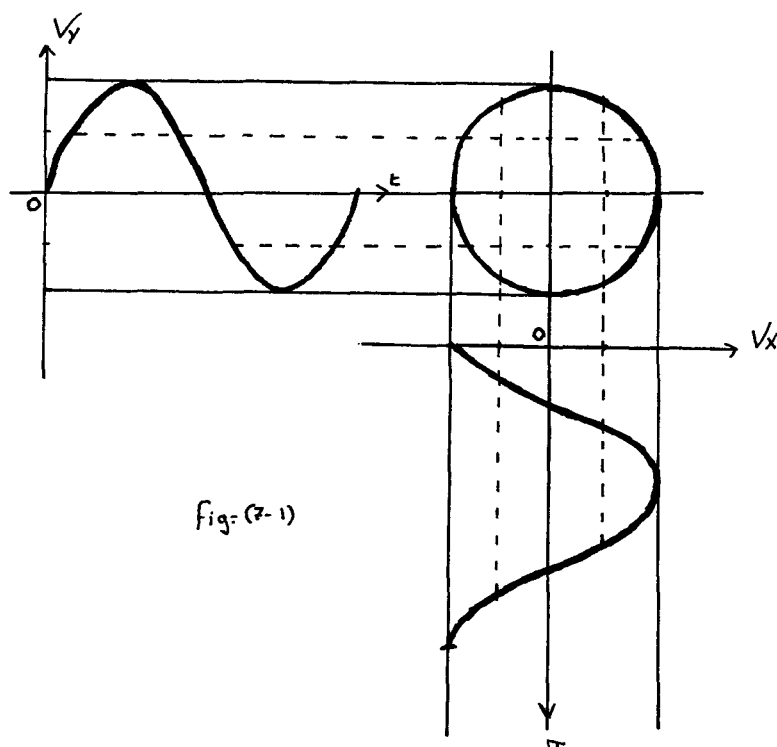


Fig. (7-1)

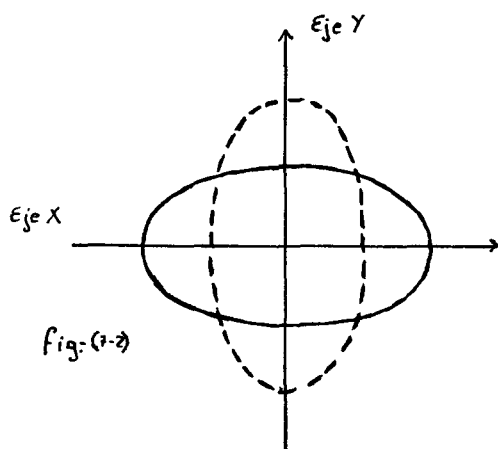


Fig. (7-2)

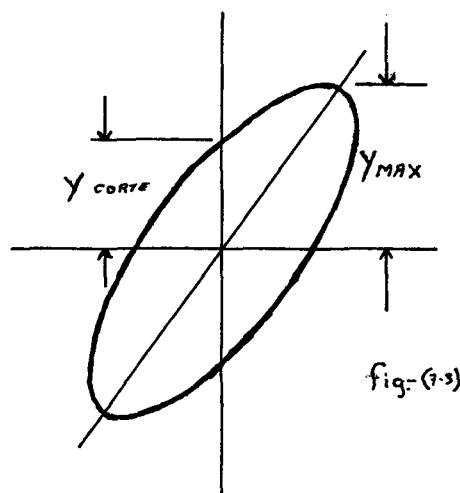


Fig. (7-3)

e) Presentación en Diagramas de Estado.

e₄) Oscilador en Cuadratura.

En el apartado anterior se hizo un pequeño estudio de como es posible generar "1" y "0" en la pantalla del Osciloscopio. Se vió que para ello es necesario emplear señales sinusoidales y concretamente para generar el "0", dos señales desfasadas alrededor de los 90°.

Por lo anterior-mente expuesto, se deduce que se necesita un circuito oscilador sinusoidal capaz de generar dos señales desfasadas unos 90°. El circuito en cuestión es un "Oscilador en Cuadratura".

Este tipo de oscilador se basa en el Criterio de Berkhausen, el cual se enuncia: "La frecuencia a la cual funciona un oscilador sinusoidal, está determinada por la condición de que el cambio de fase del lazo de realimentación sea cero, o múltiplo de 2".

Analizando el circuito de la siguiente figura se deduce que si el desfase entre V_2 y V_3 es la red A, por el criterio antes mencionado, deberá desfasear también 180° para obtener un oscilador sinusoidal.

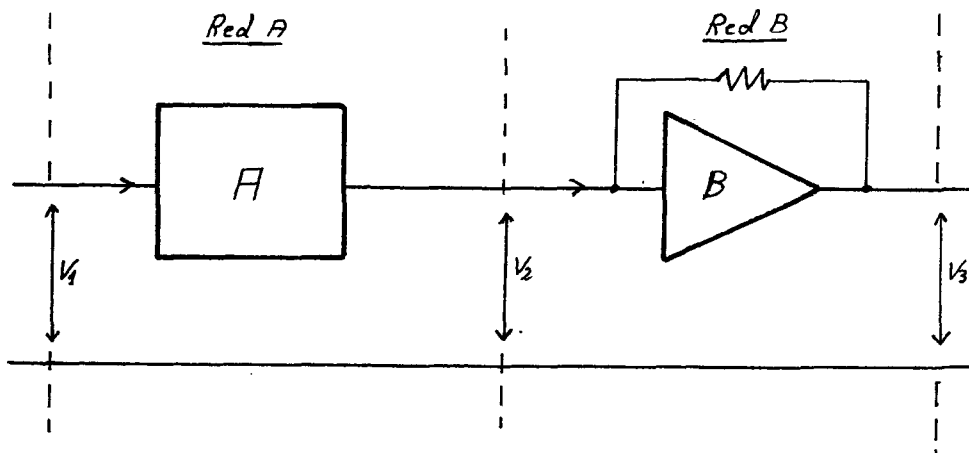


fig: (8-1)

En la figura (8-2) se observa el esquema del oscilador empleado en el Analizador. Se puede ver que como red cambiadora de fase, se han empleado tres secciones RC, ya que el desfase que produce cada sección no puede llegar a los 90 grados. Por lo tanto el desfase producido por cada sección es de $180/3=60$ grados. El motivo de no emplear cuatro secciones RC y de esa forma poder conseguir un desfase de 90 grados en dos secciones contiguas, es porque la atenuación producida por la nueva sección podría hacer peligrar las oscilaciones del circuito. Por lo tanto al no haber problemas de interpretación de datos, debido a los solo 60 grados de desfase, se ha optado por solo tres secciones RC.

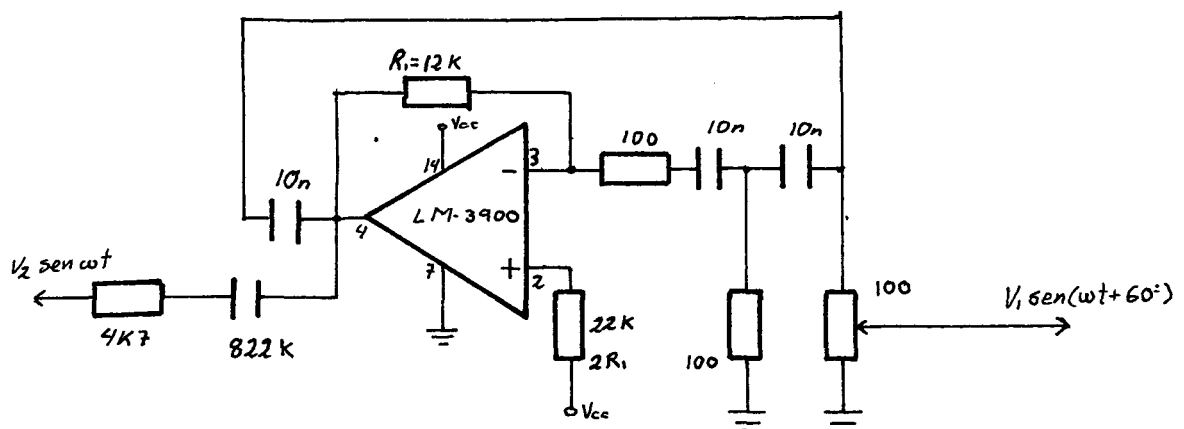


Fig. (8-2) Oscilador en Cuadratura.

La frecuencia a la cual la red desfasa 180° viene dada por la expresión:

$$F = \frac{1}{2\pi RC \sqrt{6}}$$

A esta frecuencia es la única a la que el circuito oscilará, supuesto que el módulo de la ganancia sea lo suficientemente grande, cumpliéndose que:

$$B = \frac{V_2}{V_1} = - \frac{1}{29}$$

Como el elemento amplificador elegido es un operacional, se supone su resistencia de salida nula y su resistencia de entrada R , de forma que la última resistencia de la red A, es la resistencia del circuito operacional B. Como la condición para que las oscilaciones se automantengan es que la ganancia total del bucle sea mayor que 1, para lo cual será necesario que:

$$\frac{R_1}{R} \geq 29$$

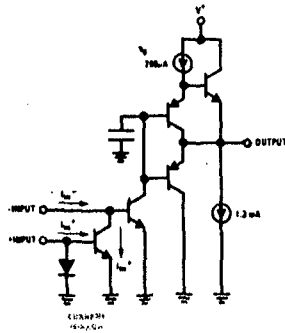
Donde R_1 = Resistencia de realimentación.

La frecuencia a la que ha de funcionar este oscilador se determinará cuando se haga la del Clock interno del Analizador, ya que ambas están relacionadas.

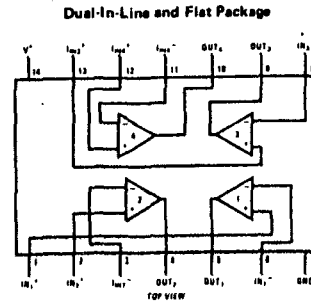
El operacional elegido es un Amplificador Norton, encapsulado en grupos de cuatro en la pastilla de referencia LM-3900. Este amplificador cumple todas las condiciones antes comentadas, con la gran ventaja que solo necesita una alimentación única positiva, que puede ir de los 4 voltios a los 30, siendo totalmente compatible con la alimentación de +5 Vcc empleada en el Analizador. Las demás características de este Amplificador se pueden ver en la siguiente página.

Dentro de esta sección se ha visto hasta el momento como se generan "1" y "0" y el circuito necesario para ello. Pero tiene que haber un circuito que controlado por los datos de salida del MPX, sea capaz de interpretarlos y a la vez controlar la señal sinusoidal que llega al Conversor D/A Horizontal. Este circuito es el denominado "Puerta de Sincronismo".

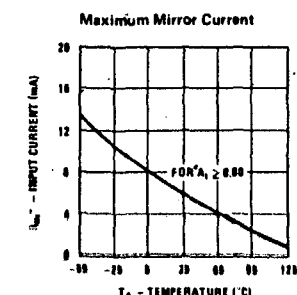
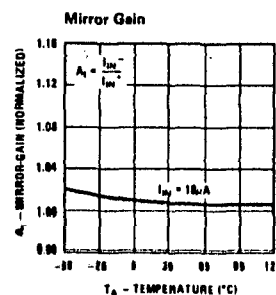
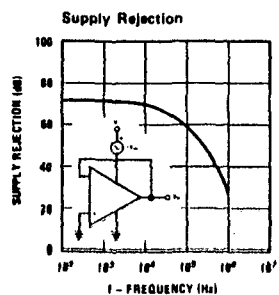
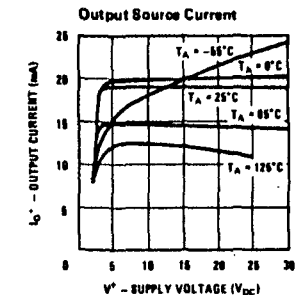
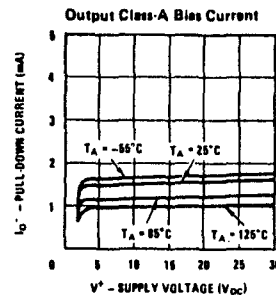
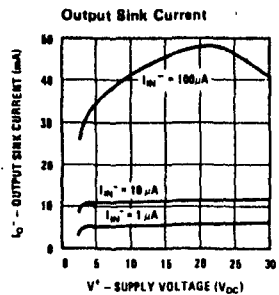
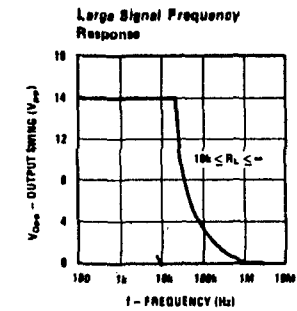
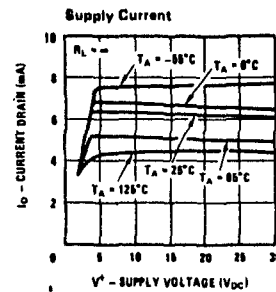
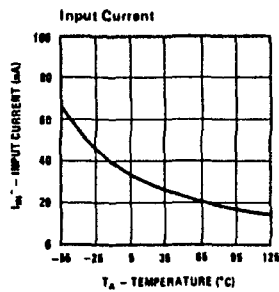
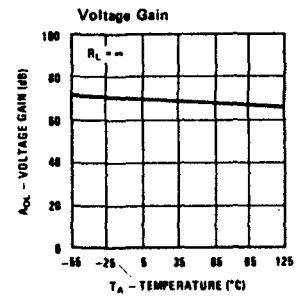
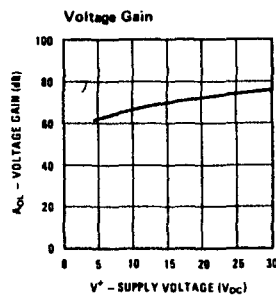
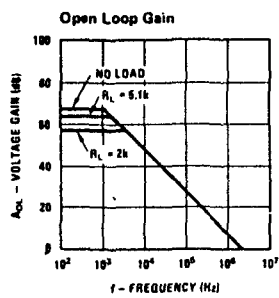
Schematic and Connection Diagrams



Order Number LM2900J
See NS Package J14A
Order Number LM2900N,
LM3900N, LM3301N
or LM3401N
See NS Package N14A



Typical Performance Characteristics

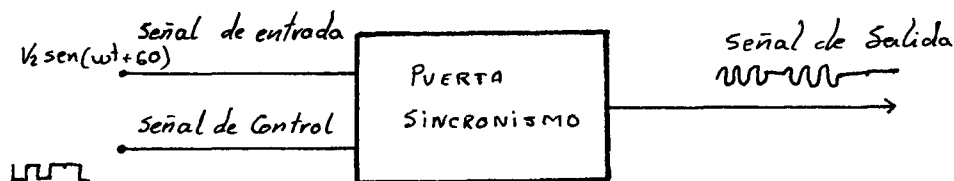


e) Presentación en Diagramas de Estado.

e₅) Puerta Sincronismo.

Este circuito es el encargado de "codificar" según los datos del MPX, la señal sinusoidal que llega al Converso D/A Horizontal. Solo se controla la señal que llega a este conversor, porque la señal sinusoidal que llega directamente al Conversor Vertical, es la encargada de generar los "1", en ausencia de señal sinusoidal en el Conversor Horizontal. Según se ha comentado en apartados anteriores estas señales si nusoidales están desfasadas 60°.

En la siguiente figura se observa el esquema en bloque del circuito, con las señales de entrada y la forma de onda que debe tener la salida.



A la vista de las condiciones de la señal de salida, el circuito en cuestión debe funcionar como un interruptor, de forma que cuando haya un nivel alto en la entrada (A), se bloquee la señal sinusoidal de salida y cuando se presente un nivel bajo de salida a la señal sinusoidal.

Esta función la puede realizar perfectamente un transistor de conmutación, montado como in-

-dica la figura(9-1). En esta figura se observan los distintos componentes que forman este circuito. Los dos condensadores C_1 y C_2 , bloquean la componente continua que pudiera acompañar a la señal sinusoidal tanto a la entrada como a la salida. La resistencia limitadora de la corriente de base R_b , ha sido elegida de forma que cuando se presente un nivel alto, se asegure la saturación del transistor, y se bloquee la señal sinusoidal. Cuando en la base se presenta un nivel bajo, el transistor entra en la zona de corte permitiendo la salida de la señal sinusoidal.

El transistor elegido es el 2N-3904 de Silicio que puede llegar a trabajar en frecuencias superiores a los 200 Mhz.

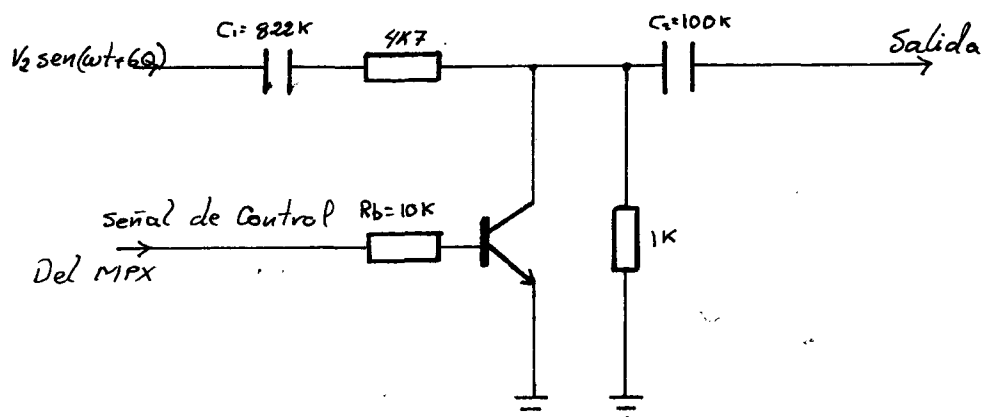


Fig-(9-1) : Puerta Sincronismo

4.5) CLOCK

El Analizador dispone de un Clock interno que gobierna la frecuencia de barrido de la Memoria y por tanto de la presentación de los datos en la pantalla del Osciloscopio. Este reloj entra en funcionamiento sólo cuando se activa la Memoria para ser leída.

Para determinar la frecuencia a la que debe funcionar el Clock, hay que tener en cuenta como se presentan los datos en la pantalla. Según se vió en la sección "Unidad de Presentación", por cada ciclo de clock aparece en pantalla un dato, siendo necesario 16 ciclos para completar una línea. Al ser 8 líneas se tendrá $16 \times 8 = 128$ ciclos de clock para presentar todos los datos en la pantalla.

Para evitar parpadeos de los datos en la pantalla, cada uno se ha de repetir unas 100 veces por segundo, aunque esto depende de la calidad de la pantalla. Por lo tanto queda una frecuencia mínima del Clock de:

$$f = 128 \times 100 = 12800 \text{ Hz.}$$

En la siguiente figura(10-1) se observa el circuito del clock, con sus distintos componentes.

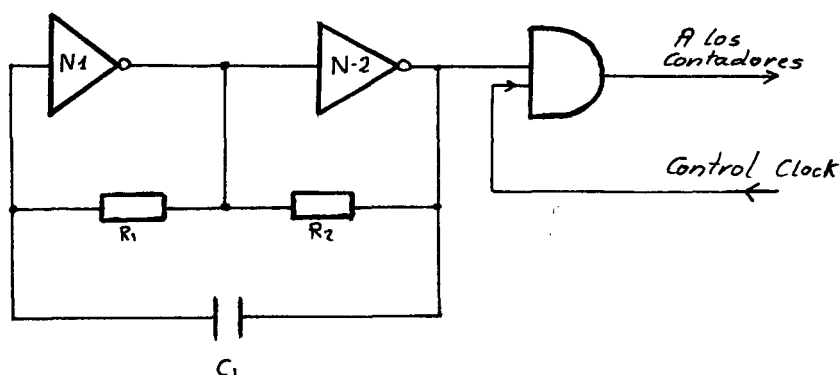


Fig. (10-1)

Está formado por dos puertas inversoras y una red RC, que será la que determine la frecuencia de oscilación. Las resistencias R_1 y R_2 que deben ser iguales, constituyen el ajuste grueso y el condensador C_1 el ajuste fino del oscilador.

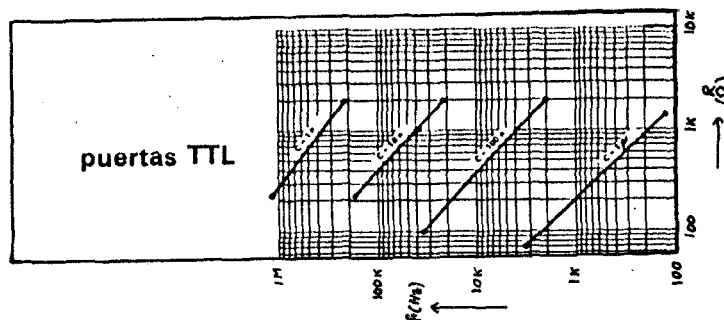


Fig.- (4-2) Graficas puertas TTL

Los valores de las resistencias y del condensador han sido determinados a través de la gráfica de la figura (4-2). Para una frecuencia aproximada de 13 KHz, salen los siguientes valores:

$$R_1 = R_2 = 1\text{Koh.} \quad C_1 = 10 \text{ nF.}$$

En el calculo de la frecuencia del Oscilador en Cuadratura, hay que tener en cuenta que por cada ciclo de Clock, se presenta un dato a la salida del MPX que controla la Puerta de Sincronismo. Por lo tanto por cada ciclo de Clock, la frecuencia del Oscilador en Cuadratura, ha de ser lo suficientemente elevada como para que en cada ciclo se pueda visualizar un "1" o un "0" con nitidez.

En principio la frecuencia del Oscilador será 10 veces superior a la del Clock, pudiendose variar esta frecuencia, variando, alguna resistencia de la red desfadora, para adaptarse a las características de la

pantalla del Osciloscopio.

Por lo tanto queda una frecuencia del Oscilador en Cuadratura igual a:

$$\underline{F_{oc}} = 10 \times 13 = \underline{130 \text{ Khz}}$$

4.6) LOGICA DE CONTROL

La logica de control es la encargada de controlar y coordinar los distintos bloques que forman el Analizador Lógico. Esta formada por ocho puertas AND, cuatro OR, dos inversores (2/6-7414), el conmutador S_1 , que selecciona la forma en que serán grabados los datos en Memoria (Antes del disparo - Despues del disparo) y como elemento principal el Flip-Flop FF1, que a partir del disparo gobierna la memoria, el clock interno y el acceso del clock exterior al Analizador.

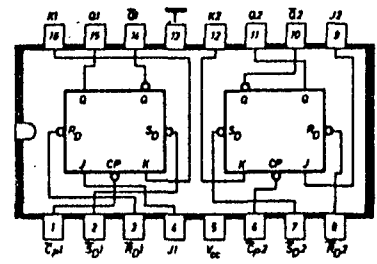
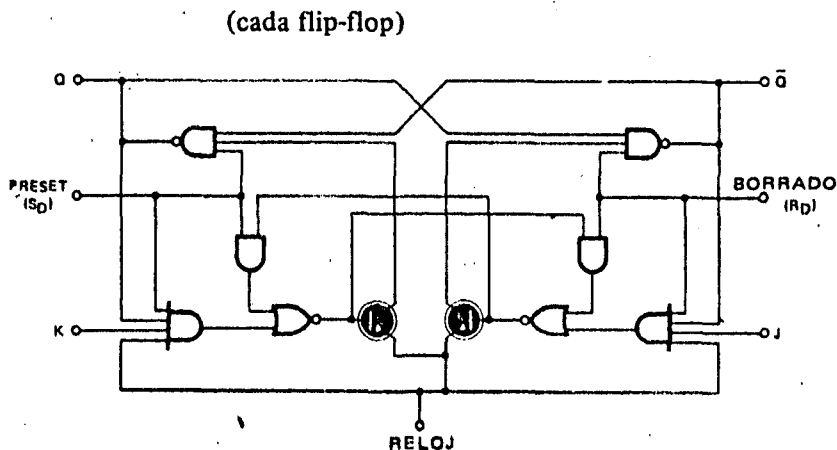
Dentro de la Lógica de control, no se ha considerado el conmutador S_2 , que selecciona la forma de presentación de los datos y el Flip-Flop FF-2, que solo actua para exitar el LED indicador de disparo.

Los dos Flip-Flop, estan integrados en una misma pastilla de referencia 74H76. Son Flip-Flop J-K maestro-auxiliar sincronos, que disponen de entradas separadas asincronas de borrado $\overline{RD}$ y puesta a uno $\overline{SD}$, Los dos Flip-Flop trabajan como si fueran tipo T, utilizando las entradas asincronas $\overline{RD}$ y $\overline{SD}$. Las dos entradas J-K, quedan conectadas a +Vcc. Se ha elegido la versión 'H76 porque el retardo de propagación de $\overline{RD}$ o $\overline{SD}$ a Q o $\overline{Q}$, es el minimo 12ns.

En la figura(0-3) se puede ver el diagrama lógico y electrico de este Flip-Flop.

A continuación se explicará el funcionamiento de la lógica de control, dividiendose en dos apartados, según la posición del conmutador S_1 .

Diagrama lógico



Lógica positiva:
 Entr. BAJA para preset de Q a nivel ALTO
 Entr. BAJA para clear de Q a nivel BAJO
 El reset y borrado son independientes del reloj

Fig.-(10-3) Diagrama lógico y Chip del 74H76

a) Análisis según la posición 1 de S₁. (A.D.)

En esta posición de S₁, los datos están siendo constantemente grabados en memoria, hasta que se produzca la palabra de disparo.

Debido a la posición de S₁, las puertas H, I, A, están bloqueadas y las D y B habilitadas. Los dos Flip-Flop FF1 y FF2, quedan en un estado indeterminado al conectar el Analizador, por lo que se tendrá que pulsar el reset PR₁, para que la salida Q=0 y $\bar{Q}=1$. A la salida de la puerta F hay un nivel bajo, por lo que el clock interno está bloqueado, la memoria grabando datos, ya que el clock externo llega al contador A a través de las puertas C y D. El contador B está bloqueado por la puerta E, de esta forma mientras se están grabando datos en la memoria, la unidad de presentación queda inactiva. Supongamos que se produce la palabra de disparo, esto hará que se disparen los dos Flip-Flop y que los dos contadores se pongan a cero. Al cambiar de estado los dos Flip-Flop, se excitará el LED indicador de disparo por un lado y por otro a través de F se activa el clock interno, la memoria lee los datos grabados y el clock exterior queda bloqueado

por la puerta C. La puerta E queda habilitada y da paso a la señal de clock del contador B.

Al producirse el disparo, automáticamente se visualisan los datos contenidos en memoria, según el formato en el que este el conmutador S_2 .

B) Análisis según la posición 2 de S_2 . (D.D.)

En esta posición de S_1 , los datos son grabados en memoris a partir de la palabra de disparo.

Debido a la posición de S_1 , la puerta B que da bloqueada y la C a través de J, H, I, A, habilita-
da. Los dos Flip-Flop despues de haber sido reseteados con su sali $Q=0$ y $\bar{Q}=1$. A través de A, se da salida al nivel alto de $\bar{Q}$, que acciona el clock interno y la memoria lee sus datos. El clock exterior tiene su entrada bloqueada por la puerta C. En esta situación se permanece hasta que se produsca la palabra de disparo. Al producirse esta los dos contadores se ponen a cero, e los Flip-Flop cambian de estado, dándose acceso al el clock exterior a través de D, el clock interior ha que dado bloqueado, la memoria comienza a grabar datos al ritmo del clock exterior. Al llegar el contador A a la dirección "1111" se produce un impulso de carry, que a través de L, I y N pondra al Flip-Flop FF-1 en su estado inicial, pasandose automáticamente a visualizar los datos grabados despues del disparo.

Los distintos pasos comentados, se pueden seguir a través del Esquema en Bloques del Analizador plano N°-1.

4.7) FUENTE DE ALIMENTACION

Para la alimentación del Analizador Lógico, se necesita una fuente con las siguientes características:

$$V_{cc} = 5 \text{ v} \qquad I_{out} = 1.2 \text{ Amp.}$$

Esta fuente ha de estar protegida contra cortocircuitos y conservar la tensión de salida estable en todo momento.

El elemento regulador elegida es el integrado 7805-CT, capaz de satisfacer las exigencias anteriores. Este circuito es capaz de soportar variaciones de tensión a su entrada, que van de los 7 a los 25 v. entregando a su salida 5v. constantes.

El transformador ha utilizar deberá ser capaz de entregar en su secundario, una tensión de 9 v. eficaces a una corriente de 2 Amp.

El puente rectificador elegido es el KLB 02, capaz de soportar una corriente de 4 Amp. Este puente puede ser sustituido por cuatro diodos tipo 1N5401.

Como filtros de la fuente se utilizan dos condensadores C_1 y C_2 . C_1 se utiliza para filtrar la tensión de entrada y C_2 para eliminar las perturbaciones de alta frecuencia que pudieran afectar los circuitos del Analizador. Como elemento de filtro se utiliza también la resistencia R_1 .

Dada la corriente que tiene que entregar el 7805-CT, este debe ir equipado con un radiador, que en función de la corriente de salida, es del tipo IERC HP3.

A la fuente se la ha dotado, de un LED, que in
dica el perfecto funcionamiento de esta.

El esquema electrico de la fuente se puede ver
en el plano N° 5.

5 - CARACTERÍSTICAS TÉCNICAS

- a) Máxima entrada de datos; 8 M. de Bytes/segundo.
- b) Frecuencia del Clock interno: $F_c \approx 13 \text{ KHz}$.
- c) Frecuencia multiplexado de datos: $F_m = F_c/8$.
- d) Frecuencia Oscilador Sinusoidal: $F_{os} \approx 130 \text{ KHz}$.
- e) Desfase señales sinusoidales: 60 grados.
- f) Tensiones entre líneas/filas Convertidores D/A: $V \approx 250 \text{ mV}$.

6) - LISTA DE COMPONENTES

UNIDAD DE ENTRADA + DETECTOR DE PALABRAS

2 - 74LS14	Inversor trigger Schmitt
2 - 74175	Latch
1 - 74s30	Puerta NAND 8 entradas
8 - Resistencias	4K7 - 1/4 W
8 - Conmutadores	1 circuito - 3 posiciones

UNIDAD DE MEMORIA

2 - 7489	Memorias RAM
1 - 74LS161	Contador
8 - Resistencias	4K7 - 1/4 W

UNIDAD DE PRESENTACION

1 - 74151	Multiplexor
1 - 74161	Contador
2/6 - 7404	Inversores
1 - LM-3900	Operacional
1 - 2N-3904	Transistor conmutación
7 - Resistencia	1K - 1/4 W
2 - "	100 oh- 1/4 W
1 - "	2K2 - 1/4 W
3 - "	4K7 - 1/4 W
3 - "	10K - 1/4 W
1 - "	12K - 1/4 W
1 - "	22K - 1/4 W
1 - Conmutador	1 circuito - 4 posiciones

1 - Resistencia	18K	-	1/4 W
1 - "	39K	-	1/4 W
2 - Condensadores	100K	-	Cêramicos
3 - "	10n	-	Ceramicos
1 - "	473K	-	Poliester
1 - "	822K	-	"
1 - Potenciometro	100K	-	Lineal
2 - "	10K	-	"
1 - "	100oh.-	-	"

CLOCK + LOGICA DE CONTROL

1 - 74LS04	Inversores
1 - 74LS32	Puertas OR
2 - 74LS08	Puertas AND
1 - 74H76	Dos biestables J-K
2/6 - 74LS14	Inversores trigger Schmitt
3 - Resistencias	1K - 1/4 W
3 - "	1K - 1/2 W
1 - Condensador	100K - Disco
1 - LED	Indicador de Disparo
1 - Pulsador(Reset)	Doble circuito
1 - Conmutador	1 circuito - 2 posiciones
1 - "	2 circuitos- 2 posiciones
1 - Pulsador(Disparo)	Miniatura
1 - Conmutador(Clock E.)	1 circuito - 2 posiciones

FUENTE ALIMENTACION

1 - Transformador	Secundario 0 Vot.- 2A DC
1 - Puente rectificacador	3 Amperios
1 - Condensador	4700 nF/25 V. Electrolitico
1 - 7805 CT	Regulador 5V.
1 - Resistencia	4k7 - 1/4 W
1 - Condensador	.1nF - 30 V.
1 - Resistencia	1K - 1/2 W
1 - LED	Indicador ON.
1 - Interruptor	ON/OFF - 250 V./2A.

7) - ESTUDIO ECONOMICO

El estudio económico esta basado en el precio actual del mercado en nuestras islas. Los precios debido a la insularidad y al abuso de algunos comerciantes, son bastante superiores al real.

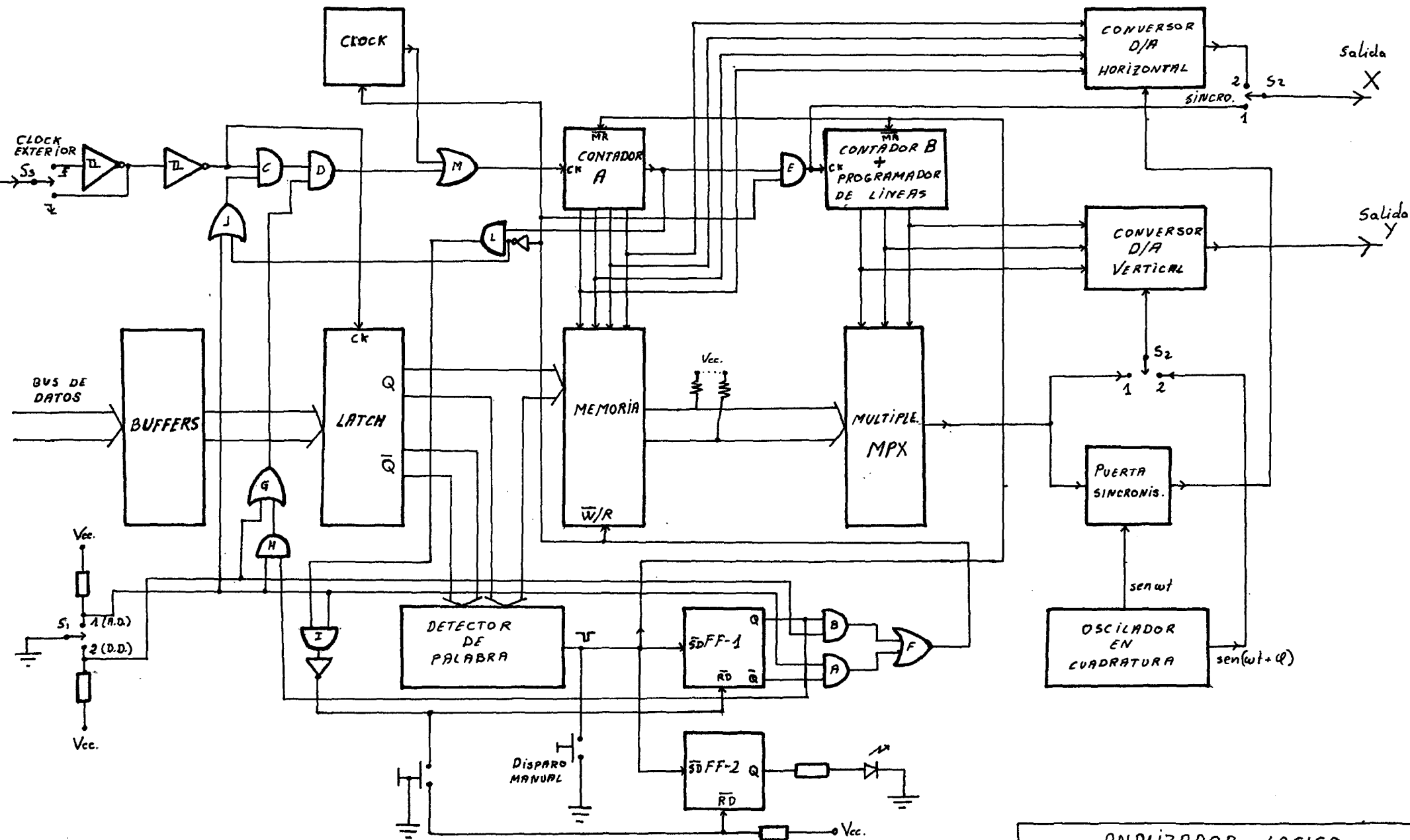
Por las causas anteriores, este estudio es solamente orientativo y solo da una muestra aproximada del valor real del Analizador Lógico.

<u>COMPONENTE</u>	<u>CANTIDAD</u>	<u>PRECIO UNIDAD</u>	<u>TOTAL</u>
74LS04	1	68	68
74LS14	2	160	320
74S30	1	220	220
74LS175	2	315	630
7489	2	690	1.380
74LS161	2	280	560
74151	1	139	139
74LS32	1	196	196
74LS08	1	70	70
74H76	1	216	216
7805-CT	1	156	156
LM-3900	1	198	198
2N-3904	1	138	138
Resistencias	37	10	370
Condens. 4k7pF/25V	1	130	130
Condens./varios	8	25	200
LED	2	55	110
Conmutadores	8	160	1.280
Conmutadores	1	184	184
Conmutadores	2	120	240
Pulsadores	2	45	90
Potenciometors	4	85	340
Sub.Total---			7.235

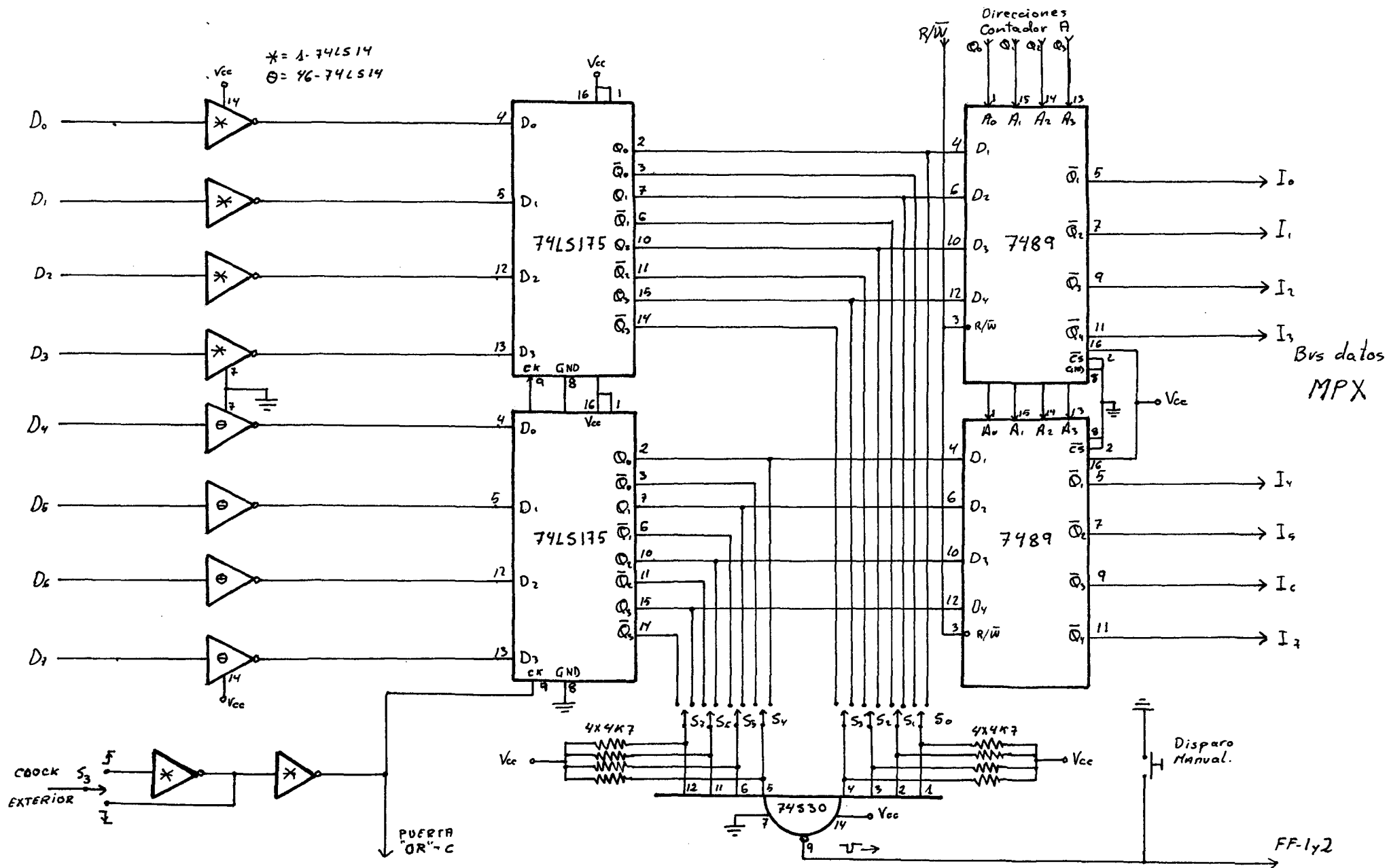
<u>COMPONENTE</u>	<u>CANTIDAD</u>	<u>PRECIO UNIDAD</u>	<u>TOTAL</u>
			7.235
Transformador	1	730	730
Puente Rectif.	1	230	230
Conmutador	1	312	312
Racos	10	160	1.600
Placa Impresa	1	300	300
Modulo	1	1.250	1.250
		TOTAL.....	11.657.-

8) - PLANOS

- Plano Nº - 1 : ESQUEMA EN BLOQUES
- Plano Nº - 2 : UNIDAD DE ENTRADA Y MEMORIA
- Plano Nº - 3 : LOGICA CONTROL - CLOCK - GENERADOR
DIRECCIONES MEMORIA
- Plano Nº - 4 : UNIDAD DE PRESENTACION
- Plano Nº - 5 : FUENTE DE ALIMENTACION

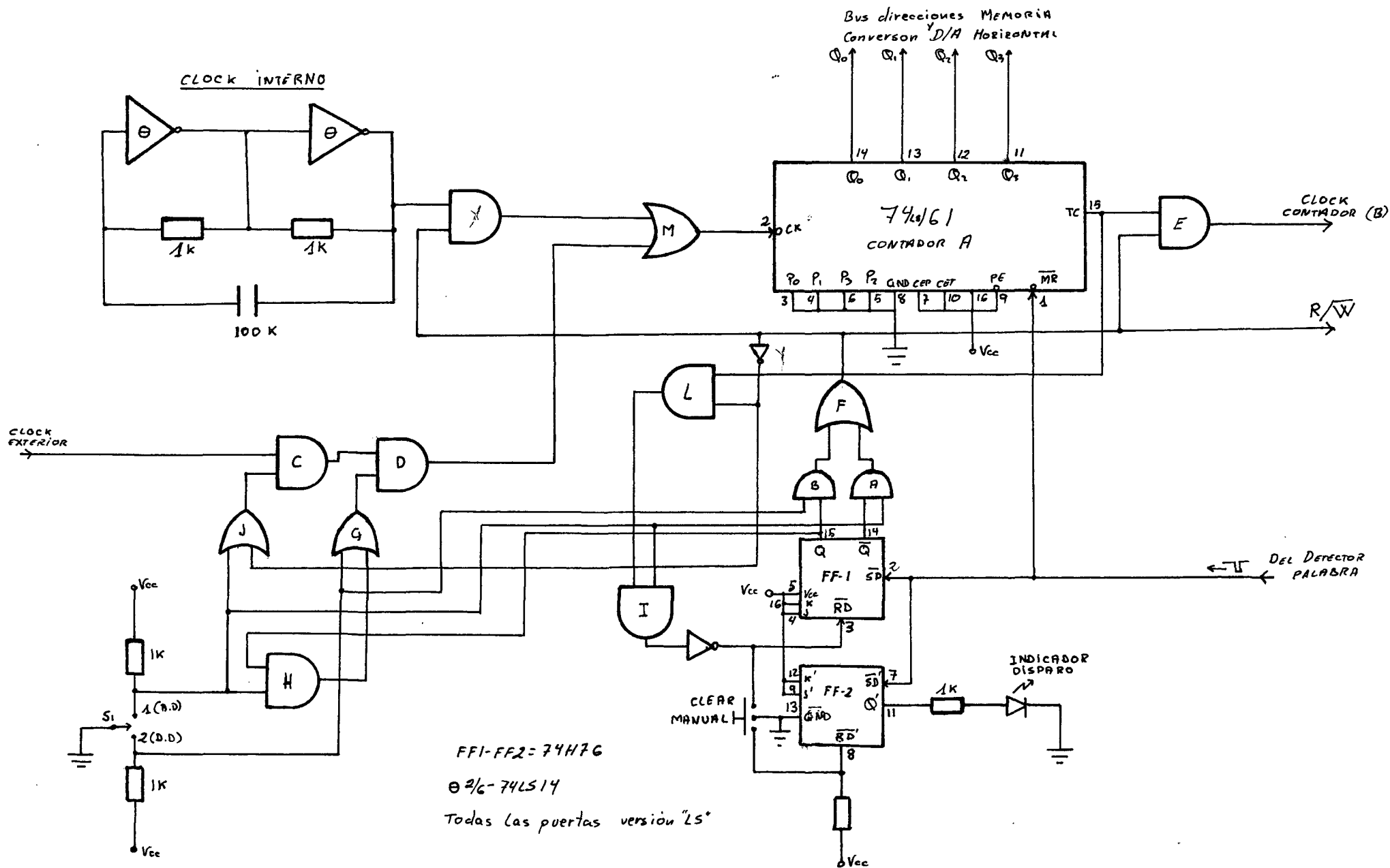


ANALIZADOR LOGICO
PLANO-1 ESQUEMA EN BLOQUES

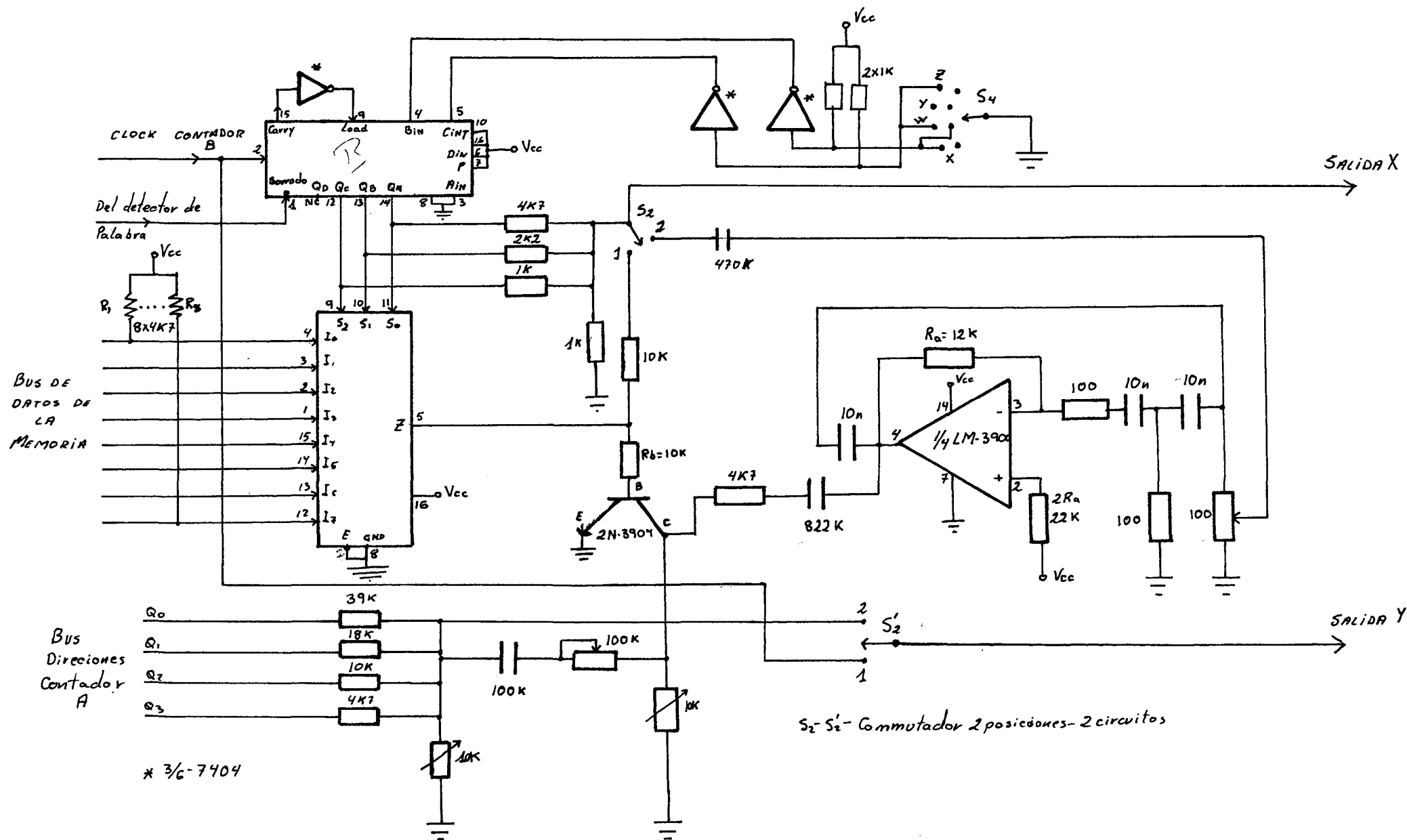


ANALIZADOR LOGICO

PLANO-2 UNIDAD DE ENTRADA - MEMORIA



ANALIZADOR LOGICO	
PLANO-3	LOGICA CONTROL - CLOK INTERNO



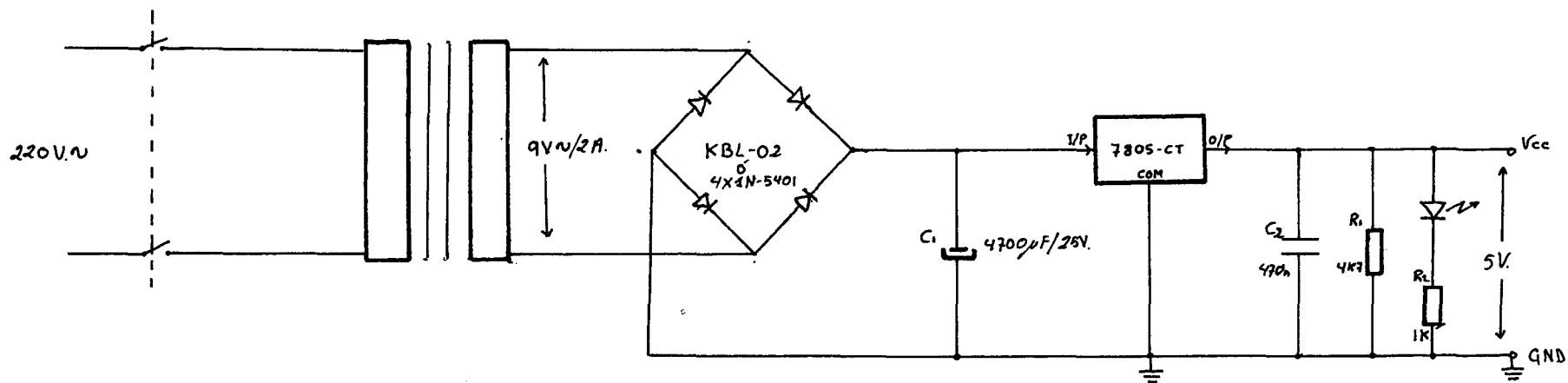
* 3/6-7404

S_2 S_2' - Conmutador 2 posiciones - 2 circuitos

ANALIZADOR LOGICO

Plano-4

UNIDAD DE PRESENTACION



ANALIZADOR LOGICO

PLANO- 5

FUENTE ALIMENTACION

9) - BIBLIOGRAFIA

- TTL DATA BOOK, (FAIRCHILD) - 1.978
- OPERATIONAL AMPLIFIERS/BUFFERS, (NATIONAL SEMICONDUCTOR) - 1.978
- DISPOSITIVOS Y CIRCUITOS ELECTRONICOS, (JACOB MILLMAN Y CHRISTOS C. HALKIAS) - 1.978
- CIRCUITOS ELECTRONICOS DIGITALES, (E. T.S.I. de TELECOMUNICACION - MADRID) - 1.979