UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN

PROYECTO FIN DE CARRERA

DISEÑO E IMPLEMENTACIÓN DE UN CONMUTADOR ATM A 10 Gbit/s

SILVIA ESTHER MARTEL JORDÁN

Las Palmas de Gran Canaria, Julio de 1995

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Título del Proyecto Fin de Carrera:

DISEÑO E IMPLEMENTACIÓN DE UN CONMUTADOR ATM A 10 GBIT/S

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN

Proyecto Fin de Carrera

Diseño e implementación de un Conmutador ATM a 10 Gbit/s

Autor: DÑA. SILVIA ESTHER MARTEL JORDÁN
Tutor: DR. D. ROBERTO SARMIENTO RODRÍGUEZ
Co–tutor: DR. D. KAMRAN ESHRAGHIAN

Las Palmas de Gran Canaria, Julio de 1995.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN

Proyecto Fin de Carrera

Diseño e implementación de un Conmutador ATM a 10 Gbit/s

Autor: DÑA. SILVIA ESTHER MARTEL JORDÁN
Tutor: DR. D. ROBERTO SARMIENTO RODRÍGUEZ
Co-tutor: DR. D. KAMRAN ESHRAGHIAN

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

TRIBUNAL

Presidente: D. ANTONIO NÚÑEZ ORDÓÑEZ
Vocal: D. JUAN DOMINGO SANDOVAL
Secretario: D. VALENTÍN DE ARMAS SOSA

Calificación:

Las Palmas de Gran Canaria, a 17 Julio de 1994.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN

Proyecto Fin de Carrera

Diseño e implementación de un Conmutador ATM a 10 Gbit/s

Autor: DÑA. SILVIA ESTHER MARTEL JORDÁN
Tutor: DR. D. ROBERTO SARMIENTO RODRÍGUEZ
Co-tutor: DR. D. KAMRAN ESHRAGHIAN

El Director

La Proyectando

Las Palmas de Gran Canaria, Julio de 1995.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

A quienes me han dado la vida. Como muestra de mi afecto les dedico mi trabajo. Os quiero.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Agradecimientos

Como en las mejores obras, el protagonista no lo es todo, bajo estas línas se esconden el trabajo, dedicación, apoyo, los consejos, la comprension y consideración de un grupo de personas, a quienes he conocido durante estos diez meses y a quienes deseo expresar mis agradecimientos. Y hablando de obras, que mejor que hacerlo con la entrega de estos galardones:

Estatuilla de Oro para el Dr. Kamran Eshraghian por haberme aceptado como proyectante en su grupo de trabajo. Por la paciencia que demostró, dado mi precario conocimiento del inglés. Por cuantas explicaciones me dio a cada duda que surgió y por su gran sentido del humor que hicieron que las muchas reuniones que tuvimos con él, fuesen agradables.

Estatuilla de Plata para el Dr. Roberto Sarmiento por la confianza que un buen día depositó en mi, ofreciéndome la oportunidad de entrar a formar parte de su grupo de proyectantes. Gracias, también, por la preocupación mostrada durante estos meses. Por marcarme las directrices a seguir y dedicarme mucho de su tiempo.

Broche de Oro para el compañero y amigo Valentín de Armas, sin su ayuda y conocimientos, hoy no estaría escribiendo estas letras, a pocos días del *día del juicio.* Espero no haber abusado de su confianza; jamás recuerdo un *no* por respuesta, es más sin pedirlo siquiera, ahí estaba él con su ayuda desinteresada. Con la mayor sinceridad que me nace del corazón, gracias, un beso y un abrazo.

Broche de Plata para los chicos Carlos Pulido y Felix Tobajas con quienes he compartido infinidad de horas frente a las SPARCs-10, nuestras sombras durante estos meses. De ellos he recibido apoyo y la comprensión propia de quienes padecen los mismos problemas y entienden el que un día no estes de buen humor, pero no por ello han cesado en el esfuerzo de hacerme esbozar una sonrisa. Jamás olvidaré las noches en vela, las reuniones en el Guincho y nuestro humor pícaro. ! Realmente formabamos un buen equipo !

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Eslabón de Oro para todos los integrantes de la cadena de apoyo y entendimiento que se ha ido formando a lo largo de estos meses de proyecto. Vaya ese galardón para Jose Lopez, Roberto Esper–chain, Pedro Carballo, Juan A. Montiel, Enrique, Tomás, Ernesto y Ermina.

Pero aún me queda agradecer la eterna amistad de dos personas que han sabido comprender mi trabajo, me han liberado de preocupaciones, con el desahogo que supone tener alguien en quien puedes confiar y contar los problemas que te inquietan y que te impiden trabajar con eficiencia, para ellos tengo el *anillo de oro de la amistad y el compromiso.* Otorgo este galardón a mi queridísma amiga Rosario Pérez y a mi fiel amigo Javier C. Díaz.

¿ Qué puede haber mayor que el Universo? nada supongo, pero si lo hubiera, ese sería el galardón que otorgaría a aquellos que más quiero y que nunca me han defraudado, mi familia, cuyo amor, apoyo, preocupación, no tienen precio y por eso siempre estaré en deuda con ellos.

Mil Millones de Gracias a todos ellos, espero poder corresponderles cuando llegue el momento.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Indice General

PREFACIO i

AGRADECIMIENTOS ii

1 Introducción 1
- 1.1 Introducción 1
- 1.2 Objetivos del Proyecto 2
- 1.3 Organización de esta Memoria. 3

2 Tecnología utilizada 5
- 2.1 Arseniuro de Galio (GaAs) 5
- 2.2 Heteroestructuras 6
  - 2.2.1 HEMT (High Electron Mobility Transistor) 8
- 2.3 Familias lógicas 13
  - 2.3.1 DCFL (Direct Coupled FET Logic) 14
  - 2.3.2 SDCFL (Source-follower Direct Coupled FET Logic) 14
  - 2.3.3 SBFL (Super Buffer FET Logic) 16
- 2.4 EDL (Event Driven Logic) 17

3 Arquitectura del Conmutador ATM 22
- 3.1 Introducción 22
- 3.2 Principios básicos de ATM 25
- 3.3 Modelos de capa de ATM 27
  - 3.3.1 Capa física 28
  - 3.3.2 Capa ATM 29
  - 3.3.3 Capa de adaptación ATM (AAL) 29
- 3.4 Definición de la capa ATM 30
- 3.5 Conmutación de banda ancha ATM 32
  - 3.5.1 Requisitos contemplados en la conmutación 34
  - 3.5.2 Parámetros de eficiencia de un conmutador ATM 34
- 3.6 Estudios del Conmutador ATM a implementar 35

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

3.6.1 Elemento de conmutación 35
3.6.2 Redes de conmutación 41
3.6.3 Procesado de la cabecera de una célula en un conmutador global. 46
3.6.4 Arquitectura del conmutador a 10 Gbit/s 46

4 Arquitectura e implementación del elemento de conmutación 2×2 52
4.1 Estructura general del Conmutador 2×2 52
4.2 UCE (Unidad de Control de Entrada) 53
4.2.1 Bloque de configuración 56
4.2.2 Bloque de extracción de los bits de prioridad y ruteado 56
4.2.3 Bloque de procesado 56
4.2.4 Bloque de bloqueo 57
4.2.5 Prestaciones de la UCE 57
4.3 UCF(Unidad de Control de FIFOs) 58
4.3.1 Contador de 56 pulsos 60
4.3.2 Bloque de detección/solución/evaluación (DSE) 61
4.3.3 Bloque de ejecución 68
4.3.4 Prestaciones de la UCF 69
4.4 Sistema de demultiplexores 72
4.5 Subsistema de FIFOs 74
4.5.1 Elementos de almacenamiento (Latches) 76
4.5.2 Unidad de control (EDL) 76
4.6 Multiplexores de salida 78
4.7 Prestaciones del Conmutador 2×2 diseñado 80
4.8 Estudio comparativo con otros conmutadores ATM 85
4.8.1 Conmutador de Telefónica I+D 86
4.8.2 Conmutador de la Universidad de Adelaida 87

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Indice de Figuras

2.1 Estructuras de banda de energía del GaAs y el Si. 6
2.2 Estructura de banda y niveles cuánticos en las *interfaces* de las heterounion. 7
2.3 Estructura HEMT típica. 9
2.4 Estructura HEMT pseudomórfica. 9
2.5 Flujo de diseño basado en Cadence 13
2.6 Inversor en lógic DCFL. 14
2.7 Inversor en lógic SDCFL. 15
2.8 Inversor en lógic SBFL. 16
2.9 Símbolo EDL para el Muller–C 19
2.10 Símbolo EDL para la OR–inclusiva 19
2.11 Muller–C en lógica DCFL y curvas de simulación 20
2.12 Muller–C en lógica SDCFL y curvas de simulación 20
2.13 OR–inclusiva en lógica DCFL y curvas de simulación 21
2.14 OR–inclusiva en lógica SDCFL y curvas de simulación 21

3.1 Modelo de Protocolo de Referencia de la RDSI-BA ATM. 28
3.2 Formato reconocido por el CCITT para la celula ATM. 31
3.3 Principio Básico de un Conmutador ATM. 33
3.4 Topología del elemento de conmutación con buffers en la entrada. . . . 36
3.5 Topología del elemento de conmutación con buffers en la salida 37
3.6 Topologia del elemento de conmutación con buffers intermedios 39
3.7 Tamaño de los buffers en función de la carga. 40
3.8 Matriz de conmutación extendida. 42
3.9 Red de interconexión barajada. 43
3.10 Red de conmutación plegada de tres etapas. 44
3.11 Estructura básica de la red Banyan con etapa de distribución. 44
3.12 Estructura básica de la red Banyan con ordenación y captura. 45
3.13 Estructura del conmutador global. 49
3.14 Formato de la célula ATM modificada. 50

4.1 Diagrama de bloques del elemento de conmutación 2×2 54

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

4.2 Diagrama de bloques la UCE 55
4.3 Diagrama de bloques de la UCF 59
4.4 Tabla de Karnaugh para la señal de Set 62
4.5 Tabla de Karnaugh de ReqX cuando existe contención 64
4.6 Tabla de Karnaugh de ReqX cuando no existe contención 65
4.7 Mapa para evaluación sin contención 66
4.8 Mapa para evaluación con contención 67
4.9 Contención en la salida 1 70
4.10 Flujo único 71
4.11 Flujo alternado 71
4.12 Flujo simultáneo con y sin contención 72
4.13 Diagrama de bloques de la FIFO. 75
4.14 Floor_plan del conmutador 2×2 83
4.15 Conexiones internas y externas de los FIFO+MUX. 83
4.16 Multiplexación jerárquica 86

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Indice de Tablas

2.1 Operadores en EDL 18
2.2 Reglas de conversión 18
2.3 Retardos y consumos 21

4.1 Prestaciones de la UCE 57
4.2 Parámetros temporales de la UCE 58
4.3 Definición de prioridades 60
4.4 Parámetros temporales del contador 61
4.5 Solapamientos de pulsos 61
4.6 Tabla de verdad para la señal de Set 62
4.7 Tabla de verdad de las soluciones bajo contención 63
4.8 Tabla de verdad de solución para no contención 64
4.9 Tabla de evaluación con y sin contención 66
4.10 Parámetros temporales del DSE 69
4.11 Prestaciones de la UCF 72
4.12 Prestaciones del sistema de demultiplexores 73
4.13 Parámetros temporales del sistema de demultiplexores 73
4.14 Selección de buses 74
4.15 Parámetros del *latch*. 76
4.16 Parámetros de la unidad de control. 77
4.17 Prestaciones de la FIFO 56×8. 78
4.18 Prestaciones del multiplexor 79
4.19 Parámetros temporales del sistema de multiplexores 79
4.20 Módulos que conforman el conmutador 2×2 82
4.21 Características del conmutador 2×2 84
4.22 Caracteristicas del conmutador 1024×1024 86
4.23 Proyecto aplicado a conmutador 8×8 87
4.24 Conmutador 1024×1024 de la Universidad de Adelaida 88
4.25 Conmutador 1024×1024 propuesto en el proyecto 89

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 1

Introducción

1.1 Introducción

Las redes de comunicación para voz a través de línea telefónica y las redes de datos siguen un desarrollo relativamente independiente. Nuevos servicios y aplicaciones están en desarrollo para ambos sistemas, haciendo hincapié en la capacidad de las primeras para llegar a gran número de usuarios y en la mayor funcionalidad y superioridad técnica de las segundas. ATM (*Asynchronous Transfer Mode*) es una tecnología puente entre estos dos mundos. Por un lado, es una plataforma de altas prestaciones para comunicaciones multimedia, y por otro, sigue permitiendo el acceso a los sistemas existentes para transmisión de voz y datos, y para la multidifusión.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

La mayor ventaja de ATM es la unificación del tráfico de cualquier tipo, actuando como un integrador multi–servicios. Permite el tráfico isócrono (con restricciones en tiempo real), el tráfico orientado a conexión, tráfico variable de datos, etc. sobre un mismo tipo de conexión física. Por otro lado ATM facilita la integración LAN–WAN, simplificando la operación y mantenimiento de la red. Las células ATM pueden ser enviadas sobre transmisión SDH (*Synchronous Digital Hierarchy*) a velocidades a partir de 155 Mbit/s, sobre PDH a velocidades de 34 Mbit/s, y también sobre LAN a velocidades de 100 Mbit/s. Estas características son las más adecuadas para servicios multimedia, y hacen a ATM muy atractivo para las empresas que desarrollan y prestan servicios de telecomunicación.

Las implementaciones actuales de conmutadores ATM han sido diseñados en base de los estándares UNI (*User Network Interfaces*) y NNI (*Network Node Interfaces*) de 155 Mbit/s y en algunos casos de 622 Mbit/s. La mayoría de los equipamientos ATM disponibles hoy en día están pensados para redes a esas velocidades. Equipos de mayor rango (2.5 Gbit/s o 10Gbit/s) están siendo desarrollados y serán gradualmente

introducidos en las redes públicas tan pronto como estén disponibles. Mientras que puede aparecer una gama variada de equipos que proporcionen un acceso de bajo coste a ATM para usuarios privados, la mayor parte del mercado consistirá en redes de área local (LAN) en ATM para estaciones de trabajo.

A corto y medio plazo, las grandes inversiones necesarias y los altos costes de desarrollo, limitarán la cobertura de IBCs (*Integrated Broadband Communications*) basadas en ATM. En principio las redes globales tendrán acceso a fibra óptica y posteriormente se integrarán dentro de las comunicaciones integradas de banda ancha. A pesar de las numerosas normativas y recomendaciones aún quedan muchas funciones por definir y aclarar antes de que la red ATM quede definitivamente consolidada como red troncal universal.

Por tanto todos los estudios a velocidades superiores de 622 Mbit/s (2,4 Gbit/s, 10 Gbit/s...) se orientan a redes LAN de ámbito privado, sobre las que se efectúan las investigaciones. Resultados satisfactorios extraídos de dichos estudios serán extrapolables a la red pública y adoptados a modo de normativa o recomendación de aplicación universal. Por ello, parece lógico dirigir el desarrollo de conmutadores de velocidades de 2,5Gbit/s y superiores a redes de área local y con un número pequeño de nodos.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

1.2 Objetivos del Proyecto

La elaboración del presente proyecto obedece a un propuesta formulada por el Centro de Microelectrónica Aplicada C.M.A., consistente en la realización hardware de un conmutador ATM, en bajo nivel, que satisfaga una serie de requisitos entre las que destacan la consecución de velocidades elevadas, consumo de potencia no excesivo, bajo consumo de área, facilidad de escalado, retardo mñimo, y baja probabilidad de pérdida de células.

Los principales objetivos del proyecto son:

1. Estudio de las arquitecturas de conmutadores ATM. Diseño de una arquitectura para conmutadores 2x2 que permite facil escalabilidad y velocidades de transmisión elevadas (por encima de 10 Gbit/s). Estudiar y contrastar la arquitectura del conmutador para diferentes MIN (Multi–Interconnection Network): Benes, Banyan...

2. Estudio de la tecnología de Arseniuro de Galio y especialmente la de transistores de alta movilidad de electrones (HEMT).

3. Desarrollo de un conjunto de circuitos (multiplexores, routers) para un conmutador ATM: escalable (*switch fabric*) operando internamente a velocidades de 10 Gbit/s y superiores, usando tecnología GaAs (HEMT), con rendimiento elevado y producto retardo–potencia bajo.

4. Desarrollo de elementos de almacenamiento de alta velocidad, asíncronos usando la filosofía de lógica conducida por eventos.

Debido a la falta de estandarización para desarrollo de conmutadores ATM superiores a 622Mbit/s, en la realización del presente proyecto se ha tenido en cuenta realizaciones precedentes del mismo grupo y externas a el. Entre los trabajos de investigación acometidos en este área, destacaremos los siguientes:

1. La realización de un elemento de conmutación ATM, para comunicación a 2.48 Gbit/s, presentada por Telefónica I+D.

2. Dos arquitecturas de conmutación 8×8, realizadas en la Universidad de Adelaida, Australia del Sur.

3. Arquitectura de una red de área local ATM embarcada, presentado por D. Manuel Hernández Guerra, realizado en Telecom Paris, Francia, para Dassault Electronique, Francia.

4. Un transceiver realizado por D. Roberto Esper–Chaín, en el CBT, Dinamarca.

5. Estudios para la realización de un conmutador ATM en tecnología MESFET en vias de implementación, por el Dr. José López en el CBT, Dinamarca.

Otras fuentes de documentación consultadas para elaboración del proyecto, que repasan los estudios e implementaciones realizadas desde la adopción de ATM como mecanismo de conmutación de información en la RDSI–BA, aparecen citados en la bibliografía.

1.3 Organización de esta Memoria.

La organización de este proyecto es como sigue. El capítulo siguiente versará sobre la tecnología usada para la implementación hardware del conmutador, resaltando las caracteristicas más relevantes que han concducido a dicha elección.

En el Capítulo 3, tras un breve visión retrospectiva del panorama que ha rodeado los avances alcanzados en ATM, documentado con un enfoque sobre el mercado actual, organizaciones y empresas del sector, haremos un estudio sobre la modalidad de

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

transferencia asíncrona (ATM), centrándonos en la capa de conmutación, de la que se analizan las diferentes topologías. De este estudio se deduce la arquitectura de la red global, y la del conmutador 2x2 a implementar.

En el Capítulo 4 se presenta la realización física y simulación de la arquitectura del conmutador dise ado, explicando el funcionamiento de cada uno de los subsistemas que lo integran, adjuntando a esa información las prestaciones alcanzadas por cada uno de ellos y por el conmutador en si. Para finalizar el Proyecto se añadirá un Capítulo final de conclusiones donde se contrastarán los resultados obtenidos con otras realizaciones y se evaluarán posibles implementaciones de redes de conmutación a partir del nodo 2x2 realizado.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 2

Tecnología utilizada

2.1 Arseniuro de Galio (GaAs)

La alta densidad de integración que se consigue con los circuitos CMOS, no es el único objetivo en la integración de circuitos, de hecho las necesidades de comunicaciones en tiempo real, y los avances alcanzados en los medios físicos de conexión, tales como la fibra óptica, han puesto de manifiesto la imperiosa necesidad de disponer de materiales que permitan fabricar dispositivos de mayor velocidad, evitando así los posibles cuellos de botella a la hora de procesar la información a nivel hardware.

A raíz de esa necesidad surgen diferentes tecnologías para la fabricación de transistores, basadas en materiales del grupo III-V, como son los MESFETs (FET con puerta de metal-semiconductor), SAGFET (FET de puerta autoalineada), HBT (transistor bipolar de heterounión), y HFET (FET de heterounión, como son los HEMT y los pseudomórficos HEMP).

A medida que las dimensiones de los dispositivos se han reducido, los retardos de puerta y los retardos de línea se han hecho comparables, marcando el límite donde han de adoptarse nuevas estrategias para el diseño de circuitos entre las que se plantean soluciones autotemporizadas (EDL) u ópticas, frente al tradicional diseño síncrono.

Entre las principales ventajas del GaAs frente al Si destacan el ofrecer para igualdad de consumo de potencia, circuitos que son casi el doble de rápidos. Esa velocidad se debe a que los electrones de GaAs tienen una movilidad mayor. Otras ventajas son la alta tolerancia a la temperatura, insensibilidad a la radiación y sus propiedades ópticas, que permiten la integración conjunta de dispositivos eléctricos y ópticos. Las propiedades ópticas del GaAs proceden del hecho de ser un material de *gap directo*, frente al Si que es de *gap indirecto*. Otras caracteristicas de los dispositivos de GaAs

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

son el bajo margen de ruido, la alta frecuencia de corte, bajo margen (swing) lógico, retardos muy sensibles al fan-in y al fan-out, baja conducción de salidas.

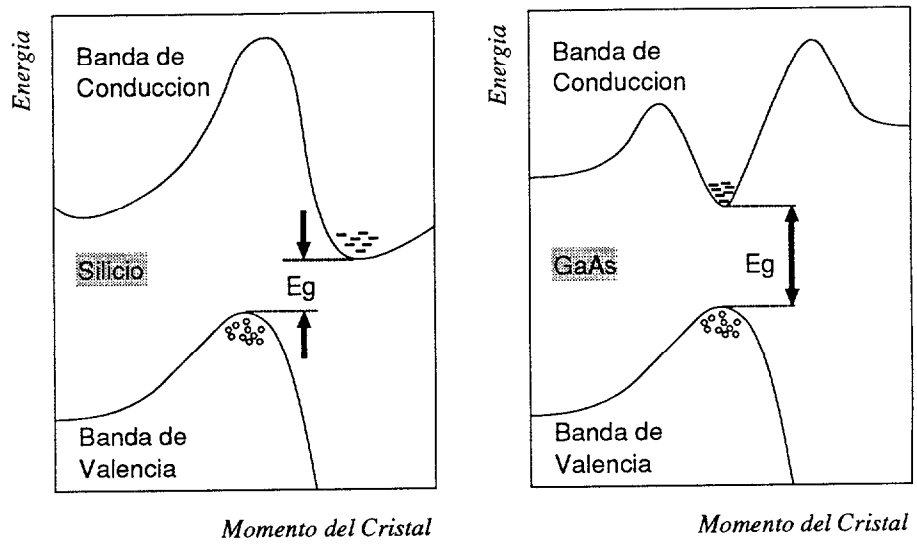


Figura 2.1: Estructuras de banda de energía del GaAs y el Si.

Frente a los dispositivos de primera generación en GaAs, como son los MESFET, surgen otros de segunda generación basados en heteroestructuras en la que se encuadra la tecnología (HEMT) escogida para la realización de este proyecto.

2.2 Heteroestructuras

Aunque los componentes del grupo III-V (GaAs, AlGaAs) ofrecen mejores propiedades de transporte que los semiconductores elementales (Ge, Si), la movilidad de los portadores queda limitada por los numerosos mecanismos de *scattering* especialmente el scattering con las impurezas ionizadas. Pero esa limitación se resuelve mediante el uso de heteroestructuras que permite separar los portadores de sus iones padres. El mecanismo que permite esa separación se denomina modulación de dopaje, y consiste en dopar fuertemente el material de banda prohibida amplia, consiguiendo así que los electrones libres se difundan en la otra capa de material no dopada que presenta una banda prohibida pequeña, y queden confinados en la interface de la heterounión. Como en la capa no dopada los mecanismos de scattering son menos frecuentes, se consigue un aumento de varios ordenes de magnitud en la movilidad de los electrones libres.

En los MESFET de GaAs convencionales el canal activo bajo la puerta también contiene dopantes, mientras que en las heteroestructuras solo se dopa el material de banda prohibida mayor.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

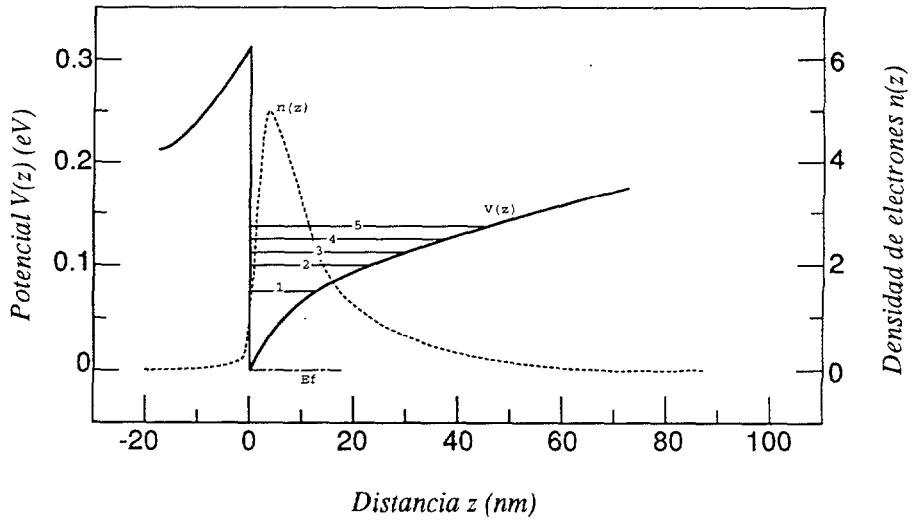


Figura 2.2: Estructura de banda y niveles cuánticos en las *interfaces* de las heterounion.

Una de las ventajas que ofrecen la heteroestructuras es que simplemente variando el grosor del pozo cuántico se consiguen ajustar la longitud de onda de la respuesta sin necesidad de cambiar de material.

Por lo general la heterouniones se componen de materiales que presentan la misma constante de red. Sin embargo actualmente también se está trabajando con heteroestructuras de capas tensionada, donde los materiales que la integran presenta diferente constante de red pero que son fácilmente acomodadas experimentando una contracción en el plano de la capa y una expansión en el plano de crecimiento, sin ejercer tensión sobre el substrato. Usando este tipo de capas el diseñador de dispositivos puede ajustar el ancho de la banda prohibida y los desplazamientos de la banda de valencia y conducción, valores estos que quedarían fijados en el caso de usar heteroestructuras de redes concordantes.

El estudio de esta nueva vertiente, ofreció como alternativa a la heteroestructua AlGaAs/GaAs clasificada en el grupo de las de materiales con idéntica constante de red, otra heteroestructura InGaAs/GaAs del tipo de redes discordantes que presentaba mayor velocidad de respuesta y eliminaba la fotoconductividad persistente. Posteriores cambios efectuados sobre dicha estructura condujeron a la actual heteroestructura de HEMTs pseudomórficos.

Cuando la separación entre dos bandas de energía es mayor que la energía térmica de la red, la energía en la dirección z permanece constante, lo que fuerza a los portadores a moverse solo en el plano x-y, produciendo un movimiento bidimensional de los electrones que recibe el nombre de gas de electrones bidimensional.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Los MOSFET fueron los primeros dispositivos que presentaban esa modalidad de gas de electrones bidimensionales, pues aunque el confinamiento de electrones se efectuase en la dirección perpendicular a la superficie sólo los niveles de las subbandas más bajas estaban ocupados por electrones móviles, dando como resultado una capa de inversión bidimensional. No obstante los mejores 2DEG se consiguen con heteroestructuras realizadas con dos semiconductores uno de gap grande y el otro de gap pequeño. Donde el semiconductor de mayor gap es el responsable de la barrera de potencial, mientras el de gap pequeño actúa como pozo cuántico.

2.2.1 HEMT (High Electron Mobility Transistor)

Concepto

HEMT es un transistor de efecto de campo, basado en una estructura de modulación de dopaje, con la que logra la separación espacial entre los electrones de conducción y sus iones donadores dentro de una heterounión, generalmente fabricada con AlGaAs y GaAs. La capa de AlGaAs que ofrece una banda prohibida mayor se dopa fuertemente, mientras que la capa de GaAs se dopa ligeramente o no se dopa. Los electrones se difunden desde la capa AlGaAs a la capa GaAs quedando confinados en un canal estrecho que se forma en la interface, donde su movimiento de restringe a dos dimensiones y en paralelo con la interface. Como resultado tenemos una gas de electrones bidimensional (2DEG) inducido en la superficie de un GaAs no dopado, que presenta una gran movilidad debido a la reducción de las interacciones con sus impurezas y a la buena calidad de la interface que se logra usando técnicas de epitaxia de haces moleculares (MBE) o deposiciones metalorgánicas por vapor químico (MOCVD).

Al ser un transistor de efecto de campo presentará características comunes con los MOSFET y MESFET, su características diferenciales serán fruto de los efectos cuánticos que surguen por el uso de heteroestructuras. La implementación del terminal de puerta se efectúa al igual que en los MESFET por medio de una barrera Schottky.

Estructura

La estructura típica de un HEMT consta de una substrato semiaislante sobre el que se crece una capa de GaAs sin dopar de grosor del orden de $1\mu m$, posteriormente se hace crecer de 1 a 10nm de AlGaAs sin dopar para finalmente crecer un capa de AlGaAs fuertemente dopada y de grosor de 50 a 100nm. La finalidad de la capa AlGaAs no dopada es la de separar las impurezas de los electrones del canal. Los contactos de fuente y drenador se consiguen por metalización de AuGe/Ni/Au. El contacto entre

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

los electrodos y el 2DEG se logra por difusión de Ge penetrando por la heterointerface. La barrera Schottky de la puerta se consigue a través de un pequeño nicho cuya profundidad dependerá de cual vaya a ser la aplicación específica del dispositivo.

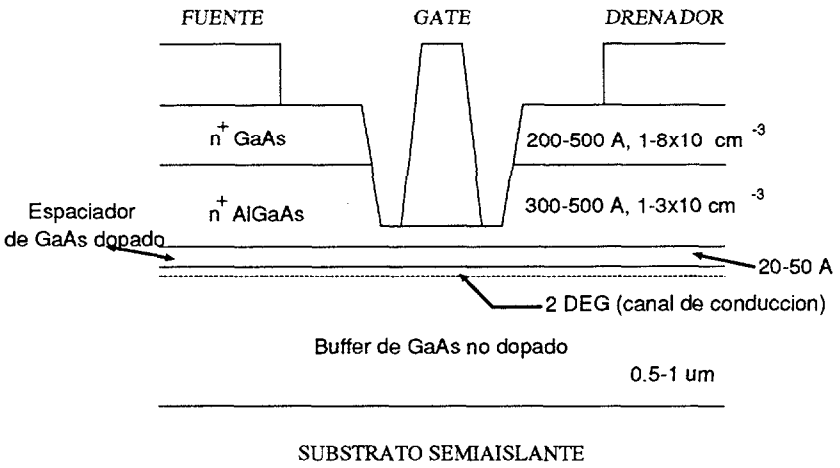


Figura 2.3: Estructura HEMT típica.

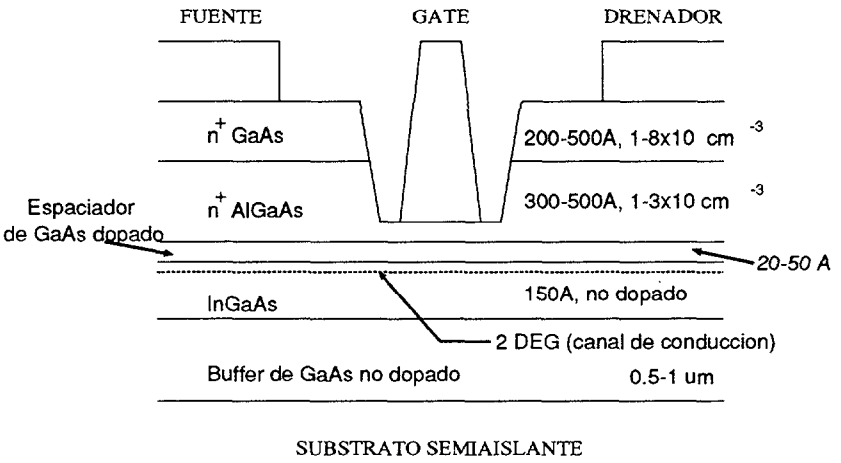


Figura 2.4: Estructura HEMT pseudomórfica.

El modo de funcionamiento es muy semejante al de los MOSFET, donde la capa de AlGaAs hace las veces de aislante, quedando el metal de puerta y el canal separados por unas décimas de nanometros. Sin embargo dado que la constante dieléctrica del AlGaAs es mayor que la del SiO_2 los HEMTs presentarán mayores transconductancias que los MOSFETs.

Para evitar la conducción a través de AlGaAs, cuyas propiedades de conducción son inferiores, la geometría del dispositivo debe ser tal que la región de deplexión de-

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

bida a la barrera Schottky y la generada en la interface debido a la discontinuidad en los bordes de las bandas, queden solapadas.

Los transistores de deplexión son más adecuados para aplicaciones analógicas de alta velocidad, tales como para diseño de amplificadores de microondas de bajo ruido, mientras que los dispositivos de enriquecimiento por los que no circula corriente salvo que se aplique un potencial positivo en su puerta son más adecuados para el diseño de circuitos integrados digitales de alta velocidad a casua de su baja disipación de potencia.

Propiedades

El cociente de la transconductancia entre la suma de las capacidades de puerta y de interconexión determina la velocidad de conmutación del dispositivo. Por consiguiente dado que la transconductancia aumenta al disminuir el grosor de la capa AlGaAs la fabricación del dispositivo apunta a grosores pequeños de dicha capa aun a expensas de obtener capacidades de puertas elevadas. El límite más bajo del espesor lo determina las propiedades de ruptura del material.

Una reducción en la longitud de la puerta en estos transistores, conduce a una minimización de los tiempos de conmutación, ya que la longitud que los electrones tienen que atravesar es menor, mientras la velocidad media de tránsito y el campo eléctrico aumentan. Esa reducción de la longitud de puerta también produce un aumento de la corriente drenador-fuente y una reducción de la capacidad puerta-fuente.

Funcionamiento

Los transistores de efecto de campo, son dispositivos donde la corriente fluye entre dos términales (drenador-fuente) controlados por la tensión aplicada a un tercer terminal (puerta). Se distinguen dos tipos según los portadores de carga encargados de conducir la corriente: los dispositivos de canal-n usan los electrones como portadores, mientras que los dispositivos de canal-p usan los huecos. La diferente movilidad que caracteriza a esos portadores da lugar a un dispositivo de canal-n más rápido que el de canal-p.

Según el grosor de la capa de deplexión se hablará de transistores de enriquecimiento, con capa de deplexión fina, y de voltaje umbral positivo, y transistores de deplexión, con capa de deplexión gruesa, y de voltaje umbral negativo.

Estos dispositivos presentan dos tipos de metalizaciones, la de drenador fuente

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

que tienen carácter óhmico y la de puerta que se comporta como un diodo Schottky.

Una polarización nula sobre ese contacto de puerta, da lugar a una deplexion de electrones de una cierta profundidad en el canal. Esta región de deplexión puede extenderse más adentro en el canal aplicando un voltaje negativo a la puerta con respecto al canal. Como la región de deplexión no conduce corriente entre drenador-fuente, cambios en la tensión de puerta llevan a una modulación de la corriente de drenador. De hecho la tensión de puerta puede aumentarse hasta el punto de elimiar todos los portadores de carga libres del canal, momento en que la corriente se hace cero. La tensión a la que eso ocurre recibe el nombre de tensión de *pinch-off*.

El drenador ha de conectarse a voltaje positivo para atraer y recoger los portadores procedentes de la fuente. Cuanto mayor sea ese voltaje los portadores se dirigirán con mayor rapidez al drenador y el consiguiente aumento de la corriente . Conforme se aumenta la tensión entre drenador y fuente mayor es el campo eléctrico en el canal. Dado que el voltaje es función de la posición, el voltaje entre el contacto y el canal varía a lo largo de la longitud del canal, variando también la profundidad de la deplexión a lo largo del canal. La profundida es mayor en zonas próximas al drenador. Al aumentar la tensión drenador-fuente el estrangulamiento del canal hará su aparición en el lado del drenador. Pero conforme se va aumentando esa tensión el estrangulamiento se va extendiendo hacia la fuente, aumentando la resistencia del canal. En situación de pinch-off el aumento de esa tensión genera un aumento en la resistencia del canal, con lo que la corriente es independiente de esa tensión aplicada.

Los dispositivos de deplexión conducen corriente continuamente a menos que se aplique el voltaje de puerta que corte al dispositivo. Para evitar esos consumos de potencia tan elevados se construyen dispositivos con un canal de menor grosor, de forma que si no se aplica tensión a la puerta el transistor este en situación de corte (no conduce). Estos reciben el nombre de transistores de enriquecimiento. Estos presentan niveles de corrientes más pequeñas.

Si se quiere reducir el tiempo de respuesta de un dispositivo, o bien se emplean semiconductors con velocidad de portadores más elevada, o bien se reduce la distancia que han de atravesar los mismos.

En los transistores de efecto de campo, todos los contactos metálicos y en particular el de puerta tienen asociada un pequeña pero significativa capacidad. El tiempo que dura la carga y descarga de dicha capacidad depende del valor de la capacidad así como de la cantidad de corriente disponible. Para reducir ese tiempo es preciso

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

disponer de flujos de corriente elevados, lo que significa portadores de velocidad alta, y una densidad de portadores elevada. Aumentando el ancho de la puerta se conseguirían mayores niveles de corriente pero tambien provocaría un aumento de la capacidad asi como del área del circuito. Otra solución podría ser aumentar la concentración de donadores, pero eso produciría una degradación y ralentización en el movimiento de los electrones debido a los mecanismos de scattering entre los electrones y con las impurezas. Definitivamente la solución al problema es emplear heteroestructuras de interface única con modulación de dopaje. Ya que el movimiento de los electrones paralelamente a la interface carece de los problemas de scattering con impurezas. Asi pues usando un gas de electrones de dos dimensiones como mecanismo de transporte de corriente se consigue velocidades de electrón mayores y por tanto mayor rapidez de operación. La corriente será por tanto proporcional a la concentración, movilidad y velocidad de los electrones.

En un MESFET convencional, el canal lo forma un semiconductor uniformemente dopado, lo que significa que tanto los electones libres como sus donadores se hallan en la misma región de carga espacial e interactúan incrementando los mecanismos de scattering con impurezas. Un aumento de la corriente aumentando la cantidad de dopaje, incrementará aun más los problemas de scattering, disminuyendo la movilidad de los electrones, lo que provoca una reducción de la ganancia y un aumento del margen de ruido.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Suministrador

Entre los fabricantes especializados en la fabricación de dispositivos HEMT, (Philip, IAF), el centro CMA donde se ha elaborado el proyecto disponía de las librerías de dispositivos, contactos, pad... y de las reglas de diseño adoptadas por el IAF para su fabricación.

Ese paquete software es soportado por Cadence, herramienta sobre la que se ejecuta el siguiente flujo de diseño, a que ha de someterse cada circuito para asegurar su correcta funcionalidad: Una fase inicial, de creación del esquemático dando la dimensíon adecuada a cada dispositivos, que posteriormente será simulado en SPICE, y modificado hasta que los resultados estén acorde con los requisitos. Conseguido esto se procede a la realización del layout, que se someterá al DRC suministrado por el IAF, cuando el layout esté libre de errores se efectúa la extracción del mismo, para contrastarla con el esquematico y asegurar que todas las conexiones, dimensiones y números de dispositivos del layout se ajustan a las definidas en el esquemático cuyos resultados de simulación se consideraron satisfactorios.

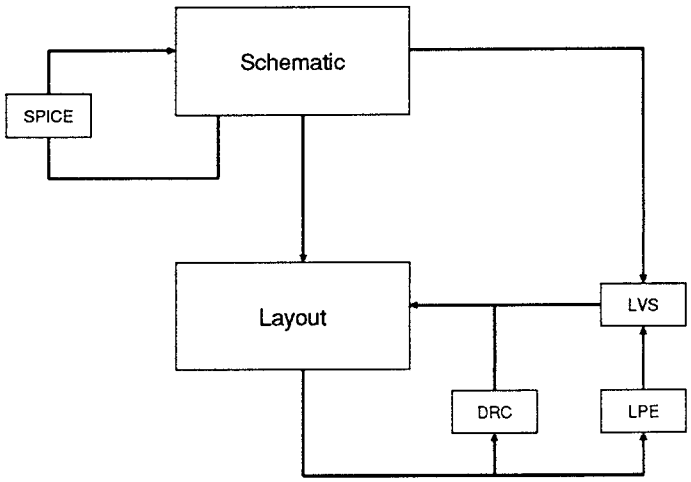


Figura 2.5: Flujo de diseño basado en Cadence

La tecnología usada de las sumistradas por IAF, es la AlGaAs/InGaAs/AlGaAs HEMT sobre 3"GaAs. A nivel de layout esta tecnología sólo ofrece dos niveles de metal, incluyendo los air-bridge. Y todas la puertas han de tener la misma orientación respecto a uno de los lados del chip. A nivel eléctrico los niveles de tensión con que se trabajan, para una alimentción de 1.5 voltios son: $V_H = 0.7 - -0.8$, $V_L = 0 - -0.2$.

Exceptuando las diferencias a nivel de fabricación que les confieren las mejores prestaciones de velocidad a los dispositivos HEMT frente a los MESFETs, el comportamiento eléctrico es idéntico con un único matiz diferencial en lo que a las magnitudes de los niveles lógicos, alimentación y relaciones de aspecto se refire.

2.3 Familias lógicas

Tradicionalmente y debido a problemas asociados a la Tecnología HEMT se ha usado la lógica SDCFL para el diseño de circuitos. Sin embargo, avances tecnológicos han permitido usar con éxito otras lógicas más densas y de menos consumo de potencia, como DCFL.

Según investigaciones realizadas en el CMA, la utilización de una lógica mezclada permite mejorar las prestaciones del diseño. En la realización de este proyecto se han utilizado tres tipos de lógicas: DCFL, SDCFL y SBFL.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

2.3.1 DCFL (Direct Coupled FET Logic)

Usa los dispositivos tipo-E como elemento de conmutación y los tipo-D como pull-up o carga, al interconectar sus terminales de puerta y fuente. Debido a su sencilla topología, la lógica DCFL es la que produce circuitos más densos y con menor consumo de potencia.

El transistor tipo-D siempre está activo, actuando como una fuente de corriente casi constante, de valor limitado por su corriente de saturación. La figura 2.6 muestra un inversor DCFL.

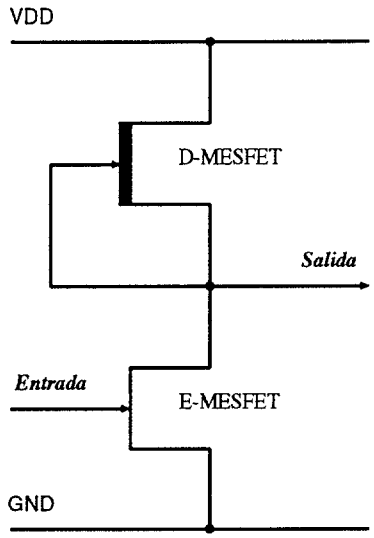


Figura 2.6: Inversor en lógic DCFL.

Cuando la entrada es un nivel lógico 0 el conmutador E- HEMT se corta y la conducción se realiza a través de la carga D-HEMT que conecta la alimentación VDD a la salida, logrando un nivel alto en la salida. Cuando la entrada es un nivel lógico 1, el E-HEMT entra en conducción conectando la salida del inversor a GND a través de la resistencia del canal E-HEMT, logrando un nivel bajo en la salida. La magnitud de ese nivel bajo depende de la razón entre las resistencias de ambos HEMTs. Por consiguiente el comportamiento de este tipo de lógica depende de la dimensión característica (longitud y ancho) de ambos dispositivos (E-HEMT, D-HEMT).

2.3.2 SDCFL (Source-follower Direct Coupled FET Logic)

SDCFL se usa para atacar grandes cargas, a expensas de un aumento en el área del circuito. Esta lógia usa EFET como pull-up con lo que el nivel de salida desciende en un valor equivalente a su tensión umbral. La descripción del funcionamiento haciendo referencia a la figura ... . Cuando la entra Vin esta en Alto el dispositivo

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

tipo-D M1 esta en saturación mientras el dispositivo tipo-E M2 opera en la región lineal comportándose como una resistencia controlada por tensión. Consecuentemente el dispositivo tipo-E M3 tambien está saturado mientras el dispositivo tipo-D M4 opera en la región lineal. Cuando la entrada Vin esta en Bajo, M1 opera en región lineal mientras M2 esta cortado, y por lo tanto la salida de la primera etapa es un nivel Alto. Sin embargo el voltaje puerta fuente de M3 es menor que el voltaje umbral del dispositivo tipo-E. Como resultado M3 está cortado mientras M4 opera en la región de saturación.

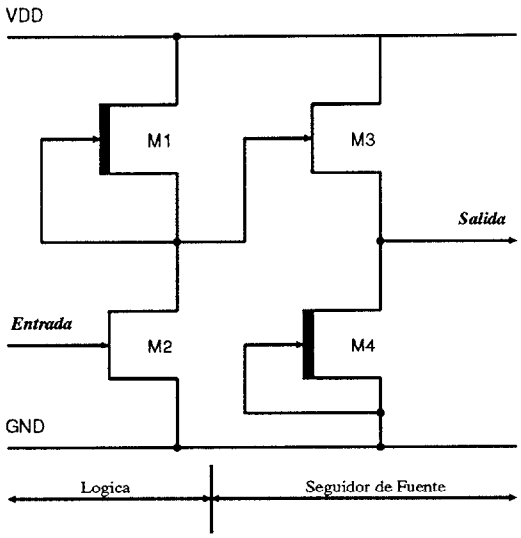


Figura 2.7: Inversor en lógic SDCFL.

Las dimensiones óptimas de SDCFL se determinan ajustando los transistores M3 y M4 a fin de lograr el margen de ruido más alto, menor retardo y la mínima disipación de potencia. En comparción con DCFL presenta un margen de ruido mayor, debido a que su transistor de pull-up es tipo-E con lo que cuando se corta, la salida del seguidor de emisor es cortocircuitada a masa a través del transistor tipo-D del pull-down.

SDCFL presenta mayor margen de ruido y mayor capacidad de ataque que DCFL, pero por contra tiene mayor consumo de potencia y mayor complejidad. La disipación de potencia depende del estado lógico de las salidas, alcanzando su máximo valor ante un nivel alto de salida, que se matiene a través del transitor de enriquecimiento. Eso hace que durante la conmutación de estas puertas se introduzca ruido dentro de los buses de alimentación, que puede llegar a ser perjudicial si el número de estas puertas aumenta cosiderablemente.

Una facilidad de esta lógica es que permite implemetara Or-cableadas y NAND. Su uso en el diseño se ha limitado unicamente para aquellas partes del circuito que

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

precisaban la estructura de una AOI (multiplexores, xnor, xor).

2.3.3 SBFL (Super Buffer FET Logic)

Mejora el rendimiento de la DCFL, añadiendo un super buffer push/pull a la salida. Uno de los transistores tipo-E de la salida actua como seguidor de emisor mientras que el otro actúa como pull-down.

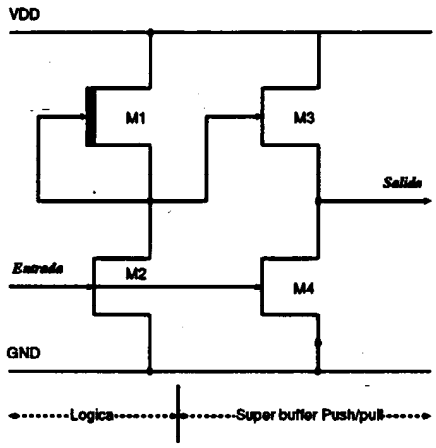


Figura 2.8: Inversor en lógic SBFL.

Una transición de 0 a 1 en la salida del buffer, sigue perfectamente la salida del inversor DCFL. Después de un pequeño retardo el transistor-E del pull-down se corta, dejando que el del pull-up suministre la corriente a la capacidad de carga. Sin embargo la transición de 1 a 0 es más compleja. ya que ambos transistores del push/pull estarán conduciendo, hasta que el inversor DCFL, suministre el nivel de tensión adecuado que haga que el pull-up se corte. Por tanto durante las transiciones positivas en las entradas puede provocar un caida de tensión momentánea en el bus de alimentación.

La SBFL tiene mayor capacidad de conducción y mayor margen de ruido que la SDCFL, pero consume más potencia y ocupa mayor área, además debido a los picos de corriente que aparecen en el bus de VDD, obliga a separar las líneas de tierra del resto de lógicas.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

2.4 EDL (Event Driven Logic)

Uno de los principales problemas que plantea la tecnología HEMT (y en general todas las tecnologías de alta velocidad) es la distribución de señales de reloj por encima del GHz. En esta tecnología se alcanzan niveles de integración de varios miles de puertas, por lo que es complicado conseguir disparos de reloj inferiores al 10% de la frecuencia máxima de reloj.

Como solución se plantea una metodología de diseño asíncrono, que elimina por completo la señal de reloj, e implementa a nivel hardware un protocolo de petición/reconocimiento para la comunición entre bloques. Esta metodología de diseño recibe el nombre de ECS (Sistemas controlados por eventos) y permite el diseño de circuitos autotemporizados. Como contrapartida, el diseño de se hace más complejo y se introducen problemas adicionales para el test de los circuitos.

Esta metodología distingue entre dos tipos de líneas, las de datos donde la información se interpreta por niveles lógicos, y las de eventos que transportan información de control y se interpretan por transiciones. Se establecen una serie de principios que definen la secuencia en que han de sucederse los eventos y los datos.

Esta metodología de diseño se fundamenta en la lógica controlada por eventos EDL.
La principal ventaja de la lógica EDL es que no usa señal de reloj, con lo que se evitan los problemas derivados de su uso (dispersión, ruteado, buffers de reloj, regeneraciones, ...). Los pasos a seguir para diseñar con esta lógica son:

1. Asignar un nivel lógico de partida a todas las varibles (entradas y salidas) que intervienen en el diseño.
2. Definir el comportamiento posterior del sistema en término de transiciones o eventos.

EDL es una alternativa para el diseño de circuitos que funcionan con lógica secuencial asíncrona. El comportamiento del sistema sigue un diagrama de estados, donde la transición de un estado al siguiente la determinan los eventos que ocurren en las variables del sistema.

Las tablas 2.1 y 2.2 contienen los operadores especiales y reglas de conversión utilizadas en EDL. La conversión a lógica convencional permite la aplicación de las técnicas de minimización lógica.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Eventos	No-eventos
$\Delta A \Rightarrow$ *Transición de nivel bajo a alto*	$\bar{\Delta} A \Rightarrow$ *Permanencia a nivel bajo*
$\nabla A \Rightarrow$ *Transición de nivel alto a bajo*	$\bar{\nabla} A \Rightarrow$ *Permanencia a nivel alto*
$\delta A = \Delta A + \nabla A \Rightarrow$ *Cualquier evento*	$\bar{\delta} A = \bar{\Delta} A + \bar{\nabla} A \Rightarrow$ *Ningún evento*

Tabla 2.1: Operadores en EDL

EDL		LDL	Significado
$\nabla A + \bar{\Delta} A$	$\Longleftrightarrow$	$\bar{A}$	*A pasa o permanece a nivel bajo.*
$\Delta A + \bar{\nabla} A$	$\Longleftrightarrow$	A	*A pasa o permananece a nivel alto.*
$\nabla A + \Delta A + \bar{\nabla} A + \bar{\Delta} A$	$\Longleftrightarrow$	1	*Todos los cambios son posibles.*
$\Delta A(\nabla A + \bar{\nabla} A + \bar{\Delta} A)$	$\Longleftrightarrow$	0	*Ocurrencia de varios cambios simultáneos en A.*

Tabla 2.2: Reglas de conversión

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Así como en lógica convencional disponemos de puertas básicas (INV, OR, AND), la lógica controlada por eventos también ha definido una serie de primitivas básicas (Muller–C, OR–inclusiva,...). Por consiguiente un diseño en EDL o bien parte del uso de esas primitivas, o bien se define a partir de un diagrama de estado.

El comportamiento de dos de esa primitivas, Muller–C y OR–inclusiva, fue simulado y estudiado en el seno del CMA, por el investigador alemán Backhaus, obteniéndose los resultados que se muestran en las tablas y gráficas. Las simulaciones se efectuaron para dos tipos de lógica, DCFL y SDCFL.

Muller–C

La puerta Muller–C funciona como una puerta AND secuencial. El comportamiento de dicha puerta se define como sigue:*Si todas las entradas coinciden en un estado lógico, entonces la salida será una copia de una de las entradas, si no la salida mantiene su estado previo.*

La ecuación lógica 2.4 expresa (en lógica convencional) el comportamiento de una

puerta Muller–C de dos entradas, cuyo símbolo se corresponde con el representado en la figura 2.9.

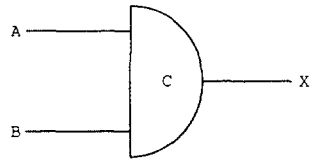


Figura 2.9: Símbolo EDL para el Muller–C

$$X = A \cdot B + X \cdot (A + B) \tag{2.1}$$

Or-inclusiva

La puerta Or-inclusiva se describe como un puerta OR para transiciones en las entradas. El comportamiento de dicha puerta se define como sigue: *Una transición en la salida es motivada por un transición en una de las entradas o por varias simultáneas en la misma dirección (ascendente/descendente). Para transiciones simultáneas en las entradas pero en direcciones opuestas, la salida mantiene su valor actual.*

La ecuación lógica 2.4 expresa (en lógica convencional) el comportamiento de una puerta OR–inclusiva de dos entradas, cuyo símbolo se corresponde con el representado en la figura 2.10.

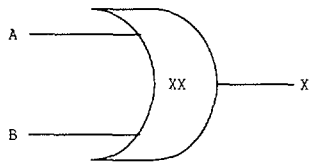


Figura 2.10: Símbolo EDL para la OR–inclusiva

$$\begin{aligned} X &= A \cdot B + \overline{y} \cdot (A + B) \\ donde: y &= A \cdot B + y \cdot (A + B) \end{aligned} \tag{2.2}$$

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

En las figuras[2.11, 2.12, 2.13, 2.14] se muestra el esquema lógico convencional y los resultados de simulación con el IAF-SPICE, para lógica DCFL y SDCFL, del Muller–C y de la OR–inclusiva respectivamente. Las formas de ondas visualizadas corresponden a una de las entradas contrastada con la salida. Sólo se ha visualizado una de las entradas porque ambas son las mismas pero desplazadas y en este caso particular la salida sigue a una de las entradas. Finalmente los resultados extraídos de las mediciones efectuadas sobre dichas curvas se incluyen en la tabla 2.4

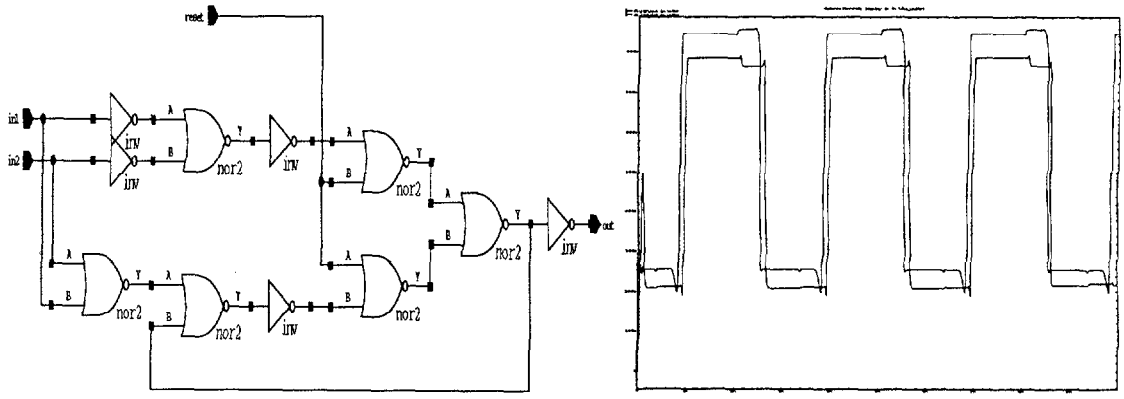


Figura 2.11: Muller–C en lógica DCFL y curvas de simulación

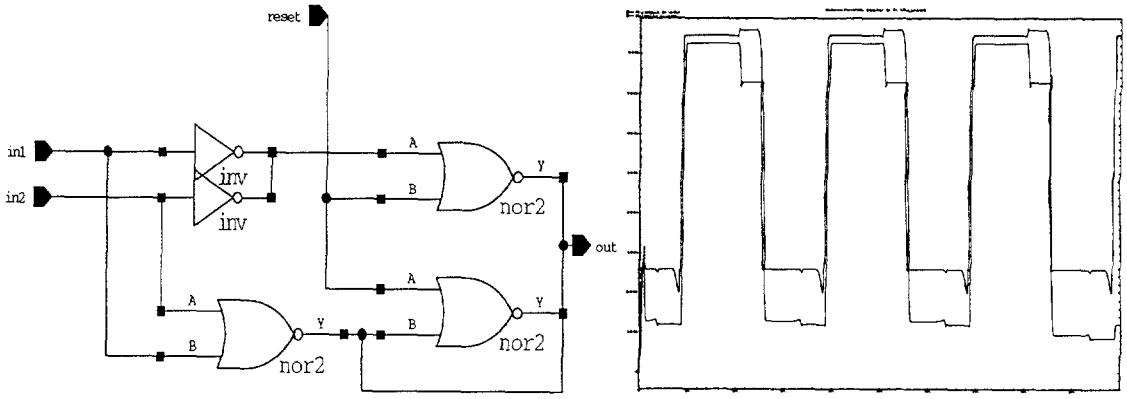


Figura 2.12: Muller–C en lógica SDCFL y curvas de simulación

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

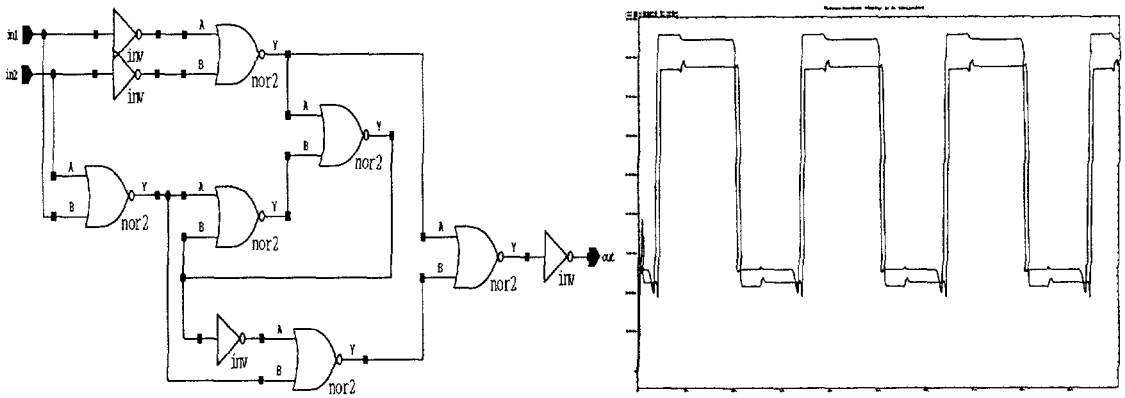


Figura 2.13: OR–inclusiva en lógica DCFL y curvas de simulación

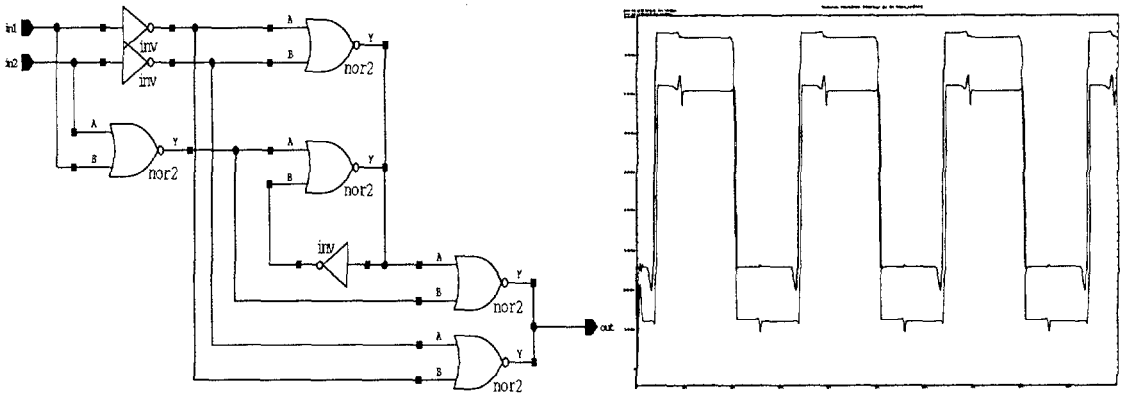


Figura 2.14: OR–inclusiva en lógica SDCFL y curvas de simulación

Primitivas		T_r *(ps)*	T_f *(ps)*	T_{plh} *(ps)*	T_{phl} *(ps)*	*Potencia (mW)*
Muller–C	DCFL	40	50	100	123	13.86
	SDCFL	61	40	39	64	11.85
OR–inclusiva	DCFL	35	46	78	83	12.61
	SDCFL	46	37	48	41	13.31

Tabla 2.3: Retardos y consumos

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 3

Arquitectura del Conmutador ATM

3.1 Introducción

Desde principio de los años 80 se inició la estandarización de los sistemas de banda ancha, pero no fue hasta 1986 que el CCITT (Comite Consultivo Internacional Telegráfico y Telefónico), actualmente ITU-T (Unión Internacional de Telecomunicación - Telegráfica) aprobó ATM como modo de transmisión de la información en la RDSI-BA (Red Digital de Servicios Integrados de Banda Ancha).

Otras entidades u organismos internacionales de estandarización que han acordado una serie de normativas y especificaciones referentes a las comunicaciones, conexiones y transporte sobre redes ATM son ETSI (Instituto Europeo de Normas de Telecomunicación), EURESCOM (Instituto Europeo de Investigación y Estudios Estratégicos de Telecomunicaciones) y ATM Fórum. Ellos no sólo sirven como foro para el intercambio de ideas y formación de consorcios entre empresas sino que además actúan como fuente de financiación para proyectos I+D.

ATM Fórum es una organización de ámbito mundial creada en 1991, cuyo objetivo es acelerar el desarrollo de los servicios y productos ATM mediante la especificación de las condiciones de interoperabilidad y la promoción de la cooperación industrial. Actualmente agrupa 581 socios industriales. Entre los socios de ATM Fórum se pueden citar a empresas tan destacadas como AT&T, Alcatel, Ericsson, HP, IBM, Northern Telecom, Siemens, Sun, BT, Bell Atlantic, Bellcore, Bell-South, Cabletron, Chipcom, Cisco, Intel, MCI, Motorola, NTT, Nynex, Novell, Pacific Bell, South-western Bell, Sprint, SynsOptics, US West o Ungermann Bass.

Como parte del programa comunitario RACE (Research for Advanced Communications in Europe), en noviembre de 1992, cinco operadoras de telecomunicación

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

-Telefónica, DBP Telekom, BT, France Telecom y STET/ASST- firmaron un acuerdo para el desarrollo de una infraestructura de red piloto paneuropea basada en la tecnología ATM. Los primeros enlaces de interconexión fueron de 34 Mb/s.

En el Cuarto Programa Marco de la Comisión Europea para Investigación Científica y Desarrollo (1994-1998) el programa RACE ha sido sustituido por el ACTS (Advanced Communications Technologies and Services).

Con la finalidad de poner en marcha esta red en nuestro país, Alcatel y Ericsson le suministraron a Telefónica centrales de conmutación ATM. Telefónica también participa activamente en el programa europeo ACTS y en el ATM Fórum donde se está reperesentada por su filial Telefónica I+D.

A nivel nacional Telefónica a desarrollado su propio proyecto de Red Experimental de Comunicaciones Integradas de Banda Ancha, conocido como RECIBA, que está operativa desde 1992. Este proyecto desarrollado por su centro I+D, constituye una pieza fundamental del plan impulsado por la DGT (Dirección General de Telecomunicaciones) bajo el nombre de PLANBA (Plan Nacional para la Banda Ancha).

Otro proyecto de gran interés en el que participa telefónica es ISABEL (Infraestructure for Supporting Advanced Broadband Experiments and Laboratories) bajo cuyo contexto se ha realizado una conexión entre dos islas de banda ancha ATM con conmutación en ambos extremos. La conexión se realizo en diciembre de 1993 a través de un enlace de fibra óptica ya existente de 140 Mb/s PDH, que transporta tráfico comercial y del que se dedicó un canal de 34 Mb/s para unir las islas ATM ubicadas en Madrid (RECIBA) y en la localidad portugesa de Aveiro (RIA).

El mercado para los productos ATM se desarrollará principalmente en los segmentos LANs y *backbone* de redes privadas; redes superpuestas de operadores de valor añadido y servicios públicos de pequeña escala y en las redes públicas principales de telecomunicación.

El estudio destaca que el mercado LAN ya ha arrancado con compañias como Fire System y SynOptics, mientras que el backbone lo atiende empresas como Adaptative/Net, IBM, SynOptics, Cascade y Stratacom. El mercado de las redes superpuestas los principales suministradores son Newbridge Networks y Stratacom. El mercado de las redes públicas será más lento, destacando las promociones de suministradores tradicionales de equipos de conmutación como Alcatel, AT&T, Ericsson Northern Telecom.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

En la tabla siguientese listan los productos ATM que actualmente se hallan en el mercado, la compañía que los comercializa y los precios aproximados de los mismos.

Compañía	*Part no.*	*Descripción*	*Velocidad* (MHz)	Precio *(100)*
AMCC	S3005-1	SONET/SDH OC-3/12 transmitter	155	$49
	S3005-6	SONET/SDH OC-3/12 transmitter	622	$99
	S3006-1	SONET/SDH OC-3/12 receiver	155	$49
	S3006-6	SONET/SDH OC-3/12 receiver	622	$99
	S3011	SONET/SDH/ATM OC-3 transmitter	155	$32
	S3012	SONET/SDH/ATM OC-3 receiver	155	$32
	S3014-1	SONET/SDH clock synthesis/recovery	155	$32
	S3014-6	SONET/SDH clock synthesis/recovery	622	$32
AT&T Microelectronics	T7650	2×2 self-routing switch, crosspoint-buffered	400	$23.45
	T7651	Transceiver, cat 3 UTP	52	
BIT	Protocol processor	AAL3/4/5 SAR functions	155	
	Switch fabric	4-port switch, traffic management	400	
Broktree Corp.	Bt8215	Bidirectional cell buffer	155	$85
	Bt8220	ATM transceiver (cell alignment and framer)	1.544/155	$90
Cypress Semiconductor	CY7B951	ATM/SONET transceiver	52/155	$45.25
	CY7B923/933	8B/10B transmitter/receiver	160/330	$64.30/pair
Fujitsu Microelectronics	MB86680	Switch-routing element	155	$75
	MB86683	Adaptation-layer contoller	155	$75
	MB86686	Network-termination controller	155	$105
	MB86689	Address-translation controller	155	$45
GEC Plessey	P1480	Content-addressable memory 1k×64bit (or ATM switch layer)	120 nsec.	$70
Integrated Telecom Technology	MOD-013	SONER STS-3c ATM physical-interface mdl.	155	$1295
	WAC-011	DXI HDLC controller	52	$50
Micro Linear	ML6672 for category 5 UTP	SONET-commptible line interface	155	$20
National Semiconductor	DP83372/82	AAL3/4/5 CS and SAR plus ATM layer	150	$150
PMC-Sierra	PM4341A	T1 framer/line interface	1.544	$29.90
	PM6341	E1 framer/line interface	2.048	$29.90
	PM7321	DS3 user-network interface	45	$75
	PM7345	PDH user-network interface	35/45	$75
	PM5345	SONET user-network interface	155	$50
	PM5346	SONET user-network interface	52/155	$50
	PM5347	User-network interface	155	
	PM5355	User-network interface	622	
	PM5318	SONET serial/parallel converter	622	$120
	PM5312	SONET/SDH transport processor	622	$185
	PM5712	SONET/SDH line-interface module	622	$1100
Sun Microsystems	TDC1560	Single-chip AAL5 SAR with S-bus I/O	155	$80
Texas Instrument	TDC1500	SONET physical-layer interface	155	$80
TransSwitch	TXC-05501	SDMS segmentación controller	155	$110
	TXC-05601 controlller	SDMS reassembly	155	$110
	TXC-05150	Cell delineation block	155	$48

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

3.2 Principios básicos de ATM

ATM (Asynchronous Transfer Mode) es la técnica de conmutación, suscrita por la UITT, como mecanismo para efectuar las comunicaciones en la RDSI-BA (Red Digital de Servicios Integrados de Banda Ancha).

En la Recomendación I.150 el CCITT describe los principios básicos que caracterizan una red ATM :

- ATM se cataloga como un modo de transferencia orientado a un tipo de específico de paquetes llamados células. Estas presentan una longitud fija (53 bytes), estructurada en dos campos, un campo de información (48bytes) y uno de cabecera (5bytes), cuya principal finalidad es la de albergar la información de canal virtual a que pertence cada celula, asi como otra información encargada de facilitar el ruteado de las mismas. Estas células se tranmiten de forma continua a largo de la red, habiendo de rellenarse con células vacías (idle cells) aquellos períodos de célula en que la fuente está inactiva. El modelo de transferencia ATM se ha concebido de forma tal que asegure la integridad de esa secuencia de células por cada canal virtual.

- ATM es orientada a conexión lo que significa que existe una fase previa de establecimiento de conexión en la que se asignan los recursos de red (VCI/VPI, ancho de banda...). Los valores de la cabecera se asignan por cada enlace de una conexión y se mantienen mientras dure la conexión. De esa forma la red en todo momento tiene conocimiento del nivel de recursos asignados, así como del nivel de actividad dentro de ella, pudiendo optimizar el uso de sus recursos aplicando técnicas multiplexación estadística para la asignación dinámica y bajo demanda del ancho de banda disponible. El canal virtual asignado en la fase de establecimiento es el destinado a transmitir la información de usuario, ya que en la RDSI-BA, al igual que en la RDSI-BE esa información y la de señalización van por canales separados.

- ATM carece de protocolos de control de flujo y corrección de errores, confiando en la buena calidad de transmisión que ofrece el medio físico (la fibra óptica). Por consiguiente el campo de información de las células ATM se transmite de forma transparente a través de la red.

- ATM soporta todo tipo de servicios (voz, video, datos ...), incluyendo los servicios no orientados a conexión, y admite diferentes modalidades de transmisión: VBR (Variable Bit Rate), FBR (Fixed Bit Rate) y Burtiness, todo ello sobre una misma red, y sujeto al mismo tipo de procesado. A fin de acomodar esos diferentes servicios, ATM integra una capa de adaptación que adecua los formatos

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

de información de todos los servicios, al formato de células ATM, a la vez que suministra funciones específicas para cada servicio (p.e. recuperación de reloj, recuperacion de células perdidas...).

Para establecer y eliminar un canal virtual, se usa un canal independiente, llamado *canal de meta–señalización* . Este canal de meta–señalización se identifica con un VCI/VPI preasignado, definido en la interface usuario–red (UNI). El procedimiento de meta–señalización principalmente se encargará de la asignación del VCI/VPI, y de la negociación del *throughput* o calidad de servicio (QOS) requerido. Otros valores preasignados en la interfaz usuario–red son los definidos para células no asignadas, células vacias, células de señalización de difusión y células de OAM (operación y mantenimiento) de la capa física. Los mensajes de señalización que se usarán en estos canales de señalización aún no han sido definidos por el CCITT. Es probable que sean una mejora de los adoptados en la señalización de RDSI-BE cuya definición se halla en la Recomendacion I.351.

La calidad de servicio asignada a cada usuario cuya conexión se ha aceptado será supervisada por la red a través de la *función policía* para asegurar que los parámentros negociados se respetan y garantizar el buen funcionamiento de la red a todos los usuarios conectados.

Las conexiones en ATM presentan una estructura jerárquica, quedando definido cada canal lógico por medio de dos identificadores que a su vez dan nombre a los dos tipos de conexiones que pueden darse a lo largo de la red ATM: conexiones de canales virtuales (VCCs) y conexiones de caminos virtuales (VPCs), donde una VPC se puede considerar como integrada por varias VCCs. Esta estructura jerárquica debe ser tenida en cuenta cuando se vaya a ejecutar una operación de conmutación/multiplexación de células, modificando priemero los valores de los VPIs, y luego los VCIs.

Para los casos en que ATM transmite información en VBR, sería aconsejable que la red garantizase la disponibilidad de la capacidad mínima para dicho servicio, a fin de lograr un uso más eficiente del ancho de banda, que en situaciones de congestión le permitiese a la red desechar células sin violar la calidad requerida y seguir ofreciendo la capacidad garantizada. Para ello el CCITT ha adoptado dos niveles de prioridad dentro de una misma conexión virtual: prioridad alta para las células que se hallan dentro del *throughput* negociado y prioridad baja para aquellas que pueden ser objeto de descarte dependiendo del estado de la red. Esa información se transporta en un bit de la cabecera que indica la prioridad de pérdia de célula (CLP). Advertir que esa información de prioridad sólo tiene como finalidad desahogar a la red en situaciones de contención y que en ningún caso debe usarse para dar mayor prioridad de salida

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

a células pertenecientes a una misma conexión. Recordar que uno de los principios básicos de ATM es mantener la integridad de secuenciamiento de las células de una misma conexión.

Toda gestión o administración que la red desee efectuar sobre una conexión de usuario la hará usando el mismo canal lógico asignado para el usuario de la conexión, sin embargo para que la red pueda distinguir entre células de usuario y de red, ha implementado un función de carga útil sostenida por un bit de la cabecera (PT) que informa de este hecho, obrando la red en consecuencia. La información de usuario será transferida de forma transparente a través de la red, mientras que la información de red será sometida a procesado dentro de la red.

El CCITT ha previsto un control de flujo sobre la información que el usuario inserta/extrae de la red, dedicando un campo de la cabecera (GFC) de la células que circulan por la UNI para aportar esa información. Pero el CCITT aún no ha especificado ese mecanismo. El propósito del CCITT es mantener la definición del GFC independiente de la topología (anillo, bus, estrella...) de la red de acceso del usuario. Esta función sólo se implementará en la interface usuario red UNI.

3.3 Modelos de capa de ATM

El modelo de protocolo de referencia de la RDSI-BA para ATM, cuya descripción se encuentra en las Recomendaciones I.320 e I.321 se muestra en la figura 3.1 donde se observa que integra planos separados para segregar la funciones de usuario, control, y administración. Un plano de usuario para transportar la información de usuario, un plano de control principalmente compuesto por la información de señalización, y un plano de administración, que se usa para mantenimiento y operatividad de la red. Este último plano están integrado por dos adminstradores, uno que se encarga de la administración entre capas, el administrador de capas, y otro que se ocupa de la gestión entre los diferentes planos, el administrador de planos.

El CCITT describe las tres capas más bajas: la capa física que principalmente transporta información (bits/células); la capa ATM que principalmente ejecuta conmutación/ruteado y multiplexación y la capa de adaptación ATM (AAL) que principalmente se responsabiliza de adaptar las unidades de información de los diferentes sevicios al formato de célula ATM.

Cada capa se divide en subcapas y cada una de ellas desempeña funciones concretas.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

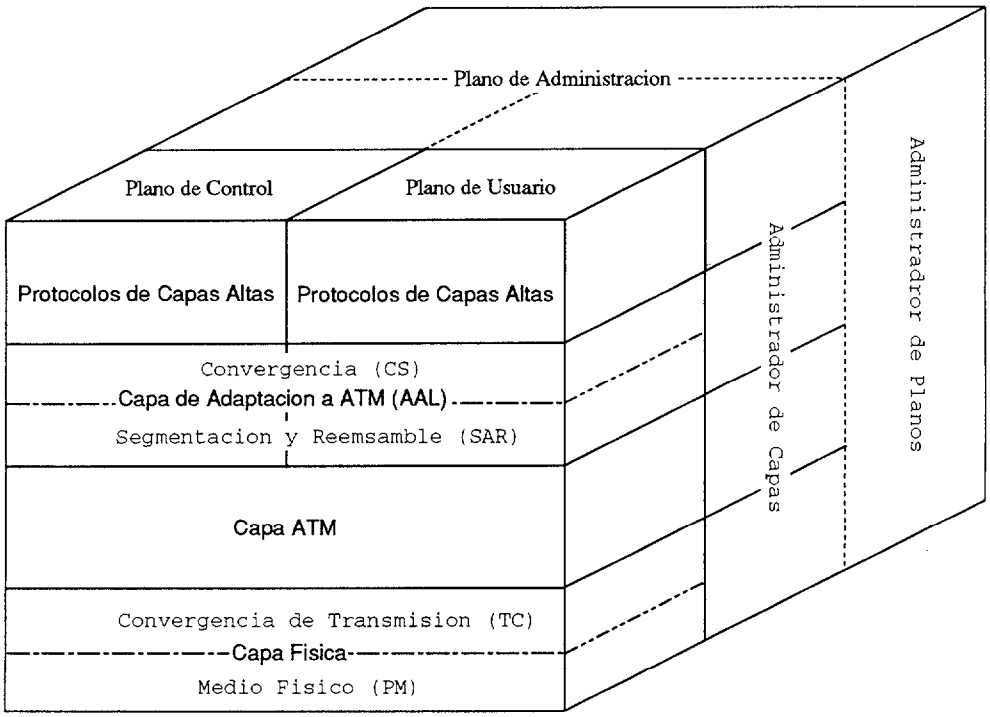


Figura 3.1: Modelo de Protocolo de Referencia de la RDSI-BA ATM.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

3.3.1 Capa física

Esta compuesta de dos subcapas: la subcapa de medio físico (PM) que soporta funciones de bit dependientes del medio, la subcapa de convergencia de transmisión (TC) que convierte la ristra de células ATM a bits que se transmiten sobre el medio físico.

- **Subcapa del medio físico.** Es la responsable de la correcta transmisión y recepción de bits sobre el medio físico correspondiente. Las funciones de esta subcapa son dependientes del medio físico (óptico, eléctrico...) y entre ellas esta la de garantizar la reconstrucción adecuada del tiempo de bit en el receptor, para lo que debe suministrar la información de tiempo de bit y la codificación de línea usadas por el extremo emisor.

- **Subcapa de convergencia de transmisión.** En esta subcapa, ya se reconocen los bits, tal como los entrega la subcapa PM. Básicamente ejecuta las siguientes funciones:

  1. La generación/recuperación de trama.

2. La adaptación de la trama al sistema de transmisión usado. Los posibles sistemas de transmisión se basarán en SDH (jerarquía digital síncrona), G.703 jerarquía plesiosíncrona o en células. La célula debe encajar dentro del sistema de transmisión.
3. El reconocimiento de los contornos de células en el receptor, y la preparación de los datos en el transmisor para asegurar la adecuada delinealización de células en el receptor. El mecanismo para ejecutar la delineación se basa en un algoritmo HEC (Header Error Check).
4. La generación y verificación del síndrome de HEC de cada célula.
5. La inserción y supresión de células no asignadas para adaptar la velocidad útil a la carga útil disponible del sistema de transmisión. Esta funcion se denomina *desacoplo de la velocidad de célula.*
6. El intercambio de información de mantenimiento (OAM) con el plano de administración.

3.3.2 Capa ATM

Es completamente independiente del medio físico que se use para transportar las células ATM. Ha de ejecutar 4 funciones:

1. Multiplexación/demultiplexación de células de diferentes conexiones (identificadas por diferentes valores de VCI y/o VPI) sobre una ristra única de células.
2. Traducción separada o simultánea de los identificadores VCI y VPI en los conmutadores o en los cruces de conexiones ATM.
3. Extracción/inserción de la información de cabecera de la célula, antes/después de que la célula sea entregada a/desde la capa de adaptación.
4. Implementación en la interface de usuario-red de un mecanismo de control de flujo soportado por los bits GFC (Generic Flow Control) en la cabecera.

3.3.3 Capa de adaptación ATM (AAL)

Esta capa es responsable de la adaptación de la información de las capas más altas a las células ATM. Se subdivide en dos subcapas: la subcapa de segmentación y reensamblaje (SAR) y la subcapa de convergencia (CS).

- **Subcapa de segmentación.** La principal función de la subcapa SAR es la de segmentar las unidades de información de las capas mas altas a células ATM y

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

la operación inversa. Para ejecutar esta segmentación el SAR ha de identificar un conjunto de células ATM con una única entidad en la capa más alta. Por tanto se ha de definir un campo adicional dentro del campo de información para distinguir entre ellas y averiguar cuales de las células están completamente y cuales parcialmente llenas.

- **Subcapa de convergencia.** Es dependiente del sevicio y puede ejecutar funciones como identificación de mensaje, recuperación de reloj...

3.4 Definición de la capa ATM

La codificación de la célula ATM se describe en detalle en la Recomendación I.361. La estructura de las célula elegida por el CCITT contiene 48 bytes en el campo de información y 5 bytes en el campo de cabecera. Los bytes se envían en orden creciente, comenzando por el primer byte de la cabecera. Dentro de un byte los bits se envían en orden decreciente empezando por el bit más significativo. Para todos los campos de una célula ATM el primer bit enviado es siempre el más significativo.

En la interface usuario-red (UNI) la estructura de la cabecera es la que se muestra en la parte alta de la figura 3.2. El primer campo contiene 4 bits para el control de flujo genérico (GFC). Sin embargo el CCITT aún no se ha pronunciado sobre la codifición y funcionalidad de esos bits. El segundo campo es el campo de ruteado, subdividido en un VCI campo de 16 bits y un VPI campo de 8 bits. El campo de tipo de carga útil (PT) se codifica con 2 bits adoptando el 00 como valor por defecto para indicar información de usuario. El valor PT para objetivos de control de la red aún no se ha definido. El bit de prioridad de pérdida de célula (CLP) indica si una célula tiene una prioridad más alta (CLP=0) o está sujeta a descarte dentro de la red (CLP=1). El bit reservado (RES) permite introducir mejoras en la cabecera para usos posteriores. El valor por defecto es 0. Finalmente el campo HEC (Control de Error de Cabecera) consta de 8 bits y su única finalidad es efectuar un control de errores sobre los bits de la cabecera, en ningún caso ese chequeo de errores se hace extensivo a la información de usuario.

En la interface red-nodo (NNI) el formato de la cabecera es la que aparece en la parte baja de la figura 3.2. La única diferencia con la anterior radica en el campo GFC de la UNI que ahora se ha reemplazado por 4 bits adicionales de VPI, resultando un campo de VPI de 12 bits en el NNI.

Puesto que en esta capa se trabaja a nivel de célula conviene conocer los diferentes matices y modalidades de células reconocidas por el CCITT. El CCITT establece

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

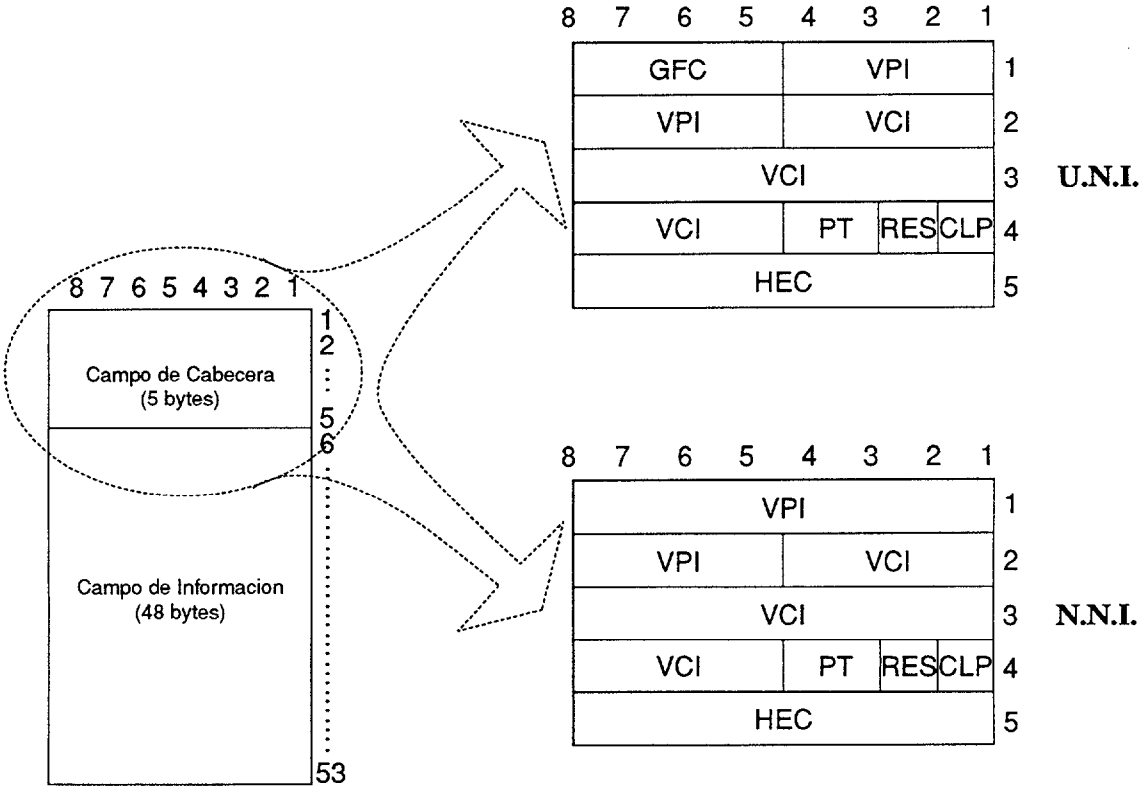


Figura 3.2: Formato reconocido por el CCITT para la celula ATM.

distinciones entre las células que solo son visibles por la capa física y que no pasan a la capa ATM y aquellas que son visibles por ambas capas. La distinción se hace en el bit 1 del byte 4 de la cabecera. El CCITT define los siguientes tipos de celulas:

- Células no asignadas.
- Células vacías (idle cells).
- Células de meta-señalización.
- Células de senalización de difusíon general.
- Células OAM de la capa física.

Células no asignadas son células que no contienen información útil. Son visibles en las capas ATM y física, mientras que las *idle cell* sólo son visibles en la capa física. Las células no asignadas se envían cuando no hay información disponible en el emisor, con lo que se permite el funcionamiento asíncrono entre emisor y receptor. Las células de meta-señalización se usan para negociar los recursos y el VCI de señalización. Las células de señalización de difusión general contienen información que ha de llegar a todos los terminales en una UNI.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

3.5 Conmutación de banda ancha ATM

Las arquitecturas de conmutadores desarrollados para STM no se puede aplicar directamente en ATM de banda ancha. Los dos factores más importantes que impiden esto, y que caracterizan a ATM son:

- La elevada velociad a que tiene que producirse la conmutación (desde 150 a 600Mb/s)
- El comportamiento estadístico de las cadenas ATM que pasan a través de los sistemas de conmutación ATM.

Además, el tamaño pequeño y fijo de una célula ATM asi como la funcionalidad limitada de su cabecera influirán considerablemente en la definición de las arquitecturas óptimas para la conmutación ATM.

En un conmutador ATM las células han de transportarse desde una entrada a una o más salidas, pero internamente esa tarea puede combinarse con otras de concentración, expansión, multiplexación y demultiplexación del tráfico ATM. El significado de estas funciones es el siguiente:

- **Conmutación.** Transporte de información desde un canal lógico ATM de entrada a uno de salida escogido entre un número de canales lógicos de salida. Este canal lógico ATM se caracteriza por:
  1. Una entrada/salida física caracterizada por un número de puerto físico.
  2. Un canal lógico sobre el puerto físico, caracterizado por un identificador de canal virtual (VCI) y/o un identificador de camino virtual (VPI).
- **Concentración o multiplexación.** Información de N entradas se multiplexa sobre M salidas, siendo N>M. Permite trabajar internamente a un velocidad superior a la de las líneas de entrada/salida del conmutador.
- **Expansión/demultiplexión.** Es la operación inversa de la concentración o multiplexión. Se aplica cuando la velocidad interna del conmutador es menor que la de las líneas entrada/salida.

El principio básico de funcionamiento de un comutador ATM, se analiza en la figura 3.3. Como se observa, las células ATM que llegan son físicamente conmutadas desde una entrada I_i a una salida O_j, al mismo tiempo que el valor de su cabecera se traduce de un valor de entrada x a un valor de salida y. Para cada enlace entrante y saliente los valores de las cabeceras son únicos, aunque se pueden encontrar cabeceras

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

idénticas en enlaces diferentes.

En el ejemplo, observando las tablas de traducción se comprueba que todas todas la células que tienen la misma cabecera x en el enlace entrante I_1 se conmutan a la salida O_1 y que sus cabeceras se traducen o conmutan al valor k, mientras que todas las células con la cabecera x en el enlace I_n también se conmutan a la salida O_1 pero su cabecera toman el valor n.

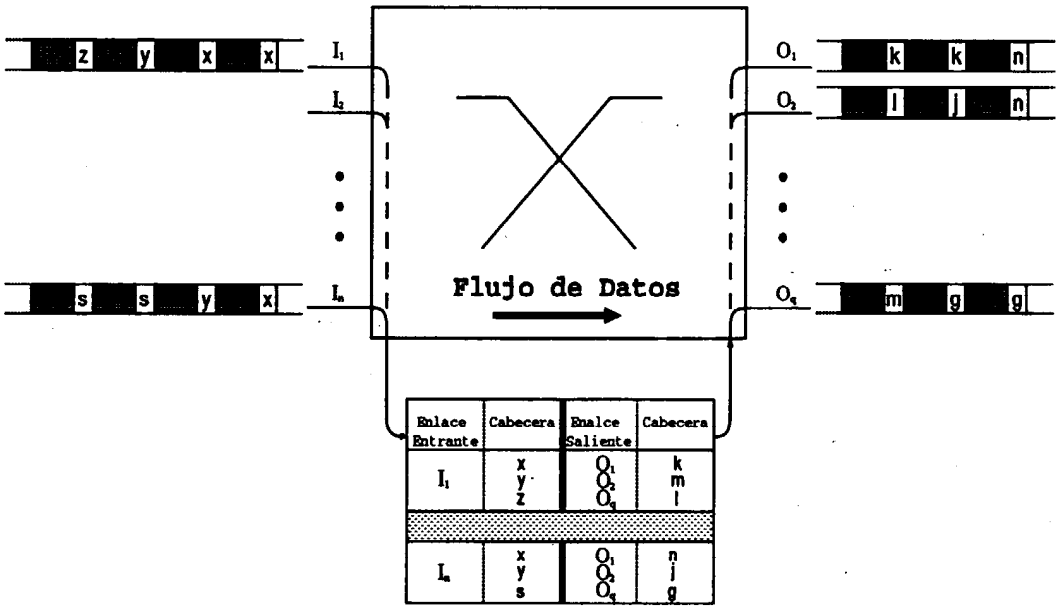


Figura 3.3: Principio Básico de un Conmutador ATM.

Como vemos es posible que dos células procedentes de diferentes entradas y con el mismo destino lleguen simultáneamente, sin embargo el acceso a la salida no puede efectuarse de forma simultánea. Por consiguiente si sólo una célula puede acceder a la salida, para evitar que la otra sea desechada, es indispensable dotar al elemento de conmutación de elementos de almacenamiento que permitan retener la célula que pérdio la contención hasta el siguiente o posteriores períodos de célula.

Resumiendo, las tres funciones básicas que debe implementar todo conmutador ATM son:

- Ruteado
- Encolamiento, para resolver los problemas de contención.
- Traducción de la cabecera.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

3.5.1 Requisitos contemplados en la conmutación

La red de banda ancha ha de ser capaz de transportar todo tipo de información desde telecontrol, voz y hasta video de alta calidad. Los conmutadores ATM han de hacer frente a las diferentes necesidades que presentan estos servicios en lo referente a régimen de bit (desde unos pocos Kbit/s hasta cientos de Mbit/s), comportamiento temporal (régimen de bit constante, variable, ráfagas), transparencia semántica (porcentaje de pérdida de células, porcentaje de bits erróneos) y transparencia temporal (retardo y variación de retardo).a estos diferentes requisitos de servicios. A su vez habrán de suministrar las facilidades de *broadcast/multicast*

La máxima velocidad de bit que los futuros conmutadores ATM han de conmutar se halla entorno a los 2.5Gb/s y 10Gb/s, pero eso no significa que los conmutadores internamente operen a dicha velocidad, de hecho podrían hacerlo a velocidades más bajas si interiormente se optase por una expansión de líneas, o velocidades más altas si se escogiese la concentración.

3.5.2 Parámetros de eficiencia de un conmutador ATM

El rendimiento de los conmutadores ATM se determina en base a una serie de parámetros como son el throughput, BER (determinados por la tecnlogía y tanaño del conmutador), probabilidad de bloqueo de la conexión, probabilidad de pérdida de célula (CLP) o de inserción de células en otras conexiones, y la variación del retardo (jitter).

- **Bloqueo de conexión.** Es la probabilidad de que no se pueda disponer de los recursos suficientes dentro de la red para aceptar la nueva conexión sin alterar la calidad de servicio (QOS) de las ya existentes.

  Existen dos modelos de conmutadores conmutadores, aquellos cuya estructura no incluye el concepto de conexión interna, lo que significa que si hay sufientes recursos disponibles en el enlace externo entre entrada y salida (p.e. ancho de banda y valores de cabecera), no habrá bloqueo de la conexión, y los otros cuyos recursos internos se asignan por cada nueva conexión y por tanto estarán sujetos a bloqueo de conexión interna, cuando su capacidad de servicio esté agotada.

- **Probabilidad de pérdida/inserción de células.** El que varias células vayan destinadas a la misma salida durante mucho tiempo puede provocar un desbordamiento en los elementos de almacenamiento de los conmutadores con la consiguiente pérdida de células. En el diseño de los conmutadores habrá que procurar que esa probabilidad de pérdida de célula se mantenga dentro de uno limites para

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

asegurar la transparencia semántica (valores típicos : 10^{-8} y 10^{-11}).

Sin embargo existe algunas arquitecturas de conmutadores llamadas sin-bloqueo que no sufren los problemas de contención por un mismo recurso, por lo que la pérdida de células, de producirse, sólo ocurrirá en a sus entradas y/o salidas.

El otro problema que puede plantearse en la tarea de conmutación es la posibilidad de que células mal ruteadas lleguen erróneamente a otra conexión lógica. La probabilidad de esta inserción de células ha de procurarse que sea 1000 veces o más mejor que el porcentaje de pérdida de célula.

- **Retardo de conmutación** El tiempo para conmutar una célula a través del conmutador también es un un factor importante, para mantener la tansparencia temporal. Valores típicos se hallan entre 100 y 1000μs con un jitter de unos pocos 100μs o menos. Este valor de jitter se determina como la probabilidad de que su retardo exceda de un determinado valor.

3.6 Estudios del Conmutador ATM a implementar

La terminología adoptada en este campo define dos vocablos para diferenciar el nivel de complejidad del conmutador al que hace referencia:

- Fábrica de conmutación (switch fabric). Se compone de bloques básicos de conmutación, interconectados según una topología específica.
- Elemento de conmutación (switch element) Es el bloque de conmutación básico para construir la fábrica de conmutación.

3.6.1 Elemento de conmutación

Las funciones de conmutación de estos elementos se concentran en resolver los problemas de almacenamiento en caso de contención. Dependiendo de la estructura del elemento de conmutación y de sus requisitos de velocidad, el almacenamiento o retención puede efectuarse, en la entrada, en la salida, o en una etapa intermedia del conmutador. Si la red de interconexión que une los elemento de conmutación no sufre bloqueo en ningún punto de su estructura, los conmutadores básicos que la integran no precisan equiparse con elementos de almacenamiento.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Topologías

Atendiendo a la ubicación de los buffers en los elementos de conmutación distiguiremos 3 topologías. Para el estudio comparativo entre ellas usaremos N para denotar el número de entradas/salidas del conmutador, B_t la velocidad del enlace y W el ancho de la memoria en bit.

1. **Buffers en la entrada.** Cada entrada dispone de un buffer en el que va almacenando las células que recibe hasta que el mecanismos de arbitrio de buffers decide atenderla. La célula elegida se transfiere a la salida correspondiente sin que sufra ningún tipo de contención en su trayecto interno. La lógica de arbitrio puede ser tan simple como un mecanismo *round-robin* hasta otras más complejas que tienen en cuenta el nivel de llenado de los buffers. Esta topología sufre lo que se denomina bloqueo de cabeza de línea (HOL blocking), consistente en que si la primera célula que ha de atenderse en la cola de dos entrada van destinada a la misma salida, sólo una de ellas podra transferirse mientras que la otra sufre retención, bloqueando a todas aquellas células almacenadas detrás de ellas y que podrían estar destinadas a una salida que en ese intervalo de célula se haya ociosa.

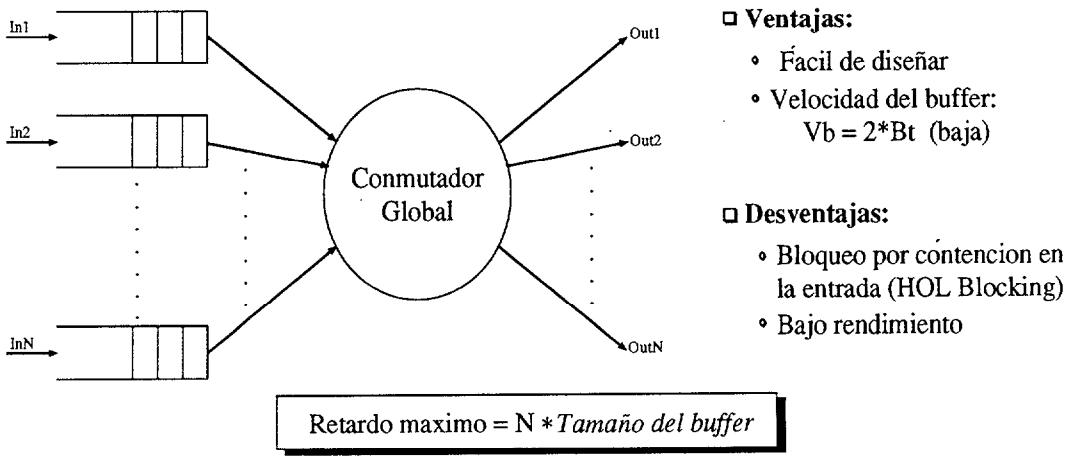


Figura 3.4: Topología del elemento de conmutación con buffers en la entrada.

Sólo una entrada y una salida pueden acceder simultáneamente a una memoria de entrada. El tiempo de acceso será por tanto de:

$$T_{acceso} = \frac{W}{2B_t} \, para\, puerto\, único \tag{3.1}$$

$$T_{acceso} = \frac{W}{B_t} \, para\, doble\, puerto \tag{3.2}$$

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

La ganancia lograda con la memoria de doble puerto en esta topología si se puede considerar ventajosa.

La lógica de control también es simple, un único puntero de escritura y otro de lectura para direccionar la memoria según la disciplina FIFO.

El medio de transferencia puede operar a velocidades menores de NB_t ya que confía en los buffers de entrada para resolver una posible contención.

Para poder efectuar operaciones *multicast/broadcast* habrá que a adir lógica adicional, que evite los posibles problemas de contención en la salida.

2. **Buffer a la salida.** Cada salida dispone de un buffer dedicado que permite almacenar múltiples células que llegan en un mismo intervalo de célula. Para asegurar que no se pierden células durante su tránsito hacia la salida, la tranferencia de las mismas dentro del conmutador se debe efectuar a una velocidad de N veces la velocidad de las entradas (siendo N el número de entradas del conmutador). En el medio de transferencia del conmutador no se requiere ningún tipo de lógica de arbitrio, ya que cualquier célula de entrada puede ir libremente hacia su cola de salida. El control de las colas de salida se basa en una disciplina FIFO que asegura que las células mantendran la secuencia correcta.

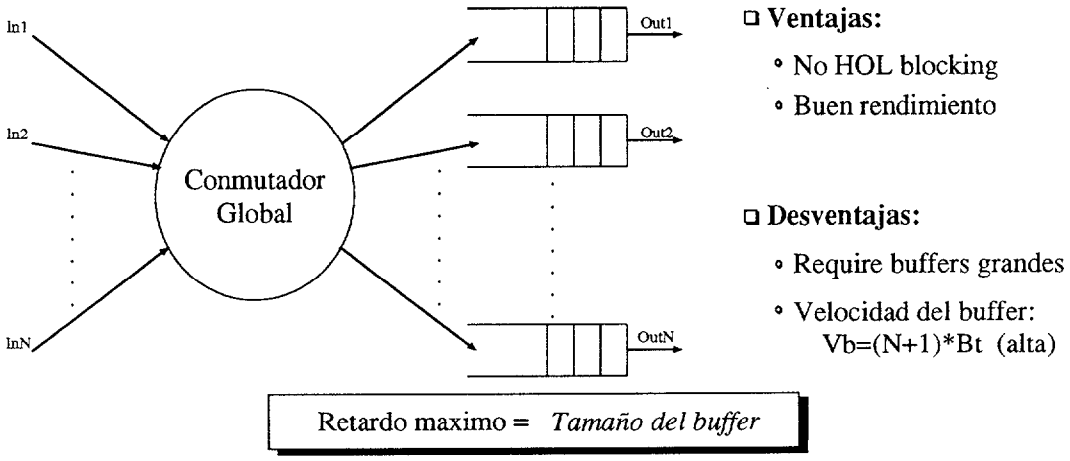


Figura 3.5: Topología del elemento de conmutación con buffers en la salida

La cola de salida puede recibir simultáneamente un célula desde cada una de las entradas (N operaciones de escritura), mientras que sólo una célula se puede enviar a la salida (1 operación de lectura). Todas estas operaciones ($N+1$) tienen

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

que efectuarse durante un período de célula. Por consiguiente el tiempo de acceso a un buffer de salida será de:

$$T_{acceso} = \frac{W}{(N+1)B_t} \tag{3.3}$$

En caso de disponer de una memoria de puerto dual (se pueden efectuar operaciones simultáneas de lectura y escritura) sólo habrán de efectuarse N operaciones en un período de célula. El tiempo de acceso de la memoria será de:

$$T_{acceso} = \frac{W}{NB_t} \tag{3.4}$$

Esta opción sólo implica una ganancia moderada en el tiempo de acceso, mientras que supone un aumento del área del chip 1.5 veces por encima de la de un solo puerto, por consiguiente no es recomendable su uso.

La lógica de control es bastante simple, sólo debe ejecutar una operación FIFO y para lo que requiere de un único puntero de lectura y otro de escritura para direccionar la memoria.

Todas las entradas estarán conectadas con todas los buffers de salida a través de un medio de transferencia, que suele implementarse usando un bus TDM, el cual deberá funcionar a un velocidad de NB_t a fin de evitar la pérdida de células. Esos requisitos de alta velocidad así como las reflexiones que se producen en los extremos del bus a tan altas velocidades, hacen que no sean los medios de interconexión más adecuados. Si se consiguiese un bus de dimensiones pequeñas los problemas de reflexión desaparecerían, convirtiéndose en una solución ideal como medio de transferencia debido a su baja complejidad.

Esta topología soporta fácilmente funciones *multicast y broadcast* dado que todas las entradas pueden acceder a todas las salidas.

3. **Buffer compartido o intermedio.** El sistema de buffers no esta dedicado a un entrada o salida sino que es compartido entre todas las entradas y salidas. Cada célula de entrada se almacenará directamente en el buffer central y cada salida escogerá, siguiendo una disciplina FIFO, sólo aquellas que lleven su destino, eso

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

requiere de una lógica adicional que deje constancia de qué células almacenadas en la memoria pertenecen a una u otra salida. El mecanismo de lectura/escritura es totalmente aleatorio, ya que células con diferentes destinos se mezclan en una única memoria. Sin embargo el concepto de cola lógica si tiene que respetar la disciplina FIFO. Todo ello implica un sistema complejo de administración de dicha memoria.

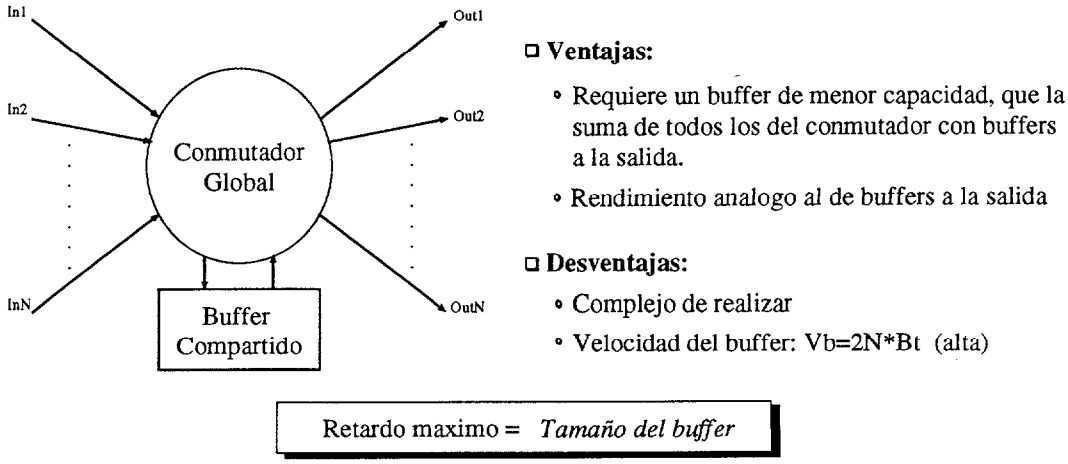


Figura 3.6: Topologia del elemento de conmutación con buffers intermedios

Todas las entradas y/o salidas puede acceder a la memoria simultáneamente, determinando un tiempo de acceso de:

$$T_{acceso} = \frac{W}{2NB_t} \, para\, puerto\, único \tag{3.5}$$

$$T_{acceso} = \frac{W}{NB_t} \, para\, doble\, puerto \tag{3.6}$$

El control de la memoria central es un tanto complejo, ya que todas las células se almacenan y mezclan en esa memoria única, asi que células destinadas a una misma salida no ocuparán posiciones contiguas, siendo aconsejable implementar a nivel hardware técnicas de asignación dinámica de memoria.

El medio de transferencia tiene que adoptar velocidades de NB_t a la entrada y salida de la memoria, para evitar la pérdida de célula.

Estudio comparativo de topologías

1. **Rendimiento comparado de las topologías** El rendimiento se expresa en término de pérdida de células, retardo, tamaño de buffer requerido. La topología

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

de buffers a la entrada por término medio es la que presenta las mayores dimensiones de buffer y los mayores tiempos de espera.

Un análisis computacional asumiendo que la llegada de células sigue una distribución de Poisson y fijando un pérdida de células de 10^{-3}, permitie un estudio comparativo del tamaño de los buffers para las diferentes ubicaciones de los mismos. En la figura 3.7 se observa que para una misma carga de tráfico los buffers a la entrada requieren las dimensiones máximas mientras que los de buffers intermedios las míninas.

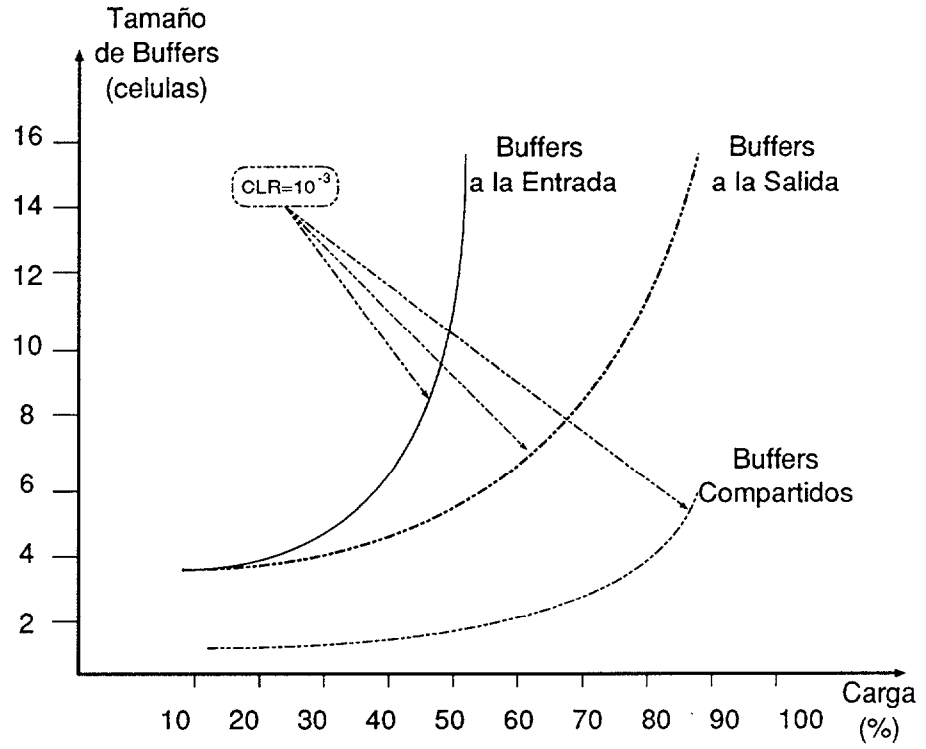


Figura 3.7: Tamaño de los buffers en función de la carga.

2. **Parámetros de implementación** El grado de complejidad que ofrece la implementación de cada una de las topologías puede medirse en base a 3 parámetros:

   - **Tamaño de los buffers.** Este tamaño depende de los requisitos de rendimiento del sistema (porcentaje de pérdida de células, retardo, carga) y de la topología elegida.
   - **Velocidad de la memoria.** El tiempo de acceso a la memoria de almacenamiento de un elemento de conmutación depende de la topología y también su tamaño y de las velocidades de los enlaces entrantes y salientes.
   - **Control de la memoria.** Se precisa de una lógica de control para la gestión adecuada de los buffers. La complejidad de esta lógica depende de

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

la topología. En el caso de los buffers a la entra o a la salida, se aplica el principio FIFO, mientras que para la cola central se precisa de una función de gestión dinámica de la memoria.

Esos tres parámetro hacen que la elección de una de las tres estructuras sea muy dependiente de la tecnología disponible (CMOS, BiCMOS, MESFETs, HEMT...) y de los tamaños característicos (dimensión mínima de los anchos de metal) así como de la velocidad a la que el sistema tiene que operar y del tamaño (en número de entradas/salidas) del elemento de conmutación (2x2,...).

3.6.2 Redes de conmutación

Las redes de conmutación se clasifican en dos grupos:

1. Redes simple-etapa
2. Redes multi-etapa.

Redes simple-etapa.

Las redes de simple-etapa se caracterizan por disponer de una única etapa de elementos de conmutación para enlazar las entradas y salidas de la red de conmutación. Son redes de este tipo:

1. **Matriz de conmutación extendida.** Para construir esta matriz, habrá que añadir un elemento de conmutación por cada pareja de entrada/salida.

   Su principal ventaja es su pequeño retardo de cruce, puesto que las células solo sufren almacenamiento una vez desde que se introducen en la red de conmutación, si bien ese retardo es dependiente de la localización de la entrada. El hecho de que el número de elmentos de conmutación aumente con el número de entradas/salidas de la red de conmutación limita las dimensiones máximas de este tipo de red (hasta 64×64 o 128×128).

2. **Redes de inteconexión barajada.** Para alcanzar una salida desde una entrada determinada se precisa de un sistema de realimentación. Evidentemente una célula puede pasar por la red varias veces antes de alcanzar su destino. Esta red también se denomina de recirculación. Requiere un pequeño número de elementos de conmutación pero el rendimiento no es muy bueno.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

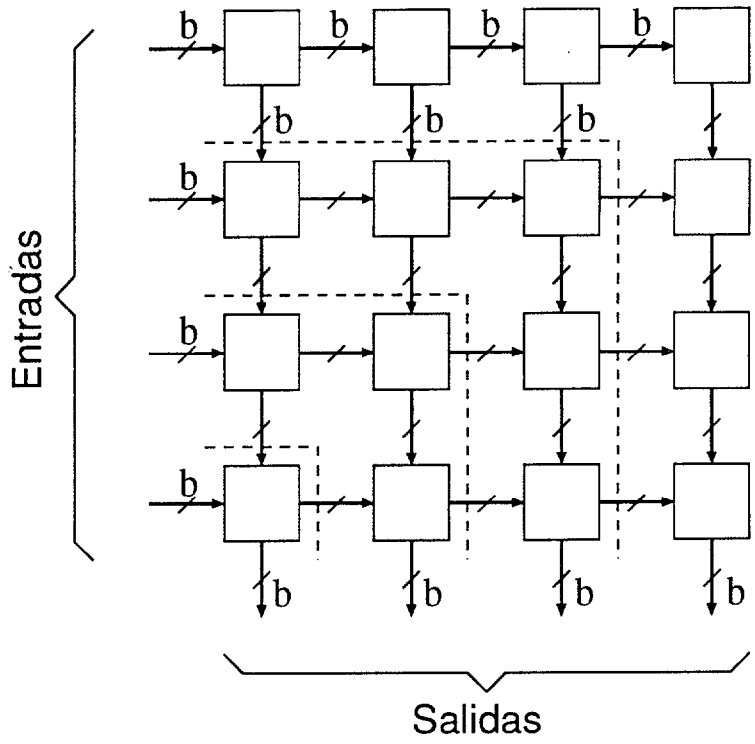


Figura 3.8: Matriz de conmutación extendida.

Redes multietapa

Para eliminar las desventajas de las redes de simple-etapa, surgen este otro tipo de redes compuesta de varias etapas de elementos de conmutación interconectadas siguiendo un determinado patrón de enlace. De acuerdo al número de caminos que están disponibles para alcanzar una salida destino desde una entrada dada, estas redes se subdividen en dos grupos llamadas redes de camino único y redes multicamino.

1. **Redes de camino único.** Solo existe un camino para alcanzar el destino desde una entrada determinada. También se denominan redes Banyan. Como solo existe un camino, las técnicas de ruteado son muy sencillas, sin embargo tienen la desventaja de que están sujetas a bloqueos internos, que ocurren cuando dos entradas usan simultáneamente el mismo enlace de la red. Las redes Banyan se pueden clasificar en subgrupos:

   (a) **Las regulares.** Se construyen con elementos de conmutación idénticos.

   (b) **Las irregulares.** Usan tipos diferentes de elementos de conmutación. A esta ultima clase pertenece la red Delta generalizada.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

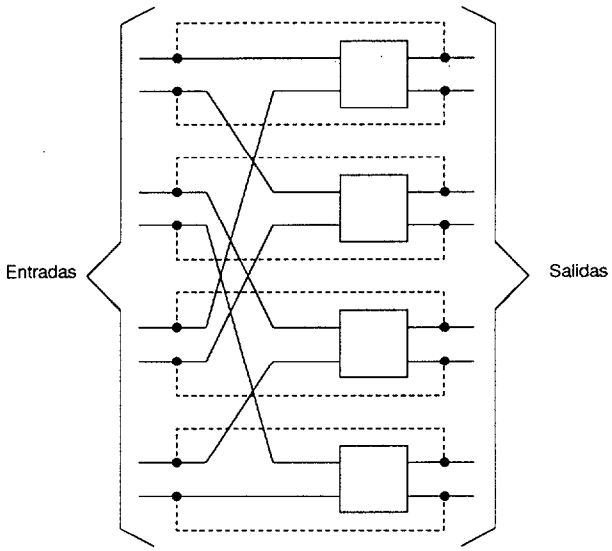


Figura 3.9: Red de interconexión barajada.

2. **Redes de multiples caminos.** Existen una multiplicidad de caminos alternativos que permiten alcanzar la salida de destino desde una entrada dada. Esto significa que se podrán reducir e incluso evitar los problemas de bloqueo dentro de la red de conmutación. Durante la fase de establecimiento de la conexión se asignará uno de los caminos disponibles y todas las células de dicha conexión usarán ese camino interno asignado. Estas se subdividen:

   (a) **Redes plegadas.** Todas las salidas y entradas se localizan en el mismo lado de la red de conmutación y los enlaces internos de la red operan en modo bidireccional. Las redes plegadas ofrecen la ventaja de poder usar caminos cortos, pues en el caso de que la entrada y salida estén conectadas al mismo elemento de conmutación, las células se pueden reflejar en ese conmutador sin necesidad de pasar a la última etapa (etapa de reflexión). El número de elementos de conmutación que una célula tiene que atravesar dependerán de donde se localicen la líneas de entrada y de salida. La capacidad de puertos de una red plegada construida con elementos de conmutación $b \times b$ es de (b/2)(b/2)b. Con las tecnologías actuales, se pueden realizar elementos de conmutación de 16×16 y 32×32 conduciendo a redes plegadas de tres etapas con un total de 1024 y 8192 puertos respectivamente.

   (b) **Redes no plegadas.** La entradas se localizan en un lado y las salidas en el lado opuesto de la red. Los enlaces son unidireccionales y todas las células tienen que pasar por el mismo número de elementos de conmutación. Se basan en estructuras de redes de camino único. Asi se definen diferentes

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

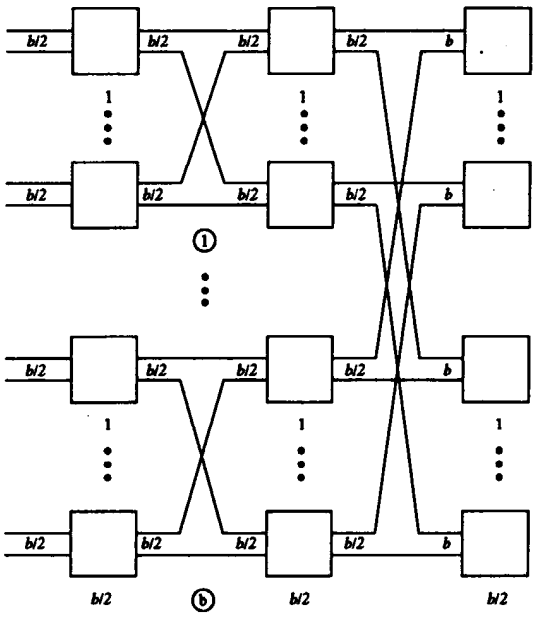


Figura 3.10: Red de conmutación plegada de tres etapas.

modalidades de redes a partir de una red Banyan:

Una versión modificada de la red Banyan, consistente en anteponerle una red de distribución que se encarge de distribuir las células lo más uniformemente posible sobre las entradas, permite reducir el bloqueo interno pero ante el peligro de destruir la integridad de la secuencia, lo que obliga a introducir un bloque de reconstrucción en el receptor.

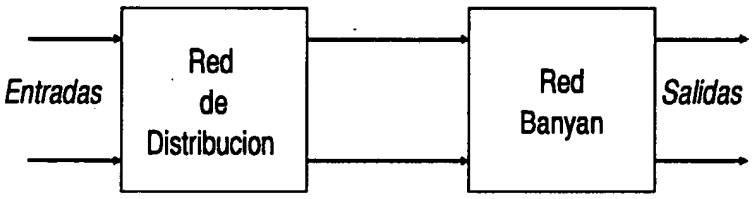


Figura 3.11: Estructura básica de la red Banyan con etapa de distribución.

Otra modalidad consiste en colocar una red de ordenación y seguida de otra de captura, ambas precediendo a una red Banyan. La red de ordenación agrupa las células que llegan según la dirección de destino interna de la red. La red de captura detecta aquellas células con idéntica dirección y todas menos una son realimentadas a la entrada de la red de ordenación. Las células que han de pasar nuevamente por la red de ordenación tendrán mayor prioridad a fin de mantener la integridad de la secuencia. Asi todas las células que alcanzan la red Banyan son transportadas a sus destinos sin bloqueo.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

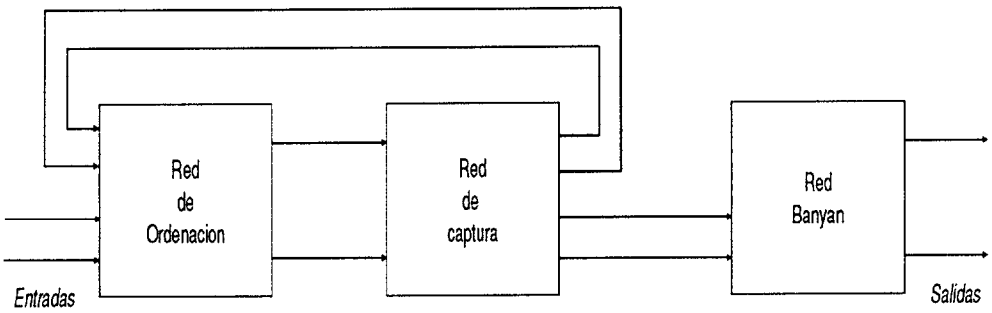


Figura 3.12: Estructura básica de la red Banyan con ordenación y captura.

También se pueden construir redes multicamino utilizando varios planos de redes Banyan en paralelo. Esto se denomina apilamiento vertical. Todas la células que pertenezcan a la misma conexión, atravesarán el mismo plano, el cual se habrá determinado en la fase de establecimiento de la conexión. En cada línea de entrada existe una unidad de distribución que se encarga de conmutar cada célula que llega a su plano correspondiente. En la salida del conmutador un multiplexor estadístico recoge las células de todos los planos. Con solo dos planos paralelos es posible lograr una estructura de conmutación virtualmente sin bloqueo.

Una red de interconexión multi-camino (MIN) se consigue añadiendo una red baseline de topología reservada a una red baseline que ya existe. Si consideramos una red $N \times N$ integrada por elementos de conmutación $b \times b$ la red tendrá un total de $2log_bN$ etapas. En una red $N \times N$ hay disponibles N caminos internos para alcanzar una salida dada desde una entrada arbitraria. Desde una entrada concreta el camino interno se puede seleccionar arbitrariamente hasta que se alcanza la salida de la red base. Luego el camino a través de la red base reservado es fijo.

Una red Benes es muy similar a un MIN. La diferencia es que la última etapa de la red baseline coincide con la primera etapa de la red baseline reservada, por lo que el número de etapas se reduce una unidad comparada con las MIN. Asumiendo nuevamente que los elementos de conmutación son de tamaño $b \times b$ sólo se dispone de N/b caminos alternativos para alcanzar alguna salida desde alguna entrada. Cada camino queda unicamente determinado a su paso por el elemento de conmutación de la etapa central.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

3.6.3 Procesado de la cabecera de una célula en un conmutador global.

Las principales tareas de los nodos de conmutación:

- Traducir VCI/VPI
- Transportar las células desde las entradas a las salidas adecuadas.

Existen dos aproximaciones para llevar a cabo estas tareas:

1. **Elementos de control auto-ruteables.** Cuando se usan elementos de conmutación autoruteados, la traducción de VCI/VPI sólo debe efectuarse a la entrada de la red de conmutación. Después de la traducción la célula ATM queda modificada, al añadirle una cabecera interna a la red de conmutación. Esta cabecera precede a la cabecera de la célula ATM. La extensión de la cabecera de la célula requiere un aumento de la velocidad interna de la red. En una red de k etapas la cabecera interna constará de k subcampos donde el subcampo i contiene el número de la salida de destino para el elemento de conmutación de la etapa i.

2. **Elementos de conmutación controlados por tabla.** Cuando se usa el principio de control por tabla los VCI/VPI de la cabecera de la célula se traducirán en cada elemento de conmutación a un nuevo valor. Por consiguiente la longitud de célula no se verá alterada. Estas tablas se actualizan durante a la fase de establecimiento de la conexión. Cada entrada de la tabla consta del nuevo número VCI/VPI y del número de la salida correspondiente.

El primer método se prefiere por presentar menor complejidad de control y mejor comportamiento frente a fallo. La necesidad de aumentar la velocidad interna de la red por la extensión de la cabecera no es crítica.

3.6.4 Arquitectura del conmutador a 10 Gbit/s

Entre las diferentes modalidades y topologías de conmutación ATM, analizadas en este capítulo, para el desarrollo de este proyecto se elige la de un conmutador global constituído por redes de interconexión multietapa, tomando como semilla de repetición un elemento de conmutación 2×2. La topología elegida tal como se definió en el apartado 2.6.1 capítulo 3, es la de buffers a la salida.

Este conmutador 2×2, cuya estructura se expone, será el elemento básico que se usará para implementar conmutadores ATM de mayores dimensiones (8×8, 64×64,

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

1024×1024,...). La escalabilidad con este conmutador 2×2 se logra en base a interconectar varios de ellos, adoptando cualquier configuración de redes de interconexión multietapas (MIN): Benes, Banyan, Clos...

Dos aspectos importantes del diseño, que afectan directamente a su implementación, son la forma del encaminado de la célula a través del conmutador global y el tipo de elemento que se usa para almacenamiento temporal de células. En los dos siguientes puntos se discuten ambos aspectos.

1. **Modificación de la cabecera de la célula.** A fin de lograr que el diseño sea totalmente independiente de la elección del tipo de red, nos veremos obligados a añadir un total de 3 bytes de cabecera personalizada, de uso interno en el conmutador. Además se facilitan así futuras ampliaciones para conmutadores de hasta 1024×1024. Las dimensiones están pensadas para el caso peor, que corresponde a las redes BENES, donde el número de bits requeridos para indicar la dirección física de destino es:

$$Número\,de\,bits = Número\,de\,etapas = (2 \cdot \log_2 N) - 1 \tag{3.7}$$

Para el caso de un conmutador de 1024×1024, precisamos $2 \times 10 - 1 = 19$bits, que implican un total de 3 bytes en los que 5 bits están disponibles para otras indicaciones: 1 bit de prioridad, y 4 reservados para usos futuros.

Aunque en las BENES habría bastado la mitad de los bits para encaminar una célula, siempre que se añadiese un circuito que procesase la cabecera (funciones de rotar y espejo), esto haría a nuestro elemento 2×2 sólo apto para interconectar en redes de este tipo, a la vez que incrementaría el área final del circuito.

Aprovechando las ventajas del incremento de velocidad de transmisión, que pueden conseguirse con la tecnología HEMT, en la que se realizará la implementación del CI, y dado lo crítico de su área, preferimos aumentar el número de *bytes* de la célula, en lugar de incrementar la complejidad del circuito. El único procesado por etapa que necesitan estos bytes añadidos en la cabecera es el desplazamiento de un bit, de forma que en la etapa siguiente el bit de direccionamiento sea el primer bit de la célula.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Otra consideración sobre esta filosofía de diseño escalable, es el tiempo de procesado del conmutador, el cual es dependiente del número de entradas que se añadan, y por lo general será :

$$Tp = (2 \cdot \log 2N - 1) \cdot tp \tag{3.8}$$

donde :

tp= es el tiempo de procesado de un conmutador 2×2.

Tp= tiempo de procesado de un conmutador N×N.

Frente a la sencillez del diseño y la facilidad de definir la función de ruteado que ofrecen las redes de interconexión (Benes, Banyan, Clos,...) se encuentra el inconveniente del tiempo de procesado del conmutador. Sin embargo la complejidad que introducen las redes de una sola etapa no puede ser abordada para conmutadores de número de entradas elevado.

2. **Elección del tipo de almacenamiento.** Las funciones elementales, que ha de efectuar nuestro conmutador básico:

   (a) **Routing:** En base a la cabecera, analizando el primer bit de la dirección, decidirá a cual de las dos salidas debe enviar el dato.

   (b) **Queuing:** Para tal función se barajaron dos posibilidades:

      i. Memoria compartida, con punteros accediendo a cada posición de forma aleatoria

      ii. Sistema de FIFOS independientes para cada salida, (es el escogido)

         - **Ventajas de la FIFO:** evitamos tener que incluir los bloques encargados, de seguir la pista de la posición en la que se halla el dato, y del direccionamiento.
         - **Inconvenientes de la FIFO:** el dato debe propagarse desde la entrada, a través de la FIFO antes de estar disponible a la salida. Esto condiciona su tamaño máximo.

      Aunque la filosofía de *buffers* de salida (que permite el uso de FIFOs) requiere de más capacidad de almacenamiento que la que supondría la memoria compartida, para igual probabilidad de pérdida de célula, ello puede compensarse con el ahorro de los bloques de direccionamiento, indispensables en las memorias convencionales.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

La FIFO que se empleará es autotemporizada, lo que significa que ella misma impone el ritmo de propagación de los datos, tan pronto como estos están disponibles en su entrada. No requiere pues, de señal de reloj, típica de los registros de desplazamientos. Las únicas entradas de control externas de las que dependen, son las de *escritura* para controlar la entrada de los datos y la de *lectura* para controlar la salida de los datos.

Conmutador global (Switch fabric)

La estructura adoptada responde a una red de interconexión de unidades básicas de conmutación (conmutadores 2×2). No obstante, aunque el presente proyecto sólo versará sobre la estructura interna del conmutador 2×2, es conveniente que se conozca el encuadre, que rodeará a la red de interconexión que se elija (Banyan, Benes, Clos, Delta,...). Con tal motivo se explica las funciones que ejecutan cada uno de los bloques que integran el conmutador global que se muestra en la figura 3.13

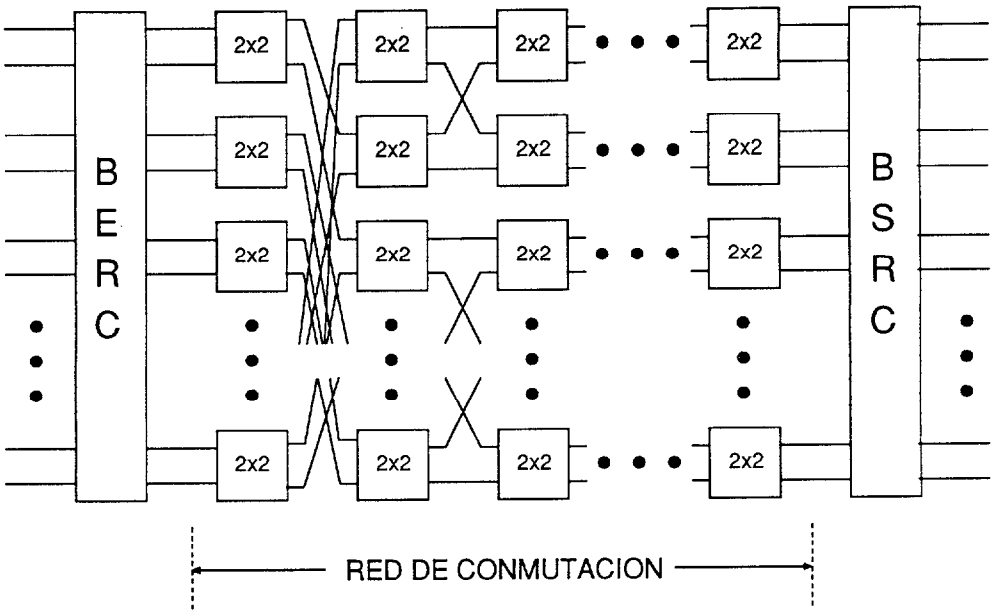


Figura 3.13: Estructura del conmutador global.

El bloque que antecede a la red de conmutación, y que denominaremos **BERC** (*Bloque de Entrada a la Red de Conmutación*) deberá efectuar las siguientes tareas, lo que explica el formato de la cabecera personalizada, en la que se fundamenta el diseño del conmutador 2×2:

1. **Recepción de Datos:** Los datos procederán de un transceiver, que transfiere la célula ATM con formato sujeto a la recomendaciones del UITT, en grupo de

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

8bits, a un velocidad de al menos 1.25 Gbit/s, lo que significa, que la velocidad real a la que se propagan las células, bit a bit, sobre el medio físico, será de al menos 10Gbit/s.

2. **Mapeo de Direcciones:** Dispondrá de una memoria sobre la que dejar constancia, de la dirección física del conmutador asociada a cada dirección virtual (VC,VP), a fin de que todas las células de una misma conexión, sigan la misma trayectoria,evitando así la pérdida de secuenciamiento.

3. **Adosar Cabecera Personalizada:** A raíz de la información que ha ido almacenando en la memoria de mapeado, y la que le suministra la propia cabecera de la célula ATM original, este módulo contruye una cabecera adicional, sobre la que operará nuestro conmutador.

4. **Elimina las células vacías:** Una vez que detecta una "célula vacía", no dará salida a los pulsos de petición, que indicaban la presencia de un nuevo byte, con lo que, los datos no podrán acceder al conmutador, al no recibir la señal de escritura (REQ=CLK).

La figura 3.14 muestra el formato de la célula que manejará nuestro conmutador.

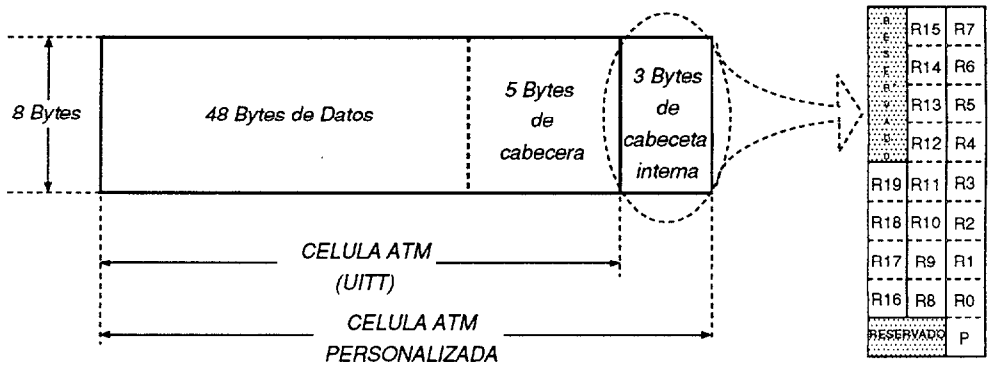


Figura 3.14: Formato de la célula ATM modificada.

La red de conmutación es la zona intermedia del conmutador, y sobre la que versará el resto del estudio. Aclarar, de momento, lo siguiente:

1. **Temporización:** La transferencia de datos de una etapa de conmutadores a la siguiente, se hace de forma temporizada, es decir, tan pronto el conmutador de la siguiente etapa tenga espacio disponible en sus FIFOs, permitirá la entrada de bytes de la etapa previa, que lo solicite, en caso contrario, el dato queda retenido en esa etapa anterior, lo que se corresponde con un tipo de *control de flujo hacia atrás*.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

2. **No Existen células vacías:** Los conmutadores sólo invierten su tiempo de proceso sobre células válidas, ya que el bloque antecesor, **BERC**, no deja pasar las células vacías.

El bloque que precede a la red de conmutación, y que denominaremos **BSRC** (Bloque de Salida de la Red de Conmutación) deberá efectuar las siguientes tareas:

1. **Sincronización de Salida:** Como los datos irán fluyendo a lo largo de la red de conmutación, en modo autotemporizado, fuertemente dependiente de la velocidad de propagación dentro de las FIFOs, estos datos se amontonarán a la salida, a la espera del pulso de petición que establezca nuevamente una velocidad de transmisión elegida, acorde con la de entrada a la red de conmutación.

2. **Eliminar la Cabecera Interna:** La información de la cabecera de 3 bytes pierde su vigencia, una vez que alcanza la salida de la red de conmutación, por consiguiente, no tiene sentido su transmisión.

3. **Inclusión célula vacía** Cuando el pulso de sincronismo, que extraía las células de la FIFO a una velocidad fija, encuentra ésta vacía deberá incluir células vacías, cuyo formato tendrá almacenado en una ROM. Si completada la inserción de una célula vacía (transcurridos 53 bytes),la FIFO aún sigue estando vacía, se repetirá esta operación.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 4

Arquitectura e implementación del elemento de conmutación 2×2

4.1 Estructura general del Conmutador 2×2

El elemento de conmutación es del tipo *buffers* a la salida, y emplea técnicas de ruteado basadas en la información incorporada en una cabecera adicional, sobre la cabecera estipulada por el UITT-T (tal como se explico en el capítulo anterior).

La arquitectura propuesta para el conmutador 2×2 se muestra en la figura 4.1 y consta de 5 subsistemas:

1. **Unidad de Control de Entrada (UCE):** Encargada de acondicionar la cabecera para la etapa siguiente.

2. **Unidad de Control de FIFOs (UCF):** Encargada de la gestión de los recursos de almacenamiento.

3. **Sistema de Demultiplexores:** Encargado de proporcionar el camino físico de conexión entre cada una de las entradas y salidas.

4. **Sistema de Almacenamiento:** Encargado de proporcionar el medio para retener las células que pierden la contención.

5. **Sistema de Multiplexores:** Elemento auxiliar, cuya presencia se justifica por el criterio de partición de FIFOs adoptado y que se explicará en los apartados siguientes.

Esos 5 subsistemas se agrupan para definir las 3 funciones básicas de todo elemento de conmutación:

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

- Procesado de la cabecera: Función que ejecutan la UCE (Unidad de Control de Entrada) y la UCF (Unidad de Control de FIFOs).
- Ruteado: Función que ejecuta el sistema de demultiplexores.
- Resolución de contención: Función que ejecutan las FIFOs y los multiplexores de salida.

Con esta estructura habremos satisfecho dos de las especificaciones de partida concernientes a la fácil escalabilidad y sencillez de diseño. Otro de los requisitos que se hizo constar en las especificaciones era el alcance de altas velocidades de conmutación. Para ello se escogió la técnología más rápida del mercado (HEMT), a la vez que se incremento el *throughtput* adoptando técnicas de paralelización de datos de 8 bits en las entradas y salidas. Lo que significa que el conmutador 2×2 propuesto como solución constará de un total de 16 E/S. Aparte de las que añadiremos para establecer un mecanismo de comunicación entre las diferentes etapas (asíncronas) del conmutador global (REQ/ACK).

Con motivo de hacer la presente memoria más homogénea, los esquemas lógicos de los circuitos realizados se han agrupado en el ANEXO–I y los *layouts* en el ANEXO–II. Para comprobar el correcto funcionamiento de la lógica del conmutador se ha usado la herramienta IAF–SPICE, que incluye modelos específicos para la tenología usada. Las simulaciones se hicieron a nivel de subsistemas, ya que una simulación global está fuera del limite de capacidad y potencia de cálculo del hardware utilizado. Las formas de ondas extraídas para cada subsistema simulado se han incluído en el ANEXO–III. Sobre las curvas de simulación se efectuaron las medidas de los diferentes parámetros que caracterizan cada bloque y cuyos resultados se presentan en tablas a lo largo de este capítulo. Una homogeneización de los símbolos utilizados a lo largo de todo este Capítulo para los parámetros temporales se muestra en el ANEXO-IV.

4.2 UCE (Unidad de Control de Entrada)

La funcionalidad de este subsistema se centra en extraer la información de prioridad y ruteado por etapa de cada nueva célula recibida, a la vez que procesa los bit de cabecera interna, para acondicionarlos a las etapas posteriores. La finalidad de ese acondicionamiento es suministrar a la siguiente etapa una célula con una nueva cabecera interna donde los bits de ruteado han experimentado un desplazamiento hacia delante. Cada etapa interpretará el segundo bit de cabecera como su información de ruteado, con lo que habremos definido una estructura de elemento de conmutación genérica y válida

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

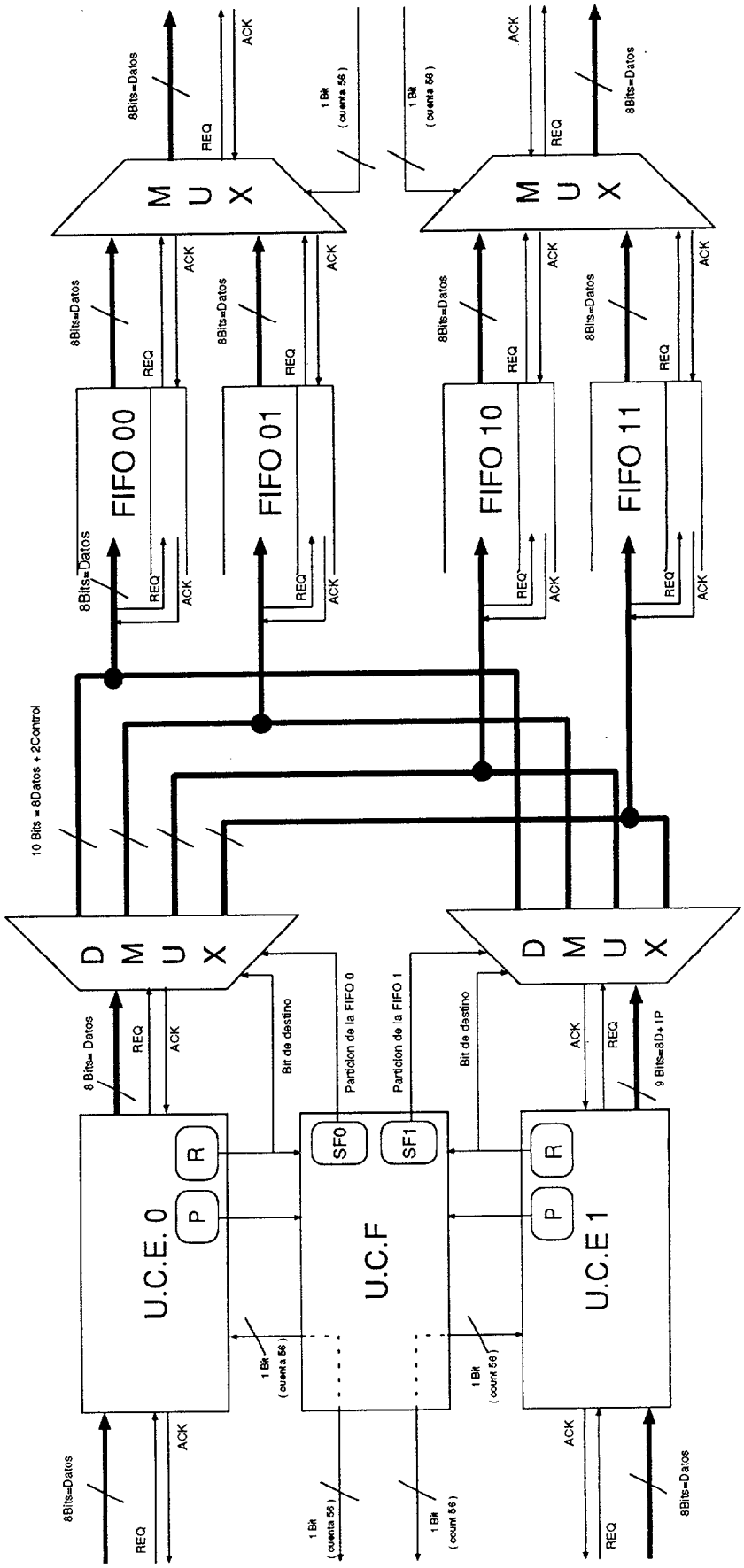


Figura 4.1: Diagrama de bloques del elemento de conmutación 2×2

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

para cualquier etapa de la red de interconexión.

Su período de procesado se concentra en los tres primeros bytes de la cabecera interna, operando de modo transparente durante los restantes bytes de la célula. Definiéndose dos modos de funcionamiento, modo registro de desplazamiento durante la primera fase, y modo FIFO durante la segunda.

Este subsistema está gobernado por la unidad de control de FIFOs (UCF) que le informa de la presencia de una nueva célula en su entrada, y de cuando ha finalizado la operación de asignación de FIFO para esa nueva célula.

Los bloques que integran este subsistema, cuyo diagrama se presenta en la figura 4.2 son:

- Una unidad de configuración de la UCE, en modo registro de desplazamiento FIFO.
- Una unidad de extracción de la información de prioridad y ruteado/etapa.
- Una unidad de procesado, que actúa como registro de desplazamiento o FIFO.
- Una unidad de bloqueo, que impide el avance de la célula hasta no recibir de la UCF la señal de reconocimiento que le asegura que ya hay una FIFO asignada para dicha célula.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

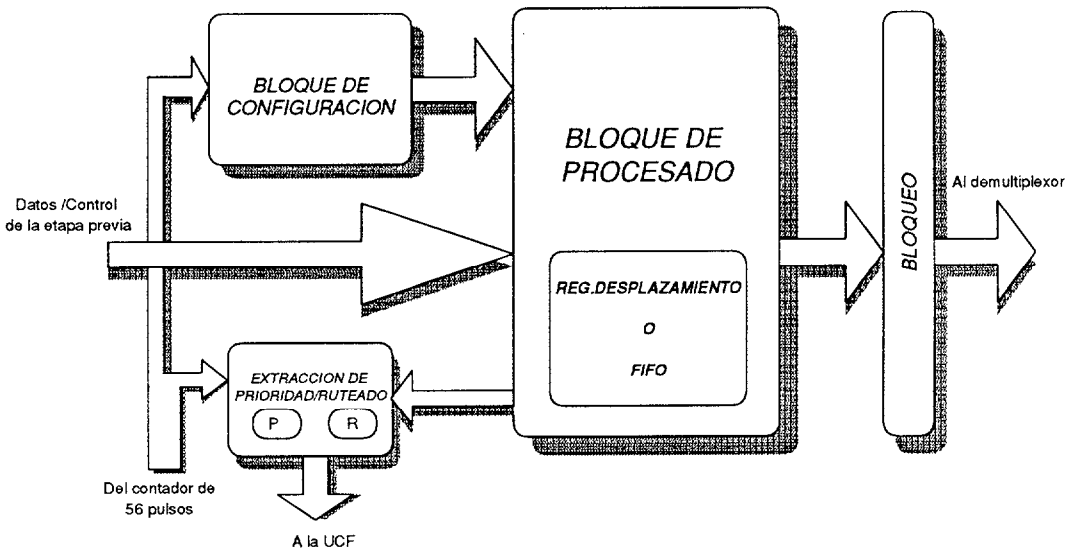


Figura 4.2: Diagrama de bloques la UCE

4.2.1 Bloque de configuración

En su esquema lógico se observan dos señales procedentes de la UCF, que le definen el período en que la UCE debe adoptar la configuración de registro de desplazamiento. Durante ese período este bloque suministrará el nivel lógico pertinente que actuará sobre el conjunto de multiplexores determinantes de configuración de la UCE, forzándola a operar en modo registro de desplazamietno. En el periodo siguiente, finalizado al recibir el tercer byte de cabecera, este bloque suministará el nivel lógico inverso, quedando la UCE en modo FIFO.

4.2.2 Bloque de extracción de los bits de prioridad y ruteado

También está gobernado por la UCF, que le infoma a través de la señal C1 de que el primer byte de la cabecera acaba de entrar y que ha de proceder a extraer la información de prioridad y ruteado, que la UCF precisa para determinar si ha habido o no conteción y como resolverla. Esa información será retenida en la UCE hasta la llegada de la siguiente célula.

4.2.3 Bloque de procesado

Consta de varia etapas de almacenamiento, pero la primera etapa del bloque es la que realmente efectúa el procesado, la etapas posteriores simplemente se limitan a almacenar los datos tal y como se los suministra la primera etapa. La finalidad de las últimas etapas está en consonancia con el criterio adoptado como definición de simultaneidad de llegada en las dos entradas del elemento de conmutación 2x2.

Criterio de simultaneidad de células: la llegada de dos células en sendas entradas del conmutador se consideran simultáneas siempre que el desfase de llegada no sea superior a dos bytes.

Por consiguiente la modificación de dicho criterio para admitir un mayor desfase, implicará un aumento del número de etapas de almacenamiento, dado que hasta que la UCE, no reciba la confirmación de que se ha asignado una FIFO a dicha célula, no sabría donde enviarla, debiendo retenerla.

Un conjunto de multiplexores actúan como esqueleto de configuración del bloque; gobernados por la señal de salida del bloque de configuración establecerán que la misma estructura de elementos de almacenamiento de la primera etapa de este bloque, recoja

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

los datos tal cual le llegan (modo FIFO) o que lo haga desplazándolos (modo registro de desplazamiento).

Las etapas de almacenamiento constan de 8 latches y un elemento de control de los mismos por cada segmento temporal. El avance de los datos de una etapa a la siguiente se realiza en modo asíncrono autotemporizado, a través de un protocolo de petición/reconocimiento que ejecutan las unidades de control.

La estructura y funcionamiento de estas etapas de almacenamiento se han heredado de las adoptada para las FIFOs de salida del chip. Una explicación detallada se puede encontrar en la sección 4.5.

4.2.4 Bloque de bloqueo

Su finalidad es bloquear el flujo de datos hasta que la tarea de asignación de la FIFO haya concluido.

Teniendo en cuenta que el diseño de todo el chip ha quedado influenciado por la estructura autotemporizada de las FIFOs de salida, esa operación de bloqueo de los datos, se traduce en un bloqueo a las señales de control del último segmentación de tiempo de almacenamiento de la UCE.

4.2.5 Prestaciones de la UCE

Con cada uno de estos bloque se obtiene una UCE cuya prestaciones de área, potencia, y número de transistores se listan en la tabla 4.1

N transistores	Area (μm^2)	N terminales	Potencia(mW)
539	452.5 × 828.25	30	304

Tabla 4.1: Prestaciones de la UCE

En la tabla 4.2 se presenta el tiempo que tarda en configurarse la UCE (registro de desplazamiento/FIFO), el tiempo de repuesta del circuito de bloqueo, y el tiempo mínimo de estancia de un célula en dicha unidad, que a su vez depende del tiempo que tarde en asignar una partición la UCF. La permanencia en dicha unidad puede

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

prolongarse en caso de congestión de las etapas siguientes.

En las simulaciones incluidas en el anexo se observa como la velocidad de transferencia de los bytes se reduce a la mitad durante el periodo de procesado de la cabecera (registro de desplazmiento).

Circuito de configuración	t_d		97 ps
	t_w		1.9 ns
Circuito de bloqueo	$t_d(C2)$		143 ps
	$t_d(Clear_lock)$		280 ps
Circuito registro de desplazamiento/FIFO	Reg. Desp.	t_p	645.6 ps
		T	800 ps
	FIFO	t_p	276.5 ps
		T	400 ps

Tabla 4.2: Parámetros temporales de la UCE

4.3 UCF(Unidad de Control de FIFOs)

El diagrama de bloques de esta unidad se muestra en la figura 4.3. Básicamente consta de un bloque que detecta que tipo de situación o problema tiene lugar en el elemento de conmutación. Una vez analizada la situación, otros dos bloques, uno por cada salida, se encargan de ejecutar la solución propuesta por el bloque anterior.

La finalidad de la UCF es la gestión idónea de las FIFOs siendo esa gestión la correcta asignación de particiones. Por consiguiente su operatividad, al igual que la de la UCE, queda sujeta al período de tiempo ocupado por los tres primeros bytes de la cabecera.

Para desempeñar su tarea la UCF requiere una información de base sobre la que operar, y cuando hacerlo. Esa información se refiere a indicaciones sobre el número del byte de cabecera que ha llegado en cada momento a cada una de las entradas, la indicación de que partición está disponible para cada salida y la información de destino y prioridad de cada célula. El control de los bytes se realizará mediante un contador de 56 pulsos. Por otro lado, un registro que almacena el estado de la FIFO permitirá conocer en todo momento la partición disponible. Ambas fuentes de información se implementan por duplicado en esta unidad, mientras que la última información

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

(prioridad y destino) se la suministrá la UCE.

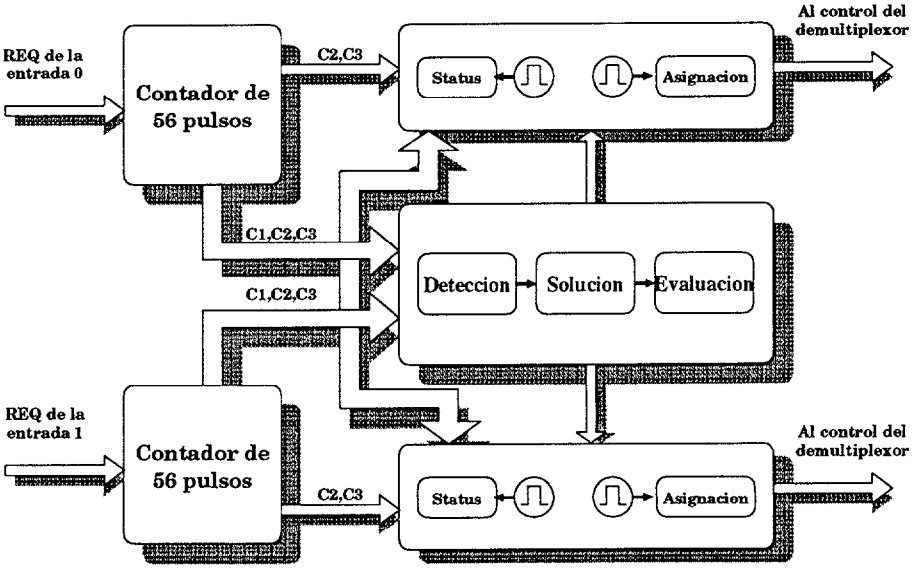


Figura 4.3: Diagrama de bloques de la UCF

Antes de proceder a explicar cada uno de los bloques integrantes de esta unidad definiremos una serie de criterios adoptados en los que se fundamenta la tarea desempeñada por cada uno de ellos:

1. *Criterio de simultaneidad de entradas: Dos células procedentes de sendas entradas se consideran simultáneas cuando entre ellas existe un desfase no superior a dos bytes.*

2. *Criterio de contención: Dos células entrán en contención si se cumple el criterio de simultaneidad de entradas, y ambas llevan el mismo destino.*

3. *Criterio de prioridad: Distinguiremos tres tipos de prioridad, la prioridad temporal (TP) y la de calidad de servicio (QOS).*

   (a) *Prioridad Temporal: En situación de simultaneidad de entradas la célula que haya entrado con anterioridad en su UCE ostentará la prioridad temporal más alta. La connotación que esa bandera reporta a la célula que la posee, es que en caso de contención e idéntica prioridad de calidad de servicio, se erigirá como la de prioridad suprema.*

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

(b) *Prioridad de Calidad de Servicio: Esta información la aporta la propia red en la cabecera de la célula, y que también hemos incluido en el primer bit del primer byte de la cabecera interna, para acelerar el proceso de detección de prioridad (en la célula ATM descrita por la UIT-T aparace en el tercer byte).*

(c) *Prioridad Suprema: Es la prioridad final que se define en base a las otras dos según la tabla 4.3. La prioridad de mayor peso corresponde a la prioridad de calidad de servicio.*

Prioridades de QOS		*Prioridades Temporales*		*Prioridad Suprema*
P1	P0	T1	T0	P_S
0	0	0	1	entrada 0
0	0	1	0	entrada 1
0	1	0	1	entrada 0
0	1	1	0	entrada 0
1	0	0	1	entrada 1
1	0	1	0	entrada 1
1	1	0	1	entrada 0
1	1	1	0	entrada 1

Tabla 4.3: Definición de prioridades

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

En el caso poco probable de que dos células lleguen a la entrada exactamente en el mismo instante la UCF se encargaría de elegir una de ellas aleatoriamente.

4.3.1 Contador de 56 pulsos

Habrá uno por cada entrada, y es el corazón del bloque de control del conmutador. Sus señales actúan tanto sobre la UCE, UCF, como sobre los multiplexores del conmutador de la etapa previa. En circuitos de alta velocidad los contadores convencionales resultan inadecuados. Una alternativa de diseño de contadores de alta velocidad son los contadores en anillo de mínimo común múltiplo. Para lograr un conmutador de 56 pulsos requerimos de dos contadores en anillo uno de tamaño 8 y otro de tamaño 7, de modo que el número de cuentas que se pueden efectuar con él son el mínimo común múltiplo de sus dimensiones en este caso 8x7=56. No precisamos incorporar circuitería adicional de reset para retornar a la cuenta inicial porque con esa combinación hemos obtenido el número exacto.

De este contador sólo nos interesan la indicación de cuenta de los bytes de cabecera interna (C1,C2,C3) y de final de célula (C56). Los pulsos que cuenta provienen de la línea de REQ del conmutador de la etapa previa.

La necesidad de usar inversores SBFL para poder atacar el fanout que ofrecen un total de 15 biestables, define un contador activado por flancos de subida. Generará un pulso con posterioridad al almacenamiento del dato, no indica la llegada de un nuevo byte sino su almacenamiento, dentro del actual conmutador 2×2. Sus parámetros característicos se ofrecen en la tabla 4.4.

$t_d(ps)$	$t_r(ps)$	$t_f(ps)$	$t_w(ps)$	$V_H(V)$	$V_L(V)$
242	79	50	301	0.83	0.13

Tabla 4.4: Parámetros temporales del contador

4.3.2 Bloque de detección/solución/evaluación (DSE)

El nombre del bloque obedece la secuencia de fases de operación que ejecuta.

- FASE-I: detecta las posibles situaciones que pueden darse en el elemento de conmutación y guarda relación con los criterios expuestos anteriormente.

  1. Simultaneidad de Entrada: Chequea si se ha producido solapamiento entre los pulsos de cuenta de ambos contadores. El resultado de este chequeo, debe registrarse hasta que se alcance la fase de evaluación de soluciones. El registro se realiza en lógica negada por simplificar etapas posteriores que precisan de esta información. La tabla 4.5 define los distintos solapamientos entre pulsos.

C1A/C2A	$\longleftrightarrow$	C1B/C2B
C2A	$\longleftrightarrow$	C1B
C1A	$\longleftrightarrow$	C2B

Tabla 4.5: Solapamientos de pulsos

Este circuito consta de un Flip-Flop RS, en el que se registra si se ha detectado o no simultaneidad de entrada. El circuito encargado de generar la señal

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

de *Set* de ese Flip-Flop se define según la tabla 4.6 y mapa de Karnaugh 4.4 cuyas entradas son los pulsos de cuenta del primer y segundo byte de ambas entradas, que en caso de solapamiento dos a dos definirán una situación de simultaneidad de entradas.

C1A	C2A	C1B	C2B	S
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Tabla 4.6: Tabla de verdad para la señal de Set

C1A C2A / C1B C2B	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	0	1	1	1
10	0	1	1	1

Figura 4.4: Tabla de Karnaugh para la señal de Set

$$
\begin{aligned}
Set &= C2A \cdot C2B + C1A \cdot C2B + C2A \cdot C1B + C1A \cdot C1B = \\
&= \overline{\overline{C1A} + \overline{C1B + C2B}} + \overline{\overline{C2A} + \overline{C1B + C2B}} \qquad (4.1)
\end{aligned}
$$

El circuito de Reset, se encarga de borrar el estado indicativo de esta situación tan pronto como se evalúan las soluciones al problema. Dejando el registro a su valor por defecto (uno lógico), que indica no solapamiento, preparado para la llegada de otra célula.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

2. Contención: El circuito de contención se limita a implementar el criterio de contención enunciado. Su funcionamiento se rige por la ecuación lógica 4.2. Donde R0 y R1 son los bits de ruteado de la células que accedieron por la entradas In0 e In1 respectivamente. El símbolo particular que se ha hecho de la NOR es para identificar que se trata de una NOR SBFL, pues ha de atacar un fan-out elevado.

$$Contención = (R0 = R1) \wedge (simultaneidad\,de\,entrada) \tag{4.2}$$

3. Prioridad Temporal: El circuito detector e indicador de la célula que ha llegado en primer lugar consta de dos *flip-flop RS*, uno por cada entrada, realimentados entre sí. Un uno lógico en la salida de uno de ellos indica que la célula de esa entrada ha llegado antes. La finalidad de la realimentanción es impedir que la llegada de la célula retrasada por la otra entrada accione también una bandera indicativa de su llegada. La señal de Set será el pulso de cuenta que indica primer byte, y la realimentación que anula el pulso de cuenta cuando la célula es secundaria en el tiempo.

   Ambos biestables retornan a su estado por defecto (ambos a cero) cuando se alcanza la fase de evaluación.

- FASE-II: Se inicia la fase de solución a la situación detectada. La solución se planterá para cada entrada por separado, definiendo dos circuitos cuyas salidas reponden a las tablas de verdad [4.7, 4.8] y mapas de Karnaugh [4.5, 4.6].

Ction	T0	T1	P1	Reqx	Reqy
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	0
0	1	0	1	0	0
0	1	1	0	0	0
0	1	1	1	0	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	1	1
1	1	1	1	1	1

Tabla 4.7: Tabla de verdad de las soluciones bajo contención

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

T0 \ P0 P1 / T1	00	01	11	10
00	1	1	1	1
01	1	1	1	0
11	1	1	1	0
10	0	1	0	0

a) ReqX

T0 \ P1 P0 / T1	00	01	11	10
00	1	1	1	1
01	0	0	0	1
11	1	0	1	1
10	1	0	1	1

b) ReqY

Figura 4.5: Tabla de Karnaugh de ReqX cuando existe contención

$$
\begin{aligned}
ReqX &= Ction \cdot (\overline{T0} \cdot \overline{T1} + \overline{P0} \cdot P1 + \overline{P0} \cdot T1 + P1 \cdot T1) = \\
&= \overline{\overline{Ction} + (P0 + \overline{P1 + T1}) \cdot (T0 + T1) \cdot (\overline{P1} + \overline{T1})} = \\
&= Ction \cdot (\overline{P0 + \overline{P1 + T1}} + \overline{T0 + T1} + \overline{\overline{P1} + \overline{T1}} = \\
&= \overline{Ction} + \overline{\overline{P0 + \overline{P1 + T1}} + \overline{T0 + T1} + \overline{\overline{P1} + \overline{T1}}} \qquad (4.3)
\end{aligned}
$$

$$
\begin{aligned}
ReqY &= Ction \cdot (\overline{T0} \cdot \overline{T1} + P0 \cdot \overline{P1} + T0 \cdot \overline{P1} + P0 \cdot T0) = \\
&= Ction \cdot \overline{((T0 + T1) \cdot (\overline{P0} + P1) \cdot \overline{T0} + \overline{\overline{P1} + P0}} = \\
&= Ction \cdot (\overline{T0 + T1} + \overline{\overline{P0} + P1} + \overline{\overline{T0} + \overline{\overline{P1} + P0}} \cdot \qquad (4.4)
\end{aligned}
$$

NOV_Count	T0	T1	Reqx	Reqy
0	0	0	1	1
0	0	1	0	0
0	1	0	0	0
0	1	1	1	1
1	0	0	1	1
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

Tabla 4.8: Tabla de verdad de solución para no contención

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

T0 / T1 / NOV_Count	00	01	11	10
0	1	0	1	0
1	1	1	1	0

a) ReqX

T0 / T1 / NOV_Count	00	01	11	10
0	1	0	1	0
1	1	0	1	1

b) ReqY

Figura 4.6: Tabla de Karnaugh de ReqX cuando no existe contención

$$ReqX = \overline{Ction} \cdot (\overline{T0} \cdot \overline{T1} + T0 \cdot T1 + NOV_Count \cdot T1) \quad (4.5)$$

$$ReqY = \overline{Ction} \cdot (\overline{T0} \cdot \overline{T1} + T0 \cdot T1 + NOV_Count \cdot T0) \quad (4.6)$$

1. En situación de contención: La célula que ostente la prioridad suprema tomará la partición de la FIFO que indica como disponible el registro de estado de la misma, y modificará el mismo para que la otra célula acceda a la otra partición. La célula prioritaria obtendrá un uno lógico a la salida este circuito mientras que la otra obtendrá un cero lógico. A las combinaciones que nunca tendrán lugar también les ha dado el valor 1 para mayor simplificación de la funición lógica.

2. En situación de no contención, se comprueba si ha habido o no simultaneidad de entradas, que en este caso irán destinadas a diferentes salidas. Si hay simultaneidad la salida de ambos circuitos serán un cero lógico, sino el cero lógico solo se presentará en la salida de la célula que haya llegado, permaneciendo la salida de la otra a uno lógico.

   Los bloques de ejecución interpretan esa señal con dos operaciones excluyentes; o bien generan un pulso (si la célula es prioritaria, o ha llegado en solitario, que se corresponde con un cero lógico a la salida de estos circuitos) que le permite acceder a la partición disponible, o bien espera por el pulso que se genera tras la modificación del estado de la FIFO (sólo en caso de contención, que se corresponde con un uno lógico en la salida).

- FASE-III: Es la fase de evaluación, en la que se registran las soluciones dadas al problema acaecido, y se limpian todos los registros hechos durante las fases

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

previas (prioridad temporal y simultaneidad de entradas).

Las señales de evaluación se generarán de manera independiente para cada entrada, según las tabla 4.9. Como estas señales dependen de la información almacenada en las fases previas, y estas son borradas durante esta fase, la salida de este bloque es un pulso de duración igual al tiempo que se tarde en dar salida hacia la FIFO al primer byte de ambas entradas, en caso de contención, o de la única que ha llegado en caso de no contención.

T0	T1	C3A	C3B	EvA	EvB	Ev
0	0	0	0	1	1	1
0	0	0	1	1	0	1
0	0	1	0	0	1	1
0	0	1	1	0	0	1
0	1	0	0	1	1	1
0	1	0	1	1	0	1
0	1	1	0	0	1	0
0	1	1	1	0	0	0
1	0	0	0	1	1	1
1	0	0	1	1	0	0
1	0	1	0	0	1	1
1	0	1	1	0	0	0
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	1	1

Tabla 4.9: Tabla de evaluación con y sin contención

T0 / C3A T1 / C3B	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	1	0
10	0	0	1	0

a) EvA

T0 / C3A T1 / C3B	00	01	11	10
00	1	1	1	1
01	0	0	1	0
11	0	0	1	0
10	1	1	1	1

b) EvB

Figura 4.7: Mapa para evaluación sin contención

$$\begin{aligned} EvA &= \overline{Ction} \cdot (\overline{C3A} + T0 \cdot T1) = \\ &= \overline{Ction + \overline{\overline{C3A} + T0 \cdot T1}} \end{aligned} \tag{4.7}$$

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

$$\begin{aligned} EvB &= \overline{Ction} \cdot (\overline{C3B} + T0 \cdot T1) = \\ &= \overline{Ction + \overline{\overline{C3B} + T0 \cdot T1}} \end{aligned} \tag{4.8}$$

T0 / C3A T1 / C3B	00	01	11	10
00	1	1	1	1
01	1	1	1	0
11	1	0	1	0
10	1	0	1	1

Figura 4.8: Mapa para evaluación con contención

$$\begin{aligned} Ev &= Ction(\overline{T0} \cdot T1 + T0 \cdot T1 + \overline{C3A} \cdot \overline{C3B} + T1 \cdot \overline{C3A} + T0 \cdot \overline{T1} \cdot \overline{C3B}) = \\ &= Ction \cdot \overline{\overline{\overline{T0} \cdot \overline{T1} + T0 \cdot T1 + \overline{C3A} \cdot \overline{C3B}} + \overline{\overline{T1} \cdot \overline{C3A} + T0 \cdot \overline{T1} \cdot \overline{C3B}}} \end{aligned} \tag{4.9}$$

Interpretaremos las señales de evaluación, según lo acontecido en el período correspondiente a la cabecera interna:

1. En situación de contención la generación de la señal de evaluación espera hasta que los tres bytes de ambas entradas se hayan almacenado en la UCE. Con lo que se evita que si la prioridad suprema se le concede a la célula de menor prioridad temporal esta aun no tenga su primer byte disponible cuando le sea asignada la FIFO.

2. En situación de no contención, la llegada del tercer byte en cualquiera de las entradas dispará el circuito de evaluación.

El registro se efectúa sobre un biestable tipo D, cuya entrada de datos recibe la salida de los bloques de solución, su entrada de reloj es accionada por la salida del circuito de evaluación y su entrada de *reset* proviene del circuito de borrado.

Instantes antes de hacer el registro de la solución se resetean los flip-flop tipo D, para conseguir que sea posible generá una transición a cero, que se necesita para la activación del circuito generador de pulsos ubicado en el bloque de ejecución de la solución.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Cuando no existe ningún evento (contención, simultaneidad o cambio de la prioridad) la salida de la circuitería de la fase de solución, no experimenta ningún cambio. Aún así el sistema de control de FIFOs deberá actuar según las señales de control correspondientes.

4.3.3 Bloque de ejecución

Este bloque está integrado por los siguientes circuitos:

- Un registro de estado de la FIFO: actúa como flag que indica la partición de la FIFO que se halla disponible. Su estructura es la de un simple biestable tipo-T.

- Generador de pulso de actualización del registro de estado: Con cada asignación que se haga de un partición, el registro de estado ha de actualizarse para señalar la otra partición como disponible. Ese pulso se aprovecha como motor para generar la operación de escritura en el latch de asignación, en el caso de contención para la célula no prioritara.

- Generador autónomo de pulso: genera un pulso que actúa sobre el elemento de control del latch del registro de asignación, para propiciar la escritura del latch. Este pulso se genera con posterioridad a la fase de evaluación y sólo en caso de no contención o en contención para la célula de prioridad suprema.

- Un registro de asignación: se encarga de almacenar y retener el bit que le informa de la partición de la FIFO que le ha sido asignada. Su estructura la forma un latch, y su elemento de control que genera la señal de escritura. La generación de la señal de escritura require la concurrencia del pulso indicador de llegada del tercer byte de cabecera, y uno de los pulsos de los generadores descritos.

- Elemento de bloqueo de pulsos: la operación de escritura sólo ha de producirse por uno de los pulsos generados, para lo que hemos incluido un circuito de bloqueo que impida, que otro pulso, generalmente el de actualización del estado, pueda sobreescribir el latch. Su estructura es un simple flip-flop RS, con el pulso de cuenta de segundo byte (C2) como señal de Set y el pulso de confirmación de escritura del latch como señal de Reset.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

El registro de estado y su indicador de actualización son accesibles para las dos entradas y salidas a través de un demultiplexor y un multiplexor controlados por el bit de ruteado de la etapa.

La secuencia de funcionamiento de cada uno de los elementos de este bloque, iniciada con posterioridad a la finalización de la fase de evaluación, arranca con un pulso del generador autónomo que habilita la escritura del latch con el estado lógico del registro de estado, posterior a la escritura se genera un pulso de confirmación que bloqueará la entrada de cualquier otro pulso al elemento de control del latch, a la vez que se usa para modificar del estado del registro de estado. El cambio de estado de ese registro produce un pulso, que es realimentado hacia la entrada de los elementos de control de los latches, pero su llegada sólo será significativa para aquel que no tenga la entrada bloqueada, por previa escritura.

4.3.4 Prestaciones de la UCF

La tabla 4.10 muestra los retardos de cada uno de los subloques que integran la unidad de control que se encarga de resolver las contenciones y asignar la partición de FIFO disponible. Las prestaciones logradas para la UCF, integrada por los bloque anteriormente reseñados se muestran en la tabla 4.11.

	$t_f(ps)$	$t_r(ps)$	$t_d(ps)$
Circuito de detección de prioridad	57.6	69.1	103.5
Circuito de detección de simultaneidad	112	102	123
Circuito de detección de contención	51	51	400
Circuito de solución a cada situación	47	179	256
Circuito de evaluación	81	72	144.7
Registro de solución	t_d		72 ps
	t_{Ev}		800 ps
Circuito de ejecución	t_{we}		536 ps
	t_{clear_lock}		68.9 ps.
	t_{SF}		219.8ps
	$t_{pulsosecundario}$		232.9 ps

Tabla 4.10: Parámetros temporales del DSE

Aparte de la caracterización temporal de cada uno de los bloques, esta unidad ha sido objeto de varias simulaciones, donde las señales de excitación aplicadas definían

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

una de las muchas modalidades de llegadas de células que habrá de gestionar esta unidad. Ese comportamiento puede comprobarse con las simulaciones presentadas en el ANEX0–III. Los casos considerados han sido:

1. **Caso a:** Llegada simultánea con contención sobre la salida 1. Ambas con igual QOS, pero con prioridad temporal para la entrada 1. La figura 4.9 ofrece una visión de los cambios que han de experimentar los registros de estado SF_i y los de asignación AP_i.

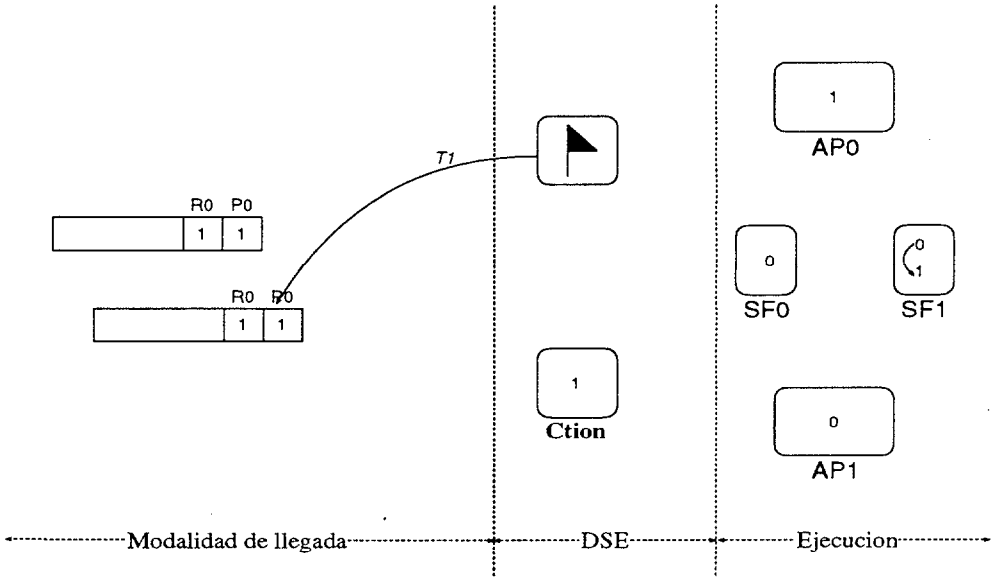


Figura 4.9: Contención en la salida 1

2. **Caso b:** Sólo hay flujo de información en la entrada 0, con llegada de dos células consecutivas con destinos distintos. El comportamiento de la UCF se explica gráficamente en la figura 4.10.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

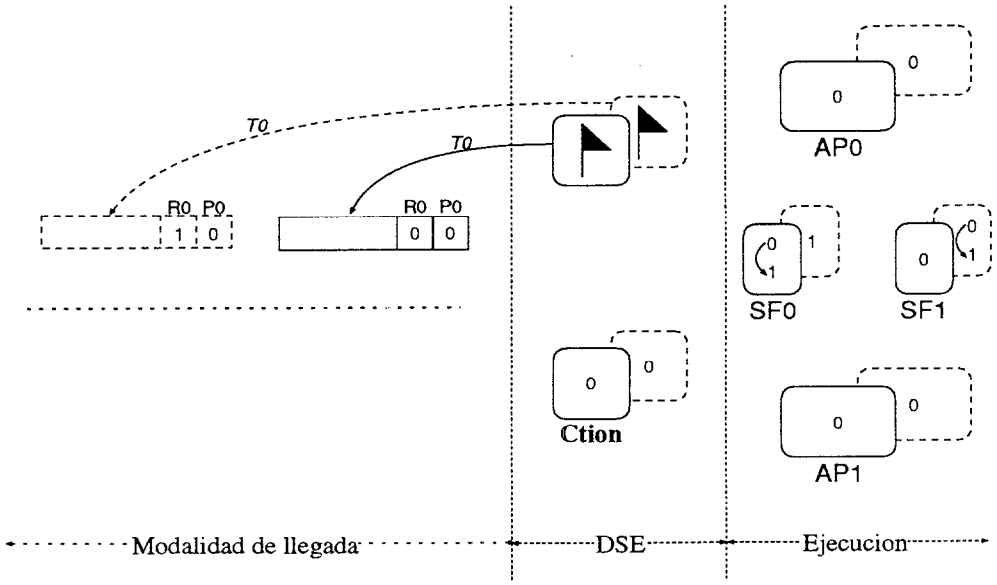


Figura 4.10: Flujo único

3. **Caso c:** Flujo de céluas en las dos entradas, en modo intercalado, es decir, sin simultaneidad. La figura 4.11 ofrece la explicación gráfica.

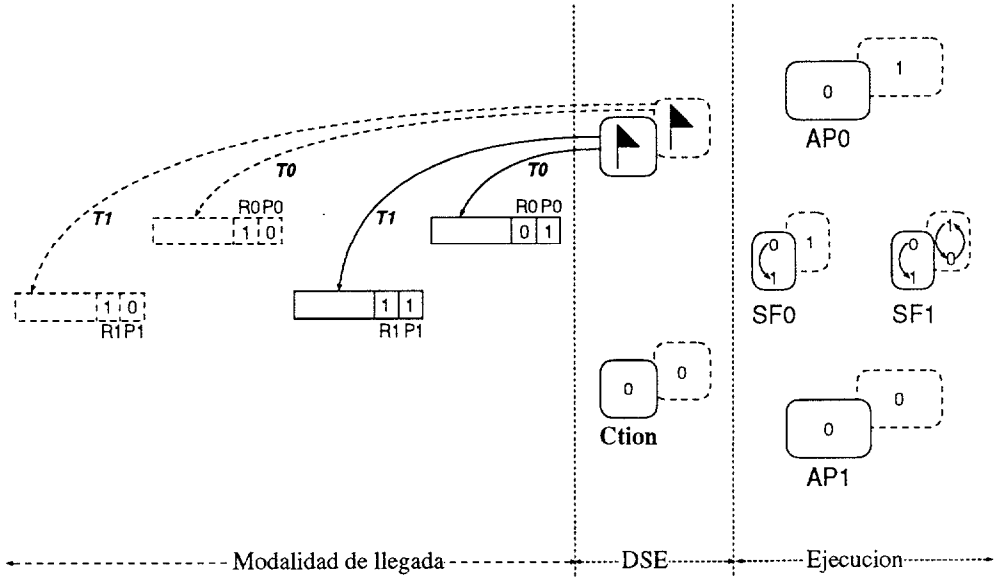


Figura 4.11: Flujo alternado

4. **Caso d:** Flujo simultáneo por ambas entradas, unas veces con contención y otras sin ella. La figura 4.12 da la explicación gráfica.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

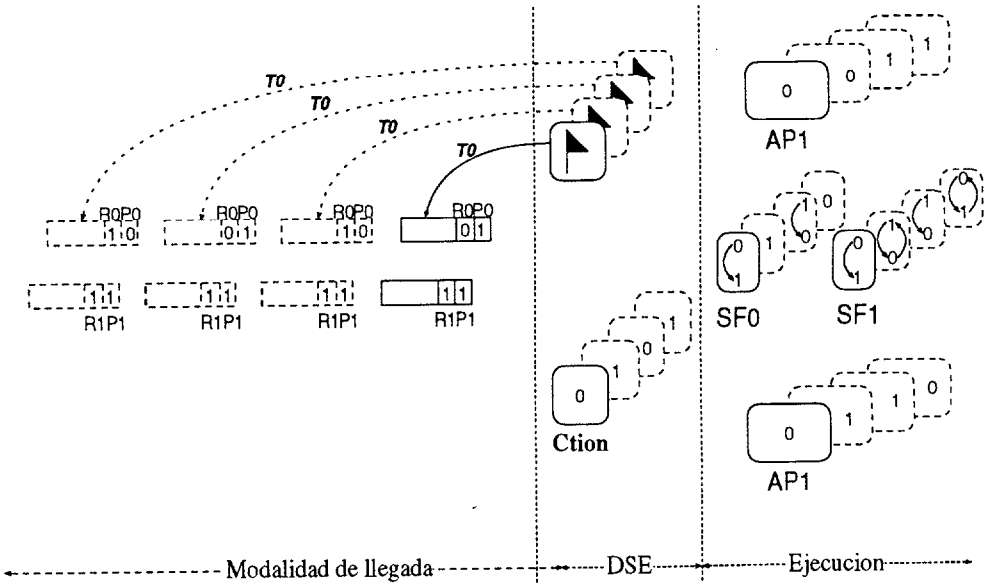


Figura 4.12: Flujo simultáneo con y sin contención

N transistores	Area (μm^2)	N terminales	Potencia(mw)
1440	1568.250 × 800.000	15	471.000

Tabla 4.11: Prestaciones de la UCF

4.4 Sistema de demultiplexores

Se suministra un demultiplexor por cada entrada. Cada uno se encarga de encaminar cada célula desde su entrada hacia la partición de la FIFO que le haya sido asignada por la unidad de control de FIFOs (UCF).

Las dos señales requeridas para la selección del encaminamiento al que se someterá cada célula, provienen por un lado de la UCE, a través del bit de ruteado que indica la salida a la que va destinada, y por otro de la UCF, con el bit de estado de la FIFO que indica la partición dentro de ese puerto de salida.

Se trata de un demultiplexor de buses de 1 a 4, donde cada bus agrupa 8 líneas de datos y 2 líneas de control (una entrante y otra saliente). Como la demultiplexión ha de efectuarse sobre 9 líneas entrantes y una saliente (ACK), se podría hablar de una cierta bidireccionalidad, entendiéndola como que 9 entradas provienen de la UCE, mientras que una lo hace desde las FIFOs.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

N transistores	Area (νm^2)	N terminales	Potencia(mw)
318	854.500 × 719.000	64	269.528

Tabla 4.12: Prestaciones del sistema de demultiplexores

Las salidas de ambos demultiplexores han de confluir sobre los mismos 4 buses de entradas a las particiones de las FIFOs, por lo que dada la limitación de la lógica (solo admite puertas NOR) adoptada para el diseño con GaAs, que no implementa el estado de alta impedancia; cada punto de cruce en los buses se implementará como una puerta NOR donde el estado de alta impedancia se traduce por un cero lógico que convierte a la puerta NOR en inversor de cara a la entrada que haga uso de ese bus. Como la lógica empleada en realización de los demultiplexores ya habían provocado un inversión de los datos de entrada, la incorporación de estas puertas NOR en los puntos de acceso a un mismo bus, más que perjudicar benefician, al recuperar la información que ha de almacenarse en las FIFOs, en lógica positiva. Las prestaciones de este subsistema se muestran en la tabla 4.12.

Las salidas de los datos y REQin sufren una conversión a lógica negada, como consecuencia de la lógica SDCFL, usada para implementar las AOI que precisan los demultiplexores. La señal ACKout, no sufre conversión.

Señales de control del demultiplexor				
$t_d(ps)$	$t_r(ps)$	$t_f(ps)$	$V_H(V)$	$V_L(V)$
80	74	99	0.77	0.07
Señales de datos del demultiplexor				
$t_p(ps)$	$t_r(ps)$	$t_f(ps)$	$V_H(V)$	$V_L(V)$
48	56	68	0.80	0.17

Tabla 4.13: Parámetros temporales del sistema de demultiplexores

Las salidas de datos invertidas no acarrean ningun problema a la hora de propa-

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

garse internamente por el conmutador, pues posteriormente los multiplexores de salida volverán a invertirlos. Sin embargo la señal de REQin si precisa de un inversor adicional ya que el circuito de control de los *latches* de la FIFO, son activos a nivel bajo, y deben recibir la señal tal cual se generó, aunque con un leve retardo introducido por ese inversor. Los resultados de las simulaciones se muestran en la tabla 4.13.

La tabla 4.14 muestra la correspondencia entre las señales de control y el bus de salida seleccionado, asi como su identificación con las señales dentro del conmutador.

C1a/C1b	C2a/C2b		Bus	Identificación dentro del conmutador		
0	0	$\longrightarrow$	A	R0	$\Longleftrightarrow$	C1a
0	1	$\longrightarrow$	B	R1	$\Longleftrightarrow$	C1b
1	0	$\longrightarrow$	C	AP0	$\Longleftrightarrow$	C2a
1	1	$\longrightarrow$	D	AP1	$\Longleftrightarrow$	C2b

Tabla 4.14: Selección de buses

4.5 Subsistema de FIFOs

Para la realización de los buffers de almacenamiento temporal de las células se utiliza una FIFO asíncrona, realizada en lógica dirigida por eventos (*EDL*). Con ello se evita la generación y distribución de señales de reloj. Hay que tener en cuenta que para las frecuencias de funcionamiento manejadas la dispersión de reloj habríamos de mantenerla por debajo de los 50 ps.

Una FIFO diseñada con EDL, se comporta como un sistema *microsegmentado* y *autotemporizado.* La designación de *microsegmentado* obedece a que dos posiciones consecutivas de la FIFO, en el mismo instante de tiempo, ejecutan funciones distintas, pero consecutivas. Una retiene el dato mientras la etapa siguiente lo recoge, en el supuesto de que esta última estuviese vacía. Eso significa que dos etapas consecutivas nunca podrán escribir simultáneamente, lo que evita los problemas de carreras de datos o sobreescrituras. La designación de *autotemporizada* obedece a que esta estructura no precisa de ninguna señal externa de reloj, que temporice la transferencia de sus datos. Ella misma autocontrola cuando un dato puede pasar a la siguiente posición o cuando debe permanecer en ella, a la espera de que la siguiente posición se libere.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

El funcionamiento autotemporizado se consigue aplicando los conceptos de EDL en la construcción de un bloque lógico, que ejecute un protocolo de petición/confirmación (REQuest / ACKnowledge). De tal forma que cada etapa de la FIFO mantenga una comunicación con sus dos etapas adyacentes (anterior y posterior) para informales de su estado actual (ocupada o vacía). De la información extraída, cada unidad de control decidirá si permite o no, la escritura en los elementos de almacenamiento que gobierna.

La estructura de la FIFO que hemos dimensionado y simulado consta de un total de 8 etapas y cada etapa está compuesta por 8 elementos de almacenamiento y una unidad de control.

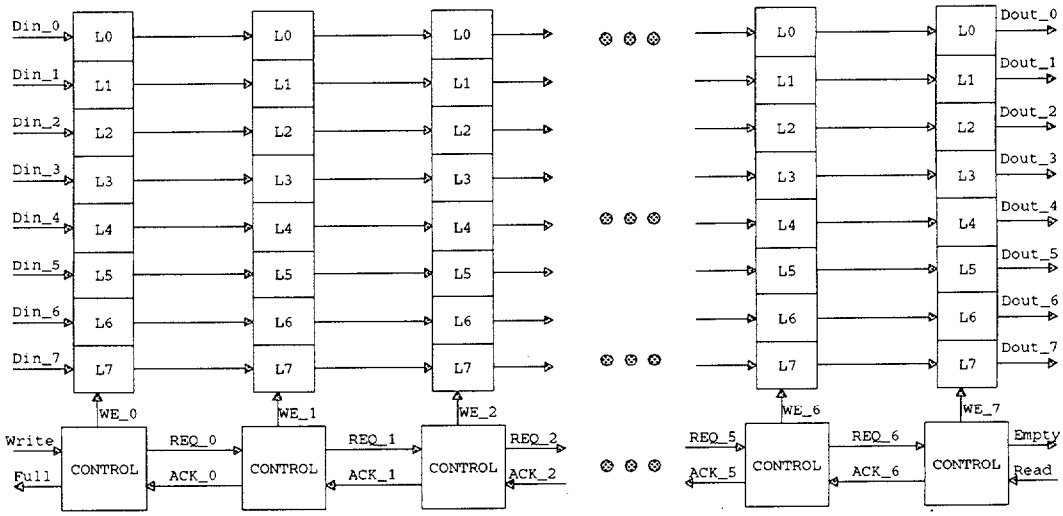


Figura 4.13: Diagrama de bloques de la FIFO.

El principio de funcionamiento de la FIFO se rige por el producto lógico entre las dos señales que llegan a cada unidad de control, procedentes cada una de uno de sus vecinos inmediatos:

$$WE_n = REQ_{n-1} \cdot \bigwedge \cdot ACK_{n+1} \tag{4.10}$$

Si el producto lógico es *1*, la unidad de control genera una señal de habilitación de escritura, con lo que los latches almacenan el nuevo dato disponible a su entrada. Automáticamente esta unidad enviará una señal de petición a la etapa siguiente indicándole que tiene un nuevo dato para transferir, y una de confirmación a la anterior indicándole que ha recibido sus datos. Repitiendo esta operación en cada etapa, se consigue que los datos fluyan desde la entrada a la salida.

Si el producto es *0*, la unidad de control no genera señal alguna, lo que significa que sus elementos de almacenamiento retendrán los antiguos datos.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

4.5.1 Elementos de almacenamiento (Latches)

Como elementos de almacenamiento se prefieren latches en lugar de flip-flops, para aprovechar la ventaja ofrecida por la unidad de control, que evita escritura simultánea entre etapas adyacentes, permitiéndonos con ello reducir el retardo, potencia, y área.

Los latches usados no requieren señal de reset, ya que el propio elemento de control sabrá si los datos almacenados tienen o no validez. Cada vez que un dato se transfiere a la etapa siguiente, la etapa actual sigue manteniendo esos mismos datos hasta que son sobreescritos por un nuevo dato. Hasta que eso ocurra, la unidad de control no volverá asolicitar el envío de sus datos. La confirmación de que la etapa siguiente ha almacenado sus datos, provoca un cambio en la información del estado de sus latches, de ocupados a vacíos, aunque no se hayan reseteado.

El dimensionado de los transistores de esta célula, debe efectuarse de tal forma que consigamos unos tiempos de retardos inferiores a los de la unidad de control, asegurándonos así que los datos estan disponibles a la salida del latch, antes de que la unidad de control haga su petición de envío a la etapa siguiente.

Los parámetros característicos del latch para las dimensiones de transistores escogidas son los que se observan en la tabla 4.15:

Parámetros temporales		*Parámetros físicos*	
t_{delay}	67ps	Potencia	8.4mW
t_{setup}	32ps	Area	$107 \times 70\ \mu m^2$
t_{hold}	53ps	N. Transistores	12
t_{rise}	74ps	Familia lógica	DCFL
t_{fall}	71ps	Niveles lógicos	0.81V 0.19V

Tabla 4.15: Parámetros del *latch*.

4.5.2 Unidad de control (EDL)

La unidad de control es la que implementa el protocolo de comunicación (petición/confirmación). Este es el elemento más importante de la FIFO, porque su retardo de propagación determina la máxima frecuencia de operación de la FIFO. El dimensionado de los transistores debe ser tal, que se obtenga un retardo mayor en la generación de sus

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

señales, frente a la disponibilidad de los datos en la salida de los latches. La estructura de la célula básicamente consta de:

- Un flip-flop RS, que almacena el estado de los latches (ocupados/vacíos).
- La lógica que implementa el producto lógico que gobierna el flujo de datos.
- Dos inversores de retardo en la generación de las señales de control, para asegurar la disponibilidad de los datos antes de hacer la petición de envío.
- Un inversor SBFL, que suministra la señal de escritura para hacer frente a un *fanout* elvedado (16 transistores).

Otra cuestión a considerar en esta célula es el orden en que han de generarse las señales de control, a fin de que se cumplan los principios postulados para ECS (Event Controled Systems).

La secuencia establecida ha sido, primero la señal de escritura (WE), seguidamente la de reconocimiento (ACK_out), y por último la de petición (REQ_out).

Parámetros temporales				*Parámetros físicos*	
	WE	ACK_out	REQ_out	Frecuencia	2.5Gbps
t_{delay}	64ps	97ps	113ps	Potencia	11.5mW
				Area	$106 \times 88\ \mu m^2$
t_{fall}	63ps	57ps	67ps	N. Transistores	20
				Familias lógicas	DCFL
t_{rise}	86ps	84ps	118ps		SBFL

Tabla 4.16: Parámetros de la unidad de control.

Resultados de implementación

Las prestaciones de esta FIFO se muestran en la Tabla 4.17, en la que se observa que la frecuencia alcanzada es de 2.5GHz con un consumo de potencia de 3.6W.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Prestaciones de la FIFO 56×8	
Potencia	3.64W
Frecuencia	2.5GHz
Area	2.25×1.75 mm^2
N transistores	6.502
Familia lógica	DCFL SBFL
Alimentación	1.5v

Tabla 4.17: Prestaciones de la FIFO 56×8.

4.6 Multiplexores de salida

El criterio de resolución de contención que obligó a la bipartición de la FIFO de cada salida, requiere de un multiplexor que acomode los dos flujos de salida procedentes de ambas particiones de una misma FIFO, en uno.

La multiplexación se efectúa a nivel de células, no de bytes, y el control de selección entre ellas lo efectúa el conmutador de la etapa siguiente al que, según el tipo de red de interconexión elegida, esté conectado.

Para mantener la integridad de la secuencia de células, esa multiplexación se regirá por el mismo principio de alternabilidad aplicado durante la fase de asignación FIFO/célula.

La señal que controla el multiplexor, C56, procede del bloque UCF del conmutador de la etapa siguiente, y le indica que el último byte de la célula que estaba enviándole ya ha sido recibido, y que por consiguiente ahora deberá suministrarle una célula que se halle en la otra partición.

La multiplexación no se limita sólo a los datos (8bits) sino que se extiende también a las señales de control (REQ/ACK), que como hemos visto se propagan a lo largo de todo el elemento de conmutación y también del conmutador global. El que entre las diferentes etapas de interconexión se facilite el mismo protocolo de comunicación REQ/ACK, que hemos implementado dentro del elemento de conmutación 2x2, suministra una técnica de control de flujo hacia atrás.

Conforme las etapas finales se van congestionando, por una afluencia masiva de células con un mismo destino, esa congestión se va propagando progresivamente hacia

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

atras, ante la no recepción de reconocimientos a peticiones de envio; que se traducen en una retención de las células habidas en las FIFOs de cada etapa hasta que la contención se resuelva y vuelvan a generarse señales de control (REQ/ACK) a lo largo de la red de interconexión.

Las prestaciones de un multiplexor se ofrece en la tabla 4.18

N transistores	Area (μm^2)	N terminales	Potencia(mw)
118	133.000 × 514.000	32	69.000

Tabla 4.18: Prestaciones del multiplexor

Las salidas de los 8bits de datos aparecen en lógica negativa con respecto a la lógica de entrada. El sistema de demultiplexores previo ya habia ejercido una operación análoga con lo que en esta última etapa los datos se ofrecen tal cual se transmitieron.

Los parámetros temporales que caracterizan a este subsistema se muestran en la tabla 4.19.

Señales de control del multiplexor				
$t_d(ps)$	$t_r(ps)$	$t_f(ps)$	$V_H(V)$	$V_L(V)$
317	219	183	0.74	0.16
Señales de datos del multiplexor				
$t_p(ps)$	$t_r(ps)$	$t_f(ps)$	$V_H(V)$	$V_L(V)$
61	85	130	0.84	0.12

Tabla 4.19: Parámetros temporales del sistema de multiplexores

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

4.7 Prestaciones del Conmutador 2×2 diseñado

El diseñño final del conmutador 2×2, teniendo en cuenta los parámetros temporales de cada uno de los bloques, queda caracterizado por:

1. **Tiempo de tránsito** El cálculo de este parámetro se realiza bajo la consideración del *caso peor*, correspondiendo a una situación de contención donde la primera célula en llegar adquiere prioridad secundaria de acceso a la FIFO objeto de contención.

$$t_{tránsito} = t_{UCE} + t_{UCF} + t_{DMUX} + t_{FIFO} + t_{MUX} \tag{4.11}$$

El retardo introducido por la UCE, es varible según estemos en modo registro de desplazamiento (tres bytes de cabecera interna) o en modo FIFO (célula de CCITT, los 53 bytes restantes). Para los cálculos tomaremos el valor medio de ese retardo.

Modo Reg. despl.	*Modo FIFO*
645 ps	276 ps
Retardo medio introducido por la UCE	296 ps

El tiempo que los datos tardan en estar disponibles a la salida, depende del circuito de bloqueo que es accionado por la UCF. Por consiguiente el retardo introducido por esta unidad introduce los sumandos detallados en la ecuación 4.13.

$$\begin{aligned} t_{UCE} &= t_w(config_UCE) + t_d(Bloqueo) = \\ &= 1.5ns + 423ps = 1.923ns \end{aligned} \tag{4.12}$$

La UCF incorpora como sumandos los indicados en la ecuación ??, relativos al tiempo que tarda en asignarse la partición de FIFO, para el caso peor.

$$\begin{aligned} t_{UCF} &= \begin{matrix} Desfase\ entre\ célu- \\ las\ simultáneas \end{matrix} + t_{evaluación} + t_{Clear_lock} = \\ &= 2 \times 400ps + 617ps + 812ps = 2.23ns \end{aligned} \tag{4.13}$$

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

El retardo del sistema de demultiplexores incluye el tiempo de selección del bus, y el tiempo de propagacion de los datos.

$$\begin{aligned} t_{DMUX} &= t_s + t_p \\ &= 80ps + 48ps = 128ps \end{aligned} \tag{4.14}$$

El retardo introducido por la FIFO, para el caso peor abarca el tiempo de propagación por la partición asignada mas el desalojo de la otra partición.

$$\begin{aligned} t_{FIFO} &= t_p + t_{out} = \\ &= 6.7ns + 7.1ns = 13.8ns \end{aligned} \tag{4.15}$$

Los términos de retardo que introducen el multiplexor son del mismo tipo que los del sistema de demultiplexores.

$$\begin{aligned} t_{DMUX} &= t_s + t_p \\ &= 317ps + 61ps = 378ps \end{aligned} \tag{4.16}$$

El tiempo de tránsito resultante de la suma de los retardos introducidos por cada subsistema:

$$t_d(2 \times 2) = 1.9ns + 2.2ns + 0.128ns + 13.8ns + 0.378ns = \boxed{18.4\text{ns}} \tag{4.17}$$

2. **Capacidad de almacenamiento** Para resolver la contención el conmutador dispone de dos FIFOs una por cada salida con capacidad para dos células. El problema de pérdida de células en esta estructura de conmutador ATM, se producirá en la entrada. No se ha contemplado la posiblidad de desbancar células almacenadas en las FIFOs en favor de otras de mayor prioridad que deseen entrar.

3. **Consumo** La potencia máxima cosumida por el conmutador 2×2 integrada por un total de 28.706 transistores, suma de la consumida por cada bloque detallado en la ecuación 4.19 es:

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

$$\begin{aligned} Pot_{2\times2} &= 2 \cdot Pot_{UCE} + Pot_{UCF} + Pot_{DMUX} + \\ &\quad 4 \cdot Pot_{FIFO} + 2 \cdot Pot_{MUX} = \\ &= 2 \cdot 304mW + 471mW + 269.5mW + \\ &\quad 4 \cdot 3640mW + 2 \cdot 69mW = \boxed{16\text{W}} \end{aligned} \tag{4.18}$$

4. **Frecuencia de funcionamiento** La frecuencia del conmutador la determina el elemento de control de la FIFO, que impone el ritmo al que se propagan los datos por ella y por el resto de los circuitos. Las líneas de control (REQ/ACK) se prolongan desde la entrada a la salida. Como líneas de entrada de datos el conmutador integra buses de 8 líneas de bit, consiguiéndose un flujo de datos cuya velocidad es:

$$\begin{aligned} Throughput &= frecuencia_control \times 8bits \\ &= 2.4GHz \times 8bits = \boxed{19.2\text{Gb/s}} \end{aligned} \tag{4.19}$$

5. **Area estimada** La magnitud de área abarcada por la FIFO, obligó a un particionado de la estructura global de conmutador. Ese fraccionamiento se realizó atendiendo a las dimensiones de área y número de pads ofertados por IAF en su librería de *pad–rings*. El objetivo era conseguir el menor número de chips distintos, aprovechamiento del área/número de pines, lo que condujo a una estructura modular. Los módulos y *pad–ring* donde se encajaron se muestran en la tabla 4.20. La disposición de dichos módulos definen el *floorplan* mostrado en la figura 4.14. Como nuestro diseño sólo requiere de dos multiplexores, entre los chips FIFO+MUX se establecieron las conexiones interna y externa que se observan en la figura 4.15.

Módulo	*Pad ring*	N de módulos	Contenido	Area
1	modrah4mx3m	1	UCE + UCF + DMUXs	12 mm^2
2	modrah4mx3m	4	1 FIFO + 1 MUX	12 mm^2

Tabla 4.20: Módulos que conforman el conmutador 2×2

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

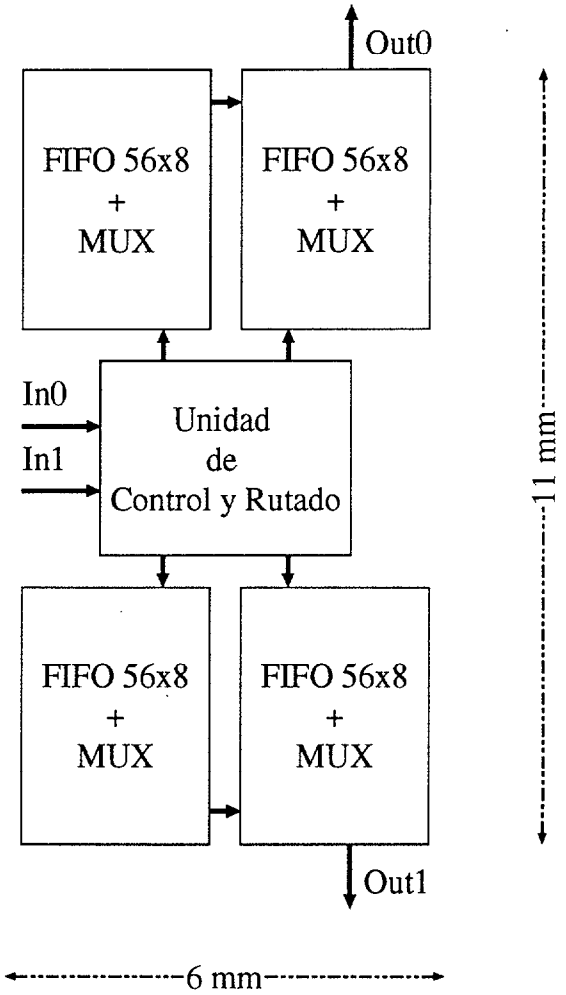


Figura 4.14: Floor_plan del conmutador 2×2

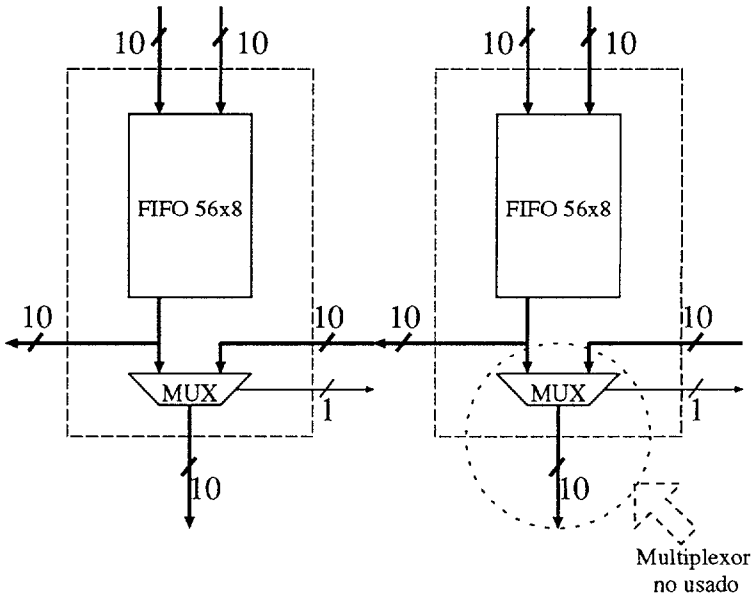


Figura 4.15: Conexiones internas y externas de los FIFO+MUX.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

La tabla 4.21 resume las características del conmutador2×2 diseñado.

Características del conmutador 2×2	
Topología	*buffers* en la salida
FIFO/puerto	2 células
N transistores	28.706
Area	6×11 mm^2
N entradas	22
N salidas	22
Consumo	16 W
Frecuencia	2.4 GHz
Throughput	19.2 Gb/s
Retardo	18.4ns

Tabla 4.21: Características del conmutador 2×2

La obtención de conmutadores de mayor número de entradas/salidas se logra mediante la interconexión de varios de estos conmutadores 2×2, según la arquitectura de los diferentes tipos de red de interconexión (Banyan, Clos, Benes...).

Anteriormente se mencionó que la pérdida de células del conmutador 2×2 se producía en la entrada de dicho elemento. No obstante cuando estos elementos se interconectan formando una red de conmutación, el problema de pérdida de células queda relegado a la entrada de la red, no existiendo pérdidas en el interior. Será la unidad de entrada a la red la que habrá de implementar la lógica pertinente que permita obtener un porcentaje tolerable de pérdida de células.

El suministrar las señales de control de la FIFO a modo de protocolo de comunicación entre las etapas de conmutadores adyacentes, conforma una red con un tipo de control de flujo hacia atrás. La congestión experimentada por las etapas finales se va propagando hacia la entrada, bloqueándo los flujos de células. La accesibilidad de esas señales de control ofrece la posibilidad de supervisar la fluidez de los flujos de células dentro de la red de conmutación. Desarrollos posteriores podrían incluir un bloque externo a la red de conmutación, que se encargase de chequear esas señales y que según el nivel de congestión de la red, ordenase a cada elemento de conmutación el deshacerse de células no prioritarias almacenadas en sus FIFOs, en beneficio de células de alta

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

prioridad.

4.8 Estudio comparativo con otros conmutadores ATM

Tal como se comento en el capítulo 1 y 3, el objetivo inmediato del conmutador 2×2, es la realización de redes de bajo número de entradas con velocidades de 10 Gbit/s y superiores. Por tanto una comparación directa habría que hacerla con conmutadores del mismo estilo. Sin embargo, no existen datos publicados sobre los conmutadores a 10 Gbit/s o 20 Gbit/s. Por ejemplo, AT&T dispone de un conmutador a 2.5 Gbit/s escalable hasta 20 Gbit/s, pero no se han publicado detalles de esta escalabilidad o de las prestaciones finales de los circuitos.

Por tanto, contrastaremos los resultados obtenidos para una arquitectura de red Benes, que use como elemento de conmutación básico nuestro conmutador 2×2, frente a otras estructuras o conmutadores ATM que presenten el mismo número de puertos de entrada/salida.

La filosofía de diseño de nuestro conmutador de mayores dimensiones se rige por el principio de la multiplexación jerárquica, introducido en los conmutadores diseñados por AT&T. Ese principio, representado gráficamente en la figura 4.16, consiste en *aprovechar el incremento de velocidad de conmutación interna de la red, anteponiendo elementos de multiplexación que concentren varias líneas de usuario, a 155 Mbit/s o 622 Mbit/s, sobre una misma entrada a la red de conmutación y postponiendo elementos de demultiplexación que repartan el flujo a la velocidad de línea.*

Cuanto mayor sea la velocidad interna del elemento de conmutación, mayor número de líneas de usuario podrán concentrarse sobre una misma entrada de la red de conmutación. Eso significa que para igual número de puertos de entrada/salida, el conmutador de mayor velocidad requiere menos elementos de conmutación en su red, y menos elementos de multiplexación y demultiplexación si bien estos tienen mayor número de entradas y salidas respectivamente.

Los conmutadores que han sido objeto de estudio:

1. ICM2 IC: Elemento de conmutación ATM para comunicaciones a 2.48 Gbit/s, desarrollado por la División de Microelectrónica de Telefónica I+D.

2. Conmutador a 2.4 Gbit/s desarrollado por la Universidad de Adelaida, Australia.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

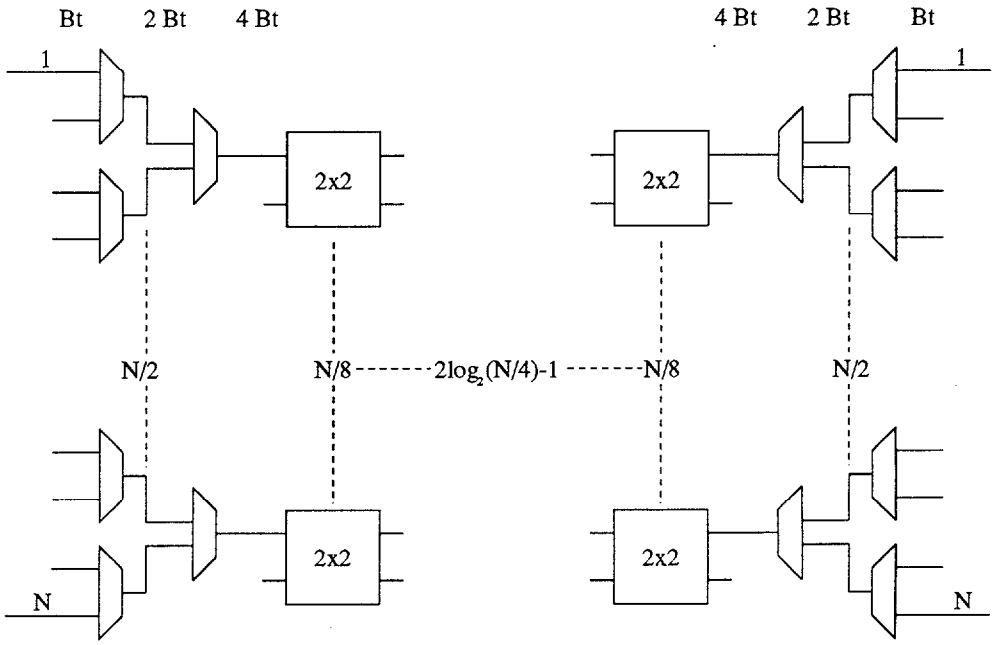


Figura 4.16: Multiplexación jerárquica

4.8.1 Conmutador de Telefónica I+D

El elemento de conmutación ICM2 desarrollado por Telefónica dentro del ESPRIT 2048 ACCES Project presenta las característica ofrecidas en la tabla 4.22. De ella se extrae que trabaja con palabras de 32 bits frente a las de 8 que usa nuestro diseño. Mas que un estudio comparativo es una presentación de resultados obtenidos para uno y otro diseño, ya que la lógica restante que rodea al ICM2, en el conmutador ATM que han diseñado no sigue el principio de AT&T, anteriormente enunciado. Por contra este conmutador aplica un principio de *bit–slice*, definiendo unas microcélulas que conmutan sobre estos elementos ICM2.

	1 chip ICM2	*2 chips ICM2*
N transistores	650K	1.3M
Area	12.8 × 12.1 mm^2	25.6 × 24.2 mm^2
N entradas	8	8
N salidas	4	8
Frecuencia	70MHz (74MHz max.)	
Throughput	2.4Gbit/s	
Tecnología	CMOS 0.7μm 2 metales	

Tabla 4.22: Características del conmutador 1024×1024

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Para un conmutador 8×8 los requisitos de nuestro diseño se muestran en la tabla 4.23.

1 red de conmutación 8×8	
N etapas	5
N elem. 2×2	20
N transistores	574.12K
Area	30 × 44 mm^2
N entradas	8
N salidas	8
Frecuencia	2.4 GHz
Throughput	19.2 Gbit/s
Tecnología	HEMT 0.3 μm, 2 metales
No comparados	
Potencia	320 W.
Retardo	92ns

Tabla 4.23: Proyecto aplicado a conmutador 8×8

Se observa que nuestro diseño para red de conmutación 8×8 pura sin elementos de multiplexación/demultiplexación ofrece ventajas en cuanto a velocidad y *troughput*, así como en el número de transistores requeridos. Sin embargo este último dato no es significativo en la comparación, puesto que el conmutador ICM2 incorpora una etapa de entrada donde se realizan otras funciones, que no han sido implementadas en nuestro diseño.

4.8.2 Conmutador de la Universidad de Adelaida

La comparación con este conmutador es más realista, puesto que ambos se basan en las redes Benes para el encaminamiento, y sistemas de multiplexación/demultiplexación para adaptar las velocidades de línea y de conmutación.

Los cálculos se realizan para un conmutador 1024×1024, bajo dos supuestos:

1. Líneas de usuario de 155 Mbit/s.

2. Líneas de usuario de 622 Mbit/s.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Bibliografía

[1] Fraunhofer-Gesellschaft, "Design Manual Version 3.0", *Fraunhofer-Institut für Angewandte Festkörperphysik*, Marzo 1994.

[2] R. Händel, M. N. Huber, "Integrated Broadband Networks, An Introduction to ATM-Based Networks",*Addison-Wesley*,1993.

[3] S. Morton, S. Appleton, y M. Liebelt, "Event Controlled Systems (ECS) Design Methodology and Associated Pipeling Techniques", *High Performance Computer Architecture Team, Dept. of Electrical & Electronic Engeneering, University of Adelaide*, Adelaide, SA 5005, Australia.

[4] K. Sato, S.Ohta e I. Tokizawa, "Broad-Band ATM Network Architecture Based on Virtual Paths", *IEEE Trans. on Communications*, Vol. 38, No.8, Agosto 1990.

[5] F. A. Tobagi, "Fast Packet Switch Architectures for Broadband Integrated Services Digital Networks", *Proc. of the IEEE*, Vol. 78, No.1, Enero 1990.

[6] D. A. Pucknell and M. J. Liebelt, "Aspects of Event–Driven Logic", *The Department of Electrical and Electronic Engineering*, Tge University of Adelaide.

[7] D. A. Pucknell, "Event–driven logic (EDL) approach to digital systems representation and related design process", *IEE Proceedings–E*, Vol. 140, No. 2, March 1993.

[8] Y. Watanabe,Y. Nakasha, Y. Kato, K. Odani, and M. Abe, "A 9.6Gbp/s HEMT ATM Switch LSI with Event-Controlled FIFO", *IEEE J. Solid-State Circuits*, Vol. 28, No. 9, pp.935-939, Sept. 1993.

[9] N. Weste y K. Eshraghian, "Principles of CMOS VLSI Design",*Addison-Wesley*, 1993.

[10] K. Eshraghian "Fundamentals of Gallium Arsenide VLSI Systems", *Silicon Systems Engineering Series*, Australia, 1994.

[11] "Aspectos tecnológicos de las autopistas de la información", *E.T.S.I.T*, 24 de noviembre– 1 de diciembre, 1994.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

[12] K. Eshraghian and E. Chu, J. Jakobensen "Arquitectural Overview of Switches for Implementing ATM Switch Nodes", *Centre of Gallium Arsenide VLSI Technology*, The University of Adelaide, South Australia, March 1993.

[13] K. Eshraghian, M. K. McGeever, E. Chu, J. Jakobensen and M. J. Liebelt, "Implementation of an 8×8 B–ISDN ATM Switch in Gallium Arsenide", *Centre of Gallium Arsenide VLSI Technology*, The University of Adelaide, South Australia.

[14] "Banda Ancha. El futuro de las Telecomunicaciones", *Isdefe, Ingeniería de Sistemas*, Madrid 15 de marzo 1993.

[15] E. Chu, "Aspects of Designing a large and scalable ATM Switch Fabric in GaAs MESFET Technology", *Centre of Gallium Arsenide VLSI Technology, Departament of Electrical & Electronic Engineering*,The University of Adelaide, South Australia, Research Semminar 16th March, 1994.

[16] J. Solé y G. Santos, "Comunicaciones en banda ancha. Sistemas de conmutación",*Mundo Electrónico*, Abril 1990.

[17] "Prestaciones de las redes y ATM", *Telecomunications News, Hewlett–Packard*, Número 2, octubre 1994.

[18] "U.K. universities tap ATM", *Communications Week*, pag. 14, 14 noviembre 1994.

[19] M. de Pycker,"Asynchronous transfer mode: solution for broadband ISDN", *Ellis Horwood series in computer communications and networking*,1993.

[20] H. Morkc, H. Unlu, G. Ji, "Principles y Technology of MODFETs", Tomos I y II, *J. Weley & Sons*, 1991.

[21] P. Wayner, "On the road to ATM", *magazine Byte*, september 1994.

[22] P. Barri and J. A. O. Goubert, "Impelemetation of 16 to 16 Switching Element for ATM Exchanges"

[23] Rudiger H. Hofmann and Rudi Muller, "A Multifuncional High–Speed Switch Element ATM Applicacitons", *IEEE Journal of Solid–Satate Circuits*, Vol. 27, No. 7, July 1992.

[24] Y. Ohtomo, S. Yasuda, M. Togashi, M. Ino, Y. Tanabe, J. Inoue, M. Nogawa, S. Hino, "BiCMOS Circuit Technology for a 704 MHz ATM Switch LSI", *IEEE Journal of Solid–State Circuits*, Vol. 29, No. 5, May 1994.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

[25] H. Kondoh, H. Notani, H. Yamanaka, K. Higashitani, H. Saito, I. Hayashi, S. Kohama, Y. Matsuda, K. Oshima, M. Nakaya, " A 622 Mb/s 8× ATM Switch Chip Set with Shared Multibuffer Architecture", *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 7, May 1993.

[26] A. Jiménez,"Todos de acuerdo: el futuro será ATM", *Redes LAN*, enero 1994.

[27] J. Domingo, O. Casals y N. Torralba, "Comunicaciones en banda ancha. Hacia una única infraestructura de las telecomunicaciones", *Mundo Electrónico*, marzo 1990.

[28] A. González, P.L. Chas, L. Fernández y A.V. Castillo, " Redes de Banda Ancha. Planes experimentales en España", *Mundo Electrónico*, octubre 1991.

[29] F. Boyle, "Design Process Integration for Multi-Chip Module Design", *Valid Logic Systems Inc.*, June 1991.

[30] J. Jakobsen, "Functional Unit Description (FEB) for Router in High Bandwidth Packet Switch", May 24, 1993.

[31] J. Jakobsen, "Functional Unit Description (FEB) for Buffer Chip in High Bandwidth Packet Switch", April 13, 1993.

[32] J. Jakobsen, "Buffered Benes Networks with Bit Rate Conversion", *Jydsk Telfon R&D.*

[33] "53 bytes" *The ATM Forum Newsletter*, Vol. 2, Issue 3, September 1994.

[34] "53 bytes" *The ATM Forum Newsletter*, Vol. 3, Issue 1, Juanuary 1995.

[35] R. A. Quinnell"ATM networking",*EDN*, March 3, 1994.

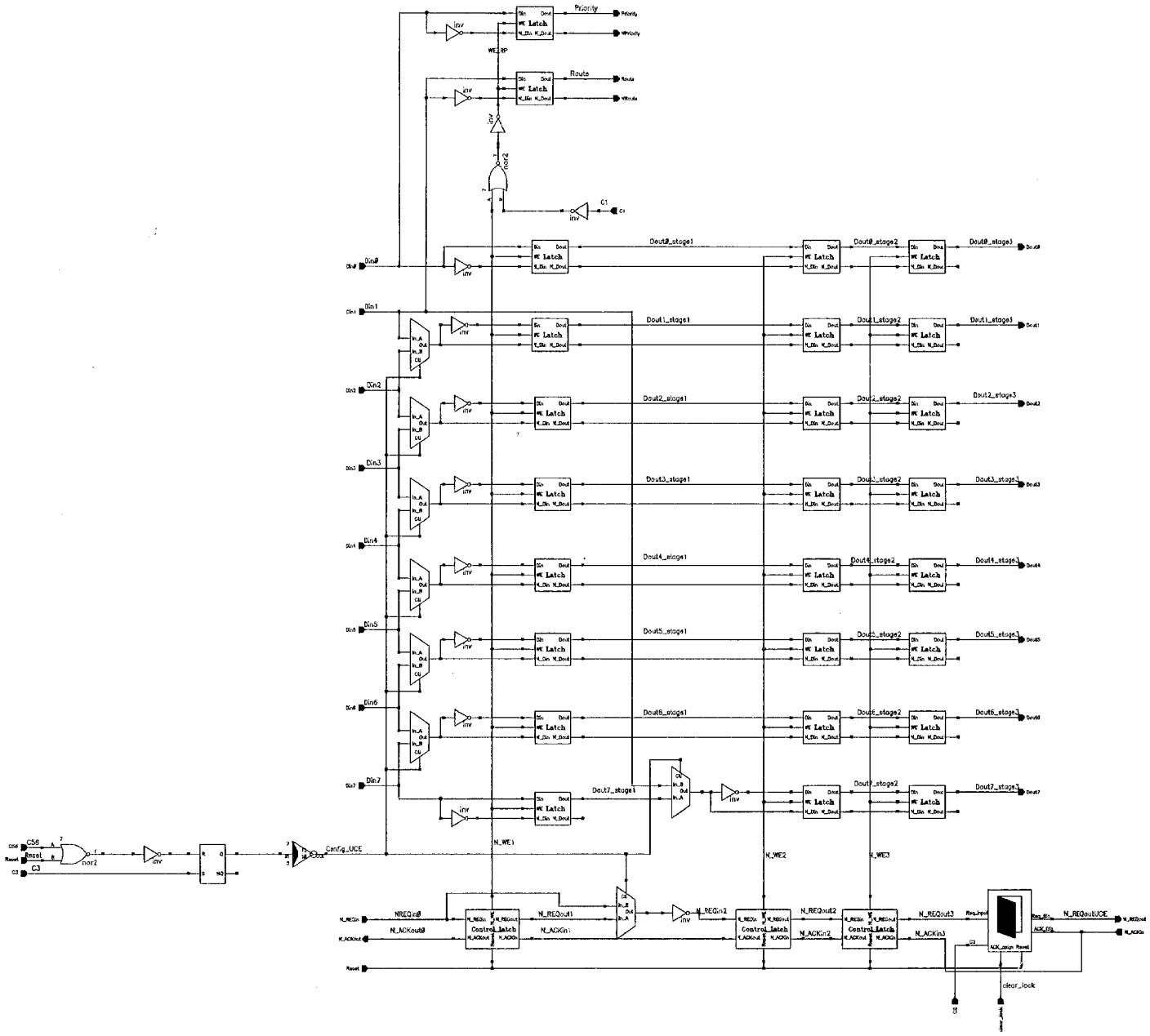
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

ANEXO-I

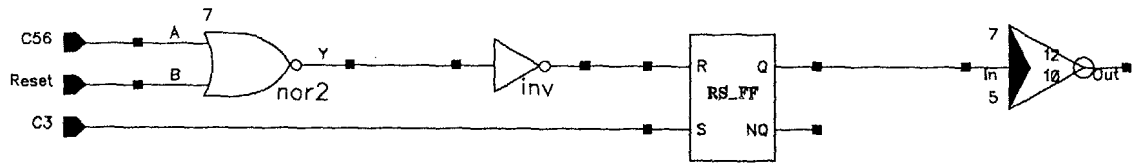
Esquemáticos:

1- UCE
2- C56
3- UCF
4- DEMUX
5- FIFO
6- MUX

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

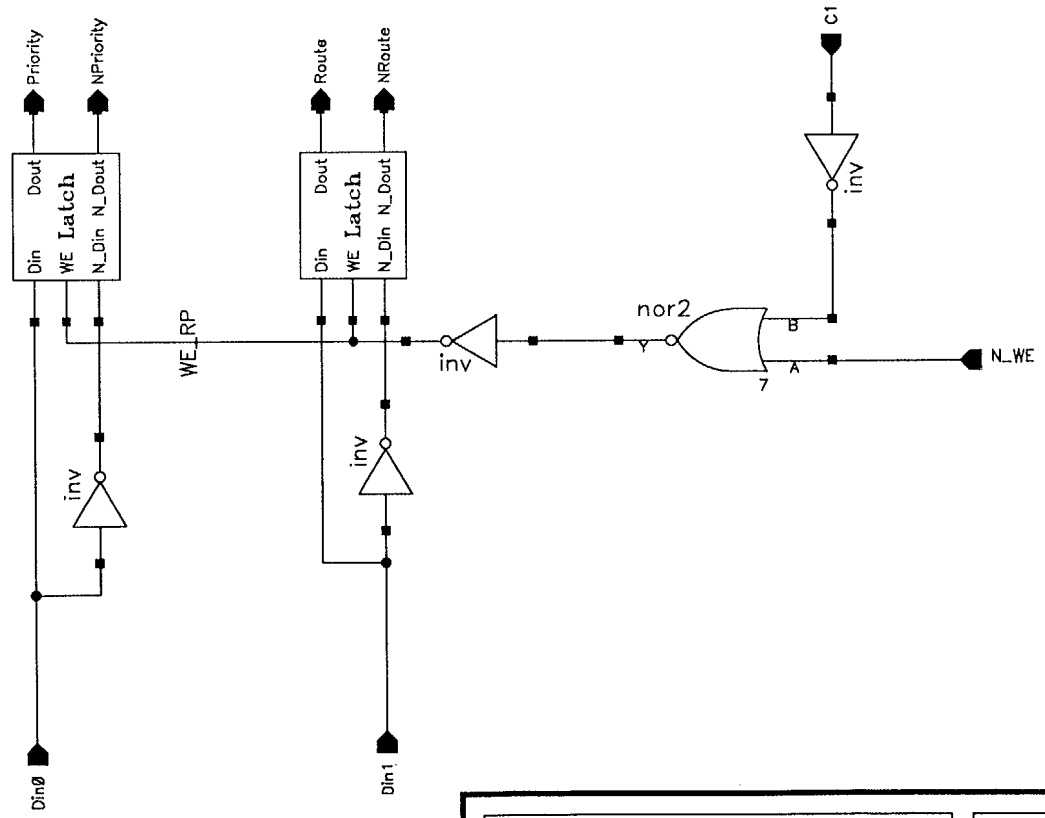


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	PROYECTANTE: Silvio E. Martel Jordan	N. PLANO: 1.1
PLANO: UCE	UNIVERSIDAD: E.T.S.I.T. (U.L.P.G.C.)	C.M.A.



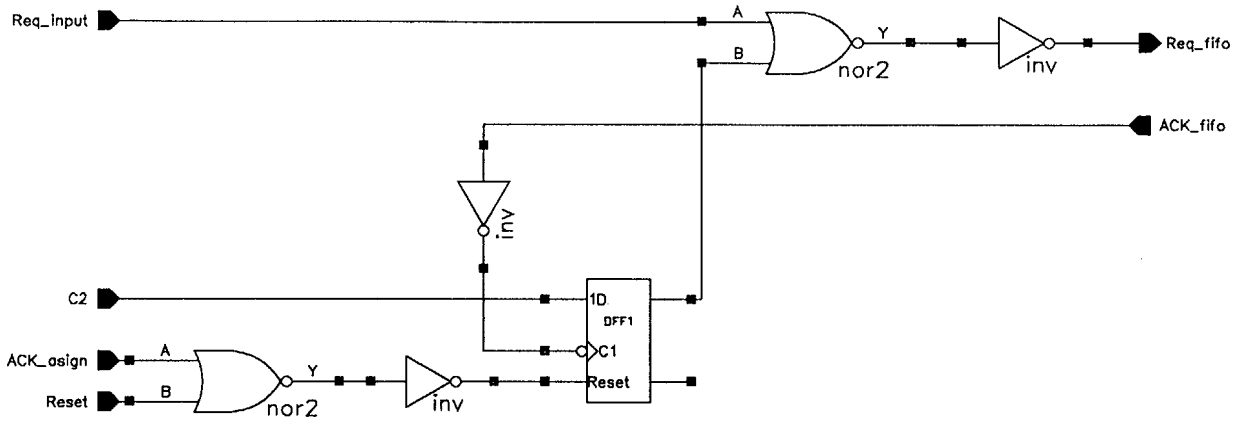
PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 1.2
PLANO: UCE: Circuito de configuracion	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

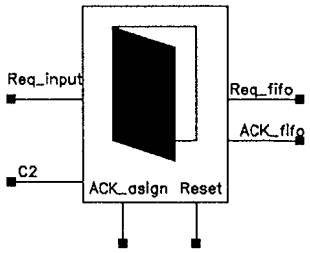


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 1.3
PLANO: UCE: Circuito de extraccion de P. y R.	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

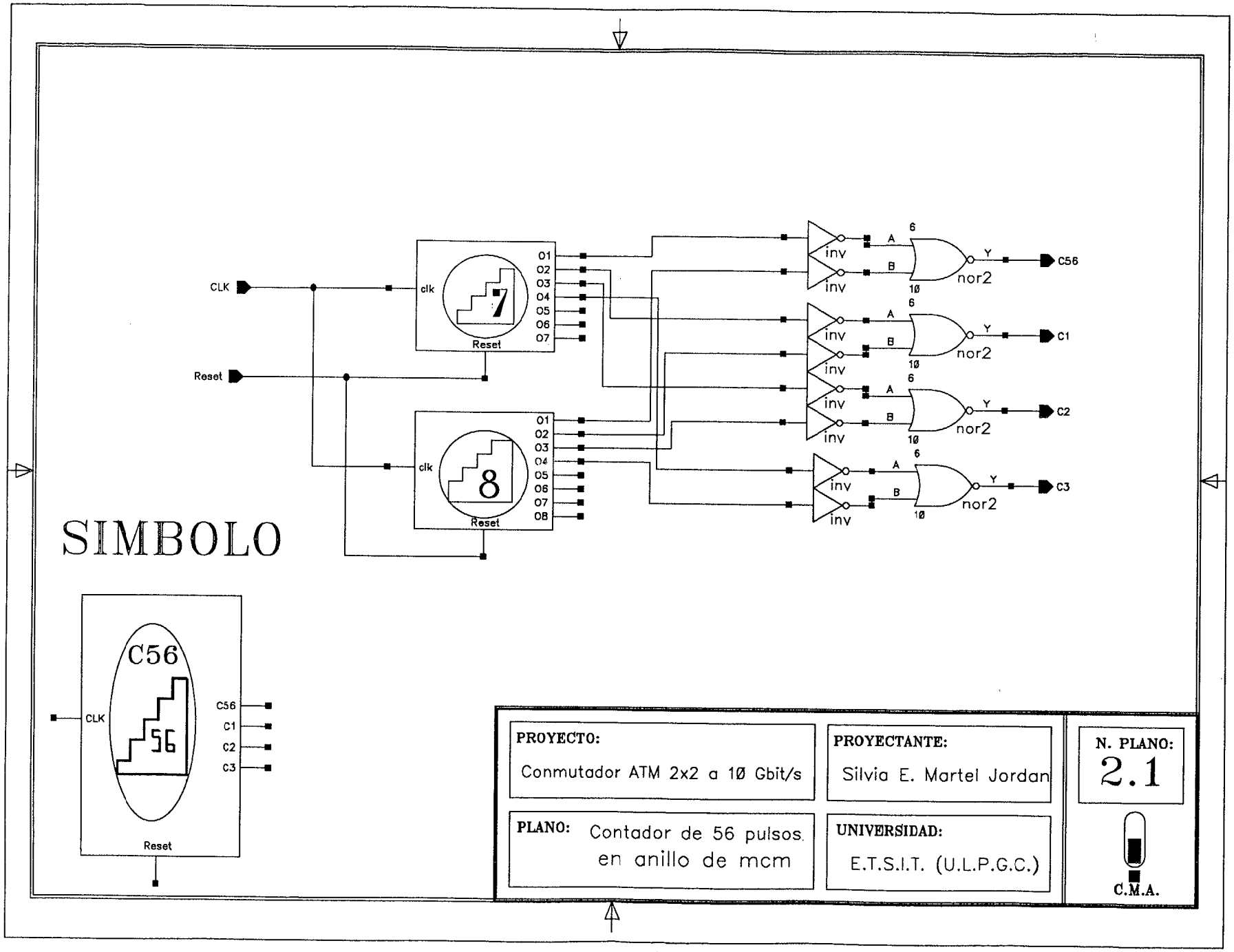


SIMBOLO

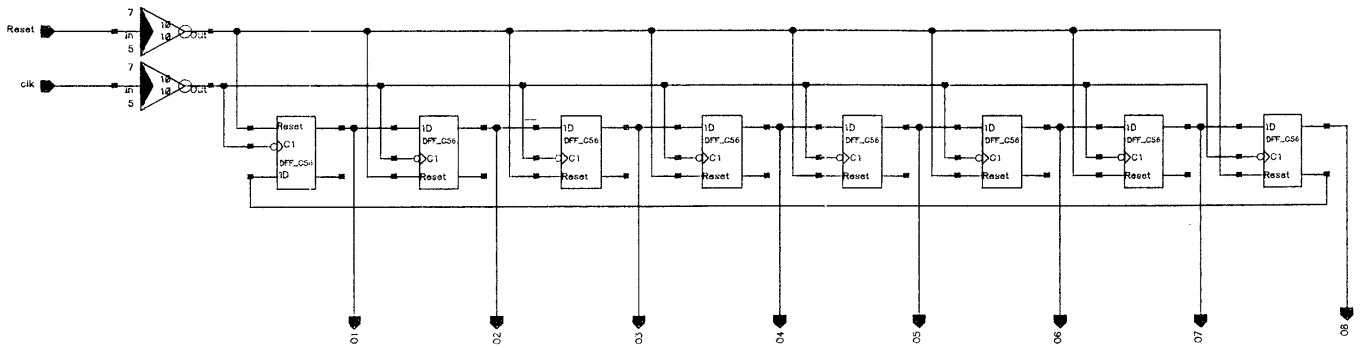


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 1.4
PLANO: UCE: Circuito de bloqueo	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

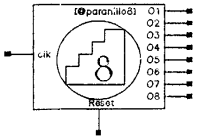
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

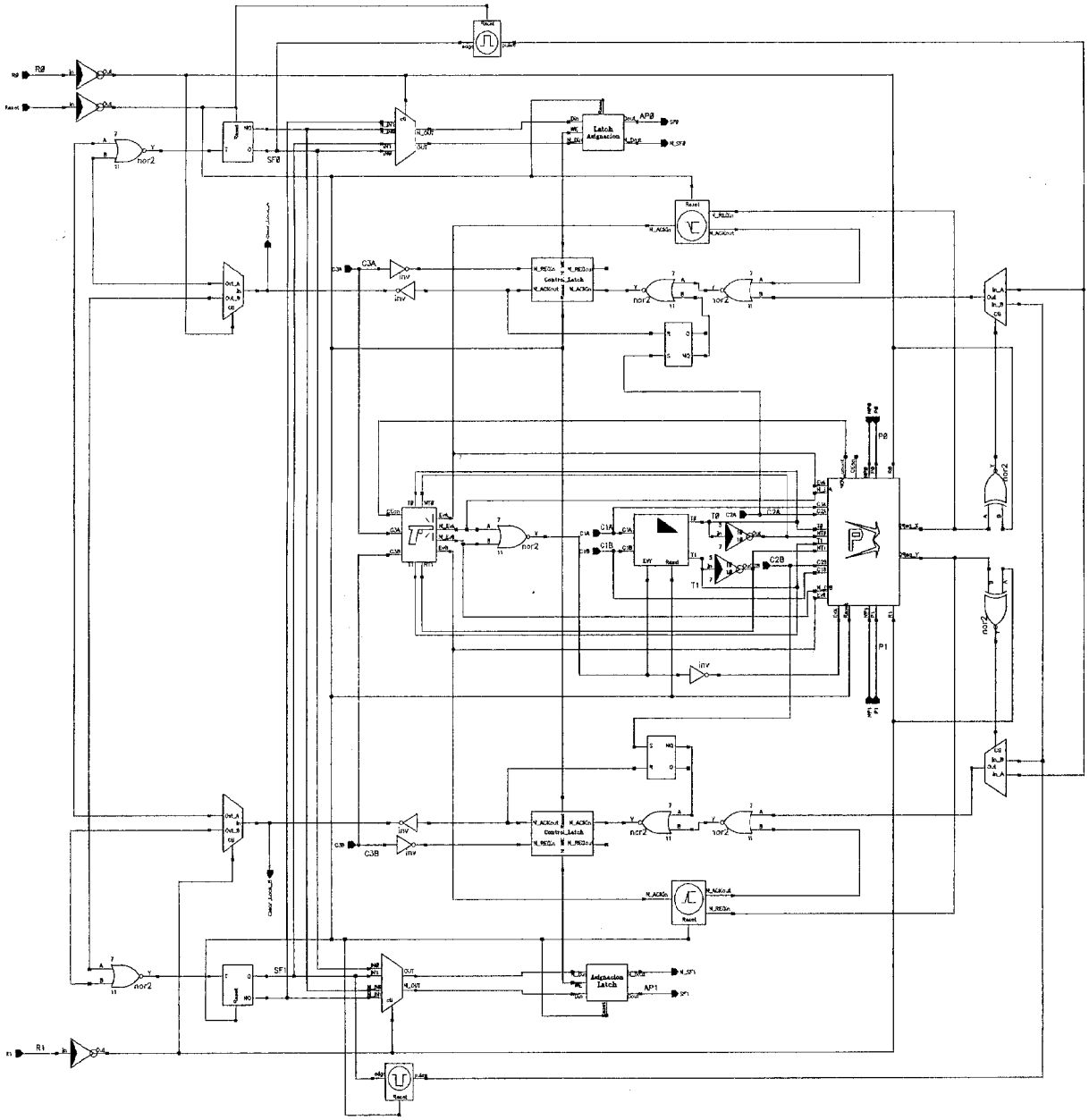


SIMBOLO

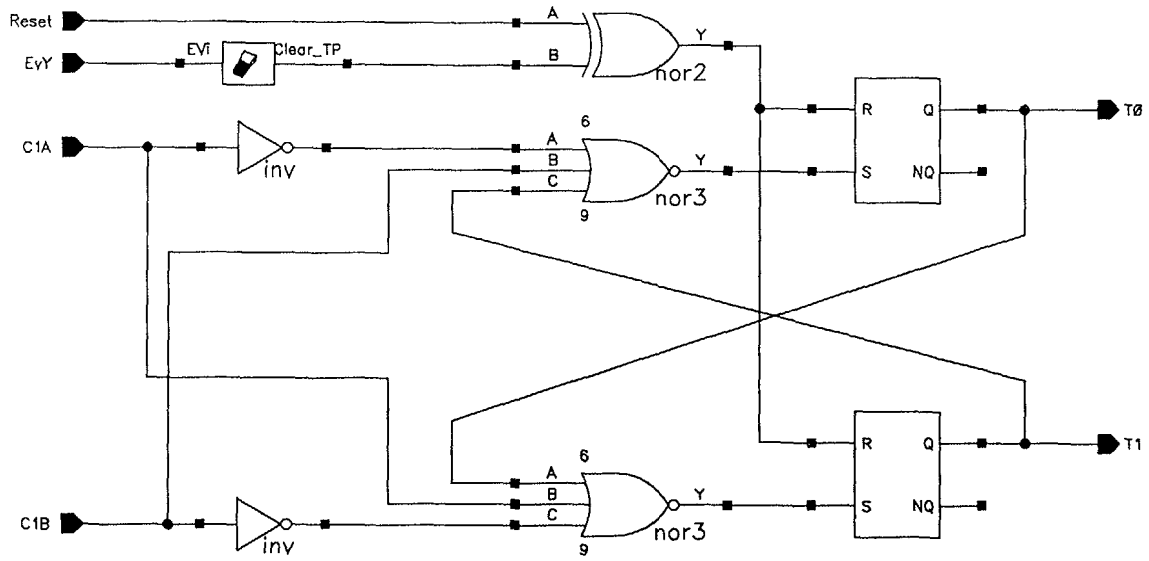


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 2.2
PLANO: C56: Contador de 8 en anillo	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

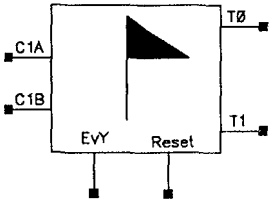
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO:	PROYECTANTE:	N. PLANO:
Conmutador ATM 2x2 a 10 Gbit/s	Silvia E. Martel Jordán	3.1
PLANO: UCF sin Contadores	UNIVERSIDAD: E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

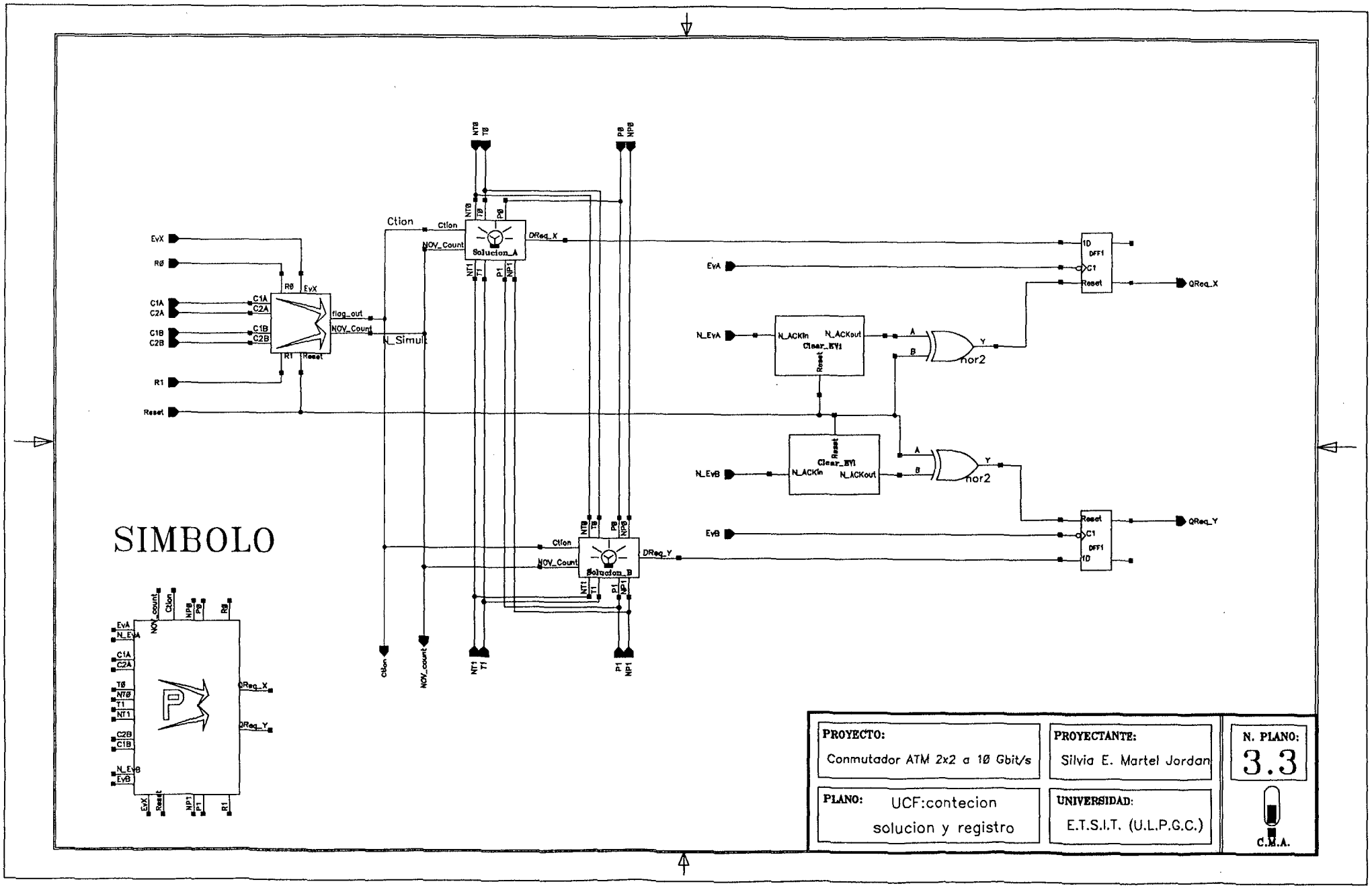


SIMBOLO



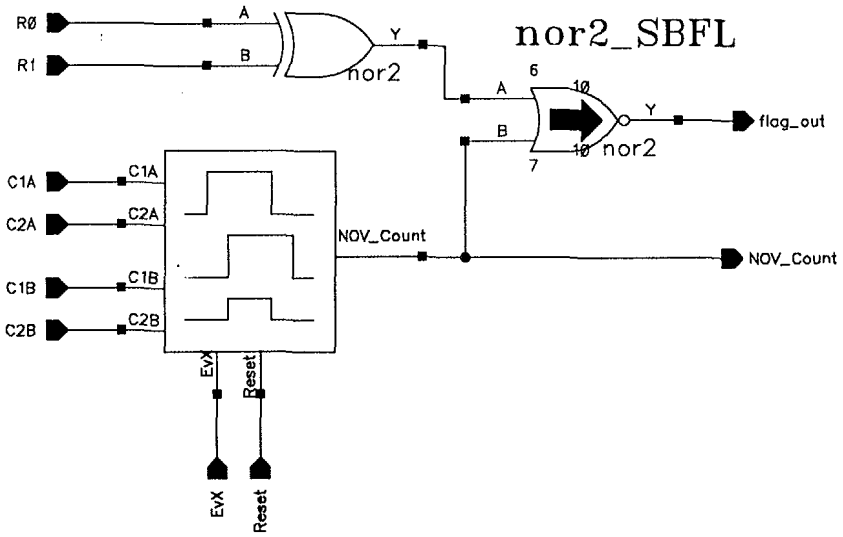
PROYECTO: Conmutador ATM 2x2 a 1Ø Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.2
PLANO: UCF: Detector de prioridad temporal	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

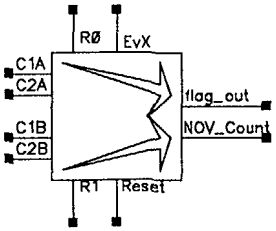


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.3
PLANO: UCF:contecion solucion y registro	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

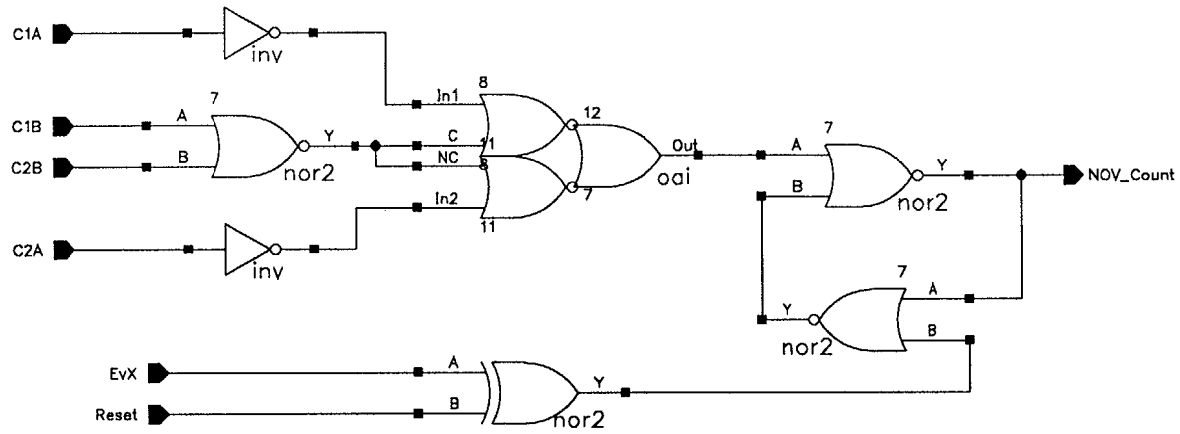


SIMBOLO

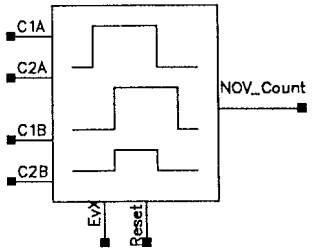


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.4
PLANO: UCF: Contencion y Simultaneidad	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

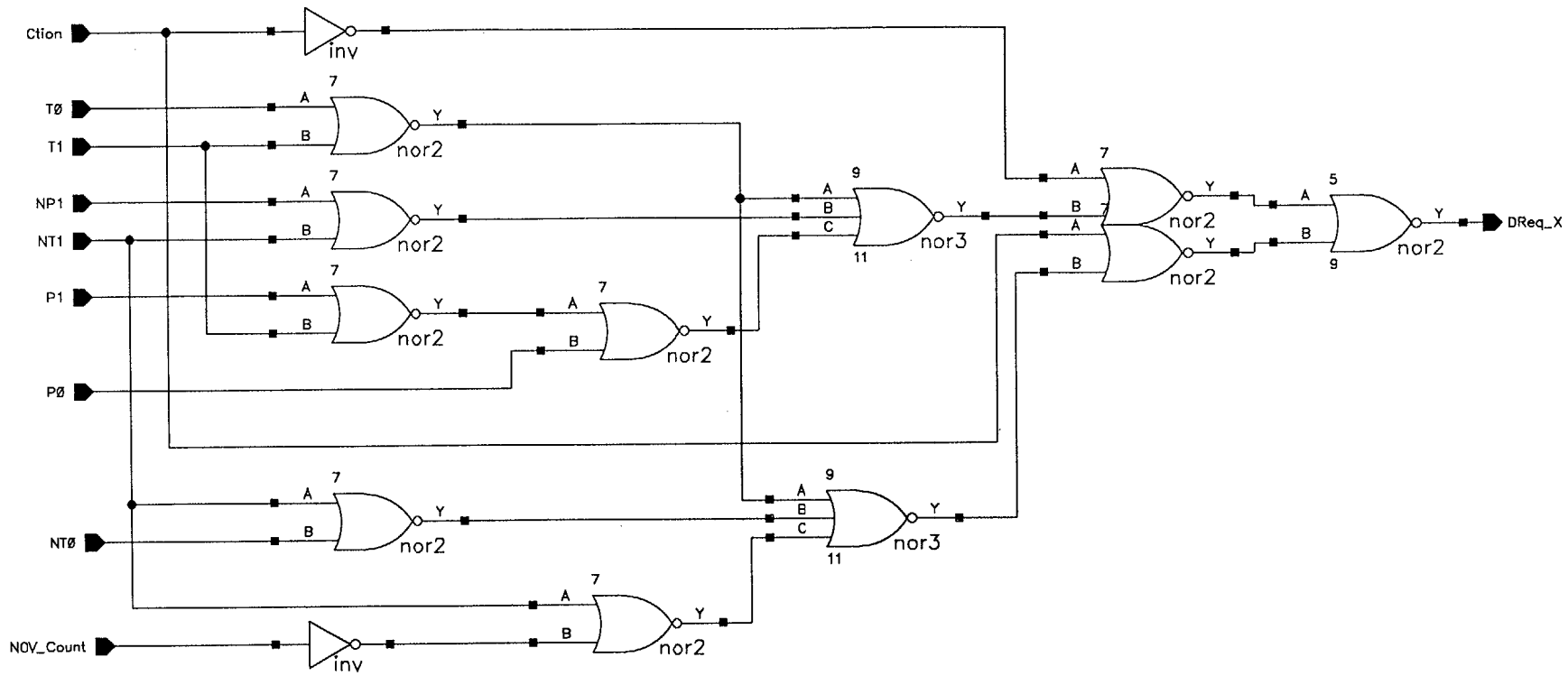


SIMBOLO

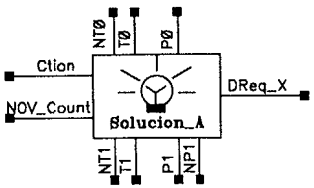


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.5
PLANO: UCF: Detector de simultaneidad	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

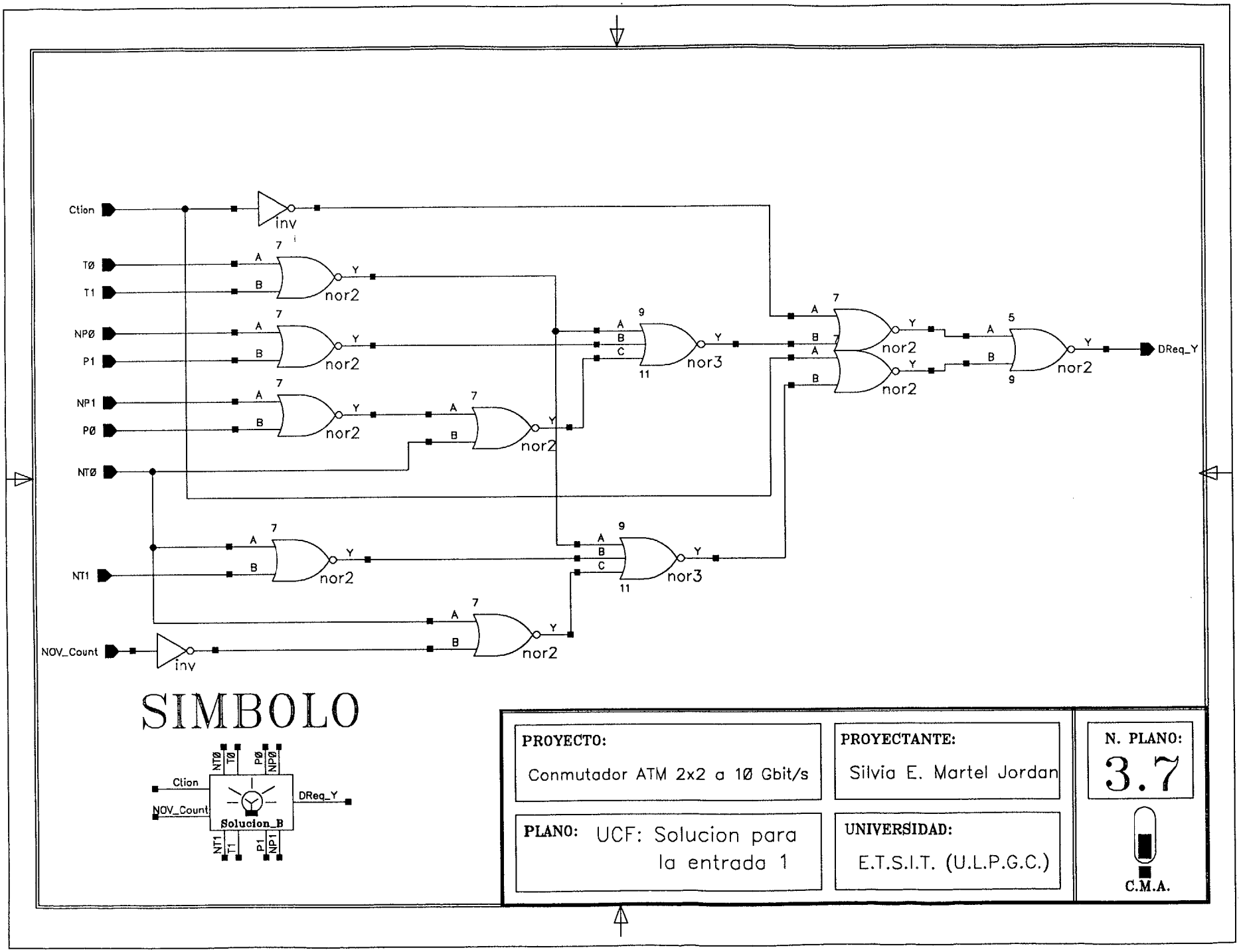


SIMBOLO

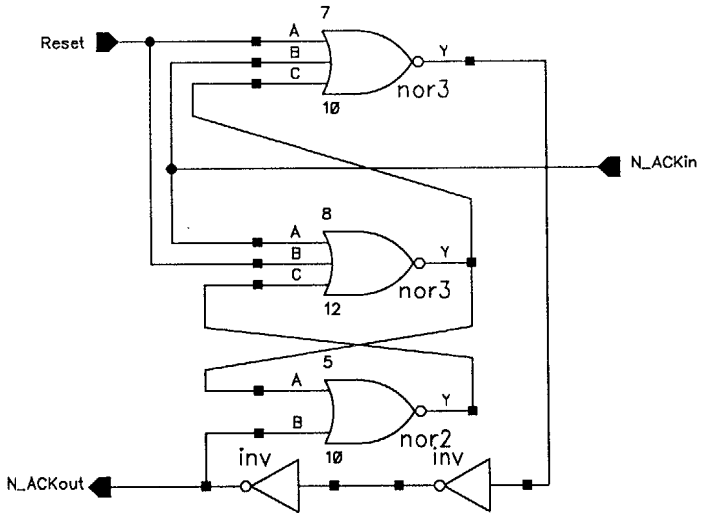


PROYECTO: Conmutador ATM 2x2 a 1Ø Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.6
PLANO: UCF: Solucion para la entrada Ø	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

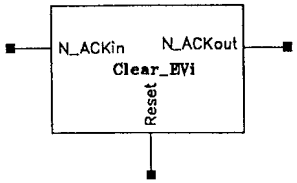
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

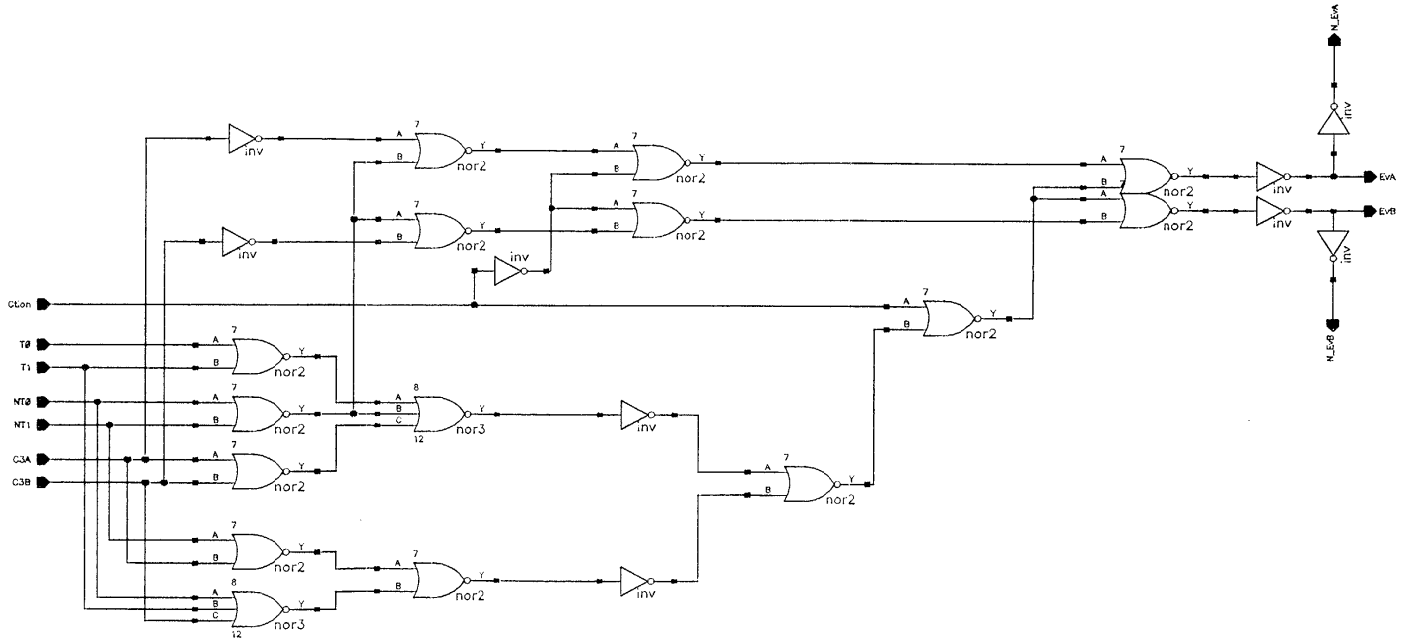


SIMBOLO

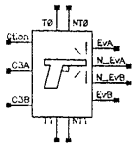


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.8
PLANO: UCF: Borrado del registro de solucion	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

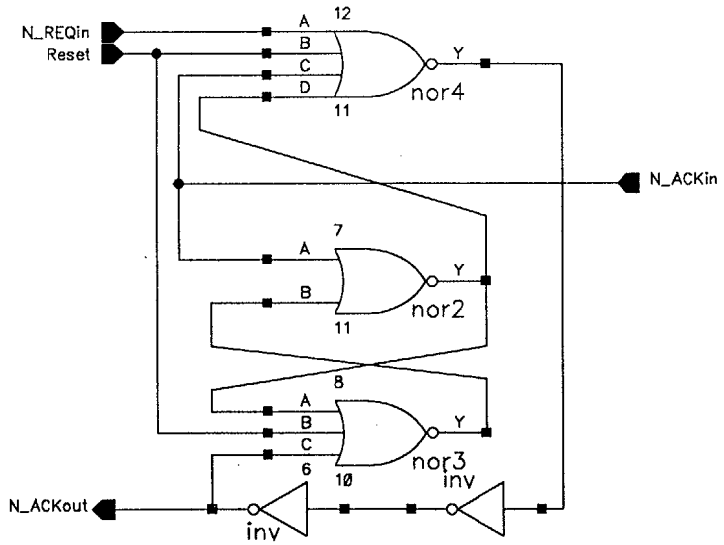


SIMBOLO

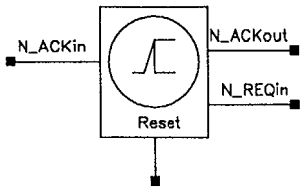


PROYECTO: Conmutador ATM 2x2 a 1Ø Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.9
PLANO: UCF: Circuito de de evaluacion	**UNIVERSIDAD:** E.T.S.i.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

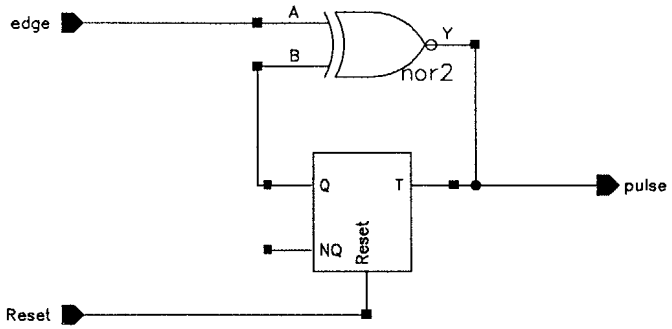


SIMBOLO

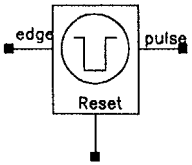


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.10
PLANO: UCF: Generador de pulsos autonomo	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

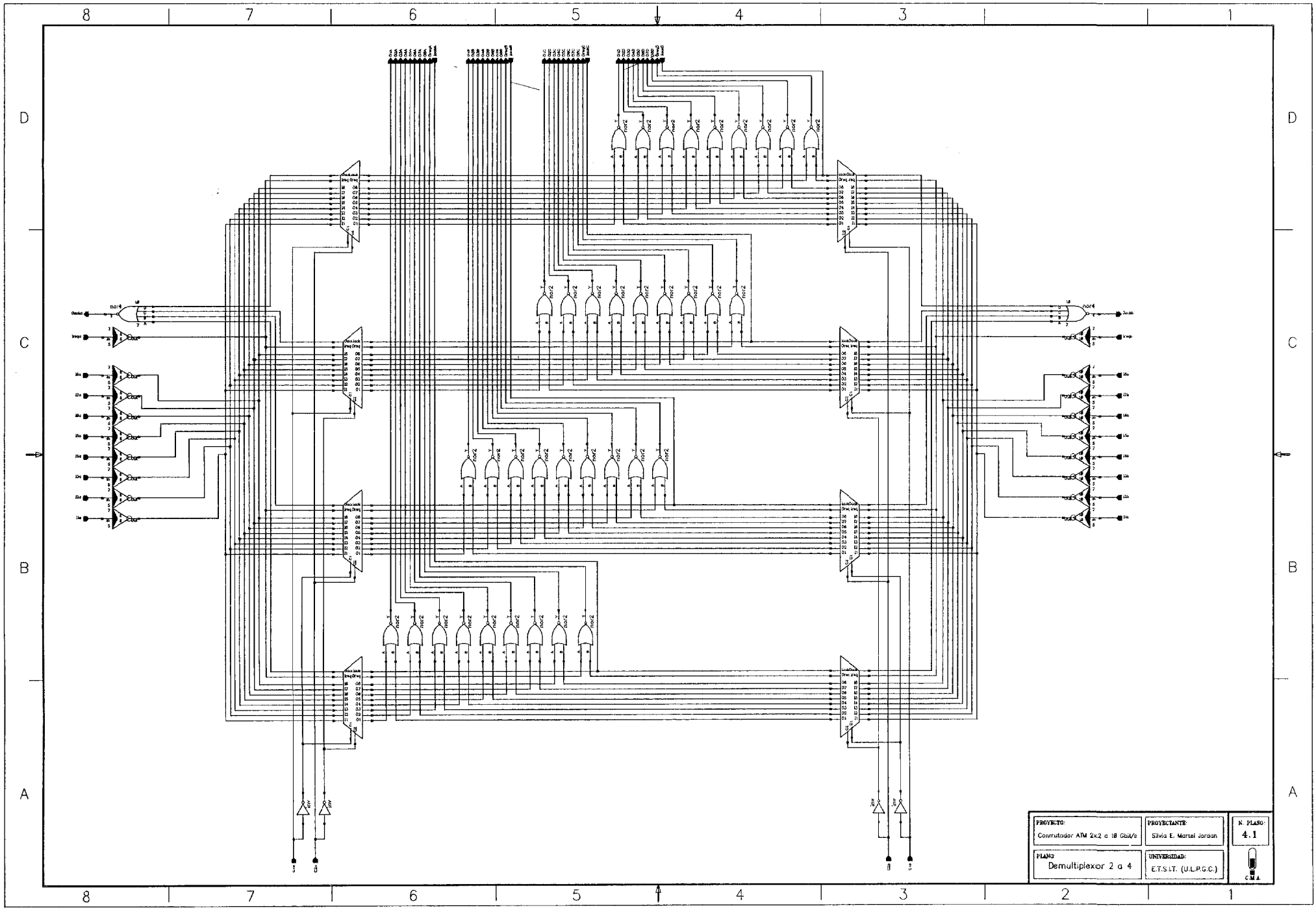


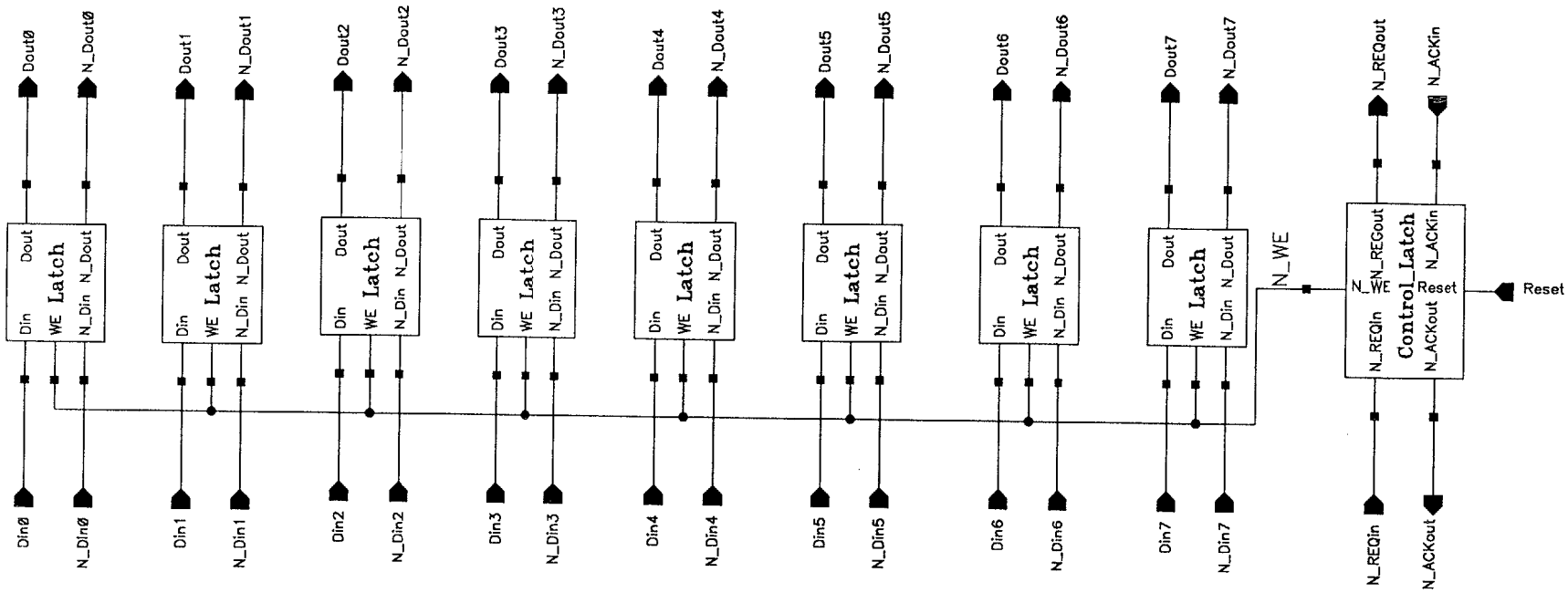
SIMBOLO



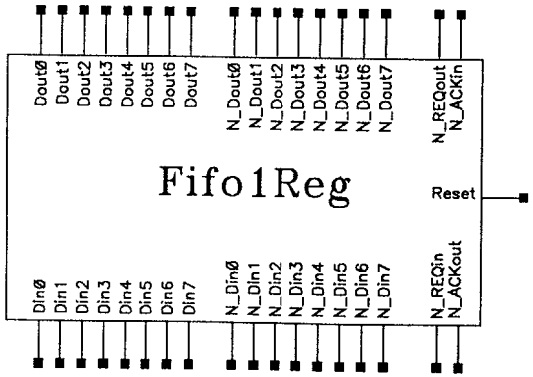
PROYECTO: Conmutador ATM 2x2 a 1Ø Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan	**N. PLANO:** 3.11
PLANO: UCF: Generador de pulsos de actualizacion de SF	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003


PROYECTO:
Conmutador ATM 2x2 a 10 Gbit/s
PROYECTANTE:
Silvia E. Martel Jordan
N. PLANO:
4.1
PLANO:
Demultiplexor 2 a 4
UNIVERSIDAD:
E.T.S.I.T. (U.L.P.G.C.)
C.M.A.



SIMBOLO

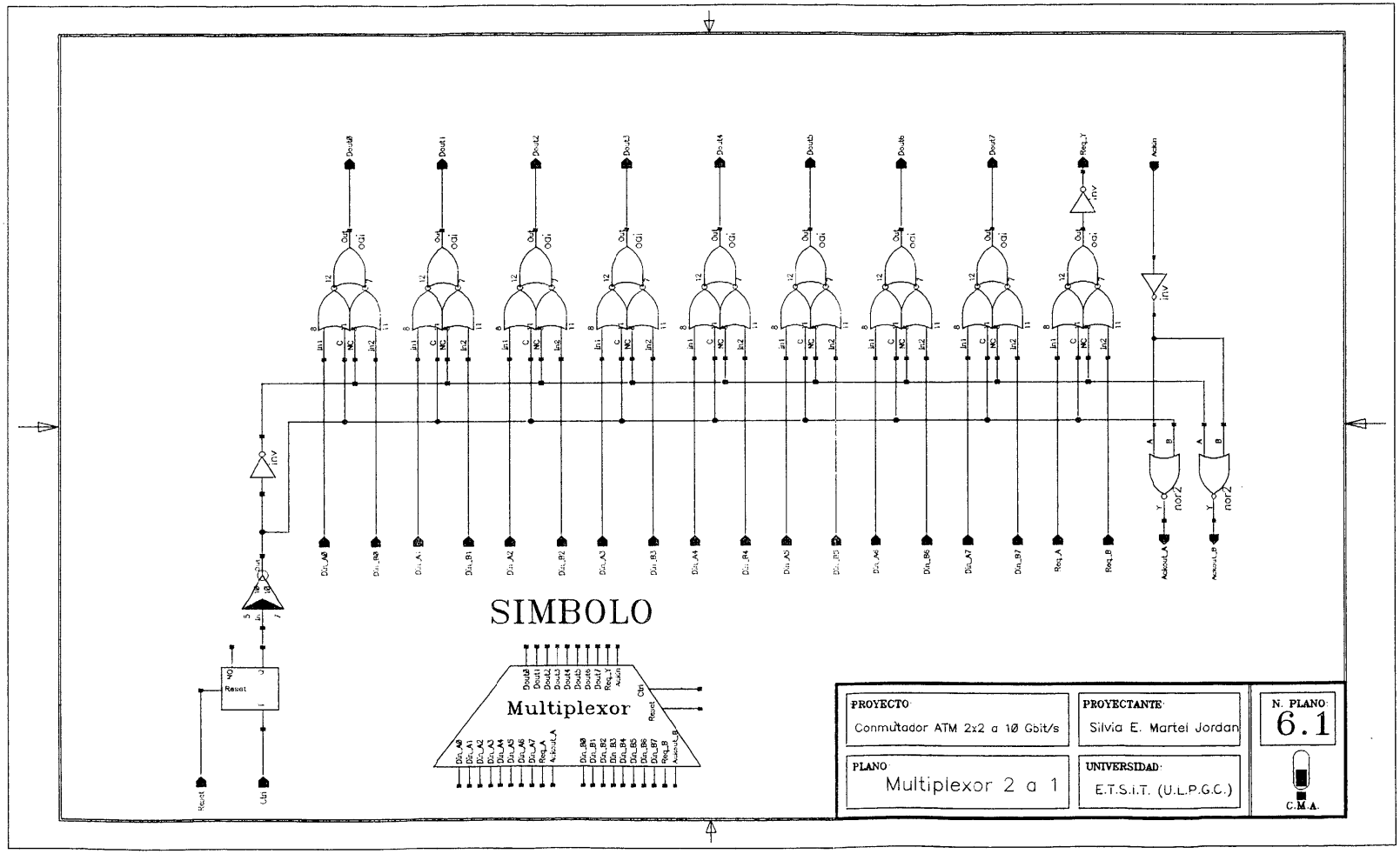


PROYECTO: Conmutador ATM 2x2 a 10 Gbit/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: FIFO56x8: etapa basica de 1 byte	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

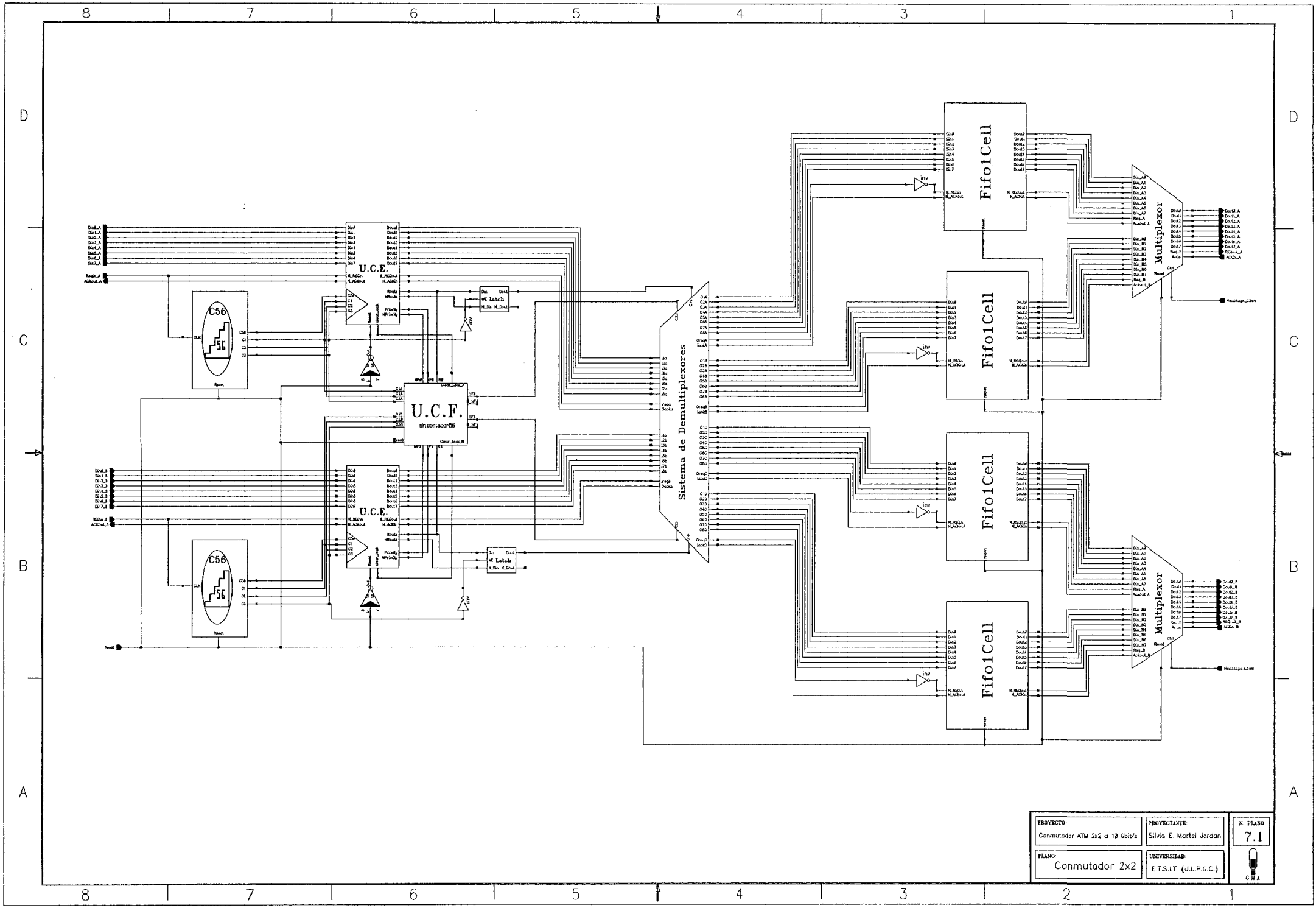
N. PLANO: 5.1

C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003


U.C.E.
U.C.F.
sincontador56
C56
56
Latch
Sistema de Demultiplexores
Fifo1Cell
Multiplexor
PROYECTO:
Conmutador ATM 2x2 a 10 Gbit/s
PROYECTANTE:
Silvia E. Martel Jordan
N. PLANO:
7.1
PLANO:
Conmutador 2x2
UNIVERSIDAD:
E.T.S.I.T. (U.L.P.G.C.)

ANEXO-II

Trazado físico de algunas células:

1- UCE

2- C56

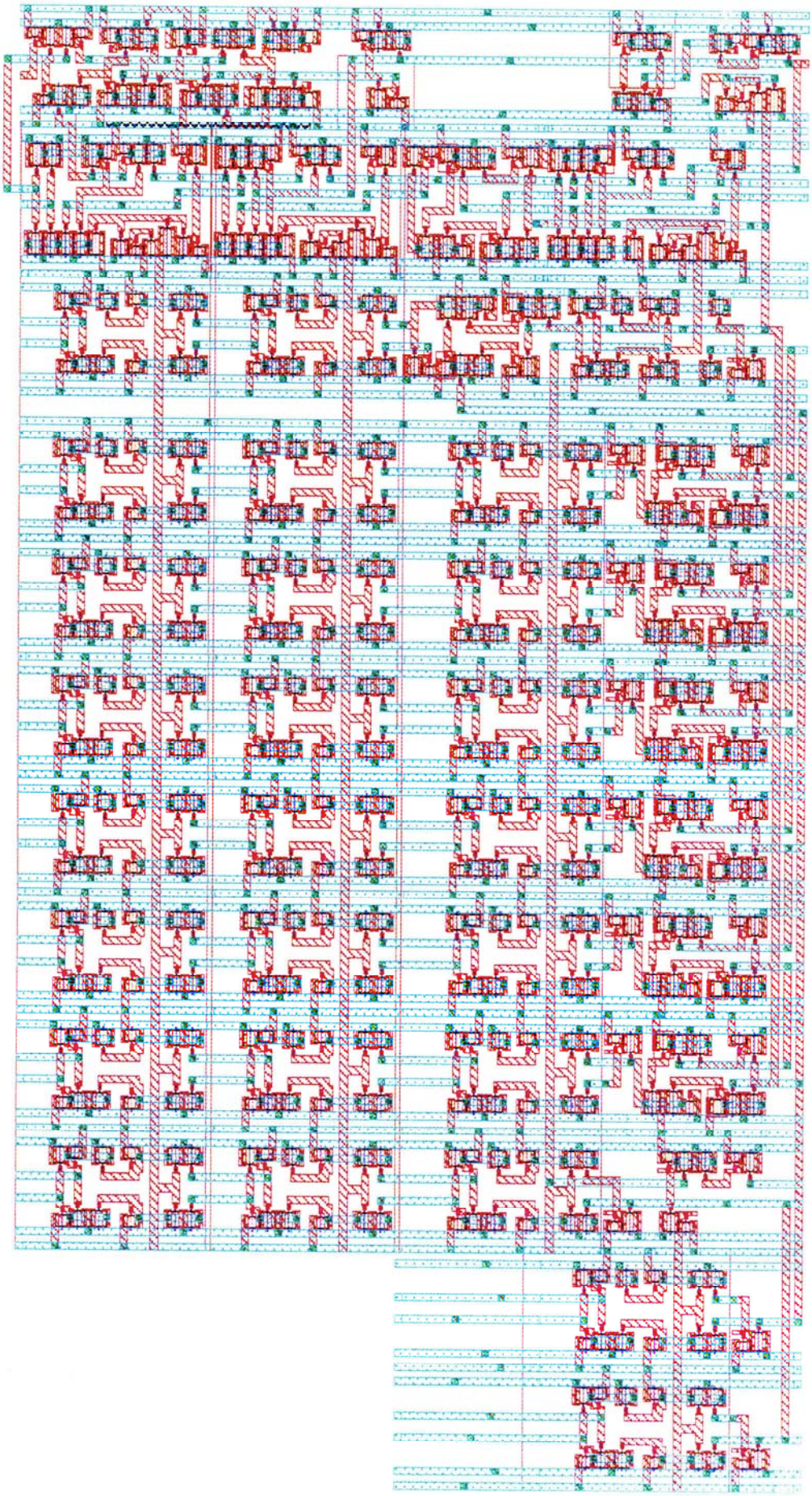
3- UCF

- *3.1- Detector de Prioridad Temporal*
- *3.2- Detector de Simultaneidad y Contención*
- *3.3- Bloque de Ejecución*
- *3.4- Bloques de Ejecución, Solución y Evaluación*

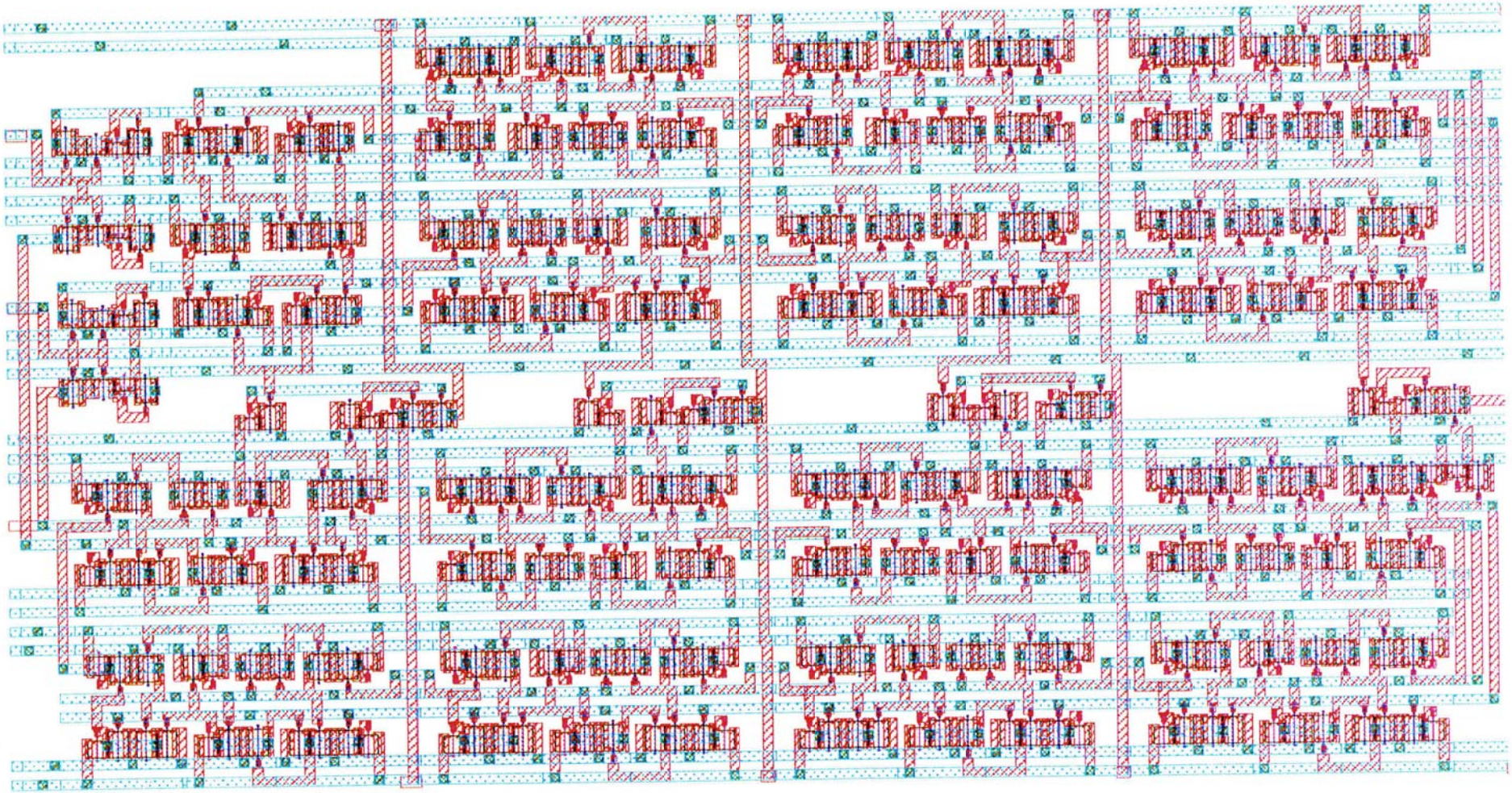
4- DEMUX

5- MUX

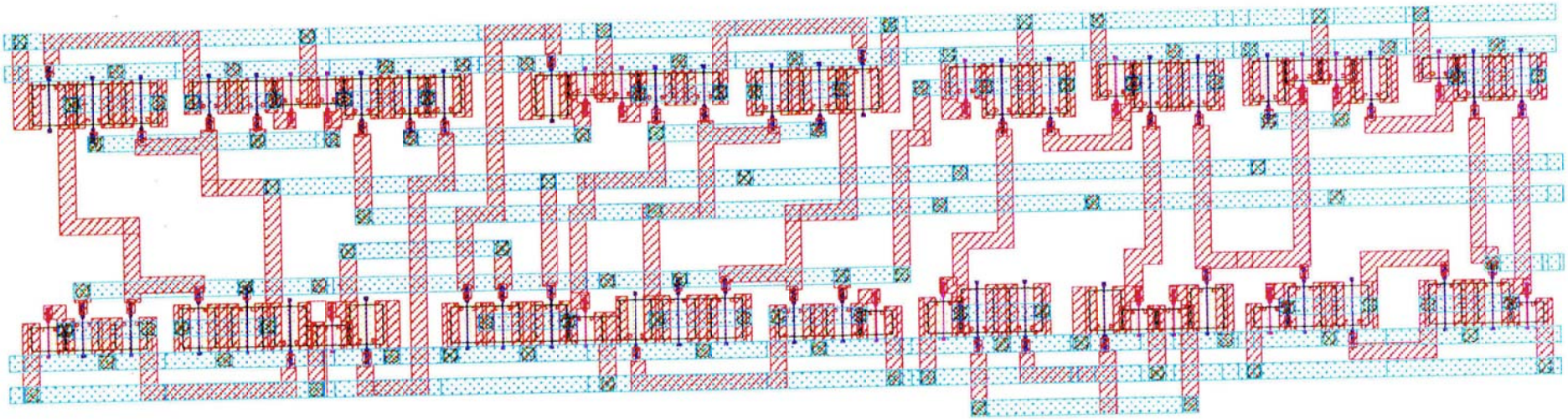
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



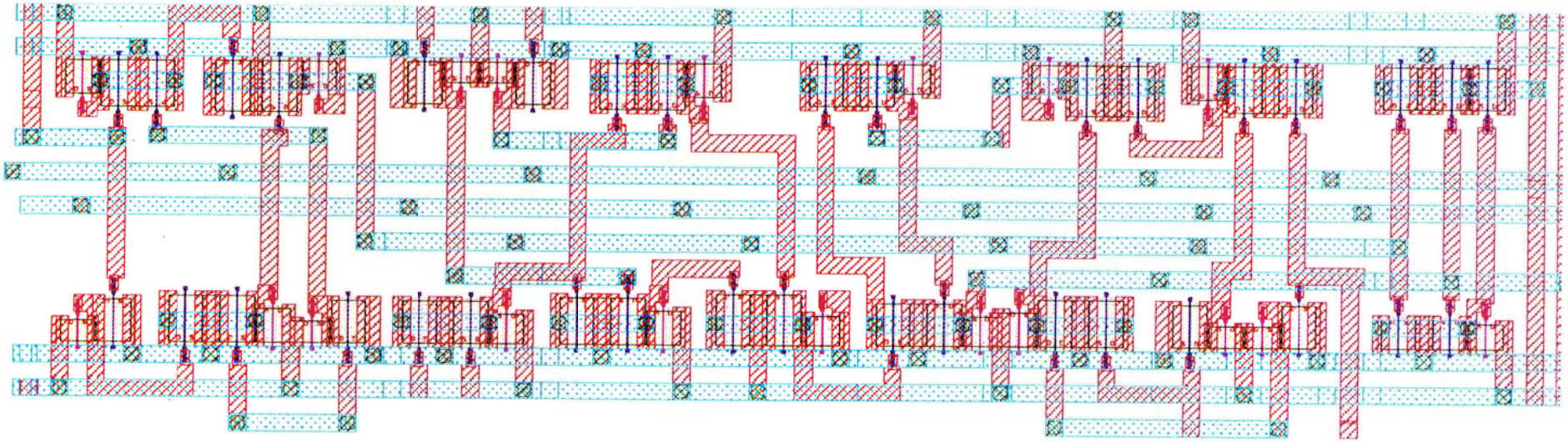
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



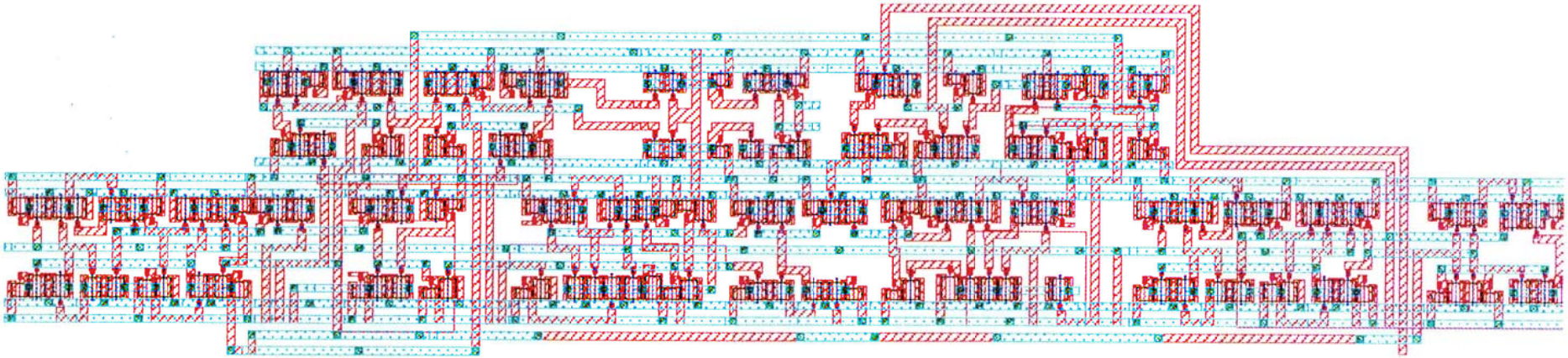
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



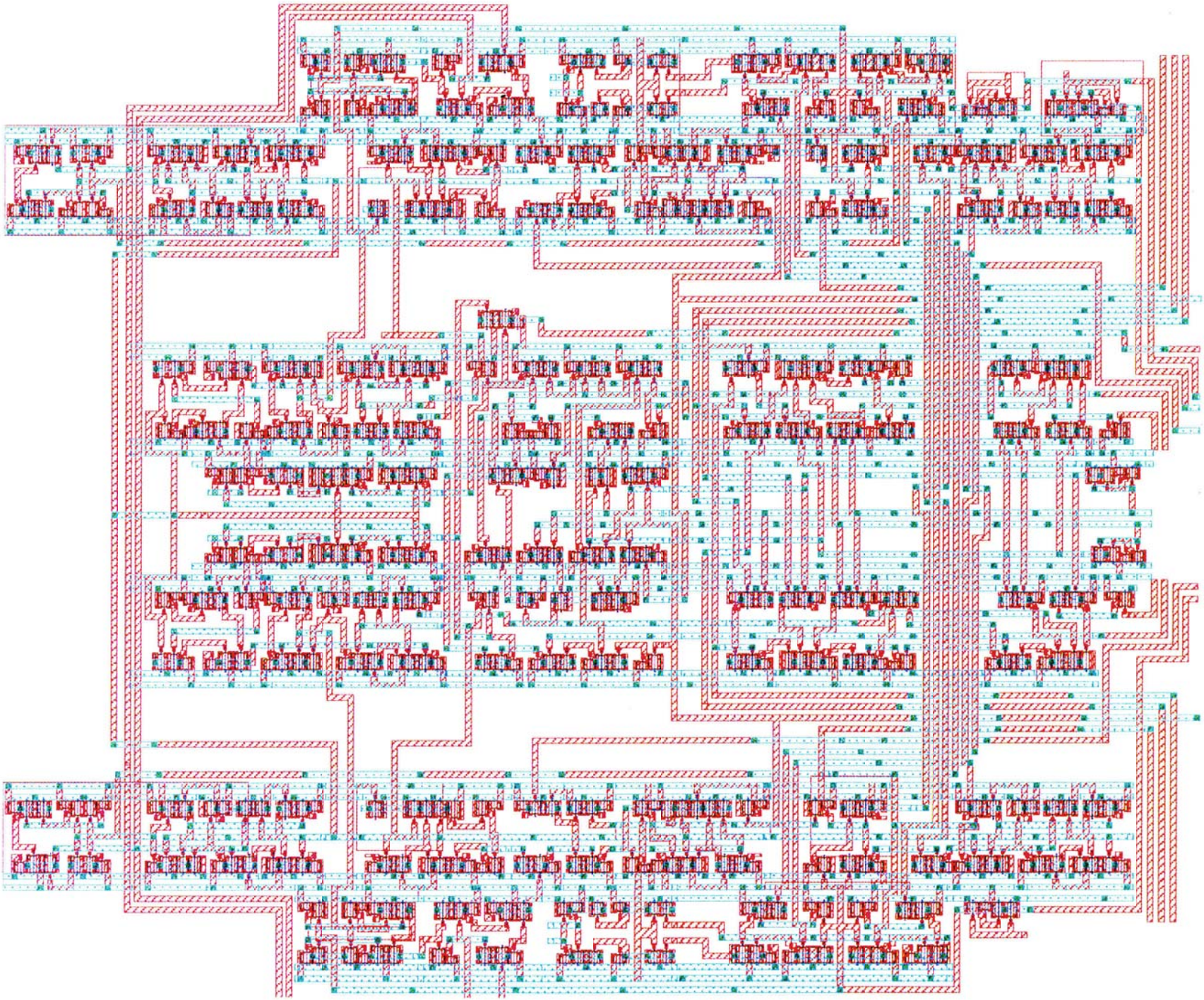
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



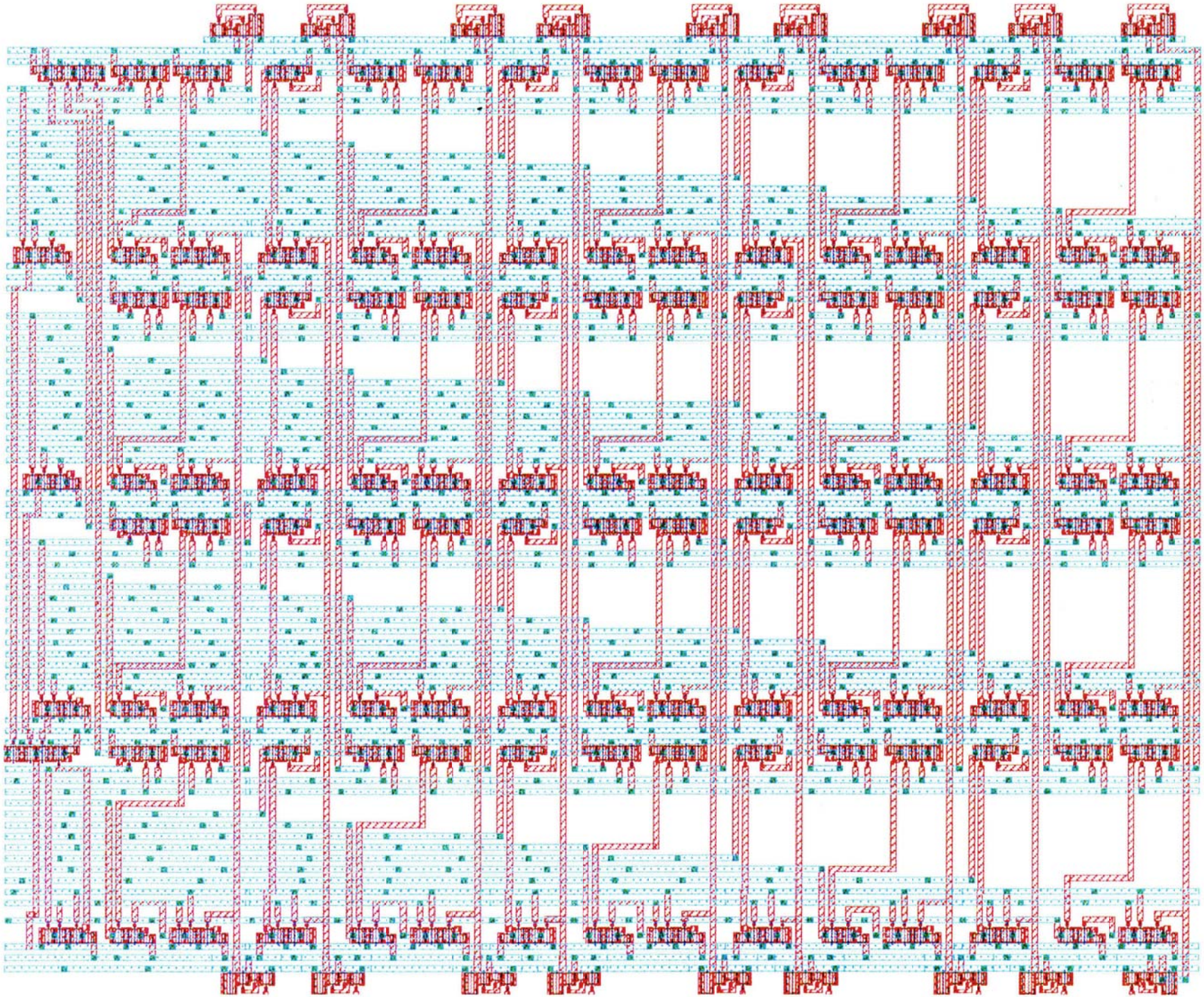
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



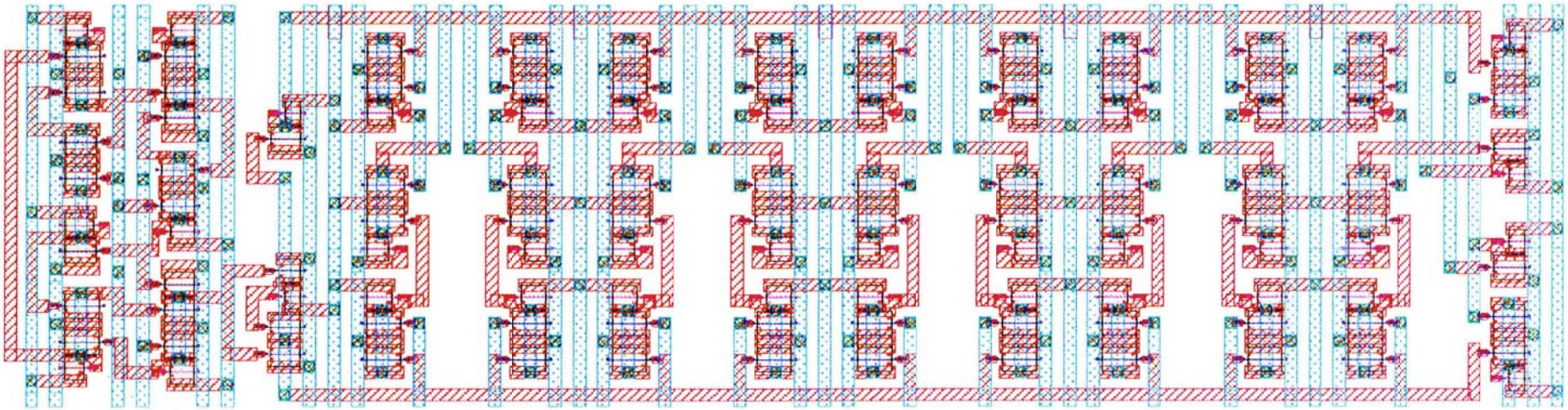
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



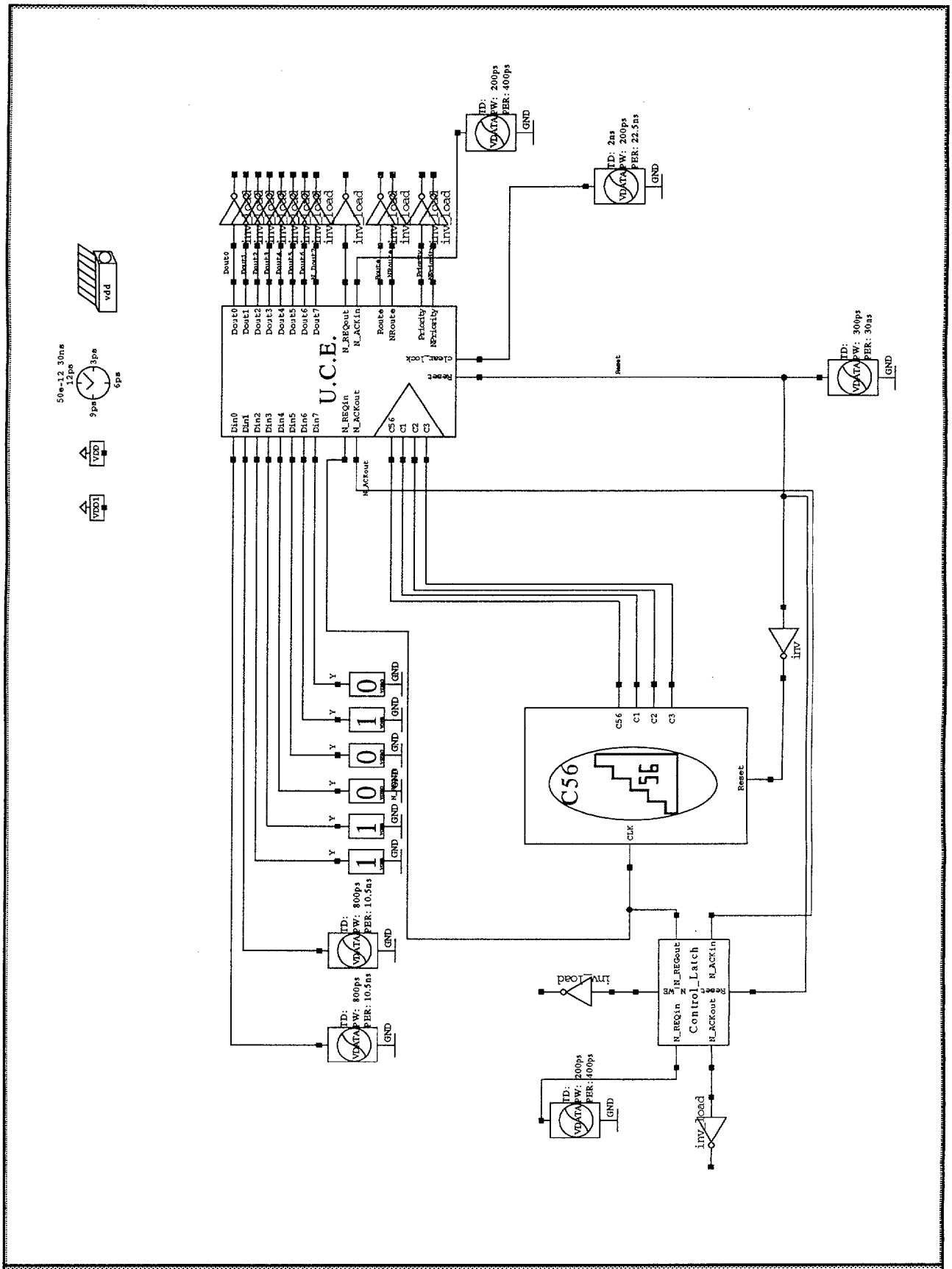
© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

ANEXO-III

Simulaciones:

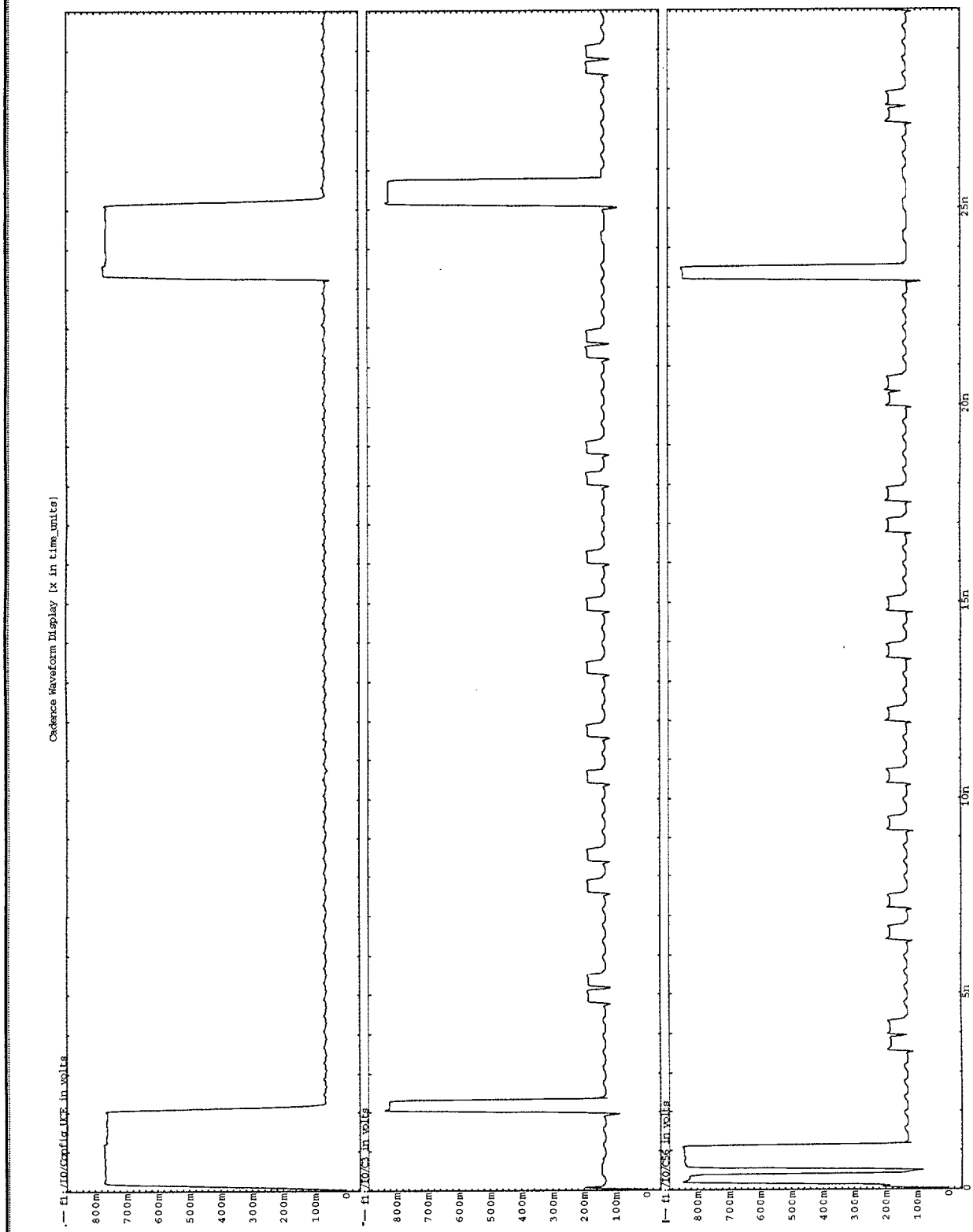
1- UCE
2- C56
3- UCF
4- DEMUX
5- FIFO
6- MUX

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



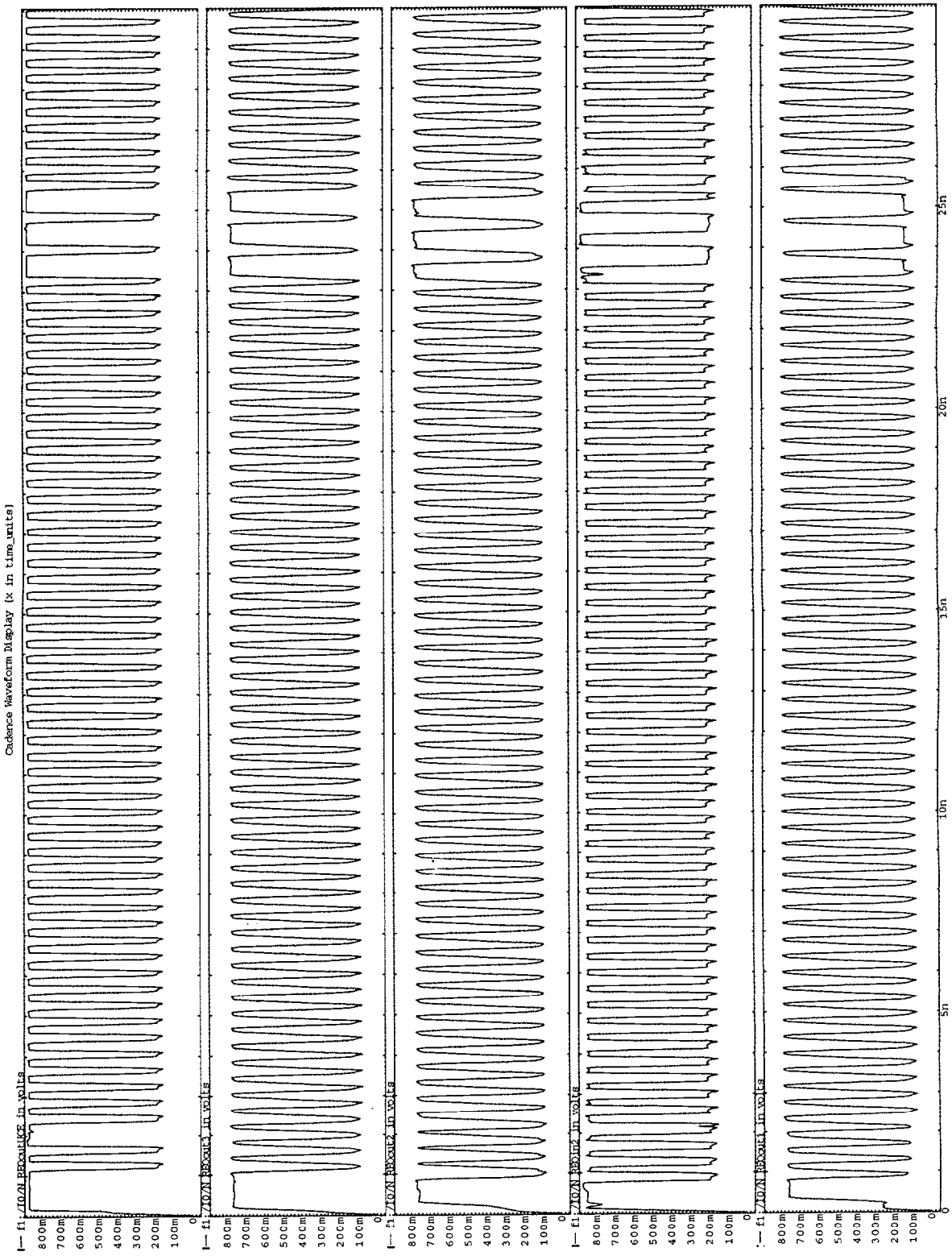
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.0
PLANO: UCE: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.1
PLANO: UCE: Señal de configuracion	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO:
Conmutador ATM 2x2 a 10 Gb/s

PROYECTANTE:
Silvia E. Martel Jordan

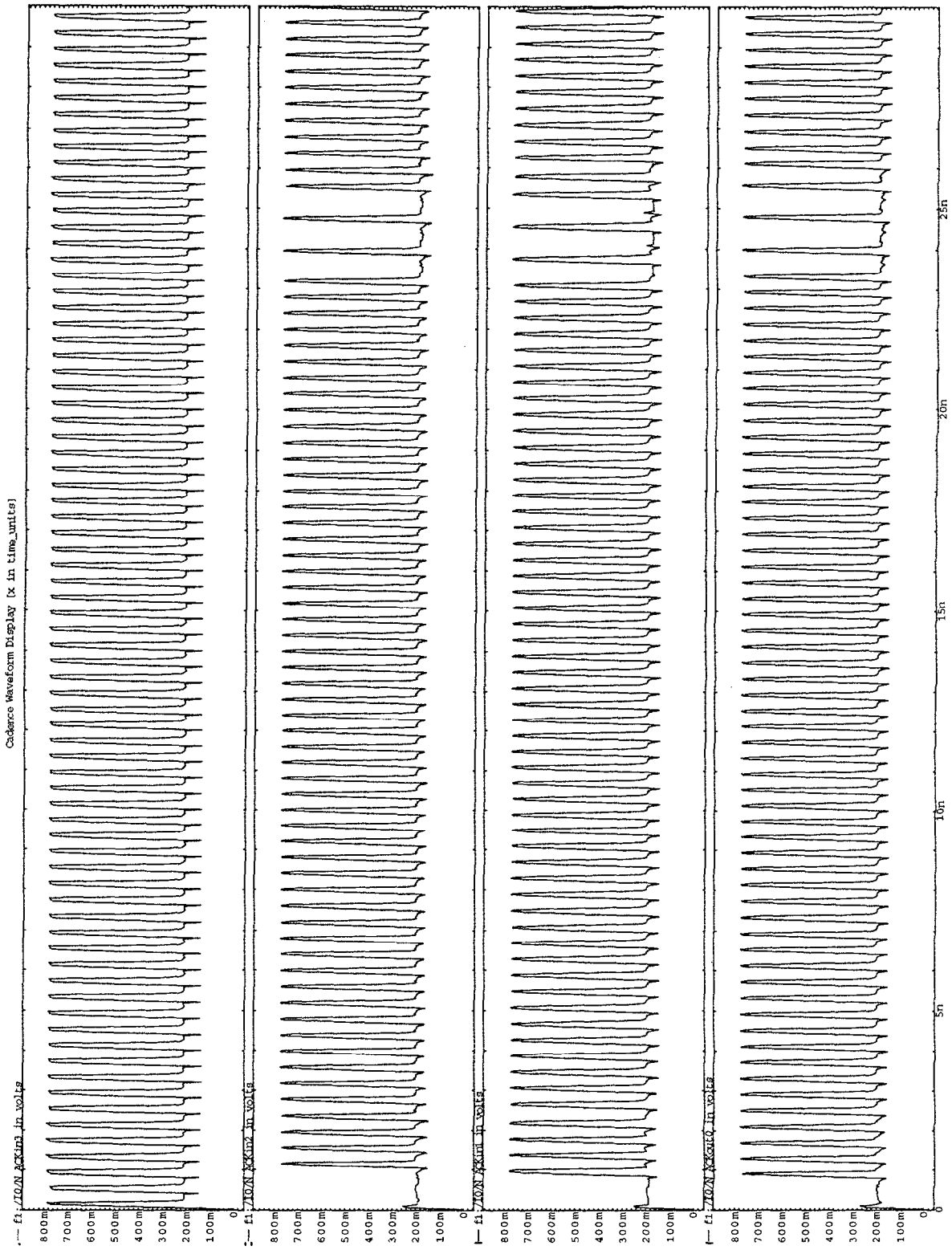
PLANO
Nº: 1.2

PLANO:
UCE: Propagacion de las señales de REQ

UNIVERSIDAD:
E.T.S.I.T. (U.L.P.G.C.)

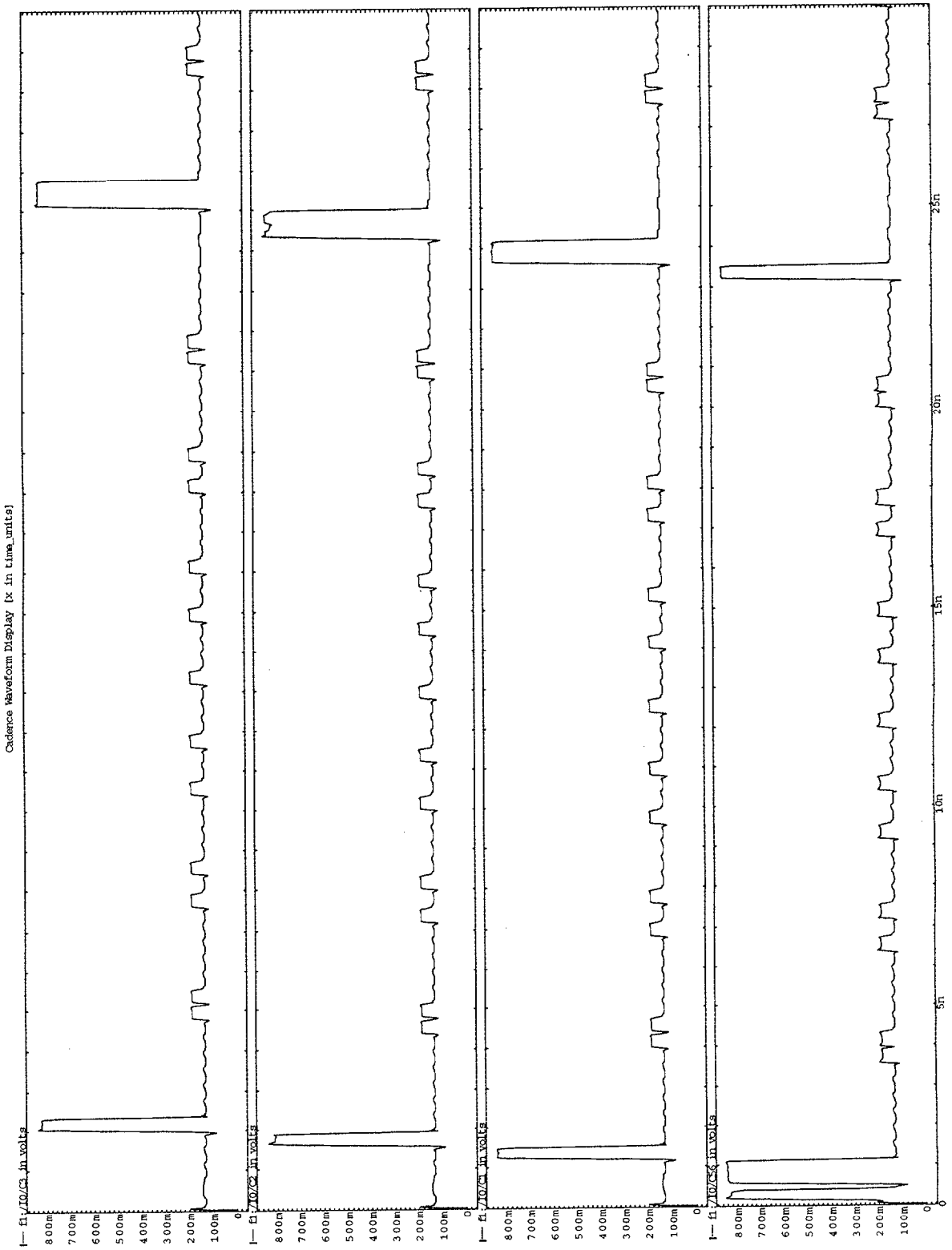
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



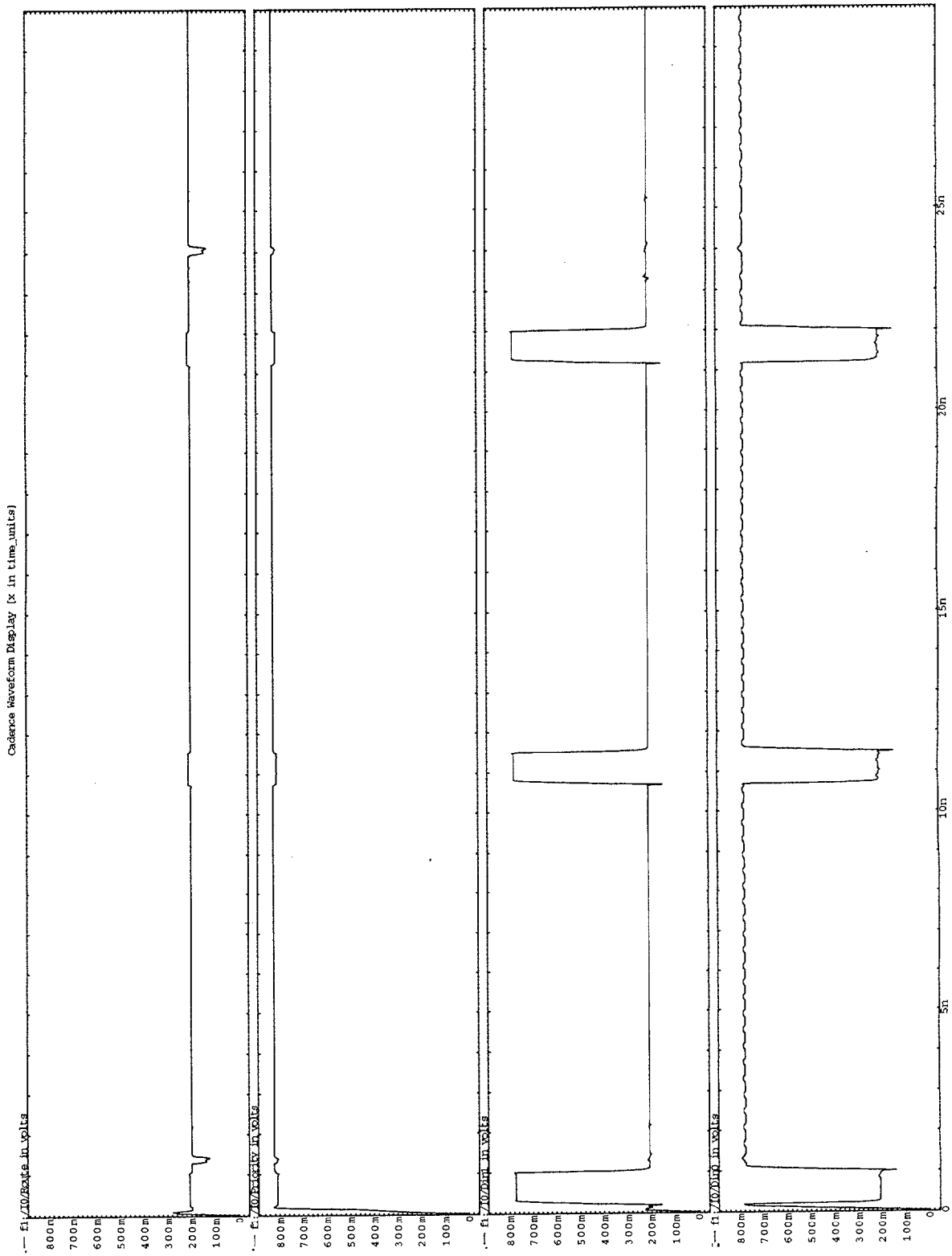
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.3
PLANO: UCE: propagacion de las señales de ACK	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



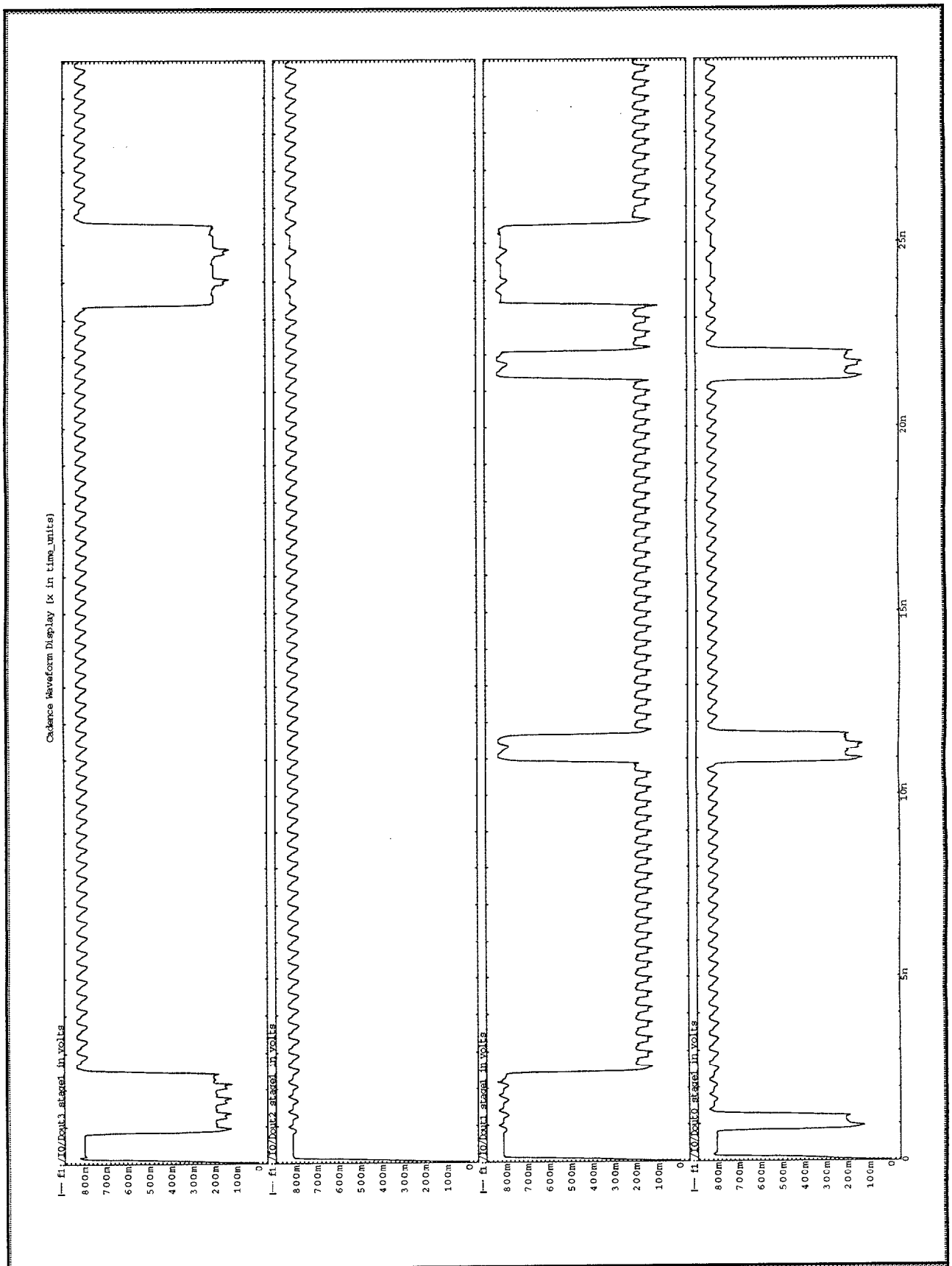
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.4
PLANO: UCE: Periodos de cabecera interna	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



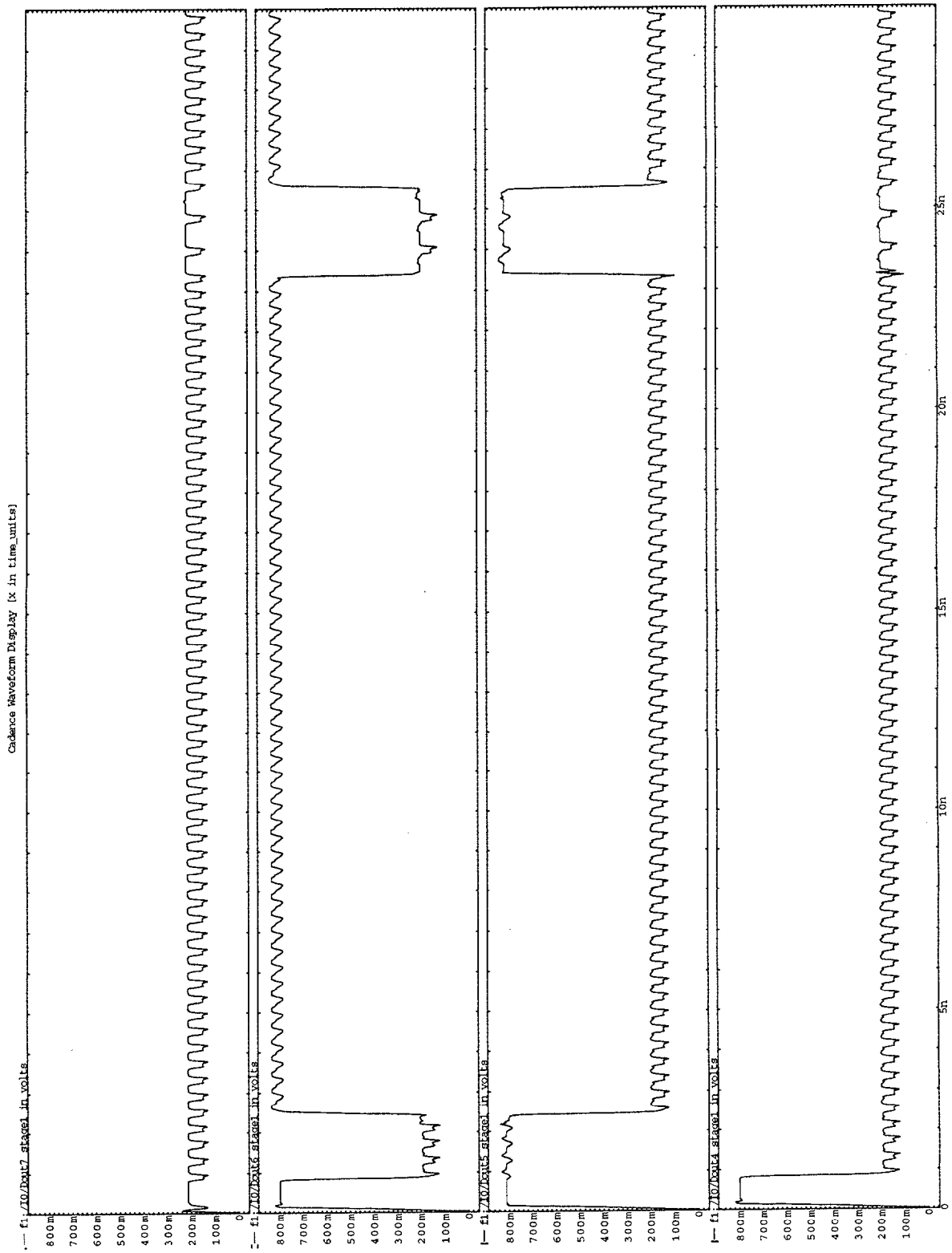
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.5
PLANO: UCE: captura del bit de ruteado y de prioridad de QOS	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



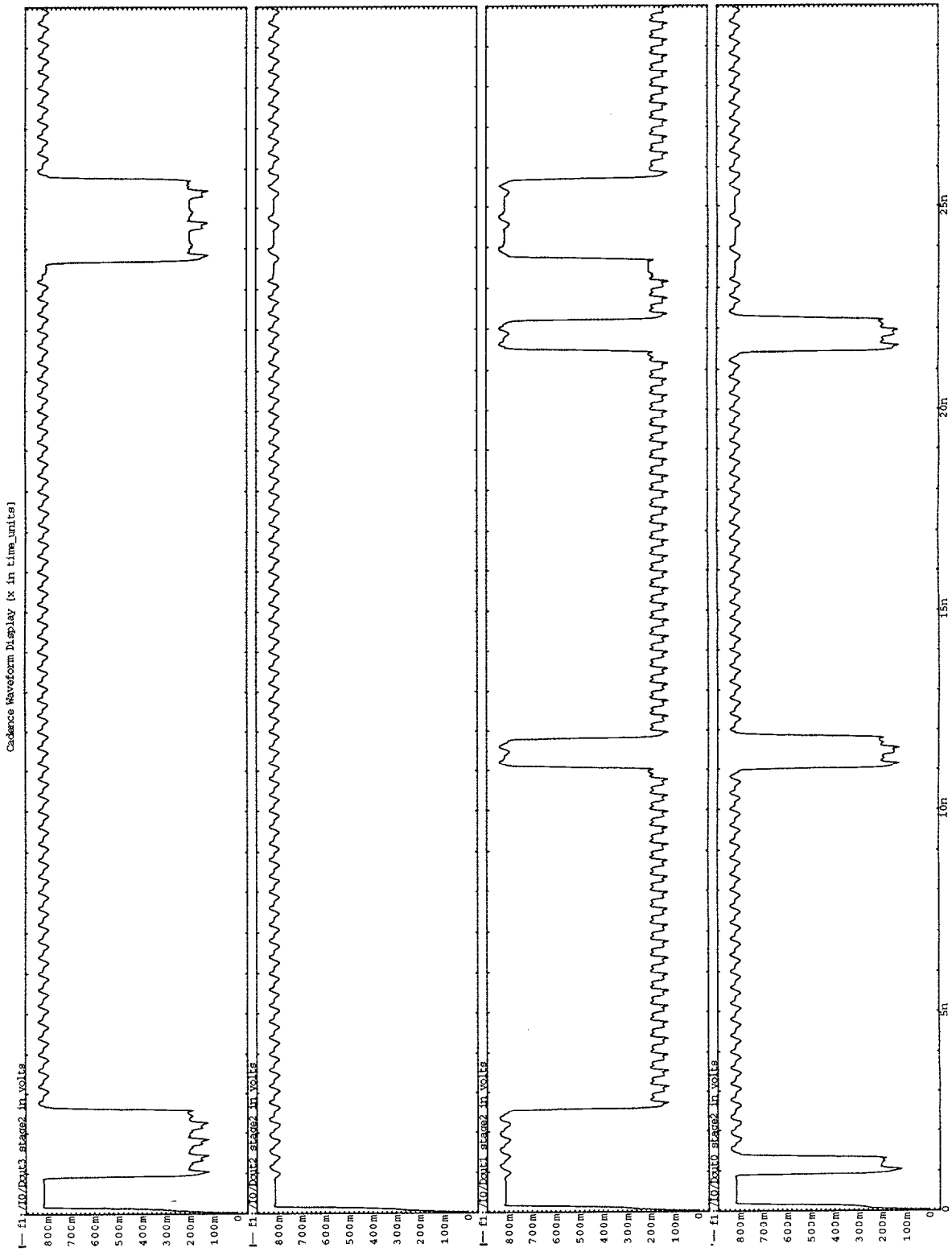
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.6
PLANO: UCE: Bits0-3 del primer slot de almacenamiento	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



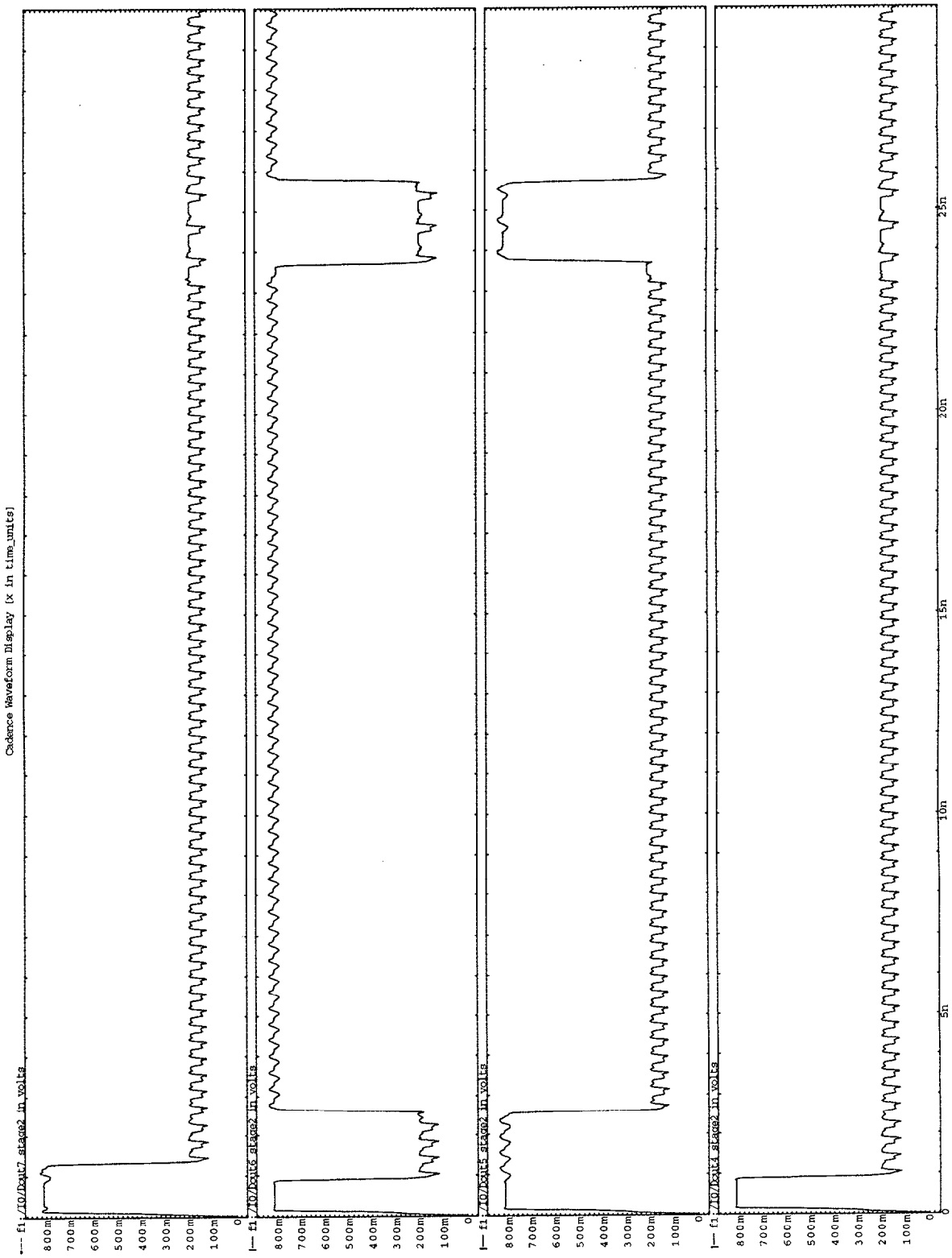
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.7
PLANO: UCE: Bits 4-7 del primer slot de almacenamiento	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



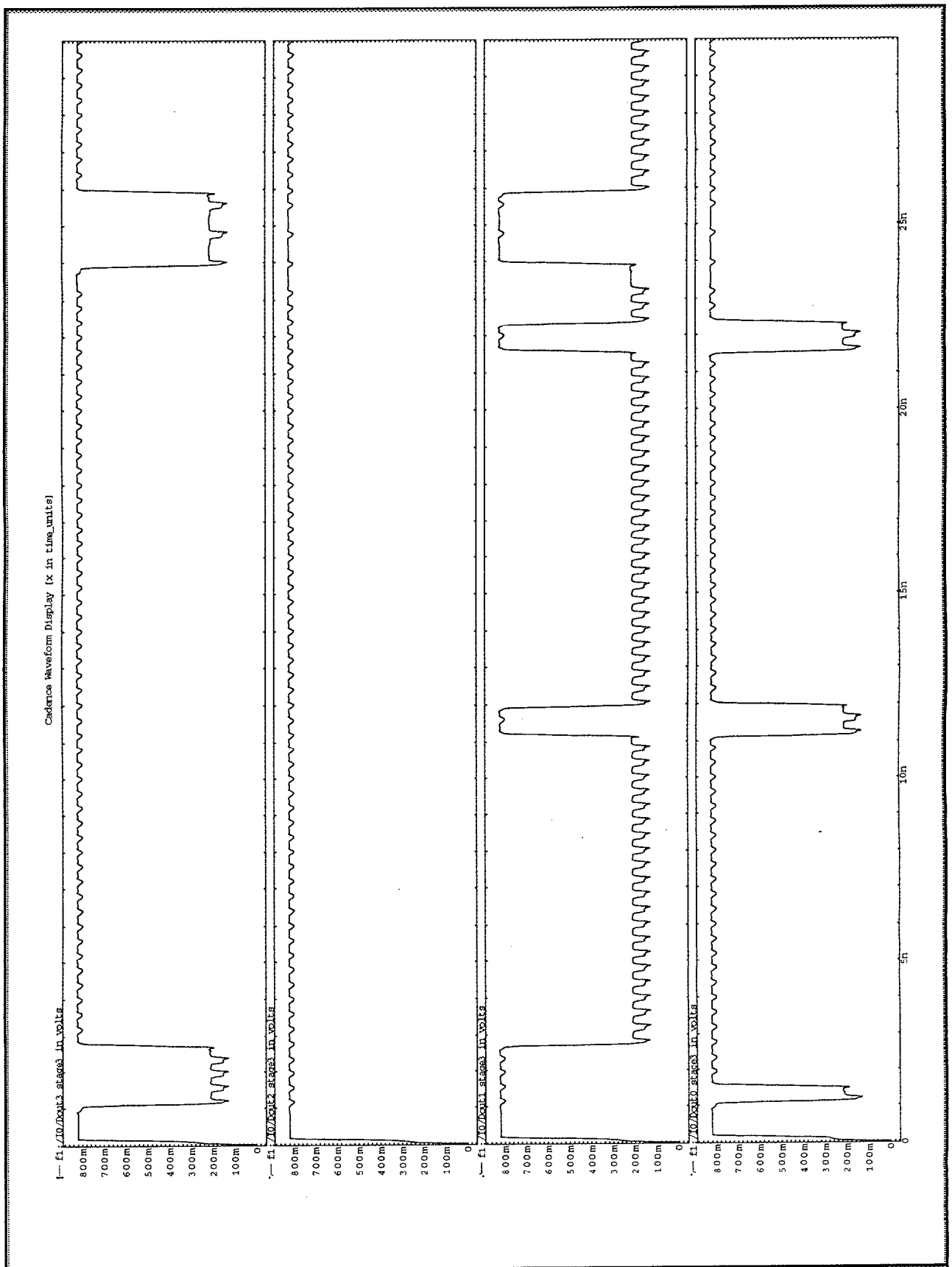
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.8
PLANO: UCE: Bits 0-3 del segundo slot de almacenamiento	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



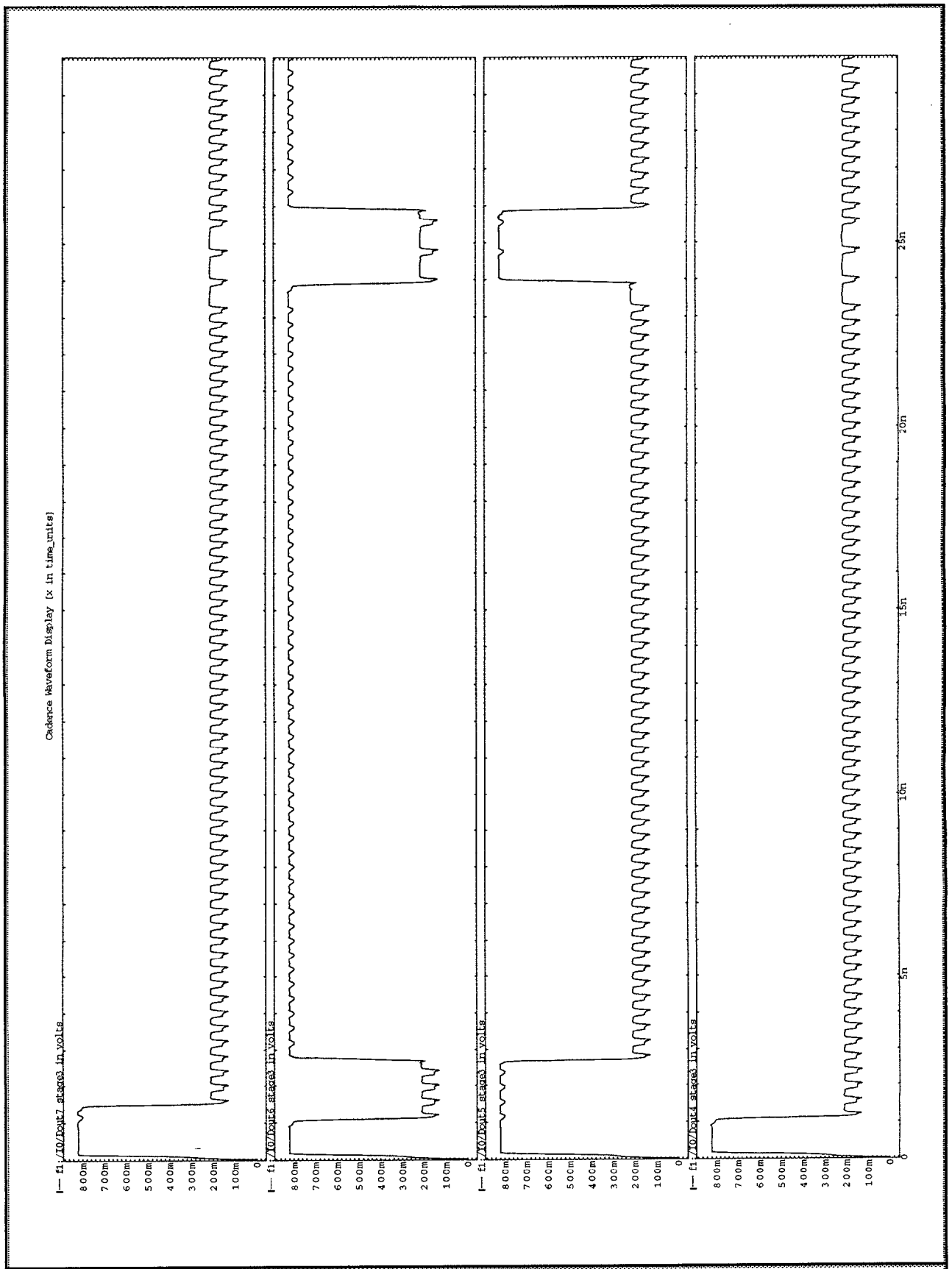
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.9
PLANO: UCE: Bits 4-7 del segundo slot de almacenamiento	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



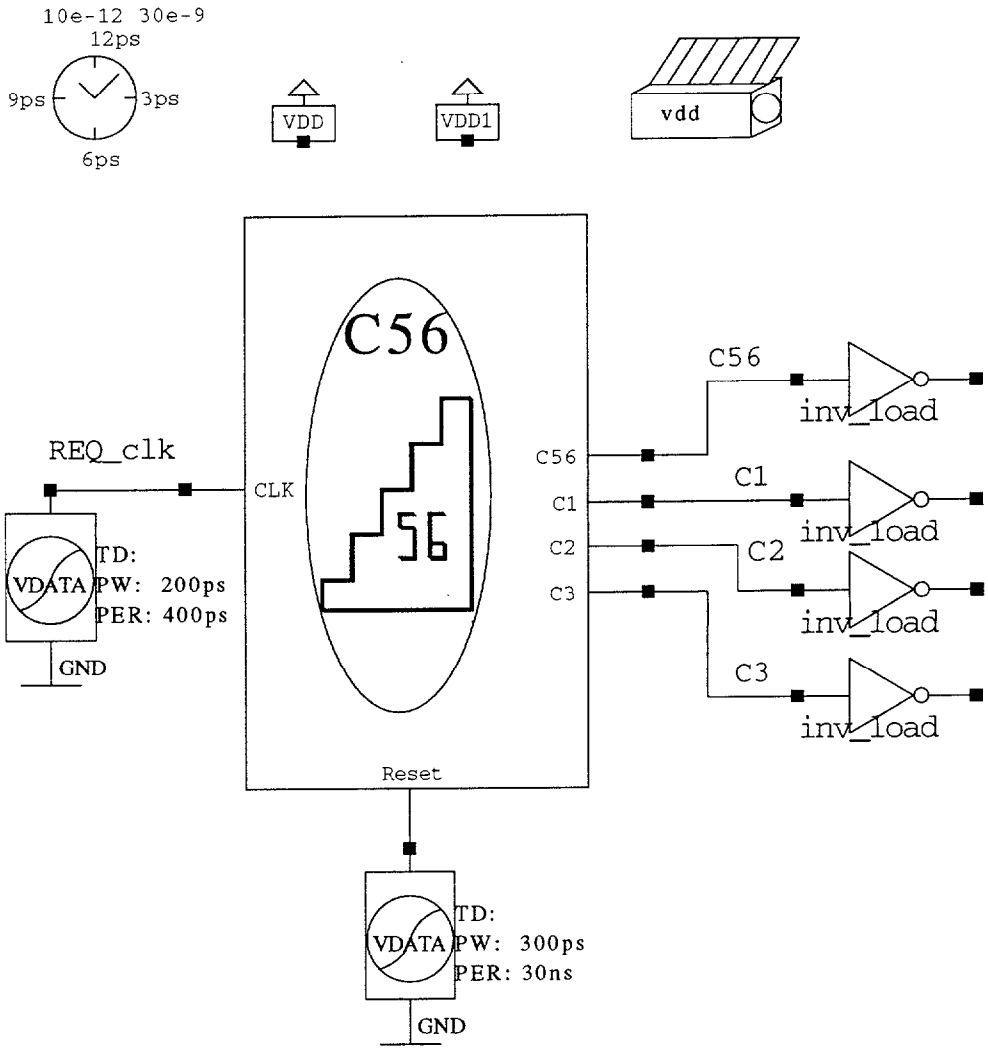
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.10
PLANO: UCE: Bits 0-3 del tercer slot de almacenamiento	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



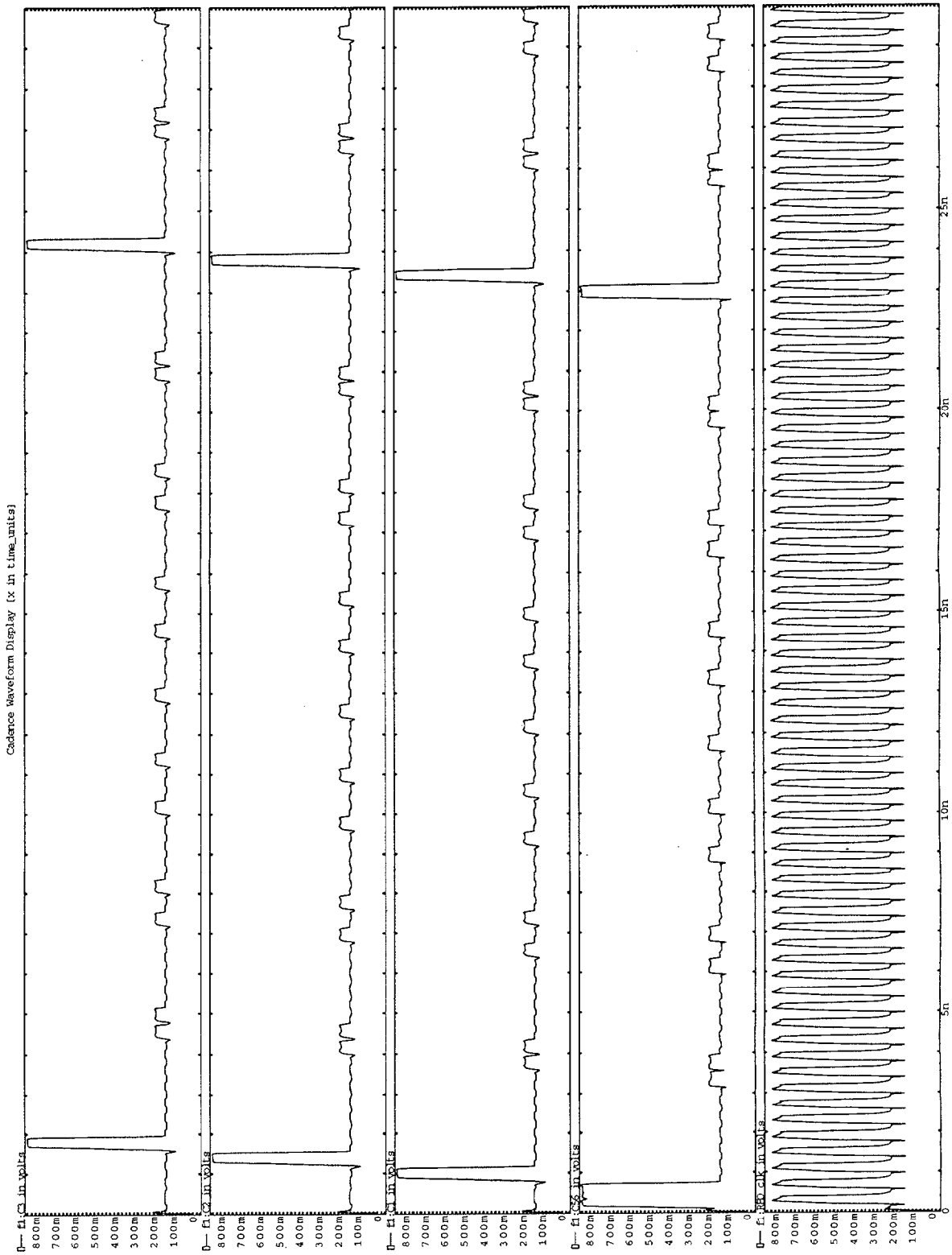
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 1.11
PLANO: UCE: Bits 4-7 del tercer slot de almacenamiento	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



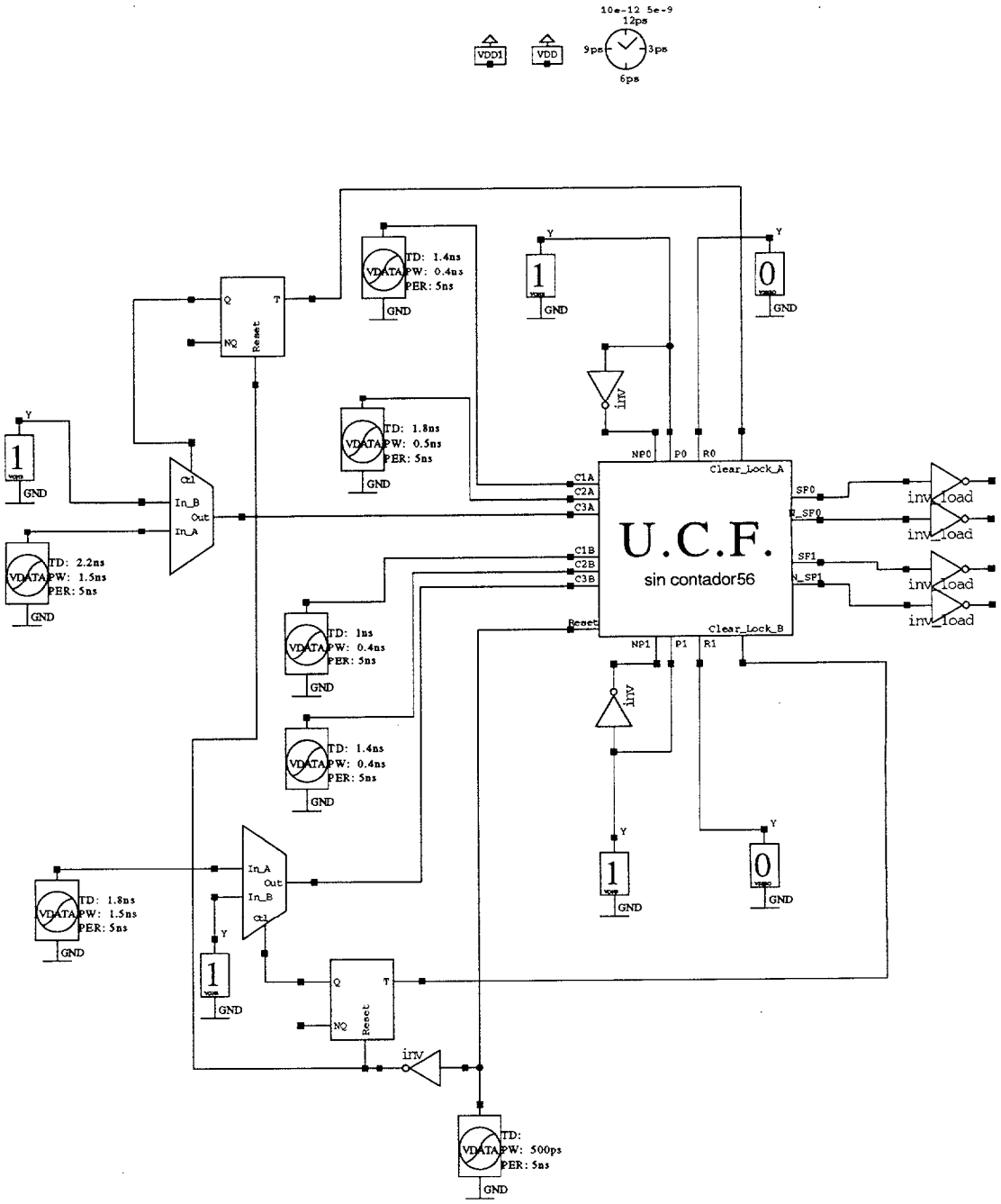
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 2.0
PLANO: Contador en anillo de mcm de 56 pulsos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 2.1
PLANO: C56: Cuentas usadas como señales de control	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

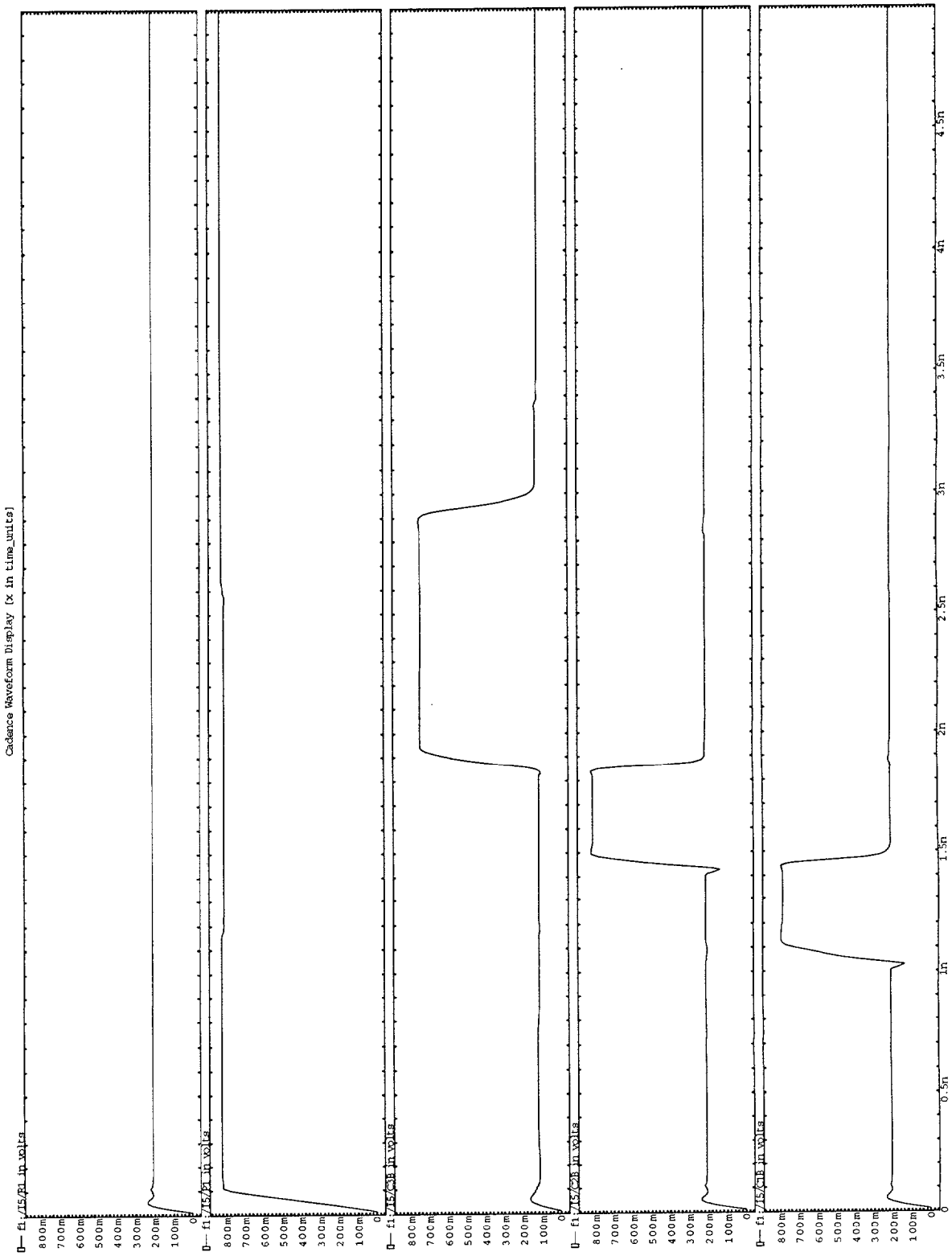


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso a: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3a.0

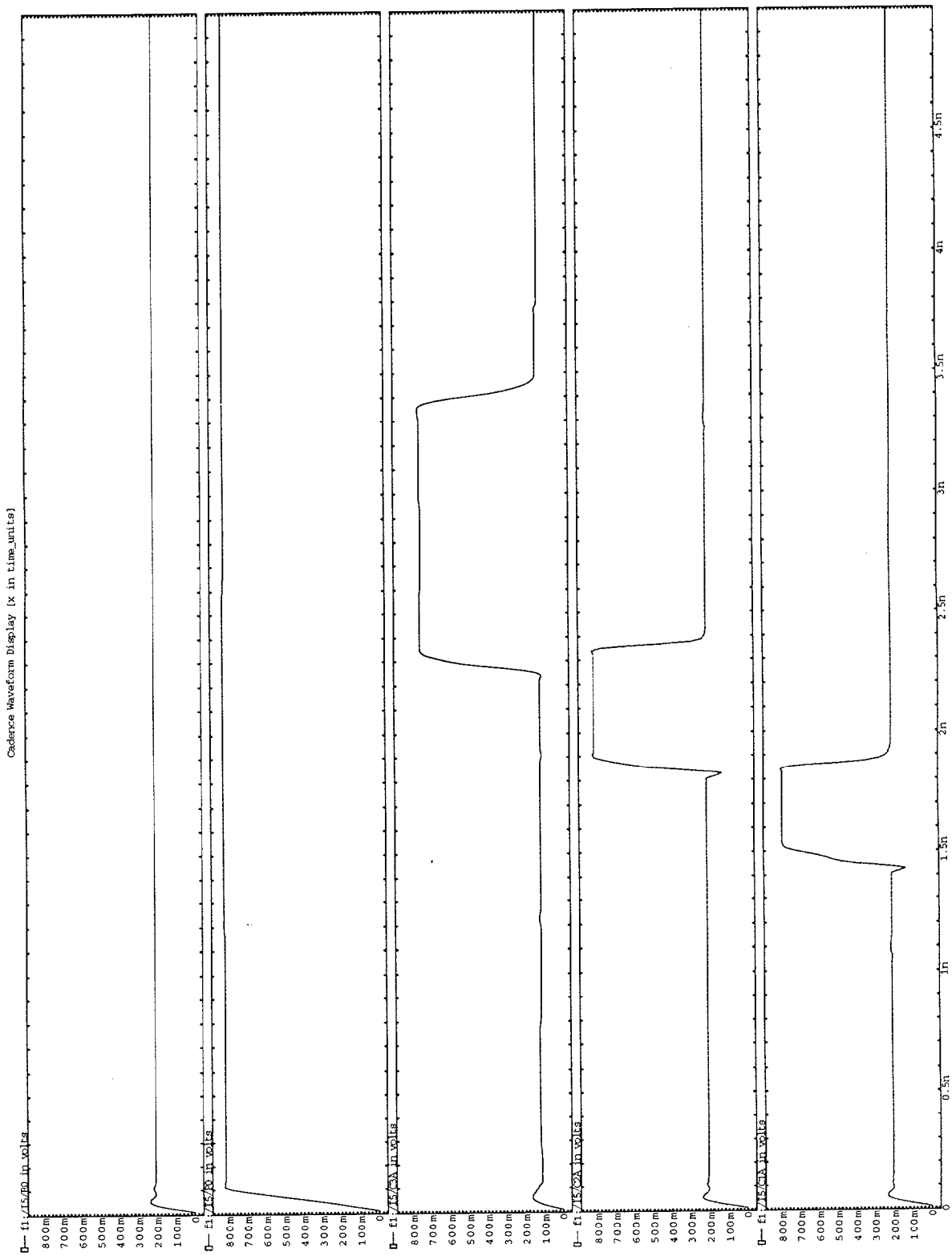
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



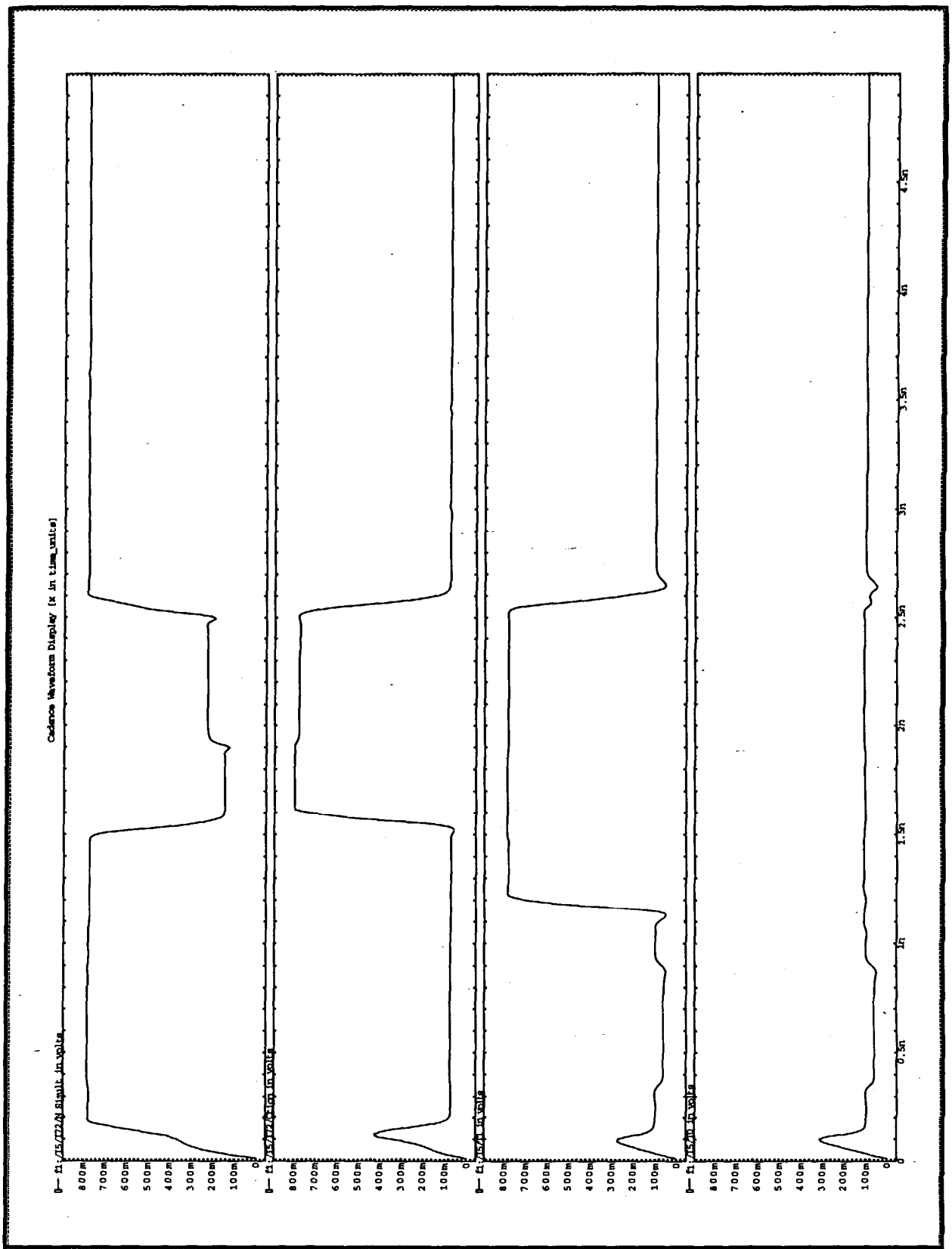
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3a.1
PLANO: UFC caso a: formas de ondas I	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3a.2
PLANO: UFC caso a: formas de ondas II	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

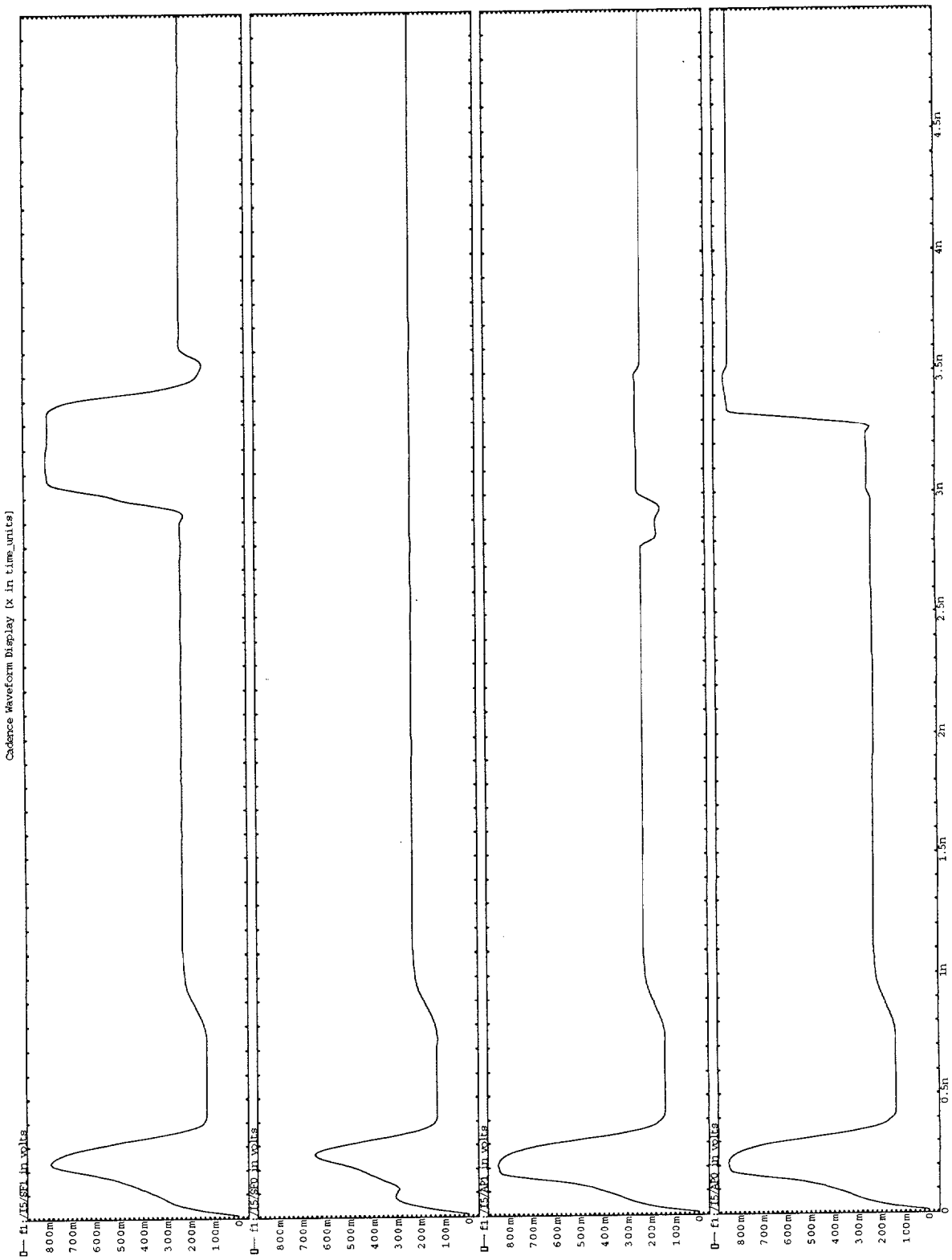


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UFC caso a: formas de ondasIII	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3a.3

C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

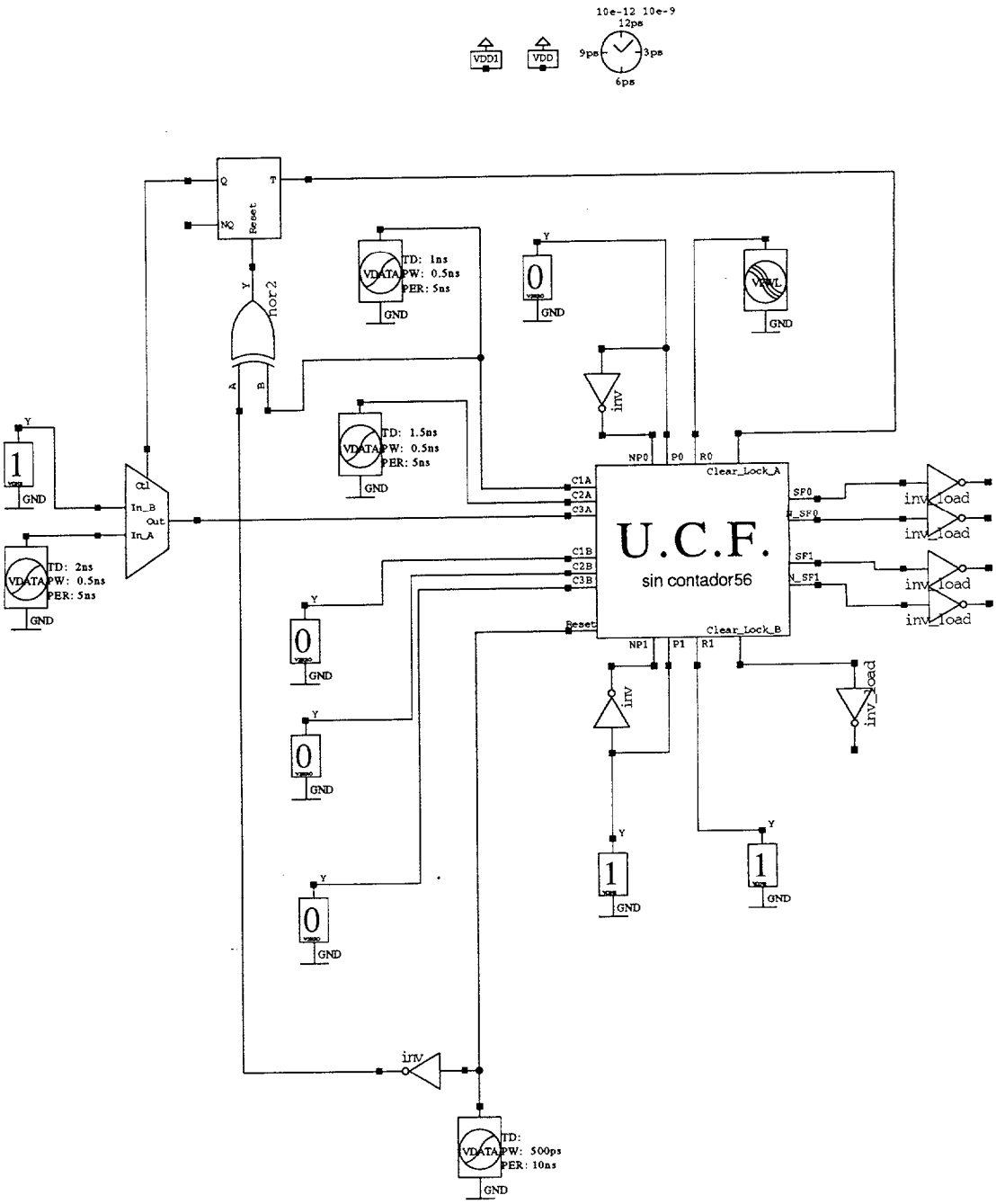


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso a: formas de onda IV	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3a.4

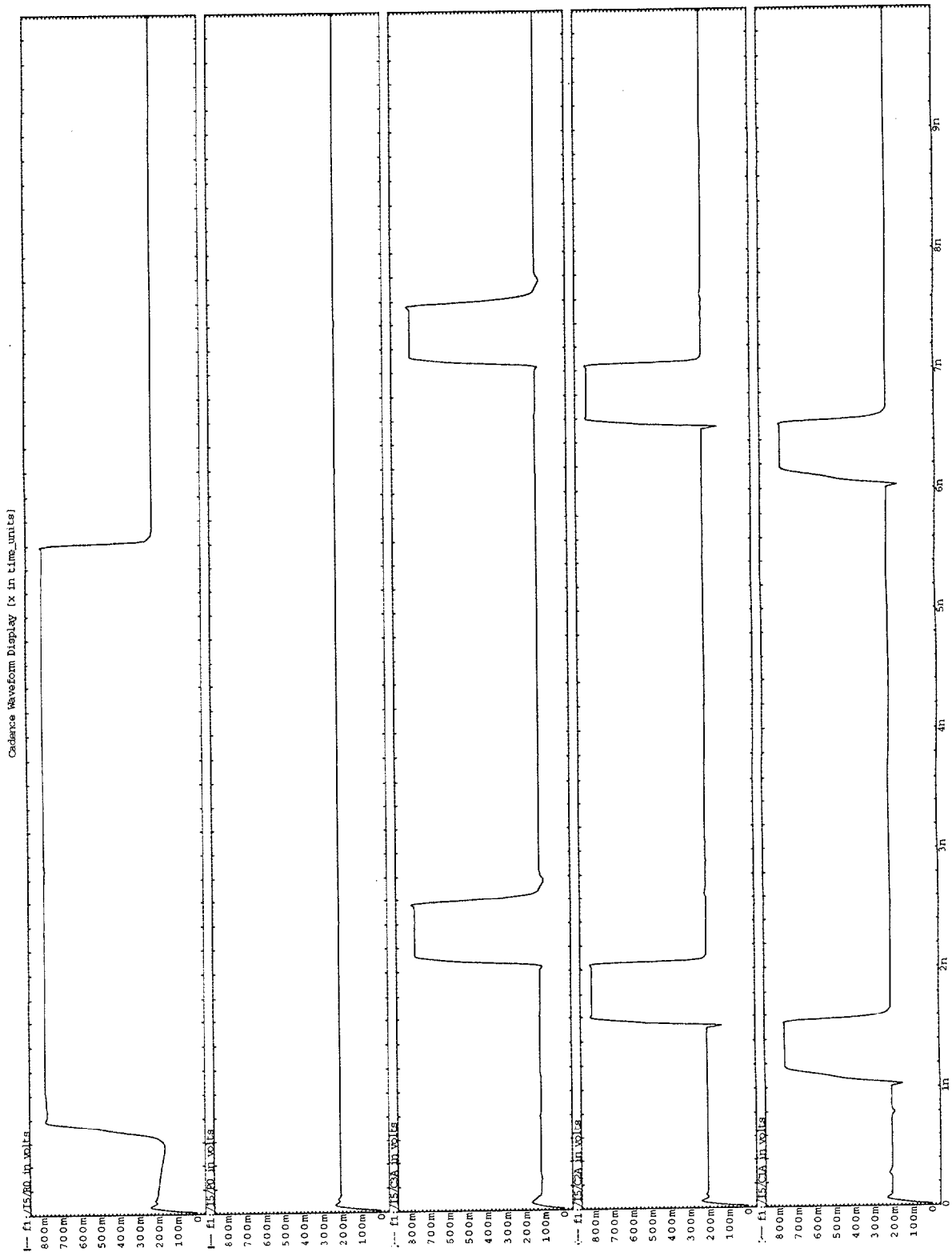
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



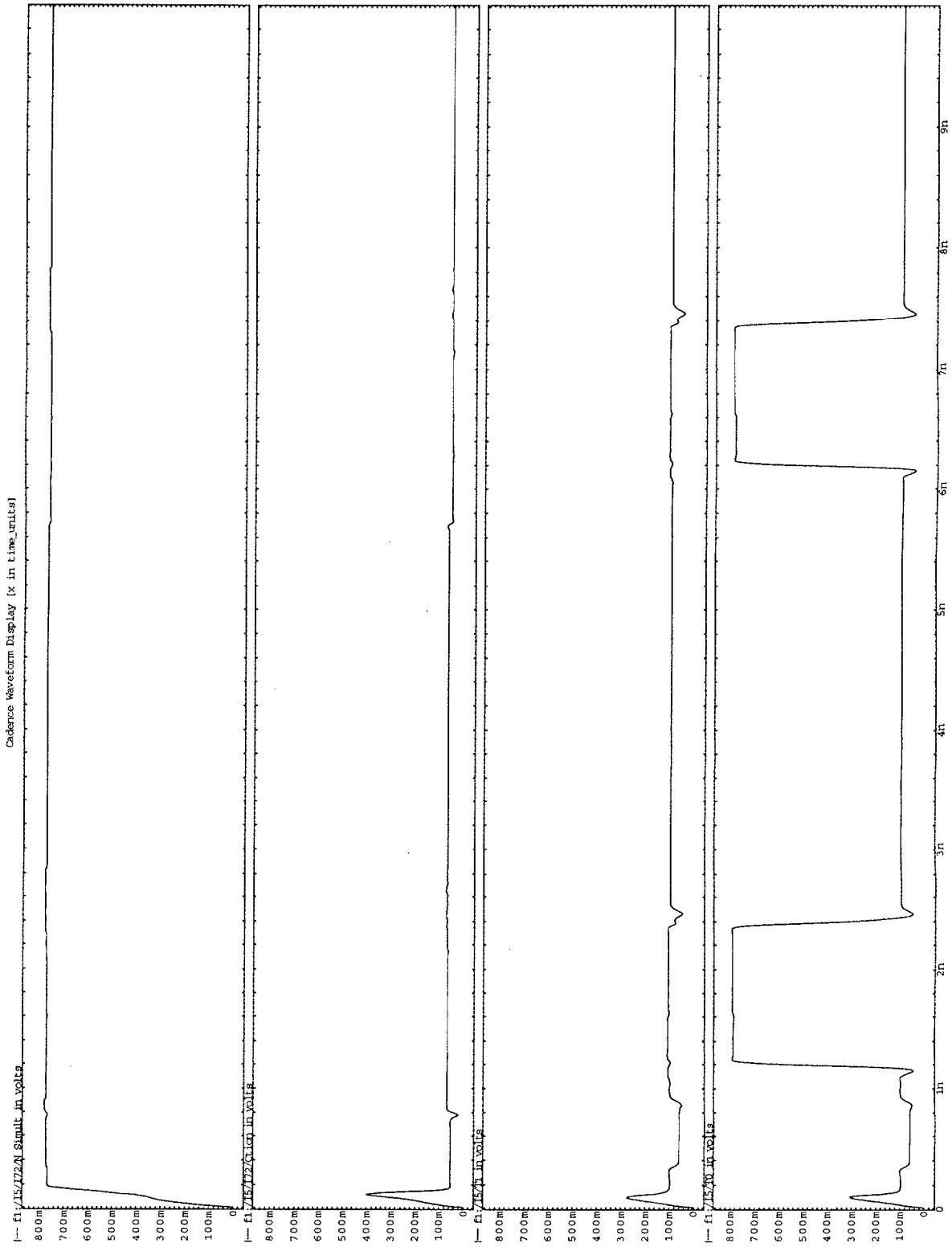
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3b.0
PLANO: UCF caso b: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3b.1
PLANO: UCF caso b: formas de onda I	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

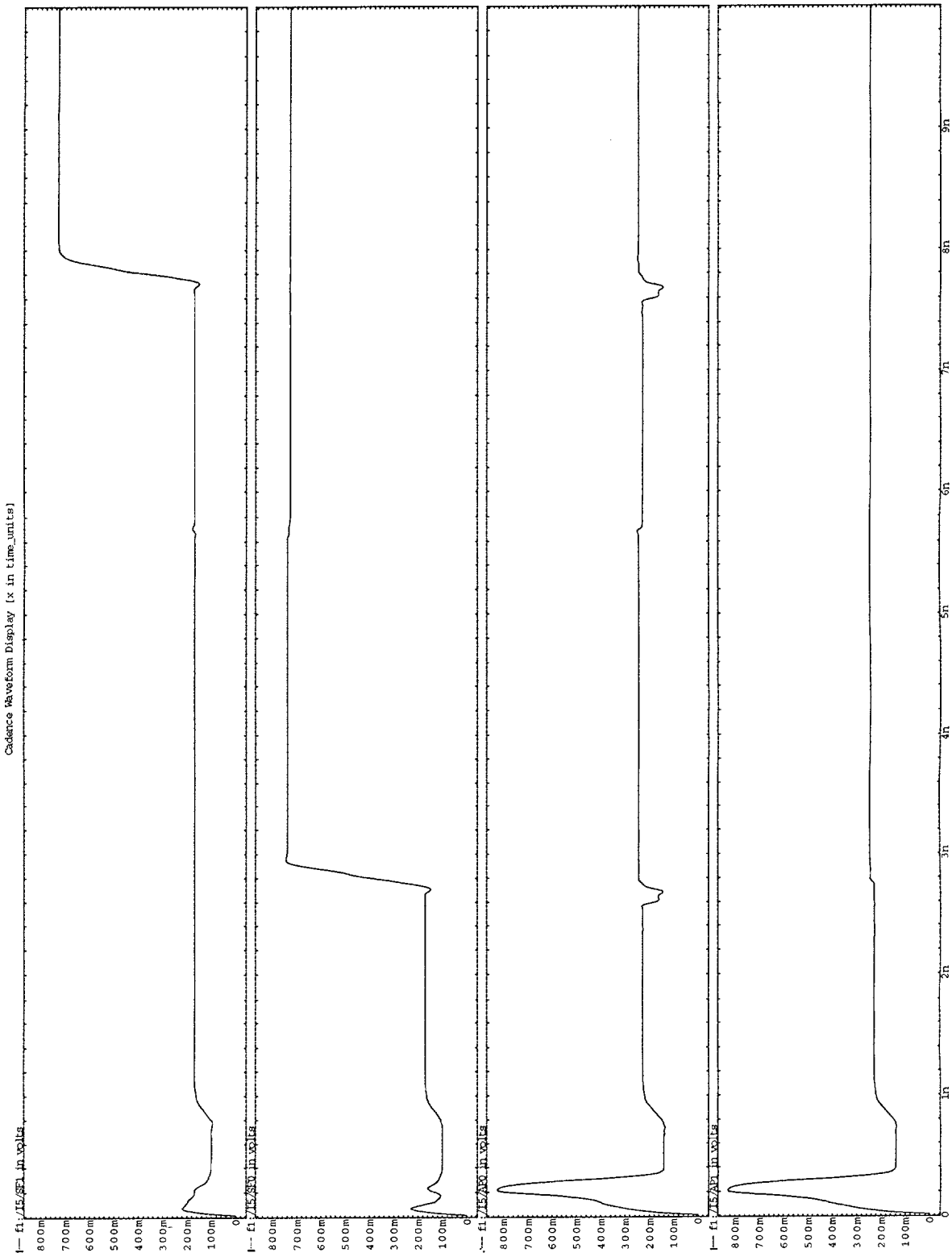


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso b: fomas de onda II	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3b.2

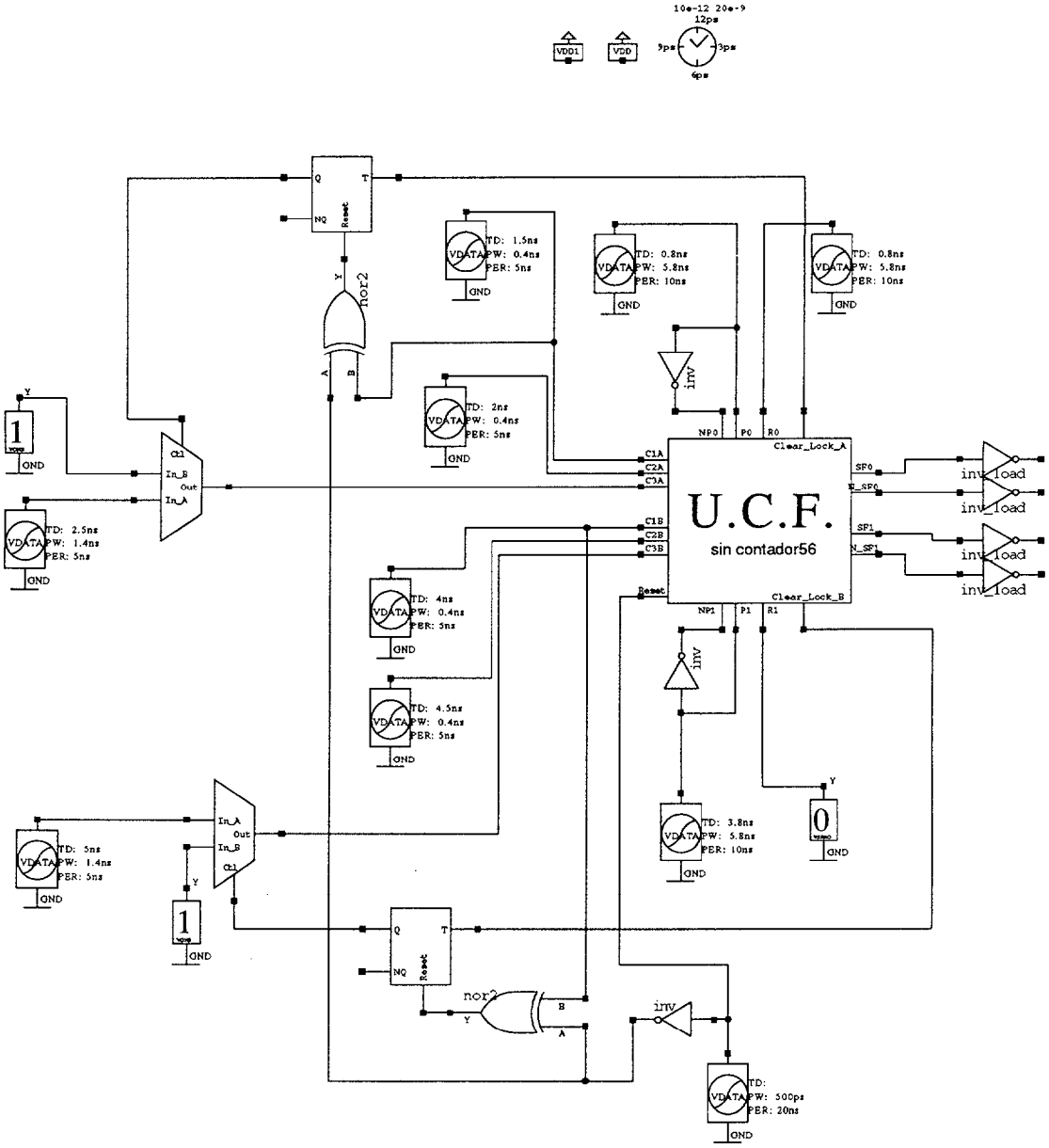
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



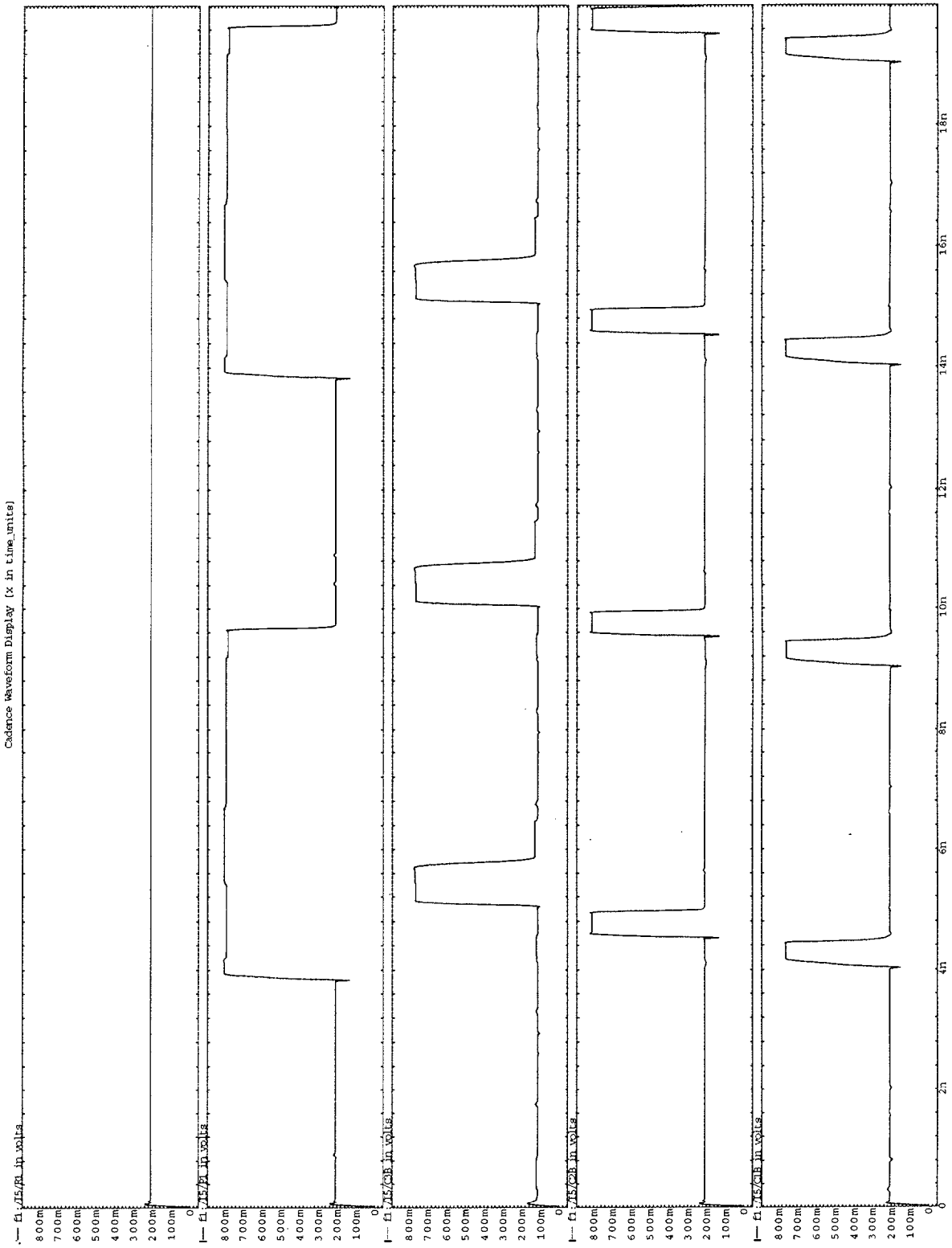
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3b.3
PLANO: UCF caso b: formas de onda III	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3c.0
PLANO: UCF caso c: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

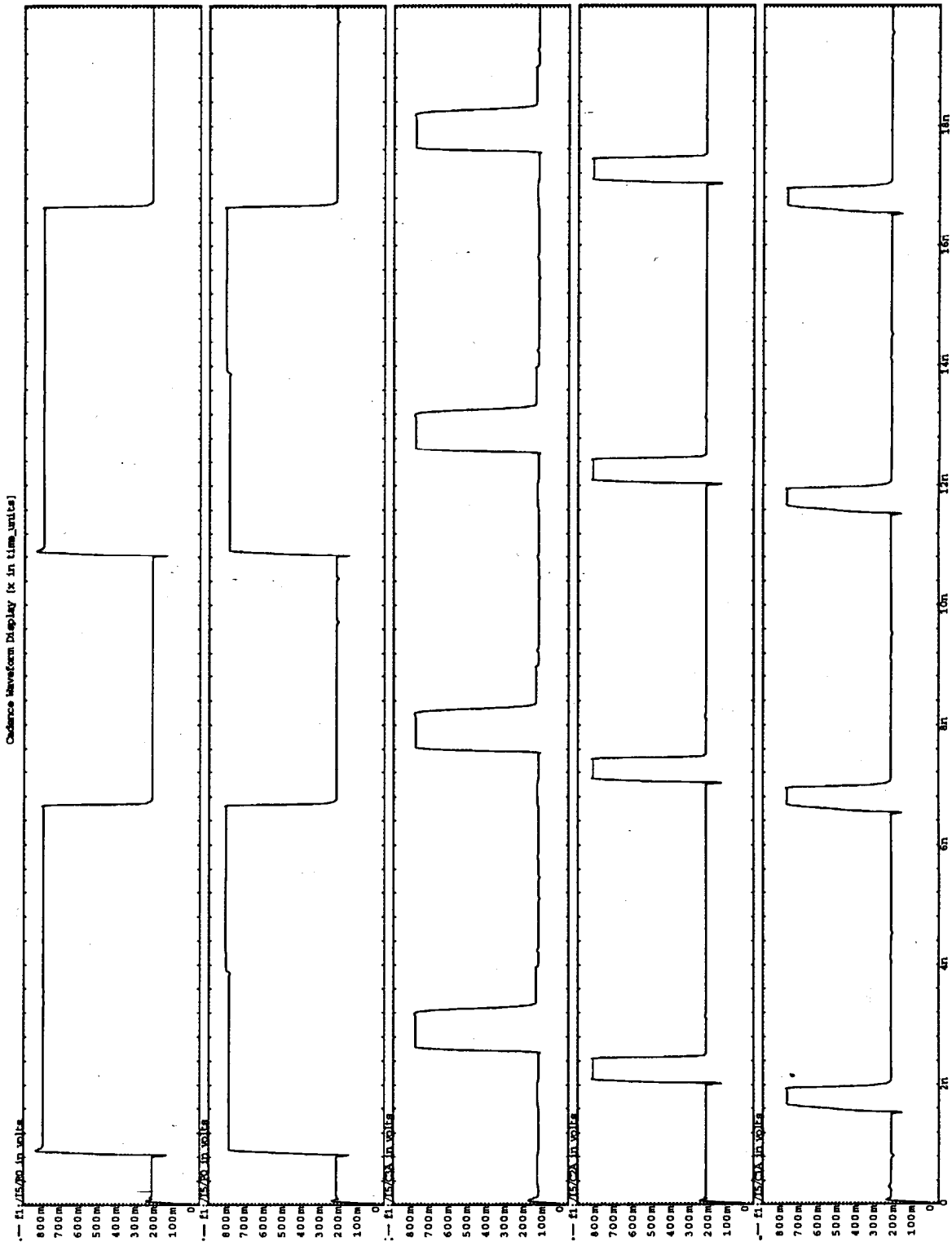


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso c: formas de onda I	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3c.1

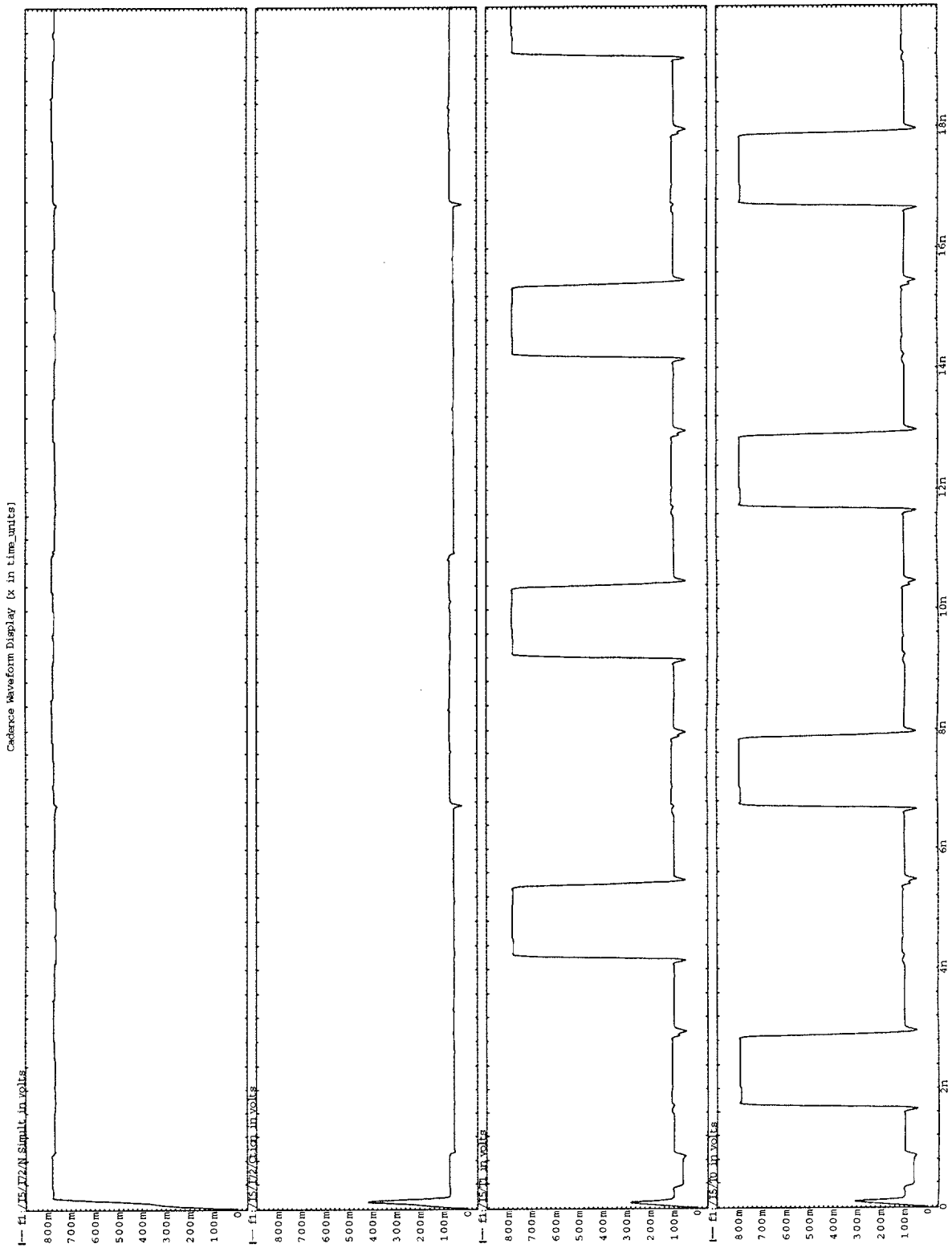
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



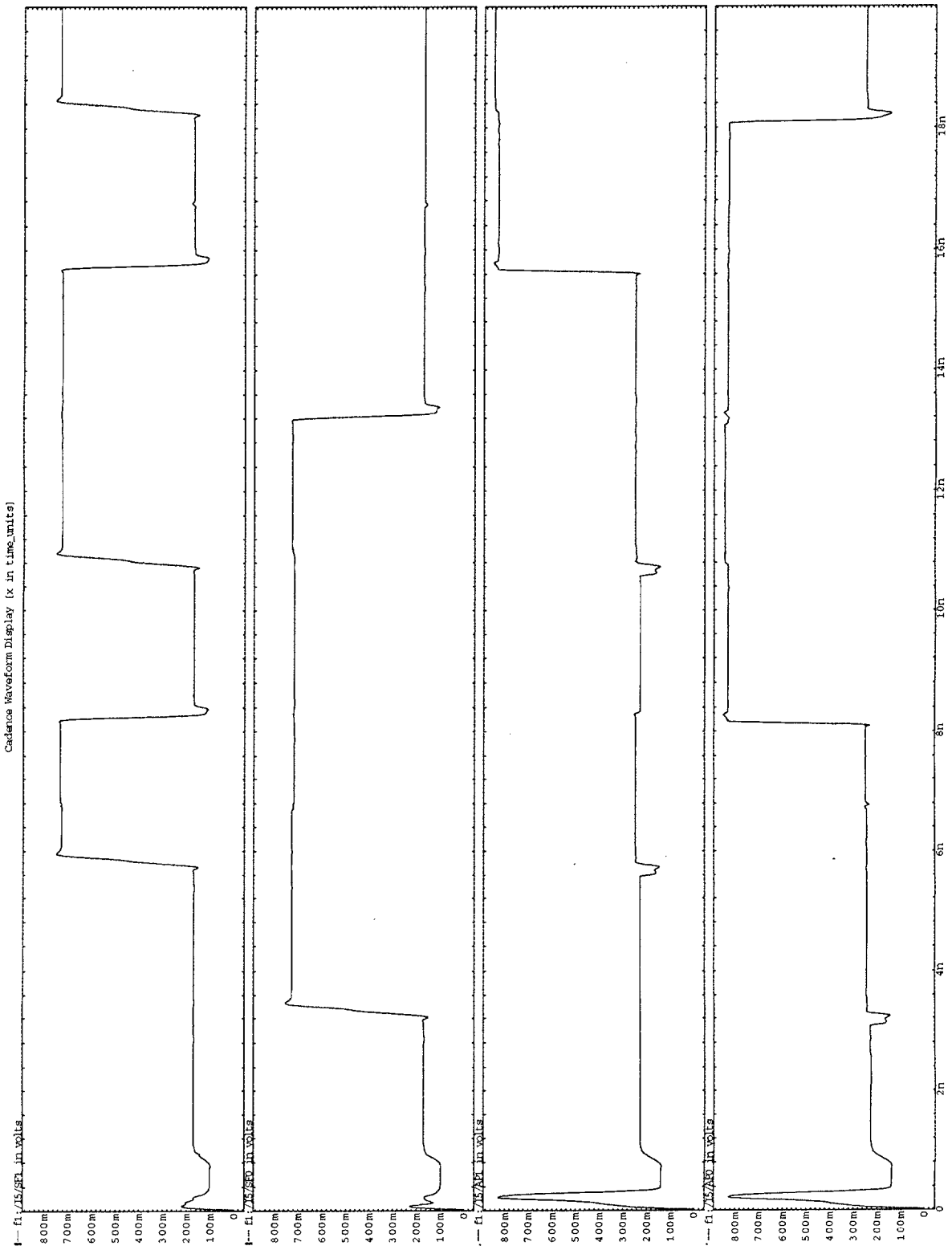
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3c.2
PLANO: UCF caso c: formas de onda II	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



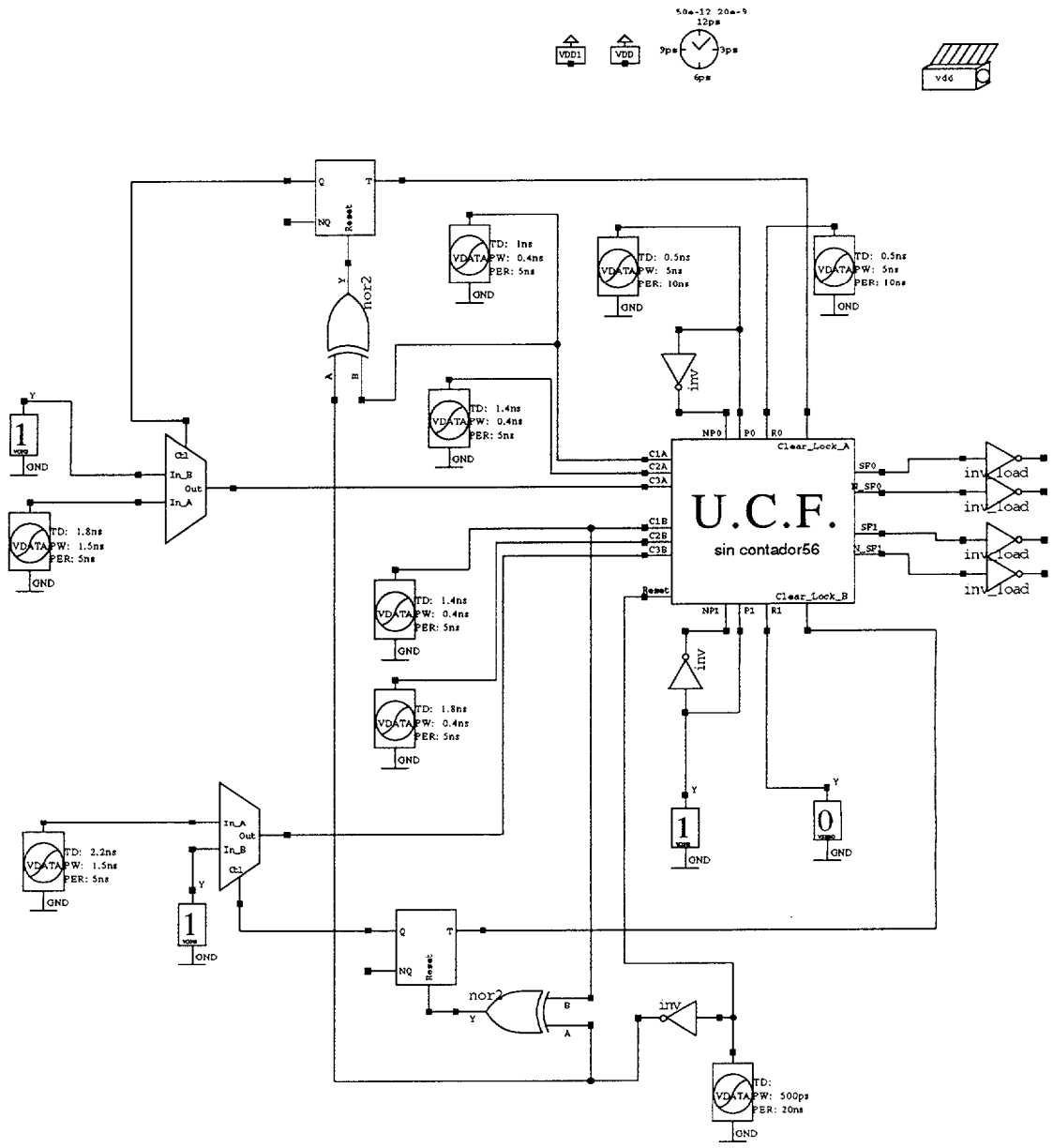
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3c.3
PLANO: UCF caso c: formas de onda III	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3c.4
PLANO: UFC caso c: formas de onda IV	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

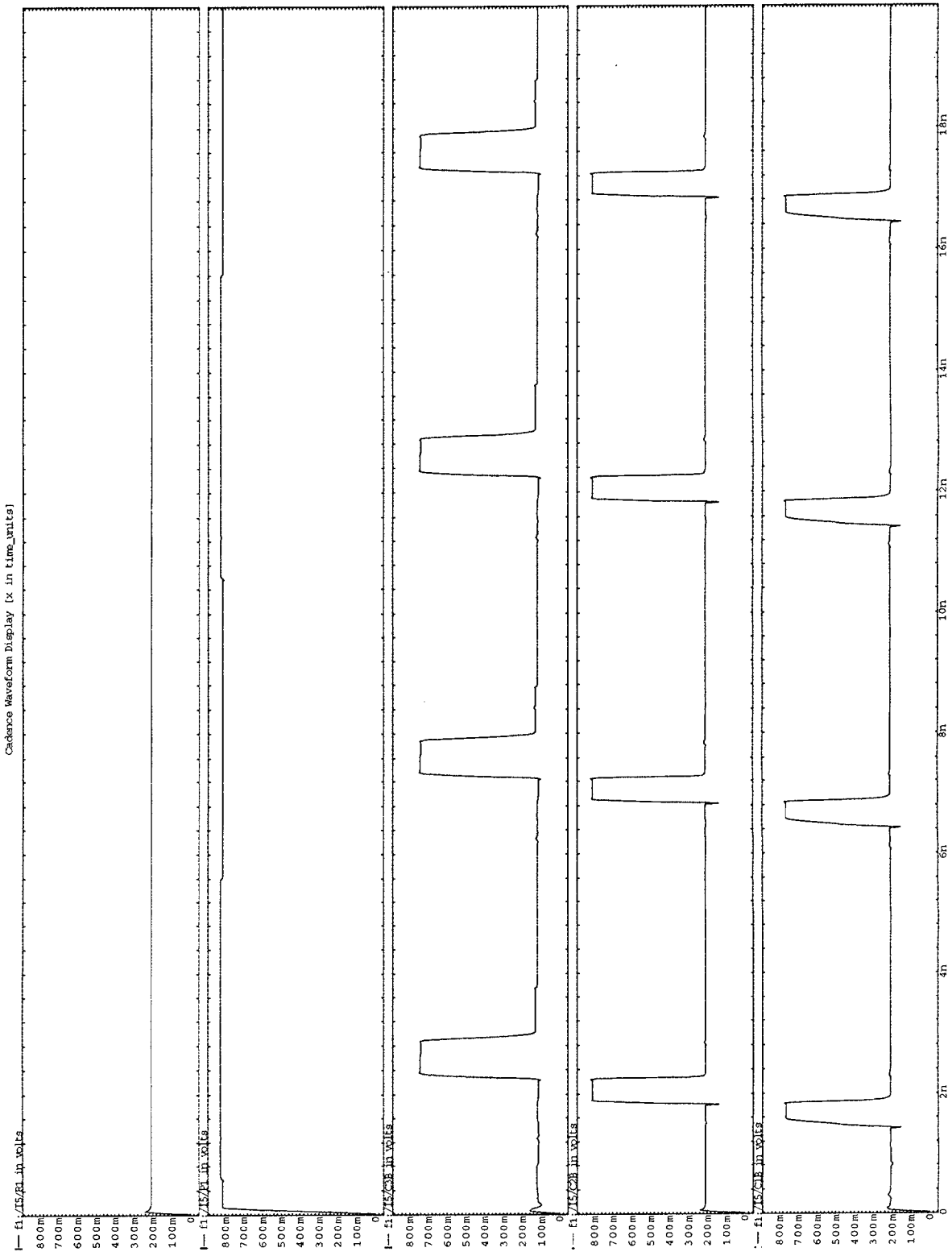


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso d: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO N º: 3d.0

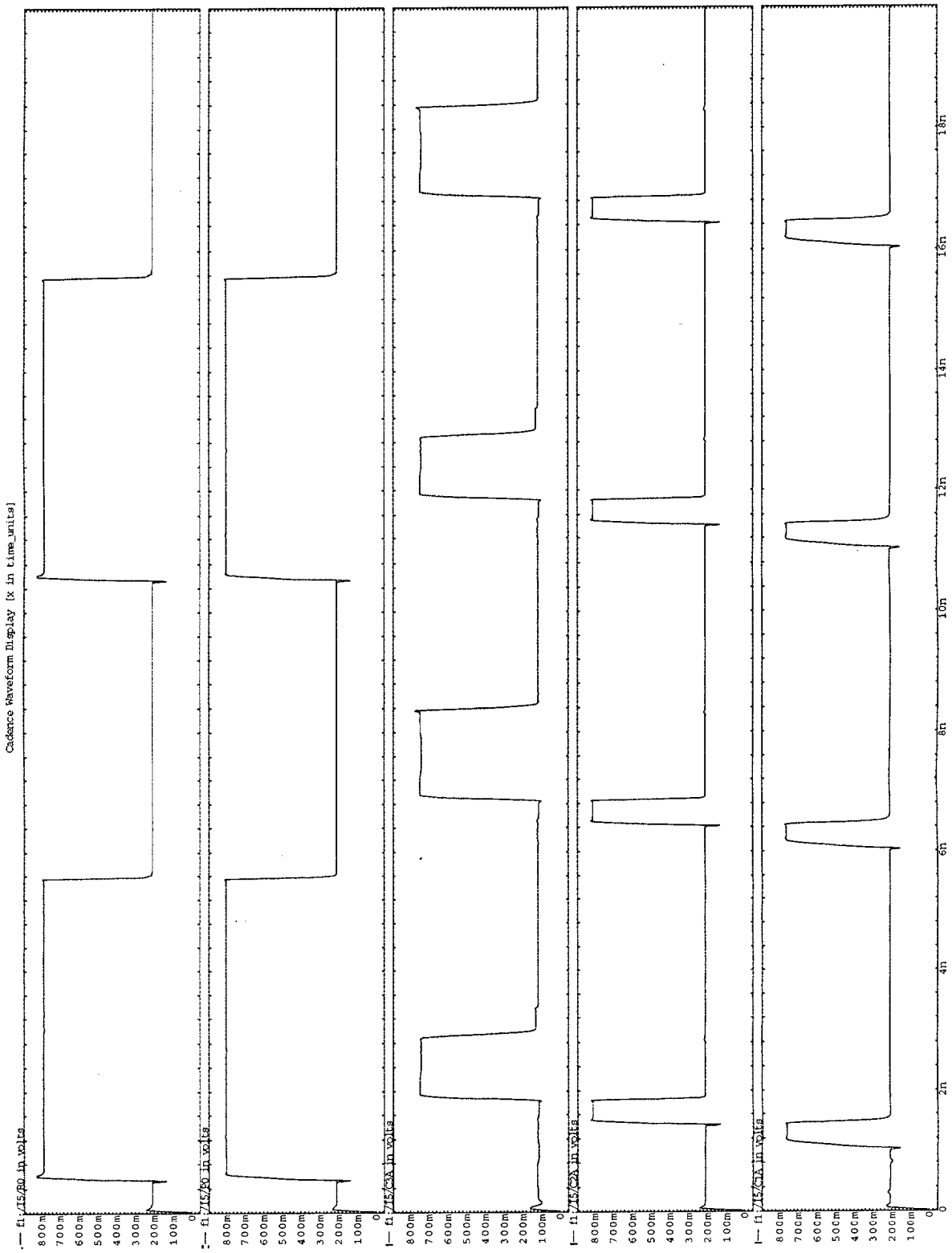
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3d.1
PLANO: UCF caso d: forma de onda I	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

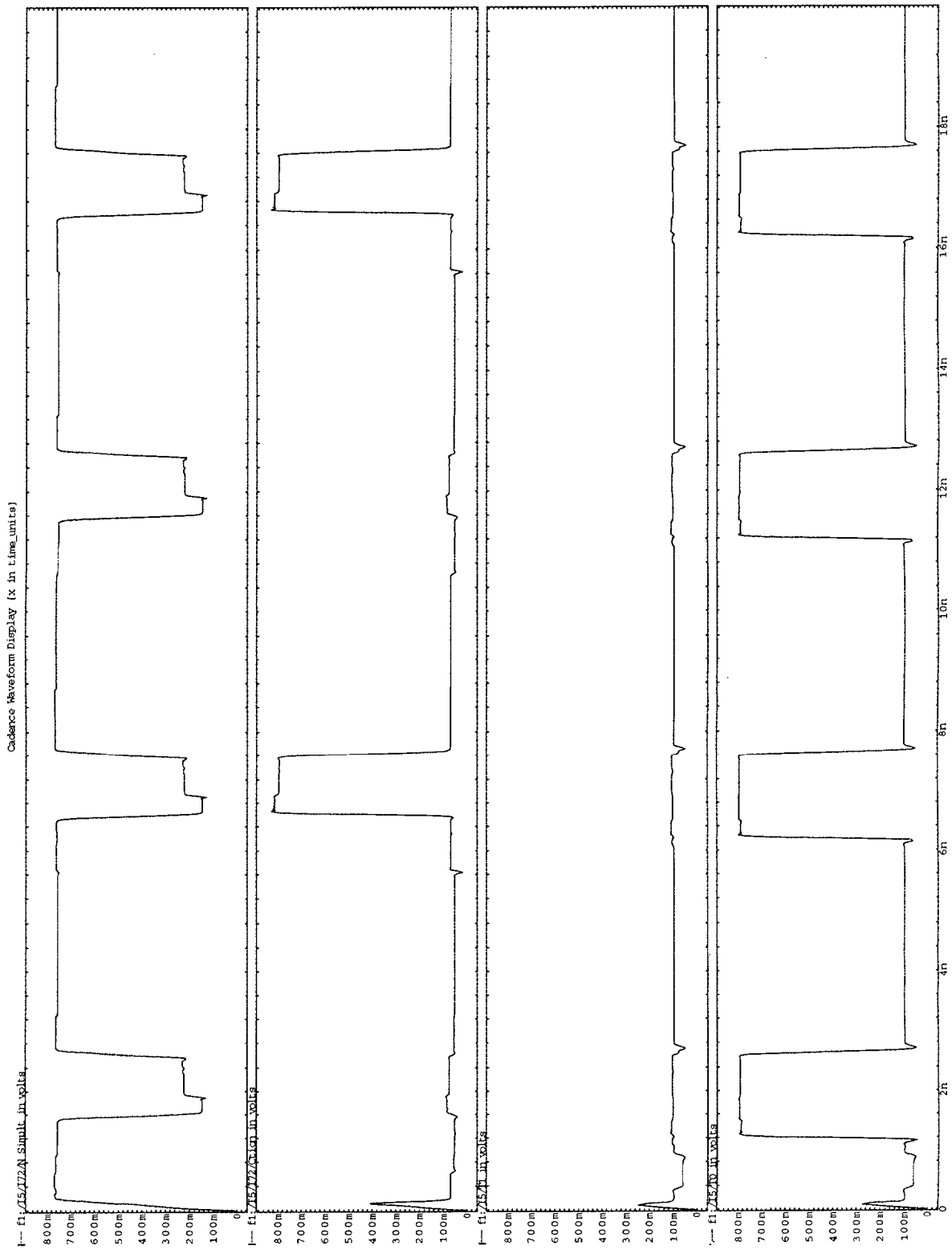


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso d: formas de onda II	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3d.2

C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

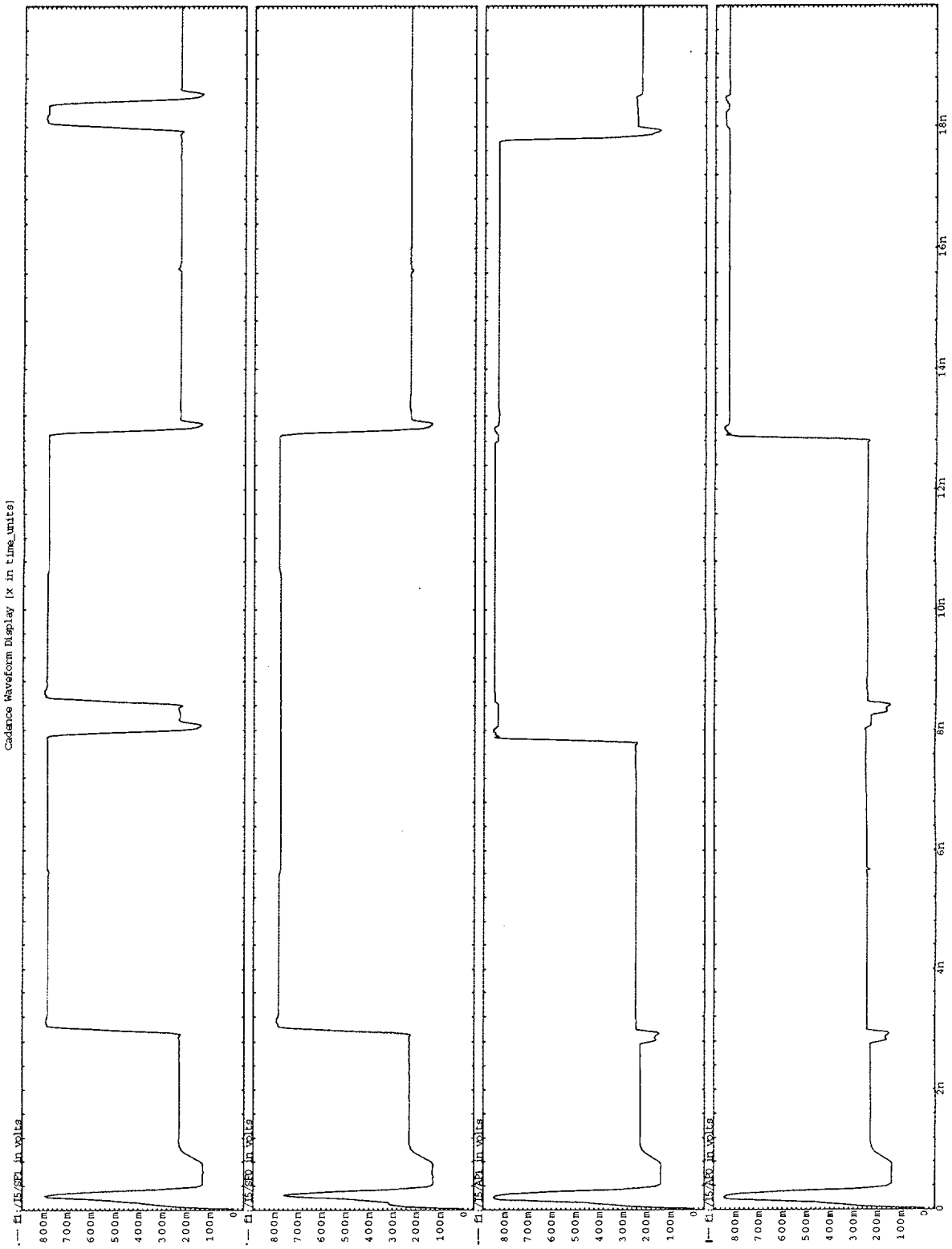


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: UCF caso d: formas de onda III	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 3d.3

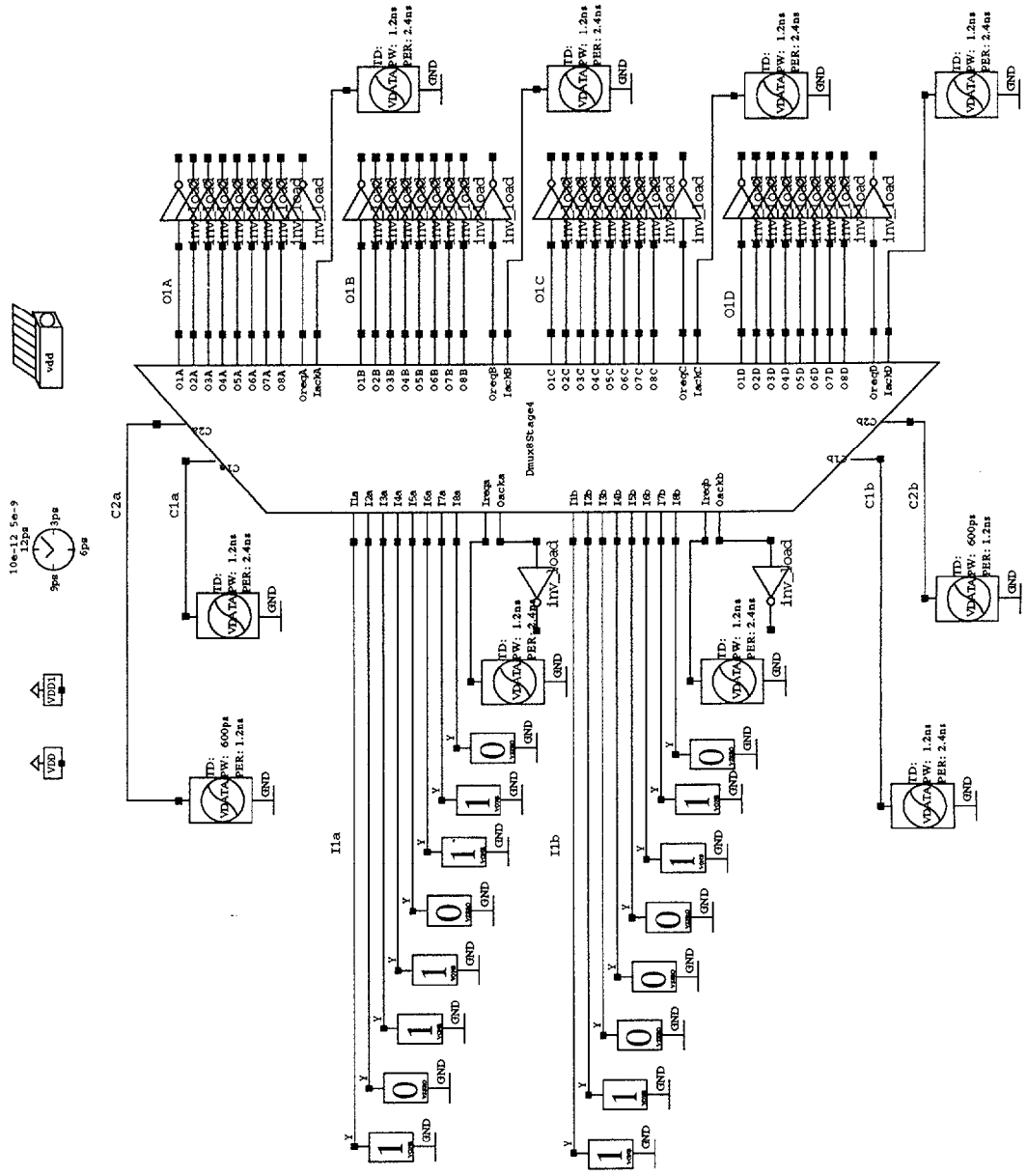
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



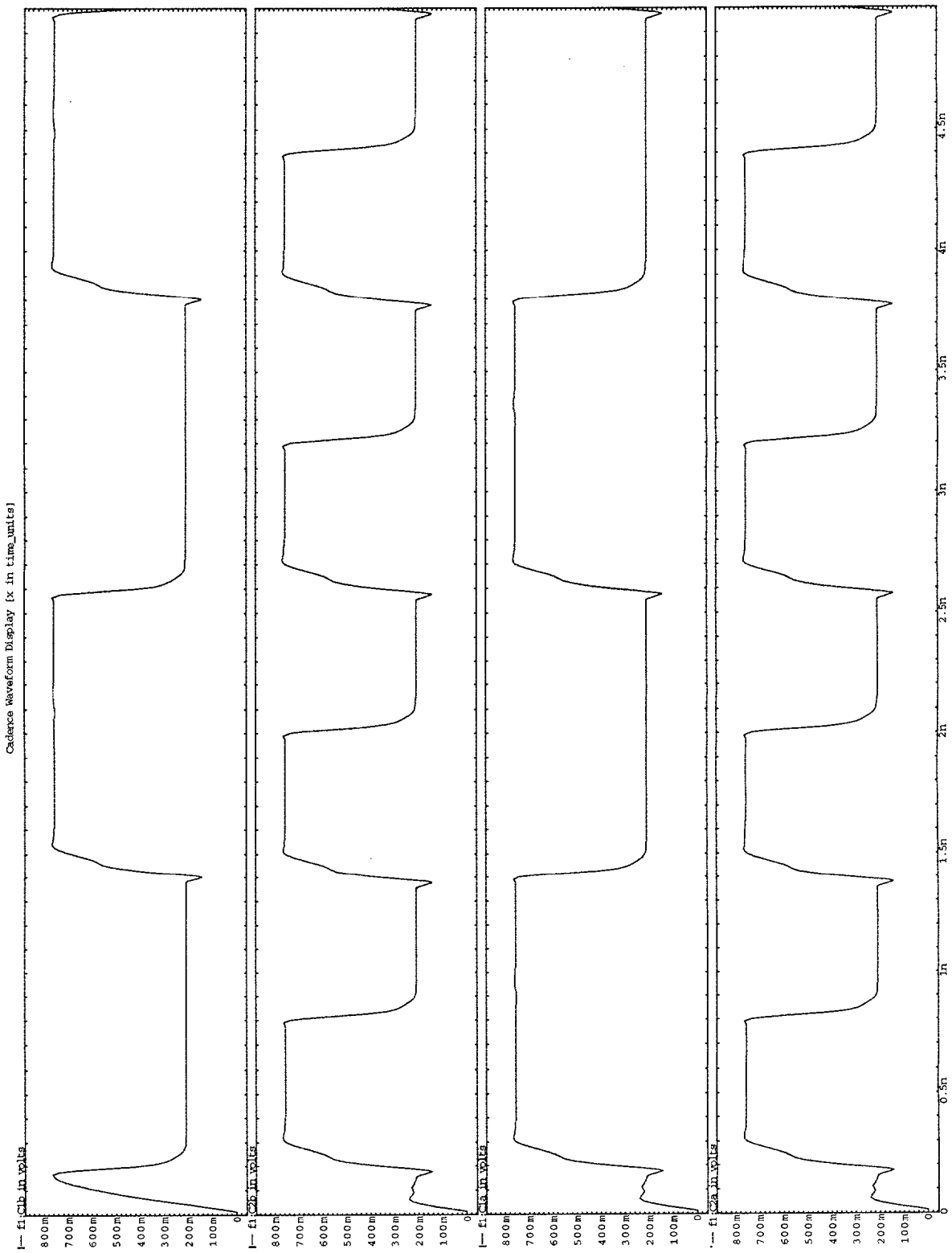
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 3d.4
PLANO: UCF caso d: formas de onda IV	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



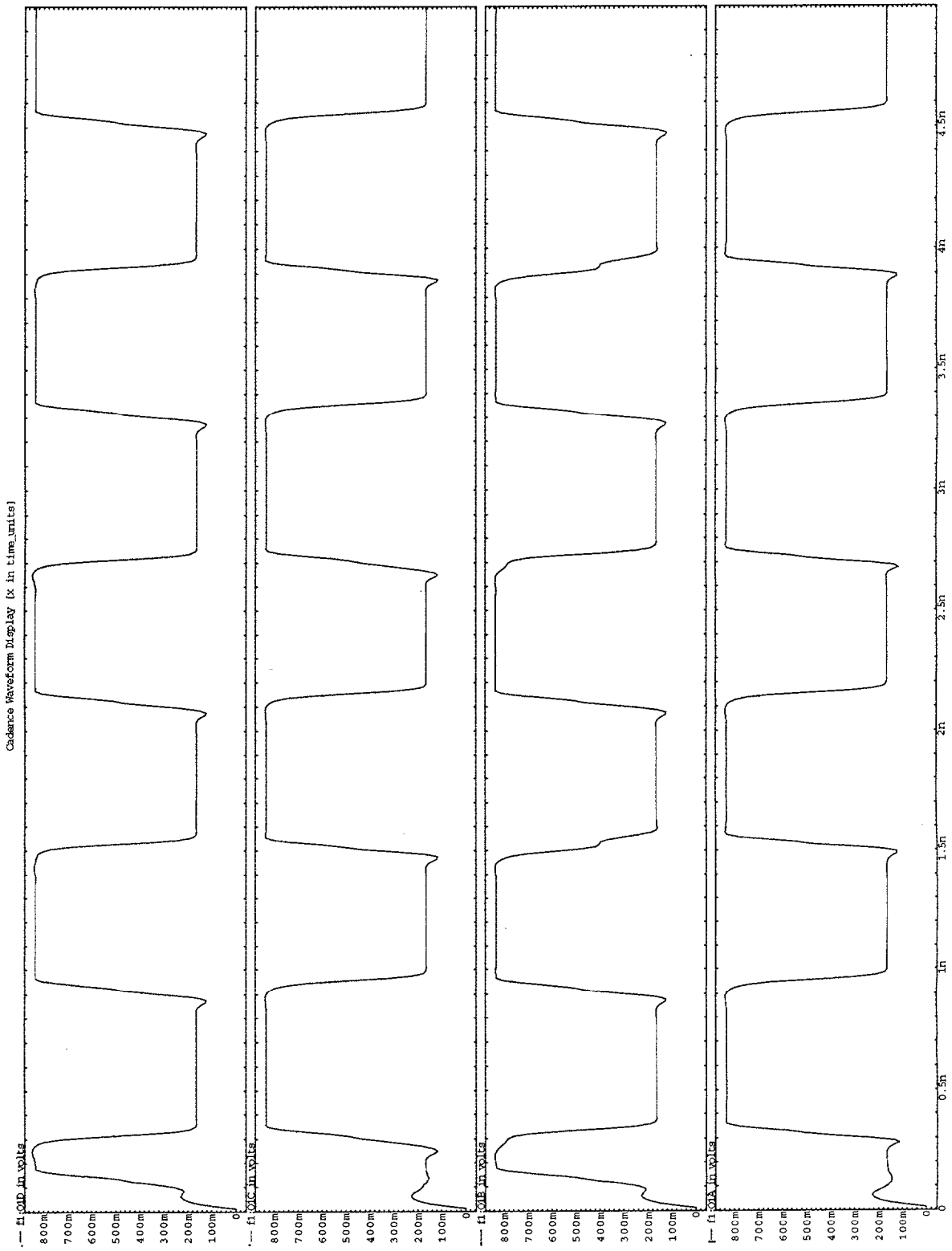
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 4.0
PLANO: DMUX: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



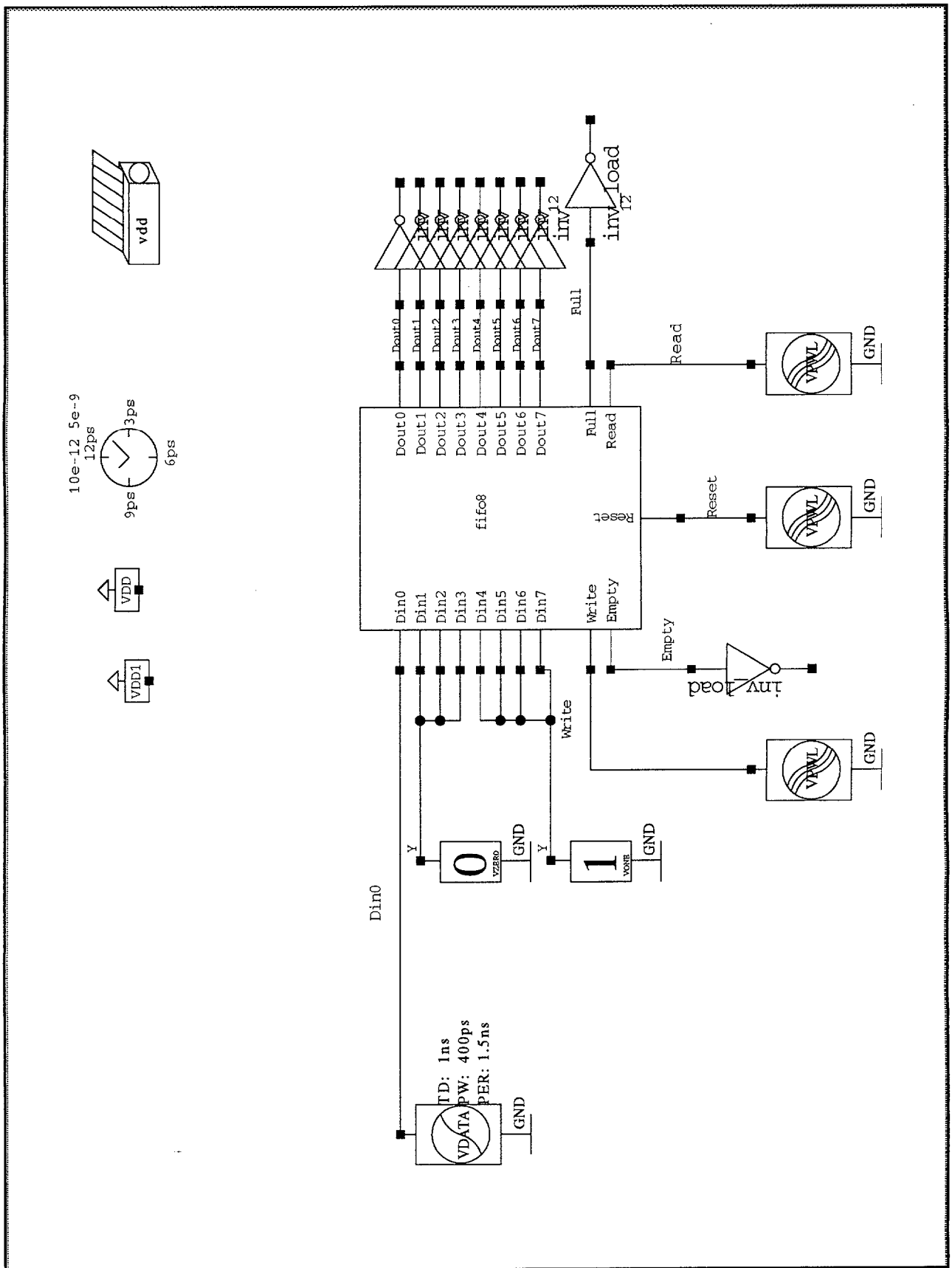
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 4.1
PLANO: DEMUX: Señales de control con Vdd=1.5v	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 4.2
PLANO: DEMUX: Salidas de datos con Vdd=1.5v	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

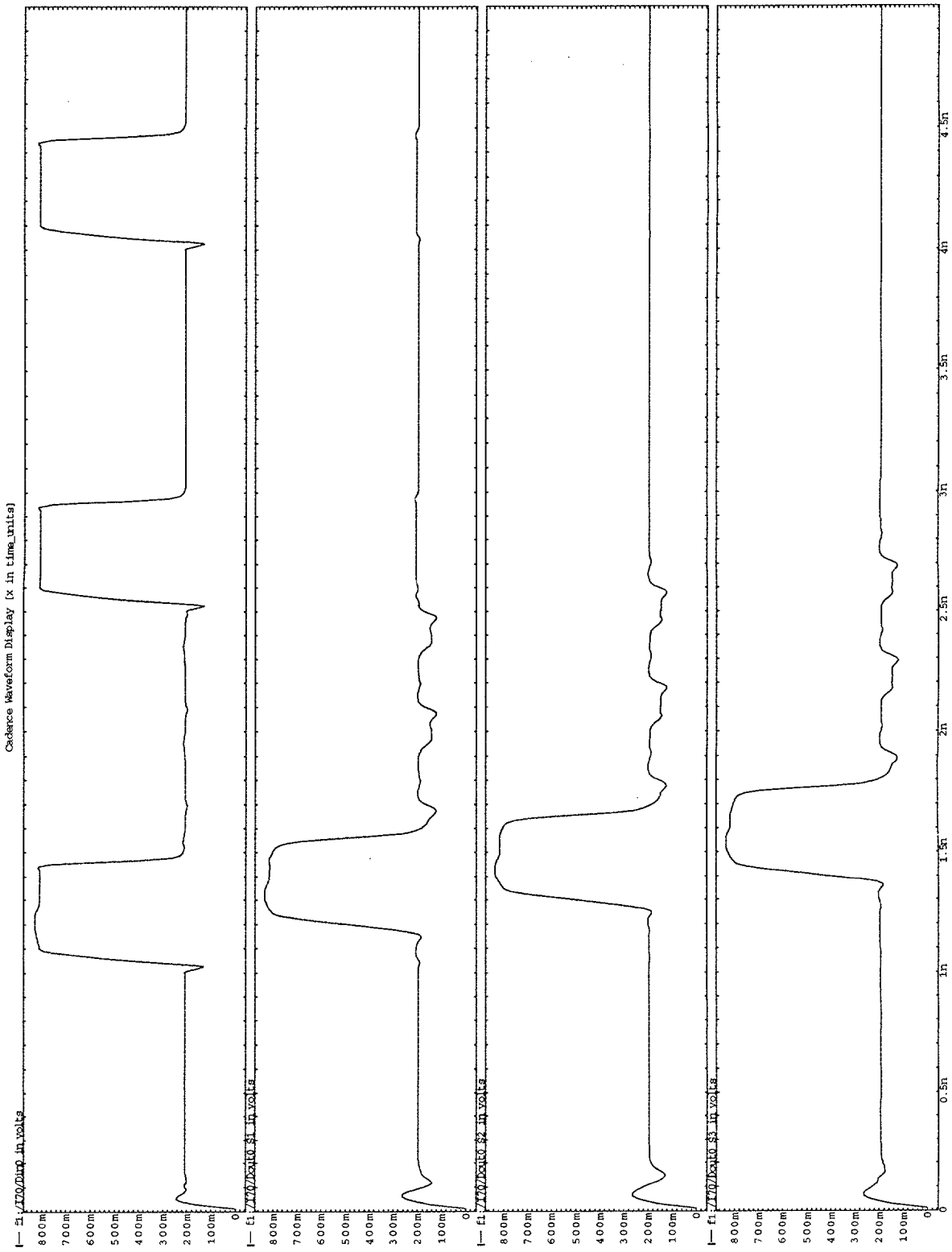


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: FIFO: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 5.0

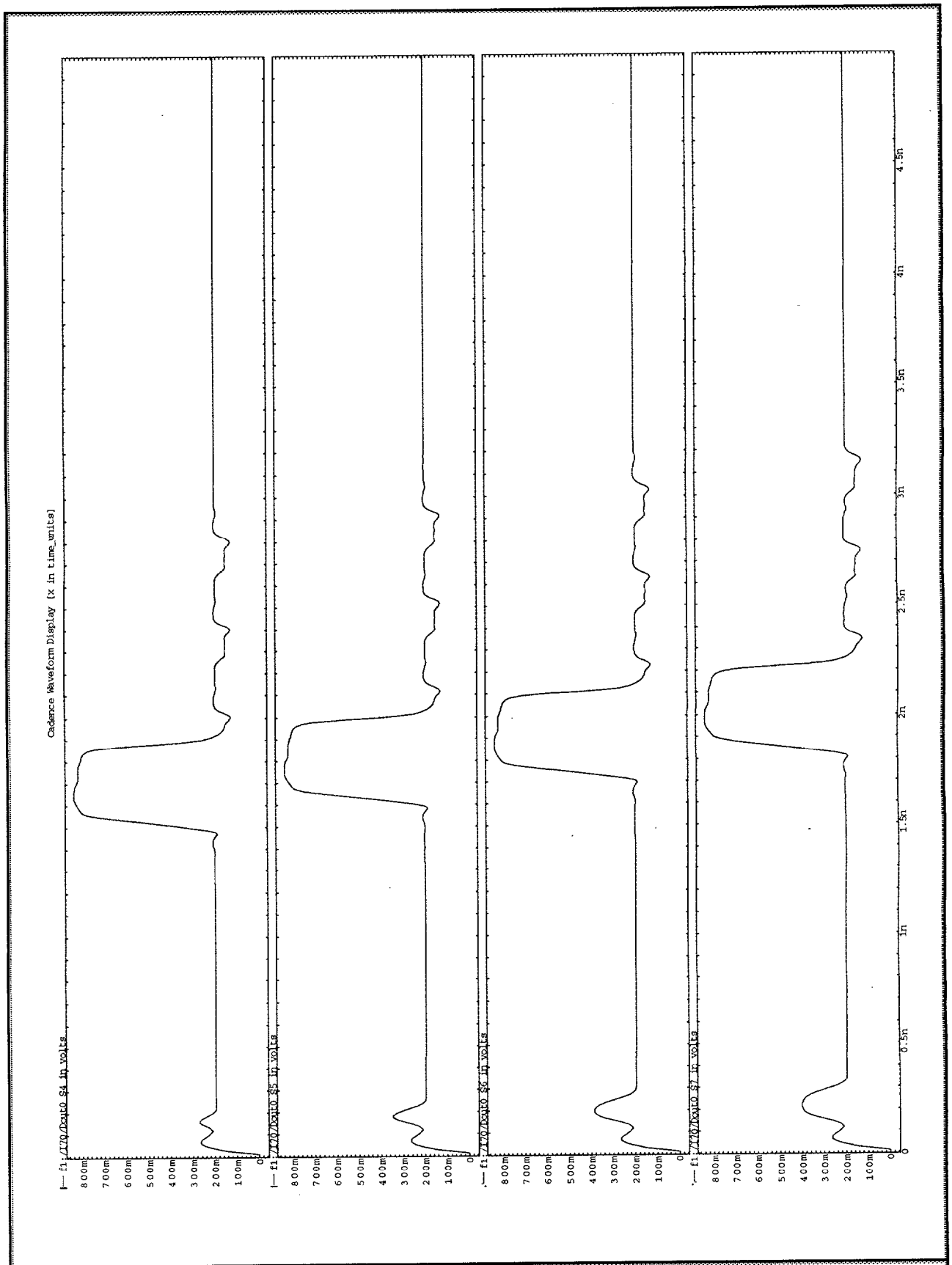
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



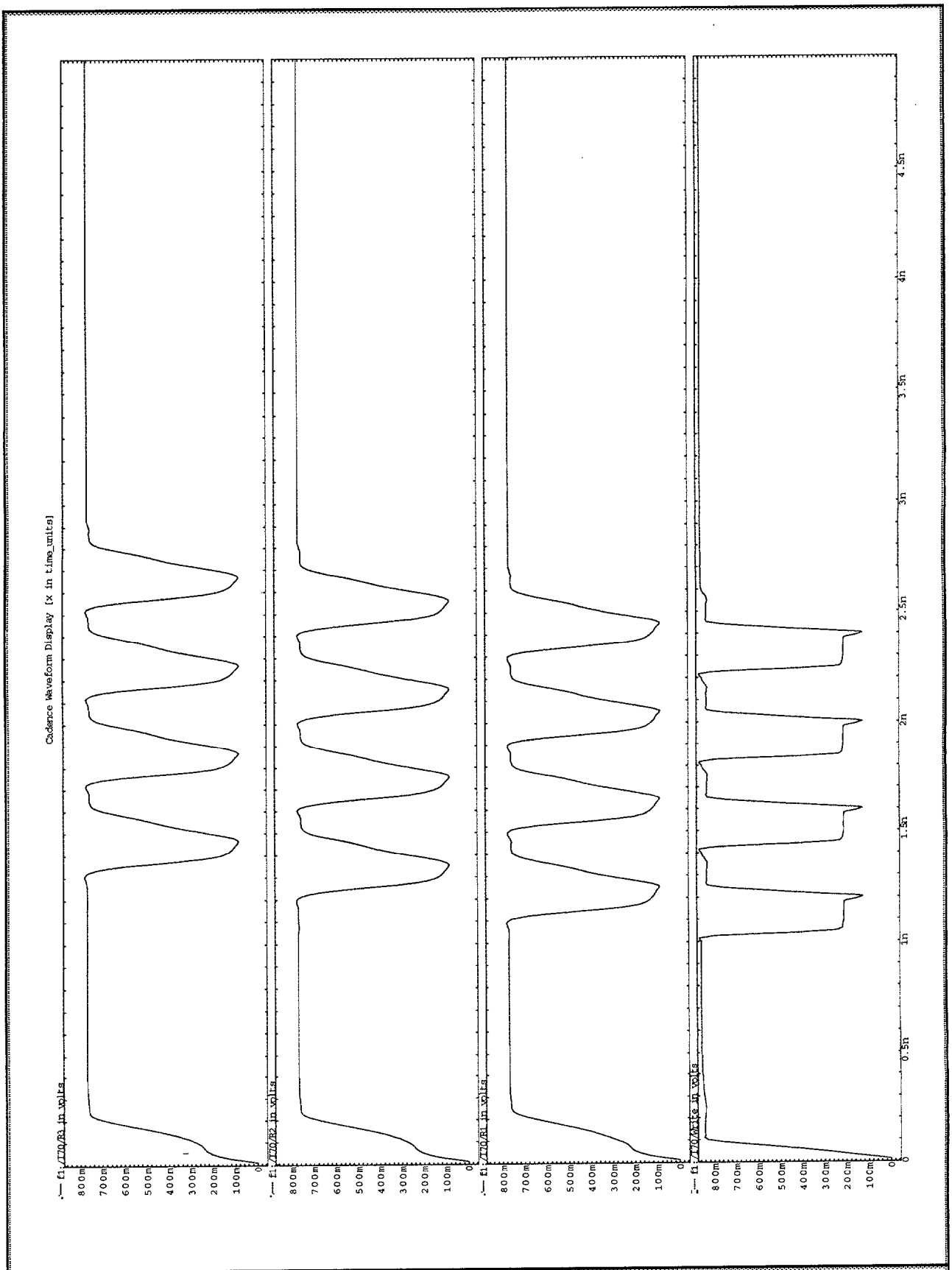
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 5.1
PLANO: FIFO: Flujo de datos (I)	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



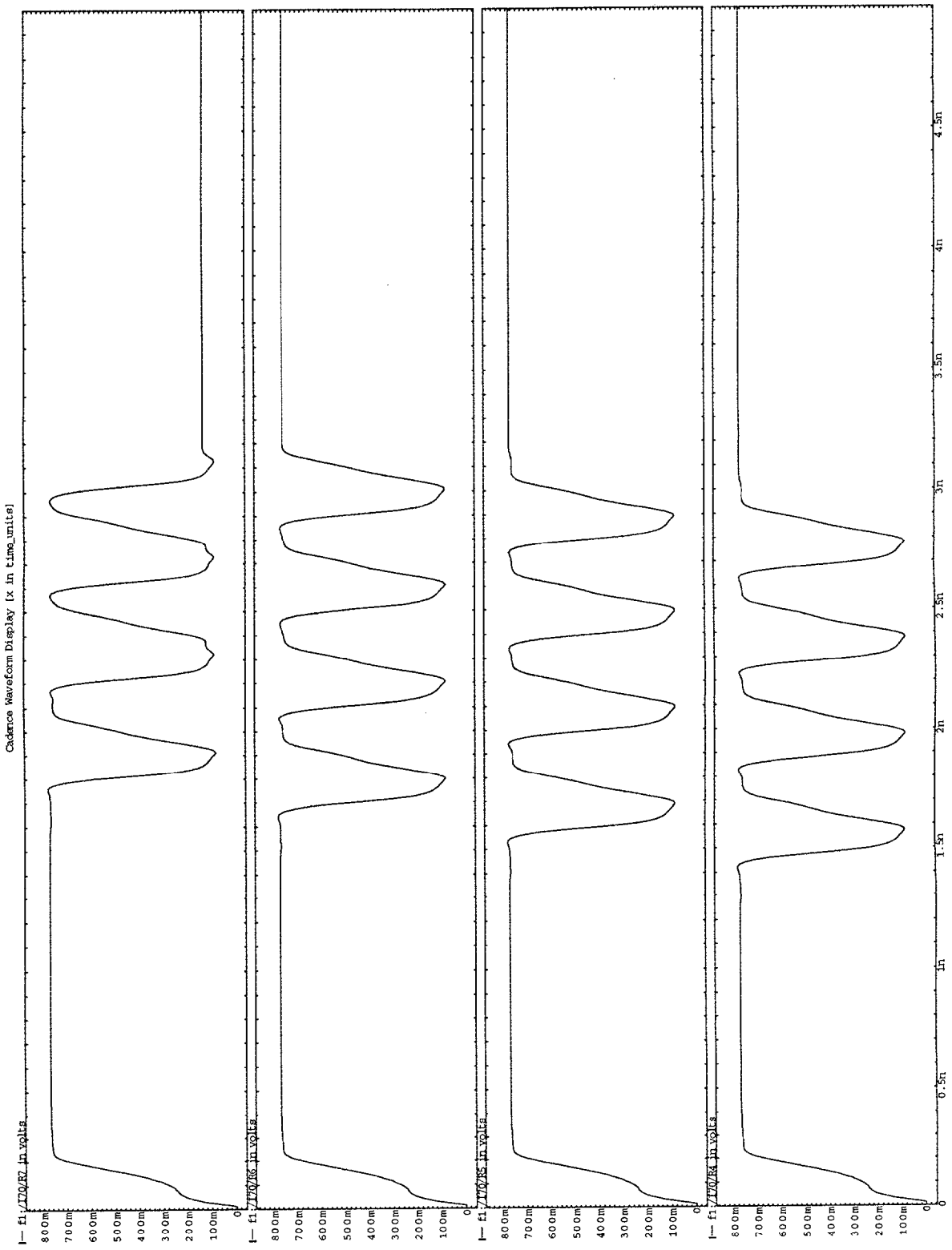
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO Nº:** 5.2
PLANO: FIFO: Flujo de datos (II)	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 5.3
PLANO: FIFO: Flujo de señales REQs (I)	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

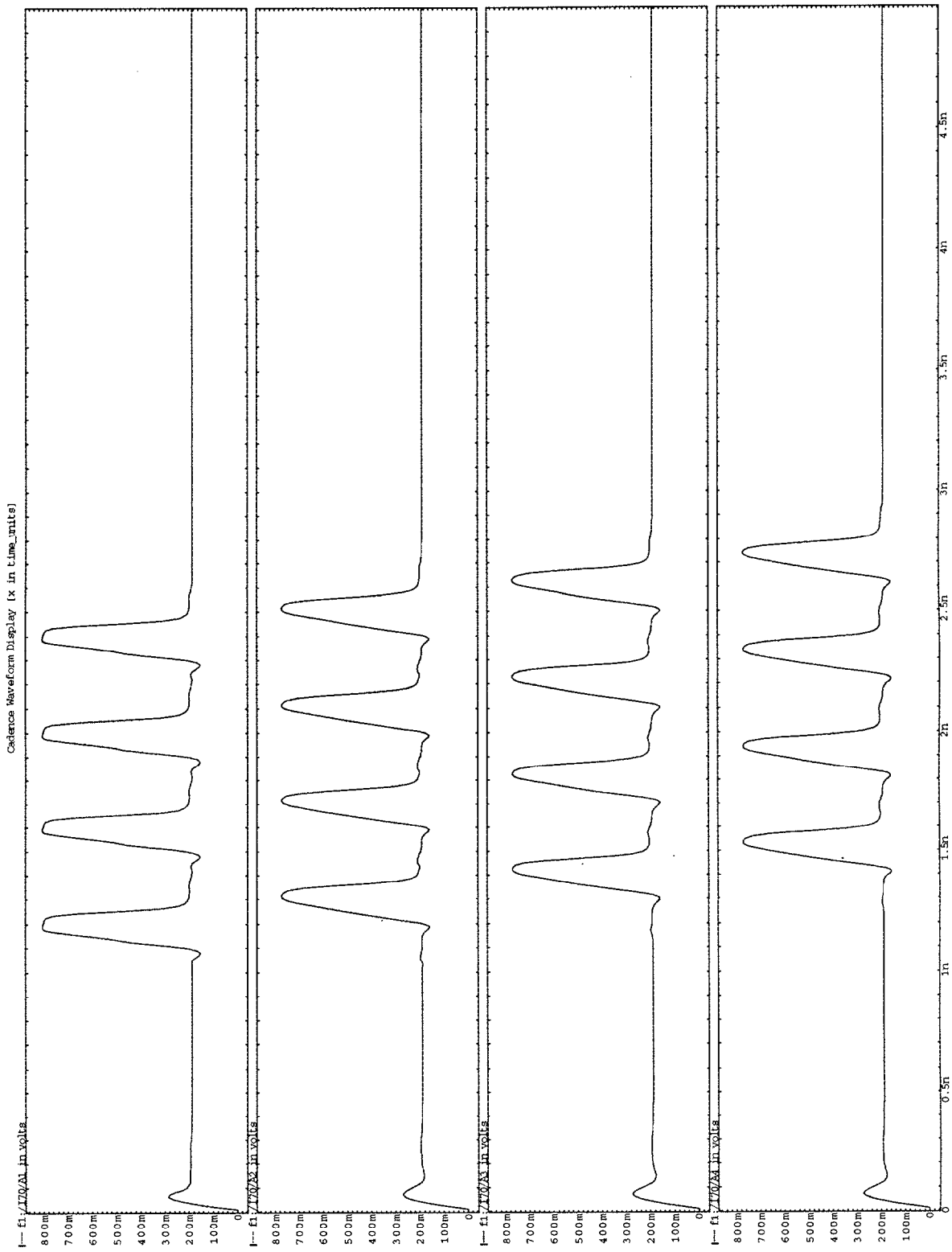


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: FIFO: Flujo de señales REQs (II)	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO
Nº: 5.4

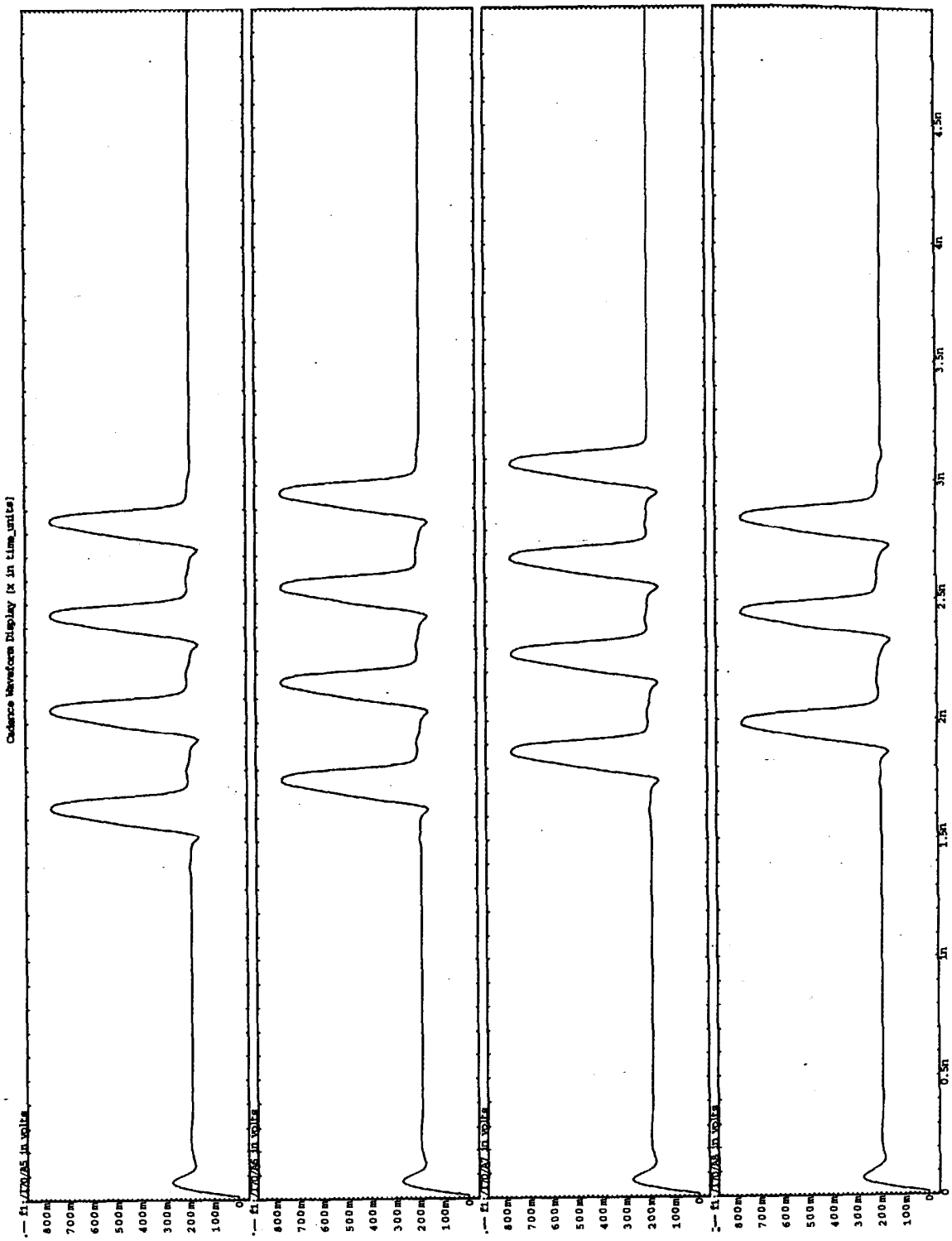
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



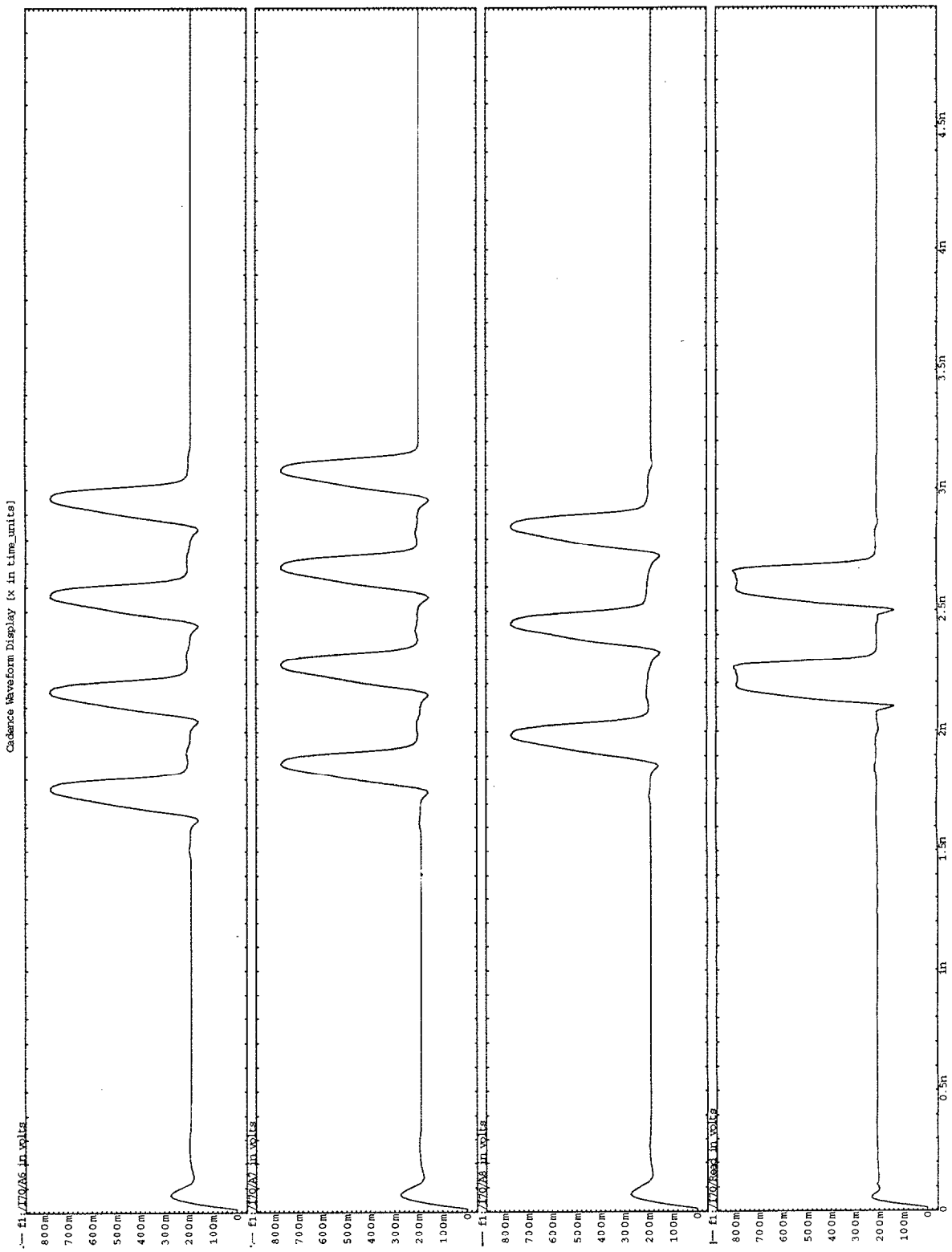
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 5.5
PLANO: FIFO: Flujo de señales ACKs (I)	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



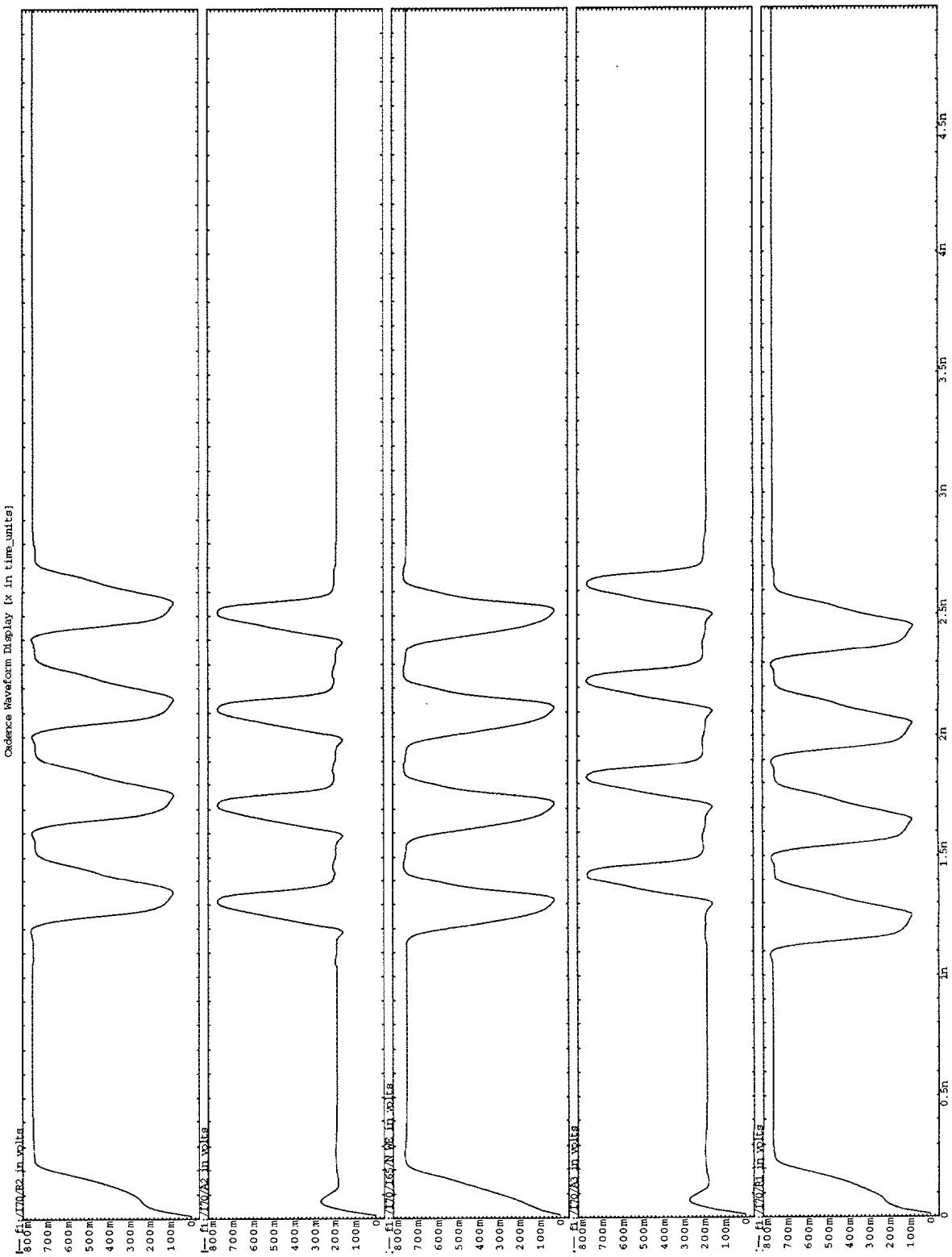
PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** N º: 5.6
PLANO: FIFO: Flujo de señales ACKs (II)	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 5.7
PLANO: FIFO: Operacion de lectura	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

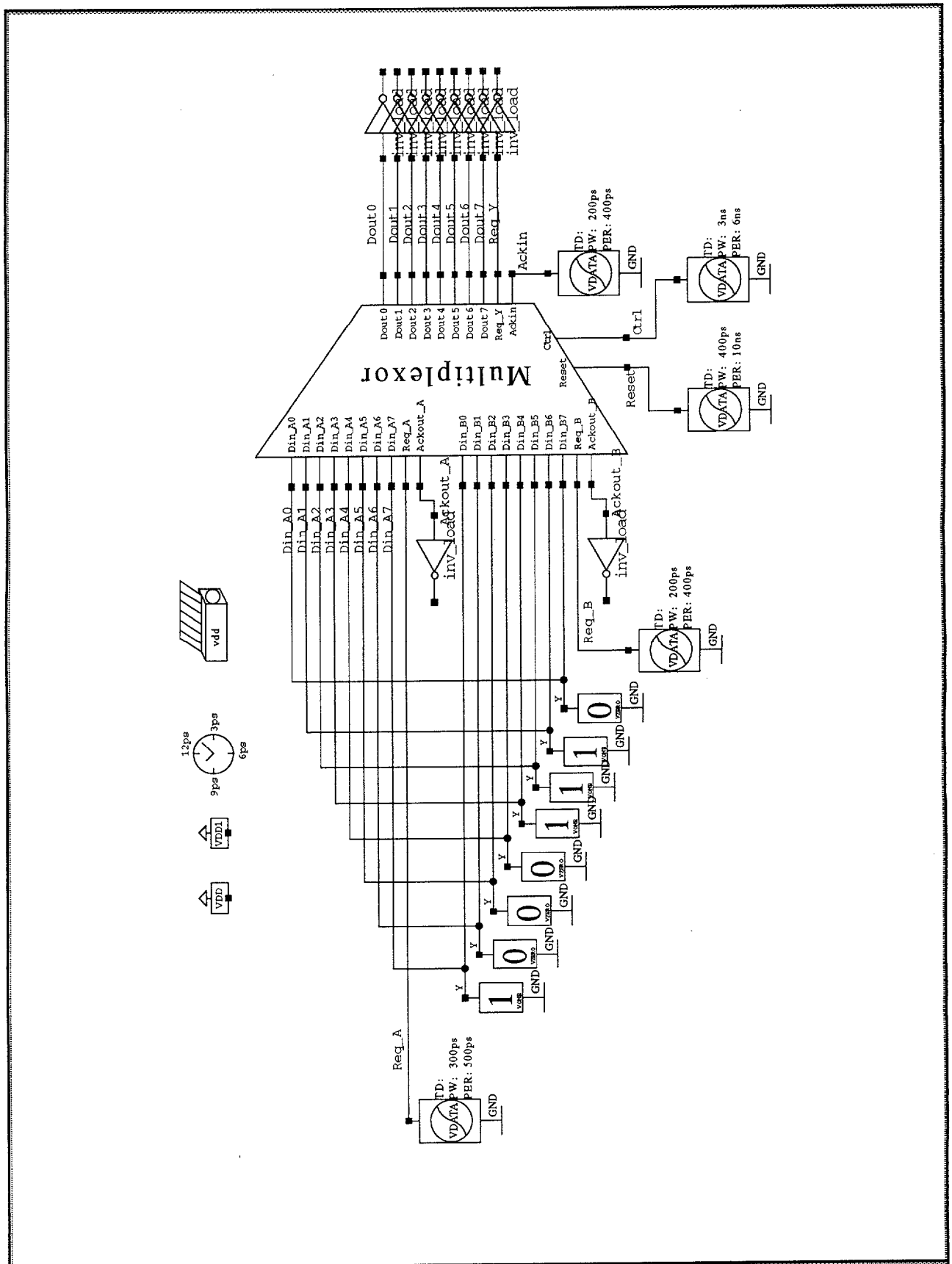


PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: FIFO: Elemento de control	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 5.8

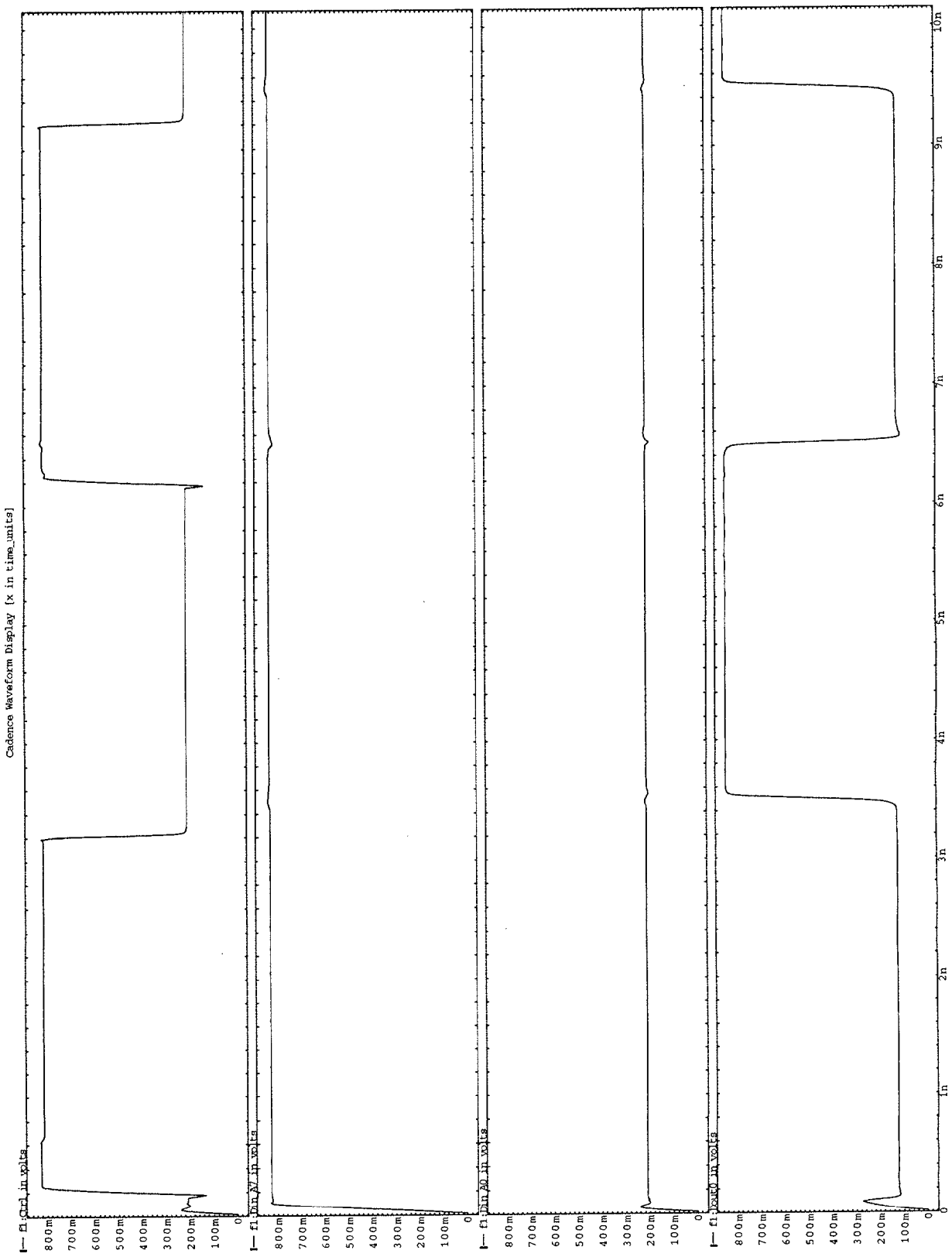
C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan	**PLANO** Nº: 6.0
PLANO: MUX: Circuito de estimulos	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)	C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003



PROYECTO: Conmutador ATM 2x2 a 10 Gb/s	**PROYECTANTE:** Silvia E. Martel Jordan
PLANO: MUX: Control y Dato	**UNIVERSIDAD:** E.T.S.I.T. (U.L.P.G.C.)

PLANO Nº: 6.1

C.M.A.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

ANEXO-IV

Simbología

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Definición de parámetros temporales		
t_d	:	Retardo de respuesta de un circuito. Desde que se produce un cambio en una entrada hasta que se refleja en salida.
t_r	:	Duración de la pendiente de subida de una señal. Medida entre el 10% y el 90% del valor final.
t_f	:	Duración de la pendiente de bajada de una señal. Medida entre el 90% y el 10% del valor inicial.
t_w	:	Ancho de un pulso.
t_p	:	Tiempo de propagación de datos.
T	:	Periodo de funcionamiento.
$t_d(x)$	:	Tiempo de respuesta desde que se produce la señal x.
$t_{Ev \rightarrow reset}$	:	Tiempo que tarda en *resetear* el registro de solución. Medido desde que se generó la señal de evaluación de la solución.

El punto de referencia de los siguientes parámetros se establece en el instante que se registran las soluciones para la UCF.

t_{we}	:	Tiempo invertido en la generación de la señal de escritura que produce la captura del estado del registro SF, referido a la partición de FIFOs a ser asignada
t_{clear_lock}	:	Tiempo invertido en la generación de la señal que rompe el bloque de la UCE.
t_{SF}	:	Tiempo que tarda en actualizarse el registro de *status* de la FIFO.
$t_{pulsosecundario}$	:	Tiempo que tarda en generarse el pulso que inicia la captura del *status* de la FIFOs para la célula secundaria, en caso de contención.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Bibliografía

- *Libros*
- *Revistas Técnicas*
- *Reports*

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Presupuesto

1- Costes de Amortización

2- Costes de Personal

3- Costes de Fabricación

4- Otros

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 1

Costes de amortización de equipos y herramientas

Los equipos y paquetes *software* usados para la elaboración del proyecto conllevan unos costes de amortización, por periodo de uso y personal.

Descripción		*Periodo de uso*	*Valor/Año*	*Total*
Estación de trabajo Sun SPARC modelo SPARCstation 10. Con periodo de amortización de 3 años				
	Amortización	10 meses	870.000 pts.	725.000 pts.
	Mantenimiento	10 meses	262.000 pts.	218.333 pts.
Servidor para simulaición Sun SPARC modelo SPARCstation 20. Con periodo de amortización 3 años				
	Amortización	10 meses	843.333 pts.	702.777 pts.
	Mantenimiento	10 meses	262.000 pts.	218.333 pts.
HARDWARE			TOTAL	1.864.443 pts.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Descripción	*Periodo de uso*	*Valor/Año*	*Total*
Sistema operativo SunOS Release 4.1.3, sistema de ventanas OpenWindows y Librerías X11.	10 meses	40.000 pts.	3.333 pts.
Entorno de diseño y simulación CADENCE designs framework II			
Amortización	10 meses	240.000 pts.	80.000 pts.
Mantenimiento	10 meses	88.000 pts.	7.333 pts.
SOFTWARE		TOTAL	90.666 pts.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 2

Costes de personal

La proyectante ha invertido 10 meses con una dedicacion promedio de 10 horas diarias en el desarrollo y ejecución del presente proyecto. La hora de diseñador en microelectrónica y correspondiendo a su posición es de 4500 pts/h.

Descripción de tarea	*Duración*	*hombres/mes*	*Total*
Especificación			
Ingeniero senior	3 meses	486.000 pts.	1.458.000 pts.
Ingeniero junior	3 meses	250.000 pts	750.000 pts.
Diseño de CIs	6 meses	250.000 pts	1.500.000 pts
Preparación de documento	1 meses	250.000 pts	250.000 pts
MANO DE OBRA		TOTAL	3.958.000 pts

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 3

Costes de fabricación de prototipos

La fabricación del conmutador ATM 2×2 se ha dividido en un total de 3 módulos diferentes. Atendiendo al área y número de entradas/salidas de cada módulo usaremos distintos modelos de *pad ring* de los suministrados por el IAF. Los cálculos se efecturon de acuerdo a los precios aplicados por EUROCHIP desde el 1 de octubre de 1994, para el diseño en *runs EUROCHIP* con tecnología GaAs HEMT $0.3\mu m$ de FhG/IAF, en la categoría de *Educational designs.* El coste de fabricación es de 68.800 pts./mm^2, con un suministro de 10 prototipos por circuito.

Descripción	*N de CIs*	*Modelo*	*Total*
Unidad de control: UCE,UCF,Sist. de demultiplexores	1	modrah4mx3m	82.560 pts.
FIFO 8×56 bits + Multiplexor de bus 2 a 1	2	modrah4mx3m	165.120 pts.
MCM (Multi-Chip Module)	1	$25mm^2$	516.000 pts.
PROTOTIPADO		TOTAL	763.980 pts.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003

Capítulo 4

Otros

Otros gastos de material durante los 10 meses de duración del proyecto.

Descripcion	*Periodo*	*Precio/Und*	*Total*
Papel	10 meses	500 pts	5.000 pts
Impresora láser y accesorios	10 meses	1000 pts	10.000 pts
Cintas de back-up y diskettes	10 meses	5000 pts	10.000 pts
MATERIAL FUNGIBLE		TOTAL	25.000 pts

IMPORTE GLOBAL 6.702.089 pts.

© Universidad de Las Palmas de Gran Canaria. Biblioteca Digital, 2003