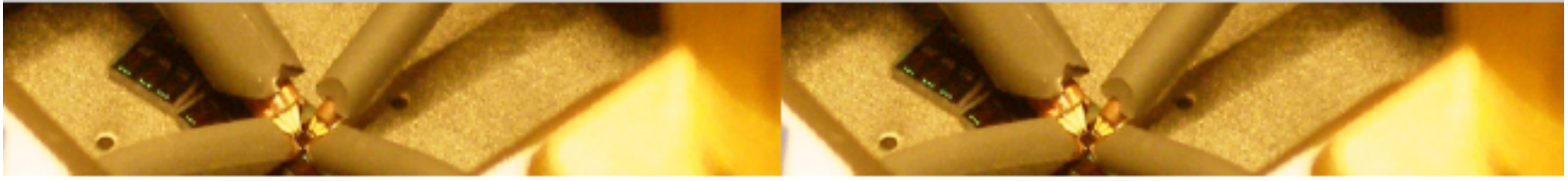


UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

PROGRAMA OFICIAL DE
DOCTORADO EN TECNOLOGÍAS DE TELECOMUNICACIÓN

TESIS DOCTORAL

Aportaciones al diseño de circuitos de wake-up de ultra bajo consumo para redes de sensores inalámbricas

Dailos Badel Ramos Valido

Las Palmas de Gran Canaria

Junio de 2017

D. PEDRO PÉREZ CARBALLO, SECRETARIO DEL INSTUTO UNIVERSITARIO DE MICROELECTRONICA APLICADA DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA,

CERTIFICA,

Que la Comisión Académica del Instituto Universitario de Microelectrónica Aplicada (IUMA), en su sesión de fecha 9 de junio de 2017, tomó el acuerdo de dar el consentimiento para su tramitación, a la tesis doctoral titulada "**Aportaciones al diseño de circuitos de wake-up de ultra bajo consumo para redes de sensores inalámbricas**" presentada por el doctorando D. Dailos Badel Ramos Valido y dirigida por los Doctores D. Francisco Javier del Pino Suárez y D. Sunil Lalchand Khemchandani.

Y para que así conste, y a efectos de lo previsto en el Artº 6 del Reglamento para la elaboración, defensa, tribunal y evaluación de tesis doctorales de la Universidad de Las Palmas de Gran Canaria, firmo la presente en Las Palmas de Gran Canaria, a nueve de junio de dos mil diecisiete.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto: Instituto Universitario de Microelectrónica Aplicada

Programa de doctorado: Programa Oficial de Doctorado en Tecnologías de Telecomunicación

Título de la Tesis

Aportaciones al diseño de circuitos de wake-up de ultra bajo consumo para redes de sensores inalámbricas

Tesis Doctoral presentada por D. Dailos Badel Ramos Valido

Dirigida por el Dr. D. Francisco Javier del Pino Suárez

Codirigida por el Dr. D. Sunil Lalchand Khemchandani

El Director,	**El Codirector,**	**El Doctorando**,
(firma)	(firma)	(firma)

Las Palmas de Gran Canaria, a 12 de junio de 2017.

Agradecimientos

En primer lugar quiero dar gracias a mis directores de tesis el doctor Fº Javier del Pino Suárez y el doctor Sunil Lalchand Khemchandani por su asesoramiento y encauzado en el desarrollo de esta tesis.

A la división del TME donde he trabajado todos estos años, al IUMA por permitirme utilizar sus recursos, al servicio de infraestructuras de red y al servicio de prototipado.

Además a mis compañeros Hugo, Tomasz, Raúl, Rubén, Roberto y Enara. Los proyectandos que he supervisado Emilio, Anderson y Joaquín. A los compañeros de trabajo Javier, Anabella y Judith. A los becarios, proyectandos, amigos y a todas esas personas que he conocido durante todo este trabajo de investigación.

A mi abuela, hermano, sobrinos, ahijada, tíos, primos, suegros, cuñados y a los que ya no se encuentran aquí, pero siempre están ahí.

A Guaci por animarme en todo momento y hacerme reír.

A mis padres, Santiago y Juanita, que son mi apoyo permanente y la base de mi ser.

Gracias.

A mi familia.

Índice

ÍNDICE **11**

ACRÓNIMOS **15**

CAPÍTULO 1 ..... **17**

INTRODUCCIÓN **17**

1.1. REDES DE SENSORES INALÁMBRICAS 18

1.2. EL WUR FRENTE AL DUTY-CYCLE 19

1.3. OBJETIVOS 22

1.4. DIAGRAMA DE BLOQUES DEL NODO PROPUESTO 23

1.5. ESTRUCTURA DE LA MEMORIA 25

CAPÍTULO 2 ..... **27**

ANTECEDENTES **27**

2.1. ESTADO DEL ARTE 27

2.1.1. Detector de envolvente de RF *29*

2.1.2. Filtro adaptado *30*

2.1.3. Heterodino *31*

2.1.4. Sub-muestreo *33*

2.1.5. Frecuencia intermedia incierta *34*

2.1.6. Enganche por inyección *35*

2.1.7. Super-regenerativo *37*

2.2. LÍNEA DE DESARROLLO 38

CAPÍTULO 3 ..... **39**

RECEPTOR DE *WAKE-UP* CON ARQUITECTURA DE DETECTOR DE ENVOLVENTE UTILIZANDO ELEMENTOS DISCRETOS **39**

3.1. WUR CON DETECTOR DE ENVOLVENTE DISCRETO 40

3.2. NODO 48

3.2.1. Bloques del nodo *49*

3.2.1.1. WUR 49

3.2.1.2. Reconocedor de patrón 49

3.2.1.3. Microcontrolador 50

3.2.1.4. Transceptor 51

3.2.1.5. Conmutador de antena 51

3.2.2. Prototipo del nodo *52*

3.2.3. Medidas del nodo *53*

3.2.3.1. Consumo del prototipo 53

3.2.3.2. Distancia del WUR 54

3.2.3.3. Tiempo de vida de batería 55

3.3. RESUMEN 57

CAPÍTULO 4 59

RECEPTOR DE WAKE-UP CON ARQUITECTURA DE DETECTOR DE ENVOLVENTE INTEGRADO EN TECNOLOGÍA CMOS 59

4.1. ESTRUCTURA DEL CAPÍTULO 60

4.2. WUR CON DETECTOR DE ENVOLVENTE 65

4.3. WUR CON TRANSFORMADOR Y DETECTOR DE ENVOLVENTE 74

4.4. WUR CON AMPLIFICADOR CASCODO Y DETECTOR DE ENVOLVENTE 79

4.5. WUR CON AMPLIFICADOR DE BOBINA EXTERNA Y DETECTOR DE ENVOLVENTE 84

4.6. WUR CON AMPLIFICADOR DE BOBINA ACTIVA Y DETECTOR DE ENVOLVENTE 88

4.6.1. Diseño *88*

4.6.2. Medida *92*

4.7. WUR CON ETAPA DE AMPLIFICACIÓN Y FILTRO REALIMENTADOS Y SEGUNDA ETAPA DE AMPLIFICACIÓN CON FILTRADO 98

4.8. WUR CON AMPLIFICADOR DE REUTILIZACIÓN DE CORRIENTE Y ETAPA DE AMPLIFICACIÓN CON FILTRO 104

4.9. RESUMEN 108

CAPÍTULO 5 111

RECEPTOR DE WAKE-UP CON ARQUITECTURA DE FRECUENCIA INTERMEDIA INCIERTA 111

5.1. WUR DE IF INCIERTA 111

5.1.1. Bloques del WUR de IF incierta 112

5.1.1.1. Mezclador y red de adaptación de impedancia 113

5.1.1.2. Amplificador de frecuencia intermedia 116

5.1.1.3. Detector de envolvente diferencial 119

5.1.1.4. Oscilador 121

5.1.2. Diseño completo del WUR de IF incierta 122

5.2. RESUMEN 125

CAPÍTULO 6 127

CONCLUSIONES 127

6.1. CONCLUSIÓN FINAL 133

BIBLIOGRAFÍA 137

PUBLICACIONES 147

Acrónimos

ADC: convertidor analógico-digital (*Analog to Digital Converter*).

BAW: filtro de onda acústica (*Bulk Acustic Wave*).

BCC: canal de comunicación corporal (*Body Channel Communication*).

CMOS: semiconductor complementario de óxido metálico (*Complementary Metal-Oxide-Semiconductor*).

DCO: oscilador controlado digitalmente (*Digital Controlled Oscilator*).

DC: ciclo de trabajo (*Duty-Cycle*).

DiCo: arquitectura de conversión directa (*Direct Conversion*).

FSK: modulación por desplazamiento en frecuencia (*Frecuency Shift Keying*).

IL: arquitectura de enganche por inyección (*Injection-locking*).

LNA: amplificador de bajo ruido (*Low Noise Amplifier*).

MAC: control de acceso al medio (*Media Access Control*).

MF: filtro adaptado (*Matched Filter*).

MICS: estándar de servicio de comunicación de implantes médicos (*Medical Implant Communication Service*).

NMOS: semiconductor de canal negativo de óxido metálico (*Negative-channel Metal-Oxide Semiconductor*).

OOK: modulación digital de amplitud o modulación binaria sencilla (*On-Off Keying*).

PCB: placa de circuito impreso (*Printed Circuit Board*).

RF: radio frecuencia (*Radio Frequency*).

PLL: bucle enganchado en fase (*Phase Locked Loop*).

RFED: detector de envolvente de RF (*Radio Frequency Envelope Detector*).

PMOS: semiconductor de canal positivo de óxido metálico (*Positive-channel Metal-Oxide Semiconductor*).

RSSI: valor indicador de intensidad de la señal recibida (*Received Signal Strenght Indication*).

RX: recepción (*Reception*).

SAW: filtro externo de onda acústica (*Surface Acoustic Wave*).

S&H: muestreo y retención (*Sample and Hold*).

SHR: superheterodino (*Superheterodyne*).

SNR: relación señal/ruido (*Signal-to-Noise Ratio*).

SRO: osciladores super-regenerativos (*Super-Regenerative Oscilator*).

U-IF: frecuencia intermedia incierta (*Uncertain Intermediate Frequency*).

VCO: oscilador controlado por tensión (*Voltage Controller Oscilator*).

WBAN: redes inalámbricas de área corporal (*Wireless Body Area Network*).

WSN: red de sensores inalámbrica (*Wireless Sensor Network*).

WUR: receptor de *wake-up* (*Wake-Up Receiver*).

Capítulo 1

Introducción

Una de las tendencias de los últimos años es la conexión de objetos con la finalidad de conocer el estado del medio en tiempo real y poder actuar en consecuencia instantáneamente o mediante el tratamiento estadístico de los datos. Comúnmente se conocen como redes de sensores y han revolucionado nuestra sociedad desplegándose en entornos como el control industrial, la monitorización de grandes superficies, la lectura remota de contadores, la domótica de los hogares, la industria de defensa, etc. [1]-[3]. Una de las mayores dificultades en las redes de sensores es la autonomía de sus nodos ya que tienen una capacidad energética limitada debido a que normalmente se alimentan por baterías [4]-[5]. Por lo tanto, uno de los temas de tendencia en la actualidad es estudiar y desarrollar estructuras donde el consumo sea el más bajo posible para compensar las

limitaciones de almacenamiento de energía, teniendo en cuenta factores como la lejanía de los nodos o la sensibilidad de los receptores [6]-[7].

1.1. Redes de sensores inalámbricas

El funcionamiento de una red de sensores inalámbricas (WSN, del inglés *Wireless Sensor Networks*) se basa en la utilización de dispositivos de bajo coste y consumo, capaces de obtener información de su entorno, procesarla localmente, y comunicarla a través de enlaces inalámbricos hasta un nodo central de coordinación [8]. Los nodos pueden actuar como elementos de la infraestructura de comunicaciones al reenviar los mensajes transmitidos por nodos más lejanos hacia el centro de coordinación.

Una de las líneas principales de investigación de las redes de sensores se centra en la reducción del consumo de potencia en las comunicaciones entre ellos, donde el transceptor de radio es uno de los mayores consumidores de potencia [9]. El consumo de potencia de un receptor convencional mientras escucha un canal vacío durante un periodo largo de tiempo comparado con el tiempo de transmisión, puede acercarse o incluso exceder al consumo de potencia que se produce durante la transmisión de datos. Para reducir el consumo, las redes de sensores se pueden beneficiar significativamente de la utilización de un receptor inalámbrico de ultra bajo consumo (WUR, del inglés *Wake-Up Receiver*) que asume la responsabilidad de escuchar e identificar la señal asíncrona de despertar el nodo, de forma que el transceptor puede permanecer en modo apagado el resto del tiempo [10].

Existen dos tipos de dispositivos de escucha de bajo consumo. Un circuito *wake-up* básico que simplemente despierta a todos los dispositivos que están dentro de la proximidad de la señal de *wake-up*, o un receptor *wake-up* sofisticado que recibe un comando identificador, despertando sólo el sensor al que va dirigido. Se necesita diferenciar entre la señal *wake-up* y el paquete *wake-up*. La señal *wake-up* es la señal enviada por un módulo despertador que puede ser usada para despertar al sensor a través de una interrupción *wake-up*. El paquete *wake-up* es el paquete de información que dispara la interrupción *wake-up* y además puede contener la dirección y algún comando. Un buen sistema de *wake-up* debería encender únicamente el nodo al que va dirigido, además no debe consumir mucha potencia para decodificar la dirección y leer los comandos [11].

El módulo WUR debería rechazar las señales de *wake-up* falsas, que pueden causar que el sensor se despierte innecesariamente, gastando energía de la batería. En una red de sensores normal, las señales de *wake-up* falsas provenientes de fuentes externas a la red son muy frecuentes. Por lo general, hay una gran cantidad de dispositivos transmitiendo en las inmediaciones de la red, por lo que, se requiere una arquitectura de bajo consumo que sea capaz de filtrar dichas señales falsas de *wake-up* para evitar despertar el sensor innecesariamente [12].

1.2. El WUR frente al duty-cycle

La forma común para ahorrar energía en las redes inalámbricas es utilizar un protocolo de control de acceso al medio (MAC) basado en el ciclo de trabajo (DC, del inglés *duty-cycle*). En el protocolo MAC de ciclo de trabajo (DC-MAC) el receptor cambia periódicamente entre dos estados: estado de escucha y estado dormido. Cuanto menor sea el ciclo de trabajo mayor será el ahorro en el consumo de energía pero mayor será el retardo en la comunicación [13]. En la figura 1.1 se presenta el esquema de este tipo de arquitectura.

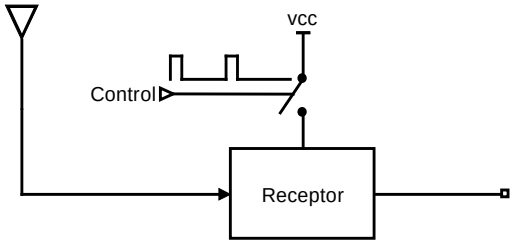


Figura 1.1. Receptor basado en el ciclo de trabajo.

En [14] se define un protocolo MAC genérico basado en receptores WUR (GWR-MAC) en el que tras el proceso de *wake-up* se produce la transmisión de los datos. Este proceso de *wake-up* es bidireccional, es decir, tanto los nodos fuente como los nodos destino pueden enviar la señal de despertar. Para este GWR-MAC se propone un modelo analítico que compara la eficiencia energética de las redes basadas en este protocolo frente a las basadas en el protocolo DC-MAC convencional en función del número de eventos que se produzcan en la red. Cada evento incluye la transmisión de un paquete de datos desde el nodo sensor hacia el nodo central. Este modelo analítico se muestra en la ecuación (1.1) donde E es el consumo de energía de la red en el periodo de tiempo t, ε es el número de

eventos durante este periodo de tiempo, λ es el ciclo de trabajo y β es la probabilidad de error de bit. Como se puede observar, el consumo mínimo de energía del protocolo GWR-MAC ($\min(E(\varepsilon, \Lambda, t, \beta))$) depende del valor del ciclo de trabajo del receptor de *wake-up* (Λ), el cual puede variar entre Λ=(0,1], de forma que un valor de Λ=1 corresponde al caso en que el WUR está escuchando continuamente. Esta expresión implica que la eficiencia energética máxima de una red basada en GWR-MAC frente a una basada en DC-MAC es 1 y nos permite evaluar ambos tipos de redes en función de los parámetros que usemos.

$$\eta(\varepsilon, \lambda, t, \beta) = \frac{\min(E(\varepsilon, \Lambda, t, \beta))}{E(\varepsilon, \lambda, t, \beta)} \tag{1.1}$$

Para estudiar cómo afecta el compromiso entre la sensibilidad y el consumo de potencia del WUR a la eficiencia energética de la red, en la figura 1.2 se muestra una comparativa entre redes GWR-MAC basadas en diferentes WUR frente a una red basada en DC-MAC. En la tabla 1.1 se representan los parámetros de sensibilidad, potencia del transmisor, tasa de datos y consumo para las cuatro radios usadas en la comparación (WUR1, WUR2, WUR3 y DCM1) . Los valores de la sensibilidad y consumo de los receptores de *wake-up* WUR1 y WUR2 son valores típicos encontrados en la literatura, mientras que los del WUR3 se han tomado igual que los de una radio típica usada en un DC-MAC como es el receptor DCM1. En todos los cálculos se ha supuesto que los paquetes de datos son de 255 bytes y que la comunicación está libre de errores (β=0).

En la figura 1.2 se puede observar que las redes basadas en GWR-MAC son mejores que las DC-MAC para el caso en el que tenemos el menor ciclo de trabajo (λ=0,5%) hasta que el número de eventos supera los 13 por hora aproximadamente. Cuando se compara redes DC-MAC con ciclos de trabajo mayores, la ventaja de las redes GWR-MAC frente a las DC-MAC es aún más evidente. Por ejemplo, para λ=3% las redes basadas en WUR son más eficientes para un número de eventos por debajo de 75 por hora.

Tabla 1.1. Parámetros utilizados en diferentes radios para comparar la eficiencia energética [15]

Radio	Sensibilidad (dBm)	Potencia Tx (dBm)	Tasa de datos (kbps)	Consumo	
				Modo Tx (mW)	Modo Rx (mW)
WUR1	-70	0	200	52,2	0,005
WUR2	-80	-10	200	33,9	0,010
WUR3	-95	-25	200	25,5	0,050
DCM1	-95	-25	971	25,5	56

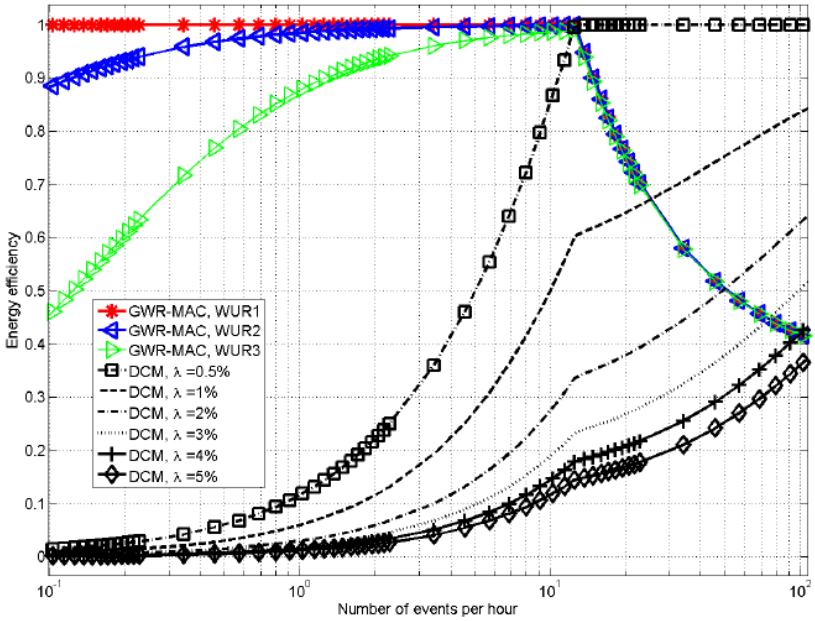


Figura 1.2. Comparación entre la eficiencia energética de redes GWR-MAC basadas en diferentes WUR frente a una red basada en DC-MAC en función del número de eventos por hora [15].

La comparación de los resultados para diferentes WUR muestra que el consumo de potencia de estos receptores tiene efectos importantes sobre la eficiencia energética total. Las redes GWR-MAC basadas en el WUR1, que es el que tiene peor sensibilidad, aunque con un consumo menor, tienen mayor eficiencia energética incluso cuando demandan de mayores potencias en el transmisor. El WUR3 es el que mayor consumo de recepción tiene, lo cual hace que sea el que peor eficiencia tenga cuando el número de eventos es muy bajo. Esta observación remarca la importancia de minimizar el consumo de potencia en los WUR. Cuando el número de eventos aumenta por encima de diez por hora, la energía consumida en la comunicación de datos empieza a dominar en el consumo de energía de toda la red de forma que la diferencia entre la eficiencia energética de las redes basadas en WUR deja de ser apreciable. Se puede concluir que las redes basadas en WUR son significativamente más

eficientes que las que se basan en el ciclo de trabajo sobre todo cuando la frecuencia de los eventos es baja.

1.3. Objetivos

La presente tesis se enmarca dentro del proyecto de investigación denominado CERES-BACO (Circuitos Electrónicos para Redes Inalámbricas Sensoriales de Ultra Bajo Consumo) TEC2011-28724-C03-02.

El principal objetivo de esta tesis es el estudio y diseño de circuitos de receptores *wake-up* de bajo consumo en la banda de 868 MHz. Primero se diseñará un receptor utilizando circuitos discretos para luego pasar al diseño de receptores con circuitos integrados desarrollados en una tecnología de bajo coste, en particular la tecnología de UMC 65 nm 1P8M1U0F, que se caracteriza por tener transistores MOS con bajas pérdidas de energía [16]. Para llevarlo a cabo se realiza el estudio y la elección de las arquitecturas de receptores, el establecimiento de las especificaciones de cada bloque, el diseño de los circuitos, así como en su caso la medida de los mismos. Los principales esfuerzos se centran en minimizar el consumo, el área, el número de componentes integrados y el de componentes externos.

En el desarrollo del presente trabajo de investigación se van a analizar:

- El establecimiento de las especificaciones de cada elemento de un sistema de forma justificada a partir de las simulaciones de sistema.
- El estudio teórico y diseño de amplificadores, mezcladores, osciladores, amplificadores de baja frecuencia, así como filtros.
- El trazado de *layout* de dichos elementos utilizando técnicas de diseño de circuitos integrados analógicos y de radiofrecuencia.
- La medida de circuitos.

1.4. Diagrama de bloques del nodo propuesto

En este trabajo de tesis se propone el diseño y prototipo de un nodo sensor que trabaja en la banda de 868 MHz [17] con una señal modulada en *On-Off Keying* (OOK) [18]. En la figura 1.3.a) se observa el diagrama de bloques del nodo propuesto. La figura 1.3.b) representa diferentes señales en distintos puntos del nodo, donde la señal 'A' corresponde a la señal a la entrada del WUR correspondiente a la OOK, y la señal 'B' es la envolvente de la señal OOK donde se encuentra la dirección del nodo que se va a descodificar en el siguiente bloque que es el reconocedor de patrón.

El nodo tiene dos caminos desde la antena, uno para el procesado de la señal de *wake-up* y otro para la comunicación con los demás nodos utilizando la radio convencional. El conmutador o *switch* de antena situado justo detrás de la misma es el encargado de activar el camino que se selecciona. Este conmutador se controla a través de un puerto de salida de un microcontrolador.

Antes de entrar en el modo de bajo consumo, el microcontrolador establece el conmutador para que todas las señales entrantes fluyan a la parte de procesado de la señal de *wake-up*. A la salida del WUR, sólo permanece la envolvente de la señal y entra al reconocedor de patrón que trabaja en la banda de 15 a 150 kHz. El módulo WUR compone la parte de diseño de este trabajo de tesis al que se denomina receptor de *wake-up*.

En caso de que la señal de *wake-up* sea válida y la correlación sea correcta, el reconocedor de patrón o correlador interrumpe al microcontrolador desde su modo inactivo [19]. Al entrar en modo activo, el microcontrolador cambia el conmutador de antena y puede establecer la comunicación normal con el resto de los nodos utilizando una radio convencional.

La generación de la señal de *wake-up* se hace a partir de una señal de baja frecuencia (0,5-4 kbps) la cual es modulada con una portadora de alta frecuencia (15-150 kHz). Al mismo tiempo, y para utilizar la misma antena que la radio principal, esta señal es modulada con una portadora de 868 MHz.

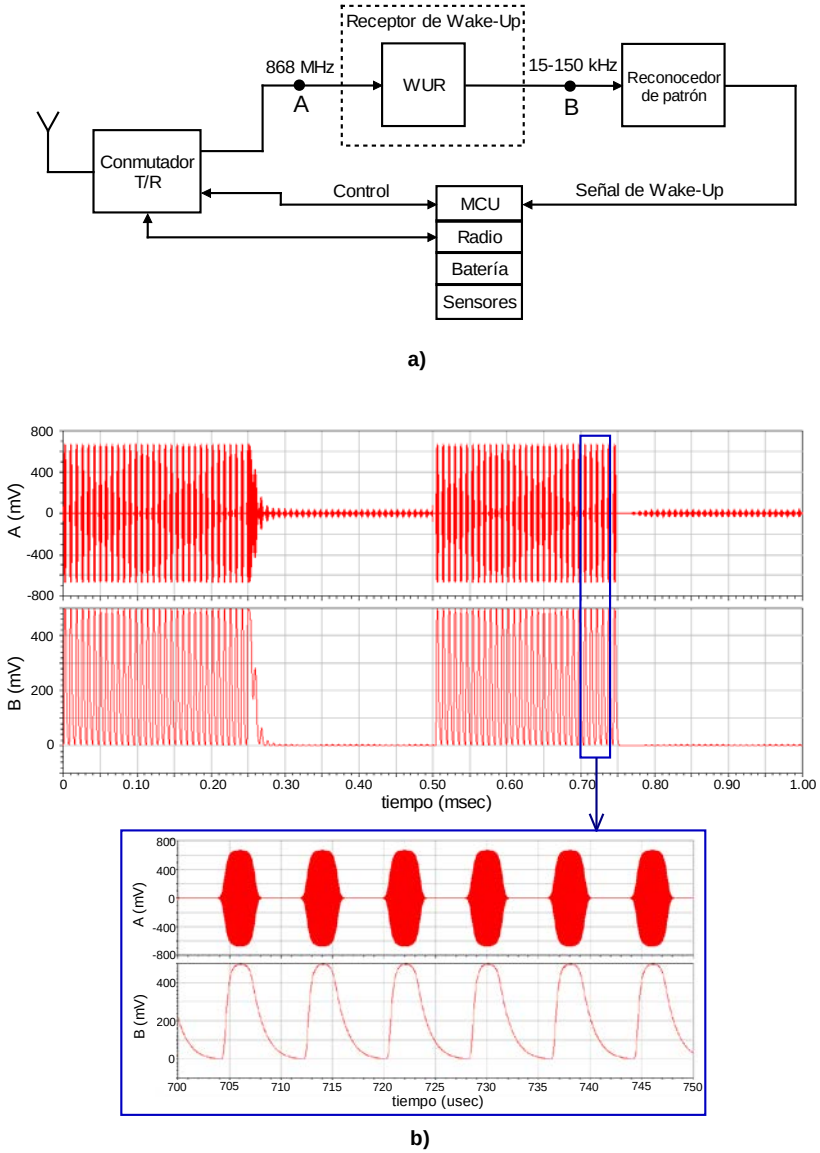


Figura 1.3. Nodo propuesto: a) estructura, b) señales.

De esta manera, con el esquema del nodo propuesto se puede utilizar como reconocedor de patrón un receptor de *wake-up* de bajo costo y consumo, por ejemplo, el circuito integrado AS3933 que funciona en 125 kHz. Con este esquema se puede aprovechar las características de propagación de ondas de alta frecuencia y el bajo consumo de corriente de la circuitería de baja frecuencia.

1.5. Estructura de la memoria

La estructura de este trabajo de tesis se indica a continuación.

En el presente capítulo se han presentado las redes de sensores inalámbricas exponiendo las necesidades actuales, así como las ventajas de utilizarlas. Para ello se han comparado los protocolos MAC basados en el ciclo de trabajo respecto a los WUR exponiendo la problemática de ambas y las mejoras en utilizar los WUR. También se enumeran los objetivos de este trabajo de investigación donde se especifica la tecnología integrada que se va a utilizar. Finalmente se describe el diagrama de bloques del nodo que se va a realizar donde se detalla el bloque del WUR.

En el capítulo 2 se presenta el estado del arte en cuanto a receptores de *wake-up* con las diferentes topologías utilizadas en la literatura dando datos sobre los resultados a las que han llegado los autores. Teniendo en cuenta estos resultados, se seleccionan las arquitecturas con las que se va a trabajar.

Seguidamente, en el capítulo 3 se realiza el diseño de un WUR con arquitectura de detector de envolvente realizado con componentes discretos. El diseño de este receptor se ha llevado a cabo mediante simulaciones, para posteriormente verificarse con medidas. También se verifica un nodo completo que incluye una antena, el WUR diseñado, el reconocedor de patrón y el microcontrolador de bajo consumo.

En el capítulo 4 se presentan diseños basados en detectores de envolvente integrados implementados con la tecnología UMC 65nm. Se comienza el capítulo con un primer diseño basado en un detector de envolvente simple. La segunda estructura presentada se basa en la utilización de un transformador antes del detector de envolvente con objeto de aumentar la sensibilidad sin comprometer para ello el consumo. El siguiente diseño sustituye el transformador por un amplificador activo basado en una topología convencional tipo cascodo con carga en forma de circuito tanque y con adaptación de impedancia de entrada de banda estrecha. Gracias a la utilización de estos elementos se mejora la sensibilidad del conjunto ya que aumenta la señal que entra al detector de envolvente a la vez que se minimizan las interferencias que se cuelan en el mismo. El principal inconveniente de utilizar un amplificador a la entrada es el aumento del consumo y, por ello, los siguientes

diseños buscan una reducción del mismo siguiendo diferentes estrategias. Así, se presentan dos alternativas consistentes en sustituir la bobina integrada del tanque por una bobina externa o por una bobina integrada activa. En ambos casos el factor de calidad de las bobinas utilizadas es mayor que el de las bobinas integradas convencionales y, por tanto, se mejora la respuesta del circuito. Otra alternativa consiste en la utilización de otras topologías para el amplificador diferentes a la convencional tipo cascodo. Así, se presenta un primer diseño basado en un amplificador realimentado de bajo consumo, para posteriormente sustituirlo por un amplificador con reutilización de corriente que consigue una ganancia elevada con un consumo bajo respecto a los anteriores.

El capítulo 5 recoge todos los detalles del diseño de un receptor con arquitectura de frecuencia intermedia incierta. En esta arquitectura se utiliza un mezclador para bajar en frecuencia la señal modulada recibida. Seguidamente hay un bloque amplificador de frecuencia intermedia y, por último, un detector de envolvente. Al llevar a cabo la amplificación a menor frecuencia, el consumo es menor. Sin embargo, el proceso de mezcla implica un aumento del consumo, sobre todo debido al oscilador local necesario. Por ello, en lugar de usar un oscilador enganchado en un bucle de enganche de fase (PLL) se utiliza un oscilador en oscilación libre. La incertidumbre en la frecuencia intermedia que se obtiene como consecuencia de este oscilador debe ser compensada por el resto de elementos del receptor.

Para finalizar, en el capítulo 6 se extraen las principales conclusiones de la tesis donde se hace una presentación de las arquitecturas estudiadas exponiendo los pros y los contras de cada una de ellas, así como la comparación con los resultados del estado del arte. También se aportan las líneas futuras abiertas en la investigación.

Capítulo 2

Antecedentes

Los receptores convencionales publicados en los últimos años se basan mayoritariamente en topologías de conversión directa Zero-IF y Low-IF. Sin embargo, no ocurre lo mismo para los receptores de *wake-up,* donde se pueden encontrar en la literatura una gran variedad de arquitecturas. En este capítulo se va a exponer el estado del arte de los receptores de *wake-up*.

2.1. Estado del arte

Un WUR típico es un receptor con una radio muy simple de muy bajo consumo de potencia, que está integrado en los nodos de las redes de sensores. El WUR escucha el canal de radio constantemente y se encarga de despertar al microcontrolador principal del nodo una vez que se detecta una señal de *wake-up* correcta. Cuando ocurre esto, el transceptor

principal puede realizar una comunicación normal. El conjunto de elementos de mayor consumo son el microcontrolador y el transceptor de RF por lo que, cuando no se necesitan, se dejan en estado dormido de forma que su consumo es prácticamente nulo. Una ventaja importante al utilizar un WUR es el ahorro de energía ya que sólo se utiliza el transceptor de alto consumo el tiempo necesario. El inconveniente es el incremento de la complejidad, el área ocupada y el coste en el nodo.

Los avances en el diseño de receptores de *wake-up* en las últimas décadas permiten vaticinar que en un futuro cercano este tipo de circuitos se pueden convertir en un elemento fundamental para diversas aplicaciones comerciales. El consumo de potencia de los diseños en el estado del arte es realmente muy prometedor estando por debajo de los 100 µW [20], es decir, unas 100 veces menos que el consumo de un transceptor de RF comercial típico. Algunas de las investigaciones en prototipos incluso están por debajo de los 10 µW y son capaces de estar años en constante escucha del canal siendo alimentados por una pila tipo botón [21]. Debido a su baja potencia nominal, la sensibilidad del WUR típicamente es más baja que en un transceptor de RF, por lo que se requiere que el transmisor de la señal de *wake-up* consuma mayor potencia para llegar a la misma distancia que el transceptor de RF.

En este apartado hemos dividido las arquitecturas de WUR en base a cómo funciona el cabezal antes del procesado de banda base. Las diferentes estructuras que nos podemos encontrar son las siguientes:

- Detector de envolvente de RF (RFED)
- Filtro adaptado (MF)
- Heterodino (HR)
- Sub-muestreo
- Frecuencia intermedia incierta (UIF)
- Enganche por inyección (IL)
- Oscilador super-regenerativo (SRO)

En los siguientes apartados presentaremos cada una de estas arquitecturas y las compararemos entre sí, prestando especial atención al consumo de potencia y a la sensibilidad [15].

2.1.1. Detector de envolvente de RF

Los receptores basados en detectores de envolvente de RF (RFED, del inglés *Radio Frequency Envelope Detector*) convierten directamente a banda-base la envolvente de la señal de entrada, evitando el uso de mezcladores y osciladores locales para la conversión en frecuencia [22]-[26]. La figura 2.1 muestra la arquitectura RFED, donde la primera etapa es un filtro paso-banda cuyo ancho de banda se debe ajustar al ancho de banda de la señal de *wake-up*. De esta forma, se minimiza el ruido que le entra al detector de envolvente ya que a éste sólo le entrará la señal de *wake-up*. La segunda etapa es un rectificador al que le entra la señal de RF y esta es rectificada. Este bloque está seguido de una etapa de filtrado paso-bajo, de la cual se obtiene a su salida la envolvente de la señal. Este tipo de receptor es el más sencillo para la reducción del consumo de potencia, por lo que el número de WUR con RFED encontrados en la literatura es mucho mayor que el de otras arquitecturas. El problema que presenta esta arquitectura es que la sensibilidad no suele ser muy elevada si se utilizan elementos pasivos.

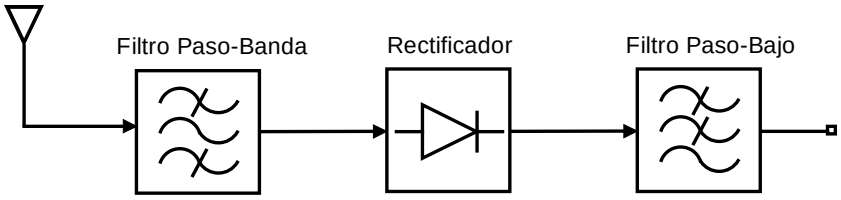


Figura 2.1. Arquitectura de receptor de detector de envolvente RF.

La referencia [27] propone un WUR que emplea un filtro externo de onda acústica (SAW) junto con la red de adaptación de impedancias para minimizar las interferencias. Después de la detección de envolvente se utiliza una unidad de correlación analógica de bajo consumo con el fin de mejorar la relación señal a ruido (SNR). La unidad de correlación se utiliza para obtener el código de la señal de *wake-up* que tiene 64 bits. La correlación se hace después de un filtro paso-bajo y un amplificador de banda-base. Con este diseño se obtiene una sensibilidad de -71 dBm y un consumo de potencia de 2,4 µW.

En [28] el WUR utiliza técnicas de doble muestreo para minimizar el ruido. Después de la detección de envolvente, la señal se pasa a una frecuencia más baja de 10 MHz en vez de pasar a DC para mantener la señal lejos de la región de ruido 1/f. Seguidamente la señal es amplificada y muestreada a banda base al mismo tiempo que el ruido 1/f es eliminado mediante su conversión a frecuencias más altas y filtrado. Esto permite reducir la densidad espectral de potencia del ruido. El consumo de potencia de este receptor es de 51 µW y la sensibilidad es de -75 dBm.

La referencia [29] propone un WUR donde la señal analógica se convierte a digital con un conversor sigma-delta de tiempo continuo, el cual sobremuestrea las señales del receptor para mejorar la relación señal a ruido y reducir la probabilidad de falsos *wake-up*. La señal digital pasa a través de un filtro de diezmado que dispara la señal de *wake-up*. El WUR puede funcionar en dos frecuencias distintas, 2,4 GHz o 5,8 GHz. La sensibilidad de este WUR es de -65 dBm para 2,4 GHz y -50 dBm para 5,8 GHz. El consumo de este receptor es de 10 µW.

2.1.2. Filtro adaptado

Una de las principales dificultades en los receptores basados en la cantidad de potencia de la señal recibida son las interferencias dentro de la banda. Para solucionar este problema, se suelen utilizar técnicas de espectro ensanchado en las que la señal es expandida en el dominio de la frecuencia de forma que se hace más resistente frente a las interferencias.

Las arquitecturas de receptores de filtro adaptado (MF, del inglés *Matched Filter*) se basan en usar señales de *wake-up* expandidas en el dominio de la frecuencia que, una vez filtradas en el receptor mediante un filtro adaptado, permiten minimizar el efecto de las interferencias. La figura 2.2 muestra el diagrama de bloques de una arquitectura MF típica.

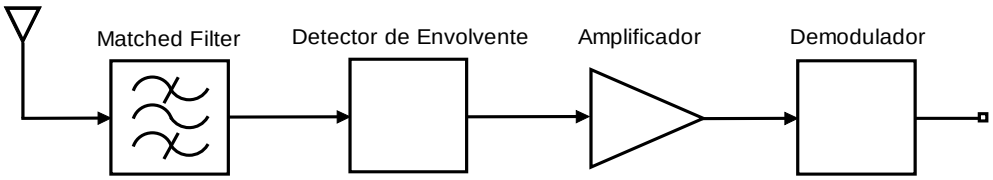


Figura 2.2. Arquitectura de receptor de filtro adaptado.

El WUR diseñado en [30] emplea un filtro SAW para dejar pasar una señal de *wake-up* expandida en el dominio de la frecuencia mediante un código Baker de 11 chips. Después de ser filtrada, la señal pasa por un detector de envolvente para posteriormente ser amplificada y demodulada. El receptor propuesto fue implementado utilizando componentes discretos y la sensibilidad que se obtiene es de -60 dBm con un consumo de potencia de 99 µW.

2.1.3. Heterodino

Otra arquitectura para realizar un WUR es utilizar un receptor heterodino (HR, del inglés *Heterodyne Receiver*). La arquitectura básica del receptor heterodino consta de un amplificador de bajo ruido al inicio de la cadena, seguido de uno o dos mezcladores. Obviamente serán necesarios tantos sintetizadores de frecuencia como el número de mezcladores usados. La frecuencia intermedia resultante de la salida de las etapas mezcladoras se lleva a un amplificador y posteriormente se pasa por un convertidor analógico-digital (ADC).

En la figura 2.3.a) se muestra la arquitectura de un receptor superheterodino que dispone de dos etapas mezcladoras. La figura 2.3.b) muestra el receptor homodino que dispone solo de una conversión de frecuencia.

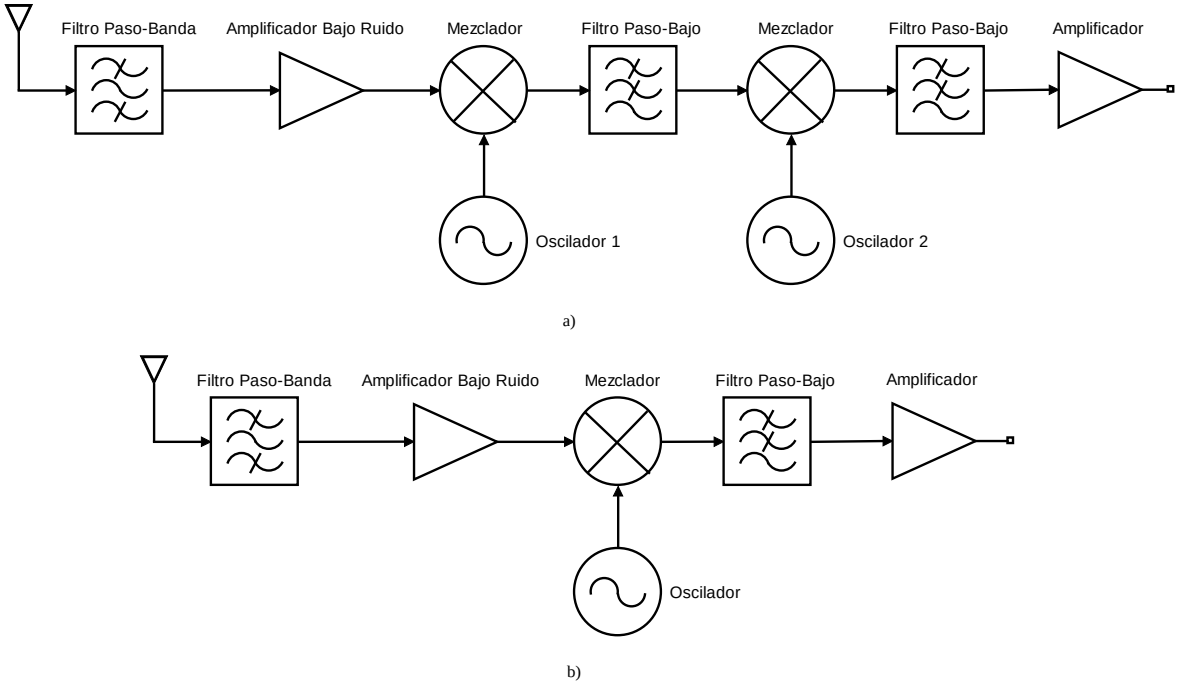


Figura 2.3. Arquitectura de receptor heterodino: a) superheterodino, b) homodino.

La arquitectura superheterodina dispone de buenas características de sensibilidad, pero su principal inconveniente es el excesivo consumo de potencia que está sobre los mW, significativamente mucho mayor que el de las otras opciones [31]. Los principales elementos que contribuyen a aumentar el consumo de este tipo de arquitecturas son los sintetizadores de frecuencias, los cuales son necesarios para generar las frecuencias de los osciladores locales con la precisión y estabilidad adecuadas. Este tipo de circuitos se basan en bucles enganchados en fase (PLL, del inglés *Phase-Locked Loops*) que requieren de un número elevado de componentes con un consumo considerable.

Respecto a las arquitecturas de conversión directa u homodinas, podemos tener dos opciones: receptores de frecuencia intermedia cero (Zero-IF) y receptores de baja frecuencia intermedia (Low-IF). La arquitectura Zero-IF no se suele utilizar para el desarrollo de receptores de *wake-up,* principalmente por los problemas de ruido *flicker* y *offset* de continua asociados a este tipo de topologías. Por lo general se suelen utilizar arquitecturas tipo Low-IF. Por ejemplo, en [32] la señal se traslada desde 925 MHz a una frecuencia de 1 MHz mediante el uso de un mezclador pasivo y un PLL basado en un oscilador en anillo que genera la señal del oscilador local. Una vez en frecuencia intermedia, la señal es amplificada y rectificada. Este receptor tiene un consumo de 44,2 µW y una sensibilidad de -87 dBm.

Sin embargo, este receptor sólo se usa para detectar la primera parte de la señal de *wake-up*. Si se comprueba que la señal tiene la longitud correcta, entonces se utiliza un segundo receptor de mayor consumo para sacar la segunda parte de la señal de *wake-up*. Este segundo receptor consta de un LNA, un mezclador, un oscilador de bajo ruido funcionando en *free-running*, un filtro paso-banda, un limitador y un *buffer* seguido de una FPGA, la cual hace la demodulación. El consumo de este receptor es de 1,3 mW, lo cual incrementa notablemente el consumo total de esta propuesta.

2.1.4. Sub-muestreo

Existe otra arquitectura que se asemeja mucho a un receptor heterodino, pero a diferencia de este, no hace uso de mezcladores, sino que en su lugar usa circuitos de muestreo y retención (S/H) [33]. En este caso la bajada en frecuencia se realiza muestreando la señal de RF.

La figura 2.4 representa el diagrama de bloques de un WUR basado en submuestreo. La señal de entrada, tras ser filtrada es convertida a una frecuencia intermedia donde se necesita consumir menos potencia para amplificarla que en RF. Esta conversión es llevada a cabo mediante un circuito de muestreo y retención. Posteriormente, la señal pasa por un detector de envolvente y un amplificador para, finalmente, ser filtrada por un filtro paso-bajo.

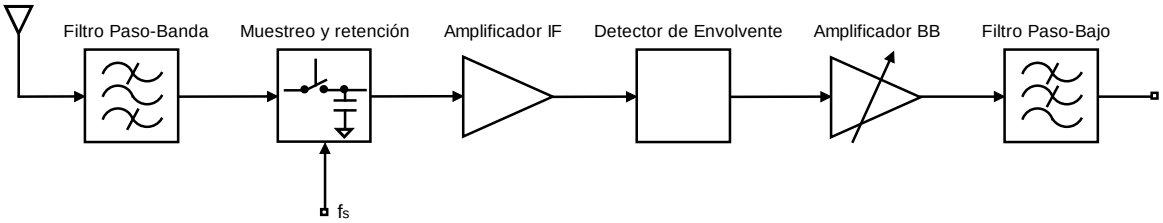


Figura 2.4. Arquitectura de receptor de sub-muestreo.

En [34] se presenta una implementación de esta arquitectura basada en un circuito de muestreo y retención diferencial con una frecuencia de muestreo de 136 MHz y 27,5 dB de figura de ruido (NF) combinado con un amplificador de IF. Primero, la señal de entrada se traslada desde la frecuencia de RF (915 MHz) a la frecuencia de IF (37 MHz). Seguidamente, la salida del S&H pasa a un amplificador IF multietapa, después del cual se detecta la envolvente y se convierte a digital. Una circuitería digital que se encuentra dentro del chip

detecta el código correcto de la señal de *wake-up*. El receptor funciona para distintas tasas de datos, correspondiendo para una tasa de datos de 10 kbps un consumo de 16 µW y para una tasa de datos de 200 kbps un consumo de 22 µW. Aunque el circuito de S&H tiene una figura de ruido alta, los autores reportan unas sensibilidades de -78 dBm y -75 dBm para 10 kbps y 200 kbps respectivamente.

2.1.5. Frecuencia intermedia incierta

Otro tipo de arquitectura empleada en el diseño de WUR es la de frecuencia intermedia incierta (UIF, del inglés *Uncertain-IF*). El principal problema de las arquitecturas que tienen asociado un oscilador local es el consumo ya que, para tener una frecuencia fija y estable, por lo general se utiliza un bucle de enganche de fase. Con esta arquitectura se resuelve el problema de tener un oscilador estable.

La diferencia entre un receptor heterodino convencional y uno de frecuencia intermedia incierta es que en este caso la frecuencia intermedia no es fija, sino que puede variar dentro de un rango definido por un oscilador sin bucle de enganche. A pesar de tener una IF variable, esta arquitectura presenta más ventajas que inconvenientes. En primer lugar, se consigue reducir notablemente el consumo en el oscilador local ya que no tiene bucle de enganche. Por otro lado, amplificar la señal en baja frecuencia también reduce de forma significativa el consumo y mejora el rendimiento de todo el receptor.

En la figura 2.5 se puede ver la arquitectura de este receptor. En esencia, esta arquitectura es muy similar a la del receptor heterodino. Consta de unos resonadores con un alto factor de calidad para el filtrado de la entrada, un mezclador, un oscilador local sin bucle de enganche, un amplificador de IF y un detector de envolvente. El ancho de banda del amplificador de IF tras la etapa mezcladora debe de estar dentro del rango de variación del oscilador local.

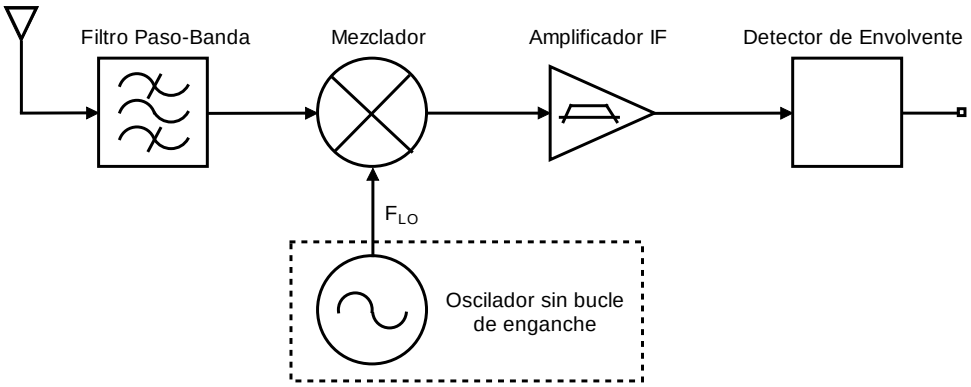


Figura 2.5. Arquitectura del receptor de frecuencia intermedia incierta.

El receptor empleado en [35] utiliza un filtro de onda acústica (BAW) a la entrada para hacer el WUR más robusto frente a interferencias. El oscilador se basa en un oscilador en anillo en *free-running* que está calibrado para funcionar entre 1,9 y 2,1 GHz. El mezclador traslada la frecuencia de 2 GHz de RF modulada en OOK a una frecuencia intermedia que se encuentra comprendida entre 1 MHz y 101 MHz. La etapa de amplificación de IF de banda ancha se utiliza para amplificar la señal antes del detector de envolvente que convierte la señal de IF a banda-base. La sensibilidad del sistema es de -72 dBm con una potencia consumida de 52 µW.

Otra opción es combinar las estructuras U-IF y sub-muestreo como se ve en [36]. El sub-muestreo se utiliza para pasar hacia una frecuencia más baja sin la necesidad de utilizar un mezclador y un oscilador que funcione a alta frecuencia. Con el sub-muestreo, la frecuencia del oscilador es significativamente más baja, estando en torno a 200 MHz para una frecuencia de RF de 915 MHz. Utiliza un oscilador en anillo para generar la frecuencia del oscilador local, el cual puede variar su frecuencia central dependiendo de factores como puede ser la temperatura o la tensión de alimentación, creando una frecuencia intermedia incierta. La estructura emplea un amplificador para la frecuencia intermedia seguido de un detector de envolvente para trasladar la señal a banda-base. La sensibilidad de este WUR es de -72 dBm con un consumo de potencia de 28 µW.

2.1.6. Enganche por inyección

La arquitectura de enganche por inyección (IL, del inglés *Injection Locking*) utiliza típicamente una señal modulada por desplazamiento de frecuencia (FSK, del inglés

Frequency Shift Keying). Esta arquitectura se basa en el uso de un oscilador a la entrada del receptor de forma que si la frecuencia de la portadora recibida está cerca de la frecuencia natural del oscilador, se produce un acoplamiento entre ellas y, por lo tanto, a la salida tenemos una única frecuencia. A este efecto se lo denomina enganche por inyección o *injection locking*. Por el contrario, si la frecuencia de la portadora no está lo suficientemente cerca de la frecuencia del oscilador, entonces ocurre el efecto de *injection pulling*, es decir, el oscilador es simplemente perturbado por la señal recibida pero no la captura, apareciendo a la salida las dos frecuencias. En la figura 2.6 se muestra un ejemplo de este tipo de arquitectura.

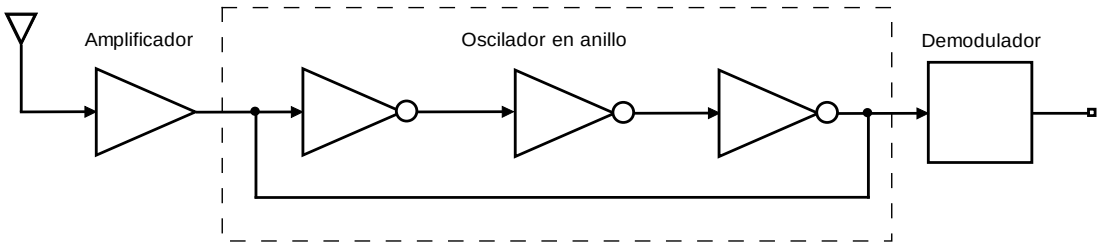


Figura 2.6. Arquitectura del receptor de enganche por inyección.

En la referencia [37] se introduce un receptor basado en una arquitectura de IL. El receptor funciona en la banda *Body Channel Communication* (BCC) de 80 MHz. El WUR se engancha cuando la frecuencia recibida está cerca de los 80 MHz y se rechaza cuando se recibe una señal de 72 MHz. La salida del oscilador se introduce a un detector de envolvente para posteriormente ser amplificada y demodulada en banda-base. El circuito se ha fabricado en un chip de 1 mm^2 sin ningún componente externo. El consumo de potencia es de 45 µW con una sensibilidad de -62 dBm.

El WUR utilizado en [38] se basa en un oscilador en anillo para una frecuencia intermedia en la banda BCC de 45 MHz. El oscilador en anillo se engancha con una señal de entrada modulada en FSK, la cual es demodulada directamente por un demodulador basado en un PLL. Se utiliza una calibración de frecuencia automática para ajustar la desviación de frecuencia que se produce por la variación de la temperatura. El consumo de potencia es 37,5 µW y la sensibilidad de -62,7 dBm.

El trabajo propuesto en [39] utiliza el estándar *Medical Implant Communication Service* (MICS). La estructura traslada la señal hacia la banda de 1,5 MHz. Esta se basa en

un oscilador en anillo de nueve etapas. El demodulador FSK es digital y está compuesto por un comparador y dos contadores. La salida IF alimenta a un primer contador y la longitud de cada periodo la mide un segundo contador. El consumo de este receptor es 38 µW y la sensibilidad de -75 dBm.

2.1.7. Super-regenerativo

El WUR super-regenerativo se basa en un oscilador super-regenerativo (SRO, del inglés *Super-Regenerative Oscillator*) que cambia periódicamente entre un estado estable y un estado inestable por una señal con una frecuencia más baja que la portadora de la señal de RF [40]-[42]. El tiempo de comienzo de la oscilación depende de la potencia de la señal del receptor. En la figura 2.7 se muestra el diagrama de bloque de esta arquitectura.

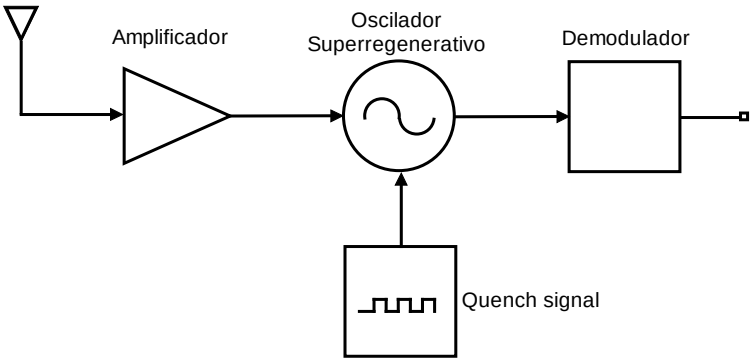


Figura 2.7. Arquitectura del receptor super-regenerativo.

El receptor de bajo consumo propuesto en [43] utiliza un resonador BAW, para generar la frecuencia de referencia del detector, reduciendo el consumo de potencia y aumentando la selectividad. El WUR dispone de un amplificador que aísla la salida respecto a la entrada para prevenir la realimentación a través del SRO al canal de radio. El amplificador y el detector de oscilación comparten la corriente de polarización para reducir el consumo de potencia, ya que estos dos bloques consumen la mayoría de la potencia del receptor. La envolvente se detecta con un filtro no-lineal. La sensibilidad es de -100,5 dBm con un consumo de potencia de 400 µW.

2.2. Línea de desarrollo

Centrándonos en el trabajo de investigación que se va a realizar y vistas las distintas arquitecturas típicas que se utilizan en la bibliografía para realizar receptores de *wake-up*, vamos a definir las líneas a seguir.

Puesto que la arquitectura de detector de envolvente es muy utilizada para la implementación de WUR debido a su reducido consumo, vamos a comenzar realizando un primer diseño con esta estructura. Para ello se realizará un diseño con componentes discretos comprobando las limitaciones de esta arquitectura cuando se utilizan componentes convencionales. En una segunda fase se propone pasar a una versión integrada utilizando una tecnología CMOS nanométrica. El objetivo es comprobar si se llegan a resultados similares a la versión discreta y, sobre todo, reducir el área. Sobre un primer diseño, se estudiarán diferentes alternativas para mejorar sus prestaciones como, por ejemplo, mediante la incorporación de amplificadores, filtros, etc. [44]. También se han utilizado amplificadores realimentados con los cuales se mejora la sensibilidad para el mismo consumo de potencia.

La arquitectura de frecuencia intermedia incierta es una arquitectura interesante, que promete una buena sensibilidad con consumos menores respecto a las arquitecturas superheterodina u homodina convencionales gracias a la utilización de un oscilador en *free-running*. Por lo tanto, se decide realizar un diseño con esta arquitectura para comprobar sus mejoras.

Capítulo 3

Receptor de *wake-up* con arquitectura de detector de envolvente utilizando elementos discretos

Este capítulo comprende la estructura de un receptor realizado con componentes discretos [45]. La estructura se basa en la arquitectura RFED compuesta por un filtrado a altas frecuencias a la entrada, un rectificador y un filtrado a baja frecuencia. Los componentes utilizados son componentes comerciales tales como condensadores, bobinas, resistencias y diodos. Seguidamente se exponen tanto el esquemático, como las simulaciones y medidas de sensibilidad y consumo de este diseño. También se estudia un nodo completo realizando medidas de consumo, distancia o tiempo de vida de una batería.

3.1. WUR con detector de envolvente discreto

El receptor WUR más básico que se va a estudiar se basa en un detector de envolvente de RF donde todos sus componentes son discretos. En la figura 3.1 se aprecian los bloques que conforman el WUR, en el cual hay una etapa de adaptación de impedancia que hace la función de filtro paso-banda, un rectificador compuesto por dos diodos y finalmente un filtro paso-bajo.

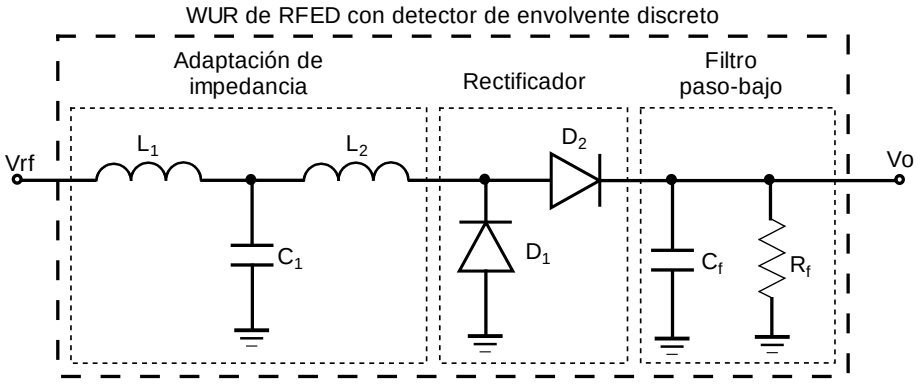


Figura 3.1. Arquitectura del WUR con detector de envolvente discreto.

El bloque del rectificador ha realizado utilizando diodos Schottky ya que se caracterizan por su alta velocidad de conmutación [46]. Además, se diferencia de los diodos convencionales de silicio porque tienen una tensión umbral muy baja, siendo estas características ideales para aplicaciones de alta frecuencia y bajo consumo. En este caso se ha elegido el diodo Schottky HSMS-285X de Avago que funciona para aplicaciones por debajo de 1,5 GHz y detecta señales por debajo de -20 dBm [47].

Para comprobar el correcto funcionamiento se simula el rectificador y el filtro paso-bajo con una señal de entrada OOK. El filtro paso-bajo consta de un condensador C_f y una resistencia R_f en paralelo cuya función de transferencia viene dada por la ecuación (3.1), donde f_{mod} es la frecuencia de la señal modulada.

$$R_f C_f = \frac{1}{2\pi f_{mod}} \tag{3.1}$$

La adaptación de impedancia de entrada se realiza a 50 Ω que es la impedancia de la antena de RF [48]. Para ello se pone una carga de este valor en la entrada y se hace un análisis

de parámetros S a la frecuencia de la portadora (868 MHz). Con ello se obtiene la impedancia que tiene el circuito y posteriormente se adapta a 50 Ω. Para la adaptación de impedancia a la entrada se añade una red de adaptación entre la fuente y el circuito, normalmente tipo L-C, para que tenga la impedancia que se busca, como muestra la figura 3.2 [49].

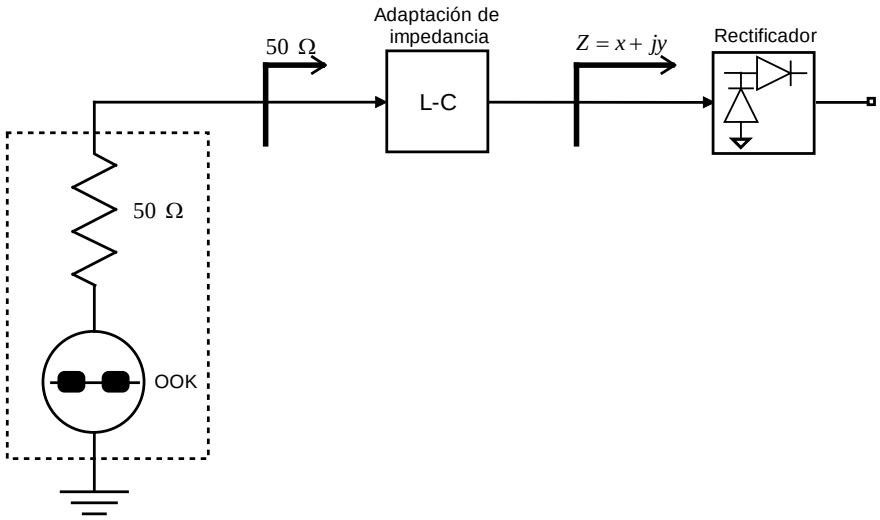


Figura 3.2. Esquema de adaptación de impedancia.

Las simulaciones se han realizado con la herramienta Advanced Design System [50]. Los resultados de la simulación y el análisis de los parámetros S, se observan en la figura 3.3. En la carta de Smith se observa el parámetro S(1,1) donde se alcanza el centro de la carta cuando la adaptación de impedancias es igual a 50 Ω. La gráfica de frecuencia frente a dBm simboliza que la menor reflexión se da en la frecuencia de 868 MHz.

Las especificaciones del diseño parten de que la sensibilidad mínima del reconocedor de patrón (AS3933) es de 80 μV_{rms}, o lo que es lo mismo 113,15 μV_p ($V_{rms}=V_p \times 0{,}707$). En la simulación transitoria de la figura 3.4 se le introduce a la entrada una modulación OOK de 2 mV_{pp} (-50 dBm) [51]. La señal en la salida del WUR alcanza 127 μV_p, por encima y muy próximo a los 113,15 μV_p de sensibilidad mínima del AS3933.

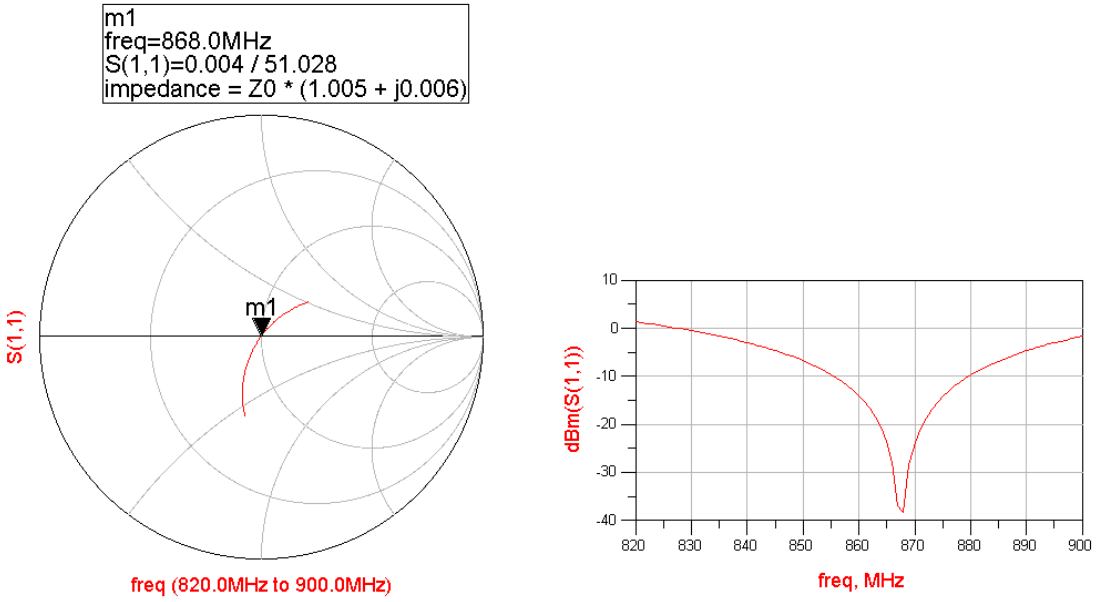


Figura 3.3. **Simulación de la adaptación de impedancia del detector de envolvente discreto.**

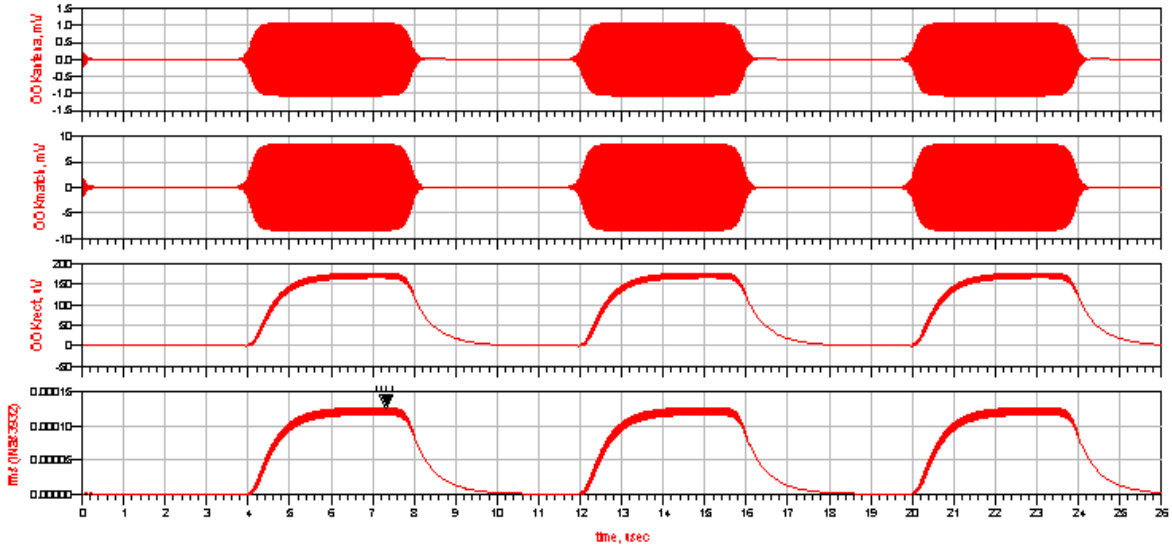


Figura 3.4. **Simulación de la potencia mínima en la OOK para obtener la sensibilidad del circuito.**

El siguiente paso es diseñar una PCB ya que es necesaria para poder ensamblar los componentes discretos y posteriormente realizar la medida del diseño. Existen multitud de sustratos diferentes para realizar una PCB, por lo que se han estudiado los posibles sustratos de entre los fabricantes más conocidos, tales como son Isola, Rogers Corporation, Nelco, Dupont, Ventec o MSC-Polymer entre otros [52]-[57]. Cada sustrato tiene unas características que son significativas sobre todo cuando se realiza un diseño a altas

frecuencias. En la figura 3.5 se puede ver la localización de cada parámetro en un sustrato genérico.

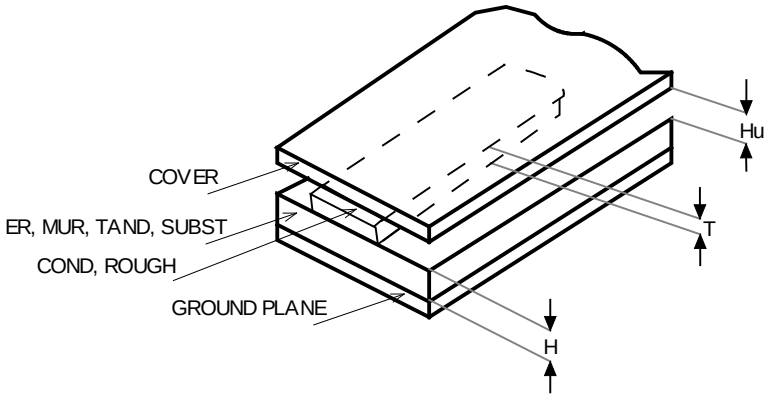


Figura 3.5. Parámetros del sustrato para el modelado de las pistas en una PCB.

Después de analizar los materiales ofertados por los fabricantes se decide utilizar el sustrato FR-370HR fabricado por Isola, debido a su bajo coste y que los parámetros del mismo son próximos a la frecuencia de trabajo. En la tabla 3.1 se muestran los parámetros del sustrato FR-370HR necesarios para el modelado de las pistas en PCB.

Tabla 3.1. Parámetros del sustrato FR-370HR

Parámetro	Definición	Valor
H	Espesor del sustrato	1,5 mm
Er	Constante relativa del dieléctrico	5,65
Mur	Permeabilidad relativa	1
Cond	Conductividad del conductor	5,813e7
Hu	Altura del espacio libre sobre el sustrato (dieléctrico)	3,9e34
T	Espesor del conductor	0,001
TanD	Tangente de pérdida dieléctrica	0,016
Rough	Rugosidad de la superficie del conductor	1,8 µm

El resultado del comportamiento del circuito añadiendo las pistas de longitud y ancho calculado se muestra en la figura 3.6, donde se observa que se tiene aproximadamente 130 μV_p.

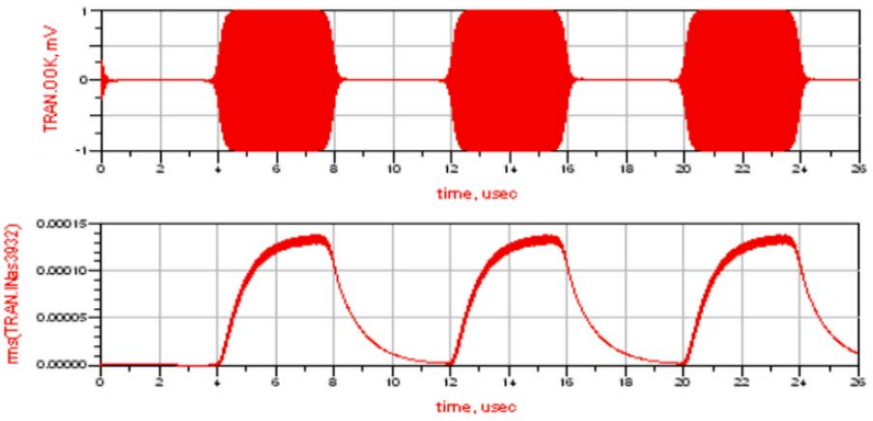


Figura 3.6. **Simulación del efecto de las pistas del sustrato FR-370HR en el WUR con detector de envolvente discreto.**

Una vez realizado el diseño de la PCB se ha fabricado y montado con los componentes discretos [58]. La figura 3.7 muestra una fotografía con los componentes soldados en la PCB donde esta tiene unas medidas de 22,5 mm × 51,8 mm.

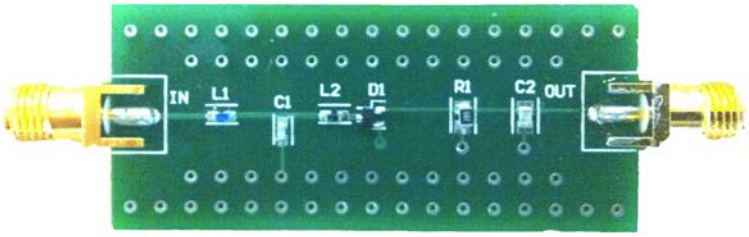


Figura 3.7. **Foto de la PCB y los componentes del WUR con detector de envolvente discreto.**

Para realizar las medidas del prototipo se ha generado en vez de una señal OOK, debido a que el equipo no lo permitía, una señal AM con índice de modulación del 100% donde la frecuencia de la portadora es de 868 MHz y la moduladora de 125 kHz. Conectando el generador de señal al analizador de espectro E4440A se puede analizar las pérdidas de los cables utilizados y así considerarlas para que se obtengan medidas más exactas. En la figura 3.8 se observa el contenido espectral de la señal generada.

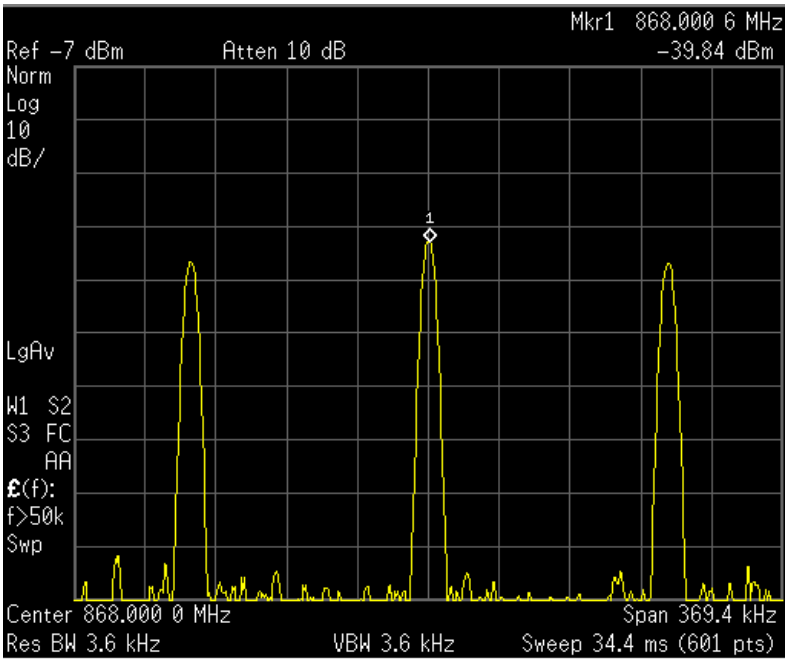


Figura 3.8. Modulación AM con portadora de 868 MHz, moduladora de 125 kHz e índice de modulación del 100%.

La sensibilidad del circuito corresponde al valor mínimo que se introduce en la entrada del circuito, para obtener en la salida una señal cuadrada de 125 kHz y de amplitud igual o mayor de 113,15 μV_p (80 μV_{rms}), que es el mínimo necesario para despertar el receptor AS3933. Para ver la envolvente de la señal de salida, se conecta el generador de señales con la señal AM a la entrada del WUR, y la salida del WUR se conecta el osciloscopio. La figura 3.9 muestra la señal de salida del WUR comprobando la forma de la envolvente de la AM con una frecuencia de 125 kHz.

Para medir la sensibilidad se hace uso del analizador de espectro E4440A. Variando la amplitud de la señal AM se puede analizar la variación de la salida del circuito y verificar si se cumple con las especificaciones. Para la conexión del WUR al generador de señal y el analizador de espectro se han utilizado cables BNC y un filtro DC-block conectado al conector SMA en la salida del filtro de la placa del WUR.

La figura 3.10 muestra la medida realizada del circuito con el analizador de espectro para una señal de entrada de -40 dBm, que es la mínima potencia con la que se obtiene una señal de 125 kHz a la salida del circuito. Se obtiene a la salida del circuito una señal de 125 kHz con una potencia de -67,129 dBm sobre 50 Ω.

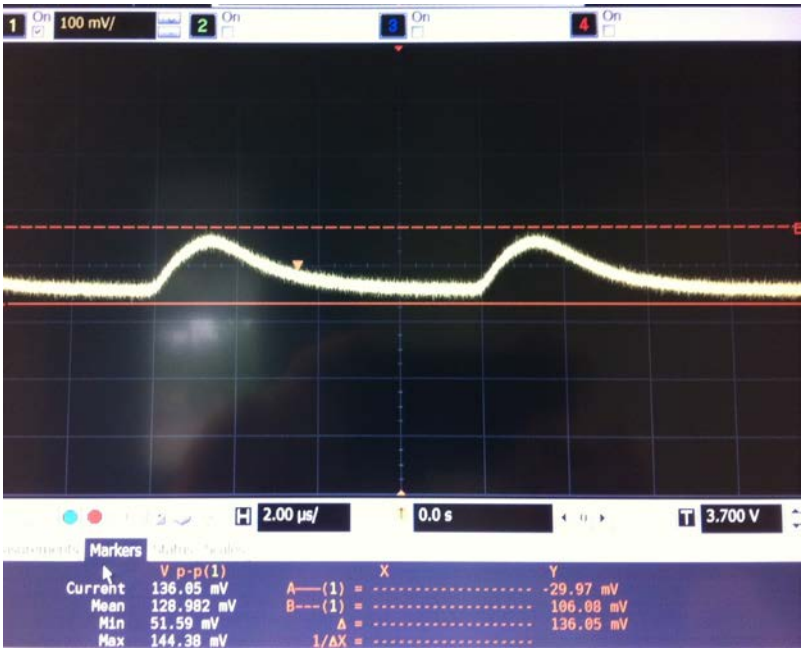


Figura 3.9. Salida del WUR discreto con el osciloscopio.

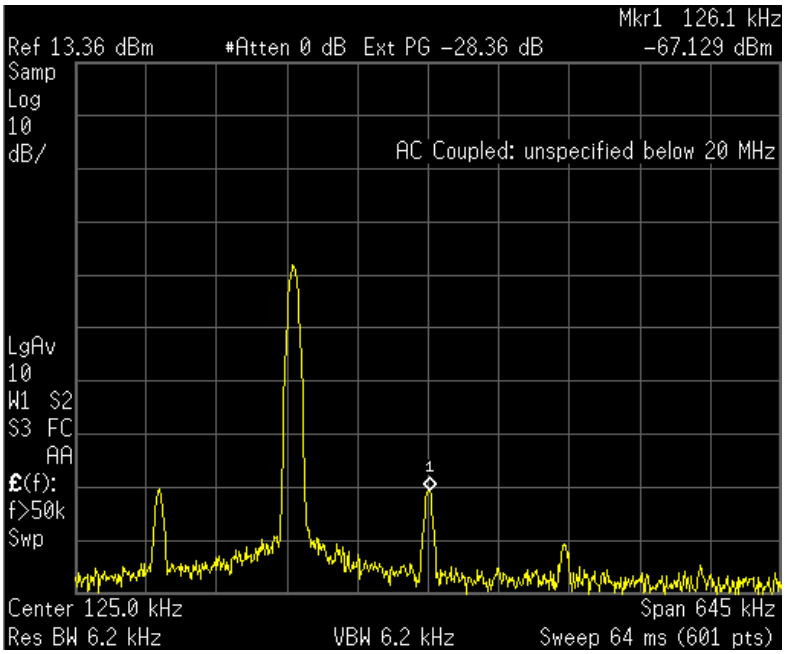


Figura 3.10. Salida del WUR discreto con el analizador de espectro para una AM de amplitud -40 dBm.

La tabla 3.2 muestran las medidas realizadas del circuito con el analizador de espectro variando la potencia del generador de señales. Se ha utilizado el analizador de espectro ya que la sensibilidad mínima del osciloscopio es de 1 mV. Los resultados que se muestran en la tabla 3.2, son después de quitarle las pérdidas de los cables. Utilizando este método que carga con 50 Ω a la salida del circuito en vez de los 2 MΩ del reconocedor de

patrón. Se puede comprobar que solo hay señal en la salida del circuito cuando la amplitud de la señal de entrada es mayor o igual a -40 dBm, indicando que la sensibilidad del WUR es de -40 dBm.

Tabla 3.2. Salida del WUR discreto medida con el analizador de espectro en función de la amplitud de la señal AM generada

Generador (dBm)	Salida a 50 Ω (dBm)
-40	-65,8
-30	-45,8
-20	-31,1
-10	-21,2
0	-12,3

El circuito fabricado tiene una pérdida de 10 dB respecto al circuito simulado, este efecto puede haberse producido con una mala adaptación. Para verificar la adaptación de impedancias se hizo un barrido en el rango de frecuencia de 500 MHz a 1,5 GHz para medir la reflexión haciendo uso del analizador de redes 8720ES. La figura 3.11 muestra que se ha desplazado a la frecuencia de 607 MHz. No se ha logrado una adaptación de impedancias óptima en la frecuencia deseada de 868 MHz. Esta desviación se debe a la tolerancia de los componentes y al hecho de que las capacidades y las inductancias en las hojas de características vengan dadas para una frecuencia bastante inferior a la frecuencia de trabajo.

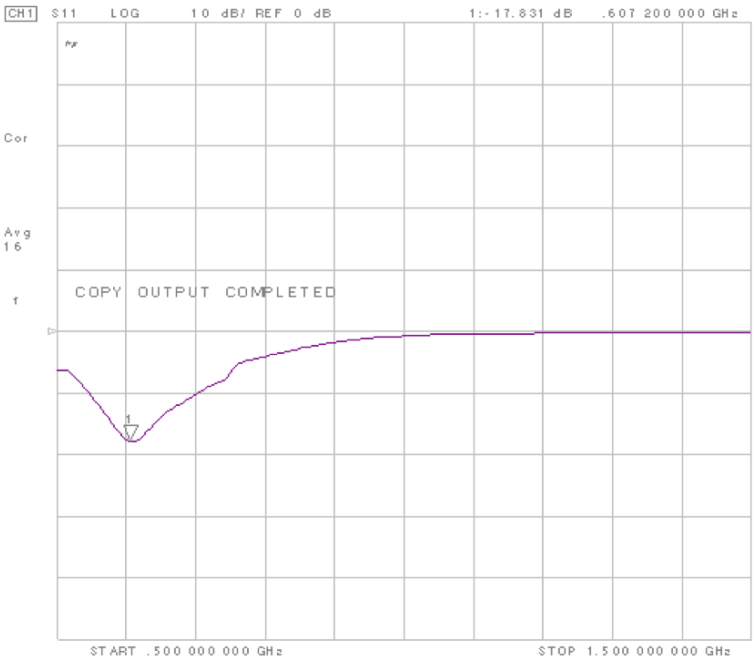


Figura 3.11. Medida de la adaptación de impedancia del detector de envolvente discreto.

La tabla 3.3 muestra un resumen con todos los parámetros del WUR discreto.

Tabla 3.3. Parámetros del WUR discreto

Parámetro	Valor
L1	6 nH
L2	90 nH
C1	1,2 pF
D1, D2	Schottky HSMS-285X
R_f	5,3 kΩ
C_f	200 pF
Fmod (>125 kHz)	150 kHz
Consumo	0 A
Sensibilidad simulada (2 MΩ) / medida (50 Ω)	-50 dBm / -40 dBm
Área	22,5 mm × 51,8 mm

3.2. Nodo

La arquitectura del nodo que se va a utilizar se representa en el esquema de la figura 3.12 donde existe una antena seguida de un conmutador que conmuta entre el receptor de bajo consumo o la radio para una comunicación normal. El receptor de bajo consumo está compuesto por el WUR. Además, el sistema dispone de un reconocedor de patrón de señal de *wake-up*, un microcontrolador, la radio de comunicación normal, la alimentación y los sensores.

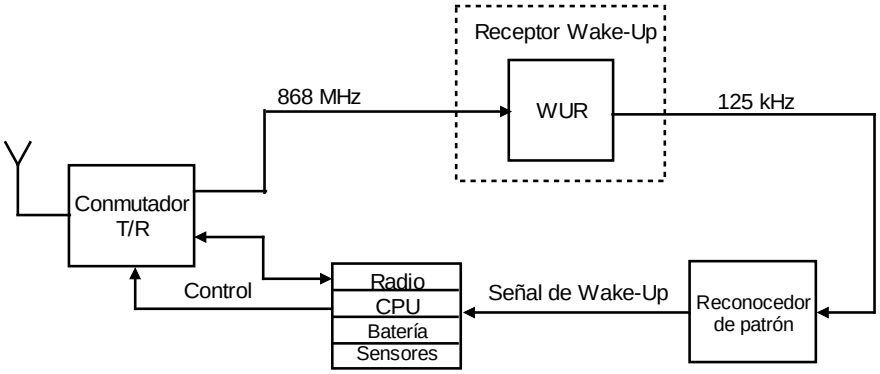


Figura 3.12. Arquitectura del nodo.

3.2.1. Bloques del nodo

Uno de los objetivos es realizar un nodo completo. Por lo tanto, además de diseñar el WUR también se va a estudiar el módulo digital que se compone de cuatro bloques como son: el reconocedor de patrón, el microcontrolador, el transceptor y el conmutador de antena.

3.2.1.1. WUR

Este bloque es el que se ha diseñado en el apartado anterior, correspondiente a la arquitectura de detector de envolvente, el cual se incluirá en la medida del nodo completo.

3.2.1.2. Reconocedor de patrón

El AS3933 es un receptor ASK de baja potencia con tres canales, capaz de generar una interrupción *wake-up*, después de detectar una señal de datos con una frecuencia portadora de baja frecuencia programada entre 15 y 150 kHz. Contiene un correlador integrado capaz de detectar una codificación Manchester programable, de 16 bits o 32 bits. El dispositivo puede funcionar con uno, dos, o tres canales activos. La generación de la señal de *wake-up* se hace a partir de una señal de baja frecuencia de entre 0,5 y 4 kbps.

El AS3933 proporciona un valor indicador de intensidad de la señal recibida (RSSI) digital para cada canal activo, soporta una tasa de datos programable y una decodificación Manchester con recuperación de reloj. El AS3933 ofrece un generador de reloj interno, derivado del oscilador de cristal o del oscilador RC interno aunque el usuario puede optar por utilizar un generador de reloj externo en su lugar.

El bloque correspondiente al receptor *wake-up* de baja frecuencia AS3933 de Autriamicrosystems que se va a utilizar es un kit de desarrollo compuesto por un receptor, un transmisor *wake-up* de 125 kHz y la interfaz gráfica de usuario [59]. En la figura 3.13 se muestra las placas del receptor y el transmisor del kit.

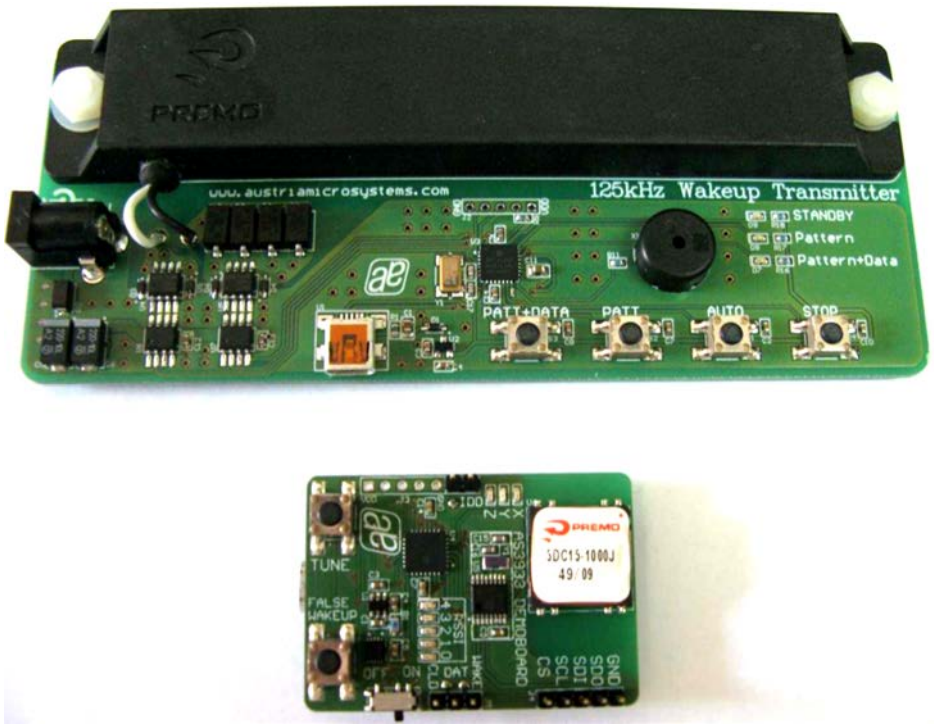


Figura 3.13. Kit de desarrollo del AS3933.

3.2.1.3. Microcontrolador

El microcontrolador elegido es el MSP430 de Texas Instruments (TI) [60]. Tiene un procesador de 16 bits y de señal mixta basado en arquitectura RISC. Este microcontrolador se ha diseñado específicamente para aplicaciones de ultra-bajo consumo de energía. Tiene cinco modos de bajo consumo, activación instantánea y periféricos autónomos inteligentes que permiten una optimización real de ultra bajo consumo de energía, ideal para aplicaciones donde se hace uso de una batería.

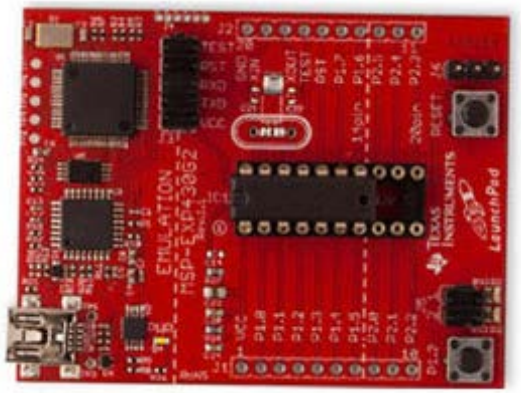


Figura 3.14. Kit de desarrollo LaunchPad de la serie MSP430.

Los modos de bajo consumo se configuran en el registro de estado. La ventaja de incluir los bits de control de modo en el registro de estado es que el actual modo de funcionamiento se guarda en la pila durante una rutina de servicio de interrupción. El flujo del programa vuelve al modo de funcionamiento anterior si el valor de SR guardado no se altera durante la rutina de servicio de interrupción. El flujo del programa puede ser devuelto a un modo de funcionamiento diferente mediante la manipulación del valor de SR guardado en la pila dentro de la rutina de servicio de interrupción. A los bits de control de modo y la pila se puede acceder por medio de instrucciones.

Al configurar cualquiera de los bits de control de modo, el modo de funcionamiento seleccionado tiene efecto de inmediato. Los periféricos también pueden desactivarse con los ajustes del registro de control individuales. Los pines del puerto I/O y la memoria RAM no se modifican y se activan mediante las interrupciones que estén habilitadas. En la figura 3.14 se muestra el kit de desarrollo con el MSP430.

3.2.1.4. Transceptor

El transceptor elegido es el C1101 de TI. Se trata de un transceptor de bajo consumo que opera en la banda ISM (*Industrial, Scientific and Medical*) de 868 MHz [61]. El C1101 es compatible con diferentes tipos de modulación incluyendo la OOK. El consumo de corriente en modo activo con una potencia de salida de +10 dBm está calculado en 30 μA en modo recepción y 14 mA en modo transmisión. En modo de bajo consumo tiene un consumo de 0,2 μA.

3.2.1.5. Conmutador de antena

En el nodo sensor propuesto hay dos rutas donde la señal puede propagarse desde la antena hacia el hardware del nodo. Una de las rutas va directa al transceptor y la otra va hacia la parte analógica del nodo. Con la intención de evitar dos antenas en un nodo, se utiliza un conmutador de antena de bajo consumo capaz de gestionar la propagación de señales entrantes como es el ADG918 [62]. En la figura 3.15 se puede observar el diagrama de bloques del conmutador de antena. Este bloque tiene un consumo de 1 μA.

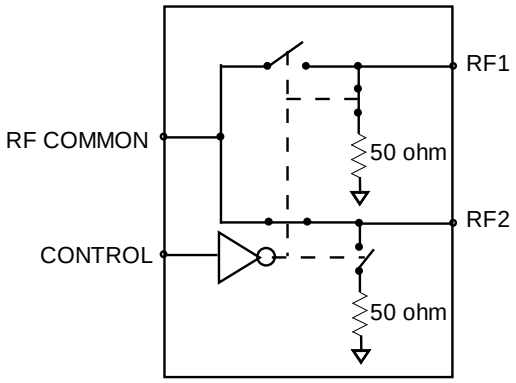


Figura 3.15. Diagrama de bloques del conmutador de antena.

3.2.2. Prototipo del nodo

La implementación del nodo se ha probado con el WUR diseñado, el receptor *wake-up* de baja frecuencia AS3933, el microcontrolador MSP430G2553 y la antena. En la figura 3.16 se observa el esquema de bloques del prototipo utilizado para la prueba.

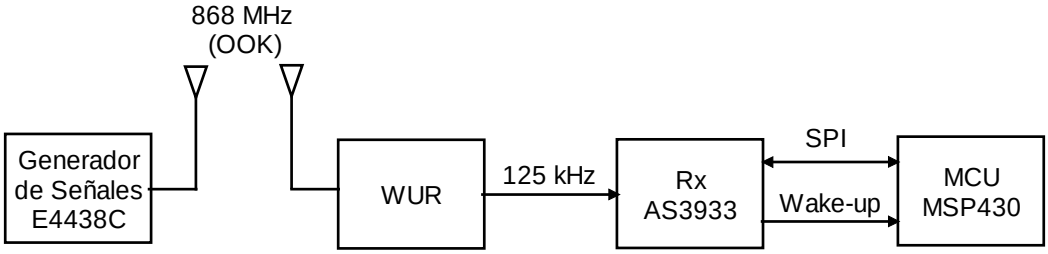


Figura 3.16. Esquema de bloques del prototipo del nodo.

El objetivo principal del WUR es despertar el AS3933, por lo tanto, se va a conectar el WUR directamente a uno de los canales del AS3933. Para ello se elimina una de las antenas de baja frecuencia de la placa del receptor y se incorpora la salida del WUR.

Se aprovecha la funcionalidad del microcontrolador MSP430 para programar el AS3933 mediante lógica digital por el interfaz SPI. Al encender el AS3933 se cargan los valores por defecto de los registros (desde R0 a R19). Hay que programar los siguientes registros. R0 para deshabilitar la correlación con el fin de hacer pruebas con una señal de portadora 868 MHz modulada con una moduladora de 125 kHz. R1 que desactiva los canales que no se usan. R4 para habilitar un registro que evita falsos *wake-up* (*antenna damper*). R7 que establece un tiempo de espera de la señal WAKE, transcurrido el tiempo establecido, la

señal WAKE vuelve a nivel bajo, cambiando el AS3933 del modo recepción de dato por el modo escucha.

El AS3933 genera una interrupción por el pin WAKE, cuando el canal activo recibe una señal de 125 kHz. Después de terminar la programación del AS3933, el pin WAKE ataca al puerto P1.3 del MSP430G2553, para interrumpirle del modo de bajo consumo. La figura 3.17 muestra una fotografía del prototipo donde se observa la antena seguida del WUR, el cual está conectado al AS3933 y al microcontrolador MSP430G2553.

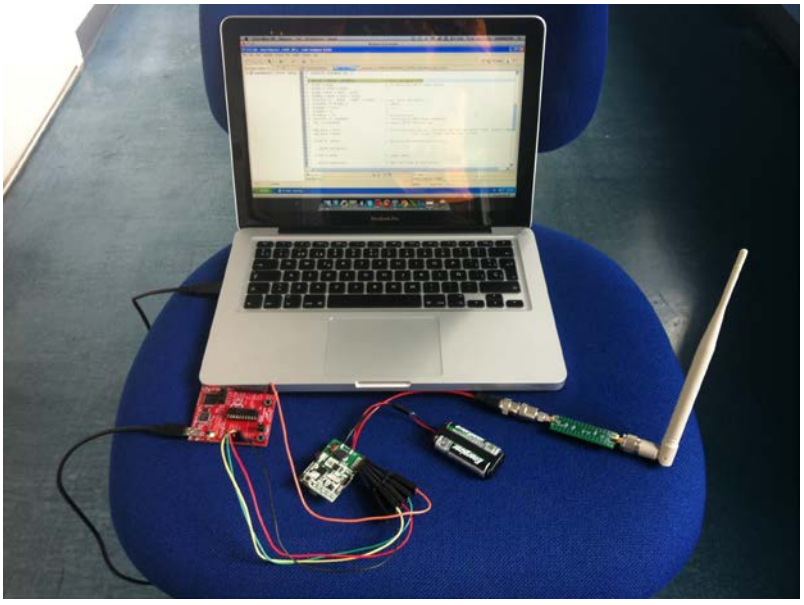


Figura 3.17. Fotografía del prototipo WUR discreto.

3.2.3. Medidas del nodo

Seguidamente se van llevan a cabo las medidas del consumo de corriente del prototipo, la distancia de la señal *wake-up* según la potencia del transmisor y la duración máxima de la batería.

3.2.3.1. Consumo del prototipo

El consumo de corriente del prototipo usado como nodo sensor corresponde al consumo del AS3933 y del microcontrolador. En este caso el WUR ha sido realizado con componentes pasivos por lo que no tiene ningún consumo. La medida del consumo del nodo se ha realizado en modo recepción cuando recibe una señal *wake-up*, y en modo dormido cuando el nodo se encuentra en modo bajo consumo. Para medir el consumo de corriente del

AS3933 se ha utilizado el multímetro digital 3458A en serie con el AS3933. También se ha medido el consumo de corriente del microcontrolador MSP430.

El consumo medido del prototipo es de aproximadamente 99,62 μA (5,62 μA el kit AS3933 y 94 μA el kit LaunchPad MSP430) en modo dormido y 1,99 mA en modo recepción (7,57 μA el kit AS3933 y 1,98 mA el kit LaunchPad MSP430). Se concluye que el consumo de corriente está dominado por el consumo del kit de desarrollo LaunchPad MSP430. Es de resaltar que no disponemos del transceptor para hacer las medidas, por lo que se usan los valores disponibles en las hojas de características del CC1101. Lo mismo se hace para el consumo de corriente del conmutador ADG918. Hay que tener en cuenta que el MCU y el AS3933 por si solos sin los kits consumen menos corriente como se puede comprobar en las hojas características de los mismos.

Seguidamente se realiza una estimación del consumo de corriente del nodo completo en el supuesto de utilizar el transceptor CC1101, el conmutador ADG918, el microcontrolador MSP430 y el AS3933 sin tener en cuenta los consumos totales de los distintos kits de desarrollo que siempre tienen mayor lógica que no es necesaria. El consumo de corriente con el nodo completo es de aproximadamente 3 μA en modo dormido (1,7 μA el AS3933; 0,1 μA el MSP430; 0,2 μA el CC1101 y 1 μA el ADG918) y 15,34 mA en modo recepción (1,7 μA el AS3933; 340 μA el MSP430; 15 mA el CC1101 y 1 μA el ADG918). El mayor consumo en modo recepción tiene que ver con el consumo de corriente del transceptor en modo recepción a 1,2 kbaudios, cuando la potencia de la señal de entrada está por encima de la sensibilidad de entrada del CC1101. Se puede concluir que el consumo de corriente del nodo está dominado por el transceptor.

3.2.3.2. Distancia del WUR

La distancia de la señal *wake-up* es un factor importante en el diseño de un receptor *wake-up*. Una señal *wake-up* de sólo unos pocos metros de distancia significa que se necesitan más nodos sensores para transmitir información entre dos puntos específicos, lo que se traduce en un incremento de los costes de la red de sensores [63].

Para realizar la medida de la distancia de la señal *wake-up* se ha realizado dentro de un recinto con el generador de señal y la antena del transmisor de *wake-up* en una posición

fija. Luego se ha variado únicamente la potencia de la señal *wake-up* y se ha desplazado el nodo de posición mientras sigue en estado despierto. En la figura 3.18 se puede ver el montaje realizado para la prueba de medidas de distancia.

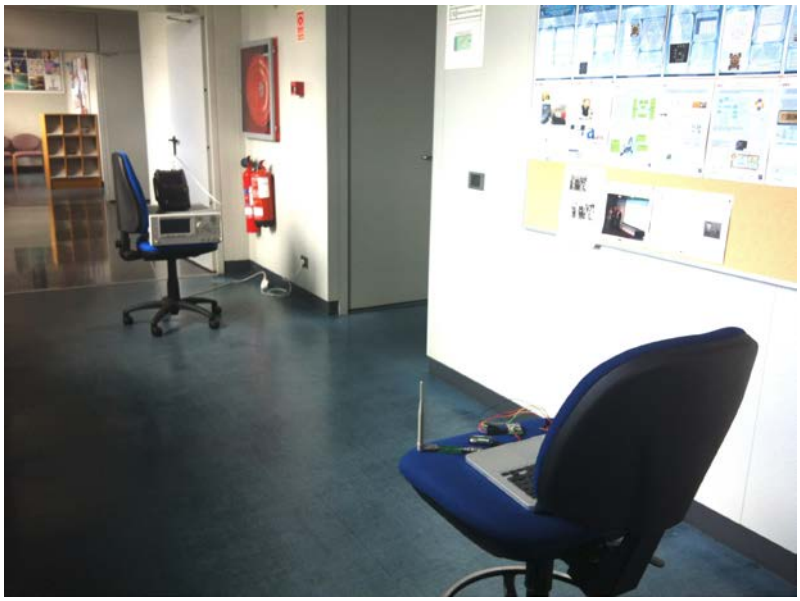


Figura 3.18. Medida de la distancia del WUR discreto.

Los resultados de la medida de la distancia pueden verse en la tabla 3.4, donde se deduce que para aumentar la distancia hay que aumentar la potencia del transmisor.

Tabla 3.4. Distancia de la señal *wake-up* frente a la potencia de la señal transmitida

Distancia (metros)	Potencia de la señal *wake-up* (dBm)
0	-40,00
2,5	-20,03
5	-13,56
15	-5,47
32	2,60
40	10,54

3.2.3.3. Tiempo de vida de batería

Un nodo alcanza el final de su vida útil cuando uno de los componentes del nodo deja de funcionar debido al envejecimiento o debido a que la fuente de alimentación se agota. La vida útil es un parámetro importante de un nodo sensor ya que está directamente relacionada con los costes a largo plazo de la red de sensores inalámbricos. El coste a largo plazo proviene de los gastos necesarios para cambiar las baterías de los nodos.

El nodo propuesto utiliza una pila estándar CR2032 con una capacidad nominal (Q_{bat}) de 230 mAh a una tensión de 2 V a 23 ℃. El consumo del nodo cuando permanece encendido (I_{ON}) es de 3 µA. El tiempo que permanece encendido el nodo (T_{ON}), en este caso es permanentemente de 24 h. El tiempo máximo de vida de la batería se expresa como $T_{nodomax}$ y se puede calcular haciendo uso de la ecuación (3.2) [17].

$$T_{nodomax} = \frac{Q_{bat}\ (mAh)}{I_{ON}(mA) \cdot T_{ON}(h)} = \frac{230\ mAh \cdot d \cdot a}{0{,}003\ mA \cdot 24\ h \cdot 365\ d} = 8{,}75\ a \qquad (3.2)$$

El nodo tiene un tiempo de vida teórico en modo dormido de alrededor de 8 años, si se asume que no se producirá ningún *wake-up* durante ese tiempo. Incluso se puede incrementar el tiempo máximo de vida del nodo si se cambia la pila y se utiliza una de mayor capacidad como es la CR2477 con 950 mAh a aproximadamente 33 años.

En aplicaciones para una red de sensores inalámbrica, un nodo se despierta más de una vez y permanece dormido el resto del tiempo. Por lo tanto, los valores calculados anteriores no coinciden con los escenarios reales. Además de los parámetros anteriores, hay que definir el tiempo de inactividad (T_{OFF}) y el consumo del nodo (I_{OFF}) en el que el nodo está en modo de recepción. El tiempo de intervalo (T_{INT}) es el tiempo en el que el nodo se despierta una vez, $T_{INT}=T_{ON+}T_{OFF}$. Esto se puede resumir con la ecuación (3.3).

$$T_{nodo} = \frac{Q_{bat}(mAh) \cdot T_{INT}(h)}{I_{ON}(mA) \cdot T_{ON}(h) + I_{OFF}(mA) \cdot T_{OFF}(h)} \qquad (3.3)$$

En la figura 3.19, se observa la representación gráfica de la duración de la batería en años respecto a la variación del tiempo en segundos. Como se puede comprobar, si el tiempo de intervalo es mayor, la batería dura más. Por ejemplo, si T_{INT} es de 100 segundos entonces la batería dura algo más de un año, o si T_{INT} es de 900 duraría en torno a 5 años.

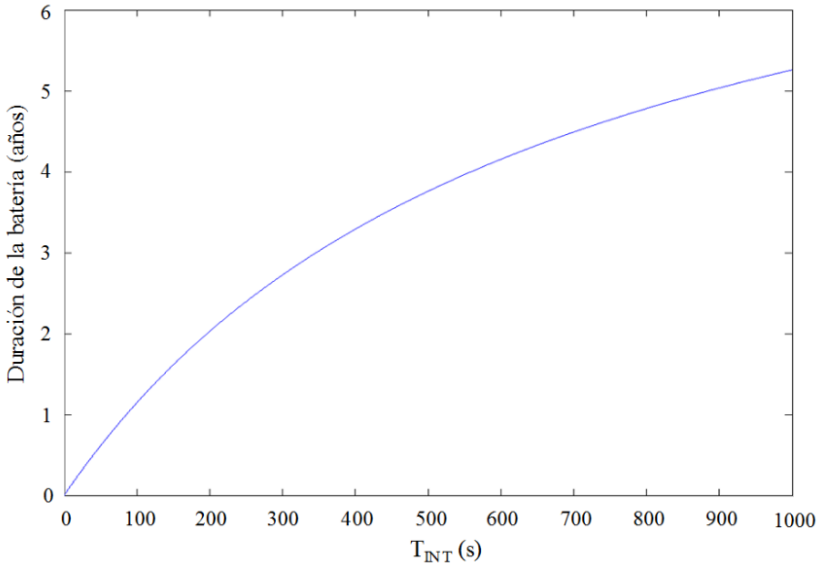


Figura 3.19. Gráfica para la duración de la batería en función de T_{INT}.

3.3. Resumen

El diseño más sencillo para un WUR es el que se realiza con la arquitectura de detector de envolvente de RF, la cual es la más utilizada comúnmente. En este caso se ha realizado un diseño con componentes discretos. Para el detector de envolvente se ha utilizado diodos Schottky que tienen una tensión umbral muy baja y una velocidad de conmutación muy alta, interesante en estas aplicaciones. Para este detector de envolvente se ha diseñado la red de adaptación de impedancias de entrada, que filtra interferencias y ajusta a los 50 Ω de la antena. También se ha diseñado el filtro paso-bajo de la salida que obtiene la envolvente de la señal modulada OOK de entrada. El WUR se mide con una PCB diseñada para tal fin, en la que se tiene en cuenta las pistas de la PCB. Las medidas de la sensibilidad son realizadas con el analizador de espectros obteniendo una sensibilidad de -40 dBm con consumo nulo, puesto que todos los componentes son pasivos.

En la segunda parte del capítulo se define el nodo al cual se le van a realizar distintas medidas. Este nodo está compuesto por la antena, el conmutador ADG918, el WUR diseñado, el correlador AS3933, el microcontrolador y el transceptor CC1101. Finalmente se estima el consumo en el nodo completo de aproximadamente 3 µA en modo dormido y 15,4 mA en modo recepción. También se han realizado pruebas de distancia, en las cuales se obtiene que para llegar a 2,5 metros la potencia en el transmisor debe ser de -20 dBm, o

para llegar a los 40 metros la potencia en el transmisor debe ser 10,54 dBm. La última prueba es estimar el tiempo de vida del nodo, donde con una pila estándar CR2032 con una capacidad de 230 mAh y definiendo el tiempo que se activa el nodo por la señal de *wake-up*, se puede estimar una duración máxima de algo mas de 5 años de vida.

Capítulo 4

Receptor de wake-up con arquitectura de detector de envolvente integrado en tecnología CMOS

Realizar un diseño con tecnologías de fabricación integradas puede suponer una mejora de las características en los dispositivos, así como un incremento en las prestaciones finales del receptor. Los detectores de envolvente integrados respecto a los discretos pueden tener unas características interesantes, como son la posibilidad de integrar circuitería extra, tales como etapas de amplificación, transformadores o mezcladores sin la necesidad de incorporar componentes en una placa de circuito impreso, por lo que se optimiza y se reduce el área ocupada. A continuación, se van a diseñar estructuras implementadas con la

tecnología CMOS de 65nm de la fundidora UMC que utilizan la arquitectura de detector de envolvente de RF.

4.1. Estructura del capítulo

Un parámetro importante a la hora de realizar un nodo es el área total, por lo que es fundamental tener un diseño totalmente integrado con el mínimo número de componentes externos. Para ello se van a realizar diversos diseños que en la medida de lo posible tienen sus componentes integrados en el chip.

El diseño más sencillo para un WUR es el de un detector de envolvente. En este caso no se puede utilizar el mismo esquema que el de un detector de envolvente discreto porque en la tecnología en que se está trabajando no existen diodos Schottky, que es un dispositivo constituido por una unión metal-semiconductor en lugar de la unión convencional semiconductor P-semiconductor N de los diodos normales. El esquema del WUR con red de adaptación de impedancia y detector de envolvente se muestra en la figura 4.1. Esta estructura consigue un consumo muy reducido pero su sensibilidad es bastante baja.

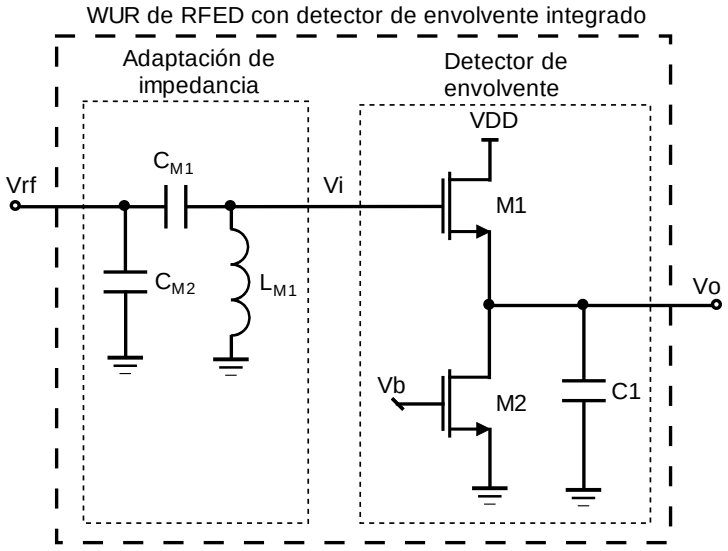


Figura 4.1. WUR de RFED con adaptación de impedancia y detector de envolvente.

Para llegar a un compromiso entre sensibilidad y consumo, en la siguiente estructura se incluye un transformador entre la entrada y el detector de envolvente. La figura 4.2 muestra el esquemático de este WUR. Este esquema mejora la sensibilidad respecto a utilizar

solo el detector de envolvente con el mismo consumo, aunque con un aumento en el área total.

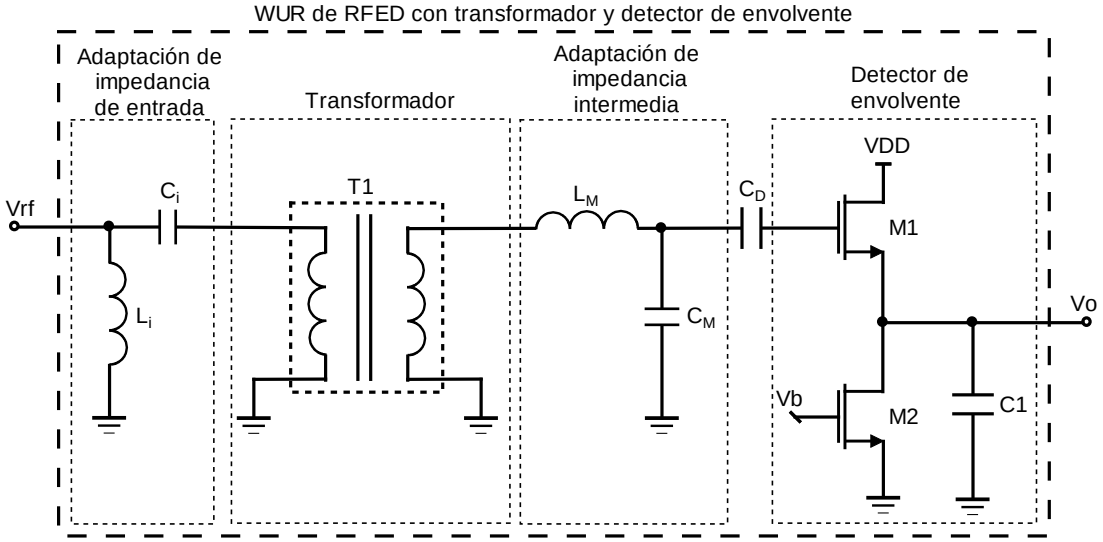


Figura 4.2. **WUR de RFED con adaptación de impedancia, transformador y detector de envolvente.**

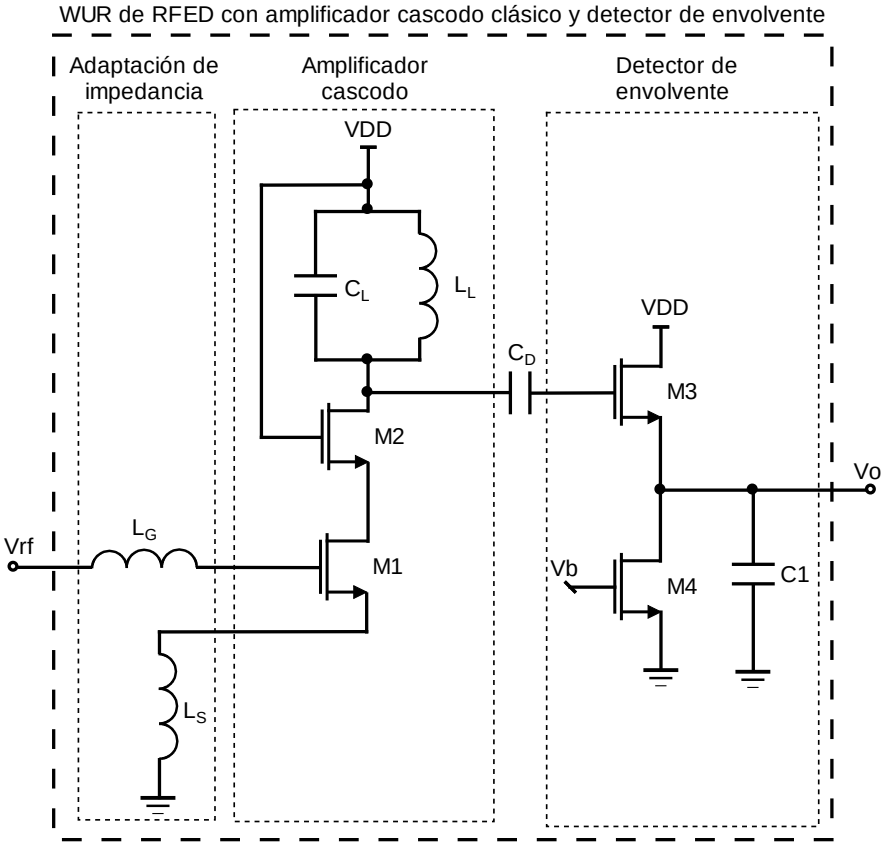


Figura 4.3. **WUR de RFED con adaptación de impedancia, amplificador cascodo y detector de envolvente.**

Otra mejora sería añadir un amplificador de bajo ruido a la entrada antes del detector de envolvente. En la figura 4.3 se muestra esta estructura basada en la topología cascodo. A pesar de obtener mejoras en la sensibilidad, el gran problema es que al ser un amplificador cascodo convencional tiene un alto consumo del orden de miliwatios siendo inviable para un WUR.

El siguiente paso es estudiar cómo se puede bajar el consumo a la etapa amplificadora, para ello se han reducido las dimensiones de los transistores enfocándose en obtener una buena ganancia en tensión (ver figura 4.4). Debido a esto se necesita de un forzoso cambio del tipo de red de adaptación de impedancia. También se ha cambiado la carga tipo tanque por una bobina externa puesto que las disponibles en la tecnología tienen un factor de calidad muy bajo. Este circuito consigue una sensibilidad un poco peor que la anterior pero con un consumo reducido del orden de microwatios.

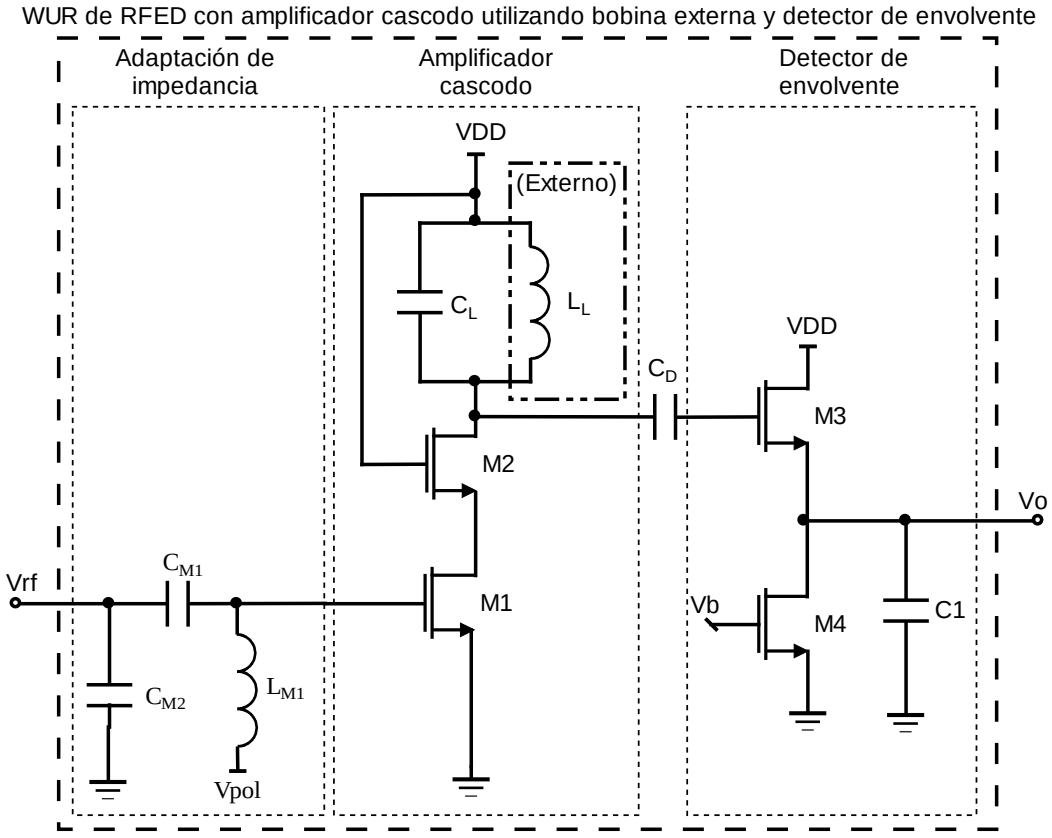


Figura 4.4. **WUR de RFED con adaptación de impedancia, amplificador cascodo que utiliza bobina externa y detector de envolvente.**

Persiguiendo la mejora del amplificador, la estructura anterior utiliza una bobina externa, pero se debe evitar en la medida de lo posible puesto que poner componentes externos puede necesitar de una calibración externa, ya que los componentes discretos no siempre tienen el mismo valor por culpa de las tolerancias, además de tener posibles problemas en alta frecuencia al realizar las soldaduras a una PCB. Para evitar esto, se ha estudiado cambiar la bobina del circuito tanque por una bobina integrada realizada con transistores y capacidades. En la figura 4.5 se muestra el esquemático donde se observa el amplificador cascodo con una bobina activa, la adaptación de impedancia y el detector de envolvente. Con esta se consigue un consumo prácticamente igual que para el circuito con bobina externa y una sensibilidad igual.

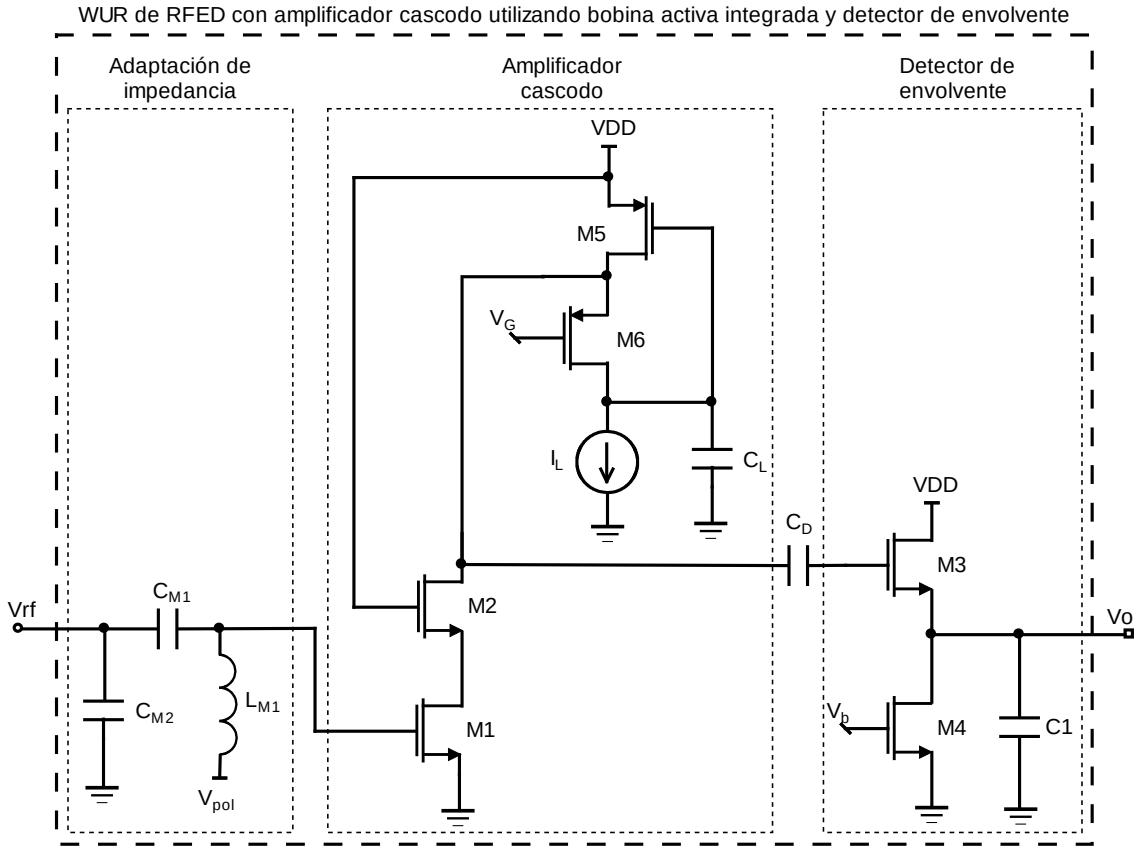


Figura 4.5. WUR de RFED con adaptación de impedancia, amplificador cascodo que utiliza bobina activa integrada y detector de envolvente.

Siguiendo con esta arquitectura de detector de envolvente, lo siguiente es cambiar la estructura del amplificador por una etapa de amplificación realimentada. Con esta arquitectura se logra reducir el consumo respecto a los anteriores diseños obteniendo una buena sensibilidad en el receptor final. El diseño consiste en un receptor de *wake-up* formado

por dos etapas. La primera etapa consiste en la adaptación de impedancia de entrada, un primer amplificador de bajo consumo, un filtro de paso-banda y un segundo amplificador de muy bajo consumo. La realimentación se realiza por una resistencia entre el segundo amplificador y hacia el primero. La segunda etapa consiste en un amplificador de banda-base y un filtro de banda-base. Con esta arquitectura al final se consigue la envolvente de la señal de entrada como ha sido el objetivo hasta ahora. Para esta estructura se utiliza el esquemático de la figura 4.6.

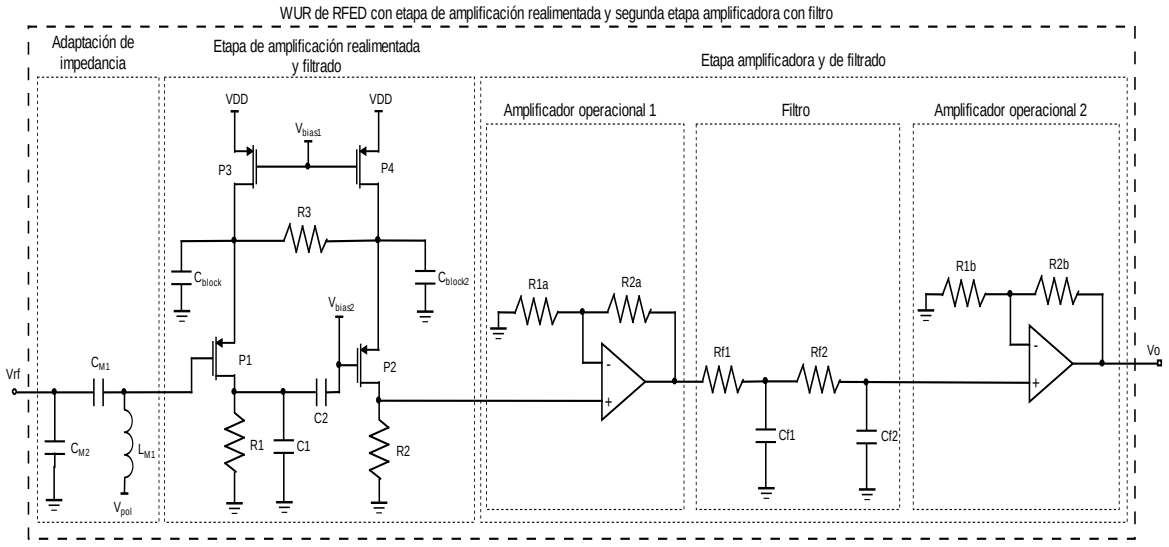


Figura 4.6. WUR de RFED con adaptación de impedancia, etapa de amplificación realimentada y etapa amplificadora con filtro.

La siguiente y última prueba consiste en sustituir la etapa del amplificador realimentado por una etapa basada en reutilización de corriente, consiguiendo bajar aún más el consumo de la estructura. En este caso se decide prescindir del primer filtrado que se producía en la etapa de realimentación. El filtrado lo realiza directamente la segunda etapa de amplificación y filtrado siendo esta suficiente para obtener la envolvente de la señal de entrada. El esquema con amplificador basado en reutilización de corriente se observa en la figura 4.7.

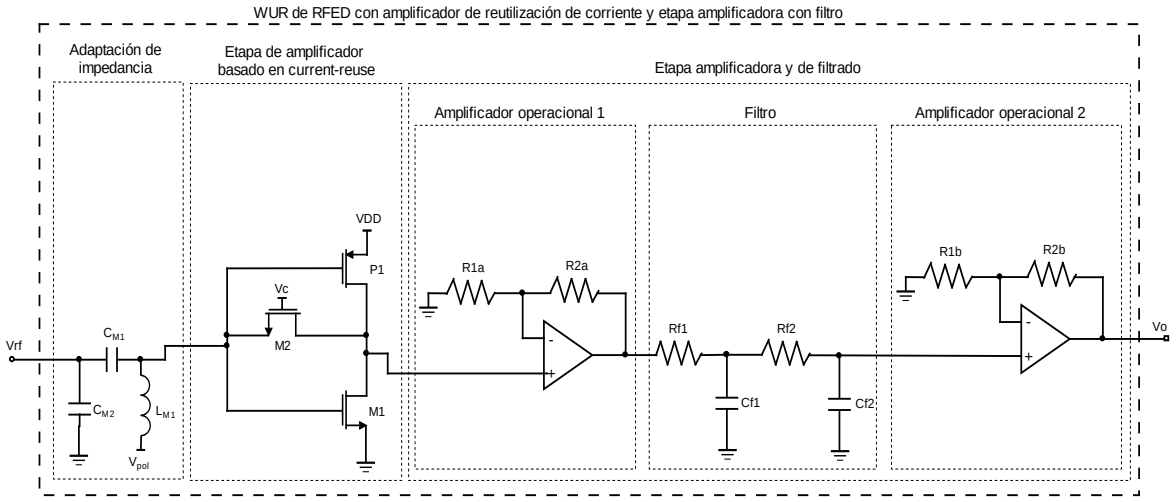


Figura 4.7. **WUR de RFED con adaptación de entrada, amplificador de reutilización de corriente y etapa amplificadora con filtro.**

En los siguientes apartados se estudia cada una de estas estructuras WUR. Finalmente se representan las simulaciones y medidas de los parámetros más importantes como son la sensibilidad o el consumo.

4.2. WUR con detector de envolvente

La figura 4.8 representa un detector de envolvente MOS clásico, compuesto por dos transistores y una capacidad, el cual genera una salida que es la función exponencial de la tensión de entrada, igual a la envolvente de la señal. El transistor de entrada M1 se polariza en la región de inversión débil (*weak inversion*) para tener un consumo muy reducido. El transistor M2 actúa como una fuente de corriente que polariza el transistor M1. La impedancia del detector más la capacidad de salida C1 forman el filtro paso-bajo, en este caso a una frecuencia de 125 kHz.

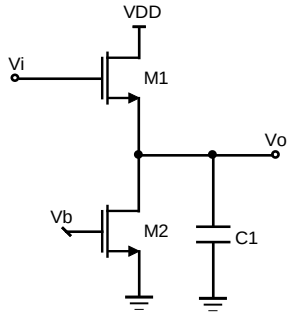


Figura 4.8. **Esquemático del detector de envolvente.**

Cuando un transistor MOS opera en inversión fuerte (*strong inversion*), su respuesta en frecuencia es buena y el área es pequeña, pero el consumo de potencia no es óptimo. En los circuitos analógicos MOS, cuando los transistores operan en la región de inversión débil, la relación g_m/I_d es alta comparada con la región de inversión fuerte [64], de forma que el consumo de potencia es mínimo debido a que las corrientes son pequeñas. Por el contrario, el área es grande y la velocidad es pequeña [65].

Para implementar la metodología g_m/I_d se realiza un análisis en DC del transistor, en este caso el transistor M1, de donde se extrae el parámetro del transistor como la transconductancia (g_m) entre otros [66]. Los resultados de la simulación se pueden apreciar en la figura 4.9 donde se muestra la comparativa de la g_m/I_d frente a $I_d/(W/L)$ para el transistor elegido para M1, en este caso el transistor LL_NVT (*Low Leakage with Native Threshold Voltage*) tipo N con W/L=(1 µm/1 µm). La relación final del transistor se fija en (25 µm/0,3 µm) con una corriente de polarización Id de 440 nA.

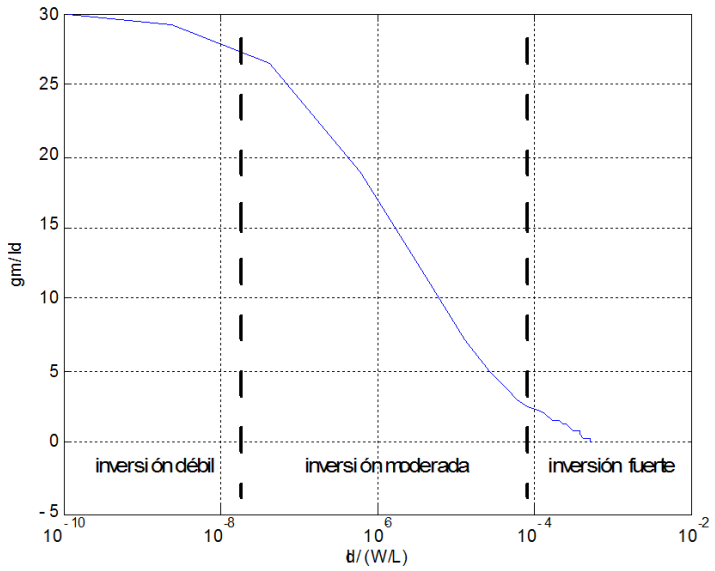


Figura 4.9. Curva $I_d/(W/L)$ frente a g_m/I_d para un transistor N_12_LLNVT de UMC 65nm.

A la salida del detector se va a conectar el bloque AS3933 que tiene una impedancia (R_L) de 2 MΩ (ver figura 4.10) la cual hay que poner para realizar las simulaciones porque puede afectar al filtro de salida del detector. Además, el AS3933 tiene una sensibilidad de 113,15 μV_p (80 μV_{rms}), siendo esta la mínima señal que puede haber a la salida del detector.

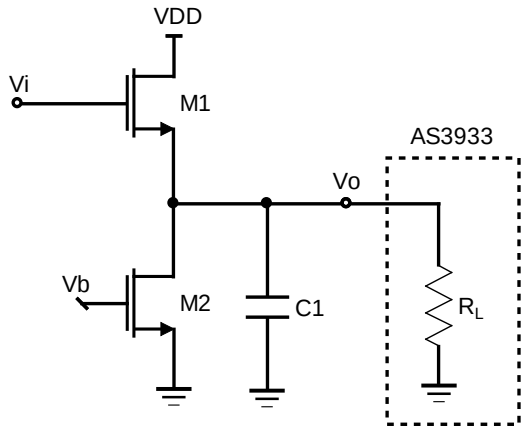


Figura 4.10. Detector de envolvente junto a la carga del AS3933.

Los esquemas de los bloques se realizan con la herramienta Cadence [67], mientras que las simulaciones se han realizado tanto con la herramienta Cadence como con la herramienta Advanced Design System que mediante la herramienta Dynamic Link [68] utiliza los bloques realizados en Cadence. Para comprobar el correcto funcionamiento del detector se introduce una señal de entrada OOK con 868 MHz y 125 kHz de envolvente con una amplitud que se va variando para obtener la señal de mínima amplitud capaz de detectar el AS3933. En la figura 4.11 se puede observar una simulación incluyendo el efecto de los *pads* en la que se le ha fijado una señal de entrada con amplitud de 4 mV_p y a la salida se obtienen 115 μV_p con una envolvente de 125 kHz. Por lo tanto, la sensibilidad del detector viene dada por la amplitud de entrada de 4 mV_p. En la figura 4.12.a) se muestra el *layout* donde se observa que el mayor área ocupada es el condensador de salida. Los transistores ocupan muy poca área en el chip encontrándose localizado encima del condensador a la izquierda. El área ocupada es de 302 µm × 391 µm. En la figura 4.12.b) se muestra una fotografía del bloque fabricado, donde solo se aprecia el condensador porque está realizado en las capas más altas de la tecnología. Los demás componentes no se pueden ver porque están en las capas mas bajas de la tecnología.

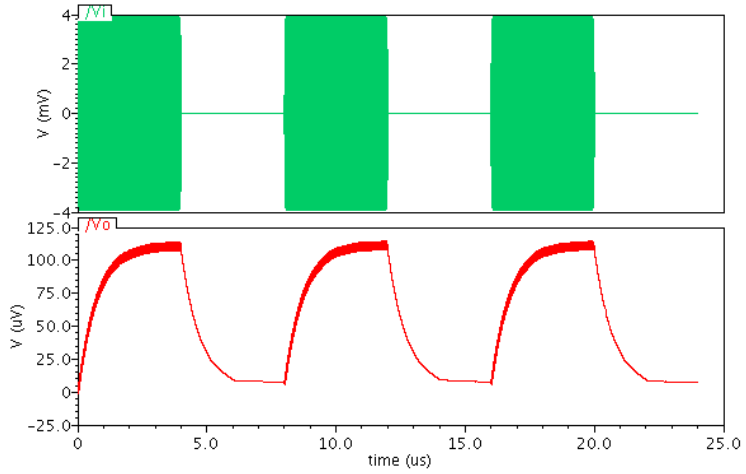
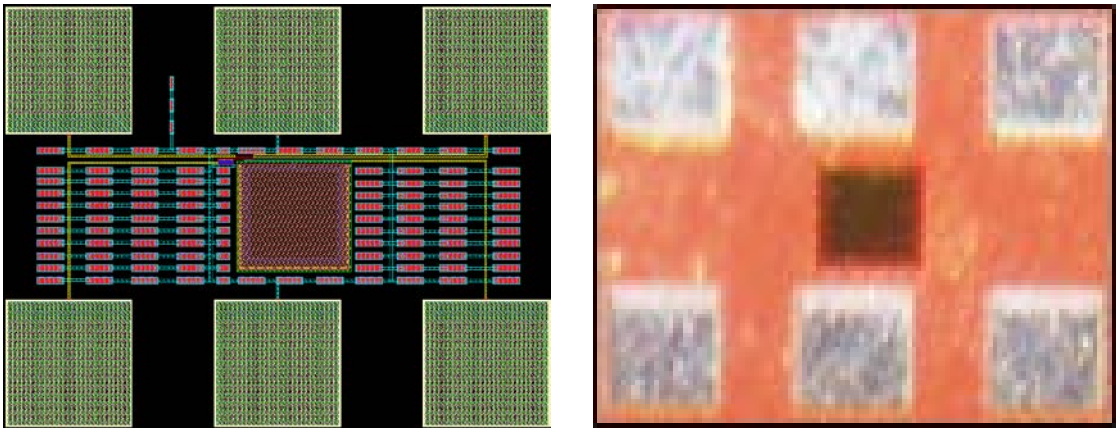


Figura 4.11. **Simulación de la señal de entrada y de salida en el detector de envolvente.**



a) b)

Figura 4.12. **Detector de envolvente realizado en tecnología UMC 65 nm: a) *layout*, b) fotografía.**

Este detector de envolvente se ha fabricado y medido sobre oblea con una estación de puntas. El *setup* de medida se puede observar en la figura 4.13. Para generar la señal de portadora 868 MHz y moduladora de 125 kHz se ha utilizado el generador de señales E8257D, el cual no puede generar una OOK y finalmente se genera una modulación AM con índice de modulación del 100%. Para la alimentación 'VCC' así como para la tensión de polarización 'V_b' se ha utilizado la fuente de alimentación B1500A. La medida de la salida del circuito se va a realizado con el osciloscopio DSO91204A.

La figura 4.14 representa la medida del WUR con el osciloscopio para una señal AM y una polarización para la fuente de corriente de 0,5 V. El resultado es la señal rectificada

con una frecuencia de 125 kHz y una amplitud de 19,99 mV_{pp} para una potencia de entrada de -20 dBm.

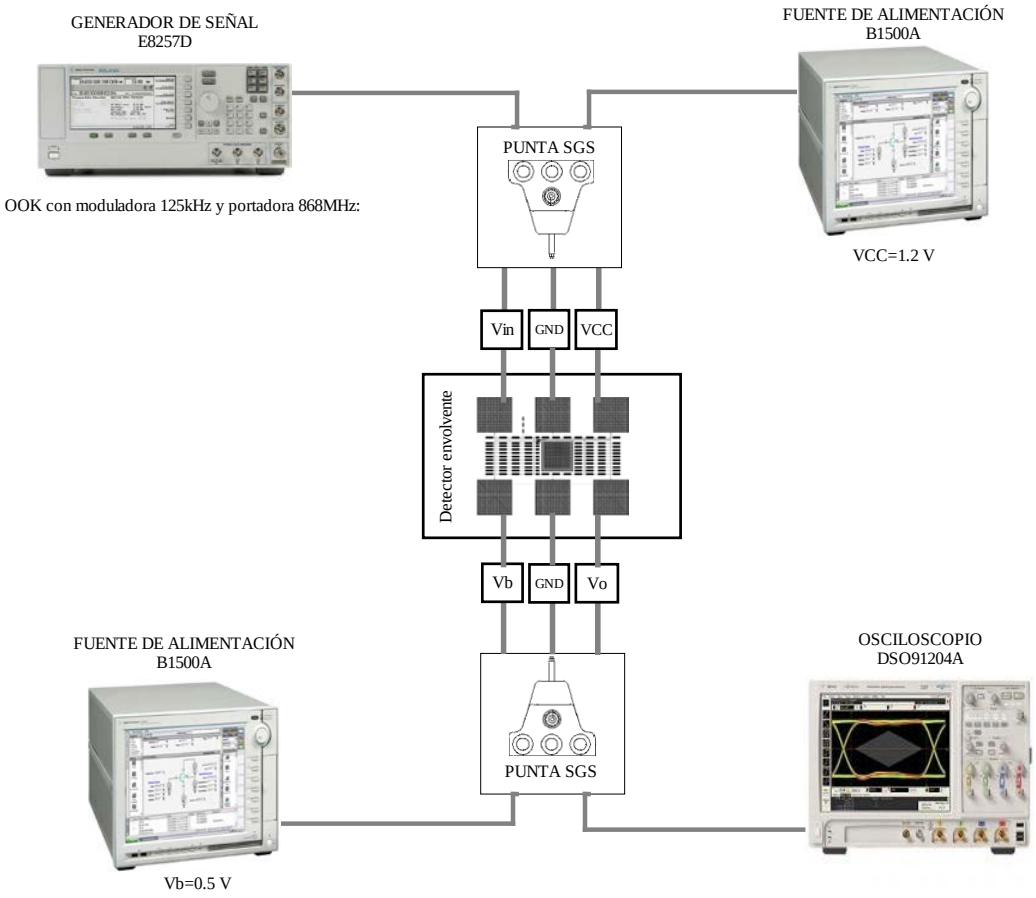


Figura 4.13. ***Setup*** **de medida del WUR con detector de envolvente.**

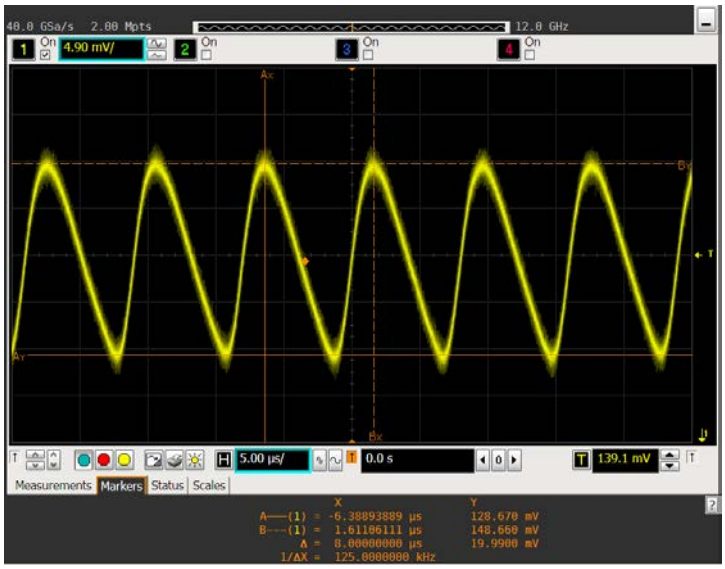


Figura 4.14. **Medida del WUR con detector de envolvente.**

Las medidas fueron realizadas para diferentes tensiones de polarización Vb con la intención de poder comparar sus variaciones en cuanto a los parámetros de consumo y sensibilidad. Las medidas fueron realizadas con un osciloscopio que tiene una sensibilidad de 1 mV, con lo que los valores por debajo de esta amplitud se extrapolaron.

En la figura 4.15 se representan las medidas realizadas donde cada punto es una medida. Por debajo de 1 mV no se puede medir, por lo que se ha extrapolado su funcionamiento con una expresión exponencial que se ajusta a las medidas realizadas.

La figura 4.16 representa solo la zona de interés donde se encuentra la sensibilidad mínima (80 μV_{rms}). Para las distintas tensiones de polarización de 0,5 V, 0,56 V, 0,6 V y 0,65 V, la sensibilidad es de -32 dBm, -34,5 dBm, -36,5 dBm y -38 dBm respectivamente. De estos datos se puede extraer que la mejor sensibilidad es para la tensión de polarización más alta de 0,65 V. No se ha seguido subiendo la polarización porque, aunque la sensibilidad mejora, el consumo se eleva demasiado.

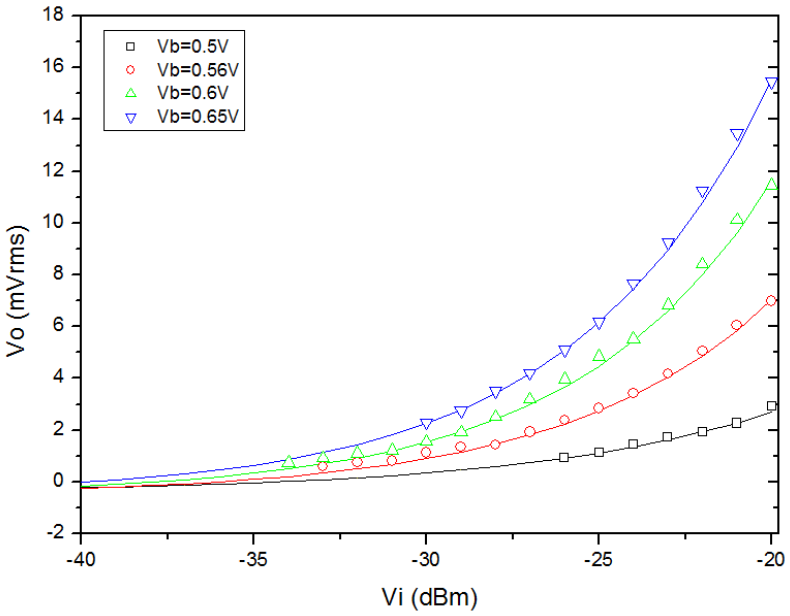


Figura 4.15. Medidas de sensibilidad del detector de envolvente integrado para distintas tensiones de polarización.

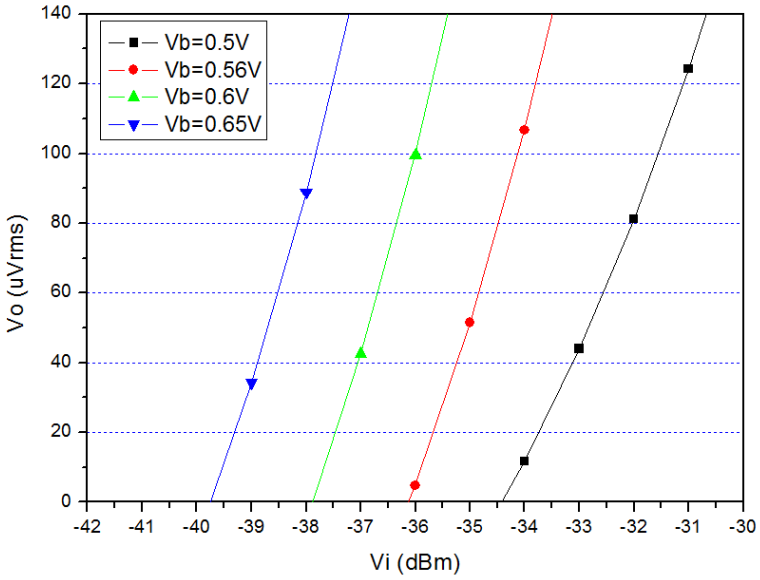


Figura 4.16. **Zoom de la sensibilidad extrapolada del detector de envolvente integrado para distintas tensiones de polarización.**

Un parámetro importante para las redes de sensores es el consumo. La figura 4.17 representa el consumo de corriente del detector (I_{vcc}) así como el consumo de corriente de polarización (I_{vb}) medido con el aparato de medidas B1500. Se comprueba que cuando aumenta la tensión de polarización se incrementa el consumo del conjunto. La figura 4.18 refleja que la sensibilidad aumenta con el incremento de la tensión V_b pero esto repercute en un incremento de consumo total.

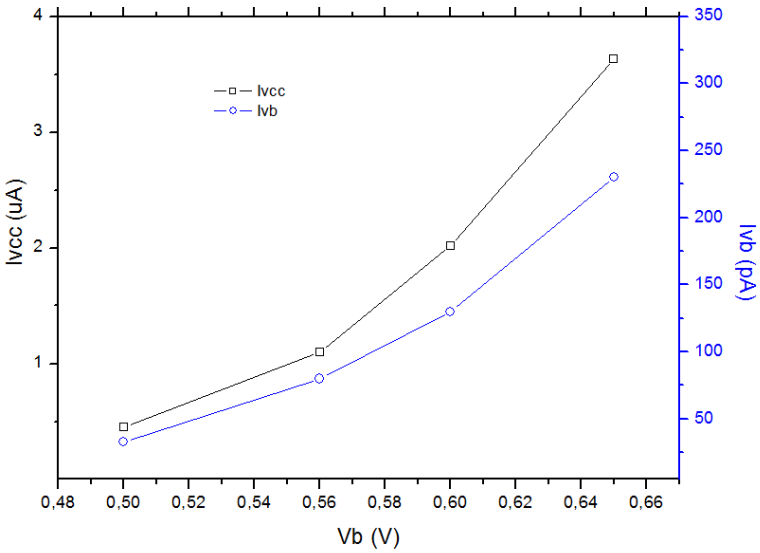


Figura 4.17. **Consumo de corriente del detector de envolvente integrado frente a la sensibilidad.**

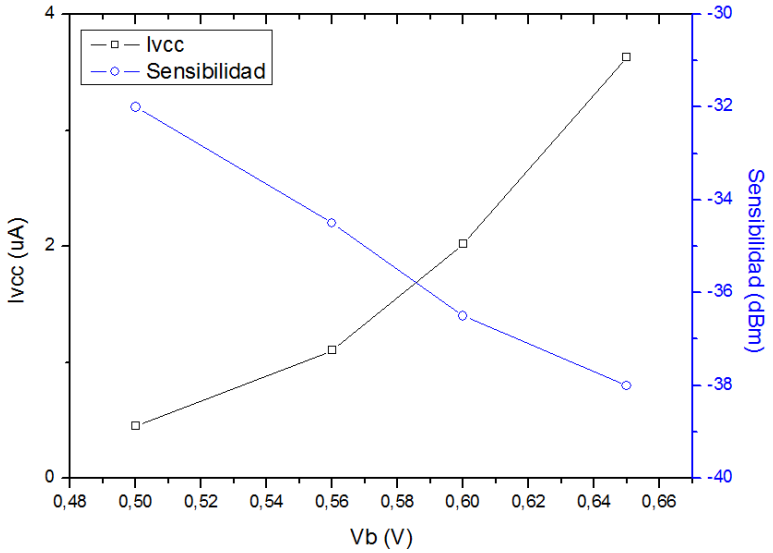


Figura 4.18. **Consumo de corriente frente a la tensión de polarización del detector de envolvente integrado.**

Cuando se fabricó el dispositivo no se tuvo en cuenta ni se puso la adaptación de impedancia de entrada. En la figura 4.19 se representa el esquema del detector de envolvente incorporándole una red de adaptación a la entrada, que serviría para filtrar interferencias y adaptar a la impedancia de la antena. La adaptación de impedancia está compuesta por una red en π con dos condensadores C_{M1} y C_{M2} así como una inductancia L_{M1}.

La figura 4.20 muestra el parámetro S11 con un valor de -35 dB ajustados a la frecuencia de interés de 848 MHz. La figura 4.21 muestra que la sensibilidad del detector de envolvente junto a la red de adaptación es de -47 dBm (1,3 mV_p) con dicha red.

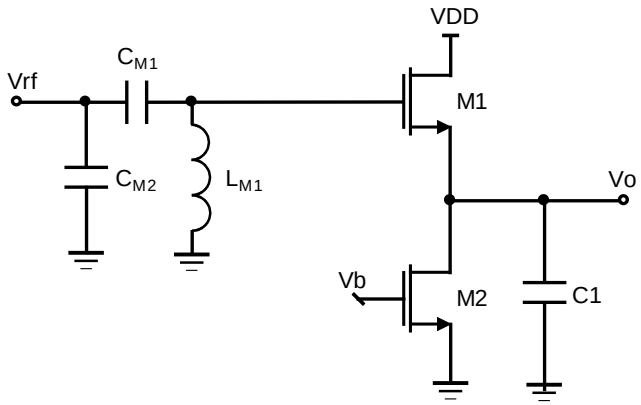


Figura 4.19. **Esquemático del detector de envolvente con la red de adaptación de impedancia.**

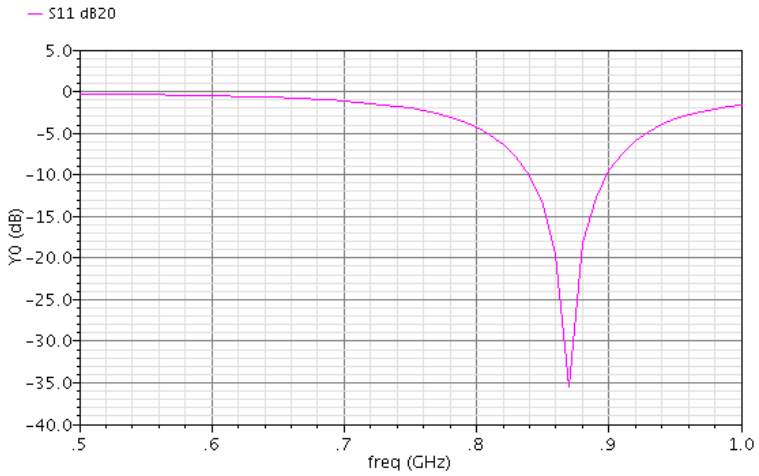


Figura 4.20. **Parámetros S11 del detector de envolvente con la red de adaptación de impedancia.**

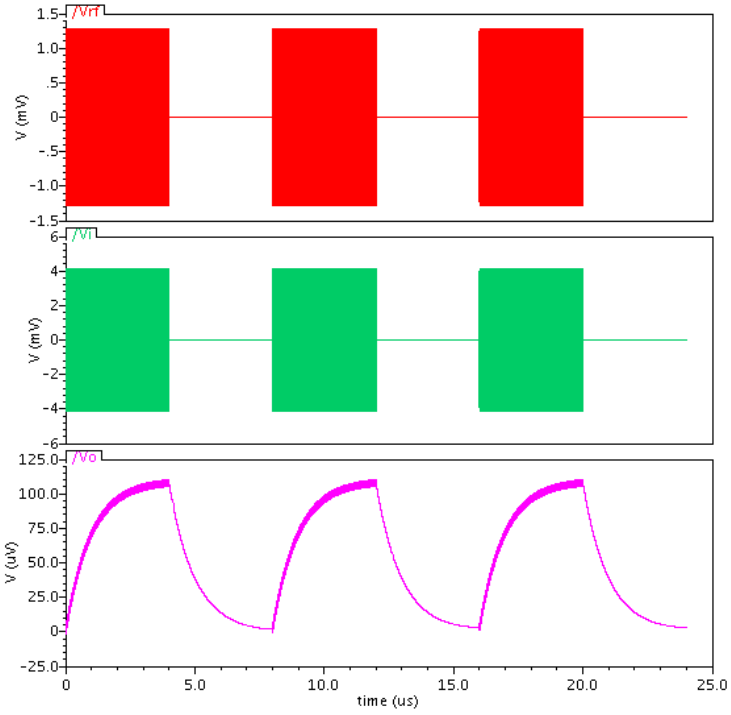


Figura 4.21. **Simulación transitoria del detector de envolvente con la red de adaptación de impedancia.**

La tabla 4.1 muestra un resumen con todos los parámetros del WUR con detector de envolvente integrado.

Tabla 4.1. Parámetros del WUR con detector de envolvente

Parámetro	Valor
M1	N_12_LLNVT
$(W/L)_{M1}$	(25 µm/0,3 µm)
M2	N_12_LLHVT
$(W/L)_{M2}$	(10 µm/3 µm)
C1	10 pF
Vb	0,5 V
C_{M1}	4,04 pF
C_{M2}	10,09 pF
L_{M1}	10 nH
VDD	1,2 V
I_{DC}	440 nA
Consumo	528 nW
Sensibilidad simulada (2 MΩ)	-47 dBm
Área con pads (sin red de adaptación de entrada)	302 µm × 391 µm

4.3. WUR con transformador y detector de envolvente

Para mejorar la sensibilidad se va a poner un transformador entre la señal de entrada y el detector de envolvente con objeto de aumentar la ganancia en tensión [69]. Este WUR es el de la figura 4.2.

En la tecnología se encuentra disponibles transformadores por lo que se quiere probar su funcionamiento en un receptor WUR. Un transformador consiste en dos o más inductores en los que se acoplan sus campos magnéticos [70]. El transformador se ha seleccionado con la herramienta de optimización de transformadores de UMC (*Virtual Transformer Library*) que tiene disponible la tecnología. La impedancia en el primario se fija a 50 Ω y en el secundario se fija a 1500 Ω, con una relación de transformación (m) de 1:8.

La figura 4.22 muestra la simulación del circuito donde a la salida hay una señal de 125 kHz con una amplitud de 150 μV_p. En este caso la sensibilidad es de 1,25 mV_p. Con este diseño el consumo de potencia es el mismo que para el diseño del detector de envolvente, puesto que el transformador no consume energía, siendo de 528 nW.

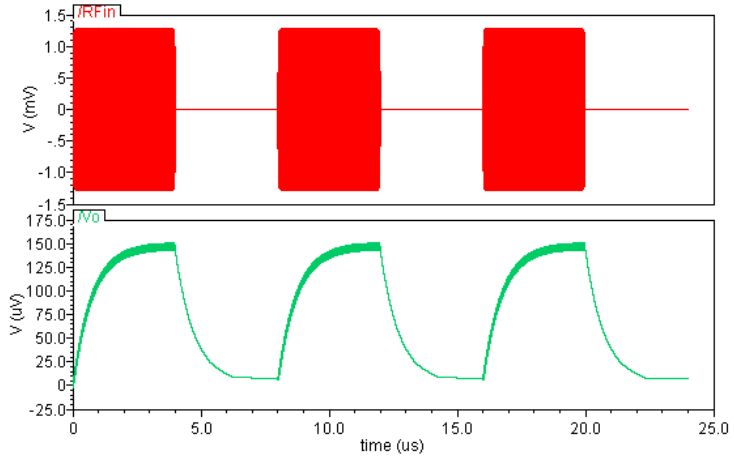
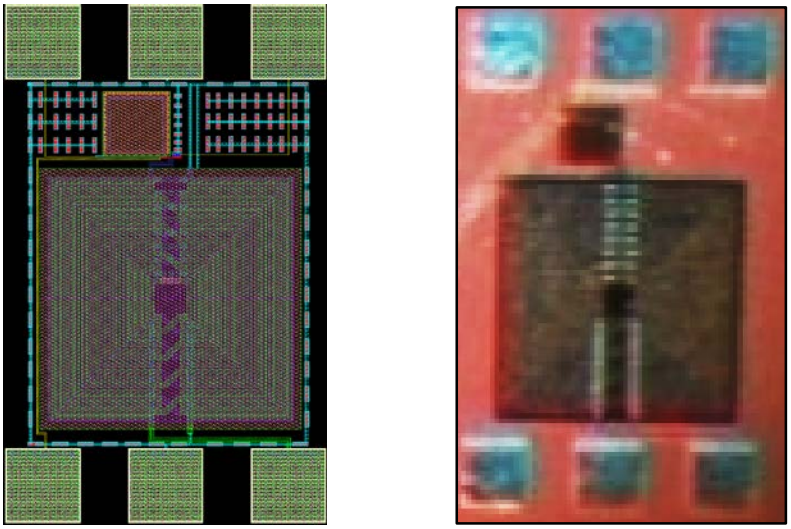


Figura 4.22. Simulación del transformador y el detector de envolvente.

En la figura 4.23.a) se muestra el *layout* del transformador junto al detector de envolvente, el cual tiene un tamaño total incluyendo los *pads* de 634 µm × 391 µm. En la figura 4.23.b) se aprecia una fotografía del bloque.



a) b)

Figura 4.23. Transformador y detector de envolvente: a) *layout*, b) fotografía.

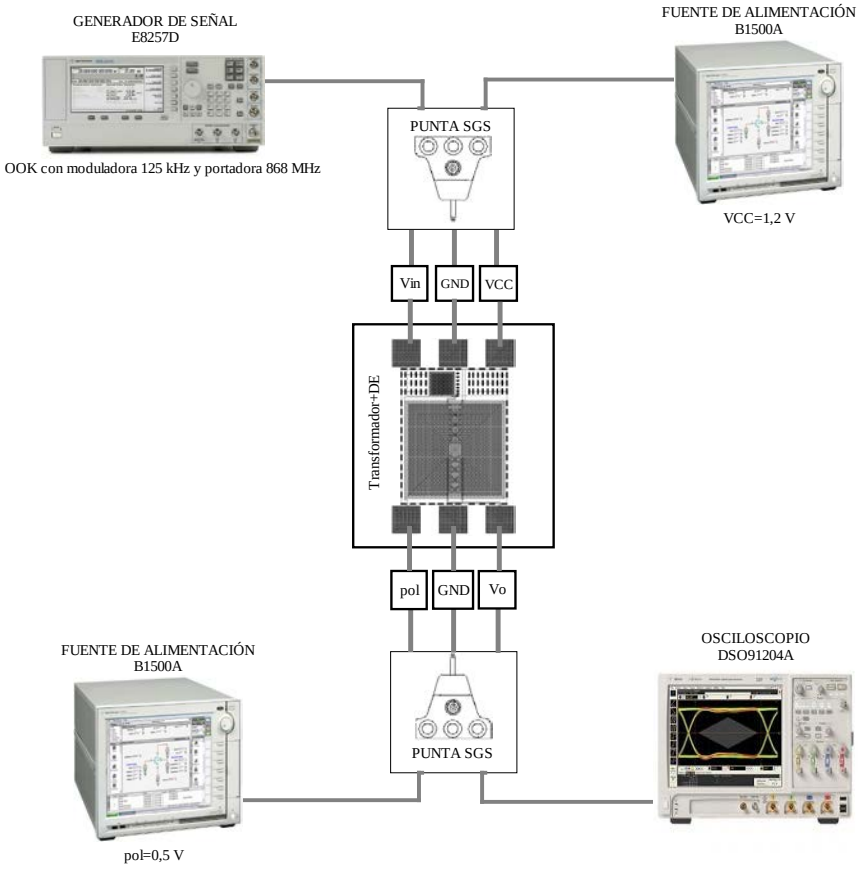


Figura 4.24. ***Setup*** **de medida del WUR con transformador y detector de envolvente.**

La figura 4.24 representa el esquema de medida utilizado. La sensibilidad no se pudo medir debido a que el circuito no estaba adaptado, sin embargo, el consumo si es aproximado al de la simulación siendo de 530 nW. También la figura 4.25 representa el parámetro S11 del transformador, que tiene un valor de -5,13 dB. Este valor es muy alto, teniendo que ser menor de -10 dB para estar bien adaptado.

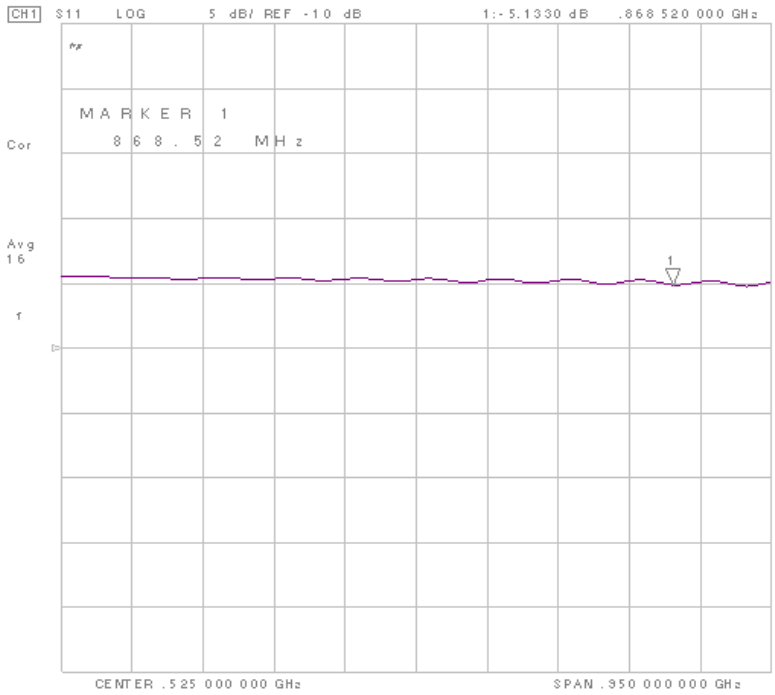


Figura 4.25. Medida del parámetro S11 del WUR con transformador y detector de envolvente.

Aunque el optimizador de bobina del transformador te da la opción de elegir la impedancia de entrada, así como la impedancia de salida del transformador, se pudo comprobar después de fabricado que no hacía esa adaptación. Por lo tanto, se ha añadido una red LC para adaptar tanto la impedancia de la antena con la entrada del transformador como la impedancia de entrada del detector de envolvente con la salida del transformador. La red de entrada consiste en una red LC donde la bobina está en paralelo a tierra y el condensador está en serie (L_i y C_i) y la red de adaptación entre la salida del transformador y la entrada del detector de envolvente está formada por una red LC que consiste en una inductancia en serie y una capacidad en paralelo a tierra (L_M y C_M). El esquemático del transformador con las adaptaciones de impedancia se ve en la figura 4.26.

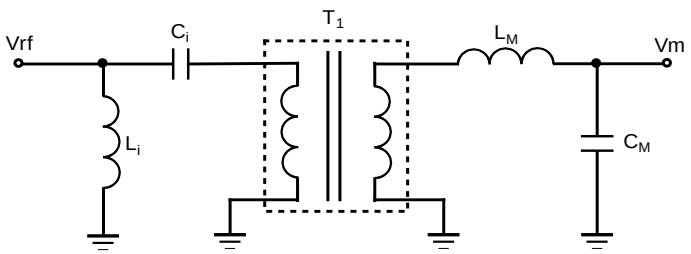


Figura 4.26. Adaptación de impedancia de entrada del y adaptación de impedancia entre el transformador y el detector de envolvente.

La figura 4.27 muestra la adaptación de impedancia de entrada del transformador. El S11 tiene un valor de -42,5 dB comprobando que ahora si está adaptado y era necesario incluirlo en la fabricación. La figura 4.28 muestra la simulación transitoria para definir la sensibilidad siendo de -62 dBm (500 μV_p). El consumo de potencia se mantiene igual siendo de 528 nW.

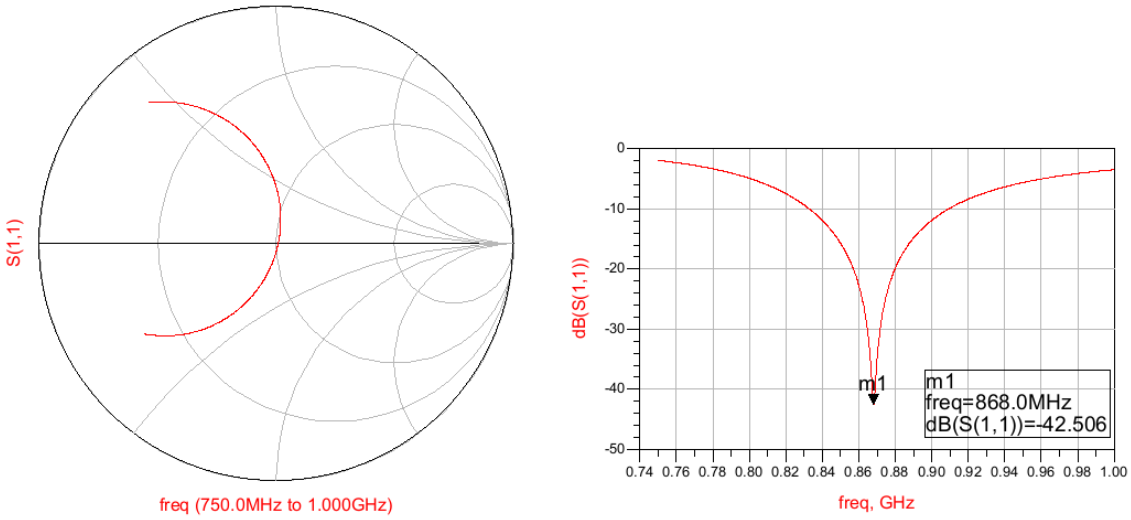


Figura 4.27. **Simulación del parámetro S11 del transformador con adaptación de impedancia de entrada.**

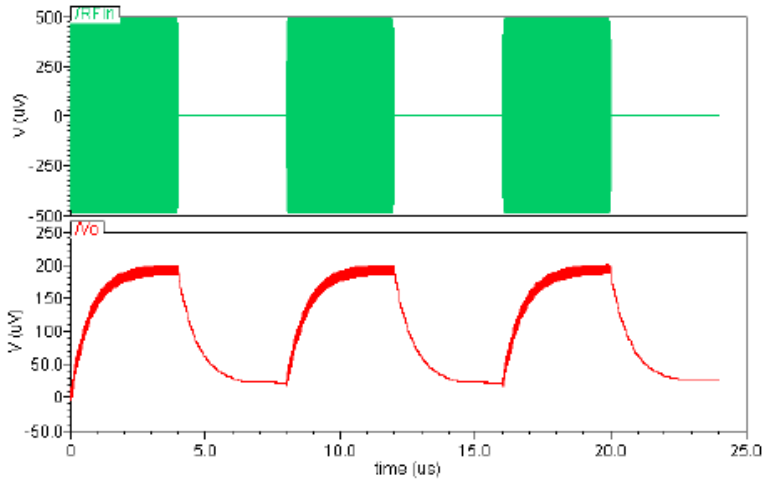


Figura 4.28. **Simulación del transformador con adaptación de impedancia de entrada y adaptación de impedancia entre el transformador y el detector de envolvente.**

La tabla 4.2 muestra un resumen con todos los parámetros del WUR con transformador y detector de envolvente integrado.

Tabla 4.2. Parámetros del WUR con transformador y detector de envolvente

Parámetro	Valor
C_i	1,41 pF
L_i	75 nH
Q_{Li}	7
C_M	4,2 pF
L_M	10 nH
Q_{LM}	7
m_{T1}	1:8
C_D	10 pF
M1	N_12_LLNVT
$(W/L)_{M1}$	(25 µm/0,3 µm)
M2	N_12_LLHVT
$(W/L)_{M2}$	(10 µm/3 µm)
C1	10 pF
V_b	0,5 V
VDD	1,2 V
I_{DC}	440 nA
Consumo	528 nW
Sensibilidad simulada (2 MΩ)	-62 dBm
Área con pads (sin red de adaptación de entrada ni red de adaptación intermedia)	634 µm × 391 µm

4.4. WUR con amplificador cascodo y detector de envolvente

Uno de los parámetros más importantes en los receptores es la sensibilidad la cual da una medida de la distancia entre nodos. Para mejorar esta se puede incluir un amplificador entre la antena y el detector de envolvente. Este esquema se muestra en la figura 4.3.

El amplificador utilizado en esta configuración se basa en una estructura convencional de amplificador de bajo ruido de banda estrecha como el de la figura 4.29. El transistor de entrada M1 está en configuración de fuente común. La etapa cascodo mejora el aislamiento entre la entrada y la salida, así como el ancho de banda al reducir el efecto Miller. El circuito tanque lo forman la inductancia L_L y la capacidad C_L donde se ajusta la frecuencia de resonancia en 868 MHz. La adaptación de impedancia se ajusta a la impedancia de la antena para tener la máxima ganancia con una degeneración inductiva. La inductancia L_s cambia la parte real de la impedancia y la inductancia L_G ajusta la parte imaginaria.

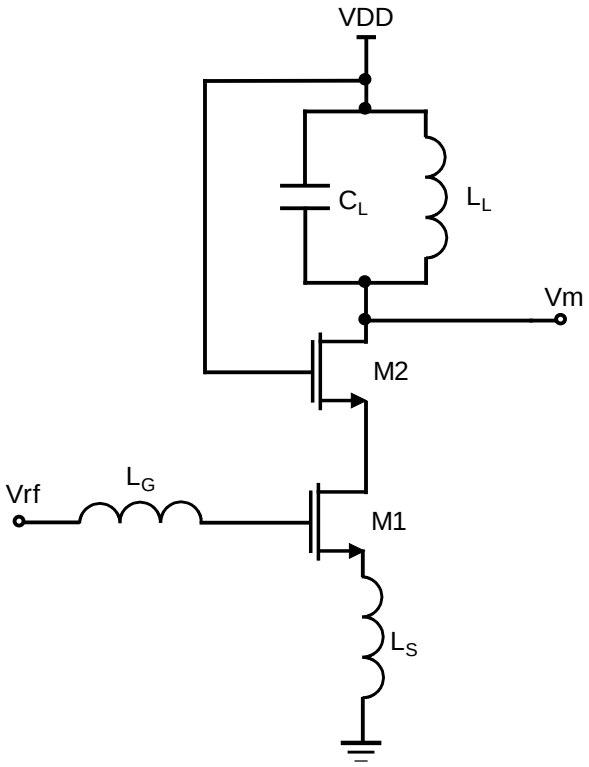


Figura 4.29. Amplificador cascodo de banda estrecha.

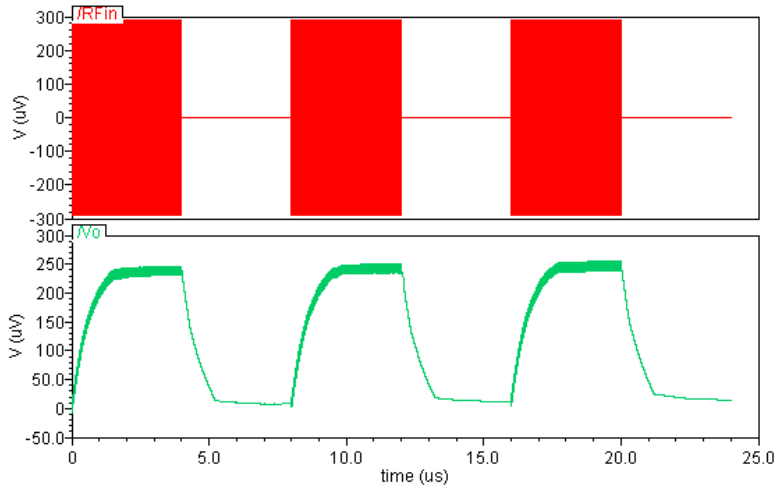
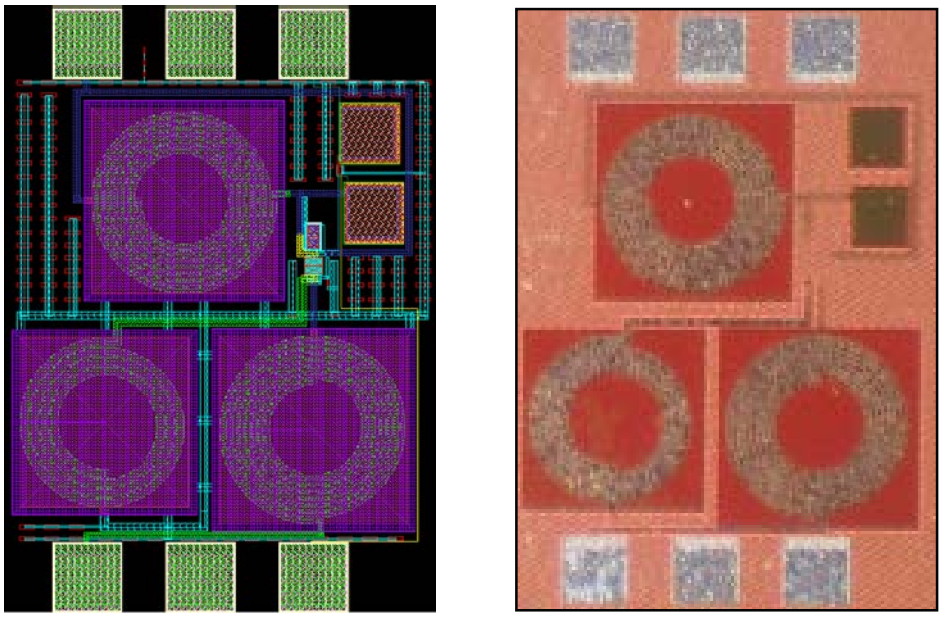


Figura 4.30. Simulación del LNA junto al detector de envolvente integrado.

La figura 4.30 muestra la simulación del amplificador unido al detector de envolvente. Introduciendo una señal de entrada OOK con una amplitud de 300 μV_p, a la salida se obtienen 230 μV_p de amplitud. La sensibilidad máxima que se obtiene es de -62,9 dBm (225 μV_p) para obtener una salida de 113 μV_p, que es la mínima señal que acepta el reconocedor de patrón (AS3933). No obstante, el consumo del bloque es de 6,6 mW. Este

consumo es excesivo, sobre todo si lo comparamos con el de un detector de envolvente simple que consume solo algunos centenares de nW.

En la figura 4.31.a) se muestra el *layout* del circuito y en la figura 4.31.b) una fotografía del chip que se ha fabricado. Se ve claramente que las bobinas, tanto la del circuito tanque como las de adaptación de impedancia son muy grandes ocupando un área que hay que tener en consideración. El área del chip es de 809 µm × 554 µm. La figura 4.32 representa el *setup* de medida para el circuito.



a) b)

Figura 4.31. LNA junto al detector de envolvente integrado: a) *layout,* b) fotografía.

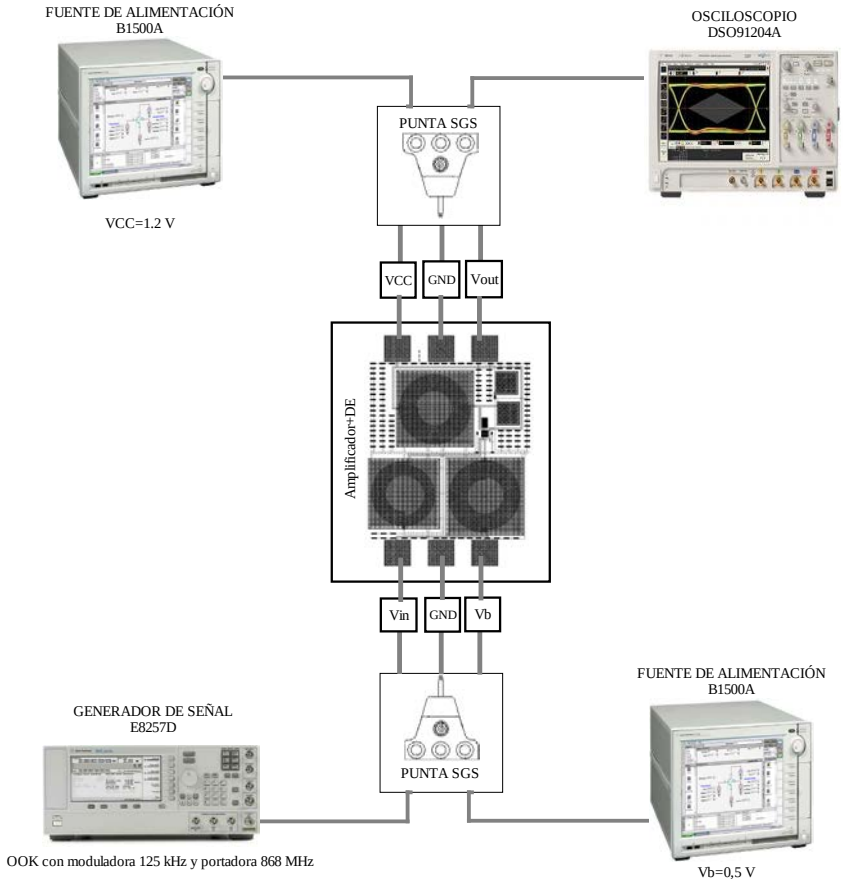
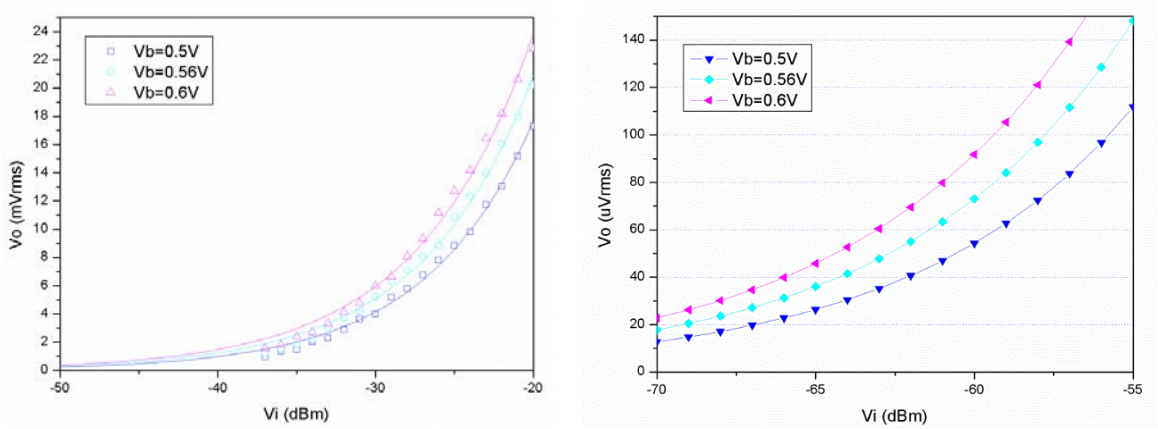


Figura 4.32. ***Setup*** **de medida del WUR con amplificador y detector de envolvente.**

Figura 4.33. **Medida del parámetro S11 del WUR con amplificador y detector de envolvente.**

En la figura 4.33 se observa el parámetro S11, que tiene un valor de -16 dB para la frecuencia de 868 MHz. La figura 4.34 representa la sensibilidad medida para distintas tensiones de polarización de la fuente de corriente V_b. La sensibilidad está en el margen de la simulada, donde para una V_b igual a 0,56 V es de -59 dBm medido. No obstante, si se sube la V_b hasta 0,6 V se obtiene una sensibilidad de -61 dBm, con el consiguiente aumento en el consumo de unos pocos nanoamperios, consumo inapreciable en este caso dado que todo el sistema consume 6,6 mW.



a) b)

Figura 4.34. Medida de la sensibilidad del WUR con amplificador y detector de envolvente: a) medidas, b) zoom de la sensibilidad.

La tabla 4.3 muestra un resumen con los parámetros del WUR con amplificador cascodo y detector de envolvente integrado.

Tabla 4.3. Parámetros del WUR con amplificador cascodo y detector de envolvente

Parámetro	Valor
L_G	13 nF
Q_{LG}	11
L_S	3 nF
Q_{LS}	8,4
M1, M2	N_12_LLNVT
$(W/L)_{M1}$, $(W/L)_{M2}$	(200 µm/1 µm)
F_{M1}, F_{M2}	20
C_L	5,61 pF
L_L	13 nF
Q_{LL}	9,91
C_D	10 pF
M3	N_12_LLNVT

$(W/L)_{M3}$	(25 µm/0,3 µm)
M4	N_12_LLHVT
$(W/L)_{M4}$	(10 µm/3 µm)
C1	10 pF
Vb	0,56 V
VDD	1,2 V
I_{DC_DE}	440 nA
I_{DC_AMP}	6,6 mA
Consumo	6,6 mW
Sensibilidad simulada (2 MΩ) / medida (2 MΩ)	-62,9 dBm / -59 dBm
Área con pads	809 µm × 554 µm

4.5. WUR con amplificador de bobina externa y detector de envolvente

Esta estructura comprende la adaptación de impedancia de entrada, un amplificador cascodo y el detector de envolvente, como se puede ver en la figura 4.4. En la figura 4.35 se puede observar el amplificador así como la adaptación de impedancia de entrada. En este caso se ha optimizado las dimensiones del amplificador para tener una ganancia aceptable con un bajo consumo.

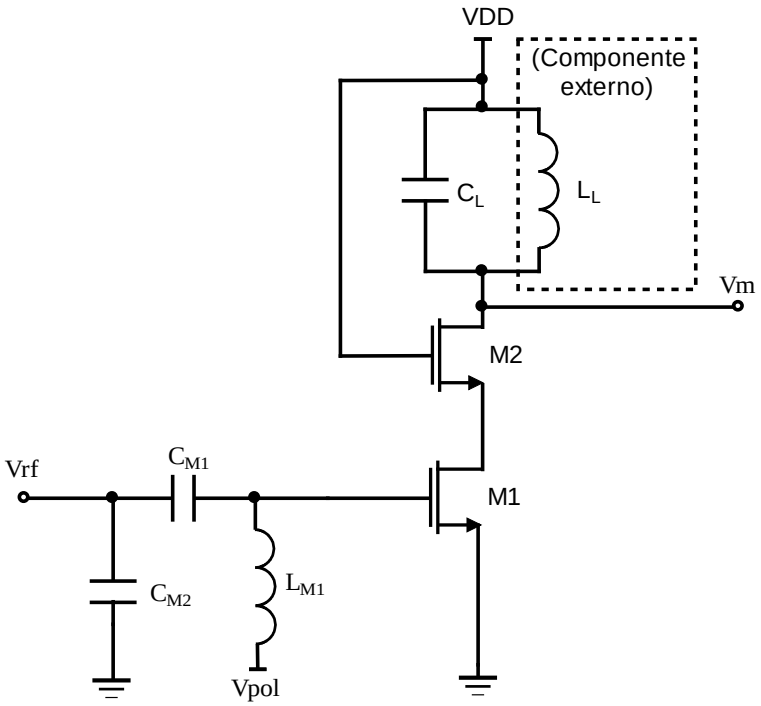


Figura 4.35. Esquemático del amplificador con bobina externa y adaptación de impedancia de entrada.

En la carga del circuito tanque del amplificador se va a utilizar una bobina externa puesto que se han realizado pruebas con las bobinas que proporciona la tecnología y su factor de calidad no es aceptable para tener una buena ganancia con un bajo consumo [71]. Finalmente se ha decidido por utilizar una bobina externa con un buen factor de calidad en la frecuencia de funcionamiento del amplificador. La bobina utilizada para el circuito tanque L_L es la bobina de referencia LQW2UAS33N que tiene una inductancia de 33 nH y un factor de calidad Q por encima de 120 para la frecuencia de 868 MHz. Con estos parámetros, el valor del condensador es integrable y se puede dejar integrado con el circuito.

La figura 4.36 muestra el circuito de adaptación de impedancia de entrada, que consiste en dos capacidades y un inductor [72]. Con esta adaptación se consigue adaptar la entrada del amplificador con una impedancia similar a la de la antena de 50 Ω a la frecuencia de funcionamiento de 868 MHz, aprovechando esta red como filtro de señales de interferencias o frecuencias fuera de la banda.

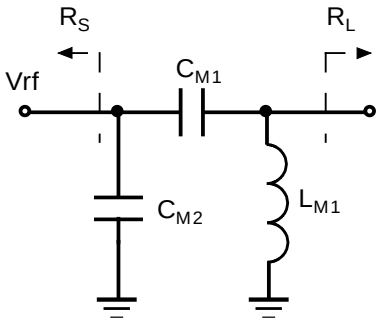


Figura 4.36. Red de adaptación de impedancia.

La relación de transformación entre la impedancia de la antena (R_S) y la impedancia de la puerta del transistor de entrada M1 (R_L) viene dada por la ecuación (4.1) y el máximo valor de la inductancia viene dado por la ecuación (4.2).

$$R_L \approx R_S\left(\frac{C_{M1}+C_{M2}}{C_{M1}}\right) \tag{4.1}$$

$$L_{M1max} = \frac{R_L}{\omega\sqrt{\frac{R_L}{R_S}-1}} \tag{4.2}$$

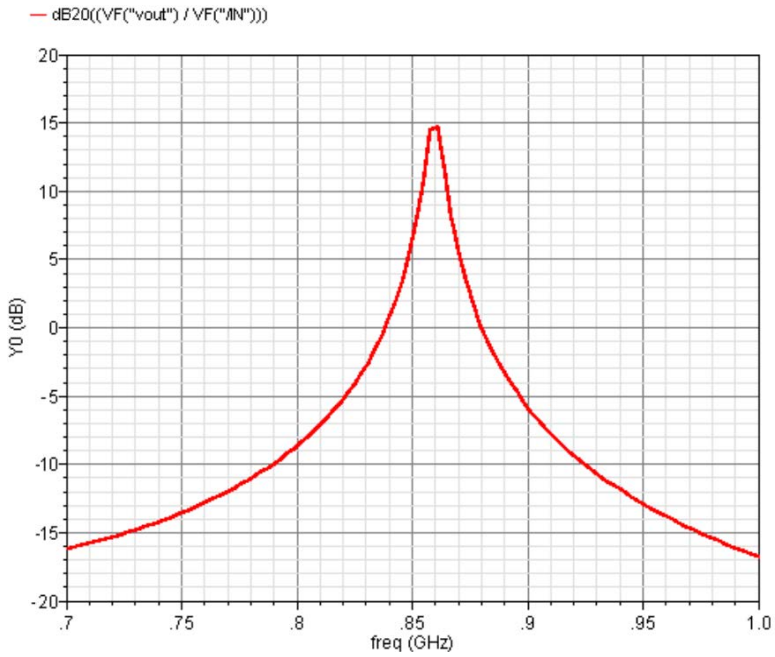


Figura 4.37. **Simulación de la ganancia en tensión del amplificador con bobina externa y detector de envolvente.**

La figura 4.37 muestra la simulación de la ganancia en tensión del amplificador teniendo una máxima ganancia de 15 dB. El *layout* de este diseño se representa en la figura 4.38. Este bloque se va a incluir dentro de un chip donde existen otros bloques diferentes. El chip a su vez se va a encapsular en un QFN-64. La figura 4.39 representa el emplazamiento de este WUR dentro del chip. La sensibilidad simulada de este WUR es de -57 dBm (440 μV_p) con un consumo total de 36,67 µA.

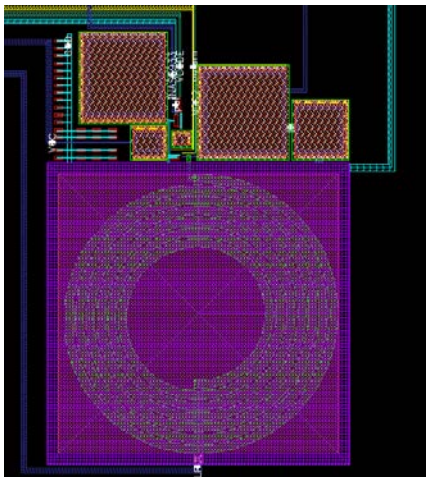


Figura 4.38. ***Layout*** **del amplificador con bobina externa y detector de envolvente.**

El circuito se ha fabricado, pero no se han tenido medidas satisfactorias ya que no se ha logrado obtener la envolvente de la señal. El problema está en el elemento que se ha dejado externo como es la bobina. Al soldar la bobina y estar en una parte tan delicada como es el circuito tanque, no hemos llegado a sintonizar con la frecuencia de trabajo. Además, como el condensador se ha dejado integrado en el circuito, tampoco es posible variar su valor externamente. Esto se podría solucionar poniendo un banco de condensadores o un varactor en el circuito tanque para poder sintonizar a la frecuencia deseada.

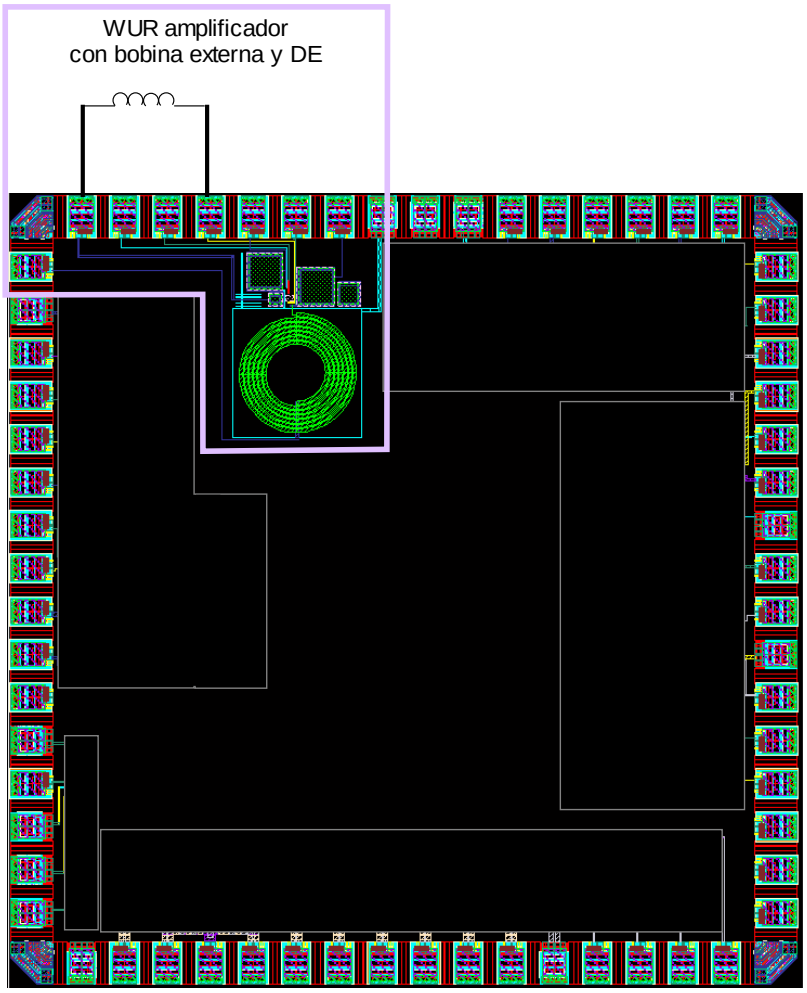


Figura 4.39. **Núcleo del QFN-64 con el emplazamiento del WUR de amplificador con bobina externa y detector de envolvente.**

La tabla 4.4 muestra un resumen con los parámetros del WUR con amplificador con bobina externa y detector de envolvente integrado.

Tabla 4.4. Parámetros del WUR con amplificador con bobina externa y detector de envolvente

Parámetro	Valor
C_{M1}	11 pF
C_{M2}	3,67 pF
L_{M1}	10 nH
V_{pol}	0,760 V
M1, M2	N_12_LLHVTRF
$(W/L)_{M1}$, $(W/L)_{M2}$	(1 µm/0,12 µm)
nf_{M1}, nf_{M2}	2
C_L	1 pF
L_L	33 nF
Q_{LL}	>120
C_D	10 pF
M3	N_12_LLNVT
$(W/L)_{M3}$	(25 µm/0,3 µm)
M4	N_12_LLHVT
$(W/L)_{M4}$	(10 µm/3 µm)
C1	10 pF
Vb	0,5 V
VDD	1,2 V
I_{DC_DE}	440 nA
I_{DC_AMP}	36,23 µA
I_{DC}	36,67 µA
Consumo	44 µW
Sensibilidad simulada (2 MΩ)	-57 dBm
Área activa (sin pads)	270 µm × 403 µm

4.6. WUR con amplificador de bobina activa y detector de envolvente

En este caso el WUR tiene un amplificador con una carga tipo tanque que se realiza con una bobina activa hecha con componentes de la tecnología [73]-[74]. Este WUR consta de un amplificador cascodo con una bobina activa en el circuito tanque, la adaptación de entrada y el detector de envolvente (ver figura 4.5). El primer bloque corresponde al amplificador cascodo y la adaptación de la impedancia de entrada. El segundo bloque es el detector de envolvente y el filtro paso-bajo estudiado en apartados anteriores.

4.6.1. Diseño

Habitualmente para la carga de un amplificador se utiliza un circuito resonante tanque LC, sin embargo en esta estructura se va a remplazar el tanque típico por una bobina

activa con objeto de reducir el área total y poder integrar el sistema completo [75]. En la figura 4.40 se observa el esquemático del amplificador incorporando el tanque con la bobina activa integrada.

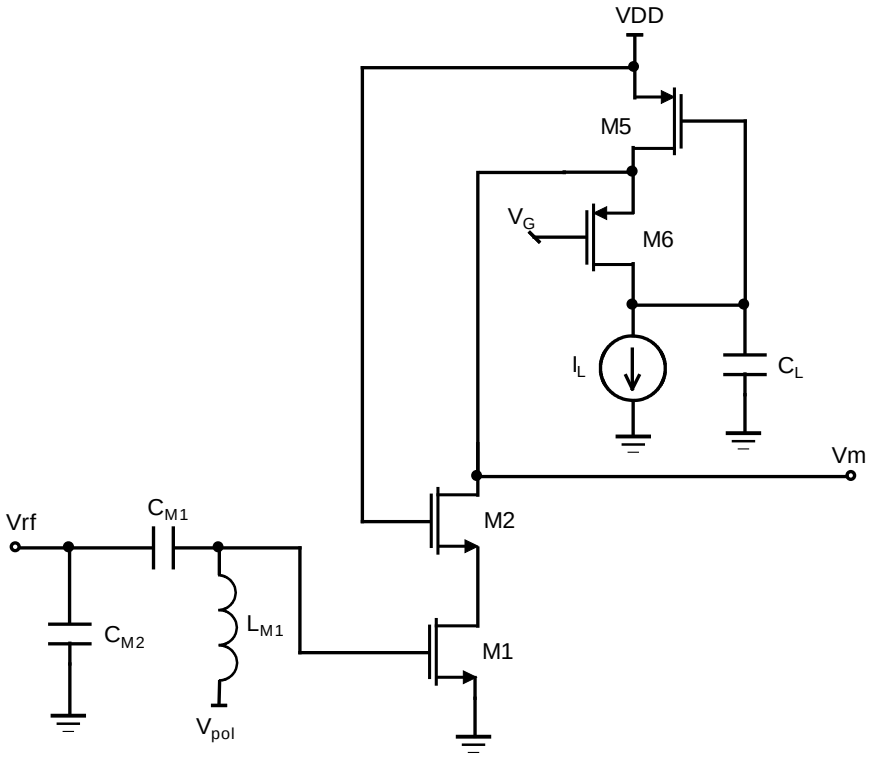


Figura 4.40. Esquemático del amplificador con bobina activa y adaptación de impedancia.

El circuito inductor activo de la figura 4.41, consiste en dos transistores M5 y M6, una capacidad C_L y una fuente de corriente I_L que se puede hacer con un transistor. La impedancia de entrada en pequeña señal se obtiene con la ecuación (4.1).

$$Z_i(s) = \left(\frac{r_{o5}}{1 + sr_{o5}C_o}\right) \left\| \left(\frac{g_{o6}}{g_{m5}g_{m6}} + s\frac{C_L}{g_{m5}g_{m6}}\right) \right. \tag{4.1}$$

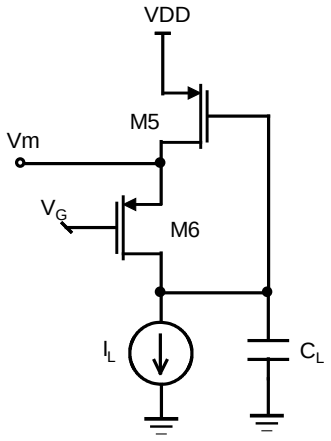


Figura 4.41. Inductor activo.

El emplazamiento en el dado del encapsulado se representa en la figura 4.42. En la figura 4.43 se puede ver el *layout* del circuito receptor el cual tiene un área activa de 272 µm × 464 µm.

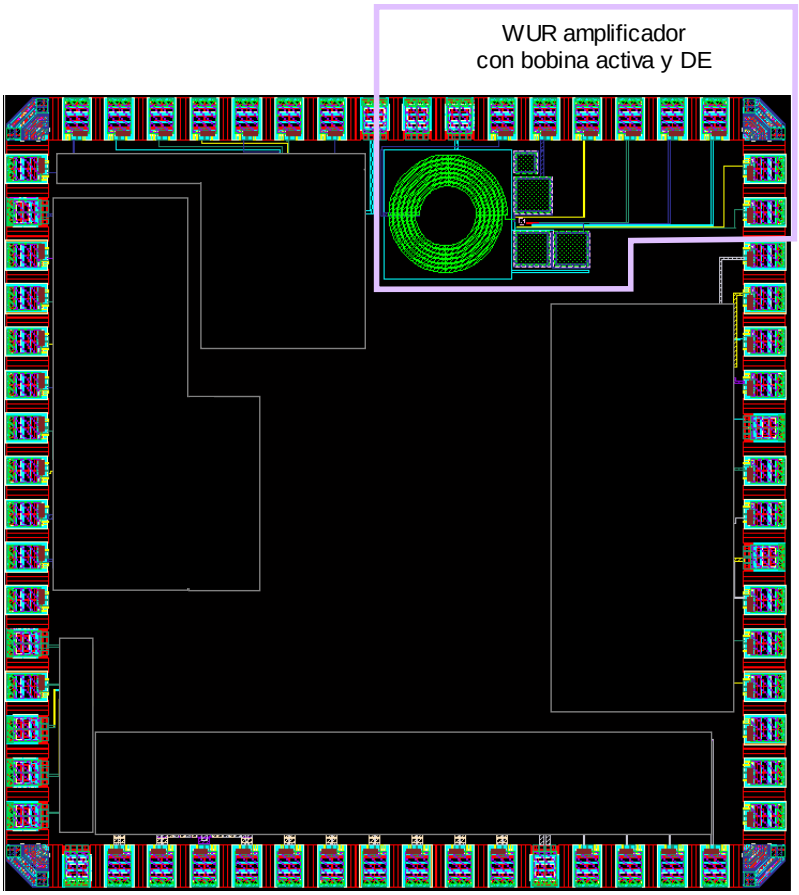


Figura 4.42. Núcleo del QFN-64 con el emplazamiento del WUR de amplificador con bobina activa y detector de envolvente.

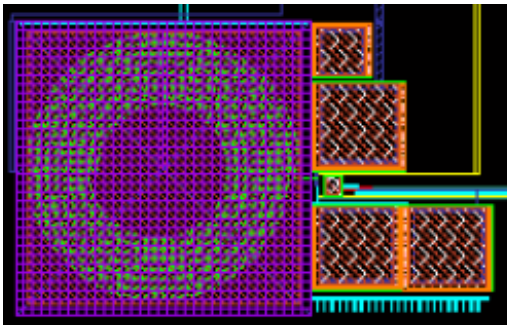


Figura 4.43. ***Layout*** **del amplificador con bobina activa y detector de envolvente.**

Para la simulación de este bloque se ha tenido en cuenta tanto los *bondwire* como los *pads*. La figura 4.44 representa el parámetro S11 del amplificador obteniéndose un valor de -22,5 dB para la frecuencia de 868 MHz. La máxima ganancia en tensión es de 15 dB (ver figura 4.45).

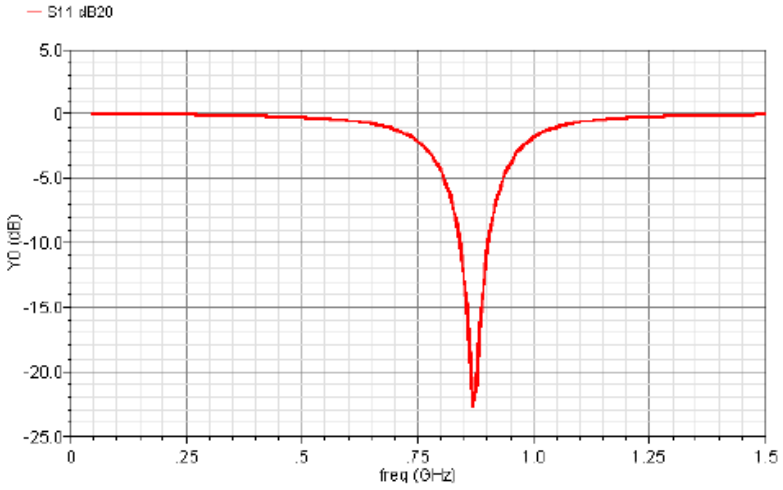


Figura 4.44. **Simulación del S11 del amplificador con bobina integrada y detector de envolvente.**

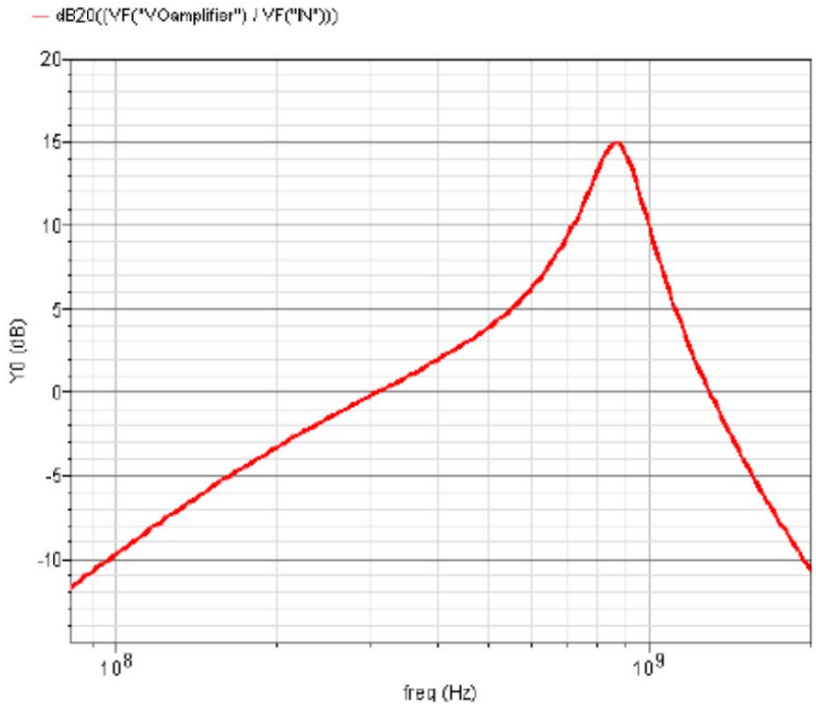


Figura 4.45. Simulación de la ganancia en tensión del amplificador con bobina activa y detector de envolvente.

La amplitud mínima de la señal modulada OOK de entrada es -57 dBm (440 μV_p). El consumo es de 33,4 µA para la tensión de alimentación de 1,2 V, por lo que el consumo del WUR es de 40,08 µW.

4.6.2. Medida

Para realizar la medida de este diseño de WUR de amplificador con bobina activa y detector de envolvente se necesita realizar una PCB para soldar el chip encapsulado donde se encuentra fabricado el diseño. Además, el diseño del apartado anterior del WUR con amplificador con bobina externa y detector de envolvente está en el mismo chip encapsulado y también necesita de una PCB. Por lo tanto, se realiza una sola placa para la medida de los dos diseños.

El núcleo del encapsulado tiene otras partes que no son de interés en este diseño, pero si se han tenido en cuenta por ejemplo que las alimentaciones y las masas sean distintas para no tener problemas cuando se miden. En la figura 4.46 se puede observar el núcleo del chip con los diseños a medir.

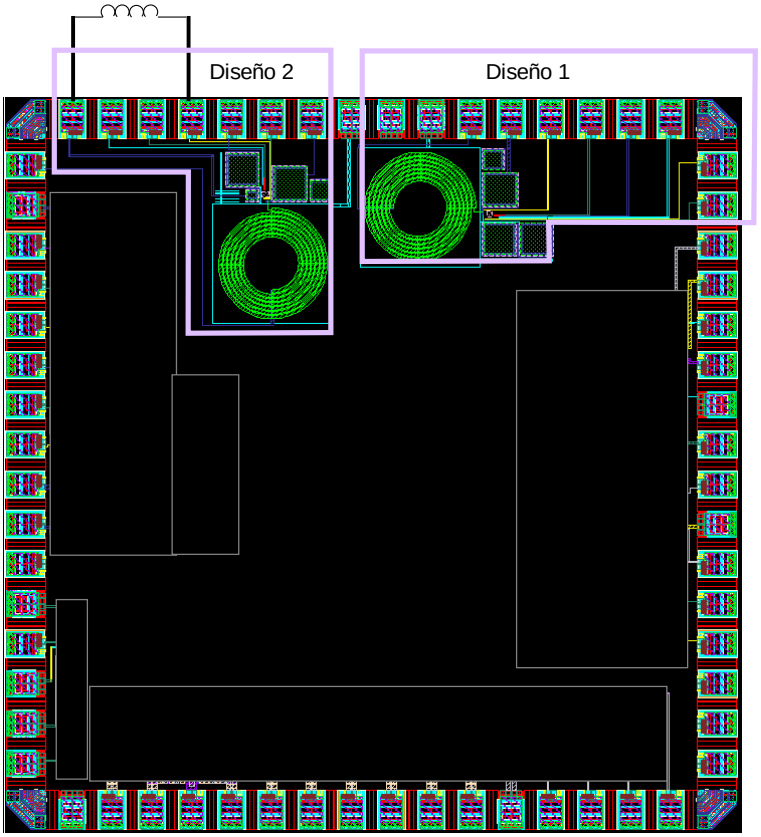


Figura 4.46. Núcleo del chip.

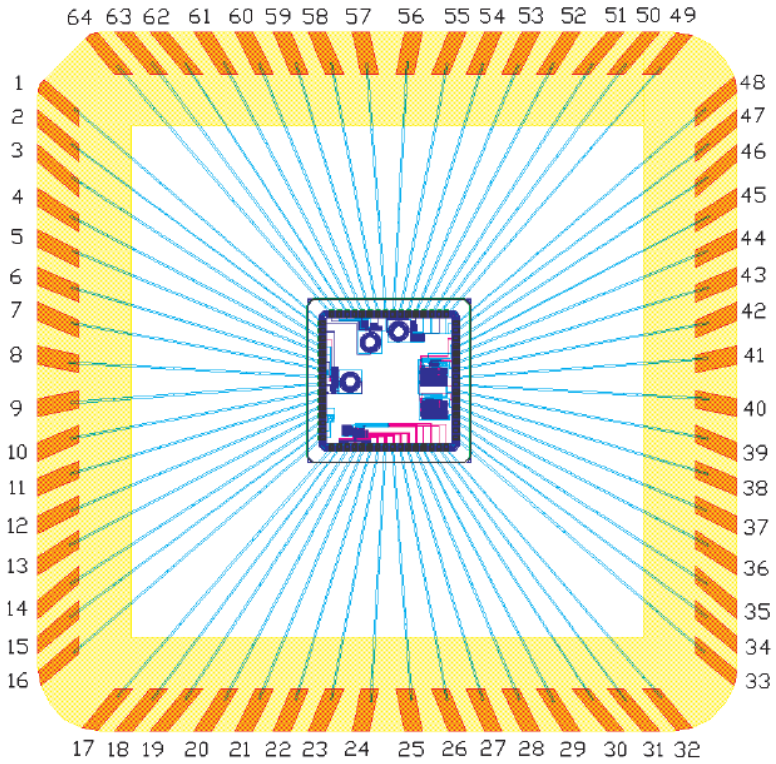


Figura 4.47. Conexión con *bondwires* entre los *pads* del chip y los *pads* del encapsulado.

El encapsulado utilizado en este caso es el QFN-64, con un ancho de 9 mm × 9 mm, separación entre pines de 0,5 mm y el *pad* central con una dimensión de 3,8 mm × 3,8 mm [76]. El conexionado entre los *pads* del núcleo y los *pads* del encapsulado se realizan en fábrica con *bondwire* como se puede ver en la figura 4.47 [77]. Al tratarse de hilos actúan como inductores por lo que van a afectar en los parámetros simulados, normalmente en la adaptación de entrada.

Al realizar la PCB se ha tenido en cuenta poner tanto en las señales de entrada como en las señales de salida conectores tipo SMD. Para las alimentaciones se opta por poner espadines ya que ahorra espacio en la placa [78]. El tamaño de la PCB es de 61,29 mm × 62,33 mm. El montaje de la PCB se puede ver en la figura 4.48 donde se observan el chip encapsulado, los componentes y los terminales para las conexiones de las señales.

La figura 4.49 representa el esquemático del *setup* seguido para realizar las medidas del circuito. Como se puede observar se ha utilizado la fuente de alimentación B1500 para las distintas polarizaciones del circuito. Además, sea usado un generador de funciones para tener la señal modulada AM junto con un osciloscopio para medir la sensibilidad del sistema.

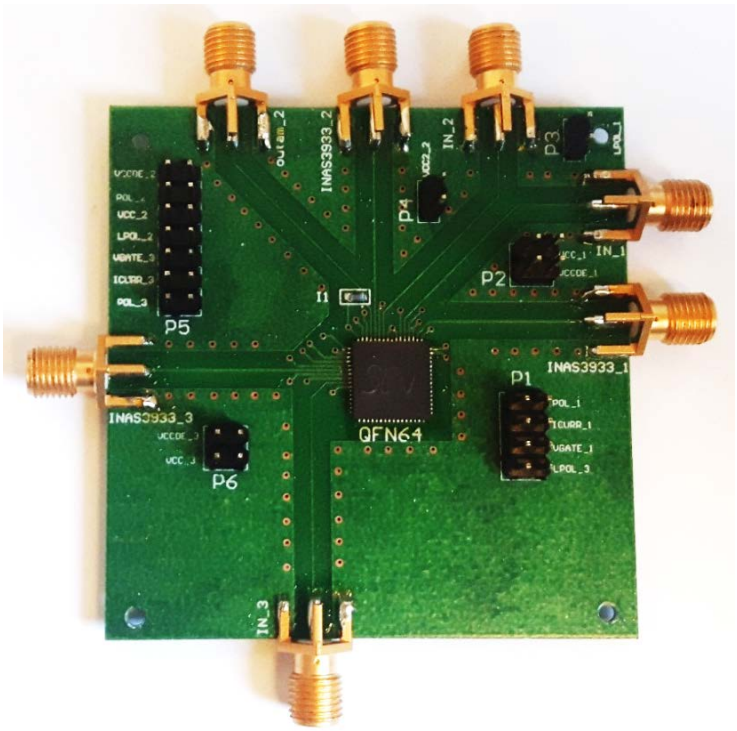


Figura 4.48. **Fotografía de la PCB para la medida de los circuitos encapsulados.**

La primera medida ha sido comprobar la adaptación de impedancia de entrada. Como se puede observar en la figura 4.50 la adaptación se ha desplazado en frecuencia respeto a lo esperado. El valor de S11 para la frecuencia de 868 MHz es de -2,79 dB. Esto se debe a que los *bondwires* reales tienen un valor muy distinto a lo simulado, ya que hay que tener en cuenta que el valor aproximado de la inductancia es de 1 nH por mm, pero dependiendo de cómo se coloque el núcleo en el encapsulado además de lo largo y alto que sea el *bondwire*, su valor puede variar.

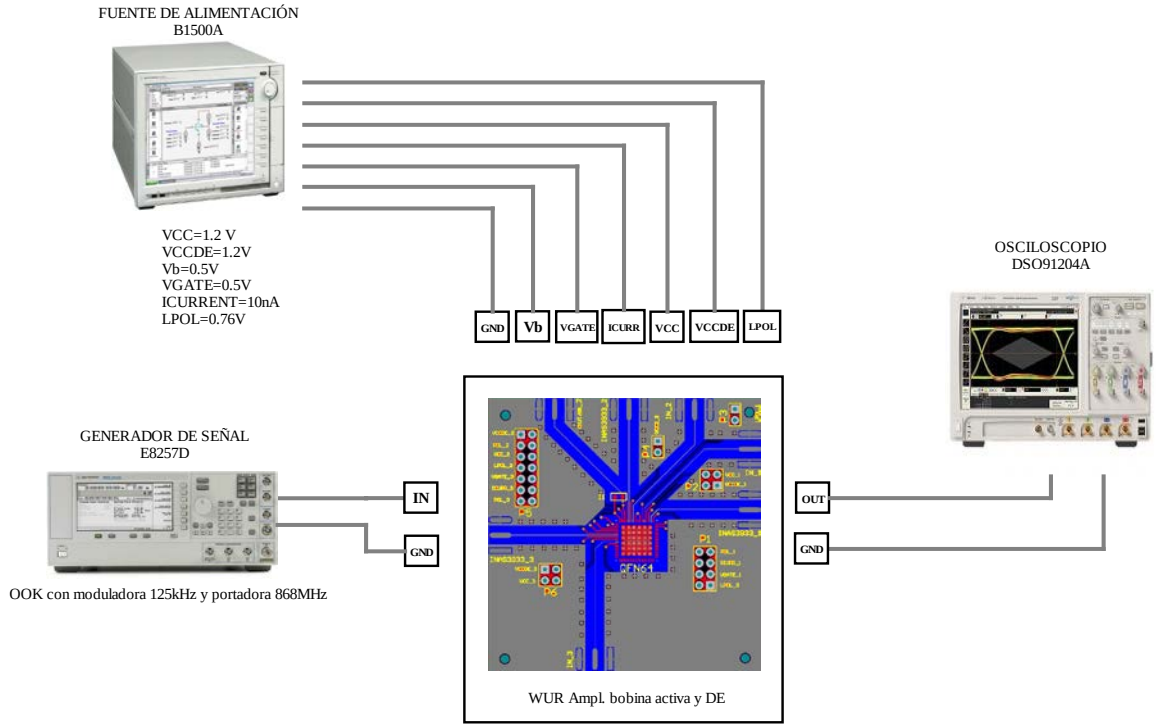


Figura 4.49. ***Setup*** **de medida del WUR con amplificado de bobina integrada y detector de envolvente.**

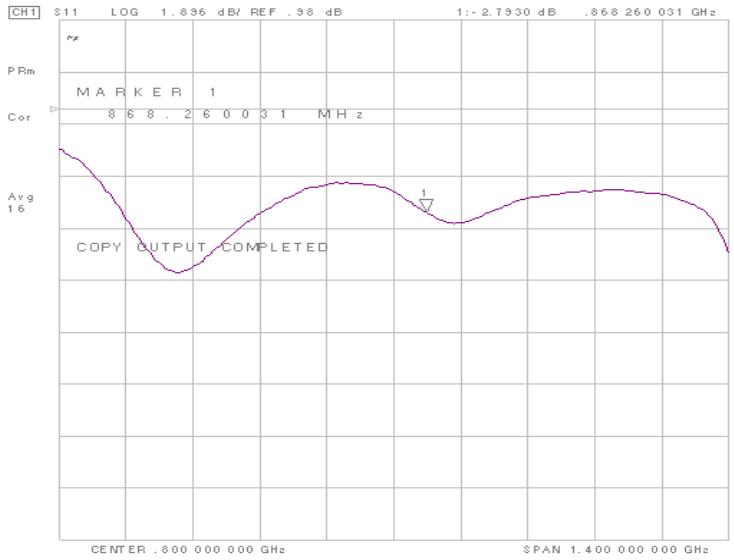


Figura 4.50. Reflexión del amplificador con bobina integrada y detector de envolvente.

Para solventar esta mala adaptación, se procede a realizar una red de adaptación externa volviendo a adaptar el circuito de entrada. Partiendo de los datos medidos en el circuito desadaptado se puede calcular una red e incorporarla entre el generador de la señal de entrada y la entrada del circuito. En la figura 4.51.a) se puede ver el esquema de la red propuesta, que es una red en T con dos bobinas (L_{N1} y L_{N2}) y un condensador (C_{N1}), y en la figura 4.51.b) se ve una foto de la placa de adaptación con los componentes montados. La figura 4.52 representa la medida de la reflexión con la red de adaptación externa donde se comprueba que se ha conseguido adaptar a la frecuencia de 868 MHz.

a) b)

Figura 4.51. Red de adaptación externa: a) esquema; b) fotografía de la PCB.

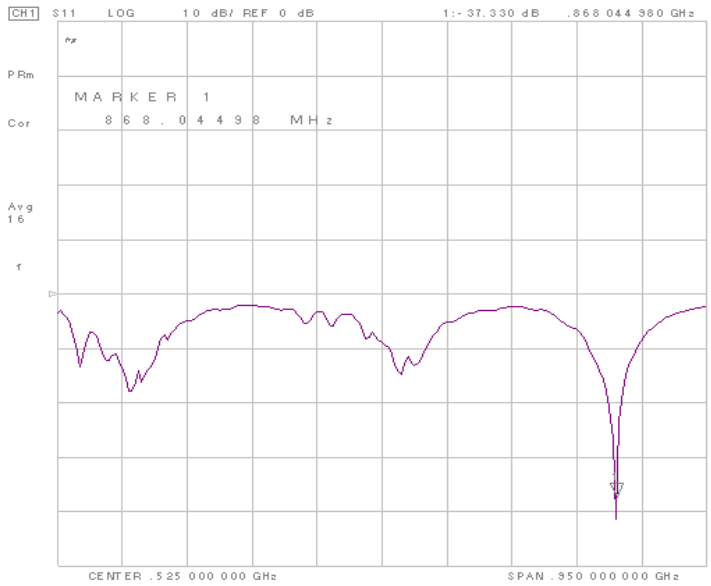
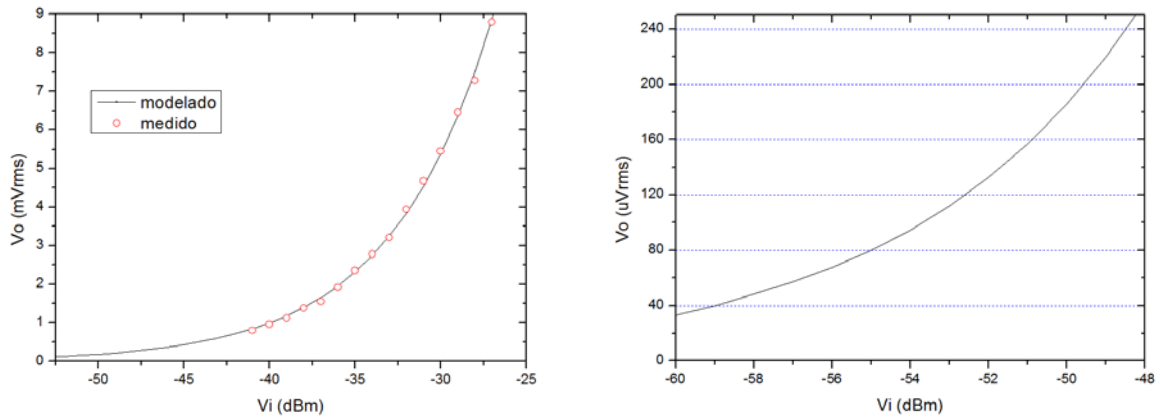


Figura 4.52. **Reflexión añadiendo readaptación externa al amplificador con bobina activa y detector de envolvente.**

En la figura 4.53.a) se muestra en círculos la sensibilidad medida y en una línea continua la extrapolada. La sensibilidad del circuito se comprueba que está próxima a -55 dBm, como se puede comprobar en la figura 4.53.b). La potencia consumida medida es de 36 µA.



a) b)

Figura 4.53. **Medida de la sensibilidad del WUR con amplificador con bobina activa y detector de envolvente: a) medidas, b) zoom de la sensibilidad.**

La tabla 4.5 muestra un resumen con los parámetros del WUR con amplificador con bobina activa y detector de envolvente integrado.

Tabla 4.5. Parámetros del WUR con amplificador con bobina activa y detector de envolvente

Parámetro	Valor
C_{M1}	11 pF
C_{M2}	3,67 pF
L_{M1}	10 nH
Q_{LM1}	9,97
V_{pol}	0,760 V
M1, M2	N_12_LLHVTRF
$(W/L)_{M1}$, $(W/L)_{M2}$	(1 µm/0,12 µm)
F_{M1}, F_{M2}	2
M5	P_12_LLLVTRF
$(W/L)_{M5}$	(0,5 µm/0,18 µm)
M6	P_12_LLLVTRF
$(W/L)_{M6}$	(0,6 µm/0,18 µm)
C_L	9,81 pF
V_G	0,5 V
I_L	10 nA
C_D	10 pF
M3	N_12_LLNVT
$(W/L)_{M3}$	(25 µm/0,3 µm)
M4	N_12_LLHVT
$(W/L)_{M4}$	(10 µm/3 µm)
C1	10 pF
Vb	0,5 V
VDD	1,2 V
I_{DC_DE}	440 nA
I_{DC_AMP}	32,96 µA
I_{DC} (simulado/medido)	33,4 µA / 36 µA
Consumo	40,08 µW
Sensibilidad simulada (2 MΩ)	-57 dBm / -55 dBm
Área activa (sin pads)	272 µm × 464 µm

4.7. WUR con etapa de amplificación y filtro realimentados y segunda etapa de amplificación con filtrado

Este receptor se compone de una adaptación de impedancia, una etapa de amplificación realimentada que está compuesta por un primer amplificador, un filtro que hace una primera detección de envolvente y una segunda etapa de amplificación [79]. Finalmente tiene otra etapa de amplificación y filtrado compuesta por dos amplificadores operacionales y un filtro (ver figura 4.6).

La figura 4.54 muestra el esquema de la etapa de amplificación y filtrado de entrada. En el amplificador se utilizan transistores PMOS porque estos transistores tienen un ruido *flicker* significativamente menor que los transistores NMOS. El primer amplificador está compuesto por el transistor P1 en configuración de surtidor común. Este transistor se polariza en inversión débil para tener un bajo consumo y además se limita la corriente a 2,95 µA. El condensador C_{block} fija la frecuencia de corte inferior mientras que el filtro paso-bajo compuesto por R1 y C1 fija la frecuencia de corte superior. Este conjunto conforma un filtro paso-banda que actúa como una primera etapa de detección de envolvente. El segundo amplificador está compuesto por el transistor P2 y se polariza con una baja corriente de 2,02 µA. La señal se realimenta parcialmente por la resistencia R3 hacia el primer amplificador. Para una tensión de alimentación de 1 V el consumo de esta etapa es de 4,97 µA.

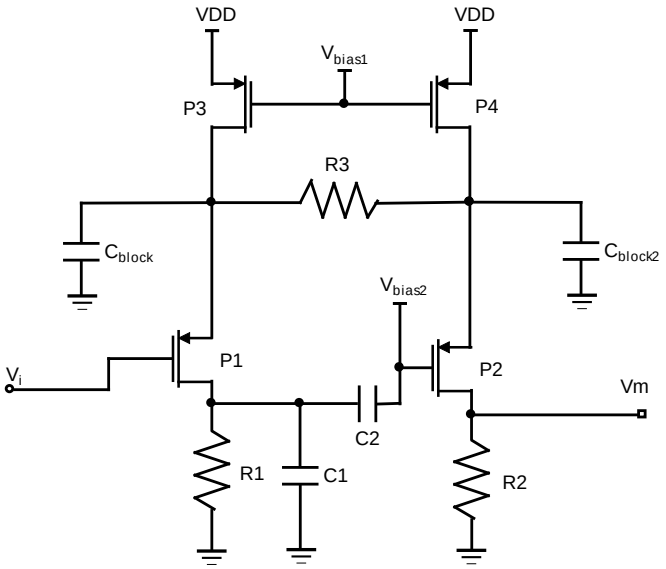


Figura 4.54. Esquemático de la etapa de amplificación y filtro realimentado.

La figura 4.55 representa el *layout* de la etapa de amplificación y filtrado realimentado. Esta etapa ocupa un área de 230 µm × 160 µm. Esta área está dominada por los condensadores que fijan la frecuencia de corte inferior.

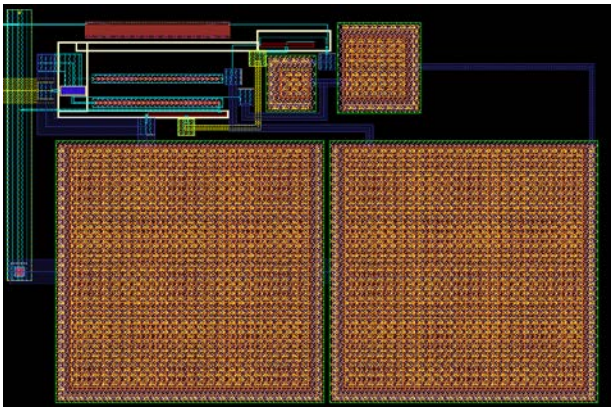


Figura 4.55. ***Layout*** **de la etapa de amplificación y filtro realimentado.**

La figura 4.56 representa el esquema de la segunda etapa amplificadora y filtro. Esta etapa consta de dos amplificadores operacionales en configuración no inversora con una ganancia fija y un filtro paso-bajo de segundo orden. A esta etapa se le ha ajustado el ancho de banda entre 100 kHz y 1 MHz para obtener la envolvente de la señal modulada OOK de entrada.

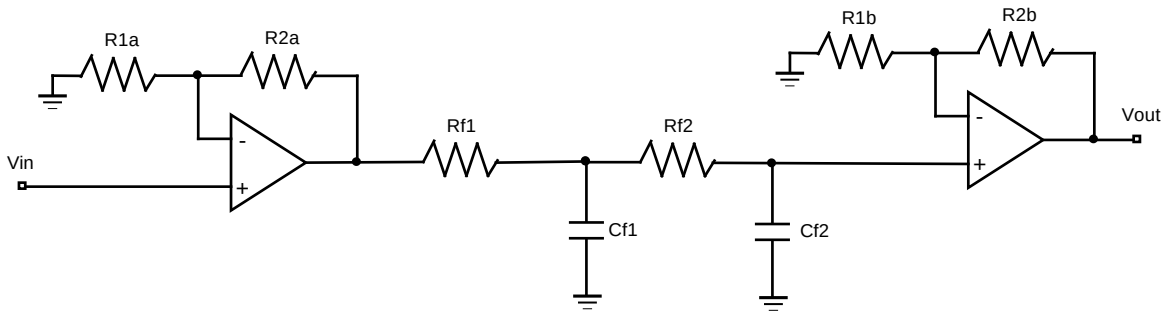


Figura 4.56. **Esquemático de la etapa amplificadora y filtro.**

La simulación de la figura 4.57 muestra la ganancia entre la entrada del primer amplificador operacional (Vin) y la salida del segundo amplificador operacional (Vout). La ganancia de la etapa es de 49 dB a una frecuencia de 125 kHz. El consumo de esta etapa es de 1,8 µW [27].

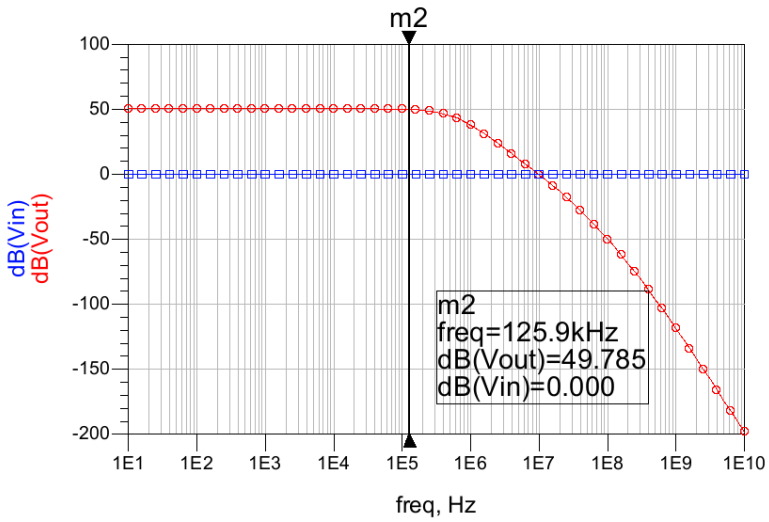


Figura 4.57. Simulación de la etapa amplificadora y filtro.

Una vez se han simulado los bloques por separado se realiza la simulación del WUR completo. Además de la etapa amplificadora y el filtro se incluye la etapa de adaptación de impedancia como se observa en la figura 4.6. En la figura 4.58 se representa el parámetro S11 con un valor de -34 dB estando adaptado a la frecuencia de 868 MHz.

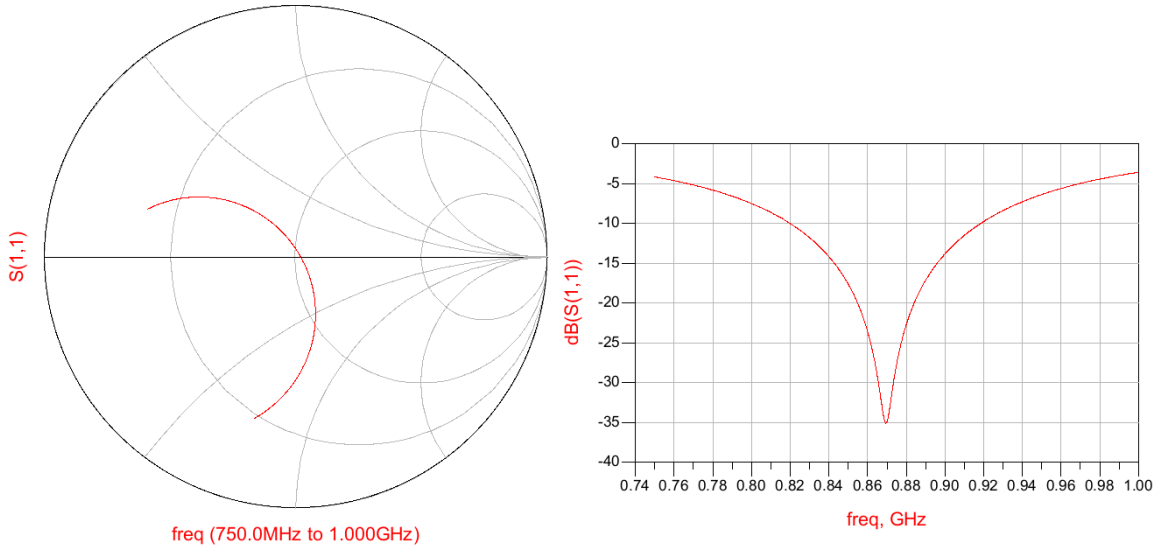


Figura 4.58. Simulación del parámetro S11 del WUR con etapa de amplificación y filtro realimentados y segunda etapa de amplificación con filtrado.

La figura 4.59 muestra la simulación en AC del circuito. Se observa la señal a la entrada del primer amplificador operacional (‘Vin’) y a la salida del segundo amplificador operacional (‘Vout’). A la salida de la etapa de amplificación se ve la máxima ganancia a la

frecuencia de 868 MHz, mientras que a la salida de la segunda etapa amplificadora está limitado su ancho de banda desde los 100 kHz a 1 MHz. También se puede ver el efecto que produce el condensador que limita la frecuencia inferior.

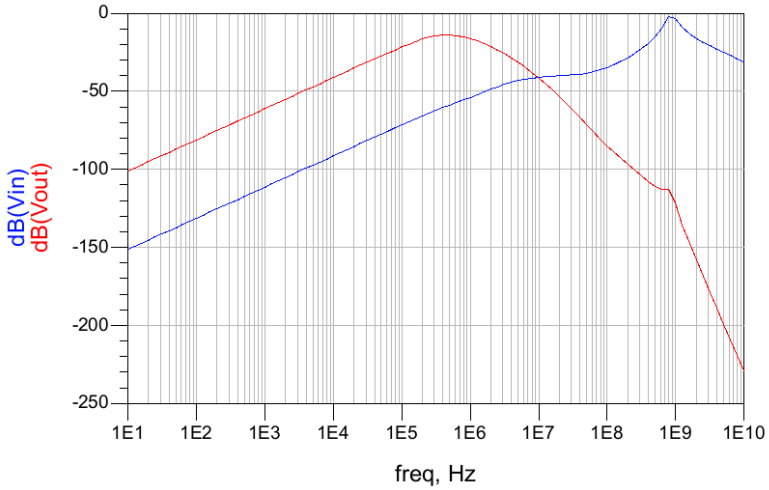


Figura 4.59. **Simulación en AC del WUR con etapa de amplificación y filtro realimentados y segunda etapa de amplificación con filtrado.**

Para ilustrar mejor estos resultados se ha realizado una simulación del balance de armónicos con las potencias de las señales de interés que se observa en la figura 4.60 [80]. Para la señal AM a la frecuencia de 868 MHz y una potencia de entrada ('Vrf') de -71,6 dBm para el tono central de la portadora, y una potencia de -75 dBm para cada uno de los dos tonos de la frecuencia moduladora (867,875 MHz y 868,125 MHz), nos da una potencia de entrada de -66 dBm (160 μV_p). A la salida del WUR ('Vout') hay una tensión de 137,9 μV_{pp}, por lo tanto, para tener una tensión suficiente para el reconocedor de patrón (113,15 μV_p) necesitamos una potencia de entrada de aproximadamente -63,2 dBm.

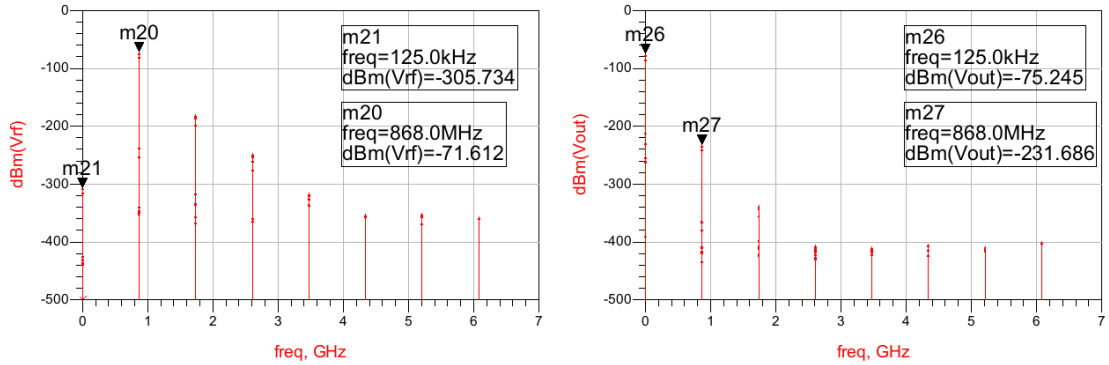


Figura 4.60. **Simulación del balance de armónicos del WUR con etapa de amplificación y filtro realimentados y segunda etapa de amplificación con filtrado.**

En la figura 4.61 se observan las señales en el dominio del tiempo. Esta representa la señal AM de entrada (‘Vrf’), la salida de la etapa de amplificación de entrada (‘Vin’) y la salida de la segunda etapa amplificadora (‘Vout’). A la salida de la primera etapa amplificadora se ve el filtrado de la señal donde se aprecia cómo está la envolvente de la señal, pero no está totalmente filtrada. No obstante, a la salida del preamplificador se obtiene la envolvente de la señal totalmente filtrada gracias al filtro que se encuentra entre los amplificadores operacionales. Este WUR tiene una sensibilidad de -63,2 dBm y un consumo de 6,77 µA. La tabla 4.6 muestra un resumen con los parámetros del WUR con la etapa de amplificación y filtro realimentado y segunda etapa de amplificación con filtrado.

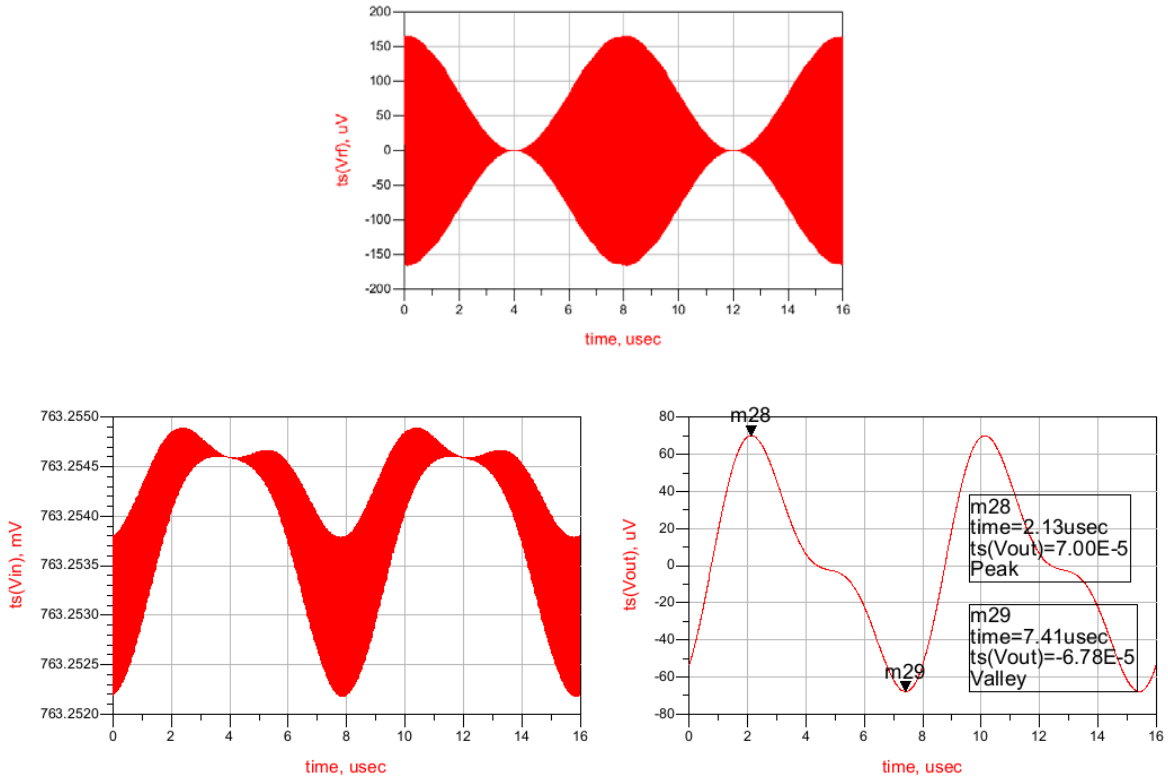


Figura 4.61. **Simulación del dominio del tiempo del WUR con etapa de amplificación y filtro realimentados y segunda etapa de amplificación con filtrado.**

Tabla 4.6. Parámetros del WUR con etapa de amplificación y filtro realimentado y segunda etapa de amplificación con filtrado

Parámetro	Valor
C_{M1}	1,90 pF
C_{M2}	839 fF
L_{M1}	6,69 nH
Q_{LM1}	7,59
P1,	P_12_LLHVT
$(W/L)_{P1}$	(200 µm/3 µm)
P2	P_12_LLLVT
$(W/L)_{P2}$	(1,6 µm/0,4 µm)
P3	P_12_LLHVT
$(W/L)_{P3}$	(1 µm/3 µm)
P4	P_12_LLHVT
$(W/L)_{P4}$	(2 µm/2 µm)
R1	90 kΩ
C1	1,4 pF
C2	300 fF
R2	799 kΩ
R3	250 kΩ
C_{block}	250 nF
C_{block2}	400 pF
V_{bias1}	0,01 V
V_{bias2}	0,57 V
V_{pol}	0,05 V
$R1_a$, $R1_b$	1 kΩ
$R2_a$, $R2_b$	17 kΩ
R_{f1}, R_{f2}	100
C_{f1}, C_{f2}	10 pF
V_{DD}	1 V
I_{DC_AMP1}	4,97 µA
I_{DC_AMP2}	1,8 µA
I_{DC}	6,77 µA
Consumo	6,77 µW
Sensibilidad simulada (2 MΩ)	-63,2 dBm
Área activa	230 µm × 160 µm

4.8. WUR con amplificador de reutilización de corriente y etapa de amplificación con filtro

La siguiente propuesta es utilizar una etapa de amplificación de entrada con reutilización de corriente (*current-reuse*) para reducir el consumo aún más [81]-[83]. En la figura 4.7 se observa el esquema de este WUR que se compone de la adaptación de

impedancia, un amplificador basado en reutilización de corriente y una segunda etapa de amplificación con filtro paso-bajo. Esta estructura prescinde del primer filtrado que tenía la arquitectura anterior, puesto que como se ve durante este análisis, el filtrado lo realiza la segunda etapa de amplificación y filtro diseñado para tal efecto que da como resultado la envolvente de la señal sin la necesidad de un filtrado anterior.

En la figura 4.62 se pueden ver las estructuras de una etapa de reutilización de corriente. La figura 4.62.a) muestra la etapa con el uso de una resistencia [84], además en la figura 4.62.b) se hace uso de un transistor en vez de la resistencia para reducir el área que tiene una resistencia además poder ajustar la ganancia.

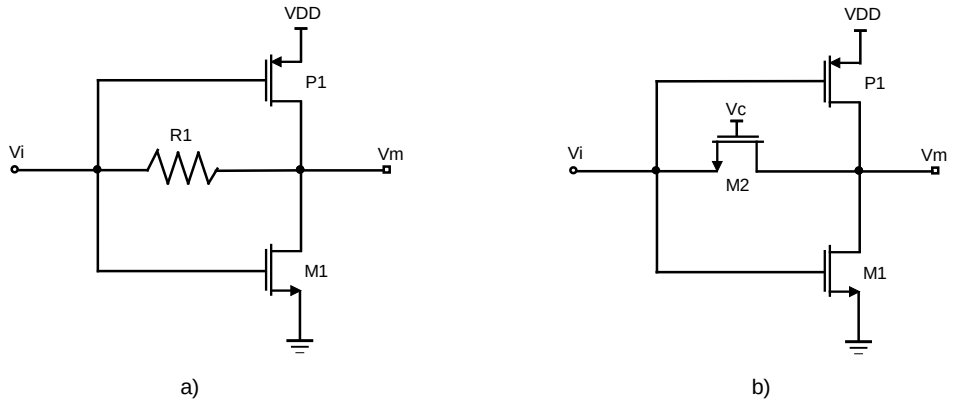


Figura 4.62. Esquemático del amplificador con reutilización de corriente: a) con resistencia; b) con control de ganancia por transistor.

En la figura 4.63 se observa el *layout* del amplificador con reutilización de corriente. Este esquema ocupa un área reducida respecto a otras estructuras diseñadas. El área de este amplificador es de 20 µm × 35 µm, casi 10 veces menos que para la estructura anterior con el amplificador realimentado, ya que no tiene ni el primer filtro ni los otros condensadores de la estructura. El consumo de este amplificador es de 1,83 µA.

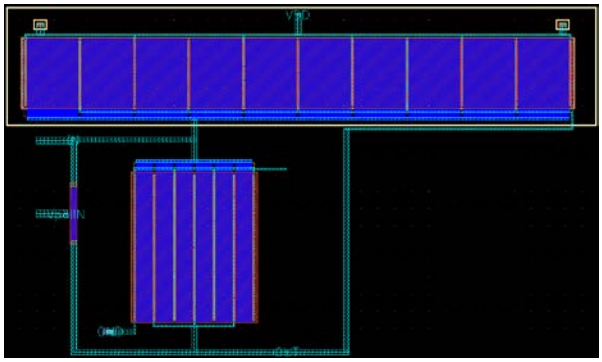


Figura 4.63. ***Layout*** **del amplificador con reutilización de corriente.**

La etapa de amplificación y filtro es la misma que la de la estructura anterior (ver figura 4.56) y ya se ha simulado. Por lo tanto, se pasa a realizar las simulaciones del WUR completo. El ajuste de la adaptación de impedancia de entrada se puede ver en la figura 4.64 estando centrado en 868 MHz donde se comprueba la buena adaptación de entrada con un S11=-32,5 dB.

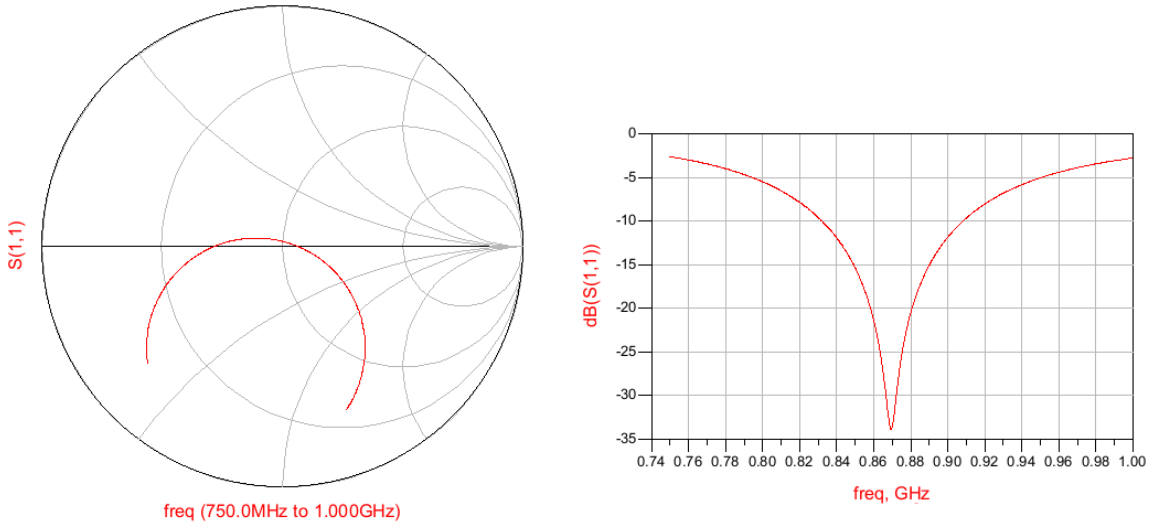


Figura 4.64. **Simulación del parámetro S11 del WUR con amplificador de reutilización de corriente y segunda etapa de amplificación con filtrado.**

En la figura 4.65 y figura 4.66 se muestra el balance de armónicos y la simulación transitoria del WUR. La sensibilidad del WUR es de -75 dBm (40 μV_p) con un consumo total de 3,63 µA. La tabla 4.7 muestra un resumen con los parámetros del WUR con amplificador de reutilización de corriente y segunda etapa de amplificación con filtrado.

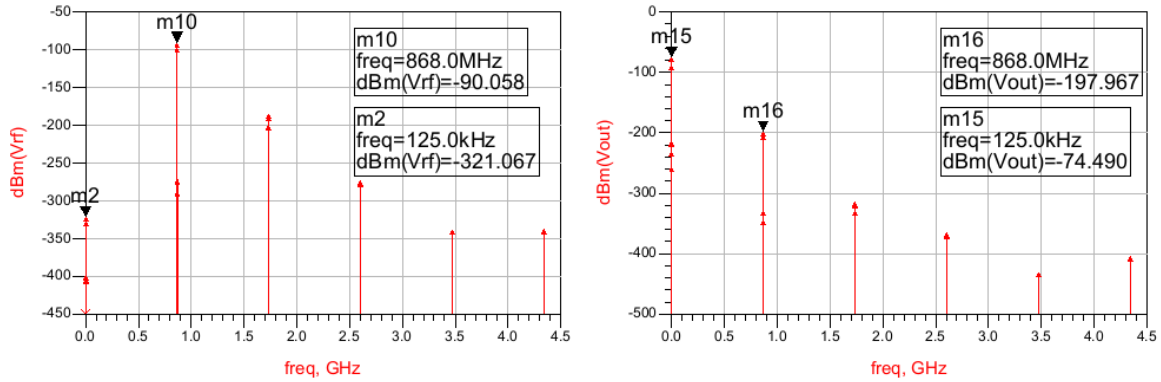


Figura 4.65. **Simulación del balance de armónicos del WUR con amplificador de reutilización de corriente y segunda etapa de amplificación con filtrado.**

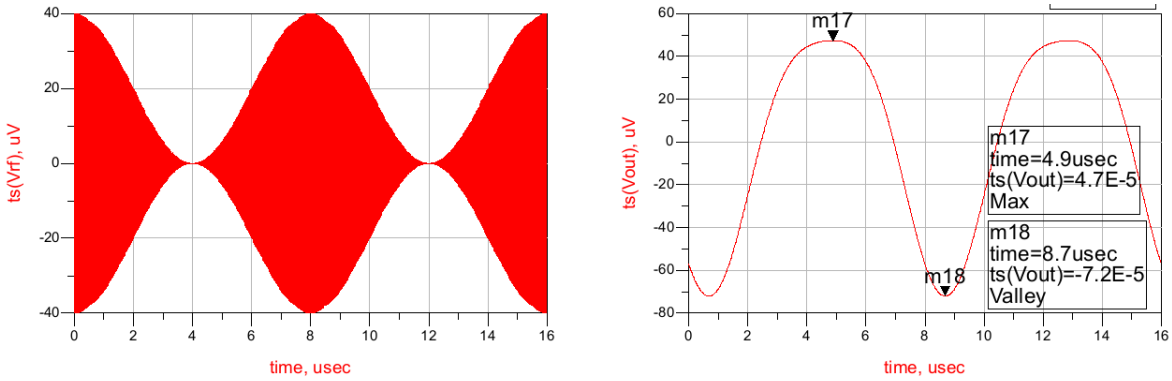


Figura 4.66. **Simulación transitoria del WUR con amplificador de reutilización de corriente y segunda etapa de amplificación con filtrado.**

Tabla 4.7. Parámetros del WUR con amplificador de reutilización de corriente y segunda etapa de amplificación con filtrado

Parámetro	Valor
C_{M1}	1,1 pF
C_{M2}	1,02 pF
L_{M1}	4,26 nH
Q_{LM1}	7,59
P1	P_12_LLHVT
$(W/L)_{P1}$	(38 µm/3 µm)
M1	N_12_LLLVT
$(W/L)_{M1}$	(51 µm/0,97 µm)
M2	N_12_LLHVT
$(W/L)_{M2}$	(0,08 µm/3 µm)
V_{pol}	0,45 V
Vc	0,72 V
$R1_a$, $R1_b$	1 kΩ
$R2_a$, $R2_b$	17 kΩ
R_{f1}, R_{f2}	100
C_{f1}, C_{f2}	10 pF

V_{DD}	1 V
I_{DC_AMP1}	1,83 µA
I_{DC_AMP2}	1,8 µA
I_{DC}	3,63 µA
Consumo	3,63 µW
Sensibilidad simulada (2 MΩ)	-75 dBm
Área activa	20 µm × 35 µm

4.9. Resumen

Este capítulo comprende varios diseños que se basan en la arquitectura de un receptor de detector de envolvente de RF.

La primera estructura consiste en la más simple de este tipo de receptor y es incluir solamente el detector de envolvente. Con esta se consigue un consumo de 528 nW. El diseño medido no incluyó la red de adaptación de impedancia. Si se incluyese una red de adaptación a la entrada, mediante simulaciones se obtiene una sensibilidad de -47 dBm.

La segunda estructura utiliza un transformador entre la entrada y el detector de envolvente consiguiendo aumentar la sensibilidad respecto al detector de envolvente solo y sin aumentar el consumo de 528 nW. No obstante, el área aumenta de forma considerable debido a la superficie que ocupa el trasformador. Si se incluyese tanto la red de adaptación a la entrada como la red de adaptación entre el transformador y el detector de envolvente, las simulaciones presentan una sensibilidad de -62 dBm.

En las siguientes estructuras se utiliza un amplificador entre la entrada y el detector de envolvente. La primera opción es utilizar un amplificador cascodo común. La sensibilidad mejora hasta los -59 dBm medidos, pero su consumo se eleva también hasta los 6,6 mW. Este consumo es inviable para un WUR, por lo que se cambió el diseño para que tenga un consumo razonablemente bajo.

Siguiendo con el mismo tipo de amplificador cascodo, se han optimizado las dimensiones del transistor y cambiado la red de adaptación de impedancia para tener un consumo bajo. Dado que las bobinas de la tecnología presentan un factor de calidad bajo, la ganancia en tensión que se obtiene no es suficiente para la etapa de amplificación y por ello

se decide utilizar en el circuito tanque una bobina externa. Con este diseño se consigue una sensibilidad de -57 dBm con un consumo de 44 µW.

El siguiente diseño también se realiza con el amplificador cascodo anterior, pero en este caso se utiliza una bobina activa integrada realizada con transistores y condensadores. La sensibilidad de este diseño es de -57 dBm simulados y de -55 dBm medidos con un consumo de 40 µW. El consumo es prácticamente igual al diseño anterior ya que la bobina activa no presenta casi consumo.

El siguiente diseño utiliza una primera etapa de amplificación realimentada. La primera etapa tiene dos etapas amplificadoras y un filtro paso-banda. Seguidamente consta de una etapa amplificadora realizada con amplificadores operacionales y un filtro paso-bajo que obtiene la detección de envolvente de la señal. Este WUR tiene un consumo de 6,77 µW y una sensibilidad de -63,2 dBm.

En el último diseño se ha trabajado en bajar el consumo de la etapa amplificadora de entrada. Para ello se ha estudiado un amplificador basado en la reutilización de corriente. El consumo de este WUR es de 3,63 µW y se obtiene una sensibilidad de -75 dBm.

Capítulo 5

Receptor de wake-up con arquitectura de frecuencia intermedia incierta

Dentro de las estructuras novedosas para diseñar receptores de *wake-up* se encuentra la arquitectura de frecuencia intermedia incierta [85]. Con este tipo de receptor se evita utilizar osciladores precisos de alto consumo y se pueden utilizar osciladores donde se tiene un cierto margen de tolerancia lo cual redunda en un consumo más bajo.

5.1. WUR de IF incierta

Los principios de funcionamiento de esta arquitectura son los siguientes. La señal de entrada en primer lugar se filtra para eliminar posibles interferencias y frecuencias no deseadas mediante el uso de una red pasiva que, además de llevar a cabo la adaptación de impedancia también hace las veces de filtro. Posteriormente la señal resultante ya filtrada

pasa por un mezclador donde la frecuencia del oscilador local LO no está completamente fijada, ya que solo debe garantizar que su frecuencia trabaje en torno a un ancho de banda definido sobre la frecuencia de RF. Seguidamente se conecta con una etapa amplificadora, la cual se diseña para amplificar dentro del ancho de banda posible en el que puede estar situada la señal de IF a la salida del mezclador en base al rango de frecuencia que presenta el oscilador local. En último lugar, la señal amplificada pasa por un detector de envolvente con el cual se obtiene la señal en banda-base. En la figura 5.1 se puede observar de manera gráfica las distintas transformaciones por las que pasa la señal de entrada.

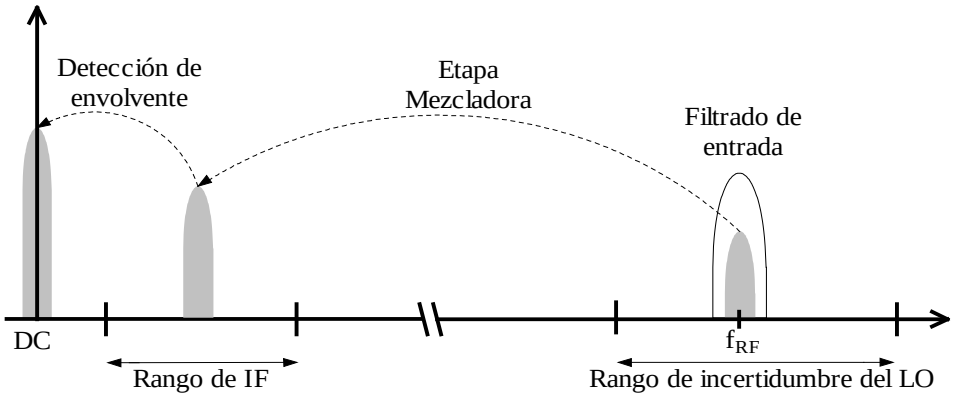


Figura 5.1. Evolución de la señal en un WUR de IF incierta.

5.1.1. Bloques del WUR de IF incierta

La arquitectura está compuesta por una red de adaptación a la entrada que realiza al mismo tiempo una función de filtrado, un mezclador, una etapa amplificadora y un detector de envolvente diferencial (ver figura 5.2). En los siguientes apartados se explican cada uno de los bloques.

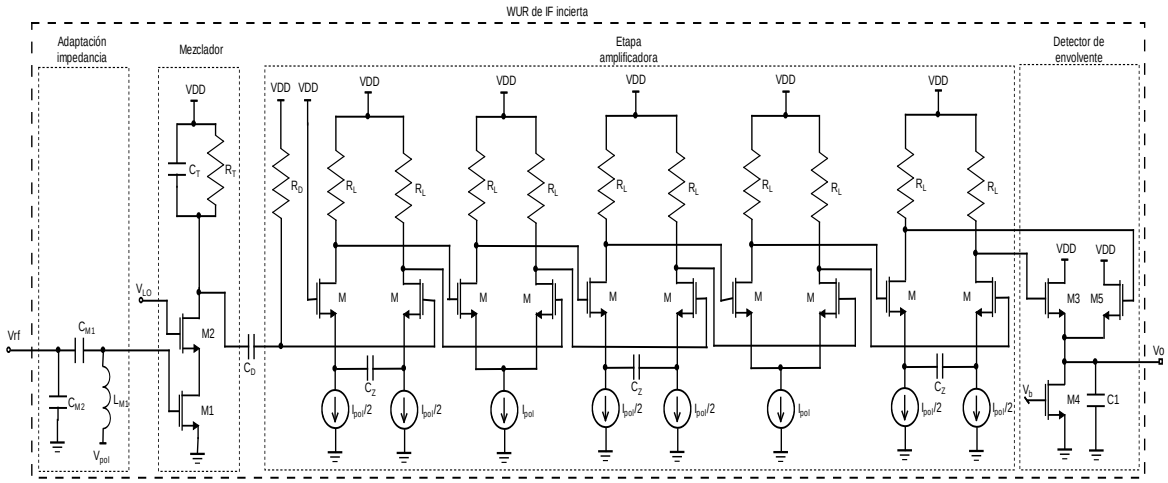


Figura 5.2. Esquemático del receptor de IF incierta.

5.1.1.1. Mezclador y red de adaptación de impedancia

Un mezclador es un circuito capaz de trasladar en frecuencia la señal que recibe a la entrada, manteniendo la amplitud relativa de sus componentes espectrales. La frecuencia de entrada (RF) se traslada hasta una frecuencia intermedia (IF) deseada. Para que esta operación sea posible, se mezcla con una señal de un oscilador local (LO). La frecuencia de IF viene dada por la ecuación (5.1).

$$\omega_{IF} = \omega_{RF} - \omega_{LO} \tag{5.1}$$

El mezclador se va a diseñar con el objetivo de maximizar la ganancia de conversión y reducir en la medida de lo posible su consumo. Para ello se ha optado por hacer uso de una configuración de doble puerta acompañado de un circuito tanque para centrar la frecuencia de trabajo. En esta topología se inyecta la señal de RF a la puerta del primer transistor M1, mientras que en la puerta del segundo transistor M2 se introduce la señal del oscilador local, obteniendo en el drenador del transistor M2 la señal con la frecuencia intermedia deseada. En la figura 5.3 se muestra el esquema del mezclador.

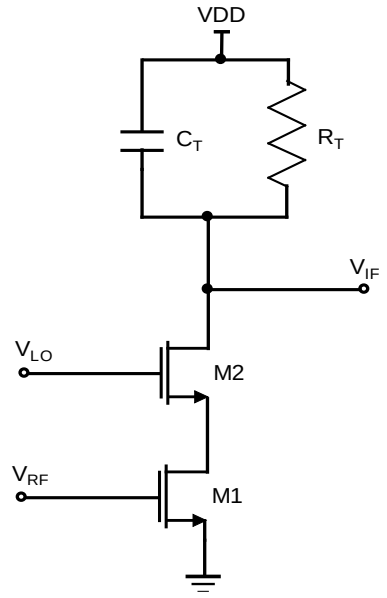


Figura 5.3. Esquemático del mezclador.

El siguiente paso es la adaptación de entrada con la red de adaptación que se ve en la ver figura 5.2. Para ello se hace uso de una red de adaptación en π formada por dos condensadores y una bobina, la cual realiza el filtrado de frecuencias no deseadas. En la figura 5.4 se muestra el parámetro S11 una vez hecha la adaptación.

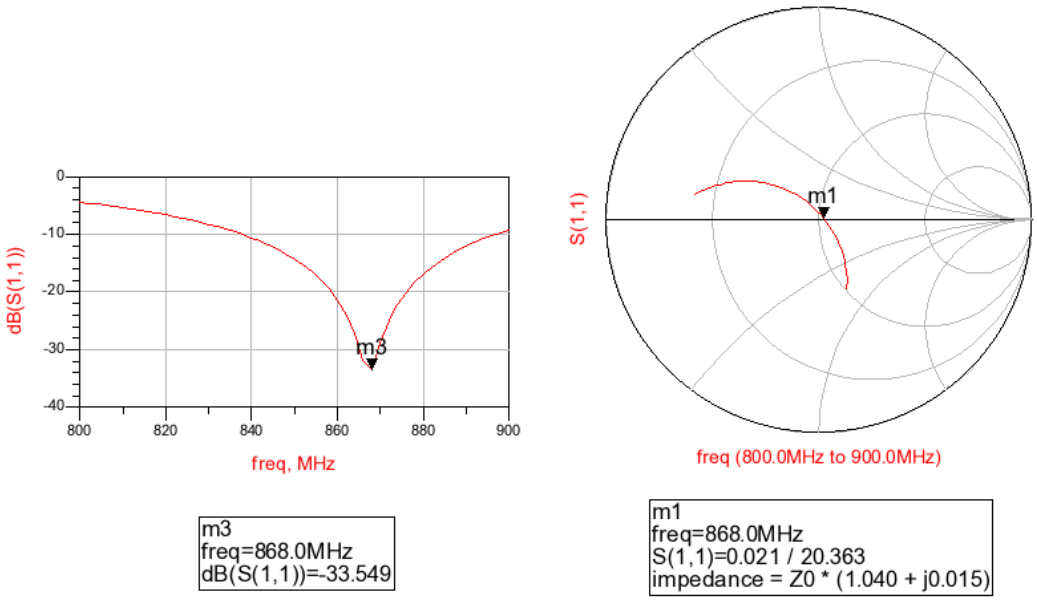


Figura 5.4. Simulación del S11 del mezclador con la red de adaptación de impedancia.

Se ha realizado una simulación del balance de armónicos del mezclador para realizar un análisis en el dominio de la frecuencia. Para ello se han añadido los tonos correspondientes a la señal de RF y de LO: la señal de RF tiene una frecuencia de 868 MHz y una potencia de -56,2 dBm, mientras que el oscilador local tiene una potencia de -8,76 dBm con una frecuencia de 848 MHz. Con estos valores, la frecuencia intermedia será de 20 MHz.

Para fijar los valores de la carga tipo RC se procede a realizar un barrido de los valores C_T y R_T mediante un estudio de balance de armónicos, buscando optimizar la ganancia de conversión. Para establecer el valor definitivo de C_T se ha fijado un valor de frecuencia de corte superior de la banda de IF de 100 MHz. Tras estas simulaciones se determinan los valores óptimos para el circuito tanque. El resultado obtenido se puede observar en la figura 5.5.

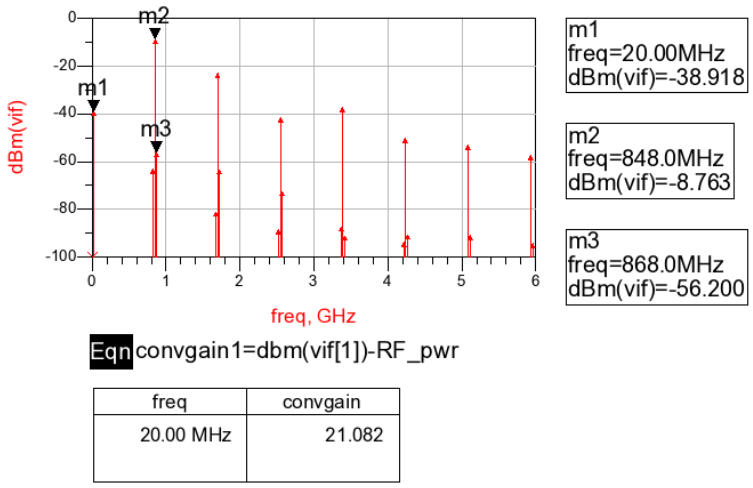


Figura 5.5. Simulación del balance de armónicos del mezclador.

El mezclador presenta una ganancia de conversión de 21 dB. También se puede ver una representación espectral de la salida del mezclador, donde se puede observar como a la salida de IF se obtiene un valor de aproximadamente -39 dBm, valor correspondiente al nivel de entrada de la señal de RF más la ganancia de conversión. Realizando una simulación transitoria se obtiene el consumo del mezclador que es de 14,09 µA.

5.1.1.2. Amplificador de frecuencia intermedia

Para el diseño de esta etapa se ha decidido hacer uso de amplificadores diferenciales. La etapa amplificadora ha de trabajar en un ancho de banda que se encuentre dentro de la posible variación que pueda sufrir la frecuencia intermedia a la salida del mezclador, y a la vez maximizar la ganancia y disminuir en la medida de lo posible el consumo. Para lograr limitar el ancho de banda de la etapa amplificadora y conseguir maximizar la ganancia con el menor consumo posible, se ha hecho uso de cinco etapas amplificadoras.

El esquema de la figura 5.6 representa a cada etapa amplificadora par (amplificador 2 y amplificador 4), las cuales son estructuras básicas de un amplificador diferencial que tienen una única fuente de corriente (I_{pol}) común a los terminales de fuente de ambos transistores.

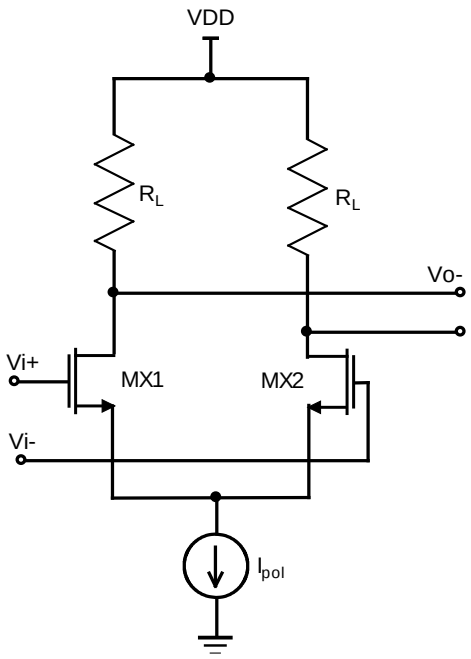


Figura 5.6. Esquemático de las etapas pares.

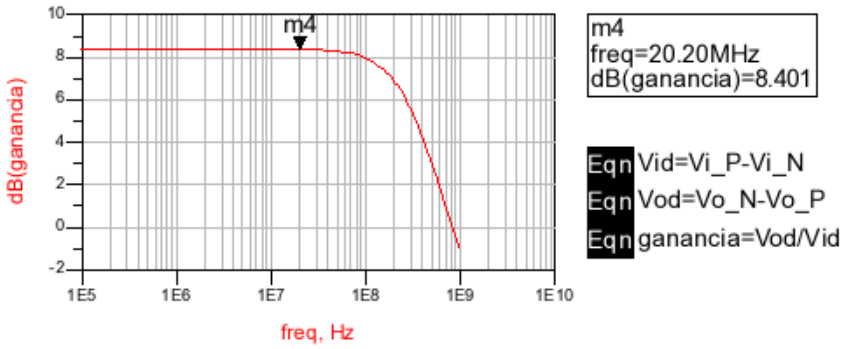


Figura 5.7. Ganancia de cada etapa amplificadora con fuente de corriente simple.

En la figura 5.7 se muestra la simulación en escala logarítmica de la ganancia de cada etapa amplificadora. La ganancia en tensión por etapa es de 8,4 dB con un consumo de 3,9 µA. La figura 5.8 representa el esquema de las etapas impares (amplificador 1, 3 y 5), que se diferencia de una estructura de amplificador básico porque constan de una fuente de corriente ($I_{pol}/2$) independiente en cada terminal de fuente del transistor y además, los terminales de fuente de ambos transistores se unen mediante el uso de un condensador (C_Z). Este condensador introduce un cero que es el encargado de limitar el ancho de banda para las frecuencias bajas. La limitación de las altas frecuencias viene dada por el propio diseño de los amplificadores en base al tamaño de los transistores y los valores de la resistencia de carga (R_L).

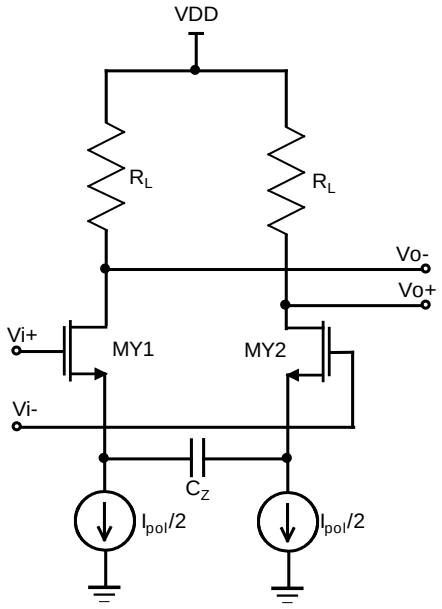


Figura 5.8. Esquemático de las etapas impares.

La figura 5.9 representa la ganancia aportada por cada etapa amplificadora impar. Además, se aprecia el efecto del cero que introduce el condensador C_Z a baja frecuencia. La ganancia en tensión de cada etapa es de 8,5 dB con un consumo por etapa de 4 µA. Una vez realizada cada etapa por separado, se unen para obtener la etapa amplificadora completa que se muestra en la figura 5.10.

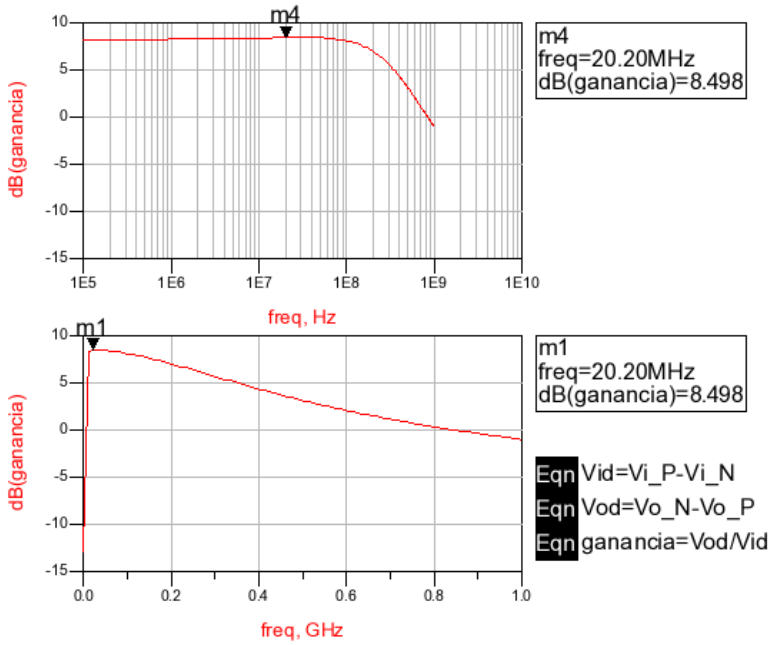


Figura 5.9. **Ganancia de cada etapa amplificadora impar con fuente de corriente doble.**

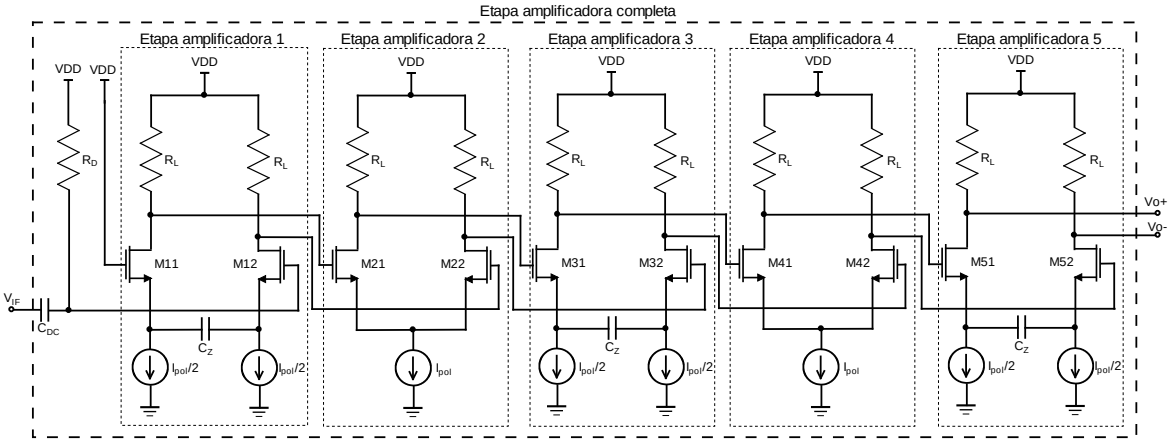


Figura 5.10. **Esquemático de la etapa amplificadora completa.**

Los resultados de la simulación en AC de la ganancia total del amplificador se presentan en la figura 5.11. La ganancia en tensión para una frecuencia de 17 MHz es de 37,5 dB. Además, se deduce que el ancho de banda del amplificador es de 63 MHz

establecido entre 4,3 MHz y 67,3 MHz. El consumo del amplificador completo es de 19,7 µA.

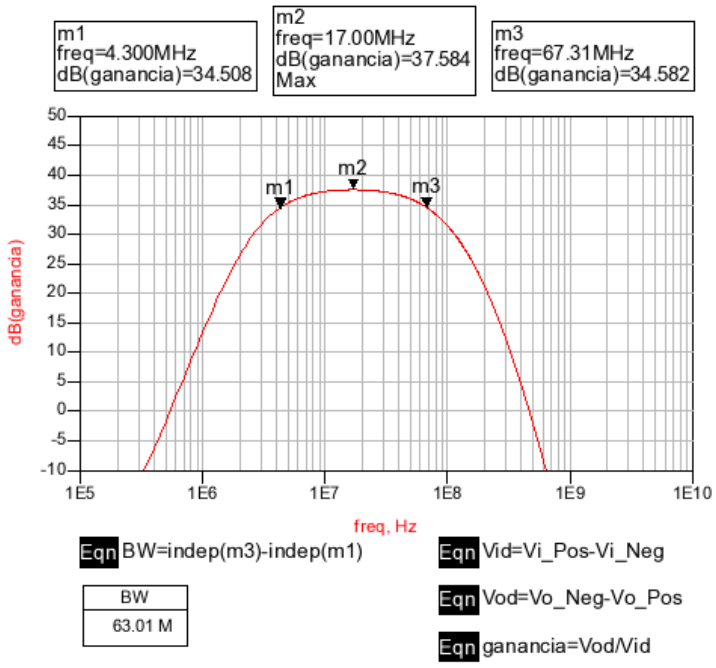


Figura 5.11. Ganancia y ancho de banda del amplificador con cinco etapas.

5.1.1.3. Detector de envolvente diferencial

La figura 5.12 representa el esquema de un detector de envolvente diferencial. Al circuito le llega una señal en alta frecuencia a la entrada y devuelve la envolvente de dicha señal, que es donde se encuentra la información de interés.

En este caso debe ser diferencial porque la etapa anterior es un amplificador diferencial. Al circuito le entra por las puertas de los transistores M3 y M5 una señal diferencial y en la salida Vo aparece la suma de ambas señales la cual es la envolvente de la señal de entrada. El transistor M4 actúa como una fuente de corriente que polariza el transistor M3 y M5. La impedancia del detector más la capacidad de salida C_1 forman el filtro paso-bajo a una frecuencia de 125 kHz.

A la salida del detector de envolvente se conecta un condensador C_{DC} que elimina la DC antes de llegar a la resistencia R_L. La resistencia R_L de 2 MΩ es equivalente a la resistencia que presenta el circuito AS3933 que va conectado a la salida del WUR. Al añadir

esta resistencia hay que ajustar la capacidad C_F y verificar el funcionamiento correcto del detector de envolvente.

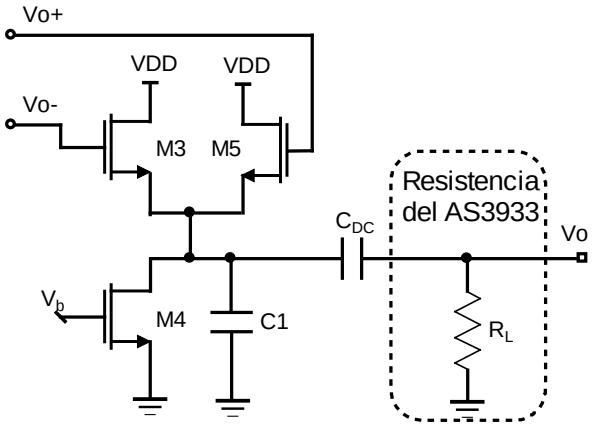


Figura 5.12. Esquemático del detector de envolvente diferencial.

La figura 5.13 muestra las entradas diferenciales así como la salida del detector de envolvente. Se puede comprobar que a la salida se obtiene una señal de 125 kHz como era de esperar. El nivel que se obtiene a la salida es de 128 μV_p, que es superior a los 113,15 μV_p para que funcione el reconocedor de patrón AS3933. El consumo que presenta este módulo es de 145 nA.

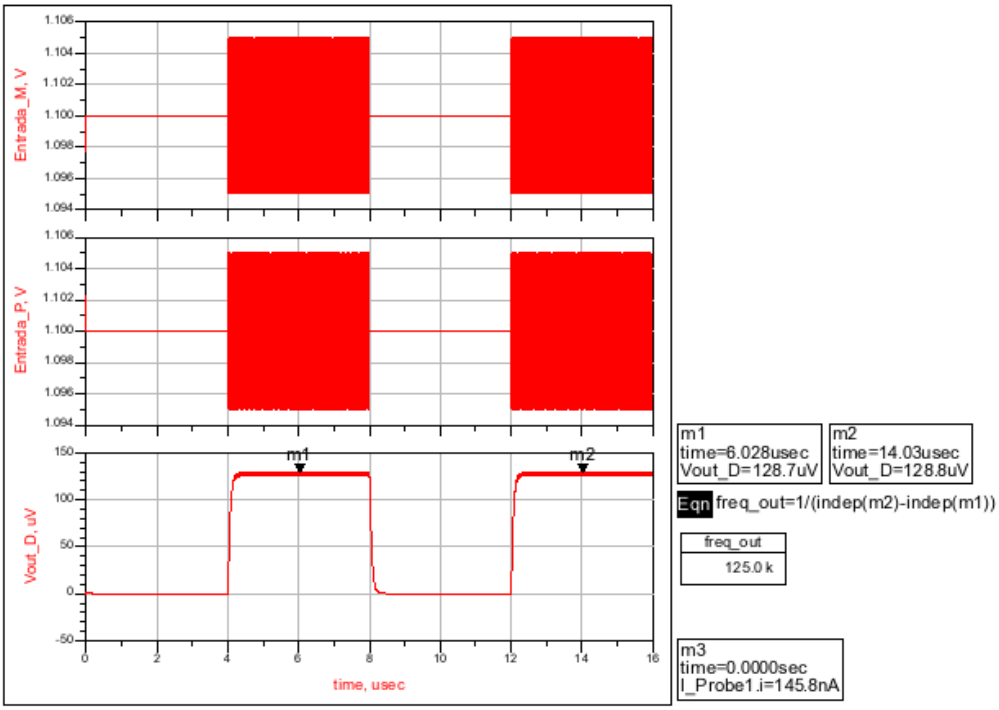


Figura 5.13. Simulación del detector de envolvente diferencial.

5.1.1.4. Oscilador

Como ya se ha comentado, el oscilador no tiene por qué tener una gran precisión. En este caso debe tener un margen de incertidumbre de unos 63 MHz, correspondientes al ancho de banda de la etapa amplificadora.

El oscilador más sencillo y que tiene menos consumo es un oscilador en anillo con tres etapas inversoras [86]. Este tipo de oscilador realimentado aprovecha que las puertas tienen un tiempo de propagación de la señal entre la entrada y la salida. Además, el número de inversores tiene que ser impar puesto que el circuito aprovecha los estados de indeterminación que se producen en los inversores.

El esquemático del oscilador en anillo que se va a utilizar es el de la figura 5.14. Los transistores se dimensionas de tal forma que tengan un consumo muy reducido y se ajusta la frecuencia de oscilación. Esta frecuencia tiene que estar entre el rango de incertidumbre del LO para que, al bajar a frecuencia intermedia, permanezca en el rango de frecuencia intermedia del amplificador.

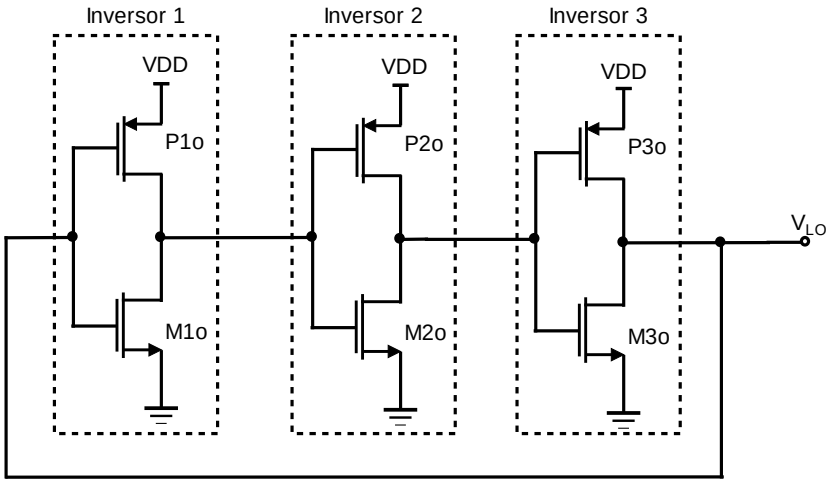


Figura 5.14. Esquemático del oscilador en anillo.

La figura 5.15 representa la simulación transitoria de la salida del oscilador donde se ve la señal senoidal con una frecuencia de 907,7 MHz. También se comprueba la potencia de salida del oscilador, correspondiente a 6,9 dBm. El consumo individual por inversor es de 0,73 µA, por lo que el oscilador tiene un consumo total de 2,21 µA. Se han realizado simulaciones para los distintos modelos del transistor como son el valor típico, lento y rápido

entre los transistores PMOS y los NMOS obteniendo una frecuencia que se encuentra dentro del rango necesario (entre 872 MHz y 935 MHz) que nos daría una frecuencia intermedia entre aproximadamente 4 y 67 MHz. Esta variación de frecuencia es viable para la arquitectura UIF y el ancho de banda de la etapa amplificadora de banda-base que se ha diseñado.

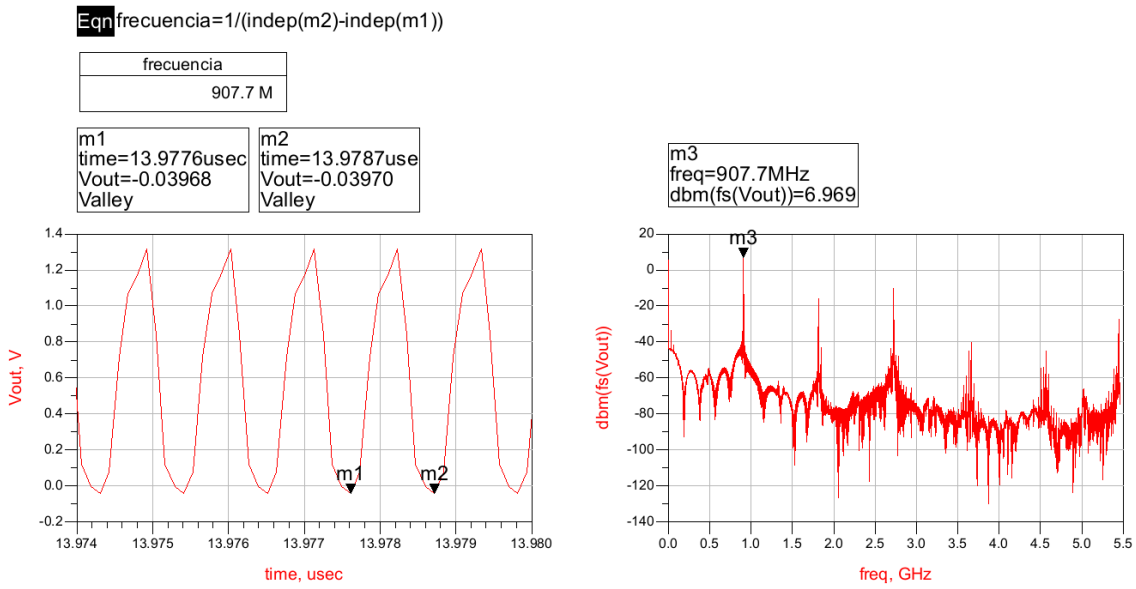


Figura 5.15. Simulación del oscilador en anillo.

5.1.2. Diseño completo del WUR de IF incierta

Una vez realizado y comprobado el funcionamiento y las prestaciones de todos los bloques individualmente, se realiza la unión de los bloques en un solo circuito para comprobar las prestaciones completas del WUR. El *layout* del receptor con todos los bloques se puede ver en la figura 5.16. En este *layout* no se incluye el oscilador.

En el *layout* se puede observar que la mayor área lo ocupan la bobina y los dos condensadores de la adaptación de impedancia. Además, se ve que los amplificadores intermedios también ocupan bastante área, debido a que también disponen de tres condensadores y resistencias. Tanto el mezclador como el detector de envolvente ocupan muy poca área salvo el condensador de salida del detector de envolvente.

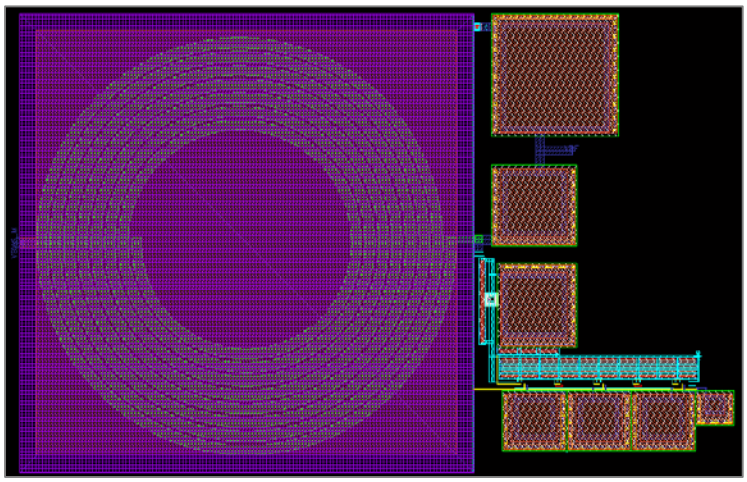


Figura 5.16. ***Layout*** **del WUR de IF incierta.**

Para poder llevar a cabo las medidas sobre el circuito es necesario introducir *pads* de medida. Según el número de señales y de alimentaciones que presenta el diseño se ha decidido hacer uso de tres conjuntos de *pads*. El primer conjunto está formado por tres *pads* en configuración señal-GND-señal, un segundo conjunto también formado por tres *pads* con una configuración GND-señal-GND y, por último, un conjunto de cinco *pads* donde se van a conectar todas las tensiones de alimentación. En la figura 5.17 se representa el *layout* del receptor incluyendo los *pads* de medida. El tamaño del dado a fabricar es de 567 µm × 656 µm.

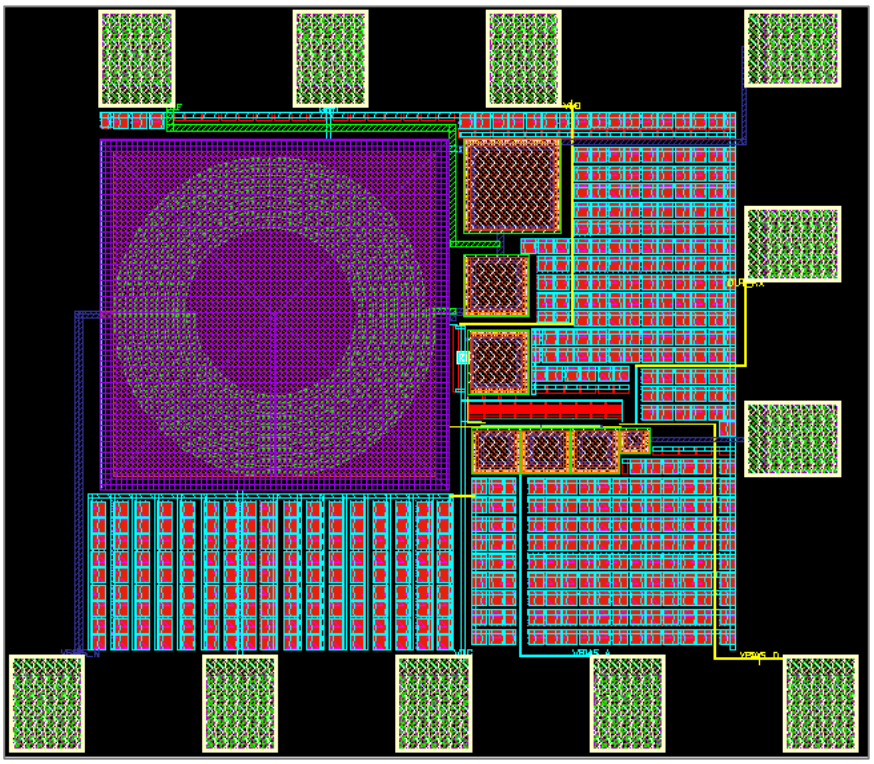


Figura 5.17. ***Layout*** **del WUR de IF incierta con** ***pads*** **de medida.**

En la figura 5.18 se muestran los resultados de la simulación incluyendo los *pads* de medida. La tensión que se obtiene a la salida es de 122,9 μV_p la cual se consigue que sigue siendo mayor que la mínima, la cual se consigue con una potencia a la entrada del WUR de -78 dBm. Por lo que se concluye que el WUR tiene una sensibilidad de -78 dBm (40 μV_p) con un consumo *postlayout* de 39 µA, sin tener en cuenta el consumo del oscilador (2,21 µA). La tabla 5.1 muestra un resumen con los parámetros del WUR con arquitectura UIF.

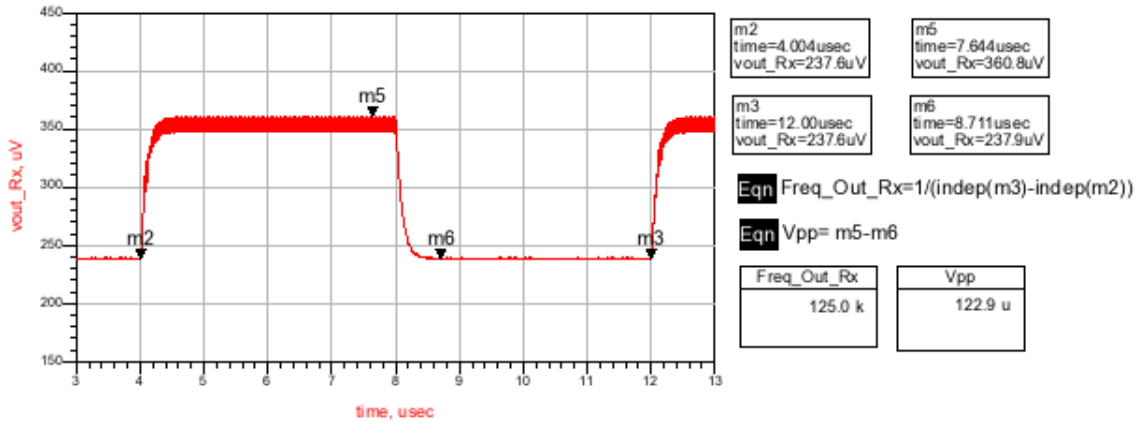


Figura 5.18. **Simulación del WUR de IF incierta con** ***pads*** **de medida.**

Tabla 5.1. Parámetros del WUR con arquitectura de IF incierta

Parámetro	Valor
C_{M1}	3,169 pF
C_{M2}	8,34 pF
L_{M1}	4,34 nH
V_{pol}	0,88 V
M1, M2	N_12_LLHVT
$(W/L)_{M1}$, $(W/L)_{M2}$	(0,5 µm/0,12 µm)
N_{M1}, N_{M2}	2
C_T	31,65 fF
R_T	50 kΩ
C_D	3 pF
R_D	50 kΩ
M_x	N_12_LLHVT
$(W/L)_{Mx}$	(2 µm/0,15 µm)
R_L	70 kΩ
C_Z	1,5 pF
M3, M5	N_12_LLHVT
$(W/L)_{M3}$, $(W/L)_{M5}$	(1 µm/0,1 µm)
M4	N_12_LLHVT
$(W/L)_{M4}$	(0,08 µm/0,06 µm)
C_1	0,3 pF
V_{pol}	0,444 V
C_{CD}	10 pF
VDD	1,2 V
I_{pol}	4 µA
$I_{DC_mezclador}$ (esquemático)	14,09 µA
$I_{DC_etapaamp}$ (esquemático)	19,7 µA
I_{DC_DE} (esquemático)	145 nA
I_{DC_osc} (esquemático)	2,21 µA
I_{DC} (postlayout sin oscilador)	39 µA
Consumo (postlayout sin oscilador)	46,8 µW
Sensibilidad simulada (2 MΩ)	-78 dBm
Área (con pads)	567 µm × 656 µm

5.2. Resumen

A lo largo de este capítulo se ha diseñado y simulado hasta nivel de *layout* un receptor de *wake-up* con una arquitectura de frecuencia intermedia incierta. Se ha decidido realizar este tipo de arquitectura porque a diferencia de otras, el consumo puede ser menor por no tener que realizar osciladores de gran pureza espectral.

Para ello se han diseñado cada bloque por separado y comprobado su buen funcionamiento. Los bloques diseñados han sido un mezclador para bajar en frecuencia la señal de entrada y la adaptación de impedancia de entrada que además filtra las interferencias de RF. Seguidamente se realiza una etapa amplificadora de IF, en la cual hay que tener en cuenta el consumo. Para evitar un consumo elevado, lo mejor es realizar varias etapas amplificadoras diferenciales y conectarlas en cascada, dando mejores resultados en términos de potencia que cuando se utiliza una o tres etapas. Otro bloque crucial en esta arquitectura es el detector de envolvente que en este caso es diferencial a raíz de que el bloque que lo ataca es diferencial. Se tiene que comprobar que este bloque puede atacar al bloque reconocedor de patrón de la señal de *wake-up* y así, calcular la mínima sensibilidad del sistema. También se diseña un oscilador de bajo consumo, realizado con inversores en anillo.

Finalmente se realiza el *layout* con todos los bloques diseñados incorporando los *pads* de medida para asegurar el funcionamiento del WUR, obtener la sensibilidad, así como el consumo de este. El WUR de IF incierta tiene una sensibilidad de -78 dBm y un consumo de 39 µA. Hay que tener en cuenta que en el *layout* no se ha incluido el oscilador, por lo que el consumo de este bloque tampoco está incluido. Si se incluye el consumo del oscilador que es de 2,21 µA, entonces el consumo total aproximado del WUR sería de 41,21 µA.

Capítulo 6

Conclusiones

Esta tesis se fundamenta en el estudio de receptores de *wake-up* para redes de sensores inalámbricas, puesto que en estos últimos años está siendo un área de bastante interés. Una WSN captura información del entorno, la procesa y la comunica inalámbricamente. Están compuestas por nodos de coste reducido y sobre todo con un consumo muy bajo, porque generalmente se alimentan con baterías que tienen un tiempo de vida limitado. En la figura 6.1 se representa un nodo, que se compone de una antena, un conmutador, un WUR, un correlador que reconoce la señal patrón de identificador del nodo, un microcontrolador, una radio de altas prestaciones, sensores y una batería.

Dentro del nodo está el receptor de *wake-up* o WUR, que es el circuito de interés en este trabajo. Esta parte es importante para reducir el consumo en el nodo porque por lo general los nodos transmiten o reciben información pocas veces y, además, las transmisiones son de pocos bits por segundo. A diferencia de otras estrategias como pueden ser las basadas

en el ciclo de trabajo, en la que el nodo cambia de un estado de escucha a un estado dormido de forma periódica, el WUR está siempre activo a la escucha. El WUR es significativamente más eficiente en energía que utilizar el ciclo de trabajo cuando la frecuencia de los eventos es baja.

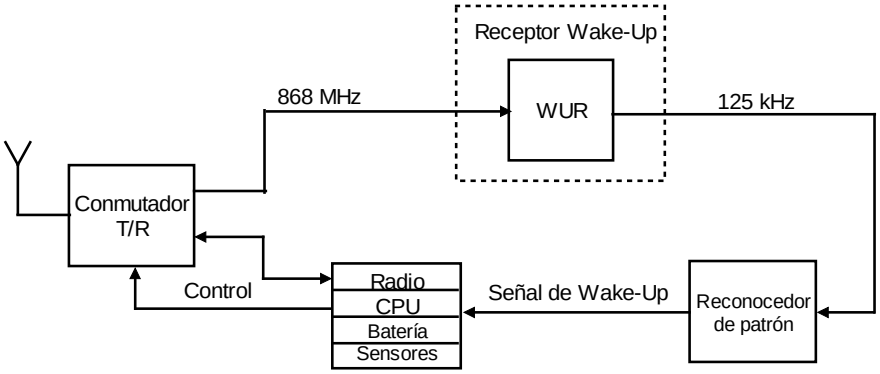


Figura 6.1. Nodo propuesto.

Las arquitecturas de receptores típicamente utilizadas son el detector de envolvente de RF (RFED), filtro adaptado (MF), heterodino (HR), sub-muestreo, frecuencia intermedia incierta (UIF), enganche por inyección (IL) o el oscilador super-regenerativo entre otras. De entre ellas se ha decidido la línea de actuación en la investigación. Se comienza realizando un WUR basado en un detector de envolvente que utiliza circuitos discretos. Seguidamente se pasa a realizar receptores que tienen todos los componentes integrados. Estos circuitos se han diseñado buscando optimizar la sensibilidad y reducir el consumo. La arquitectura de detector de envolvente es la más utilizada en el diseño de un WUR por su consumo reducido, por lo que se comienza con esta arquitectura y las variantes de estas como son incorporar bloques amplificadores para mejorar la sensibilidad. La siguiente arquitectura a estudiar es la de frecuencia intermedia incierta ya que consigue buenas sensibilidades con consumos ajustados.

La figura 6.2 representa el primer diseño que consta de un WUR con arquitectura RFED compuesto de un detector de envolvente discreto. Este consta de una etapa de adaptación de impedancia que hace la función de filtro paso-banda, el rectificador compuesto por dos diodos Schottky y finalmente un filtro paso-bajo. El WUR se ha medido sobre una PCB presentando una sensibilidad medida de -40 dBm con un consumo nulo al ser todos los elementos pasivos. Además, se han realizado medidas del consumo del nodo que está

compuesto por la antena, el conmutador ADG918, el WUR diseñado, el reconocedor de patrón AS3933, el microcontrolador MSP430 y el transceptor CC1101. El consumo de corriente estimado del nodo completo es de aproximadamente 3 µA en modo dormido y 15,4 mA en modo recepción. También se han realizado pruebas de distancia, en las cuales se obtiene que para llegar a 2,5 metros la potencia en el transmisor debe ser de -20 dBm. Por último, se analiza el tiempo de vida del nodo con una pila estándar CR2032 que tiene una capacidad de 230 mAh, y se puede estimar una duración máxima de más de 5 años de vida según el tiempo de intervalo entre señales de *wake-up*.

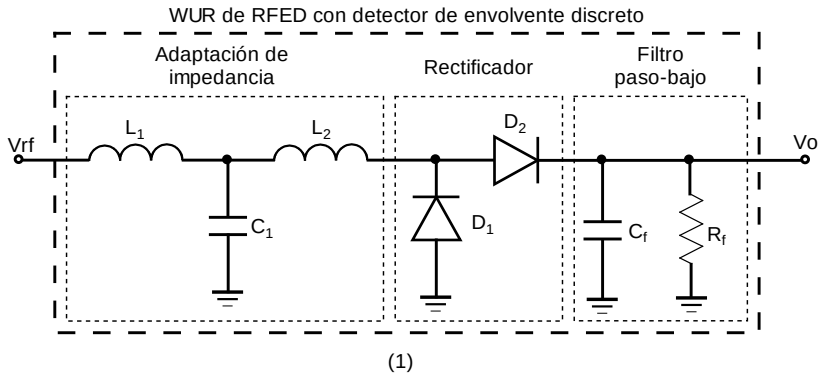


Figura 6.2. (1) WUR de RFED con detector de envolvente discreto.

Los siguientes diseños se basan en un WUR con arquitectura RFED compuestos por componentes integrados basados en la tecnología UMC de 65 nm. La figura 6.3.(2) representa la primera estructura que consiste en un detector de envolvente integrado que está realizado con transistores MOS en la región de inversión débil teniendo un consumo muy bajo. Con esta se consigue una sensibilidad de hasta -47 dBm y un consumo de 440 nA. La figura 6.3.(3) representa la segunda estructura que utiliza un transformador entre la entrada y el detector de envolvente. Esta consigue una sensibilidad de -62 dBm con un consumo de 440 nA. La siguiente estructura corresponde a la figura 6.3.(4). Esta interpone entre la entrada y el detector de envolvente un amplificador cascodo convencional. La sensibilidad es de -62,3 dBm simulados y de -59 dBm medidos, pero su consumo es de 6,6 mA, lo que lo hace inviable para un WUR. La figura 6.3.(5) es el siguiente diseño que soluciona el alto consumo del amplificador cascodo optimizando las dimensiones de los transistores y cambiando la red de adaptación de impedancia. En este caso se utiliza en el circuito tanque una bobina que es discreta y externa al diseño. La sensibilidad es de -57 dBm con un consumo sobre los -36 µA. El siguiente diseño corresponde a la figura 6.3.(6). Este se realiza

con el mismo amplificador cascodo pero con una bobina activa integrada realizada con transistores y condensadores consiguiendo un circuito totalmente integrado. La sensibilidad de este diseño es de -57 dBm simulados y de -55 dBm medidos, con un consumo de -33,4 µA y de -36 µA respectivamente. Seguidamente se cambia el amplificador cascodo por una etapa de amplificación realimentada como muestra la figura 6.4.(7). Esta estructura tiene dos amplificadores de entrada realimentados y un filtro. Le sigue una etapa amplificadora compuesta por dos amplificadores operacionales y un filtro que obtiene la detección de envolvente. Este WUR tiene una sensibilidad de -63,2 dBm y un consumo de 6,77 µA. La figura 6.4.(8) representa el esquema con un amplificador basado en la reutilización de corriente seguido de una etapa de amplificación y un filtro al igual que el anterior diseño. La sensibilidad de este WUR es de -75 dBm y el consumo es de 3,63 µA.

La figura 6.5 representa el último diseño que se basa en la arquitectura de frecuencia intermedia incierta desarrollada con componentes integrados basados también en la tecnología UMC de 65 nm. Esta estructura consta de la adaptación de impedancia de entrada, un mezclador, una etapa amplificadora de IF y el detector de envolvente diferencial. Este WUR tiene una sensibilidad de -78 dBm con un consumo sin oscilador de 39 µA. Si se incluye el consumo del oscilador en anillo el consumo del WUR subiría hasta los 41,21 µA.

A estos WUR no se les ha sumado el consumo de los demás bloques del nodo completo. Este nodo tiene un consumo en modo de bajo consumo total de aproximadamente 3 µA en modo dormido. El conmutador ADG918 tiene un consumo de 1 µA, el reconocedor de patrón AS3933 consume 1,7 µA [59], el microcontrolador MSP430 en estado de bajo consumo gasta 0,1 µA y la radio convencional CC1101 en estado de bajo consumo unos 0,2 µA. Para comparar los consumos con el estado del arte no se tienen que añadir los bloques del nodo, no obstante, si hay que sumarle al WUR el consumo del reconocedor de patrón ya que formaría parte de la estructura de WUR en el nodo, puesto que es el bloque que decodifica la dirección de patrón, teniendo este un consumo de 2 µW.

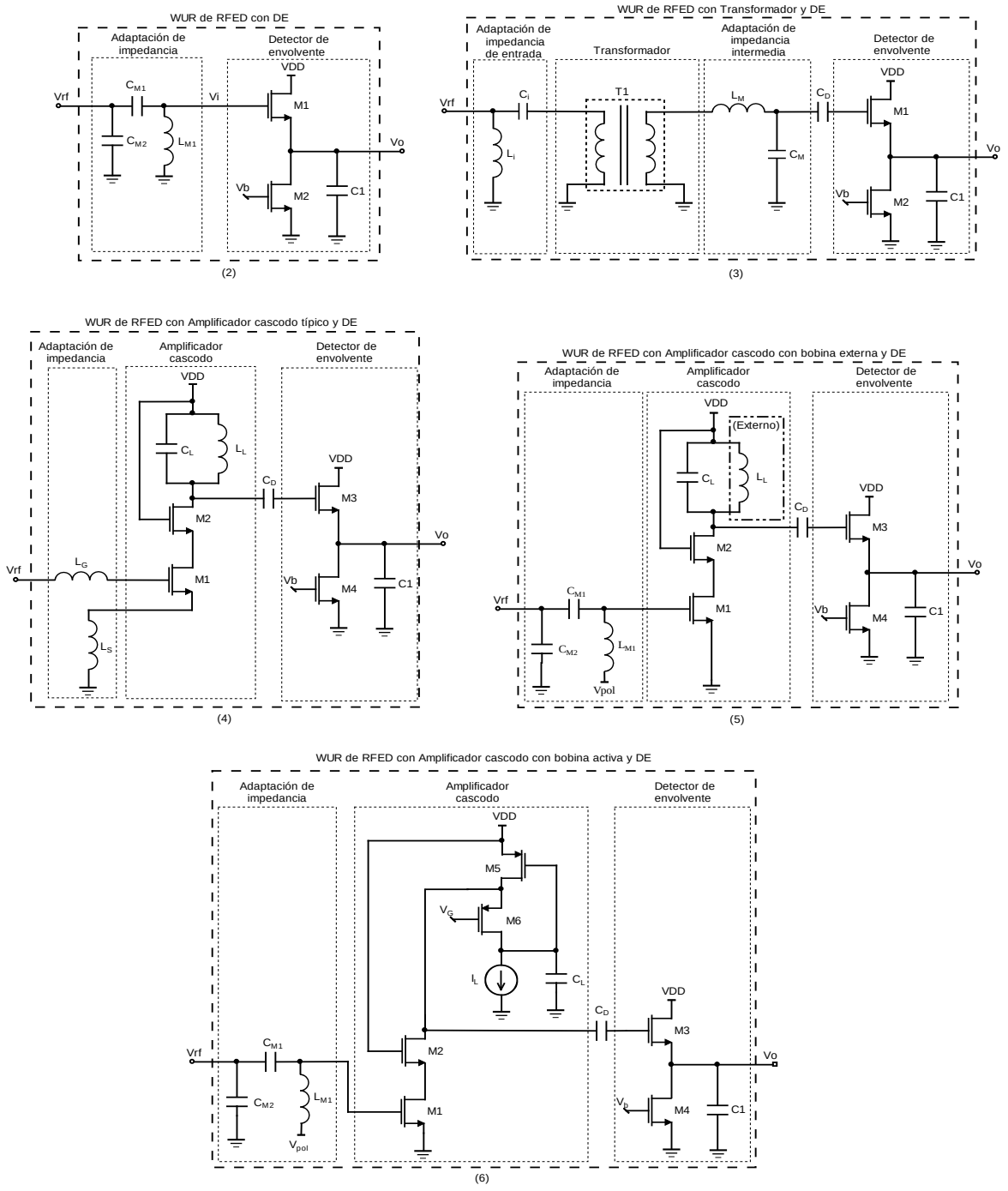


Figura 6.3. WUR de RFED integrado: (2) con DE; (3) con transformador y DE; (4) con amplificador cascodo típico y DE; (5) con amplificador cascodo con bobina externa y DE; y (6) con amplificador cascodo con bobina activa y DE.

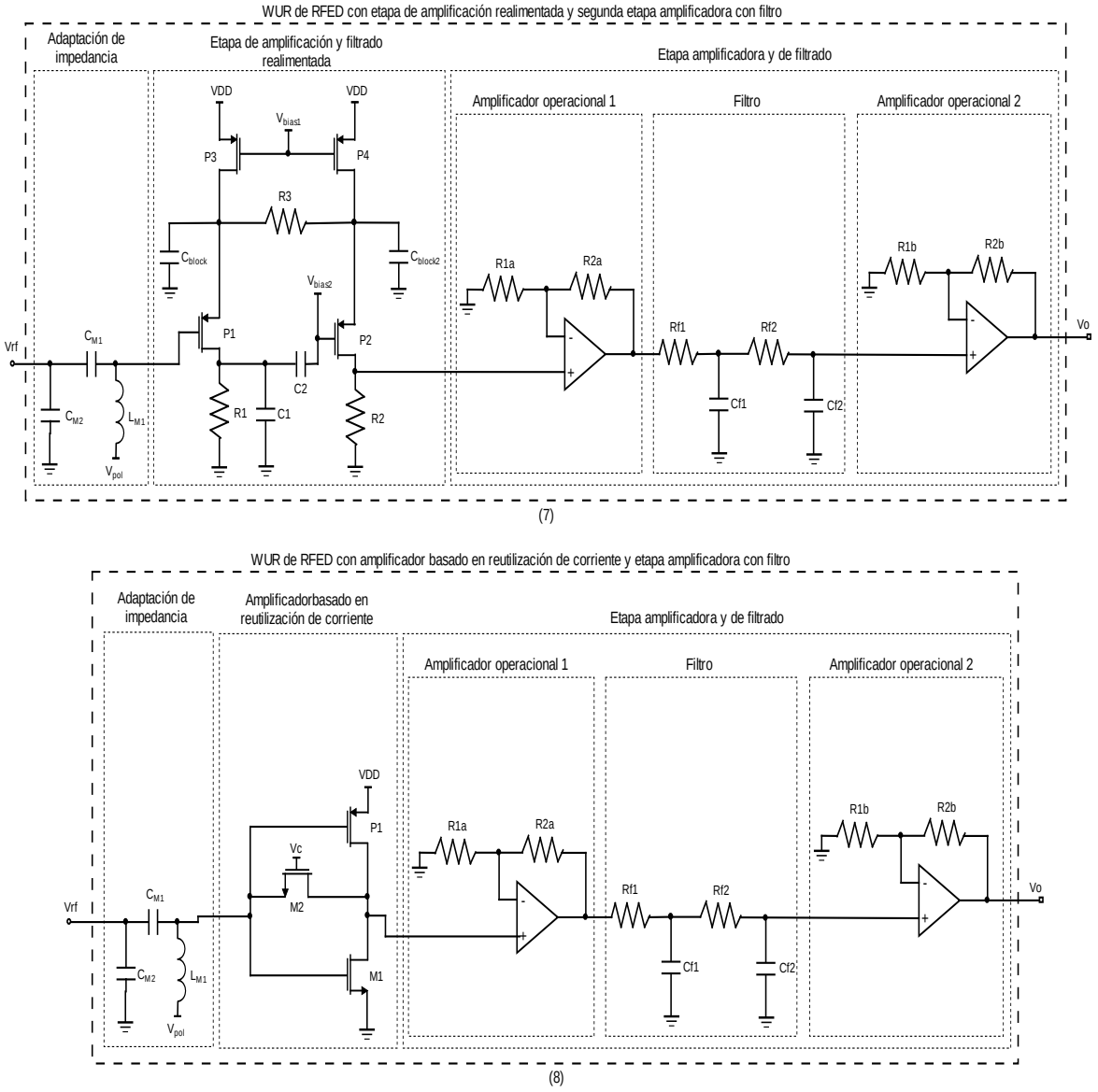


Figura 6.4. WUR de RFED integrado: (7) con etapa amplificadora realimentada y segunda etapa amplificadora con filtro; y (8) con amplificador basado en reutilización de corriente y segunda etapa amplificadora con filtro.

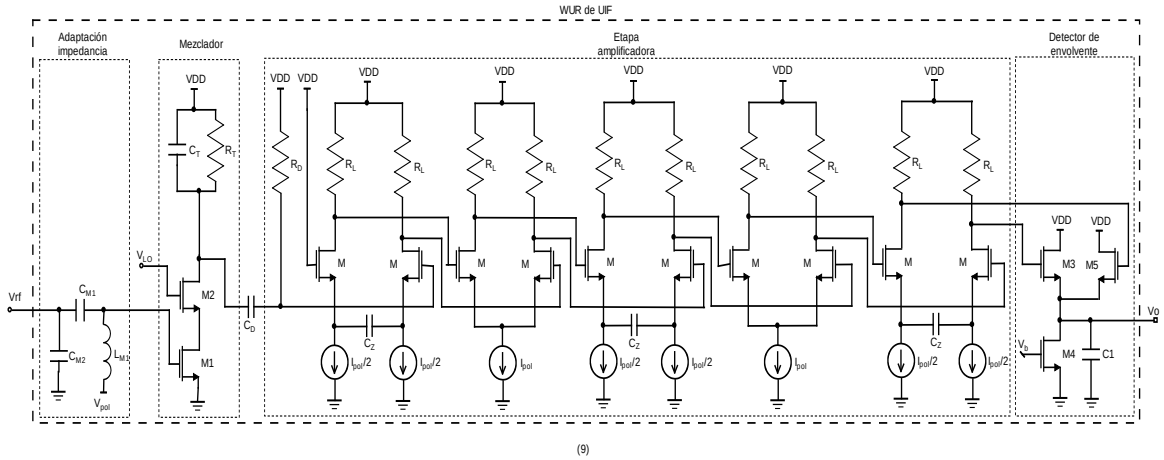


Figura 6.5. (9) WUR de UIF.

6.1. Conclusión final

El diseño de un WUR envuelve muchos compromisos respecto a su selectividad, tasa de datos, área del nodo, etc., así como el consumo de potencia y la sensibilidad que son los requisitos considerados más importantes. Respecto a la tasa de datos, la longitud del paquete de *wake-up* suele ser de unos pocos bytes de modo que su transmisión puede ser lo suficientemente rápida. Las modulaciones típicas utilizadas son la OOK y la FSK, ya que se pueden demodular con un bajo consumo. La mayoría de los receptores usan las bandas ISM, aunque algunas soluciones trabajan en otras bandas como pueden ser las MICS/MedRadio.

En la tabla 6.1 se resumen los resultados de distintas arquitecturas encontradas en la literatura junto con los presentados en esta tesis. Por su parte, en la figura 6.6 se muestra de forma gráfica una comparativa de los WURs presentados respecto a consumo de potencia y sensibilidad. Los diseños situados en la parte inferior derecha son apropiados cuando los nodos están muy cerca ya que, a pesar de que tienen una sensibilidad reducida, su consumo es muy bajo. Por otro lado, los situados en la parte superior izquierda presentan sensibilidades elevadas, pero a costa de un consumo más alto. El resto de referencias se concentran en el intervalo de sensibilidades que van desde -55 dBm a -75 dBm y consumos situados entre 2 µW y 70 µW. Nuestro diseño (8) destaca ya que presenta una sensibilidad de -75 dBm y un consumo de 3,63 µW. Este diseño se basa en la arquitectura RFED con amplificador de RF de reutilización de corriente. No obstante, el diseño (9) presenta una mejora en la sensibilidad de -78 dBm a cambio de un incremento del consumo con 46,8 µW.

Tabla 6.1. Comparación de los WUR de la literatura con los WUR diseñados

Referencia	Arquitectura	Banda de frecuencia (MHz)	Modulación	Sensibilidad sim. / med. (dBm)	Consumo WUR (µW)	Tasa datos (kbps)
(1) Diseño 1	RFED	868	OOK	-50 / -40	2	0,5-4
(2) Diseño 2	RFED	868	OOK	-47 / --	2,528	0,5-4
(3) Diseño 3	RFED	868	OOK	-62 / --	2,528	0,5-4
(4) Diseño 4	RFED	868	OOK	-62,9 / -59	6600	0,5-4
(5) Diseño 5	RFED	868	OOK	-57 / --	46	0,5-4
(6) Diseño 6	RFED	868	OOK	-57 / -55	42	0,5-4
(7) Diseño 7	RFED	868	OOK	-63,2 / --	8,77	0,5-4
(8) Diseño 8	RFED	868	OOK	-75 / --	5,63	0,5-4
(9) Diseño 9	U-IF	868	OOK	-78 / --	48,8	0,5-4
(10) Ref. [20]	RFED	915	OOK	-- / -41	0,10	100
(11) Ref. [27]	RFED	868	OOK	-- / -71	2,4	200
(12) Ref. [28]	RFED	915	OOK	-- / -75	51	100
(13) Ref. [29]	RFED	2400	OOK	-- / -65	10	100
(14) Ref. [23]	RFED	433	OOK	-- / -51	0,27	5,5
(15) Ref. [24]	RFED	1900	OOK	-- / -56	65	100
(16) Ref. [25]	RFED	405	OOK	-- / -45,5	0,12	12,5
(17) Ref. [26]	RFED	2450	OOK	-- / -47	2,3	200
(18) Ref. [33]	Sub-s	915	OOK	-- / -78	16	10/200
(19) Ref. [35]	U-IF	2000	OOK	-- / -72	52	100
(20) Ref. [36]	U-IF	915	OOK	-- / -70	28	N/A
(21) Ref. [37]	IL	80	FSK	-- / -62	45	312
(22) Ref. [39]	IL	405	FSK	-- / -75	38	20
(23) Ref. [43]	SRO	1900	OOK	-- / -100,5	400	5

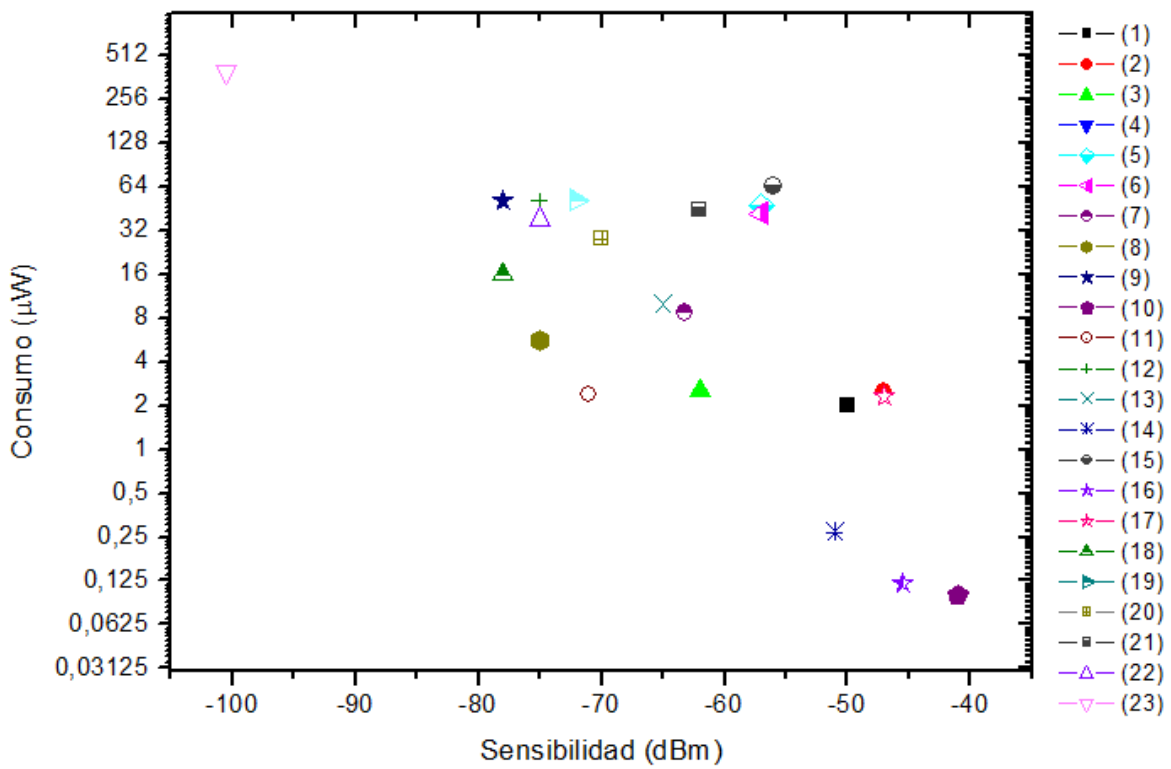


Figura 6.6. Comparación del consumo frente a la sensibilidad para distintos WUR.

En cuanto a las posibles líneas futuras, podemos resaltar que las arquitecturas basadas en osciladores super-regenerativos, o aquellas en las que se utilicen técnicas de muy bajo consumo para amplificar las señales de RF como los amplificadores realimentados o de reutilización de corriente, son bastantes atrayentes para seguir trabajando en ellas, puesto que los resultados que arrojan son muy prometedores en términos de sensibilidad y consumo. Otro de los puntos de interés sería utilizar los circuitos WUR no sólo para despertar a los nodos sino para recibir directamente datos a baja velocidad. Bajo ciertas circunstancias, el uso de los receptores WUR para la recepción de comandos evita que se active la radio principal con lo que se reduce considerablemente el consumo. Por último, las técnicas aquí propuestas para el diseño de receptores de bajo consumo basadas en detectores de envolvente se podrían aplicar también para el diseño del transceptor principal con lo que se podría conseguir mejoras en el consumo de los nodos de las redes de sensores. Evidentemente, las radios así construidas presentarían tasas de datos bajas y sólo serían válidas bajo ciertas condiciones. Otro importante reto a solucionar sería el diseño de los transmisores puesto que, al presentar los WURs sensibilidades mucho menores que los receptores convencionales, estos necesitarían consumir más potencia.

Bibliografía

[1] David Gascón, “Redes de Sensores Inalámbricos, la tecnología invisible,” *bit*, vol.180-181, pp.53-55, 2010.

[2] G.J. Pottie and W.J. Kaiser, “Wireless integrated network sensors,” *Communications of the ACM*, vol. 43, No. 5, pp. 51-58, 2000.

[3] S. Movassaghi, M. Abolhasan, J. Lipman, D. Smith, and A. Jamalipour, “Wireless body area networks: A survey,” *IEEE Commun. Surveys and Tutorials*, vol.16, no.3, pp.1658-1686, 2014.

[4] Lin, E.-Y.A., "Power-Efficient Rendez-vous Schemes for Dense Wireless Sensor Networks," *IEEE International Conference on Communications*, vol.7, pp.3769 -3776, 2004.

[5] J. Wang, Q. Gao, H. Wang and W. Sun, "A Method to Prolong the Lifetime of Wireless Sensor Network," *2009 5th International Conference on Wireless Communications, Networking and Mobile Computing*, Beijing, 2009, pp. 1-4. doi: 10.1109/WICOM.2009.5300990

[6] M. Hamalainen ans R. Kohno, “Prospects for wireless technology in remote care processes,” *Proc. ISMICT*, pp. 1-4, 2007.

[7] T. M. Wendt and L. M. Reindl, "Wake-Up Methods to Extend Battery Life Time of Wireless Sensor Nodes," *2008 IEEE Instrumentation and Measurement Technology Conference*, Victoria, BC, 2008, pp. 1407-1412. doi: 10.1109/IMTC.2008.4547263

[8] Jennifer Yick, Biswanath Mukherjee, Dipak Ghosal, “Wireless sensor network survey,” *Computer Networks*, vol. 52, pp. 2292–2330, 2008.

[9] Brian P. Otis, “Ultra-Low Power Wireless Technologies for Sensor Networks,” Doctor of Philosophy, 2005.

[10] M. S. Durante and S. Mahlknecht, "An Ultra Low Power Wakeup Receiver for Wireless Sensor Nodes," *2009 Third International Conference on Sensor Technologies and Applications*, Athens, Glyfada, 2009, pp. 167-170. doi: 10.1109/SENSORCOMM.2009.34

[11] I. Demirkol, C. Ersoy and E. Onur, "Wake-up receivers for wireless sensor networks: benefits and challenges," in *IEEE Wireless Communications*, vol. 16, no. 4, pp. 88-96, Aug. 2009. doi: 10.1109/MWC.2009.5281260

[12] S. Ishida, T. Takiguchi, S. Saruwatari, M. Minami and H. Morikawa, "Evaluation of a wake-up wireless module with Bloom-filter-based ID matching," *8th Asia-Pacific Symposium on Information and Telecommunication Technologies*, Kuching, 2010, pp. 1-6.

[13] C. Schurgers, V. Tsiatsis, S. Ganeriwal and M. Srivastava, "Optimizing sensor networks in the energy-latency-density design space," in *IEEE Transactions on Mobile Computing*, vol. 1, no. 1, pp. 70-80, Jan-Mar 2002. doi: 10.1109/TMC.2002.1011060

[14] H. Karvonen, J. Petajajarvi, J. Iinatti, and M. Hamalainen, "Energy efficient IR-UWB WBAN using a generic wake-up radio based MAC protocol," *Proc. UWBAN*, pp. 1-7, 2014.

[15] J. Petajajarvi, H. Karvonen, K. Mokhaylov, A Parssinen, M. Hamalainen, and J Iinatti, "WBAN Energy Efficiency and Dependability Improvement Utilizing Wake-Up Receiver," *Proc. IEICE Trans. Commun*, pp.535-542, vol. E98-B, 2015.

[16] UMC 65 nm [Consulta: 5 de Diciembre 2014] Disponible en: http://www.umc.com

[17] G. U. Gamm, M. Sippel, M. Kostic and L. M. Reindl, "Low power wake-up receiver for wireless sensor nodes," *2010 Sixth International Conference on Intelligent Sensors, Sensor Networks and Information Processing*, Brisbane, QLD, 2010, pp. 121-126. doi: 10.1109/ISSNIP.2010.5706778

[18] D. C. Daly and A. P. Chandrakasan, "An Energy-Efficient OOK Transceiver for Wireless Sensor Networks," in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 5, pp. 1003-1011, May 2007. doi: 10.1109/JSSC.2007.894323

[19] T. L. Cochran, J. K. Kim and D. S. Ha, "Low power wake-up receiver with unique node addressing," *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Seoul, 2011, pp. 1-4. doi: 10.1109/MWSCAS.2011.6026426

[20] N.E Roberts and D.D. Wentzloff, "A 98 nW wake-up radio for wireless body area networks," *Proc. RFIC*, pp.373-376, 2012.

[21] H. Karvonen, J. Petajajarvi, J. Iinatti, M. Hamalainen, and C. Pomalaza-Raez, "A generic wake-up radio based MAC protocol for energy efficient short range communication," *Proc. PIMRC*, pp.1-5, 2014.

[22] R. G. Meyer, "Low-power monolithic RF peak detector analysis," in *IEEE Journal of Solid-State Circuits*, vol. 30, no. 1, pp. 65-67, Jan 1995. doi: 10.1109/4.350192

[23] S. J. Marinkovic and E. M. Popovici, "Nano-Power Wireless Wake-Up Receiver With Serial Peripheral Interface," in *IEEE Journal on Selected Areas in Communications*, vol. 29, no. 8, pp. 1641-1647, September 2011. doi: 10.1109/JSAC.2011.110913

[24] N. Pletcher, S. Gambini and J. Rabaey, "A 65 μW, 1.9 GHz RF to digital baseband wakeup receiver for wireless sensor nodes," *2007 IEEE Custom Integrated Circuits Conference*, San Jose, CA, 2007, pp. 539-542. doi: 10.1109/CICC.2007.4405789

[25] S. Oh, N. E. Roberts and D. D. Wentzloff, "A 116nW multi-band wake-up receiver with 31-bit correlator and interference rejection," *Proceedings of the IEEE 2013 Custom Integrated Circuits Conference*, San Jose, CA, 2013, pp. 1-4. doi: 10.1109/CICC.2013.6658500

[26] E. Nilsson and C. Svensson, "Ultra Low Power Wake-Up Radio Using Envelope Detector and Transmission Line Voltage Transformer," in *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 3, no. 1, pp. 5-12, March 2013. doi: 10.1109/JETCAS.2013.2242777

[27] C. Hambeck, S. Malknecht, and T. Herndl, "A 2.4uW Wake-up Receiver for Wireless sensor nodes with -71 dBm sensitivity," *Proc. ISCAS*, pp.534-537, 2011.

[28] H. Xiongchuan, S. Rampu, W. Xiaoyan, G. Dolmans, and H. de Groot, "A 2.4 GHz/915 MHz 51 uW wake-up receiver with off-set and noise suppression," *PROS. ISSCC*, pp.222-223, 2010.

[29] C. Kuang-Wei, L. Xin, and J. Minkyu, "A 2.4/5.8 GHz 10uW wake-up receiver with -65/-50 dBm sensitivity using direct active RF detection," *Proc. A-SSCC*, pp.337-340, 2012.

[30] S. Tomabechi, A. Komuro, T. Konno, H. Nakase, and K. Tsubouchi, "Design and implementation of spread spectrum wireless switch with low power consumption," *IEICE Trans. Fundamentals*, vol.E84-A, no.4, pp.971-973, 2001.

[31] S. Drago, D.M.W. Leenaerts, F. Sebastiano, L.J. Breems, K.A.A. Makinwa, and B. Nauta, "A 2.4 GHz 830 pJ/bit duty-cycled wake-up receiver with -82 dBm sensitivity for crystal-less wireless sensor nodes," *Proc. ISSCC*, pp.224-225, 2010.

[32] T. Abe, T. Morie, K. Satou, D. Nomasaki, S. Nakamura, Y. Horiuchi, and K. Imamura, "An ultra-low-power 2-step wake-up receiver for IEEE 802.15.4g wireless sensor networks," *Proc. VLSI*, pp.1-2, 2014.

[33] S. Moazzeni, M. Sawan and G. E. R. Cowan, "An Ultra-Low-Power Energy-Efficient Dual-Mode Wake-Up Receiver," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 2, pp. 517-526, Feb. 2015. doi: 10.1109/TCSI.2014.2360336

[34] S. Moazzeni, M. Sawan, and G.E.R. Cowan, "An ultra-low-power energy-efficient dual-mode wake-up receiver," *IEEE Trans. Circuits and Syst. I*, Regular Papers, no.99, pp.1-10, 2014.

[35] N. Pletcher, S. Gambini, and J. Rabaey, "A 52uW wake-up receiver with -72dBm sensitivity using an uncertain-IF architecture," *IEEE J. Solid-State Circuits*, vol.44, no.1, pp.269-280, 2009.

[36] S. Moazzeni, G.E.R. Cowan, and M. Sawan, "A 28 uW subsampling based wake-up receiver with -70 dBm sensitivity for 915 MHz ISM band applications," *Proc. ISCAS*, pp.2797-2800, 2012.

[37] B. Joonsung and Y. Hoi-Jun, "A 45 uW injection-locked FSK wake-up receiver for crystal-less wireless body-area-network," *Proc. A-SSCC*, pp-333-336, 2012.

[38] C. Hyunwoo, B. Joonsung, and Y. Hoi-Jun, "A 37.5 uW body channel communication wake-up receiver with injection-locking ring oscillator for wireless body area network," *IEEE Trans. Circuits and Syst*. I, Regular Papers, vol.60, no.5, pp.1200-1208, 2013.

[39] J. Pandey, J. Shi, and B. Otis, "A 120 uW MICS/ISM-band FSK receiver with a 44 uW low-power mode based on injection-locking and 9x frequency multiplication," *Proc. ISSCC*, pp.460-462, 2011.

[40] M. Eppel, H. Milosiu and F. Oehler, "A novel 1 μW super-regenerative receiver with reduced spurious emissions and improved co-channel interferer tolerance," *2016 IEEE Topical Conference on Wireless Sensors and Sensor Networks (WiSNet)*, Austin, TX, 2016, pp. 85-88. doi: 10.1109/WISNET.2016.7444329

[41] J. Ayers. K. Mayaram, and T.S. Fiez, "An ultralow-power receiver for wireless sensor networks," *IEEE J. Solid-State Circuits*, vol.45, no.9, pp.1759-1769, 2010.

[42] Markus Eppel, Dr. Heinrich Milosiu, Dr. Frank Oehler, "A Novel 1 μW Super-Regenerative Receiver with Reduced Spurious Emissions and Improved Co-Channel Interferer Tolerance," *Radio Wireless Week*, Austin, TX, USA, 24 – 27 January 2016.

[43] B. Otis, Y.H. Chee, and J. Rabaey, "A 400 uW-RX, 1.6 mW-TX super-regenerative tranceiver for wireless sensor networks," *Proc. ISSCC*, pp.396-398, 2005.

[44] R. Su, T. Watteyne and K. S. J. Pister, "Comparison between Preamble Sampling and Wake-Up Receivers in Wireless Sensor Networks," *2010 IEEE Global Telecommunications Conference GLOBECOM 2010*, Miami, FL, 2010, pp. 1-5. doi: 10.1109/GLOCOM.2010.5683411

[45] S. Liang, Y. Tang and Q. Zhu, "Passive Wake-up Scheme for Wireless Sensor Networks," *Second International Conference on Innovative Computing, Information and Control (ICICIC 2007)*, Kumamoto, 2007, pp. 507-507. doi: 10.1109/ICICIC.2007.443

[46] "El diodo schottky o diodo de barrera", *Electrosector*, pp.12-14.

[47] Schottky "HSMS-285X" de Avago [Consulta: 1 de mayo 2017] Disponible en: https://www.broadcom.com/products/wireless/diodes/schottky/hsms-2850

[48] N. Soltani and F. Yuan, "A High-Gain Power-Matching Technique for Efficient Radio-Frequency Power Harvest of Passive Wireless Microsystems," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 10, pp. 2685-2695, Oct. 2010. doi: 10.1109/TCSI.2010.2048770

[49] "LAB 5: S-parameter Simulation, Matching and Optimization," ADS Fundamentals – 2009.

[50] Advanced Design System, [en línea] [Consulta: 29 de mayo 2017] Disponible en: http://www.keysight.com/en/pc-1297113/advanced-design-system-ads?cc=ES&lc=eng

[51] Mini-Circuits [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.minicircuits.com

[52] Isola [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.isola-group.com/

[53] Roger Corporation [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.rogerscorp.com/products/index.aspx!

[54] Nelco [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.nelcoproducts.com/

[55] Dupont [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.dupont.com/

[56] Venteclaminates [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.venteclaminates.com/page/80/Products.htm

[57] MSC-Polymer [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.msc-polymer.com/

[58] Altium, "Tutorial - Getting Started with PCB Design" [en línea] [Consulta: 1 de Septiembre del 2014] Disponible en: http://wiki.altium.com/display/ADOH/Tutorial++Getting+Started+with+PCB+Design

[59] AMS, AS3933 [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.ams.com/eng/Wake-up-receiver/AS3933

[60] Texas Instrument, MSP430 [en línea] [Consulta: 22 de mayo del 2017] Disponible en: http://www.ti.com/product/msp430f1612

[61] Texas Instrument, CC1190 [en línea] [Consulta: 5 de Diciembre 2016] Disponible en: http://www.ti.com/tool/cc1101<cc1190em869rd

[62] Analog Devices, ADG918 [en línea] [Consulta: 5 de Diciembre 2016] Disponible en: http://www.analog.com/en/switchesmultiplexers/rf<switches/adg918/products/product.html

[63] C.S. Raghavendra, Krishna M. Silvalingam, Taieb Znati, "Wireless Sensor Network," 2004.

[64] Rafaella Fiorelli Martegani, "An All-Inversion-Region gm/ID Based Design Methodology for Radiofrequency Blocks in CMOS Nanometer Technologies," Tesis doctoral por la Universidad de Sevilla y la Universidad de la República, 2011.

[65] Shouli Yan, Edgar Sanchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial," *IEICE Trans. Analog Integrated Circuits and Systems*, vol. E00–A, no. 2, february 2000.

[66] Ruida Yun, "How To Plot Transconductance and Even More," [en línea] [Consulta: 29 de mayo 2017] Disponible en: http://www.designers-guide.org/Forum/Attachments/gmid_ruida.pdf

[67] Cadence [en línea] [Consulta: 29 de mayo 2017] Disponible en: https://www.cadence.com/

[68] Andy Howard, "RFIC Design Using the Agilent RFIC Dynamic Link to Cadence. Combine capable tools to efficiently design RFICs," Agilent Technologies.

[69] E. Nilsson and C. Svensson, "Ultra Low Power Wake-Up Radio Using Envelope Detector and Transmission Line Voltage Transformer," in *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 3, no. 1, pp. 5-12, March 2013. doi: 10.1109/JETCAS.2013.2242777

[70] S. Katz, I. Brouk, S. Stolyarova, S. Shapira and Y. Nemirovsky, "High Performance MEMS 0.18µm RF-CMOS Transformers," *IEEE International Conference on Microwaves, Communications, Antennas and Electronics Systems*, pp. 1-5, Nov. 2009.

[71] X. Huang, S. Rampu, X. Wang, G. Dolmans and H. de Groot, "A 2.4GHz/915MHz 51µW wake-up receiver with offset and noise suppression," *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, San Francisco, CA, 2010, pp. 222-223. doi: 10.1109/ISSCC.2010.5433958

[72] Iulian Rosu, YO3DAX/VA3IUL, [en línea] [Consulta: 29 de mayo 2017] Disponible en: http://www.qsl.net/va3iul

[73] Nathan Michael Pletcher, “Ultra-Low Power Wake-Up Receivers for Wireless Sensor Networks,” Doctor of Philosophy, 2008.

[74] Fikre Tsigabu Gebreyohannes, “Design of an Ultra-Low Power Wake-Up Receiver in 130nm CMOS Technology,” Master's Thesis, 2012.

[75] Y.Wu, M. Ismail, H. Olsson, “A novel CMOS fully differential inductorless RF bandpass filter,” *Proceeding of the IEEE International Symposium on Circuits and Systems*, vol. 4, pp. 149-152, May 2000.

[76] Reference LTC DWG # 05-08-1705 Rev C.

[77] “MLP Application Note”, April 2002 [en línea] [Consulta: 29 de mayo 2017] Disponible en: http://www.carsem.com/pdf/csmmlpappsnote4232002300dpi.pdf

[78] Texas Instruments, “QFN Layout Guidelines,” Application Report, SLOA122–July 2006.

[79] C. Hambeck, S. Mahlknecht and T. Herndl, "A 2.4µW Wake-up Receiver for wireless sensor nodes with −71dBm sensitivity," *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, Rio de Janeiro, 2011, pp. 534-537. doi: 10.1109/ISCAS.2011.5937620

[80] “LAB 7: Advanced Harmonic Balance Mixer Simulations,” ADS Fundamentals – 2009.

[81] T. Taris, J. B. Begueret, and Y. Deval, "A low voltage current reuse LNA in a 130-nm CMOS technology for UWB applications," *European Microwave Conference*, pp. 1105-1108, 2007.

[82] Wang Chunhua and Wan Qiuzhen, “A 0.18 µm CMOS low noise amplifier using a current reuse technique for 3.1–10.6 GHz UWB receivers,” Journal of Semiconductors, Vol. 32, No. 8, pp.1-6, 2011.

[83] Chunhua Wang, Jie Jin and Fei Yu, “Low-Power TIA Tunes Gain At 2.4 GHz,” *Microwaves and RF*, 2010.

[84] Christian Hambeck, “Wake-Up Receivers for Wireless Sensor Networks,” Aufl., 2015. ISBN10 3838123220.

[85] N. M. Pletcher, S. Gambini and J. M. Rabaey, "A 2GHz 52 μW Wake-Up Receiver with -72dBm Sensitivity Using Uncertain-IF Architecture," *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, 2008, pp. 524-633.
doi: 10.1109/ISSCC.2008.4523288

[86] J. Agustin and M. Lopez-Vallejo, "An In-Depth Analysis of Ring Oscillators: Exploiting Their Configurable Duty-Cycle," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 10, pp. 2485-2494, Oct. 2015. doi: 10.1109/TCSI.2015.2476300

Publicaciones

Comunicaciones en Congresos Internacionales relacionados con la Tesis

1. D. Ramos-Valido, Sunil L. Khemchandani, C. Lujan-Martinez, Unai Alvarado and J. del Pino, “Integrated 868 MHz Low Power Detectors for Wake-up Receivers in 65nm CMOS Technology,” Design of Circuits and Integrated Systems Conference, 2013.

2. Unai Alvarado, Andoni Beriain, Kristian Granhaug, Nikolaj Andersen, Dailos Ramos-Valido,Clara Luján-Martinez and Guillermo Bistué, “A Passive Wake-up Receiver for Autonomous Nodes in Wireless Sensor Networks,” XXVIII Design of Circuits and Integrated Systems Conference, 2013.

3. D. Ramos-Valido, H. García-Vázquez, Sunil L. Khemchandani, J. del Pino,C. Lujan-Martinez, Guillermo Bistué, “A high sensitivity and low power envelope detector for wireless sensor nodes,” XXIX Design of Circuits and Integrated Systems Conference, 2014.

4. D. Ramos-Valido, H. García-Vázquez, Fortunato Dualibe, Sunil L. Khemchandani and J. del Pino, “Low power Wake-up Receivers for WSN at 868 MHz,” 10th Argentine Conference on Micro- Nanoelectronics, Technology and Applications (CAMTA), 2014.

5. D. Ramos-Valido, Sunil L. Khemchandani, H. García-Vázquez and J. del Pino, “Different strategies to improve sensitivity and power of the wake-up receivers,” 1st URSI Atlantic Radio Science Conference, 2015.

6. Emilio Torres Armas, Sergio Mateos Angulo, Dailos Ramos-Valido, Sunil L. Khemchandani and J. del Pino, “A 40.9 µW high sensitivity wake-up radio for wireless sensor networks using uncertain-IF architecture,” XXX Conference on Design of Circuits and Integrated Systems, 2015.

Artículos en Revistas con índice de impacto

7. Sunil L. Khemchandani, Javier del Pino, Enrique López-Morillo, Unai Alvarado, Dailos Ramos-Valido, Bernardo Palomo, Fernando Muñoz Chavero, “RF and Mixed Signal Circuits for a DVB-H Receiver”, Analog Integrated Circuits and Signal Processing, Vol. 65, Pág. 1-14, 2010.

8. Sunil L. Khemchandani, Dailos Ramos-Valido, Hugo García-Vázquez, Ruben Pulido-Medina, and Javier del Pino, “A Low Voltage Folded Cascode LNA for Ultra-wideband Applications”, Microwave and Optical Technology Letters, Vol. 52, Pág. 2495-2500, 2010.

9. Hugo García-Vázquez, Sunil L. Khemchandani, Dailos Ramos-Valido, Aitor Juanicorena, C. Luján-Martínez and Javier del Pino, “A Fully Integrated RF

Front End for DVB-SH", Microwave and Optical Technology Letters, Vol. 54, Pág. 1944-1949, 2012.

10. Hugo García-Vázquez, Sunil L. Khemchandani, Dailos Ramos-Valido, Krisnaya Orbaiceta-Ezcurra and Javier del Pino, "Modeling the Package of a LNA with a 3D-EM Simulator", Microwave and Optical Technology Letters, Vol. 55, Pág. 1435-1440, 2013.

11. Hugo García-Vázquez, Sunil L. Khemchandani, Dailos Ramos-Valido and Javier del Pino, "A Fully Integrated Dual-band LNA with Switched Loads", Microwave and Optical Technology Letters, Vol. 56, Pág. 2107-2110, 2014.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada

TESIS DOCTORAL