

Doctorado en Tecnologías de Telecomunicación

TESIS DOCTORAL

Aportaciones a la caracterización electro-térmica de FETs de AlGaN/GaN con tecnologías avanzadas

Raúl Rodríguez del Rosario

Las Palmas de Gran Canaria Junio de 2017

D. PEDRO PÉREZ CARBALLO, SECRETARIO DEL INSTUTO UNIVERSITARIO DE MICROELECTRONICA APLICADA DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA,

CERTIFICA,

Que la Comisión Académica del Instituto Universitario de Microelectrónica Aplicada (IUMA), en su sesión de fecha 9 de junio de 2017, tomó el acuerdo de dar el consentimiento para su tramitación, a la tesis doctoral titulada "**Aportaciones a la caracterización electro-térmica de FETs de AlGaN/GaN con tecnologías avanzadas**" presentada por el doctorando D. Raúl Rodríguez del Rosario y dirigida por los Doctores D. Benito González Pérez, D. Javier García García y D. Antonio Núñez Ordóñez.

Y para que así conste, y a efectos de lo previsto en el Artº 6 del Reglamento para la elaboración, defensa, tribunal y evaluación de tesis doctorales de la Universidad de Las Palmas de Gran Canaria, firmo la presente en Las Palmas de Gran Canaria, a nueve de junio de dos mil diecisiete.



Instituto: Instituto Universitario de Microelectrónica Aplicada Programa de doctorado: Doctorado en Tecnologías de Telecomunicación

Título de la Tesis

Aportaciones a la caracterización electro-térmica de FETs de AlGaN/GaN con tecnologías avanzadas

Tesis Doctoral presentada por D. Raúl Rodríguez del Rosario

Dirigida por el Dr. D. Benito González Pérez

Codirigida por el Dr. D. Javier Agustín García García

Codirigida por el Dr. D. Antonio Núñez Ordóñez

El Director, (firma) El Codirector, (firma) El Codirector, (firma) El Doctorando, (firma)

Las Palmas de Gran Canaria a, 9 de junio de 2017

Agradecimientos

Esta tesis ha sido el fruto de mucho trabajo y mucho tiempo, y ha sido posible gracias a la invalorable ayuda de muchas personas, les doy las gracias a todos.

En primer lugar, quiero darles las gracias a mis directores el doctor Benito González Pérez, el doctor Javier García García y el doctor Antonio Núñez Ordóñez por darme la oportunidad de trabajar junto a ellos durante estos años, así como por toda la ayuda que me han prestado y sus buenos consejos.

Al Cabildo de Gran Canaria, al Ministerio de Economía, Industria y Competitividad (MINECO), a la Comunidad Económica Europea, a través del Proyecto AGATE y a la Cátedra Endesa Red de la Universidad de Las Palmas de Gran Canaria que han sido los que me han financiado para poder realizar mi tesis a través de los contratos de trabajo como Investigador Contratado en Proyectos (ICP2).

Al Instituto Universitario de Microelectrónica Aplicada (IUMA) por permitirme usar sus instalaciones y recursos.

A los doctores Fetene Y. Mulugeta, Benjamín Íñiguez, J. M. Tirado, Elías Muñoz y Yannick Baines por su apoyo desinteresado, sin el cual las medidas, simulaciones y modelado no hubieran podido realizarse con éxito.

Por supuesto a mi familia, que siempre me ha apoyado en todas las decisiones que he tomado y sin la que no estaría donde estoy hoy. A mis amigos de la carrera y a los de toda la vida, que han estado ahí para lo que hiciera falta. Y a Eva.

Abstract

In the studied AlGaN/GaN HEMTs, the parameter extraction techniques for FET devices, at different temperatures, have been successfully applied in order to determine the threshold voltage, the low field electron mobility, and the extrinsic resistances. The dependence with the temperature of the thermal resistance has also been extracted, using the AC conductance technique. These parameters have subsequently been used in numerical simulations and /or modeling.

Regarding numerical simulations, making use of the measured thermal resistance and taking into account the degradation of the thermal conductivity in the thin layers of the device, a procedure has been established to adequately reproduce the self-heating. In the case of HEMTs of the ISOM with Schottky gate, it has been necessary to distribute the thermal resistance between the gate terminal and the bottom of the simulated structure (under the channel). However with MOS gate structures (in the MOS-HEMT of the CEA-Leti) the whole thermal resistance has been located under the channel. This result is consistent with the expected dispersion of the heat, internally generated by Joule effect, towards the outside of the device. In this way, it is not only correctly simulated the drain current degradation in the characteristic curves with the operating temperature increase, but also the highest temperature occurring in the channel, under the gate, by the side of the drain.

Regarding the compact modeling, for HEMTs of the ISOM, a model ISOM at the Universitat Rovira i Virgili, implemented in Verilog-A, has been completed. This model now incorporates the dependence with the temperature of the main parameters: threshold voltage, extrinsic resistances, low field mobility, saturation velocity and thermal resistance, extracted from measurements or simulations. The resulting temperature increase (average in the channel) corresponds successfully with the simulated and measured (from the thermal resistance extracted), in the different regimes and operating temperatures. The dependence of current and temperature with the gate geometry is also correctly predicted. In a first approximation the MOS-HEMT of the CEA-Leti, being MOSFET transistors, have been modeled, making use of the BSIMSOI3.1 model, available in ADS, since it incorporates the self-heating.

Resumen

En los HEMT de AlGaN/GaN estudiados se han aplicado exitosamente técnicas de extracción de parámetros para los FET, a distintas temperaturas, para determinar la tensión umbral, la movilidad de electrones a campos bajos y las resistencias extrínsecas. También se ha extraído la dependencia con la temperatura de la resistencia térmica, empleando la técnica de la conductancia en AC. Estos parámetros se han empleado posteriormente en simulaciones numéricas y/o en modelado.

En cuanto a simulaciones numéricas, haciendo uso de la resistencia térmica medida y teniendo en cuenta la degradación de la conductividad térmica en las capas finas del dispositivo, se ha establecido un procedimiento para reproducir adecuadamente el autocalentamiento. En caso de los HEMT del ISOM con puertas Schottky ha sido necesario distribuir la resistencia térmica entre el terminal de puerta y el fondo de la estructura simulada (bajo el canal). Mientras que con estructuras MOS de puerta (en los MOS-HEMT del CEA-Leti) se ha localizado toda la resistencia térmica bajo el canal. Este resultado es coherente con la esperada dispersión del calor, internamente generado por efecto Joule, hacia el exterior del dispositivo. De esta forma, no sólo se simula correctamente la degradación de la corriente de drenador en las curvas características con el aumento de la temperatura de operación, sino que también se predice la máxima temperatura que tiene lugar en el canal, bajo la puerta, por el lado del drenador.

Con respecto al modelado compacto, para los HEMT del ISOM se ha partido de un modelo desarrollado en la Universitat Rovira i Virgili, implementado en Verilog-A. A este modelo se le ha incorporado la dependencia con la temperatura de los principales parámetros: tensión umbral, resistencias extrínsecas, movilidad a campos bajos, velocidad de saturación y resistencia térmica, extraídos a partir de las medidas o de las simulaciones. El incremento de temperatura resultante (promedio en el canal) se corresponde exitosamente con el simulado y medido (a partir de la resistencia térmica extraída), en los distintos regímenes y temperaturas de operación. También se predice correctamente la dependencia de la corriente y la temperatura con la geometría de puerta. En una primera aproximación se han modelado los MOS-HEMT del CEA-Leti, al ser transistores MOSFET, haciendo uso del modelo BSIMSOI3.1, disponible en ADS, ya que incorpora el autocalentamiento.

Lista de Contenidos

Abstracti
Resumeniii
Lista de Contenidosv
Lista de Figurasix
Lista de Tablasxvii
Lista de Acrónimos xix
Capítulo 1
Introducción y Estado del Arte1
1.1 Introducción
1.2 Muestras ISOM y AGATE
1.3 Estado del Arte de la tecnología GaN5
1.3.1 Propiedades del GaN 5
1.3.2 GaN frente a otros semiconductores
1.3.3 Tecnología del proceso de fabricación del GaN9
1.3.4 Proceso básico y geometría de los GaN FET 13
1.3.5 Procesos y geometrías avanzadas del GaN FET 16
1.4 Estado del arte en caracterización eléctrica bajo influencia de la temperatura de
GaN HEMT y GaN MOS-HEMT sobre sustratos avanzados en silicio 17
1.4.1 HEMT de puerta autoalineada sobre la barrera
1.4.2 Caracterización de HEMT de puerta autoalineada con diferentes tipos de fugas
1.4.3 MOS-HEMT y variación del óxido de puerta
1.4.4 Caracterización del MOS-HEMT con puerta p-GaN aislada y autoalineada 22
1.4.5 Caracterización del MOS-HEMT con puerta empotrada en la barrera (<i>recessed gate</i>)

1.6 Planteamiento y objetivos de la tesis	
1.7 Organización del documento de tesis	
Capítulo 2	
Medidas y caracterización	
2.1 Caracterización eléctrica realizada por el ISOM-UPM	
2.2 Caracterización electro-térmica realizada en el IUMA-ULPGC	30
2.2.1 Material empleado	
2.2.2 Caracterizaciones realizadas	38
2.2.3 Consideraciones al variar la temperatura de sustrato	50
Capítulo 3	
Simulación numérica	55
3.1 La naturaleza de la simulación física	55
3.2 Análisis del modelo de polarización	57
3.3 Emisión termoiónica y efecto túnel	60
3.4 Autocalentamiento	61
3.4.1 Ecuación del flujo de calor	61
3.4.2 Condiciones de contorno térmicas	63
3.5 Selección del simulador	63
Capítulo 4	
Modelo compacto	
4.1 Introducción a Verilog-A	
4.2 Simulador SPICE para circuitos eléctricos	74
4.3 Herramienta Advanced Design System, ADS	74
4.3.1. Simulación eléctrica	76
4.4 Modelo para el HEMT de AlGaN/GaN	
4.4.1 Ajuste del modelo	79
4.4.1 Evaluación comparativa	80

4.5 Modelo seleccionado para el MOS-HEMT	81
4.5.1 Modelo BSIMSOI3.1	82
Capítulo 5	
HEMT de AlGaN/GaN sobre zafiro	
5.1 Descripción de las muestras	87
5.2. Metodología de medida para el HEMT de AlGaN/GaN	89
5.2.1 Caracterización térmica en DC	90
5.2.2 Caracterización térmica en AC	
5.2.3 Caracterización con pulsos	99
5.2.4 Caracterización en régimen transitorio	100
5.3 Metodología para simular numéricamente el HEMT de AlGaN/GaN	102
5.3.1 Perfil de concentración de e ⁻	102
5.3.2 Respuesta en régimen lineal	104
5.3.3 Respuesta en régimen de saturación	105
5.3.4 Resistencias extrínsecas	110
5.4 Modelo compacto	112
5.5 Mitigación de los SHE variando el material de sustrato	117
Capítulo 6	
MOS-HEMT de GaN sobre Si	125
6.1 Descripción de las muestras	125
6.2 Metodología de medida para el MOS-HEMT de GaN sobre Si	126
6.2.1 Caracterización térmica en DC	127
6.2.2 Caracterización térmica en AC	134
6.2.3 Caracterización transitoria	137
6.3 Simulación numérica	138

6.3.1 Metodología sobre la geometría
6.3.2 Resultados variando la temperatura de sustrato y la geometría de puerta
6.3.3 Introducción a la simulación numérica con trampas de MOS-HEMT 150
6.4 Modelo compacto
Capítulo 7
Conclusiones y líneas abiertas 159
Conclusiones y líneas abiertas 159 7.1 Conclusiones 159
Conclusiones y líneas abiertas 159 7.1 Conclusiones 159 7.2 Líneas abiertas 162
Conclusiones y líneas abiertas 159 7.1 Conclusiones 159 7.2 Líneas abiertas 162 Referencias 165
Conclusiones y líneas abiertas 159 7.1 Conclusiones 159 7.2 Líneas abiertas 162 Referencias 165 Publicaciones 177

Lista de Figuras

1.1	Previsión del mercado del GaN	2
1.2	Oblea de 150 mm de diámetro de GaN sobre zafiro	5
1.3	Estructura cristalina del GaN	6
1.4	Ejemplo de una estructura cristalina del GaN crecida sobre sustrato de	10
	silicio	
1.5	Ventajas del GaN sobre SiC frente al GaN sobre Si.	11
2.1	Laboratorio de medidas sobre oblea del IUMA.	27
2.2	Capacidad frente a tensión de puerta en la heteroestructura A.	28
2.3	Estructura de capas de las muestras A, B y C.	29
2.4	Capacidad frente a tensión de puerta en las heteroestructuras A, B y C.	30
2.5	Detalle del posicionamiento de puntas PTT.	31
2.6	Ejemplo de la sonda ACP40-GSG-150 para RF.	32
2.7	Sonda PTT-250-25 y su soporte.	32
2.8	Analizador de dispositivos B1500A.	34
2.9	Fotografía del analizador de redes.	34
2.10	Fotografía del osciloscopio Infiniium DS091204A.	35
2.11	Ilustración de un cable triaxial de 1,5 m para el B1500A.	36
2.12	Resistencia térmica Calesco IS991101 y placa calefactora	37
2.13	Fotografía del montaje de medida con célula Peltier.	37
2.14	Foto del micrómetro modelo 4050 digital y representación del dado	38
	proporcionado por el CEA-Leti.	
2.15	Esquemático del montaje para la caracterización en DC.	39
2.16	Configuración de las curvas de transferencia con EasyEXPERT.	40
2.17	Esquema del montaje de medida para medir la conductancia y la	41
	capacitancia de salida	
2.18	Circuito de alta frecuencia con varias puertas de acceso.	41
2.19	Significado físico de los parámetros S.	43
2.20	Esquema del montaje de medida para la caracterización en RF.	44
2.21	Parámetros S_{21} y S_{11} medidos para un transistor de la muestra C del ISOM.	44

- 2.22 Respuesta en frecuencia g_{DDT} vs. frecuencia de operación medidas entre 20 °C y 100 °C. $V_{GS} = 0$ V y $V_{DS} = 12$ V realizadas con VNA y analizador B1500A. Transistor 6F de la muestra C.
- 2.23 Montaje empleado para realizar las medidas basadas en el retardo de 46 puerta y de drenador.

2.24	Curvas características de salida en DC y mediante pulso.	47
2.25	Montajes experimentales de los diferentes métodos pulsados de medida.	48
2.26	Transitorio de la corriente para un HEMT del ISOM.	49
2.27	Evolución temporal de la corriente de drenador de un transistor del CEA-	50
	Leti.	
2.28	Características de salida de un transistor para diferentes temperaturas de	51
	sustrato.	
2.29	Microfotografía de las puntas PTT sobre una muestra MOS-HEMT (agua	52
	condensada).	
2.30	Curvas características de salida de un transistor del CEA-Leti bajando la	52
	temperatura de sustrato hasta 0 °C, a $V_{GS} = 5$ V.	
3.1	Celda unitaria del GaN.	57
3.2	Efecto del estrés en la barrera de AlGaN.	58
3.3	Diferentes contribuciones de carga de polarización.	59
3.4	Parámetros en el diagrama de bandas de una heterounión para el efecto	61
	túnel.	
3.5	Estructura de capas de la estructura de puerta simulada con Atlas y	64
	Sentaurus.	
3.6	Banda de conducción vs. profundidad bajo la puerta con Atlas y	64
	Sentaurus.	
3.7	Campo eléctrico vs. profundidad con Atlas y Sentaurus.	65
3.8	Concentración de electrones vs. profundidad con Atlas y Sentaurus.	65
3.9	Característica C-V simulada con Atlas y Sentaurus.	66
3.10	Estructura del HEMT intrínseco simulado con Atlas y Sentaurus.	66
3.11	Curvas de transferencia con Atlas y Sentaurus.	69
3.12	Características de salida simuladas con Atlas y Sentaurus.	69

4.1	Esquemático de una resistencia simple y código en Verilog-A.	73
4.2	Entorno de trabajo en ADS de una simulación en DC para un MOS- HEMT	75
4.3	Algoritmo de Newton-Raphson.	77
4.4	Modelo del circuito equivalente en gran señal del HEMT de AlGaN/GaN.	79
4.5	Características de transferencia y de salida para un HEMT de AlGaN/GaN.	80
4.6	Estructura del HFET medido por [Wu 1997].	81
4.7	Comparación para I_{DS} vs. V_{GS} e I_{DS} vs. V_{DS} , entre los datos medidos y modelados.	81
4.8	Circuito equivalente para la simulación del autocalentamiento.	84
4.9	Comparación para I_{DS} vs. V_{GS} e I_{DS} vs. V_{DS} , entre los datos medidos y modelados de un MOSHEMT.	85
5.1	Muestras de HEMT de AlGaN/GaN del ISOM-UPM.	87
5.2	Máscara 1 en forma de T de los transistores ISOM-UPM.	88
5.3	Microfotografía de la muestra B y su mapa orientativo.	89
5.4	Características de transferencia medidas de la muestra C.	90
5.5	Implementación del método GMLE para la extracción de la tensión umbral.	91
5.6	Características $I_{DS}/g_m^{1/2}$ vs. V_{GS} para la extracción de la movilidad a campos bajos.	92
5.7	Movilidad a campos bajos extraída vs. temperatura de sustrato.	92
5.8	Características de salida medidas para $V_{GS} = -2 \text{ V}, -1 \text{ V}, 0 \text{ V}, a$ diferentes temperaturas de sustrato: 20 °C, 40 °C, 60 °C y 80 °C, del transistor 3C de la muestra B	93
5.9	$I_{\rm DS}$ vs. $V_{\rm DS}$ en régimen lineal a diferentes temperaturas de sustrato	94
5.10	Perfil de la concentración de electrones medido vs. profundidad bajo la	95
	puerta	
5.11	$R_{\rm S}$ extraída (con cuadrados) y ajuste lineal (con línea continua) vs.	96
	temperatura de sustrato.	
5.12	Característica potencia-incremento de temperatura medida del HEMT.	97
5.13	Corriente de drenador en DC vs. temperatura entre 25 °C y 100 °C	97

- 5.14 Respuesta en frecuencia para g_{DDT} (a) y C_{DS} (b), entre 25 °C y 100 °C, del 98 transistor 3C de la muestra B obtenido con el B1500A; $V_{GS} = 0$ V y $V_{DS} = 12$ V.
- 5.15 Dependencia de la resistencia térmica con la temperatura medida y su 99 ajuste lineal. Transistor 3C de la muestra B.
- 5.16 Curvas características de salida a temperatura ambiente en DC 100 y régimen pulsado, para el transistor 3C de la muestra B; $V_{GS} = 0$ V.
- 5.17 Respuesta transitoria para la corriente de drenador, a temperatura 101 ambiente, para el transistor 6F de la muestra C; con $V_{GS} = 0$ V, $V_{DS} = 6$ V.
- 5.18 Curvas características de transferencia en régimen lineal, a temperatura 101 ambiente, con y sin mantener polarizado, el transistor 6F de la muestra C, durante una hora; $V_{DS} = 0,1$ V.
- 5.19 Características *C*-*V* de la muestra B. 102
- 5.20 Perfil de electrones frente a la profundidad desde la superficie superior 103 del AlGaN para la muestra B.
- 5.21 Características de transferencia de la muestra B, en régimen lineal con 104 $V_{\text{DS}} = 0,1 \text{ V}.$
- 5.22 Características de salida de la muestra B a temperatura ambiente con 106 $V_{GS} = -2$ V.
- 5.23 Resistencia térmica equivalente, $R_{\rm th}$, en el fondo de la estructura simulada. 107
- 5.24 Características de salida de la muestra B. 107
- 5.25 Característica I_{DS} vs. T con $V_{GS} = -2$ V, -1 V, 0 V, para el transistor 3C 108 de la muestra B.
- 5.26 Distintas configuraciones de la distribución de la resistencia térmica 109 simulada en el HEMT.
- 5.27 Característica I_{DS} vs. $T \operatorname{con} V_{GS} = -2 V, -1 V, 0 V.$ 109
- 5.28 Características T-P y las características de salida del transistor 3C de la 110 muestra B;
- 5.29 Estructura HEMT simulada en Atlas, usada para extraer R_D y R_S . 111
- 5.30 Resistencia extrínseca de fuente (eje de la izquierda) y drenador (eje de la 111 derecha), extraídas con Atlas.
- 5.31 $R_{\rm S}$ y $R_{\rm D}$ vs. $\Delta T_{\rm I}$ para el sustrato de zafiro. 113

- 5.32 Características de transferencia medida, simulada y modelada, en régimen 114 lineal a temperatura ambiente, para el transistor 3C de la muestra B; $V_{\rm DS} = 0,1$ V.
- 5.33 Características de salida medida, simulada y modelada, en régimen lineal 114 a temperatura ambiente, para el transistor 3C de la muestra B; $V_{GS} = -2 V, -1 V, 0 V.$
- 5.34 Características de salida y características $T-V_{DS}$, para el transistor 3C de la 115 muestra B.
- 5.35 Esquemático del modelo compacto, incluyendo la corriente MESFET 116parásita en la barrera de AlGaN.
- 5.36 Características de transferencia en régimen lineal, $V_{DS} = 0,1$ V, y de salida 117 medidas y modeladas con efecto MESFET parásito a diferentes temperaturas de sustrato.
- 5.37 Características de salida y $<\Delta T_i > vs$. tensión de drenador para los sustratos 119 de zafiro, SiC y Si.
- 5.38 Características de transferencia (eje de la izda.) y transconductancias 120 (eje de la dcha.) con $V_{DS} = 15$ V para HEMT de AlGaN/GaN con sustratos de SiC, Si y Mo.
- 5.39 $R_{\rm S}$ y $R_{\rm D}$ en función del incremento de la temperatura media en el canal 121 para los sustratos de zafiro, SiC y Si o Mo
- 5.40 Temperatura local simulada del canal (con líneas) *vs.* Posición a lo largo 122 de la dirección longitudinal.
- 6.1 Estructura MOS-HEMT de AlGaN/GaN. 126
- 6.2 (a) Microfotografía del *layout* de la muestra del CEA-Leti y (b) mapa de 128 la misma con los transistores seleccionados para su estudio.
- 6.3 (a) Características de transferencia y (b) características de salida, medidas 128 para el MOS-HEMT de referencia.
- 6.4 (a) Características de transferencia y (b) de salida cuando varía la longitud 129 de puerta.
- 6.5 (a) Características de transferencia y (b) de salida, cuando varía el ancho 129 de puerta.

- 6.6 (a) Características de transferencia y (b) de salida cuando, varían los *field* 130 *plates*.
- 6.7 (a) Características de transferencia y (b) de salida, cuando varía la 130 localización de los terminales de fuente/drenador.
- 6.8 (a) Características de transferencia en régimen lineal, $V_{DS} = 0,1$ V, y (b) 131 características de salida con $V_{GS} = 5$ V, del transistor de referencia TT2 19-21.
- 6.9 Extracción de la tensión umbral con el método ELR para el transistor de 132 referencia, variando la temperatura de sustrato; $V_{DS} = 0,1$ V.
- 6.10 Extracción de la tensión umbral con el método ELR en transistores de 133 diferente anchura ($W = 20 \ \mu m$, 40 μm y 100 μm); $V_{DS} = 0,1$ V.
- 6.11 Respuesta en frecuencia de g_{DDT} (a) y g_{GDT} (b) medidas a diferentes 135 temperaturas de sustrato.
- 6.12 Resistencia térmica extraída en los MOS-HEMT: (a) variando el ancho 136 de puerta ($W = 20 \ \mu m$, 40 μm y 100 μm con $L = 2 \ \mu m$);(b) variando la longitud de puerta ($L = 1 \ \mu m$, 2 μm y 3 μm con $W = 100 \ \mu m$).
- 6.13 (a) Evolución dinámica de la corriente de drenador del MOS-HEMT (W 137 = 20 μm y L = 2 μm), en régimen continuo (con V_{GS} = 5 V, V_{DS} = 6 V);
 (b) Característica de transferencia con y sin mantener polarizarado el transistor durante una hora, V_{DS} = 0,1 V.
- 6.14 Característica de salida del transistor de referencia medida antes de 138 calentar, con cuadrados, y después de calentar, con círculos. MOS-HEMT TT1_13-15, transistor de referencia, del CEA-Leti.
- 6.15 Diferentes configuraciones de prueba de MOS-HEMTs para el estudio de 139 las muestras del CEA-Leti.
- 6.16 Estructura simulada del MOS-HEMT estándar en Atlas. 140
- 6.17 Campo eléctrico paralelo *vs.* V_{GS} y movilidad de electrones *vs.* V_{GS} del 140 transistor de referencia.
- 6.18 Diferentes estructuras simuladas de MOS-HEMT variando las regiones 141 MOSFET y HEMT en el material de GaN.
- 6.19 Concentración de e⁻ vs. V_{GS}, en el canal, para y el 2-DEG para diferentes 144 profundidades de puerta empotrada; $V_{DS} = 0,1 \text{ V y dopaje-p } 2 \times 10^{17} \text{ cm}^{-3}$.

- 6.20 Curva característica de transferencia para diferentes dopajes, con una 144 profundidad profundidad de puerta empotrada 30 nm; $V_{\text{DS}} = 0,1$ V.
- 6.21 Característica de transferencia en régimen lineal, con diferentes 145 profundidades de la puerta empotrada, para a) $V_{DS} = 0,1$ V y b) $V_{DS} = 2$ V.
- 6.22 Características de salida con profundidad óptima de puerta empotrada, 30 145 nm, y dopaje-p de Mg de concentración 2×10^{17} cm-3; $V_{GS} = 3, 5 \text{ y 7 V}$
- 6.23 $\Delta T_c vs. I_{DS}$ del transistor de referencia a temperatura ambiente: medida, 146 simulado sin SHE y simulado con SHE; $V_{GS} = 3 \text{ V}, 5 \text{ V} \text{ y 7 V}.$
- 6.24 Características de salida a distintas temperaturas del transistor estándar, 147 con profundidad de puerta empotrada óptima, 30 nm, y dopaje-p de Mg de concentración 2×10^{17} cm-3; $V_{GS} = 5$ V.
- 6.25 Características de salida medidas y simuladas con $T_{sub} = 50$ °C (en verde) 148 y 150 °C (en rojo), variando el ancho de puerta (con $L = 2 \mu m$) y variando la longitud de puerta (con $W = 100 \mu m$); $V_{GS} = 5$ V.
- 6.26 Característica $\Delta T_c vs.$ potencia eléctrica, (a) variando el ancho de puerta 148 (con $L = 2 \mu m$) y (b) variando la longitud de puerta (con $W = 100 \mu m$); $V_{GS} = 5 \text{ V y } T_{sub} = 150 \text{ °C}.$
- 6.27 Incremento de la temperatura del canal extraída (con símbolos) y 150 simulada (con líneas): (a) variando el ancho de puerta (con L = 2 μm) y (b) variando la longitud de puerta (con W= 100 μm); V_{GS} = 5 V, V_{DS} = 10 V y T_{sub} = 150 °C.
- 6.28 Definición en Atlas del nivel de energía de trampas aceptoras y 150 donadoras, con respecto a los bordes de las bandas de conducción y valencia.
- 6.29 Curva de transferencia en régimen lineal ($V_{DS} = 0,1$ V), a temperatura 153 ambiente, del transistor estándar: medida, con cuadrados, simulada sin incluir efectos de trampas, con línea discontinua, y simulada incluyendo trampas de naturaleza aceptara y donadora, con líneas continuas azul y roja, respectivamente.

- 6.30 Curvas características de transferencia medidas, con cuadrados, y 155 modeladas, con líneas, a temperatura ambiente para (a) régimen lineal, con $V_{\text{DS}} = 0.1$ V y (b) régimen de saturación con $V_{\text{DS}} = 2$ V.
- 6.31 Curvas características de salida medidas y modeladas, representadas con 156 cuadrados y con líneas, respectivamente, a $T_{sub} = 25$ °C para $V_{GS} = 3$ V, $V_{GS} = 5$ V y $V_{GS} = 7$ V.
- 6.32 Dependencia con la temperatura de operación de la resistencia térmica, 157 R_{tho} (a) y la velocidad de saturación, v_{sat} (b), para el transistor de referencia: valores modelados (con cuadrados) y ajuste (con línea).
- 6.33 Curvas características de salida medidas y modeladas representadas con 158 cuadrados y líneas, respectivamente, a diferentes temperaturas de sustrato; $V_{GS} = 5$ V.
- A.1 Implementación del método CC 179
- A.2 Implementación del método ELR 180
- A.3 Implementación del método GMLE 180
- A.4 Implementación del método SD 181
- A.5 Implementación del método RM 182

Lista de Tablas

- Diferentes sustratos usados para crecer GaN y sus características 11 físicas.
- 2.1 Movilidad y concentración de electrones en el canal a 300 K para 29 el cálculo de la resistencia de contacto en los transistores.
- 2.2 Características de los módulos incorporados en el B1500A. 33
- 2.3 Espesor de las muestras proporcionadas por el ISOM-UPM. 38
- 3.1 Modelos estándar para la dependencia con la temperatura de la 62 conductividad térmica.
- 3.2 Parámetros del modelo de Albrecht para la movilidad a campos 67 bajos en Atlas.
- 3.3 Parámetros del modelo Arora para la movilidad a campos bajos en 68
 Sentaurus.

	inconvent	iente	es.							
4.2	Métodos	de	implementación	de	modelos	у	sus	ventajas	e	75
4.1	Tipos de	mod	lelado y sus ventaj	as e	inconveni	ent	tes.			71

```
4.3 Parámetros de ajuste. 80
```

- 5.1 Estructura de capas de los transistores del ISOM-UPM. 87
- 5.2 Conductancias de salida extraídas, resistencias *R*_{on} y extrínseca, 95
 para diferentes temperaturas de sustrato.
- 5.3 Parámetros de movilidad para el buffer de GaN y la barrera de 106 Al_{0,3}Ga_{0,7}N. Muestra B.
- 5.4 Parámetros de ajuste para $R_{\rm S}$ y $R_{\rm D}$ para HEMTs de zafiro. 113
- 5.5 Parámetros numéricos de funcionamiento en DC con sustratos. 119

5.6	Parámetros de ajuste para $R_{\rm S}$ y $R_{\rm D}$ con diferentes sustratos.	121
6.1	Parámetros de la movilidad de electrones para las capas internas	126
6.2	Descripción de los MOS-HEMT de GaN/Si.	127
6.3	Transistores estudiados – Comparación; $V_{GS} = 7 \text{ V y } V_{DS} = 0,1 \text{ V}.$	131
6.4	Modelos de movilidad empleados en las diferentes regiones del	142
	GaN en los MOS-HEMT.	
6.5	Concentración de dopaje-p para las capas internas.	143
6.6	Parámetros de la conductividad térmica para las capas internas.	146
6.7	Parámetros y valores de las trampas introducidas en la superficie	152
	del AlGaN de la estructura simulada.	
6.8	Parámetros establecidos del modelo BSIMSOI3.1 para modelar el	154
	MOS-HEMT de referencia.	
6.9	Valores de ajuste para R_{tho} y v_{sat} para el ajuste de las curvas	156
	características de salida del MOS-HEMT de referencia, a distintas	

temperaturas de operación.

Lista de Acrónimos

2-DEG	Two Dimensional Electron Gas
AC	Alternating current
ACP	Air CoPlanar
ADS	Advanced Design System
AGATE	Development of Advanced GAllium Nitrides substrates and TEchnologies
AHDL	Analog Hardware Design Language
AMS	Analog and Mixed-Signal
BEOL	Back-end-of-line
BSIM	Berkeley Short-channel IGFET Model
BSIMPD	BSIM Partially Depleted
CEA-Leti	Commissariat à l'Energie Atomique et aux Energies Alternatives
CNRS	Centre National de la Recherche and Scientifique
DC	Direct current
DLTS	Deep Level Transient Spectroscopy
DUT	Device Under Test
ELR	Extrapolation in Linear Region
ENIAC	European Nanoelectronics Initiative Advisory Council
FEOL	Front-end-of-line
FET	Field effect transistor
FP	Field Plate
FSGaN	Free Standing GaN
GFP	Gate Field Plate
GMLE	g_m transconductance Linear Extrapolation Method
GSG	Ground-Signal-Ground
HEMT	High electron mobility transistor
HFET	Heterostructure FET
HPSMU	High Power Source Monitoring Unit

HVPE	Hydride Vapour Phase Epitaxy
HVSPGU	High Voltage Source Pulse Generator Unit
IPE	Inverse Piezoelectric Effect
ISOM	Instituto de Sistemas Ópticos y Microelectrónica
IUMA	Instituto Universitario de Microelectrónica Aplicada
JU ENIAC	Joint Undertaking ENIAC
LED	Light Emitting Diode
MESFET	Metal-Semiconductor Field-Effect-Transistor
MBE	Molecular Beam Epitaxy
MFCMU	Multi Frequency Capacitance Measurement Unit
MIS-HEMT	Metal Insulator Semiconductor HEMT
MOCVD	Metal Organic Chemical Vapor Deposition
MODFET	Modulation-Doped FET
MOSFET	Metal Oxide Semiconductor FET
MOS-HEMT	Metal Oxide Semiconductor HEMT
MPSMU	Medium Power Source Monitoring Unit
PTFE	politetrafluoroetileno
PTT	Probe Tips
RF	radiofrecuencia
TCAD	Technology computer aided design
SFP	Source Field Plate
SHE	Self Heating Effect
SL	Super Lattice
SMU	Source Monitoring Unit
SOI	Silicon-On-Insulator
SPICE	Simulation Program with Integrated Circuits Emphasis
UPM	Universidad Politécnica de Madrid
ULPGC	Universidad de Las Palmas de Gran Canaria
VNA	Vector Network Analyzer

Capítulo 1 Introducción y Estado del Arte

1.1 Introducción

La tecnología de semiconductores ha experimentado un gran avance en los últimos años, en paralelo con el descubrimiento de nuevos sistemas materiales semiconductores [Pierret 1988]. Esto ha permitido a la industria de la electrónica de estado sólido extenderse a mercados como las telecomunicaciones en las bandas de radio frecuencia, microondas, radar y radioastronomía, y más recientemente a la electrónica de potencia, en áreas para las que el silicio no cumple los requisitos necesarios [Tirado 2007].

En concreto, los semiconductores basados en heteroestructuras III-V aparecen como los más adecuados y se han desarrollado en los 30 últimos años por muchos centros de investigación, universidades y empresas industriales siendo ya un lugar común en el conocimiento actual. Dentro de esta familia de dispositivos III-V basados en heteroestructuras, el nitruro de galio (GaN) es el que centra el estudio de esta tesis doctoral sobre caracterización electro-térmica de dispositivos FET de GaN en tecnologías avanzadas. Trataremos de los problemas de esta caracterización eléctrica dependiente de la temperatura para varias estructuras de dispositivos, varias tecnologías de sustratos y epitaxias, y varias configuraciones y geometrías. A los dispositivos Field Effect Transistor (FET) de GaN les llamaremos indistintamente High Electron Mobility Transistor (HEMT), Modulation-Doped FET (MODFET) o Heterostructure FET (HFET), aunque distinguiremos algunas estructuras más complejas como Metal Insulator Semiconductor HEMT (MIS-HEMT) o Metal Oxide Semiconductor HEMT (MOS-HEMT) en su momento.

En palabras del Dr. Sir Colin Humphreys, director del Centro para Nitruro de Galio de la Universidad de Cambridge, "el GaN es probablemente el material semiconductor más importante desde el silicio". Desde el punto de vista económico, el mercado global de los dispositivos de potencia de GaN se estima que alcance los 2.600 millones de dólares para



Figura 1.1. Previsión del mercado del GaN para los próximos años, hasta 2024 (Lux Research).

2022, contando tan solo el sector de radiofrecuencia, según el estudio de MnM.

Los mayores segmentos que muestran gran crecimiento son las comunicaciones vía satélite, radar, aplicaciones inalámbricas y aplicaciones de conmutación de potencia. El GaN permite mejorar la capacidad del manejo de potencia e incrementar la frecuencia de conmutación, reduciendo así las dimensiones de los sistemas y sus elementos radiadores o de refrigeración. En la Figura 1.1 se puede ver otra previsión para el mercado del GaN hasta el año 2024, realizada por Lux Research.

En esta introducción, tras presentar el origen y características de las muestras con las que se ha trabajado, exponemos brevemente y en primer lugar el Estado del Arte genérico de la tecnología GaN, para a continuación presentar el Estado del Arte específico de la caracterización eléctrica bajo influencia de la temperatura de los dispositivos HEMT y MOS-HEMT de GaN, que es el objeto de la tesis. Seguimos también la práctica de completar esta visión del Estado del Arte específico mediante las referencias oportunas en los capítulos monográficos dedicados a instrumentación y medidas, simulación, y modelado compacto de los HEMT y los MOS-HEMT.

En la sección de Estado del Arte general de la tecnología GaN exponemos brevemente las propiedades distintivas del material GaN, la tecnología del proceso de fabricación en GaN, el proceso y geometrías básicas de los GaN FET, los procesos y geometrías avanzadas de los GaN FET y las interdependencias y sinergias en investigación entre dispositivos para potencia, RF y LED.

En la sección de Estado del Arte específico de la caracterización eléctrica bajo influencia de la temperatura de los FET de GaN, exponemos estudios realizados para HEMT de puerta autoalineada sobre la barrera, luego estudios de caracterización de HEMT de puerta autoalineada con diferentes tipos de corrientes de fuga, para pasar a los MOS-HEMT y la variación de los óxidos de puerta, luego la caracterización de MOS-HEMT con puerta p-GaN aislada sobre la barrera y finalmente la caracterización de MOS-HEMT con puerta empotrada en la barrera.

Finalizamos este capítulo 1 con el planteamiento y objetivos de la tesis y un resumen o sinopsis de la organización del documento.

1.2 Muestras ISOM y AGATE

Esta tesis ha sido planteada a partir del marco de conocimiento de primer nivel surgido de la colaboración de la división de Tecnología Microelectrónica (TME) perteneciente al Instituto Universitario de Microelectrónica Aplicada (IUMA) de la Universidad de Las Palmas de Gran Canaria (ULPGC) dentro del proyecto europeo Development of Advanced GAllium Nitrides substrates and TEchnologies, AGATE, donde se han desarrollado nuevas tecnologías basadas en el GaN. Este proyecto está enmarcado dentro del programa FP7 de la Unión Europea, en particular de la Entidad Conjunta JU ENIAC e incluido por sus 4 años de duración en el programa Horizonte 2020 (FP8) donde la JU ENIAC ha sido transformada en JU ECSEL. En AGATE participan diez socios de cinco países diferentes, bajo la supervisión y coordinación de la empresa Soitec, líder del consorcio, con un presupuesto total de 55 millones de euros y duración entre 2013 y 2017. Por lo tanto, se ha tenido información técnica de primera mano y material novedoso en este campo para llevar a cabo las tareas asignadas dentro del proyecto, que consisten en ayudar a optimizar los procesos tecnológicos y el desarrollo de las estructuras de los dispositivos de electrónica de potencia basados en GaN mediante las medidas, simulaciones, modelado, análisis e interpretación de las muestras de diferentes iteraciones de prototipos procesados en las fábricas, bajo experimentos diseñados. Esta tesis es también fruto de la obligación de diseminación del avance obtenido en los elementos "foreground" del proyecto cofinanciado con ayudas públicas. Donde es pertinente se indica si hay algunos datos que no se pueden aún hacer públicos. Las publicaciones realizadas han recibido igualmente las correspondientes autorizaciones de los miembros del consorcio.

Por otro lado se han obtenido muestras crecidas en el ISOM de la Universidad Politécnica de Madrid de GaN sobre zafiro, GaNonS, en rangos de interés comparativo con los dispositivos fijados como objetivo en AGATE. Concretamente los dispositivos HEMT sobre nuevos sustratos de zafiro y de molibdeno de AGATE, así como nuevos dispositivos HEMT -con una variedad de barreras y *buffers* e ingeniería de capas y heteroestructuras- sobre sustratos de silicio. Estas muestras son fundamentales para establecer adecuadamente los *montajes* de medidas y de calibración de herramientas TCAD. Y también para crear metodología de caracterización en temperatura de dispositivos, extracción de resistencia térmica, configuración del simulador y desarrollo de modelos compactos tanto para los HEMT de ISOM como para los MOS-HEMT de AGATE.

Esta tesis no se centra en la química de los materiales ni en los procesos tecnológicos, sino en la caracterización eléctrica estática DC y térmica de los prototipos de potencia fabricados, lo que ha aportado también un impacto interno en los desarrollos para la mejora de su fabricación.

Esta búsqueda de sustratos y dispositivos apoyada por estos estudios de caracterización con medidas y herramientas TCAD sigue su curso -tanto en las entidades industriales como en los centros de investigación de AGATE- a la hora de cerrar esta tesis con los resultados desarrollados exclusivamente en el IUMA.

Hasta ahora uno de los problemas que impedían crecer más al GaN en la industria era las capacidades de fabricación, limitadas por la compatibilidad de la oblea con el entorno de producción del silicio: diámetro, coste, manejo, calidad del material, etc.

La motivación principal de AGATE es mostrar que los sustratos innovadores buscados para dar soporte mecánico, térmico, cristalino y de conducción eléctrica al GaN y los dispositivos y estructuras del *back-end-of-line* (BEOL), se pueden fabricar en una línea de silicio de proceso estándar, con equipamiento industrial adaptado y a un nivel competitivo. El tamaño típico de la oblea es de 6 pulgadas (150 mm), pero los últimos avances han permitido alcanzar hasta las 8 pulgadas (200 mm), con el consecuente abaratamiento por dispositivo. En la Figura 1.2 se puede observar una fotografía de una oblea GaN sobre zafiro de diámetro 150 mm del fabricante SOITEC. El adecuado soporte de la parte *front-end-of-line* FEOL (sustratos, epitaxias, canal, barreras, ...) da lugar también a la compatibilidad de la parte de contactos y capas de metal propias del *back-end-of-line* o BEOL de las fábricas para integrar diversos circuitos.



Figura 1.2. Oblea de 150 mm de diámetro de GaN sobre zafiro post epitaxiada MOCVD de la empresa SOITEC en AGATE.

1.3 Estado del Arte de la tecnología GaN

1.3.1 Propiedades del GaN

El GaN es una aleación binaria de semiconductores del grupo III-V, con una elevada banda prohibida directa. Sus átomos están unidos por enlaces químicos galio-nitrógeno muy iónicos, lo que produce una banda prohibida tan alta como 3,4 eV. Esta banda es en GaAs 1,4 V y en silicio (Si) sólo 1,1 V. El silicio y el germanio son semiconductores covalentes, no iónicos. El GaN es entonces un material muy robusto, transparente y cuya estructura cristalina más estable es la wurtzita hexagonal. La figura 1.3 muestra una representación de la celda unidad hexagonal de la estructura wurtzita, definida con dos parámetros de red característicos a y c, siendo a el lado del hexágono y c la altura del prisma hexagonal con valores 3,189 Å y 5,185 Å, respectivamente. Esta estructura además posee polarizaciones espontánea y piezoeléctrica, que pueden ser aprovechadas en la creación de un "gas de electrones" bidimensional, 2 *Dimensional Electron Gas* (2-DEG), de alta densidad en las hetero-intercaras III-N [Ambacher 1999].

Se crece el material GaN a alta temperatura (aproximadamente 1100 °C), mediante técnicas MOCVD o MBE sobre un sustrato distinto: normalmente Si para electrónica de potencia y carburo de silicio (SiC) para RF. Hay muchas variantes en estudio.

El GaN ha tomado ventaja sobre otras tecnologías de semiconductores gracias a sus propiedades:

- Gran ancho de banda prohibida (3,42 eV)
- Campo eléctrico de ruptura elevado (3 MV/cm)
- Alta movilidad de electrones (1.200 cm²/Vs)
- Elevada densidad de potencia (entre 5 y 10 W/mm)

A estas propiedades hay que sumarle su capacidad para funcionar a altas temperaturas sin pérdida de prestaciones, ya que el nitruro de galio posee una conductividad térmica (capacidad de conducción del calor de un material) del doble que la del arseniuro de galio.

Todo esto lo hace especialmente atractivo para aplicaciones de potencia en inversores, convertidores de potencia en redes eléctricas (donde estén presentes, por ejemplo, paneles fotovoltaicos o aerogeneradores), o en sistemas de alimentación para infraestructura de redes móviles y sistemas inalámbricos, entre otras.

El GaN sobre Si (GaNonSi) es mucho más barato que sobre otros sustratos, y se está logrando hacerlo compatible con líneas de obleas de 200 mm de fabricación en Si. Tiene peor conductividad térmica y más pérdidas en RF que el GaN sobre SiC (GaNonSiC) o sobre Diamante (GaNonD). Pero existen hojas de ruta que permiten vislumbrar cierta aproximación a esas bajas pérdidas en RF también para el sustrato silicio. Esta tesis se centra en dispositivos de potencia donde los retos actuales son mayores, al ser prioritaria la necesidad de bajar los costes.



Figura 1.3. Estructura cristalina del GaN. La celda hexagonal unitaria se resalta con líneas en negrita, mientras que los átomos adyacentes se incluyen para resaltar la naturaleza hexagonal general de la estructura.

1.3.2 GaN frente a otros semiconductores

A nivel de dispositivo industrial, GaN se compara con Si y GaAs. De nuevo las principales ventajas del GaN provienen de:
- Alto campo de ruptura. Por su gran banda prohibida el material GaN tiene un campo de ruptura alto, que permite que el dispositivo opere a tensiones muy superiores a las máximas que pueden alcanzar otros semiconductores como Si, Ge, o GaAs. Bajo campos eléctricos elevados los electrones adquieren suficiente energía cinética como para romper el enlace químico (proceso de ionización por impacto o ruptura por tensión). Si esta ionización no se controla y evita, el dispositivo se degrada. GaN opera, pues, a tensiones más altas y puede usarse en aplicaciones de potencia, tanto en conmutación de potencia como en RF.

- Alta velocidad de saturación. Esta velocidad máxima es la de los electrones bajo campos eléctricos muy elevados en el material. Una alta velocidad de saturación, junto con una gran capacidad de carga, hace que los dispositivos GaN puedan suministrar mucha más densidad de corriente.

- Reducción de dimensiones. Mayores tensiones y mayor densidad de corriente producen una reducción de tamaño para la misma potencia o, dicho de otro modo, se obtienen grandes potencias con dimensiones razonables, prácticas y económicas.

- Comportamiento térmico sobresaliente. La alta densidad de potencia junto con la elevada conductividad térmica de sustratos compatibles, o hechos compatibles, como el diamante, el SiC, el silicio o el molibdeno, implica que los dispositivos no se calientan tanto como el GaAs o el solo Si para la misma potencia disipada. Un dispositivo más frío es un dispositivo más fiable.

- Dispositivos más pequeños implican menores capacitancias. Los diseñadores de circuitos pueden crear configuraciones con menores componentes externos o auxiliares.

- Las pérdidas totales son menores. y, por lo tanto, se obtiene en general más eficiencia, ganancia, y potencia entregada.

No obstante algunos problemas serios persisten.

- GaN es piezoeléctrico, es decir la tensión o compresión del cristal genera conducción eléctrica. El material es piezoeléctrico porque el enlace galio-nitrógeno es iónico y porque la ordenación de las sucesivas caras o planos de átomos de galio y de nitrógeno no ocurre a la misma distancia. Cuando se comprimen los átomos en un plano, los átomos de arriba y abajo se desplazan en distancias diferentes y se crea carga neta, campo eléctrico y, por tanto, tensión eléctrica. La piezoelectricidad da cuenta de una parte de la carga en el canal de los transistores GaN. Y es responsable de algunos modos de degradación aún no resueltos.

- El material (AlGaN) usado en la barrera de un HEMT entre puerta y canal crea a su vez más tensión mecánica. El nitruro de aluminio (AlN) y el GaN tienen diferentes constantes de red. Cuando se crece AlGaN sobre GaN, es decir cuando se comienza a crecer y nuclear AlN sobre GaN, se fuerza a su red cristalina a acomodarse a la red cristalina del GaN, y esto crea tensión mecánica. Cuanta más concentración de aluminio se use en la barrera de AlGaN, más desacople se produce entre las constantes de red y por lo tanto más tensión.

- Ambos efectos aumentan la tensión mecánica en la delgada barrera y en la intercara. Es decir, se suma la tensión mecánica del desacople de las redes con el IPE (*Inverse Piezoelectric Effect*) que crea tensión mecánica a partir del campo eléctrico (piezoinverso). Los GaN FETs (HEMTs, MOS-HEMTS... etc.) tienen que soportar campos eléctricos altos, sobre todo en el borde de la puerta, del lado del drenador. Esto complica el diseño del FET porque este exceso de tensión mecánica puede rajar o romper y degradar el dispositivo, típicamente mediante grietas en esa zona. Este exceso de tensión, que es causa o modo de fallo intrínseco al material, se puede reducir mediante una adecuada composición de la fracción molar de Al en la barrera, una adecuada dimensión para el espesor de ésta y cuidando fortalecer su superficie superior.

 La mayor densidad de potencia aumenta la dificultad para extraer el calor y contener la temperatura a un valor bajo en el dispositivo. Esta es una importante limitación. Si teóricamente el GaN puede dar más de 20 W/mm de densidad de potencia, en la práctica es complejo obtener más de 5 W/mm.

- En electrónica de potencia, según el régimen de refresco en conmutación del transistor (kHz, MHz, ...), es posible evitar en parte la acumulación de calor. En potencia en RF es más difícil. Esto hace que en RF se prefiera la opción de GaNonSiC o sobre diamante antes que sobre Si, a expensas de un mayor coste.

- El control del calor es un reto pendiente en GaN. Se investigan *layouts* con los focos de calor (lado drenador de la puerta) más distanciados, aumentando el espaciado del drenador desde la puerta y entre dedos de la puerta. Se investigan encapsulados más eficientes y adecuados, también para su acople con el material del sustrato y mejor extracción del calor interior.

En resumen:

 Los dispositivos GaN están un orden de magnitud por encima de los de GaAs en densidad de potencia y más aún respecto a los de silicio. Sus *layouts* son mucho más compactos y pequeños.

8

- Los FET de GaN operan a entre 5 y 10 veces mayor tensión eléctrica que los de GaAs o silicio, debido a que el enlace iónico entre átomos es 5 veces más fuerte que el de GaAs.

- Los FET de GaN generan más del doble de corriente que los de GaAs o silicio.

- El flujo de calor en FET de GaN, es decir la velocidad de transferencia de calor por unidad de área es alta y requiere incluir en el diseño la gestión de la disipación.

- Las estructuras de potencia con barrera típica de AlGaN son 5 veces más piezoeléctricas que las correspondientes al AlGaAs.

- El sistema GaNonSiC es del orden de 4 órdenes de magnitud mayor en densidad de dislocaciones de la red cristalina que el GaAs en estos momentos. Por esta razón la corriente de puerta tiende a ser más alta que en GaAs y debe considerarse en el diseño del circuito. Esta densidad de dislocaciones es incluso aún mayor en GaNonSi.

- El interfaz GaN-AlN está del orden de 20 veces más tensionado que el de GaN-AlAs.

- La acumulación y vaciamiento de carga positiva y negativa en dislocaciones y defectos, y en superficies e intercaras, así como en el *bulk* y en el sustrato son importantes, son de diversa naturaleza y diferentes constantes de tiempo, producen desviaciones de la tensión umbral y de los niveles de corriente y causan inestabilidad con la temperatura y, en general, afectan a la especificación, al *yield* y a la fiabilidad del dispositivo. Es este un problema interdisciplinar y muy complejo que puede observarse fácilmente ya en la caracterización eléctrica en DC bajo influencia de la temperatura, y en caracterización con pulsos y en pequeña señal.

1.3.3 Tecnología del proceso de fabricación del GaN

La elevada temperatura (2500 °C) y presión (45.000 atm) de fusión del GaN hacen inviable su fabricación en lingotes de forma análoga a lo que sucede con otros materiales. Esta dificultad práctica se convierte en un problema de primer orden cuando se desea fabricar dispositivos. La carencia de sustratos de GaN obliga a crecer las capas de este material heteroepitaxialmente, es decir, sobre sustratos formados por otros materiales [Ministerio de Defensa 2010]. El sustrato es la base donde se hace crecer la estructura cristalina, donde se construyen los diferentes dispositivos y circuitos asociados. Como muestra la Figura 1.4, al existir diferencias en las constantes de red entre el sustrato y las capas crecidas encima se originan discontinuidades en la red cristalina. Emplear sustratos no ajustados en red implica peores prestaciones de los dispositivos fabricados, así como menor fiabilidad.

Otros parámetros físicos importantes, sobre todo en aplicaciones de potencia donde la temperatura de operación puede acercarse a los 200 °C [Chiu 2015], son el coeficiente de expansión térmica y la conductividad térmica. Para el GaN estos valores son $3,17 \times 10^{-6}$ (K⁻¹) y 220 (W/Km), respectivamente, a temperatura ambiente.



Figura 1.4. Ejemplo de una estructura cristalina del GaN crecida sobre sustrato de silicio y la tensión en el GaN producida.

El coeficiente de expansión térmica mide el cambio relativo de volumen que se produce cuando un cuerpo cambia de temperatura, provocando una dilatación térmica. Por la tanto, si durante el funcionamiento del dispositivo se alcanza una temperatura de operación elevada y los coeficientes de expansión térmicos de las diferentes capas que forman la heteroestructura no son similares, se producirá una rotura del cristal al expandirse cada material a un tamaño diferente cada uno.

Por otro lado, interesa que la conductividad térmica hacia el sustrato sea lo más elevada posible, para que éste evacue el calor que se genera en el canal rápidamente, a fin de no degradar el funcionamiento de los circuitos.

Los materiales empleados hasta ahora como sustratos para hacer crecer dispositivos GaN son el zafiro y los que están basados en el silicio. En la Tabla 1.1 se muestra una comparativa de estos materiales con respecto al GaN.

Estos parámetros térmicos son fundamentales para el correcto funcionamiento de esta tecnología, porque con todo lo que promete el GaN, la confiabilidad de tales dispositivos sigue siendo un problema. La potencia total presente en HEMT basados en GaN es grande y no puede ser totalmente disipada a través del sustrato. Como resultado,

Materiales	Desajuste de red con el GaN (%)	Coeficiente de expansión térmica (K ⁻¹)	Conductividad térmica (W/(K·m))		
Al ₂ O ₃ (zafiro)	13	7,5 × 10 ⁻⁶	20-30		
SiC	3,4	$3,2 \times 10^{-6}$	360		
Si (111)	16,9	4,7-7,6 × 10 ⁻⁶	148		

Tabla 1.1. Diferentes sustratos usados para crecer GaN y sus características físicas.

los HEMT de AlGaN/GaN sufren lo que se denomina efectos de autocalentamiento (*Self-Heating Effects* – SHE) que reducen las prestaciones en corriente y potencia. El autocalentamiento es uno de los factores críticos que reducen el tiempo de vida del dispositivo y su confiabilidad, debido a que la temperatura en el canal puede alcanzar varios cientos de grados centígrados por encima de la temperatura ambiente. La gravedad de los efectos de autocalentamiento es tal, que pueden llegar a deteriorar el electrodo de puerta y pueden quemar los cables metálicos que conectan el chip con el encapsulado y, por lo tanto, pueden dar fallos del dispositivo [Pomeroy 2014, Heller 2008]. El estudio de la confiabilidad de los HEMT de GaN y el conocimiento de la disipación del calor en estos transistores es crucial para desarrollar una tecnología más estable. Por esta razón el estudio del autocalentamiento es uno de los aspectos centrales de esta tesis.

Por ejemplo, algunas ventajas del GaN sobre SiC comparado con el GaN sobre Si se muestran en la Figura 1.5.

De momento, los dispositivos que están llegando al mercado se fabrican mediante crecimiento heteroepitaxial sobre sustratos no nativos GaN (*Free Standing* o FSGaN) como SiC, Si, diamante o zafiro. También ha ido ganando terreno el uso de pseudo-sustratos de GaN u otras aleaciones o compuestos de nitruros del grupo III, como paso previo al crecimiento de las epitaxias. Estos pseudo-sustratos se conocen como *templates*



Figura 1.5. Ventajas del GaN sobre SiC frente al GaN sobre Si. Qorvo.

Capítulo 1

y surgen para facilitar el trabajo de los desarrolladores de dispositivos con el objetivo de reducir defectos en la red.

Entre las técnicas de crecimiento del GaN más empleadas actualmente se encuentran las siguientes:

• HVPE. Técnica de separación de sustrato

El crecimiento por HVPE es una técnica común en la fabricación de semiconductores. El proceso de crecimiento comporta transporte de los compuestos en forma de vapor hasta el sustrato. Una vez han alcanzado el sustrato, estos compuestos se descomponen y se incorporan en su superficie. Los mecanismos que afectan al crecimiento son de naturaleza química, es decir, basados en reacciones entre los diferentes compuestos. Típicamente, las temperaturas a las que se producen estos procesos son elevadas (entre 1.000 y 1.200 °C). La presión, sin embargo, es de 1 atmósfera [Ministerio de Defensa 2010].

Las velocidades de crecimiento obtenidas por este método rondan las 10-300 μ m por hora, permitiendo la fabricación de capas gruesas a bajo coste. La liberación de las capas de sus respectivos sustratos para conseguir FSGaN se puede realizar mediante diversas técnicas:

- Ataque químico (por ejemplo, para Si o GaAs).
- Ataque por iones reactivos (por ejemplo, para SiC).
- Láser *lift-off* (por ejemplo, para zafiro).
- Crecimiento epitaxial.

Existen dos técnicas destacadas para crecimiento epitaxial de estructuras basadas en nitruros del grupo III, el depósito químico en fase vapor con precursores metalorgánicos (MOCVD) y la epitaxia con haces moleculares (MBE). Cada técnica presenta sus ventajas e inconvenientes, aunque actualmente la mayoría de los productos comerciales usan los sistemas MOCVD.

o MOCVD

El crecimiento por MOCVD de GaN se distingue del de otras tecnologías por la reacción compleja que se produce en fase gaseosa entre los precursores de nitrógeno y galio. Normalmente, estos precursores de nitrógeno y galio suelen ser NH₃ y Ga(CH₃)₃ (trimetilgalio) o Ga(C₂H₅)₃ (trietilgalio), respectivamente. La reacción entre el NH₃ y el Ga(CH₃)₃ puede dar lugar a otra serie de reacciones incontroladas, originando que la velocidad de crecimiento sea muy heterogénea [Guorui 2010].

Para prevenir la aparición de inhomogeneidades en el espesor y la composición de las capas crecidas, así como la mezcla prematura de los gases reactantes, se suele recurrir a diseños específicos de la cámara de crecimiento.

o MBE

A diferencia del sistema de crecimiento por MOCVD, el MBE (*Molecular Beam Epitaxy*) opera en condiciones de ultra alto vacío, que limita la temperatura de crecimiento a un valor inferior al que se emplea usando un sistema de MOCVD. La temperatura óptima de crecimiento para GaN se sitúa en torno a 650–750 °C, excepto cuando se usa NH₃ como precursor [Cho 1983].

1.3.4 Proceso básico y geometría de los GaN FET

En capítulos posteriores de desarrollo experimental de esta tesis nos centramos en los FET de GaN, en especial los HEMT y los MOS-HEMT. En esta sección se aporta una breve introducción al proceso tecnológico de fabricación de los GaN FET, para presentar algunas cuestiones básicas que debemos tener presentes [Moore 2015].

A) Estructura vertical

- Puerta: Es una capa de metal cuya tensión controla las características eléctricas del canal de electrones. Drenador y fuente también son metales. Como veremos la estructura de la puerta es probablemente el elemento más crítico.

- Barrera: Es una capa semiconductora que aísla la puerta y el canal, para que fluya muy poca corriente entre éstos, y aumentar así la ganancia y evitar pérdida de potencia En los GaN FET la barrera es típicamente de AlGaN con la concentración de Al entre el 15% y el 28%. Cuanto más aluminio mayor es la altura de la barrera y mayor es la capacidad de carga del canal. Una capacidad de carga alta es conveniente, porque aumenta la corriente que puede llegar al drenador, desde la fuente. Por contra, si crece la composición de aluminio aumenta la tensión mecánica intrínseca en el dispositivo, lo que reduce su fiabilidad.

- Canal: concentración de electrones bidimensional que tiene lugar en el pozo cuántico formado por la heterounión entre la barrera y una capa de GaN de alta calidad, que hace que los electrones posean una gran movilidad y alta velocidad de saturación, a fin de maximizar la corriente fluyendo de fuente a drenador.

- *Buffer*: capa bajo el GaN de alta calidad para el canal, que restringe o confina el movimiento de electrones al canal. Es decir, se pretende que el *buffer* cree una barrera que evite el extravío o dispersión de electrones por todo el sustrato, generando pérdidas.

En estos GaN FET el *buffer* se construye típicamente con GaN dopado con carbono (C). Además, el *buffer* puede contener diversas capas e ingeniería de capas (superredes con GaN más o menos dopado con C y Mg, AlGaN, etc.) a fin de adaptar el sustrato empleado al canal. Hay muchas opciones. Es otro elemento crítico para el transistor.

- Sustrato: Es la última capa, la más profunda, y la más gruesa de toda la estructura. La ingeniería de esta capa busca aportar el necesario soporte mecánico para el manejo de las obleas y para el crecimiento y formación del resto de la estructura, aportar también vías de flujo y disipación del calor, y lograr el necesario confinamiento electromagnético. Los GaN FET necesitan un sustrato no nativo (Si, SiC, Mo, zafiro...). Al no ser GaN, el sustrato tiene una constante de red diferente a la del GaN del canal, que el *buffer* debe adaptar, minimizando dislocaciones en la estructura que, en general, reduce el aislamiento eléctrico entre puerta y canal.

En resumen, esta estructura vertical de capas genera más densidad de corriente que en GaAs o en sólo silicio, y también se crea una elevada conductividad térmica (330 W/mC para SiC, 145 W/mC para Si y similar para Mo; 52 W/mC para GaAs), que es la causa de poder disipar más potencia sin que la temperatura se eleve.

B) Estructura horizontal y layout.

La estructura horizontal es similar a cualquier FET. Está formada por:

- Fuente
- Región de acceso a la fuente
- Región de puerta y de control del canal
- Región de acceso al drenador
- Drenador

La puerta es la parte más importante de la estructura horizontal. Su tamaño y relación de aspecto W/L determina la velocidad de respuesta y ganancia del dispositivo. Cuanto más corta (*L*) sea la puerta, más rápido es el tránsito de los electrones a lo largo del canal y, como consecuencia, más rápido es el dispositivo. En RF *L* es del orden de entre 0.1 μ m y 0.5 μ m. En transistores de potencia *L* es un orden de magnitud mayor que en RF, del orden de entre 1 μ m y 5 μ m. En potencia *W* es también un orden de magnitud mayor que en RF.

La región de acceso drenador-puerta es también importante. Una extensión larga puerta-drenador logra soportar y operar con mayores tensiones y, por tanto, entregar mayor potencia, pero también aumenta la pérdida de ésta y el calentamiento. Por esta razón se suele escoger la menor extensión puerta-drenador que permita la tensión objetivo

que se necesite, no más. Así pues, en los dispositivos de potencia se extiende esta región al necesitarse una mayor tensión de ruptura, y el caso de RF de potencia se disminuye, para conseguir dispositivos de mayor velocidad y eficiencia.

El campo eléctrico en la dirección horizontal del FET es muy poco uniforme, con un pico próximo al borde de la puerta, en dirección al drenador. No es bueno crear un campo eléctrico alto:

- Si aparece un campo eléctrico elevado cerca de la superficie del semiconductor, se reduce mucho, y rápidamente, la máxima corriente que se genera (es el colapso de corriente).

- Si aparecen campos eléctricos elevados en el canal se puede producir ionización por impacto (los electrones se aceleran a tanta velocidad que rompen los enlaces covalentes entre átomos), con importante deterioro en el dispositivo.

Para controlar precisamente estos campos eléctricos elevados, la geometría horizontal y vertical usa también *field-plates*. Se usan principalmente dos tipos de *field-plates*, según el lugar de conexión y su modo de uso:

- *Gate Field Plate* (GFP) o pantalla de puerta. Están conectados a la puerta. Son muy efectivos para reducir el campo en la superficie de la barrera, muy cerca de la puerta, en la extensión hacia el drenador. Los GFP reducen el colapso de corriente a tensiones bajas de drenador.

- *Source Field Plate* (SFP) o pantalla de fuente. Están conectados a la fuente, y apantallan la puerta del drenador (efecto Faraday). Los SFP reducen la realimentación entre drenador y puerta, aumentando la ganancia en AC. Los SFP también reducen los campos en la superficie a altas tensiones de drenador, aportando una mejora añadida a la reducción del colapso de corriente.

La estructura horizontal debe además proporcionar:

- El aislamiento entre dispositivos mediante técnicas de trinchera hasta el sustrato que eliminen la estructura del canal.

- Metalización de los contactos óhmicos. Con ellos se crean los electrodos de fuente y drenador. Es un proceso crítico tanto para RF como para potencia, para lograr un buen funcionamiento y una baja R_{on} y bajas pérdidas. Esta metalización debe hacerse en GaN a muy altas temperaturas, mucho más altas que en otros semiconductores. Esto produce muchos efectos de contaminación y formación de defectos y es crítico.

- Máscaras de pasivación con nitruros -principalmente SiN_x - de todo el dispositivo, tras la formación de fuente y drenador. Para proteger el dispositivo de posible contaminación que cree defectos y trampas.

- Máscaras de aperturas en el nitruro y deposición del metal de puerta.

- Máscaras para capas adicionales de nitruro y metales. Se crean los *field-plates* GFP y SFP, así como interconexiones, protecciones, y en su caso capacitores.

Prácticamente todos estos elementos del *layout* pertenecen al procesado *back-end-ofline* BEOL del dispositivo, por encima de la epitaxia y superficie del semiconductor.

El objetivo primario de esta estructura FET es garantizar valores adecuados para tres parámetros:

- IDmax: máxima corriente en saturación,

- *V*_{BR}: tensión de ruptura y

- *R*on: Resistencia ON entre fuente y drenador.

El rango de dispositivos que se obtiene es el indicado en secciones anteriores. La potencia de los GaN FET sobre silicio es aproximadamente de 5 W/mm, frente a 1 W/mm en GaAs y 0.3 W/mm en sólo silicio.

La R_{on} es responsable de las pérdidas de potencia y de eficiencia. Aunque los GaN FET no tienen los valores de R_{on} más bajos (por ejemplo InP y GaAs son mejores) sin embargo, dadas las elevadas tensiones de operación en los GaN FET, el efecto de pérdidas en eficiencia por las corrientes en R_{on} queda algo atenuado o enmascarado.

1.3.5 Procesos y geometrías avanzadas del GaN FET.

Los grandes proyectos industriales europeos AGATE y POWERBASE, continúan anteriores esfuerzos y, al mismo tiempo, son representativos de los procesos avanzados actualmente en desarrollo para mejorar los GaN FET. Los avances pueden clasificarse en avances en las barreras, avances en los canales y avances en los *buffers*.

A) Barreras de semiconductor. En las barreras de semiconductor AlGaN se está incluyendo una capa *cap* de cubierta y una capa espaciadora, a cada lado de la barrera. La capa *cap* es de GaN, reduce la tensión intrínseca en la superficie y mejora la fiabilidad. Al otro lado, la capa espaciadora es de nitruro de aluminio (AlN) y mejora la movilidad de electrones en el canal. Además, en la barrera se está tratando de hacer uso de nitruro de indio y aluminio (InAlN), a fin de obtener mayor densidad de electrones, con mayor velocidad, en el canal. El InAlN puede acoplarse mejor con la red cristalina del GaN, y

eliminar la tensión mecánica interna presente en las barreras más comunes que son de AlGaN.

- Puerta de metal-aislante. Se usa para reducir la corriente de fuga de puerta y la disipación de potencia. Típicamente se ensayan como aislantes los nitruros y las capas creadas por deposición atómica ALD, como es el óxido de aluminio. La deposición ALD es un proceso basado en química de superficies (partiendo de dos precursores), para lograr depositar películas delgadas de materiales en los sustratos.

B) Canales. El típico canal de electrones en los FET está hecho en GaN. Se le puede añadir indio para crear un canal de electrones de nitruro de galio e indio (InGaN). La presencia de indio mejora la movilidad de electrones y su confinamiento en el canal.

C) *Buffers*. En la mayor parte de las implementaciones de FET el *buffer* es de GaN. Se pueden mejorar estos *buffer* con material AlGaN de baja concentración de aluminio, para aumentar el confinamiento de los electrones y reducir los efectos propios de los canales cortos.

Reducir la longitud de puerta es sólo de interés en RF de potencia, pues se busca rapidez, elevada frecuencia y reducción de efectos parásitos. En ese campo la L de puerta está entre los 100 nm y los 50 nm, y se espera llegar a 30 nm dentro de esta década. Como se ha indicado antes, por el contrario, en los FET de potencia no se requiere disminuir tanto la L de puerta -a costa de aumentar la W y periferia de la puerta- para mantener elevadas tensiones de operación y de ruptura en el drenador, con un compromiso por otro lado con la máxima frecuencia de conmutación de potencia a la que podrán operar.

Todas estas cuestiones nos llevan a la siguiente sección específica de la tesis.

1.4 Estado del arte en caracterización eléctrica bajo influencia de la temperatura de GaN HEMT y GaN MOS-HEMT sobre sustratos avanzados en silicio.

En el campo de la caracterización y, a modo de ejemplo, en Europa se puede señalar el liderazgo de los grupos de UCL Lovaina (JP Raskin) en RF, Universidad de Padua (E. Zanoni, G. Meneghesso) y Universidad de Bristol (M. Uren, M. Kuball) ambos grupos en potencia, y UNIPRESS Instituto de Física de Altas Presiones de Varsovia (M. Boćkowski) en LD y LED. Entre los grandes centros de investigación existen líneas de caracterización con liderazgo en Europa en IMEC, CEA-Leti Grenoble, CNRS (LAAS, Lyon, Lille, CRHEA-Niza) o en varios Institutos Fraunhoffer FhG (FhG IAF, FhG-EMFT, FhG-THM) y en los Institutos Leibniz IHP en Frankfurt-Oder o FBH Ferdinand Braun en Berlín, entre otros.

1.4.1 HEMT de puerta autoalineada sobre la barrera

Respecto a HEMT con puerta autoalineada sobre la barrera, la literatura coincide en subrayar el problema abierto de la elevada corriente de fugas en la puerta y el colapso de corriente [Yan 2010, Dammann 2009]. Normalmente están pasivados con SiN. Su caracterización es compleja y el mecanismo exacto con el que opera la pasivación no está aún claro, incluso se relaciona con niveles de humedad ambiental [Gao 2012, Gao 2014], para lo que se propone la creación de capas impermeables protectoras [Romero (2017].

Otra opción en HEMTs con puerta autoalineada, es usar capas de pasivación de SiN muy espesas o incluso dobles capas, una de ellas con dieléctrico de alta k (SiN + high-k) [Horio 2017]. La cuestión proviene al tratar de evitar los *field-plates* que, como hemos mencionado mejoran la tensión de ruptura, pero aumentan los parásitos, en especial capacidad parásita que degrada el funcionamiento. Por ello se ha intentado sustituir los *field-plates* por dieléctricos de alta-k [Hanawa 2014, Ikeda 2010] aportando una mejora en la tensión de ruptura, pero con un incremento inaceptable en la densidad de estados en la intercara que conducen a degradación. Un punto de compromiso intentado es usar una capa de SiN menos agresiva con la superfície y sobre ella una capa de dieléctrico de alta-k [Horio 2017]. El resultado es un incremento de la tensión de ruptura para el mismo espesor de aislante, por la reducción del campo eléctrico en la puerta, del lado del drenador (cuanto más alta k mejor tensión) y al mismo tiempo cierta contención de la degradación de corriente. Pero el coste de la deposición de este dieléctrico es también significativo.

De nuevo para HEMTs de potencia con geometrías *multifinger*, en [Chvála 2017] se aporta una muy completa caracterización con la temperatura. La caracterización coloca el foco de calor siempre en el borde de la puerta del lado del drenador, y en simulación solo se varía el espesor del buffer de GaN y el sustrato de SiC. Se indica expresamente el considerar la influencia térmica de la barrera, su resistividad térmica, como despreciable debido a la delgadez de esta capa [Nazari 2015]. La capa GaN sí se considera, localizando como condición de contorno la resistencia térmica en la intercara GaN-SiC. Discutiremos estos puntos en los capítulos 5 y 6. Estos HEMTs *multifinger* de potencia tienen un *layout* de geometría muy compacta para elevada potencia. El autocalentamiento producido

induce *crosstalk* térmico, muy serio entre los dedos de la puerta, con degradación incluso irreversible del transistor, según [Miura 2004, Liyuan 2013, Lundqvist 2013]. La simulación y caracterización electro-térmica del transistor aporta información relevante para optimizar su funcionamiento.

1.4.2 Caracterización de HEMT de puerta autoalineada con diferentes tipos de fugas

En [Uren 2017, Lyons 2014, Uren 2012, Uren 2015] se muestra el uso de técnicas de medidas y caracterización DC acopladas con técnicas de simulación y modelado de dispositivos HEMTs autoalineados de potencia. El punto de partida es la constatación de la vulnerabilidad y escasa fiabilidad de estos HEMT de 150 mm y 200 mm para 650 V, debido al colapso de corriente (dispersión de la Ron dinámica) que sigue al estrés del estado off. Una vez más no se llega a resolver la razón de esta inestabilidad y dispersión, pero muestran un posible fundamento físico convincente vía modelado y simulación. Señalan que el dopado con carbono para aumentar la resistividad del buffer fija un nivel de Fermi cerca de su nivel profundo de aceptores, a 0.9 eV por encima de la banda de valencia, conformando un buffer débilmente tipo p, aislado del canal por una unión p-n que hace que la capa GaN:C quede flotando, de forma que su potencial se define mediante las capacitancias del modelo, que se cargan por caminos de corrientes de fuga. Al implantar en simulaciones y modelos esta situación -análoga a un dieléctrico con fugasse hace patente un mecanismo de colapso de corriente. Los principales caminos para estas fugas ocurren a través del GaN del canal, no intencionalmente dopado. Estas fugas son difíciles de simular en Atlas 2D, por lo que acometen sólo las simulaciones en tres casos: A, sin fugas a través de la capa del canal de GaN; B, supresión de la unión p-n entre la capa del canal de GaN y la capa GaN:C; y C, fugas desde los contactos de fuente y drenador hacia la capa GaN:C, a través del canal de GaN. En A la corriente fluye lateralmente en el GaN:C, que actúa como puerta trasera cargada negativamente, estrangulando el canal y colapsando la corriente para una tensión de drenador de 40 V. En B se elimina la unión p-n parásita localizando el nivel de energía de los aceptores de carbono 0,9 eV por debajo de la banda de conducción. Esto permite una pequeña corriente de fuga entre la capa del canal de GaN y la capa GaN:C, evitando la acumulación de cargas negativas en la capa GaN:C y, por tanto, el colapso de corriente. Finalmente, C es un caso intermedio, que corresponde a la situación experimental más común, en la que se produce colapso de corriente para una tensión de drenador entre 100 y 200 V. Para ello se introducen corrientes de fuga entre los contactos de fuente y drenador y el GaN:C [Uren 2015], atravesando la capa del canal de GaN. La capa de GaN:C actúa entonces como puerta trasera resistiva, desacoplada del 2-DEG excepto bajo la fuente y el drenador, con carga negativa por arriba y positiva por abajo.

Por otro lado, las simulaciones muestran que en las superficies de la capa del canal de GaN y de la capa de GaN:C se produce acumulación de cargas, justificando su modelado como capacidades parásitas distribuidas en toda la estructura. Consecuentemente, los autores sugieren que la supresión del colapso de corriente requiere fugas como en C, desde la fuente hacia el drenador, y no solamente fugas en el lado del drenador, como se ha sugerido en [Kaneko 2015]. Volveremos a este tema en los capítulos 5 y 6.

Otra línea de trabajo de caracterización eléctrica, en apoyo del uso de puertas Schottky, se presenta en [Huber 2015, Koller 2017]. La variante estudiada es modificar el buffer GaN:C por un buffer GaN:Si, y mejor por un buffer GaN:Si sobre GaN:C, para luego comparar la respuesta de las tres puertas Schottky resultantes. Los autores hacen una completa interpretación de las características eléctricas con apoyo en [Uren 2014, Moens 2016, Lyons 2010, Massabuau 2017, Poblenz 2004, Li 2004, Meneghesso 2014]. Concluyen que el comportamiento semiaislante del GaN:C está causado por la fijación del nivel de Fermi cerca del nivel de aceptores de carbono, y que esto exige la existencia de algún otro mecanismo de conducción a través de las dislocaciones del GaN:C, que redistribuye cargas que se pueden capturar en estados aceptores de carbono. Y muestran cómo las capas adyacentes al GaN:C juegan un papel importante.

Finalmente, en este apartado mencionamos la aportación de [Wósko 2015, Wósko 2017]. Se trata de una investigación en HEMT de AlGaN/GaN sobre Si, en el que se sustituye la capa *buffer* GaN por una superred AlN/GaN y en otros casos se sustituye la barrera de AlGaN por superredes AlN/GaN. De nuevo señalan las dos limitaciones mayores para crecer heteroepitaxias de nitruros sobre silicio: incompatibilidad estructural, como desacoplo de la estructura cristalina y constantes de red, y gran diferencia de sus coeficientes de expansión térmica. Esto produce estrés durante la epitaxia y el enfriado, tras la deposición a muy altas temperaturas. Y, como consecuencia, se produce un aumento en la concentración de microdefectos en las capas epitaxiales - especialmente en obleas grandes-, grietas, y delaminación de la capa depositada. Tras examinar las técnicas de ingeniería de estrés en la epitaxia, como los *buffer* graduales AlGaN [Able 2005, Arslan 2008, Liu 2013], epitaxia en áreas selectivas [Dadgar 2001, Chen 2005, Zhang 2007], e intercaras deslizantes [Egawa 1999], crean como alternativa

una estructura de superredes SL en *buffer* y/o barrera. Usando caracterización de perfiles mediante espectroscopia y *Deep Level Transient Spectroscopy* (DLTS) muestran que las SL en el *buffer* permiten crecer y preparar HEMT con hasta 3.7 μ m de espesor. Sin embargo las SL en la barrera no aportan ninguna ventaja, siguiendo sujetas a estrés y posibles defectos y grietas.

1.4.3 MOS-HEMT y variación del óxido de puerta

Otra línea de investigación es la caracterización eléctrica de MOS-HEMT de potencia, variando los óxidos de puerta [Ye 2005, Hu 2001]. El tipo básico de HEMT autoalineado emplea una puerta Schottky para vaciar completamente el 2-DEG. El contacto metal con nitruro-III, como AlGaN, no es ideal por efectos como defectos en la intercara, estados superficiales y composición no homogénea. Ya se ha indicado que todo esto produce fugas a tensiones elevadas [Saito 2005] y reducción de ganancia, eficiencia y potencia [Chu 2004, Adivarahan 2005]. Por eso se busca introducir óxidos bajo la puerta Schottky con resultados positivos [Yue 2008]. Los autores repasan los siguientes óxidos: Al₂O₃, Si₃N₄, HfO₂, Ga₂O₃, en los que la alta temperatura empleada en los procesos de deposición post-óxido, afecta a la naturaleza amorfa del óxido: los óxidos dejan de ser amorfos y pasan a estructuras policristalinas [Zhao 2002]. Este cambio crea rugosidad en superficie y en intercaras -con formación de granos en el material- y por tanto mayores corrientes de fugas a su través. Para construir MOS-HEMT con óxido cristalino Gd₂O₃ en puerta y con sustratos de Si, SiC, y zafiro, los autores de momento han crecido epitaxias con ese óxido epi-Gd2O3 y capacitores con platino. Las caracterizan con técnicas eléctricas y XRD, TEM y de espectroscopia. La caracterización eléctrica se hace con curvas C-V y de corrientes de fuga J-V. La dispersión en frecuencia en las curvas C-V sugiere resistencias significativas en el material. La pequeña histéresis en C-V también sugiere la existencia de pequeñas cargas fijas en el óxido. La zona plana de la capacidad aparece a -0,39 V. Las fugas son del orden de mA/cm² con 0.5 V. La densidad de trampas en la intercara de la heterounión está en un orden de magnitud de 10¹¹ cm⁻²eV⁻¹.

En [Kurpas 2017] se extienden las técnicas de caracterización aplicadas en [Bahat Treidel 2016] a HEMT con puerta con ALD de Al₂O₃ sobre n-GaN, a MOSFET de potencia basados no en GaN sino en el semiconductor beta-Ga₂O₃. Se caracterizan de la forma habitual vía estructuras TLM los contactos óhmicos y la resistencia superficial, y vía transistores las características DC y R_{on} del MOSFET, aún sin estudio de temperatura,

para estos embriones de dispositivos propuestos por [Higashiwaki 2016a, Higashiwaki 2016b].

1.4.4 Caracterización del MOS-HEMT con puerta p-GaN aislada y autoalineada

Las líneas de investigación de los proyectos mencionados AGATE y POWERBASE se centran en MOS-HEMT, en el primer caso con tecnología de *recessed gate*, puerta empotrada en la barrera, y en el segundo caso con tecnologías de puerta p-GaN aislada sobre la barrera y autoalineada. Anotamos a continuación una revisión de esta segunda clase.

En [Erofeev 2017] se caracterizan eléctricamente MOS-HEMT con puerta p-GaN aislada y autoalineada. No se explora la respuesta térmica. Este tipo de puerta ha sido estudiado ampliamente desde su introducción en GaN en [Uemoto 2007]. Su potencialidad cuando se contempla además un sustrato de 200 mm de silicio se muestra en [Marcon 2013]. Los HEMT de elevada potencia deben operar en modo normalmente off para poder realizar un circuito seguro ante fallos. Sin embargo la mayoría de los HEMT de AlGaN/GaN operan en el modo normalmente on, como es bien conocido. Los HEMT de puerta p-GaN normalmente off tienen gran potencial para obtener circuitos de conmutación de potencia de alta potencia y bajas pérdidas, ya que las corrientes de fuga son pequeñas a polarización nula entre puerta y fuente [Hilt 2010]. Para circuitos seguros ante fallos, la tensión umbral de un transistor de modo off debería ser mayor de +2 V. Los HEMT de puerta p-GaN no aislada forman una puerta Schottky de tensión umbral +1.5 V y corriente de drenador de fuga bajo el umbral del orden de 3 µA/mm, para una corriente de drenador máxima de 0.52 A/mm con polarización de 15 V. La inserción de Si₃N₄ entre la puerta y el p-GaN aísla aún más la puerta, aumentando la tensión umbral según el espesor del óxido de puerta empleado (6.8 V para 15 nm de espesor), y mantienen unas corrientes de fuga subumbrales bajas. Pero en cambio, produce una corriente de drenador máxima que se deteriora (a menos de 0.25 A/mm con polarización de 15 V).

1.4.5 Caracterización del MOS-HEMT con puerta empotrada en la barrera (*recessed gate*)

Las técnicas de caracterización eléctrica se usan con éxito en transistores MOS-HEMT de GaN sobre silicio no autoalineados, con puerta empotrada en la barrera (no sobre la barrera), como los presentados en [Woojin 2014, Bisi 2015, Lagger 2012]. Hasta ahora

se caracterizan por bajas fugas en la puerta pero con escasa tensión umbral, del orden de +1 V. Además, presentan inestabilidad positiva (PBTI [Lagger 2014]) o negativa (NBTI [Meneghini 2016]), que parecen atribuibles a trampas en la intercara del óxido de puerta -como su fácil ruptura por la delgadez-, y que varían además con el tiempo [Wu 2015]. Estos transistores son el núcleo de la caracterización hecha en el capítulo 6 de esta tesis para su optimización. Hacemos aquí esta anotación por motivos de completar la sección y orden de presentación.

Aunque los estudios electrotérmicos son abundantes en la literatura de caracterización de dispositivos, y más aún deben serlo en dispositivos de potencia, con defectos e inestabilidades, puede señalarse que tanto las caracterizaciones mencionadas de MOS-HEMT de puerta p-GaN aislada, como de puerta empotrada, con frecuencia incurren en posponer o dejar incompletos los estudios de la dependencia con la temperatura. Nosotros los acometemos en los capítulos 5 y 6.

1.5 Interdependencias y sinergias en RF, Potencia y LED Finalmente en esta introducción -aunque centrados en GaN de potencia- comentaremos brevemente algunas sinergias en los tres campos principales del GaN en RF, Potencia y LED.

La principal sinergia entre RF y Potencia es precisamente el aumento en la densidad de potencia, las técnicas de evacuación del calor por el sustrato, y las mejoras en fiabilidad mediante un mayor control de defectos y de la carga en defectos y trampas. La principal sinergia entre RF-Potencia y LED es el continuo desarrollo de la mejora en la pureza de los cristales: la disminución de la densidad de defectos.

Por citar tres ejemplos, Soitec, empresa industrial internacional con sede en Francia especializada en la generación y fabricación de materiales semiconductores de alto rendimiento, ha demostrado que el GaN basado en sustratos avanzados procesados con su tecnología Smart-CutTM [Caulmiloné 2017] es idóneo para aplicaciones de potencia, ya que en los últimos resultados obtenidos consiguieron crecer GaN con un espesor de 200 nm sobre Si con una rugosidad o *roughness* de ~0,2 nm (media cuadrática, con escaneado $5\times5 \ \mu$ m) y una resistencia por superficie de 260-300 ohm/cuadrado sobre zafiro , o bien sobre obleas molibdeno. Por su parte Qorvo, empresa estadounidense de semiconductores que diseña, fabrica y suministra sistemas y soluciones de radiofrecuencia y potencia, así como servicios de *foundry*, además de su línea base sobre SiC está desarrollando con éxito GaN sobre diamante sintetizado. El diamante es más caro que el SiC, y éste a su vez más caro que el Si, pero debido a la mayor conductividad

térmica del diamante, los dispositivos fabricados con él podrán tener mayores prestaciones.

El área de la optoelectrónica (LED), es otro mercado donde el nitruro de galio destaca, en este caso por su bajo consumo y fiabilidad, frente a las fuentes alternativas. Una vez obtenido el LED azul, la investigación sobre los dispositivos basados en GaN está orientada a la obtención de luz blanca [Trivellin 2017]. Se ha demostrado que el uso de diodos laser basados en GaN con fósforo, es una posible solución para superar algunos de los límites tecnológicos de los LED. El incremento de la demanda para ultra bajo consumo de sensores químicos, para su uso en Internet de las cosas, Internet-of-Things (IoT), ha estimulado también la investigación de tecnologías novedosas que permitan proseguir con la reducción de las dimensiones de los sensores, sin sacrificar su sensibilidad [Si-Ali 2017].

1.6 Planteamiento y objetivos de la tesis

El objetivo de esta tesis se centra en el estudio, medida y caracterización (eléctrica y térmica), simulación numérica y modelado del FET con tecnologías de nitruro de galio.

La propuesta de este trabajo de investigación es la aportación que ofrece la caracterización eléctrica medida, dependiente de la temperatura, y su interpretación con apoyo en simulaciones numéricas y modelos compactos, al diseño y fabricación de FET avanzados en circuitos de electrónica de potencia y de potencia en radiofrecuencia, que serán empleados en aplicaciones como energías renovables, coches eléctricos, estaciones de telefonía móvil, etc. Estos estudios se analizan con los fabricantes experimentales y tienen finalmente por objeto contribuir a mejorar, en diversos ciclos de iteración, los dispositivos fabricados.

El estudio que se presenta comprende:

- La medida y caracterización eléctrica y térmica de estructuras FET basadas en tecnología de GaN.
- La simulación numérica de estructuras FET de diferentes dimensiones y geometrías. Para este punto se emplearán los simuladores Atlas y Sentaurus Device.
- La comparación entre los resultados obtenidos mediante simulación numérica y medidas, que permita extraer los principales parámetros físicos y un entendimiento

más profundo del funcionamiento interno de estas estructuras, incluía la influencia de la temperatura.

- La aportación de contribuciones parciales al complejo problema del estudio de la respuesta atribuible a defectos y trampas.
- La implementación de un modelo compacto, considerando además la influencia del calor. Para ello se empleará el lenguaje de descripción hardware Verilog-A, a través del simulador ADS.
- Las muestras corresponden a transistores del ISOM y CEA-Leti, suministradas en el marco de colaboración en investigación.

1.7 Organización del documento de tesis

En este primer capítulo se ha presentado el estado del arte del nitruro de galio. Tras presentar sus propiedades y características físicas, se han descrito brevemente los procesos actuales de fabricación y la complejidad que conllevan. La evidente mejora tecnológica ha traído consigo avances significativos, que sitúan al GaN como semiconductor candidato a sustituir al silicio en los sectores de radiofrecuencia de potencia, en muy alta frecuencia, en electrónica de potencia y en optoelectrónica.

Parte central de este capítulo ha sido la introducción del estado del arte general de la tecnología y el estado del arte específico de la caracterización eléctrica en DC bajo influencia de la temperatura de los GaN FET. Algunos elementos del estado del arte más ligados a particularidades de los capítulos metodológicos 2, 3 y 4, o los experimentales 5 y 6 se presentan más adelante.

A continuación, en el Capítulo 2 se explican las medidas y experimentos realizados con la intención de obtener la caracterización eléctrica, dependiente de la temperatura, de los transistores. Se detalla el equipamiento necesario, así como las limitaciones encontradas según la técnica (medidas con pulsos, tensión en escalón, DC, etc) y recursos (tipo de sondas, placa calefactora, etc.) empleados.

En el Capítulo 3 se describe la simulación numérica y los programas empleados para llevarla a cabo: Senturus Device y Atlas. Se detallan los modelos necesarios para una correcta simulación de HEMT basados en GaN y, tras una comparativa de características eléctricas en DC y baja frecuencia (corrientes, capacidad, perfil de electrones, etc.), a temperatura ambiente, se selecciona el simulador a utilizar en los capítulos 5 y 6.

En el capítulo 4 se explican los modelos compactos implementados, desarrollados y empleados, para reproducir las características eléctricas dependientes de la temperatura de los transistores de la tesis.

En el Capítulo 5 se desarrolla toda la investigación realizada sobre las muestras HEMT de AlGaN/GaN crecidas sobre sustrato de zafiro, es decir la caracterización eléctrica y térmica del autocalentamiento del HEMT en régimen continuo, desde tres frentes: la experimentación, la simulación numérica y el modelado. En los HEMT de AlGaN/GaN estudiados se extraen los parámetros a distintas temperaturas, para determinar la tensión umbral, la movilidad de electrones a campos bajos y las resistencias extrínsecas. También se ha extraído la dependencia con la temperatura de la resistencia térmica, empleando la técnica de la conductancia en AC, y se caracteriza la caída de corriente. Con todo ello se ajusta un modelo compacto para estos dispositivos.

El Capítulo 6, con la misma estructura del capítulo 5, se dedica a las muestras MOS-HEMT de AlGaN/GaN, crecidas sobre sustrato de silicio, del CEA-Leti. De nuevo se obtiene la caracterización eléctrica y térmica del autocalentamiento del MOS-HEMT en régimen continuo mediante la experimentación, la simulación numérica y el modelado. La correspondiente extracción de la resistencia térmica y de los parámetros a distintas temperaturas junto con la simulación y el modelado permite observar e interpretar la inestabilidad de la tensión de umbral, la variación en la R_{on} , la variación de las curvas características y de la corriente máxima, con la temperatura y con la geometría de los dispositivos. Se apunta un posible origen de estas diversas inestabilidades, en unos casos por la densidad de defectos, y en otros por posibles mecanismos aún no bien determinados en el comportamiento de las trampas.

Finalmente, en el Capítulo 7 se presentan las principales conclusiones extraídas de la tesis y las líneas de investigación abiertas a futuros trabajos.

Capítulo 2 Medidas y caracterización

Todas las medidas de esta tesis doctoral han sido realizadas en el Servicio de Estación de Puntas del Instituto Universitario de Microelectrónica Aplicada, de la Universidad de Las Palmas de Gran Canaria, que se muestra en la Figura 2.1. En el mismo se dispone de instrumentación y material necesario para efectuar la caracterización de dispositivos en DC, AC, transitorio y RF/pulsado, a diferentes temperaturas de sustrato. Los dispositivos estudiados (*Devices Under Test*, DUT) se han medido sobre oblea y han sido proporcionadas por el Instituto de Sistemas Ópticos y Microelectrónica, ISOM, Madrid, y el *Commissariat à l'Energie Atomique et aux Energies Alternatives*, CEA-Leti, Grenoble.

En el estudio de las muestras del ISOM también se contaba con las medidas previas realizadas en Madrid. De esta manera, una primera etapa del estudio consistió en reproducir estas medidas que nos permitieron además, comenzar a indagar en el funcionamiento de la tecnología de GaN.



Figura 2.1. Laboratorio de medidas sobre oblea del IUMA.

2.1 Caracterización eléctrica realizada por el ISOM-UPM

En el ISOM, El montaje de medida para realizar la caracterización eléctrica de sus transistores contaba con un analizador de parámetros de semiconductores HP4145B, un analizador de impedancias HP4192A-LF y una estación de puntas KARL-SUSS. Y, en este caso, todas las medidas se hicieron a temperatura ambiente.

En primer lugar, se midieron con el analizador de parámetros las curvas características de salida, las transconductancias y las curvas de corriente frente a tensión de drenador en régimen lineal. Para ello, se seleccionaron los transistores de las muestras y para cada una de las medidas se emplearon tres puntas de contacto (una para tierra). La anchura efectiva de los transistores hubiera podido doblarse en caso de haber empleado cuatro puntas, pero se evitó a fin de limitar la corriente en los transistores y que éstos no sufrieran daños. Así, con el analizador de parámetros se fijaron los barridos en tensiones correspondientes para cada una de las curvas, y los resultados eran registrados automáticamente.

Posteriormente, con el analizador de impedancias se midió la curva característica de puerta directamente sobre las muestras, antes del procesado tecnológico, mediante puntas de mercurio a una frecuencia de 100 kHz. El área de las puntas de mercurio empleadas fue de $4,243 \times 10^{-3}$ cm², suficientemente grande para reducir el efecto de las capacidades parásitas. La frecuencia a la que se realizaron las medidas fue de 100 kHz.

En la Figura 2.2 se indican los valores obtenidos para la capacidad de puerta, en el caso de los transistores con heteroestructura A, la cual se explicará en el Capítulo 5 de esta memoria. En esta gráfica se observa que la capacidad aumenta inicialmente con la tensión de puerta hasta que se forma el canal bidimensional de electrones en el GaN.



Figura 2.2. Capacidad frente a tensión de puerta en la heteroestructura A.

Luego, mientras no se produzca el llenado del canal, la capacidad permanece aproximadamente constante durante un cierto intervalo (de aproximadamente 3 V), para posteriormente volver a aumentar debido al retroceso de la zona de vaciamiento en la barrera de AlGaN. En todos los transistores medidos se observaron resultados análogos.

Además, para el cálculo de la resistencia de contacto en los transistores, en el ISOM también se midieron la movilidad y la concentración de electrones en las heteroestructuras estudiadas, a temperatura ambiente, por efecto Hall. Sus valores, independientes de la máscara empleada y correspondiendo a una tensión de puerta de cero voltios, se recogen en la Tabla 2.1.

Tabla 2.1. Movilidad y concentración de electrones en el canal a 300 K para el cálculo de la resistencia de contacto en los transistores.

	Α	В	С
μ (cm ² /V-s)	1330	1225	1400
$n (\times 10^{13} \text{ cm}^{-2})$	0,82	1,2	1,12

Y en la Figura 2.3 se muestran la estructura de capas de los tres dispositivos.

S _γ 4 μm G	° 10 j	μm γD		Sγ	4 μm G _Q	10 µ	m opD	 S٩	$4 \mu m \xrightarrow{4 \mu m}$	10 µ	um o∕D
N^+ $Al_{0.18}Ga$	ı _{0.82} Ŋ 67 ı	nm N ⁺		\mathbf{N}^{+}	Al _{0.3} Ga _{0.7} N	19 n	m N ⁺	\mathbf{N}^{+}	Al _{0.28} Ga _{0.72} N	1 24 r	m N ⁺
Gal	N	3 μm			GaN		3 µm		GaN		3.126 μm
Sapp	ohire	330 μm			Sapphire	e	330 µm		Sapphir	e	330 µm
	(a)		-		(b)				(c)		

Figura 2.3. Estructura de capas de (a) muestra A, (b) muestra B y (c) muestra C.

El perfil de la concentración de electrones bajo el terminal de puerta puede determinarse a partir de la siguiente expresión [Ambacher 1999]:

$$n = \frac{C^2}{q \cdot z} \cdot \frac{\mathrm{d}V_{\mathrm{G}}}{\mathrm{d}C}$$
(2.1)

donde *C* es la capacidad de puerta medida por unidad de área, q es la carga del electrón en valor absoluto, V_G es la tensión aplicada a la puerta, y *z* es la profundidad en la estructura medida desde la puerta, que viene dada por:

$$z = \frac{\varepsilon_0 \cdot \varepsilon_r}{C}$$
(2.2)

donde en esta expresión ε_o es la permitividad del vacío y ε_r la constante dieléctrica en la barrera de Al_xGa_{1-x}N, dependiente de la fracción molar de aluminio.

En la Figura 2.4 se observan los perfiles obtenidos con este método para las tres estructuras consideradas. En cada una de ellas se aprecia cómo se localiza una gran concentración de electrones en una región muy estrecha. El pico de la concentración se sitúa en la intercara AlGaN/GaN correspondiente, dando lugar a "gases bidimensionales" de electrones. Es de destacar la magnitud de dichas concentraciones, un orden superior a la obtenida heteroestructuras convencionales (AlGaAs/GaAs, con AlGaAs/InGaAs/GaAs, etc.), que hacen que los HFETs basados en nitruros sean potenciales candidatos para aplicaciones de alta potencia. Por otro lado, a medida que aumenta la fracción molar de aluminio en la barrera de Al_xGa_{1-x}N hay una mayor concentración de electrones. Esto se debe principalmente a dos efectos: un incremento de la discontinuidad de la banda de conducción en la intercara AlGaN/GaN, que da lugar a que el pozo cuántico donde se acumulan los electrones sea más profundo, y un aumento de los campos piezoeléctricos, que son el origen de la concentración elevada.



Figura 2.4. Capacidad frente a tensión de puerta en las heteroestructuras A, B y C.

2.2 Caracterización electro-térmica realizada en el IUMA-ULPGC

Como ya se mencionó al principio de este Capítulo, todas las medidas de esta tesis doctoral han sido realizadas en el Servicio de Estación de Puntas (SEP) del IUMA. En

este apartado se describe el material empleado, las caracterizaciones realizadas y la metodología desarrollada específicamente para poder llevar a cabo con éxito las medidas.

2.2.1 Material empleado

Las medidas de esta tesis se han realizado directamente sobre las muestras, sobre oblea: *on-wafer*. Para ello se cuenta con una estación de puntas modelo Cascade Summit 9000. Este modelo no viene preparado para medir a distintas temperaturas. Por ello se le han hecho una serie de modificaciones, que se detallarán posteriormente, y que permiten realizar medidas a diferentes temperaturas de sustrato, tanto por encima como por debajo de la temperatura ambiente. Además, debido a la disposición de los *pads* de las muestras proporcionadas por el CEA-Leti (no son estándar), fue necesario emplear puntas de medida PTT, que no son fácilmente visibles con la óptica integrada en la propia estación. Esto genera imprecisión en el posado de las puntas. Por esta razón, se incorporó un microscopio digital adicional, de 600 aumentos, con resolución suficiente como para poder visualizar las puntas PTT correctamente, asegurando un buen contacto entre la punta y el *pad* en todo momento. Un ejemplo de la diferencia que existe entre usar la óptica de la estación de puntas y el microscopio digital se muestra en la Figura 2.5.



Figura 2.5. Detalle del posicionamiento de puntas PTT sobre un transistor de una muestra del CEA-Leti con (a) la óptica de la estación de puntas y (b) empleando el microscopio digital.

Sondas de medida

Las sondas de medida, utilizadas para realizar las medidas sobre oblea se describen en este apartado. Todas ellas son del fabricante Cascade Microtech, y el tipo de puntas a emplear depende del tamaño de los *pads*, su distribución y las medidas a realizar. Las usadas en esta tesis son:

ACP40-GSG-150 probe: es una sonda con tres puntas, diseñada para realizar medidas de radiofrecuencia. Su rango de frecuencias va desde DC hasta 40 GHz y su temperatura de funcionamiento desde –65 °C hasta 200 °C. La máxima corriente en DC que soporta es 5 A. Por su configuración tierra-señal-tierra, *Ground-Signal-Ground* (GSG) y su *pitch* (distancia entre puntas adyacentes), es la sonda elegida para las muestras del ISOM.

Además, la óptica de la estación de puntas permite muy buena visibilidad de las puntas. En la Figura 2.6 se puede observar una fotografía de esta sonda.



Figura 2.6. Ejemplo de la sonda ACP40-GSG-150 para RF.

PTT-250-25 probe. Se trata de agujas individuales de tungsteno de propósito general, que pueden realizar pruebas en frecuencia al menos hasta los 50 MHz. El extremo de las agujas tiene un radio de 25 μm, ideal para posarlas sobre los *pads* de las muestras del CEA-Leti (cuadrados de 45 μm de lado). También se emplearon en las muestras del ISOM, para la medida de la conductancia y la capacitancia de salida, g_{DS} y C_{DS}. Con estas sondas se adquirió también los soportes que permitían instalarlos en los posicionadores de la estación de puntas (ver Figura 2.7).



Figura 2.7. Sonda PTT-250-25 y su soporte para instalarlo en los posicionadores de la estación de puntas Cascade 9000.

Analizador de dispositivos semiconductores (B1500A Agilent)

A continuación se presenta una breve descripción del B1500A. Se trata de un analizador de dispositivos semiconductores de precisión para medidas corrientetensión (*I-V*). Puede realizar medidas para un punto de polarización concreto, hace barridos múltiples, muestreo y medidas pulsadas en el rango de 0,1 fA – 1 A / 0,5 μ V – 200 V. También es capaz de medir capacitancias en AC, en modo multi-frecuencia, de 1 kHz a 5 MHz; las medidas *I-V* pulsadas/dinámicas tienen una capacidad de muestreo de 5 ns (200 MSa/s) [Manual B1500A]. Por último, el B1500A posee una arquitectura modular con diez ranuras disponibles que permiten añadir módulos de medida. La configuración de los módulos utilizados para realizar las medidas de este trabajo de investigación viene detallada en la Tabla 2.2.

Médulo	Corriente	Tensión	Resolución	Resolución	Ranuras	
Wiodulo	máx.	máx.	de corriente	de tensión	requeridas	
High Power SMU	+ 1 Δ	+ 200 V	10 fA	2 µV	2	
(HPSMU)	- 111	- 200 1	10 111	2μ,	2	
Medium Power	+ 100 mA	+ 100 V	10 fA	0.5 µV	1	
SMU (MPSMU)	- 100 mm 1	- 100 V	10 111	0,0 µ V	1	
High Resolution	+ 100 mA	+ 100 V	1 fA	0.5 µV	1	
SMU (HRSMU)	- 100 mm 1	- 100 V	1 17 1	0,0 µ V	1	
Multi-Frequency						
Capacitance	10 mA	+ 25V	_	1 mV	1	
Measurement	(para 50 Ω)	- 25 1			1	
Unit (MFCMU)						
High Voltage						
Source Pulse	+400 mA	+40 V	10 fA	50 µV	1	
Generator Unit	- 100 III I	- 10 1	10 111	50 µ 1	1	
(HVSPGU)						
Ground Unit	42A	_	_	_	_	
(GNDU)	.,211					

Tabla 2.2. Características de los módulos incorporados en el B1500A.

En la Figura 2.8 (a) se presenta una fotografía del frontal del analizador B1500A y en (b) su parte posterior con los módulos que tiene instalados.



(a)

(b)

Figura 2.8. (a) Vista frontal del analizador de dispositivos B1500A (Agilent). (b) vista posterior del B1500A, donde se puede ver los distintos módulos disponibles.

Analizador vectorial de redes (VNA), N9912A FieldFox

Este instrumento es capaz de analizar las propiedades de las redes eléctricas, especialmente aquellas asociadas con la reflexión y la transmisión de señales eléctricas, conocidas como parámetros de dispersión (parámetros-*S*). Su rango de



Figura 2.9. Fotografía del analizador de redes, VNA, FieldFox de Agilent.

frecuencias de funcionamiento es de 30 KHz a 4 GHz, con una resolución de 1 Hz, y la precisión del nivel de potencia es de -45 dBm. En la Figura 2.9 se puede observar una fotografía del VNA empleado en las medidas.

Osciloscopio (Infiniium High Performance - DSO91204A)

Este osciloscopio tiene un ancho de banda de 12 GHz, con 4 canales analógicos capaces de muestrear a 4GSa/s. En los diferentes experimentos que se han realizado con él, se emplea para monitorizar los pulsos que le llegan al transistor. En la Figura 2.10 se muestra una fotografía del panel frontal del osciloscopio descrito.



Figura 2.10. Fotografía del osciloscopio Infiniium DS091204A de Agilent.

Cables

Los cables empleados para conectar las sondas de medida con los aparatos utilizados descritos, varían según el tipo de montaje empleado. A continuación, se hace una breve descripción de los tipos de cables utilizados durante esta tesis doctoral.

Cables SMU: son cables triaxiales propios del B1500A, con un conductor central para la señal, otro para encapsular y proteger la señal central, empleando la misma tensión y disminuyendo así una posible corriente de fuga y, por último, un conductor externo que sirve como terminal común. Estos cables se pueden convertir en coaxiales utilizando adaptadores, que es el uso más general que se les da.

Además, se tiene también el cable GNDU, que es un cable triaxial especialmente diseñado para manejar una gran corriente (hasta 4,2 A), la que la unidad de tierra pueda soportar. En la Figura 2.11 puede verse una fotografía de un cable SMU de 1,5 m de longitud.



Figura 2.11. Ilustración de un cable triaxial de 1,5 m para el B1500A (Agilent).

- Utiflex, es una línea completa de cables de microondas de altas prestaciones fabricado por MICRO-COAX. Se fabrican usando un dieléctrico de politetrafluoroetileno (PTFE), más conocido como teflón de baja densidad. Tienen unas pérdidas por inserción muy bajas hasta 18 GHz. Además, han incrementado mucho la fiabilidad del conector mediante una fijación del mismo, que soporta estrés mecánico y térmico mucho mejor que otros conectores estándar. Los empleamos principalmente en medidas pulsadas.
- Suco-Flex, los cables SUCOFLEX_104 se pueden usar universalmente con un amplio rango de tipos de conectores. En combinación con el adaptador Q, que es un sistema simple para el intercambio de los conectores, así como las conexiones especiales para los analizadores de Agilent Technologies. Se emplean principalmente en medidas de radiofrecuencia con el VNA.
- Cables coaxiales RX, se usan principalmente para conectar fuentes de alimentación externas, para polarizar el dispositivo que se está estudiando.
- Placa calefactora

Para poder realizar medidas aumentando la temperatura de sustrato por encima de la temperatura ambiente, se diseñó y fabricó un forzador térmico a medida, al que se le incorporó una resistencia térmica Calesco SI991101 capaz de aguantar tensiones de hasta 230 V y disipar hasta 200 W. Con este dispositivo la temperatura de sustrato puede llegar hasta los 200 °C, si se emplea un estabilizador con termopar y corriente alterna de la red eléctrica, y 160 °C si se emplea corriente continua, con una fuente de alimentación programable tipo Agilent 6627A. La ventaja de utilizar corriente continua es que la temperatura fijada es mucho más estable; se mide con un láser. En la Figura 2.12 (a) se puede ver la resistencia térmica empleada y en (b) el forzador térmico fabricado para realizar las medidas de este trabajo.





(b)

Figura 2.12. (a) Resistencia térmica Calesco IS991101 y (b) forzador térmico y su estabilizador con termopar, empleados para aumentar la temperatura de sustrato de las muestras estudiadas.

Células Peltier

A fin de disminuir la temperatura del sustrato por debajo de la temperatura ambiente, se ha empleado una célula Peltier con un disipador térmico en la cara caliente, para aumentar la potencia térmica disipada. Así, a través de ésta se pueden alcanzar hasta los –10 °C, aunque esta temperatura no se puede mantener estable por mucho tiempo, debido a que se produce condensación sobre su superficie; este efecto se trata en detalle al final de este Capítulo. En la Figura 2.13 se puede observar el montaje de medida con el microscopio digital, la célula Peltier con gel térmico para facilitar el flujo de calor y debajo de ésta el disipador adherido con pasta térmica.



Figura 2.13. Fotografía del montaje de medida para usar con célula Peltier.

Micrómetro

Para medir las dimensiones de las muestras se emplea un micrómetro modelo 4050 digital de Baxlo, con una sensibilidad de 1 micra. En el caso de las muestras del ISOM-UPM solo se puede medir el espesor de las mismas, debido a que los bordes de los dados son irregulares y el contacto del micrómetro no se apoya de forma correcta. En la Figura 2.14 (a) se puede ver una fotografía del micrómetro empleado y en (b) representación del dado proporcionado por el CEA-Leti donde se indica sus dimensiones en mm. Además, en la Tabla 2.3 se especifican los espesores de las muestras proporcionadas por el ISOM en micras.



Figura 2.14. (a) Foto del micrómetro modelo 4050 digital empleado para medir las dimensiones de las muestras estudiadas. (b) Representación del dado proporcionado por el CEA-Leti, con sus dimensiones medidas.

Tabla 2.3. Espesor de las muestras p	proporcionadas por el ISOM-UPM
--------------------------------------	--------------------------------

Muestra	Espesor
В	349 µm
С	373 µm

2.2.2 Caracterizaciones realizadas

Las muestras de AlGaN/GaN bajo estudio fueron sometidas a distintos experimentos o tipos de medida con el fin de extraer los parámetros físicos de interés. La descripción

detallada de estas pruebas se presenta en los Capítulos 5 y 6 de esta memoria. En todos los casos las caracterizaciones se realizaron a diferentes temperaturas de sustrato, lo que conlleva una dificultad extra a la hora de realizar las medidas.

Caracterización en DC

La caracterización más inmediata y que más información ofrece sobre las muestras es la caracterización en DC. Por lo tanto, es la primera prueba que se realiza en el laboratorio. Para esta caracterización se empleó: el B1500A, los cables SMU y las puntas de medida, ACP o PTT según el tipo de muestras. El montaje de medida se muestra en la Figura 2.15.



Figura 2.15. Esquemático del montaje de medida para la caracterización en DC.

Con el montaje de medida establecido, se programan los diferentes *test* de medida en el B1500A. Estos test tienen como objetivo obtener las curvas características *I-V* de los transistores. Para ello se emplea el software de caracterización *EasyEXPERT*, el cual está instalado en la plataforma incorporada de Windows XP del B1500A. Este software es muy intuitivo y permite añadir las SMU que sean necesarias, así como definir los rangos de medida y el tipo de magnitud a variar o medir, en este caso tensión o corriente. Además, soporta la caracterización eficiente y repetible del dispositivo en todo el proceso de caracterización, desde la configuración y ejecución de la medición hasta el análisis y la gestión de datos. Un ejemplo de la configuración del *EasyEXPERT* para medir las curvas de transferencia de los HEMT del ISOM se presenta en la Figura 2.16. En esta configuración del *EasyEXPERT* se describe la unidad SMU2 que se usará para la tensión de puerta, V_{GS} , indicando las tensiones iniciales y final, así como el número de medidas a realizar. La SMU1 se emplea de igual manera para fijar la tensión de drenador. En el caso de la SMU2 se configura

como tierra. Además, es relevante que también se puede fijar la corriente máxima en el terminal en cuestión para evitar daños en el DUT.

1/V Sweep)		Set	up Name	M639 ID	-VG		
Channel Setup Me	asurement Set	up Fu	ction Setup	Auto Ana	lysis Setup	Display Setup	1	
VAR1			VAR2					
Unit:	SMU2:HR	⊞	SMU1:HP					Range
Name:	Vgs		Vds					ADC /
Direction:	Single	•						Integ
Linear/Log:	LINEAR	•						Ad-
Start:	-10 V		100 mV					
Stop:	0 V		12 V					Pulse
Step:	50 mV		11.9 V	iii				Setup
No of Step:	201		2					
Compliance:	100 uA		100 mA					
Pwr Comp:	OFF		OFF					
Timing								
Hold: 0 s		Delay:	0 s		* Sweep	CONTINUE A	T ANY	▼ status

Figura 2.16. Configuración de las curvas de transferencia con EasyEXPERT.

Caracterización en AC

El fin de realizar una caracterización en AC es extraer los parámetros en pequeña señal del transistor, tales como conductancias, transconductancias y capacitancias. Para ello se polariza el dispositivo con una fuente de alimentación externa, y se le introduce la pequeña señal a través del B1500A, empleando su módulo MFCMU, que permite hacer barridos en frecuencia desde DC hasta 5 MHz. Para acoplar las señales de continua y alterna, se emplea un *Bias-Tee* con una frecuencia de corte inferior, para la pequeña señal del MFCMU, de 100 Hz. A modo de ejemplo, para extraer la conductancia y la capacitancia de salida, el terminal de drenador debe ser polarizado con la fuente de alimentación y ser estimulado con la pequeña señal proveniente del B1500A. El montaje de medida necesario para los HEMT sería, pues, el que se muestra en la Figura 2.17. En este caso los transistores del ISOM operarían en régimen de saturación; en general, la polarización dependerá de los parámetros a extraer requeridos.

Finalmente, se ha comprobado que, a fin de evitar el efecto de las trampas del transistor en la caracterización, tanto en AC como en radiofrecuencia, es necesario mantener la polarización primeramente unos minutos para posteriormente introducir la pequeña señal, manteniendo la polarización durante los intervalos en frecuencia que requieran, ya que el número de pasos en frecuencia es limitado.



Figura 2.17. Esquema del montaje de medida para medir la conductancia y la capacitancia de salida.

Caracterización en RF

El principal objetivo de la caracterización en radiofrecuencia es medir los parámetros S o parámetros de dispersión, de los transistores bajo estudio. Los parámetros S permiten relacionar las ondas de potencia que fluyen en un circuito de la forma $b_i = f(a_i)$ y son especialmente útiles pues:

- En alta frecuencia es difícil medir tensiones (ó corrientes) con sondas de alta o baja impedancia.
- En la caracterización de componentes activos (transistores, FET, etc) con los parámetros clásicos como Z, Y, etc las condiciones de carga en la que se miden (corto o abierto) pueden provocar oscilaciones o el deterioro de los mismos.

Sea el circuito de la Figura 2.18 que tiene n puertas de acceso todas terminadas por su impedancia característica Z_{0i} y centrándose en las líneas de las puertas *i* y *k* respectivamente.



Figura 2.18. Circuito de alta frecuencia con varias puertas de acceso: definición de parámetros S.

En la puerta k se tiene que la onda de potencia a_k (referida a Z_{0k}) vale:

$$a_{k} = \frac{V_{k}^{+}}{\sqrt{2Z_{0k}}} = \frac{V_{k} + I_{k}Z_{0k}}{\sqrt{8Z_{0k}}} = 0$$
(2.1)

Pues la línea está cargada con Z_{0k} y $V_k = -Ik Z_{0k}$ Esto también ocurre en las demás puertas menos en la *i*. En ésta las ondas de potencia (referidas a Z_{0i}) valen:

$$a_{i} = \frac{V_{i}^{+}}{\sqrt{2Z_{0i}}}$$
 (2.2)

$$b_{i} = \frac{V_{i}}{\sqrt{2Z_{0k}}}$$
(2.3)

Y se pueden definir el coeficiente de reflexión de tensión en dicha puerta como:

$$\rho_{i} = S_{ii} = \frac{b_{i}}{a_{i}} \Big|_{\substack{a_{k}=0\\k\neq i}} = \frac{V_{i}}{V_{i}^{+}} \Big|_{\substack{v_{k}^{+}=0\\k\neq i}}$$
(2.4)

En la puerta k además se tiene que la onda de potencia b_k (referida a Z_{0k}) vale:

$$b_{\rm k} = \frac{V_{\rm k}}{\sqrt{2Z_{0\rm k}}} = \frac{V_{\rm k} - I_{\rm k}Z_{0\rm k}}{\sqrt{8Z_{0\rm k}}} = \frac{2V_{\rm k}}{\sqrt{8Z_{0\rm k}}} = \frac{V_{\rm k}}{\sqrt{2Z_{0\rm k}}}$$
(2.5)

que como se ve es saliente del circuito (hacia la carga Z_{0k}). Se define entonces el coeficiente de transmisión entre la puerta i y la k como:

$$S_{ki} = \frac{b_k}{a_i} \Big|_{\substack{a_k = 0 \\ k \neq i}} = \frac{\frac{V_k}{\sqrt{2Z_{0k}}}}{\frac{V_i^+}{\sqrt{2Z_{0i}}}} \Big|_{\substack{V_k^+ = 0 \\ k \neq i}}$$
(2.6)

que para el caso de que $Z_{0i} = Z_{0k}$ que es lo habitual:
$$S_{ki} = \frac{b_k}{a_i} \Big|_{\substack{a_k = 0 \\ k \neq i}} = \frac{V_k}{V_i^+} \Big|_{\substack{v_k^+ = 0 \\ k \neq i}}$$
(2.7)

Si además $Z_g = Z_{0i} \in Re$

$$|S_{\rm ki}|^2 = \left|\frac{b_{\rm k}}{a_{\rm i}}\right|^2 = \frac{P_{\rm Lk}}{P_{\rm dg}} = G_{\rm T}$$
(2.8)

Donde G_T es la ganancia de transducción entre la salida k y el generador (puerta i). Estas definiciones se pueden extender a las n puertas del circuito y caracterizarlo por una matriz de parámetros S de la forma:

$$\begin{pmatrix} b_1 \\ b_2 \\ \vdots \\ b_n \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} & \dots & S_{1n} \\ S_{21} & S_{22} & \dots & S_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ S_{n1} & S_{n2} & \dots & S_{nn} \end{pmatrix} = \begin{pmatrix} a_1 \\ a_2 \\ \vdots \\ a_n \end{pmatrix}$$
(2.9)

En la Figura 2.19 se puede apreciar el significado físico de los parámetros S.



Figura 2.19. Significado físico de los parámetros S [Marsch 2006].

En el montaje de medida empleado para realizar la caracterización en RF es necesario usar el B1500A para polarizar, dos *Bias-Tee* y el VNA FieldFox para la respuesta de los puertos en pequeña señal, tal como se muestra en la Figura 2.20.

Además, es muy importante a la hora de realizar medidas de RF calibrar previamente el VNA. Como las sondas de medida forman parte del montaje para la calibración se emplea un sustrato que cuenta con estructuras short, que cortocircuitan los terminales GSG de la sonda, *load*, que introducen una resistencia de 50 Ω entre dichos terminales,



Figura 2.20. Esquema del montaje de medida para la caracterización en RF.

y *thru* que cortocircuita los terminales de la señal de ambos puertos. Así se eliminan los efectos que los elementos conectados entre el dispositivo a medir y el VNA puedan introducir. Por este motivo lo ideal es colocar el plano de calibración lo más cercano posible al dispositivo. La calibración se puede dar por buena, si una vez realizado todo el proceso de calibración, el parámetro S_{11} medido con todos los elementos del montaje sobre una carga de 50 Ω tiene un valor menor de -35 dB [Manual FieldFox]. Como ejemplo, se muestra en la Figura 2.21 el resultado de medir los parámetros de transferencia (S_{21}) y reflexión (S_{11}) en el puerto 1 de transistor con $W = 300 \ \mu m$ y $L = 2 \ \mu m$ de la muestra C del ISOM, a temperatura ambiente, en saturación ($V_{GS} = 0 \ V \ y \ V_{DS} = 12 \ V$).



Figura 2.21. Parámetros S_{21} y S_{11} medidos para un transistor de $W = 300 \ \mu \text{m}$ y $L = 2 \ \mu \text{m}$ la muestra C del ISOM; $V_{\text{GS}} = 0 \text{ V}$ y $V_{\text{DS}} = 12 \text{ V}$.

Por último, si se quieren emplear para un transistor, han de ser transformados los parámetros S medidos para extraer la resistencia y capacitancia térmicas a parámetros Y. Para ello se exportan los datos de la medida del VNA a un PC y mediante el uso de Matlab, se realizan las siguientes transformaciones:

$$Y_{11} = \frac{(1+S_{22})(1-S_{11})+S_{12}S_{21}}{(1+S_{22})(1+S_{11})-S_{12}S_{21}}$$
(2.10)

$$Y_{12} = \frac{-2S_{12}}{(1+S_{22})(1+S_{11}) - S_{12}S_{21}}$$
(2.11)

$$Y_{21} = \frac{-2S_{21}}{(1+S_{22})(1+S_{11}) - S_{12}S_{21}}$$
(2.12)

$$Y_{22} = \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1+S_{22})(1+S_{11})-S_{12}S_{21}}$$
(2.13)

De esta manera se pueden evaluar las conductancias y capacitancias de salida a altas frecuencias como C_{DS} y g_{DS} que, de otra manera, con la caracterización en AC, no sería posible.

Para probar que la extracción de C_{DS} y g_{DS} es posible empleando el VNA, se extraen los parámetros *S* hasta una frecuencia de 1 GHz con la intención de caracterizar los transistores en alta frecuencia, pero los resultados obtenidos a baja frecuencia no son coherentes con la respuesta esperada. Se decide bajar la frecuencia máxima hasta 5 MHz y aumentar la resolución para hacer una comparativa de la respuesta en frecuencia de la conductancia de salida obtenida con el B1500A. Una vez realizada la medida se realizan las transformaciones de parámetros *S* a admitancia mostradas previamente, ya que $g_{DD0} = Re(Y22)$. La Figura 2.22 (a) muestra la respuesta en frecuencia de la conductancia de salida medida, g_{DDT} , con el VNA a diferentes temperaturas se sustrato, donde se puede observar una gran dispersión de la medida. En cambio, en la Figura 2.22 (b) midiendo la g_{DD0} en las mismas condiciones de polarización y de temperaturas de sustrato, pero empleando para ello el analizador B1500A, se obtienen los resultados esperados.

Se realizan más medidas con el VNA para diferentes transistores de ambas muestras, B y C, pero los resultados son similares obteniendo siempre una gran dispersión en las medidas. Esto ocurre al aplicar una pequeña señal en el terminal de puerta, ya que las trampas localizadas bajo la puerta actúan a frecuencias bajas y cambian el estado del transistor. Aquí se abre una posible línea de investigación futura para la detección y cuantificación de estas trampas.



Figura 2.22. Respuesta en frecuencia g_{DDT} *vs.* frecuencia de operación medidas entre 20 °C y 100 °C. $V_{GS} = 0 \text{ V y } V_{DS} = 12 \text{ V}$ realizadas con (a) VNA y (b) analizador B1500. Transistor 6F de la muestra C.

Medidas pulsadas

La estimación de la temperatura del canal es particularmente complicada en dispositivos de alta densidad de potencia, tales como los HEMT de GaN, porque los gradientes de temperatura que se producen desde el canal al sustrato son elevados [Joh 2009]. Su determinación es esencial para entender los fenómenos de la física que degradan el dispositivo, o que desactivan mecanismos de fallo en éste. Además, permiten diferenciar entre la degradación (por ejemplo, colapso de corriente) debida al autocalentamiento y la debida a las trampas; básico para calcular las constantes de tiempo asociadas a éstas.

En la Figura 2.23 se muestra el montaje de medidas pulsadas disponible con el módulo HV-SPGU del B1500A, que incorpora varios *test* programados en el *EasyEXPERT*.



Figura 2.23. Montaje empleado para realizar las medidas basadas en el retardo de puerta y de drenador.

Existen diversas técnicas de medida en régimen pulsado para calcular la temperatura del canal [Joh 2009, Makovejev 2013]. Sin embargo, en los HEMT de GaN éstas quedan condicionadas por la necesidad de mantener la tensión de puerta constante (ya que el uso pulsos estrechos en ella no conmutan el transistor).

Así, mantenido la tensión de puerta fija, por encima de la tensión umbral, y empleando sondas de RF ACP, se comparan en la Figura 2.24 las curvas características de salida en DC (representadas con líneas) y régimen pulsado (representadas con cuadros), con pulsos de mínima duración posible, $5 \mu s$, y ciclo de trabajo del 0,02%. Nótese que con pulsos la corriente aumenta. Sin embargo, como se requieren pulsos aún más estrechos para evitar completamente el autocalentamiento, se debe recurrir a otras técnicas de medida, como la conductancia en AC, para obtener la temperatura del canal mediante la extracción de la resistencia térmica.

Por otro lado, también se muestra en la Figura 2.23 las curvas características de salida en DC medidas con sondas PTT, con las que se subestima considerablemente la corriente de drenador en saturación. Las correspondientes medidas pulsadas no dieron lugar a corriente alguna. Esto demuestra que las PTT no son una elección correcta si se pretende realizar una caracterización en RF o de medidas con pulsos estrechos (que eviten el autocalentamiento).

Régimen transitorio

Una técnica de medida óptima y ampliamente usada para estimar las constantes de tiempo asociadas a las trampas, consiste en medidas en "*on*" basadas en el retardo de



Figura 2.24. Curvas características de salida en DC y pulsadas medidas con sondas PTT y ACP para un transistor de la muestra B.

puerta y el retardo de drenador [Tirado 2007, Binari 1997, Trassaert 1999, Binari 2001], cuyos esquemas respectivos se muestran en las Figuras 2.25 (a) y (b), requiriendo el mismo montaje en el B1500A que el empleado para los pulsos (Figura 2.23).

A. Técnica de medida en "on" basada en el de retardo de puerta

En este caso se aplica una tensión escalón al terminal de puerta, para una polarización fija de drenador. El dispositivo, bajo estas condiciones, pasa desde el *pinchoff* inicial a un estado de conducción. Se analiza entonces la corriente de drenador transitoria en función del tiempo.

B. Técnica de medida en "on" basada en el de retardo de drenador

Análogamente, en este caso se aplica una tensión escalón al terminal de drenador, para una tensión de puerta fija que genere canal (por encima de la tensión umbral). El dispositivo bajo estas condiciones pasa de a conducir, al aplicar una tensión no nula en el drenador, analizándose entonces la corriente de drenador transitoria en función del tiempo.

Como ejemplo de uso de la técnica basada en el retardo de drenador, en un HEMT del ISOM, la Figura 2.26 muestra el transitorio de la corriente de drenador frente al tiempo resultante de aplicar una tensión escalón 20 V, empleando sondas ACP (representada con círculos) y PTT (representada con cuadros). Nótese que el transitorio inicial (hasta 1 ms), debido a las trampas, no se aprecia con sondas PTT. Con lo que de nuevo se comprueba que estas sondas no son apropiadas para el estudio de las trampas.



Figura 2.25. Montajes experimentales de los diferentes métodos pulsados de medida: (a) técnica de retardo de puerta, y (b) la técnica de retardo de drenador.



Figura 2.26. Transitorio de la corriente para un HEMT del ISOM, mediante el método basado en el retardo de drenador, con sondas PTT (cuadros) y ACP (círculos).

Degradación de la corriente en régimen continuo

El montaje empleado para realizar las medidas en régimen continuo es el mismo que en de la caracterización en DC, donde se han programado, en este caso, otros test de medida del *EasyEXPERT*. Ahora se aplican polarizaciones fijas en los terminales de puerta y drenador y se mide la corriente de drenador a lo largo del tiempo. La polarización aplicada a los terminales dependerá del régimen de funcionamiento con que se quiera que opere el transistor. Por lo general, se lleva al transistor a régimen de saturación, para que haya una mayor incidencia del autocalentamiento.

La principal utilidad de este tipo de medidas es detectar y, si es el caso, cuantificar la degradación de las muestras cuando han sido estresadas durante un período de tiempo. Cuantificar esa degradación es de vital importancia, porque las aplicaciones que emplean tecnología GaN van desde inversores de potencia a amplificadores para estaciones base de telefonía móvil, en las que se le supone un funcionamiento sin interrupción, o al menos durante períodos de tiempo prolongados.

La Figura 2.27 muestra la evolución temporal de la corriente de un transistor de $W = 100 \ \mu \text{m} \text{ y } L = 2 \ \mu \text{m}$ de una muestra del CEA-Leti, con $V_{\text{GS}} = 5 \text{ V y } V_{\text{DS}} = 6 \text{ V}$, durante 10 minutos. En esta gráfica se puede observar cómo en torno a 80 s la corriente de drenador cae bruscamente. Esto es debido a un desplazamiento de las sondas de medida en ese momento, que ocasiona que se pierda el contacto con los *pads* de la muestra. Esta es otra dificultad añadida cuando se quiere realizar una medida de tan larga duración sobre oblea, ya que cualquier vibración o dilatación de la muestra



Figura 2.27. Evolución temporal de la corriente de drenador de un transistor de $W = 100 \ \mu m$ y $L = 2 \ \mu m$ de una muestra del CEA-Leti; $V_{GS} = 5 \ V \ y \ V_{DS} = 6 \ V$.

debida, por ejemplo, al autocalentamiento, puede ocasionar que la medida no sea válida.

2.2.3 Consideraciones al variar la temperatura de sustrato

Como ya se mencionó previamente en este capítulo, todas las caracterizaciones han sido realizadas a diferentes temperaturas de sustrato. Esto implica seguir una serie de pautas necesarias, que se han ido adquiriendo con la práctica, además de las ya conocidas para caracterización de dispositivos semiconductores de potencia de GaN sobre oblea [M. Schulze 2014, Barkhordarian 2004, Grant 1989]. A continuación se presentan seis consideraciones a tener en cuenta:

 Antes de variar la temperatura del sustrato se deben levantar las sondas de medida y, una vez alcanzada la nueva temperatura de sustrato, se volverán a posar. De lo contrario, se puede producir un desplazamiento de las sondas por la dilatación de las placas de la placa calefactora. Este desplazamiento puede ocasionar daños en los *pads* y en las propias puntas.

La temperatura a la que se encuentran las muestras a medir debe ser estable. Cualquier cambio de temperatura en el sustrato conlleva un retardo de tiempo hasta alcanzar el nuevo valor fijado, que debe ser lo más estable posible. Por ello, la tensión de alimentación suministrada a la placa calefactora debe ser en DC, y mantenerse durante toda la medida. Alimentar la placa calefactora con tensión AC y estabilizador con termopar, o apagarlo hasta alcanzar la temperatura de sustrato deseada da como resultado temperaturas inestables. Para ilustrar estos fenómenos se presenta la Figura

2.28 (a) donde se muestran las curvas características medidas a diferentes temperaturas de sustrato aplicando alimentación AC y en (b) aplicándole alimentación de DC. Se puede apreciar cómo en (b) las curvas no se solapan debido a que la temperatura de sustrato es muy estable durante toda la medida.



Figura 2.28. Características de salida de un transistor con $W = 300 \ \mu \text{m y} L = 2 \ \mu \text{m}$ de la muestra C, con $V_{\text{GS}} = 0 \text{ V}$, medidas a diferentes temperaturas de sustrato: (a) alimentación en AC y estabilizador térmico y (b) alimentación en DC.

- 2. La elección adecuada de las puntas según el tipo de caracterización. Así, para medidas en DC se pueden usar tanto puntas PTT como ACP40. Para la caracterización en AC implementada con una frecuencia de hasta 50 MHz también es posible usar ambos tipos de puntas. Para medidas de RF, pulsadas y en AC por encima de 50 MHz se deben usar puntas ACP40, o de características similares, que no limiten el ancho de banda de las señales que se vayan a aplicar DUT.
- 3. Debido a la presencia de trampas en estos dispositivos, tanto en las muestras del ISOM como del CEA-Leti, no es conveniente hacer medidas seguidas variando la temperatura, sino dejar un tiempo de reposo a las muestras de al menos 24 horas entre medidas. En caso contrario se ha comprobado que las curvas características de los transistores varían si estos están sometidos a una secuencia más o menos larga de medidas, aún sin mantener fija la polarización.
- 4. Con temperatura de sustrato por debajo de la temperatura ambiente, empleando células Peltier, se produce condensación de agua sobre la muestra impidiendo una correcta visión de las sondas y los *pads*, y originando un cortocircuito entre ellos. Este efecto, que se puede apreciar en la Figura 2.29, se ve agravado por la alta humedad

ambiental existente en Laboratorio de la estación de puntas, propia de Las Palmas de Gran Canaria (cercana al 70 % durante todo el año) [AEMET 2017].

Se ha conseguido reducir este problema cubriendo la estación de puntas junto a un deshumidificador portátil con un protector plástico desde el día antes de las medidas y configurando el aire acondicionado en modo *Dry* para secar el aire del laboratorio.



Figura 2.29. Microfotografía de las puntas PTT sobre una muestra MOS-HEMT de $W = 100 \ \mu m$ y $L = 2 \ \mu m$ del CEA-Leti, donde se aprecia como la condensación del agua debido al enfriamiento por la célula Peltier forma gotas sobre las puntas y la superfície del integrado.

Además, la diferencia de temperatura entre la célula peltier y el aire acondicionado no debe superar los 10 °C.

La Figura 2.30 muestra las curvas características de salida de un transistor de $W = 100 \ \mu m \ y \ L = 2 \ \mu m$ de una muestra del CEA-Leti, con el sustrato a 0, 10 y 20 °C.



Figura 2.30. Curvas características de salida de un transistor con $W = 100 \,\mu\text{m}$ de las muestras del CEA-Leti bajando la temperatura de sustrato hasta 0 °C, a $V_{\text{GS}} = 5 \text{ V}$.

Se puede apreciar cómo aumenta la corriente del transistor a medida que disminuye la temperatura como era esperable.

5. Se debe buscar un compromiso entre obtener una buena medida y conservar la integridad de los *pads*. Para alargar al máximo la vida útil de los *pads* de las muestras se intenta posar las sondas ejerciendo una presión mínima, pero suficiente, para que exista un buen contacto entre ellos. Sin embargo, al variar la temperatura del sustrato el posado de las sondas debe ser más firme. En concreto, a partir de 80 °C, debido a la dilatación y vibración del propio montaje de medida, las sondas deben ejercer más presión sobre los *pads*, produciendo una mayor degradación de los mismos.

Por lo tanto, se deben planificar previamente las medidas a realizar, e intentar que el tiempo de posado de las sondas sea mínimo. Por esta razón, las medidas en régimen continuo han de ser las últimas en realizarse, ya que son las que más dañan los *pads* y las muestras. Posiblemente después de esta prueba las muestras ya no queden operativas.

Capítulo 3 Simulación numérica

La simulación numérica es una herramienta eficaz en las ciencias aplicadas para la determinación de soluciones y la predictibilidad de las mismas, sin recurrir a la experimentación. Permite la recreación matemática de procesos físicos que aparecen con frecuencia en el área de Ingeniería. El uso de simulaciones numéricas para resolver ecuaciones diferenciales en derivadas parciales, en particular las ecuaciones de arrastredifusión para los dispositivos electrónicos, requiere normalmente un cuidadoso estudio de los métodos numéricos y algoritmos a utilizar, así como de los procesos fundamentales a considerar en la simulación. Una simulación numérica difíere de un modelo matemático en que la primera constituye una representación en cada instante del proceso a simular, mientras que el modelo constituye una abstracción matemática de las ecuaciones fundamentales necesarias para analizar dicho fenómeno. Por medio de los métodos numéricos se determina la solución de problemas, para los cuales puede, o no, conocerse su solución analítica. En caso de conocerse ésta, se podrán validar matemáticamente los resultados numéricos. [Millán 2011]. En caso contrario, habría que recurrir a medidas experimentales para ello.

En el IUMA se dispone de los dos simuladores numéricos comerciales más populares para dispositivos: Atlas, de Silvaco, y Sentaurus Device, de Synopsys. En esta tesis doctoral se han utilizado ambos para reproducir la respuesta en DC de los dispositivos bajo estudio.

3.1 La naturaleza de la simulación física

Atlas y Sentaurus Device son simuladores numéricos físicos. La simulación física de dispositivos no es un concepto familiar para todos los ingenieros, y en este subapartado se describe brevemente en qué consisten este tipo de simulaciones.

Los simuladores físicos de dispositivos predicen las características eléctricas que se asocian con estructuras físicas y condiciones de polarización específicas. Esto se consigue discretizando la estructura del dispositivo en un *grid* (o mallado), de dos o tres dimensiones, constituido por un número de puntos de *grid* llamados nodos. Mediante la resolución de un conjunto de ecuaciones diferenciales, derivadas de las leyes de Maxwell, y del principio de conservación de la carga en el *grid* (ecuación de Poisson, continuidad de los portadores libres en un semiconductor y densidad de corriente), junto con las densidades de corrientes locales, se puede simular el transporte de los portadores a través de una estructura. De esta forma el funcionamiento eléctrico de un dispositivo puede simularse en los modos de operación DC, AC o transitorio [Manual Atlas].

La ecuación de Poisson relaciona el potencial electrostático con la densidad de carga espacial, y tiene la expresión:

$$\operatorname{div}(\nabla \epsilon \emptyset) = -\rho \tag{3.1}$$

siendo ϕ el potencial electrostático, ε es la permitividad local y ρ la densidad de carga espacial local.

Las ecuaciones de continuidad de carga para electrones y huecos se definen como:

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \overrightarrow{J_{n}} + G_{n} - R_{n}$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \operatorname{div} \overrightarrow{J_{p}} + G_{p} - R_{p}$$
(3.2)
(3.3)

siendo *n* y *p* la concentración de electrones y huecos,
$$\overrightarrow{J_n}$$
 y $\overrightarrow{J_p}$ son las densidades de corriente de electrones y huecos, G_n y G_p son las tasas de generación para electrones y huecos, R_n y R_p las tasas de recombinación de electrones y huecos y q la magnitud de la carga del electrón.

Y por último, las densidades de corriente se expresan en términos de niveles de quasi-Fermi, ϕ_h y ϕ_p , como:

$$\overrightarrow{J_{n}} = -q\mu_{n}n\nabla \mathscr{O}_{n}$$
(3.4)

$$\overrightarrow{J_{\rm p}} = -q\mu_{\rm p}p\nabla \mathscr{O}_{\rm p} \tag{3.5}$$

La simulación física es diferente del modelado empírico. La meta del modelado empírico es obtener formulas analíticas que aproximen los datos existentes con una buena precisión y mínima complejidad. Los modelos empíricos proporcionan aproximación e interpolación eficientes. Sin embargo, no proporcionan una visión interna del dispositivo, no son predictivos y no capturan ni visualizan convenientemente el conocimiento teórico, como sí lo hace la simulación física.

Además, la simulación física ha adquirido relevancia por ser siempre mucho más rápida y barata que la experimentación, y por proporcionar información que es difícil o imposible de medir. Por contra, toda la física relevante debe ser incorporada al simulador, y deben implementarse, procesos numéricos eficientes que permitan resolver las ecuaciones asociadas. Estas tareas se deben llevar con cuidado por parte de los usuarios de los simuladores numéricos, como Atlas y Sentaurus Device.

En general, en la simulación física de dispositivos debe especificarse: la estructura física que se simulará, los modelos físicos que se usarán y las condiciones de polarización para las cuales se simularán las características eléctricas.

3.2 Análisis del modelo de polarización

Una de las principales características de los materiales basados en el nitruro de galio, GaN, es la presencia de polarización, espontánea y piezoeléctrica [Ibbetson 2000]. A través de Atlas y Sentaurus Device se han estudiado sus efectos, que básicamente consisten en introducir carga superficial donde se produzca discontinuidad en la componente normal del vector de polarización (superficies de las diferentes capas



Figura 3.1. Celda unitaria del GaN, con la estructura cristalina de la wurtzita.

semiconductoras que conforman el dispositivo).

En los semiconductores AlGaN y GaN, con la estructura cristalina de la wurtzita, se forman dipolos eléctricos a lo largo de la dirección [0001], tal y como muestra la Figura 3.1. Así, en ausencia de campos eléctricos externos, se origina una polarización macroscópica con contribuciones espontánea e inducida por estrés (piezoeléctrica).

Los campos eléctricos internos debidos a la polarización espontánea y piezoeléctrica pueden jugar un papel significativo en las características eléctricas de los HEMT, ya que hacen aumentar la concentración de e⁻ en el 2-DEG un orden de magnitud.

La polarización espontánea se debe a vibraciones térmicas, es propia de cada semiconductor y depende de la composición material. En cambio la polarización piezoeléctrica se produce por la tensión que se crea en la barrera de AlGaN, debido a la diferencia en las constantes de red entre el AlGaN y el GaN. La Figura 3.2 representa gráficamente como se produce el estrés en la barrera de AlGaN, y, en la Figura 3.3 (a) se muestran las densidades equivalentes de carga de polarización resultantes: σ_m , la densidad de carga de polarización bajo la puerta; σ_i , la densidad entre la barrera y el canal de GaN; y σ_s , la densidad de carga de polarización en el fondo del sustrato.

La gran discontinuidad del vector de polarización en la superficie superior del AlGaN produciría en éste una densidad de carga de polarización negativa tal, que vaciaría el canal de electrones dejando de operar el transistor. Por ello se cree que esta carga debe ser compensada por otras cargas superficiales, aunque en realidad no está claro si es compensada por cargas fijas o por estados de trampas [Tirado 2007]. Por otro lado, las



Figura 3.2. Efecto del estrés en la barrera de AlGaN.

densidades de carga de polarización en el fondo del sustrato están (relativamente) tan alejadas del canal 2-DEG, que no son relevantes. En la práctica, se produce una densidad de carga de polarización neta positiva entre la barrera y el canal, como se indica en la Figura 3.3 (b), que da origen a la elevada concentración de e^- en el canal 2-DEG.

Estas cargas pueden ser cuantificadas a través de las expresiones presentadas en [Ambacher 1999], donde en ausencia de campos eléctricos externos la polarización total P de una capa de GaN o AlGaN es la suma de la la polarización espontanea P_{SP} en la red en equilibrio y la polarización piezoeléctrica P_{PE} ,

$$P = P_{\rm SP} + P_{\rm PE} \tag{3.6}$$

La polarización a lo largo del eje *c* del cristal de wurtzita es $P_{sp} = P_{sp}z$, valor que para el GaN es -0,029 (C/m²) y para el AlGaN se calcula a partir de una interpolación entre el AlN y el GaN, dependiente de la fracción molar de aluminio, [Bernardini 1997, Tsubouchi 1985, O'Clock 1973]. La polarización piezoeléctrica puede calcularse con los coeficientes piezoeléctricos e_{33} y e_{31} como:

$$P_{\rm PE} = 2 \frac{a_{\rm s} - a_0}{a_0} \left(e_{31} - \frac{c_{13}}{c_{33}} e_{33} \right)$$
(3.7)

siendo e_{31} y e_{33} las constantes piezoeléctricas, y c_{13} y c_{33} las constantes elásticas propias de cada material. El parámetro a_0 es la constante de red de la capa material en cuestión.



Figura 3.3. (a) Las diferentes contribuciones de carga de polarización. (b) y la carga de polarización neta en la intercara AlGaN/GaN.

El parámetro a_s es el valor medio de las constantes de red de las capas inmediatamente superior e inferior de la capa en cuestión.

Pudieran existir otras densidades de cargas de polarización entre las capas del buffer de GaN, aunque probablemente sean compensadas por defectos intersticiales cargados, ya que son normalmente irrelevantes en el funcionamiento eléctrico de los dispositivos.

3.3 Emisión termoiónica y efecto túnel

Otro efecto a tener en cuenta en las simulaciones numéricas de dispositivos semiconductores basados en el sistema AlGaN/GaN es la emisión termoiónica, que se considera a lo largo de la heterounión AlGaN/GaN, bajo los terminales de fuente y drenador, ya que la emisión termoiónica domina la corriente en heterouniones abruptas.

La densidad de corriente de electrones y huecos viene entonces dada, respectivamente, por [Wu 1979],

$$\vec{J}_{n} = q(1+\delta) \left(v_{n+}n^{+} - v_{n-}n^{-} \exp\left(\frac{-Q.THERMIONIC\Delta E_{C}}{kT_{L}}\right) \right)$$
(3.8)

$$\vec{J}_{\rm p} = (-q)(1+\delta) \left(v_{\rm p+}p^+ - v_{\rm p-}p^- \exp\left(\frac{-Q.THERMIONIC\Delta E_{\rm v}}{kT_{\rm L}}\right) \right)$$
(3.9)

donde *Q.THERMIONIC* es el factor de calidad de la emisión termoiónica (por defecto, su valor es 1); v_{n-} , v_{n+} , v_{p-} y v_{p+} son las velocidades térmicas del electrón y el hueco en las regiones "–" y "+", respectivamente; y vienen dadas por:

$$v_{\rm n} = \frac{A_{\rm n}^* T_{\rm L}^2}{q N_{\rm C}}$$
(3.10)

$$v_{\rm p} = \frac{A_{\rm p}^* T_{\rm L}^2}{q N_{\rm V}} \tag{3.11}$$

donde $T_{\rm L}$ es la temperatura de red, $N_{\rm C}$ es la densidad de estados de la banda de conducción, $N_{\rm V}$ es la densidad de estados de la banda de valencia y $A_{\rm n}^*$ y $A_{\rm p}^*$ son las constantes de Richardson de los electrones y huecos. $\Delta E_{\rm c}$ y $\Delta E_{\rm v}$ son la diferencia entre los bordes de la banda de conducción y valencia, respectivamente; y se asume que la corriente fluye de la región "–" a la región "+". El parámetro δ representa la contribución a las densidades de corriente debido al efecto túnel y viene dado por:

$$\delta = \frac{1}{kT} \int_{E_{\min}}^{E_{C}^{+}} \exp\left(\frac{E_{C}^{+} - E_{x}}{kT}\right) \exp\left(\frac{-4\pi}{h} \int_{0}^{X_{E}} [2m_{n}^{*}(E_{C} - E_{x})]^{0.5} dx\right) dE_{x}$$
(3.12)

para el caso de los electrones, donde E_x es la energía del borde de la banda de conducción en X y E_{min} = max [$E_C(0_{-})$, $E_C(W)$] como se describe en la Figura 3.4.



Figura 3.4. Parámetros en el diagrama de bandas de una heterounión para el efecto túnel.

3.4 Autocalentamiento

Una de las características fundamentales de los dispositivos que manejan altas densidades de corriente, como los estudiados en esta tesis, es el autocalentamiento. Para calcular el flujo de calor a través del dispositivo y su entorno, Atlas y Sentaurus Device incorporan rigurosos modelos termodinámicos que simulan numéricamente el calentamiento por efecto Joule, Peltier y Thomson, teniendo en cuenta la posible recombinación y generación de portadores libres estos simuladores además consideran la dependencia de los parámetros materiales y de transporte con la temperatura de red. También soportan la especificación de entornos térmicos generales, incorporando estructuras de disipación de calor, impedancias térmicas y temperaturas ambientales específicas.

3.4.1 Ecuación del flujo de calor

Los efectos de autocalentamiento se simulan resolviendo la ecuación del flujo de calor, junto con la de Poisson y las de continuidad, que viene dada por:

$$C\frac{\partial T_{L}}{\partial t} = \nabla(\kappa \nabla T_{L}) + H$$
(3.13)

donde: *C* es la capacitancia térmica por unidad de volumen, κ la conductividad térmica, *H* representa una fuente de energía y T_L la temperatura de red local.

Para la conductividad térmica, κ , dependiendo del material, general, su dependencia con la temperatura se puede modelar atendiendo a una de las expresiones de la Tabla 3.1.

Ecuación	Unidades
$\kappa(T) = \kappa_0$	(W/cm-K)
$\kappa(T) = \kappa_0 / \left(\frac{T_{\rm L}}{300}\right)^{\gamma}$	(W/cm-K)
$\kappa(T) = \frac{1}{A + BT_{\rm L} + CT_{\rm L}^2}$	(W/cm-K)
$\kappa(T) = \frac{E}{T_{\rm L} - D}$	(W/cm-K)

Tabla 3.1. Modelos estándar para la dependencia con la temperatura de la conductividad térmica.

En cuanto a la fuente de energía, *H*, bajo la aproximación de arrastre-difusión para el transporte de portadores libres ésta viene dada por:

$$H = \left[\frac{\left|\vec{J_{n}}\right|^{2}}{\left(q\mu_{n}n + \frac{\left|\vec{J_{p}}\right|^{2}}{q\mu_{p}p}\right]} - T_{L}\left(\vec{J_{n}}\nabla P_{n}\right)$$
$$- T_{L}\left(\vec{J_{p}}\nabla P_{p}\right) + q(R - G)\left[T_{L}\left(\frac{\partial\phi_{n}}{\partial T_{n,p}}\right) - \phi_{n} - T_{L}\left(\frac{\partial\phi_{p}}{\partial T_{n,p}}\right) + \phi_{p}\right]$$
$$- T_{L}\left[\left(\frac{\partial\phi_{n}}{\partial T}\right)_{n,p} + P_{n}\right]\operatorname{div}J_{n} - T_{L}\left[\left(\frac{\partial\phi_{p}}{\partial T}\right)_{n,p} + P_{p}\right]\operatorname{div}J_{p}$$
(3.14)

En régimen estacionario, la divergencia de la corriente se puede reemplazar por la recombinación neta:

div
$$\not=$$
 div $(J_n + J_p) = (R - G)$ (3.15)

Entonces, la ecuación (3.14) se simplificar por:

$$H = \left[\frac{\left|\overrightarrow{J_{n}}\right|^{2}}{qu_{n}^{n}} + \frac{\left|\overrightarrow{J_{p}}\right|^{2}}{qu_{p}^{p}}\right] + q(R - G)\left[\phi_{p} - \phi_{n} + T_{L}(P_{P} - P_{n})\right] - T_{L}\left(\overrightarrow{J_{n}}\nabla P_{n} + \overrightarrow{J_{p}}\nabla P_{p}\right)$$
(3.16)

donde el primer término representa la energía por efecto Joule, el segundo la energía por generación y recombinación de portadores libres, y el último término incorpora los efectos Peltier y Joule-Thomson.

En los aislantes no sería posible la generación de calor, por lo que en ellos H = 0. Y en conductores $H = (\nabla V)^2 / \rho$; siendo ρ la resistividad.

3.4.2 Condiciones de contorno térmicas

Cuando se resuelve la ecuación de flujo de calor, al menos se debe especificar una condición de contorno térmica, que en general viene dada por:

$$\sigma\left(\vec{J_{\text{tot}}} \cdot \vec{s}\right) = \alpha(T_{\text{L}} + T_{\text{ext}})$$
(3.17)

pudiendo σ valer 0 o 1; $J_{tot}^{\vec{u}}$ es la densidad total de flujo de energía y \vec{s} el vector de superficie unidad, perpendicular a ésta. Con lo que la energía que fluye a través de *s* es:

$$\left(J_{\text{tot}}^{\vec{u}} \cdot \vec{s}\right) = -\kappa \frac{\partial T_{\text{L}}}{\partial n} + \left(T_{\text{L}} P_{\text{n}} + \phi_{\text{n}}\right) \overrightarrow{J_{\text{n}}} \cdot \vec{s} + \left(T_{\text{L}} P_{\text{p}} + \phi_{\text{p}}\right) \overrightarrow{J_{\text{p}}} \cdot \vec{s}$$
(3.18)

Una condición de contorno tipo Dirichlet (temperatura constante), se establece haciendo $\sigma = 0$ en (3.17). Para ello el usuario define TEMPERATURA en la sentencia *THERMCONTACT*, pudiendo localizarse el electrodo térmico correspondiente en cualquier parte del dispositivo (incluso internamente). Por otro lado, una condición de contorno tipo Neumann ($\vec{\nabla} \equiv$ cte), se establece haciendo $\sigma = 1$ en (3.17). Para ello, el usuario define la resistencia térmica, $R_{\text{th}} = 1/\alpha$, con α (W/cm²K; ∞ por defecto), siendo especificada en la sentencia *THERMCONTACT*, para un electrodo en concreto.

3.5 Selección del simulador

El IUMA ha dispuesto de licencias para simular con Sentaurus Device y Atlas, durante la realización de esta tesis doctoral. Su coste de alquiler, $1500 \in y 3000 \in$ anuales, respectivamente, no se ha tomado como criterio a fin de establecer el simulador a emplear, sino su capacidad de reproducir la respuesta eléctrica de los HEMT de AlGaN/GaN a distintas temperaturas de operación.

Como al comienzo de esta tesis sólo se disponía de muestras del ISOM, HEMT sobre zafiro, fueron estos los transistores empleados para la selección del simulador. Así comienza el estudio con la estructura de puerta de la Figura 3.5, con una anchura y longitud de puerta de $W = 2 \mu m$, $L = 1 \mu m$, espesor de la capa de AlGaN $d_1 = 67 nm$, y

espesor de la capa de GaN $d_2 = 2 \ \mu$ m. En primer lugar se analiza la capacidad de los simuladores de reproducir la banda de conducción, el campo eléctrico y la concentración de electrones bajo la puerta. Para esto se crea en ambos simuladores la estructura de capas, que se simula sin polarizar.



Figura 3.5. Estructura de capas de la estructura de puerta simulada con Atlas y Sentaurus.

Resolviendo la ecuación de Poisson, previa introducción de las cargas de polarización en las diferentes capas (dependientes de la composición material), haciendo uso de la recombinación de Shockley-Read-Hall, y considerando la estadística de Fermi-Dirac, se obtiene con ambos simuladores la energía de la banda de conducción bajo la puerta, representada en la Figura 3.6 en función de la profundidad, eje z, en nanómetros. En esta figura se puede observar el buen ajuste que existe entre los dos simuladores, prediciendo que el 2-DEG se crea en la interfaz entre AlGaN/GaN, en z = 67 nm.



Figura 3.6. Banda de conducción vs. profundidad bajo la puerta con Atlas (símbolos) y Sentaurus (línea).

A continuación, se representa el campo eléctrico (transversal) frente a la profundidad, en la Figura 3.7. Como en el caso anterior, se mantiene el buen ajuste entre los simuladores, incluso para su valor máximo, donde se origina el 2-DEG.



Figura 3.7. Campo eléctrico vs. profundidad con Atlas (símbolos) y con Sentaurus (línea).

Por último, de forma análoga se representa en la Figura 3.8, la densidad de electrones, que en el 2-DEG llega a ser cercana a 10^{20} cm⁻³. Como la anchura efectiva del 2-DEG es del orden de 1 nm, su densidad superficial equivalente está en torno a 1×10^{13} cm⁻², como era de esperar. De nuevo se sigue manteniendo el buen ajuste entre los dos simuladores.



Figura 3.8. Concentración de electrones *vs.* profundidad para Atlas (con símbolos) y para Sentaurus (con línea).

Posteriormente se simula la característica *C-V*. En este caso se realiza una simulación en AC introduciendo una señal sinusoidal de amplitud 1 V y frecuencia 50 kHz. La Figura

3.9 representa la característica *C*-*V* resultante con ambos simuladores, proporcionando resultados casi idénticos.



Figura 3.9. Característica *C*-*V* simulada con Atlas (representada con símbolos) y simulada con Sentaurus Device (representada con línea); amplitud = 1 V y f = 50 kHz.

A continuación se pasa a reproducir las curvas características de un HEMT de AlGaN/GaN, intrínseco, es decir, localizando los terminales de fuente y drenador lateralmente (en lugar de estar situados en la superficie superior del AlGaN), ya que aún no se tiene en cuenta el transporte de electrones a través de las heterouniones. Para ello se considera la estructura de la Figura 3.10, en la que las dimensiones y dopajes se han extraído de [Wu 1997]: $W = 75 \ \mu m$, $L = 1 \ \mu m L_{DS} = 3 \ \mu m$, espesor de la capa de AlGaN $d_1 = 25 \ nm$ y espesor de la capa GaN $d_2 = 2 \ \mu m$, una concentración de impurezas



Figura 3.10. Estructura del HEMT intrínseco simulado con Atlas y Sentaurus.

donadoras en el AlGaN de $N_D = 2 \times 10^{18}$ cm⁻³, y otra menor en la capa de GaN de $N_D = 1 \times 10^{15}$ cm⁻³.

A continuación se selecciona el modelo de movilidad para campos bajos. En Atlas usamos el modelo de movilidad de campos bajos del trabajo de Albrecht y colaboradores [Albrecht 1998]. En este caso la movilidad depende del dopaje y la temperatura de red como:

$$\frac{1}{\mu(N,T_{\rm L})} = \frac{AN.ALBRC T \times N}{NON.ALBRCT} \left(\frac{T_{\rm L}}{TON.ALBRCT}\right)^{-3/2} \\ \ln\left[1 + 3\left(\frac{T_{\rm L}}{TON.ALBRCT}\right)^2 \left(\frac{N}{NON.ALBRCT}\right)^{-2/3}\right] +$$

$$BN.ALBRCT \left(\frac{T_{\rm L}}{TON.ALBRCT}\right)^{2/3} + \frac{CN.ALBRCT}{\exp(T1N.ALBRCT/T_{\rm L}) - 1}$$
(3.19)

donde *N* es la concentración total de dopaje y T_L es la temperatura de red; *AN.ALBRCT*, *BN.ALBRCT*, *CN.ALBRCT*, *NON.ALBRCT*, *TON.ALBRCT* y *T1N.ALBRCT* son parámetros a establecer por el usuario en la sentencia MOBILITY, cuyos valores se muestran en la Tabla 3.2.

	1	1 5
Parámetro	Valor	Unidades
AN.ALBRCT	6,264×10 ⁻⁴	$V \cdot s/cm^2$
BN.ALBRCT	6,964×10 ⁻⁴	$V \cdot s/cm^2$
CN.ALBRCT	4,08×10 ⁻²	V·s/cm ²
NON.ALBRCT	1×10 ⁻¹⁷	cm ⁻³
TON.ALBRCT	300	K
T1N.ALBRCT	1065	K

Tabla 3.2. Parámetros del modelo de Albrecht para la movilidad a campos bajos en Atlas.

En el caso de Sentaurus Device, el modelo de movilidad seleccionado para campos bajos es Arora [Arora 1982], en el que la movilidad se degrada con la concentración de impurezas según la expresión:

$$\mu_{\rm dop} = \mu_{\rm min} + \frac{\mu_{\rm d}}{1 + \left(\left(N_{\rm A,0} + N_{\rm D,0} \right) / N_0 \right)^{A^*}}$$
(3.20)

Mientras que su disminución con la temperatura se modela a través de:

$$\mu_{\min} = A_{\min} \cdot \left(\frac{T_{\rm L}}{300\rm K}\right)^{a_{\rm m}}$$
(3.21)

$$\mu_{\rm d} = A_{\rm d} \cdot \left(\frac{T_{\rm L}}{300\rm K}\right)^{a_{\rm d}}$$
(3.22)

У

$$N_0 = A_{\rm N} \cdot \left(\frac{T_{\rm L}}{300\rm K}\right)^{\alpha_{\rm N}} \tag{3.23}$$

$$A^* = A_a \cdot \left(\frac{T_L}{300K}\right)^{\alpha_a}$$
(3.24)

Los valores de los parámetros del modelo Arora se muestran en la Tabla 3.3.

Símbolo	Nombre del	Valor	Unidades
	Parámetro		
A_{\min}	Ar_mumin	88	cm ² /Vs
$lpha_{ m m}$	Ar_alm	-0,57	1
A _d	Ar_mud	407	cm ² /Vs
$\alpha_{\rm d}$	Ar_ald	-2,33	1
$A_{ m N}$	Ar_N0	1,25×10 ¹⁷	cm ⁻³
$lpha_{ m N}$	Ar_alN	2,4	1
A_{a}	Ar_a	0,88	1
α _a	Ar_ala	-0,146	1

 Tabla 3.3. Parámetros del modelo Arora para la movilidad a campos bajos en Sentaurus.

Como el HEMT considerado es de canal largo, en este estudio previo sobre los simuladores no se considera modelar la velocidad de saturación de los electrones. Así, se llega a las curvas de transferencia de la Figura 3.11, donde la tensión de puerta V_{GS} varía entre -3 V y 1 V, para régimen lineal (con $V_{DS} = 0,05$ V) y de saturación (con $V_{DS} = 1$ V). De nuevo se observa una buena aproximación entre los resultados de ambos simuladores, Atlas (con símbolos) y Sentaurus (con líneas), incluso cuando el diodo Schottky de puerta entra en conducción (con $V_{DS} = 0,05$ V y $V_{GS} > V_{DS}$).

Por último se obtienen las curvas características de salida, representadas en la Figura 3.12, variando la tensión de drenador, V_{DS} , entre 0 V y 3 V para diferentes valores de V_{GS} : -1 V, 0 V y 1 V. En el caso de V_{GS} = 1 V se observa que Sentaurus predice una corriente superior, sin ser realmente significativo, y que de nuevo se obtiene una corriente de fuga a través de la puerta (negativa), cuando, además, la tensión de drenador se reduce



Figura 3.11. Curvas de transferencia con Atlas (símbolos) y Sentaurus (líneas), para $V_{DS} = 0.05$ V y 1 V.

(aproxima a cero). Así pues, a fin de evitar dañar la puerta de este HEMT, de vaciamiento, no se le debe aplicar tensiones de puerta positivas, hecho ha sido previsto a través de las simulaciones, sin necesidad de dañar, medir, el transistor.

Podemos concluir, pues, que ambos simuladores son apropiados para reproducir la respuesta eléctrica de los HEMT basados en tecnología de GaN, al menos en continua y bajas frecuencias, que son las condiciones más habituales objeto de estudio. Sin embargo, se opta por emplear Atlas durante el resto de la tesis, ya que posee modelos elaborados específicos para nitruros que no están disponibles en Sentaurus, particularmente campos eléctricos elevados, en régimen de saturación, cuando el autocalentamiento puede llegar a ser relevante.



Figura 3.12. Características de salida simuladas con Sentaurus (líneas) y Atlas (símbolos) para diferentes valores de V_{GS} : -1 V, 0 V y 1 V.

En consecuencia, en los capítulos 5 y 6 se desarrollarán las simulaciones con Atlas, para los HEMT crecidos sobre zafiro y los MOS-HEMT crecidos sobre silicio, respectivamente.

Capítulo 4 Modelo compacto

El término modelo se refiere a una representación matemática que permite comprender la naturaleza de determinados procesos físicos que se dan en el material, pero que además permite avanzar en el conocimiento mediante la realización de descubrimientos importantes. Un modelo compacto o analítico es, en general, una formulación matemática de una situación o de un fenómeno físico, que permite hacer predicciones en cuanto a los acontecimientos que pueden aparecer y obtener consecuencias. Son aplicables tanto a un material como a dispositivos semiconductores [Roldán 2012].

Hay un amplio rango de categorías de modelado, incluyendo los modelos empíricos, físicos, los basados en tablas y las redes neuronales, entre otros. Cada uno tiene distintas ventajas e inconvenientes, los cuales son enumerados en la Tabla 4.1.

Entre todos los tipos de modelado, es deseable un modelo compacto que se base en la física del dispositivo, ya que son relativamente estables y no usan muchos parámetros; y pueden ser usados para los distintos modos de operación del dispositivo. Sin embargo, el

Tipo	Ventaja	Inconveniente	
Físico	El que mejor predice el funcionamiento	Se debe entender la física	
	Extrapola	Lento	
Empírico	Predice razonablemente bien	Puede dar un funcionamiento que	
	Rápido	no es físico	
Tabular	Muy general	No puede extrapolar Información de parámetros mínima	
	Fácil de extraer		
	Velocidad de ejecución razonable		
Red neuronal	Muy general	No puede extrapolar	
	Velocidad de ejecución razonable	Información de parámetros mínima	

Tabla 4.1. Tipos de modelado y sus ventajas e inconvenientes.

hecho de que la mayoría de los modelos físicos sean computacionalmente complejos y consuman mucho tiempo, restringe su aplicación en simulación de circuitos. Un modelo basado en la física de los dispositivos, pero suficientemente simple, sería la herramienta ideal.

La mayoría de los modelos físicos existentes para HEMT se basan en una descripción precisa del 2-DEG en la unión de la heteroestructura. Los modelos de carga y corriente suelen terminar siendo complejos y poco atractivos para el diseño de circuitos. Esto se debe a la existencia de varios niveles de energía y a la posición del potencial de Fermi, que necesitan ser considerados mientras se calcula la carga en el canal.

La importancia de los HEMT basados en GaN para aplicaciones de alta potencia y alta frecuencia se ha explicado en el Capítulo 1, apartado 1.4 Estado del Arte de esta memoria. Por lo tanto, el modelado preciso de los HEMT de AlGaN/GaN es esencial en el diseño de circuitos para aplicaciones tanto de alta potencia, como de radiofrecuencia. Para ese propósito en esta tesis doctoral se ha seleccionado, implementado y desarrollado un modelo compacto para HEMT de AlGaN/GaN [Yigletu 2013] en ADS con Verilog-A, para ser usado en el análisis en DC a distintas temperaturas.

Además, para el modelado de los MOS-HEMT de AlGaN/GaN proporcionados por el CEA-Leti, crecidos sobre sustrato de silicio, se ha seleccionado y ajustado un modelo BSIMSOI3.1 [Tutorial BSIMSOI3.1]. Se ha demostrado que el ajuste logrado es una buena primera aproximación de la respuesta en DC para este tipo de estructuras, e incorpora adecuadamente la respuesta con la variación de la temperatura.

4.1 Introducción a Verilog-A

Verilog-A, al igual que Verilog, es un lenguaje de descripción hardware. Como tal es muy diferente de los lenguajes de programación. La descripción hardware impone muchas metas y restricciones diferentes. Por ejemplo, un módulo es una unidad de código Verilog-A que se usa para describir un componente. En Verilog-A un circuito se describe con una composición jerárquica de módulos. Además, permite usar primitivas que incorpora el simulador para usarlas en la descripción del circuito, como son la definición de constantes matemáticas y físicas. En Verilog-A estas primitivas incorporadas describen componentes comunes en los circuitos: resistencias, condensadores, bobinas y dispositivos semiconductores. Un módulo que simplemente se refiere a otros módulos se suele definir como un modelo estructural, o un *netlist*. Mientras que, un módulo que usa

ecuaciones para describir un componente se define como un módulo de comportamiento. También un módulo puede contener ambas informaciones: ecuaciones (comportamiento) y definición de otros módulos (estructura); y si no contiene ninguna de ellas se denomina módulo vacío.

Verilog-A es un lenguaje estándar industrial para el modelado de circuitos analógicos. Se trata del subconjunto exclusivamente analógico del Verilog-AMS, que incluye extensiones analógicas y de señal mixta (*Analog and Mixed- Signal*, AMS). La intención de Verilog-A es permitir que los usuarios de los simuladores de clase SPICE creen modelos para sus simulaciones. Los modelos Verilog-A se pueden usar en simuladores Verilog-AMS. Pero en cualquier caso, es más apropiado hacer una implementación más completa a través del lenguaje Verilog-AMS.

En Verilog-A los componentes se construyen usando nodos y ramas. Un nodo es un punto donde los puntos finales de las ramas se pueden conectar. Y, una rama es un camino simple entre dos nodos. Para forzar las leyes de Kirchhoff, el simulador coloca las siguientes restricciones en nodos y ramas:

- 1. El potencial es el mismo en todas partes de un nodo
- 2. La suma de las corrientes que confluyen en el nodo debe ser siempre nula
- La diferencia de potencial en una rama es igual a la diferencia de potenciales de los nodos a los que está conectada
- La corriente que entra por el extremo de una rama es igual a la que sale por el otro extremo.

Se puede describir cualquier componente arbitrario con una colección de nodos y ramas. Esa descripción se basa en la manera en que los nodos y las ramas se conectan (su topología), y el modo en que el potencial y la corriente se relacionan en cada rama (las relaciones de las ramas). Así, para describir un componente en Verilog-A se deben



Figura 4.1. (a) esquemático de una resistencia simple y en (b) código en Verilog-A que describe el comportamiento de la resistencia.

definir los nodos y ramas, especificando el funcionamiento de cada rama. A modo de ejemplo, para ilustrar este proceso se considera una resistencia lineal de dos terminales [http://verilogams.com/tutorials/vloga-intro.html]:

4.2 Simulador SPICE para circuitos eléctricos

SPICE, *Simulation Program with Integrated Circuits Emphasis*, es un estándar internacional cuyo objetivo es simular circuitos electrónicos analógicos compuestos por resistencias, condensadores, diodos, transistores, etc. Para ello se describen tanto los componentes como el circuito y el tipo de simulación: temporal, en frecuencia, en continua, paramétrico, Montecarlo, etc. [Nagel 1973, Nagel 1975].

Verilog-A se diseñó para describir modelos en simuladores tipo SPICE o para el *kernel* de SPICE en un simulador Verilog-AMS. Los simuladores SPICE funcionan mediante la construcción de un sistema de ecuaciones diferenciales no lineales que describen el circuito a simular. SPICE resuelve ese sistema de ecuaciones, donde la solución en un punto requiere que todos los componentes se evalúen y todas las ecuaciones se resuelvan.

SPICE usa las leyes de Kirchhoff, la de la tensión (en mallas) y la corriente (en nodos), para formular las ecuaciones del circuito.

SPICE combina las ecuaciones de los componentes individuales con las ecuaciones que representan las leyes de Kirchhoff, para formular el sistema de ecuaciones que se resuelve cuando se simula el circuito.

4.3 Herramienta Advanced Design System, ADS

El software empleado en esta tesis doctoral para implementar el modelo compacto en Verilog-A es el *Advanced Design System* (ADS) de la compañía *Keysight EEsof* EDA, división de Keysight Technologies. ADS es un software, que proporciona un entorno de diseño electrónico automático integrado, ideado para diseñadores de circuitos y sistemas electrónicos analógicos y de RF, tales como conversores/inversores, redes inalámbricas, comunicaciones vía satélite, sistemas radar y enlaces de datos de alta velocidad. En la Figura 4.2 se puede observar un ejemplo del entorno de trabajo usado en ADS para una simulación en DC de un dispositivo MOS-HEMT.



Figura 4.2. Entorno de trabajo en ADS de una simulación en DC para un MOS-HEMT.

Existen diversas formas de implementar un modelo compacto en un simulador eléctrico, como se ha indicado en la Tabla 4.2. Cada método tiene sus propias ventajas e inconvenientes pero, en general, cuanto más sencilla sea la interfaz, menor será su capacidad.

La interfaz más potente es la interfaz propietaria del simulador, por muchas razones; la principal de ellas es la protección de propiedad intelectual, donde la interfaz propietaria no se hace pública. Esto se debe a que la interfaz suele requerir detalles tan íntimos de la operación de análisis del simulador que un investigador podría discernir muchos detalles sobre el funcionamiento interno de los algoritmos de simulación.

Тіро	Ventaja	Inconveniente
Macro modelo	Simple nortable	Limitado a la disponibilidad de
	Simple, portable	primitivas
Interfaz	Potonto, rápido	Necesita acceso al simulador
propietaria	rotente, rapido	No portable
Interfaz pública	Razonablemente potente	Usualmente pierde capacidad
		No portable
		Complejidad única
		Lento
	Simple	
AHDLs	Potente	El lenguaje tiene algunas
(Verilog-A)	Portable	restricciones
	Protegido	

Tabla 4.2. Métodos de implementación de modelos y sus ventajas e inconvenientes.

Por otro lado, una interfaz detallada y compleja requiere además, para acceder de forma apropiada a la funcionalidad del análisis, su entendimiento por parte del desarrollador del modelo. Esto puede requerir tanto esfuerzo como el desarrollo del propio modelo y si el modelo se va a añadir a otros simuladores usando esta interfaz, a menudo el esfuerzo de aprender una interfaz concreta no proporciona demasiada ventaja en el aprendizaje de los matices de la otra interfaz [Tutorial ADS 2012].

Los fabricantes de simuladores suelen proporcionar interfaces simplificadas, ya sea una interfaz de nivel de código reducida o una interfaz simbólica personalizada. La simplicidad siempre lleva aparejada una funcionalidad reducida, disminución de la velocidad de ejecución, o una falta de portabilidad.

Los lenguajes Analógicos de Descripción Hardware (AHDLs) resuelven la mayoría de estos problemas, excepto el problema de la velocidad de ejecución. Sin embargo, la tecnología del compilador en ADS proporciona la abstracción y simplicidad de Verilog-A con una velocidad de ejecución doble a la obtenida con interfaces a nivel de código. Además, es el estándar de facto en el desarrollo de modelos compactos en la actualidad por su flexibilidad, portabilidad y facilidad de uso.

4.3.1. Simulación eléctrica

La mayoría de los simuladores analógicos ha evolucionado a partir del programa SPICE. El simulador analógico resuelve un conjunto simple de relaciones, como se ha visto en el subapartado 4.1.

En concreto, en la simulación eléctrica, el programa resuelve las ecuaciones usando el algoritmo de Newton-Raphson. El programa aproxima una solución a la relación:

$$F(v,t) = 0 \tag{4.1}$$

La siguiente rutina analiza si esta solución se aproxima lo suficiente a la solución final. Si es así, se detiene la ejecución del programa. Pero si se necesita encontrar una nueva solución, se calcula el Jacobiano de la función (4.1) (el conjunto de las derivadas parciales), que proporciona un puntero a la solución final. Esto se ve mejor en un caso sencillo, donde F(v, t) es unidimensional como muestra la Figura 4.3:



Figura 4.3. Algoritmo de Newton-Raphson, donde r es la raíz solución.

El programa calcula $F(x_1)$ y entonces usa la derivada (la pendiente de la recta) para estimar el cruce por cero. A continuación usa este nuevo punto, x_2 , como la nueva solución. Mientras la función sea continua y suave (y el programa no se detenga en un mínimo local), se aproximará rápidamente o convergerá al punto actual donde F(x) cruza por cero. En programas modernos de simulación esta estrategia encuentra rápidamente la solución para un gran número de variables.

Para cada nueva solución, el programa consulta los elementos del circuito para obtener información. La resistencia, el condensador o el transistor, por ejemplo, necesitan informar al simulador de su respuesta como solución particular, además de la derivada de la corriente con respecto a las tensiones aplicadas, pendientes en el algoritmo de Newton-Raphson.

La respuesta de cada elemento se describe a través de ecuaciones matemáticas que, tomadas como un grupo, como ya se comentó al principio de este capítulo, se llaman modelo compacto del dispositivo. El modelo compacto del dispositivo puede ser desde muy simple a muy complicado. Por ejemplo, en el caso más simple, una resistencia se puede describir mediante la ley de Ohm:

$$I = V/R \tag{4.2}$$

la derivada respecto a la tensión es una constante, la inversa de la resistencia.

Sin embargo, incluso para componentes simples como resistencias, las modelos pueden sofisticarse cuando se añaden diversos efectos, tales como auto-calentamiento, auto-inductancia, ruido térmico, etc.

El compilador de Verilog-A maneja todas las interfaces necesarias para que, en su mayor parte, el desarrollador del modelo solo tenga que preocuparse por la descripción de su modelo.

4.4 Modelo para el HEMT de AlGaN/GaN

En el modelo que se ha seleccionado y ajustado para poder predecir el funcionamiento electro-térmico de los HEMT de AlGaN/GaN crecidos sobre zafiro del ISOM, la corriente de drenador consiste en una expresión, analítica, explícita y simple presentada en [Yigletu 2013], basada en la física de semiconductores. Este modelo compacto se desarrolla a partir de un modelo unificado de control de carga, considerando la estructura de bandas en el pozo de potencial. Asumiendo un pozo de potencial triangular, se tiene en cuenta solamente la contribución del primer nivel energético, ya que en él se encuentra una parte considerable del 2-DEG. Esta suposición permite establecer una relación simple entre la tensión aplicada y la concentración de portadores de carga. Y dan, como resultado, un modelo analítico y simple para la corriente de drenador, manteniendo la precisión.

La contribución del primer nivel de energía en el pozo de potencial triangular, en la intercara AlGaN/GaN, da como resultado el modelo de control de carga unificado (4.3), simple y preciso, para la densidad de electrones, n, en el 2-DEG:

$$n = DV_{\rm th} \ln \left[\exp \left(\frac{E_{\rm F} - E_0}{V_{\rm th}} \right) + 1 \right]$$
(4.3)

donde *D* representa la densidad de estados, V_{th} es la tensión térmica, E_{F} es el nivel de Fermi y E_0 la posición del primer nivel de energía en el pozo cuántico. A partir de (4.3), la corriente de drenador, cubriendo todos los regímenes de operación, viene dada por

$$I_{\rm ds} = -\frac{q\mu W}{L} \left[\frac{qd}{2\varepsilon} \left(n_{\rm D}^2 - n_{\rm S}^2 \right) + \frac{2}{5} \gamma_0 \left(n_{\rm D}^{5/3} - n_{\rm S}^{5/3} \right) + V_{\rm th} (n_{\rm D} - n_{\rm S}) \right]$$
(4.4)

siendo n_s y n_d la densidad de electrones en el 2-DEG en los terminales de fuente y drenador, respectivamente, *W* es el ancho del transistor, *L* la longitud del canal, ε es la permitividad dieléctrica de la barrera, *d* el espesor, *q* la carga absoluta del electrón y γ_0 es un parámetro de ajuste.

El modelo compacto en [Yigletu 2013] incluye, para la corriente en el canal 2-DEG, además la modulación de la longitud del canal y otros efectos de canal corto como
variación de la tensión de umbral y el incremento de la corriente de subumbral. A campos bajos, en el GaN se usarán los mismos parámetros que modelan en las simulaciones numéricas la movilidad de los electrones.

El esquema en gran señal del modelo compacto se presenta en la Figura 4.4. En él, la puerta Schottky se modela a través de los diodos D_{gd} y D_{gs} . La fuente de corriente dependiente I_{ds} modela la corriente en el canal de GaN para cualquier régimen de operación. Los modelos compactos y continuos de carga y corriente se obtienen de esta forma. Las inductancias y resistencias parásitas en los terminales de puerta, drenador y fuente: L_{puerta} , R_{puerta} , $L_{drenador}$, $R_{drenador}$, L_{fuente} y R_{fuente} , respectivamente, se extraen de las medidas.



Figura 4.4. Modelo del circuito equivalente en gran señal del HEMT de AlGaN/GaN.

4.4.1 Ajuste del modelo

En la primera simulación con ADS se busca reproducir los resultados obtenidos por F. Mulugeta y colaboradores [Yigletu 2013], para un dispositivo con un espesor de la barrera de AlGaN de $d_1 = 25$ nm, longitud de puerta $L = 1 \ \mu$ m y anchura de puerta $W = 75 \ \mu$ m. Los resultados de estas simulaciones se muestran en las Figuras 4.5 (a) y (b), para las curvas características de transferencia y de salida, respectivamente.

El modelo ajusta las curvas características básicamente modificando cuatro parámetros: $R_{drenador}$, R_{fuente} , M, y V_{off} . $R_{drenador}$ y R_{fuente} son las resistencias parásitas de los terminales de drenador y fuente, respectivamente. Con estos dos parámetros se puede variar la pendiente en régimen lineal (movilidad a campos bajos) y la corriente de

Capítulo 4



Figura 4.5. Características de transferencia (a) y de salida (b) para un HEMT de AlGaN-GaN con $d_1 = 25$ nm, $L = 1 \mu \text{m y } W = 75 \mu \text{m}$.

saturación. El parámetro *M* establece la transición entre los regímenes lineal y de saturación. En concreto, ajusta el codo en las curvas $I_{DS}-V_{DS}$, suavizando o haciendo más brusca la transición. Finalmente, V_{off} es la tensión umbral. La influencia de estos parámetros viene descrita en la Tabla 4.3, según aumenten o disminuyan.

4.4.1 Evaluación comparativa

A continuación se comparan las curvas características medidas de un AlGaN/GaN HFET, obtenidas por Y. F. Wu, S. Keller y colaboradores [Wu 1997], con la modelada. La estructura del dispositivo, con una anchura de puerta $W = 75 \mu m$, se muestra en la Figura 4.6.

Las curvas características de transferencia y de salida del transistor medidas (con símbolos) modeladas (con líneas) se comparan, como se puede observar en las Figuras 4.7 (a) y (b), respectivamente.

Parámetros	Aumenta ↑	Disminuye ↓
R _{drenador}	Reduce la pendiente en la región	Aumenta la pendiente en régimen
	lineal	lineal
R _{fuente}	Paduca la corriente de saturación	Incrementa la corriente de
	Reduce la corriente de saturación	saturación
М	Hace más brusca la transición entre	Relaja la transición entre régimen
	régimen lineal y de saturación	lineal y de saturación

Tabla 4.3. Parámetros de ajuste.



Figura 4.6. Estructura del HFET medido por [Wu 1997].

Así, esta primera aproximación es útil para avanzar en la comprensión de las heteroestructuras estudiadas, no obstante, en el Capítulo 5 de esta memoria se describen todas las acciones realizadas en el modelo para poder mejorar el funcionamiento electrotérmico de las muestras de HEMT de AlGaN/GaN, crecidas sobre sustrato de zafiro, proporcionadas por el ISOM-UPM.



Figura 4.7. Comparación para I_{DS} vs. V_{GS} (a) e I_{DS} vs. V_{DS} (b), entre los datos medido representados con cuadrados y modelos, representados con línea sólida.

4.5 Modelo seleccionado para el MOS-HEMT

En este apartado se describe el modelado en DC de los MOS-HEMT de AlGaN/GaN, crecidos sobre sustrato de Si, proporcionados por el CEA-Leti. Para estos transistores se parte del modelo BSIMSOI3.1, incorporado en ADS, que permite el ajuste de las curvas

medidas en DC, incluyendo la respuesta térmica. Este modelo es específico para un MOSFET SOI de vaciamiento parcial, con lo que ciertos parámetros físicos propios de los MOS-HEMT son susceptibles de ser modelados. Estos parámetros son: dependencia de la movilidad a campos bajos con la temperatura, la concentración del dopaje y el campo eléctrico transversal, así como la dependencia de la movilidad a campos altos con la temperatura, el campo eléctrico paralelo y la velocidad de saturación.

Por contra, parámetros como: la profundidad de la puerta empotrada, la R_{on} asociada al 2-DEG, la dependencia de la resistencia térmica con la temperatura de sustrato o las dimensiones internas del dispositivo, entre otros, no pueden ser incluidos ni, consecuentemente estudiados con este modelo compacto.

4.5.1 Modelo BSIMSOI3.1

El BSIMSOI es un modelo estándar internacional para diseño de circuitos de Siliciosobre-Aislante (*Silicon-On-Insulator*, SOI) [Su 2002]. Este modelo se formula sobre el nivel más alto del BSIM3v3 [Cheng 1997]. Comparte las ecuaciones básicas del modelo para MOSFET en volumen BSIM3v3 de modo que conservan su naturaleza física continuidad. La mayoría de los parámetros genéricos relacionados con el funcionamiento del MOSFET SOI, se importan directamente del modelo BSIM3v3, garantizando la compatibilidad de parámetros.

Por otro lado, BSIMPD tiene una serie de características y mejoras propias, de las cuales dos de ellas sirven de ayuda en el modelado de los MOS-HEMT:

- Mejoras en la formulación de la tensión umbral
- Autocalentamiento. Se incorpora un nodo externo de temperatura, para modelar el acoplamiento térmico entre dispositivos cercanos.

BSIMPD describe la corriente de drenador del transistor mediante la misma ecuación que en el BSIM3v3. La tensión efectiva de drenador, V_{dseff} , y la tensión efectiva de *overdrive* de puerta, V_{gsteff} , introducidas en el BSIM3v3 por [Cheng 1997], también se utilizan en el BSIMPD para unir las regiones de operación subumbral, lineal y de saturación, en una sola expresión como:

$$I_{\rm DS} = \frac{I_{\rm ds0}}{1 + \frac{R_{\rm DS}I_{\rm ds0}}{V_{\rm dseff}}} \left(1 + \frac{V_{\rm DS} - V_{\rm dseff}}{V_{\rm A}}\right)$$
(4.5)

con

$$I_{\rm ds0} = \frac{\beta V_{\rm gsteff} \left(1 - A_{\rm sustrato} \frac{V_{\rm dseff}}{V_{\rm gsteff} + 2v_{\rm t}} \right) V_{\rm dseff}}{1 + \frac{V_{\rm dseff}}{E_{\rm sat} L_{\rm eff}}}$$
(4.6)

$$\beta = \mu_{\rm eff} C_{\rm ox} \frac{m_{\rm eff}}{L_{\rm eff}}$$
(4.7)

donde $R_{\rm DS}$ es la resistencia serie de fuente/drenador, $\mu_{\rm eff}$ la movilidad efectiva, $E_{\rm sat}$ el campo eléctrico crítico con el que la velocidad de los portadores libres se satura y la tensión $V_{\rm A}$ modela la modulación de la longitud del canal (CLM) y la reducción de la barrera inducida por el drenador (DIBL), como en el BSIM3v3.

Además, el BSIMSOI3.1 permite elegir entre tres tipos de movilidad a campos bajos. La seleccionada para los MOS-HEMT es:

$$\mu_{\rm eff} = \frac{\mu_0}{1 + (U_{\rm a} + U_{\rm c}V_{\rm bseff}) \left(\frac{V_{\rm gsteff} + 2V_{\rm th}}{T_{\rm ox}}\right) + U_{\rm b} \left(\frac{V_{\rm gsteff} + 2V_{\rm th}}{T_{\rm ox}}\right)^2}$$
(4.8)

Con la tensión de saturación de drenador, V_{dsat} , definida como:

$$V_{\rm dsat} = \frac{-b - \sqrt{b^2 - 4ac}}{2a} \tag{4.9}$$

siendo

$$a = A_{\text{bulk}}^2 W_{\text{eff}} v_{\text{sat}} C_{\text{ox}} R_{\text{ds}} + \left(\frac{1}{\lambda} - 1\right) A_{\text{bulk}}$$
(4.10)

$$b = -\left[\left(V_{\text{gsteff}} + 2v_{\text{t}}\right)\left(\frac{2}{\lambda} - 1\right) + A_{\text{bulk}}E_{\text{sat}}L_{\text{eff}} + 3A_{\text{bulk}}\left(V_{\text{gsteff}} + 2v_{\text{t}}\right)W_{\text{eff}}v_{\text{sat}}C_{\text{ox}}R_{\text{ds}}\right]$$
(4.11)

$$c = \left(V_{\text{gsteff}} + 2v_{\text{t}}\right)E_{\text{sat}}L_{\text{eff}} + 2\left(V_{\text{gsteff}} + 2v_{\text{t}}\right)^2 W_{\text{eff}}v_{\text{sat}}C_{\text{ox}}R_{\text{ds}}$$
(4.12)

con

$$\lambda = A_1 V_{\text{gsteff}} + A_2 \tag{4.13}$$

Por otro lado, BSIMSOI3.1 modela el autocalentamiento del transistor mediante un circuito auxiliar $R_{\text{th}}C_{\text{th}}$, como se muestra en la Figura 4.8 [Su 2000]. El nodo de temperatura (nodo *T*) se trata como un nodo de tensión y se conecta a tierra a través de una resistencia térmica, R_{th} , y una capacitancia térmica, C_{th} , que vienen dadas por:

$$R_{\rm th} = \frac{R_{\rm th0}}{W_{\rm eff} + W_{\rm th0}}$$
(4.14)

$$C_{\rm th} = C_{\rm th0} (W_{\rm eff} + W_{\rm th0})$$
 (4.15)

donde R_{th0} y C_{th0} son la resistencia y capacitancia térmicas normalizadas, respectivamente, y W_{th0} es la anchura mínima para el autocalentamiento [Nakayama 2001]. Nótese que en el circuito térmico la fuente de corriente está proporcionando una corriente igual a la potencia disipada en el dispositivo.

$$P = |I_{\rm ds} \times V_{\rm ds}| \tag{4.16}$$

En cada iteración durante la computación del modelo, la temperatura del transistor se fija al valor obtenido en la iteración anterior. Esta aproximación puede inducir a error en la simulación DC, transitoria y AC. Sin embargo, el error es mínimo si el paso de barrido o de tiempo es lo suficientemente pequeño. Por lo tanto, existe un compromiso entre velocidad y precisión en la simulación del autocalentamiento.



Figura 4.8. Circuito equivalente para la simulación del autocalentamiento.

El modelo BSIMSOI3.1 se muestra preciso y rápido para simulaciones de MOS-HEMT en régimen de DC, como se detalla en el Capítulo 6 de esta tesis doctoral. Pero para los regímenes de AC y transitorio es necesario desarrollar un modelo específico para estos transistores. Las expresiones vistas en este capítulo para la corriente de drenador, la tensión umbral y la simulación del autocalentamiento, pueden servir de base para el desarrollo de dicho modelo.

Por tanto, una posible línea de investigación futura a desarrollar consiste en la implementación de un modelo compacto completo para MOS-HEMT que funcione para los distintos regímenes de simulación, es decir, DC, AC y transitorio. En la Figura 4.9 (a) se puede apreciar la comparación entre las curvas características medidas (símbolos) y las modeladas con $V_{\rm DS} = 0,1$ V y en (b) la comparativa para las curvas características de salida.



Figura 4.9. Comparación para I_{DS} vs. V_{GS} (a) e I_{DS} vs. V_{DS} (b), entre los datos medido representados con cuadrados y modelos, representados con línea sólida.

Capítulo 4

Capítulo 5 HEMT de AlGaN/GaN sobre zafiro

En este capítulo se describe el estudio realizado sobre muestras de transistores de alta movilidad de electrones (*High Electron Mobility Transistor*, HEMT). Las muestras fueron proporcionadas por el Instituto de Sistemas Ópticos y Microelectrónica (ISOM) de la Universidad Politécnica de Madrid (UPM).

El procesado tecnológico se había llevado a cabo previamente en el ISOM. Así, se tienen tres tipos de muestras a las que nos referiremos como heteroestructuras A, B y C en esta memoria. En la Figura 5.1 se pueden observar las diferentes muestras proporcionadas por el ISOM.



Figura 5.1. Muestras de HEMT de AlGaN/GaN del ISOM-UPM.

5.1 Descripción de las muestras

Las muestras bajo estudio son HEMT con estructura de capas $Al_xGa_{1-x}N/GaN$ crecidos sobre sustrato de zafiro, cuya estructura de capas materiales se indica a continuación en la Tabla 5.1 para los tres tipos de heteroestructuras mencionados previamente.

Tabla 5.1. Estructura de capas de los transistores del ISOM-UPM					
А	В	С			
$Al_{0.18}GaN_{0.82}-67\ nm$	Al _{0.3} GaN _{0.7} – 19 nm	Al0.28GaN0.72 - 24 nm			
$GaN - 3 \ \mu m$	GaN – 3 µm	GaN – 3,126 µm			
zafiro	zafiro	zafiro			

En todos los casos las capas se crecieron sin dopaje intencional. La dirección de crecimiento es la [0001], según la cual los semiconductores cristalizan en el sistema hexagonal (wurtzita). En la figura 5.2 se muestra una microfotografía donde se presenta un transistor de la muestra y en el círculo un detalle en el que se muestran las dimensiones del transistor.



Figura 5.2. Máscara 1 en forma de T. Transistores ISOM-UPM.

En una primera etapa del trabajo que se presenta en esta tesis doctoral, se consideró la heteroestructura A como base para calibrar los simuladores numéricos, como ya se mostró en el Capítulo 3. Para el presente capítulo el estudio se centra en las heteroetructuras B y C.

En el procesado tecnológico de las muestras estudiadas se empleó una máscara con transistores en forma de T, como muestra la Figura 5.2. En esta máscara L_F representa la separación entre la puerta y la fuente del transistor, L_D la separación entre la puerta y el drenador, L es la longitud de puerta y W su anchura.

 $L_{\rm F}$, $L_{\rm D}$ y W tienen sus valores constantes en todos los transistores e iguales a 4, 10 y 150 µm respectivamente. Para esta máscara se varía la longitud de puerta y se tienen cuatro valores: 2, 4, 8 y 16 µm.

5.2. Metodología de medida para el HEMT de AlGaN/GaN

La caracterización eléctrica de los transistores se realizó tanto en el ISOM como en el IUMA, pero en este apartado se comentarán las medidas y experimentos realizados exclusivamente en el IUMA.

Con esta metodología de medida se busca obtener las magnitudes siguientes: las características de transferencia y de salida, resistencias de acceso (R_{on}), conductancias de salida (g_{DD0}), capacitancias drenador a fuente (C_{DS}), y los parámetros S. Todos ellas se han medido hasta 160 °C ya que el montaje de medida de las muestras incluye la placa calefactora, como ya se vio en el Capítulo 2. Una vez realizadas estas medidas se han extraído tensiones umbrales, la movilidad de electrones y las resistencias térmicas.

En primer lugar, se chequea la muestra en busca de los transistores que funcionen correctamente. En esta fase se descartan los transistores que no conducen. Para ello, se realiza un mapa de la muestra y se asignan números a las filas y letras a las columnas, se localizan los transistores que poseen curvas de transferencia correctas y se clasifican según su longitud de puerta por colores. Además, como puede apreciarse en la Figura 5.3 (a), existen estructuras que se utilizan para el proceso de calibración de los puertos y el



Figura 5.3. Microfotografía de la muestra B (a) y su mapa orientativo (b) para guía durante las medidas, indicando los transistores que funcionan correctamente con el símbolo \checkmark .

de-embedding. Estas estructuras sirven como referencia a la hora de moverse por la muestra; se marcan en el mapa con color azul (Figura 5.3 (b)).

Una vez localizados todos los transistores que funcionan correctamente, se selecciona como referencia un transistor de $L = 2 \mu m$, para después extender el estudio y hacer comparaciones con el resto de transistores de diferentes longitudes de puerta.

5.2.1 Caracterización térmica en DC

Así, primeramente se miden las características de transferencia, donde se varía $V_{\rm GS}$ desde -5 V hasta 0 V, fijando una $V_{\rm DS} = 0,1$ V, régimen lineal, evitando el colapso de corriente debido a los SHE. Las medidas se realizan a diferentes temperaturas de sustrato. En concreto, para la muestra C, se mide desde la temperatura ambiente, 24 °C, hasta 100 °C. Estas curvas características de transferencia para distintas temperaturas se presentan en la Figura 5.4. Con estas medidas es posible realizar la extracción de la tensión umbral, $V_{\rm TH}$, la movilidad a campos bajos, μ_0 , y la dependencia de ambos parámetros con la temperatura.



Figura 5.4. Características de transferencia medidas de la muestra C para $V_{DS} = 0,1$ V, a diferentes temperaturas de sustrato.

• Extracción de la tensión umbral y la movilidad de electrones

A fin de extraer la dependencia con la temperatura de la tensión umbral, se prueban los métodos que se recogen en el Apéndice A al final de esta memoria. Finalmente se ha aplicado el método de extrapolación de la transconductancia en la región lineal (GMLE), ya que ofrece una mejor descripción de la tensión umbral y los resultados obtenidos están más próximos a los datos medidos por el ISOM. La Figura 5.5 muestra la implementación

de este método a partir de las curvas característica de transferencia medidas para la muestra B. Este método propone obtener la tensión umbral hallando la máxima derivada de la característica $g_{\rm m}$ - $V_{\rm GS}$, a continuación trazar la recta tangente en ese punto y a la intercepción con el eje x se corresponde la V_{TH}. Este método se basa en los siguientes argumentos, cuando el dispositivo está polarizado en la región lineal: (1) En inversión débil, la transconductancia depende exponencialmente de la polarización de puerta; (2) para inversión fuerte, si la resistencia serie y la degradación de la movilidad son despreciables, la transconductancia tiende a un valor constante; (3) la transconductancia disminuye ligeramente con la polarización de puerta debido a la resistencia serie y la degradación de la movilidad; (4) en la región de transición entre inversión débil y fuerte, la transconductancia depende linealmente de polarización la de puerta [Ortiz-Conde 2002].



Figura 5.5. Implementación del método GMLE para la extracción de la tensión umbral de un transistor de $L = 2 \mu m$ de la muestra B, a diferentes temperaturas de sustrato.

Para el caso de la Figura 5.5, la aplicación del método GMLE da como resultado unas tensiones umbrales que resultan tener una dependencia lineal con la temperatura. Este desplazamiento de la tensión umbral se ajusta con la expresión (5.1), la cual se incorpora en el modelo compacto.

$$V_{\rm TH} = \left[1 - \beta_{\rm o} (T_{\rm op} - T_{\rm o})\right]$$
(5.1)

La movilidad a campos bajos, μ_0 , se extrae ajustando la expresión conocida para régimen lineal en inversión fuerte:

Capítulo 5

$$\frac{I_{\rm DS}}{g_{\rm m}^{1/2}} = \left(\frac{WC_{\rm G}\mu_0 V_{\rm DS}}{L}\right)^{1/2} (V_{\rm GS} - V_{\rm TH})$$
(5.2)

donde $g_{\rm m}$ representa la transconductancia evaluada con las características de transferencia, W y L son la anchura y la longitud de puerta, respectivamente y $C_{\rm G}$ es la capacitancia de la barrera. Así, el cociente $I_{\rm DS}/g_{\rm m}^{1/2}$ debería ser lineal con $V_{\rm GS}$ cuando el transistor se encuentra en inversión fuerte. Esta dependencia lineal se muestra en la Figura 5.6, para el transistor 6J de $L = 2 \mu m$ de la muestra C, para las diferentes temperaturas de sustrato. Con lo que la movilidad de electrones se extrae de la pendiente de esa dependencia lineal, con $W = 300 \mu m$, $C_{\rm G} = 3,2689$ F/m y $V_{\rm DS} = 0,1$ V.



Figura 5.6. Características $I_{\text{DS}}/g_{\text{m}}^{1/2} vs$. V_{GS} para la extracción de la movilidad a campos bajos a diferentes temperaturas de sustrato; $V_{\text{DS}} = 0,1$ V de la muestra C.



Figura 5.7. Movilidad a campos bajos extraída (con cuadrados) *vs.* temperatura de sustrato. La línea continua indica el ajuste potencial. Transistor 6J de la muestra C.

La dependencia de la movilidad de electrones resultante con la temperatura de sustrato, a campos bajos, se muestra en la Figura 5.7. La línea continua en esa gráfica corresponde al ajuste potencial $\mu_0 = a + T_{sub}^b$, donde $a = 1,11 \times 10^7$ cm²/V-s y b = -1,65 que se incorpora al modelo compacto.

Las características de salida también se obtienen variando la temperatura de sustrato, con V_{DS} hasta 15 V, y se representan en la Figura 5.8 para $V_{GS} = -2$ V, -1 V y 0 V de tensión de polarización de puerta. En este caso se observa el colapso de corriente debido a los SHE para niveles altos de corriente, y que el codo de tensión está por debajo de 4 V, lo que muestra la excelente naturaleza de los contactos óhmicos de fuente y drenador.

• Extracción de la resistencia extrínseca

Con la ayuda de las curvas características de salida, además, se puede extraer la resistencia extrínseca. La Figura 5.9 muestra la curva característica de salida medida en régimen lineal para tensiones bajas de drenador, a diferentes temperaturas de sustrato, donde se ha fijado la tensión puerta a -4 V para evitar la degradación de corriente por los SHE. La resistencia de acceso del transistor para una determinada temperatura de sustrato, $R_{on}(T)$, se calcula como la inversa de la conductancia de salida correspondiente, g_{DD0} .

Por otro lado, *R*_{on} viene dada por la expresión:

$$R_{\rm on} = R_{\rm S} + R_{\rm D} + R_{\rm canal} \tag{5.3}$$



Figura 5.8. Características de salida medidas para $V_{GS} = -2$ V, -1 V, 0 V, a diferentes temperaturas de sustrato: 20 °C, 40 °C, 60 °C y 80 °C del transistor 3C de la muestra B.



Figura 5.9. I_{DS} vs. V_{DS} en régimen lineal a diferentes temperaturas de sustrato; $V_{GS} = -4$ V. Transistor 6J de la Muestra C.

donde R_S es la resistencia extrínseca de fuente, suma de la resistencia de contacto en el terminal de fuente y la resistencia entre el contacto de fuente y el canal 2-DEG, R_D es análogamente la resistencia de drenador y R_{canal} es la resistencia del canal 2-DEG, a lo largo del GaN, bajo la puerta. Como una primera aproximación, si se asume que las resistencias extrínsecas de fuente y drenador son iguales, las resistencias extrínsecas vienen dadas por la expresión (5.4):

$$R_{\rm S} \approx R_{\rm D} = \frac{R_{\rm on} - R_{\rm canal}}{2}$$
(5.4)

Por otro lado, en régimen lineal, con V_{DS} reducida, la resistencia de canal se puede aproximar a

$$R_{\text{canal}} = \frac{L}{q n_{2\text{DEG}} \mu_0 W}$$
(5.5)

donde *q* es la carga absoluta del electrón y n_{2DEG} es la concentración de electrones en el canal, que se ha calculado integrando la concentración de electrones bajo la puerta a partir del perfil de la Figura 5.10, proporcionado por el ISOM, resultando como n_{2DEG} 8,43×10¹² cm⁻², independientemente de la temperatura.

Así, de la expresión (5.5) se obtiene que la resistencia de canal es $R_{\text{canal}} = 5,49 \ \Omega$, a cualquier temperatura de sustrato, y sustituyendo R_{canal} en (5.4) se pueden extraer las resistencias extrínsecas, R_{S} y R_{D} . En la Tabla 5.2 se muestran los valores resultantes para



Figura 5.10. Perfil de la concentración de electrones medido vs. profundidad bajo la puerta. Muestra C.

las conductancias de salida, las resistencias de acceso y la resistencia extrínseca, a diferentes temperaturas de sustrato.

Se puede asumir un ajuste lineal para la dependencia con la temperatura de las resistencias extrínsecas para el modelo compacto, como se muestra en la Figura 5.11.

$T_{ m sub}$ (°C)	$g_{\text{DD0}} (\text{mS})$	$\pmb{R}_{on}\left(\Omega ight)$	$R_{\rm S}, R_{\rm D}(\Omega)$
24	18,93	52,8	23,7
30	10,57	94,6	44,5
40	9,33	107,2	50,7
50	9,08	110,1	52,0
60	13,12	76,2	34,9
70	5,51	181,5	87,3
80	7,07	141,4	67,1
90	7,06	141,6	67,1
100	7,39	135,3	63,7
110	6,66	150,1	71,0
120	6,37	157,0	74,2
130	6,24	160,3	75,7
140	6,15	162,6	76,7
150	5,45	183,5	86,9
160	5,46	183,1	86,7

Tabla 5.2. Conductancias de salida extraídas, resistencias de R_{on} y extrínseca, para diferentes temperaturas de sustrato.



Figura 5.11. R_S extraída (con cuadrados) y ajuste lineal (con línea continua) vs. temperatura de sustrato.

A la hora de comparar algunas de estas medidas de I_{DS} con las correspondientes del ISOM debe advertirse que a diferencia de las medidas realizadas por el ISOM, el IUMA utiliza puntas de medida ACP, por lo que la conducción de corriente ahora se efectúa por los dos contactos de fuente, siendo la anchura efectiva del transistor de $W = 300 \mu m$ y la corriente de drenador medida el doble que la obtenida por los investigadores del ISOM. En general si se comparan medidas de salida en dispositivos una métrica de interés y más homogénea es dar la salida como densidad por anchura de puerta, como A/mm.

Para finalizar este apartado, se estudia la respuesta térmica de los dispositivos la cual se basa en la característica potencia eléctrica-incremento de temperatura ($P-\Delta T_1$). Con este propósito, se aprovechan los resultados medidos para un HEMT de AlGaN/GaN crecido sobre sustrato de zafiro en [Kuzmík 2002], con la misma estructura de capas que la del transistor considerado, vista en la Figura 2.3. La característica $P-\Delta T_1$ se representa en la Figura 5.12, en el eje izquierdo con cuadrados. Entonces, la resistencia térmica del transistor, R_{th} , se extrae como (5.6):

$$R_{\rm th} = \frac{\Delta T_{\rm l}}{P} \tag{5.6}$$

que también se representa en la Figura 5.12, en el eje derecho con triángulos.



Figura 5.12. Característica potencia-incremento de temperatura medida del HEMT (en el eje izdo. con cuadrados) y la dependencia de la resistencia térmica extraída (en el eje dcho. con triángulos).

De estos resultados se extrae que la resistencia térmica normalizada tiene un valor de 18×10^3 K/Wµm para los HEMT de zafiro. Como los transistores bajo estudio tienen un ancho de 150 µm, su resistencia térmica, $R_{\text{th-zafiro}}$, es igual a 120 K/W.

5.2.2 Caracterización térmica en AC

En este apartado se aborda la caracterización térmica en AC. Y el estudio se extiende a otros transistores con diferentes longitudes de puerta.

Para la medida de la dependencia con la temperatura de la resistencia térmica del HEMT, se ha empleado la técnica de conductancia en AC [Rinaldi 2001, Makovejev 2013, Rodríguez 2015], basada en la dependencia de la conductancia de salida



Figura 5.13. Corriente de drenador en DC *vs.* temperatura de sustrato entre 25 °C y 100 °C. Los datos medidos se representan con cuadrados y el ajuste lineal con línea continua; $V_{GS} = 0$ V y $V_{DS} = 12$ V. Transistor 3C de la muestra B.

con la frecuencia a diferentes temperaturas, y con la que la resistencia térmica, R_{th} , se puede extraer como:

$$R_{\rm th} = \frac{g_{\rm DD0} - g_{\rm DDT}}{\frac{\partial I_{\rm DS}}{\partial T_{\rm sub}} \left(V_{\rm GS} \cdot g_{\rm GDT} + V_{\rm DS} \cdot g_{\rm DDT} + I_{\rm DS} \right)}$$
(5.7)

donde g_{DD0} y g_{DDT} son las partes reales del parámetro Y_{22} (conductancia) a baja frecuencia, con los efectos de autocalentamiento dinámicos presentes (DC), y a alta frecuencia, sin los SHEs, respectivamente. La variación de la corriente de drenador con la temperatura, I_{DS} , $\partial I_{DS}/\partial T_{sub}$, se obtiene a partir de las medidas en DC con la placa calefactora (Figura 5.13); de aquí se puede asumir una dependencia lineal con la temperatura de la corriente de drenador en DC, con $\partial I_{DS}/\partial T_{sub} = 0,125$ mA/K. El método aplicado para la extracción de la resistencia térmica implica obtener todas las variables de la expresión (5.7) en régimen de saturación. Para ello, en los HEMT de AlGaN/GaN bajo estudio, la tensión de drenador y de puerta se eligen 12 V y 0 V, respectivamente, para así poder llevar al transistor a régimen de saturación. Las Figuras 5.14 (a) y (b) muestran las dependencias de la conductancia de salida y la capacitancia de salida con la frecuencia, respectivamente, con la temperatura de sustrato en el rango de 25 °C hasta 100 °C del transistor 3C de la



Figura 5.14. Respuesta en frecuencia g_{DDT} (a) y capacitancia C_{DS} (b) *vs.* frecuencia de operación medidas entre 25 °C y 100 °C. $V_{GS} = 0$ V y $V_{DS} = 12$ V. Transistor 3C de la muestra B.

muestra B. De la Figura 5.14 (a) se extrae la g_{DDT} a una frecuencia en que la conductancia de salida es constante entre 1 y 2 MHz, que indica la supresión de los SHE.

Finalmente, la conductancia de salida en DC, para el punto de polarización, $V_{DS} = 12 \text{ V y } V_{GS} = 0 \text{ V}$, se extrae también a partir de las curvas características de salida a las diferentes temperaturas consideradas. Con lo que la resistencia térmica del dispositivo ya se puede obtener mediante la expresión (5.7). La Figura 5.15 muestra la resistencia térmica resultante con la temperatura de sustrato: se puede asumir la dependencia lineal (5.8) con R_{tho} y α_{0} que toman los valores 231 K/W y 3,3×10⁻³ K⁻¹ respectivamente.

$$R_{\rm th} = R_{\rm tho} [1 + \alpha_0 (T_1 - T_0)]$$
(5.8)

Se observa que la dependencia con la temperatura determinada a través de α_0 es similar a la que se usó en primer lugar en nuestro estudio. Sin embargo, la resistencia térmica a 300 K, *R*_{tho}, resulta alrededor de tres veces superior a la considerada entonces.



Figura 5.15. Dependencia de la resistencia térmica con la temperatura medida, con cuadrados, y su ajuste lineal, con línea continua. Transistor 3C de la muestra B.

5.2.3 Caracterización con pulsos

En la caracterización con pulsos se emplea el montaje de medida explicado en el Capítulo 2, en el apartado de medidas pulsadas de esta memoria. Al igual que en el caso de la caracterización en RF, intentar aplicar una pequeña señal o pulsos al terminal de puerta da como resultado medidas que no son válidas para realizar una caracterización de los dispositivos. De hecho, en el caso de aplicar una señal pulsada, del orden de microsegundos, en el terminal de puerta no se mide ninguna corriente de drenador.

La Figura 5.16 muestra la curva característica de salida, con $V_{GS} = 0$ V y $T_{sub} = 25$ °C, medida con pulsos, representada con cuadros, y medida en DC, representada con línea continua, para el transistor 3C de la muestra B. Para obtener la medida pulsada se fijaron unos tiempos de subida y bajada de 8 ns, que es el mínimo que permite el B1500A, un ancho de 5 μ s y un ciclo de trabajo de 0,02 %. Con estos valores para la medida pulsada se puede apreciar cómo el colapso de corriente prácticamente desaparece en régimen de saturación, siendo la corriente pulsada más de un 25 % mayor que la corriente en DC. Con estas medidas queda demostrado que los HEMT de AlGaN/GaN sobre zafiro sufren una degradación considerable con la temperatura.



Figura 5.16. Curvas características de salida con $V_{GS} = 0$ V y temperatura de sustrato 25 °C medidas con pulsos (cuadros) y en DC (línea continua). Transistor 3C de la muestra B.

5.2.4 Degradación de la corriente en régimen continuo

Para realizar la caracterización en régimen transitorio de los transistores bajo estudio, se emplea el montaje explicado en el Capítulo 2. En este caso se fija la polarización con $V_{GS} = 0 \text{ V y } V_{DS} = 6 \text{ V}$, que lleva al transistor a saturación. Se comprueba que la corriente de drenador en estos HEMT se mantiene prácticamente constante, como muestra la Figura 5.17.

Además, como parte del estudio de la degradación de los HEMT de AlGaN/GaN, se estudia el desplazamiento de la tensión umbral antes y después de mantener la polarización.



Figura 5.17. Respuesta transitoria de la corriente de drenador, con $V_{GS} = 0$ V, $V_{DS} = 6$ V y temperatura de sustrato 25 °C. Transistor 6F de la muestra C.

La Figura 5.18 muestra las curvas características de transferencia en régimen lineal antes de mantener la polarización, representada con cuadros, y después, representada con círculos. En esta figura se observa cómo en la curva característica de transferencia, después de mantener la polarización, la tensión umbral se ha reducido en torno a 0,2 V. Y además la corriente de drenador llega a aumentar hasta un 20 % con respecto la curva característica de transferencia antes de mantener la polarización. Un aumento tan significativo de la corriente de drenador no se puede atribuir a un desplazamiento de la tensión umbral de esa magnitud. Una posible causa podría ser que las trampas presentaes



Figura 5.18. Curvas características de transferencia con $V_{DS} = 0,1$ V y temperatura de sustrato 24 °C medidas antes de mantener la polarización, con círculos, y después de mantener la polarización, con cuadrados, durante una hora. Transistor 6F de la muestra C.

en el dispositivo estén emitiendo los electrones capturados durante el tiempo que se mantuvo la polarización, lo que llevaría a otra línea de investigación futura a considerar.

5.3 Metodología para simular numéricamente el HEMT de AlGaN/GaN

Para reproducir correctamente la respuesta electro-térmica en DC simulada de los transistores bajo estudio, es necesario seguir un proceso que permita introducir toda la física presente en estos en el simulador numérico.

5.3.1 Perfil de concentración de e⁻

Para realizar la simulación numérica de la respuesta en DC de los HEMT, se establece primeramente el perfil de electrones a través de las heterouniones. En este punto se debe tener en cuenta las polarizaciones espontáneas y piezoeléctricas [Ambacher 2000], y se ajustan las características *C-V* medidas. Tanto las características *C-V* medidas como el perfil de electrones que se extrae de éstas, se han tomado de las medidas realizadas en el ISOM como se explicó en el Capítulo 2 de esta memoria. En la Figura 5.19 se presentan los datos medidos para la muestra B con cuadrados y con línea sólida el ajuste donde se ha incorporado las concentraciones de dopaje tipo-N de 10^{18} cm⁻³ y 10^{14} cm⁻³ en las capas de la barrera y el buffer, respectivamente. Asimismo, se considera que la función de trabajo es de 5,7 eV para la puerta Schottky.



Figura 5.19. Características C-V de la muestra B. Los datos medidos y simulados se representan con cuadrados y líneas sólidas, respectivamente.

La respuesta en DC del transistor se ve afectada por diferentes efectos de trampas, dislocaciones o la presencia de estados superficiales. Entre estos efectos los más relevantes son los localizadas en la superficie libre del AlGaN [Tirado 2007]. Así pues, asumiendo un 86% de la carga de polarización ideal en la superficie libre del AlGaN, y la carga total de polarización en la heterounión AlGaN/GaN, se obtiene un perfil de la concentración de electrones adecuado en el buffer, debajo de la puerta, representado en la Figura 5.20. El perfil simulado de la concentración de electrones resultante, se integra numéricamente desde la intercara AlGaN/GaN, donde se forma el 2-DEG, hasta una profundidad de 300 nm en el buffer de GaN, donde la concentración de electrones ha disminuido 5 órdenes de magnitud con respecto al 2-DEG. Después de integrar predice una concentración en el 2-DEG de 10¹³ cm⁻². Ésta es ligeramente inferior a la que se obtuvo de las medidas. En cualquier caso es lo suficientemente alto para los propósitos de la simulación numérica [Vitanov 2010]. La desviación de la concentración de electrones que se observa en la profundidad del buffer, Figura 5.20, se puede atribuir a las capas intermedias de AlN y/o a trampas no incorporadas en esta tesis doctoral, como [Tirado 2007], que tienen un impacto pequeño o incluso despreciable en las características en DC. La cuantificación total de todas estas contribuciones es todavía un problema abierto en la literatura [Vetury 2000, Vetury 2001, Van de Walle 1998, Wetzel 1997].

Con estos resultados de simulación ajustados se pueden empezar a estudiar las características simuladas en DC de los HEMT de AlGaN/GaN.



Figura 5.20. Perfil de electrones frente a la profundidad desde la superficie superior del AlGaN para la muestra B. Los datos medidos y simulados se representan con cuadrados y líneas sólidas, respectivamente.

5.3.2 Respuesta en régimen lineal

En los HEMT de AlGaN/GaN estudiados la longitud de puerta mínima, $L = 2 \mu m$, es lo suficientemente larga para usar un esquema de arrastre-difusión [González 2004]. Por lo tanto, se pueden ajustar numéricamente las características de transferencia medidas, en régimen lineal, considerando el modelo de movilidad de electrones a campos bajos (5.9) que es dependiente con la temperatura como:

$$\mu_0 = \mu_{\max} \left(\frac{T_1}{300}\right)^{-\alpha}$$
(5.9)

donde T_1 representa la temperatura de red y μ_{max} la movilidad de electrones a campos bajos a temperatura ambiente, $T_1 = 300$ K; α modela la degradación de μ_0 con la temperatura de red.

El parámetro α es el utilizado en el simulador Atlas por defecto [Manual Atlas], dependiente de la composición material, que como en el caso de la muestra B es Al_{0,3}Ga_{0,7}N; los valores para μ_{max} publicados en [Tirado 2007], donde los HEMT bajo estudio también fueron investigados, son consistentes con la naturaleza de la barrera y el canal 2-DEG. Estos valores se han incorporado a las simulaciones numéricas suponiendo que el 86% [Rodríguez 2015] de la polarización ideal de carga en la superficie libre del AlGaN, como se indicó anteriormente. La Figura 5.21 presenta este ajuste de la característica de transferencia mostrando con cuadrados los resultados de la medida y con línea el resultado de la simulación. En esta fase no se han considerado los efectos de



Figura 5.21. Características de transferencia de la muestra B, en régimen lineal con $V_{DS} = 0,1$ V. Los datos medidos y simulados se representan con cuadrados y líneas sólidas, respectivamente.

autocalentamiento debido a que la medida se realiza en régimen lineal con una tensión de drenador baja, $V_{DS} = 0,1$ V, por lo que la influencia del autocalentamiento es despreciable. Los peores resultados del ajuste se encuentran en régimen subumbral, que queda fuera del objeto del estudio realizado. En la Figura 5.21, se observa además, que tanto la tensión umbral como la movilidad a campos bajos se encuentran ajustadas. Y se obtiene para esta curva característica un error relativo máximo, en promedio, del 4,5%.

5.3.3 Respuesta en régimen de saturación

Para la respuesta en régimen de saturación se ajustan las características de salida del transistor. Ahora debemos tener en cuenta un modelo para saturación que considere la degradación de la velocidad de saturación con la temperatura. Tras estudiar la literatura, se ha decidido utilizar el modelo de movilidad dependiente del campo eléctrico específico para nitruros (5.10) [Manual Atlas, Farahmand 2001], con una movilidad diferencial negativa apropiada debida a la transferencia de e⁻ entre bandas energéticas, a altos campos eléctricos [Barker 2005]

$$\mu = \frac{\mu_0 + v_{\text{sat}} \frac{\varepsilon^{n_1 - 1}}{\varepsilon_c}}{1 + \xi \left(\frac{\varepsilon}{\varepsilon_c}\right)^{n_2} + \left(\frac{\varepsilon}{\varepsilon_c}\right)^{n_1}}$$
(5.10)

donde ε representa el campo eléctrico longitudinal y ε_c su valor crítico [Cheng 2010], que está cercano al campo eléctrico del pico de la velocidad después del procedimiento de ajuste [Schwierz 2005], v_{sat} es la velocidad de saturación, n_1 , n_2 y ξ son parámetros extraídos de datos de Monte Carlo en [Farahmand 2001], y μ_0 , en (5.9), representa la movilidad a campos bajos. Una vez considerados ambos modelos, a campos bajos y altos, se incluyen en el simulador, y se da paso al estudio de las características de salida.

En un primer intento de ajustar las curvas características de salida, se decide fijar la tensión de puerta a fuente, V_{GS} , a un valor pequeño, $V_{GS} = -2$ V, para que la corriente de drenador no sea muy elevada evitando así los efectos de autocalentamiento. De esta manera se puede ajustar la velocidad de saturación en el GaN independientemente de la temperatura. En la Figura 5.22 se muestra los resultados de la corriente de drenador frente a la tensión de drenador donde se ha fijado $V_{GS} = -2$ V. En la figura se comparan las medidas (cuadrados) con los resultados de la simulación sin SHE (con línea a trazos). Una vez ajustada la velocidad de saturación se incluyen los efectos de autocalentamiento,



Figura 5.22. Características de salida de la muestra B a temperatura ambiente con $V_{GS} = -2$ V.

activando en el simulador la ecuación del calor e incluyendo al menos un contacto térmico y se procede a estudiar el comportamiento térmico del dispositivo. Los resultados correspondientes a la curva característica de salida con

 $V_{GS} = -2$ V, se muestran en la Figura 5.22 con línea continua. Se puede observar que los SHE, aunque mínimos a estos valores de corriente, influyen en el funcionamiento del dispositivo ocasionando una reducción de la corriente de drenador en régimen de saturación.

Todos los parámetros de movilidad, para la barrera de $Al_{0,3}Ga_{0,7}N$ y el buffer de GaN están resumidos en la Tabla 5.3.

Así, en el dispositivo estudiado, como refleja el estado del arte, el autocalentamiento afectará significativamente al funcionamiento del dispositivo en condiciones de alta potencia. En los HEMT la mayoría del calor se propaga desde el canal hacia el sustrato [Sadi 2006, Turin 2006]. Así, para tenerlo en cuenta en las simulaciones numéricas, el

	GaN	Al _{0,3} Ga _{0,7} N
$\mu_{\rm max} ({\rm cm^2/V \ s})$	950	100
α	1,5	1,5
$v_{\rm sat} (10^7 {\rm cm/s} {\rm K})$	1,19	1,12
\mathcal{E}_{c} (kV/cm)	221	365
n_1	7,20	5,35
n_2	0,79	1,04
ξ	6,20	3,23

Tabla 5.3. Parámetros de movilidad para el buffer de GaN y la barrera de Al_{0,3}Ga_{0,7}N. Muestra B.

sustrato y prácticamente todo el buffer de GaN, excepto una región necesaria para establecer el canal 2-DEG, se puede sustituir por una resistencia térmica equivalente, R_{th} , como se muestra en la Figura 5.23, en el fondo de la estructura simulada.



Figura 5.23. Resistencia térmica equivalente, R_{th}, en el fondo de la estructura simulada.

La Figura 5.24 muestra las curvas I_{DS} vs. V_{DS} simuladas de salida resultantes, con líneas sólidas, a las tensiones de puerta consideradas. El error relativo máximo obtenido es del 5,6 % con respecto a los datos medidos, con $V_{GS} = 0$ V. En promedio, el error total relativo es del 2,4 %.

Pero además de la respuesta eléctrica se debe reproducir también la respuesta térmica del HEMT, algo que en un principio no ocurre y por tanto se decide desarrollar una metodología de ajuste numérico de la respuesta electro-térmica. Así se consigue una nueva caracterización en DC a diferentes temperaturas, que permite reajustar las simulaciones numéricas y el modelo compacto, mejorando la precisión de ambos.



Figura 5.24. Características de salida de la muestra B. Los datos medidos y simulados se representan con cuadrados y líneas sólidas, respectivamente.

También se consigue incluir las diferentes dependencias que existen con respecto a la temperatura de trabajo de parámetros tales como la tensión umbral, la movilidad a campos bajos y la velocidad de saturación, entre otros. La metodología que ajusta los parámetros eléctricos y térmicos para obtener una mayor precisión, se explica a continuación.

Metodología de ajuste numérico de la respuesta electro-térmica

Para predecir numéricamente el funcionamiento en DC del transistor, se han de fijar en primer lugar los parámetros físicos de los semiconductores sin autocalentamiento. Esto se realiza ajustando la corriente de drenador simulada a temperaturas de red uniformes, (sin incluir la ecuación del calor) [Rodríguez 2015], con las resultantes curvas características de salida del transistor, las cuales se pueden ver en la Figura 5.25 con cuadrados y líneas, respectivamente.



Figura 5.25. Característica I_{DS} vs. T con $V_{GS} = -2$ V, -1 V, 0 V. Transistor 3C de la muestra B.

Después de fijar los parámetros físicos, $\mu_0 = 1000 \text{ cm}^2/\text{V-s}$, $V_{\text{TH}} = 3,87 \text{ V} \text{ y}$ $v_{\text{sat}} = 1 \times 10^7 \text{ cm/s}$, se simula numéricamente el dispositivo a temperatura ambiente, incluyendo la ecuación del calor. Con lo que ahora las curvas características $I_{\text{DS}}-T$ simuladas reflejan el autocalentamiento interno del transistor, pero todavía faltan por ajustar la resistencia térmica y el exponente de la degradación de la movilidad a campos bajos, α , en la ecuación (5.9). Para ello se estudian las diferentes maneras de configurar la resistencia térmica del dispositivo, con las condiciones de contorno adecuadas. En un principio se supuso que todo el calor se disipaba a través del sustrato, como refleja la Figura 5.26 (a), pero esta configuración no reproducía correctamente la respuesta electrotérmica del transistor. Así, se procedió a colocar resistencias térmicas en cada uno de los



Figura 5.26. Distintas configuraciones de la distribución de la resistencia térmica en el HEMT. En el caso (a) se supone toda en el sustrato, en el (b) se distribuye entre el sustrato y los tres terminales y en el (c) se distribuye entre sustrato y contacto de puerta.

terminales del dispositivo simulado, como se muestra en la Figura 5.26 (b), suponiendo que la cercanía al foco de calor, el canal 2-DEG, de los terminales provocaría que parte del calor se disipará a través de las metalizaciones de estos. Se realizaron varias simulaciones variando el valor de las resistencias térmicas de los terminales, pero la única resistencia térmica que afectaba a la simulación numérica era la asociada al terminal de puerta, ya que tanto el terminal de drenador como el de fuente quedan lejos del foco de calor. Por tanto, se fijó la configuración de la Figura 5.26 (c) cuyos resultados obtenidos coinciden con los descritos en [Turin 2006], donde al poner los contactos térmicos en el



Figura 5.27. Característica I_{DS} vs. $T \operatorname{con} V_{GS} = -2 V, -1 V, 0 V.$

Capítulo 5



Figura 5.28. En la figura se muestran los datos medidos (con cuadrados) y simulados (con líneas) de (a) las características T-P y (b) las características de salida, en el eje izquierdo, y la temperatura correspondiente en el canal, eje derecho, del transistor 3C de la muestra B.

terminal de puerta y en el fondo de la estructura, se obtienen valores de 1.515 K/W y 529 K/W, respectivamente, reproduciendo la respuesta electro- térmica correctamente. Además, se reajusta el parámetro $\alpha = 1,7$, lo que hace que la corriente de drenador tenga una mayor dependencia con la temperatura de red. La Figura 5.27 muestra la comparativa entre las curvas características $I_{DS}-T$ medidas (con cuadrados), simuladas sin autocalentamiento (con líneas a trazos) y simuladas con autocalentamiento (con líneas continuas). Con este resultado se pueden considerar bien ajustados los parámetros: μ_0 , V_{TH} , v_{sat} , R_{th} y α . Para comprobar la bondad del ajuste entre los datos medidos y simulados, se obtienen las características T-P, donde T representa la temperatura a la que está el dispositivo, y las de salida indicadas en las Figuras 5.28 (a) y (b), respectivamente.

5.3.4 Resistencias extrínsecas

Las simulaciones numéricas permiten extraer las resistencias extrínsecas de fuente y drenador, R_S y R_D , para ser utilizadas posteriormente en el modelo compacto. Aplicando la ley de Ohm, como muestra la Figura 5.29, sobre la estructura simulada, se obtienen sus valores.

Para ello, se hace uso de una utilidad de Atlas denominada PROBE, que permite extraer parámetros internos distribuidos y almacenarlos en un archivo *log*. Los archivos *log*, o de registro, almacenan además las características del terminal calculadas por Atlas. En simulaciones DC éstas son las corrientes y tensiones para cada electrodo del dispositivo. El valor en una localización específica o el mínimo, máximo, o el valor



Figura 5.29. Estructura HEMT simulada en Atlas, usada para extraer R_D y R_S .

integrado dentro de cierta área del dispositivo se almacenará en el archivo *log* para cada polarización. En el caso bajo estudio interesa saber las tensiones en los terminales de fuente, drenador y los extremos del canal, es decir V_D , V_S , V_{D_canal} y V_{S_canal} , además de la corriente total que circula de fuente a drenador, I_{DS} , para poder calcular R_S y R_D como:

$$R_{\rm D} = \frac{V_{\rm D} - V_{\rm D_canal}}{I_{\rm DS}}$$
(5.10)

$$R_{\rm S} = \frac{V_{\rm S_canal} - V_{\rm S}}{I_{\rm DS}}$$
(5.11)

Los valores de estas resistencias se registran en función del incremento de la temperatura interna, que aumenta a medida que lo hace la tensión V_{DS} , ya que la potencia



Figura 5.30. Resistencia extrínseca de fuente (eje de la izquierda) y drenador (eje de la derecha), extraídas con Atlas.

disipada es mayor. La Figura 5.30. muestra el valor de resistencias extrínsecas en función del incremento de la temperatura interna.

5.4 Modelo compacto

En el modelado de las muestras de HEMT de AlGaN/GaN se ha empleado el modelo compacto explicado en el capítulo 4, en el que se han ido incorporando efectos no contemplados originalmente, tales como: la dependencia con la temperatura de la movilidad, la velocidad de saturación, las resistencias óhmicas extrínsecas de fuente y drenador, entre otros. En este apartado se describe la incorporación de estos efectos en el modelo.

Comenzamos con predecir el colapso de corriente en régimen de saturación. A la velocidad de saturación modelada, v_{sat}^{m} , que modula la tensión de drenador de saturación como $V_{sat}=v_{sat}^{m}V_{go}/(v_{sat}^{m}+(\mu_{0}/2L)V_{go})$ (ver [Yigletu 2013] para más detalles), se le incorpora la degradación lineal típica de la temperatura interna [Manual Atlas] como sigue:

$$v_{\text{sat}}^{\text{m}} = v_{\text{sat,o}} - v_{\text{sat,d}}(T_{\text{l}}/300)$$
 (5.12)

donde $v_{sat,0}$ y $v_{sat,d}$ son parámetros de ajuste de valores $1,19 \times 10^5$ cm/s y $4,3 \times 10^4$ cm/s, respectivamente. En este caso $v_{sat,d}$ tiene en cuenta la influencia del MESFET parásito que aparece en el dispositivo para $V_{GS} = 0$ V, que reduce el colapso de corriente en régimen de saturación.

La temperatura se modela de forma iterativa mediante la siguiente expresión $\langle T_1 \rangle_{i+1} = 300 + R_{th} \cdot I_{DS}(\langle T_1 \rangle_i) \cdot V_{DS}$ (*i* = 1, 2, 3, ...), donde R_{th} es la resistencia térmica del HEMT. Para cada iteración la nueva temperatura se calcula con la (ec. 4.3.2), donde I_{DS} se ha obtenido con la temperatura de la iteración anterior. Este proceso se repite hasta que se alcanza la convergencia con los siguientes parámetros, dependientes de la temperatura: la movilidad (ec. 5.9), velocidad de saturación (ec. 5.10) y las dependencias con la temperatura de la carga de inversión (ec. 4.3.1) a través de la tensión térmica.

Las resistencias óhmicas extrínsecas de fuente y drenador, R_S y R_D , son decisivas para la evaluación de la corriente en DC de los HEMT. Si la temperatura del dispositivo aumenta se degrada la movilidad de electrones en el canal [Kuzmik 2014] y se espera un incremento proporcional de la resistencia del canal, relacionado con las resistencias de fuente y drenador. Así, la caída de tensión en R_S y R_D modifica los potenciales de fuentepuerta y puerta-drenador, respectivamente, de tal manera que el camino conductivo para los electrones se estrangula. En consecuencia, la corriente de saturación se reduce.



Figura 5.31. $R_{\rm S}$ (eje de la izda.) y $R_{\rm D}$ (eje de la dcha.) vs. $\Delta T_{\rm I}$ para el sustrato de zafiro. Los datos numéricos se representan con cuadrados y los datos modelados con líneas, respectivamente.

La dependencia con la temperatura de las resistencias óhmicas de fuente y drenador en los HEMT crecidos sobre zafiro se representa en la Figura 5.31, representando con cuadrados los datos simulados. El ajuste de esta dependencia se realiza con un polinomio de segundo grado: $R_{S,D} \approx a + b < \Delta T_i > + c < \Delta T_i >^2$, representado con líneas continuas en la Figura 5.31, donde $<\Delta T_i$ > es el incremento de la temperatura media en el canal para el modelo compacto. Los parámetros de ajuste *a*, *b* y *c* se muestran en la Tabla 5.4.

Al introducir la dependencia con la temperatura de las resistencias óhmicas de fuente y drenador en el modelo compacto, la tensión intrínseca de drenador se reduce en $I_{DS}(R_S + R_D)$, y la tensión intrínseca de puerta se incrementa en $I_{DS}R_S$.

Las características de transferencia así modeladas se representan en la Figura 5.32 con líneas a trazos. En este caso el error relativo máximo respecto a los valores medidos es 9,8 %, para $V_{\text{DS}} = 0,1$ V.

	Rs	RD
$a\left(\Omega ight)$	8,1	56,4
<i>b</i> (Ω/K)	0,03	0,13
$c (\Omega/\mathrm{K}^2)$	_	1,4×10 ⁻⁴

Tabla 5.4. Parámetros de ajuste para R_S y R_D para HEMTs de zafiro

Análogamente se obtienen las características de salida modeladas que se muestran en la Figura 5.33 con líneas a trazos. El error relativo máximo que se obtiene es 5,3 % para $V_{GS} = 0$ V, con respecto a las medidas. El error relativo para todas las tensiones de puerta estudiadas es del 3,7 %.



Figura 5.32. Características de transferencia en régimen lineal, $V_{DS} = 0,1$ V, a temperatura ambiente para datos medidos (cuadrados), simulados (línea continua) y modelados (línea a trazos).

Además en el modelado compacto se han introducido los parámetros cuya respuesta térmica se ha obtenido: V_{TH} , R_{th} , v_{sat} , μ , R_{S} y R_{D} .



Figura 5.33. Características de salida para diferentes $V_{GS} = -2$ V, -1 V, 0 V a temperatura ambiente para datos medidos (cuadrados), simulados (línea continua) y modelados (línea a trazos). Transistor 3C de la muestra B.
Atendiendo a la dependencia lineal con la temperatura de R_{th} , para una temperatura de operación arbitraria y, T_{op} , sustituyendo de (5.8) en (5.6) se puede escribir como,

$$T_1 = \frac{P \cdot R_{\text{tho,op}}}{1 - \alpha_{\text{op}} \cdot R_{\text{tho,op}}} + T_0$$
(5.13)

con

$$\alpha_{\rm op} = \alpha_{\rm o} \cdot R_{\rm tho} / R_{\rm tho,op}$$
(5.14)

$$R_{\rm op} = R_{\rm tho} \left[1 + \alpha_{\rm o} \left(T_{\rm op} - T_{\rm o} \right) \right]$$
(5.15)

Como resultado de este estudio, se muestra en las Figuras 5.34 la comparación de (a) las características de salida y (b) las características T_1-V_{DS} , con $V_{GS} = 0$ V, a diferentes temperaturas de operación entre los datos medidos, simulados y modelados, representados en ambas gráficas con símbolos, líneas a trazos y líneas continuas, respectivamente.

Las condiciones de contorno para las simulaciones se han fijado a partir de las medidas realizadas, fijadas apropiadamente para las simulaciones numéricas. El modelo compacto presentado en [Yigletu 2013] ha sido completado donde se tienen en cuenta las dependencias con la temperatura de la $R_{\rm th}$, la $V_{\rm TH}$ y las resistencias óhmicas de fuente/drenador.



Figura 5.34. En la figura de la izquierda (a) se representan las características de salida y en la de la derecha (b) las características $T-V_{DS}$.

Para la muestra C se emplea el mismo modelo que el utilizado para la muestra B [Yigletu 2013]. En este caso, se hace uso de los parámetros de movilidad a campos bajos y altos, velocidad de saturación, resistencias extrínsecas y resistencia térmica que se han extraído de las simulaciones numéricas.

Sin embargo, después de realizar todos los ajustes necesarios, el modelo compacto no reproduce con precisión las características en DC a tensiones de puerta altas. Las posibles causas por las que el modelo no estima correctamente las características en DC son las siguientes:

- La no inclusión de un segundo nivel energético en la aproximación triangular del pozo cuántico en la intercara AlGaN/GaN, donde se produce el 2-DEG, que ha sido despreciado hasta ahora.
- La no incorporación en el modelo de una corriente parásita adicional, debida a un efecto MESFET parásito, en la barrera de AlGaN.

Después de implementar la primera solución en el modelo compacto, incluyendo este segundo nivel de energía, no se observa una mejora. Todos los autores consultados coinciden en despreciar este segundo nivel de energía [Khandelwal 2011, Khandelwal 2012].

Para la segunda alternativa, se ha introducido una segunda corriente de drenador en el modelo compacto, I_{DS} _AlGaN, como se representa en la Figura 5.35, correspondiente a la del MESFET parásito que viene dada por: $I_{DS} = I_{Dsat}(1 + \lambda V_{DS}) \times tanh(V_{DS}/V_{SS})$.

Ajustando la corriente en la barrera de AlGaN con $I_{\text{Dsat}} = \beta_0 \times (V_{\text{GS}} - V_{\text{TH}})^2$ y $\lambda = 2 \times 10^{-4}$, se obtiene una mejora de la corriente en la reproducción de las características



Figura 5.35. Esquemático del modelo compacto, incluyendo la corriente MESFET parásita en la barrera de AlGaN.



Figura 5.36. Características de (a) transferencia en régimen lineal, $V_{DS} = 0,1$ V, y de (b) salida medidas (con cuadrados) y modeladas (con líneas continuas) con efecto MESFET parásito a diferentes temperaturas de sustrato.

en DC. La Figura 5.36 muestra las curvas características de transferencia (a) y de salida (b) resultantes, medidas representadas con cuadrados y modeladas con líneas, a diferentes temperaturas de sustrato. Tras el ajuste el modelo muestra un error relativo máximo en promedio de 11,9 % para $T_{sub} = 70$ °C. La modificación de la expresión para la tensión de saturación, V_{sat} , en el modelo mejoraría aún más el ajuste, que queda como una posible línea futura de trabajo.

5.5 Mitigación de los SHE variando el material de sustrato

Queda así pues validado el modelo de las características en DC de los HEMT de zafiro. Como ya se mostró en el Capítulo 1, el zafiro no es el único sustrato que se emplea en los HEMT de GaN. En este apartado, mediante el simulador Atlas, se estudia el impacto de los SHE cuando se varía el material de sustrato. Para ello se supone que los efectos parásitos dependientes de la tecnología, tales como densidad de trampas, dislocaciones o estados superficiales, contribuyen de forma similar a la de los HEMT de GaN sobre zafiro medidos, manteniéndose entonces constantes la concentración 2-DEG, la tensión umbral y la movilidad electrónica, dependiente de la temperatura, en el canal y la barrera.

En nuestro caso esto supone el uso de capas similares de pasivación sobre la barrera y similar *layout* de los terminales.

Normalmente las resistencias térmicas de los dispositivos se modelan según dos estrategias diferentes: mediante un circuito térmico equivalente [Khandelwal 2012,

Lee 2004], o un simple ajuste paramétrico para reproducir los SHE [Yigletu 2013]. A continuación se propone una nueva metodología simple, para estimar la resistencia térmica de los diferentes sustratos y su contribución a la resistencia térmica global.

Se sabe qué si en un HEMT de zafiro éste se sustituye por silicio, con idéntico espesor, la resistencia térmica del dispositivo, $R_{\text{th-zafiro}} = 120$ K/W, se reduce una cuarta parte [Kuzmik 2002] dando como resultado $R_{\text{th-Si}} = 30$ K/W.

Teniendo en cuenta la contribución particular de las capas del buffer y el sustrato, $R_{\text{th-zafiro}}$ y $R_{\text{th-Si}}$ se pueden expresar como

$$R_{\text{th-zafiro}} \approx R_{\text{GaN}} + R_{\text{zafiro}}$$

$$R_{\text{th-Si}} \approx R_{\text{GaN}} + R_{\text{Si}}$$
(5.16)
(5.17)

donde R_{GaN} , R_{zafiro} y R_{Si} son las resistencias térmicas constitutivas del buffer de GaN, el sustrato de zafiro y el de Si, respectivamente.

Resolviendo (5.16) y (5.17), con la aproximación $R_{zafiro} \approx k_{Si-300}R_{Si}/k_{zafiro-300}$, siendo $k_{zafiro-300}$ y k_{Si-300} las conductividades térmicas del zafiro y el Si a temperatura ambiente (0,24 W/cmK y 1,48 W/cmK, respectivamente), que se supone la del sustrato, se obtiene

$$R_{\rm Si} \approx \frac{(R_{\rm th-zafiro} - R_{\rm th-Si})k_{zafiro-300}}{k_{\rm Si-300} - k_{zafiro-300}} = 17,4 \text{ K/W},$$
(5.18)

 $R_{\text{zafiro}} \approx R_{\text{Si}} K_{\text{Si}-300} / k_{\text{zafiro}-300} = 107,4 \text{ K/W}, \text{ y } R_{\text{GaN}} \approx 30 - R_{\text{Si}} = 12,6 \text{ K/W}.$

Si se considera un sustrato de molibdeno, Mo, con resistencia térmica aproximada igual a $R_{Mo} \approx R_{Si}k_{Si-300}/k_{Mo-300} \approx 18,7$ K/W, donde k_{Mo-300} es la conductividad térmica del Mo a temperatura ambiente, (1,38 W/cmK), la resistencia térmica del dispositivo resulta ser $R_{th-Mo} \approx 31,3$ K/W, que es próxima a R_{th-Si} . Por lo tanto, se espera una degradación similar por los SHE en los sustratos de Si y Mo, en ambos casos mucho menor que para el sustrato de zafiro.

Análogamente a los casos anteriores, con un sustrato de carburo de silicio, SiC, se obtendría que la resistencia térmica del dispositivo es $R_{\text{th-SiC}} \approx 20$ K/W, (con una conductividad térmica a temperatura ambiente, $k_{\text{SiC-300}}$, de 3,5 W/cmK) [Mion 2006].

Mediante el empleo de la resistencia térmica correspondiente, obtenemos las características de salida numéricas de la Figura 5.37 para los sustratos de zafiro (con cuadrados), SiC (con triángulos) y Si o Mo (éstas se solapan, con círculos), con una



Figura 5.37. Características de salida (eje de la izquierda) y $\langle \Delta T_i \rangle$ (eje de la derecha) *vs.* tensión de puerta para los sustratos de zafiro, SiC y Si o Mo (los datos de Si y Mo están totalmente superpuestos). Los datos numéricos se representan con cuadrados, triángulos y círculos, y los datos modelados con líneas continuas, a trazos y a puntos, respectivamente; $V_{GS} = 0$ V.

polarización de puerta nula para intensificar los SHE y el correspondiente incremento de la temperatura media en el canal, representada con símbolos en negro, $<\Delta T_{\rm l}>$.

La Tabla 5.5 indica el pico de temperatura resultante, $T_{1,max}$, y la temperatura media máxima en el canal, $\langle T_1 \rangle_{max}$, con $V_{DS} = 15$ V, para los diferentes sustratos estudiados. En esta tabla también se indica la densidad de corriente de drenador máxima, $I_{DS,max}/W$.

sustrato	T _{l,max} (K)	$< T_{l} >_{max} (\mathbf{K})$	$I_{\rm DS,max}/W$ (mA/mm)	$g_{\rm m}$ (mS/mm)
zafiro	467	435	239	86
Si/Mo	381	357	262	118
SiC	357	332	267	120

Tabla 5.5. Parámetros numéricos de funcionamiento en DC con sustratos

Como era de esperar los resultados muestran que, para los sustratos de Si, Mo y SiC el colapso de corriente debido al autocalentamiento se alivia. Y la densidad de corriente de drenador máxima es un 10,9 % superior a la del zafiro.

En los casos de sustrato de Si o Mo el pico de temperatura y la temperatura media del canal correspondiente son 24 K y 25 K, respectivamente, mayores que con SiC. Y, si se comparan con el sustrato de zafiro 86 K y 78 K menores.

Por otro lado, de las características de transferencia numéricas se extrae la transconductancia en la región de saturación, g_m , con $V_{DS} = 15$ V y $V_{GS} = 0$ V, que se muestra en la Tabla 5.5. Estas curvas se muestran en la Figura 5.38 para los tres tipos de



Figura 5.38. Características de transferencia (eje de la izda.) y transconductancias (eje de la dcha.) con V_{DS} = 15 V para HEMT de AlGaN/GaN con sustratos de SiC (línea continua), Si/Mo (líneas a trazos) y zafiro (línea a puntos).

sustrato. Nótese que éste se degrada significativamente con zafiro, siendo un 28 % que en el resto de sustratos.

Todo ello destaca la importancia del uso de sustratos apropiados y la evaluación de sus límites.

Por último, señalar que independientemente del sustrato considerado, los efectos por autocalentamiento aumentan considerablemente en dispositivos con puerta formada por múltiples dedos, especialmente en aplicaciones que requieran un funcionamiento a muy alta potencia. Este problema se puede aliviar con una geometría de los terminales apropiada. Esta geometría debe buscar mejorar los caminos adicionales del flujo de calor, a través de los contactos de puerta y drenador. Estos aspectos se podrían investigar en una línea futura de trabajo.

Modelado compacto

La dependencia del incremento de temperatura de las resistencias óhmicas extrínsecas de fuente/drenador con el zafiro como sustrato se determinó en la sección 5.4 En la Figura 5.40, se añaden los valores de las simulaciones numéricas para SiC (con triángulos) y Si o Mo (estos se superponen, con círculos), junto con los presentados previamente para zafiro. También se representan con líneas a trazos y puntos la aproximación cuadrática correspondiente de R_S y R_D , usando los parámetros de la Tabla 5.6.

La resistencia de drenador es mayor que la resistencia de fuente en todos los sustratos estudiados, particularmente con zafiro y aumenta con la temperatura media del canal. Esta dependencia es mayor también con el zafiro. Sin embargo, en comparación, las

120



Figura 5.39. R_S (eje de la izda.) y R_D (eje de la dcha.) en función del incremento de la temperatura media en el canal para los sustratos de zafiro, SiC y Si o Mo (los datos de Si y Mo están completamente superpuestos). Los datos numéricos se representan con cuadrados, triángulos y círculos y los datos modelados con líneas continuas, a trazos y a puntos, respectivamente.

resistencias de fuente son prácticamente constantes. En consecuencia, para la contribución particular de los terminales, fuente y drenador, a la resistencia parásita extrínseca total, queda mejor determinada que en [Kuzmík 2002], donde R_S fue extrapolada como la mitad de la resistencia extrínseca total, en régimen lineal.

El modelo compacto desarrollado en esta tesis es aplicable a HEMT basados en GaN con diferentes geometrías, composición material y sustratos. El modelo ha sido validado usando los trabajos [Lee 2004, Wu 1997, Wu 1998], donde se reprodujeron las características de salida medidas para diferentes HEMT. A estos trabajos se incorporan las resistencias óhmicas de fuente/drenador, para los diferentes sustratos, obteniéndose las características de salida modeladas y el incremento de temperatura correspondiente de la Figura 5.37: para zafiro con línea continua, SiC con línea a trazos, y Si o Mo, (estos se solapan) con línea a puntos. La corriente de drenador modelada muestra un error relativo máximo del 7,3 % para zafiro, con respecto a las medidas. En general, el error global relativo es del 1,6 %. Por otro lado, la temperatura modelada muestra un error relativo

Si/Mo SiC **R**s Rd Rs Rd $a(\Omega)$ 15,6 43,6 15 44 b (Ω/K) 0 0,09 0 0,11 $c \left(\Omega / \mathrm{K}^2 \right)$ 7,8×10⁻⁴ 1.7×10^{-3}

Tabla 5.6. Parámetros de ajuste para $R_{\rm S}$ y $R_{\rm D}$ con diferentes sustratos

máximo del 4 %, también para el zafiro, con respecto a los datos numéricos; de media, el error relativo global es del 1,3 %. Además, el incremento de la temperatura modelada muestra valores acordes a los obtenidos experimentalmente en [Kuzmik 2002] con zafiro y Si, y una dependencia lineal con la tensión de drenador, similar a la observada numéricamente en [Marino 2010] con zafiro y SiC, y con valores acordes a los modelados en [Cheng 2010].

Se ha comparado, además, la temperatura local simulada de fuente a drenador en el canal intrínseco. En la Figura 5.40 se presenta esta comparación indicándose la posición horizontal en los bordes de la puerta con círculos, que son sólidos por el lado del drenador, con $V_{GS} = 0$ V y $V_{DS} = 15$ V para maximizar los SHE con la temperatura modelada. El valor numérico de la temperatura local se representa con líneas, y la temperatura modelada correspondiente con triángulos vacíos. En promedio se encuentran valores similares para cada sustrato, con un error relativo menor del 9 % en todos los casos estudiados. El pico de temperatura se alcanza al final del canal, por el lado del drenador, como se postula en [Sadi 2006, Turin 2006].

Además, como se esperaba, la temperatura media en el canal disminuye cuando la resistencia térmica disminuye y, consecuentemente, lo hace la potencia térmica disipada, a pesar de aumentar la corriente de drenador.



Figura 5.40. Temperatura local simulada del canal (con líneas) *vs.* Posición a lo largo de la dirección longitudinal, para los diferentes sustratos. Los círculos representan la localización de los bordes de la puerta, siendo sólidos en el lado del drenador de la puerta. La temperatura media del canal obtenida con el modelo, considerando los SHE, se muestra mediante triángulos vacíos (una línea horizontal se ha añadido en este caso para facilitar la comparación con la temperatura local); $V_{GS} = 0$ V y $V_{DS} = 15$ V.

Así pues, se ha establecido un procedimiento para introducir en el modelo para HEMT de GaN las resistencias de acceso obtenidas numéricamente, además de la resistencia térmica, tensión umbral y movilidad de electrones, todas ellas dependientes de la temperatura. Este resultado prepara el camino para dispositivos HEMT de potencia de nueva generación en sustratos GaN/Si que se estudian en el próximo capítulo y sobre sustratos avanzados GaN/zafiro y GaN/Mo en el proyecto AGATE. Una vez que los parámetros de fabricación y las nuevas configuraciones se insertan en el simulador de dispositivos GaN/Si se obtienen con facilidad los correspondientes modelos para las nuevas estructuras.

Capítulo 6 MOS-HEMT de GaN sobre Si

En este capítulo se realiza la caracterización en DC, la simulación numérica y se comienza a dar los primeros pasos en el modelado de los dispositivos de potencia MOS-HEMT de GaN sobre Si.

El CEA-Leti ha proporcionado al IUMA muestras de primera y segunda generación de esta tecnología. Con la 1^a generación se realiza la caracterización en DC y con la 2^a generación la caracterización en DC variando temperatura de sustrato, la simulación numérica y el modelado. Esto es debido a que los mejores resultados de medida se obtienen en esta segunda generación, en la que el proceso de fabricación ha mejorado.

6.1 Descripción de las muestras

Los transistores del CEA-Leti son *Metal Oxide Semiconductor-High Electron Mobility Transistor*, MOS-HEMT, de AlGaN/GaN crecidos sobre sustrato de Si. El corte transversal del transistor se representa en la Figura 6.1. Las capas epitaxiales de Ga(Al)N se crecieron sobre un sustrato de Si de 1 mm de espesor a través de la dirección (1-1-1) [Di Cioccio 2015], con una barrera de Al_{0,21}Ga_{0,79}N de 24,5 nm de espesor [Meunier 2013]. Entre el buffer y el canal de GaN, sin dopar (nid – *non intencionally doped*), a fin de asegurar una alta resistividad, se introduce un dopaje tipo p primeramente de C y posteriormente Mg.

Estos transistores operan en modo de enriquecimiento. Para ello la puerta de nitruro de titanio, atraviesa completamente la barrera de AlGaN, empleando como óxido de puerta alúmina, Al₂O₃, de 30 nm de espesor. La trinchera resultante debe tener una profundidad de unas docenas de nanómetros, para obtener una tensión umbral positiva, V_{TH} , de alrededor de un 1 V [Di Cioccio 2015].

Además, con ello la movilidad de los electrones, es diez veces mayor en el 2-DEG, entre los terminales de puerta y fuente/drenador, que en la capa de inversión del canal de



Figura 6.1. Estructura MOS-HEMT de AlGaN/GaN

GaN. Para la barrera de AlGaN se asume una baja movilidad. Sus valores a temperatura ambiente (25 °C), μ_{max} , se dan en la Tabla 6.1 junto con la velocidad de saturación correspondiente, ν_{sat} , y se usan en la simulación y el modelado.

1	$\mu_{\rm max}$ (cm ² /V-s)	v_{sat} (×10 ⁷ cm/s)
AlGaN	30	1,13
GaN-nid	2000	1,91
Capa de inversión del canal	200	0.36

 Tabla 6.1. Parámetros de la movilidad de electrones para las capas internas [Taube 2014]

La separación entre los terminales de puerta y fuente, y de puerta y drenador son, respectivamente, de 2 μ m y 15 μ m. CEA-Leti ha fabricado MOS-HEMT con diferentes geometrías y *field plates*. Como transistor de referencia se elige uno con anchura y longitud de puerta 100 μ m y 2 μ m, respectivamente. En la Tabla 6.2 se describen los diferentes MOS-HEMT fabricados por el CEA-Leti, que como se puede observar varían en anchura y longitud de puerta. Todos los transistores se han fabricado empleando dos dedos para la puerta. Con respecto a los *field plates* estos varían su longitud en los tres terminales.

6.2 Metodología de medida para el MOS-HEMT de GaN sobre Si

Para la realización de las medidas de las muestras del CEA-Leti se emplearon puntas individuales PTT, con un radio de 25 μ m en sus extremos. Las dimensiones de los pads, 50 μ m × 50 μ m, y su *pitch*, separación de centro a centro de entre pads adyacentes 100 μ m, permiten suficiente espacio para posar las puntas sin riesgo de que exista contacto

Descripción	NOMBRE	W	L	Lgd	Comentarios de FP
Estándar (600V)	TT1_13-15	2×50	2	15	Estándar
Estándar (600V)	TT2_19-21	2×50	2	15	Estándar
Longitud de puerta +	TT1_10-12	2×50	3	15	Estándar
Field Plate puerta 1 -	TT1_16-18	2×50	2	15	Variación del FP de puerta
Field Plate drenador -	TT1_7-9	2×50	2	15	Variación del FP de drenador
Field Plate puerta 2 -	TT1_19-21	2×50	2	15	Variación del FP de puerta
Longitud de puerta +	TT1_4-6	2×50	2	15	Estándar
Field Plate puerta optimizada	TT1_22-24	2×50	2	15	Variación del FP de puerta, drenador y fuente
Separación puerta drenador + (1200V)	TT3_1-3	2×50	2	25	Variación del FP de puerta y fuente
Anchura de puerta 20 μ m	TT3_19-21	2×10	2	15	Estándar
Anchura de puerta 40 μ m	TT3_22-24	2×20	2	15	Estándar
Anchura de puerta 1000 μ m	TT3_13-18	2×500	2	15	Estándar
Anchura de puerta 2000 μ m	TT3_4-12	2×1000	2	15	Estándar
Longitud de puerta -	TT5_19-21	2×50	1	15	Estándar
Longitud de puerta	TT5_4-6	2×50	0,5	15	Estándar
Ttr. de baja tensión con longitud de puerta -	TT5_22-24	2×50	1	3,25	Variación del FP de puerta y fuente
Ttr. de baja tensión con longitud de puerta	TT5_1-3	2×50	0,5	3,75	Variación del FP de puerta y fuente

Tabla 6.2. Descripción de los MOS-HEMT de GaN/Si.

entre ellas. Además, con la instalación del microscopio digital, como ya se vio en el Capítulo 2, se tiene una visualización de las puntas y de los pads muy nítida, lo que facilita mucho la tarea de posicionado de las puntas de medida.

Se han caracterizado diecisiete transistores. En la Figura 6.2 (a) se ve una microfotografía de la muestra del CEA-Leti, donde se pueden apreciar las metalizaciones y los pads de los diferentes transistores. En la Figura 6.2 (b) se muestra el mapa de la misma, indicando en color azul los transistores seleccionados por el CEA-Leti, objeto de estudio en esta tesis.

6.2.1 Caracterización térmica en DC

En la Figura 6.3 se muestran las curvas características de transferencia (a) y salida (b) medidas para el transistor de referencia ($W = 100 \mu m$, $L = 2 \mu m$), a temperatura ambiente. De la Figura 6.2 (a) se puede deducir que la tensión umbral está alrededor de 1 V y en la Figura 6.2 (b) se observa como con $V_{GS} = 5$ V, en régimen de saturación, existe una degradación de la corriente de drenador.

Capítulo 6



Figura 6.2. (a) Microfotografía del *layout* de la muestra del CEA-Leti y (b) mapa de la misma con los transistores seleccionados para su estudio (en color azul).

Como se observa en la Figura 6.4, se ha obtenido la dependencia esperada para la corriente de drenador al variar la longitud de puerta: disminuye sin variar la tensión umbral.



Figura 6.3. (a) Características de transferencia y (b) características de salida, medidas para el MOS-HEMT de referencia.

En la Figura 6.5, se observa el incremento esperado de la corriente de drenador con el ancho de puerta. Sin embargo, se aprecia además una variación no esperada ni deseada de la tensión umbral con la anchura de puerta. Este efecto se ha estudiado y consultado



Figura 6.4. Características de transferencia (a) y de salida (b) cuando varía la longitud de puerta.

con investigadores del CEA-Leti. La densidad de trampas en la localización de la puerta puede llegar a ser elevada llegando a influir en las propiedades electrostáticas de la puerta, como se comentará más adelante en esta sección.



Figura 6.5. (a) Características de transferencia y (b) características de salida, cuando varía el ancho de puerta.

Con respecto al uso de diferentes *field plates* de puerta y drenador, como muestra la Figura 6.6, cuando cualquiera de estos disminuye no hay impacto significativo a tensiones de drenador bajas: la corriente crece ligeramente. Sin embargo, cuando el *field plate* se optimiza la tensión umbral aumenta, disminuyendo la corriente de drenador. En régimen de saturación se observa una variación superior para la corriente de drenador. En cualquier caso, cuando se reduce un *field plate* la corriente incrementa con respecto al transistor de referencia.

Capítulo 6



Figura 6.6. (a) Características de transferencia y (b) características de salida cuando, varían los field plates.

Finalmente, la influencia de la localización de los terminales de fuente/drenador se analiza a través de la Figura 6.7. Para transistores simétricos (TT5_22-24 y TT5_1-3), como se esperaba, a medida que la longitud de puerta disminuye la corriente de drenador aumenta, sin variación de la tensión umbral. Y cuando la distancia entre drenador y puerta (TT3_1-3) aumenta, también lo hace la tensión umbral, reduciendo la corriente de drenador. En este caso, pudiera deberse a un aumento de la resistencia extrínseca, R_{on} .

En la Tabla 6.3 se presenta el cuadro resumen de la respuesta de los transistores bajo estudio, en relación a la tensión umbral y la corriente de drenador, con respecto al transistor de referencia.

A continuación se pasa a medir las características de transferencia y salida de todos los transistores antes vistos variando la temperatura de sustrato desde 0 °C hasta 140 °C.



Figura 6.7. (a) Características de transferencia y (b) características de salida, cuando varía la localización de los terminales de fuente/drenador.

Transistor	$V_{\mathrm{TH}}(\mathrm{V})$	IDS (mA)
Estándar - 100µm width	1	0,42
Longitud de puerta + (TT1_10-12)	~	\downarrow
Longitud de puerta + (TT1_4-6)	~	~
Longitud de puerta –	~	1
Longitud de puerta	~	$\uparrow\uparrow$
Ancho de puerta 20µm	~	$\downarrow\uparrow$
Ancho de puerta 40µm	~	\downarrow
Ancho de puerta 1000 µm	~	1
Ancho de puerta 2000 µm	~	$\uparrow\uparrow$
Field Plate de Puerta 1 –	~	~
Field Plate de Drenador –	~	~↑
Field Plate de Puerta 2 –	~	~↑
Field Plate de Puerta optimizado	1	\downarrow
Transistor de baja tensión/Longitud puerta -	~	\uparrow
Transistor de baja tensión/Longitud puerta -	~	$\uparrow\uparrow$
Distancia Puerta Drenador + (1200 V)	\uparrow	\downarrow

Tabla 6.3. Transistores estudiados – Comparación; $V_{GS} = 7 \text{ V y } V_{DS} = 0,1 \text{ V}.$

En la Figura 6.8 se representan las curvas características (a) de transferencia en régimen lineal, $V_{DS} = 0,1$ V, y (b) de salida a diferentes temperaturas de sustrato con $V_{GS} = 5$ V, del transistor de referencia TT2_19-21.



Figura 6.8. (a) Características de transferencia en régimen lineal, $V_{DS} = 0,1$ V, y (b) características de salida con $V_{GS} = 5$ V, del transistor de referencia TT2_19-21.

Extracción de la tensión umbral

A través de las medidas realizadas de las características de transferencia, se ha detectado que existe una fuerte dependencia con la temperatura para la tensión umbral de los MOS-HEMT. Para realizar su extracción se ha aplicado el método clásico de Extrapolación en la Región Lineal (ELR) [Ortiz-Conde 2002], como ya se hizo anteriormente, a las características de transferencia (con $V_{DS} = 0,1$ V), a diferentes temperaturas de sustrato, como muestra la Figura 6.9 para el transistor de referencia con $L = 2 \mu m$ y $W = 100 \mu m$. Para el resto de MOS-HEMT se obtiene un resultado similar.



Figura 6.9. Extracción de la tensión umbral con el método ELR, a $V_{DS} = 0,1$ V, variando la temperatura de sustrato. La gráfica interior muestra la dependencia lineal de la temperatura resultante para ΔV_{TH1} , con su ajuste lineal; $L = 2 \mu m$ y $W = 100 \mu m$.

En la gráfica interior de la Figura 6.8 se observa el siguiente desplazamiento positivo de la tensión umbral, respecto a su valor 25 °C, con el aumento de la temperatura de sustrato: $\Delta V_{\text{TH1}} = 1.8 \times 10^{-3} \Delta T_{\text{sub}}$, con ΔT_{sub} (°C) = $T_{\text{sub}} - 25$, y que podría estar relacionado con efectos debido a trampas, térmicamente dependientes.

Adicionalmente, la tensión umbral aumenta cuando el ancho de puerta disminuye, como muestra la Figura 6.10, donde se aplica el método ELR a las curvas características de transferencia de los transistores de referencia TT2_19-21 ($W = 100 \mu$ m), TT3_22-24 ($W = 40 \mu$ m) y TT3_19-21 ($W = 20 \mu$ m), a temperatura ambiente. Análogamente al caso anterior, se observa un desplazamiento lineal de la tensión umbral, esta vez con el ancho de puerta, respecto a su valor para $W = 100 \mu$ m, representado en la gráfica interior:



Figura 6.10. Extracción de la tensión umbral para transistores con $W = 20 \ \mu m$, 40 μm y 100 μm ($L = 2 \ \mu m$), a $V_{\text{DS}} = 0,1$ V, aplicando el método ELR. La gráfica interior muestra la dependencia lineal resultante para ΔV_{TH2} con el ancho de puerta, y su ajuste lineal; $T_{\text{sub}} = 25 \ ^{\circ}\text{C}$.

 $\Delta V_{\text{TH2}} = -76,5\Delta W$, con ΔW (cm) = W - 0,01. Este efecto no se puede atribuir a la dispersión de la región de vaciamiento bajo la puerta en transistores muy estrechos [Sze 1981], con una relación de aspecto al menos de 10, para la que ΔV_{TH2} sería tres órdenes de magnitud menor. Quizás pudiera atribuirse a la formación de defectos durante la deposición del óxido de puerta en la trinchera generada para alcanzar el canal de GaN.

Este desplazamiento de la tensión umbral no varía significativamente con la temperatura de sustrato, 1,44 mV/°C.

Por otro lado, no se ha observado dependencia de la tensión umbral con la longitud de puerta.

Todas las obleas desnudas vienen con una densidad de defectos de distinta naturaleza (pozos, pequeñas partículas, residuos orgánicos, residuos metálicos, ...). Aunque el CEA-Leti posee medios de limpieza antes del proceso, no pueden ser eliminados todos los defectos (defectos del cristal, por ejemplo). El CEA-Leti tiene localizados varios de ellos a través de técnicas de dispersión láser pero todavía deben mejorar sus técnicas de medida.

Es razonable creer que los defectos (al menos ciertos de ellos) puedan afectar a las propiedades electrostáticas de la puerta del MOS ya que estos están localizados en áreas donde se define la puerta, en particular donde se ha hecho la trinchera. Por ejemplo, uno podría imaginar que un defecto en el fondo de la puerta empotrada dificultaría la nucleación del óxido de puerta llevando a una V_{TH} más baja. Finalmente, es importante comparar la densidad de defectos y la anchura de puerta o superficie:

- Para una densidad de defectos muy grande, todas las anchuras de puerta se verán afectadas de la misma manera y la tendencia de V_{TH}(W) sería plana con la V_{TH} total baja.
- Para una densidad de defectos intermedia, las puertas pequeñas tendrán menos probabilidades de caer en un defecto (o múltiples defectos), mientras que puertas más anchas verían esta probabilidad aumentada. Por tanto, la V_{TH}(W) disminuirá con el ancho.
- Para una densidad de defectos muy pequeña, nuevamente se vería una tendencia de V_{TH}(W) plana con una V_{TH} total alta (o genuina)

Se ha aplicado de manera similar el método ELR a los transistores de referencia TT2_19-21 ($L = 2 \mu m$), TT1_10-12 ($L = 3 \mu m$) y TT5_19-21 ($L = 1 \mu m$) y se observa una ligera desviación del 4 % para V_{TH} para los transistores en todas las temperaturas de sustrato.

Por lo tanto, se puede considerar que el desplazamiento de la tensión umbral de los MOS-HEMT, ΔV_{TH} , depende linealmente de la temperatura de sustrato y el ancho de puerta como:

$$\Delta V_{\rm TH} \approx \Delta V_{\rm TH1} + \Delta V_{\rm TH2} = 1.8 \times 10^{-3} \Delta T_{\rm sub} - 76.5 \Delta W$$
(6.1)

con un error relativo máximo tan bajo como el 1 %. Este efecto se considera de forma inmediata en las simulaciones numéricas añadiendo la expresión (6.1) a la función de trabajo del metal de puerta, por simplicidad.

6.2.2 Caracterización térmica en AC

En este apartado se considera la caracterización en AC, empleando el montaje de medida explicado en el Capítulo 2, para extraer la resistencia térmica y su dependencia con la temperatura y la geometría de puerta.

• Extracción de la resistencia térmica

La resistencia térmica de los MOS-HEMT, R_{th} , se ha extraído usando la técnica de la conductancia en AC [Rinaldi 2001, Makovejev 2013], como ya se hizo con los HEMT del ISOM empleando (5.7). En este caso sí se tiene en cuenta la conductancia a alta frecuencia sin los SHE, g_{GDT} , ya que el punto de polarización idóneo para estar en régimen de saturación con estos dispositivos es $V_{GS} = 5$ V y $V_{DS} = 6$ V.



Figura 6.11. Respuesta en frecuencia de g_{DDT} (a) y g_{GDT} (b) medidas a diferentes temperaturas de sustrato; $L = 2 \mu m y W = 100 \mu m; V_{GS} = 5 V y V_{DS} = 6 V.$

La respuesta en frecuencia de g_{DDT} y g_{GDT} , para el transistor de referencia ($L = 2 \mu m$ y $W = 100 \mu m$) en régimen de saturación (con $V_{GS} = 5$ V y $V_{DS} = 6$ V), a diferentes temperaturas de sustrato, se representa con símbolos en las Figuras 6.10 (a) y (b), respectivamente, obteniéndose resultados similares para el resto de transistores. De acuerdo con el trabajo de [Makovejev 2013], el ancho del pulso para evitar los SHEs dinámicos, τ_p , se puede trasladar al dominio de la frecuencia como $f_p = 1/(2\pi \tau_p)$. Entorno a la frecuencia $f_p g_{DDT}$ debe mostrar una respuesta uniforme, que indica la supresión del auto-calentamiento dinámico. Además, los valores registrados para τ_p de 200 ns en [Joh 2009], indican frecuencias superiores a 0,8 MHz para f_p . A estas frecuencias, las constantes de tiempo relacionadas con trampas, de 80 a 10 ms [Tirado 2007], son suficientemente altas para evitar la conducción en AC por efectos de trampas.

Como se indica en la Figura 6.11 con una línea vertical a trazos, alrededor de 1,5 MHz aparece la respuesta uniforme de la conductancia, y así sucede para el resto de transistores en las muestras, lo que justifica el uso de la técnica de conductancia en AC. Por tanto, evaluando g_{DDT} y g_{GDT} a 1,5 MHz, y con el resto de parámetros, g_{DD0} , I_{DS} y $\partial I_{DS}/\partial T_{sub}$ obtenidos de las curvas características de salida, la resistencia térmica para los transistores involucrados se obtiene de (5.7) a diferentes temperaturas de sustrato. El resultado se representa con símbolos en las Figuras 6.12 (a) y (b), variando el ancho y la longitud de puerta, respectivamente.

Con respecto al ancho de puerta, la resistencia térmica obedece a la siguiente dependencia lineal inversa, al igual que para los MOSFETs de SOI en [Lee 2013],

$$\frac{1}{R_{\rm th}} = \frac{(W+a)}{R_{\rm th}^*}$$
(6.2)

donde $a = -5,33 \times 10^{-4}$ cm es un parámetro de ajuste y R_{th}^* es la resistencia térmica para el transistor de referencia, que depende linealmente de la temperatura de sustrato como

$$R_{\rm th}^* = R_{\rm tho} (1 + \alpha \cdot \Delta T_{\rm sub}) \tag{6.3}$$

siendo $R_{\text{tho}} = 158 \text{ K/W}$ la resistencia térmica correspondiente a temperatura ambiente y α = 3,03×10⁻² K⁻¹. Valores similares de R_{tho} y α para HEMT de GaN/Si se han obtenido en [Kuzmík 2002]: 45 K/W y 1,1×10⁻² K⁻¹, respectivamente. El modelo de la resistencia térmica con respecto al ancho de puerta evaluada mediante (6.2), se representa en la Figura 6.11 (a) con líneas, mostrando un error relativo con respecto a las medidas menor del 5,6 %.

Finalmente, como indica la Figura 6.11 (b), no se observa una dependencia evidente de la resistencia térmica con la longitud de puerta, como en [Kuzmik 2002]. Esto se puede atribuir al uso de puertas MIS, que hacen que la mayor parte del calor se disipe al exterior de los transistores a través del sustrato.



Figura 6.12. Resistencia térmica extraída (con símbolos) (a) para diferentes anchos de puerta: $W = 20 \ \mu \text{m}$, 40 μm y 100 μm ($L = 2 \ \mu \text{m}$), y (b) para diferentes longitudes de puerta: $L = 1 \ \mu \text{m}$, 2 μm y 3 μm ($W = 100 \ \mu \text{m}$). El ajuste lineal sólo es para (a).

6.2.3 Degradación de la corriente en régimen continuo

Durante todo el proceso de medidas en DC se han observado efectos debido a trampas, ya sea por captura o emisión de electrones. Para profundizar en ello, se realiza un experimento donde se fija la polarización para que haga funcionar al transistor en régimen de saturación y se mide la corriente de drenador por un período de tiempo, comprobándose que se produce una caída considerable de la corriente de drenador. La corriente de drenador disminuye con el tiempo como muestra la Figura 6.13 (a) para el transistor TT1_22-24. Después de una hora, la corriente ha disminuido un 10 %, por un desplazamiento de la tensión umbral, como indica la Figura 6.13 (b). Degradación que implica captura de e⁻ de conducción.

Si se comparan estos resultados de la respuesta transitoria de los MOS-HEMT con los de los HEMT de AlGaN/GaN, vistos en el Capítulo 5, se puede descartar que la degradación vista en las muestras del CEA-Leti sea un comportamiento general en dispositivos basados en tecnología de AlGaN/GaN. Una explicación que podría caber aquí sería una acumulación de electrones bajo el óxido de puerta, a medida que crece la tensión de puerta, que dan lugar a un aumento de la tensión umbral del transistor, cuando posteriormente la tensión de puerta se reduce., pero en cualquier caso una investigación más profunda en este aspecto sería necesaria para poder concretar la razón exacta de la caída de la corriente de drenador.



Figura 6.13. (a) Evolución dinámica de la corriente de drenador; polarización: $V_{GS} = 5$ V, $V_{DS} = 6$ V. (b) Características de transferencia antes y después de polarizar durante una hora. MOS-HEMT TT1_22-24 del CEA-Leti.

Para incorporar en esta sección trampas por emisión de e⁻, se han hecho diferentes pruebas para comprobar la repuesta de éstas. Al medir las curvas características a temperatura ambiente, antes de aplicar ningún tipo de calor a la muestra, el comportamiento de los transistores no es el esperado, presentando bajadas y subidas de la corriente de drenador. Este comportamiento es más evidente en las curvas características de salida, cuando se alcanza el régimen de saturación. Aplicando a las muestras un pequeño aumento de temperatura (> 5°C) este comportamiento desaparece. Esto se observa en la Figura 6.14, donde se muestran las curvas características de salida medidas antes de calentar (con cuadrados) y tras calentar (con círculos) con $V_{GS} = 5$ V.



Figura 6.14. Características de salida medidas antes de calentar, con cuadrados, y después de calentar, con círculos. MOS-HEMT TT1_13-15, transistor de referencia, del CEA-Leti.

En esta gráfica se aprecia cómo en la curva antes de calentar comienza una bajada de corriente de alrededor de 1 mA al entrar en régimen de saturación ($V_{DS} = 4$ V), para posteriormente volver a aumentar en $V_{DS} = 7,5$ V. En la curva tras calentar no se aprecia este efecto, habiendo una ligera pendiente positiva en régimen de saturación que es lo esperado.

6.3 Simulación numérica

Una simulación numérica precisa de dispositivos electrónicos requiere el conocimiento de sus parámetros internos, tanto físicos como geométricos (materiales, dopajes, profundidades de las capas, etc.). Los resultados dependen de esta precisión, solo así la simulación puede predecir el correcto funcionamiento del dispositivo. Dados los

acuerdos de confidencialidad firmados con el CEA-Leti, algunos de estos datos no pueden ser explicitados en esta memoria. Otros datos no han sido proporcionados por el CEA-Leti, como la profundidad de la trinchera de puerta, en cuyo caso se ha aplicado un proceso análogo a ingeniería inversa para su conocimiento. Los resultados han sido compartidos satisfactoriamente con CEA-Leti.

6.3.1 Metodología sobre la geometría

Para la trinchera de puerta se comienza con el caso sencillo donde la puerta empotrada no atraviesa la capa de GaN, sin incluir los dopajes (Figura 6.15 (a)). Una vez se consigue reproducir las curvas características en DC, a través del ajuste de la movilidad a campos bajos y la velocidad de saturación, se incluye el dopaje tipo p de la capa de GaN, según el rango que específica el CEA-Leti en sus informes (Figura 6.15 (b)). Finalmente, se entierra la puerta atravesando completamente la barrera de AlGaN más unas decenas de nanómetros de la capa de GaN. Con esta configuración, representada en la Figura 6.15 (c), que se corresponde con la de la estructura real, dejan de reproducirse correctamente las características en DC.

A continuación, se estudia si se está vaciando el canal de inversión en el GaN (alrededor del óxido de puerta) en régimen de corte, y si éste se está formando en conducción. La concentración de electrones en el 2-DEG, entre la barrera de AlGaN y el canal de GaN, debería permanecer prácticamente constante, ya que actúa como una conexión entre los terminales de fuente/drenador y el canal. Así que simulando el transistor en corte y en conducción, esto es, para $V_{GS} = -1$ V y $V_{GS} = 7$ V, respectivamente, con $V_{DS} = 0,1$ V, resulta el perfil de la concentración de electrones en la estructura simulada mostrada en las Figuras 6.16 (a) y (b), respectivamente.



Figura 6.15. Diferentes configuraciones de prueba de MOS-HEMTs para el estudio de las muestras del CEA-Leti. En (a) la puerta no atraviesa el buffer de GaN y no hay dopaje, en (b) la puerta no atraviesa el buffer de GaN y se añade un dopaje p en el GaN y en (c) se entierra la puerta unos pocos nanómetros en la capa de GaN y se añade un dopaje p en el GaN.

Capítulo 6



Figura 6.16. Estructura simulada del MOS-HEMT estándar en Atlas, donde se ve en detalle la puerta del dispositivo y se representa con colores la concentración de electrones. En (a) se muestra el dispositivo en corte con $V_{GS} = -1$ V y en (b) en conducción, $V_{GS} = 7$ V; $V_{DS} = 0,1$ V.

El resultado es el esperado, ya que cuando el dispositivo está en corte no se forma canal, es decir, no hay concentración de electrones a lo largo de la superficie interior del óxido de puerta (ver Figura 6.16 (a)). Y cuando se encuentra en conducción la concentración de electrones en el canal es muy elevada (ver Figura 6.16 (b)). Una vez comprobamos que se cumple este comportamiento fundamental en la operación normal de cualquier MOSFET, se sigue investigando la causa que no permite reproducir adecuadamente las características medidas.

Se pasa entonces a estudiar los campos eléctricos perpendiculares y paralelos en el interior del dispositivo y la movilidad de electrones, al variar la tensión de puerta en régimen lineal (con $V_{DS} = 0,1$ V) y en régimen de saturación ($V_{DS} = 2$ V). En la Figura 6.17 se muestran el campo eléctrico longitudinal y la movilidad de los e⁻ en el centro del



Figura 6.17. Campo eléctrico paralelo *vs.* V_{GS} (eje de la izda.) y movilidad de electrones *vs.* V_{GS} (eje de la dcha.).

canal resultantes, que responden como era de esperar. En esta zona, campo eléctrico paralelo y movilidad se comportan como esperábamos. Sin embargo, la respuesta de los campos eléctricos no es coherente en las esquinas del óxido de puerta. De estas esquinas, resulta crítica la que se sitúa en la esquina que coincide con la unión AlGaN/GaN, del lado del drenador. En esta zona el simulador no distingue correctamente entre campo eléctrico paralelo y perpendicular, lo que provoca que las características simuladas no reproduzcan correctamente las medidas.

Para solventar este problema, se diseña la estructura simulada por bloques funcionales, donde se distingue entre la parte HEMT y MOSFET del dispositivo, dentro del mismo material GaN. La estructura utilizada hasta ahora, Figura 6.18 (a), no hacía distinción entre regiones dentro del GaN; lo cual hacía inviable la simulación del dispositivo. Así que se pasó a la configuración de la Figura 6.18 (b), donde se distinguen dos regiones dentro del GaN: una MOSFET, rodeando el óxido con un espesor de 10 nm, y la del resto del GaN, considerándola como heterouniones propias de los HEMT. Con esta consideración, a partir de ahora los modelos físicos utilizados en la simulación se ajustan considerando la puerta MOS y la heteroestructura extrínseca de AlGaN/GaN. En ambos casos se usa el modelo de movilidad de Albrecht [Albrecht 1998] para electrones a campos eléctricos bajos, considerando las dependencias para el dopaje-p y la temperatura de red.

Con respecto al canal, se incluye la degradación estándar de la movilidad debida al campo eléctrico transversal a los MOSFET [Yamaguchi 1979]. Para los campos eléctricos longitudinales altos, la movilidad tiene en cuenta la velocidad de saturación de los



Figura 6.18. Diferentes estructuras simuladas de MOS-HEMT variando las regiones MOSFET y HEMT en el material de GaN.

electrones como en [Canali 1975], con v_{sat} (cm/s) = $4 \times 10^6 - 20 \times 10^3 T_1$, donde T_1 (°C) es la temperatura de red.

En el caso de la heterounión AlGaN/GaN, para régimen de saturación, se usa un modelo de movilidad dependiente del campo específico para nitruros [Manual Atlas, Farahmand 2001], con una movilidad negativa diferencial apropiada debida a la transferencia entre valles energéticos a campos eléctricos altos [Barker 2005].

Estos modelos de movilidad utilizados se indican en la Tabla 6.4, con la notación que emplea Atlas. Los parámetros de los modelos se ajustan con los valores de los parámetros físicos medidos correspondientes, de la Tabla 6.1. Con esta configuración la tensión umbral varía según la polarización de puerta, y se decide descartarla.

A continuación se estudia la estructura de la Figura 6.18 (c), en la cual la región MOSFET debajo de la puerta se extiende hasta el fondo de la estructura simulada, donde se comprueba que la tensión umbral es más estable, aunque persisten las variaciones. Posteriormente, se limita la región HEMT al GaN de la intercara AlGaN/GaN, con un espesor de 10 nm, y la región MOSFET al resto del GaN, como se aprecia en la estructura de la Figura 6.18 (d). Además, se añade un contacto eléctrico en el fondo del GaN conectado al sustrato, que se emplea como terminal de bulk. Este contacto simula de manera más real la forma en que se miden las muestras, ya que la placa calefactora se conectó a tierra como ya se vio en el Capítulo 2 de esta memoria. Esta estructura fija la tensión umbral correctamente pero empeora las características simuladas. Esto se debe a que en esta configuración no se incluye como MOSFET los laterales del óxido de puerta en el GaN. Para tenerlo en cuenta se crea la estructura de la Figura 6.18 (e), en la que se incluyen estas regiones verticales laterales al óxido, con un espesor de tan solo 5 nm. La zona HEMT se hace de la misma profundidad que el óxido de puerta y, además, se desactiva el modelo de movilidad a campos altos en la esquina crítica. Con esta estructura se obtienen los mejores resultados. Tras este proceso, se pueden ajustar los resultados de

Modelo de movilidad	MOSFET	HEMT	
campos bajos	albrct.n	albrat n	
campos bajos	prpmob	aloict.ii	
campos altos	fldmob	gansat.n	

Tabla 6.4. Modelos de movilidad empleados en las diferentes regiones del GaN en los MOS-HEMTs.

la simulación con los medidos, para el transistor de referencia. A continuación se concreta la profundidad de la trinchera y el dopaje del canal.

• Ajuste de la trinchera de puerta y dopajes

Basándonos en los resultados de las medidas para el transistor estándar (TT2_19-21 según la notación del CEA-Leti) y los datos proporcionados por el CEA-Leti sobre la muestra, para reproducir numéricamente las características de transferencia y de salida medidas se han considerado dos parámetros variables: la concentración de dopaje-p epitaxial y la profundidad de puerta. Con respecto al dopaje, su concentración se ha variado como se recoge en los informes internos del proyecto AGATE, considerando que el 20 % del dopaje de Mg está activo. El valor final de las distintas concentraciones p en el GaN se recoge en la Tabla 6.5. Por otra parte, se consideran tres profundidades de puerta empotrada: 30, 40 y 50 nm. Y se incorporan las condiciones de contorno térmicas, se incluye la ecuación del calor y se consideran adiabáticos los contactos de drenador, fuente y puerta, y la resistencia térmica del dispositivo en el fondo de la estructura, para la respuesta del calentamiento.

Material	Dopaje-p (cm ⁻³)
AlGaN	_
GaN-[Mg] (nid)	2×10^{16}
GaN-p-[Mg]	2×10^{17}
GaN-[C]	10 ¹⁹

Tabla 6.5. Concentración de dopaje-p para las capas internas.

Debido a la naturaleza de este dispositivo, un MOSFET con terminales de heteroestructura basados en un sistema AlGaN/GaN, se han de emplear modelos de movilidad apropiados en cada región, incorporando las cargas de polarización [Ambacher 2000]. Así, en la puerta MOS que rodea el óxido de puerta se considera la dependencia de la movilidad para campos bajos con los campos perpendicular y paralelo, y la concentración de dopaje.

La Figura 6.19 muestra la concentración de electrones en el canal y el 2-DEG, en régimen lineal, cuando se varía la tensión de puerta, para las tres profundidades de la trinchera de puerta consideradas. Y la Figura 6.20 muestra la curva característica de transferencia, en régimen lineal, cuando se varía la concentración de dopaje, para una profundidad de puerta de 30 nm. De estas gráficas se observa que la tensión umbral

depende fuertemente de la concentración de dopaje-p con las profundidades de puerta menores: 30 y 40 nm. Por otro lado, como se esperaba, cuanto mayor es la profundidad de puerta empotrada, mayor es la concentración del 2-DEG, ya que disminuye la recombinación electrón-hueco en los terminales de fuente y drenador por el dopaje GaN-p, lo que afecta a las resistencias extrínsecas, disminuyendo su valor.

En las Figuras 6.21 (a) y (b), se muestran las curvas características de transferencia medidas (con símbolos) y simuladas para las distintas profundidades de puerta (con línea) para $V_{\rm DS} = 0,1$ V y $V_{\rm DS} = 2$ V, respectivamente. Se aprecia que la mejor opción es considerar la profundidad de puerta empotrada de 30 nm.



Figura 6.19. Concentración de e⁻ *vs.* V_{GS} , en el canal y el 2-DEG para diferentes profundidades de puerta empotrada a $V_{DS} = 0,1$ V y dopaje-p 2×10^{17} cm⁻³.



Figura 6.20. Curva característica de transferencia para diferentes dopajes con $V_{DS} = 0,1$ V y profundidad de puerta empotrada 30 nm.

Por lo tanto, se considera una profundidad de puerta empotrada de 30 nm para simular el dispositivo. En la Figura 6.22 se representan, a temperatura ambiente, las curvas características de salida simuladas con líneas, y las correspondientes obtenidas en la medida. En estas curvas se observa que la simulación aún no predice el régimen de saturación para las corrientes más altas (con $V_{GS} = 5$ V), ya que el comportamiento térmico no se ha implementado completamente.

A continuación se fijan los parámetros de los modelos que establecen la dependencia de la corriente con la temperatura de operación: $v_{sat} = 1,6 \times 10^5$ cm/s. Con ese propósito se extrae el incremento de la temperatura del canal, $\Delta T_c = T_c - T_{sub}$, de las medidas en DC



Figura 6.21. Características de transferencia para diferentes profundidades de puerta empotrada con: (a) $V_{\rm DS} = 0,1$ V y (b) $V_{\rm DS} = 2$ V con profundidad optimizada, con dopaje-p de 2×10^{17} cm⁻³.



Figura 6.22. Características de salida para profundidad de puerta empotrada óptima, 30 nm, con: $V_{\text{GS}} = 3 \text{ V}, 5 \text{ V} \text{ y } 7 \text{ V}$, con dopaje-p de 2×10¹⁷ cm⁻³.

como $R_{\text{th}} \cdot P$, donde $P = V_{\text{DS}} \cdot I_{\text{DS}}$ es la potencia eléctrica. La Figura 6.22 muestra con símbolos la dependencia $\Delta T_{\text{c}} - I_{\text{DS}}$ resultante, a temperatura ambiente para el transistor de referencia, extraída de las características de salida a tensiones de puerta $V_{\text{GS}} = 3$ V, 5 V y 7 V.

A continuación se reproduce numéricamente la dependencia $\Delta T_c - I_{DS}$ observada, a partir de las curvas características de salida simuladas, asumiendo un incremento de la temperatura de red constante, de valor ΔT_c , en todo el dispositivo, sin efectos de autocalentamiento (no se resuelve la ecuación del calor). La Figura 6.23 muestra con líneas a trazos cómo usando los parámetros de movilidad adecuados, la dependencia medida $\Delta T_c - I_{DS}$ se reproduce correctamente.

Finalmente, se incorpora la ecuación del calor, para simular los SHE, con la resistencia térmica del dispositivo, R_{th} , situada en el fondo de la estructura simulada (en la parte superior del buffer), como se indica en la Figura 6.1, a la temperatura de sustrato.

Por otro lado, para estimar de forma apropiada la temperatura máxima en el canal se ha debido tener en cuenta la degradación de la conductividad térmica en las capas finas internas. Así, para el canal de GaN, la barrera de AlGaN y el óxido de puerta, la conductividad térmica viene dada por $k = k_{300} \cdot (T_1/300)^{-\beta}$, con los valores respectivos de k_{300} y β recogidos en la Tabla 6.6. Nótese que la resistencia térmica entre el canal y el fondo de la estructura simulada, R_{par} en la Figura 6.1, representa sólo el 4 % de la resistencia térmica total R_{th} y, por tanto, no altera sensiblemente la dispersión del calor hacia el exterior del dispositivo.



Figura 6.23. $\Delta T_c vs. I_{DS}$ a temperatura ambiente: medida (con símbolos), simulado sin SHE (con líneas a trazos) y simulado con SHE (con líneas continua); $V_{GS} = 3 \text{ V}, 5 \text{ V} \text{ y } 7 \text{ V}$; transistor estándar.

	GaN	Al _{0,21} Ga _{0,79} N	Al ₂ O ₃
k ₃₀₀ (W/K-cm)	0,70	0,20	0,20
β	0,67	0,67	-

Tabla 6.6. Parámetros de la conductividad térmica para las capas internas [Darwish 2015, Liu 2005, Zou2010, Beechem 2016, Amende 2016].

La dependencia simulada $\Delta T_c - I_{DS}$ resultante, con ΔT_c representando el promedio del incremento de la temperatura a lo largo del canal, se representa en la Figura 6.22 con líneas continuas. Los resultados numéricos coinciden de nuevo con los obtenidos a partir de las medidas, particularmente cuando los SHE son relevantes, es decir, cuando la temperatura en el canal alcanza valores más elevados. Esto confirma la validez de la estrategia empleada para reproducir el autocalentamiento del transistor.

6.3.2 Resultados variando la temperatura de sustrato y la geometría de puerta

En este subapartado se analiza la influencia de la temperatura de sustrato en el funcionamiento en DC de los transistores estudiados. Para ello se parte de la estructura y los modelos establecidos a temperatura ambiente del apartado anterior.

La Figura 6.24 muestra las curvas características de salida medidas (con símbolos) para el transistor de referencia, con $V_{GS} = 5$ V, y los resultados de las simulaciones numéricas (con líneas) cuando la temperatura de sustrato aumenta, obteniéndose la esperada reducción de la corriente de drenador. Para otros transistores, TT1_10-12 ($L = 3 \mu$ m), TT3_19-21 ($W = 20 \mu$ m), TT3_22-24 ($W = 40 \mu$ m) y TT5_19-21 ($L = 1 \mu$ m),



Figura 6.24. Características de salida a $V_{GS} = 5$ V con profundidad de puerta empotrada 30 nm, dopaje-p $= 2 \times 10^{17}$ cm⁻³ y variando la temperatura de sustrato.





Figura 6.25. Características de salida medidas (con símbolos) y simuladas (con líneas) con $T_{sub} = 50$ °C (en verde) y 150 °C (en rojo), (a) variando el ancho de puerta (con $L = 2 \mu m$) y (b) variando la longitud de puerta (con $W = 100 \mu m$); $V_{GS} = 5$ V.

aumentar el ancho de la puerta, (para una longitud de puerta 2 μ m) - (a) y al reducir la longitud de puerta (para una anchura de puerta de 100 μ m) - (b), independientemente de la temperatura de sustrato establecida. El error relativo máximo en todos los casos entre la corriente medida y simulada es inferior al 4,6 %.

Para simular correctamente los SHE en los transistores, no sólo se debe predecir correctamente la dependencia de la corriente de drenador con la temperatura, sino también el correspondiente incremento de la temperatura en el canal, ΔT_c . Esto se comprueba comparando la curva característica ΔT_c –P extraída a partir de las medidas con la simulada, en promedio. Las características ΔT_c –P medidas (con símbolos) y simuladas



Figura 6.26. Característica $\Delta T_c vs.$ potencia eléctrica, a $V_{GS} = 5$ V y $T_{sub} = 150$ °C, (a) variando el ancho de puerta (con $L = 2 \mu m$) y (b) variando la longitud de puerta ($W = 100 \mu m$).

(con líneas) se representan en las Figuras 6.26 para diferentes anchuras de puerta (a) y longitudes de puerta (b). La Figura 6.26 (b) muestra la comparativa para diferentes longitudes de puerta (con $W = 100 \ \mu m$). En ambos casos se predice la respuesta térmica principalmente cuando los SHE son relevantes, es decir, a potencias eléctricas altas. Como se esperaba, se observa cómo la resistencia térmica, (pendiente de las curvas), aumenta a medida que disminuye el ancho de puerta y, no varía significativamente con la longitud de puerta.

Finalmente, se ha comparado el incremento de la temperatura local simulada, de fuente a drenador, en el canal (representada con líneas) con la temperatura extraída de las medidas (representada con triángulos) en la Figura 6.27 (a) para diferentes anchos de puerta (con $L = 2 \mu$ m), y en la Figura 6.27 (b) para diferentes longitudes de puerta (con $W = 100 \mu$ m); en todos los casos se emplea la polarización $V_{GS} = 5$ V y $V_{DS} = 10$ V, con $T_{sub} = 150$ °C para maximizar los SHE de los transistores, que no se pueden considerar de alta potencia). La posición horizontal en los bordes de la puerta se indica con líneas verticales.

Si se reduce el ancho de puerta se producen dos tendencias opuestas en relación a la temperatura del canal: la corriente de drenador disminuye y la resistencia térmica aumenta. Sin embargo, a pesar de que la resistencia térmica es mayor en los transistores más estrechos, los valores de la corriente de drenador más bajos dominan el efecto global, reduciendo el autocalentamiento.

Por otro lado, si la longitud del canal aumenta su temperatura disminuye, debido a que la corriente disminuye, sin que la resistencia térmica varíe notablemente.

Por lo tanto, cuanto más ancha y más corta sea la puerta, mayor será la temperatura del canal. El incremento de la temperatura del canal observado es dos órdenes de magnitud menor con el ancho de puerta $(\partial \Delta T_c / \partial W \approx 0.2 \text{ °C}/\mu\text{m})$ que con la longitud de puerta $(\partial \Delta T_c / \partial L \approx -23 \text{ °C}/\mu\text{m})$. Así, el mayor incremento de temperatura en el canal, de 73 °C, se produce en el transistor con la relación de aspecto superior (W/L = 100, con $L = 1 \mu\text{m}$ y $W = 100 \mu\text{m}$).

En todos los casos las simulaciones predicen que la máxima temperatura en el canal se produce al final de éste por el lado del drenador, en concordancia con [Sadi 2006, Turin 2006]. El promedio del incremento de la temperatura simulada del canal muestra un error relativo máximo del 1,8 %, con respecto a la temperatura extraída de las medidas,



Figura 6.27. Incremento de la temperatura del canal extraída (con símbolos) y simulada (con líneas), a V_{GS} = 5 V, V_{DS} = 10 V y T_{sub} = 150 °C, (a) variando el ancho de puerta (con L = 2 μ m) y (b) variando la longitud de puerta (con W = 100 μ m).

para el MOS-HEMT con $L = 2 \mu m$ y $W = 40 \mu m$; el error relativo global es del 2,1 % para todos los transistores.

6.3.3 Introducción a la simulación numérica con trampas de MOS-HEMT

Una vez que las simulaciones numéricas reproducen correctamente la respuesta electro-térmica de los MOS-HEMT en DC, se realiza una primera aproximación al estudio de los efectos debido a trampas en las simulaciones numéricas, para que las mismas representen de una manera más realista el funcionamiento de estos dispositivos. Considerando las trampas en la superficie libre del AlGaN como principal causa del colapso de corriente en HEMT [Tirado 2007], es ahí donde se introduce en primer lugar



Figura 6.28. Definición en Atlas del nivel de energía de trampas aceptoras y donadoras, con respecto a los bordes de las bandas de conducción y valencia.
una densidad de trampas superficial para ver el efecto que producen sobre las simulaciones numéricas en DC.

La posición de la trampa se define con respecto a la banda de conducción o de valencia, usando la sentencia *E.LEVEL* en Atlas. Por ejemplo, el nivel de energía de una trampa aceptora con *E.LEVEL* = 0,4 eV debería estar 0,4 eV por debajo de la banda de conducción (Figura 6.28).

La carga debida a la presencia de trampas (a incorporar a la ecuación de Poisson), se define por:

$$Q_{\rm T} = q \left(N_{\rm tD}^+ - N_{\rm tA} \right) \tag{6.4}$$

donde N_{tD}^+ y N_{tA}^- son las densidades ionizadas de trampas tipo donador y aceptor, respectivamente. La densidad ionizada depende de la densidad de trampas, *DENSITY*, y de su probabilidad de ionización, F_{tA} y F_{tD} . Para trampas tipo donadoras y tipo aceptoras, respectivamente, las densidades ionizadas se calculan con las ecuaciones:

$$N_{tD}^+ = DENSITY \times F_{tD}$$
 (6.5)
 $N_{tA} = DENSITY \times F_{tA}$ (6.6)

Para la probabilidad de ionización se asume que las secciones transversales de captura son constantes para todas las energías en una banda dada, y el análisis desarrollado por Simmons y Taylor [Simmons 1971]. Así, la probabilidad de ionización viene dada por las siguientes ecuaciones, para trampas aceptoras y donadoras:

$$F_{tA} = \frac{v_n SIGN \, n + e_{pA}}{v_n SIGN \, n + v_p SIGP \, p + e_{nA} + e_{pA}}$$
(6.7)

$$F_{\rm tD} = \frac{v_{\rm p} SIGP \, p + e_{\rm nD}}{v_{\rm n} SIGN \, n + v_{\rm p} SIGP \, p + e_{\rm nD} + e_{\rm pD}}$$
(6.8)

donde *SIGN* y *SIGP* son las secciones transversales de captura para electrones y huecos, respectivamente, y v_n y v_p son las velocidades térmicas correspondientes, calculadas a partir de las masas efectivas de los electrones y los huecos. Para trampas tipo donador, las tasas de emisión de electrones y huecos, e_{nD} y e_{pD} , se definen como:

$$e_{\rm nD} = \frac{1}{DEGEN.FAC} v_{\rm n} \, SIGN \, n_{\rm i} \exp \frac{E_{\rm t} - E_{\rm i}}{kT_{\rm L}}$$
(6.9)

$$e_{\rm pD} = \frac{1}{DEGEN.FAC} v_{\rm p} \, SIGP \, n_{\rm i} \exp \frac{E_{\rm i} - E_{\rm t}}{kT_{\rm L}}$$
(6.10)

donde E_i es la posición del nivel intrínseco de Fermi, E_t es el nivel de energía de la trampa definido por *E.LEVEL*, y *DEGEN.FAC* es el factor de degeneración del centro de trampas. A continuación, para la influencia del tipo de trampas se introducen en la superficie del AlGaN, y se analiza (donadora o aceptora), con los parámetros que se presentan en la Tabla 6.7.

La Figura 6.29 muestra el resultado que producen en las curvas características de transferencia, para $V_{GS} = 0,1$ V, el introducir las trampas anteriormente definidas en el transistor de referencia TT2_19-21. Como puede observarse, para los dos tipos de trampas

 Tabla 6.7. Parámetros y valores de las trampas introducidas en la superficie del AlGaN de la estructura simulada.

Parámetro	Valor
E.LEVEL (eV)	0,45
DEGEN.FAC	12
SIGN	10^{-14}
SIGP	3×10^{-14}
DENSITY	10 ¹⁶

la corriente de drenador disminuye solo ligeramente del caso sin trampas, en el caso de trampas aceptoras la disminución es algo mayor. En este punto se pueden hacer multitud de pruebas, entre ellas el efecto de la temperatura sobre las trampas, con la que se intuye una dependencia fuerte, en vista del desplazamiento de la tensión umbral observado durante las medidas, o la variación de su concentración o la variación en su posición. Debe estudiarse la simulación de las trampas no en superficie sino en las paredes de la trinchera de la puerta enterrada, así como en el fondo de la puerta y en su caso a diversas profundidades del canal. Supone una línea de investigación futura, que podría arrojar más luz sobre la física de los MOS-HEMT.



Figura 6.29. Curva característica de transferencia con $V_{DS} = 0,1$ V a temperatura ambiente del transistor estándar medida, con cuadrados, simulada sin incluir efectos de trampas, con línea discontinua, simulada incluyendo trampas de naturaleza aceptara y donadora.

6.4 Modelo compacto

En este apartado se describen los pasos dados para modelar los MOS-HEMT de AlGaN/GaN crecidos sobre sustrato de Si. Se parte del modelo BSIMSOI3.1 como ya se explicó en el capítulo 4. Para adaptar este modelo a los MOS-HEMT, se realiza un estudio previo del mismo, para poder familiarizarse con la gran cantidad de parámetros y formulación matemática que relacionan las diferentes magnitudes modeladas. Toda esta información se explica en detalle en [Tutorial BSIMSOI3.1]. Luego se seleccionan los parámetros del modelo que guardan relación con la física del dispositivo a modelar, el MOS-HEMT de referencia con $W = 100 \ \mu m$ y $L = 2 \ \mu m$. Los parámetros de modelado se presentan en la Tabla 6.8 para el transistor de referencia.

En primer lugar, como metodología empleada, se ajusta la curva característica de entrada medida en régimen lineal, con $V_{DS} = 0,1$ V, a temperatura ambiente. En este caso, los efectos de autocalentamiento y la velocidad de saturación no influyen en el funcionamiento del transistor. Los parámetros anchura y longitud de puerta, tensión umbral, espesor del óxido de puerta y las concentraciones de dopaje se fijan a partir de los datos proporcionados por el CEA-Leti. Y se anula la tensión de desplazamiento, $V_{off} = 0$ V, ya que su valor por defecto, 80 mV, produce un codo en $V_{GS} = 1,1$ V que no existe en la curva característica para los MOS-HEMT. Una vez fijados estos parámetros el ajuste se centra en la movilidad a campos bajos y sus coeficientes de degradación de primer y segundo orden, es decir, μ_0 , U_a , U_b . Con estos tres parámetros es suficiente para modelar

Parámetro	Nomenclatura SPICE	Descripción	Valor
W	Width	Anchura del canal	100 (µm)
L	Length	Longitud del canal	2 (µm)
T _{ox}	Tox	Espesor del óxido de puerta	30 (nm)
$X_{ m t}$	Xt	Profundidad del dopaje	300 (nm)
Vth0	vth0	Tensión umbral $@V_{bs} = 0 V$	0,9 (V)
Voff	voff	Tensión de desplazamiento en la región subumbral (W y L grandes)	0 (V)
$N_{ m ch}$	Nch	Concentración de dopaje en el canal	2×10 ¹⁶ (cm ⁻³)
$N_{ m sub}$	Nsub	Concentración de dopaje en el sustrato	$2 \times 10^{17} (\text{cm}^{-3})$
μ_0	uO	Movilidad a Temp = Tnom	0,016 (cm ² /V-s)
U_{a}	ua	Coeficiente de degradación de la movilidad de primer-orden	2,16×10 ⁻⁹
$U_{ m b}$	ub	Coeficiente de degradación de la movilidad de segundo-orden	5×10 ⁻¹⁸
$\mu_{ m te}$	Ute	Exponente de temperatura de movilidad	-1,4
Vsat	vsat	Velocidad de saturación a Temp = Tnom	0,36×10 ⁷ (cm/s)
R.	RthO	Resistencia térmica	0,015 (K-m/W)
K tho	1XIIIV		a Temp = 25 °C

 Tabla 6.8. Parámetros seleccionados y ajustados del modelo BSIMSOI3.1 para modelar el MOS-HEMT

 estándar.

la curva característica en régimen lineal, como muestra la Figura 6.29 (a) con línea, con un error promedio máximo del 3.6 % respecto a las medidas, representadas con símbolos.

Posteriormente se modela la curva característica de transferencia en saturación para $V_{\text{DS}} = 2$ V. En este caso, para el ajuste se trata de emplear P_{clm} , que es el parámetro de modela la modulación de longitud del canal, sin éxito, debido a que el transistor de referencia tiene una longitud de puerta de 2 μ m (es de canal largo). Así, las curvas características medida y modelada, representadas con cuadrados y con línea, respectivamente, se muestran en la Figura 6.30 (b). En este caso, el error relativo promedio máximo es del 21 %. En este caso, se deduce que al no estar presente el efecto



Figura 6.30. Curvas características de transferencia medidas, con cuadrados, y modeladas, con líneas, a temperatura ambiente para (a) régimen lineal, con $V_{DS} = 0,1$ V y (b) régimen de saturación con $V_{DS} = 2$ V.

de la puerta empotrada en el modelo, el ajuste no puede ser más preciso. Esto se pudcomprobar en el apartado de simulación numérica en las Figura 6.21 (a) y (b), donde se estudió el efecto de la profundidad de la puerta empotrada en las curvas características de transferencia.

Una vez modeladas las curvas características de transferencia, se procede al ajuste del modelo para las curvas características de salida, a temperatura ambiente, para diferentes tensiones de puerta. Ahora, los parámetros que permiten ajustar las curvas modeladas son: la velocidad de saturación, el exponente de la temperatura de la movilidad a campos bajos, y la resistencia térmica. Esto es, v_{sat} , μ_{te} y R_{th0} . La velocidad de saturación se fija al valor extraído de las simulaciones numéricas: $v_{sat} = 0.36 \times 10^7$ cm/s. Para el parámetro μ_{te} es necesario reducir su valor por defecto, de -1,5 a -1,4. En caso contrario la degradación de la corriente de drenador con la temperatura se acentúa, y ésta disminuye demasiado. El siguiente parámetro de ajuste es la resistencia térmica por unidad de longitud. Se establece a $R_{\text{th0}} = 0.015$ K-m/W, que es un orden de magnitud mayor que la medida. Esto se debe a que en la corriente de drenador modelada no se permite modificar significativamente la dependencia del parámetro V_{deff}, que se emplea como parámetro de transición entre régimen lineal y de saturación, con la temperatura. Las curvas características de salida medidas se representan con cuadrados y las modeladas con líneas, en la Figuras 6.31 (a), (b) y (c) para $V_{GS} = 3 V$, 5 V y 7 V, respectivamente. Asimismo, los errores relativos máximos en promedio son del 30,7 %, 0,95 % y 2,78 %. El error tan elevado en la curva de salida para $V_{GS} = 3$ V se atribuye a una degradación de la muestra, tras haber sido medida en muchas pruebas, incluyendo cambios de temperatura. De las Capítulo 6



Figura 6.31. Curvas características de salida medidas y modeladas, representadas con cuadrados y con líneas, respectivamente, a $T_{sub} = 25$ °C para (a) $V_{GS} = 3$ V, (b) $V_{GS} = 5$ V, (c) $V_{GS} = 7$ V.

simulaciones numéricas se extrae que el valor máximo de la corriente de drenador en saturación está en torno a 2,25 mA, que da un error máximo relativo entorno al 12 %. Para finalizar el modelado del transistor estándar se procede a ajustar la respuesta térmica del modelo. Para ello se emplean las curvas características de salida medidas para

<i>T</i> (°C)	R _{tho} (K-m/W)	v _{sat} (cm/s)
25	0,015	5×10 ⁴
50	0,025	2,5×10 ⁴
100	0,0278	9, ×10 ³
150	0,038	4,7×10 ³

Tabla 6.9. Valores de ajuste para R_{tho} y v_{sat} para cada temperatura de operación.

 $V_{GS} = 5$ V, a diferentes temperaturas de sustrato. En este caso, el modelo sí predice correctamente la degradación de la movilidad a campos bajos con el incremento de la temperatura, pero no así la degradación de la velocidad de saturación ni el aumento de la resistencia térmica. Estos dos parámetros deben ajustarse para cada temperatura de sustrato, como viene indicado en la Tabla 6.9.

Las Figuras 6.32 (a) y (b) representan la dependencia con la temperatura de la resistencia térmica y la velocidad de saturación, respectivamente. Para el caso de la resistencia térmica se ha modelado empleando un ajuste lineal y para la velocidad de saturación un polinomio de segundo grado, cuyas expresiones son:

$$R_{\rm tho} = 1,32 \times 10^{-2} + 1,64 \times 10^{-4} T \tag{6.11}$$

$$v_{\text{sat}} = 7,26 \times 10^{-2} - 1094T + 4,32T^2$$
(6.12)

En la Figura 6.33 se presentan las curvas características medidas con cuadrados y modeladas con líneas con $V_{GS} = 5$ V, incrementado la temperatura de sustrato hasta 150 °C. El error máximo en promedio se obtiene para $T_{sub} = 150$ °C y es menor del 2,7 %.

Con esta primera aproximación se ha comprobado que es posible con BSIMSOI3.1 el modelado en DC de los MOS-HEMT de AlGaN/GaN con sustrato de Si. Esto abre una línea de investigación futura que permita desarrollar un modelo compacto específico para MOS-HEMT, así como otros de dispositivos novedosos.



Figura 6.32. Valores fijados en el modelo (con cuadrados) y ajuste (con líneas) para (a) $R_{\text{tho}} - T$ y (b) $v_{\text{sat}} - T$.



Figura 6.33. Curvas características de salida medidas y modeladas representadas con cuadrados y líneas, respectivamente, a diferentes temperaturas de sustrato; $V_{GS} = 5$ V.

Capítulo 7 Conclusiones y líneas abiertas

En este capítulo se recogen las principales conclusiones derivadas de la tesis doctoral, así como las líneas abiertas para posibles futuros trabajos de investigación.

7.1 Conclusiones

La tecnología GaN crecida sobre sustratos como el zafiro o SiC es, desde hace una década, lo suficientemente madura como para poder acceder al mercado con productos fiables y de alta competitividad (LED, transistores de potencia, amplificadores de RF, etc.). Sin embargo, su coste es excesivamente elevado si lo comparamos con el de los productos derivados de la tecnología del silicio, que hace que la tecnología GaN se utilice únicamente en aplicaciones específicas, cuando se requieren prestaciones que de otra forma serían inalcanzables.

A fin de reducir el coste de la tecnología GaN para dar lugar a su producción masiva, durante los últimos años está teniendo lugar un considerable aumento de los recursos y la actividad, tanto en la industria como en la comunidad científica en general, para sustituir los sustratos hasta ahora empleados por silicio (haciendo compatibles ambas tecnologías). Ello supone una revisión en profundidad de los procesos tecnológicos implicados, a fin de poder crecer heterouniones y *buffer* apropiados, minimizando los posibles defectos y trampas en los dispositivos, que degradan su respuesta.

La temperatura de operación tiene una influencia determinante en la respuesta de los dispositivos, y su impacto se intensifica cuando la tecnología subyacente es inmadura, más aún cuando la potencia involucrada es elevada. Por ello se eligió como tema de esta tesis doctoral la caracterización eléctrica en régimen continuo de FET de GaN con tecnologías avanzadas, incluyendo la dependencia con la temperatura y en particular el autocalentamiento. Este estudio de FET basados en GaN (HEMT), en régimen continuo,

se hace desde tres frentes: la experimentación, la simulación numérica y el modelado, cuyas conclusiones particulares se recogen a continuación.

En relación a la experimentación, aún sin ser de interés científico, es de indicar que en la estación de puntas Cascade Summit 9000 (descatalogada) se consiguió elevar los brazos posicionadores de las sondas de medida, para introducir una placa calefactora de diseño propio, y así poder establecer la temperatura de sustrato en las muestras, de forma estable, entre 10°C y 160°C; el enfriamiento se estableció con una célula Peltier.

Por otro lado, en los HEMT de GaN estudiados se aplicaron exitosamente técnicas de extracción de parámetros para los MOSFET, a distintas temperaturas, para determinar la tensión umbral, la movilidad de electrones a campos bajos y las resistencias extrínsecas. Su dependencia con la temperatura se empleó, posteriormente, en simulaciones numéricas y/o modelado.

En el caso de las resistencias extrínsecas, su dependencia lineal, creciente con la temperatura, podría limitarse a la del drenador, ya que la de la fuente permanece prácticamente constante, igual a su valor a la temperatura de operación (no se calienta), según se pudo comprobar numéricamente.

Por otro lado, en el caso de los MOS-HEMT la tensión umbral aumenta significativamente a medida que la anchura de la puerta disminuye. En un primer momento se asoció esta dependencia a la posible existencia de trampas bajo la puerta. Sin embargo, ello implicaría un desplazamiento de las curvas de transferencia con la temperatura que no se observa. Por ello se atribuye el desplazamiento de la tensión umbral con la anchura de puerta a defectos originados durante el procesado de las muestras, como *pits*, residuos orgánicos o metálicos, etc., con una densidad intermedia tal que, a medida que el transistor se estrecha, haya menos probabilidad de que tengan lugar en él, originando una carga superficial parásita equivalente menor, positiva, bajo la puerta.

En cuanto a la resistencia térmica de los HEMT de GaN, al ser su frecuencia de operación necesaria para evitar autocalentamiento dinámico de unos pocos megahertzios, y las constantes de tiempo asociadas a las trampas del transistor superiores a 0,1 ms, pudo aplicarse la técnica de la conductancia en AC para su determinación, por primera vez, a distintas temperaturas, en transistores de diferente geometría (anchura y longitud de puerta). La resistencia térmica resultante disminuye linealmente tanto con la anchura de la puerta como con la temperatura, obteniéndose expresiones en ambos casos para las simulaciones numéricas y el modelado compacto. Sin embargo, no se aprecia que la

resistencia térmica dependa significativamente de la longitud de puerta, al menos cuando ésta varía entre una y tres micras.

En general se produce un autocalentamiento menor a medida que la longitud de puerta aumenta, por disminución de la corriente sin variación de la resistencia térmica, y la anchura de puerta disminuye, ya que el aumento de la resistencia térmica no compensa la disminución de la corriente; siendo la variación de la temperatura interna dos órdenes de magnitud superior ante variaciones de la longitud de puerta.

En cuanto a las simulaciones numéricas, haciendo uso de la resistencia térmica medida y teniendo en cuenta la degradación de la conductividad térmica en las capas finas del dispositivo, se ha establecido un procedimiento para reproducir adecuadamente el autocalentamiento. Estableciendo primeramente los parámetros que fijan la dependencia con la temperatura de la movilidad y la velocidad de saturación en el canal (con modelos III-V en las heteroestucturas y modelos propios del MOSFET bajo la puerta empotrada de los MOS-HEMT), asumiendo temperaturas uniformes en todo el dispositivo, posteriormente, introduciendo la ecuación del calor, se determinaron las condiciones de contorno térmicas apropiadas para simular el autocalentamiento. En caso de emplear puertas Schottky (en los HEMT del ISOM), fue necesario distribuir la resistencia térmica entre el terminal de puerta y el fondo de la estructura simulada (bajo el canal). Mientras que con estructuras MOS de puerta (en los MOS-HEMT del CEA-Leti), toda la resistencia térmica pudo ser localizada bajo el canal. Este resultado es coherente con la esperada dispersión del calor, internamente generado por efecto Joule, hacia el exterior del dispositivo: puerta y sustrato en los HEMT del ISOM, y sustrato en los MOS-HEMT del CEA-Leti. De esta forma, no sólo se simula correctamente la degradación de la corriente de drenador en las curvas características con el aumento de la temperatura de operación, sino que también se predice la máxima temperatura que tiene lugar en el canal, bajo la puerta, por el lado del drenador.

Con respecto al modelado compacto, para los HEMT del ISOM se partió de un modelo desarrollado en la Universitat Rovira i Virgili, implementado en Verilog-A. A este modelo se le incorporó la dependencia con la temperatura de los principales parámetros: tensión umbral, resistencias extrínsecas, movilidad a campos bajos, velocidad de saturación y resistencia térmica, extraídos a partir de las medidas o las simulaciones, estableciendo el autocalentamiento mediante un proceso iterativo en el que el incremento de la temperatura en el dispositivo se corresponde con el de la iteración previa, para actualizarlo posteriormente con la corriente resultante, hasta alcanzar la convergencia. El

incremento de temperatura final (promedio en el canal) se corresponde exitosamente con el simulado y medido (a partir de la resistencia térmica extraída), en los distintos regímenes y temperaturas de operación. Y la dependencia de la corriente y la temperatura con la geometría de puerta también se predicen correctamente.

En algunos HEMT del ISOM se midieron tensiones de drenador de saturación superiores a las propias de la corriente en el canal de GaN. Un análisis numérico exhaustivo reveló la existencia de corriente parásita a través de la barrera de AlGaN. Efecto conocido como MESFET parásito, que fue exitosamente incorporado al modelo compacto.

Los MOS-HEMT del CEA-Leti, al ser transistores MOSFET, fueron modelados en una primera aproximación haciendo uso del BSIMSOI3.1, disponible en ADS, ya que incorpora el autocalentamiento. Tras el ajuste de sus parámetros básicos, pudieron predecirse tanto las curvas características de los transistores como el incremento de temperatura, variando la temperatura de sustrato.

Por último, se ha desarrollado una metodología simple para evaluar la resistencia térmica de los HEMT, al variar el material de sustrato empleado. Haciendo uso de las resistencias térmicas conocidas de dos HEMT, que únicamente difieren en el sustrato (zafiro y silicio), y de la relación entre las conductividades térmicas de los sustratos involucrados, pudo estimarse la resistencia térmica resultante del dispositivo con sustratos como el molibdeno y SiC. Así, pudo modelarse y simularse la degradación de la corriente y la transconductancia, a medida que la conductividad térmica del sustrato disminuye, evidenciando y cuantificando la importancia del uso de sustratos apropiados, durante la fabricación de los HEMT, para mitigar el autocalentamiento.

7.2 Líneas abiertas

Como en todo trabajo de investigación, surgen nuevos retos e ideas por explorar y quedan pendientes líneas a desarrollar que, en el caso de esta tesis se resumen a continuación en sus tres frentes: la experimentación, la simulación numérica y el modelado.

En relación a la experimentación, se podría extender la técnica de la conductancia en AC para la determinación de la capacitancia térmica de los transistores basados en GaN. De esta forma su circuito térmico equivalente permitiría predecir el autocalentamiento en régimen transitorio y AC, para luego simularlo y modelarlo.

También sería de gran interés conocer en detalle la distribución y el tipo de trampas, así como los defectos introducidos durante el procesado de los transistores, y su respuesta en régimen alterno, pulsado y transitorio, a distintas temperaturas. Incluso en continua se ha observado en los MOS-HEMT una degradación de la corriente con el transcurso del tiempo, que deja el transistor finalmente inservible, y debe ser justificada.

La simulación numérica de estos defectos, para su correcto entendimiento, podría ayudar al esfuerzo actual por reducirlos. Un modo de hacerlo con apoyo en simulación es incorporar *field-plates* apropiados para maximizar la tensión de ruptura del transistor.

Por otro lado se ha obviado incorporar el *buffer* a la estructura simulada, básicamente porque es una información confidencial que no suelen compartir los suministradores de muestras. Sin embargo, el *buffer* empleado resulta esencial para conseguir reducir la resistencia térmica de los HEMT basados en GaN. Con lo que, si se dispusiera de dicha información, sería de gran interés poder simular variaciones del tipo y número de capas del *buffer*, así como sus espesores, a fin de minimizar la resistencia térmica.

Tampoco se ha tenido en cuenta durante las simulaciones el uso de disipadores térmicos adheridos al dispositivo. La forma, la colocación y el material empleado en dichos disipadores, especialmente en aplicaciones de alta potencia, es también objeto de interés.

Un modelo compacto específico para MOS-HEMTs, que incorpore las especificidades propias de las heterouniones para la respuesta extrínseca, y evalúe la corriente de inversión en el canal con parámetros y modelos propios de semiconductores III-V, se demandará en un futuro próximo.

Finalmente, en esta tesis se han considerado transistores aislados. Sin embargo, lo común es verlos formados por múltiples puertas (*fingers*), sobre todo en aplicaciones de alta potencia, cuando el autocalentamiento adquiere mayor relevancia. La distribución de las puertas y su geometría, así como la del resto de los terminales, condicionan la capacidad de disipar el calor internamente generado por el dispositivo y su intensidad. Los estudios realizados en esta tesis deberían extenderse a transistores con diferente número de puertas.

Y como aplicación, el diseño de circuitos de potencia y radiofrecuencia con tecnología GaN, su fabricación, testeo y modelado, ya son, de hecho, de interés general.

Referencias

[Able 2005]	A. Able, W. Wegscheider, K. Engl, J. Zweck, "Growth of crack-free GaN on Si(111) with graded AlGaN buffer layers," Journal of Crystal Growth, Vol. 276, Issues 3–4, pp. 415-418, 2005.
[Adivarahan 2005]	V. Adivarahan, J. Yang, A. Koudymov, G. Simin and M. A. Khan, "Stable CW operation of field-plated GaN-AlGaN MOSHFETs at 19 W/mm," IEEE Electron Device Letters, vol. 26, no. 8, pp. 535-537, 2005.
[AEMET 2017]	http://www.aemet.es/es/portada
[Albrecht 1998]	J. D. Albrecht, R. P. Wang, and P. P. Ruden, "Electron transport characteristics of GaN
	for high temperature device modeling." Journal of Applied Physics; vol. 83, pp. 4777-81, 1998.
[Ambacher 1999]	O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff,
	L. F. Eastman, R. Dimitrov, L. Wittmer, M. Stutzmann, W. Rieger, and J. Hilsenbeck,
	"Two-dimensional electron gases induced by spontaneous and piezoelectric polarization
	charges in N- and Ga-face AlGaN/GaN heterostructures," Journal of Applied Physics, vol.
	85, p. 3222, 1999.
[Ambacher 2000]	O. Ambacher, J. Smart, J.R. Shealy, N.G. Weinmann, K. Chu, M. Murphy, A. J.
	Sierakowski, W. J. Schaff, and L. F. Eastman, "Two dimensional electron gases induced
	by spontaneous and piezoelectric polarization in undoped and doped AlGaN/GaN
	heterostructures." Journal of Applied Physics, vol. 87, pp. 334-44, 2000.
[Amende 2016]	T. Amende, M. Friedrich, M. Endres, S. Pihale, R. Schmidt, "Thermal conductivity of
	Al2O3 substrates and precise 3D layer reconstruction – Key parameters for matching FEM
	simulations with thermal measurements," In: Proc of 9th International Conference on
	Integrated Power Electronics Systems (CIPS 2016): pp. 1-6. 2016.
[Arora 1982]	N. D. Arora, J. R. Hauser, and D. J. Roulston, "Electron and Hole Mobilities in Silicon as
	a Function of Concentration and Temperature," IEEE Transactions on Electron Devices,
	vol. ED-29, no. 2, pp. 292–295, 1982.
[Arslan 2008]	E. Arslan, M. K. Ozturk, A. Teke, S. Ozcelik, E. Ozbay, "Buffer optimization for crack-
	free GaN epitaxial layers grown on Si(111) substrate by MOCVD," Journal of Physics D:
	Applied Physics, vol. 41, no. 15, p. 155317, 2008.

[Bahat-Treidel	E. Bahat Treidel, F. Naumann, H. Gargouri, O. Hilt, B. Martinez, and J. Würfl "Systematic
2016]	Study on Plasma Enhanced Atomic Layer Deposited Al2O3 on n GaN" In proceedings of
	the 47th IEEE Semiconductor Interface Specialist Conference (SISC), San Diego, p. 6.10,
	2016.
[Barker 2005]	J. M. Barker, D. K. Ferry, D. D. Koleske, and R. J. Shul, "Bulk GaN and AlGaN / GaN
	heterostructure drift velocity measurements and comparison to theoretical models."
	Journal of Applied Physics, vol. 97, p. 063705-5, 2005.
[Barkhordarian	Vrej Barkhordarian, "Power MOSFET Basics," International Rectifier, El Segundo, Ca.
2004]	www.irf.com.
[Beechem 2016]	T. E. Beechem, A. E. McDonald, E. J. Fuller, A. A. Talin, C. M. Rost, JP. Maria, J. T.
	Gaskins, P. E. Hopkins, and A. A. Allerman, "Size dictated thermal conductivity of GaN."
	Journal of Applied Physics, vol. 120, pp. 095104-6, 2016.
[Bernardini	F. Bernardini, V. Fiorentini, and D. Vanderbilt "Spontaneous Polarization and
1997]	Piezoelectric Constants of III-V Nitrides," Physical Review B covering condensed matter
	and materials physics, vol. 56, R10024-R10027, 1997.
[Binari 1997]	S. C. Binari, W. Kruppa, H. B. Dietrich, G. Kelner, A. E. Wickenden, and J. A. Freitas,
	"GaN FETs for microwave and high-temperature applications", Solid-State Electron, vol.
	41, no. 10, pp. 1549-1554, 1997.
[Binari 2001]	S. C. Binari, K. Ikossi, J. A. Roussos, W. Kruppa, D. Park, H. B. Dietrich, D. D. Koleske,
	A. E. Wickenden, and R. L. Henry, "Trapping effects and microwave power performance
	in AlGaN/GaN HEMTs," IEEE Trans. Electron Devices, vol. 48, no. 3, pp. 465-471, 2001.
[Bisi 2015]	D. Bisi, M. Meneghini, M. Van Hove, D. Marcon, S. Stoffels, T. Wu, S. Decoutere, G.
	Meneghesso, E. Zanoni, "Trapping mechanism in GaN-based MIS-HEMTs grown on
	silicon substrate", Phys. Status Solidi A, vol. 212, no. 5, pp. 1122-1129, 2015.
[Canali 1975]	C. Canali, G. Majni, R. Minder, G. Ottaviani, "Electron and hole drift velocity
	measurements in silicon and their empirical relation to electric field and temperature",
	IEEE Trans Electron Devices, vol. 22, pp. 1045-1047, 1975.
[Caulmiloné	R. Caulmiloné, Y. Baines, F. Levy, E Guiot, T. Mrotzek, "GaN based advanced substrates
2017]	by Smart-Cut for power devices", Proceedings of WOCSDICE, pp. 51-52, 2017.
[Cheng 1997]	Y. Cheng, M. C. Jeng, Z. H. Liu, J. Huang M. Chan, P. K. Ko, and C. Hu, "A Physical and
	Scalable I-V Model in BSIM3v3 for Analog/Digital Circuit Simulation", IEEE Trans. On
	Electron Devices, vol. 42, pp. 277-287, 1997.
[Chen 2005]	C. H. Chen, C. M. Yeh, C.M. Hwang, T. L. Tsai, C. H. Chiang, C. S. Chang, T. P. Chen,
	"Stress relaxation in the GaN/AlN multilayers grown on a mesh-patterned Si(111)
	substrate", Journal of Applied Physics, vol. 98, p. 093509, 2005.
[Cheng 2010]	X. Cheng, M. Li, Y. Wang. "An analytical model for current-voltage characteristics of
	AlGaN/GaN HEMTs in presence of self-heating effect." Solid-State Electron, vol. 54, pp.
	42-47, 2008.
[Chiu 2015]	HC. Chiu, CW. Yang, HC. Wang, HL. Kao, NC. Chen, FT. Chien, and MC.
	Kan, "High-performance, micromachined GaN-on-Si high-electron-mobility transistor

with backside diamond like carbon/titanium heat-dissipation layer" Applied Physics Express, vol. 8, no. 1, pp. 011001-4, 2015.

- [Cho 1983] A.Y. Cho, "Molecular Beam Epitaxy Growth of III-V Semiconductor and their properties", Thin solid films, vol. 100, pp. 291-317, 1983.
- [Chu 2004] K. K. Chu, P. C. Chao, M. T. Pizzella, R. Actis, D. E. Meharry, K. B. Nichols, R. P. Vaudo, X. Xu, J. S. Flynn, J. Dion, and G. R. Brandes, "9.4 W/mm power density AlGaN-GaN HEMTs on free-standing GaN substrates", IEEE Electron Device Lett., vol. 25, no. 9, pp. 596–598, 2004.
- [Chvála 2017] A. Chvála, J. Marek, P. Prítbytný, J. Kováč, S. L. Delage, J.-C. Jacquet and D. Donoval. "Thermal analysis of multifinger power HEMTs supported by 3-D simulation Proceedings of WOCSDICE, pp. 79–80, 2017.
- [Dadgar 2001] A. Dadgar, A. Alam, T. Riemann, J. Blassing, A. Diez, M. Poschenrieder, M. Strassburg, M. Heuken, M. Christen, A. Krost, "Crack-Free InGaN/GaN Light Emitters on Si(111)" Phys. Stat. Sol. A, vol. 188, pp. 155-158, 2001.
- [Dammann 2009] M. Dammann, W. Pletschen, P. Waltereit, W. Bronner, R. Quay, S. Müller, M. Mikulla, O. Ambacher, P.J. van der Wel, S. Murad, T. Rödle, R. Behtash, F. Bourgeois, K. Riepe, M. Fagerlind, E.Ö. Sveinbjörnsson. "Reliability and degradation mechanism of AlGaN/GaN HEMTs for next generation mobile communication systems", Microelectronics Reliability, vol. 49, pp. 474–477, 2009.
- [Darwish 2015] A. Darwish, A.J. Bayba, H.J. Hung. "Channel temperature analysis of GaN HEMTs with nonlinear thermal conductivity", IEEE Trans Electron Devices, vol. 62, pp. 840–6, 2015.
 [Das 2017] S. Das, K. Gosh, R. Sarkar, S. Dutta, S. Mukherjee, S. Ganguly, and A. Laha, "Epitaxial lanthanide oxide on III-Nitride substrates for high power MOS HEMT application," Proceedings of WOCSDICE, pp. 11–12, 2017.
- [Di Cioccio 2015 L. Di Cioccio; E. Morvan; M. Charles; P. Perichon; A. Torres; F. Ayel; D. Bergogne; Y. Baines; M. Fayolle; R. Escoffier; W. Vandendaele; D. Barranger; G. Garnier; L. Mendizabal; B. Thollin; M. Plissonnier "From epitaxy to converters topologies what issues for 200 mm GaN/Si?," 2015 IEEE International Electron Devices Meeting (IEDM), pp. 16.5.1-16.5.4, 2015.
- [Erofeev 2017] E.V. Erofeev and I.V. Fedin. "High threshold voltage self-aligned MIS-gated GaN transistors for power electronics," In Proc. Workshop on Compound Semiconductor Devices and Integrated Circuits held in Europe (WOCSDICE), 2017.
- [Farahmand M. Farahmand, C. Garetto, E. Bellotti, K.F. Brennan, M. Goano, E. Ghillino, G. Ghione,
 J.D. Albrecht, and P.P. Ruden. "Monte Carlo simulation of electron transport in the IIInitride wurtzite phase materials system: binaries and ternaries", IEEE Trans Electron Devices vol. 48, no. 3, pp. 535-542, 2001.
- [Gao 2012] F. Gao; D. Chen; B. Lu; H. L. Tuller; C. V. Thompson; S. Keller; Umesh K. Mishra; and T. Palacios, "Impact of Moisture and Fluorocarbon Passivation on the Current Collapse of AlGaN/GaN HEMTs," in IEEE Electron Device Letters, vol. 33, no. 10, pp. 1378-1380, 2012.

[Gao 2014]	F. Gao, D. Chen, H. L. Tuller, C. V. Thompson, and T. Palacios, "On the redox origin of surface trapping in AlGaN/GaN high electron mobility transistors," Journal of Applied
	Physics, vol. 115, p. 124506, 2014.
[González 2004]	B. González, A. Hernández, J. García, J. del Pino, J. R. Sendra, and A. Nunez, "Characterization of extrinsic resistances in temperature behaviour modelling of InGaAs
	MODFETs". Semiconductor Science and Technology, vol. 19, pp. 648-654, 2004.
[Grant 1989]	D A Grant and I Gowar "Power MOSEETs – Theory and Application" John Wiley &
	Sons New York 1989
[Guorui 2010]	L. Guorui, L. Xiaovun, "Some methods to make high quality GaN film by MOCVD".
	Advances in Optoelectronics and Micro/nano-optics, pp. 1-3. 2010.
[Hanawa 2014]	H. Hanawa, H. Onodera, A. Nakajima and K. Horio, "Numerical Analysis of Breakdown
	Voltage Enhancement in AlGaN/GaN HEMTs With a High-k Passivation Laver", in IEEE
	Transactions on Electron Devices, vol. 61, no. 3, pp. 769-775, 2014.
[Heller 2008]	E.R. Heller and A. Crespo, "Electro-thermal modelling of multifinger AlGaN/GaN HEMT
	device operation including thermal substrate effects". Microelectronics Reliability Vol.
	48, pp. 45-50, 2008.
[Higashiwaki	M. Higashiwaki, H. Murakami, Y. Kumagai, and A. Kuramata, "Current status of Ga ₂ O ₃
2016a]	power devices", Japanese Journal of Applied Physics, vol. 55, p. 1202A1, 2016.
[Higashiwaki	M. Higashiwaki, K. Sasaki, H. Murakami, Y. Kamagui, A. Koukitu, A. Kuramata, T.
2016b]	Masui, S. Yamakoshi, "Recent progress in Ga ₂ O ₃ power devices", Semiconductor Science
	and Technology, vol. 31, p. 034001, 2016.
[Hilt 2010]	O. Hilt, A. Knauer, F. Brunner, J Würfl, "Normally-off AlGaN/GaN HFET with p-type
	GaN Gate and AlGaN buffer", Proceedings of the 22 nd International Symposium on Power
	Semiconductor Devices and ICs, pp. 347-350, 2010.
[Horio 2017]	K. Horio and H. Hanawa, "Analysis of breakdown voltage enhancement in AlGaN/GaN
	HEMTs with double passivation layers using a high-k dielectric", Proceedings of
	WOCSDICE, pp. 21–22, 2017.
[Hu 2001]	X. Hu, A. Koudymov, G. Simin, J. Yang, M. Asif Khan, A. Tarakji, M. S. Shur, and R.
	Gaska, "Si 3 N 4 / AlGaN/GaN -metal-insulator-semiconductor heterostructure field-
	effect Transistors," Applied Physics Letters, vol. 79, p. 2832, 2001.
[Huber 2015]	M. Huber, M. Silvestri1, L. Knuuttila, G. Pozzovivo1, A. Andreev, A. Kadashchuk, A.
	Bonanni, and A. Lundskog, "Impact of residual carbon impurities and gallium vacancies
	on trapping effects in AlGaN/GaN metal insulator semiconductor high electron mobility
	transistors," Applied Physics Letters, vol. 107, p. 032106, 2015.
[Ibbetson 2000]	J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra,
	"Polarization effects, surface states, and the source of electrons in AlGaN/GaN
	heterostructure field effect transistors", Applied Physics Letters., vol. 77, no. 2, pp. 250-
	252, 2000.

[Ikeda 2010]	N. Ikeda, Y. Niiyama, H. Kambayashi, Y. Sato, T. Nomura, S. Kato, and S. Yoshida, "GaN
	power transistors on Si substrates for switching applications," Proc. IEEE, vol. 98, no.
	7, pp. 1151–1161, 2010.
[Egawa 1999]	T. Egawa, K. Nakamura, H. Ishikawa, T. Jimbo, and M. Umeno, "Characteristics of a GaN
	Metal Semiconductor Field-Effect Transistor Grown on a Sapphire Substrate by
	Metalorganic Chemical Vapor Deposition" Japanese Journal of Applied Physics, Volume
	38, Part 1, Nr 4B, pp 2630 – 2633, 1999.
[Joh 2009]	J. Joh, JA del Alamo, T-M Chou, H-Q Tserng, JL Jimenez, "Measurement of channel
	temperature in GaN high-electron mobility transistors," IEEE Trans Electron Devices, vol.
	56, pp. 2895-901, 2009.
[Kaneko 2015]	S. Kaneko, M. Kuroda, M. Yanagihara, A. Ikoshi, H. Okita, T. Morita, K. Tanaka, M.
	Hikita, Y. Uemoto, S. Takahashi, T. Ueda, "Current-collapse-free operations up to 850 V
	by GaN-GIT utilizing hole injection from drain" 2015 IEEE 27th International
	Symposium on Power Semiconductor Devices & IC's (ISPSD), pp. 41-44., 2015.
[Khandelwal	S. Khandelwal, N. Goyal, and T. A. Fjeldly, "A physics based analytical model for 2DEG
2011]	charge density in AlGaN/GaN HEMT devices," IEEE Trans. Electron Devices, vol. 58,
	no. 10, pp. 3622–3625, 2011.
[Khandelwal	S. Khandelwal and T. A. Fjeldly, "A physics based compact model for I–V and C–V
2012]	characteristics in AlGaN/GaN HEMT devices," Solid State Electron., vol. 76, pp. 60-66,
	2012.
[Koller 2017]	C. Koller, G. Pobegen, C. Ostermaier, M. Huber and D. Pogany, "Leakage and voltage
	blocking behavior of carbon-doped GaN buffer layers," Proceedings of WOCSDICE, pp.
	23–24, 2017.
[Kurpas 2017]	P. Kurpas, E. Bahat-Treidel, O. Hilt, RS. Unger, N. Volkmer, I. Ostermay, M. Baldini,
	G. Wagner, H. Gargouri, F. Naumann, G. Tränkle, J. Würfl. B-Ga ₂ O ₃ (100) MISFETs for
	power electronics applications, Proceedings of WOCSDICE, pp. 27-28, 2017.
[Kuzmík 2002]	J. Kuzmik, R. Javorka, A. Alam, M. Marso, M. Heuken, P. Kordos, "Determination of
	channel temperature in AlGaN/GaN HEMTs grown on sapphire and silicon substrates
	using DC characterization method," IEEE Trans Electron Devices, vol. 49, pp. 1496 -
	1498, 2002.
[Kuzmík 2014]	J. Kuzmík, M. Tapajna, L. Valik, M. Molnar, D. Donoval, C. Fleury, D. Pogany, G.
	Strasser, O. Hilt, F. Brunner, and J. Wurfl, "Self-Heating in GaN Transistors Designed for
	High-Power Operation," in IEEE Transactions on Electron Devices, vol. 61, no. 10, pp.
	3429-3434, 2014.
[Lagger 2012]	P. Lagger, C. Ostermaier, D. Pobegen, and D. Pogany, "Towards understanding the origin
	of threshold voltage instability of AlGaN/GaN MIS-HEMTs", Proceedings of IEEE
	IEDM, pp. 13.1.1–13.1.4, 2012.
[Lagger 2014]	P. Lagger, M. Reiner, D. Pogany, and C. Ostermaierm, "Comprehensive study of the
	complex dynamics forward bias-induced threshold voltage drifts in GaN based MIS-

	HEMTs by Stress/Recovery Experiments", IEEE Trans. Electron Devices, vol. 61, no. 4, pp. 1022-1030, 2014.
[Lee 2004]	J. W. Lee and K. J. Webb. "A temperature-dependent nonlinear analytic model for AlGaN-
	GaN HEMTs on SiC" IEEE Trans Microw Theory Tech vol 52 no 2 pp 2–9 2004
[Lee 2013]	Lee S. Wachnik R. Hyde P. Wagner L. Johnson J. Chou A. et al. "Experimental analysis
	and modeling of self heating effect in dielectric isolated planar and fin devices"
	Proceedings of Symposium on VLSIT T248-9 2013
[Li 2004]	D S Li H Chen H O Jia O Huang and I M Zhou "Dependence of leakage current
	on dislocations in GaN-based light-emitting diodes" I Appl Phys. vol. 96 no. 2 np.
	1111-1114 2004
[Liu 2005]	Liu W., Balandin A.A., "Thermal conduction in AlxGal-xN allovs and thin films". J.
[Appl. Phys. vol. 97, 073710-6, 2005.
[Liu 2013]	H. F. Liu, S. B. Dolmanan, L. Zhang, S. J. Chua, D. Z. Chi, M. Heuken, and S. Tripathy.
	"Influence of stress on structural properties of AlGaN/GaN high electron mobility
	transistor layers grown on 150 mm diameter Si (111) substrate", J. Appl. Phys., vol. 113,
	023510, 2013.
[Liyuan 2013]	Y. Liyuan, Ai Shan, Chen Yonghe, Cao Mengyi, Zhang Kai, Ma Xiaohua, and Hao Yue,
-	"A self-heating study on multi-finger AlGaN/GaN high electron mobility transistors",
	Journal of Semiconductors ,vol. 34, no. 7, 074005, 2013.
[Lundqvist 2013]	B. Lundqvist, P. Raad, M. Yazdanfar, P. Stenberg, R. Liljedahl, P. Komarov, N. Rorsman,
	J. Ager, O. Kordina, I. Ivanov, and E. Janzén, "Thermal conductivity of isotopically
	enriched silicon carbide", Proceedings of THERMINIC, pp. 58-61, 2013.
[Lyons 2010]	J.L. Lyons, A. Janotti, and C.G. Van de Walle "Carbon impurities and the yellow
	luminescence in GaN", Appl. Phys. Lett. vol. 97, 152108, 2010.
[Lyons 2014]	J. L. Lyons, A. Janotti, and C. G. Van de Walle, "Effects of carbon on the electrical and
	optical properties of InN, GaN, and AlN", Phys. Rev. B, vol. 89, 035204, 2014.
[Makovejev	Makovejev S, Olsen S.H., Kilchytska V., Raskin J.P., "Time and frequency domain
2013]	characterization of transistor self-heating", IEEE Trans Electron Devices, vol. 60, no. 6,
	pp. 1844–51, 2013.
[Manual Atlas]	2016 Atlas User Guide (Silvaco Inc.).
[Manual	Agilent B1505A Power Device Analyzer/Curve Tracer Data Sheet, 2009.
B1500A]	
[Manual	Agilent FieldFox Handheld Analyzers N9912A, Datasheet, 2013.
FieldFox]	
[Marcon 2013]	D. Marcon, B. De Jaegger, S. Halder, N. Vrancks, G. Mannaert, M. Van Hove, and S.
	Decoutere, "Manufacturing challenges of GaN-on-Si HEMTs in 200 mm CMOS Fab",
	IEEE Trans. on Semiconductor Manufacturing, vol. 26, no. 3, pp. 361-367, 2013.
[Marino 2010]	F. A. Marino, N. Faralli, T. Palacios, D. K. Ferry, S. M. Goodnick, and M. Saraniti,
	"Effects of Threading Dislocations on AlGaN/GaN High-Electron Mobility Transistors",
	IEEE Trans. Electron Devices, vol. 57, no. 1, 353-360, 2010.

[Marsch 2006]	S. Marsh, Practical MMIC Design. Artech House, Inc., 2006.
[Massabuau	F. C-P. Massabuau, P. Chen, M.K. Horton, S.L. Rhode, C.X. Ren, et al., "Carrier
2017]	localization in the vicinity of dislocations in InGaN", J. Appl. Phys., vol. 121, no. 1,
	013104, 2017.
[Meneghesso	G. Meneghesso, M. Meneghini and E. Zanoni, "Breakdown mechanisms in AlGaN/GaN
2014]	HEMTs: An overview", Jap. J. A. Ph., vol. 53, no. 10, 100211, 2014.
[Meneghini 2016]	M. Meneghini, I. Rossetto, D. Bisi, M. Ruzzarin, M Van Hove, S. Stoffels, et al.,
	"Negative Bias-Induced Threshold Voltage Instability in GaN-on-Si Power HEMTs",
	IEEE Electron Device Lett.", vol. 37, no. 4, pp. 474–477, 2016.
[Meunier 2013]	Meunier R, Torres A, Morvan E, Charles M, Gaud P, Morancho F., "AlGaN/GaN
	MISHEMT gate structure improvement using Al ₂ O ₃ deposited by plasma-enhanced
	ALD", Microelectron. Eng., vol. 109, pp. 378-380, 2013.
[Millán 2011]	Z. Millán, L. de la Torre, L. Oliva, M. C. Berenguer, "Simulación numérica. Ecuación de
	difusión", Revista Iberoamericana de Ingeniería Mecánica, vol. 15, no. 2, pp. 29-38, 2011.
[Ministerio de	"Tecnología de Semiconductores GaN y SiC", Sistema de Observación y Prospectiva
Defensa 2010]	Tecnológica (SOPT) – Ministerio de Defensa, 2010.
[Mion 2006]	C. Mion, J. Muth, E. Preble, and H. Danser, "Thermal conductivity, dislocation density
	and GaN device designOriginal Research Article", Superlattices Microstruct., vol. 40, no.
	4–6, pp. 338–342, 2006.
[Miura 2004]	N. Miura, T. Nanjo, M. Suita, T. Oishi, Y. Abe, al., "Thermal annealing effects on Ni/Au
	based Schottky contacts on n-GaN and AlGaN/GaN with insertion of high work function
	metal", Solid-State Electron., vol. 48, no 5, pp. 689-695, 2004.
[Moens 2016]	P. Moens, A. Banerjee, A. Constant, P. Coppens, M. Caesar, et al., "Intrinsic Reliability
	Assessment of 650V Rated AlGaN/GaN Based Power Devices: An Industry Perspective
	High Voltage Electronics/Photonics", ECS Transactions, vol. 72, no. 4, pp. 65-76, 2016.
[Moore 2015]	A. Moore and J. Jimenez "GaN RF Technology" John Wiley and Sons, 2015. ISBN 978-
	1-119-13553-1).
[Nagel 1973]	L.W. Nagel and D.O. Pederson " Simulation Program with Integrated Circuit Emphasis",
	Proc. Sixteenth Midwest Symposium on Circuit Theory, Waterloo, Canada, April 12,
	1973. Available: https://www2.eecs.berkeley.edu/Pubs/TechRpts/1973/ERL-382.pdf
[Nagel 1975]	L.W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits", UC
	Berkeley, 1975, available at: https://www2.eecs.berkeley.edu/Pubs/TechRpts/1975/ERL-
	520.pdf
[Nakayama 2001]	H. Nakayama, P. Su, C. Hu, M. Nakamura, H. Komatsu, K. Takeshita, and Y. Komatsu,
	"Methodology of Self-Heating Free Parameter Extraction and Circuit Simulation for SOI
	CMOS", Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 381–384,
	2001.
[Nazari 2015]	M. Nazari, B.L. Hancock, E.L. Piner, and W. Holtz, "Self-Heating Profile in an
	AlGaN/GaN Heterojunction Field-Effect Transistor Studied by Ultraviolet and Visible

	Micro-Raman Spectroscopy", IEEE Trans. Electron Devices, vol.62, no. 5, pp. 1467–1472, 2015.
[O´Clock 1973]	G. D. O'Clock and M. T. Duffy, "Acoustic surface wave properties of epitaxially grown
	aluminum nitride and gallium nitride on sapphire", Appl. Phys. Lett. 23, pp. 55, 1973.
[Ortiz-Conde	A. Ortiz-Conde, F.J. Garcia Sanchez, J.J. Liou, A. Cerdeira, M. Estrada, Y. Yue, "A
2002]	review of recent MOSFE1 threshold voltage extraction methods, Microelectron. Reliab.,
	vol. 42, pp. 583–96, 2002.
[Pierret 1988]	R. F. Pierret, "Semiconductor Fundamentals", Second Edition. Addison-Wesley
	Publishing Co, 1988.
[Poblenz 2004]	C. Poblenz, P. Waltereit, S. Rajan, S. Heikman, and U. K. Mishra, "Effect of carbon
	doping on buffer leakage in AlGaN/GaN high electron mobility transistors", Journal of
	Vacuum Science & Technology B: Microelectronics and Nanometer Structures
	Processing, vol. 22, no. 3, pp. 1145-1149, 2004.
[Pomeroy 2014]	J.W. Pomeroy, R.B. Simon, H. Sun, D. Francis, F. Faili, D.J. Twitchen, and M. Kubal,
	"Contactless Thermal Boundary Resistance Measurement of GaN-on-Diamond Wafers",
	IEEE Electron Dev. Letters, vol. 35, no. 10, pp. 1007–1009, 2014.
[Rodríguez 2015]	Raúl Rodríguez, Benito González, Javier García, Fetene M. Yigletu, José M. Tirado,
	Benjamín Iñiguez, and Antonio Nunez, "Numerical simulation and compact modelling of
	AlGaN/GaN HEMTs with mitigation of self-heating effects by substrate materials", Phys.
	Status Solidi A, vol. 212, no. 5, pp. 1130-1136, 2015.
[Romero 2017]	M.F. Romero, A. Boscá, J. Martínez, J. Pedrós, T. Palacios, and F. Calle, "Effects of mist
	exposure on SiN-passivated AlGaN/GaN-based MISHEMTs with and without graphene
	top layer", Proceedings of WOCSDICE, pp. 39-40, 2017.
[Rinaldi 2001]	N. Rinaldi, "Small-signal operation of semiconductor devices including self-heating, with
	application to thermal characterization and instability analysis", IEEE Trans Electron
	Devices 2001, vol. 48, no. 2, pp. 323–331, 2001.
[Roldán 2012]	A. Roldán, "Simulación de circuitos basada en la implementación de modelos avanzados
	de dispositivos y sensores electrónicos en Verilog-A", Tesis doctoral, Universidad de
	Granada, 2012.
[Sadi 2006]	T. Sadi, R.W. Kelsall, N.J. Pilgrim, "Investigation of self-heating effects in submicrometer
	GaN/AlGaN HEMTs using an electrothermal Monte Carlo method", IEEE Trans Electron
	Devices, vol. 53, no. 12, pp. 2892–2900, 2006.
[Saito 2005]	W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura, and T. Ogura, "Influence of
[]	surface defect charge at AlGaN-GaN-HEMT upon Schottky gate leakage current and
	breakdown voltage" IEEE Trans Electron Devices vol 52 no 2 pp 159–164 2005
[Si-A]i 2017]	A Si-Ali G Brom-Verheyden K Geens S Lenci F Barry R van Schaijik M van
	Hove S Decoutere and P Offermans "GaN based gas sensing" Proceedings of
	WOCSDICE pp 55–56 2017

[Simmons 1971]	J.G. Simmons and G.W. Taylor, "Nonequilibrium Steady-State Statistics and Associated
	Effects for Insulators and Semiconductors Containing an Arbitrary Distribution of Traps",
	Phys. Rev. B, vol. 4, no. 2, pp. 502–511, 1971.
[Su 2000]	P. Su, S. K. H. Fung, S. Tang, F. Assaderaghi, and C. Hu, "BSIMPD: A Partial-Depletion
	SOI MOSFET Model for Deep-Submicron CMOS Designs", Proceedings of the IEEE
	Custom Integrated Circuits Conference, pp.197–200, 2000.
[Su 2002]	P. Su, S. Fung, H. Wan, A. Niknejad, M. Chan, and C. Hu, "An impact ionization model
	for SOI circuit simulation", 2002 IEEE International SOI Conference Proceedings, pp.
	201-202, 2002.
[Schulze 2014]	Marc Schulze, "On-wafer GaN Power Semiconductor Characterization",
	CascadeMicrotech, 2014.
[Schwierz 2005]	F. Schwierz, "An electron mobility model for wurtzite GaN", Solid-State Electron. vol.
	49, no. 6, pp. 889–995, 2005.
[Sze 1981]	Sze SM. "MOSFET". In: "Physics of semiconductor devices". 2nd ed. New York: Wiley,
	p. 477, 1981.
[Taube 2014]	Taube A, Sochacki M, Szmidt J, Kaminska E, and Piotrowska A., "Modelling and
	simulation of normally-off AlGaN/GaN MOS-HEMTs", Intl J Electron Telecommun.,
	vol. 60, pp. 253–258, 2014.
[Tirado 2007]	J. M. Tirado, J. L. Sánchez-Rojas, and J. I. Izpura, "Trapping Effects in the Transient
	Response of AlGaN/GaN HEMT Devices", IEEE Trans. Electron Devices, vol. 54, no. 3,
	pp. 410–417, 2007.
[Trassaert 1999]	S. Trassaert, B. Boudart, C. Gaquiere, D. Théron, Y. Crosnier, F. Huet, and M.A. Poisson,
	"Trap effects studies in GaN MESFETs by pulsed measurements", IEEE Electronics
	Letters, vol. 35, no. 16, pp. 1386-1388, 1999.
[Trivellin 2017]	N. Trivellin, M. Buffolo, M. Meneghini, E. Zanoni, and G. Menegheso, "White light
	Source based on GaN laser Diode", Proceedings of WOCSDICE, pp. 61-62, 2017.
[Tsubouchi 1985]	K. Tsubouchi, N. Miskoshiba, "Zero-Temperature-Coefficient SAW Devices on AlN
	Epitaxial Films", IEEE Trans. Sonics Ultrason, vol. 32, pp. 634-644, 1985.
[Turin 2006]	Turin V.O. and Balandin A.A., "Electrothermal simulation of the self-heating effects in
	GaNbased field-effect transistors", J. Appl. Phys., vol. 100, 054501-8, 2006.
[Tutorial ADS	Agilent Technologies, "Advanced Design System 2008 - Verilog-A and Verilog-AMS
2008]	Reference Manual", 2008.
[Tutorial	P. Su, H. Wan, S. Fung, M. Chan, A. Niknejad, and C. Hu, "BSIMSOI3.1 MOSFET model
BSIMSOI3.1]	user's manual", University of California, Berkeley, 2013. http://www-
	device.eecs.berkeley.edu/~bsimsoi
[Uemoto 2007]	Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka,
	and D. Ueda, "Gate injection transistor (GIT)-A normally-off AlGaN/GaN power
	transistor using conductivity modulation", IEEE Trans. Electron Devices, vol. 54, no. 12,
	pp. 3393–3399, 2007.

[Uren 2012]	M. J. Uren, J. Möreke, and M. Kuball, Buffer Design to Minimize Current Collapse in
	GaN/AlGaN HFETs, IEEE Trans. Elec. Dev., vol. 59, pp. 3327-3333, 2012.
[Uren 2014]	M. J. Uren, M. Cäsar, M. A. Gajda, and M. Kuball, "Buffer transport mechanisms in
	intentionally carbon doped GaN heterojunction field effect transistors", Appl. Phys. Lett.,
	vol. 104, p. 2635505, 2014.
[Uren 2015]	M. J. Uren, M. Caesar, S. Karboyan, P. Moens, P. Vanmeerbeek, and M. Kuball, "Electric
	Field Reduction in C-Doped AlGaN/GaN on Si High Electron Mobility Transistors", IEEE
	Elec. Dev. Lett., vol. 36, pp. 826-828, 2015.
[Uren 2017]	M. J. Uren, S. Karboyan, and M. Kuball, "Simulation of GaN power transistors: a leaky
	dielectric model", Proceedings of WOCSDICE, pp. 83–84, 2017.
[Van de Walle	C. G. Van de Walle. C. Stampfl. and J. Neugebauer. "Theory of doping and defects in III-
1998]	V nitrides". Journal of Crystal Growth. vol. 189-190. pp. 505-510, 1998.
[Vetury 2000]	R. Vetury, "Polarization induced 2DEG in AlGaN/GaN HEMTs: On the origin, DC and
	transient characterization". Ph. D. Thesis, University of California, Santa Barbara.
	December 2000.
[Vetury 2001]	R. Vetury, N. O. Zhang, S. Keller, and U. K. Mishra, "The impact of surface states on the
	DC and RF characteristics of AlGaN/GaN HFETs". IEEE Trans. Electron Devices. vol.
	48. no. 3. pp. 560-566. 2001.
[Vitanov 2010]	S. Vitanov, "Simulation of High Electron Mobility Transistors". PhD Thesis.
	Technological University of Wien, December 2010.
[Wetzel 1997]	C. Wetzel, H. Amano, I. Akasaki, T. Suski, J. W. Ager, E. R. Weber, E. E. Haller, B. K.
	Mever, (Edited by: Ponce, F.A.; DenBaars, S.P.; Mever, B.K.; Nakamura, S.; Strite, S.)
	"Localized donors in GaN: spectroscopy using large pressures", Nitride
	Semiconductors.Symposium, Nitride Semiconductors Symposium, Boston, MA, USA, 1-
	5 Dec. 1997. Warrendale, PA, USA: Mater. Res. Soc, pp. 489-500, 1998.
[Woojin 2014]	C. Woojin, S. Ogyun, R. Hojin, HY. Cha, KS. Seo, "High-voltage and low-leakage-
-	current gate recessed normally-off GaN MIS-HEMTs with dual gate insulator employing
	PEALD-SiN / RF-sputtered- HfO ₂ ", IEEE Electron Device Lett., vol. 35, p. 2, 2014.
[Wósko 2015]	M. Wosko, B. Paszkiewics, A. Vincze, T. Szymanski, R. Paszkiewics, GaN/AlN
	superlattice high electron mobility transistor heterostructures on GaN/Si(111), Phys. Stat.
	Sol. B, vol. 252, pp. 1195-1200, 2015.
[Wósko 2017]	M. Wósko, T. Szymanski, B. Paszkiewics, R. Paszkiewics. AlN/GaN/Si(111) HEMT's
	structures performance, Proceedings of WOCSDICE, pp. 47-48, 2017.
[Wu 1979]	C.M. Wu, and E.S. Yang, "Carrier transport across heterojunction interfaces", Solid-State
	Electronics, vol. 22, pp. 241–248, 1979.
[Wu 1997]	Y. F. Wu, S. Keller, P. Kozodoy, B. P. Keller, P. Parikh, D. Kapolnek, S. P. DenBaars,
	and U. K. Mishra, "Bias dependent microwave performance of AlGaN/GaN MODFET's
	up to 100 V", IEEE Trans.Electron Devices, vol. 18, pp. 290–292 (1997).

[Wu 1998]	Y. F. Wu, B. P. Keller, P. Fini, S. Keller, T. J. Jenkins, L. T. Kehias, S. P. DenBaars, and
	U. K. Mishra, "High Al-content AlGaN/GaN MODFETs for ultrahigh performance",
	IEEE Electron Device Lett., vol. 19, pp. 50–53, 1998.
[Wu 2015]	T. Wu, D. Marcon, B. De Jaegger, M. Van Hove, B. Bakeroot, S. Stoffels, G. Groeseneken,
	S. Decoutere, R. Roelofs, "Time dependent dielectric breakdown (TDDB) evaluation of
	PE-ALD SiN gate dielectrics on AlGaN/GaN recessed gate D-mode MIS-HEMTs and E-
	mode MIS-FETs", Proceedings IEEE International Reliability Physics Symposium, 2015.
[Yamaguchi	Yamaguchi K., "Field-dependent mobility model for two-dimensional numerical analysis
1979]	of MOSFET's", IEEE Trans. Electron. Devices, vol. 26, pp. 1068-74, 1979.
[Yan 2009]	D. Yan, H. Lu, D. Cao, D. Chen, R. Zhang, and Y. Zheng, "On the reverse gate leakage
	current of AlGaN/GaN high electron mobility transistors", Appl. Phys. Lett., vol.
	97,153503, 2010.
[Ye 2005]	P.D. Ye, B Yang, KK Ng, J Bude, GD Wilk, GaN metal-oxide-semiconductor high-
	electron-mobility-transistor with atomic layer deposited $\mathrm{Al}_2\mathrm{O}_3$ as gate dielectric, Appl.
	Phys. Lett., vol. 86, p. 063, 2005.
[Yigletu 2013]	F. M. Yigletu, S. Khandelwal, T. A. Fjeldly, and B. Iñiguez, "Compact Charge-Based
	Physical Models for Current and Capacitances in AlGaN/GaN HEMTs", IEEE Trans.
	Electron Devices vol. 60, no. 11, pp. 3746–3752, 2013.
[Yue 2008]	Y. Yue, Y. Hao, J. Zhang, J. Ni, W. Mao, Q. Feng, and L. Liu, "AlGaN/GaN MOS-HEMT
	With HfO2 Dielectric and Al_2O_3 Interfacial Passivation Layer Grown by Atomic Layer
	Deposition", IEEE Electron Device Lett., vol. 29, pp. 838-840, 2008.
[Zhang 2007]	B. S. Zhang, H. Liang, Y. Wang, Z. H. Feng, K. W. Ng, K. M. Lau, "High performance
	III-nitride blue leds grown and fabricated on patterned Si substrates", J. Cryst. Growth,
	vol. 298, pp. 725-730, 2007.
[Zhao 2002]	C. Zhao, G. Roebben, M. Heyns, and O. van der Biest, Key Eng. Mater, "Crystallisation
	and Tetragonal-Monoclinic Transformation in ZrO2 and HfO2 Dielectric Thin Films"
	Mater. Res. Soc. Symp. Proc., vol. 745, p. 9, 2002.
[Zou 2010]	J. Zou, "Latttice thermal conductivity of freestanding gallium nitride nanowires", J. Appl.
	Phys, vol. 108, pp. 034324-1-034324-7, 2010.

Publicaciones

Una lista de revistas y contribuciones en conferencias directamente relacionadas con este trabajo de investigación.

ARTÍCULOS DE REVISTA

- R. Rodríguez, B. González, J. García, A. Núñez, "DC thermal characterization for GaN on Si MOS-HEMTs" Solid State Electronics, 2017. (bajo revisión)
- R. Rodríguez, B. González, J. García, F. M. Yigletu, J.M. Tirado, B. Iñiguez, and A. Nunez, "Numerical simulation and compact modelling of AlGaN/GaN HEMTs with mitigation of self-heating effects by substrate materials" Physica Status Solidi A, 2015. DOI 10.1002/pssa.201431897.

COMUNICACIONES EN CONFERENCIAS

- R. Rodríguez, B. González, J. García, and A. Nunez, "DC self-heating in GaN on Si MOS-HEMTs", Proceedings WOCSDICE 53 (2017) ISBN978-84-16989-68-3
- R. Rodríguez, B. González, J. García, A. Vega, and A. Nunez, "DC characteristics with substrate temperature for GaN on Si MOS-HEMTs", CDE 2017, DOI: 10.1109/CDE.2017.7905214.
- R. Rodríguez, B. González, J. García, F. M. Yigletu, B. Iñiguez, A. Lázaro, and A. Nunez, "Thermal conditions for DC numerical simulation and modelling of the operating temperature in GaN HEMTs", EMRS 2015.

- R. Rodríguez, B. González, J. García, F. M. Yigletu, J. M. Tirado, B. Iñiguez, and A. Núñez, "DC SHEs on GaN HEMTs varying substrate material", CDE 2015, DOI: 10.1109/CDE.2015.7087452.
- R. Rodríguez, B. González, J. García, F. M. Yigletu, J. M. Tirado, B. Iñiguez, and A. Nunez, "Numerical simulation and compact physical modelling of AlGaN/GaN power HEMTs accounting for mitigation of SHE degradation by using engineered substrate materials", IWN 2014.

Anexo A

Para la extracción de la tensión umbral de los transistores bajo estudio se aplicaron varios métodos de medida basados en el trabajo de [Ortiz-Conde 2002], con la intención de valorar cual era el más apropiado. A continuación, se muestra la implementación de los cinco métodos usados con el HEMT de AlGaN/GaN 3C de la muestra B del ISOM, extrapolables a cualquier dispositivo FET que se quiera estudiar.

Método de corriente constante, CC

El método CC evalúa la tensión umbral como el valor de la tensión de puerta, V_{GS} , correspondiente a un valor arbitrario constante de la corriente de drenador, I_{DS} , en régimen lineal ($V_{DS} < 0,1$ V). Un valor típico normalizado para esta corriente de drenador es (W/L)×10⁻⁷, siendo W y L la anchura y la longitud de puerta del transistor, respectivamente. Para el caso del transistor bajo estudio, con $W = 300 \ \mu m$ y $L = 2 \ \mu m$, resulta un valor de 15 μ A. Este método es ampliamente usado en la industria, debido a su simplicidad y rapidez. La desventaja estriba en su arbitrariedad. La implementación de este método, a distintas temperaturas de sustrato, se muestra en la Figura A.1.



Figura A.1. Implementación del método CC sobre la curva característica de transferencia, con $V_{DS} = 0,1$ V, para el transistor 3C de la muestra B del ISOM.

Método de extrapolación en la región lineal, ELR

El método ELR es quizás el método de extracción de la tensión umbral más popular. Consiste en encontrar la tensión de puerta para la que se anula la corriente de la extrapolación lineal de la curva de transferencia, en el punto de máxima transconductancia (pendiente), g_m . La implementación de este método se muestra en la Figura A.2.



Figura A.2. Implementación del método ELR sobre la curva característica de transferencia, con $V_{\text{DS}} = 0,1$ V, para el transistor 3C de la muestra B del ISOM.

Método de la transconductancia en la región lineal, GMLE

El método GMLE, poco usado, fue propuesto en [Tsuno 1998, Tsuno 1999]. Trata de



Figura A.3. Implementación del método GMLE sobre la curva característica de transferencia con $V_{\text{DS}} = 0,1$ V. Transistor 3C de la muestra B del ISOM.

minimizar la excesiva dependencia de la transconductancia del transistor, en régimen lineal, con la tensión de puerta, consistiendo en aplicar la estrategia del método ERL a la característica $g_{\rm m}$ - $V_{\rm GS}$, como muestra la Figura A.3.

Método de la segunda derivada, SD

El método SD [Wong 1987], desarrollado para evitar la dependencia de las resistencias series, determina la tensión umbral como la tensión de puerta con la que la derivada de la transconductancia, es decir, $\partial g_m/\partial V_{GS} = \partial^2 I_{DS}/\partial V_{GS}^2$, es máxima. El origen de este método se puede entender analizando el caso ideal de un MOSFET, en el que la corriente es nula para tensiones de puerta inferiores a la umbral, y proporcional a la tensión de puerta en caso contrario. Entonces la transconductancia sería discontinua con la tensión de puerta, y su derivada infinita cuando ésta coincide con la tensión umbral. En la Figura A.4 se puede observar la implementación de este método.



Figura A.4. Implementación del método SD sobre la curva característica de transferencia, con $V_{\text{DS}} = 0,1$ V, para el transistor 3C de la muestra B del ISOM.

Método del ratio, RM

El método RM [Ghibaudo 1988], desarrollado para evitar la dependencia de la tensión umbral extraída con la degradación de la movilidad y las resistencias serie parásitas, se basa en que el cociente entre la corriente de drenador y la raíz cuadrada de la transconductancia, $I_{\rm DS}/g_{\rm m}^{0.5}$, depende linealmente de la tensión puerta en régimen lineal, cuya intercepción con el eje de tensiones de puerta representaría la tensión umbral, como muestra Figura A.5.



Figura A.5. Implementación del método RM sobre la curva característica de transferencia con $V_{\text{DS}} = 0,1$ V. Transistor 3C de la muestra B del ISOM.