



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

Departamento: INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA

Programa de Doctorado: INGENIERÍA DE TELECOMUNICACIÓN AVANZADA

Título de la Tesis

**CONTRIBUCIONES AL DISEÑO
CMOS DE EXCITADORES Y
RESTAURADORES DE NIVEL LÓGICO
DE CONMUTACIÓN EN SISTEMAS E
INTERCONEXIONES DE ALTAS
PRESTACIONES**

Tesis Doctoral presentada por D. José Carlos García Montesdeoca

Dirigida por el Dr. D. Juan Antonio Montiel Nelson

EL DIRECTOR:

EL DOCTORANDO:

Las Palmas de Gran Canaria, a 2 de Marzo de 2009

Y dijo Dios: "Esta será la señal del pacto que establezco entre yo y vosotros, y todo ser viviente que está con vosotros, por generaciones, para siempre: Yo pongo mi arco en las nubes como señal del pacto que hago entre yo y la tierra. Y sucederá que cuando yo haga aparecer nubes sobre la tierra, entonces el arco se dejará ver en las nubes. Me acordaré de mi pacto que existe entre yo y vosotros, y todo ser viviente de toda clase, y las aguas no serán más un diluvio para destruir toda carne. Cuando el arco aparezca en las nubes, yo lo veré para acordarme del pacto perpetuo entre Dios y todo ser viviente de toda clase que está sobre la tierra."

El Primer Libro de Moisés. Génesis



Figura 1: Moisés.

Con gran amor a mi mujer,
enorme afecto y admiración a mis tutores,
gran cariño a los amigos,
mucho aprecio a los conocidos,
y agradecimiento a todos los que se alegran de ello.

Presentación

El Real Decreto 1393/2007 de fecha 29 de octubre de 2007 del Ministerio de Educación y Ciencia (BOE nº 260 de martes 30 de octubre de 2007) establece la ordenación de las enseñanzas universitarias oficiales. Este Real Decreto tiene como objetivo desarrollar la estructura de las enseñanzas universitarias oficiales, de acuerdo con las líneas generales emanadas del Espacio Europeo de Educación Superior y de conformidad con lo previsto en el artículo 37 de la Ley Orgánica 6/2001, de 21 de diciembre, de Universidades, en su nueva redacción dada por la Ley Orgánica 4/2007, de 12 de abril, por la que se modifica la anterior.

Marco legislativo

Directrices del E.E.E.S.

La disposición transitoria tercera del Real Decreto 1393/2007 establece para aquellos estudiantes que ya habían iniciado sus estudios de tercer ciclo, lo siguiente:

A los estudiantes que en la fecha de entrada en vigor de este real decreto hubiesen iniciado estudios de Doctorado, les serán de aplicación las disposiciones reguladoras del doctorado y de expedición del título de Doctor por las que hubieran iniciado dichos estudios. En todo caso el régimen relativo a elaboración, tribunal, defensa y evaluación de la tesis doctoral será aplicable a dichos estudiantes a partir de un año de su entrada en vigor.

En lo referente a la elaboración, tribunal, defensa y evaluación de tesis doctorales, el Real Decreto 1393/2007 habilita a las universidades españolas para el desarrollo reglamentario dentro del ámbito de sus respectivas competencias en su artículo 21:

Elaboración y defensa

La Universidad establecerá procedimientos con el fin de garantizar la calidad de las tesis doctorales tanto en su elaboración como en el proceso de evaluación. Estos procedimientos incluirán las previsiones relativas a la elección y al registro del tema de la tesis doctoral y a la lengua en la que se redactará y en la que se defenderá la tesis doctoral.

El reglamento para la elaboración, tribunal, defensa y evaluación de tesis doctorales de la Universidad de Las Palmas de Gran Canaria (ULPGC), desarrolla los artículos 21 y 22 del Real Decreto 1393/2007, en virtud de dicha habilitación.

El nuevo reglamento

Respecto al formato y al contenido de la tesis doctoral, el reglamento especifica claramente:

Formato y contenido

Art. 6º. Formato de la tesis

En los ejemplares de la tesis doctoral deberán figurar los siguientes datos:

- 1. En la tapa de todos los ejemplares, el logotipo o escudo y nombre de la Universidad de Las Palmas de Gran Canaria, el órgano responsable del Programa de Doctorado, título, autor, fecha y lugar.*
- 2. El ejemplar original contendrá una primera página en blanco donde los servicios administrativos de la Universidad harán constar, en su momento, el tribunal, calificación global otorgada, fecha y firmas. La segunda página contendrá la certificación del órgano responsable del Programa de Doctorado con la autorización para su presentación a depósito.*
- 3. En todos los ejemplares la tercera página contendrá los siguientes datos: el logotipo o escudo y nombre de la Universidad de Las Palmas de Gran Canaria, el nombre del Programa de Doctorado cursado, el nombre del órgano responsable del Programa de Doctorado donde se ha realizado la tesis doctoral, el título de la misma, los nombres y firmas del autor y director/es, y el lugar y fecha de finalización.*

Art. 1º. Contenido de la tesis doctorales

La tesis doctoral consistirá en un trabajo original de investigación elaborado por el candidato en una disciplina relacionada con el Programa de Doctorado cursado.

Trámites

El reglamento especifica en su artículo 5º el procedimiento para tramitar la tesis una vez concluida su redacción.

Art. 5º. Autorización y depósito de la tesis

- 1. Finalizada la elaboración de la tesis doctoral, el doctorando entregará una copia de la misma, acompañada de la autorización de el/los director/es, al órgano responsable del Programa de Doctorado.*
 - 2. El órgano responsable del Programa de Doctorado, en el plazo máximo de quince días, dará o no la conformidad para su tramitación.*
 - 3. El alumno que haya obtenido la conformidad para el depósito de la tesis doctoral, entregará en los servicios administrativos de la Universidad 10 ejemplares encuadernados de la misma y una copia en formato digital, acompañados de un folio con un resumen de la tesis a una cara y a doble espacio y la autorización de el/los director/es.*
-

Resolución de
conformidad

Habiendo obtenido la conformidad para el depósito de la tesis doctoral por el órgano responsable del Programa de Doctorado, y cumpliendo con los requisitos establecidos en la legislación vigente, se depositan los 10 ejemplares de este documento “Memoria de tesis doctoral” con el fin de proceder al acto de lectura y defensa.

Agradecimientos

He de agradecer a mi esposa, María del Pino Navarro Machín, toda su bondad, cariño, entrega, renuncia de diversiones, y comprensión para poder concluir esta meta de formación profesional.

También a mi director de tesis, Juan Antonio Montiel Nelson, por sus ánimos, confianza, amistad, dedicación y enseñanzas. Por creer que podía sacar de mi algo de fundamento y conocimiento, orientándome para cumplir los objetivos de formación y trabajo con rigor.

A un amigo especial, Saeid Nooshabadi, por su enorme esfuerzo, paciencia y entrega. Contribuyendo en varias de las publicaciones que respaldan este trabajo que aquí se adjunta, y en la aclaración de muchas dudas desde otros extremos del mundo.

A mis padres y otras personas de mi familia que me aprecian.

A mis queridos amigos del laboratorio y a los del anexo. Con mención expresa de Héctor Navarro Botello, Carlos Javier Sosa González, y Víctor Navarro Botello por sus bromas, enseñanzas y asistencias.

A todos los miembros de la división de Diseño de Sistemas Integrados, en especial. Y, a las demás divisiones del IUMA, en general.

A los organismos, organizaciones, colectivos, y profesionales que han puesto al servicio de la humanidad todos los conocimientos, esfuerzos y sustento verificados en esta tesis.

Y, a todas aquellas personas, que de forma directa o indirecta, se vean implicadas en esta tesis hasta su conclusión, tramitación y presentación.

Reconocimientos

La elaboración de esta tesis ha sido posible gracias a la financiación otorgada por distintas entidades y proyectos. Por tanto, es de rigor dar gracias:

1. A la Universidad de Las Palmas de Gran Canaria (ULPGC), por contratarme como profesor asociado laboral a tiempo parcial, permitiendo mi enriquecimiento formativo, didáctico y docente.
2. Al Departamento de Ingeniería Electrónica y Automática (DIEA) de la Universidad de Las Palmas de Gran Canaria (ULPGC), por su apoyo económico y organizativo para coordinar y compatibilizar mi trabajo externo con el docente.
3. Por último, mi reconocimiento a la labor de respaldo y estima de todas las personas del Instituto Universitario de Microelectrónica Aplicada (IUMA), y en especial a la División de Sistemas Integrados.

Los proyectos de investigación que han dado soporte a los trabajos de esta tesis, han sido:

- Entorno para la verificación de conmutadores Hardware, VER (PI2002/127), regulado por la Dirección General de Universidades e Investigación del Gobierno de Canarias.
- Diseño e implementación de un chipset (transceptor y matriz de conmutación) para transmisión de paquetes en redes de alta velocidad, DCIR (TIC2002 — 02998), dirigido por el Ministerio Español de Ciencia y Tecnología.
- Entorno de diseño basado en IPs con soporte para verificación y depuración, integración de redes en Chip y aplicaciones multimedia, ENDIVIA (TEC2005–08138–C02–01), soportado por el Ministerio Español de Ciencia y Tecnología.

Resumen

HOY en día, la tecnología de circuitos integrados está orientada al desarrollo de dispositivos y sistemas optimizados para aplicaciones de bajo consumo. De no ser así, en gran parte de los equipos portátiles, sus baterías tendrían un tiempo de vida muy limitado, y se complicaría su refrigeración y dimensionado en peso y volumen. Estos factores, a su vez, tendrían una inevitable influencia sobre el incremento del coste del producto correspondiente. Por otro lado, la fiabilidad depende del consumo, y este último redundaría de modo perjudicial en el medio ambiente global. De lo anterior se extrae una conclusión general, y es la siguiente: “no es posible optimizar los factores que afectan al consumo de modo independiente y se requiere de un conjunto de soluciones que aporten el mayor beneficio”.

El retardo de un cable crece cuadráticamente con su longitud. El retardo de la señal en cables largos tiende a estar dominado por los efectos RC (resistencia-capacidad), y se está convirtiendo en un gran problema en las tecnologías modernas. Al mismo tiempo, el retardo medio de las puertas individuales disminuye. Por lo anterior, en el diseño de sistemas digitales, es un gran reto el llevar señales de un extremo a otro del chip, proporcionando una sincronización exacta entre ellas y un funcionamiento correcto del sistema. En este trabajo se contemplan aquellas técnicas que ayudan a sobrellevar el retardo impuesto por la resistencia del cable. La introducción de excitadores intermedios (repetidores) en la línea de interconexión es el método más popular para reducir el retardo de propagación en líneas largas. El retardo óptimo se obtiene cuando el retardo de los segmentos de cable se iguala al del excitador. Incluso con la inserción de excitadores el retardo del cable no puede reducirse por debajo de un mínimo determinado. La única táctica para afrontarlo es actuando sobre la arquitectura del sistema. En este sentido, parte del trabajo a realizar consiste en reducir el consumo de potencia y energía optimizando la topología de los circuitos excitadores y restauradores CMOS de nivel lógico, tanto en las interconexiones como en circuitos electrónicos en los que son importantes las conmutaciones de señal.

Una técnica avanzada, surgida en los últimos años, consiste en reducir la excursión lógica de la señal para disminuir el retardo y el consumo de potencia cuando se excitan líneas largas de interconexión con grandes capacidades de carga. Para ello, se requiere excitar la línea con un circuito transmisor (excitador) cuya señal de salida sea de baja excursión lógica, y también, recibir la señal en el extremo final de la línea con un circuito conversor (receptor) que reconstruya la excursión lógica original (completa) de la señal antes de ser procesada por el circuito excitador. Por otro lado, al reducir la excursión de la señal se decrece el margen de ruido, la integridad de la señal y la fiabilidad.

Sin embargo, cuando se aborda el diseño de los circuitos de interconexión con excursión lógica reducida se ha de dar prioridad a disminuir el consumo de energía y tener buenas prestaciones frente a la integridad y fiabilidad de la señal.

La tesis considera, principalmente, el consumo de potencia dinámica; consecuencia de la carga y descarga de capacidades, y corriente de cortocircuito durante la conmutación. La potencia consumida en los circuitos que se abordan depende de los tiempos de subida y bajada de la entrada y la salida, del valor de la capacidad de carga, y del tamaño de los transistores. Por otra parte, esta potencia es proporcional al cuadrado de la tensión de alimentación, de aquí el interés por reducirla. Sin embargo, tal reducción conlleva pérdida de velocidad, especialmente cuando la tensión de alimentación sea menor o igual a la suma de las tensiones umbrales de los transistores.

La capacidad parásita del transistor y la de interconexión no se pueden reducir, arbitrariamente. En las tecnologías con dimensiones inferiores a la micra la capacidad de interconexión es una componente importante frente a la capacidad total de un circuito. Por ello, es mejor escalar la tensión de alimentación para reducir el consumo de potencia. Además, las interconexiones sobre el chip son muy importantes ya que al crecer la escala de integración aumenta el consumo con el incremento de la longitud del cable.

Frecuentemente, se requiere excitar grandes cargas capacitivas con una elevada velocidad y/o con pequeños tiempos de subida y bajada. Un ejemplo típico corresponde a la red de distribución de reloj. La excitación de reloj es muy importante desde el punto de vista del consumo de potencia, ya que puede representar entre el 20% y el 40% de la potencia total del chip. El método usual de excitar grandes cargas consiste en utilizar una cadena de inversores, de ahí la necesidad de optimizar su diseño o la de los circuitos que hagan su misma función de excitación.

Con las aportaciones realizadas en esta tesis se resuelven algunos de los problemas más severos debidos al efecto inverso del escalado de la tecnología en las interconexiones. Las aportaciones se centran en el:

1. Diseño y análisis de excitadores ^{1 2} lógicos de baja excursión de tensión. ^{3 4}
2. Diseño y análisis de restauradores de nivel lógico (receptores), conversión de baja a alta excursión de tensión.
3. Diseño de excitadores lógicos y estudio de la técnica de *bootstrap*. ⁵
4. Diseño de excitadores lógicos y estudio de la técnica *multi-path*. ⁶

¹Traducción del término inglés *drivers*.

²Excitador.— Es un circuito electrónico usado para controlar otro circuito funcionando dentro de un determinado rango de tensiones de entrada.

³Traducción de la frase anglosajona *low swing voltage*.

⁴Excursión de tensión.— Es la diferencia entre la tensión mínima y máxima a la salida del excitador. También, se le conoce como excursión lógica.

⁵Bootstrap.— Consiste en cargar un condensador con una determinada polaridad y luego descargarlo aplicándole una tensión con polaridad inversa produciendo, de ese modo, una sobre-excitación de tensión en el circuito.

⁶Multi-path.— Significa que la señal sigue un camino o ruta múltiple.

Índice de Contenidos

1	Introducción	1
1.1	Planteamiento del problema	2
1.2	Motivación y objetivos	6
1.3	Organización de la memoria	8
1.4	Resumen de publicaciones	8
I	Antecedentes	11
2	Estado del arte	13
2.1	Consideraciones sobre las interconexiones	17
2.2	Circuitos de lógica BiCMOS	25
2.3	Circuito lógico BiCMOS de saturación transitoria con excursión lógica completa	27
2.4	BiCMOS sobre-excitado	30
2.5	CMOS bipolar sobre-excitado	31
2.6	Circuito BiCMOS/BiNMOS de excursión lógica completa sobre-excitado	34
2.7	BiCMOS sobre-excitado de excursión lógica completa (<i>Full Swing BS-BiCMOS</i>)	36
2.8	Puerta lógica BiCMOS con doble sobre-excitación	37
2.9	Circuito excitador CMOS de gran carga capacitiva sobre-excitado con excursión lógica completa	38
2.10	Circuito BiNMOS sobre-excitado de excursión lógica de tensión completa	39
2.11	Lógica BiCMOS sobre-excitada de acoplo cruzado diferencial	41
2.12	Circuito inversor sobre-excitado de 1V adecuado para tecnología CMOS estándar	43
2.13	Excitador CMOS sobre-excitado sub-1V	43
2.14	Circuito BiCMOS de alta velocidad con excursión lógica completa de 1V	45
2.15	Comparación de prestaciones entre excitadores en tecnologías CMOS y BiCMOS con funcionamiento en baja tensión	47
2.16	Lógica CMOS de cerrojo sobre-excitado	48
2.17	Circuito excitador CMOS sobre-excitado de baja tensión para aplicaciones de altas prestaciones	51
2.18	Excitador CMOS sub-1V usando sobre-excitación directa	52
2.19	Excitador inversor SOI CMOS basado en la técnica de sobre-excitación	53

2.20	Excitador de gran carga capacitiva para baja tensión	54
2.21	Excitador de gran carga capacitiva, baja fuga de corriente de puerta y alta velocidad	57
II	Aportaciones	61
3	Excitador CMOS adaptativo de baja/alta excursión lógica	63
3.1	Introducción	64
3.2	Estructura del circuito excitador	66
3.3	Funcionamiento del circuito	68
3.4	Evaluación comparativa	70
3.5	Excitador adaptativo	71
3.6	Conclusiones	73
4	Convertidor de nivel de baja a alta excursión lógica CMOS so- bre-excitado	75
4.1	Introducción	76
4.2	Estructura del circuito convertidor de nivel	79
4.3	Evaluación comparativa	80
4.4	Conclusiones	83
5	Convertidor de baja a alta excursión lógica CMOS simétrico	85
5.1	Introducción	86
5.2	Estructura del circuito convertidor de nivel	87
5.3	Evaluación comparativa	92
5.4	Conclusiones	94
6	Par excitador-receptor CMOS de altas prestaciones	95
6.1	Introducción	96
6.2	Arquitectura de test y trabajos previos	98
6.3	Estructura del circuito para los pares excitador-receptor <i>mj-sib</i> y <i>mj-db</i>	101
6.4	Evaluación comparativa	105
6.5	Conclusiones	111
7	Excitador CMOS con sobre-excitación directa	113
7.1	Introducción	114
7.2	Estructuras del circuito excitador	119
7.3	Funcionamiento del circuito	120
7.4	Evaluación comparativa	123
7.5	Conclusiones	125
8	Excitador CMOS eficiente en potencia con sobre-excitación	127
8.1	Introducción	128
8.2	Estructura del circuito <i>F-driver</i>	130
8.3	Funcionamiento del circuito <i>F-driver</i>	131
8.4	Comparación y discusiones	134
8.5	<i>F-driver</i> en tecnología CMOS de sustrato estándar	137

8.6 Conclusiones	140
9 Excitador CMOS de excursión lógica completa	141
9.1 Introducción	142
9.2 Estructura del circuito excitador	143
9.3 Funcionamiento del circuito	144
9.4 Evaluación comparativa	144
9.5 Conclusiones	145
10 Excitador <i>latch</i> usando la técnica de sobre-excitación	147
10.1 Introducción	148
10.2 Estructura del circuito excitador <i>latch</i>	148
10.3 Funcionamiento del circuito	151
10.4 Evaluación comparativa	155
10.5 Conclusiones	158
11 Excitador de acoplo cruzado diferencial de 1.2V y 500MHz	159
11.1 Introducción	160
11.2 Nueva estructura del circuito excitador	164
11.3 Funcionamiento del circuito	165
11.4 Evaluación comparativa	168
11.5 Fabricación y medidas experimentales	170
11.6 Conclusiones	171
III Discusiones	173
12 Conclusiones	175
13 Líneas Futuras	179
Bibliografía	181
Bajo consumo	181
Interconexiones	181
Artículos propios	182
Otros	183
Líneas futuras	189
Acrónimos	191

Índice de Figuras

1	Moisés.	i
1.1	Estimación de retardo de puerta y de interconexión con el escalado tecnológico según la hoja de ruta de la SIA.	5
2.1	Interconexión modelada con una línea RC π^3	18
2.2	Sección transversal de interconexiones entre planos de masa, incluye capacidades de acoplo.	19
2.3	Excitador BiCMOS con configuración en emisor común.	25
2.4	Excitador BiCMOS con configuración en (a) diodo de puerta y (b) seguidor de emisor.	26
2.5	Técnica de excursión lógica completa basada en derivación colector-emisor.	26
2.6	Técnica de excursión lógica completa basada en derivación base-emisor.	27
2.7	Pérdida de tensión en un circuito BiCMOS convencional.	28
2.8	Técnica de excursión lógica completa: (a) con saturación (convencional), y (b) con saturación transitoria.	29
2.9	Configuración del excitador TS-FS-BiCMOS.	30
2.10	Inversor BS-BiCMOS.	31
2.11	Inversor B ² CMOS.	32
2.12	Capacidad de sobre-excitación.	33
2.13	Inversor BiCMOS de excursión lógica completa sobre-excitado (BFBiCMOS).	34
2.14	Inversor BiNMOS de excursión lógica completa sobre-excitado (BFBiNMOS).	35
2.15	Inversor BS-BiCMOS de excursión lógica completa <i>Full Swing BS-BiCMOS</i>	36
2.16	Inversor BiCMOS con doble sobre-excitación de excursión lógica completa.	38
2.17	Excitador CMOS de doble sobre-excitación con excursión lógica completa.	39
2.18	Excitador BiNMOS sobre-excitado de excursión lógica completa.	40
2.19	Excitador BiCMOS sobre-excitado de acoplo cruzado diferencial.	42
2.20	Inversor CMOS sobre-excitado para una tensión de alimentación de 1V.	43
2.21	Inversor CMOS sobre-excitado para una tensión de alimentación de 0.5V-1V.	44
2.22	Inversor BiNMOS sobre-excitado para una tensión de alimentación de 1V.	45

2.23	Cerrojo CMOS sobre-excitado. Las salidas UP y DN del árbol lógico diferencial, se conectan a la etapa de salida sobre-excitada.	49
2.24	Cerrojo CMOS con sobre-excitación activa bajo demanda.	50
2.25	Excitador CMOS sobre-excitado no inversor.	51
2.26	Excitador CMOS sub-1V con sobre-excitación directa.	53
2.27	Excitador inversor SOI CMOS de ultra baja tensión.	54
2.28	Excitador CMOS multi-camino, (a) esquema general, (b) estructura con transistores críticos.	55
2.29	Esquema general del excitador de 4 etapas <i>multi-path</i> para $CL > 1pF$	57
2.30	Excitador de 4 etapas <i>multi-path</i> para $CL > 1pF$	58
2.31	Excitador de 3 etapas <i>multi-path</i> para $CL < 1pF$	60
3.1	Excitador CMOS de baja excursión lógica de tensión propuesto. .	66
3.2	Comparación de las formas de onda de los nodos inn y out para el <i>mj-driver</i> and <i>ddc-driver</i> con una carga capacitiva de 5pF y una tensión de alimentación de 1V.	69
3.3	Tiempo del retardo de propagación en función de la capacidad de carga de salida con un proceso de 0.13 μ m de UMC.	70
3.4	Producto energía-retardo en función de la carga para un proceso de 0.13 μ m de UMC.	71
3.5	El <i>mj-driver</i> adaptativo de baja/alta excursión lógica.	72
3.6	Sistema de control de <i>bus</i>	72
4.1	Estructura del circuito para la señalización de tensión de baja excursión lógica en la línea de interconexión.	77
4.2	Estructura de circuito para el <i>lrc-convertor</i>	78
4.3	Convertidor de nivel de baja/alta excursión lógica (<i>lf-convertor</i>). .	79
4.4	Formas de onda del <i>lf-convertor</i> y <i>lrc-convertor</i> sobre-excitados, para una capacidad de carga de salida de 500fF, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$	81
4.5	Retardo de propagación en función de la capacidad de carga en la salida para <i>lf-convertor</i> y <i>lrc-convertor</i> , con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$	81
4.6	Producto potencia-retardo frente a la capacidad de carga para <i>lf-convertor</i> y <i>lrc-convertor</i> , con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$	82
4.7	Producto energía-retardo frente a la capacidad de carga para <i>lf-convertor</i> y <i>lrc-convertor</i> , con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$	82
4.8	Formas de onda del <i>lf-convertor</i> y <i>lrc-convertor</i> sobre-excitado, para una capacidad de carga de salida de 500fF, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, y $V_{ssh}=V_{ssl}=0.0V$	83
4.9	Tiempo de retardo de propagación en función de una carga capacitiva de salida para el <i>lf-convertor</i> y <i>lrc-convertor</i> , con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, y $V_{ssh}=V_{ssl}=0.0V$	84
4.10	Producto potencia-retardo en función de la carga para el <i>lf-convertor</i> y <i>lrc-convertor</i> , con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, y $V_{ssh}=V_{ssl}=0.0V$	84

4.11	Producto energía–retardo en función de la carga para el <i>lf-converter</i> y <i>lrc-converter</i> , con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}- V_{tp} =0.95V$, y $V_{ssh}=V_{ssl}=0.0V$	84
5.1	Estructura del circuito <i>lc-driver</i>	87
5.2	Convertidor de baja a alta excursión lógica CMOS asimétrico (<i>si-driver</i>).	88
5.3	Convertidor de baja a alta excursión lógica CMOS simétrico (<i>sim-driver</i>).	89
5.4	Convertidor de baja a alta excursión lógica CMOS simétrico con transistor de bajada (<i>sid-driver</i>).	89
5.5	Convertidor de baja a alta excursión lógica CMOS simétrico sin transistor M_5 y M_{10} (<i>sir-driver</i>).	90
5.6	Convertidor de baja a alta excursión lógica CMOS simétrico con transistor de subida y bajada (<i>sib-driver</i>).	91
5.7	Tiempo de retardo de propagación en función de la capacidad de carga de salida para un proceso de $0.13\mu m$ de UMC.	92
5.8	Potencia media en función de la carga capacitiva de salida para un proceso de $0.13\mu m$ de UMC.	93
5.9	Energía en función de la carga capacitiva de salida para un proceso de $0.13\mu m$ de UMC.	93
5.10	Producto energía–retardo en función de la carga para un proceso de $0.13\mu m$ de UMC.	93
6.1	Esquema de señalización de interconexión: (a) arquitectura de test y (b) modelo en π del cable.	99
6.2	Estructura de circuito del excitador–receptor CMOS simétrico de baja–alta excursión lógica (LHOS) <i>ddc-db</i> , con $V_{ddh}=1.0V$, $V_{tn}=0.21V$ y $ V_{tp} =0.25V$	100
6.3	Estructura de circuito del excitador–receptor CMOS asimétrico de alta excursión lógica (HOA) <i>asf-lc</i> , con $V_{ddh}=1.0V$, $V_{bus}=0.54V$, $V_{tn}=0.21V$ y $ V_{tp} =0.25V$	100
6.4	Estructura de circuito del excitador–receptor CMOS simétrico de baja–alta excursión lógica (LHOS) versión I (<i>mj-sib</i>), con $V_{ddh}=1.0V$, $V_{tn}=0.21V$ y $ V_{tp} =0.25V$	101
6.5	Estructura de circuito del excitador–receptor CMOS simétrico de baja–alta excursión lógica (LHOS) versión II (<i>mj-db</i>), con $V_{ddh}=1.0V$, $V_{tn}=0.21V$ y $ V_{tp} =0.25V$	102
6.6	Formas de onda de <i>mj-sib</i> , <i>mj-db</i> , <i>ddc-db</i> y <i>asf-lc</i> para una longitud de cable de 10mm, con $V_{ddh}=1.0V$, $V_{swing}=0.54V$, $V_{tn}=0.21V$, y $V_{tp}=-0.25V$	105
6.7	Tiempo del retardo de propagación en función de la longitud de cable para un proceso de $0.13\mu m$ de UMC.	106
6.8	Consumo de energía en función de la longitud de cable para un proceso de $0.13\mu m$ de UMC.	106
6.9	Producto energía–retardo en función de la longitud de cable para un proceso de $0.13\mu m$ de UMC.	107
7.1	Cuatro diseños mostrando distintas conexiones al sustrato.	117

7.2	Excitador CMOS con sobre-excitación indirecta.	118
7.3	Excitador CMOS con sobre-excitación directa.	119
7.4	<i>H-driver</i>	120
7.5	<i>T-driver</i>	121
7.6	<i>M-driver</i>	121
7.7	Doblador de tensión sencillo.	121
7.8	Formas de onda transitorias del <i>M-driver</i>	122
7.9	Tiempo de retardo de subida respecto a la capacidad de carga de salida.	123
7.10	Tiempo de retardo de bajada respecto a la capacidad de carga de salida.	124
7.11	Consumo de potencia respecto a la capacidad de carga de salida.	124
7.12	Área activa · Retardo · Potencia respecto a la capacidad de carga.	125
7.13	Tiempo del retardo de propagación en función de la capacidad de carga.	125
8.1	Circuito inversor CMOS <i>F-driver</i>	130
8.2	Circuito equivalente del <i>F-driver</i> cuando la entrada está a nivel alto.	131
8.3	Circuito equivalente del <i>F-driver</i> cuando la entrada está a nivel bajo.	132
8.4	Circuito equivalente del <i>F-driver</i> durante la transición de entrada de nivel alto a bajo.	132
8.5	Circuito equivalente del <i>F-driver</i> durante la transición de entrada de nivel bajo a alto.	133
8.6	Formas de onda transitorias del excitador inversor <i>F-driver</i>	134
8.7	Efecto del dimensionado de los transistores sobre las prestaciones y el consumo de potencia del <i>F-driver</i>	135
8.8	Efecto del dimensionado de los transistores sobre el producto potencia-retardo del <i>F-driver</i>	135
8.9	Trazado del <i>F-driver</i> ($2.97\mu\text{m} \times 58.98\mu\text{m} = 175\mu\text{m}^2$).	135
8.10	Tiempo de retardo de propagación en función de la capacidad de carga.	138
8.11	Producto potencia-retardo en función de la capacidad de carga.	138
8.12	<i>F-driver</i> en tecnología CMOS de sustrato estándar.	139
8.13	Formas de onda transitorias del <i>F-driver</i> en tecnología CMOS de sustrato estándar.	139
9.1	Estructura de circuito CMOS con sobre-excitación <i>bese-driver</i>	142
9.2	Esquema propuesto del excitador inversor CMOS sobre-excitado de excursión lógica completa.	143
9.3	Potencia \times retardo en función de la carga.	145
10.1	Circuito excitador <i>latch L-driver</i>	149
10.2	Circuito excitador <i>latch J-driver</i>	150
10.3	<i>J-driver</i> cuando UP tiene un estado lógico bajo y DN tiene un estado lógico alto.	151
10.4	<i>J-driver</i> cuando UP y DN tienen estados lógicos en alto y la salida tiene un estado lógico bajo.	152

10.5	<i>J-driver</i> cuando UP y DN tienen estados lógicos en alto y la salida tiene un estado lógico alto.	153
10.6	<i>J-driver</i> cuando UP y DN están en estados lógicos bajos y la salida tiene un estado lógico alto.	153
10.7	<i>J-driver</i> cuando UP, DN y la salida están en estados lógicos bajos.	154
10.8	Formas de onda de tensión del <i>J-driver</i>	155
10.9	Tiempo de retardo de subida en función de la capacidad de carga.	156
10.10	Tiempo de retardo de bajada en función de la capacidad de carga.	157
10.11	Consumo de potencia en función de la capacidad de carga.	157
10.12	Área activa \times retardo \times potencia en función de la capacidad de carga.	158
11.1	Estructura del circuito de la lógica CMOS sobre-excitada de acoplo cruzado diferencial. El esquema inferior corresponde al <i>yc-driver</i>	163
11.2	Estructura del circuito del excitador CMOS sobre-excitado de acoplo cruzado diferencial <i>db-driver</i>	164
11.3	Estructura del circuito equivalente del <i>db-driver</i> cuando V_{out} y V_{outb} están conmutando de alto a bajo y de bajo a alto, respectivamente.	166
11.4	Estructura del circuito equivalente del <i>db-driver</i> cuando V_{out} y V_{outb} están conmutando de bajo a alto y de alto a bajo, respectivamente.	167
11.5	Comparación de las formas de onda de tensión en los nodos de sobre-excitación para <i>db-driver</i> e <i>yc-driver</i>	168
11.6	Formas de ondas transitorias de <i>yc-driver</i> y <i>db-driver</i> con una carga capacitiva de 100fF en el nodo V_{out}	169
11.7	Retardo de propagación en función de la capacidad de carga.	169
11.8	Consumo de potencia en función de la capacidad de carga.	170
11.9	Figura de Mérito (producto potencia-retardo) en función de la capacidad de carga.	170
11.10	Microfotografía del chip que incluye el <i>db-driver</i>	171

Índice de Tablas

1.1	RELACIONES DE ESCALADO PARA DIFERENTES PARÁMETROS [†]	4
2.1	ANCHURA DE CANAL PARA LOS TRANSISTORES DEL EXCITADOR EN TECNOLOGÍA CMOS DE $0.18\mu m$	56
2.2	ANCHURA DE CANAL PARA LOS TRANSISTORES DEL EXCITADOR EN TECNOLOGÍA CMOS DE $65nm$	59
3.1	ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES <i>mj-driver</i> Y <i>ddc-driver</i>	67
3.2	ANCHO DE CANAL PARA LOS TRANSISTORES DEL EXCITADOR <i>ddc-driver</i> CON UNA FUENTE DE ALIMENTACIÓN DE $0.8V$	68
4.1	ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS CONVERTORES <i>lf-converter</i> , Y <i>lrc-converter</i>	80
5.1	ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES <i>lc-driver</i> Y <i>sib-driver</i>	91
6.1	ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES <i>ddc-driver</i> , <i>mj-driver</i> , Y <i>asf-driver</i> , OPTIMIZADOS CON EL MENOR PRODUCTO ENERGÍA-RETARDO PARA LONGITUDES DE CABLE DE 10, 5, Y $1mm$. LA LONGITUD DE CANAL DE TODOS LOS TRANSISTORES ES DE $0.13\mu m$	103
6.2	ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS RECEPTORES <i>lc-receiver</i> , <i>sib-receiver</i> , Y <i>db-receiver</i> , OPTIMIZADOS CON EL MENOR PRODUCTO ENERGÍA-RETARDO PARA LONGITUDES DE CABLE DE 10, 5, Y $1mm$. LA LONGITUD DE CANAL DE TODOS LOS TRANSISTORES ES DE $0.13\mu m$	104
6.3	ÁREAS ACTIVAS TOTALES PARA LOS ESQUEMAS DE SEÑALIZACIÓN DE <i>ddc-db</i> , <i>mj-sib</i> , <i>mj-db</i> , Y <i>asf-lc</i> , OPTIMIZADOS CON EL MENOR PRODUCTO ENERGÍA-RETARDO, PARA LONGITUDES DE CABLE DE 10, 5, Y $1mm$	104
6.4	DESGLOSE DE ENERGÍA, RETARDO Y PRODUCTO ENERGÍA-RETARDO EN FUNCIÓN DE LA LONGITUD DE CABLE PARA <i>ddc-db</i> , <i>mj-sib</i> , <i>mj-db</i> , Y <i>asf-lc</i>	108
6.5	FUENTES Y PARÁMETROS DE RUIDO	110
6.6	ANÁLISIS DE RUIDO	111
7.1	PRESTACIONES Y COMPARACIONES.	123
8.1	COMPARACIÓN DE PRESTACIONES ENTRE LOS DIVERSOS EXCITADORES.	136
8.2	DIMENSIONES DE LOS DISPOSITIVOS PARA LOS DIVERSOS EXCITADORES.	137
8.3	PRESTACIONES DEL <i>F-driver</i> EN CMOS DE SUSTRATO ESTÁNDAR.	140
9.1	ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES.	144

10.1 ANCHO DE CANAL PARA <i>L-driver</i> Y <i>J-driver</i>	150
10.2 PRESTACIONES Y COMPARACIONES.	156
11.1 ANCHO DE CANAL PARA <i>yc-driver</i> Y <i>db-driver</i>	165
12.1 RESUMEN DE LAS CONCLUSIONES DE LA TESIS.	177

Capítulo 1

Introducción

Índice General

1.1 Planteamiento del problema	2
1.1.1 Escalado de transistores CMOS	2
1.1.2 Escalado de interconexiones	4
1.2 Motivación y objetivos	6
1.3 Organización de la memoria	8
1.4 Resumen de publicaciones	8

Resumen:

ESTA tesis se centra en el análisis y diseño de circuitos de altas prestaciones, basados en tecnología *Metal Óxido Semiconductor Complementaria* (CMOS)¹, que realizan las funciones de excitación, conversión de niveles lógicos y recepción. Los avances en la tecnología CMOS han conducido a una mejora creciente en las prestaciones de los circuitos integrados. El concepto de escalado CMOS se refiere a la miniaturización de los transistores de una forma sistemática para que sean más rápidos, que tengan un consumo de potencia² más eficiente, y sean más fiables. Las limitaciones más importantes a la hora de escalar los dispositivos son el incremento exponencial de la corriente de fugas a medida que se disminuye la tensión umbral de los transistores, y la dificultad en fabricar óxidos de puerta muy delgados. Un factor de escala S define el cambio en un determinado parámetro físico de una generación tecnológica a la siguiente. Así como el escalado tecnológico conlleva a una mejora en prestaciones de los transistores, en las interconexiones no ocurre lo mismo; es decir tiene un efecto inverso. Este escalado inverso se refiere a que las interconexiones, cuanto más pequeñas son, mayores retardos producen; debido a la reducción de la sección de la conexión que conduce la corriente.

Este Capítulo está organizado como sigue. Primero, se presenta en la Sección 1.1 el planteamiento del problema que trata del escalado de los transistores CMOS, y del escalado que corresponde a las

¹Traducción del término inglés *Complementary Metal Oxide Silicon*.

²La potencia consumida es igual a la potencia útil más la potencia disipada. La potencia útil es una potencia activa consumida, realmente, por el circuito. La potencia disipada es una pérdida de potencia en forma de calor por efecto Joule.

interconexiones, analizando el consumo de potencia y el retardo. En la Sección 1.2 se exponen las principales motivaciones de esta tesis, resaltando las contribuciones al diseño de circuitos excitadores. En la Sección 1.3 se presenta la estructura del documento de la tesis. Y, finalmente, se concluye el Capítulo con la Sección 1.4 en la que se detallan las aportaciones de la tesis.

Palabras clave: Escalado, interconexión, retardo, consumo de potencia.

1.1 Planteamiento del problema

En esta Sección se toma contacto con las características de la tecnología a utilizar, los criterios a considerar en las especificaciones del diseño, las razones estratégicas a los problemas encontrados para optimizar el funcionamiento de los excitadores, y el extrapolar las soluciones a diseños independientes de la tecnología.

1.1.1 Escalado de transistores CMOS

La tecnología CMOS es muy atractiva para circuitos integrados, y se utiliza, ampliamente, hoy en día. El motivo principal para iniciar el uso de esta tecnología fue que el consumo de potencia estática podía ser despreciable [Svensson, 1996]. Supuso una gran mejora respecto a las técnicas de circuito *Transistor de Unión Bipolar* (BJT)³. El escalado de la tecnología CMOS se introdujo para crear circuitos integrados más rápidos, más eficientes en potencia, fiables y compactos. Un estudio pionero y básico del escalado tecnológico fue realizado por Dennard y otros autores [Dennard et al., 1974]. El parámetro principal que se redujo fue la longitud mínima del canal del transistor. Con el fin de mantener las características del dispositivo inalterables, esta longitud mínima del canal tiene que acompañarse con una disminución de dimensiones verticales tales como el grosor del aislante de la puerta y la profundidad de la unión, reduciendo la tensión de la puerta y el drenador, e incrementando la concentración de dopaje del sustrato. La técnica de escalado ideal se basa en el principio de campo eléctrico constante [Davari et al., 1995].

Las grandes mejoras realizadas en los circuitos integrados durante algunas décadas han sido el resultado de esta técnica de escalado, en las que las dimensiones del transistor se han hecho gradualmente más pequeñas, de más

³Traducción del término anglosajón *Bipolar Junction Transistor*.

[Svensson, 1996] Svensson, D. (1996). *Low power circuit techniques*, pages 38–64. Low Power Design Methodologies. Kluwer Academics Publishers.

[Dennard et al., 1974] Dennard, R. H., Gaensslen, F. H., Rideout, V. L., Bassous, E., and LeBlanc, A. R. (1974). Design of ion-implanted MOSFET's with very small physical dimensions. In *Solid-State Circuits, IEEE Journal of*, volume 9, pages 256–268.

[Davari et al., 1995] Davari, B., Dennard, R. H., and Shahidi, G. G. (1995). CMOS scaling for high performance and low power—the next ten years. In *Proceedings of the IEEE*, volume 83, pages 595–606.

de $10\mu\text{m}$ a mediados de 1960 [Rabaey et al., 2003] a menos de 90nm en los microprocesadores comerciales ampliamente disponibles hoy día. Al hacerse las dimensiones del transistor más pequeñas se puede integrar un número mayor de dispositivos en un chip. La otra consecuencia, de tener dimensiones de transistor más pequeñas, es que decrece la capacidad parásita, por lo tanto disminuirían los retardos de puerta y de hecho la frecuencia de funcionamiento del circuito integrado puede aumentarse.

Ventajas del
escalado

También se reduce la disipación de potencia por dispositivo debido al escalado de la tensión de alimentación, aunque la densidad de potencia por unidad de área del chip será constante si el área del dispositivo se reduce como corresponde [Sylvester and Chenming, 2001]⁴. Los beneficios obtenidos con el escalado de la tensión de alimentación y la tensión umbral han sido expuestos en [Gonzalez et al., 1997] y [Chandrakasan and Brodersen, 1995].

Al reducir la tensión de alimentación disminuye, según el método ideal de escalado, cuadráticamente, el consumo de potencia. Sin embargo, eso causa un mayor retardo de puerta. Esto puede compensarse reduciendo la tensión umbral para aumentar la corriente de excitación y la velocidad. Pero hay problemas o limitaciones al disminuir la tensión umbral por el factor de escala. El escalado de la tensión umbral hace finalmente que la corriente de fuga de umbral inferior⁵ crezca de forma exponencial [Kao and Chandrakasan, 2000], y [Sylvester and Chenming, 2001]. La corriente de fuga de umbral inferior es una cuestión importante para la tecnología de 90nm y más allá [Gielen and Dehaene, 2005].

Escalado de la
tensión de
alimentación

Otros factores que limitan el escalado tecnológico se deben a la velocidad de saturación, la degradación de la movilidad, y la resistencia parásita fuente–drenador; sus efectos son más importantes a medida que disminuyen las dimensiones de los dispositivos. Estos problemas fueron críticos en la ge-

⁴Siendo S el factor de escala, al considerar el método de escalado ideal la potencia consumida por dispositivo y el área se reducen por S^2 , de forma que la densidad de potencia (Potencia/Área) permanece constante.

⁵Es la corriente de inversión débil entre la fuente y el drenador de un transistor MOS cuando la tensión de puerta es menor que la tensión umbral.

[Rabaey et al., 2003] Rabaey, J. M., Chandrakasan, A. P., and Nikolic, B. (2003). *Digital integrated circuits: a design perspective*. Pearson Education International, Upper Saddle River, NJ: Prentice Hall, 2nd edition.

[Sylvester and Chenming, 2001] Sylvester, D. and Chenming, W. (2001). Analytical modeling and characterization of deep–submicrometer interconnect. In *Proceeding of the IEEE*, volume 89, pages 634–664.

[Gonzalez et al., 1997] Gonzalez, R., Gordon, B. M., and Horowitz, M. A. (1997). Supply and threshold voltage scaling for low power CMOS. In *Solid-State Circuits, IEEE Journal of*, volume 32, pages 1210–1216.

[Chandrakasan and Brodersen, 1995] Chandrakasan, A. P. and Brodersen, R. W. (1995). Minimizing power consumption in digital CMOS circuits. In *Proceedings of the IEEE*, volume 83, pages 498–523.

[Kao and Chandrakasan, 2000] Kao, J. T. and Chandrakasan, A. P. (2000). Dual–threshold voltage techniques for low–power digital circuits. In *Solid-State Circuits, IEEE Journal of*, volume 35, pages 1009–1018.

[Gielen and Dehaene, 2005] Gielen, G. and Dehaene, W. (2005). Analog and digital circuit design in 65 nm CMOS: end of the road?

neración tecnológica de los $0.35\mu\text{m}$ [Sylvester and Chenming, 2001]. El efecto de la velocidad de saturación altera la regla de escalado debido al cambio de dependencia cuadrática a dependencia lineal de la corriente media respecto a la tensión [Rabaey et al., 2003].

El escalado de la tensión de alimentación es un problema también en el escalado completo ideal de los parámetros. La tensión de alimentación de algunos dispositivos recientes se mantienen compatibles con tecnologías anteriores. Por ejemplo, se puede ver el uso de la tensión de alimentación estándar de 5V y de 3.3V en una amplia gama de chips. Esto produce un incremento de la densidad de potencia por unidad de área.

Los problemas de escalado tecnológico mencionados dan lugar a una regla de escalado general realista para diferentes parámetros la cual es diferente de la regla de escalado completo ideal. La Tabla 1.1 proporciona las reglas de escalado para diferentes parámetros tecnológicos.

Tabla 1.1: RELACIONES DE ESCALADO PARA DIFERENTES PARÁMETROS[†]

Parámetro	Relación	Escalado completo	Escalado general
W, L, t_{OX}	–	$1/S$	$1/S$
V_{DD}, V_T	–	$1/S$	$1/U$
Área/dispositivo	WL	$1/S^2$	S^2/U
C_{OX}	$1/t_{OX}$	S	S
C_{gate}	$C_{OX}WL$	$1/S$	$1/S$
I_{sat}	$C_{OX}WV$	$1/S$	$1/U$
Densidad de corriente	$I_{sat}/\text{Área}$	S	S^2/U
R_{on}	V/I_{sat}	1	1
Retardo intrínseco	R_{on}/C_{gate}	$1/S$	$1/S$
P	$I_{sat}V$	$1/S^2$	$1/U^2$
Densidad de potencia	$P/\text{Área}$	1	S^2/U^2

[†]Véase [Rabaey et al., 2003].

1.1.2 Escalado de interconexiones

Las dimensiones del transistor se han reducido mediante el escalado tecnológico. Sin embargo, el tamaño del chip no decrece; de hecho se ha hecho mayor con las actuales tecnologías. Esto implica que la longitud de los cables o interconexiones en un circuito no se reduzcan conforme al factor de escala

Longitud de la interconexión

[Sylvester and Chenming, 2001] Sylvester, D. and Chenming, W. (2001). Analytical modeling and characterization of deep-submicrometer interconnect. In *Proceeding of the IEEE*, volume 89, pages 634–664.

[Rabaey et al., 2003] Rabaey, J. M., Chandrakasan, A. P., and Nikolic, B. (2003). *Digital integrated circuits: a design perspective*. Pearson Education International, Upper Saddle River, NJ: Prentice Hall, 2nd edition.

general. Por el contrario, se incrementa debido al mayor área del chip y a la superior complejidad del circuito. Si se reduce la tensión acompañada con el incremento en la longitud del cable, el efecto resultante es que el retardo de la señal en la interconexión empeora. Con el escalado tecnológico, la mínima longitud de cable en las interconexiones también decrece, se aumenta la resistencia efectiva del cable y, con ello, se hace evidente un peor retardo del cable. Por tanto, el retardo de interconexión ha llegado a ser un factor crítico, que limita las prestaciones del circuito, ya que no decrece según se reduce el retardo de la puerta [Cong et al., 1997]. La técnica convencional para reducir el retardo de interconexión es el uso de excitadores a lo largo del cable. Sin excitadores, el retardo de interconexión es una función cuadrática de la longitud del cable, mientras que con la inserción de excitadores, esta relación llega a ser lineal. Desafortunadamente, la inserción de excitadores presenta un problema serio [Kapur et al., 2002], [Maheshwari and Burleson, 2004]; ya que, el número de repetidores necesarios se incrementa, exponencialmente, con el escalado tecnológico según la regla de Rent. Los excitadores añaden también un significativo consumo de potencia al chip. Aparte del incremento del retardo de interconexión, producto del escalado tecnológico, el reducir la tensión de alimentación disminuye aún más el margen de ruido de los circuitos de interconexión.

Uso de excitadores

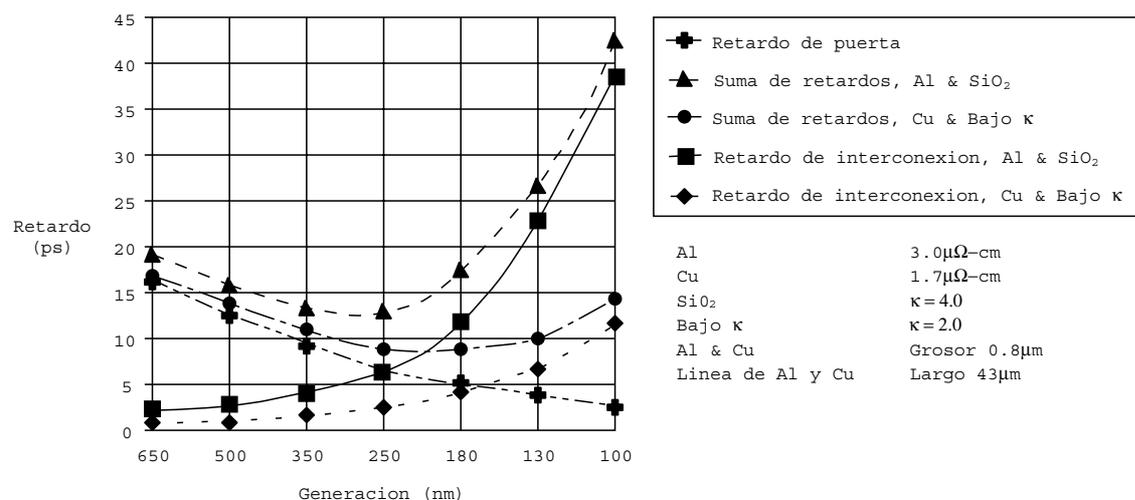


Figura 1.1: Estimación de retardo de puerta y de interconexión con el escalado tecnológico según la hoja de ruta de la SIA.

En la Figura 1.1 se muestra un pronóstico muy conocido del incremento del retardo de interconexión frente al retardo de puerta según la hoja de ruta

Pronóstico

[Cong et al., 1997] Cong, J., Zhigang, P., Lei, H., Cheng-Kok, K., and Kei-Yong, K. (1997). *Interconnect design for deep submicrom ICs*.

[Kapur et al., 2002] Kapur, P., Chandra, G., and Saraswat, K. C. (2002). *Power estimation in global interconnects and its reduction using a novel repeater optimization methodology*.

[Maheshwari and Burleson, 2004] Maheshwari, A. and Burleson, W. (2004). Differential current-sensing for on-chip interconnects. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 12, pages 1321–1329.

Interconexiones
globales

de la *Asociación de la Industria del Semiconductor* (SIA)⁶. Aunque a primera vista, el futuro de las interconexiones en las tecnologías de los circuitos integrados parezcan desalentadoras según las gráficas representadas en la Figura 1.1, [Sylvester and Keutzer, 1998] y [Ho et al., 2001] sostuvieron que a pesar de las interconexiones globales⁷, la relación de retardo de interconexión permanecerá próxima a la unidad. A medida que se escalan los diseños con las nuevas tecnologías, éstos se hacen más pequeños y sus interconexiones locales se hacen más cortas en este caso los retardos siguen o crecen lentamente respecto a los retardos de puerta. El cambio relativo en la velocidad de las interconexiones respecto a la velocidad de las puertas es pequeño.

Obstáculo
principal

Además del retardo de interconexión, uno de los principales obstáculos en el escalado tecnológico es el cada vez más importante consumo de potencia causado por las interconexiones sobre el chip. La potencia de interconexión es una disipación de potencia dinámica debida a la conmutación de las capacidades de interconexión. El consumo de potencia de las interconexiones sobre el chip se ha visto que representa casi el 50% de la disipación de potencia dinámica total de un microprocesador simulado en tecnología de $0.13\mu\text{m}$, y que el 90% de la potencia de interconexión es consumida sólo por el 10% de las interconexiones [Nir et al., 2004]. Las principales causas del alto consumo de potencia de las interconexiones sobre el chip se pueden atribuir a la reducida anchura de cable mínima, a la mayor longitud de interconexión global, y a la mayor capacidad de acoplo entre cables debido a la menor longitud de separación. La capacidad de acoplo también incrementará el retardo de interconexión debido al aumento del efecto de acoplamiento entre interconexiones separadas en paralelo.

1.2 Motivación y objetivos

Lo esencial

De la discusión anterior es evidente que las interconexiones sobre el chip han llegado a ser un factor limitador, crítico, en el escalado tecnológico. Aunque el escalado tecnológico ha sido la clave de muchas de las mejoras de la tecnología CMOS, tiene un efecto negativo en la interconexión. Por eso, es esencial realizar un gran esfuerzo de diseño y estudio en lograr una interconexión eficiente con la tecnología CMOS actual, principalmente, para controlar el consumo de potencia, la velocidad, y las prestaciones de ruido en las interconexiones.

El retardo y la disipación de energía en los transistores *Metal Óxido Semi-*

⁶Traducción del término inglés *Semiconductor Industry Association*.

⁷Cables que no se escalan en longitud y que transportan señales de un extremo a otro del chip, y que tienen retardos ascendentes respecto a los retardos de puerta.

[Sylvester and Keutzer, 1998] Sylvester, D. and Keutzer, K. (1998). *Getting to the bottom of deep submicron*.

[Ho et al., 2001] Ho, R., Mai, K. W., and Horowitz, M. A. (2001). The future of wires. In *Proceeding of the IEEE*, volume 89, pages 490–504.

[Nir et al., 2004] Nir, M., Avinoam, K., Uri, W., and Nachum, S. (2004). Interconnect–power dissipation in a microprocessor. In *Proceedings of the 2004 international workshop on System level interconnect prediction*. Paris, France: ACM Press.

conductor (MOS)⁸ son factores muy relacionados. En [Yayla et al., 1998], la porción de energía de cortocircuito disipada en un transistor durante una transición lógica en un período de reloj se expresa como:

$$E_{SC} = \frac{1}{12} k_{eff} t_r (V_{sup} - 2V_T)^3, \quad (1.1)$$

donde k_{eff} es el parámetro de transconductancia efectiva, t_r es el tiempo de subida, V_T es la tensión umbral del transistor, y V_{sup} es la tensión de alimentación. Es evidente, que a partir de esta fórmula la disipación de energía es una función lineal del tiempo de subida. Esta correlación directa es uno de los factores de contribución más grande al incremento de disipación de potencia causado por las largas interconexiones globales. Sin embargo, la disminución del tiempo de subida y bajada de los excitadores y receptores no es una tarea fácil. En aquellas interconexiones globales de gran longitud, aparte de utilizar excitadores, en las tecnologías actuales se están introduciendo nuevos materiales tales como el cobre y aislantes de baja constante dieléctrica κ . La gráfica de la Figura 1.1 también muestra la mejora conseguida al utilizar cobre y dieléctricos de baja κ , pero esta solución es parcial y surgirá el mismo problema en las próximas generaciones tecnológicas.

El tiempo de retardo en las interconexiones está afectado, principalmente, por el tipo de metalización y los dieléctricos, así como de la relación de aspecto del cable. El mínimo retardo alcanzable con una cierta tecnología de interconexión es conocido. Una mejora razonable a conseguir en las interconexiones sería reducir la potencia. De la ecuación 1.1 se extrae una idea básica para la tesis: disminuir el rango dinámico de la tensión de la señal en los circuitos de interconexión para reducir el consumo de potencia.

A la luz de esta problemática la tesis tratará los siguientes aspectos:

Trabajo a realizar

1. Diseñar circuitos de interfaz para las interconexiones y hacer un estudio comparativo con otras topologías de bajo consumo de energía
2. Combinar diferentes técnicas de diseño en interconexiones de baja potencia con técnicas que reducen los retardos y el consumo de energía en circuitos excitadores y receptores. Analizar la efectividad de la técnica adoptada y evaluar sus prestaciones
3. Diseñar un conjunto de excitadores de gran carga capacitiva, basados en distintas técnicas y estructuras referenciadas por diversos autores, que ofrezcan mejores prestaciones y puedan insertarse en interconexiones de gran longitud
4. Diseñar otros excitadores optimizados como circuitos electrónicos que enriquecen y/o controlan la operación de otro a su entrada, en el medio, o en su salida considerando de este último la carga capacitiva equivalente que le representa

⁸Traducción del término inglés *Metal Oxide Silicon*.

1.3 Organización de la memoria

El documento de la tesis se ha estructurado en trece Capítulos de los cuales el primero ya ha sido presentado con esta introducción. El segundo Capítulo presenta el estado del arte en la parcela de las interconexiones y del diseño de circuitos excitadores y conversores de nivel justificando los objetivos y métodos de la tesis.

Las aportaciones se inician en el Capítulo 3, con un circuito excitador que realiza una conversión del rango dinámico de tensión de excitación para una interconexión larga de modo adaptativo. En el otro extremo de la interconexión se requiere reconstruir el rango dinámico de tensión original, y es lo que se desarrolla en el Capítulo 4, con el diseño del adecuado circuito receptor de altas prestaciones. Continuando con el diseño de circuitos receptores, se aporta la estructura mostrada en el Capítulo 5, la cual usa una técnica distinta al convertor anterior y una topología simétrica. Visto lo anterior, se da un paso adicional al construir el circuito completo transmisor–línea–receptor basado en los mejores circuitos simulados y expuestos en el Capítulo 6.

La inserción de excitadores se aplica en las interconexiones de gran longitud con el fin de reducir el retardo de interconexión, dichos excitadores requieren estar optimizados en prestaciones. Por otra parte, son circuitos básicos en los sistemas VLSI, como etapas previas de adaptación y conversión de señal, así como excitadores de grandes cargas capacitivas. Por ello, se dedica gran parte del esfuerzo de esta tesis en su estudio y optimización, proponiéndose varias estructuras basadas en distintas técnicas con las que se diseña uno o varios excitadores; e incluso se mezclan para tener un mejor resultado. Se aborda cada diseño a medida que se evoluciona en el estado del arte y se conoce cada técnica publicada por los respectivos autores de referencia. De tal forma, en el Capítulo 7 se muestra un excitador basado en la técnica de sobre–excitación directa, en el Capítulo 8 otro excitador con altas prestaciones y con una sólo capacidad de sobre–excitación. El uso de la técnica de sobre–excitación directa e indirecta tiene un ejemplo de implementación en el inversor de excursión completa desarrollado en el Capítulo 9, el cual se compara con otro circuito de técnica de sobre–excitación directa. Ampliando el conjunto de aplicaciones de la técnica de sobre–excitación directa se propone en el Capítulo 9 el diseño de un excitador inversor sobre–excitado de alta velocidad. En el Capítulo 10 se diseña un excitador con configuración en latch para enriquecer las aportaciones. Y, para tener una estructura de excitador diferencial que funcione con bajo consumo de potencia y alta velocidad se incluye el Capítulo 11.

Los Capítulos 12 y 13 son las conclusiones del trabajo realizado y las líneas futuras de investigación respectivamente.

1.4 Resumen de publicaciones

Las aportaciones realizadas con el desarrollo de esta tesis, ordenadas según la temática de los objetivos marcados, son las siguientes:

Interconexiones: circuitos de interfaz.

1. *Adaptative low / high voltage swing CMOS driver for on-chip interconnects*, presentada en el ISCAS (IEEE International Symposium on Circuits and Systems) en mayo de 2007 en Nueva Orleans
2. *High performance CMOS symmetric low swing to high swing converter for on-chip interconnects*, presentada en el MWSCAS (Midwest Symposium on Circuits and Systems) en agosto de 2007 en Montreal
3. *Efficient CMOS driver-receiver pair with low-swing signaling for on-chip interconnects*, presentada en el ECCTD (European Conference on Circuit Theory and Design) en agosto de 2007 en Sevilla
4. *High performance bootstrapped CMOS low to high-swing level converter for on-chip interconnects*, presentada en el ECCTD (European Conference on Circuit Theory and Design) en agosto de 2007 en Sevilla
5. *On the design and optimization of symmetric low swing to high swing level converter for on-chip interconnects*, publicada en la revista Analog Integrated Circuits and Signal Processing en julio de 2008
6. *High performance CMOS driver-receiver pair using low-swing signaling for low power on-chip interconnects*, presentada en el MWS-CAS (Midwest Symposium on Circuits and Systems) en agosto de 2008 en Tenesis
7. *CMOS driver-receiver pair for low-swing signaling for low energy on-chip interconnects*, publicada en la revista IEEE Transactions on Very Large Scale Integration (VLSI) Systems en febrero de 2009
8. *CMOS design and analysis of low-voltage signaling methodology for energy efficient on-chip interconnects*, disponible en la revista Microelectronics Journal de la editorial ELSEVIER en febrero de 2009

Excitadores de inserción: para líneas largas o gran capacidad de carga.

1. *A direct bootstrapped CMOS large capacitive-load driver circuit*, presentada en el DATE (Design, Automation and Test in Europe) en febrero de 2004 en Paris
2. *A single capacitor bootstrapped power efficient CMOS driver*, presentada en el MWSCAS (Midwest Symposium on Circuits and Systems) en agosto de 2005 en Cincinnati
3. *A high speed and low power consumption bootstrapped CMOS inverting driver*, presentada en el DCIS (Conference on Design of Circuits and Integrated Systems) en noviembre de 2005 en Lisboa
4. *Bootstrapped full-swing CMOS driver for low supply voltage operation*, presentada en el DATE (Design, Automation and Test in Europe) en marzo de 2006 en Munich
5. *A single-capacitor bootstrapped power-efficient CMOS driver*, publicada en la revista IEEE Transactions on Circuits and Systems II: Express Briefs en septiembre de 2006

Otras topologías de excitadores: *latch* y diferencial.

1. *A CMOS latched driver using bootstrap technique for low-voltage applications*, presentada en el SPIE (The International Society for Optical Engineering) en mayo del 2005 en Sevilla
2. *Design of a differential cross coupled bootstrapped CMOS driver for low power consumption*, presentada en el DCIS (Conference on Design of Circuits and Integrated Systems) en noviembre de 2005 en Lisboa
3. *A 1.2-V 500-MHz CMOS differential cross coupled driver using bootstrap technique for low power operation*, presentada en el DCIS (Conference on Design of Circuits and Integrated Systems) en noviembre de 2006 en Barcelona
4. *Low power bootstrapped CMOS differential cross coupled driver*, presentada en el APCCAS (IEEE Asia Pacific Conference on Circuits and Systems) en diciembre de 2006 en Singapur
5. *DB-driver: a low power CMOS bootstrapped differential cross-coupled driver*, publicada en la revista International Journal of Electronics en septiembre de 2007

Parte I
Antecedentes

Estado del arte

Índice General

2.1	Consideraciones sobre las interconexiones	17
2.1.1	Modelado y caracterización de una interconexión	17
2.1.2	Métricas para la medida de prestaciones de la interconexión y figuras de mérito	20
2.1.3	Inserción de excitador	21
2.1.4	Interconexiones con reducida excursión lógica	22
2.1.5	<i>Buses</i> con lógica dinámica	23
2.1.6	Técnicas de codificación	24
2.2	Circuitos de lógica BiCMOS	25
2.3	Circuito lógico BiCMOS de saturación transitoria con excursión lógica completa	27
2.4	BiCMOS sobre–excitado	30
2.5	CMOS bipolar sobre–excitado	31
2.6	Circuito BiCMOS/BiNMOS de excursión lógica completa sobre–excitado	34
2.7	BiCMOS sobre–excitado de excursión lógica completa (<i>Full Swing BS–BiCMOS</i>)	36
2.8	Puerta lógica BiCMOS con doble sobre–excitación	37
2.9	Circuito excitador CMOS de gran carga capacitiva sobre–excitado con excursión lógica completa	38
2.10	Circuito BiNMOS sobre–excitado de excursión lógica de tensión completa	39
2.11	Lógica BiCMOS sobre–excitada de acoplo cruzado diferencial . . .	41
2.12	Circuito inversor sobre–excitado de 1V adecuado para tecnología CMOS estándar	43
2.13	Excitador CMOS sobre–excitado sub–1V	43
2.14	Circuito BiCMOS de alta velocidad con excursión lógica completa de 1V	45
2.15	Comparación de prestaciones entre excitadores en tecnologías CMOS y BiCMOS con funcionamiento en baja tensión	47
2.16	Lógica CMOS de cerrojo sobre–excitado	48

2.17	Circuito excitador CMOS sobre–excitado de baja tensión para aplicaciones de altas prestaciones	51
2.18	Excitador CMOS sub–1V usando sobre–excitación directa	52
2.19	Excitador inversor SOI CMOS basado en la técnica de sobre–excitación	53
2.20	Excitador de gran carga capacitiva para baja tensión	54
2.21	Excitador de gran carga capacitiva, baja fuga de corriente de puerta y alta velocidad	57

Resumen:

EN este Capítulo se exponen las diversas aportaciones que conforman la evolución y el desarrollo de los circuitos excitadores de altas prestaciones, y que establecen el punto de partida de los diseños obtenidos en la tesis. Por un lado se presentan los circuitos que contribuyen a solucionar problemas importantes en las interconexiones largas, y por otro los circuitos que mejoran la excitación en nodos intermedios de un sistema o en puertos de salida.

La inserción de excitadores inversores o no inversores a lo largo de una interconexión global puede reducir el retardo, además es beneficiosa para conservar un buen tiempo de respuesta y mejorar la inmunidad al ruido. Los inconvenientes de la inserción de excitadores son el incremento de consumo de potencia, y de área. La excitación de interconexiones largas con pequeña excursión lógica es una técnica que se usa para reducir el producto energía–retardo en las interconexiones, en este caso, el excitador convierte una señal de entrada con excursión lógica completa en una señal de excursión lógica reducida para la interconexión, y luego se vuelve a convertir en una señal de salida con excursión lógica completa en el receptor.

Con circuitos lógicos dinámicos se puede conseguir un eficiente consumo de potencia y una gran velocidad. Se entiende que una estrategia de diseño es apropiada si está basada en el siguiente principio: “pocas conexiones de reloj y pocos dispositivos conectados al reloj produce probablemente una menor disipación de potencia”. Los excitadores controlados dinámicamente (excitador controlado por pulso, por ejemplo) presentan una excursión deseada en la interconexión mediante el control del tiempo de (des)carga del excitador sin requerir una fuente de alimentación adicional. Por otro lado, los circuitos con *bus*¹ de intercambio de carga, y bus de reciclado de carga son dos estructuras que reducen la excursión lógica en la interconexión usando compartición de carga entre múltiples interconexiones de dato de un *bus*. Por último, el uso de técnicas sencillas de codificación en *buses* permiten reducir el *crosstalk*².

En la Sección 2.1 se inicia el estado del arte en las interconexiones y se sigue con la caracterización y modelado de una interconexión en la Sub–sección 2.1.1. Varias métricas y figuras de mérito se proponen

¹Bus.– Conjunto de múltiples interconexiones.

²Crosstalk.– Es una fuente de ruido originada a consecuencia de que una interconexión en reposo (víctima) se ve afectada por una o más interconexiones vecinas (agresoras) que producen efectos de ruido acoplado degradando la integridad de la señal en la interconexión y la predictibilidad del retardo.

en la Sub-sección 2.1.2. La inserción de excitadores a lo largo de una interconexión larga se detalla en la Sub-sección 2.1.3. La reducción de la excursión lógica de la señal en las interconexiones es una de las mejores soluciones para conseguir una alta eficiencia energética y se introduce en la Sub-sección 2.1.4. También, la potencia dinámica es la causante de la mayor parte del consumo del chip, especialmente, cuando los circuitos son de lógica dinámica y utilizan *buses* según se describe en la Sub-sección 2.1.5. En, la Sub-sección 2.1.6 se propone el uso de la ecualización y la codificación para mejorar la velocidad de comunicación y el consumo de potencia en las interconexiones al chip.

Las principales conclusiones asociadas con el estado del arte de las interconexiones en este Capítulo son:

- La caracterización de una interconexión es vital ya que causa un fuerte impacto en las prestaciones de un circuito. Esto es muy importante para *buses* globales, en los cuales tanto el retardo como la disipación de potencia aumentan con el escalado tecnológico.
- Se han de conocer las capacidades parásitas y el ruido relativo al efecto del *crosstalk* en la interconexión para evaluar las prestaciones y adoptar una técnica de interconexión fiable que reduzca el retardo y el consumo de potencia.
- En un *bus*, el peor retardo se obtiene cuando dos líneas vecinas a otra conmutan en transiciones opuestas a esta última. Para reducir el retardo de propagación en buses se pueden utilizar receptores ecualizados con tensión umbral variable en función de la información binaria pasada en cables adyacentes.
- La codificación proporciona un ahorro de energía al reducir la componente de acoplo de energía a costa de un aumento de gasto en área. Los códigos que evaden el *crosstalk* son un ejemplo. Por otra parte, se puede combinar el uso de la inserción de excitadores en *buses* globales con la técnica de codificación para reducir el retardo y el consumo de potencia.
- La excitación de largas interconexiones con una tensión de baja excursión lógica es una técnica apropiada para reducir el producto energía-retardo necesario para transmitir información por estas interconexiones.

A continuación se presenta un resumen acerca del estado del arte de los excitadores al haberse expuesto en el Capítulo 1 y en las líneas anteriores a esta los aspectos relativos a las interconexiones. Aquí se ha buscado un compromiso entre la cantidad de diseños que forman la historia de los excitadores, el nivel de detalle de la descripción, y el interés de la misma en el contexto central de esta tesis. Las primeras soluciones realizadas en este campo se diseñan utilizando tecnología *Bipolar-CMOS* (BiCMOS). Dentro de ellas se encuentran los tres tipos básicos de circuitos excitadores (emisor común, diodo de puerta, y seguidor de emisor), además de la primera técnica para obtener una excursión lógica amplia (red de derivación resistiva). Posteriores evoluciones de los circuitos BiCMOS han dado lugar al BiCMOS de saturación transitoria con excursión lógica completa, al BiCMOS sobre-excitado, al CMOS bipolar sobre-excitado, al circuito BiCMOS/BiNMOS de excursión lógica completa sobre-excitado, a la

puerta lógica BiCMOS con doble sobre-excitación, a la lógica BiCMOS sobre-excitada de acoplo cruzado diferencial, al inversor sobre-excitado de 1V con tecnología CMOS estándar, al excitador CMOS sobre-excitado sub-1V, al circuito BiCMOS de alta velocidad con excursión lógica completa de 1V, a la lógica CMOS con cerrojo sobre-excitado, al excitador CMOS sub-1V con sobre-excitación directa, al excitador inversor de *Silicio Sobre Aislante* (SOI)³ CMOS basado en la técnica de sobre-excitación, el excitador de gran carga capacitiva con baja tensión de alimentación, y, por último, al excitador de gran carga capacitiva, baja fuga de corriente de puerta y alta velocidad.

En este Capítulo se describe cada estructura ya presentada así como las ventajas y desventajas de cada circuito ilustrado según las simulaciones y resultados experimentales llevados a cabo.

Se concluye que los excitadores BiCMOS en seguidor de emisor son mejores que los de estructura en emisor común o en diodo de puerta, y que la técnica de excursión lógica completa base-emisor es superior en prestaciones a la de colector-emisor. Las técnicas de saturación transitoria y la de sobre-excitación mejoran la excursión lógica y con ello el margen de ruido. Los circuitos excitadores *Bipolar-NMOS* (BiNMOS) tienen buenas prestaciones con tensiones inferiores a 1.5V. En todos los excitadores el retardo aumenta con el incremento de la temperatura, sin embargo los circuitos con transistores bipolares presentan mayores mejoras en las prestaciones cuando se comparan con las de los circuitos que usan CMOS a altas temperaturas. Las prestaciones de los circuitos BiNMOS son inferiores a las de los BiCMOS con altas cargas capacitivas. El excitador inversor SOI CMOS con sobre-excitación tiene una velocidad 4 veces mayor que la de un excitador con sobre-excitación directa con una carga de 0.1pF y a 0.5V. Además, para superar las limitaciones de la técnica de sobre-excitación se propone en la literatura la estructura de excitador con tres caminos (el de la transición de bajo a alto, el de condiciones estáticas, y el de la transición de alto a bajo) que permite lograr una mejora del 20% en el producto retardo-potencia con respecto al excitador con sobre-excitación directa. Sin embargo, para reducir la fuga de la corriente de puerta en los transistores grandes de los excitadores, se utiliza la técnica de camino múltiple. Mediante esta técnica se corta a los dispositivos de salida del excitador después de la transición de salida mediante la acción de un camino de realimentación, esto produce un reducido producto retardo-potencia y la menor corriente de fuga de puerta.

Varias estructuras se han propuesto para mejorar las prestaciones de los excitadores con algunas características comunes e igual funcionalidad. La disminución de la tensión de alimentación desde el punto de vista del consumo de potencia conlleva diversos problemas de diseño a solucionar con un gran esfuerzo de optimización. La Sección 2.2 y las que le siguen en este Capítulo examinan esos problemas y aportan posibles soluciones.

³Traducción del término inglés *Silicon On Insulator*.

2.1 Consideraciones sobre las interconexiones

A medida que las interconexiones se hacen importantes y afectan las prestaciones globales de un circuito en tecnología CMOS escalada, la caracterización y el modelado de las interconexiones llegan, por tanto, a ser factores notorios en el proceso de diseño del circuito. El retardo de la señal en las interconexiones se puede deducir con sus parámetros de resistencia y capacidad. También, con grandes anchos de banda e interconexiones largas se ha de tener en cuenta el efecto inductivo, ya que la interconexión actuará como una línea de transmisión.

2.1.1 Modelado y caracterización de una interconexión

Se ha visto en la Sub-sección 1.1.2 del Capítulo 1 que las interconexiones en el chip se pueden dividir en interconexiones locales y globales. En la tecnología actual, se definen interconexiones intermedias con una relación de aspecto entre la relación de aspecto que tienen las interconexiones globales y locales. Esto, también, es posible debido al gran número de capas de metal disponibles. En la tecnología de 180nm, se definen hasta 6 capas, y hasta 9 capas de metal se tienen en la tecnología de 90nm. Sin embargo, la *Hoja de Ruta de la Tecnología Internacional para Semiconductores (ITRS)*⁴ estimó, en el año 2005, 11 capas de metal para la tecnología de 90nm.

Las interconexiones locales tienen longitudes y relaciones de aspecto pequeñas. Se definen como conexiones dentro de una unidad funcional, y su longitud sólo es un pequeño número de las dimensiones de la puerta del transistor. El tungsteno se usa para aquellas interconexiones locales de longitud muy corta — la capa de trazado de tungsteno se denomina normalmente M0 — tales como las usadas para conectar transistores adyacentes. En el ITRS 2003 se afirma que el tungsteno se utilizará para este propósito en el futuro, y con ello se evitarán defectos de la *Deposición Electroquímica de Cobre (ECD Cu)*⁵ en las capas posteriores.

El modelo RC de parámetros distribuidos de una línea de transmisión es el modelo exacto para un cable de interconexión. Cada punto a lo largo de la línea de transmisión de este modelo distribuido tiene un valor distinto de resistencia y capacidad, dependiendo de la distancia desde el extremo de la línea. Sin embargo, debido a la complejidad del modelo RC distribuido, se utiliza normalmente el modelo RC de parámetros concentrados [Rabaey et al., 2003]. Este último tipo de modelo es simple y adecuado para hacer una aproximación de primer orden del retardo de la señal y de los efectos de acoplamiento cruzado⁶.

La Figura 2.1 muestra una estructura RC π^3 , las interconexiones mode-

*Interconexiones
locales*

Modelo exacto

Estructura RC

⁴Traducción del término inglés *International Technology Roadmap for Semiconductors*.

⁵Traducción del término anglosajón *Electrochemically Deposit Cu*.

⁶Traducción del término inglés *cross-coupling*.

ladas con estructuras RC π^3 se utilizan en [Zhang et al., 2000]. Básicamente, se trata de varios segmentos conectados en cascada del modelo RC de parámetros concentrados con estructura en π . Las segmentaciones se hacen si el cable que se modela es largo. Una regla empírica para determinar si la longitud del cable es lo suficientemente larga para modelarse como segmentos viene dada por:

$$\text{longitud} \leq \lambda/20, \quad (2.1)$$

donde λ es la longitud de onda de la señal [Wong et al., 2005].

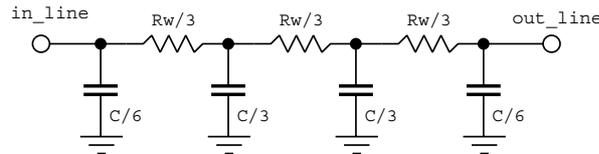


Figura 2.1: Interconexión modelada con una línea RC π^3 .

La resistencia total de una interconexión viene dada por:

$$R = \frac{\rho l}{wt} \quad (2.2)$$

donde w es la anchura, t es el grosor, y l es la longitud de la interconexión. El parámetro de resistividad ρ para el cobre (Cu) es $2.2\mu\Omega/\text{cm}$, mientras que para el aluminio (Al) es $3.3\mu\Omega/\text{cm}$.

Crosstalk

El efecto de *crosstalk* en una interconexión se modela incluyendo una capacidad de acoplo entre las interconexiones adyacentes y la interconexión. Con fines prácticos, la capacidad de acoplo entre conexiones se puede obtener utilizando el programa de extracción de parásitos de campo eléctrico o acoplo capacitivo 3-D, tal como Fastcap. En [Cong et al., 1997] puede verse un ejemplo de aplicación.

En la Figura 2.2 se muestra la sección transversal de interconexiones en paralelo entre dos planos de metal conectados a masa [Cao et al., 2000]. Suponiendo que la interconexión en consideración está entre planos de masa, la capacidad que existe entre ella y los planos de masa se define como C_{ground} . La capacidad de acoplo entre interconexiones vecinas se modela como C_{acoplo} , y estas afectan la cantidad de *crosstalk*.

Capacidades

[Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.

[Wong et al., 2005] Wong, B. P., Mittal, A., Cao, Y., and Starr, G. (2005). *Signal Integrity Problems in On-Chip Interconnects*. In *Nano-CMOS Circuit and Physical Design*. John Wiley & Sons, Inc.

[Cong et al., 1997] Cong, J., Zhigang, P., Lei, H., Cheng-Kok, K., and Kei-Yong, K. (1997). *Interconnect design for deep submicrom ICs*.

[Cao et al., 2000] Cao, Y., Sato, T., Orshansky, M., Sylvester, D., and Hu, C. (2000). *New paradigm of predictive MOSFET and interconnect modeling for early circuit simulation*.

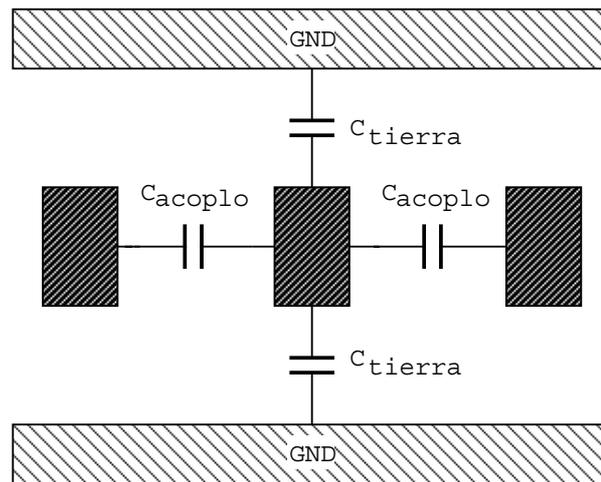


Figura 2.2: Sección transversal de interconexiones entre planos de masa, incluye capacidades de acoplo.

De acuerdo con el ITRS 2003, el tamaño característico y la distancia⁷ mínima disminuye con el escalado de la tecnología [Sridhara et al., 2005] hacia mayores niveles de integración. En el caso de las interconexiones, el grosor de las capas de metal ha de incrementarse para compensar el incremento de la resistencia al hacerse la interconexión de menor ancho. Esto significa que se requiere una relación de aspecto mayor entre el grosor de la interconexión y su anchura, en la medida que se use una tecnología más avanzada. Aunque esta técnica de compensación de la resistencia pueda mantener al mínimo la capacidad desde la interconexión a tierra, se tendría un mayor grado de capacidad de acoplo cruzado con las interconexiones vecinas.

Relación de aspecto

Además de la relación de aspecto de la interconexión, si se necesita una velocidad de conmutación de señal mayor se producirá inevitablemente una cantidad de ruido de *crossstalk* superior, debida a la naturaleza de la capacidad de acoplo. Otro factor que limita la velocidad de conmutación en las interconexiones se debe a los efectos de Miller. En [Rabaey et al., 2003] y [Deutsch et al., 1997], se expone la consecuencia del *crossstalk* frente al retardo. De ese estudio se deduce que es posible una variación del retardo de hasta el 500% debido al efecto Miller en interconexiones vecinas en las que hay transiciones lógicas. El peor caso del efecto Miller se presenta en las transiciones opues-

Efecto Miller

⁷Traducción del término anglosajón *pitch*.

[Sridhara et al., 2005] Sridhara, S. R., Shanbhag, N. R., and Balamurugan, G. (2005). *Joint equalization and coding for on-chip bus communication*.

[Rabaey et al., 2003] Rabaey, J. M., Chandrakasan, A. P., and Nikolic, B. (2003). *Digital integrated circuits: a design perspective*. Pearson Education International, Upper Saddle River, NJ: Prentice Hall, 2nd edition.

[Deutsch et al., 1997] Deutsch, A., Kopcsay, G. V., Restle, P. J., Smith, H. H., Katopis, G., Becker, W. D., Coteus, P. W., Surovic, C. W., Rubin, B. J., Dunne, R. P., Jr., Gallo, T., Jenkins, K. A., Terman, L. M., Dennard, R. H., Sai-Halasz, G. A., Krauter, B. L., and Knebel, D. R. (1997). When are transmission-line effects important for on-chip interconnections? In *Microwave Theory and Techniques, IEEE Transactions on*, volume 45, pages 1836–1846.

tas entre interconexiones vecinas. En resumen, ese *Crosstalk* podría tener un mayor impacto sobre el retardo de interconexión en el futuro.

2.1.2 Métricas para la medida de prestaciones de la interconexión y figuras de mérito

Con el fin de cuantificar la calidad o prestaciones de una cierta técnica de interconexión, se requiere de unas métricas de prestaciones bien definidas. En un sistema digital, las métricas de calidad más importantes normalmente son la tasa de transferencia⁸ y la latencia, pero también, estas métricas de calidad se usan para las interconexiones con *bus* en sistemas digitales [Salminen et al., 2002]. La tasa de transferencia es la cantidad de *bits*⁹ entregados por unidad de tiempo, mientras que la latencia es el retardo entre el instante de entrada y salida de los datos del sistema. Los datos se definen en unidades de ciclo de reloj cuando el sistema es secuencial.

Las interconexiones contribuyen en gran parte al consumo de potencia total del chip en la tecnología actual, por ello es lógico incluir el consumo de energía entre las métricas de calidad. En [Zhang et al., 2000], se comparan diferentes técnicas de interconexión basadas en el consumo de energía, el retardo, y el producto energía-retardo. Para evaluar la sensibilidad al ruido, se obtuvieron los valores de la *Relación Señal a Ruido* (SNR)¹⁰ con cada método de interconexión descrito en [Zhang et al., 2000]. La SNR se calcula basada en la contribución de ruido de *Crosstalk* causado por las interconexiones vecinas y otros factores:

$$SNR = \frac{0.5V_S}{V_N}$$

$$V_N = K_N V_S + V_{IN}, \quad (2.3)$$

donde V_S es la excursión lógica de tensión en la interconexión, y V_N es la amplitud de la tensión de ruido.

Hay dos tipos de fuentes de ruido: fuentes de ruido proporcionales y fuentes de ruido independientes. El primer término, $K_N V_S$, representa aquellas fuentes de ruido que son proporcionales a la magnitud de la excursión lógica, V_S , tal como el *Crosstalk*, y al ruido de la fuente de alimentación inducido en la señal. El segundo término, V_{IN} incluye aquellas fuentes de ruido que son independientes de V_S , tal como el *offset*¹¹ de entrada del receptor (a causa de la variación del proceso tecnológico), la sensibilidad del receptor, y el ruido de la fuente de alimentación independiente de la señal.

⁸Traducción del término inglés *throughput*.

⁹Bit.– Es un dígito binario de información.

¹⁰Traducción del término anglosajón *Signal-to-Noise Ratio*.

¹¹Offset.– Desviación de un valor.

[Salminen et al., 2002] Salminen, E., Lahtinen, V., Kuusilinna, K., and Hamalainen, T. (2002). *Overview of bus-based system-on-chip interconnections*.

[Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.

Métricas de
calidad

Consumo de
energía y SNR

Fuentes de ruido

Para determinar si una técnica de circuito de interconexión de bajo consumo de potencia es o no factible, se consideran las siguientes figuras de mérito en el circuito:

Figuras de mérito

- la necesidad o no de un transistor especial de baja tensión umbral
- el uso o no de una fuente de tensión independiente de bajo consumo de potencia
- el área del chip resultante
- el número de interconexiones necesarias
- la existencia o no de interconexiones flotantes

Puede ocurrir que en una determinada tecnología no haya disponible un dispositivo especial de baja tensión umbral. La causa principal es que se requiere compensar la reducida corriente de excitación. Sin embargo, el uso de una tensión umbral baja conlleva el riesgo de incrementar la corriente subumbral estática de fugas. Por tanto, este método puede que no aporte el mejor ahorro de consumo de potencia. Para reducir este efecto, se han propuesto métodos de diseño con varias tensiones umbrales. Estos métodos cambian, dinámicamente, la tensión umbral del dispositivo en función de la actividad del dispositivo, aumenta la V_{th} durante la inactividad y retorna al estado de la V_{th} más baja cuando el circuito está en activo [Borkar, 2005].

Tensión umbral

Una fuente de alimentación independiente de bajo consumo de potencia aumenta la complejidad y requiere el trazado de una ruta adicional para la alimentación. No obstante, [Ho, 2003] sostiene que esa pequeña fuente de alimentación adicional no supone una complejidad excesiva en el diseño. Por un lado, la ruta trazada para la pequeña fuente de alimentación de los excitadores y las interconexiones puede sustituir la ruta normal. Y, por otro, este método traslada la complejidad del diseño desde el excitador a un circuito de tensión de alimentación pequeña independiente.

2.1.3 Inserción de excitador

Los excitadores se colocan en aquellas interconexiones de gran longitud con el fin de reducir el retardo de interconexión, donde la relación cuadrática entre retardo y longitud de la interconexión sin excitadores se convierte en una relación casi lineal [Maheshwari and Burleson, 2004], y [Rabaey et al., 2003]

Retardo de interconexión

[Borkar, 2005] Borkar, S. (2005). *VLSI design challenges for gigascale integration*.

[Ho, 2003] Ho, R. (2003). On-chip wires: Scaling and efficiency. In *Department of Electrical Engineering*. Doctor of Philosophy: Stanford University.

[Maheshwari and Burleson, 2004] Maheshwari, A. and Burleson, W. (2004). Differential current-sensing for on-chip interconnects. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 12, pages 1321–1329.

[Rabaey et al., 2003] Rabaey, J. M., Chandrakasan, A. P., and Nikolic, B. (2003). *Digital integrated circuits: a design perspective*. Pearson Education International, Upper Saddle River, NJ: Prentice Hall, 2nd edition.

El problema de la inserción de excitador se analizó en [Kapur et al., 2002] y [Maheshwari and Burleson, 2004], donde el número de excitadores necesarios aumenta exponencialmente con el escalado tecnológico de acuerdo con la regla de Rent. Kapur y otros [Kapur et al., 2002] propusieron una estrategia de inserción de excitadores óptima considerando la situación de compromiso entre retardo y consumo de potencia.

En [Sridhara and Shanbhag, 2005] se propuso otro método para reducir el consumo de potencia en las interconexiones con excitadores, en este caso se utiliza la codificación en un *bus* con el fin de minimizar el efecto del *crossstalk* sobre el retardo. Sin embargo, esta combinación ha demostrado que reduce el consumo de potencia y el retardo con tecnología de 90nm y otras más recientes; pero se introduce una penalización en consumo de potencia debida al circuito de codificación, con tecnología de 130nm.

2.1.4 Interconexiones con reducida excursión lógica

En [Zhang et al., 2000] se describe una revisión de diversas técnicas de distribución de señales mediante *buses* de reducida excursión lógica, en donde se proponen también algunas mejoras. De acuerdo con el rango de excursión lógica de tensión, los *buses* de reducida excursión lógica de tensión pueden dividirse en dos categorías. El primer tipo tiene una excursión lógica de tensión cerca del punto medio ($V_{dd}/2$), y en el segundo tipo la excursión lógica varía entre V_{SS} y una pequeña V_{dd} . Zhang examinó varias interconexiones de reducida excursión lógica, especialmente, del primer tipo. Las interconexiones incluyen circuitos excitadores estáticos así como dinámicos. En este artículo, los autores también proponen mejoras para los *buses* de reducida excursión lógica, que son analizados en términos de la relación señal a ruido. Entre los métodos revisados, la técnica diferencial parece tener el mejor ahorro de energía-retardo comparada con otras, a pesar de su inferior SNR y el requisito de una doble interconexión y circuito excitador. En [Fer, 2001] se introduce una mejora en uno de los tipos de excitadores presentados en [Zhang et al., 2000], denominada excitador dinámico con diodo el cual tiene una excursión lógica de tensión en torno al punto medio, $(V_{oh} - V_{ol})/2$. Mediante simulación preliminar, en tecnología de $0.18\mu\text{m}$, se demuestra que esta técnica reduce el producto energía-retardo un 32.13% en comparación con la interconexión de excursión lógica CMOS completa. No obstante, este diseño tiene una relación señal a ruido menor comparada con la de *buses* CMOS de excursión lógica completa.

[Kapur et al., 2002] Kapur, P., Chandra, G., and Saraswat, K. C. (2002). *Power estimation in global interconnects and its reduction using a novel repeater optimization methodology*.

[Maheshwari and Burleson, 2004] Maheshwari, A. and Burleson, W. (2004). Differential current-sensing for on-chip interconnects. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 12, pages 1321–1329.

[Sridhara and Shanbhag, 2005] Sridhara, S. R. and Shanbhag, N. R. (2005). *A low-power bus design using joint repeater insertion and coding*.

[Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

Codificación en bus

Excursión lógica

Técnica diferencial

Caputa y otros [Caputa et al., 2004] propusieron un diseño de interconexión diferente con una excursión lógica de tensión a partir de V_{SS} .

2.1.5 Buses con lógica dinámica

En las tecnologías CMOS actuales –en la nanoescala– no es despreciable la disipación de potencia estática debida a las corrientes de fuga de puerta. Sin embargo, la potencia dinámica siempre ha sido una causa importante de disipación de potencia, y lo seguirá siendo en el futuro. Los circuitos de lógica dinámica, generalmente, consumen más potencia que los circuitos de lógica estática debido a que poseen una mayor relación de actividad¹². La razón principal para utilizar circuitos de lógica dinámica es conseguir un grado mayor de integración para implementar una función lógica en comparación con los circuitos de lógica estática. De cierta manera, esta técnica también elimina la disipación de potencia estática, que constituye una preocupación en otras técnicas de implementación con menor número de transistores, por ejemplo los circuitos seudo-*Transistor de tipo N con Metal Óxido Semiconductor* (NMOS)¹³. Con el fin de reducir la disipación de potencia de los circuitos de lógica dinámica se han propuesto circuitos dinámicos de baja potencia, de gran eficiencia energética y velocidad [Yuan, 2004]. El método básico para lograr este objetivo es minimizar el número de interconexiones de reloj y de dispositivos.

Potencia dinámica

Los circuitos de lógica dinámica no se usan sólo en circuitos lógicos. Varias técnicas emplean *buses* con lógica dinámica [Zhang et al., 2000], [Caputa et al., 2004], e [Hiraki et al., 1995]. En [Caputa et al., 2004], se usó el *bus* dinámico en el *bus* de una memoria caché de nivel 1. En [Zhang et al., 2000], se analizó en detalle una técnica llamada excitador controlado por pulso, la cual permite al *bus* tener una menor excursión lógica de tensión controlando la cantidad de carga en la línea. El método propuesto en [Hiraki et al., 1995] es muy innovador, donde el nivel de tensión del *bus* depende de los datos que se transmiten. Este método trabaja con el principio de reparto de carga entre líneas de *bit*.

Lógica dinámica

En general, se utilizan *buses* de lógica dinámica donde la carga capacitiva de las interconexiones son fácilmente predeterminadas, como es el caso del circuito de una *Memoria Dinámica de Acceso Aleatorio* (DRAM)¹⁴.

Reparto de carga entre líneas

¹²La relación de actividad de un nodo es la relación entre la velocidad de carga y descarga del nodo, y la velocidad del reloj. También se puede definir como la probabilidad de que un transistor conmute en un período de reloj.

¹³Traducción del término anglosajón *N-type transistor Metal Oxide Silicon*.

¹⁴Traducción del término inglés *Dynamic Random Access Memory*.

[Caputa et al., 2004] Caputa, P., Anders, M. A., Svensson, C., Krishnamurthy, R. K., and Borkar, S. (2004). *A low-swing single-ended L1 cache bus technique for sub-90nm technologies*.

[Yuan, 2004] Yuan, J. (2004). *Low-Power Very Fast Dynamic Logic Circuits*, pages 8–1. *Low-Power CMOS Circuits*.

[Hiraki et al., 1995] Hiraki, M., Kojima, H., Misawa, H., Akazawa, T., and Hatano, Y. (1995). Data-dependent logic swing internal bus architecture for ultralow-power LSI's. In *Solid-State Circuits, IEEE Journal of*, volume 30, pages 397–402.

Una ventaja importante de la técnica de lógica dinámica — que se puede usar en *buses* de datos largos — consiste en que no se ve afectada por el efecto Miller, debido a la naturaleza de precarga del *bus*. Esta es la razón por la que las interconexiones de lógica dinámica tienen interés. Además, el ruido de *Crosstalk* se supone atenuado con la reducción de la capacidad de acoplo efectiva.

2.1.6 Técnicas de codificación

Normalmente se utilizan esquemas simples de codificación en los *buses* para disminuir el efecto de *Crosstalk*. En la bibliografía se pueden encontrar varias técnicas cuyo objetivo es evitar transiciones opuestas en interconexiones adyacentes, ejemplos de esas técnicas se tienen en [Sridhara et al., 2005], [Sridhara and Shanbhag, 2005], [Tsa, 2004], y [Sridhara et al., 2004]. [Tsa, 2004], y [Sotiriadis and Chandrakasan, 2003], propusieron la técnica de codificación de bajo peso para conseguir los mismos objetivos. La técnica implica la expansión de las interconexiones de los *buses* de datos.

Codificación de bajo peso

Protección contra errores

La codificación se usó también para la protección contra errores en los *buses*. En [Li2, 2003], se realizó una simple revisión de la paridad para el error y una doble y triple corrección de error con códigos Hamming.

En [Stan and Burleson, 1997], se propuso por primera vez la codificación de *bus*-inversor para minimizar la velocidad de transición de *bit* o el factor de actividad¹⁵, y [Sungpack et al., 2000] mejoró este método dividiendo las interconexiones del *bus* en grupos distintos. Otra técnica llamada codificación de peso limitado que reduce el número de unos lógicos en la interconexión de datos transmitidos se presentó en [Stan and Burleson, 1995].

Codificación de peso limitado

¹⁵Representa la probabilidad de que haya una transición de salida $0 \rightarrow 1$ durante un período de reloj.

-
- [Sridhara et al., 2005] Sridhara, S. R., Shanbhag, N. R., and Balamurugan, G. (2005). *Joint equalization and coding for on-chip bus communication*.
- [Sridhara and Shanbhag, 2005] Sridhara, S. R. and Shanbhag, N. R. (2005). *A low-power bus design using joint repeater insertion and coding*.
- [Tsa, 2004] (2004). *Low power encoding schemes for run-time on-chip bus*, presented at IEEE Asia-Pacific Conference on Circuits and Systems.
- [Sridhara et al., 2004] Sridhara, S. R., Ahmed, A., and Shanbhag, N. R. (2004). *Area and energy-efficient Crosstalk avoidance codes for on-chip buses*.
- [Sotiriadis and Chandrakasan, 2003] Sotiriadis, P. P. and Chandrakasan, A. P. (2003). Bus energy reduction by transition pattern coding using a detailed deep submicrometer bus model. In *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, volume 50, pages 1280–1295.
- [Li2, 2003] (2003). *Adaptive Error Protection for Energy Efficiency*, presented at Proceedings of the International Conference on Computer Aided Design. (ICCAD'03).
- [Stan and Burleson, 1997] Stan, M. R. and Burleson, W. P. (1997). Low-power encodings for global communication in CMOS VLSI. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 5, pages 444–455.
- [Sungpack et al., 2000] Sungpack, H., Narayanan, U., Ki-Seok, C., and Taewhan, K. (2000). *Bus-invert coding for low-power I/O – a decomposition approach*.
- [Stan and Burleson, 1995] Stan, M. R. and Burleson, W. P. (1995). Bus-invert coding for low-power I/O. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 3, pages 49–58.

Este método logra este propósito expandiendo la anchura del *bus*. Cualquiera de los métodos puede reducir el número de transiciones por ciclo a la mitad [Stan and Burleson, 1995].

2.2 Circuitos de lógica BiCMOS

La tecnología BiCMOS ha tenido y tiene un amplio y creciente interés en los circuitos integrados de alta velocidad y elevado nivel de integración. En los circuitos de lógica BiCMOS, se pueden identificar tres tipos de excitadores genéricos como se observan en las Figuras 2.3, 2.4(a), y 2.4(b). Todas ellas usan transistores MOSFET de conmutación para suministrar la corriente de base, y transistores BJT para excitar los nodos de salida.

*Excitadores
BiCMOS*

La Figura 2.3 muestra una configuración en emisor común en la que el MOSFET funciona en modo fuente común y el BJT en modo emisor común. Sin embargo, tiene un importante consumo de potencia debido a la corriente de drenador que fluye durante el período de no conmutación. También, la velocidad se degrada debido a la saturación del BJT. Otra desventaja es que su función lógica es no inversora.

*Excitador en
emisor común*

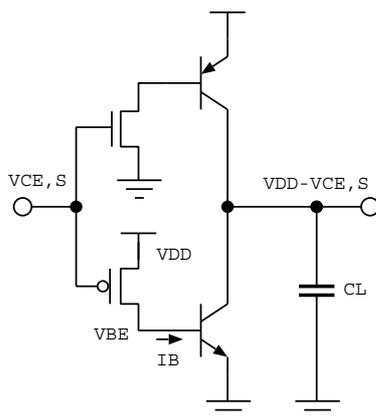


Figura 2.3: Excitador BiCMOS con configuración en emisor común.

La Figura 2.4(a) ilustra un excitador en diodo de puerta¹⁶, el cual no tiene el problema de la saturación del BJT pero tiene una reducida excursión lógica (de V_{BE} a $V_{DD} - V_{BE}$). Como resultado, la velocidad de este circuito se degrada bastante rápido a medida que se reduce la tensión de alimentación.

*Excitador en diodo
de puerta*

En la Figura 2.4(b) se tiene un seguidor de emisor, el MOSFET trabaja como un inversor en fuente común el cual excita al seguidor de emisor. Este circuito también presenta una reducida excursión lógica similar al excitador en diodo de puerta, pero es más adecuado para el escalado de la tensión de alimentación. Como ocurre con el excitador en emisor común de la Figura 2.3, el circuito en seguidor de emisor tiene un buen balance entre los tiempos de subida y bajada. Además, con esta configuración, es posible unir físicamente

*Excitador en
seguidor de emisor*

¹⁶Traducción del término inglés *gated-diode*.

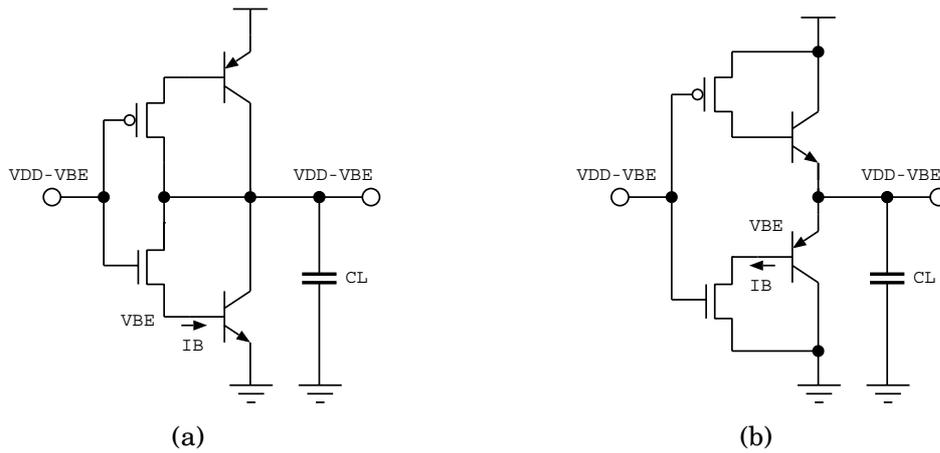


Figura 2.4: Excitador BiCMOS con configuración en (a) diodo de puerta y (b) seguidor de emisor.

el MOSFET y el BJT en una estructura compacta con menor área y parásitos. El BJT no se satura en esta configuración.

Excursión lógica completa

Si se amplía la excursión lógica en la estructuras en diodo de puerta y seguidor de emisor hasta la tensión de la fuente de alimentación, la velocidad de estos circuitos mejoraría, y se podría utilizar una menor tensión umbral para el MOSFET. También tendrían un margen de ruido mayor, y serían una interfaz mejor con circuitos CMOS.

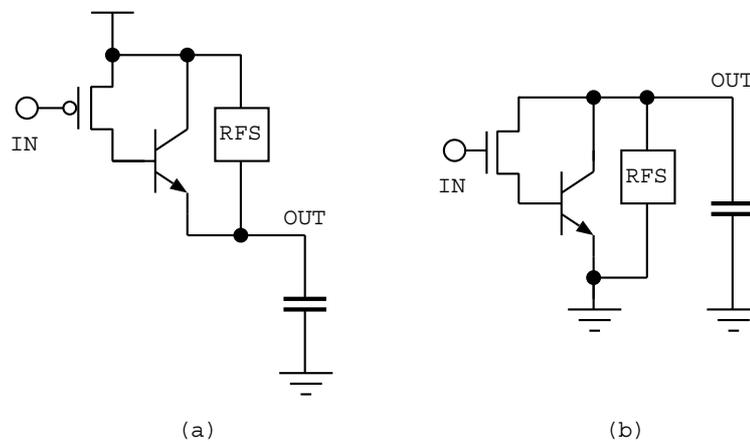


Figura 2.5: Técnica de excursión lógica completa basada en derivación colector-emisor.

Derivación colector-emisor

Una técnica para obtener una excursión lógica completa consiste en utilizar una red de derivación resistiva entre el colector y el emisor del BJT, como se muestra en la Figura 2.5(a) y 2.5(b) para el seguidor de emisor y el circuito en diodo de puerta, respectivamente. La red de derivación puede ser una simple resistencia, un MOSFET, o un circuito CMOS de realimentación positiva. Esta red añade corriente a la salida haciendo que la transición sea

más rápida, sin embargo, aumenta el consumo de potencia por la corriente que cruza la red. Otra técnica de excursión lógica completa se muestra en la Figura 2.6, en ella no existe corriente de cruce¹⁷ fluyendo a través de la red de derivación.

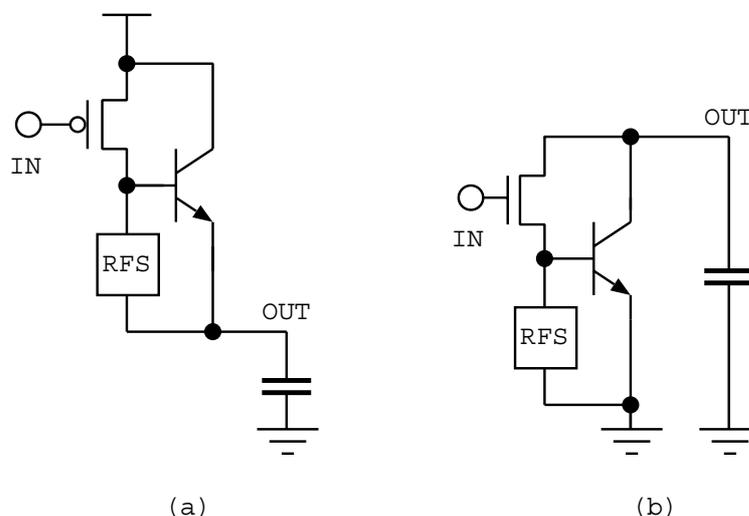


Figura 2.6: Técnica de excursión lógica completa basada en derivación base-emisor.

Las conclusiones de [Shin, 1990b] al realizar el estudio comparativo de los excitadores mencionados anteriormente especifican que los excitadores seguidores de emisor son muy adecuados en términos de capacidad de excitación y consumo de potencia en las futuras tecnologías BiCMOS con reducidas tensiones de alimentación. La configuración en diodo de puerta es inferior a las otras, y la de emisor común tiene problemas de saturación y consumo de potencia. En cuanto a la técnica de excursión lógica completa, la derivación base-emisor es mejor que la realizada entre el colector y el emisor por presentar menor corriente de cruce.

2.3 Circuito lógico BiCMOS de saturación transitoria con excursión lógica completa

En los circuitos BiCMOS convencionales (Figura 2.7) la tensión puerta-fuente de M1 disminuye $2V_{BE}$. Esta pérdida de tensión perjudica seriamente la velocidad de conmutación del circuito. Para mejorar las prestaciones en baja tensión de los circuitos BiCMOS, se han propuesto diversos tipos de circuitos,

¹⁷Traducción del término anglosajón *crossover current*.

[Shin, 1990b] Shin, H. J. (1990b). Performance comparison of driver configurations and full-swing techniques for BiCMOS logic circuits. In *IEEE J. Solid-State Circuits*, volume 25, pages 863–865.

tales como el BiCMOS complementario (C-BiCMOS) [Shin, 1990a], BiCMOS casi-complementario (QC-BiCMOS) [Yano et al., 1991], BiCMOS mezclado (MBiCMOS) [Raje et al., 1991], y BiNMOS [Gamal et al., 1989]. La idea que subyace en estos circuitos BiCMOS es eliminar una caída de tensión V_{BE} , sin embargo siguen teniendo otra caída de tensión V_{BE} .

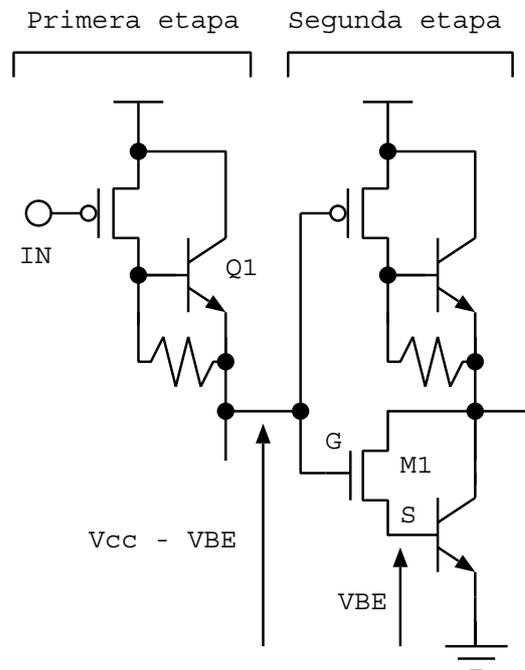


Figura 2.7: Pérdida de tensión en un circuito BiCMOS convencional.

Para conseguir una excursión lógica completa de alta velocidad en circuitos BiCMOS, se requiere que los transistores bipolares operen con una excursión lógica completa. El circuito con saturación mostrado en la Figura 2.8(a) permite funcionar con una excursión lógica completa, pero la velocidad de un transistor bipolar saturado es baja debido a que el exceso de portadores minoritarios carga la base, y permanece allí hasta el siguiente período de conmutación. En [Hiraki et al., 1992] se propone una técnica de saturación transitoria del transistor que se muestra en la Figura 2.8(b). El exceso de

[Shin, 1990a] Shin, H. J. (1990a). Full-swing logic circuits in a complementary BiCMOS technology. In *Symposium on VLSI Circuits*, pages 89–90.

[Yano et al., 1991] Yano, K., Hiraki, M., Shukuri, S., Onose, Y., Hirao, M., Ohki, N., Nishida, T., Seki, K., and Shimohigashi, K. (1991). Quasi-complementary BiCMOS for sub-3-V digital circuits. In *IEEE J. Solid-State Circuits*, volume 26, pages 1708–1719.

[Raje et al., 1991] Raje, P., Ritts, R., Cham, K., Plummer, J., and Saraswat, K. (1991). MBiCMOS: A device and circuit technique scalable to the sub-micron, sub-2V regime. In *IEEE Solid-State Circuits Conference*, pages 150–151.

[Gamal et al., 1989] Gamal, A. E., Kouloheris, J. L., How, D., and Morf, M. (1989). BiNMOS: A basic cell for BiCMOS sea-of-gates. In *Proc. CICC*, pages 8.3.1–8.3.4.

[Hiraki et al., 1992] Hiraki, M., Yano, K., Minami, M., Satoh, K., Matsuzaki, N., Watanabe, A., Nishida, T., Sasaki, K., and Seki, K. (1992). A 1.5V full-swing BiCMOS logic circuit. In *IEEE Solid-State Circuits Conference*, pages 48–49.

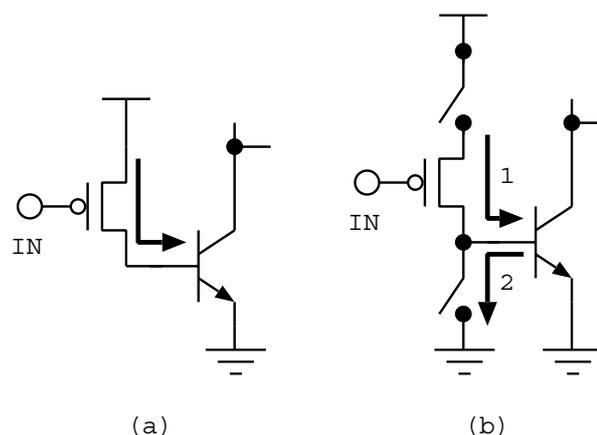


Figura 2.8: Técnica de excursión lógica completa: (a) con saturación (convencional), y (b) con saturación transitoria.

portadores minoritarios se carga primero en la base, y luego se descarga inmediatamente después de la transición de la tensión de salida.

Con la técnica de saturación transitoria el transistor bipolar sólo se satura durante los períodos de conmutación, esa es la clave para el funcionamiento por debajo de 2 voltios.

La Figura 2.9 muestra un excitador no inversor utilizando la técnica de saturación transitoria. Así, aunque Q1 se sature no lentifica la siguiente transición de subida porque después de la transición de bajada MN4 descarga el exceso de portadores minoritarios de Q1. El circuito BiCMOS propuesto se denomina *BiCMOS de Saturación Transitoria con Excursión Lógica Completa* (TS-FS-BiCMOS)¹⁸. MN3 y MP3 evitan el consumo de potencia estática después de cada transición, respectivamente. Este circuito reduce el ruido de conmutación en el nodo de salida.

TS-BS-BiCMOS

En simulaciones con tecnología de $0.3\mu\text{m}$ [Hiraki et al., 1992] se demuestra que el circuito TS-FS-BiCMOS es más rápido que cualquier otro circuito BiCMOS con una tensión de alimentación de 2V, y el doble de rápido que un circuito CMOS a 1.5V. También, se ha observado que la dependencia del retardo con la carga de salida para 1.5V es mucho menor para el circuito TS-FS-BiCMOS. El área de puerta del TS-FS-BiCMOS es mayor que en C-BiCMOS y en CMOS debido a un mayor número de dispositivos, pero esta desventaja no es tal si se considera que TS-FS-BiCMOS permite realizar una función lógica muy compleja con una puerta de una etapa mientras que se necesitan varias etapas de puertas en CMOS para la misma función lógica. Otra ventaja es que el retardo presenta una pequeña dependencia con la capacidad de carga en la entrada. Por tanto, TS-FS-BiCMOS es un circuito más apropiado para un régimen inferior a 2V en BiCMOS.

¹⁸Traducción del término inglés *Transiently-Saturated Full-Swing BiCMOS*.

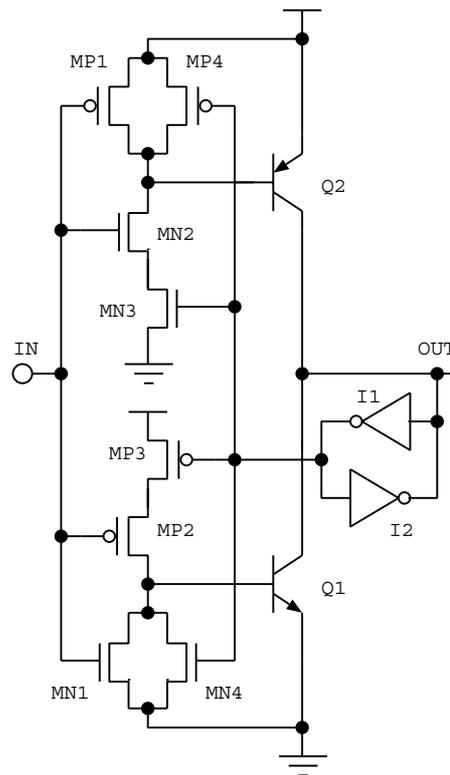


Figura 2.9: Configuración del excitador TS-FS-BiCMOS.

2.4 BiCMOS sobre-excitado

En [Chik and Salama, 1993] se propone una técnica de circuito que usa sobre-excitación (*bootstrapping*) para mejorar la excursión lógica de BiCMOS y permitir el funcionamiento con baja tensión de alimentación, ya que pocos procesos BiCMOS ofrecen dispositivos npn de altas prestaciones, tales como los requeridos en el diseño del circuito TS-FS-BiCMOS. La Figura 2.10 presenta un inversor *BiCMOS Sobre-excitado* (BS-BiCMOS)¹⁹ que tiene importantes mejoras en las prestaciones, con un rango de tensiones de alimentación inferior a 3V frente a los diseños existentes hasta el año 1993, sin usar etapas de procesado extras y un proceso tecnológico BiCMOS con sólo transistores de tipo npn.

El área de un BS-BiCMOS aumenta debido a la capacidad de sobre-excitación. Los resultados de simulación usando un proceso BiCMOS con transistores npn [Chik and Salama, 1993], una carga capacitiva de salida de 1pF, y una $V_{dd} = 2V$ demuestran que BS-BiCMOS mejora un 70% la velocidad respecto a los circuitos inversores M-BiCMOS y QC-BiCMOS. Es casi un 100% más rápido que CMOS a 1.5V.

¹⁹Traducción del término anglosajón *Bootstrapped BiCMOS*.

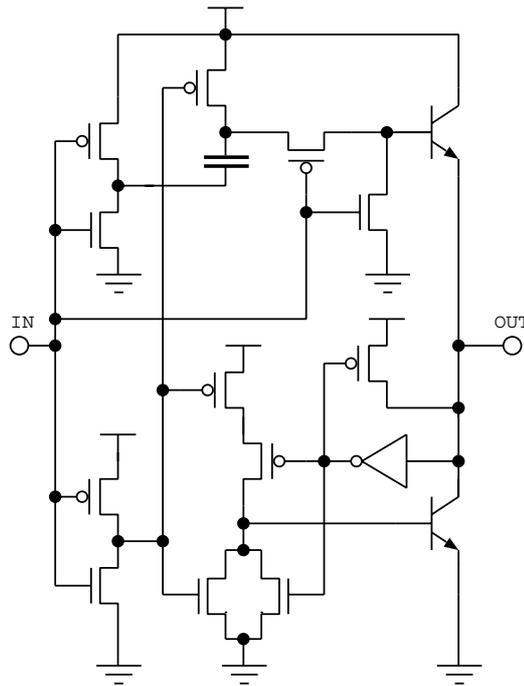


Figura 2.10: Inversor BS-BiCMOS.

2.5 CMOS bipolar sobre-excitado

Es posible combinar la sobre-excitación con la técnica de saturación transitoria en una puerta lógica BiCMOS para lograr un funcionamiento con excursión lógica completa y una tensión de alimentación inferior a 1.1V, tal y como se propone en [Emb, 1995] con el circuito *CMOS Bipolar Sobre-excitado* (B²CMOS)²⁰. En este caso, se utiliza un proceso tecnológico BiCMOS convencional (no complementario) en contraste con el alto coste de la tecnología BiCMOS complementaria que la hace inviable.

B²CMOS

Se han observado algunos inconvenientes en la puerta BS-BiCMOS tales como el gran número de transistores de entrada, los cuales limitan el uso de puertas con múltiples entradas, y una gran capacidad de cruce²¹. Sin embargo, la estructura B²CMOS ofrece baja capacidad de cruce y mejores velocidades que CMOS, BiNMOS y BS-BiCMOS. Además se puede utilizar fácilmente con puertas de múltiples entradas. La Figura 2.11 muestra un inversor B²CMOS que tiene el mismo circuito de bajada que el TS-FS-BiCMOS [Hiraki et al., 1992]. Por otro lado, el circuito de subida del inversor B²CMOS tiene dos nuevas características. La primera de ellas es que la base de Q1 se

²⁰Traducción del término inglés *Bootstrapped Bipolar CMOS*.

²¹Traducción del término anglosajón *crossover capacitance*.

[Emb, 1995] (1995). A bootstrapped bipolar CMOS (B²CMOS) gate for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 30, pages 47–53.

[Hiraki et al., 1992] Hiraki, M., Yano, K., Minami, M., Satoh, K., Matsuzaki, N., Watanabe, A., Nishida, T., Sasaki, K., and Seki, K. (1992). A 1.5V full-swing BiCMOS logic circuit. In *IEEE Solid-State Circuits Conference*, pages 48–49.

sobre-excita con la tensión de salida y no con la tensión de entrada del inversor como sucede en el BS-BiCMOS. Y la segunda característica es el uso de un transistor PMOS M_{b1} , en lugar del NMOS usado convencionalmente, para reducir el tiempo de subida y la capacidad de cruce.

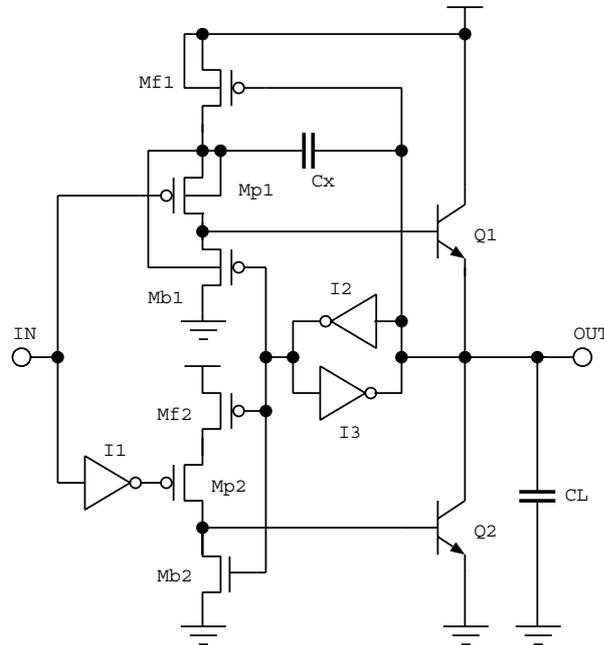


Figura 2.11: Inversor B²CMOS.

Por integridad de los niveles de continua, para evitar problemas de fuga de carga, y conservar el estado estacionario del nivel de salida, es necesario emplear el cerrojo formado por I_2 e I_3 , y sus tamaños no pueden considerarse como un exceso de gasto en área. Además, su contribución a la carga del nodo de salida es mínima.

La ecuación que determina el valor de C_x es:

$$C_x = \frac{ib1 \ tr}{V_{DD} - V_{BEon}},$$

donde $ib1$ es la corriente de base media de Q_1 , y tr es el tiempo de subida de la tensión de salida. Esta ecuación indica que la capacidad de sobre-excitación (C_x) ha de incrementarse a medida que se reduce la tensión de alimentación para que la tensión en la base de Q_1 se sobre-excite a $V_{DD} + V_{BEon}$. Por ejemplo, con una tensión de alimentación de 3V, C_x debería de ser de unos 100fF, mientras que, para 1.5V ha de incrementarse cerca de unos 0.5pF. En la puerta BS-BiCMOS los requisitos de sobre-excitación determinan la mínima capacidad de entrada. En el caso de B²CMOS la capacidad de entrada no tiene relación con la sobre-excitación de la base de Q_1 , esto implica que la capacidad de entrada para BS-BiCMOS ha de ser superior a la necesaria en B²CMOS para la misma frecuencia de conmutación.

Ya que C_x es relativamente grande ocuparía una gran área si fuese realizada usando una capacidad de polisilicio I a polisilicio II. En lugar de eso, se

puede implementar empleando la capacidad de óxido de puerta de un PMOS, según la Figura 2.12. Las simulaciones en tecnologías BiCMOS (no complementario) de $0.5\mu\text{m}$ para 3V y $0.35\mu\text{m}$ para 2V y 1.5V [Emb, 1995] muestran que para 1.5V de alimentación la anchura y la longitud del transistor son iguales a $13\mu\text{m}$, y a $6\mu\text{m}$ si la tensión de alimentación fuese de 3V. El área del condensador MOS es más pequeña que la realizada entre polisilicio I y polisilicio II en un factor de 5.

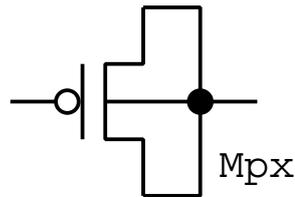


Figura 2.12: Capacidad de sobre-excitación.

Como se observa en la Figura 2.11, M_{p1} y M_{b1} comparten el mismo pozo el cual se conecta a la fuente de M_{p1} para prevenir que sus uniones fuente-drenador se polaricen en directo. Además, el sustrato de M_{f1} ha de conectarse a VDD para evitar un flujo de corriente fijo desde VDD a través de M_{f1} , M_{p1} y M_{b1} a tierra.

Los resultados de simulación se han obtenido con dos tecnologías BiCMOS, $0.5\mu\text{m}$ para 3V, y $0.35\mu\text{m}$ para 2V y 1.5V. B²CMOS es más rápida que CMOS y BS-BiCMOS pero no así respecto a BiNMOS, que es ligeramente más rápida a 3V cuando la carga es menor que 0.3pF. A 1.5V, la velocidad de BiNMOS se degrada y B²CMOS supera a las tres. Su velocidad es un 50% mejor que la de BS-BiCMOS a 3V y 1.5V. B²CMOS demuestra tener la menor sensibilidad respecto a la carga (200ps/pF) respecto a las otras, y también presenta la menor sensibilidad de retardo respecto al escalado de la tensión de alimentación con cargas pequeñas y grandes. Sin embargo, esta última sensibilidad con BS-BiCMOS es altamente dependiente de la carga. En cuanto al consumo de potencia, aunque B²CMOS consume 2 veces más que CMOS, y 2.5 más que BiNMOS, no es superior a BS-BiCMOS. En general, el uso de una puerta B²CMOS mejora el producto potencia-retardo, especialmente cuando VDD se aproxima a 1.5V, su estructura es sencilla y, por tanto, se puede usar para construir puertas con múltiples entradas.

la entrada es un nivel lógico bajo y $MP1$ conduce, el transistor de subida $Q1$ comienza a conducir (ciclo de sobre-excitación) y V_{out} crece hacia VDD . MPi y $MN1$ forman un pseudo-inversor para prevenir la descarga del nodo de sobre-excitación. Se utiliza el transistor MPd para descargar la base de $Q1$ a un nivel de precarga V_T (tensión umbral), mejorando las prestaciones.

La capacidad de sobre-excitación se puede realizar usando un transistor NMOS con su fuente y drenador conectados juntos. En este caso, la capacidad está relacionada con el área y el grosor del óxido de puerta del transistor MOS.

Como se observa en la Figura 2.13 el pozo de tipo N de los dispositivos PMOS (MPp , $MP1$ y MPi) está conectado al nodo de sobre-excitación $N1$. Esto previene que sus uniones fuente/drenador-pozo conduzcan durante el ciclo de sobre-excitación. También, previene de un camino de baja impedancia entre GND y VDD causado por el tiristor parásito cuando las tensiones drenador/fuente-pozo son de polaridad directa. El transistor MPd tiene además su pozo conectado a su fuente para eliminar el efecto cuerpo del transistor y prevenir cualquier fuga durante la sobre-excitación.

En cuanto a la configuración BiNMOS, la Figura 2.14 muestra el esquema del inversor sobre-excitado llamado BFBiNMOS. La sección de la transición de bajada usa un transistor NMOS ($MN1$). La sección de la transición de subida es ligeramente distinta de la del BFBiCMOS, en ella se añade un pequeño transistor PMOS (MPf).

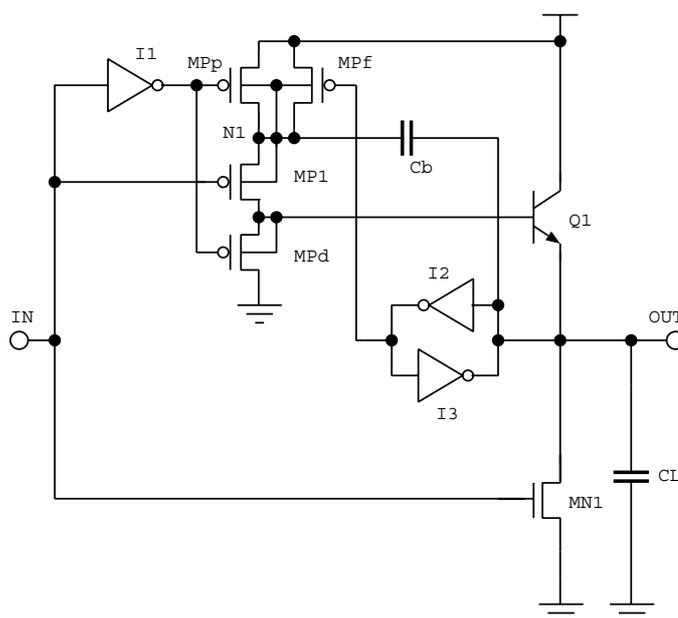


Figura 2.14: Inversor BiNMOS de excursión lógica completa sobre-excitado (BFBiNMOS).

Los resultados de simulación [Bellaouar et al., 1995] usando una cadena de puertas con tecnología BiCMOS de $0.35\mu\text{m}$ y una frecuencia de entrada en la primera puerta de 50MHz, mostraron que a 3.3V la BFBiCMOS es más rápida que las otras puertas excepto para una carga inferior a 0.2pF con la que BiNMOS es más veloz. A 1.5V la BFBiNMOS sigue superando a la CMOS,

TS-FS-BiCMOS, BS-BiCMOS, y BFBiNMOS cuando la capacidad de carga es mayor que 0.15pF. La velocidad de la BiNMOS se degrada completamente. La elevada disipación de potencia de BFBiCMOS/BFBiNMOS se justifica por la alta velocidad que proporciona. En consecuencia, BFBiCMOS/BFBiNMOS son los mejores circuitos a utilizar cuando la capacidad de salida es mayor de 0.15pF.

2.7 BiCMOS sobre-excitado de excursión lógica completa (*Full Swing BS-BiCMOS*)

Se ha presentado la puerta BS-BiCMOS para resolver, parcialmente, el problema de una baja tensión de alimentación y una excursión lógica reducida, sustituyendo el circuito pnp de la transición de subida de la puerta TS-FS-BiCMOS por un circuito sobre-excitado npn de transición de subida. No obstante, es aún un diseño de excursión lógica parcial. Si se conectan los sustratos de P_{bs} y P_{b1} al nodo de sobre-excitación, según se ilustra en la Figura 2.15, se asegura un funcionamiento con excursión lógica completa.

*Full Swing
BS-BiCMOS*

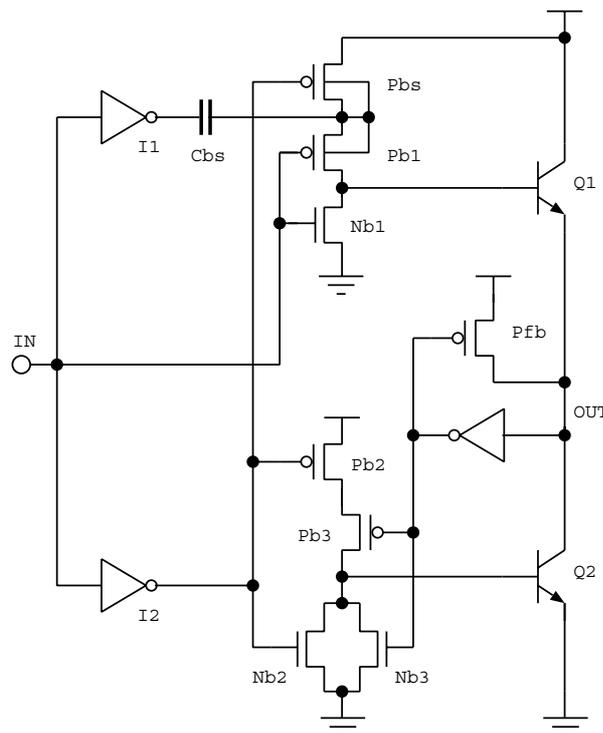


Figura 2.15: Inversor BS-BiCMOS de excursión lógica completa *Full Swing BS-BiCMOS*.

En [Chik and Salama, 1995] se expone que el tamaño del transistor P_{bs} ha de elegirse tal que la carga de C_{bs} a V_{DD} se complete durante el período

[Chik and Salama, 1995] Chik, R. Y. V. and Salama, C. A. T. (1995). Design of a 1.5V full-swing bootstrapped BiCMOS logic circuit. In *IEEE J. Solid-State Circuits*, volume 30, pages 972-978.

de bajada. Otro criterio de diseño importante es la prevención de la corriente de cortocircuito causada por conducción simultánea a través de Q1 y Q2. Para asegurar esto, Nb1 se utiliza para iniciar la descarga de la base de Q1, un tamaño mínimo de Nb1 se puede usar. Pb1 ha de ser grande para conseguir una pequeña resistencia durante su conducción.

Las simulaciones [Chik and Salama, 1995] de las puertas inversoras usando una tecnología de $0.8\mu\text{m}$ y funcionando a 150MHz con una alimentación de 1.5V , demuestran que esta técnica presenta importantes ventajas sobre los diseños BiCMOS de baja tensión inferiores a 3V .

2.8 Puerta lógica BiCMOS con doble sobre-excitación

Se ha mencionado que el escalado de la tensión de alimentación es inevitable en las actuales aplicaciones VLSI debido a los requisitos de fiabilidad y limitaciones de consumo de potencia. No obstante, también se ha dicho que la reducción de la tensión de alimentación origina que tanto la velocidad como la excursión lógica de la tensión de salida de las puertas BiCMOS decrezcan bruscamente. Algunos circuitos BiCMOS incluso fallan cuando funcionan con bajas tensiones. Se ha demostrado que B²CMOS puede trabajar con baja tensión, sin embargo, utiliza un número de dispositivos relativamente grande, tiene una carga capacitiva de salida intrínseca alta, y la configuración de su circuito requiere modificarse para funcionar a diferentes tensiones de alimentación.

En [Seng and Rofail, 1996] se propone un inversor BiCMOS formado por 11 dispositivos. Este funciona con excursión lógica completa de tensión mediante la técnica de sobre-excitación en los ciclos de subida y bajada, su esquema se muestra en la Figura 2.16. El circuito puede funcionar bien sin el transistor P8, manteniendo la salida en el estado alto (para la transición de subida) durante un largo período de tiempo, y a frecuencias tan bajas como 15KHz . Sin embargo, se introduce para prevenir la caída de la tensión de salida si el circuito ha de permanecer sin conmutar.

En [Seng and Rofail, 1996], para verificar el funcionamiento del circuito y caracterizar sus prestaciones se realizan las simulaciones basadas en tres tecnologías BiCMOS: $3\text{V}/0.5\mu\text{m}$, $2\text{V}/0.35\mu\text{m}$, y $1.1\text{V}\sim 1.5\text{V}/0.25\mu\text{m}$. El nuevo circuito se evalúa comparativamente en términos del producto potencia-retardo, la excursión lógica de la tensión de salida, el retardo de propagación, la disipación de potencia media, y la máxima frecuencia de operación con diferentes cargas de salida y tensiones de alimentación. Se ha visto que la velocidad del nuevo circuito supera a CMOS cuando la capacidad de salida excede los 0.07pF . También es más rápido que el circuito B²CMOS y tiene una capacidad de cruce de al menos un 50% menor. Además, el nuevo circuito tiene el menor producto potencia-retardo y permite la frecuencia máxima más alta de funcionamiento frente a CMOS y B²CMOS. La puerta B²CMOS deja de

BiCMOS con doble sobre-excitación

[Seng and Rofail, 1996] Seng, Y. K. and Rofail, S. S. (1996). 1.1 full-swing double bootstrapped BiCMOS logic gates. In *IEE Proceedings-Circuits Devices Syst.*, volume 143, pages 41-45.

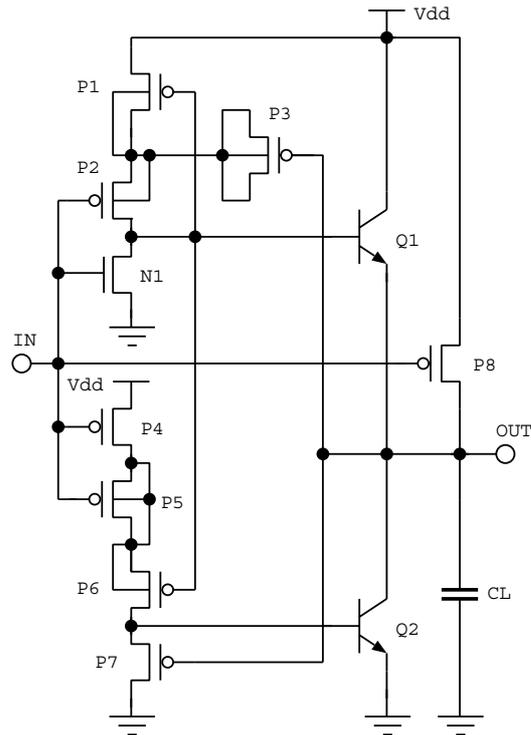


Figura 2.16: Inversor BiCMOS con doble sobre–excitación de excursión lógica completa.

funcionar cuando la frecuencia excede los 400MHz, y su rango de tensión de salida se deteriora mucho más rápido con el incremento de la frecuencia.

2.9 Circuito excitador CMOS de gran carga capacitiva sobre–excitado con excursión lógica completa

Con el fin de mejorar la velocidad de conmutación en baja tensión de los transistores CMOS se pueden utilizar dos capacidades de sobre–excitación en el circuito excitador, tal y como se muestra en la Figura 2.17.

Al estudiar sus prestaciones en [Lou and Kuo, 1997a] se ha utilizado una tecnología CMOS de $0.8\mu\text{m}$ y ha resultado tener una mejora en velocidad de 2.2 veces al excitar una carga capacitiva de 10pF frente al excitador CMOS convencional con una tensión de alimentación de 1.5V.

*Excitador CMOS
de gran carga*

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full–swing bootstrapped CMOS large capacitive–load driver circuit suitable for low–voltage CMOS VLSI. In *IEEE J. Solid–State Circuits*, volume 32, pages 119–121.

anillos de guarda para prevenir una conducción parásita y la destrucción del transistor.

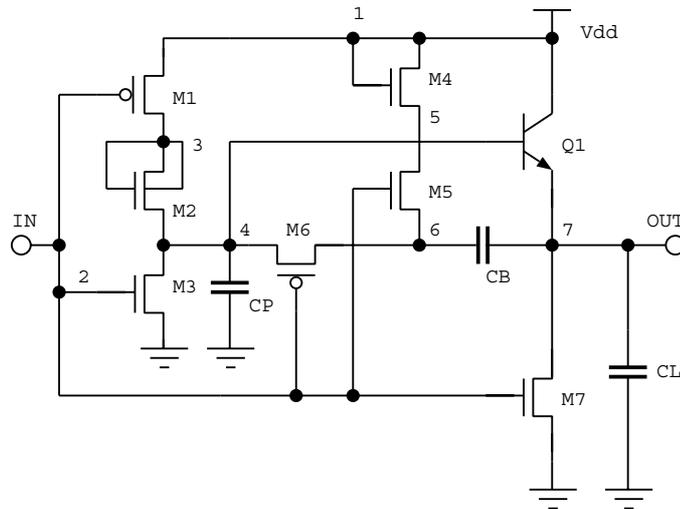


Figura 2.18: Excitador BiNMOS sobre–excitado de excursión lógica completa.

La capacidad parásita, C_P , representa las capacidades parásitas totales en los nodos 4, y 6. El transistor M_6 aísla la capacidad de sobre–excitación, C_B de la base de Q_1 cuando la salida es baja. Los transistores M_4 y M_5 precargan la capacidad de sobre–excitación durante el período bajo de la salida. Alguna carga de C_B se transfiere a la capacidad C_P . Por ello, hay que elegir correctamente el tamaño de C_B para conseguir el adecuado nivel de tensión en el nodo 4. Los diseñadores de este circuito [Brauer and Elamanchili, 1997] utilizan un modelo de circuito simplificado para estimar la capacidad de sobre–excitación, C_B , para una tensión de alimentación y capacidad parásita dada. La ecuación obtenida es:

$$\frac{C_B}{C_P} = \frac{V_{BE1} + V_{t4}}{V_{dd} - V_{BE1} - V_{t4}},$$

donde V_{t4} es la tensión umbral del transistor M_4 .

En [Brauer and Elamanchili, 1997], las prestaciones del inversor BiNMOS propuesto se validan utilizando una cadena de cuatro inversores con la capacidad de carga situada a la salida del tercer inversor. Los retardos de propagación se miden en el tercer inversor. Con una tensión de alimentación de 5V, el circuito tiene las mejores prestaciones de retardo para cargas superiores a 1.4pF y presenta una buena insensibilidad a las variaciones de carga cuando se compara con circuitos CMOS, *Derivación Base–Emisor* (BESHUNT)²⁴, *Derivación Colector–Emisor* (CESHUNT)²⁵, y BFBiNMOS. La tecnología CMOS es de 2 μ m.

²⁴Traducción del término inglés *Base–Emitter Shunt*.

²⁵Traducción del término anglosajón *Collector–Emitter Shunt*.

2.11 Lógica BiCMOS sobre–excitada de acoplo cruzado diferencial 41

Cuando la alimentación es de 3.3V, el inversor propuesto tiene el menor retardo con cargas superiores a 2.5pF. La excursión lógica completa de tensión de salida se obtiene con tensiones de alimentación mayores a 2.6V.

La disipación de potencia media se comprueba con una frecuencia de 0.5 MHz, una carga de 5pF, y con tensiones de alimentación de 3.3V, 4V, y 5V. CMOS tiene la menor disipación de potencia, y varía entre 9.83 a 21.1 μ W. Mientras que la disipación del inversor en prueba varía entre 0.04 a 4.3 μ W por encima de CMOS, y es menor a la de cualquiera de los otros circuitos BiCMOS. Además, el circuito BiNMOS propuesto tiene menos transistores y un funcionamiento más sencillo que los circuitos BiCMOS anteriores que utilizan sobre–excitación.

2.11 Lógica BiCMOS sobre–excitada de acoplo cruzado diferencial

En [Tseng and Wu, 1998] se expone que la *Lógica de Transistor de Paso Complementaria* (CPL) es apropiada para el diseño de circuitos digitales de baja tensión y baja potencia. Para el caso de CMOS CPL, se utiliza un cerrojo de acoplo cruzado PMOS con el fin de regenerar la tensión de alimentación del árbol lógico de transistores de paso. En CMOS CPL, un inversor se encarga de excitar las salidas. Por otro lado, si la carga de salida es grande, los inversores CMOS en la CPL se pueden sustituir por inversores BiCMOS. Se ha detectado que el mayor problema, tanto en CMOS CPL como en BiCMOS CPL con funcionamiento a baja tensión, es que ha de aumentarse la dimensión del cerrojo de acoplo cruzado PMOS para activar los excitadores de salida y obtener una rápida excursión lógica completa, pero esto hace que disminuya la velocidad de conmutación del árbol lógico NMOS y aumente la disipación de potencia de cortocircuito durante el período de conmutación. Entonces, el tamaño de los inversores y del cerrojo PMOS está limitado. Los autores proponen el circuito de la Figura 2.19 para superar el problema de la reducida capacidad de regeneración de los circuitos CMOS CPL, y BiCMOS CPL con funcionamiento a baja tensión.

El circuito de la Figura 2.19 es el *BiCMOS Sobre–excitado de Acoplo Cruzado Diferencial* (DC²B–BiCMOS)²⁶ y está formado por un árbol de lógica con transistores de paso complementarios NMOS con el cerrojo de acoplo cruzado PMOS, y el excitador de salida BiCMOS sobre–excitado de acoplo cruzado diferencial. Las señales V_{in} y V_{inb} se obtienen de los terminales fuente del árbol lógico de transistores de paso NMOS. Las dos tensiones de salida V_{out} y V_{outb} se mantienen con los inversores I_1 e I_2 para evitar problemas de fugas de carga y conservar los niveles de salida del estado estacionario. El funcionamiento a 1.5V como excitador sobre–excitado viene indicado por la presencia del condensador de sobre–excitación C_b y los transistores de descarga

*BiCMOS
sobre–excitado de
acoplo cruzado
diferencial*

²⁶Traducción del término inglés *Differential Cross–Coupled Bootstrapped BiCMOS*.

[Tseng and Wu, 1998] Tseng, Y. K. and Wu, C. Y. (1998). A 1.5–V differential cross–coupled bootstrapped BiCMOS logic for low–voltage applications. In *IEEE J. Solid–State Circuits*, volume 33, pages 1576–1579.

NMOS MN1 y MN5.

En [Tseng and Wu, 1998] las simulaciones se realizaron con una tecnología BiCMOS de $0.8\mu\text{m}$. Los resultados medidos en un circuito integrado experimental con una cadena de puertas XOR/XNOR DC²B–BiCMOS de tres entradas muestran que la velocidad con DC²B–BiCMOS a 1.5V es casi 1.8 veces la de la lógica CMOS.

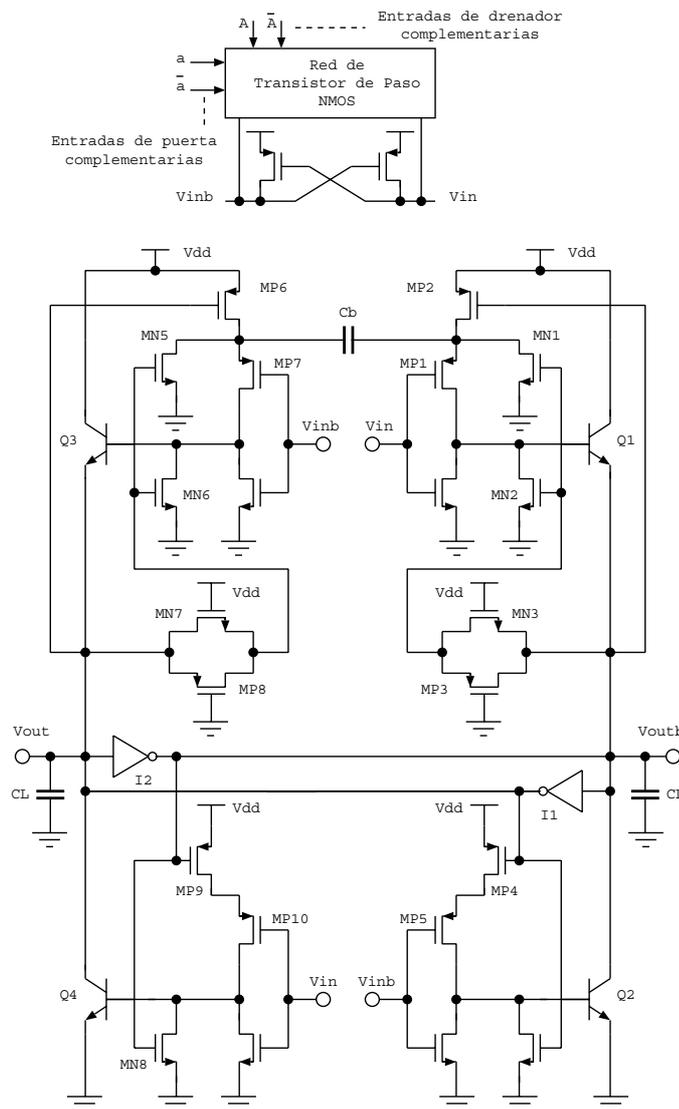


Figura 2.19: Excitador BiCMOS sobre–excitado de acoplo cruzado diferencial.

2.12 Circuito inversor sobre-excitado de 1V adecuado para tecnología CMOS estándar

Este inversor de [Moisiadis et al., 1999b] diseñado con tecnología CMOS de alta tensión umbral (V_{TN}) estándar, utiliza un dispositivo NMOS en la sección de la transición de subida, tomando ventaja de su mayor capacidad de excitación frente a los dispositivos PMOS. Para evitar la caída de tensión (V_{TN}) en la excursión lógica de salida, se sobre-excita el NMOS con una tensión de valor $V_{dd} + V_{TN}$. La Figura 2.20 muestra el diagrama del circuito en el que M5 se utiliza para descargar la puerta del transistor de salida M6. La sección de sobre-excitación consta de M1, M2, M3, M4, y Cb. El condensador de sobre-excitación, Cb, en este caso se ha realizado con un transistor PMOS.

*Inversor CMOS
sobre-excitado de
1V*

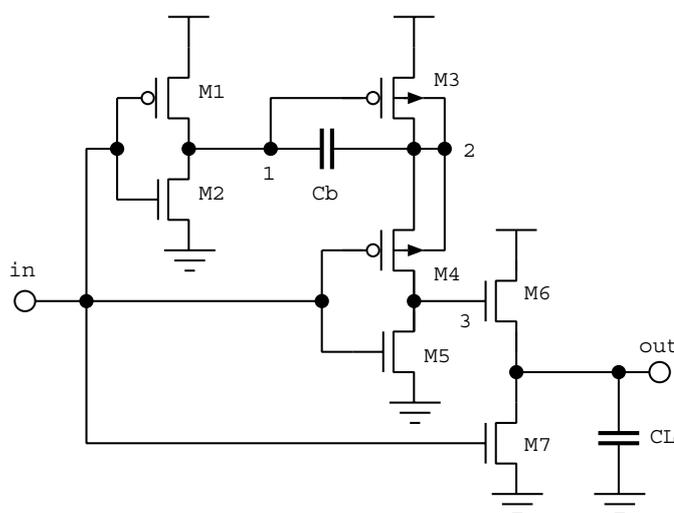


Figura 2.20: Inversor CMOS sobre-excitado para una tensión de alimentación de 1V.

En [Moisiadis et al., 1999b] el diseño se implementó en tecnología CMOS de $0.35\mu\text{m}$ desarrollada por ST Microelectronics, y las simulaciones a 100MHz demostraron una velocidad superior del orden del 50% respecto al inversor convencional con una alimentación de 1V, y sólo un incremento del 9% en el consumo de potencia.

2.13 Excitador CMOS sobre-excitado sub-1V

En esta Sección se expone el diseño de un circuito excitador con una alimentación entre 0.5V y 1V, basado en tecnología CMOS de doble pozo en $0.25\mu\text{m}$. [Chong-Fatt et al., 1999] justifican el uso de la tecnología CMOS en

[Moisiadis et al., 1999b] Moisiadis, Y., Bouras, I., Efthymiou, A., and Papadas, C. (1999b). Fast 1V bootstrapped inverter suitable for standard CMOS technologies. In *Electronics Letters*, volume 35, pages 109–111.

[Chong-Fatt et al., 1999] Chong-Fatt, L., Kiat-Seng, Y., and Rofail, S. S. (1999). Sub-1V bootstrapped CMOS driver for giga-scale-integration era. In *Electronics Letters*, volume 35,

las implementaciones de giga escala de integración con baja tensión de funcionamiento, y estudian las prestaciones del circuito propuesto por [Lou and Kuo, 1997a] detectando problemas de sobre-excitación indeseable. Para solucionar la fuga de carga en el funcionamiento transitorio de la sobre-excitación [Chong-Fatt et al., 1999] ofrecen el circuito ilustrado en la Figura 2.21.

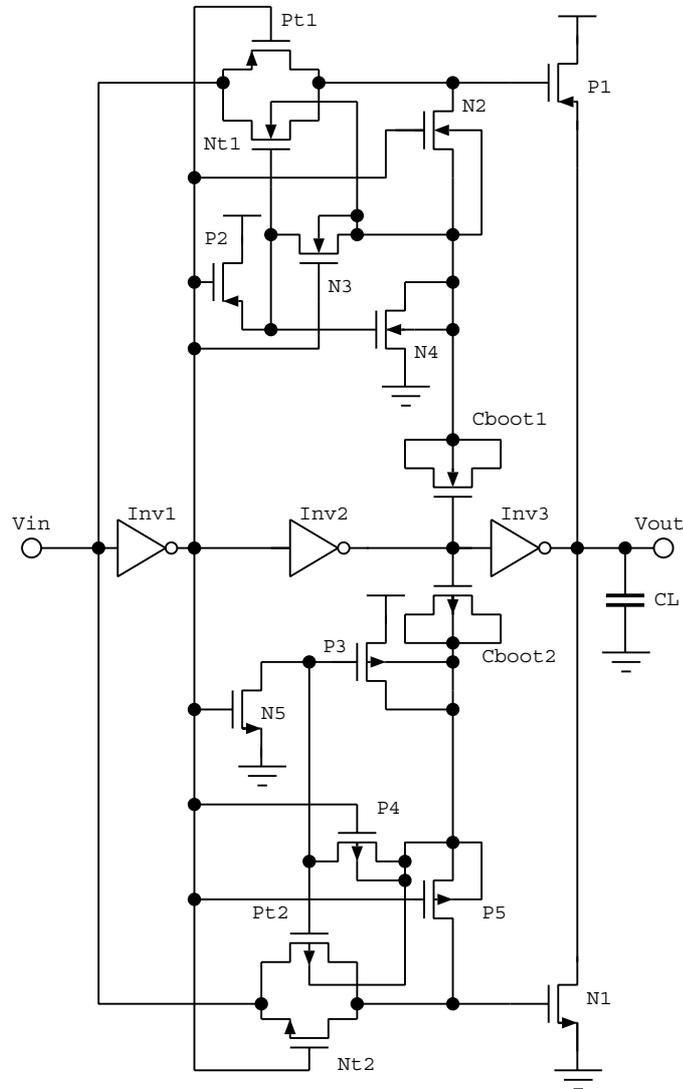


Figura 2.21: Inversor CMOS sobre-excitado para una tensión de alimentación de 0.5V–1V.

Como se observa en la Figura 2.21, la sección de la transición de subida tiene todos los dispositivos NMOS, incluyendo C_{boot1} , ubicados en el mismo

pages 392–393.

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[Chong-Fatt et al., 1999] Chong-Fatt, L., Kiat-Seng, Y., and Rofail, S. S. (1999). Sub-1V bootstrapped CMOS driver for giga-scale-integration era. In *Electronics Letters*, volume 35, pages 392–393.

pozo de tipo P. Asimismo, en la sección de la transición de bajada todos los dispositivos PMOS, incluido C_{boot2} , están localizados en un sólo pozo de tipo N. Esto produce un trazado físico más compacto y previene de cualquier polarización directa en diodos parásitos existentes entre las uniones de drenador/fuente y sustrato de los dispositivos.

El área del circuito es un 20% mayor que la de un circuito CMOS de dos etapas ($290\mu\text{m}^2$). Los resultados de simulación a 1V de alimentación, y una frecuencia de 100MHz con un tiempo de subida/bajada de 200ps demuestran un 15% de mejora en velocidad y un 18% de menor consumo de energía que el circuito de [Lou and Kuo, 1997a] con una carga de 1pF. El circuito propuesto tiene menor consumo de energía que un circuito CMOS de dos etapas con una tensión menor de 0.8V. A 0.5V consume un 20% menos de energía.

2.14 Circuito BiCMOS de alta velocidad con excursión lógica completa de 1V

En la Figura 2.22 [Yeo and Lee, 1999] se muestra un inversor BiNMOS que puede fabricarse con un proceso estándar BiCMOS no complementario. El transistor MN1 se usa para excitar la capacidad de sobre-excitación C_{boot} . El lazo de realimentación positiva está formado por MP1, MN1 y C_{boot} . El transistor MPU es necesario para asegurar que la tensión de salida permanezca en el nivel lógico correcto cuando Q1 esté cortado.

*Excitador
BiNMOS
sobre-excitado
para 1V*

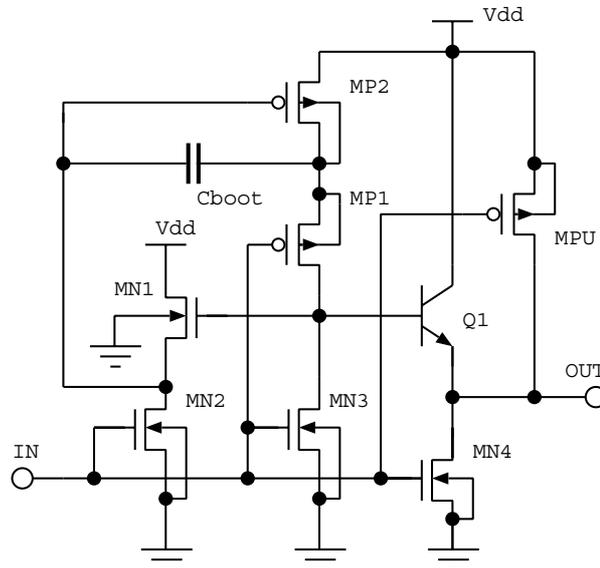


Figura 2.22: Inversor BiNMOS sobre-excitado para una tensión de alimentación de 1V.

Hay cuatro características distintas en el circuito:

[Yeo and Lee, 1999] Yeo, K. S. and Lee, H. K. (1999). Novel 1-V full-swing high-speed BiCMOS circuit using positive feedback base-boost technique. In *IEE Proceedings-Circuits Devices Syst.*, volume 146, pages 130–134.

1. C_{boot} no es excitado por la entrada como lo es en [Chik and Salama, 1995], donde se necesitan grandes transistores de entrada para la sobre-excitación, y, por tanto, limitando su uso debido a grandes capacidades de cruce.
2. C_{boot} no está conectado a la salida como lo está en [Bellaouar et al., 1995]. En ese circuito, C_{boot} contribuye a la capacidad de salida y esto degrada las prestaciones del circuito completo. Como consecuencia la capacidad de carga de salida y la capacidad de cruce se ven gravemente afectadas.
3. Durante el ciclo de sobre-excitación, casi toda la corriente de drenaje de MP1 fluye por la base de Q1. En consecuencia, la tensión de base de Q1 se alcanza rápidamente.
4. Para un proceso BiCMOS de $0.35\mu\text{m}$, incluso si la tensión de alimentación se reduce a 1V, la puerta de MN1 se sobre-excita a una tensión mayor que $V_{dd} + V_T(MN1)$. La tensión umbral es aproximadamente de 0.4V para el NMOS.

Para obtener una buena sobre-excitación, el transistor de precarga MP2 ha de mantenerse pequeño, pero no tanto que impida que C_{boot} se cargue a V_{dd} , y el transistor de entrada MP1 ha de ser lo suficientemente grande como para permitir un adecuado flujo de corriente en la base de Q1. Sin embargo, se ha de reducir su tamaño para evitar una gran capacidad parásita desde su fuente y drenador, respectivamente.

La sensibilidad de la capacidad de sobre-excitación en el circuito es mucho menor que la del BFBiNMOS

Para evaluar las prestaciones se eligió una cadena de 4 puertas NAND de 2 entradas, y se compara con CMOS, *BiNMOS Sobre-excitado* (BSBiNMOS)²⁷, y BFBiNMOS. La capacidad de entrada de todos los circuitos es de $30fF$. La primera puerta se excita con una onda cuadrada de 50MHz con un tiempo de subida y bajada de 0.2ns. Y todas las puertas se cargan con una capacidad de igual valor. El retardo de propagación con una capacidad de 1pF se reduce un 49% respecto al circuito CMOS. La sensibilidad retardo-carga es sólo de 1050ps/pF con una capacidad de sobre-excitación de 300fF. En cuanto a la potencia disipada, CMOS disipa la menor potencia, mientras que BSBiNMOS y el circuito en estudio tienen la misma disipación. Sin embargo, BFBiNMOS consume la mayor potencia en todas las condiciones de carga.

El circuito ocupa el área más pequeña de las familias BiCMOS, y es sólo 2.1 veces mayor que su homólogo en CMOS. La capacidad de cruce es tan pequeña como 0.1pF.

²⁷Traducción del término anglosajón *Bootstrapped BiNMOS*.

[Chik and Salama, 1995] Chik, R. Y. V. and Salama, C. A. T. (1995). Design of a 1.5V full-swing bootstrapped BiCMOS logic circuit. In *IEEE J. Solid-State Circuits*, volume 30, pages 972–978.

[Bellaouar et al., 1995] Bellaouar, A., Elmasry, M. I., and Embabi, S. H. K. (1995). Bootstrapped full-swing BiCMOS/BiNMOS logic circuits for 1.2–3.3V supply voltage regime. In *IEEE J. Solid-State Circuits*, volume 30, pages 629–636.

2.15 Comparación de prestaciones entre excitadores en tecnologías CMOS y BiCMOS con funcionamiento en baja tensión

Se ha observado que los excitadores BiNMOS presentan unas buenas prestaciones con tensiones inferiores a 1.5V y son firmes candidatos para circuitos VLSI de baja tensión y potencia. Entre todos los excitadores de excursión lógica completa que usan dispositivos BiCMOS convencionales, se ha puesto de manifiesto que los circuitos BFBiCMOS y BS-BiCMOS son los más eficientes en funcionamiento con baja tensión [Moisiadis et al., 1999a].

Todos los circuitos se han diseñado y simulado conservando la misma capacidad de carga de entrada, y se han optimizado para funcionar con la máxima eficiencia de potencia. Las tecnologías utilizadas han sido HCMOS5 y BiCMOS5 en $0.5\mu\text{m}$ de ST-Microelectronics, con tensiones umbrales V_{thn} de 0.65V y V_{thp} de -0.65V . La frecuencia elegida fue de 50MHz, y dos temperaturas distintas 27°C y 125°C , respectivamente.

Se deduce que el excitador BiCMOS tiene el mejor retardo de propagación según se disminuye la tensión de alimentación hasta alcanzar 2V, mientras que BiNMOS lo tiene entre 2V y 1.5V. La sección de transición de bajada en las arquitecturas BiCMOS, BiNMOS, y BFBiCMOS es la que deteriora las prestaciones de estos excitadores con bajas tensiones de alimentación. En todos los excitadores, el retardo aumenta cuando se incrementa la temperatura, pero los circuitos con dispositivos bipolares presentan unas prestaciones de mejora relativa cuando se comparan con las de los circuitos CMOS.

Las prestaciones de los circuitos BiNMOS son inferiores a las de los excitadores BiCMOS cuando la carga capacitiva es alta, debido a la limitada capacidad de excitación de los dispositivos MOS en la sección de transición de bajada del circuito. No obstante, la capacidad de cruce de los circuitos BiCMOS y BiNMOS aumenta cuando decrece la tensión de alimentación.

El tiempo de subida de los BiCMOS y BiNMOS permanece casi constante cuando disminuye la tensión de alimentación. Los BFBiCMOS presentan un funcionamiento similar pero tienen un retardo inferior a los CMOS en cascada, debido a la sobre-excitación. Con respecto al tiempo de bajada los CMOS en cascada tienen la mejor prestación, mientras que los BiNMOS están limitados por los dispositivos NMOS en la sección de transición de bajada.

Para la disipación de potencia por ciclo en función de V_{dd} se observa que BFBiCMOS, CMOS en cascada, y BS-BiCMOS tienen casi la misma disipación, mientras que los excitadores BiCMOS y BiNMOS presentan una gran reducción de disipación atribuible a su reducida excursión lógica de salida. El excitador BiCMOS también es el más eficiente en potencia con tensiones de alimentación inferiores a 2V. En torno a los 1.5V el más eficiente es el BiNMOS.

Los excitadores BiCMOS, y BiNMOS ofrecen una importante reducción

[Moisiadis et al., 1999a] Moisiadis, I., Bouras, I., Papadas, C., and Arapoyanni, A. (1999a). Performance Comparison of Driver Architectures in Submicrom CMOS and BiCMOS Technologies for Low Voltage Operation. In *IEEE Int. Conference on Electronics, Circuits and Systems (ICECS)*, volume 1, pages 201–204.

del producto potencia retardo en un amplio rango de cargas capacitivas. El circuito CMOS es más eficiente que el BFBiCMOS, BS-BiCMOS y el CMOS en cascada, mientras que muestra una prestación insuficiente con grandes cargas.

En conclusión, los excitadores CMOS en cascada y los BFBiCMOS tienen buenas prestaciones con baja tensión de alimentación, pero con un exceso en disipación de potencia y área de silicio. Además, el BFBiCMOS presenta una arquitectura complicada y requiere optimización de la capacidad de sobre-excitación en función de la tensión de alimentación y de la temperatura. El circuito BiCMOS ofrece resultados excelentes pero sólo por debajo de los 2V debido a su caída de $2V_{BE}$ en la tensión de salida. BiNMOS muestra buenas prestaciones por debajo de los 1.5V, y a causa de la simplicidad de su arquitectura es muy buen candidato para los circuitos VLSI de baja potencia.

2.16 Lógica CMOS de cerrojo sobre-excitado

BLCL
DB-BLCL

Para aplicaciones de baja tensión y baja potencia en [Kong et al., 1999] se presenta la *Lógica CMOS de Cerrojo Sobre-excitado* (BLCL)²⁸ y *Lógica CMOS de Cerrojo Sobre-excitado con Demanda por Estímulo* (DB-BLCL)²⁹. Los excitadores desarrollados en estas lógicas mejoran la velocidad al conectarles grandes cargas capacitivas por estimular los nodos internos más allá del valor de la tensión de alimentación o por debajo del nivel de tierra, usando un sólo condensador de sobre-excitación.

La Figura 2.23 muestra el esquema del cerrojo BLCL, el cual consta de un árbol lógico NMOS con transistores de precarga y de una etapa de salida sobre-excitada. Las salidas UP y DN, del árbol lógico diferencial, se conectan en la etapa de salida sobre-excitada. La primera es una señal que a nivel alto produce en la salida el nivel alto, y la segunda es una señal que a nivel bajo produce en la salida el nivel bajo. Los transistores MP1 y MN1 se usan para excitar el nodo de salida. Los transistores MP2, MN3, MN4, MN5, y MN6 estimulan la puerta del transistor MP1 por debajo del nivel de tierra para la transición de subida de la salida. Mientras que los transistores MN2, MP3, MP4, MP5 y MP6 excitan la puerta del transistor MN1 por encima del nivel de la tensión de alimentación para la transición de bajada de la salida. CB es la capacidad de sobre-excitación. En el circuito, el sustrato de MN3 y MN5 se conectan al nodo N_p en lugar de tierra, de modo que la tensión en N_p no cause la polarización directa de la correspondiente unión fuente/drenador-sustrato. Igualmente, el cuerpo de MP3 y MP5 se conectan a N_n para eliminar la polarización directa de la unión fuente/drenador-sustrato debida a la tensión en N_n .

²⁸Traducción del término inglés *Bootstrapped Latched CMOS Logic*.

²⁹Traducción del término anglosajón *Demand-on-Boosting Bootstrapped Latched CMOS Logic*.

[Kong et al., 1999] Kong, B.-S., Kang, D.-O., and Jun, Y.-H. (1999). A Bootstrapped CMOS Circuit Technique for Low-Voltage Application. In *International Conference on VLSI and CAD*, pages 26–27.

BLCL funciona ejecutando las fases de precarga y evaluación una después de la otra. El cambio entre estas fases se controla con la señal de reloj. Cuando el reloj está a nivel bajo, el circuito está en la fase de precarga. Durante esta fase, UP y DN están deshabilitadas para forzar a que MP1 y MN1 estén desactivados. Luego, la salida está cerrada, los inversores acoplados en la salida (no mostrados en la Figura 2.23) conservan el valor de salida. Al mismo tiempo, una tensión igual a la de alimentación se almacena en el condensador de sobre-excitación. Cuando, el reloj cambia a nivel alto, el circuito entra en la fase de evaluación.

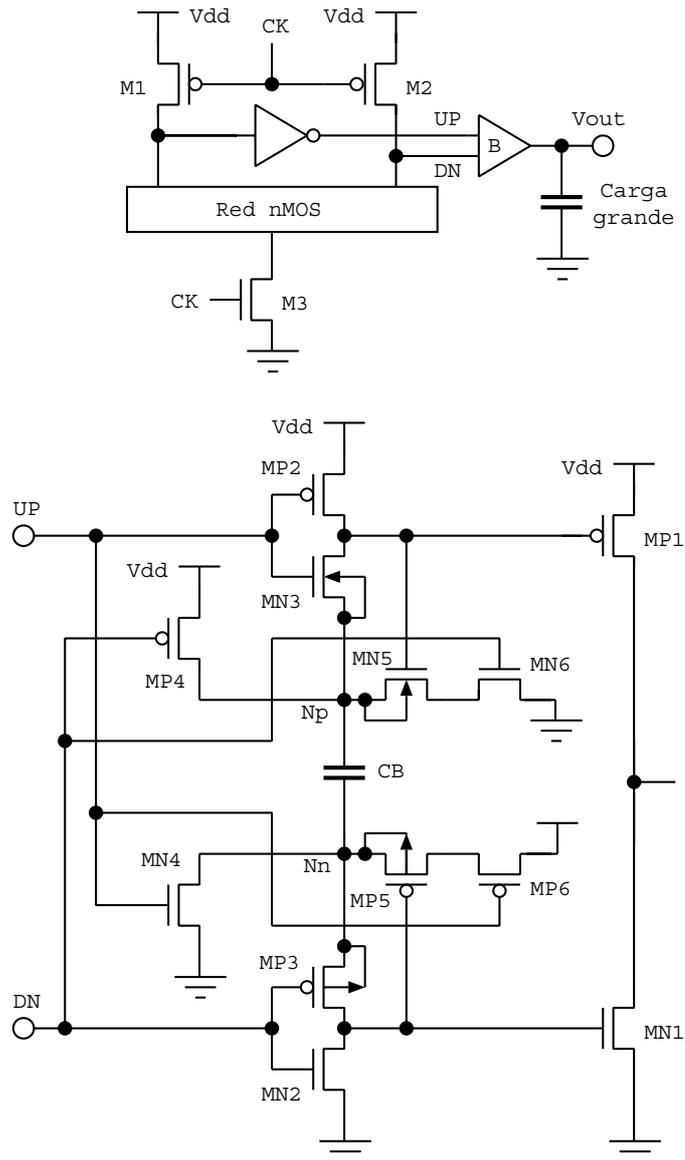


Figura 2.23: Cerrojo CMOS sobre-excitado. Las salidas UP y DN del árbol lógico diferencial, se conectan a la etapa de salida sobre-excitada.

La Figura 2.24 presenta la versión mejorada del BLCL, llamada DB-BLCL. En este circuito, la salida se introduce en la sección de sobre-excitación usando los transistores MP7, MP8, MN7 y MN8. En el circuito BLCL se activa

una de las operaciones de sobre-excitación de subida o de bajada de la salida. Por el contrario, el DB-BLCL puede o no generar una operación de sobre-excitación durante la fase de evaluación. Esto se determina durante la primera etapa de la fase de evaluación con el fin de que el circuito sólo se sobre-excite cuando se requiere una transición en la salida. Para los casos en los que la evaluación de UP tenga un estado alto en la salida, y la evaluación de DN tenga un estado bajo en la salida nunca se activará la sobre-excitación puesto que la salida no necesita cambiarse, de tal forma que se ahorra potencia.

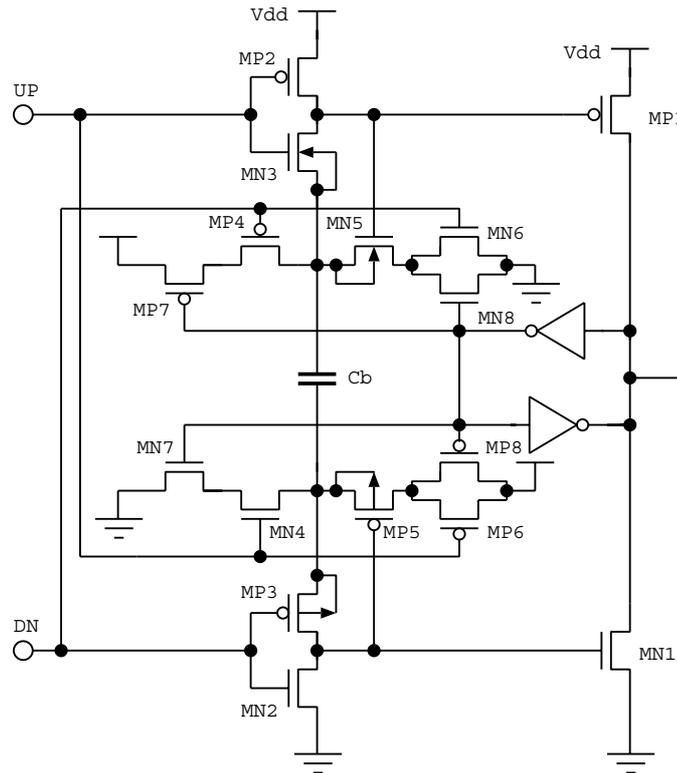


Figura 2.24: Cerrojo CMOS con sobre-excitación activa bajo demanda.

Para evaluar las prestaciones de los circuitos se diseñaron puertas XOR-XNOR con un proceso tecnológico CMOS de $0.35\mu\text{m}$. Los resultados demuestran que BLCL proporciona mejoras entre el 15–30% en la velocidad de conmutación con consumos de potencia comparables con respecto al circuito presentado en [Lou and Kuo, 1997a]. Además, DB-BLCL obtiene casi las mismas mejoras en velocidad que BLCL con un consumo de potencia un 33% menor que el circuito convencional de [Lou and Kuo, 1997a]. El circuito consta también publicado en una referencia adicional de los autores [Kong and Jun, 1999].

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power-efficient low-voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.

2.17 Circuito excitador CMOS sobre-excitado de baja tensión para aplicaciones de altas prestaciones

Si se utilizan dos transistores NMOS en el diseño de la etapa de salida a diferencia de la configuración tradicional (un PMOS y un NMOS), se puede tener un excitador CMOS que trabaje con una tensión de alimentación entre 0.5 y 2.5V con una corriente de fuente mayor, y por ende aumentando la velocidad [Kiat-Seng et al., 2000]. Otra ventaja es que se realizaría en un proceso CMOS estándar de un sólo pozo. La Figura 2.25 muestra el excitador mencionado.

Excitador sobre-excitado de altas prestaciones

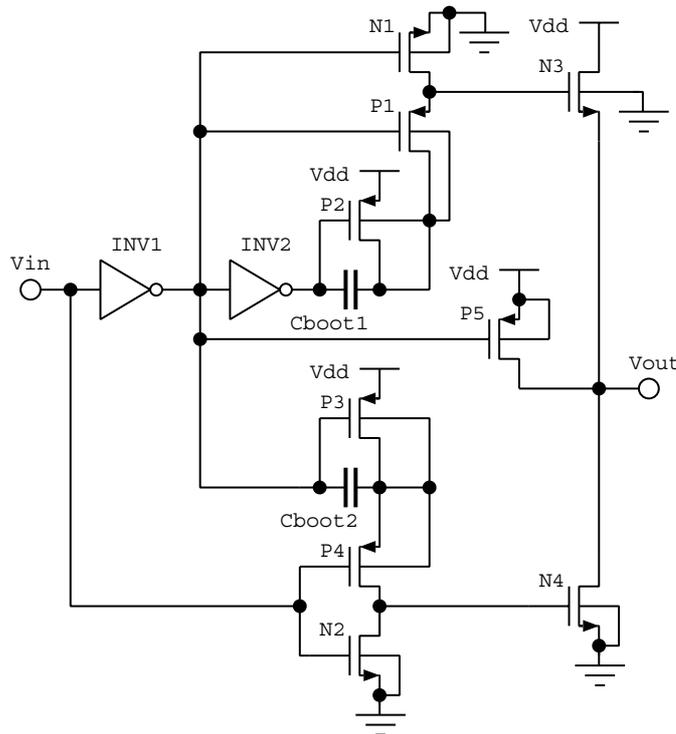


Figura 2.25: Excitador CMOS sobre-excitado no inversor.

Antes del funcionamiento de la transición de subida, el condensador de sobre-excitación C_{boot1} se precarga a V_{dd} a través de P2. P3 se activa para precargar C_{boot2} a V_{dd} . Como la carga de C_{boot1} se perderá con el tiempo, se necesita de un transistor pequeño, P5, para mantener la tensión de salida en alto si el circuito permanece sin conmutar durante mucho tiempo. Los condensadores de sobre-excitación se pueden realizar usando transistores PMOS. Para obtener una célula compacta y prevenir cualquier polarización directa de los diodos parásitos que existen entre las uniones drenador-sustrato y fuente-sustrato de los dispositivos, C_{boot1} , P1, y P2 se incluyen

[Kiat-Seng et al., 2000] Kiat-Seng, Y., Jian-Guo, M., and Manh-Anh, D. (2000). Ultra low voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.

en un sólo pozo n. Se haría otro pozo n para tener a C_{boot2} , $P3$, y $P4$.

Se hizo una comparación del excitador de la Figura 2.25 con un excitador CMOS de dos etapas y los circuitos publicados en [Chong-Fatt et al., 1999] y [Lou and Kuo, 1997a]. Todos los circuitos se optimizaron con igual capacidad de entrada y se realizaron con un proceso CMOS de $0.25\mu\text{m}$. Las simulaciones se realizaron con una frecuencia de 100MHz y unos tiempos de subida y bajada iguales a 200ps. Los resultados, con una tensión de 1V, muestran que el circuito de [Kiat-Seng et al., 2000] supera en velocidad a los circuitos de [Chong-Fatt et al., 1999] y [Lou and Kuo, 1997a], y al excitador CMOS de dos etapas usando cargas mayores a 0.002, 0.06 y 0.22pF, respectivamente. Con V_{dd} entre 0.5 y 2.5V el circuito propuesto es más rápido y consume un poco más de potencia que el excitador CMOS de dos etapas. Con 0.5V, el diseño es un 27 y 37% más rápido que el excitador CMOS de dos etapas y el de [Lou and Kuo, 1997a], respectivamente. El circuito de [Chong-Fatt et al., 1999] consume la mayor potencia en todo el rango de tensión de alimentación. El área del circuito propuesto es de $585\mu\text{m}^2$, la del excitador CMOS de dos etapas y la de los circuitos [Chong-Fatt et al., 1999] y [Lou and Kuo, 1997a] son 268, 744, y $539\mu\text{m}^2$, respectivamente. En conclusión el circuito presentado ofrece el mejor compromiso en términos de velocidad, potencia y área que los otros tres, y a diferencia de [Chong-Fatt et al., 1999] y [Lou and Kuo, 1997a] se puede fabricar con un proceso CMOS de un sólo pozo.

2.18 Excitador CMOS sub-1V usando sobre-excitación directa

Según [Chen and Kuo, 2002] el diseño de un excitador es un paso clave en la determinación de la prestación de velocidad de un circuito VLSI CMOS con una gran capacidad de carga. La técnica de sobre-excitación aplicada en la puerta de los dispositivos de salida en un circuito excitador se clasifica como una técnica de sobre-excitación indirecta. En la Figura 2.26 se propone un excitador de sobre-excitación directa sobre la salida. Entre sus dispositivos, los transistores PMOS $P1-P3$, y el condensador C_{b1} se usan para el funcionamiento de subida, mientras que, los transistores NMOS $N1-N3$, y el condensador C_{b2} se emplean para la operación de bajada. En la técnica de sobre-excitación directa, el condensador de sobre-excitación C_{b1}/C_{b2} se conecta al nodo de salida a través de $P2/N2$ en vez de hacerlo a través de la

*Excitador de
sobre-excitación
directa*

[Chong-Fatt et al., 1999] Chong-Fatt, L., Kiat-Seng, Y., and Rofail, S. S. (1999). Sub-1V bootstrapped CMOS driver for giga-scale-integration era. In *Electronics Letters*, volume 35, pages 392–393.

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[Kiat-Seng et al., 2000] Kiat-Seng, Y., Jian-Guo, M., and Manh-Anh, D. (2000). Ultra low voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

puerta del dispositivo de salida como en las técnicas de sobre-excitación indirecta.

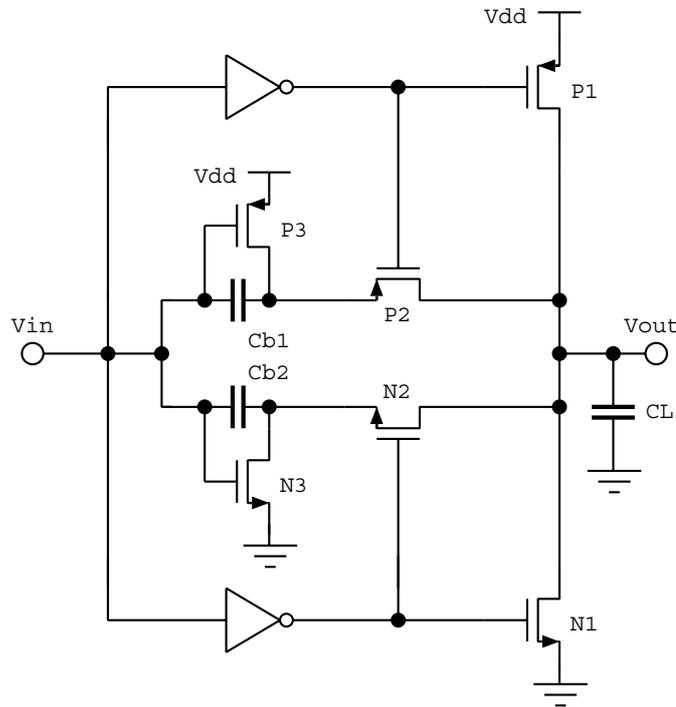


Figura 2.26: Excitador CMOS sub-1V con sobre-excitación directa.

Para su valoración se ha diseñado el circuito presentado, utilizando tecnología CMOS de $0.18\mu\text{m}$, una carga de salida de 2pF , condensadores de sobre-excitación de 0.35pF , y una tensión de alimentación de 1V . La mejora en velocidad es de 3.3 veces comparada con la técnica de sobre-excitación indirecta [Lou and Kuo, 1997a], [Chong-Fatt et al., 1999] y [Kiat-Seng et al., 2000]. El excitador propuesto es también ventajoso con una tensión de alimentación de 0.8V .

2.19 Excitador inversor SOI CMOS basado en la técnica de sobre-excitación

Los circuitos SOI CMOS están recibiendo mucha atención debido a sus potenciales en aplicaciones VLSI de baja tensión. La Figura 2.27 ilustra un circuito excitador inversor SOI CMOS. Este utiliza bombeo de carga basado en la técnica de sobre-excitación para superar los problemas de funcionamiento a 0.5V , e incluso a tensiones comparables o inferiores a la tensión umbral de los dispositivos utilizados.

El circuito de bombeo de carga superior favorece la transición de bajada en la salida, y consta del condensador C_{b1} , el dispositivo de pre-carga $P3$, y el transistor excitador $N2$. Mientras que el circuito de bombeo de carga inferior,

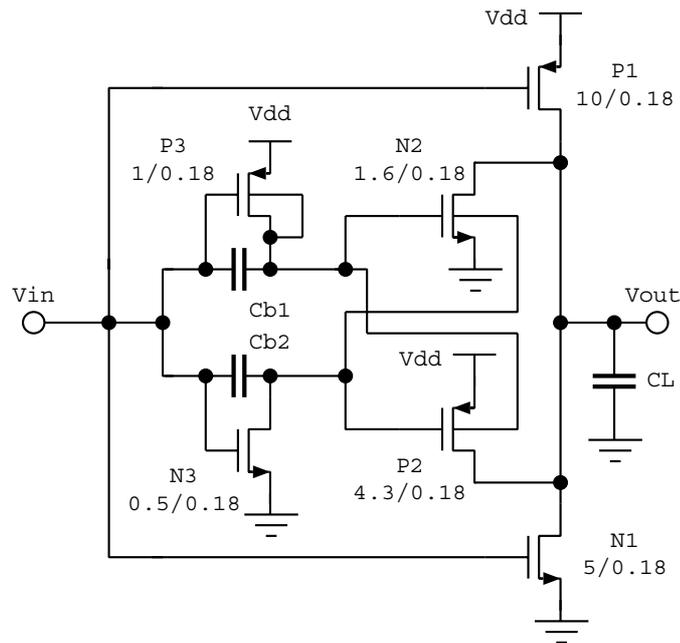


Figura 2.27: Excitador inversor SOI CMOS de ultra baja tensión.

mejora la transición de subida en la salida, y está formado por el condensador Cb2, el dispositivo de pre-descarga N3, y el transistor de excitación P2.

Para evaluar las prestaciones de este circuito con ultra baja tensión se usa una tensión de 0.5V, una carga capacitiva de 0.1pF en el nodo de salida, y un proceso tecnológico SOI CMOS de 0.18 μ m. El ancho de canal de cada transistor se muestra en la Figura 2.27. El excitador propuesto proporciona una velocidad 4 veces mayor cuando se compara con un excitador de sobre-excitación directa [Chen and Kuo, 2002] con una carga de 0.1pF. Se ha demostrado que el circuito expuesto puede trabajar con una tensión de 0.3V mientras que otros dejan de hacerlo a los 0.4V.

2.20 Excitador de gran carga capacitiva para baja tensión

Las aplicaciones de los excitadores de gran carga capacitiva incluyen líneas de interconexión largas, puertas con gran capacidad de excitación de salida, y excitadores de puerto de conexión. La principal ventaja de las técnicas de sobre-excitación es que mejoran la velocidad. Sin embargo, la primera desventaja es que pueden originar una diferencia de tensión de hasta $2V_{dd}$ a través de las uniones o a través de los óxidos de puerta, pero por disminución de la escala en la tecnología esta tensión no puede permitirse. Otra desventaja, son los condensadores de sobre-excitación. Ya que los valores de éstos condensadores

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

son comparables a un condensador de carga y que en cada ciclo se cargan y descargan, producen mucha disipación de potencia. Además necesitan un área grande.

La cuestión más importante a considerar es la capacidad de entrada del propio excitador. El excitador es una carga para las etapas lógicas previas. Especialmente en la técnica de sobre-excitación directa, una gran parte de la carga del condensador de salida se transmite a la etapa previa.

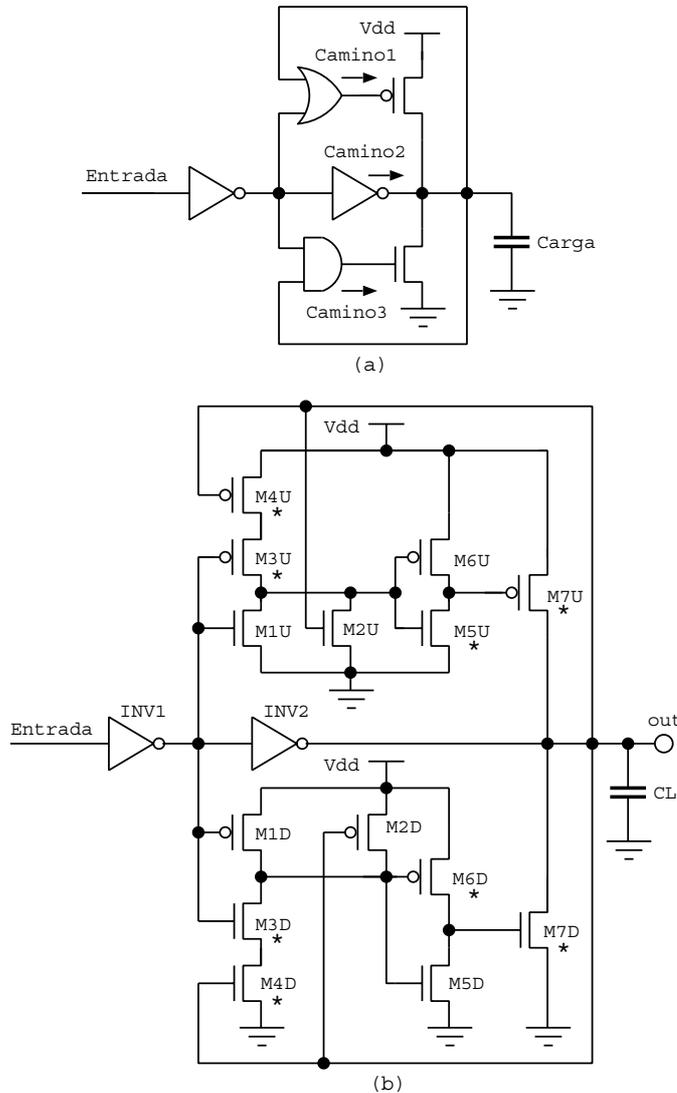


Figura 2.28: Excitador CMOS multi-camino, (a) esquema general, (b) estructura con transistores críticos.

En cuanto a la topología propuesta en [Kheradmand-Boroujeni and Masoumi, 2004] como alternativa a la técnica de sobre-excitación para superar los inconvenientes comentados, se observa en la Figura 2.28(a) tres caminos

Excitador de gran carga capacitiva

[Kheradmand-Boroujeni and Masoumi, 2004] Kheradmand-Boroujeni, B. and Masoumi, N. (2004). A new large capacitive load driver circuit for low voltage CMOS VLSI. In *Proc. of the IEEE Workshop on Biomedical Circuits and Systems*, pages S1.1–5–S.1.1–8.

distintos. El `camino1` está diseñado para la transición de bajo a alto, el `camino2` es para condiciones estáticas, y el `camino3` se encarga de la transición de alto a bajo. El `camino2` mejora la inmunidad al ruido y cancela los efectos de las corrientes de fugas, es de baja velocidad y puede ser un inversor de tamaño mínimo. En cada camino cada etapa debe diseñarse con mayores dimensiones que la etapa previa. La Figura 2.28(b) ilustra la estructura en detalle y los transistores críticos marcados con asterisco para obtener retardo mínimo.

En el `camino1` la primera etapa es una puerta NOR con dispositivos PMOS mayores que los NMOS. `M4U` puede hacerse mayor que `M3U` debido a que está conectado al nodo de salida y su carga efectiva es mucho menor que la carga de salida. `M1U` no tiene importancia y puede hacerse de tamaño mínimo. De igual forma, `M6U` se puede diseñar más pequeño que `M5U`. El `camino2` tiene un efecto despreciable sobre el retardo al ser un pequeño inversor. Y el `camino3` se optimiza para la transición de alto a bajo con una operación y tamaño de transistores similar al visto para el `camino1`.

La Tabla 2.1 muestra la anchura de los transistores optimizada para un mínimo producto retardo–potencia en tecnología CMOS de $0.18\mu\text{m}$. W y $2W$ son las anchuras del inversor de la primera etapa, INV1:NMOS e INV1:PMOS , respectivamente. Y S es el factor de escala. La selección del valor de W depende de la capacidad de excitación de la etapa previa debido a que INV1 es una carga de esa etapa. La selección de S para obtener las mejores prestaciones depende de la capacidad de carga. Es importante resaltar que este excitador no es adecuado para cargas pequeñas. Con la tecnología $0.18\mu\text{m}$ el excitador es válido para una capacidad de carga $C_L \geq 3\text{pF}$.

Tabla 2.1: ANCHURA DE CANAL PARA LOS TRANSISTORES DEL EXCITADOR EN TECNOLOGÍA CMOS DE $0.18\mu\text{m}$.

Transistor	Anchura	Transistor	Anchura
INV1:NMOS	W	M6U	$0.25WxS^2$
INV1:PMOS	$2W$	M7U	$1.5WxS^3$
INV2:NMOS	Opcional	M1D	$0.5W$
INV2:PMOS	Opcional	M2D	$0.5WxS$
M1U	$0.5W$	M3D	$0.82WxS$
M2U	$0.5WxS$	M4D	$1.64WxS$
M3U	$1.5WxS$	M5D	$0.17WxS^2$
M4U	$3WxS$	M6D	$0.68WxS^2$
M5U	WxS^2	M7D	$0.56WxS^3$

Al evaluar las prestaciones del excitador se ha seleccionado $W = 2\mu\text{m}$, $S = 3.4$, y para INV2 : $W_n = W_p = 1\mu\text{m}$. Las simulaciones se han realizado a una frecuencia de 500MHz , una capacidad de carga $C_L = 6\text{pF}$, y una $V_{dd} = 1.8\text{V}$. La comparación se hace con respecto al excitador [Chen and Kuo, 2002] añadiéndole 3 inversores a la entrada. El primer inversor añadido tiene una $W_n = 2\mu\text{m}$

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

y una $W_p=4\mu\text{m}$, y cada inversor es mayor que el previo. El área del excitador propuesto es casi la mitad del área utilizada para el método directo de [Chen and Kuo, 2002] (sin considerar el área de los condensadores de sobre-excitación). Los resultados muestran que S y W tienen poco efecto sobre la potencia debido a que la fuente principal de disipación de potencia es la carga y descarga de la capacidad de carga. La mejor forma de disminuir el retardo, sin un considerable efecto sobre la potencia y el área, consiste en incrementar W, teniendo en cuenta que la elección óptima de W está afectada por la capacidad de excitación de la etapa previa al circuito propuesto.

El excitador en estudio presenta una mejora superior al 20% en el producto retardo-potencia para una $C_L=10\text{pF}$ con respecto al método [Chen and Kuo, 2002] de sobre-excitación directa (sin los 3 inversores añadidos).

2.21 Excitador de gran carga capacitiva, baja fuga de corriente de puerta y alta velocidad

Los transistores grandes en los excitadores hacen que las componentes de la corriente de fuga sean también elevadas originando una gran potencia estática. La idea que hay detrás de un circuito excitador *multi-path* es que cuando ocurre una transición en la entrada, la salida efectúa otra transición después de algún retardo. Después de esa transición los dispositivos grandes de salida ya no precisan estar activos (el camino estático mantiene el estado de salida), y se cortan con el camino de realimentación según se muestra en la Figura 2.29.

Excitador CMOS multi-path

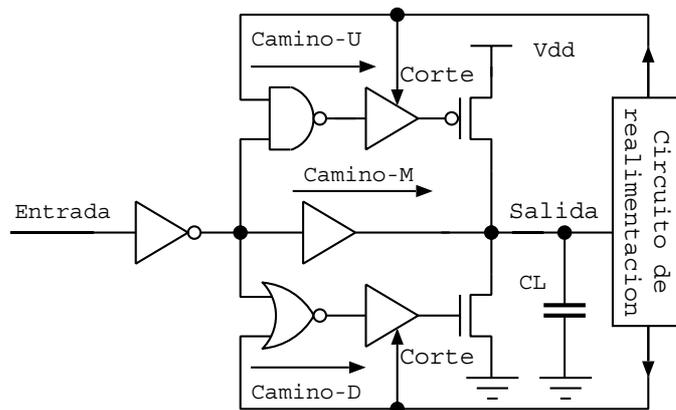


Figura 2.29: Esquema general del excitador de 4 etapas *multi-path* para $C_L > 1\text{pF}$.

La estructura en detalle del excitador presentado en [Kheradmand-Boroujeni et al., 2005] se ilustra en la Figura 2.30. Los transistores marcados con un asterisco indican el camino crítico. Se define como inversor mínimo aquel

que tiene una $W_n=W_{min}$ y $W_p=2W_{min}$ (W_{min} es la anchura mínima permitida para un transistor).

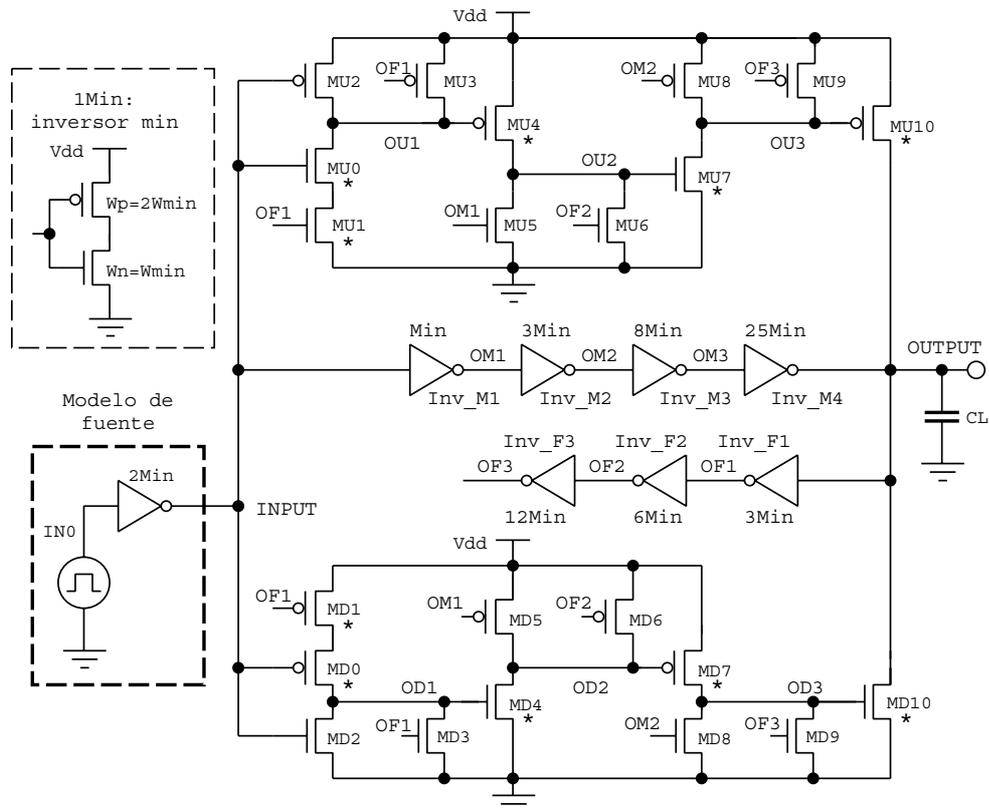


Figura 2.30: Excitador de 4 etapas *multi-path* para $CL > 1pF$.

Los tamaños de MU0, MU1, MU4, MU7 y MU10 determinan el retardo de la entrada a la salida, y los de MU3, MU6 y MU9 fijan el tiempo requerido para recuperar el estado normal. El tiempo de recuperación limita la máxima frecuencia de funcionamiento del excitador. En el Camino-M, el número de etapas (el cual debe ser impar) y el tamaño de cada una es opcional, y depende de la impedancia de salida requerida en condiciones de estado estacionario.

El Camino-D es más rápido que el camino Camino-U porque su carga (MD10) es casi la mitad de MU10. El excitador considerado ha de ser más rápido que el visto en [Kheradmand-Boroujeni and Masoumi, 2004] por tres razones. La primera de ellas es que la idea de camino múltiple se ha expandido a las cuatro etapas. En [Kheradmand-Boroujeni and Masoumi, 2004] sólo hay tres etapas colocadas en caminos separados y una etapa es común. La segunda razón es que el camino crítico en el Camino-U es más rápido que el del circuito en [Kheradmand-Boroujeni and Masoumi, 2004]. Esto se ha conseguido usando una puerta NAND2 en el Camino-U cuyos transistores PMOS en la

Kusha, A. (2005). High Speed Low Gate Leakage Large Capacitive-Load Driver Circuits for Low-Voltage CMOS. In *International Conference on Microelectronics*, pages 30–35.

[Kheradmand-Boroujeni and Masoumi, 2004] Kheradmand-Boroujeni, B. and Masoumi, N. (2004). A new large capacitive load driver circuit for low voltage CMOS VLSI. In *Proc. of the IEEE Workshop on Biomedical Circuits and Systems*, pages S1.1–5–S.1.1–8.

red de subida están en paralelo. Tener dos transistores PMOS (los cuales tienen menor movilidad) en serie, como es el caso de una NOR2, degrada las prestaciones considerablemente. Y, la tercera razón, es que los caminos de desconexión (MU3, MU6, MU9 y MD3, MD6, MD9) se derivan del circuito de realimentación para suprimir cargas innecesarias en los nodos internos del Camino-D y Camino-U.

Para conseguir las mejores prestaciones del excitador, el tamaño de los transistores de los distintos caminos se ha de optimizar. La Tabla 2.2 muestra los tamaños de los transistores para el menor producto retardo-potencia en una tecnología CMOS estándar de 65nm.

Tabla 2.2: ANCHURA DE CANAL PARA LOS TRANSISTORES DEL EXCITADOR EN TECNOLOGÍA CMOS DE 65nm.

Transistor	Anchura	Transistor	Anchura
MU0	w	MD0	$0.8w$
MU1	$2w$	MD1	$1.6w$
MU2	w_{min}	MD2	w_{min}
MU3	w	MD3	$0.22w$
MU4	$w \times s$	MD4	$0.61w \times s$
MU5	$2w_{min}$	MD5	$2w_{min}$
MU6	$0.22w \times s$	MD6	$0.51w \times s$
MU7	$0.60w \times s^2$	MD7	$0.65w \times s^2$
MU8	$3w_{min}$	MD8	$3w_{min}$
MU9	$0.22w \times s^2$	MD9	$0.033w \times s^2$
MU10	$w \times s^3$	MD10	$0.44w \times s^3$

La anchura w depende del nivel de excitación de la etapa lógica previa mientras que el factor de escala s se obtiene con simulación para lograr las mejores prestaciones. w varía normalmente de $5w_{min}$ a $15w_{min}$, y s lo hace entre 3.5 y 5.5. MU4, MU7 y MU10 tienen el principal efecto de carga sobre OU1, OU2 y OU3, respectivamente. Los tamaños de Inv_F1, Inv_F2, Inv_F3, y de los transistores MU3, MU6, MU9 y MD3, MD6, MD9 determinan la máxima frecuencia de funcionamiento del excitador. Con las dimensiones de la Tabla 2.2 y de la Figura 2.30, el excitador trabaja fácilmente hasta una frecuencia de $1/(4 \times \text{retardo})$. Para frecuencias menores se puede reducir el ancho de éstos transistores. Es importante señalar que éste excitador de cuatro etapas no es la mejor opción con cargas inferiores a 1pF, para ello se ha de utilizar un excitador de tres etapas como se ilustra en la Figura 2.31. Además para cargas mayores de 12pF es preferible usar un circuito de cinco etapas el cual se puede diseñar similar a los excitadores de tres y cuatro etapas.

Los resultados de simulación se obtienen mediante el uso del circuito equivalente de la fuente que modela la etapa previa según se muestra en la Figura 2.30, la cual consta de inversor y una fuente de tensión ideal. La frecuencia de simulación es de 1GHz, la $V_{dd}=1V$ y la tecnología es de 65nm. El diseño se compara con el método directo de [Chen and Kuo, 2002], el método indirecto

de [Lou and Kuo, 1997a], y el circuito de camino múltiple de [Kheradmand-Boroujeni and Masoumi, 2004] optimizados para el mínimo producto retardo–potencia. Como el método de sobre–excitación directa tiene una capacidad de entrada efectiva elevada es mejor colocar un inversor entre el excitador y la fuente para reducir el retardo total. Se deduce que el excitador propuesto en [Kheradmand-Boroujeni et al., 2005] con una carga de 10pF tiene aproximadamente un 12.5%, y un 48% menor producto retardo–potencia que el de [Kheradmand-Boroujeni and Masoumi, 2004], y [Chen and Kuo, 2002], respectivamente. Y, la menor corriente de fugas de puerta.

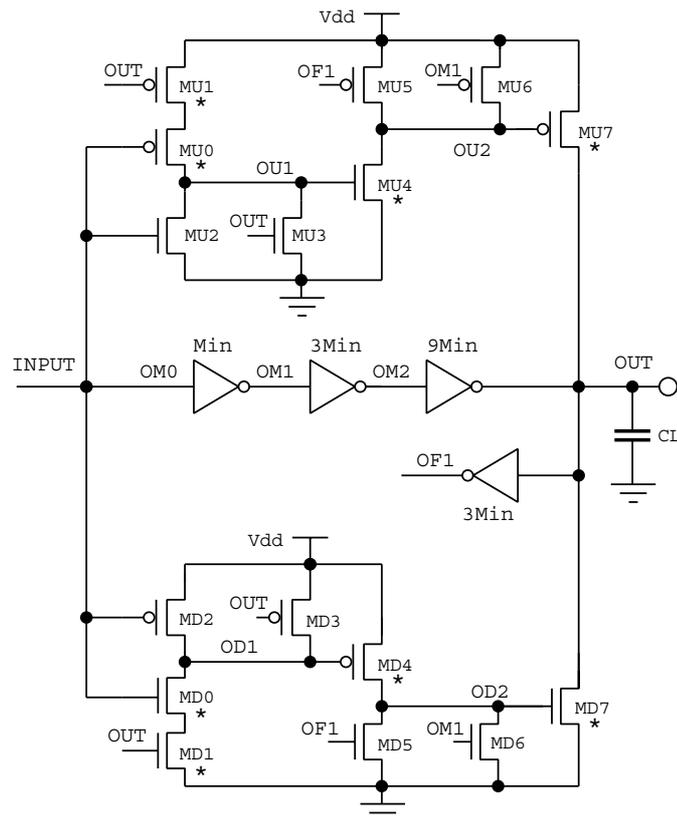


Figura 2.31: Excitador de 3 etapas *multi-path* para $CL < 1\text{pF}$.

driver circuit using direct bootstrap technique for low–voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full–swing bootstrapped CMOS large capacitive–load driver circuit suitable for low–voltage CMOS VLSI. In *IEEE J. Solid–State Circuits*, volume 32, pages 119–121.

[Kheradmand-Boroujeni and Masoumi, 2004] Kheradmand-Boroujeni, B. and Masoumi, N. (2004). A new large capacitive load driver circuit for low voltage CMOS VLSI. In *Proc. of the IEEE Workshop on Biomedical Circuits and Systems*, pages S1.1–5–S.1.1–8.

[Kheradmand-Boroujeni et al., 2005] Kheradmand-Boroujeni, B., Seyyedi, A., and Afzali-Kusha, A. (2005). High Speed Low Gate Leakage Large Capacitive–Load Driver Circuits for Low–Voltage CMOS. In *International Conference on Microelectronics*, pages 30–35.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub–1V CMOS large capacitive–load driver circuit using direct bootstrap technique for low–voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

Parte II
Aportaciones

Excitador CMOS adaptativo de baja/alta excursión lógica de tensión para interconexiones sobre un chip

Índice General

3.1	Introducción	64
3.2	Estructura del circuito excitador	66
3.3	Funcionamiento del circuito	68
3.4	Evaluación comparativa	70
3.5	Excitador adaptativo	71
3.6	Conclusiones	73

Resumen:

EN este Capítulo se expone el diseño, análisis y evaluación de un circuito excitador CMOS que es adaptativo. Se utiliza una señal de control para seleccionar un funcionamiento con baja o alta excursión lógica de tensión, denominado *mj-driver*¹. Este excitador es adecuado para interconexiones globales con gran carga capacitiva. La Sección 3.2 presenta la estructura del excitador. Posteriormente, la Sección 3.3 estudia el funcionamiento del *mj-driver*. La Sección 3.4 realiza un análisis de sus prestaciones en comparación con [Fer, 2001] (*ddc-driver*), y un excitador CMOS convencional de dos etapas (*basic-driver*). En la Sección 3.5 se describe el excitador adaptativo. Y, por último, la Sección 3.6 expone las conclusiones derivadas del estudio anterior. El excitador *mj-driver* se implementa con tecnología CMOS de $0.13\mu\text{m}$, y resulta ser un 16% más rápido, reduce el consumo de potencia un 3%, y el producto energía-retardo un 19% cuando se

¹Este diseño ha sido presentado en el Simposio Internacional de Circuitos y Sistemas (IS-CAS) del IEEE celebrado en Mayo de 2007 en Nueva Orleans, EEUUA, con el título: “*Adaptive Low / High Voltage Swing CMOS Driver for On-Chip Interconnects*”.

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

compara con un excitador homólogo en configuración de diodo conectado. Por otro lado, *mj-driver* tiene un área activa que es un 47% menor y sólo requiere fijar un dimensionado óptimo para sus prestaciones en 1 y 0.8V. Además, a diferencia de su homólogo que presenta un 30% de variación en el rango de tensión de salida con la variación de la carga, el *mj-driver* mantiene el rango de salida sin modificación según varía la carga. También se ofrecen comparaciones del excitador propuesto con el excitador convencional CMOS de excursión lógica de tensión completa, manifestando un ahorro significativo de energía debido a su reducida excursión lógica de tensión. El excitador propuesto tiene la posibilidad de conmutar de baja a alta excursión lógica mediante un mecanismo de control.

Palabras clave: Diodo conectado, baja y alta excursión lógica de tensión, interconexión, excitador.

3.1 Introducción

En el Capítulo 1 ya se mencionó que los cables largos de interconexiones globales (*buses*, reloj, y señales de temporización) constituyen la mayor fuente de retardo, y consumo de potencia en un chip. Debido a la naturaleza del retardo en las interconexiones globales, éste no se escala con las sucesivas generaciones tecnológicas. La excitación de grandes cargas capacitivas junto con las interconexiones globales limitan las prestaciones de los circuitos CMOS con tensiones bajas de alimentación. Se han publicado varios excitadores rápidos para grandes cargas capacitivas (véase por ejemplo: [Fer, 2001], [Rjoub and Koufopavlou, 1999], [Narasimhan et al., 2005], [García et al., 2006], [García et al., 2004], [Zhang et al., 2000], [Kheradmand-Boroujeni and Masoumi, 2004])

Se sabe que reducir la excursión lógica de tensión de la señal en el cable

-
- [Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.
- [Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 2, pages 789–794.
- [Narasimhan et al., 2005] Narasimhan, A., Kasotiya, M., and Sridhar, R. (2005). A low-swing differential signaling scheme for on-chip global interconnects. In *IEEE Int. Conference on VLSI Design*, pages 634–639.
- [García et al., 2006] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006). Bootstrapped full-swing CMOS driver for low supply voltage operation. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 1–2.
- [García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.
- [Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.
- [Kheradmand-Boroujeni and Masoumi, 2004] Kheradmand-Boroujeni, B. and Masoumi, N. (2004). A new large capacitive load driver circuit for low voltage CMOS VLSI. In *Proc. of the IEEE Workshop on Biomedical Circuits and Systems*, pages S1.1–5–S1.1–8.

es la técnica más efectiva para que en las interconexiones globales se consiga disminuir la potencia y se obtenga un producto energía–retardo eficiente. Sin embargo, la reducción de la excursión lógica de tensión decrece el margen de ruido. La mayoría de las técnicas de baja excursión lógica de tensión hasta ahora [Zhang et al., 2000] tienen una fuente de alimentación extra, o una tensión de referencia, o un proceso tecnológico de tensión umbral múltiple, o un gran área y múltiples interconexiones. Además tienen problemas con corriente de cortocircuito superiores, mayor retardo de propagación y alta disipación de potencia [Zhang et al., 2000].

Los excitadores para interconexiones largas se clasifican de acuerdo con la dirección de la reducción de la excursión lógica de tensión en su salida [Rjoub and Koufopavlou, 1999], [Zhang et al., 2000]. En el *Excitador con Excursión Lógica de Tensión de Reducido Nivel Alto* (ULD)² la tensión de salida varía entre 0 y $V_{dd}-2V_{tn}$, donde V_{tn} es la tensión umbral del transistor NMOS. En el *Excitador con Excursión Lógica de Tensión de Reducido Nivel Bajo* (DLD)³ la tensión de salida, en este caso, varía entre $2|V_{tp}|$ y V_{dd} , donde V_{tp} es la tensión umbral del transistor PMOS. Por otro lado, en el *Excitador con Excursión Lógica de Tensión de Reducido Nivel Alto–Bajo* (UDLD)⁴, la tensión de salida varía simétricamente entre $|V_{tp}|$ y $V_{dd}-2V_{tn}$.

En [Zhang et al., 2000] se han mostrado circuitos alternativos basados en estructuras diferenciales de corriente que tienen ventajas diferentes respecto a los de simple terminal en términos de inmunidad al ruido e integridad de la señal, lo cual es de primordial importancia en los diseños *Muy por Debajo de la Sub–micra* (VDSM)⁵. Sin embargo, estos duplican el número de cables en buses de datos.

Para mejorar la capacidad de excitación algunos circuitos excitadores confían en las técnicas de sobre–excitación⁶ [García et al., 2006], [García et al., 2004]. No obstante, éstos circuitos requieren de condensadores de sobre–excitación extras, y generalmente necesitan acceder a los terminales del pozo los cuales no están disponibles en la mayoría de los procesos tecnológicos digitales CMOS.

Con anterioridad [Fer, 2001], [Narasimhan et al., 2005] se ha usado una configuración con diodo conectado como solución para reducir el producto energía–retardo. A diferencia de la mayor parte de las alternativas no se requiere de una fuente de alimentación extra ni de un proceso de múltiples tensiones umbral. Sin embargo, los excitadores con diodo conectado no proporcionan una capacidad de excitación suficiente para altas cargas. Además, sus prestaciones son sensibles a las variaciones de la tensión de alimentación, los parámetros de los transistores, y las condiciones de carga. También, funcionan mal en presencia de ruido.

Este Capítulo presenta un excitador adaptativo de baja/alta excursión lógica de tensión basado en UDLD que presenta ventajas importantes en cuanto a retardo y potencia en comparación con otros excitadores UDLD [Rjoub and

²Traducción del término inglés *Up Low Swing Voltage Driver*.

³Traducción del término anglosajón *Down Low Swing Voltage Driver*.

⁴Traducción del término anglosajón *Up–Down Low Swing Voltage Driver*.

⁵Traducción del término inglés *Very Deep Sub–micron*.

⁶Traducción del término anglosajón *bootstrapping*.

[Kheradmand-Boroujeni and Masoumi, 2004], con la que se proporcionan dos caminos separados para ayudar en las transiciones de bajo a alto, y de alto a bajo en la salida (mitad superior e inferior de la Figura 3.1, respectivamente). La combinación de estos dos caminos y el de realimentación mediante XIF1 provee grandes corrientes de salida y una conmutación rápida durante las transiciones, según se describe en la siguiente Sección.

Para obtener una buena comparación, los circuitos *ddc-driver* y *mj-driver* se han optimizado respecto al retardo de propagación bajo idénticas condiciones de carga, fuente de alimentación y frecuencia de funcionamiento. Ambos circuitos están implementados en tecnología de $0.13\mu\text{m}$ de *Compañías de Microelectrónica Unidas* (UMC)⁸. La longitud del canal de todos los transistores es de $0.13\mu\text{m}$. La Tabla 3.1 muestra el tamaño de los transistores para los dos circuitos con una fuente de alimentación de 1V.

Tabla 3.1: ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES *mj-driver* Y *ddc-driver*.

<i>ddc-driver</i> para 1V			<i>mj-driver</i>		
Transistor	Tipo	Ancho (μm)	Transistor(es)	Tipo	Ancho (μm)
M1	N	59.5	PXIM1, MU2, MU3	P	4.0
M2	N	35.0	NXIM1	N	2.0
M3	N	82.0	PXIM2, PXIF1	P	2.0
M4	N	40.5	NXIM2, NXIF1	N	1.0
M5	P	37.5	MU0, MU1	N	5.0
M6	P	45.5	MU4	P	8.0
M7	P	9.8	MU5, MD8	N	0.28
M8	P	49.5	MU7	N	7.0
M9	P	4.1	MU8, MD0, MD1	P	5.0
M10	P	21.5	MU10	P	75.0
M11	P	0.28	MU11	P	34.0
M12	N	30.0	MD2, MD3	N	4.0
M13	N	8.0	MD4	N	8.0
M14	N	1.8	MD5	P	0.28
—	—	—	MD7	P	4.0
—	—	—	MD10	N	28.0
—	—	—	MD11	N	4.3

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

La optimización para una fuente de alimentación de 0.8V, no requiere de un cambio de dimensiones del *mj-driver* propuesto. Sin embargo, *ddc-driver* necesita unas dimensiones de transistor diferentes para las mejores prestaciones con una fuente de alimentación de 0.8V (véase la Tabla 3.2), lo que constituye una clara desventaja.

Funcionando a una frecuencia de 500MHz, las excursiones lógicas de tensión en las fuentes de alimentación de 1 y 0.8V son 0.49 y 0.42V, respectivamente, para el *mj-driver* propuesto.

⁸Traducción del término anglosajón *United Microelectronics Corporation*.

Tabla 3.2: ANCHO DE CANAL PARA LOS TRANSISTORES DEL EXCITADOR *ddc-driver* CON UNA FUENTE DE ALIMENTACIÓN DE 0.8V.

<i>ddc-driver</i> para 0.8V		
Transistor	Tipo	Ancho (μm)
M1	N	80.0
M2	N	6.0
M3	N	80.0
M4	N	40.0
M5	P	9.8
M6	P	44.5
M7	P	9.8
M8	P	85.0
M9	P	3.1
M10	P	29.5
M11	P	0.28
M12	N	30.0
M13	N	4.5
M14	N	1.8

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

Con una tensión de alimentación de 1V, la excursión lógica de tensión del *ddc-driver* varía de 0.69 a 0.49V, según cambia la carga capacitiva entre 1 y 5pF. Se tiene una variación similar de la excursión lógica de tensión en el *ddc-driver* con una fuente de alimentación de 0.8V, está entre 0.62 y 0.42V. La variación de la excursión lógica de tensión con el estado de la carga es una característica indeseable, que reduce la fiabilidad y exige disminuir la frecuencia de funcionamiento. Las simulaciones demuestran que es necesario, para que la excursión lógica de tensión del *ddc-driver* sea constante a 0.69V con una carga de 5pF, que la frecuencia de funcionamiento sea tan baja como 500KHz (una reducción de un orden de magnitud).

3.3 Funcionamiento del circuito

Esta Sección describe el funcionamiento del *mj-driver* mostrado en la Figura 3.1.

- Salida a nivel bajo. $\text{inn} = \text{out} = \text{estado bajo}$, $\text{ou1} = \text{estado alto}$, y $\text{ou2} = \text{estado bajo}$, MU7, MU10, y MU11 cortados, y MU8 en conducción. En este caso, la salida está en estado bajo mediante la conexión en diodo del par de transistores MD10–MD11.
- Transición de estado bajo a estado alto en la salida. Después de una transición de bajo a alto en inn , debido al retardo en el bucle de realimentación (XIF1), ou1 , y ou3 se irán a estado bajo, y ou2 irá a estado alto brevemente. Esto hace que MU7, y por consiguiente, MU10 conduzcan y hagan que el nodo de salida out vaya a estado alto, con firmeza, para cargar a nivel alto la capacidad de salida. El lazo de realimentación retorna, finalmente, ou3 , y ou2 a los valores de estado estable alto y bajo, respectivamente, cortando MU7, inhabilitándolo para excitar la puerta de MU10. Sin embargo, el transistor MU11 que entró en conducción cuando

out fue a estado bajo, permanecerá activado, proporcionando una configuración en diodo conectado (par MU10–MU11) para mantener la tensión de salida aproximadamente a $(V_{dd} - |V_{tp}|)$.

- Salida en estado alto. $inn = out =$ estado alto, $od1 =$ estado bajo, y $ou2 =$ estado alto, MD7, MD10, y MD11 cortados, y MD8 activo. En este caso, la salida se excita a nivel alto mediante el par de transistores conectados en diodo MU10–MU11.
- Transición de estado alto a estado bajo en la salida. Después de una transición de alto a bajo en inn , a causa del retardo en el bucle de realimentación (XIF1), $od1$, y $od3$ irán a estado alto, y $od2$ irá brevemente a estado bajo. Esto produce que MD7, y en consecuencia, MD10 se activen y conduzcan al nodo de salida out a nivel bajo para descargar la capacidad de salida. El lazo de realimentación, finalmente, retorna $od3$ y $od2$ a sus valores estables de nivel bajo y alto, respectivamente, cortando MD7, inhabilitándolo para excitar la puerta de MD10. No obstante, el transistor MD11, que fue activado cuando out pasó a estado alto, permanecerá activado proporcionando una configuración en diodo conectado (par MD10–MD11) con el fin de conservar la tensión de salida aproximadamente a V_{tn} .

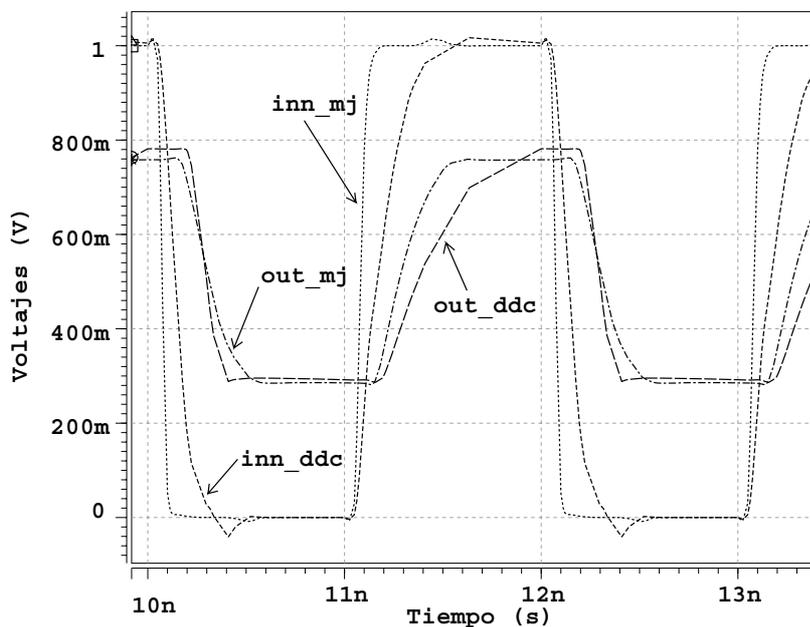


Figura 3.2: Comparación de las formas de onda de los nodos inn y out para el mj -driver and ddc -driver con una carga capacitiva de $5pF$ y una tensión de alimentación de $1V$.

La Figura 3.2 muestra las formas de onda de la tensión en los nodos inn y out para el mj -driver y ddc -driver con una carga capacitiva de $5pF$ y una tensión de alimentación de $1V$. Para excitar los circuitos mediante una

fuente de entrada (v_{in}), se ha utilizado un inversor (XIN0) con $W_p = 10.0\mu\text{m}$ y $W_n = 5.0\mu\text{m}$.

3.4 Evaluación comparativa

Se han implementado tres circuitos excitadores utilizando un proceso CMOS de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC. Las áreas activas para el circuito *mj-driver* propuesto y el circuito *ddc-driver* [Fer, 2001] son $28.87\mu\text{m}^2$ y $55.28\mu\text{m}^2$, respectivamente. Se han implementado dos inversores conectados en cascada (*basic-driver*) con un área activa de $24.96\mu\text{m}^2$ para la comparación.

Los circuitos se simularon usando una frecuencia de entrada de 500MHz con tiempos de subida y bajada de 100ps, unas tensiones de alimentación de 1 y 0.8V, y una carga capacitiva de salida entre 1 y 5pF. Los resultados de simulación muestran que con una tensión de alimentación de 1V *mj-driver* es un 16% más rápido (el retardo es de 217ps con una carga de 5pF) que *ddc-driver*. Por otro lado, la potencia disipada de *mj-driver* es 1.71mW; un 3% y un 44% menor que la de *ddc-driver* y *basic-driver*, respectivamente. La Figura 3.3 presenta el tiempo del retardo de propagación para los tres excitadores a 1 y 0.18V.

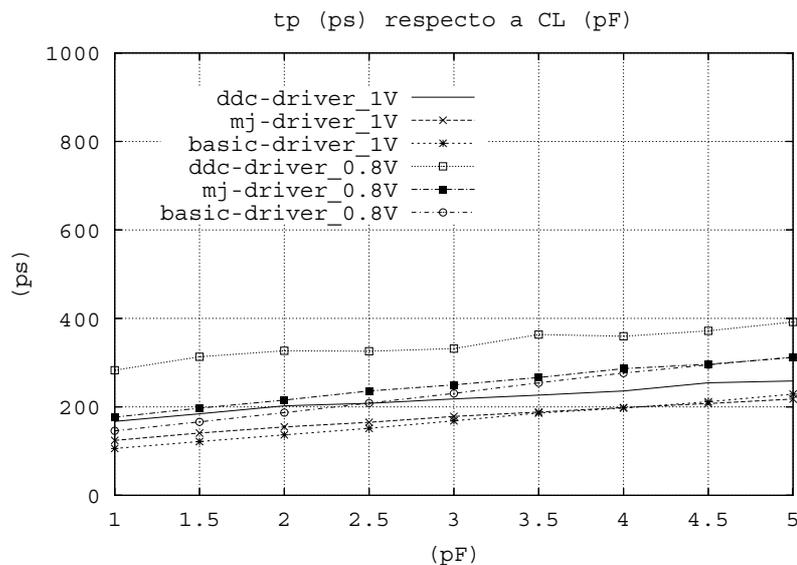


Figura 3.3: Tiempo del retardo de propagación en función de la capacidad de carga de salida con un proceso de $0.13\mu\text{m}$ de UMC.

El circuito *mj-driver* propuesto, en términos de consumo de energía, tiene un 3% menos de energía total que *ddc-driver* con una fuente de alimentación de 1V. La energía total consta de la energía consumida en el circuito excitador más la energía de conmutación dinámica en la carga ($E_{load} = CL \cdot V_{dd} \cdot V_{out}$).

La Figura 3.4 ilustra las gráficas de la eficiencia de energía (el producto energía-retardo) en función de la capacidad de carga para los tres excitadores.

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

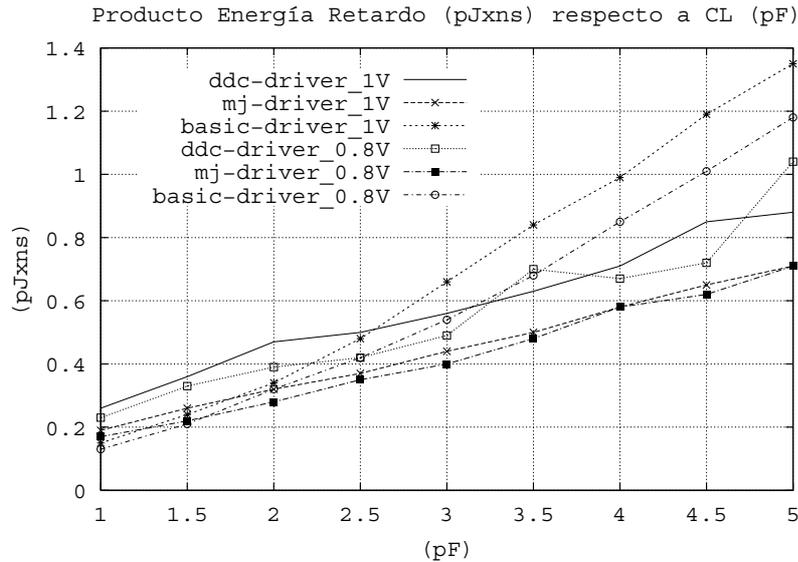


Figura 3.4: Producto energía–retardo en función de la carga para un proceso de $0.13\mu\text{m}$ de UMC.

Según se observa, el producto energía–retardo de *mj-driver* es 1.36–1.23 veces menor que el de *ddc-driver*.

3.5 Excitador adaptativo

Se ha diseñado una versión de baja/alta excursión lógica adaptativa del *mj-driver* mediante la adición de 4 transistores extras (MU9, MD9, MU6 y MD6) según se muestra en la Figura 3.5. El uso de los transistores MU9 y MD9 permite a la salida del excitador realizar transiciones de excursión lógica completa (hasta VDD y GND). Los transistores MU6 y MD6 proporcionan un mecanismo de validación condicional de MU9 y MD9, con el fin de mejorar la inmunidad al ruido. Fijando la señal de Control (en la puerta de MU6) y su complementaria (en la puerta de MD6) a valores alto y bajo, respectivamente, se permite la conexión directa del nodo of1 a las puertas de MU9 y MD9. Esto facilitará la excursión lógica completa de la salida hasta los niveles de alimentación. La señal de Control se excita mediante el circuito de control de línea de la Figura 3.6, el circuito codificador genera un patrón de test conocido el cual se repite en el extremo receptor. Los dos patrones de test se comparan entre sí en el extremo receptor. Si el número de errores, en un determinado número de ciclos de reloj, excede un umbral se activa la señal de Control, y se conmuta el *mj-driver* al modo de excursión lógica completa. La línea de alta sensibilidad se implementa utilizando un excitador de baja excursión lógica. La sensibilidad de la línea que conecta el codificador y el decodificador puede modificarse cambiando el patrón de test. Los patrones de test con mayores velocidades de transición son más sensibles al ruido.

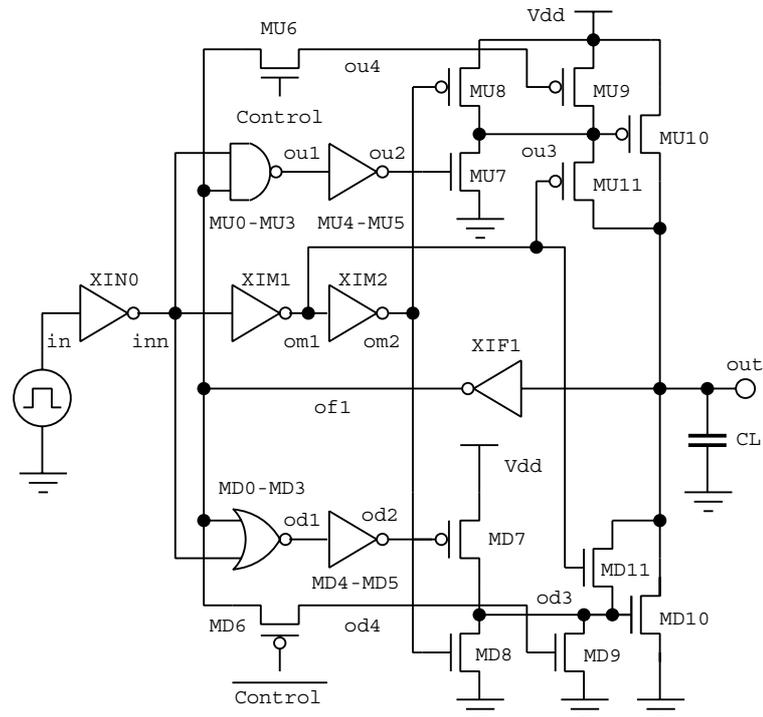


Figura 3.5: El *mj-driver* adaptativo de baja/alta excursión lógica.

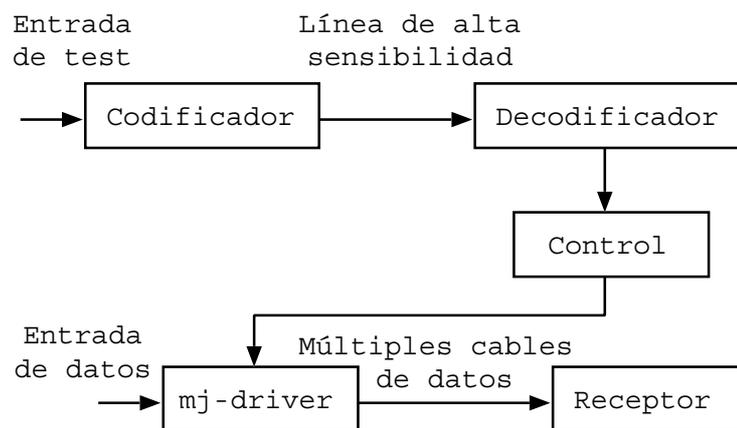


Figura 3.6: Sistema de control de *bus*.

3.6 Conclusiones

En este Capítulo se presentó el diseño de un nuevo circuito excitador CMOS adaptativo de baja/alta excursión lógica y alta velocidad (*mj-driver*) para excitar líneas de interconexión globales. Bajo la condición de una fuente de alimentación de 1V, una excursión lógica de tensión de salida de 0.47V y una carga capacitiva de 5pF, el retardo y el consumo de potencia asociado a *mj-driver* fue de 217ps y 1.71mW, respectivamente.

El excitador propuesto alcanzó un excursión lógica de tensión estable a 500MHz con una carga de salida entre 1 y 5pF, y obtuvo un ahorro máximo del producto energía-retardo del 19%, a 1V y 5pF cuando se comparó con el *dcc-driver*.

El área activa fue un 47% menor que la del *ddc-driver*.

La ventaja fundamental del *mj-driver* fue su robustez con respecto a la variación de la carga (CL) y la tensión de alimentación (V_{dd}).

El *mj-driver* se adapta por sí mismo a condiciones ruidosas en los modos de baja y alta excursión lógica de funcionamiento mediante el uso de un sistema de control de línea de alta sensibilidad.

Convertidor de nivel de baja a alta excursión lógica CMOS sobre-excitado de altas prestaciones para interconexiones sobre un chip

Índice General

4.1	Introducción	76
4.2	Estructura del circuito convertidor de nivel	79
4.3	Evaluación comparativa	80
4.3.1	Esquema de señalización simétrica	80
4.3.2	Esquema de señalización asimétrica	82
4.4	Conclusiones	83

Resumen:

EN este Capítulo se propone el diseño, análisis y evaluación de un circuito convertidor de nivel CMOS sobre-excitado de altas prestaciones y baja potencia (*lf-converter*)¹, para restauración de nivel de baja excursión lógica en la línea de interconexión a alta excursión lógica en el extremo receptor. La Sección 4.2 estudia el funcionamiento del convertidor de nivel de baja a alta excursión lógica sobre-excitado propuesto. Los resultados y comparaciones se exponen en la Sección 4.3. Finalmente, la Sección 4.4 concluye el Capítulo. El *lf-converter* propuesto reduce el producto potencia-retardo entre el 83% y el 90%, en comparación con el mejor circuito convertidor de nivel sobre-excitado previamente publicado (*lrc-converter*), cuando se implementa en tecnología de 0.13 μm CMOS con 1.2V. El área activa del *lf-converter* es de 18.7 μm^2 , que es un 3.9% menor que la del circuito homólogo *lrc-converter*.

¹El trabajo desarrollado en este Capítulo se ha dado a conocer en la Conferencia Europea de Teoría y Diseño de Circuito (ECCTD), celebrada en Agosto de 2007 en Sevilla, España, con el título: “*High Performance Bootstrapped CMOS Low to High-Swing Level-Converter for On-Chip Interconnects*”.

Palabras clave: Sobre–excitado, convertidor de nivel, producto potencia–retardo.

4.1 Introducción

*Técnicas de
señalización de
baja excursión
lógica*

Las técnicas de señalización de baja excursión lógica constituyen el medio más efectivo de reducir el consumo de potencia en las líneas de interconexión (*bus*, reloj, y señales de temporización), ya que ellas representan la mayor fuente de consumo de potencia sobre un chip en el estado de arte actual de los circuitos digitales CMOS [Moisiadis et al., 2000], [Kulkarni and Sylvester, 2004], [Fer, 2001], [Rjoub and Koufopavlou, 1999], [Narasimhan et al., 2005], [García et al., 2006], [García et al., 2004], [Zhang et al., 2000], y [García et al., 2007]. Sin embargo, la naturaleza del retardo asociado con la interconexión global es tal que no se escala con las generaciones tecnológicas. Según la tecnología progresa hacia procesos de 50nm, y el tamaño del dado de los circuitos integrados continúa creciendo, las prestaciones de los circuitos de *Escala de Integración Muy Grande* (VLSI)² CMOS están limitadas, principalmente, por el retardo de interconexión que se incrementa más cuando se utilizan técnicas de señalización de baja excursión lógica. Por tanto, un buen criterio en el diseño de circuitos de baja excursión lógica es el control de los productos potencia–retardo y energía–retardo. La topología del circuito de la Figura 4.1 es una vista genérica del esquema de señalización de tensión de baja excursión lógica

²Traducción del término inglés *Very Large Scale Integration*.

-
- [Moisiadis et al., 2000] Moisiadis, Y., Bouras, I., and Arapoyanni, A. (2000). High performance level restoration circuits for low–power reduced swing interconnect schemes. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 1, pages 619–622.
- [Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.
- [Fer, 2001] (2001). *Low swing signaling using a dynamic diode–connected driver*, presented at Solid–State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.
- [Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 2, pages 789–794.
- [Narasimhan et al., 2005] Narasimhan, A., Kasotiya, M., and Sridhar, R. (2005). A low–swing differential signaling scheme for on–chip global interconnects. In *IEEE Int. Conference on VLSI Design*, pages 634–639.
- [García et al., 2006] García, J. C., Montiel–Nelson, J. A., and Nooshabadi, S. (2006). Bootstrapped full–swing CMOS driver for low supply voltage operation. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 1–2.
- [García et al., 2004] García, J. C., Montiel–Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive–load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.
- [Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low–swing on–chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.
- [García et al., 2007] García, J. C., Montiel–Nelson, J. A., and Nooshabadi, S. (2007). Adaptive low/high voltage swing CMOS driver for on–chip interconnects. In *Inst. Sym. on Cir. and Syst., (ISCAS), New Orleans, USA*.

para las líneas de interconexión. En el extremo transmisor de la línea de interconexión un excitador de alta a baja excursión lógica reduce el margen de tensión de alta excursión lógica entre V_{ddh} y V_{ssl} al margen de tensión de baja excursión lógica entre V_{ddl} y V_{ssh} . En el extremo receptor un convertidor de nivel restablece el nivel hacia atrás, al margen de tensión de alta excursión lógica entre V_{ddh} y V_{ssl} . El V_{ssl} es, normalmente, fijado a GND. En la mayoría de los esquemas de señalización asimétricos publicados [Kulkarni and Sylvester, 2004], y [Zhang et al., 2000] V_{ssl} es también fijado a GND. Por otra parte, en los esquemas de señalización simétrica [García et al., 2007], $V_{ssl} > \text{GND}$. En la mayoría de los esquemas de señalización de baja excursión lógica asimétricos y todos los simétricos publicados $V_{ddh} > V_{ddl}$.

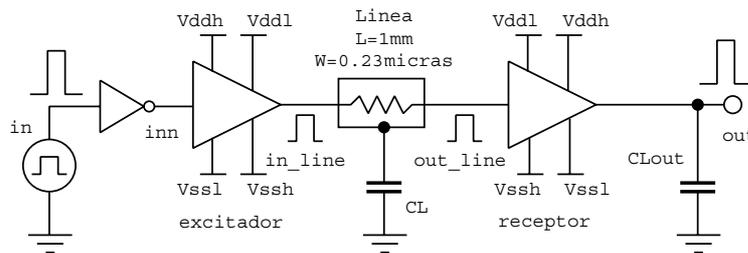


Figura 4.1: Estructura del circuito para la señalización de tensión de baja excursión lógica en la línea de interconexión.

La mayor parte de las técnicas de baja excursión lógica de tensión, hasta la fecha, [Kulkarni and Sylvester, 2004], y [Zhang et al., 2000] cuentan con una fuente de alimentación extra, o una tensión de referencia, o un proceso tecnológico de tensión umbral múltiple, o un gran área, o varias interconexiones con señalización diferencial. También tienen el problema de una mayor corriente continua de cortocircuito del convertidor de nivel en el extremo receptor de la interconexión, gran retardo de propagación, y elevado consumo de potencia [Kulkarni and Sylvester, 2004], y [Zhang et al., 2000].

Una cuestión importante en los sistemas que emplean técnicas de señalización de baja excursión lógica es el diseño de los convertidores de nivel en el extremo receptor de la línea de interconexión [Kulkarni and Sylvester, 2004], [Fer, 2001], y [Rjoub and Koufopavlou, 1999]. El trabajo en [Kulkarni and Sylvester, 2004] propone 6 convertidores de nivel para sistemas de señalización de baja excursión lógica que consumen poca potencia y son muy rápidos. Sin embargo, los convertidores de nivel en [Kulkarni and Sylvester, 2004] requieren de dos fuentes de alimentación (V_{ddl} y V_{ddh}). También necesitan transistores con dos tensiones umbrales diferentes *Tensión Umbral Baja* (V_{THL})³ y *Tensión Umbral Alta* (V_{THH})⁴.

En este Capítulo, se propone un circuito convertidor de nivel sobre-excitado denominado *lf-converter*, que se caracteriza por disponer de prestaciones mejoradas, reducida complejidad del circuito (una fuente de alimentación, y un proceso de una tensión umbral), mejor integridad de señal, reducido consumo de potencia, e importante reducción de los productos potencia-retardo,

³Traducción del término inglés *Low Threshold Voltage*.

⁴Traducción del término anglosajón *High Threshold Voltage*.

y energía-retardo.

Para su evaluación se compara el funcionamiento del convertidor de nivel sobre-excitado propuesto con el circuito similar a [Moisiadis et al., 2000] mostrado en la Figura 4.2.

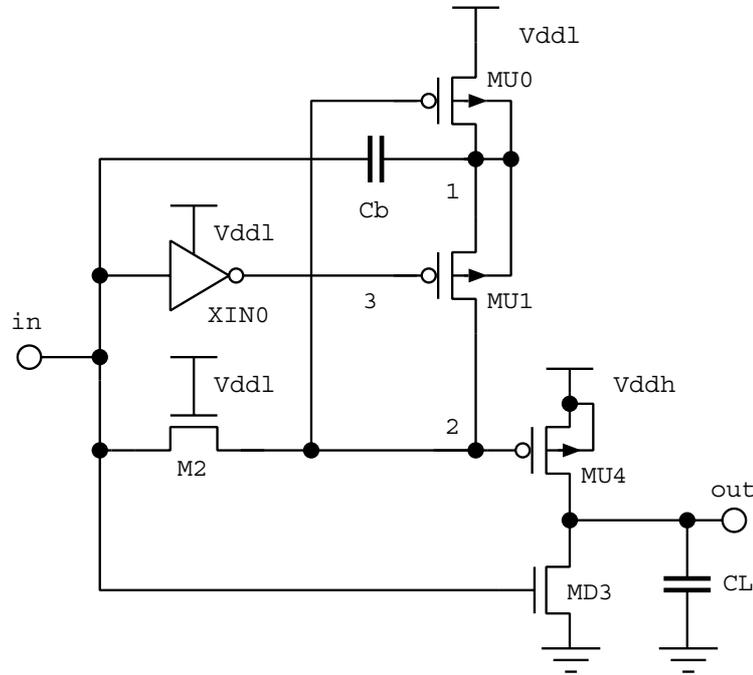


Figura 4.2: Estructura de circuito para el *lrc-converter*.

El artículo de [Moisiadis et al., 2000] presenta dos circuitos de restauración de nivel para mejorar las características de retardo y potencia de un convertidor de nivel de baja a alta excursión lógica, con respecto a los circuitos de restauración de nivel de acoplo cruzado existentes. Un esquema específico de [Moisiadis et al., 2000] (Figura 4.2), que se adopta y modifica en este Capítulo, se basa en el efecto de sobre-excitación para la conversión de baja a alta excursión lógica. La técnica de sobre-excitación es particularmente útil para incrementar las prestaciones de los excitadores CMOS [García et al., 2006], y [García et al., 2004].

Un problema concreto con el circuito propuesto en [Moisiadis et al., 2000] (Figura 4.2) es la necesidad de dos fuentes de alimentación, V_{ddh} y V_{ddl} . Esto produce una complejidad añadida al diseño del circuito. Otro problema con el circuito de la Figura 4.2 es que su transición de estado bajo a alto en

[Moisiadis et al., 2000] Moisiadis, Y., Bouras, I., and Arapoyanni, A. (2000). High performance level restoration circuits for low-power reduced swing interconnect schemes. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 1, pages 619–622.

[García et al., 2006] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006). Bootstrapped full-swing CMOS driver for low supply voltage operation. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 1–2.

[García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

la salida no es rápida, por tanto produce una corriente de cortocircuito importante durante la transición. En este Capítulo se presenta la modificación del circuito sobre-excitado de [Moisiadis et al., 2000] para reducir su complejidad, y mejorar su retardo, potencia, y los productos potencia-retardo y energía-retardo.

4.2 Estructura del circuito convertidor de nivel

La Figura 4.3 ilustra la topología de circuito para el *lf-converter*. El área activa del *lf-converter* es $18.7\mu\text{m}^2$, la cual es un 3.9% menor que la del circuito *lrc-converter*. Ambos circuitos se implementaron con tecnología de $0.13\mu\text{m}$ de UMC. La Tabla 4.1 muestra las dimensiones de los transistores para los circuitos convertidores de nivel. La longitud del canal de todos los transistores es de $0.13\mu\text{m}$.

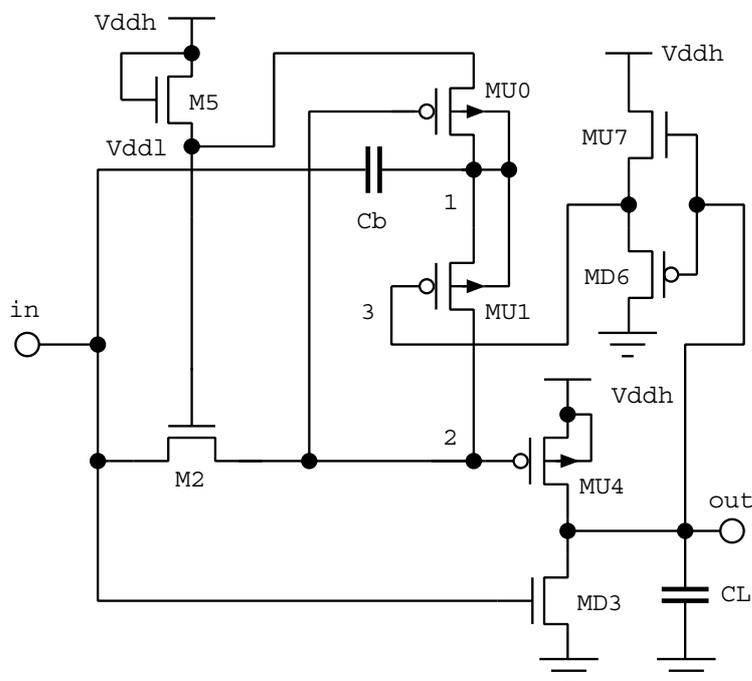


Figura 4.3: Convertidor de nivel de baja/alta excursión lógica (*lf-converter*).

El convertidor de nivel sobre-excitado propuesto, *lf-converter*, está basado en la topología presentada en [Moisiadis et al., 2000]. El funcionamiento del *lf-converter* de la Figura 4.3 es como sigue.

- Cuando V_{in} está a nivel lógico bajo, MD3 está en corto y MU4 está en conducción, cargando CL a Vddh. También, el transistor MU0 carga el nodo 1 a Vdd1. El amplificador⁵ seguidor de fuente no inversor XIN0, formado con los transistores MD6 y MU7, sigue a la salida, fijando el nodo 3 a nivel alto. Esto aísla el nodo 1 del nodo 2.

⁵Traducción del término inglés *buffer*.

Tabla 4.1: ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS CONVERTORES *lf-converter*, Y *lrc-converter*.

<i>lf-converter</i>			<i>lrc-converter</i>		
Transistor(es)	Tipo	Ancho (μm)	Transistor(es)	Tipo	Ancho (μm)
MU0, MU1	P	0.5	MU0	P	5.0
M2	N	40.0	MU1	P	1.0
MD3	N	60.0	M2	N	0.28
MU4	P	30.0	MD3	N	90.0
M5	N	0.28	MU4	P	40.0
MPXIN0	P	0.28	MPXIN0	P	1.0
MNXIN0	N	0.28	MNXIN0	N	0.5
MCb	N	12.0	MCb	N	12.0

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

- Cuando V_{in} sube desde el nivel bajo al V_{dd1} , el transistor MD3 conduce, descargando el nodo out. Al mismo tiempo, el transistor MU1 se activa y MU4 se corta. El efecto de sobre-excitación desde C_b asegurará que MU4 se acerque a un potencial mayor que V_{dd1} , y se corte rápidamente. Eligiendo un valor adecuado de C_b se sobre-excitarán los nodos 1 y 2 a V_{ddh} asegurando que no fluya corriente de cortocircuito entre V_{ddh} y GND, a través de MU4 y MD3. Además, el transistor MU0 se corta, y XIN0, formado por los transistores MD6 y MU7, conmuta el nodo 3 a nivel bajo siguiendo la transición de alto a bajo de la salida

El condensador C_b se implementa utilizando un transistor NMOS. La tensión baja V_{dd1} , generada mediante un transistor NMOS conectado como diodo en la puerta de M2, asegura que no fluirá corriente inversa de fugas hacia el lado transmisor de la interconexión. Los terminales de pozo-p de MU0 y MU1 están conectados al nodo 1 para evitar la polarización directa de las uniones p-n de la fuente y el pozo-p durante la operación de la sobre-excitación.

4.3 Evaluación comparativa

Se verifica el funcionamiento de *lf-converter* y *lrc-converter* utilizando dos esquemas de señalización diferentes según se expone a continuación.

4.3.1 Esquema de señalización simétrica

Ambos convertidores de nivel se simularon bajo idénticas condiciones de carga (50–500fF), límites de tensión alta ($V_{ddh}=1.2\text{V}$ y $V_{dd1}=V_{ddh}-|V_{tp}|=0.95\text{V}$), límites de tensión baja ($V_{ssl}=0.0\text{V}$ y $V_{ssh}=V_{tn}=0.21\text{V}$), y frecuencia de funcionamiento (500MHz). Los parámetros $V_{tn}=0.21\text{V}$ y $V_{tp}=-0.25\text{V}$ son las tensiones umbrales de los transistores NMOS y PMOS, respectivamente.

La Figura 4.4 presenta los resultados de simulación transitoria en los nodos in y out para ambos circuitos, *lf-converter* y *lrc-converter*.

Según se observa, el circuito sobre-excitado propuesto tiene una mejor transición de bajo a alto.

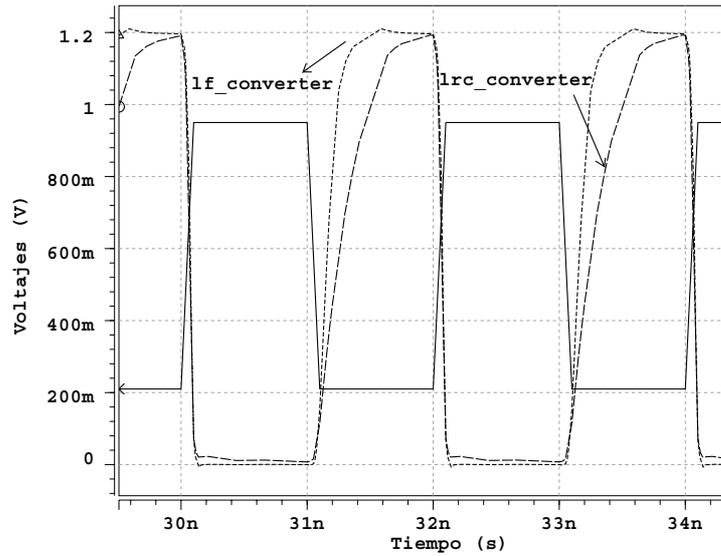


Figura 4.4: Formas de onda del *lf-converter* y *lrc-converter* sobre-excitados, para una capacidad de carga de salida de 500fF, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$.

La Figura 4.5 ilustra el retardo en función de la capacidad de carga de los dos convertidores de nivel. En promedio el *lf-converter* propuesto es 2.01 veces más rápido que el *lrc-converter*.

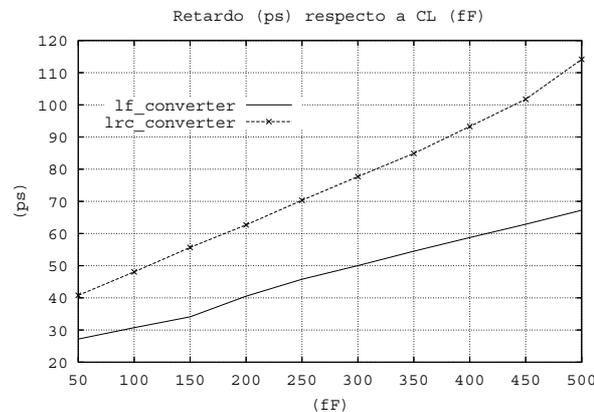


Figura 4.5: Retardo de propagación en función de la capacidad de carga en la salida para *lf-converter* y *lrc-converter*, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$.

La Figura 4.6, presenta el producto potencia-retardo en función de la capacidad de carga para los dos convertidores de nivel. El producto potencia-retardo para *lf-converter* es 12.54 veces menor en promedio que el valor para *lrc-converter*.

También se ha comparado el producto energía-retardo respecto a la capacidad de carga para los dos circuitos convertidores de nivel según se ob-

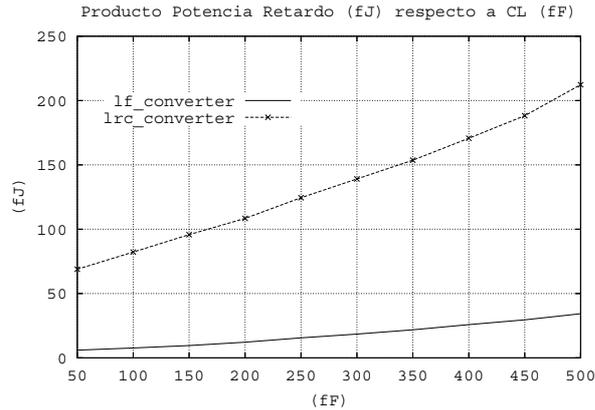


Figura 4.6: Producto potencia-retardo frente a la capacidad de carga para *lf-converter* y *lrc-converter*, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$.

serva en la Figura 4.7. Dicho producto es 12.50 veces menor para *lf-converter* en promedio que el de *lrc-converter*.

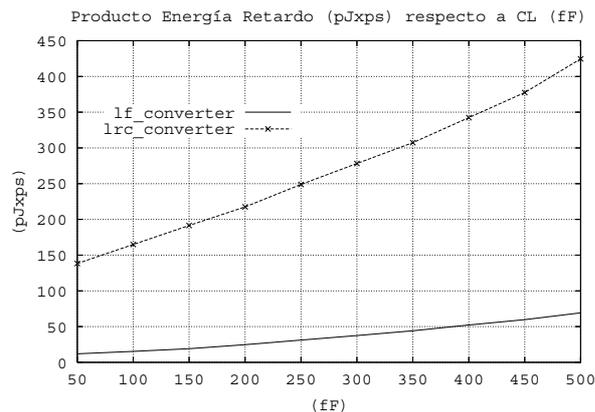


Figura 4.7: Producto energía-retardo frente a la capacidad de carga para *lf-converter* y *lrc-converter*, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, $V_{ssl}=0.0V$, y $V_{ssh}=V_{tn}=0.21V$.

4.3.2 Esquema de señalización asimétrica

También se han simulado los circuitos de las Figuras 4.2 y 4.3, con $V_{ssh}=V_{ssl}=0.0V$. El resto de parámetros se mantuvieron idénticos. Las Figuras 4.8, 4.9, 4.10, y 4.11 ilustran la evaluación comparativa correspondiente a $V_{ssh}=V_{ssl}=0.0V$. El promedio de mejora en el retardo por *lf-converter* con respecto al *lrc-converter* es de un factor de 2.32. Los productos potencia-retardo y energía-retardo para el *lf-converter* mejora su media con un factor de 20.61 y 20.53, respectivamente, por encima del *lrc-converter*. Las mejoras comparativas del *lf-converter* respecto al *lrc-converter* en la señalización asimétrica con

$V_{ssh}=V_{ssl}=0.0V$ son significativamente mayores que las de la señalización simétrica con $V_{ssh}=V_{tn}=0.21V$.

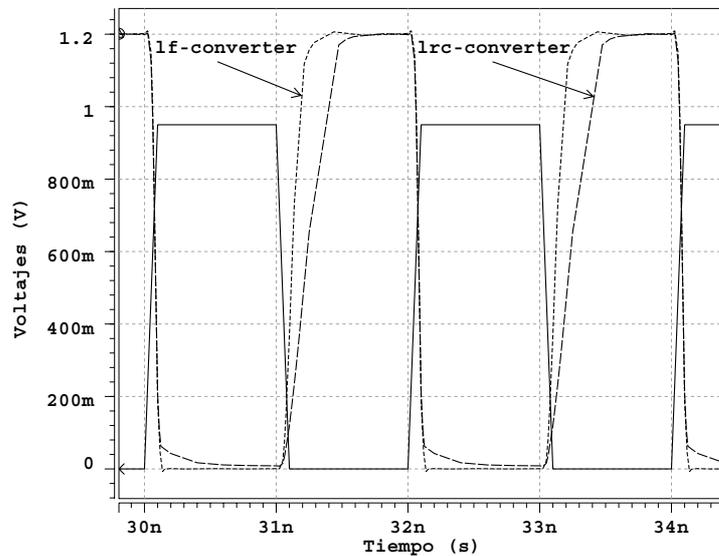


Figura 4.8: Formas de onda del *lf-converter* y *lrc-converter* sobre-excitado, para una capacidad de carga de salida de 500fF, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, y $V_{ssh}=V_{ssl}=0.0V$.

4.4 Conclusiones

En este Capítulo, se ha presentado el diseño de un circuito convertidor de nivel de baja a alta excursión lógica, de pequeña complejidad con prestación de retardo mejorada, menor consumo de potencia, y producto energía-retardo significativamente menor. El circuito *lf-converter* propuesto no requiere una tensión de referencia adicional, ni proceso de tensión umbral múltiple. En una situación con una fuente de alimentación de $V_{ddh}=1.2V$, una excursión lógica de tensión de entrada de 0.21–0.95V, una frecuencia de funcionamiento de 500MHz, y una capacidad de carga $C_L=500fF$, el retardo y el consumo de potencia asociado con el *lf-converter* simétrico, ($V_{ssh}=V_{tn}=0.21V$) fueron 67.24ps y 0.51mW, respectivamente. Este es 1.98 veces más rápido y tiene 4.09 veces menor consumo de potencia que *lrc-converter*. Con una carga de salida de 500fF, el máximo ahorro del producto energía-retardo para el *lf-converter* con respecto al circuito *lrc-converter* fue del 83%. El ahorro correspondiente a la señalización asimétrica con $V_{ssh}=V_{ssl}=0.0V$, era del 90%.

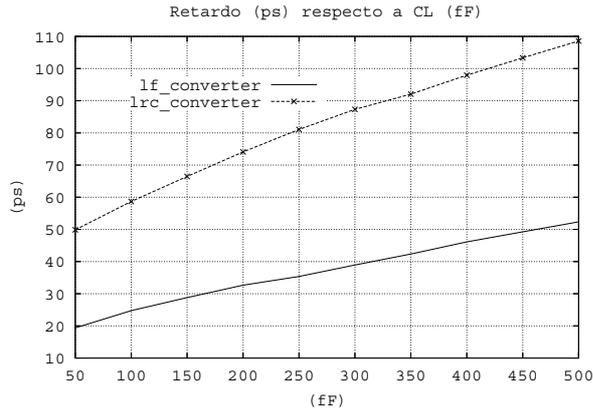


Figura 4.9: Tiempo de retardo de propagación en función de una carga capacitiva de salida para el *lf-converter* y *lrc-converter*, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, y $V_{ssh}=V_{ssl}=0.0V$.

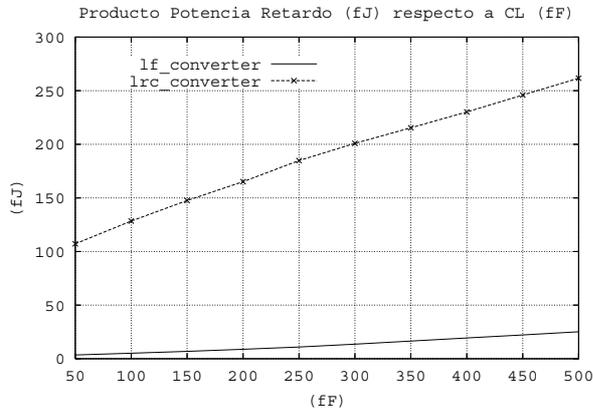


Figura 4.10: Producto potencia-retardo en función de la carga para el *lf-converter* y *lrc-converter*, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, y $V_{ssh}=V_{ssl}=0.0V$.

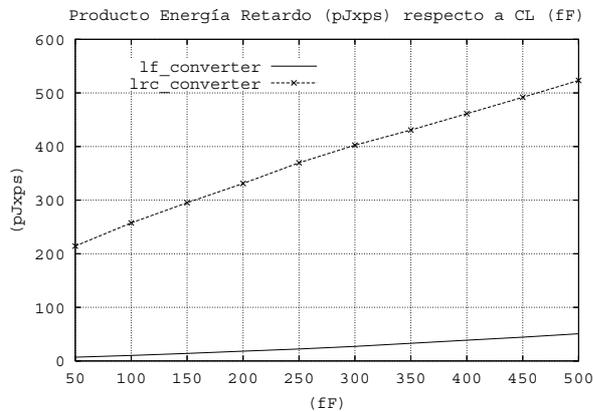


Figura 4.11: Producto energía-retardo en función de la carga para el *lf-converter* y *lrc-converter*, con $V_{ddh}=1.2V$, $V_{ddl}=V_{ddh}-|V_{tp}|=0.95V$, y $V_{ssh}=V_{ssl}=0.0V$.

Convertidor de nivel de baja a alta excursión lógica CMOS simétrico de altas prestaciones para interconexiones sobre un chip

Índice General

5.1	Introducción	86
5.2	Estructura del circuito convertidor de nivel	87
5.3	Evaluación comparativa	92
5.4	Conclusiones	94

Resumen:

EN este Capítulo se muestra un convertidor de nivel simétrico de baja a alta excursión lógica, de altas prestaciones, (*sib-driver*)¹ para recuperar los niveles de señal en el extremo receptor de las interconexiones globales con grandes cargas capacitivas. Se proponen además otros receptores convertidores de nivel, cada uno de ellos con diferente compromiso entre prestaciones y ahorro de energía. También, se proporciona una evaluación comparativa de prestaciones entre los diversos convertidores y una versión modificada del convertidor básico descrito en [Kulkarni and Sylvester, 2004] que requiere

¹La información del Capítulo se ha expuesto en el Simposio Internacional del IEEE para el Medio Oeste en Circuitos y Sistemas (MWSCAS) realizado en Agosto de 2007, en Montreal, Canada, con el artículo titulado: “*High Performance CMOS Symmetric Low Swing to High Swing Converter for On-Chip Interconnects*”.

Este diseño resultó galardonado con el “Myril B. Reed Best Paper Award” en la edición del año 2007 del MWSCAS.

Por otro lado, se ha publicado en la revista Analog Integrated Circuits and Signal Processing de la editorial Springer en Julio de 2008, con el título: “*On the Design and Optimization of Symmetric Low Swing to High Swing Level Converter for On-Chip Interconnects*”.

[Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.

una sola fuente de alimentación (*lc-driver*). El Capítulo se inicia con la Sección 5.1, y el resto está organizado como sigue. La Sección 5.2 propone un conjunto de convertidores de nivel UDLD. Los resultados de las simulaciones se presentan y comparan en la Sección 5.3. Y, la Sección 5.4 expone las conclusiones. El *sib-driver* propuesto provee un receptor adaptado al estilo de señalización UDLD para excitar las líneas de interconexión globales. Cuando se implementa en tecnología de $0.13\mu\text{m}$ CMOS de 1.2V, el *sib-driver* funciona un 23% más rápido, y reduce el producto potencia-retardo un 25.5%, (teniendo área activa similar, de $19.6\mu\text{m}^2$), cuando se le compara con un convertidor de nivel (*lc-driver*) ULD

Palabras clave: Producto energía-retardo, convertidor de nivel simétrico, disipación.

5.1 Introducción

Debido a la continua disminución del tamaño de los dispositivos, las altas frecuencias de reloj, y la ascendente complejidad, crece la importancia del papel de las interconexiones como factor dominante en determinar las prestaciones del circuito. La temporización ya no es el único aspecto de interés en el trazado físico: el consumo de potencia, el acoplo, y la caída de tensión aumenta drásticamente la complejidad del problema para adoptar una solución de compromiso. En este panorama, es muy difícil mantener retardos de propagación aceptables en el cable. En la actualidad, el retardo de una interconexión global ha llegado a ser superior al retardo de una puerta y, por consiguiente, la interconexión se ha convertido en el factor dominante para determinar la velocidad.

La técnica de diseño de baja excursión lógica de tensión intenta reducir la potencia en una línea de interconexión larga (gran capacidad) mediante el uso de una reducida excursión lógica de tensión en el cable. Generalmente, la reducida excursión lógica de tensión puede incrementar no sólo las prestaciones del circuito, sino también la importante ventaja procedente de un reducido consumo de potencia dinámica, la cual es notable en el caso de capacidades de carga grandes (por ejemplo, las líneas largas). Diversos excitadores rápidos para grandes cargas capacitivas han sido publicados [Kulkarni and Sylvester, 2004], [Fer, 2001], [Rjoub and Koufopavlou, 1999], [Narasimhan et al., 2005],

[Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

[Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 2, pages 789–794.

[Narasimhan et al., 2005] Narasimhan, A., Kasotiya, M., and Sridhar, R. (2005). A low-swing differential signaling scheme for on-chip global interconnects. In *IEEE Int. Conference on VLSI Design*, pages 634–639.

La Figura 5.2 presenta la estructura del circuito para el primer convertidor de bajo a alto nivel propuesto, *si-driver*. La entrada V_{in} procede del circuito excitador propuesto en [García et al., 2007] mediante la red de interconexión. V_{in} oscila entre los límites bajo y alto de 0.21V y 0.95V. El rango de tensión UDLD simétrico a la entrada es convertido a la tensión de alimentación más alta ($V_{ddh}=1.2V$) y GND por los transistores M2 y M3.

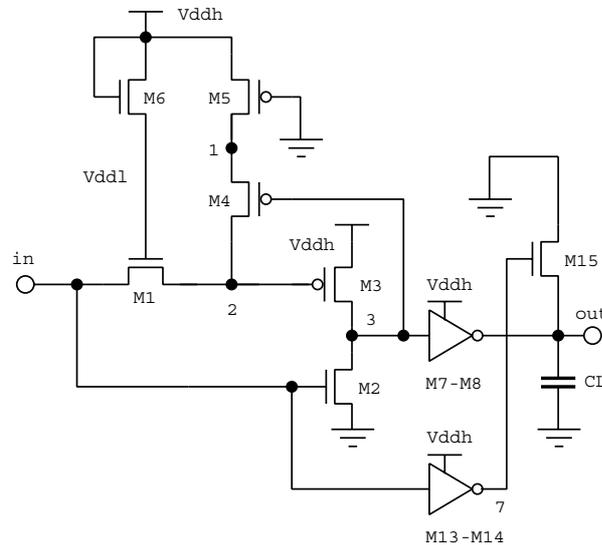


Figura 5.2: Convertidor de baja a alta excursión lógica CMOS asimétrico (*si-driver*).

El transistor de paso M1 aísla al nodo interno 2, de la etapa previa. Sin este transistor el potencial más bajo de la etapa previa hace que la corriente fluya desde V_{ddh} y regrese a través de M3 hacia el extremo transmisor. Con el nodo 2 aislado, el transistor de realimentación M4 puede excitar la puerta de M3 por encima del nivel de tensión de alta excursión lógica de la entrada V_{in} . Todas las estructuras de circuitos convertidores de nivel que se estudian en este Capítulo están basadas en esta topología. El *si-driver* de la Figura 5.2 usa el inversor (M13–M14), y el transistor M15 para reducir el tiempo de transición a nivel lógico bajo de la salida. El dividir la puerta a nivel lógico alto del nodo 2 con M4, y M5 ayudará a reducir la carga en el nodo 3 y el consumo de energía sin perjudicar las prestaciones [Kulkarni and Sylvester, 2004]. Esta estructura tiene menor disipación de energía y producto energía–retardo que la de *lc-driver*.

El inconveniente de *si-driver*, es que consume una cantidad de potencia estática importante debido a la red formada por los transistores M2, M3, M7 and M8, en la medida en que el nivel bajo de la señalización UDLD no es capaz de cortar completamente a M2.

[García et al., 2007] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007). Adaptive low/high voltage swing CMOS driver for on-chip interconnects. In *Inst. Sym. on Cir. and Syst., (ISCAS), New Orleans, USA*.

[Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.

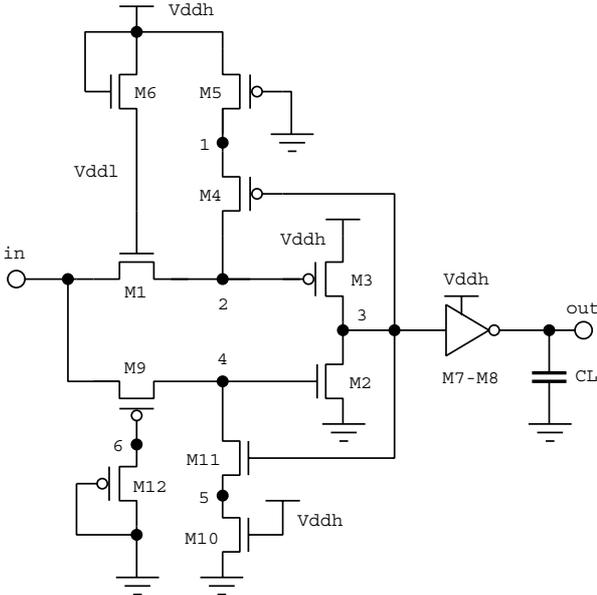


Figura 5.3: Convertidor de baja a alta excursión lógica CMOS simétrico (*sim-driver*).

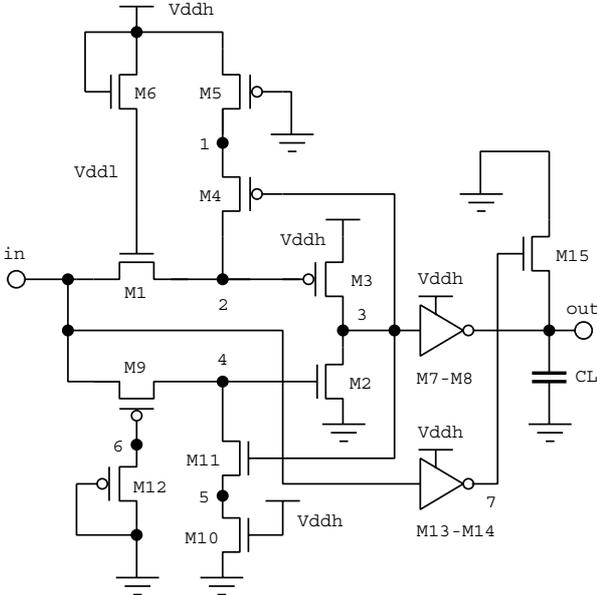


Figura 5.4: Convertidor de baja a alta excursión lógica CMOS simétrico con transistor de bajada (*sid-driver*).

La Figura 5.3 (*sim-driver*), es una versión simétrica del convertidor de nivel *si-driver* de la Figura 5.2. La introducción de M11 y M12 en *sim-driver* asegurará que no exista disipación de potencia estática cuando M2 no esté totalmente cortado y v_{in} esté a nivel bajo.

Las prestaciones del convertidor de nivel *sim-driver* pueden mejorarse con modificaciones apropiadas según se muestra en la Figura 5.4 (*sid-driver*). Como en *si-driver* en la Figura 5.2, el inversor (M13–M14) se utiliza para excitar la puerta de M15 y obtener un rápido descenso de la salida. Esta topología reduce el tiempo de transición de bajada en la salida y tiene un mejor consumo de energía y producto energía–retardo que los otros convertidores de nivel previamente propuestos y *lc-driver*.

Para destacar el efecto del transistor M5 y M10 en las prestaciones del *sid-driver*, se analiza el funcionamiento del convertidor de nivel de la Figura 5.5 (*sir-driver*). La ausencia de M5 y M10 degrada las prestaciones ligeramente con respecto a los otros circuitos expuestos en este Capítulo, sin embargo, proporciona unas mejores prestaciones que las de *lc-driver*.

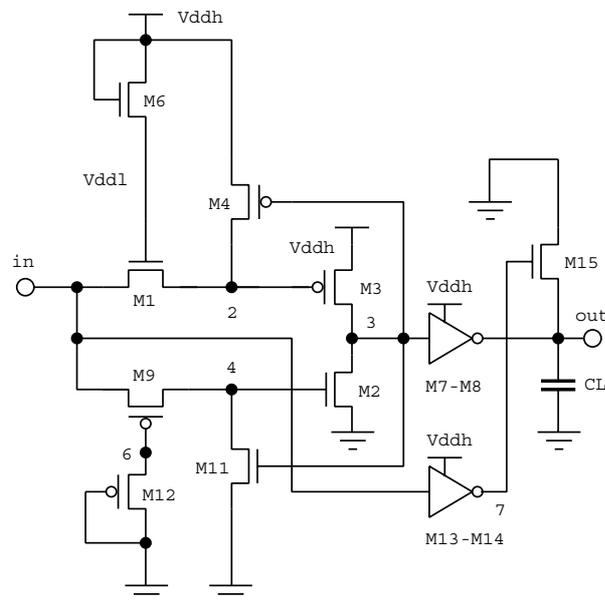


Figura 5.5: Convertidor de baja a alta excursión lógica CMOS simétrico sin transistor M5 y M10 (*sir-driver*).

Por último, el circuito simétrico de la Figura 5.6 (*sib-driver*) mejora ambos retardos de propagación, el de alto a bajo y el de bajo a alto, mediante la introducción del transistor adicional de subida M16. Este convertidor de nivel combina las técnicas utilizadas en todos los demás convertidores propuestos en este Capítulo.

Las simulaciones se realizaron con idénticas condiciones de carga, una fuente de alimentación (1.2V) y una frecuencia de funcionamiento (500MHz). Todos los circuitos fueron implementados con tecnología de $0.13\mu\text{m}$ de UMC. La longitud de canal de todos los transistores es de $0.13\mu\text{m}$. La Tabla 5.1 muestra el ancho de los transistores para todos los circuitos.

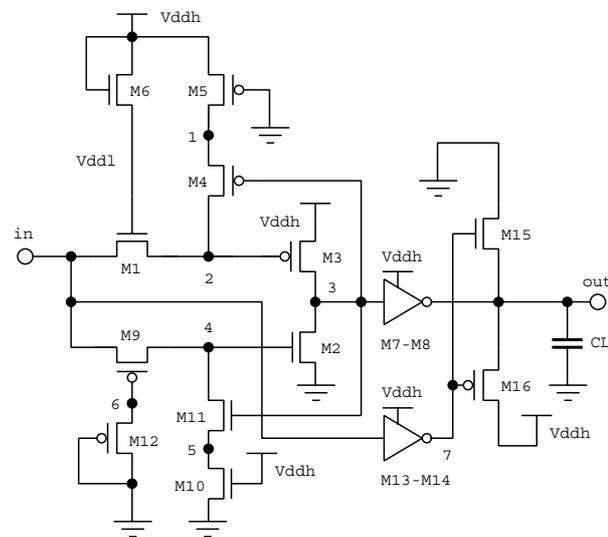


Figura 5.6: Convertidor de baja a alta excursión lógica CMOS simétrico con transistor de subida y bajada (*sib-driver*).

Tabla 5.1: ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES *lc-driver* Y *sib-driver*.

<i>lc-driver</i>			<i>sib-driver</i>		
Transistor	Tipo	Ancho (μm)	Transistor(es)	Tipo	Ancho (μm)
M1	N	10.0	M1, M8, M11	N	10.0
M2	N	40.0	M2	N	28.0
M3	P	40.0	M3	P	20.0
M4	P	0.28	M4, M5, M12	P	0.28
M5	P	0.28	M6, M10	N	0.28
M6	N	0.28	M7	P	35.0
M7	P	50.0	M9, M13	P	6.0
M8	N	10.0	M14	N	3.0
—	—	—	M15	N	10.0
—	—	—	M16	P	10.0

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

5.3 Evaluación comparativa

Los convertidores de nivel se implementaron usando un proceso CMOS de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC. Las áreas activas de los circuitos *sib-driver* y *lc-driver* [Kulkarni and Sylvester, 2004] propuestos son $19.42\mu\text{m}^2$ y $19.60\mu\text{m}^2$, respectivamente.

Los circuitos se simularon a una frecuencia de entrada de 500MHz, con tiempos de subida y bajada de 100ps, con límites de excursión lógica de tensión baja de 0.21 y 0.95V, y una carga capacitiva en el rango de 0.25 a 2.5pF. Los resultados de simulación con una fuente de alimentación de 1.2V muestran que *sib-driver* es un 23% más rápido (188ps de retardo con una carga de 2.5pF) que *lc-driver*. La Figura 5.7 presenta el tiempo de retardo de propagación en función de la carga capacitiva para todos los circuitos considerados en este Capítulo.

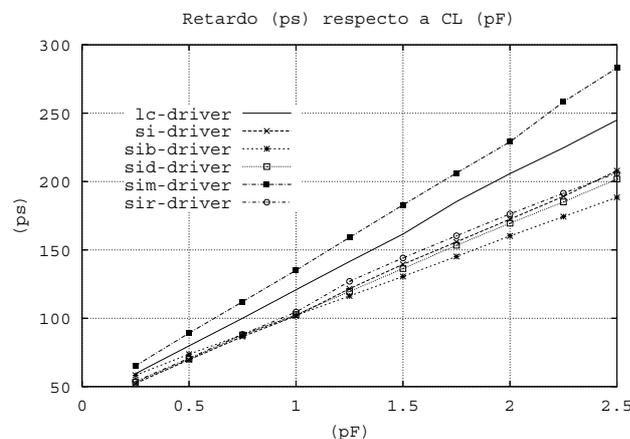


Figura 5.7: Tiempo de retardo de propagación en función de la capacidad de carga de salida para un proceso de $0.13\mu\text{m}$ de UMC.

En la Figura 5.8 se ilustran las gráficas de la disipación de potencia media en función de la carga capacitiva para los seis convertidores de nivel. La disipación de potencia de *sib-driver* es de 2.17mW; un 3% menor que la de *lc-driver* con una carga de 2.5pF.

La Figura 5.9 muestra el consumo de energía en función de la carga capacitiva para los seis convertidores de nivel, el propuesto *sib-driver* tiene un 3% menor consumo de energía que *lc-driver* con una carga de 2.5pF.

Finalmente, la Figura. 5.10 presenta las figuras de mérito de eficiencia de energía (el producto energía-retardo) en función de la carga capacitiva para los seis circuitos convertidores de nivel. Según se puede observar, el producto energía-retardo de *sib-driver* es de 1.05–1.34 veces menor que el de *lc-driver* con una carga de 2.5pF.

[Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.

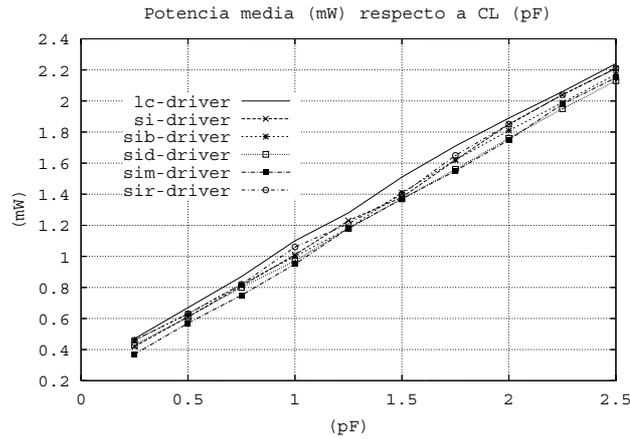


Figura 5.8: Potencia media en función de la carga capacitiva de salida para un proceso de $0.13\mu\text{m}$ de UMC.

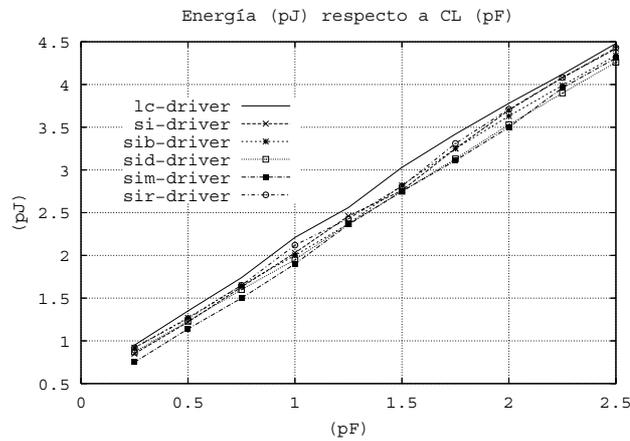


Figura 5.9: Energía en función de la carga capacitiva de salida para un proceso de $0.13\mu\text{m}$ de UMC.

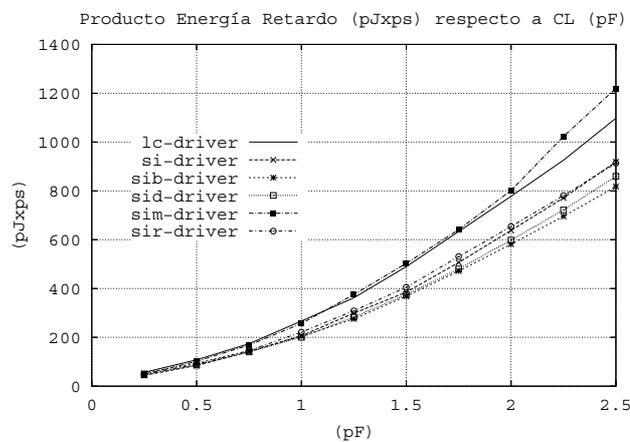


Figura 5.10: Producto energía-retardo en función de la carga para un proceso de $0.13\mu\text{m}$ de UMC.

5.4 Conclusiones

Este Capítulo presentó un nuevo convertidor de nivel de baja excursión lógica a completa excursión lógica para alta velocidad en CMOS (*sib-driver*) con un estilo de señalización UDLL para excitar líneas de interconexión globales. Bajo la condición de una fuente de alimentación de tensión de 1.2V, una tensión de excursión lógica de entrada simétrica entre 0.21–0.95V, y una carga capacitiva de 2.5pF, el retardo y el consumo de potencia asociado con *sib-driver* fueron 188ps y 2.17mW, respectivamente.

El convertidor de nivel *sib-driver* propuesto se analizó con una frecuencia de entrada de 500MHz y una carga capacitiva en el rango de 0.25 to 2.5pF. Con una fuente de alimentación de 1.2V y una carga de salida de 2.5pF, se obtuvo un ahorro máximo del 25.5% en el producto energía–retardo, cuando se comparó con *lc-driver*. El área activa era similar a la de *lc-driver*.

Par excitador–receptor CMOS de altas prestaciones usando señalización de baja excursión lógica para interconexiones de baja potencia sobre un chip

Índice General

6.1	Introducción	96
6.2	Arquitectura de test y trabajos previos	98
6.3	Estructura del circuito para los pares excitador–receptor <i>mj-sib</i> y <i>mj-db</i>	101
6.3.1	Funcionamiento del circuito excitador	101
6.3.2	Funcionamiento del circuito receptor	103
6.4	Evaluación comparativa	105
6.4.1	Evaluación de retardo, energía y energía–retardo	105
6.4.2	Una discusión acerca de las regiones con longitud de cable de interés	109
6.4.3	Análisis de fiabilidad	110
6.5	Conclusiones	111

Resumen:

EN este Capítulo se describe el diseño, análisis y evaluación de los pares excitador–receptor de baja excursión lógica simétricos (*mj-sib* y *mj-db*)¹ para la excitación de señales en líneas de inter-

¹El trabajo desarrollado en este Capítulo se ha dado a conocer en la Conferencia Europea de Teoría y Diseño de Circuito (ECCTD), celebrada en Agosto de 2007 en Sevilla, España, con el título: “*Efficient CMOS Driver–Receiver Pair with Low–Swing Signaling for On–Chip Interconnects*”.

Este diseño se ha analizado con mayor detalle y se ha presentado en el Simposio del Medio Oeste de Circuitos y Sistemas (MWSCAS) del IEEE, celebrado en Agosto de 2008, en Tenesi, EEUUA. El artículo aceptado se titula: “*High Performance CMOS Driver–Receiver Pair Using Low–Swing Signaling for Low Power On–Chip Interconnects*”.

Además, se ha publicado como un breve documento en la revista TVLSI del IEEE a partir

conexión globales. Los esquemas de señalización propuestos se implementaron en tecnología CMOS de $0.13\mu\text{m}$ 1V, para transmisión de señal a lo largo de un cable de 10mm de longitud y una carga capacitiva de conexión de salida² de 2.5pF (en el cable).

El Capítulo está organizado como sigue. La Sección 6.2 expone la estructura de test y la topología del circuito de los dos trabajos representativos previos utilizados en la comparación. La Sección 6.3 muestra la arquitectura del circuito para los esquemas de señalización de baja excursión lógica propuestos. Los resultados de las medidas comparativas y los análisis se exponen en la Sección 6.4. Finalmente, la Sección 6.5 concluye el Capítulo.

Los esquemas *mj-sib* y *mj-db* reducen el retardo hasta un 47% y 38% y el producto energía-retardo hasta un 34% y 49%, respectivamente, cuando se compara con otros esquemas de señalización de baja excursión lógica simétricos y asimétricos homólogos. Las otras ventajas claves de los esquemas de señalización propuestos son que sólo requieren una fuente de alimentación y una tensión umbral, reduciendo considerablemente, por tanto, la complejidad del diseño. Este Capítulo confirma también los beneficios relativos a la fiabilidad de las técnicas de señalización propuestas mediante un análisis de *Relación Señal a Ruido* (SNR).

Palabras clave: Par excitador-receptor, producto energía-retardo, relación señal a ruido, tensión umbral, cable, esquema de señalización.

6.1 Introducción

En los circuitos integrados existe un consumo de energía creciente procedente de los cables de interconexión y de los circuitos excitadores y receptores asociados. En algunos estilos de diseño, con redes de puertas, el consumo de potencia de los cables de interconexión llega a ser hasta un 40% [Zhang et al., 2000] del consumo de potencia total del chip. Con una estructura en *Red de Puertas Programables* (FPGA)³, el consumo de potencia de los cables de interconexión es hasta del 90% [Kusse and Rabaey, 1998]. La interconexión es también un factor dominante en las prestaciones del chip y la

de su aceptación en Febrero de 2008. El título del artículo es: “CMOS Driver-Receiver Pair for Low-Swing Signaling for Low Energy On-Chip Interconnects”.

Y, por último, se encuentra disponible en la revista *Microelectronics Journal* de ELSEVIER con el título: “CMOS design and analysis of low-voltage signaling methodology for energy efficient on-chip interconnects”, desde Febrero de 2009.

²Traducción del término inglés *fanout*.

³Traducción del término anglosajón *Field-Programmable Gate Array*.

[Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.

[Kusse and Rabaey, 1998] Kusse, E. and Rabaey, J. M. (1998). Low-energy embedded FPGA structures. In *Int. Symposium on Low Power Electronics and Desing*, pages 155–160. Monterey, CA, USA.

robustez [Rabaey et al., 2003] y [Dally and Poulton, 1998].

La mayor parte de las técnicas de baja excursión lógica de tensión sufren de una corriente de cortocircuito elevada, gran retardo de propagación, y alta disipación de potencia [Zhang et al., 2000] y [Kulkarni and Sylvester, 2004]. Los esquemas de señalización de baja excursión lógica de tensión no proporcionan suficiente capacidad de excitación para cargas grandes. Con el fin de mejorar la capacidad de excitación, algunos circuitos excitadores incorporan las técnicas de sobre-excitación [García et al., 2006], [García et al., 2004]. Sin embargo, estos circuitos requieren condensadores de sobre-excitación extras, y generalmente necesitan acceder a los terminales de los pozos que no están disponibles en la mayoría de los procesos digitales CMOS.

Los esquemas de señalización para líneas de interconexión largas se clasifican de acuerdo con la dirección de la reducción de la excursión lógica de tensión en la señal [Zhang et al., 2000], y [Rjoub and Koufopavlou, 1999]. En el esquema *Asimétrico de Desviación Alta* (HOA)⁴ de baja excursión lógica de tensión (por ejemplo el seguidor de fuente HOA en [Zhang et al., 2000]), el margen de nivel de señal en la interconexión está entre 0 y V_{bus} , donde $V_{bus} \leq V_{ddh}$, y V_{ddh} es la tensión nominal de la fuente de alimentación utilizada por los bloques de cálculo en los extremos excitador y receptor de la interconexión. Para evitar emplear una fuente de alimentación separada el excitador seguidor de fuente en [Zhang et al., 2000] establece $V_{bus} = V_{dd} - V_{tn}$ o $V_{bus} = V_{dd} - 2V_{tn}$, donde V_{tn} es la tensión umbral del transistor NMOS. En el esquema *Asimétrico de Desviación Baja* (LOA)⁵ el margen de tensión de señalización está entre V_{bus} y V_{ddh} , donde $V_{bus} \geq 0$. En el excitador seguidor de fuente es conveniente elegir $V_{bus} = |V_{tp}|$ o $V_{bus} = 2|V_{tp}|$, donde V_{tp} es la tensión umbral del transistor PMOS. En el esquema de señalización *Simétrico de Desviación Baja-Alta* (LHOS)⁶ de baja excursión lógica de tensión, por otro lado, el margen de tensión de salida se extiende simétricamente entre $0 \leq V_{busl}$ y $V_{bush} \leq V_{ddh}$. En este Capítulo se eligen $V_{busl} = V_{tn}$, y $V_{bush} = V_{ddh} - |V_{tp}|$.

⁴Traducción del término inglés *High Offset Asymmetric*.

⁵Traducción del término anglosajón *Low Offset Asymmetric*.

⁶Traducción del término inglés *Low-High Offset Symmetric*.

[Rabaey et al., 2003] Rabaey, J. M., Chandrakasan, A. P., and Nikolic, B. (2003). *Digital integrated circuits: a design perspective*. Pearson Education International, Upper Saddle River, NJ: Prentice Hall, 2nd edition.

[Dally and Poulton, 1998] Dally, W. and Poulton, J. (1998). *Digital Systems Engineering*. Cambridge University Press.

[Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.

[García et al., 2006] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006). Bootstrapped full-swing CMOS driver for low supply voltage operation. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 1–2.

[García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

[Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 2, pages 789–794.

El esquema de señalización LHOS es preferible a los esquemas HOA y LOA ya que funciona bien con un simple inversor en el extremo receptor, sin un consumo de potencia estática importante.

El diseño con diodo conectado LHOS en [Fer, 2001], a diferencia del resto de alternativas, no requiere fuente de alimentación extra ni un proceso de varias tensiones umbrales. Sin embargo, además de tener una baja capacidad de excitación, sus prestaciones son sensibles a las variaciones en la fuente de alimentación, los parámetros del dispositivo, y a las condiciones de carga [García et al., 2007].

Los esquemas de señalización de interconexión que emplean excitadores de buses de baja excursión lógica, requieren convertidores de nivel de adaptación en el extremo receptor [Kulkarni and Sylvester, 2004], [Rjoub and Koufopavlou, 1999], y [Fer, 2001]. Si el receptor no está diseñado correctamente se produce excesiva disipación de potencia estática y pérdida de prestaciones. El trabajo en [Kulkarni and Sylvester, 2004] propone un conjunto de convertidores de nivel con esquemas de señalización HOA que consumen poca potencia y son muy rápidos. No obstante, los convertidores de nivel en [Kulkarni and Sylvester, 2004] necesitan dos fuentes de alimentación; V_{dd1} , (por conveniencia puede fijarse a V_{bus}), y V_{ddh} . Requieren también dispositivos NMOS con dos tensiones umbral diferentes, V_{tnl} (tensión umbral baja) y V_{tnh} (tensión umbral alta). Por desgracia, no existe información apropiada en la literatura respecto al diseño de un circuito de baja complejidad con un restaurador de nivel en el lado receptor para los esquemas de señalización LHOS.

En este Capítulo se introduce dos nuevos esquemas de señalización LHOS de baja potencia (*mj-sib* y *mj-db*), con alta capacidad de excitación en el extremo excitador y con apropiada adaptación del restaurador de nivel de baja potencia en el extremo receptor. Se comparan los esquemas con otros diseños relacionados. El conjunto de medidas de calidad utilizadas para la evaluación comparativa son las prestaciones de retardo, la disipación de energía, el producto energía–retardo, el área activa y la complejidad del diseño.

6.2 Arquitectura de test y trabajos previos

La plataforma de test que se usa en este Capítulo se muestra en la Figura 6.1, la cual es la misma que la empleada en [Zhang et al., 2000] y [Fer, 2001].

Todos los circuitos se implementaron con tecnología de $0.13\mu\text{m}$ de UMC. Además, todos los esquemas de señalización se analizaron con idéntica condi-

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

[García et al., 2007] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007). Adaptive low/high voltage swing CMOS driver for on-chip interconnects. In *Inst. Sym. on Cir. and Syst., (ISCAS), New Orleans, USA*.

[Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.

[Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on*

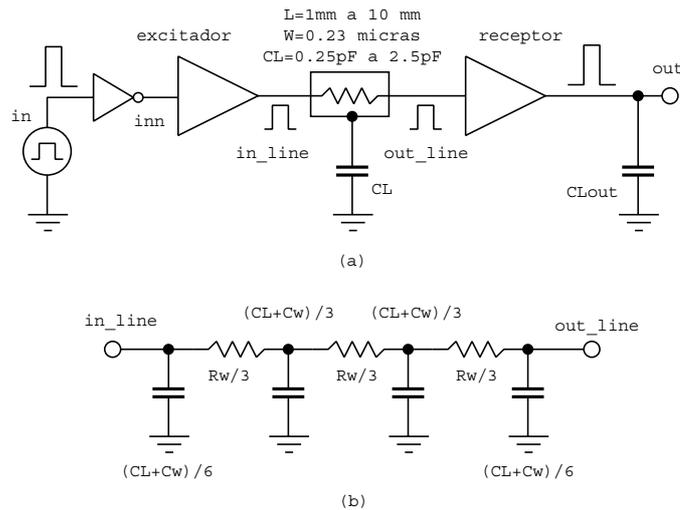


Figura 6.1: Esquema de señalización de interconexión: (a) arquitectura de test y (b) modelo en π del cable.

ción de carga, fuente de alimentación $V_{ddh}=1.0V$, y excursión lógica de tensión $V_{swing} = 0.54V$.

La simulación de todos los circuitos se hace con una capacidad de carga de salida en el extremo receptor de 25fF. La interconexión se implementa con metal de capa 3, su longitud varía en el margen de 1mm a 10mm, y se modela con un modelo RC distribuido π ($R_W=300\Omega/mm$ y $C_W=0.23pF/mm$). A lo largo del cable se distribuye una carga capacitiva extra C_L de 0.25pF por mm de longitud de cable como capacidad de carga de salida ⁷.

La Figura 6.2 (*ddc-db*) y la Figura 6.3 (*asf-lc*) representan las topologías de los dos trabajos previos utilizados como bases de la comparación. La topología de la Figura 6.2 es la del esquema LHOS documentado en [Fer, 2001]. Y, la topología de la Figura 6.3 es la combinación del excitador seguidor de fuente de estilo HOA de altas prestaciones según [Zhang et al., 2000] en el extremo excitador, y del circuito restaurador de nivel de adaptación según [Kulkarni and Sylvester, 2004] en el extremo receptor.

La magnitud de la excursión lógica de tensión simétrica en la interconexión para *mj-sib*, *mj-db*, y *ddc-db* se calcula según $V_{swing}=V_{ddh}-|V_{tp}|-V_{tn}=0.54V$. Por otro lado, la excursión lógica de tensión para el par excitador-receptor *asf-lc* se determina como $V_{swing}=V_{bus}=0.54V$.

⁷Traducción del término anglosajón *fanout*.

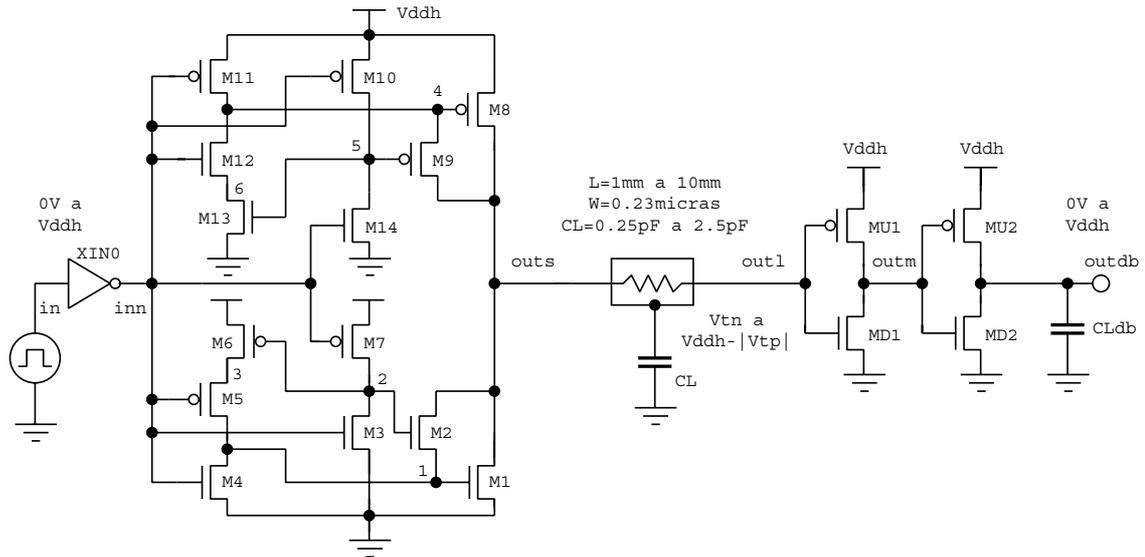


Figura 6.2: Estructura de circuito del excitador-receptor CMOS simétrico de baja-alta excursión lógica (LHO) *ddc-db*, con $V_{ddh}=1.0V$, $V_{tn}=0.21V$ y $|V_{tp}|=0.25V$.

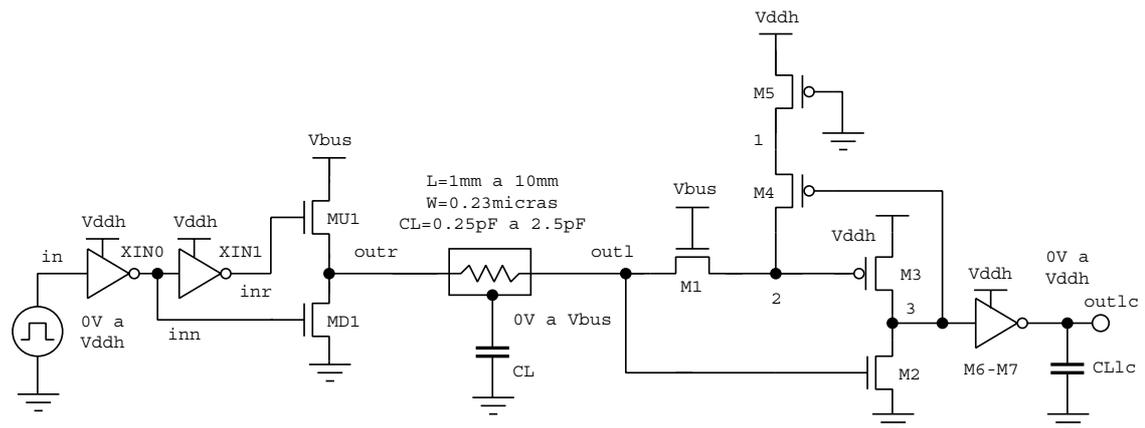


Figura 6.3: Estructura de circuito del excitador-receptor CMOS asimétrico de alta excursión lógica (HOA) *asf-lc*, con $V_{ddh}=1.0V$, $V_{bus}=0.54V$, $V_{tn}=0.21V$ y $|V_{tp}|=0.25V$.

6.3 Estructura del circuito para los pares excitador-receptor *mj-sib* y *mj-db*

La Figura 6.4 (*mj-sib*) y Figura 6.5 (*mj-db*) ilustran las topologías de los esquemas propuestos con señalización LHOS de baja excursión lógica que son, respectivamente, más rápidos y consumen menor energía, que los circuitos presentados previamente.

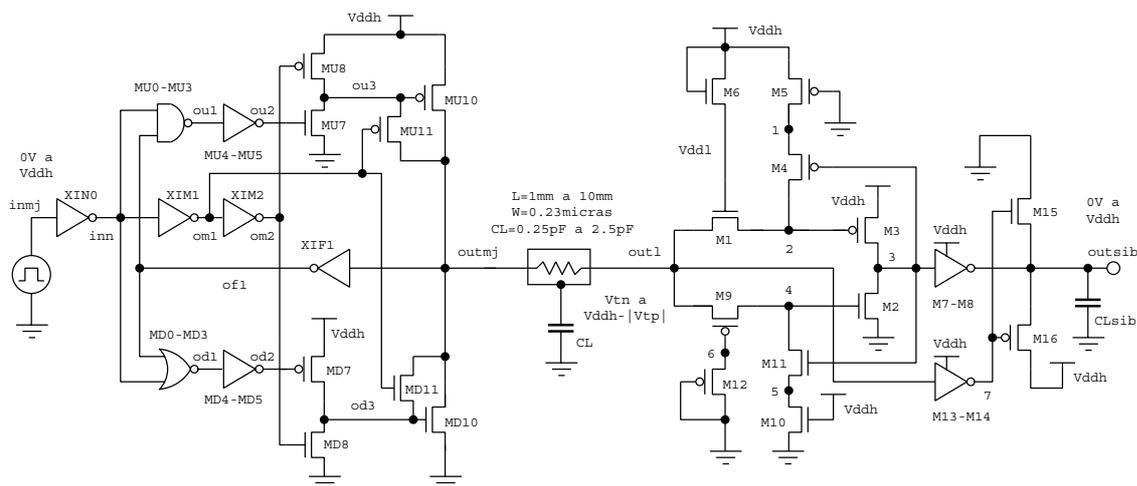


Figura 6.4: Estructura de circuito del excitador-receptor CMOS simétrico de baja-alta excursión lógica (LHOS) versión I (*mj-sib*), con $V_{ddh}=1.0V$, $V_{tn}=0.21V$ y $|V_{tp}|=0.25V$.

La Tabla 6.1 y Tabla 6.2 muestran los anchos de los transistores para todos los circuitos excitadores y receptores, respectivamente, cuando se optimizan para el menor producto energía-retardo, con longitudes de cable de 10, 5, y 1mm. La longitud de canal de todos los transistores es de $0.13\mu m$. La Tabla 6.3 presenta la suma de las áreas activas del excitador y receptor de todos los esquemas de señalización optimizados para las tres longitudes de cable representativas.

Cuando se optimiza con el menor producto energía-retardo para una longitud de cable de 10mm, el área activa total de *mj-sib* ($6.16\mu m^2$) es un 61% y un 6% mayor que la de *mj-db* ($3.82\mu m^2$) y *ddc-db* ($5.79\mu m^2$), respectivamente, y un 1% menor que la de *asf-lc* ($6.24\mu m^2$).

6.3.1 Funcionamiento del circuito excitador

El funcionamiento de la parte *mj-driver* del circuito de la Figura 6.4 puede explicarse como sigue:

- Estado bajo en la salida, *outmj*. Con la salida *outmj* en estado bajo se tiene $inn=outmj=nivel\ bajo$, $ou1=nivel\ alto$, y $ou2=nivel\ bajo$, MU7, MU10, y MU11 cortados, y MU8 conduciendo. En este estado, la salida es excitada a nivel bajo mediante el par de diodo conectado MD10-MD11.

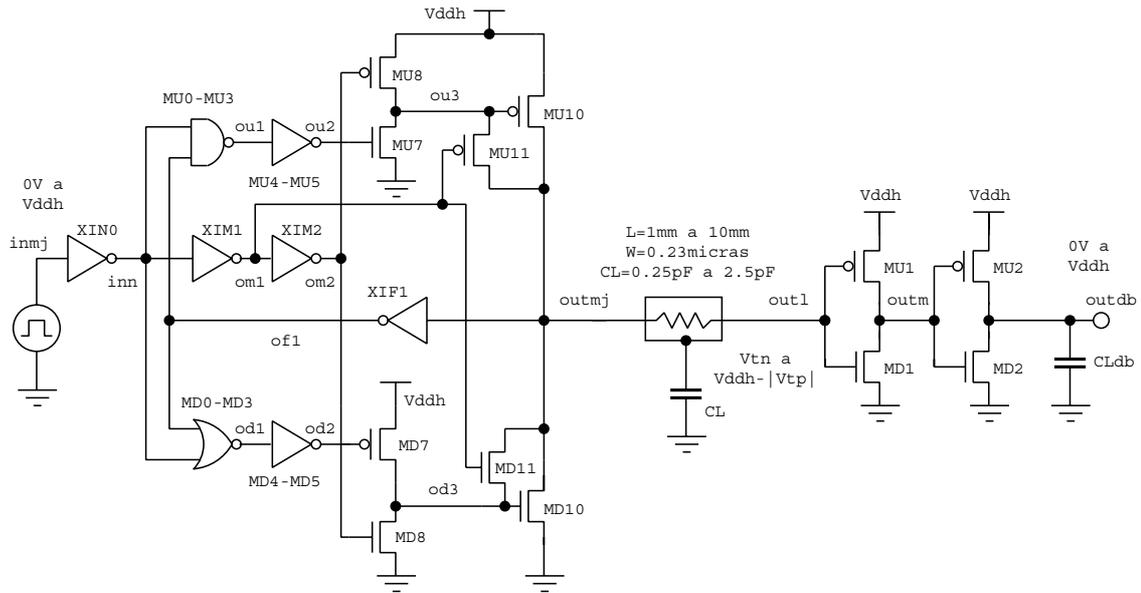


Figura 6.5: Estructura de circuito del excitador-receptor CMOS simétrico de baja-alta excursión lógica (LHOS) versión II (*mj-db*), con $V_{ddh}=1.0V$, $V_{tn}=0.21V$ y $|V_{tp}|=0.25V$.

- Transición de bajo a alto en la salida, out_{mj} . Después de una transición de bajo a alto en inn , debido al retardo en el bucle de realimentación (XIF1), ou_1 , y ou_3 irán al nivel bajo, y ou_2 irá a nivel alto brevemente. Esto produce que MU7, y, por consiguiente, MU10 conduzcan y que lleven fuertemente a nivel alto al nodo de salida out_{mj} , para cargar la carga de salida. El lazo de realimentación conduce, finalmente, a ou_3 y ou_2 a sus valores de estado estacionario alto y bajo, respectivamente, cortando a MD7, e inhabilitándolo para excitar la puerta de MD10. Sin embargo, el transistor MU11 que entró en conducción cuando out_{mj} fue a nivel bajo permanecerá conduciendo, proporcionando una configuración de diodo conectado (par MU10–MU11) para mantener la tensión de salida a $\approx V_{dd} - |V_{tp}|$.
- Estado alto en la salida, out_{mj} . Con la salida en estado alto se tiene $inn=out_{mj}=$ nivel alto, $od_1=$ nivel bajo, y $ou_2=$ nivel alto, MD7, MD10, y MD11 cortados, y MD8 conduciendo. En este estado, la salida se excita con nivel alto mediante el par de diodo conectado MU10–MU11.
- Transición de alto a bajo en la salida. Después de una transición de alto a bajo en inn , debido al retardo del lazo de realimentación (XIF1), od_1 , y od_3 irán a nivel alto, y od_2 irá a nivel bajo brevemente. Esto origina que MD7, y por consiguiente, MD10 conduzcan y lleven fuertemente al nodo de salida out_{mj} a nivel bajo, para descargar la carga de salida. El lazo de realimentación, finalmente, conduce a od_3 y od_2 a sus valores estacionarios de nivel bajo y alto, respectivamente, cortando a MD7, e inhabilitándolo para excitar la puerta de MD10. Sin embargo, el transistor MD11 que entró en conducción cuando out_{mj} pasó a nivel

alto continuará conduciendo, proporcionando una configuración de diodo conectado (par MD10–MD11) para mantener la tensión de salida a $\approx V_{tn}$.

Tabla 6.1: ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES *ddc-driver*, *mj-driver*, Y *asf-driver*, OPTIMIZADOS CON EL MENOR PRODUCTO ENERGÍA–RETARDO PARA LONGITUDES DE CABLE DE 10, 5, Y 1mm. LA LONGITUD DE CANAL DE TODOS LOS TRANSISTORES ES DE 0.13 μ m.

<i>ddc-driver</i>			<i>mj-driver</i>		
Optimizado para longitudes de cable de 10 / 5 / 1mm			Optimizado para longitudes de cable de 10 / 5 / 1mm		
Área total= 5.51 / 3.88 / 3.88 μ m ²			Área total= 3.54 / 3.34 / 3.28 μ m ²		
Transistor(es)	Tipo	Ancho (μ m)	Transistor(es)	Tipo	Ancho (μ m)
PXIN0	P	10.0	PXIN0	P	10.0
NXIN0	N	5.0	NXIN0	N	5.0
M1	N	10.0 / 4.0 / 4.0	PXIM1, PXIM2	P	0.35 / 0.28 / 0.28
M2, M3	N	1.0 / 0.28 / 0.28	NXIM1, NXIM2, NXIF1	N	0.28
M4, M12	N	0.28	PXIF1, MD0, MD1	P	0.28
M5	P	0.28	MU0, MU1, MD2	N	0.28
M6	P	0.28	MU2, MU3, MU4	P	0.28
M7	P	1.0	MD3, MD4, MU5	N	0.28
M8	P	10.0	MD5, MU8, MU11	P	0.28
M9	P	1.0	MU7	N	0.5 / 0.5 / 0.28
M10	P	0.5	MD7	P	0.5 / 0.5 / 0.28
M11	P	0.28	MD8, MD11	N	0.28
M13	N	0.5	MU10	P	2.5 / 1.8 / 1.8
M14	N	1.0	MD10	N	2.5 / 1.8 / 1.8

<i>asf-driver</i>					
Optimizado para longitudes de cable de 10 / 5 / 1mm					
Área total= 5.0 / 5.0 / 4.3 μ m ²					
Transistor	Tipo	Ancho (μ m)	Transistor	Tipo	Ancho (μ m)
PXIN0	P	10.0	NXIN0	N	5.0
PXIN1	P	1.0 / 1.0 / 0.8	NXIN1	N	0.5 / 0.5 / 0.5
MU1	N	20.0 / 20.0 / 15.0	MD1	N	2.0 / 2.0 / 1.8

Proceso tecnológico de 0.13 μ m 1.2/3.3V triple pozo de UMC.

6.3.2 Funcionamiento del circuito receptor

El funcionamiento de la parte receptora, *sib-receiver*, del circuito de la Figura 6.4 puede explicarse como sigue.

En el circuito *sib-receiver*, el transistor de paso M1 aísla el nodo interno 2, de la etapa anterior. Sin él, el potencial más bajo de la etapa previa hace que la corriente fluya de V_{ddh} a través de M3 y regrese hacia el extremo excitador. Con el nodo 2 aislado, el transistor de realimentación M4 puede activar a nivel alto la puerta de M3 por encima del nivel de tensión de excursión lógica alta en la entrada V_{in} . El *sib-receiver* propuesto utiliza el inversor (M13–M14), y el transistor M15 para reducir el tiempo de transición de bajada de la salida. Dividiendo la activación a nivel alto del nodo 2 con M4, y M5 ayudará a reducir la carga en el nodo 3 y disminuir el consumo de potencia sin perjudicar a las prestaciones [Kulkarni and Sylvester, 2004].

Tabla 6.2: ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS RECEPTORES *lc-receiver*, *sib-receiver*, Y *db-receiver*, OPTIMIZADOS CON EL MENOR PRODUCTO ENERGÍA-RETARDO PARA LONGITUDES DE CABLE DE 10, 5, Y 1mm. LA LONGITUD DE CANAL DE TODOS LOS TRANSISTORES ES DE 0.13 μm

<i>lc-receiver</i>			<i>sib-receiver</i>		
Optimizado para longitudes de cable de 10 / 5 / 1mm			Optimizado para longitudes de cable de 10 / 5 / 1mm		
Área total= 1.24 / 1.24 / 1.15 μm^2			Área total= 2.62 / 1.31 / 0.83 μm^2		
Transistor	Tipo	Ancho (μm)	Transistor(es)	Tipo	Ancho (μm)
M1	N	1.0	M1	N	10.0 / 3.5 / 0.5
M2	N	4.0	M2	N	0.4 / 0.28 / 0.28
M3	P	1.0 / 1.0 / 0.8	M3	P	0.4 / 0.4 / 0.28
M4	P	0.28	M4	P	0.4 / 0.28 / 0.28
M5	P	0.28	M5, M7, M9	P	0.28
M6	P	1.0	M6	N	2.0
M7	N	2.0 / 2.0 / 1.5	M8	N	2.0 / 0.28 / 0.28
—	—	—	M10, M11, M14	N	0.28
—	—	—	M12	P	0.28
—	—	—	M13	P	1.0 / 0.7 / 0.28
—	—	—	M15	N	1.5 / 0.4 / 0.28
—	—	—	M16	P	0.5 / 0.28 / 0.28
<i>db-receiver</i>					
Optimizado para longitudes de cable de 10 / 5 / 1mm					
Área total= 0.28 / 0.20 / 0.17 μm^2					
Transistor	Tipo	Ancho (μm)	Transistor	Tipo	Ancho (μm)
MU1	P	0.8 / 0.5 / 0.28	MD1	N	0.28
MU2	P	0.8 / 0.5 / 0.5	MD2	N	0.28

Proceso tecnológico de 0.13 μm 1.2/3.3V triple pozo de UMC.

Tabla 6.3: ÁREAS ACTIVAS TOTALES PARA LOS ESQUEMAS DE SEÑALIZACIÓN DE *ddc-db*, *mj-sib*, *mj-db*, Y *asf-lc*, OPTIMIZADOS CON EL MENOR PRODUCTO ENERGÍA-RETARDO, PARA LONGITUDES DE CABLE DE 10, 5, Y 1mm.

Proceso: UMC de 0.13 μm	Áreas totales para las longitudes de cable de:		
	10mm (μm^2)	5mm (μm^2)	1mm (μm^2)
<i>ddc-db</i>	5.79	4.08	4.05
<i>mj-sib</i>	6.16	4.65	4.12
<i>mj-db</i>	3.82	3.54	3.46
<i>asf-lc</i>	6.24	6.24	5.45

Proceso tecnológico de 0.13 μm 1.2/3.3V triple pozo de UMC.

La introducción de M11 y M12 asegurará que no exista disipación de potencia estática cuando M2 no esté completamente cortado mientras V_{in} está a nivel bajo. Por último, *sib-receiver* mejora el retardo de propagación de bajo a alto con la introducción del transistor adicional de subida M16.

La valoración del producto energía-retardo de esta topología es similar a la de *lc-receiver*. Ya que, *sib-receiver* intercambia un consumo de energía 7 veces mayor por una ventaja en velocidad más alta de factor 7 sobre *lc-receiver*.

6.4 Evaluación comparativa

Las comparaciones entre las prestaciones de los circuitos excitador-receptor se realizan considerando tres longitudes distintas de interconexión según se detallan a continuación.

6.4.1 Evaluación de retardo, energía y energía-retardo

Evaluación para una longitud de cable de 10mm

La Figura 6.6 presenta los resultados de simulación transitoria de los nodos in y out para las cuatro topologías de circuitos de señalización con una longitud de cable de 10mm. Según se observó, los propuestos *mj-sib* y *mj-db* tienen transiciones considerablemente más rápidas en el nodo out .

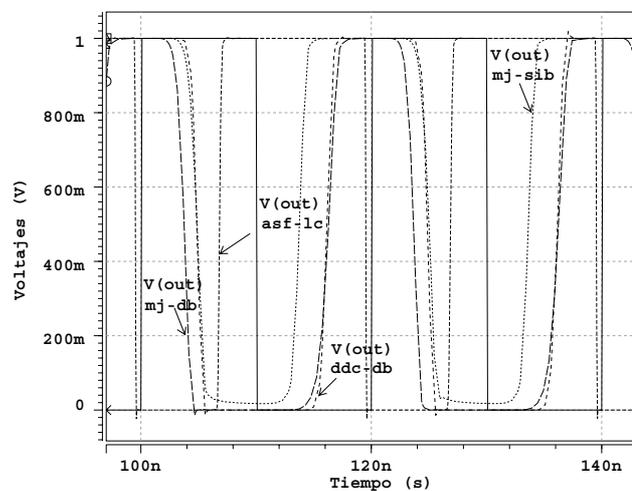


Figura 6.6: Formas de onda de *mj-sib*, *mj-db*, *ddc-db* y *asf-lc* para una longitud de cable de 10mm, con $V_{ddh}=1.0V$, $V_{swing}=0.54V$, $V_{tn}=0.21V$, y $V_{tp}=-0.25V$.

La Figura 6.7 muestra el retardo en función de la longitud de cable para los cuatro esquemas de señalización, cuando se optimizan con una longitud de cable de 10mm. El rendimiento del esquema de señalización *mj-sib* propuesto,

para una longitud de cable de 10mm y una capacidad de carga de salida extra de 2.5pF, es del 47%, 22% y 14% mejor que *asf-lc*, *ddc-db*, y *mj-db*, respectivamente.

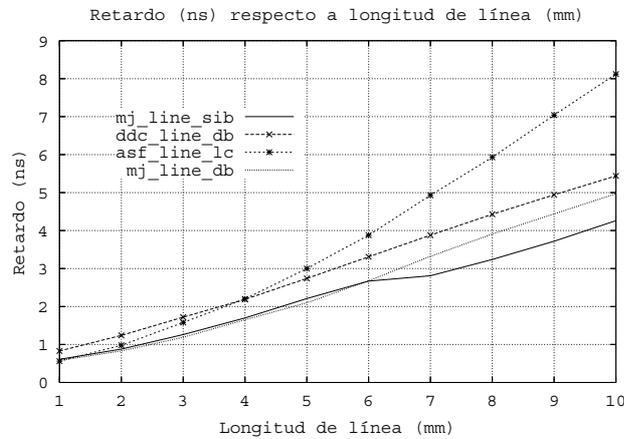


Figura 6.7: Tiempo del retardo de propagación en función de la longitud de cable para un proceso de $0.13\mu\text{m}$ de UMC.

La Figura. 6.8 ilustra la disipación de energía en función de la carga capacitiva para los cuatro esquemas de señalización. El *mj-sib* propuesto, con una longitud de cable de 10mm y una capacidad de carga de salida extra de 2.5pF, consume un 25%, un 25% y un 53% más de energía que *asf-lc*, *ddc-db* y *mj-db*, respectivamente.

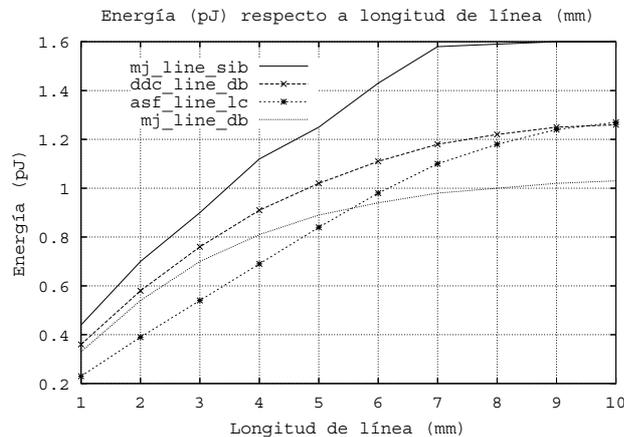


Figura 6.8: Consumo de energía en función de la longitud de cable para un proceso de $0.13\mu\text{m}$ de UMC.

La Figura 6.9 presenta el producto energía-retardo en función de la longitud de cable para los cuatro esquemas de señalización. El *mj-sib* propuesto rinde un 34% y un 2% mejor que *asf-lc*, y *ddc-db* respectivamente, y un 32% peor que *mj-db*, con una longitud de cable de 10mm y una capacidad de carga de salida extra de 2.5pF.

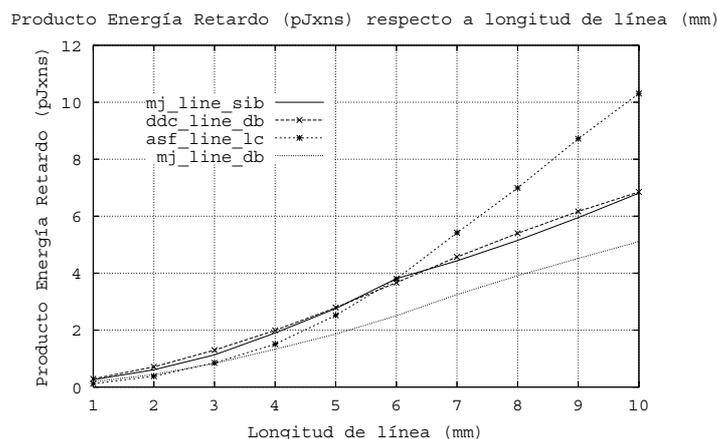


Figura 6.9: Producto energía–retardo en función de la longitud de cable para un proceso de $0.13\mu\text{m}$ de UMC.

La Tabla 6.4 enumera las componentes de retardo, de consumo de energía y del producto energía–retardo de los cuatro esquemas de señalización. La componente de disipación de energía en el lado excitador se debe solamente a los efectos de carga propia.

Evaluación para una longitud de cable de 5mm

Cuando la longitud de cable se reduce a 5mm la ventaja del producto energía–retardo del *mj-sib* con respecto al *ddc-db* es la misma. Sin embargo, se pierde un 7% y un 49% con respecto a *asf-lc*, y *mj-db*, respectivamente.

Obsérvese que estos valores se obtuvieron con los circuitos excitador–receptor optimizados para una longitud de cable 10mm. Una nueva optimización del producto energía–retardo para una longitud de cable de 5mm produce una mejora en el rendimiento del producto energía–retardo del *mj-sib* con la que supera a *ddc-db*, y *asf-lc* un 12%, y un 5% respectivamente. Aún pierde con respecto a *mj-db*, pero la pérdida se reduce del 49% al 33%. Las entradas de la nueva optimización para los cuatro esquemas de señalización de la Tabla 6.4 se indican como 5*.

Evaluación para una longitud de cable de 1mm

Cuando la longitud de cable se reduce adicionalmente a 1mm la ventaja del producto energía–retardo de *mj-sib* con respecto a *ddc-db* mejora un 27%. Pierde con respecto a *mj-db* por un pequeño margen del 41%. Sin embargo, su pérdida con respecto *asf-lc* es muy significativa y representa el 121%.

Estos valores se obtienen de nuevo con los circuitos excitador–receptor optimizados para una longitud de cable de 10mm. Una nueva optimización con el menor producto energía–retardo y una longitud de cable de 1mm produce un rendimiento del producto energía–retardo mejorado para *mj-sib*. Con ello, *mj-sib* supera al *ddc-db* en un 32%. La pérdida con respecto a *mj-db*, y *asf-lc* se reduce al 6%, y 67%, respectivamente.

Tabla 6.4: DESGLOSE DE ENERGÍA, RETARDO Y PRODUCTO ENERGÍA-RETARDO EN FUNCIÓN DE LA LONGITUD DE CABLE PARA *ddc-db*, *mj-sib*, *mj-db*, Y *asf-lc*.

<i>ddc-línea-db</i> ($V_{ddh}=1.0V, V_{tn}=0.21V$ y $ V_{tp} =0.25V$)								
Longitud (mm)	Energía (pJ)				Retardo (ns)			
	<i>ddc</i>	<i>línea</i>	<i>db</i>	<i>total</i>	<i>ddc</i>	<i>línea</i>	<i>db</i>	<i>total</i>
1.0	0.05	0.33	0.05	0.43	0.13	0.42	0.27	0.82
1.0*	0.05	0.24	0.03	0.32	0.15	0.43	0.30	0.88
5.0	0.05	0.81	0.15	1.01	0.13	2.18	0.41	2.72
5.0*	0.03	0.57	0.16	0.76	0.10	3.00	0.46	3.56
10.0	0.05	0.96	0.25	1.26	0.13	4.76	0.55	5.44
Longitud (mm)	Energía × Retardo (pJ × ns)							
	<i>ddc</i>	<i>línea</i>	<i>db</i>	<i>total</i>				
1.0	0.01		0.14		0.01			0.35
1.0*	0.01		0.10		0.01			0.28
5.0	0.01		1.76		0.06			2.75
5.0*	0.00		1.71		0.07			2.71
10.0	0.01		4.56		0.14			6.85

<i>mj-línea-sib</i> ($V_{ddh}=1.0V, V_{tn}=0.21V$ y $ V_{tp} =0.25V$)								
Longitud (mm)	Energía (pJ)				Retardo (ns)			
	<i>mj</i>	<i>línea</i>	<i>sib</i>	<i>total</i>	<i>mj</i>	<i>línea</i>	<i>sib</i>	<i>total</i>
1.0	0.05	0.28	0.10	0.43	0.10	0.30	0.20	0.60
1.0*	0.05	0.23	0.06	0.34	0.10	0.25	0.22	0.57
5.0	0.05	0.67	0.51	1.23	0.10	1.64	0.45	2.19
5.0*	0.05	0.58	0.42	1.05	0.09	1.90	0.28	2.27
10.0	0.05	0.71	0.82	1.58	0.10	3.58	0.57	4.25
Longitud (mm)	Energía × Retardo (pJ × ns)							
	<i>mj</i>	<i>línea</i>	<i>sib</i>	<i>total</i>				
1.0	0.05		0.08		0.02			0.26
1.0*	0.01		0.06		0.01			0.19
5.0	0.05		1.09		0.23			2.69
5.0*	0.00		1.10		0.12			2.38
10.0	0.05		2.53		0.47			6.72

<i>mj-línea-db</i> ($V_{ddh}=1.0V, V_{tn}=0.21V$ y $ V_{tp} =0.25V$)								
Longitud (mm)	Energía (pJ)				Retardo (ns)			
	<i>mj</i>	<i>línea</i>	<i>sib</i>	<i>total</i>	<i>mj</i>	<i>línea</i>	<i>sib</i>	<i>total</i>
1.0	0.05	0.22	0.05	0.32	0.10	0.26	0.21	0.57
1.0*	0.05	0.22	0.04	0.31	0.10	0.25	0.25	0.60
5.0	0.05	0.61	0.21	0.87	0.10	1.67	0.31	2.08
5.0*	0.05	0.54	0.18	0.77	0.09	2.23	0.00	2.32
10.0	0.05	0.67	0.31	1.03	0.10	4.58	0.27	4.95
Longitud (mm)	Energía × Retardo (pJ × ns)							
	<i>mj</i>	<i>línea</i>	<i>sib</i>	<i>total</i>				
1.0	0.05		0.06		0.01			0.18
1.0*	0.01		0.05		0.01			0.18
5.0	0.05		1.09		0.07			1.81
5.0*	0.00		1.20		0.00			1.79
10.0	0.05		3.05		0.08			5.10

<i>asf-línea-lc</i> ($V_{ddh}=1.0V, V_{bus}=0.54V, V_{tn}=0.21V$ y $ V_{tp} =0.25V$)								
Longitud (mm)	Energía (pJ)				Retardo (ns)			
	<i>asf</i>	<i>línea</i>	<i>lc</i>	<i>total</i>	<i>asf</i>	<i>línea</i>	<i>lc</i>	<i>total</i>
1.0	0.05	0.13	0.04	0.22	0.08	0.14	0.31	0.53
1.0*	0.04	0.13	0.04	0.21	0.08	0.20	0.29	0.56
5.0	0.05	0.70	0.07	0.82	0.08	1.55	1.44	3.07
5.0*	0.05	0.70	0.07	0.82	0.08	1.55	1.44	3.07
10.0	0.05	1.09	0.12	1.26	0.08	4.05	3.96	8.09
Longitud (mm)	Energía × Retardo (pJ × ns)							
	<i>asf</i>	<i>línea</i>	<i>lc</i>	<i>total</i>				
1.0	0.00		0.02		0.01			0.12
1.0*	0.00		0.03		0.01			0.12
5.0	0.00		1.09		0.10			2.52
5.0*	0.00		1.09		0.10			2.52
10.0	0.00		4.42		0.48			10.19

Proceso tecnológico de $0.13\mu m$ 1.2/3.3V triple pozo de UMC.

Las entradas con 1.0* and 5.0* corresponden a los circuitos excitador-receptor optimizados con el mínimo producto energía-retardo, para longitudes de cable de 1 y 5mm. Todas las demás entradas son con circuitos optimizados para 10mm.

Las entradas con nueva optimización para los cuatro esquemas de señalización están marcadas como 1* en la Tabla 6.4.

De los datos de la Tabla 6.4, es evidente que la nueva optimización con el menor producto energía-retardo para las longitudes de cable de 5 y 1mm canjea menor disipación de potencia por mayor retardo de propagación. Un beneficio importante con la nueva optimización es la reducción de área de silicio para los circuitos excitador-recepto según se muestra en la Tabla 6.3. La reducción de área total de los circuitos excitador-receptor es más notable para *mj-sib*, en el que el ahorro de área obtenido es del 33%.

6.4.2 Una discusión acerca de las regiones con longitud de cable de interés

Del análisis de los datos de la Tabla 6.4 se pueden hacer las siguientes observaciones:

- Longitud de cable pequeña. Para una longitud de cable inferior a 1mm, el esquema *asf-lc* funciona mejor que los otros esquemas con respecto al retardo, el consumo de energía y el producto energía-retardo. Por tanto, *asf-lc* es el esquema de señalización más apropiado con las longitudes de cable más corta. Sin embargo, debe observarse que el requisito de área para *asf-lc* es un 58% mayor que la siguiente mejor opción *mj-db*. Además, *mj-db* requiere dos fuentes de alimentación.
- Longitud de cable mediana. Para una longitud de cable mediana alrededor de 5mm, el rendimiento de retardo del *mj-sib* propuesto es el mejor entre todos los esquemas de señalización. No obstante, es sólo mejor en un 2% frente al esquema propuesto para *mj-db*. Pero, el consumo de energía y el producto energía-retardo de *mj-db* son mejores que el de los otros esquemas de señalización. Por tanto, *mj-db* es el esquema de señalización adecuado con longitudes de cable medianas. Además, el requisito de área para *mj-db* es un 24% menor que el de *mj-sib*.
- Longitud de cable larga. Con una longitud de cable próxima a 10mm, *mj-sib* es, considerablemente, mejor que el resto de esquemas de señalización con respecto al rendimiento de retardo. Sin embargo, *mj-db* es un claro ganador, por un margen importante, en términos tanto de consumo de energía como de producto energía-retardo. De modo que si el rendimiento de retardo es el único criterio de diseño entonces *mj-sib* es la elección más adecuada. Pero, si, por otro lado, la disipación de energía y el producto energía-retardo son los criterios entonces *mj-db* es el esquema más apropiado. Considerando que *mj-sib* funciona sólo un 5% mejor, en términos de retardo de propagación, en general *mj-db* debería considerarse como el mejor esquema de señalización. Esto es especialmente cierto considerando que el requisito de área para *mj-db* es además un 38% menor que el de *mj-sib*.

6.4.3 Análisis de fiabilidad

De modo similar a los trabajos en [Zhang et al., 2000] y [Fer, 2001], se ha considerado la degradación de la fiabilidad con respecto a las variaciones del proceso, el ruido de la fuente de alimentación y el acoplo cruzado entre líneas usando el método del peor caso expuesto en [Dally and Poulton, 1998]. Las fuentes de ruido y los parámetros asociados utilizados con el proceso de $0.13\mu\text{m}$ de UMC se muestran en la Tabla 6.5.

Tabla 6.5: FUENTES Y PARÁMETROS DE RUIDO

Parámetro	Definición
K_C	Coefficiente de acoplo de <i>crossstalk</i> para metal 3 $K_C = \frac{C_C}{C_W + C_L + C_C} = 0.09$ $C_W = 0.23\text{pF/mm}$ para una anchura de $0.23\mu\text{m}$, $C_L = 0.25\text{pF/mm}$ $C_C = 0.05\text{pF/mm}$ para una separación de $0.4\mu\text{m}$
$Attn_C$	Atenuación estática del ruido de acoplo de <i>crossstalk</i> del excitador $Attn_C = 20\%$
K_{PS}	Ruido de la fuente de alimentación debido a la conmutación de señal en la interconexión $K_{PS} = 5\%$
$K_N = Attn_C \cdot K_C + K_{PS}$	
Rx_O	Desviación de entrada del receptor
Rx_S	Sensibilidad del receptor
PS	Ruido de la fuente de alimentación no relacionado con la señal $PS = 0.05 \times V_{ddh}$
$Attn_{PS}$	Coefficiente de atenuación de la fuente de alimentación $Attn_{PS} = \frac{\Delta V_{th}}{\Delta V_{ddh}}$ V_{th} = tensión umbral de la puerta de conmutación del receptor
Tx_O	Desviación del excitador
$V_{UR} = Rx_O + Rx_S + Attn_{PS} \cdot PS + Tx_O$	
$V_{Noise} = K_N V_{swing} + V_{UR}$	

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

En la Tabla 6.6 los valores de la SNR se evalúan con:

$$SNR = \frac{0.5 \cdot V_{swing}}{V_{Noise}},$$

donde, V_{Noise} es el ruido total introducido en la línea, estimado como $K_N V_{swing} + V_{UR}$. En este caso, el término $K_N V_{swing}$ corresponde a las componentes de ruido que son proporcionales a la amplitud de la excursión lógica de tensión en la interconexión $V_{swing} = 0.54V$, y V_{UR} representa las componentes de

[Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

[Dally and Poulton, 1998] Dally, W. and Poulton, J. (1998). *Digital Systems Engineering*. Cambridge University Press.

ruido que no están relacionadas con V_{swing} [Dally and Poulton, 1998]. Las valoraciones de la SNR para los cuatro esquemas de señalización son muy parecidas unas con otras.

Tabla 6.6: ANÁLISIS DE RUIDO

Proceso: UMC de 0.13 μ m	Circuito Excitador-Receptor V _{ddh} =1.0V, V _{bus} =0.54V V _{tn} =0.21V y V _{tp} =0.25V				
Parámetro	<i>mj-db</i>	<i>mj-sib</i>	<i>ddc-db</i>	<i>asf-lc</i>	Unidad
V_{swing}	0.54	0.54	0.54	0.54	V
K_C	0.09	0.09	0.09	0.09	-
$Attn_C$	0.20	0.20	0.20	0.20	-
K_{PS}	0.05	0.05	0.05	0.05	-
K_N	0.07	0.07	0.07	0.07	-
$K_N \cdot V_{swing}$	0.05	0.05	0.05	0.05	V
Rx_O	0.06	0.07	0.06	0.02	V
Rx_S	0.03	0.03	0.03	0.01	V
PS	0.05	0.05	0.05	0.05	V
$Attn_{PS}$	0.45	0.50	0.45	0.08	-
Tx_O	0.02	0.02	0.02	0.02	V
V_{UR}	0.13	0.14	0.13	0.05	V
V_{Noise}	0.18	0.19	0.18	0.10	V
SNR	1.50	1.42	1.50	2.70	-

Proceso tecnológico de 0.13 μ m 1.2/3.3V triple pozo de UMC.

6.5 Conclusiones

En este Capítulo se presentó el diseño de dos nuevos esquemas de señalización LHOS. Se mostró que con longitudes de cable de moderadas a largas dimensiones los esquemas propuestos funcionan mejor que los otros esquemas en términos de retardo, energía, y producto energía-retardo. Además, el *mj-sib* y el *mj-db* propuesto no requieren tensiones de referencia, ni procesos de múltiples tensiones umbrales.

El circuito *mj-sib* propuesto se analizó con una longitud de interconexión de 1mm a 10mm y una carga adicional de 0.25pF/mm. Con una fuente de alimentación de 1.0V, una longitud de cable de 10mm, una capacidad de carga de salida extra de 2.5pF, y la carga de salida de 25fF del receptor, se obtuvo un ahorro máximo del producto energía-retardo de un 2% y 34%, cuando se compara con las respectivas topologías de circuito del *ddc-db* y *asf-lc*.

Además, el esquema de señalización *mj-db* superó al *mj-sib*, *ddc-db* y *asf-lc* un 32%, 25% y 50% respecto al rendimiento del producto energía-retardo.

Circuito excitador CMOS de alta carga capacitiva con sobre-excitación directa

Índice General

7.1	Introducción	114
7.2	Estructuras del circuito excitador	119
7.3	Funcionamiento del circuito	120
7.4	Evaluación comparativa	123
7.5	Conclusiones	125

Resumen:

EN este Capítulo se presenta un nuevo circuito excitador CMOS de 2.5V y alta carga capacitiva, que utiliza una técnica de sobre-excitación directa con diseño digital VLSI CMOS de baja tensión. El circuito excitador propuesto (*M-driver*)¹ tiene una gran mejora en velocidad y consumo de potencia al excitar altas cargas capacitivas en comparación con otras técnicas convencionales, indirectas, y directas. Además, este circuito proporciona una tensión de salida que supera los 3V durante un corto período de tiempo. La medida del tiempo de retardo de propagación para las transiciones de alto a bajo (t_{phl}) y de bajo a alto (t_{plh}) permite determinar el mejor excitador CMOS entre el propuesto y los ya publicados. También, se obtiene una reducción adicional del consumo de potencia de la fuente de alimentación incluyendo otras técnicas de circuitos.

En el Capítulo, además, se expone una comparación entre cuatro circuitos excitadores con sobre-excitación directa. Los excitadores se basan en el esquema de un circuito excitador CMOS de alta carga capacitiva con alimentación inferior a 1V usando la técnica de sobre-excitación directa [Chen and Kuo, 2002]. Al análisis transitorio de

¹El trabajo presentado en este Capítulo se ha divulgado como presentación interactiva en la Conferencia y Exhibición de Diseño, Automatización y Test en Europa (DATE), celebrada en Febrero de 2004, en París, Francia.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265-266.

los excitadores le sigue la evaluación y discusión de las prestaciones según sus estructuras.

La Sección 7.2 describe la técnica de sobre-excitación directa propuesta. En la Sección 7.3, se expone con detalle el principio de operación de los excitadores, y en la Sección 7.4 se hace una evaluación comparativa. Por último, en la Sección 7.5, se aportan las conclusiones.

Se propone un nuevo excitador de sobre-excitación directa que mejora el retardo de la técnica de sobre-excitación indirecta [Yeo et al., 2000]. Además, el nuevo excitador diseñado consume un 20% menos de potencia, mejora un 30% el retardo e incrementa ligeramente el área, en comparación con el circuito excitador de sobre-excitación directa referido.

Palabras clave: Sobre-excitación directa, velocidad de conmutación.

7.1 Introducción

Considerando el análisis realizado en el Capítulo 1 y usando los fundamentos estudiados respecto al diseño de circuitos excitadores y receptores para interconexiones largas, se propone un conjunto de circuitos excitadores que aportan mejoras en las prestaciones ofrecidas por las topologías ya publicadas y tomadas como referencia de comparación.

Los circuitos excitadores pueden considerarse necesarios como circuitos de salida haciendo de interfaz entre otros circuitos VLSI y el exterior. De ahí que a un circuito excitador se le debe de exigir poco consumo de potencia, alta velocidad de conmutación, y área pequeña.

En las actuales y futuras generaciones de circuitos VLSI CMOS, la tendencia inevitable es el uso de una baja tensión de alimentación. Ya que no se pueden reducir la escalas de las tensiones umbral de los dispositivos CMOS de acuerdo con la tensión de alimentación, se propone asumir el reto de diseñar excitadores con una buena capacidad de excitación usando una pequeña tensión de alimentación [Lou and Kuo, 1997a] y [Chen and Kuo, 2002].

Los circuitos CMOS, y los excitadores con dimensiones por debajo de la micra que usan tensiones de alimentación bajas se realizan con procesos de pequeña tensión umbral. Sin embargo, una tensión umbral muy baja incrementa la corriente sub-umbral, y con ello el consumo de corriente en reposo. De este modo, uno de los grandes objetivos de las aplicaciones VLSI es el

[Yeo et al., 2000] Yeo, K. S., Ma, J. G., and Do, M. A. (2000). Ultra-low-voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

desarrollo de nuevos excitadores CMOS capaces de trabajar con fuentes de alimentación bajas.

Algunas de las técnicas utilizadas para obtener una excursión lógica de salida completa y reducir los retardos de propagación, son [Brauer and Elamanchili, 1997]:

- Circuito BiNMOS .
- Realimentación y derivación.
- Circuitos complementarios y casi-complementarios.
- *Sobre-excitación*.
- Saturación transitoria.

Según el ITRS [ITR, 2002], y las valoraciones realizadas por el *Consortio de Tecnología de Fabricación de Semiconductor* (SEMATECH)² [SEM, 2007], una reducción de la tensión de alimentación está impulsada por varios factores: un decremento de la disipación de potencia y de la longitud de canal del transistor, y la fiabilidad de los dieléctricos de puerta. La elección de un valor específico de V_{dd} sigue siendo parte del análisis asumido para optimizar simultáneamente la velocidad y la potencia de un circuito integrado, y concluye con un margen de tensiones de alimentación utilizable en cada generación de productos. Se espera alcanzar valores de V_{dd} tan bajos como 0.5V en el 2013, y de 0.4V en el 2016.

Tensiones de alimentación extremadamente bajas significan corrientes de fuga elevadas y baja capacidad de excitación. En 1994, se propuso un esquema para conectar la puerta al cuerpo de un *Transistor de Efecto de Campo de tipo Metal Óxido Semiconductor* (MOSFET)³ (SOD)⁴ como solución de compromiso. Esa solución adoptada se denominó *MOS de Tensión Umbral Dinámica* (DTMOS)⁵. Sin embargo, existen algunos inconvenientes. La tensión de alimentación más baja está limitada a 0.5V porque la polarización directa de la unión fuente-sustrato produciría una corriente de puerta excesiva. Además, la penalización en área es elevada y el proceso de fabricación es complejo [Lindert et al., 1999].

Las técnicas convencionales de diseño de circuitos CMOS/BiCMOS ya no son prácticas porque proporcionan con frecuencia circuitos que tienen un gran

²Traducción del término inglés *Semiconductor Manufacturing Technology*.

³Traducción del término anglosajón *Metal Oxide Semiconductor Field Effect Transistor*.

⁴Traducción del término inglés *Silicon-on-Insulator*.

⁵Traducción del término anglosajón *Dynamic Threshold MOS*.

[Brauer and Elamanchili, 1997] Brauer, E. J. and Elamanchili, P. (1997). A full-swing bootstrapped BiCMOS buffer. In *Proc. IEEE*, pages 8–13.

[ITR, 2002] (2002). International Technology Roadmap for Semiconductor: 2002 update. Technical report, available <http://public.itrs.net>.

[SEM, 2007] (2007). International SEMATECH, Austin, Texas 78741. Available <http://www.semtech.org/publications/index.htm>.

[Lindert et al., 1999] Lindert, N., Sugii, T., Tang, S., and Hu, C. (1999). Dynamic threshold pass-transistor logic for improved delay at lower power supply voltages. In *IEEE J. Solid-State Circuits*, volume 34, pages 85–89.

retardo o disipan una elevada potencia. Incluso, algunos circuitos fallan con una tensión de alimentación baja. También, la técnica de saturación transitoria necesita un área grande y un proceso BiCMOS complementario de altas prestaciones.

Como alternativa, una técnica dinámica de circuito, llamada *sobre-excitación*, utiliza un condensador para acoplar carga desde una fuente. La carga sobre-excita un nodo interno, o de salida, por encima de la tensión de alimentación para conseguir una excursión lógica de tensión de salida completa o una alta velocidad de conmutación. Además, el rendimiento del circuito que utiliza la técnica de sobre-excitación es insensible a cambios secundarios en las variaciones de los procesos. La técnica de sobre-excitación indirecta consiste en conectar un nodo del condensador de sobre-excitación a la puerta de los transistores PMOS/NMOS de salida del circuito excitador. Mientras que, en la técnica de sobre-excitación directa, un nodo del condensador de sobre-excitación es el puerto de salida del excitador.

Los circuitos excitadores se pueden hacer utilizando un proceso CMOS de pozo simple a diferencia de otros circuitos que necesitan implementarse usando tecnología CMOS de pozos gemelos⁶ [Lou and Kuo, 1997a].

Se puede ajustar dinámicamente la tensión umbral modulando la polarización del sustrato, y tener distintos valores de estado de conducción y corte. Se han analizado varios estilos lógicos DTMOS para el uso de muy baja tensión de alimentación de 1.5 a 0.5V.

Es esencial investigar los compromisos y limitaciones asociadas con el decremento de la tensión de alimentación. Una razón para ello, es que la corriente de excitación depende de la tensión $V_{dd}-V_t$, y una reducción de la tensión de alimentación produce un aumento excesivo del tiempo de retardo.

Por otra parte, es crucial mantener V_t/V_{dd} casi constante para escalar las tensiones de alimentación sin padecer degradación de las prestaciones. Los valores aceptables de V_t/V_{dd} están entre 1/4 y 1/5 [Lindert et al., 1999].

La Figura 7.1 ilustra tres conexiones diferentes al sustrato respecto al dispositivo CMOS convencional. Ellas proporcionan una mejora en el tiempo de retardo con una fuente de alimentación baja en una puerta inversora. La primera variante es el inversor DTMOS. El segundo inversor es similar al primero pero con un transistor limitador para mantener la tensión de la unión sustrato-fuente a 0.5V con polarización directa. Para un funcionamiento más eficiente del inversor, las tensiones de referencia se mantienen a $0.5+V_t$ para los transistores NMOS y a $V_{dd}-(0.5 + |V_t|)$ para los PMOS. El tercer inversor también usa dispositivos para aumentar la corriente de excitación. Cualquier exceso de corriente causado por la polarización directa se usa para cargar/descargar la salida. Con tensiones de alimentación inferiores a 0.5V,

⁶Traducción del término inglés *twin-well*.

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[Lindert et al., 1999] Lindert, N., Sugii, T., Tang, S., and Hu, C. (1999). Dynamic threshold pass-transistor logic for improved delay at lower power supply voltages. In *IEEE J. Solid-State Circuits*, volume 34, pages 85–89.

la comparación del retardo para los cuatro inversores muestra que la elección apropiada es la del inversor DTMOS.

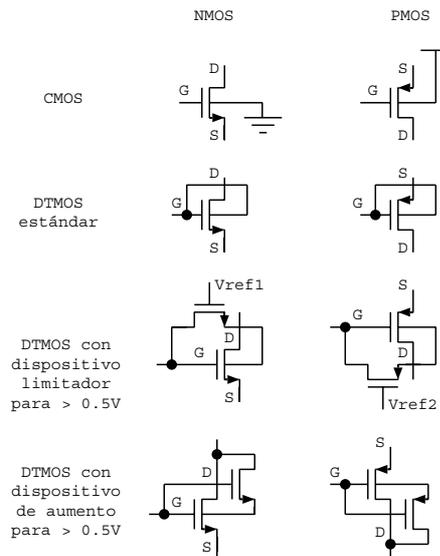


Figura 7.1: Cuatro diseños mostrando distintas conexiones al sustrato.

Un circuito excitador CMOS sobre-excitado de excursión lógica completa, alimentado con 1.5V, y compuesto por un segmento fundamental y un segmento de sobre-excitación, se presentó en [Lou and Kuo, 1997a]. Además de los dos dispositivos NMOS y PMOS, se incluyen un inversor CMOS y dos condensadores de sobre-excitación en el segmento de sobre-excitación. Los dos transistores NMOS juntos con un condensador de sobre-excitación se usan para el transitorio de subida—transición de la tensión de salida de bajo a alto—mientras que, los dos transistores PMOS juntos con el otro condensador de sobre-excitación se usan para la transición de bajada—transición de alto a bajo.

Durante el transitorio de subida o de bajada, el funcionamiento del circuito excitador CMOS sobre-excitado de excursión lógica completa, alimentado con 1.5V, se divide en dos períodos respecto al condensador de sobre-excitación:

1. período de construcción de carga, y
2. período de sobre-excitación

El circuito excitador propuesto en [Lou and Kuo, 1997a] se diseñó utilizando tecnología de pozos gemelos CMOS de $0.8\mu m$ y proporcionó una mejora de 2.2 veces en la velocidad de conmutación para excitar una carga capacitiva de 10pF al compararlo con el circuito excitador CMOS convencional.

La *sobre-excitación* es una de las técnicas más prometedoras para mantener la velocidad de los circuitos CMOS con tensiones de alimentación bajas. En [Kong and Jun, 1999] se mostró un excitador de tipo *latch* CMOS

[Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power-efficient low-voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.

sobre-excitado de baja tensión y potencia eficiente, utilizando un sólo condensador de sobre-excitación para aumentar la velocidad, y con sobre-excitación bajo demanda para reducir la potencia. A medida que los nodos de sobre-excitación estén con niveles de tensión de sobre-excitación sólo durante los períodos de transición de la salida, el estrés del óxido de puerta de los transistores de salida podrá reducirse. El excitador tipo *latch* propuesto en [Kong and Jun, 1999] se evaluó utilizando una tecnología con proceso CMOS de $0.35\mu\text{m}$ y proporcionó mejoras de velocidad de conmutación de 15–30%, con un consumo de potencia un 33% menor que el del circuito convencional.

A diferencia de la configuración tradicional en la que la etapa de salida consta de un PMOS sobre un NMOS, la etapa de salida del diseño en [Yeo et al., 2000] implica el uso de dos dispositivos NMOS. Esa configuración produce una corriente de fuente mayor debido al NMOS de la sección de subida, por lo que la velocidad del circuito se incrementa. El circuito excitador propuesto en [Yeo et al., 2000] puede realizarse utilizando un proceso CMOS de pozo simple estándar. Con una tensión de alimentación de 0.5V y una carga de 1pF, el retardo de propagación y el consumo de potencia es del 63% y sólo un 5% mayor que el del excitador CMOS de dos etapas, respectivamente. Como muestra la Figura 7.2, la carga de C_{boot1} se perderá con el tiempo y un pequeño transistor, P5, es necesario para mantener la tensión de salida en alto si el circuito permanece sin conmutar un tiempo largo.

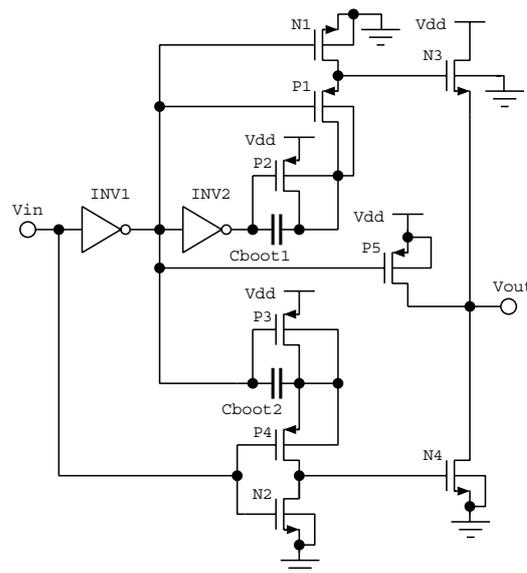


Figura 7.2: Excitador CMOS con sobre-excitación indirecta.

La técnica de sobre-excitación indirecta a través de la puerta del dispositivo de salida puede que no sea efectiva para aumentar la velocidad de conmutación de la salida en aplicaciones de altas prestaciones. En [Chen

[Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power-efficient low-voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.

[Yeo et al., 2000] Yeo, K. S., Ma, J. G., and Do, M. A. (2000). Ultra-low-voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.

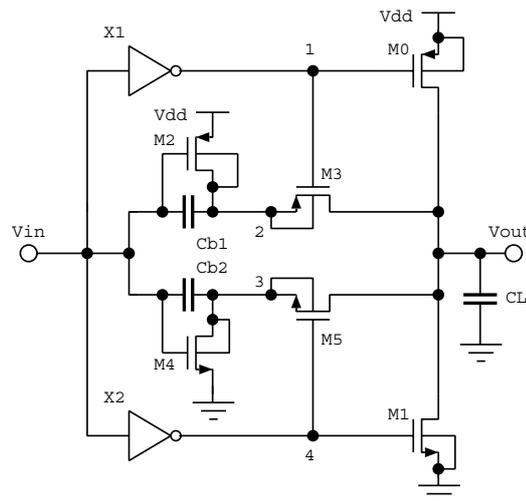


Figura 7.3: Excitador CMOS con sobre-excitación directa.

and Kuo, 2002] se presenta un circuito excitador CMOS sub-1V usando una técnica de sobre-excitación directa. Como se muestra en la Figura 7.3, el condensador de sobre-excitación C_{b1}/C_{b2} se conecta al nodo de salida mediante $M3/M5$, en lugar de hacerlo a la puerta del dispositivo de salida, según se hace en otras técnicas de sobre-excitación indirecta.

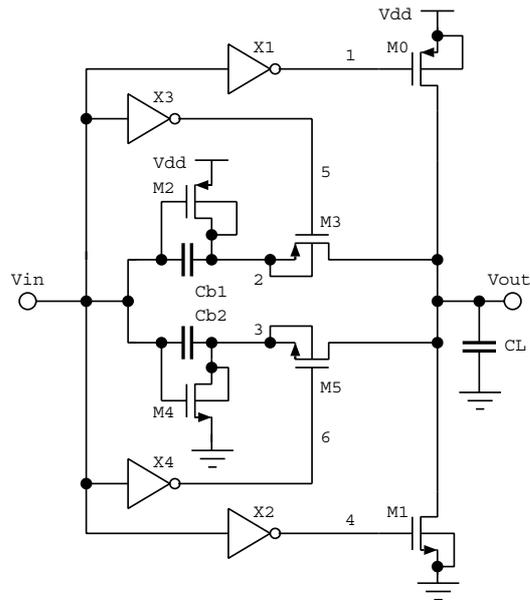
Con una carga de 2pF, la mejora en velocidad del circuito excitador que emplea la técnica de sobre-excitación directa frente a la sobre-excitación indirecta es de 3.3 veces. La efectividad de la técnica de sobre-excitación directa utilizada en el circuito excitador está determinada por los condensadores de sobre-excitación. Con condensadores de sobre-excitación grandes se reduce el tiempo de conmutación, lo cual es importante especialmente con una gran carga capacitiva de salida. El tamaño del condensador de sobre-excitación está limitado por el valor de la sobre/infra tensión en el nodo interno 2/3 durante la subida/bajada, la cual puede originar la polarización directa de la unión pn entre fuente/drenador-sustrato.

7.2 Estructuras del circuito excitador

En este Capítulo, se propone un nuevo excitador CMOS de sobre-excitación directa que mejora la velocidad de la estructura mostrada en la Figura 7.3. Como primera mejora, se aumenta la capacidad de excitación de los nodos 1 y 4 desconectando las puertas de $M3$ y $M5$, respectivamente. El control de los transistores $M3$ y $M5$ se consigue con la generación de señales de entrada invertidas con $X3$ y $X4$, respectivamente. La Figura 7.4 ilustra la nueva estructura del excitador, el cual se denomina *H-driver*.

Para mejorar el consumo de potencia del excitador inicial, los inversores $X3$ y $X4$ excitan a los transistores $M2$ y $M4$, respectivamente. Esta configuración

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

Figura 7.4: *H-driver*.

se ilustra en la Figura 7.5, y se llama *T-driver*.

Por último, y con el fin de superar los factores limitantes en ambos excitadores propuestos, se introducen la configuración ilustrada en la Figura 7.6, llamada *M-driver*.

Para entender cómo el bombeo de carga genera una tensión mayor que la tensión de alimentación, se considera el circuito mostrado en la Figura 7.7. Durante la fase de reloj Φ , S1 y S3 están cerrados y C se carga a Vdd. Después S2 se cierra y la placa inferior del condensador adquiere un potencial Vdd mientras el condensador conserva su carga desde la fase anterior. Eso significa que durante la fase $\bar{\Phi}$: $V_{out} - V_{dd} \cdot C = V_{dd} \cdot C \Rightarrow V_{out} = 2 \cdot V_{dd}$.

Así, se genera una tensión que es el doble de la tensión de alimentación.

7.3 Funcionamiento del circuito

El funcionamiento de los excitadores mostrados en la Figuras 7.4, 7.5 y 7.6, es similar. Sus estructuras constan de tres etapas:

- Circuito de control de señal,
- circuito de bombeo positivo y negativo, y
- circuito de excitación.

Ya que *M-driver* es un híbrido de *H-driver* y *T-driver*, se describirá éste en detalle. También, el principio de funcionamiento de *M*, *H* y *T-drivers* es similar.

El circuito de control de señal consta de los inversores X1 a X4. Se usan para generar la señal invertida del puerto de entrada V_{in} . X1 y X2 controlan los transistores de subida y bajada alternativamente. Mientras que, X3 y X4

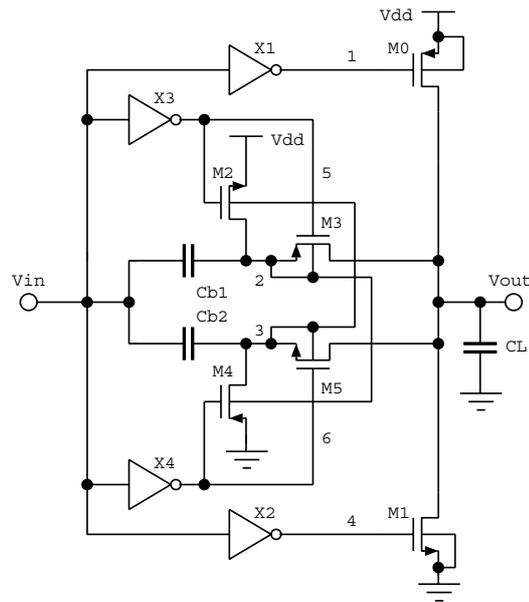


Figura 7.5: *T-driver*.

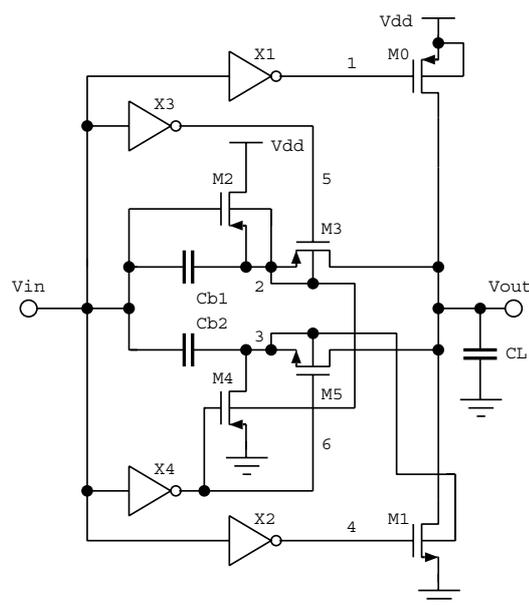


Figura 7.6: *M-driver*.

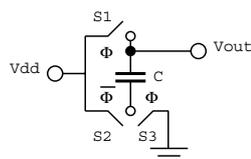


Figura 7.7: Doblador de tensión sencillo.

controlan un transistor de paso para que directamente suba o baje el puerto de salida, respectivamente.

La segunda etapa es un circuito de bombeo positivo o negativo. Consta de un transistor con un condensador de bombeo para un bombeo de tensión positivo y negativo.

La última etapa es el circuito excitador, está formado por un par de transistores PMOS y NMOS, M_0 y M_1 , respectivamente.

Antes del funcionamiento de subida, el condensador de sobre-excitación C_{b1} se precarga a V_{dd} mediante M_2 . Durante el ciclo de subida, V_{in} es un nivel lógico alto y V_1 , V_3 , V_5 y V_6 están a nivel bajo, haciendo que M_3 y M_0 conduzcan, y que M_2 se corte. Con M_3 en conducción, los nodos 2 y V_{out} se sobre-excitan, y la salida pasa a alto rápidamente. Mientras M_4 se activa para precargar C_{b2} , V_6 tiene un nivel bajo para cortar a M_5 , y V_4 está a nivel bajo para cortar a M_1 .

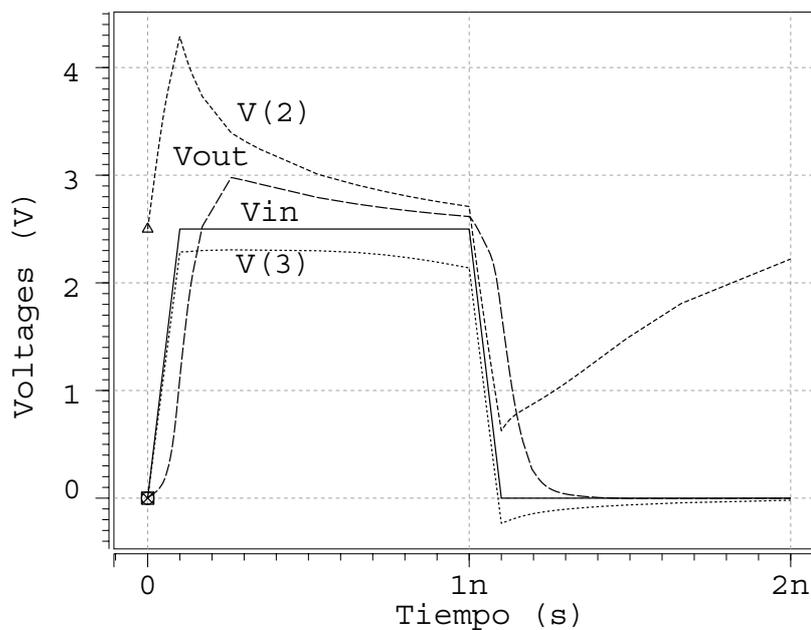


Figura 7.8: Formas de onda transitorias del M -driver.

Durante el funcionamiento de bajada, el esquema es complementario. En esa fase, V_{in} está a nivel bajo y V_1 , V_2 , V_5 y V_6 están a nivel alto, haciendo que M_5 y M_1 se activen, y M_4 se corte. Con M_5 en conducción, los nodos 3 y V_{out} se sobre-excitan, y la salida se pone a nivel lógico bajo rápidamente. Mientras M_2 se activa para precargar C_{b1} , V_5 tiene un nivel alto para cortar a M_3 , y V_1 tiene un nivel alto para cortar a M_0 . La Figura 7.8 ilustra las formas de onda de los nodos 2, 3 y V_{out} . Se puede observar que la tensión de salida supera 3.0V durante un corto período de tiempo.

7.4 Evaluación comparativa

En esta Sección, se expone una comparación entre los circuitos excitadores propuestos *M-driver*, *H-driver* y *T-driver* respecto a los mejores resultados publicados *D-driver*—el excitador con sobre-excitación directa mostrado en la Figura 7.3. Todos los circuitos se diseñaron usando un proceso de $0.25\mu\text{m}$ *Silicide Auto-Alineado* (SALICIDE)⁷ CMOS para 2.5V de UMC. Las simulaciones se realizarán a una frecuencia de 500MHz y los tiempos de subida y bajada se fijaron a 100ps.

En la Tabla 7.1 se ilustran las prestaciones de velocidad de los circuitos para varias cargas capacitivas a 2.5V. Los resultados muestran que *M-driver* supera a *D-driver*, y representa un compromiso entre bajo t_{plh} y potencia. Sin embargo, *M-driver* es el más rápido en las transiciones de bajada. Aunque *T-driver* tiene una buena velocidad, consume la menor potencia. *H-driver* es más rápido que *D-driver* pero presenta un alto consumo de potencia.

Tabla 7.1: PRESTACIONES Y COMPARACIONES.

CL (pF)	D-driver			H-driver			T-driver			M-driver		
	t_{plh} (ps)	t_{phl} (ps)	Pot. (mW)									
2	82.65	87.49	58.94	56.08	65.04	59.24	56.61	74.37	43.16	54.73	71.86	45.89
3	100.16	109.18	65.07	71.39	82.65	65.57	72.04	93.96	49.39	69.88	92.05	52.39
4	118.30	131.39	70.27	87.80	100.68	71.16	88.39	116.71	54.43	85.95	112.36	57.22
5	137.59	153.04	74.70	105.22	118.31	75.73	106.10	139.58	59.24	103.38	132.69	61.57
6	158.19	173.34	78.48	123.79	134.83	79.67	124.47	161.65	62.66	121.57	151.75	65.14
7	180.0	191.63	81.84	143.47	150.0	83.10	143.92	180.06	65.69	140.63	169.34	68.18
8	203.04	207.54	84.64	164.27	163.40	86.06	164.70	198.18	68.55	161.24	185.01	70.75

La Figura 7.9 y la Figura 7.10 proporcionan una comparación de la velocidad de conmutación frente a las variaciones de la capacidad de carga en el nodo de salida.

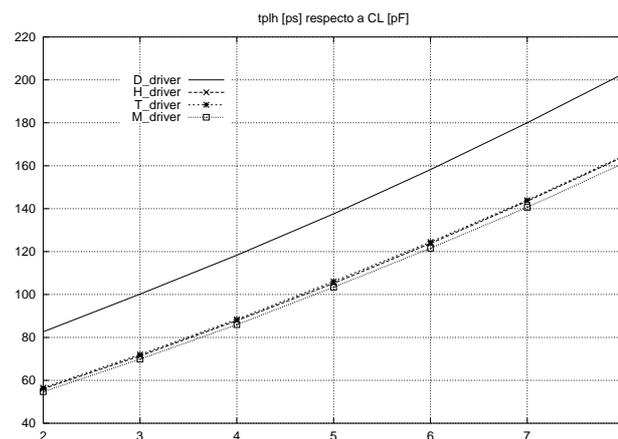


Figura 7.9: Tiempo de retardo de subida respecto a la capacidad de carga de salida.

⁷Traducción del término inglés *Self-Aligned Silicide*.

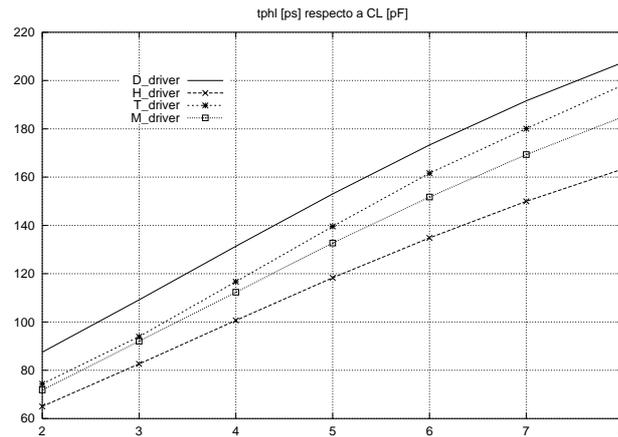


Figura 7.10: Tiempo de retardo de bajada respecto a la capacidad de carga de salida.

M-driver ocupa un área activa de $94.24\mu\text{m}^2$, mientras que *D-driver* consume un área activa de $78\mu\text{m}^2$. No obstante, *H-driver* tiene un área activa de $94.08\mu\text{m}^2$, y *T-driver* requiere un área activa de $95.20\mu\text{m}^2$.

Según se muestra en la Figura 7.11, *M-driver* presenta menor disipación de potencia que el convencional *D-driver*.

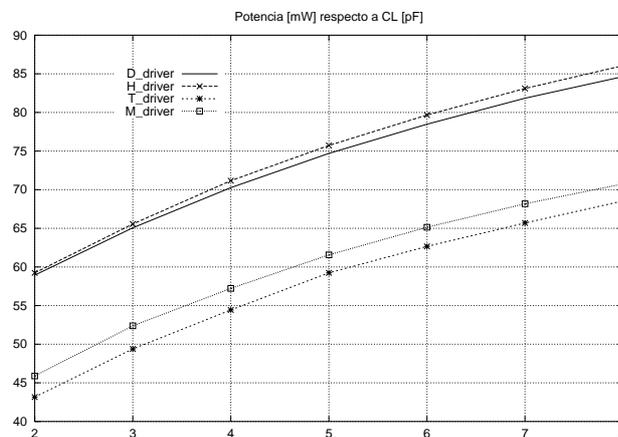


Figura 7.11: Consumo de potencia respecto a la capacidad de carga de salida.

Para obtener una comparación más justa entre los diversos circuitos excitadores se define una Figura de Mérito, con el producto de las prestaciones de área activa, retardo y potencia. La Figura 7.12 presenta la Figura de Mérito en función de la capacidad de carga para los excitadores. Como muestra la Figura 7.13 *T-driver* y *M-driver* tienen la mejor Figura de Mérito. Sin embargo, *M-driver* es un circuito más rápido que *T-driver*.

7.5 Conclusiones

En este Capítulo, se ha introducido un nuevo excitador CMOS de sobre-excitación directa, denominado *M-driver*. Este circuito representa el mejor compromiso en términos de velocidad, potencia y área activa entre otros circuitos excitadores publicados, utilizando un proceso de $0.25\mu\text{m}$ SALICIDE CMOS para 2.5V de UMC. El circuito excitador consume menos de un 20% del consumo de potencia del convencional *D-driver* [Chen and Kuo, 2002]. Además, el circuito excitador propuesto mejora tanto el tiempo de retardo de subida como el de bajada. El tiempo de retardo de propagación se reduce un 30%, y un nivel de tensión alto en la salida supera 3.0V durante un corto instante de tiempo, en comparación con *D-driver*.

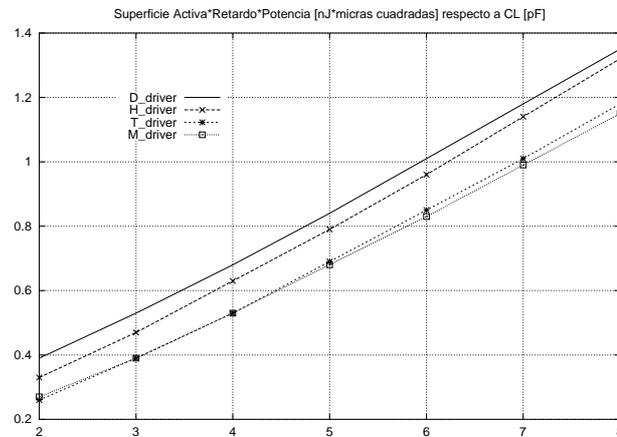


Figura 7.12: Área activa · Retardo · Potencia respecto a la capacidad de carga.

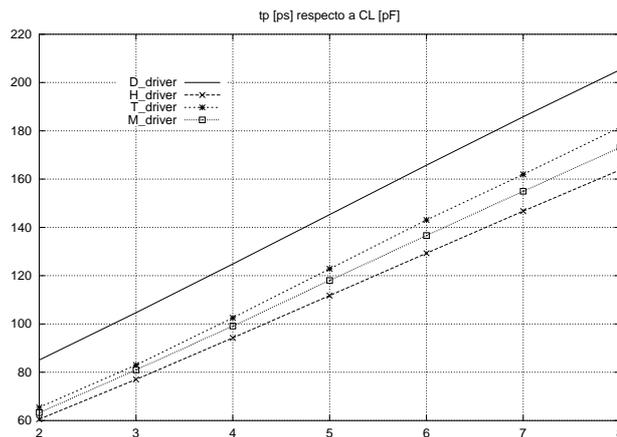


Figura 7.13: Tiempo del retardo de propagación en función de la capacidad de carga.

Excitador CMOS eficiente en potencia con sobre-excitación de un solo condensador

Índice General

8.1	Introducción	128
8.2	Estructura del circuito <i>F-driver</i>	130
8.3	Funcionamiento del circuito <i>F-driver</i>	131
8.4	Comparación y discusiones	134
8.5	<i>F-driver</i> en tecnología CMOS de sustrato estándar	137
8.6	Conclusiones	140

Resumen:

EN este Capítulo se presenta un circuito excitador (*F-driver*)¹ de baja potencia y alta velocidad que utiliza un solo condensador de sobre-excitación. El circuito que se propone supera las ventajas de otros excitadores CMOS de sobre-excitación en términos de consumo de potencia y área activa bajo similares condiciones de carga y parámetros del circuito, cuando se implementa con un proceso CMOS de $0.13\mu\text{m}$ con triple pozo de UMC.

La Sección 8.1 expone algunos estudios y diseños para abordar los problemas relativos a los excitadores actualmente disponibles. El resto del Capítulo está organizado como sigue. En la Sección 8.2 se introduce la estructura del *F-driver*. Posteriormente, en la Sección 8.3 se describe el principio de funcionamiento del circuito *F-driver*. En la Sección 8.4 se analizan las prestaciones del circuito *F-driver* y

¹El trabajo presentado en este Capítulo se ha divulgado en el Simposio del Medio Oeste de Circuitos y Sistemas (MWSCAS) del IEEE, celebrado en Agosto de 2005, en Cincinnati, EEUUA. El artículo aceptado se titula: “*A Single Capacitor Bootstrapped Power Efficient CMOS Driver*”.

Además, se expuso en la Conferencia de Diseño de Circuitos y Sistemas Integrados (DCIS), en Noviembre de 2005, en Lisboa, Portugal, con el título: “*A High Speed and Low Power Consumption Bootstrapped CMOS Inverting Driver*”.

Y, por último, se encuentra publicado como artículo breve en la revista del IEEE de Circuitos y Sistemas II (TICAS II) en Septiembre de 2006 (ISS 1057-7130), volumen 53, número 9, páginas 877 a 881, y titulado: “*A Single Capacitor Bootstrapped Power Efficient CMOS Driver*”.

se proporcionan los resultados de simulación. La Sección 8.5 implementa el *F-driver* con sustrato estándar CMOS. Y, por último, la Sección 8.6 concluye el Capítulo.

Con una tensión de alimentación de 1.2V, la *Figura de Mérito* para el *F-driver* es de 2.5 a 5.5 veces mejor que la de otros excitadores de sobre-excitación directa estudiados, y puede funcionar con una tensión de alimentación mínima de 0.45V.

Palabras clave: Excitador sobre-excitado, capacidad de acoplo, baja tensión.

8.1 Introducción

La sobre-excitación es una técnica eficiente para aumentar la velocidad y reducir la potencia. La mayoría de los circuitos de sobre-excitación están basados en tecnología BiCMOS [Suriyaammaranon et al., 2000] y [Rofail et al., 1999]. Pero con una reducción de la tensión de alimentación por debajo de 1.5V el uso de las técnicas de diseño de circuitos BiCMOS convencionales ya no es posible.

La investigación en el diseño de excitadores que usan técnicas de circuitos de sobre-excitación en CMOS se ha acelerado recientemente con el uso extendido de los circuitos CMOS de baja tensión y baja potencia [Zhang et al., 2002], [Waltari and Halonen, 2002], [Lou and Kuo, 1997a], [Chong-Fatt et al., 1999], [Kiat-Seng et al., 2000], [Chen and Kuo, 2003], [Chen and Kuo, 2004],

-
- [Suriyaammaranon et al., 2000] Suriyaammaranon, C., Dejhan, K., Cheevasuvit, F., and Soonyeechan, C. (2000). A high speed and low voltage BiCMOS tristate buffer with positive and negative charge pump. In *Proc. of the IEEE Int. Conf. On Electronics, Circuits, and Systems (ICECS)*, volume 1, pages 11–14.
- [Rofail et al., 1999] Rofail, S. S., Seng, Y. K., and Yeo, K. S. (1999). *Low-voltage low-power digital BiCMOS circuits: Circuit design, comparative study, and sensitivity analysis*. Upper Saddle Rivert, NJ: Prentice Hall.
- [Zhang et al., 2002] Zhang, Y., Chen, H. H., and Kuo, J. B. (2002). 0.8V CMOS adiabatic differential switch logic circuit using bootstrap technique for low-voltage low-power VLSI. In *Electronics Letters*, volume 38, pages 1497–1499.
- [Waltari and Halonen, 2002] Waltari, M. and Halonen, K. (2002). Bootstrapped switch without bulk effect in standard CMOS technology. In *Electronics Letters*, volume 38, pages 555–557.
- [Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.
- [Chong-Fatt et al., 1999] Chong-Fatt, L., Kiat-Seng, Y., and Rofail, S. S. (1999). Sub-1V bootstrapped CMOS driver for giga-scale-integration era. In *Electronics Letters*, volume 35, pages 392–393.
- [Kiat-Seng et al., 2000] Kiat-Seng, Y., Jian-Guo, M., and Manh-Anh, D. (2000). Ultra low voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.
- [Chen and Kuo, 2003] Chen, J. H. T. and Kuo, J. B. (2003). Ultra-low-voltage SOI CMOS inverting driver circuit using effective charge pump based on bootstrap technique. In *Electronics Letters*, volume 39, pages 183–185.
- [Chen and Kuo, 2004] Chen, H. P. and Kuo, J. B. (2004). A 0.8V CMOS TSPC adiabatic DCVS logic circuit with the bootstrap technique for low-power VLSI. In *IEEE Int. Conference on Electronics, Circuits and Systems (ICECS)*, pages 175–178.

[Chen and Kuo, 2002], y [García et al., 2004]. La sobre–excitación en CMOS requiere acceso a los nodos del sustrato de los dispositivos PMOS y NMOS. Los diseños en [Lou and Kuo, 1997a], [Chong-Fatt et al., 1999], [Chen and Kuo, 2003], [Chen and Kuo, 2002], y [García et al., 2004] dependen de los procesos CMOS de pozos gemelos para proporcionar acceso a los nodos del sustrato. El diseño de la sobre–excitación en [Kiat-Seng et al., 2000] emplea un proceso de pozo p solamente, y usa dispositivos NMOS, tanto en operaciones de conmutación de subida como de bajada. Sin embargo, esto no permitirá una excursión lógica de tensión completa durante la subida debido a la pérdida de tensión umbral en el transistor NMOS. Los diseños en [Zhang et al., 2002], [Waltari and Halonen, 2002], [Lou and Kuo, 1997a], [Chong-Fatt et al., 1999], [Kiat-Seng et al., 2000], [Chen and Kuo, 2003], [Chen and Kuo, 2004] consiguen la sobre–excitación mediante una técnica indirecta. En la técnica indirecta, la sobre–excitación se aplica en las puertas de los dispositivos de la etapa de salida del circuito excitador para mejorar la capacidad de excitación durante las transiciones de conmutación. No obstante, ya que la tensión umbral de los dispositivos MOS no reduce su escala con el mismo factor de la fuente de alimentación, la sobre–excitación indirecta no puede ser muy efectiva en excitar grandes cargas capacitivas [Chen and Kuo, 2002], y [García et al., 2004]. La técnica alternativa es la sobre–excitación directa. En esta técnica la sobre–excitación se aplica directamente al nodo de salida, por lo que mejora la velocidad del excitador [García et al., 2004].

Los circuitos CMOS de sobre–excitación publicados en [Zhang et al., 2002], [Waltari and Halonen, 2002], [Lou and Kuo, 1997a], [Chong-Fatt et al., 1999], [Kiat-Seng et al., 2000], [Chen and Kuo, 2003], [Chen and Kuo, 2004], [Chen and Kuo, 2002], y [García et al., 2004] requieren dos condensadores de sobre–excitación; uno para la sobre–excitación durante la transición de conmutación de bajo a alto, y otro para la de alto a bajo.

En este Capítulo, se proporciona un nuevo circuito excitador con sobre–excitación, denominado *F–driver*, el cual presenta mejoras en términos de velocidad, potencia y área frente a los circuitos excitadores con sobre–excitación indirecta en [Lou and Kuo, 1997a], y [Kiat-Seng et al., 2000], el circuito excitador con sobre–excitación directa [Chen and Kuo, 2002], y un excitador inversor de dos etapas, cuando se implementa en un proceso CMOS de $0.13\mu\text{m}$ con pozo triple de UMC. En la técnica de sobre–excitación directa propuesta, la tensión en los condensadores de sobre–excitación se acopla directamente al nodo de salida durante las transiciones de conmutación. También, el diseño propuesto necesita un solo condensador de sobre–excitación para sobre–excitar ambas transiciones de conmutación.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub–1V CMOS large capacitive–load driver circuit using direct bootstrap technique for low–voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

[García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive–load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

8.2 Estructura del circuito *F-driver*

El diagrama del circuito *F-driver* se muestra en la Figura 8.1. Este circuito proporciona una excursión lógica completa en la salida, y a diferencia de otros diseños de sobre-excitación publicados, sólo requiere un simple condensador de sobre-excitación para acoplar la carga de los nodos internos 1 y 2 hacia el nodo de salida V_{out} . Un simple condensador conduce a una menor área y disipación de potencia.

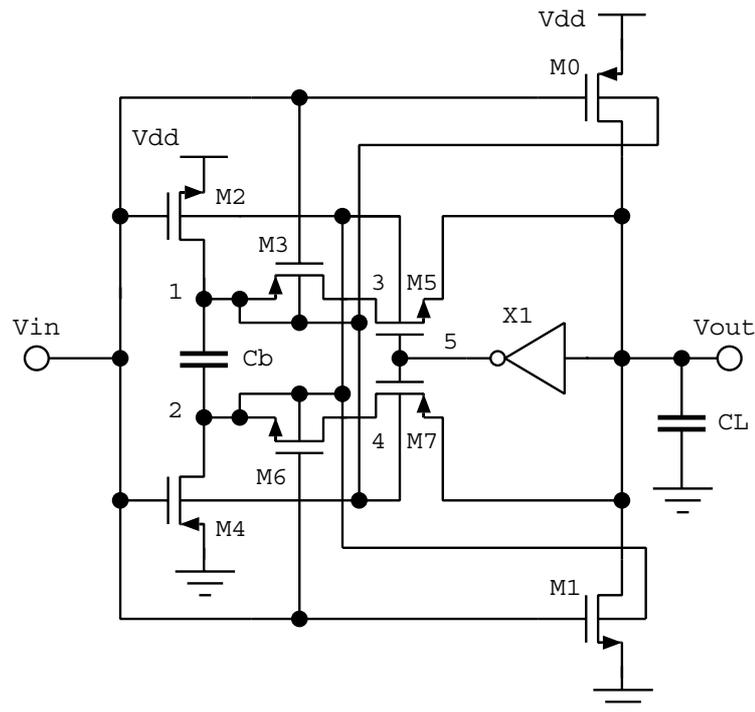


Figura 8.1: Circuito inversor CMOS *F-driver*.

Los anchos de canal para M0 y M1 son $100\mu\text{m}$ y $50\mu\text{m}$, respectivamente. Todos los demás transistores tienen un ancho de canal mínimo de $0.28\mu\text{m}$. La longitud de canal de todos los transistores es $0.13\mu\text{m}$. El condensador de sobre-excitación C_b se hace usando un dispositivo PMOS con un ancho de canal de $10\mu\text{m}$, conectando juntos sus terminales de drenador, fuente y sustrato.

Para reducir el consumo de potencia, el circuito de la Figura 8.1 se diseña para restringir la acción de la sobre-excitación en una ventana de tiempo estrecha durante las transiciones de salida. El condensador de sobre-excitación C_b , se usa en las operaciones de la sobre-excitación de subida y de bajada. En el circuito de la Figura 8.1 (implementado en tecnología CMOS de triple pozo), los terminales de sustrato de los transistores PMOS están conectados al nodo 1 en vez de estarlo al nodo V_{dd} . Mientras que los terminales de sustrato de los transistores NMOS están conectados al nodo 2, en lugar de estarlo al nodo GND. Ello permite, mediante retorno de acoplo capacitivo a puerta, mejorar mucho la sobre-excitación durante las transiciones de salida.

8.3 Funcionamiento del circuito *F-driver*

La Figura 8.2 es el diagrama del circuito equivalente del *F-driver* cuando la entrada está a nivel alto. Según se observa, cuando la entrada está a nivel alto $M0$ está cortado y $M1$ conduce haciendo que el nodo de la salida conmute a nivel bajo, $M2$ conduce cargando el nodo 1 a $V_{dd}-V_{Tn}$, donde V_{Tn} es la tensión umbral del dispositivo NMOS. $M3$ se corta aislando el nodo 1 del nodo 3. La inversión por $X1$ pone en conducción a $M5$, conmutando el nodo 3 a nivel bajo. Al mismo tiempo, $M4$ se corta bloqueando el cambio en el nodo 2. $M6$ conduce reduciendo el trayecto del nodo 2 al nodo 4. $M7$ se desactiva aislando el nodo 4 de la salida.

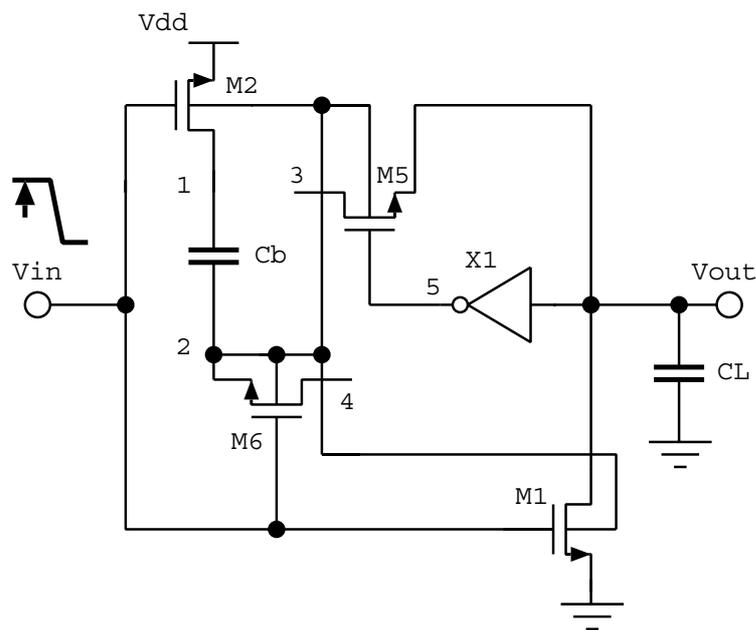


Figura 8.2: Circuito equivalente del *F-driver* cuando la entrada está a nivel alto.

Puede aplicarse un análisis similar cuando la entrada es un nivel bajo. La Figura 8.3 ilustra el circuito equivalente del *F-driver* cuando la entrada está a nivel bajo. En ese caso, $M1$ se corta y $M0$ se activa haciendo que el nodo de salida vaya a nivel alto. $M4$ conduce cargando el nodo 2 a V_{Tp} (tensión umbral del dispositivo PMOS). $M6$ se desconecta aislando el nodo 2 del nodo 4. La inversión por el inversor $X1$ activa a $M7$ llevando al nodo 4 a nivel alto. Al mismo tiempo, $M2$ se desconecta bloqueando la carga en el nodo 1. $M3$ conduce reduciendo el trayecto desde el nodo 1 al nodo 3. $M5$ se corta aislando el nodo 3 de la salida.

En la Figura 8.4 se muestra el diagrama del circuito equivalente del *F-driver* durante la transición de alto a bajo en la entrada. En dicha transición, el retardo a través del inversor $X1$, presenta un corto período de tiempo en el que $M3$ y $M5$ conducen simultáneamente, proporcionando un camino de acople de tensión elevada mediante el condensador de sobre-excitación al nodo de salida, haciendo que el nodo de salida vaya rápidamente a nivel alto.

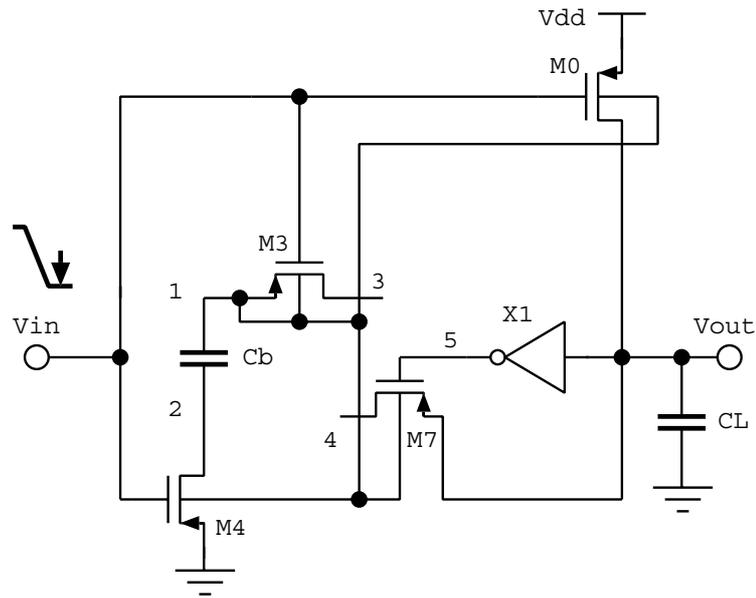


Figura 8.3: Circuito equivalente del F -driver cuando la entrada está a nivel bajo.

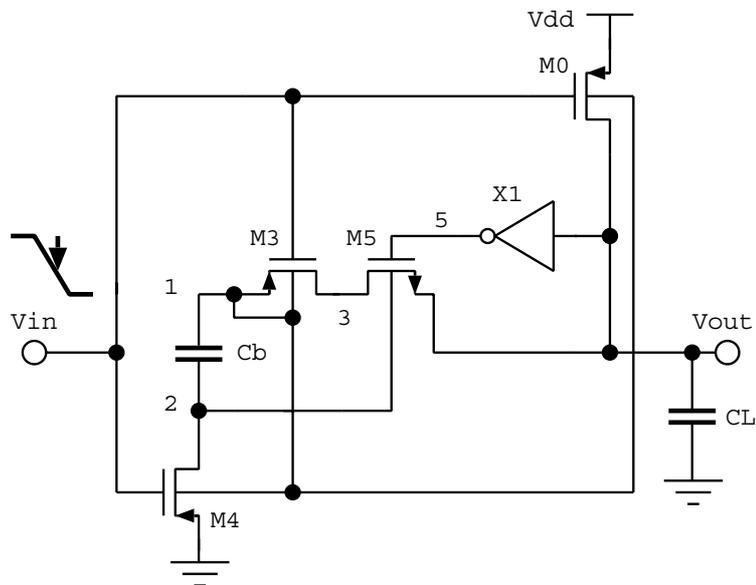


Figura 8.4: Circuito equivalente del F -driver durante la transición de entrada de nivel alto a bajo.

La transición de subida rápida en la salida hace que la tensión en el nodo 1 suba hasta un valor de casi 1.2V, debido al acoplo capacitivo de la unión PN entre los terminales del drenador y la puerta del transistor M0. Finalmente, el transistor M5 se corta aislando la salida del nodo 3. La subida en el nodo 1 se acopla al nodo 2 mediante el condensador de sobre-excitación C_b . Esto produce una subida de tensión de V_{Tp} en el nodo 2. La subida en la conexión del sustrato de M5 (nodo 1) ayuda a mejorar las prestaciones de M5.

La Figura 8.5 ilustra un circuito equivalente similar para el *F-driver* para la transición de bajo a alto. Durante esta transición de entrada, el retardo a través del inversor X1, presenta un período de tiempo corto en el que M6 y M7 están en conducción simultáneamente. Esto proporciona un camino de acoplo de tensión negativa de magnitud elevada a través del condensador de sobre-excitación en el nodo de salida, produciendo que el nodo de salida conmute a nivel bajo rápidamente. Debido al acoplo de la capacidad de la unión PN entre los terminales drenador y puerta del transistor M1, una caída rápida en el nodo de salida hace que la tensión en el nodo 2 descienda a un valor de $-0.1V$. Finalmente, el transistor M7 se corta aislando la salida del nodo 4. La caída en el nodo 2 se acopla al nodo 1 mediante el condensador de sobre-excitación C_b originando una caída en la tensión del nodo 1 a $V_{dd} - V_{Tn}$. El descenso en la conexión del sustrato de M7 (nodo 1) ayuda a mejorar las prestaciones de M7.

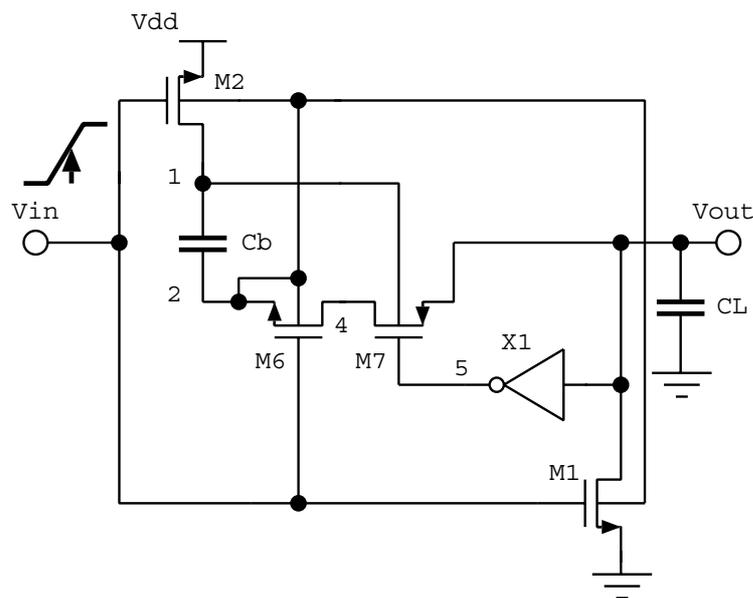


Figura 8.5: Circuito equivalente del *F-driver* durante la transición de entrada de nivel bajo a alto.

La Figura 8.6 muestra las formas de onda transitorias del *F-driver* con capacidad de carga de salida de 1pF para una frecuencia de entrada de 500MHz.

El tamaño de los pares (M2, M4), y (M3, M6) no cambian el retardo ni el consumo de potencia considerablemente. Un incremento por 10 del tamaño del par (M5, M7) mejora el retardo sólo un 10%, con un incremento del 15% en el consumo de potencia. Los valores correspondientes para el escalado del inver-

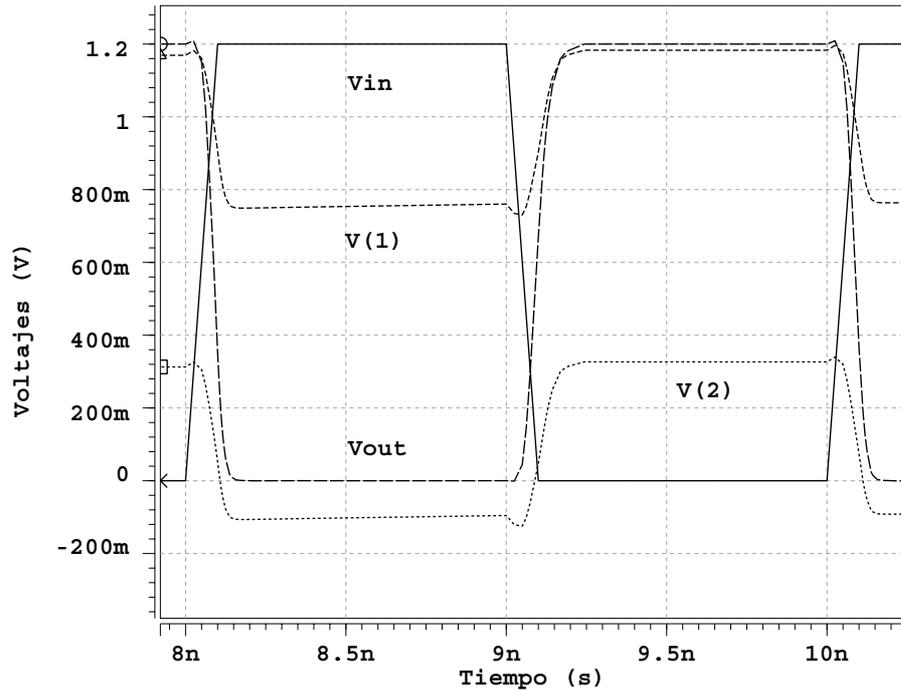


Figura 8.6: Formas de onda transitorias del excitador inversor F -driver.

sor X1 son 15% y 50%. No obstante, pueden hacerse importantes compromisos entre velocidad y consumo de potencia con el dimensionado adecuado del par de transistores (M_0 , M_1). El retardo, el consumo de potencia y la *Figura de Mérito* (el producto de la potencia y el retardo) en función del dimensionado de (M_0 , M_1) se presentan en la Figura 8.7 y Figura 8.8.

8.4 Comparación y discusiones

Para evaluar las prestaciones del F -driver, se ha diseñado un circuito de test basado en la tecnología CMOS de $0.13\mu\text{m}$ con triple pozo de UMC. La Figura 8.9 presenta el trazado del F -driver.

Para comparar este trabajo con los publicados previamente [Lou and Kuo, 1997a] y [Kiat-Seng et al., 2000] (sobre-excitación indirecta), y [Chen and Kuo, 2002] (sobre-excitación directa), y un simple excitador inversor de dos etapas, se vuelven a implementar y optimizar aquellos diseños utilizando la

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[Kiat-Seng et al., 2000] Kiat-Seng, Y., Jian-Guo, M., and Manh-Anh, D. (2000). Ultra low voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

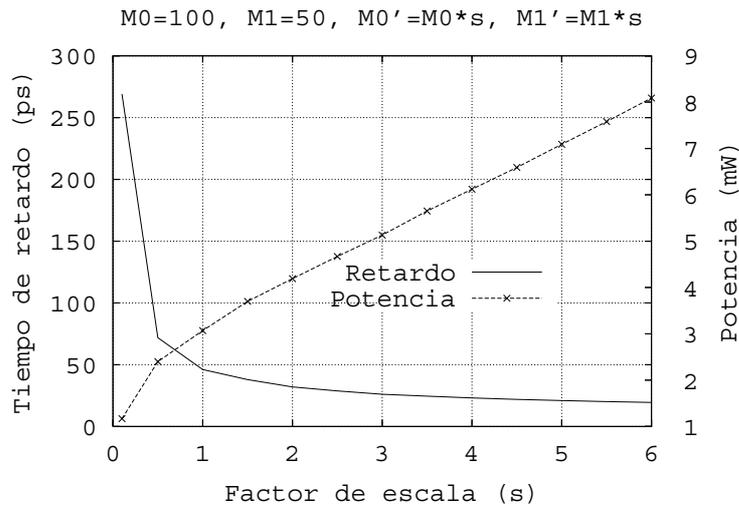


Figura 8.7: Efecto del dimensionado de los transistores sobre las prestaciones y el consumo de potencia del *F-driver*.

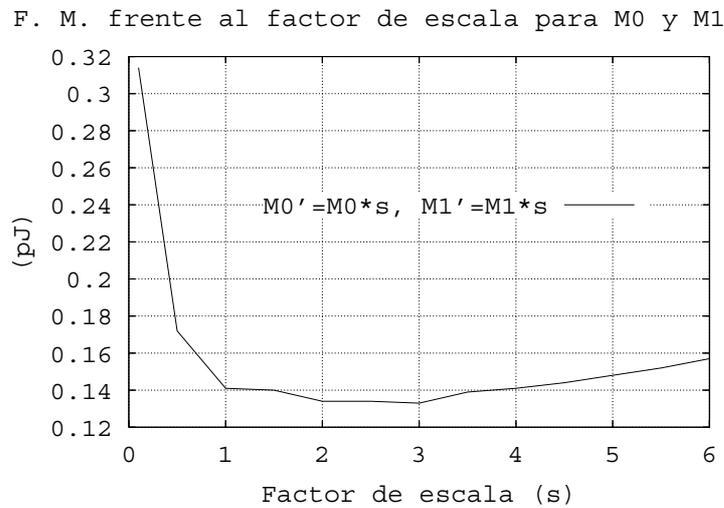


Figura 8.8: Efecto del dimensionado de los transistores sobre el producto potencia-retardo del *F-driver*.

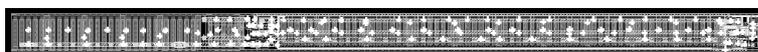


Figura 8.9: Trazado del *F-driver* ($2.97\mu\text{m} \times 58.98\mu\text{m} = 175\mu\text{m}^2$).

misma tecnología de UMC. Todos ellos se simulan a una frecuencia de entrada de 500MHz con 100ps de tiempos de subida y bajada, con una fuente de alimentación de 1.2V, y una carga capacitiva de salida en el rango de 100fF a 1000fF.

La Tabla 8.1 proporciona los valores de retardo y consumo de potencia para los excitadores seleccionados. Las áreas de la Tabla 8.1 se refieren sólo a las áreas activas de los transistores, las cuales pueden diferir del trazado real en un factor de 8 ($\approx 175\mu\text{m}^2/21\mu\text{m}^2$). Como puede verse el requisito de área activa para el *F-driver* es de 2 a 3 veces menor que el de los otros excitadores CMOS seleccionados. La Tabla 8.2 proporciona las dimensiones de los dispositivos de todos los excitadores usados en la comparación.

Tabla 8.1: COMPARACIÓN DE PRESTACIONES ENTRE LOS DIVERSOS EXCITADORES.

		<i>LK-driver</i> [Lou and Kuo, 1997a] Área activa = $55.25\mu\text{m}^2$			<i>KJM-driver</i> [Kiat-Seng et al., 2000] Área activa = $75.43\mu\text{m}^2$			<i>F-driver</i> Área activa = $21.09\mu\text{m}^2$		
CL (fF)	t _{plh} (ps)	t _{p_{hl}} (ps)	Potencia (mW)	t _{plh} (ps)	t _{p_{hl}} (ps)	Potencia (mW)	t _{plh} (ps)	t _{p_{hl}} (ps)	Potencia (mW)	
100	39.24	49.90	5.09	37.76	47.82	4.82	14.72	13.96	1.31	
200	41.88	52.26	5.23	40.91	50.54	4.98	19.10	17.66	1.52	
300	44.13	54.45	5.34	43.75	52.68	5.16	23.15	21.54	1.77	
400	46.30	56.28	5.51	46.42	55.90	5.39	26.81	25.25	1.98	
500	48.47	58.66	5.65	49.08	57.57	5.55	28.03	30.01	2.12	
600	50.73	60.03	5.81	51.95	59.07	5.72	33.22	30.79	2.34	
700	52.94	61.43	5.96	54.76	60.53	5.88	38.13	33.35	2.53	
800	54.94	62.88	6.12	57.53	61.98	6.03	40.81	35.83	2.74	
900	56.82	64.89	6.31	60.45	63.46	6.18	43.42	38.28	2.94	
1000	58.64	66.57	6.47	63.25	64.99	6.33	45.98	40.86	3.14	

		<i>D-driver</i> [Chen and Kuo, 2002] Área activa = $65.0\mu\text{m}^2$			<i>DB-driver</i> Doble inversor Área activa = $39.0\mu\text{m}^2$		
CL (fF)	t _{plh} (ps)	t _{p_{hl}} (ps)	Potencia (mW)	t _{plh} (ps)	t _{p_{hl}} (ps)	Potencia (mW)	
100	39.77	41.05	3.46	30.56	36.56	2.56	
200	43.08	43.12	3.60	33.91	40.0	2.72	
300	45.92	45.18	3.76	38.54	42.61	2.91	
400	48.18	47.33	3.91	41.60	45.09	3.11	
500	50.98	49.54	4.07	44.25	47.65	3.31	
600	53.88	51.61	4.22	46.95	50.25	3.51	
700	58.48	53.50	4.37	49.61	52.63	3.71	
800	61.01	55.34	4.53	52.38	54.86	3.89	
900	63.49	57.17	4.68	57.61	57.05	4.10	
1000	66.08	59.02	4.82	60.20	59.22	4.27	

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

Para tener una comparación imparcial, el par (M_0 , M_1) de la etapa de salida de todos los excitadores de la Tabla 8.1 se dimensiona de forma idéntica. Los

Tabla 8.2: DIMENSIONES DE LOS DISPOSITIVOS PARA LOS DIVERSOS EXCITADORES.

	<i>LK-driver</i>	<i>KJM-driver</i>	<i>D-driver</i>	<i>DB-driver</i>	<i>F-driver</i>
Transistor	Ancho (μm)				
M0	100	100	100	—	100
M1	50	50	50	—	50
M2	20	0.28	40	—	0.28
M3	20	5	60	—	0.28
M4	10	30	20	—	0.28
M5	20	100	10	—	0.28
M6	20	20	—	—	0.28
M7	5	5	—	—	0.28
M8	—	20	—	—	—
X1pu	20	40	40	100	0.28
X1pd	20	50	20	50	0.28
X2pu	—	15	40	100	—
X2pd	—	5	20	50	—
Cb1	70	70	100	—	10
Cb2	70	70	—	—	—
Área activa (μm^2) para $L = 0.13\mu\text{m}$	55.25	75.43	65.0	39.0	21.09

Proceso tecnológico de $0.13\mu\text{m}$ 1.2/3.3V triple pozo de UMC.

otros transistores se dimensionan adecuadamente para obtener las mejores prestaciones. La razón principal del área más pequeña de *F-driver* es la ausencia de uno de los condensadores de sobre-excitación.

De la Tabla 8.1, el retardo y la disipación de potencia de *F-driver* es de 1.3 a 3 y de 1.5 a 3.8 veces menor que los otros circuitos. Las gráficas del retardo de propagación en función de la carga de salida se representan en la Figura 8.10 para los diversos excitadores estudiados.

Se utiliza el producto potencia-retardo como *Figura de Mérito* para proporcionar una comparación en conjunto entre los distintos circuitos excitadores. Como se puede observar en la Figura 8.11, la *Figura de Mérito* para el *F-driver* es de 2.5 a 5.5 veces mejor que la de los otros excitadores CMOS presentados, en el rango de cargas de salida.

También se simuló el circuito *F-driver* con tensiones de alimentación menores hasta 0.45V . El retardo es proporcional a $1/V^2$.

8.5 *F-driver* en tecnología CMOS de sustrato estándar

Por otro lado, se ha implementado *F-driver* en tecnología CMOS de sustrato estándar, en el que las conexiones al sustrato están unidas a GND y Vdd. El diagrama del circuito correspondiente, las formas de onda transitorias y los valores de los datos de las prestaciones se presentan en las Figuras 8.12, y 8.13, y en la Tabla 8.3.

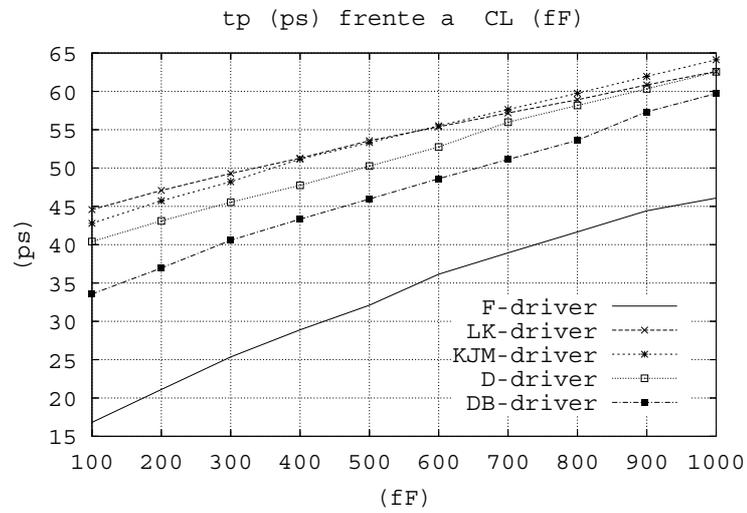


Figura 8.10: Tiempo de retardo de propagación en función de la capacidad de carga.

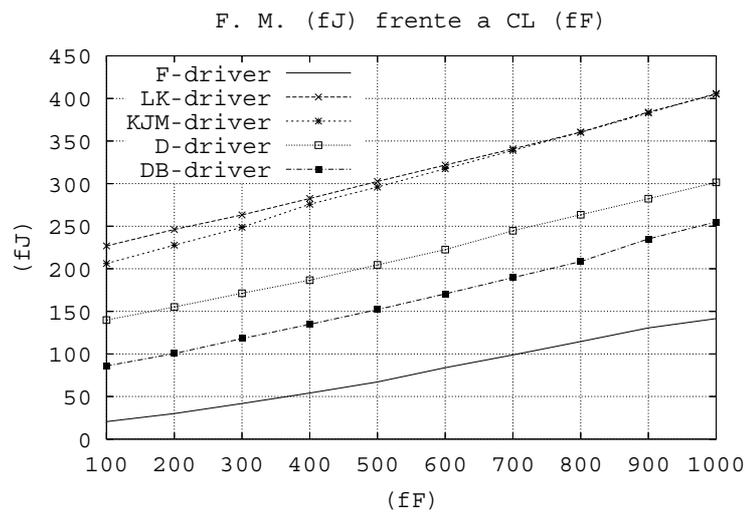


Figura 8.11: Producto potencia-retardo en función de la capacidad de carga.

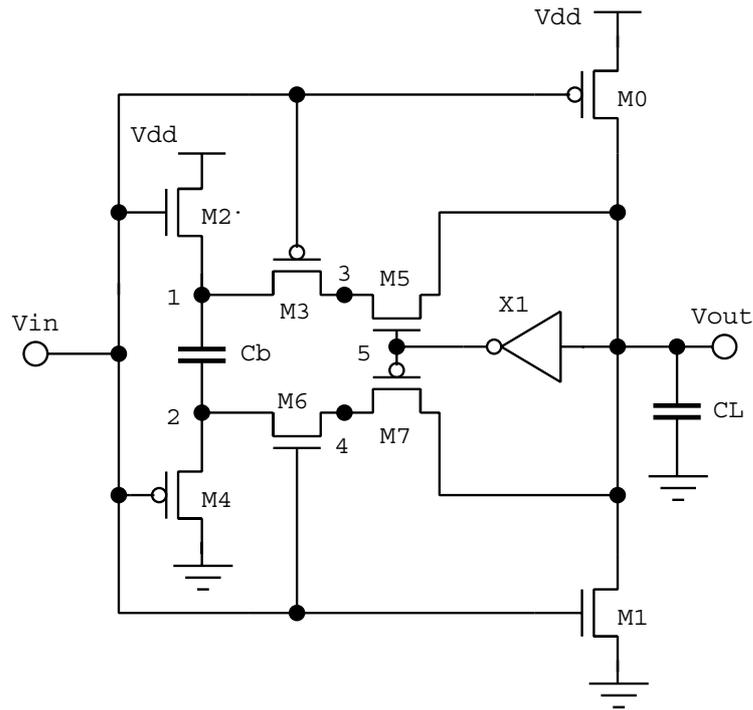


Figura 8.12: *F-driver* en tecnología CMOS de sustrato estándar.

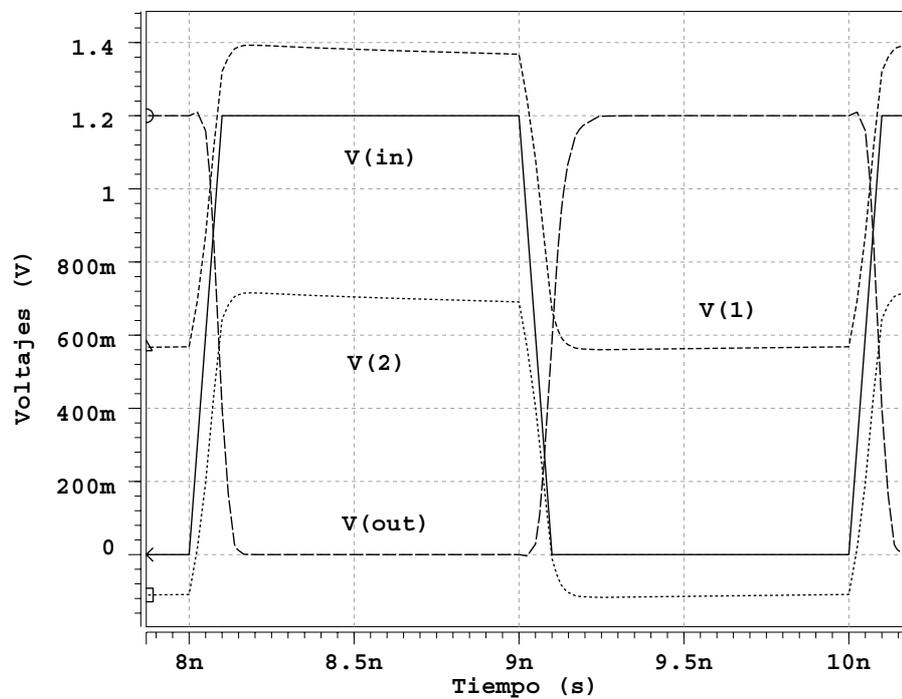


Figura 8.13: Formas de onda transitorias del *F-driver* en tecnología CMOS de sustrato estándar.

Tabla 8.3: PRESTACIONES DEL F -driver EN CMOS DE SUSTRATO ESTÁNDAR.

F -driver			
Área activa= $21.09\mu\text{m}^2$			
CL (fF)	t _{plh} (ps)	t _{p_hl} (ps)	Potencia (mW)
100	20.13	13.51	1.22
200	25.35	16.88	1.42
300	29.40	21.31	1.65
400	32.18	25.63	1.87
500	35.70	28.50	2.09
600	41.01	31.30	2.32
700	44.01	33.87	2.54
800	46.92	36.40	2.75
900	49.71	39.13	2.94
1000	52.48	39.68	3.07

8.6 Conclusiones

En este Capítulo se presentó el diseño de un nuevo excitador con un simple condensador de sobre-excitación (F -driver). Con una fuente de alimentación de 1.2V, el F -driver reduce el consumo de potencia en un factor de 1.5 a 3.5 mientras se obtienen unas prestaciones mejores con un factor de 1.3 a 3 cuando se compara con los demás excitadores de sobre-excitación directa estudiados. La *Figura de Mérito* para el F -driver es de 2.5 a 5.5 veces mejor. El excitador F -driver puede funcionar con la mínima tensión de alimentación de 0.45V.

Excitador CMOS de excursión lógica completa con sobre-excitación

Índice General

9.1	Introducción	142
9.1.1	Trabajos previos	142
9.2	Estructura del circuito excitador	143
9.3	Funcionamiento del circuito	144
9.4	Evaluación comparativa	144
9.5	Conclusiones	145

Resumen:

EN este Capítulo se documenta el diseño, análisis y evaluación de un circuito excitador inversor CMOS de excursión lógica completa sobre-excitado que presenta una elevada velocidad y un bajo consumo de potencia entre sus prestaciones, el cual se denomina *bfi-driver*¹.

La organización del Capítulo es la indicada a continuación. El estudio inicial se expone en la Sección 9.1. En la Sección 9.2 se presenta la estructura del excitador. Posteriormente, en la Sección 9.3 se estudia el funcionamiento del *bfi-driver*. En la Sección 9.4 se realiza un análisis de sus prestaciones en comparación con el *bese-driver* [Bellaouar et al., 1995]. Y, finalmente, en la Sección 9.5 se exponen las conclusiones del diseño.

Los resultados de simulación, basados en tecnología CMOS de $0.13\mu\text{m}$ con triple pozo, muestran que, cuando funciona a 1V, el *bfi-driver* es un 94% más rápido y consume un 22% menos de potencia

¹El trabajo presentado en este Capítulo se ha divulgado como presentación interactiva en la Conferencia y Exhibición de Diseño, Automatización y Test en Europa (DATE), celebrada en Marzo de 2006, en Munich, Alemania. El título del artículo es: “*Bootstrapped Full-Swing CMOS Driver for Low Supply Voltage Operation*”.

[Bellaouar et al., 1995] Bellaouar, A., Elmasry, M. I., and Embabi, S. H. K. (1995). Bootstrapped full-swing BiCMOS/BiNMOS logic circuits for 1.2–3.3V supply voltage regime. In *IEEE J. Solid-State Circuits*, volume 30, pages 629–636.

capacidad de carga es elevada. En [Lou and Kuo, 1997a] se expuso un circuito sobre-excitado para puertas lógicas dinámicas CMOS y BiCMOS para mejorar las prestaciones de velocidad. Las técnicas de sobre-excitación propuestas en [Lou and Kuo, 1997a] y [García et al., 2004] han mostrado que ofrecen altas prestaciones con bajas tensiones de alimentación.

9.2 Estructura del circuito excitador

La Figura 9.2 presenta la estructura del *bfi-driver*. En este circuito excitador, se utilizan dos condensadores de sobre-excitación C_{b1} y C_{b2} , y sólo un inversor $X0$. Para cargar los condensadores de sobre-excitación C_{b1} y C_{b2} , respectivamente, se usan los transistores $M0$ y $M3$. Los transistores de sobre-excitación son $M1$ y $M4$. La red de bajada la forma $M2$, mientras que $M5$ forma la red de subida. Los parámetros de la Tabla 9.1 se utilizan para diseñar y simular ambos circuitos excitadores. Los condensadores C_b (Figura 9.1), C_{b1} y C_{b2} se realizan utilizando los transistores NMOS M_{Cb} , M_{Cb1} y M_{Cb2} , respectivamente, de la Tabla 9.1. La longitud de canal de todos los transistores es de $0.13\mu\text{m}$.

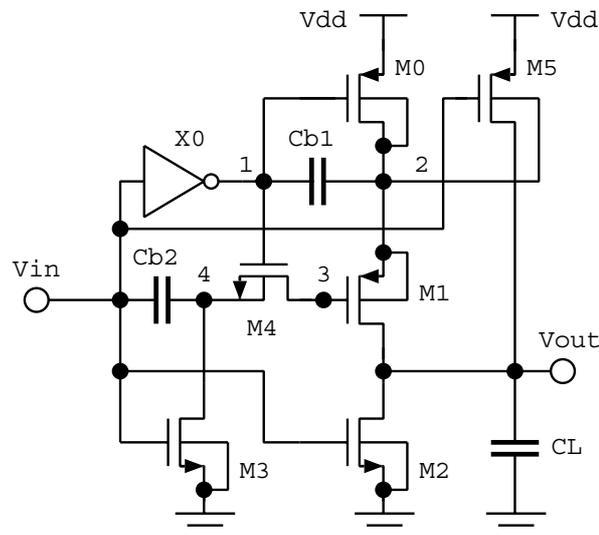


Figura 9.2: Esquema propuesto del excitador inversor CMOS sobre-excitado de excursión lógica completa.

[Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI. In *IEEE J. Solid-State Circuits*, volume 32, pages 119–121.

[García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

Tabla 9.1: ANCHO DE CANAL PARA LOS TRANSISTORES DE LOS EXCITADORES.

<i>bese-driver</i>			<i>bfi-driver</i>		
Transistor(es)	Tipo	Ancho (μm)	Transistor	Tipo	Ancho (μm)
PX1, PX3, M1	PMOS	0.28	PX0	PMOS	5
NX1	NMOS	5	NX0	NMOS	0.28
PX2	PMOS	15	M0	PMOS	14
NX2	NMOS	0.28	M1	PMOS	10
NX3	NMOS	0.5	M2	NMOS	19
M0, MCb	NMOS	50	M3	NMOS	0.28
M2	PMOS	1	M4	NMOS	80
M3	PMOS	2	MCb1	NMOS	60
M4	PMOS	0.28	MCb2	NMOS	100
M5	PMOS	50	—	—	—
M6	PMOS	5	—	—	—
M7	NMOS	35	—	—	—
M8	NMOS	1	—	—	—
M9	NMOS	60	—	—	—

Proceso tecnológico de $0.13\mu\text{m}$ 1.2V/3.3V con triple pozo de UMC.

9.3 Funcionamiento del circuito

En la estructura del circuito propuesta (véase Figura 9.2), cuando V_{in} esté a nivel lógico alto, el nodo 1 se fija a nivel bajo mediante el inversor X0, y M0 conduce. Como resultado, el condensador de sobre-excitación Cb1 se carga a Vdd (nodo 2 a potencial de Vdd y nodo 1 a tierra). Los transistores M1, M4 y M5 se cortan. M3 conduce haciendo que Cb2 se cargue (nodo V_{in} a potencial de Vdd y nodo 4 a tierra). Al mismo tiempo, M2 se activa con V_{in} y *bfi-driver* hace una transición de bajada, la salida V_{out} se fija a nivel bajo. Cuando V_{in} pasa a nivel bajo, el nodo 1 se establece a nivel alto, M0, M2, y M3 se cortan. El transistor M5 conduce para hacer que la salida pase a nivel alto. Simultáneamente, M4 conduce y permite que la puerta de M1 se excite fuertemente a nivel bajo debido al efecto de sobre-excitación de Cb2. Mientras tanto, el efecto de sobre-excitación opuesto de Cb1 se acopla directamente al nodo de salida V_{out} favoreciendo la transición a nivel alto, y mejorando la velocidad de conmutación.

9.4 Evaluación comparativa

Los dos circuitos excitadores se implementaron utilizando un proceso CMOS de $0.13\mu\text{m}$ 1.2V/3.3V con triple pozo de UMC. Las áreas activas del circuito propuesto y del circuito de [Bellaouar et al., 1995] son $35.86\mu\text{m}^2$ y $44.17\mu\text{m}^2$, respectivamente. Los circuitos se simularon a una frecuencia de entrada de 500MHz con 100ps de tiempos de subida y bajada, unas tensiones de alimentación de 1V y 1.2V, y una capacidad de carga de salida en el rango de 10fF a 100fF. Los resultados de simulación muestran que con una tensión de

[Bellaouar et al., 1995] Bellaouar, A., Elmasry, M. I., and Embabi, S. H. K. (1995). Bootstrapped full-swing BiCMOS/BiNMOS logic circuits for 1.2–3.3V supply voltage regime. In *IEEE J. Solid-State Circuits*, volume 30, pages 629–636.

alimentación de 1V el *bfi-driver* es un 94% más rápido (retardo de 19ps con una carga de 100fF), y su consumo de potencia (1.28mW) es un 22% menor que el de *bese-driver*.

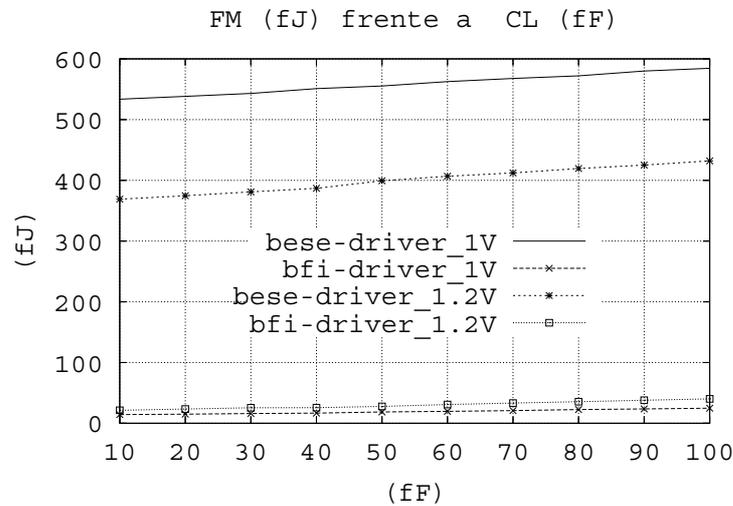


Figura 9.3: Potencia \times retardo en función de la carga.

La Figura 9.3 muestra la Figura de Mérito (FM) (el producto de la potencia y el retardo) en función de la capacidad de carga para los dos excitadores. Como se observa, la Figura de Mérito del *bfi-driver* es unas 23.6–37.5 veces más pequeña.

9.5 Conclusiones

Este Capítulo presentó un nuevo diseño de excitador CMOS con sobre-excitación directa-indirecta de bajo consumo y altas prestaciones (*bfi-driver*). En condiciones de una tensión de alimentación de 1V y una capacidad de carga de 100fF, el retardo y el consumo asociado con el *bfi-driver* son 19ps y 1.28mw, respectivamente.

Excitador *latch* CMOS usando la técnica de sobre-excitación para aplicaciones de baja tensión

Índice General

10.1 Introducción	148
10.2 Estructura del circuito excitador <i>latch</i>	148
10.3 Funcionamiento del circuito	151
10.4 Evaluación comparativa	155
10.5 Conclusiones	158

Resumen:

EN este Capítulo, se propone un circuito excitador *latch*¹ CMOS con sobre-excitación directa de altas prestaciones (*J-driver*)².

El Capítulo está organizado como sigue. La Sección 10.2 describe la nueva estructura de sobre-excitación propuesta. En la Sección 10.3, se explica con detalle el principio de funcionamiento del excitador, y en la Sección 10.4 se presenta una evaluación comparativa del excitador propuesto y su homólogo. Finalmente, en la Sección 10.5 se exponen las conclusiones.

El circuito excitador propuesto (*J-driver*) es un 28% más rápido y ocupa un 58% menos de área activa comparado con un circuito homólogo (*L-driver*) que usa la técnica de sobre-excitación indirecta. Además, el excitador *J-driver* reduce el consumo de potencia un 2% al excitar cargas capacitivas entre 1pF y 6pF. El reto en diseñar este excitador *latch* es adoptar un compromiso entre prestaciones y área activa.

Palabras clave: Baja tensión, CMOS, sobre-excitación, *latch*.

¹cerrojo.

²Este Capítulo se ha presentado en el congreso de la Sociedad Internacional de la Ingeniería Óptica (SPIE) dedicado a las Microtecnologías para el Nuevo Milenio en Circuitos y Sistemas de Muy Alta Escala de Integración, celebrado en Mayo 2005, en Sevilla, España. El título de la publicación es: "A CMOS Latched Driver Using Bootstrap Technique for Low-Voltage Applications".

10.1 Introducción

A medida que crecen las prestaciones de los excitadores, obteniéndose mayores frecuencias de funcionamiento, excursiones lógicas de tensión de salida más pequeñas, y transiciones de salida más rápidas, la carga de salida no puede ser tratada por más tiempo como una carga RLC de parámetros concentrados sino que debe de estudiarse como una línea de transmisión con parámetros distribuidos. De tal forma que una desadaptación de impedancia en la carga produce reflexiones, que se traducen en ruido y mayores retardos. Por otro lado, se generan efectos de interconexión tales como retardo de señal, distorsión, y *crosstalk* que llegan a ser factores limitadores en las prestaciones.

El diseño de excitadores de altas prestaciones requiere de una topología de circuito que cumpla con las restricciones de carga y margen de ruido, mientras conserva bajos los requisitos de consumo de potencia y área. Dichos excitadores son necesarios para excitar cargas capacitivas altas (1 – 10pF) en un tiempo muy corto. Por otro lado, los circuitos lógicos son muy sensibles a los efectos del ruido sobre las líneas de interconexión. Las técnicas de sobre-excitación se han propuesto como una forma eficiente y práctica de implementar los circuitos excitadores [Chen and Kuo, 2002], y [García et al., 2004]. Los excitadores sobre-excitados pueden funcionar con fuentes de alimentación más bajas y transistores más pequeños, por lo que, minimizan la energía y el área, mientras que funcionan con fiabilidad en presencia de ruido.

La sobre-excitación se basa en el bombeo de carga para proporcionar tensiones más altas que la tensión de alimentación habitual en los sistemas de tensión de alimentación baja. Se puede requerir un tensión alta para excitar conmutadores analógicos, o para escribir o borrar información en memorias no volátiles..

El propósito de este Capítulo es el diseño de un circuito excitador *latch* en tecnología CMOS estándar que mejore la *Figura de Mérito* (FM), el producto potencia-retardo-área, de la topología mostrada en la Figura 10.1, denominada *L-driver* [Kong and Jun, 1999].

10.2 Estructura del circuito excitador *latch*

Con el fin de superar los factores limitadores del *L-driver*, mientras se conservan las ventajas de simplicidad y fiabilidad, se introduce la configuración ilustrada en la Figura 10.2, denominada *J-driver*. De igual modo, en este excitador *latch* hay un sólo condensador de sobre-excitación C_b para mejorar la velocidad y con sobre-excitación bajo demanda para reducir la poten-

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

[García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

[Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power-efficient low-voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.

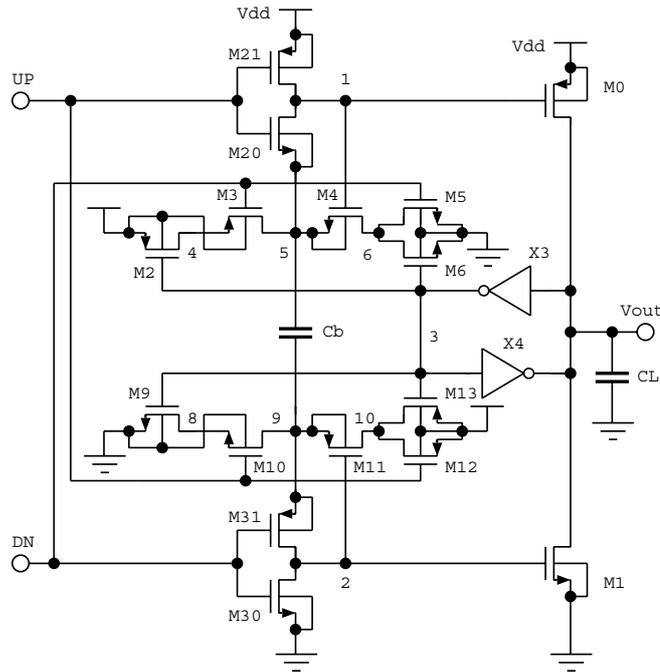


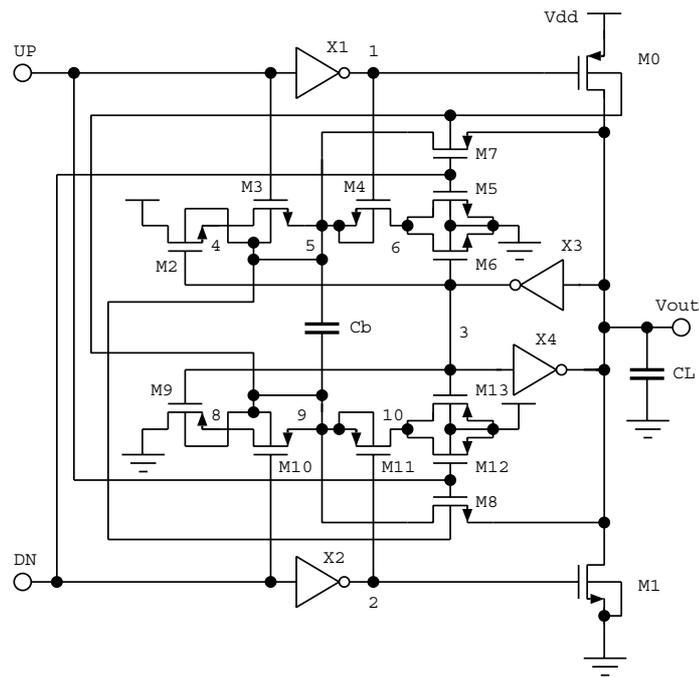
Figura 10.1: Circuito excitador *latch L-driver*.

cia. Como mejora clave, se ha aumentado la capacidad de excitación del circuito conectando la salida del excitador al condensador de sobre-excitación mediante dos transistores de paso complementarios (M7 y M8). Dicha técnica se llama sobre-excitación directa [Chen and Kuo, 2002].

En el circuito de la Figura 10.2, las mitades superior e inferior del circuito se configuran simétricamente con cada pareja correspondiente de dispositivos de polaridad opuesta. Las entradas UP y DN son similares a las entradas del cerrojo R-S y no deben afirmarse simultáneamente. UP se fija a un estado lógico alto para una transición de subida rápida en la salida. De igual forma, DN se pone a un estado lógico bajo para una transición de bajada rápida en la salida.

La Tabla 10.1 muestra los anchos de canal y los tipos de transistores usados para diseñar y simular *L-driver*. Se utiliza un proceso tecnológico de $0.18\mu\text{m}$ de UMC – Modo Mixto/RFCMOS³ para radiofrecuencia y una tensión de alimentación de 1.8V. La longitud de canal de todos los transistores de *L-driver* y *J-driver* es de $0.18\mu\text{m}$. El área activa de *J-driver* es un 58% menor a la de *L-driver*. Ambos excitadores se cargan con un 1pF y conmutan a 142MHz. Los resultados muestran que *J-driver* supera la velocidad de *L-driver* con menor área activa y consumo de potencia.

³Traducción del término inglés *Mixed Mode/RFCMOS*.

Figura 10.2: Circuito excitador *latch J-driver*.Tabla 10.1: ANCHO DE CANAL PARA *L-driver* Y *J-driver*.

<i>L-driver</i>			<i>J-driver</i>		
Transistor(es)	Tipo	Ancho [μm]	Transistor(es)	Tipo	Ancho [μm]
<i>M0</i>	PMOS	95	<i>M0</i>	PMOS	60
<i>M1</i>	NMOS	95	<i>M1</i>	NMOS	50
<i>M2, M3</i>	PMOS	95	<i>M2, M3</i>	NMOS	1
<i>M4, M5</i>	NMOS	2	<i>M4, M5</i>	NMOS	1
<i>M6</i>	NMOS	2	<i>M6</i>	NMOS	1
—	—	—	<i>M7</i>	PMOS	10
—	—	—	<i>M8</i>	NMOS	25
<i>M9, M10</i>	NMOS	95	<i>M9, M10</i>	PMOS	1
<i>M11, M12</i>	PMOS	2	<i>M11, M12</i>	PMOS	1
<i>M13</i>	PMOS	2	<i>M13</i>	PMOS	1
<i>M20</i>	NMOS	40	<i>NX1</i>	NMOS	60
<i>M21</i>	PMOS	2	<i>PX1</i>	PMOS	20
<i>M30</i>	NMOS	2	<i>NX2</i>	NMOS	30
<i>M31</i>	PMOS	40	<i>PX2</i>	PMOS	30
<i>NX3, NX4</i>	NMOS	1	<i>NX3, NX4</i>	NMOS	1
<i>PX3, PX4</i>	PMOS	2	<i>PX3, PX4</i>	PMOS	2

10.3 Funcionamiento del circuito

El funcionamiento del excitador *latch* CMOS de la Figura 10.2 se puede dividir en las siguientes tres partes: circuito de señal de control, circuito de bombeo positivo y negativo, y circuito de excitación.

El circuito de señal de control está formado por cuatro inversores (de X1 a X4). X1 y X2 se usan para generar señales invertidas de los puertos de entrada UP y DN, respectivamente. X3 y X4 se emplean para habilitar la sobreexcitación sólo si se requiere transición de salida.

La segunda parte es el circuito de bombeo positivo y negativo, consta de doce transistores (de M2 a M13, y del condensador de sobreexcitación C_b).

Y, finalmente, la última parte es el circuito de excitación, que está formada por dos transistores (M0 y M1). Ambos transistores se usan para mejorar la capacidad de excitación de una gran carga capacitiva e incrementar la velocidad del puerto de salida.

J-driver necesita un condensador de sobreexcitación menor que *L-driver*. La sobreexcitación sólo ocurre durante la transición de la salida.

Según se observa en la Figura 10.3, cuando la entrada UP está en un estado lógico bajo y DN tiene un estado lógico alto, el nodo 1 y el nodo 2 se fijan con estados lógicos alto y bajo, respectivamente. Entonces M0 y M1 se cortan, y los inversores X3 y X4 conservan su valor de salida. También, como M4, M5, M11 y M12 conducen, se induce una tensión igual a la de la fuente de alimentación a través de C_b según se fijan los nodos 5 y 9 a tensiones baja y alta, respectivamente.

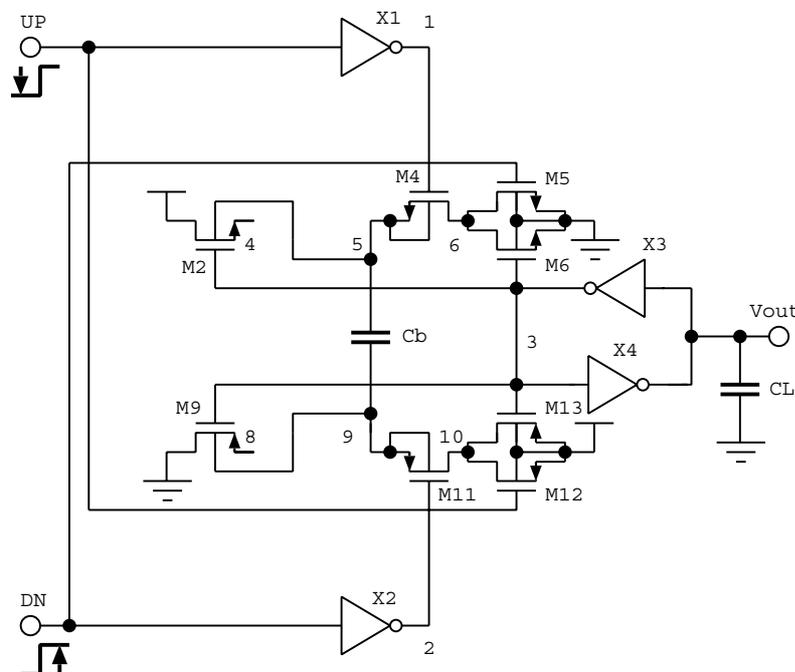


Figura 10.3: *J-driver* cuando UP tiene un estado lógico bajo y DN tiene un estado lógico alto.

Como se aprecia en la Figura 10.4, cuando UP y DN se fijan con estados lógicos alto y el puerto de salida tenga un estado lógico bajo, el nodo 3 se ajusta a estado lógico alto, los nodos 1 y 2 se quedan con estados lógicos bajo, los transistores M0, M2, M3, M5, M6, M8 y M11 se activan, y los transistores M4, M7, M9, M10, M12 y M13 se cortan. Después, la salida del inversor X1 conmuta a un estado lógico bajo, el transistor M0 proporciona una transición rápida de subida a la salida ayudada por el circuito de bombeo positivo activo: M2, M3, Cb y M8. Este circuito de bombeo positivo activo, por tanto, mejora la capacidad de excitación del puerto de salida con estado lógico alto.

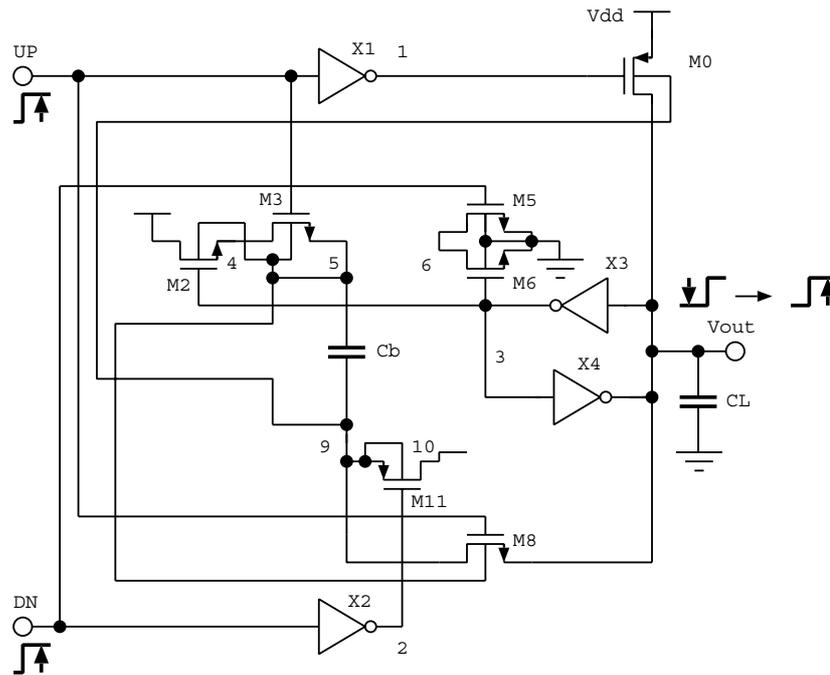


Figura 10.4: *J-driver* cuando UP y DN tienen estados lógicos en alto y la salida tiene un estado lógico bajo.

Cuando la salida está completamente cargada con un estado lógico alto, el nodo 3 se fija entonces a un estado lógico bajo, los transistores M2 y M6 se cortan, y los transistores M9 y M13 conducen. En ese caso, el nodo 9 estaría en un estado lógico alto a través de los transistores M11 y M13, y la sobre-excitación se inhabilitaría. Por otra parte, si el puerto de entrada UP retorna a un estado lógico bajo, el transistor M0 se corta y *J-driver* entra de nuevo en estado *latch*. Esa situación se representa en la Figura 10.5.

Adicionalmente, si el puerto de salida está en un estado lógico alto cuando UP llega a ser un estado lógico alto, el nodo 5 no se puede fijar a un estado lógico alto porque el transistor M2 se cortaría. Por tanto, la capacidad de excitación del transistor M0 no mejoraría. Esto no tiene importancia sobre las prestaciones del circuito.

La Figura 10.6 representa una situación similar, cuando la tensión en los puertos de entrada UP y DN se ponen en estados lógicos bajos y el puerto de salida tiene un estado lógico alto, el nodo 3 se fija a un estado lógico bajo, los

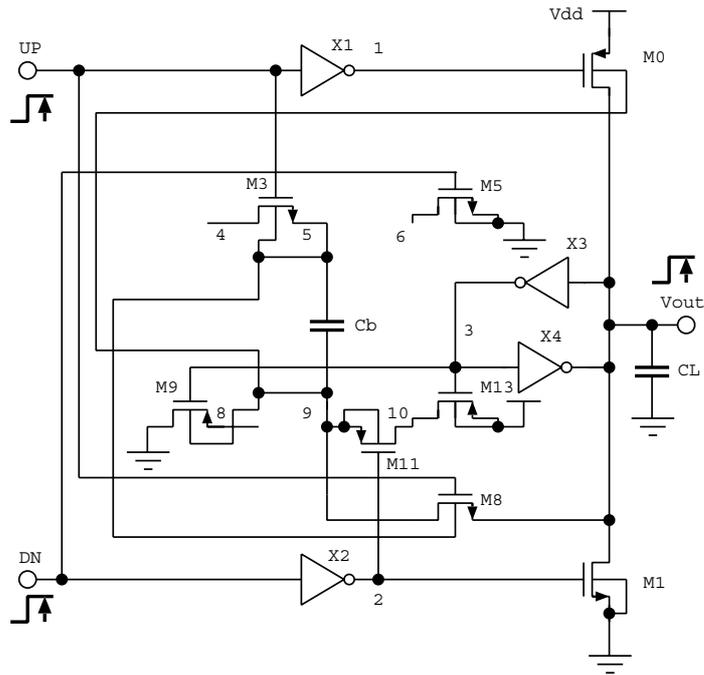


Figura 10.5: *J-driver* cuando UP y DN tienen estados lógicos en alto y la salida tiene un estado lógico alto.

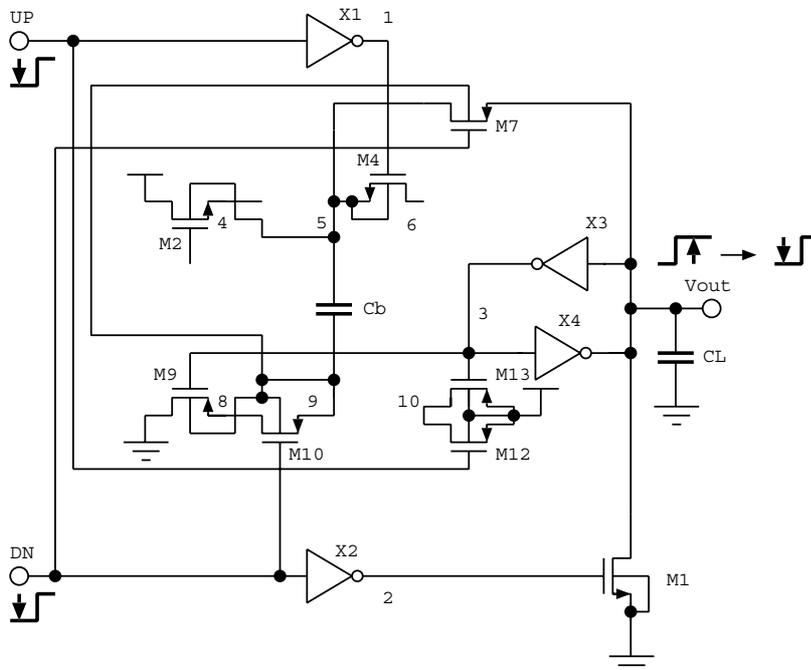


Figura 10.6: *J-driver* cuando UP y DN están en estados lógicos bajos y la salida tiene un estado lógico alto.

nodos 1 y 2 se ponen en estados lógicos altos, los transistores M0, M2, M3, M5, M6, M8 y M11 se cortan, y los transistores M4, M7, M9, M10, M12 y M13 conducen. Mientras la salida del inversor X2 cambia a un estado lógico alto, el transistor M1 proporciona una rápida transición de bajada en la salida ayudada por el circuito de bombeo negativo activo: M7, Cb, M9 y M10. Este circuito de bombeo negativo activo mejora, por tanto, la capacidad de excitación del puerto de salida en el estado lógico bajo.

Mientras la salida esté completamente descargada en un estado lógico bajo, el nodo 3 se fija entonces a un estado lógico alto, los transistores M2 y M6 conducen, y los transistores M9 y M13 se cortan. En tal caso, el nodo 5 estaría en un estado lógico bajo mediante los transistores M4 y M6, y la sobre-excitación se suprimiría. Esta situación se presenta en la Figura 10.7. Sin embargo, si DN retorna a un estado lógico alto, el transistor M1 se cortará y *J-driver* entrará de nuevo en estado *latch*.

Además, si el puerto de salida está en un estado lógico bajo cuando DN llega a estar en estado lógico bajo, el nodo 9 no se puede fijar a un estado lógico bajo ya que el transistor M9 se cortaría. Por tanto, la capacidad de excitación del transistor M1 no mejoraría. Eso no tiene repercusión sobre las prestaciones del circuito.

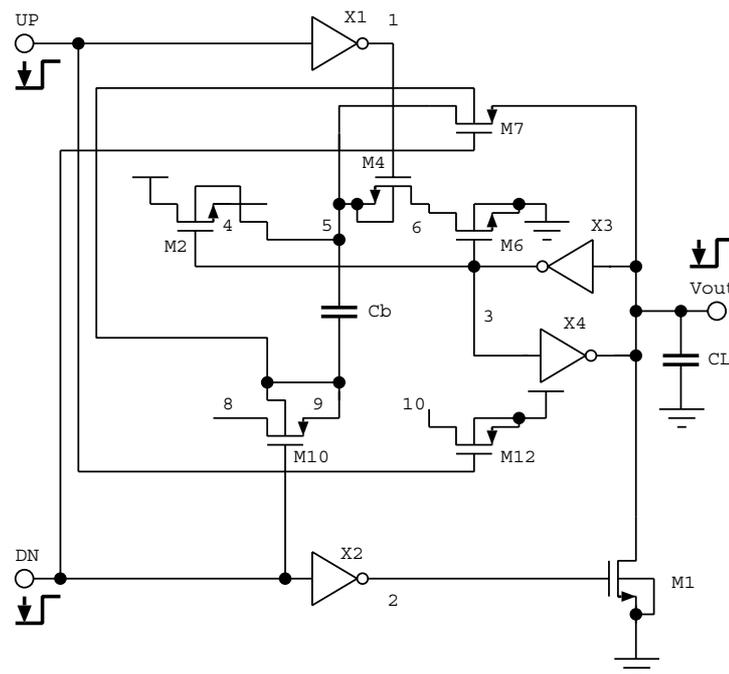


Figura 10.7: *J-driver* cuando UP, DN y la salida están en estados lógicos bajos.

En *J-driver*, el sustrato de todos los transistores PMOS excepto el de PX1, PX2, M12 y M13 se conecta al nodo 9 en vez de hacerlo a Vdd, mientras que el sustrato de todos los transistores NMOS excepto el de NX1, NX2, M1, M5 y M6 están conectados al nodo 5 en lugar de estarlo a tierra.

La Figura 10.8 muestra las tensiones en los nodos 5 y 9 — nodos de sobre-excitación — cargados con 1pF. Observar, que los nodos 5 y 9 se recuperan

gradualmente una vez que se completa la transición de salida. De este modo se lleva a cabo el funcionamiento con una excursión lógica completa.

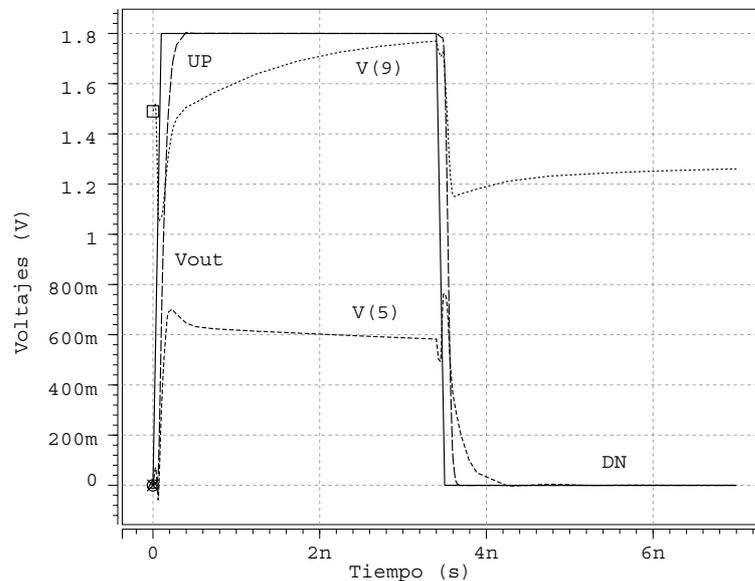


Figura 10.8: Formas de onda de tensión del *J-driver*.

Cb se puede realizar utilizando un transistor NMOS, con sus terminales de drenador, fuente y sustrato unidos, el cual tendrá un ancho de canal de $95\mu\text{m}$ para *L-driver*, pero para el caso del *J-driver* Cb tendrá un ancho de canal de $15\mu\text{m}$. En la simulación se ha considerado un valor equivalente de 1pF y 20fF para ellos, respectivamente.

10.4 Evaluación comparativa

Se han realizado todo un conjunto de pasos de optimización en *J-driver* para satisfacer área mínima, velocidad máxima y consumo de potencia mínimo. Los resultados de la simulación se proporcionan para verificar el funcionamiento deseado del circuito excitador *latch*.

Las técnicas de sobre-excitación pueden reducir, sustancialmente, el área de los excitadores. Dichas técnicas usan un condensador pequeño para transferir un exceso de carga a (o desde) el nodo de salida durante la conmutación y, por tanto, no consumir potencia constantemente. En este diseño, se ha mejorado además el efecto de la sobre-excitación con una simple modificación. Esto permite adoptar un compromiso entre área y velocidad.

Las áreas activas de *L-driver* y *J-driver* son $138.06\mu\text{m}^2$, y $56.88\mu\text{m}^2$, respectivamente. Al área menor le corresponde capacidad parásita menor, y menor retardo y consumo de potencia.

La Tabla 10.2 muestra los resultados de simulación de los dos tipos de excitadores *latch* considerados. Los circuitos se simularon con una tensión de

Tabla 10.2: PRESTACIONES Y COMPARACIONES.

CL [pF]	<i>L-driver</i>			<i>J-driver</i>		
	t_{plh} [ps]	t_{phl} [ps]	Potencia [mW]	t_{plh} [ps]	t_{phl} [ps]	Potencia [mW]
1	88.86	135.11	4.86	68.54	92.81	4.76
2	133.06	164.93	6.25	108.08	124.08	6.09
3	181.86	192.25	7.41	145.24	153.97	7.21
4	231.98	221.87	8.41	187.5	184.5	8.22
5	284.17	252.67	9.22	225.88	214.83	9.09
6	339.46	281.73	10.18	263.63	245.02	9.91
7	390.08	313.23	10.51	300.07	275.63	10.65
8	449.81	348.78	11.05	340.14	307.22	11.37
9	514.21	390	11.59	380.29	337.77	12.01
10	586.02	439.68	11.89	418.59	368.62	12.65

alimentación de 1.8V, una frecuencia de 142MHz, unos tiempos de subida y bajada de 100ps, y diferentes cargas capacitivas — de 1pF a 10pF.

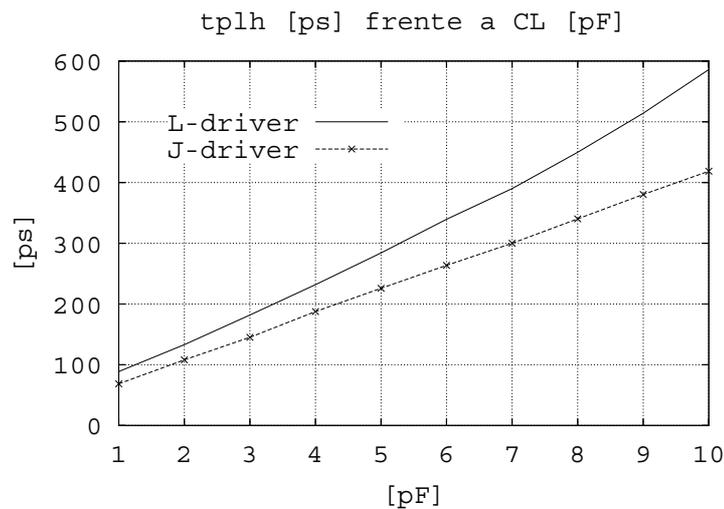


Figura 10.9: Tiempo de retardo de subida en función de la capacidad de carga.

Las Figuras 10.9 y 10.10 presentan el retardo de propagación para la transición de bajo a alto, y la transición de alto a bajo, respectivamente. Con estas Figuras se ilustra la velocidad de respuesta de la salida a un cambio en la entrada del excitador.

La Figura 10.11 proporciona una comparación entre los niveles de consumo de potencia (a 142MHz) en el *L-driver* y *J-driver* con varias condiciones de carga. Se puede observar que en la mayoría de los casos *J-driver* tiene un mejor perfil de consumo de potencia. En promedio, tiene un 2% menos de consumo de potencia. Por otro lado, *J-driver* tiene un área activa que es un 58% menor que la de *L-driver*.

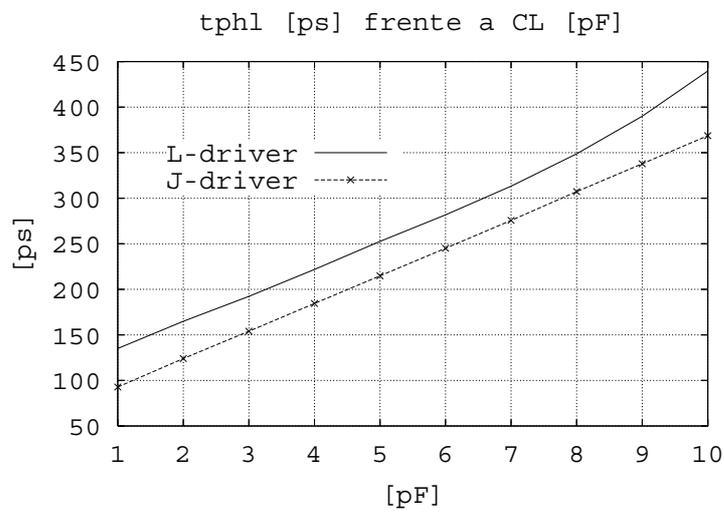


Figura 10.10: Tiempo de retardo de bajada en función de la capacidad de carga.

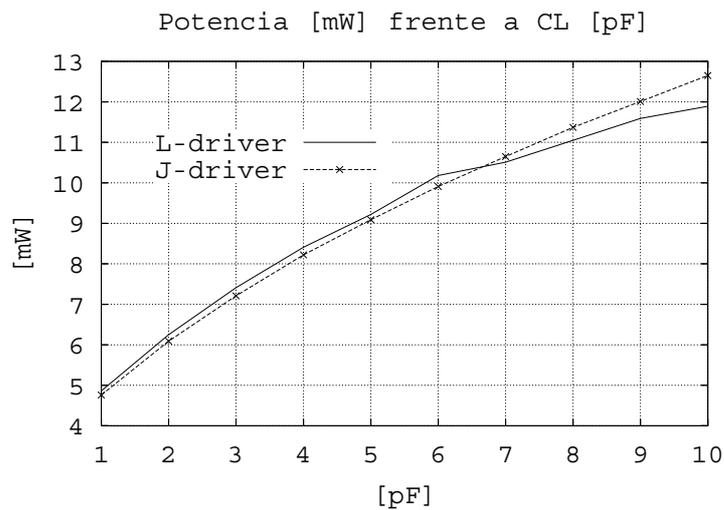


Figura 10.11: Consumo de potencia en función de la capacidad de carga.

Comparando los dos excitadores basados en sus Figuras de Mérito (sus productos área-retardo-potencia), FM, el circuito *J-driver* supera al circuito *L-driver* para todas las condiciones de carga, según se observa en la Figura 10.12.

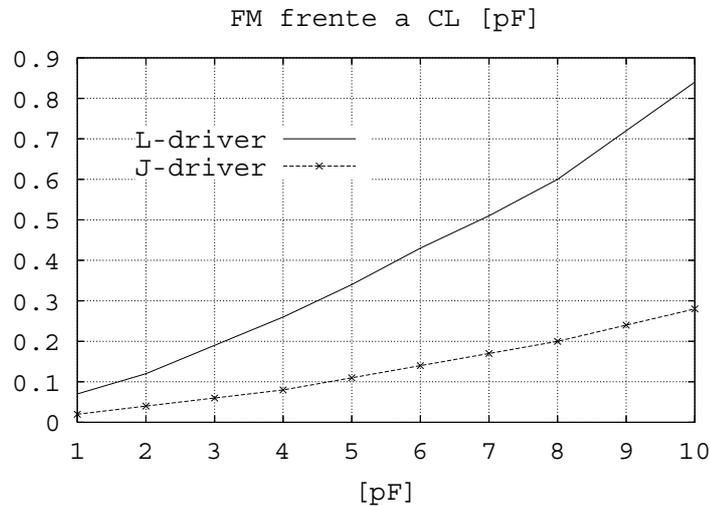


Figura 10.12: Área activa \times retardo \times potencia en función de la capacidad de carga.

10.5 Conclusiones

El objetivo de este trabajo es optimizar la velocidad del excitador *latch* final. El método consiste en modificar la estructura del *L-driver* mientras se mejora su funcionamiento. En este caso, se ha diseñado un excitador *latch* llamado *J-driver*, utilizando un proceso tecnológico de UMC, con $0.18\mu\text{m}$ Modo Mixto/RFCMOS y una tensión de alimentación de 1.8V. Se simuló con una frecuencia de 142MHz, con tiempos de subida y bajada de 100ps, una tensión de alimentación de 1.8V, y una carga capacitiva de salida variable entre 1pF a 10pF, respecto a *L-driver*. Esta propuesta sólo utiliza dos transistores adicionales a los de *L-driver*.

Se ha diseñado *J-driver* como un excitador *latch* que es más rápido, tiene menor consumo de potencia y área activa cuando se le compara con *L-driver* y otros excitadores similares precedentes.

Excitador CMOS de acoplo cruzado diferencial de 1.2V y 500MHz usando la técnica de sobre-excitación para aplicaciones de baja potencia

Índice General

11.1	Introducción	160
11.1.1	Trabajos previos	161
11.2	Nueva estructura del circuito excitador	164
11.3	Funcionamiento del circuito	165
11.4	Evaluación comparativa	168
11.5	Fabricación y medidas experimentales	170
11.6	Conclusiones	171

Resumen:

EN este Capítulo se presenta un circuito excitador CMOS sobre-excitado de acoplo cruzado diferencial de bajo consumo de potencia y alta velocidad (*db-driver*)¹. El estilo de diseño se fundamenta en un excitador sobre-excitado de acoplo cruzado diferencial. La modificación realizada consigue altas prestaciones, baja área de núcleo,

¹El trabajo presentado en este Capítulo se ha divulgado en la Conferencia de Diseño de Circuitos y Sistemas Integrados (DCIS), en Noviembre de 2005, en Lisboa, Portugal, con el título: “*Design of a Differential Cross Coupled Bootstrapped CMOS Driver for Low Power Consumption*”. Y, en la edición de Noviembre de 2006, en Barcelona, España, bajo el título: “*A 1.2-V 500-MHz CMOS Differential Cross Coupled Driver Using Bootstrap Technique for Low Power Operation*”

Además, se expuso en la Conferencia del IEEE en el Pacífico Asiático para Circuitos y Sistemas (APCCAS), en Diciembre de 2006, en Singapur, Malasia, con el título: “*Low Power Bootstrapped CMOS Differential Cross Coupled Driver*”.

Y, por último, se encuentra publicado en la Revista Internacional de Electrónica de la editorial Taylor & Francis, en Septiembre de 2007 (ISS 0020-7217), volumen 94, número 9, páginas 809 a 819, con el título: “*DB-driver a Low Power CMOS Bootstrapped Differential Cross Coupled Driver*”.

y rápido funcionamiento con excursión lógica completa. El circuito propuesto *db-driver* se implementó con tecnología CMOS de $0.13\mu\text{m}$ y una fuente de alimentación de 1.2V. Las prestaciones superiores del *db-driver* con respecto a otro circuito excitador CMOS sobre-excitado de acoplo cruzado diferencial (*yc-driver*) obtenido como una versión modificada del circuito BiCMOS propuesto en [Tseng and Wu, 1998], en aplicaciones que requieren alto rendimiento, han sido verificadas con simulaciones posteriores al trazado físico.

El excitador *db-driver* es un 34% más rápido y proporciona un 8% menos de área de núcleo en comparación a un circuito homólogo [Tseng and Wu, 1998] (*yc-driver*) que usa la técnica de sobre-excitación indirecta. Además, *db-driver*, reduce el consumo de potencia un 35%.

La presentación de estudios y trabajos de referencia inicial se exponen en la Sección 11.1. La Sección 11.2 resume las características del circuito *db-driver* las cuales son adecuadas para un bajo consumo de potencia. En la Sección 11.3 se presentan los detalles de la implementación del circuito. La tecnología utilizada esta basada en un proceso mejorado con lógica de alta velocidad de UMC, con $0.13\mu\text{m}$ y tensiones de 1.2V/3.3V. La Sección 11.4 proporciona los resultados de simulación posteriores al trazado físico y una evaluación comparativa del *db-driver* con respecto a la estructura del circuito de referencia de la Figura 11.1. La Sección 11.6 expone unas breves conclusiones.

Palabras clave: Circuitos excitadores, diseño lógico, circuitos integrados mixtos analógico-digital, dispositivos MOS, demanda de potencia, circuito conmutado.

11.1 Introducción

Las tendencias actuales están dirigidas hacia el procesado de la señal digital con baja potencia y tensión en sistemas de comunicación y de tratamiento de imágenes. Estas limitaciones hacen difícil el uso de excitadores convencionales. Lograr una excursión lógica completa, alta velocidad, baja área, y bajo consumo de potencia bajo condiciones de una reducida tensión de alimentación muy por debajo de la tecnología CMOS sub-micra requiere un diseño cuidadoso y la optimización del circuito excitador.

En este Capítulo se presenta el diseño de un excitador diferencial CMOS llamado *db-driver*, con una estructura de circuito sobre-excitado de acoplo cruzado, similar al esquema del excitador BiCMOS sobre-excitado de acoplo cruzado diferencial [Tseng and Wu, 1998]. El circuito propuesto *db-driver* logra mayor velocidad y un significativo ahorro de potencia mediante un esquema diferencial, junto con una excursión lógica completa de salida.

[Tseng and Wu, 1998] Tseng, Y. K. and Wu, C. Y. (1998). A 1.5-V differential cross-coupled bootstrapped BiCMOS logic for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 33, pages 1576–1579.

11.1.1 Trabajos previos

Se han propuesto diversos circuitos sobre–excitados de baja potencia y se ha demostrado el potencial de ellos para las aplicaciones prácticas [Tseng and Wu, 1998]–[García et al., 2004].

La mayoría de los circuitos excitadores hasta la fecha habían estado basados en la tecnología BiCMOS. Sin embargo, la ventaja en prestaciones de los BiCMOS sobre los CMOS disminuye con tensiones de alimentación inferiores a 3V. Se han publicado varios diseños para mejorar las prestaciones lógicas de los BiCMOS en funcionamiento con baja tensión tal como BiCMOS complementario [Shin, 1990a], BiCMOS casi-complementario [Yano et al., 1991], BiCMOS combinado [Raje et al., 1991], BiNMOS [Watanabe et al., 1989], BiCMOS de excursión lógica completa transitoriamente–saturado [Hiraki et al., 1992], BiCMOS sobre–excitado [Chik and Salama, 1995] y [Emb, 1995], y BiCMOS de excursión lógica completa sobre–excitado [Bellaouar et al., 1995].

En [Bellaouar et al., 1995] exponen los circuitos lógicos BiCMOS/BiNMOS usando sobre–excitación en la sección de subida con baja tensión de alimentación inferior a 1V. Estos circuitos superan los inconvenientes de los circuitos BiCMOS sobre–excitados. Sin embargo, la capacidad de sobre–excitación en los circuitos BiCMOS/BiNMOS de excursión lógica completa sobre–excitados [Bellaouar et al., 1995] contribuye a la capacidad de salida y el efecto de esta es más notable con la reducción de la tensión de alimentación. Como resultado, tanto la capacidad de carga de salida como la capacidad de cruce del circuito se degradan [Kah et al., 1999].

-
- [García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive–load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.
- [Shin, 1990a] Shin, H. J. (1990a). Full–swing logic circuits in a complementary BiCMOS technology. In *Symposium on VLSI Circuits*, pages 89–90.
- [Yano et al., 1991] Yano, K., Hiraki, M., Shukuri, S., Onose, Y., Hirao, M., Ohki, N., Nishida, T., Seki, K., and Shimohigashi, K. (1991). Quasi–complementary BiCMOS for sub–3–V digital circuits. In *IEEE J. Solid–State Circuits*, volume 26, pages 1708–1719.
- [Raje et al., 1991] Raje, P., Ritts, R., Cham, K., Plummer, J., and Saraswat, K. (1991). MBiCMOS: A device and circuit technique scalable to the sub–micron, sub–2V regime. In *IEEE Solid–State Circuits Conference*, pages 150–151.
- [Watanabe et al., 1989] Watanabe, A., Nagano, T., Shukuri, S., and Ikeda, T. (1989). Future BiCMOS technology for scaled supply voltage. In *International Electron Devices Meeting*, pages 429–432.
- [Hiraki et al., 1992] Hiraki, M., Yano, K., Minami, M., Satoh, K., Matsuzaki, N., Watanabe, A., Nishida, T., Sasaki, K., and Seki, K. (1992). A 1.5V full–swing BiCMOS logic circuit. In *IEEE Solid–State Circuits Conference*, pages 48–49.
- [Chik and Salama, 1995] Chik, R. Y. V. and Salama, C. A. T. (1995). Design of a 1.5V full–swing bootstrapped BiCMOS logic circuit. In *IEEE J. Solid–State Circuits*, volume 30, pages 972–978.
- [Emb, 1995] (1995). A bootstrapped bipolar CMOS (B²CMOS) gate for low–voltage applications. In *IEEE J. Solid–State Circuits*, volume 30, pages 47–53.
- [Bellaouar et al., 1995] Bellaouar, A., Elmasry, M. I., and Embabi, S. H. K. (1995). Bootstrapped full–swing BiCMOS/BiNMOS logic circuits for 1.2–3.3V supply voltage regime. In *IEEE J. Solid–State Circuits*, volume 30, pages 629–636.
- [Kah et al., 1999] Kah, L. H., Seng, Y. K., and Anh, D. M. (1999). A novel 1–V full–swing

La referencia [Kah et al., 1999] describe un circuito BiCMOS que utiliza una realimentación positiva con tres características importantes:

- La capacidad de sobre-excitación no se excita con la entrada como sí ocurre en los BiCMOS sobre-excitados, en donde se requieren grandes transistores de entrada para la sobre-excitación.
- La capacidad de sobre-excitación no se conecta a la salida como sí ocurre en los BiCMOS o BiNMOS de excursión lógica completa.
- Durante el ciclo de sobre-excitación, la tensión de la base del transistor de subida se carga en un tiempo breve.

El circuito BiCMOS propuesto en [Kah et al., 1999] supera a los circuitos CMOS, y a los BiCMOS sobre-excitados y de excursión lógica completa al reducir la tensión de alimentación a 1V en términos de velocidad, potencia, y área del chip.

Otros autores proponen un inversor sobre-excitado de baja tensión diseñado con una tecnología CMOS estándar de alta tensión umbral, la cual pueda funcionar por debajo de una $V_{dd}=1V$ [Moisiadis et al., 1999b]

En general, el diagrama de circuito de un excitador sobre-excitado consta del segmento de sobre-excitación, del segmento de subida, y del segmento de bajada. La sobre-excitación de la puerta del dispositivo de subida/bajada o de la tensión de salida ofrece una reducción notable de los tiempos de retardo de subida y bajada frente a grandes cargas capacitivas. Esta ventaja en velocidad no está acompañada de un importante incremento de consumo de potencia en comparación con el esquema de excitador convencional.

Las prestaciones de la puerta lógica BiCMOS sobre-excitada de acoplo cruzado diferencial se analizó en [Tseng and Wu, 1998]. La comparación de esta lógica con la de los circuitos de CPL², los BiCMOS de Transistor de Paso (PT-BiCMOS)³, y los BiCMOS CPL, pone de manifiesto que la prestación de velocidad de la puerta lógica BiCMOS sobre-excitada de acoplo cruzado diferencial, en el rango de capacidades de carga, fue superior a la de aquellas otros circuitos lógicos bajo condiciones de baja tensión de funcionamiento.

La Figura 11.1 presenta el circuito BiCMOS sobre-excitado de acoplo cruzado diferencial de [Tseng and Wu, 1998] que se ha vuelto a implementar con lógica CMOS sustituyendo los transistores bipolares por dispositivos NMOS.

²Traducción del término inglés *Complementary Pass-transistor Logic*.

³Traducción del término anglosajón *Pass-Transistor BiCMOS*.

BiCMOS circuit using a positive feedback base-boost technique. In *Circuits and Systems*, volume 2, pages 605–607.

[Kah et al., 1999] Kah, L. H., Seng, Y. K., and Anh, D. M. (1999). A novel 1-V full-swing BiCMOS circuit using a positive feedback base-boost technique. In *Circuits and Systems*, volume 2, pages 605–607.

[Moisiadis et al., 1999b] Moisiadis, Y., Bouras, I., Efthymiou, A., and Papadas, C. (1999b). Fast 1V bootstrapped inverter suitable for standard CMOS technologies. In *Electronics Letters*, volume 35, pages 109–111.

[Tseng and Wu, 1998] Tseng, Y. K. and Wu, C. Y. (1998). A 1.5-V differential cross-coupled bootstrapped BiCMOS logic for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 33, pages 1576–1579.

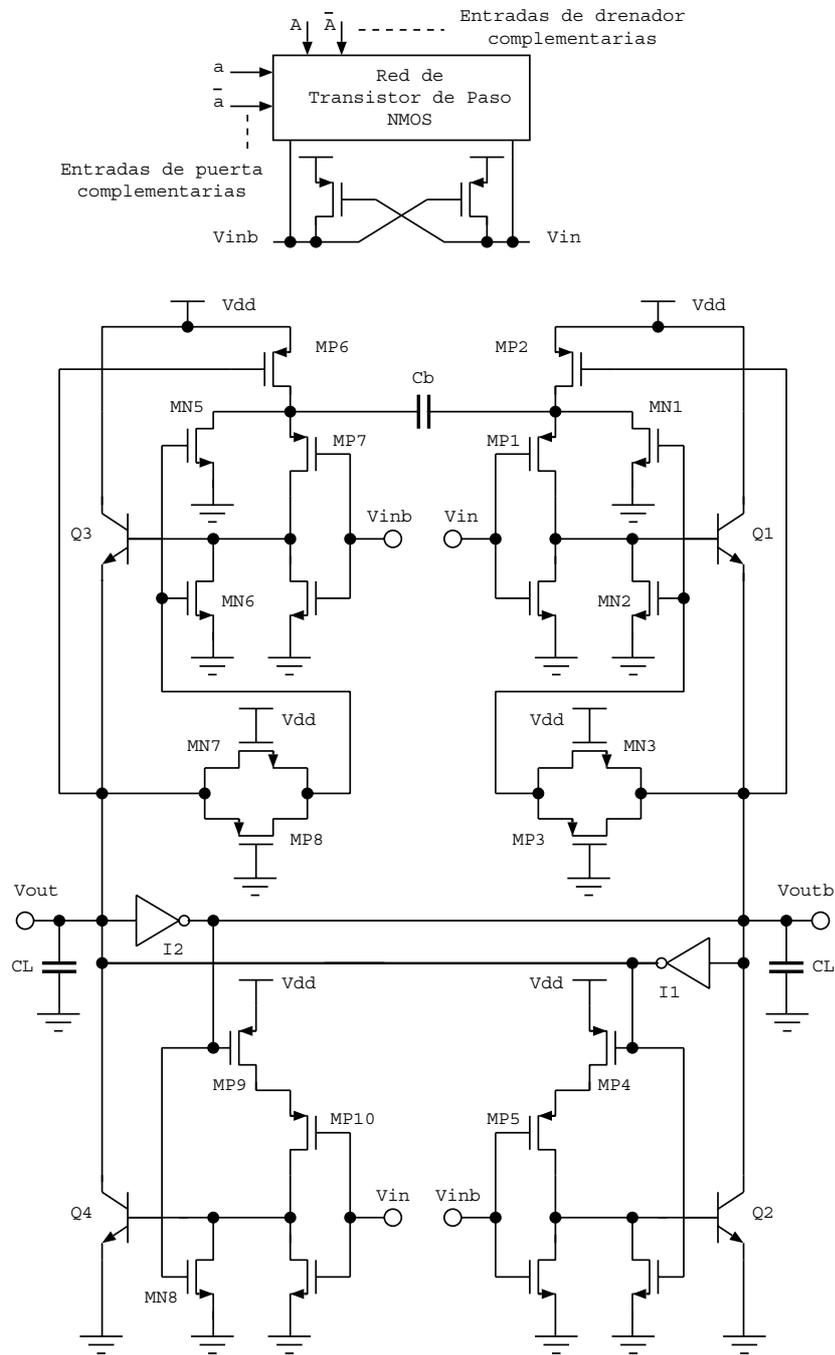


Figura 11.1: Estructura del circuito de la lógica CMOS sobre-excitada de acoplamiento cruzado diferencial. El esquema inferior corresponde al *yc-driver*.

Este circuito está formado por un árbol lógico de transistor de paso NMOS con el *latch* de acoplo cruzado PMOS, y el excitador de salida CMOS sobreexcitado de acoplo cruzado diferencial (*yc-driver*). Este circuito se utiliza como el diseño de referencia para propósitos de comparación.

En este Capítulo, se diseña el *db-driver*, se evalúan sus prestaciones, y se comparan con la versión CMOS de excitador sobreexcitado de acoplo cruzado diferencial de la Figura 11.1 (*yc-driver*).

11.2 Nueva estructura del circuito excitador

La Figura 11.2 presenta la estructura del circuito para el *db-driver* propuesto. Se ha diseñado eliminando del *yc-driver* en la Figura 11.1, los transistores M9, M10, M15, y M16. Además, los dispositivos M17 y M19, que están excitados por el inversor I1, se cambian a tipo N y P, respectivamente. Asimismo, los dispositivos M21 y M24, que están excitados por el inversor I2, son cambiados a tipos N y P, respectivamente. El tamaño del condensador C_b está optimizado para una mayor velocidad y reducción de potencia [García et al., 2004]

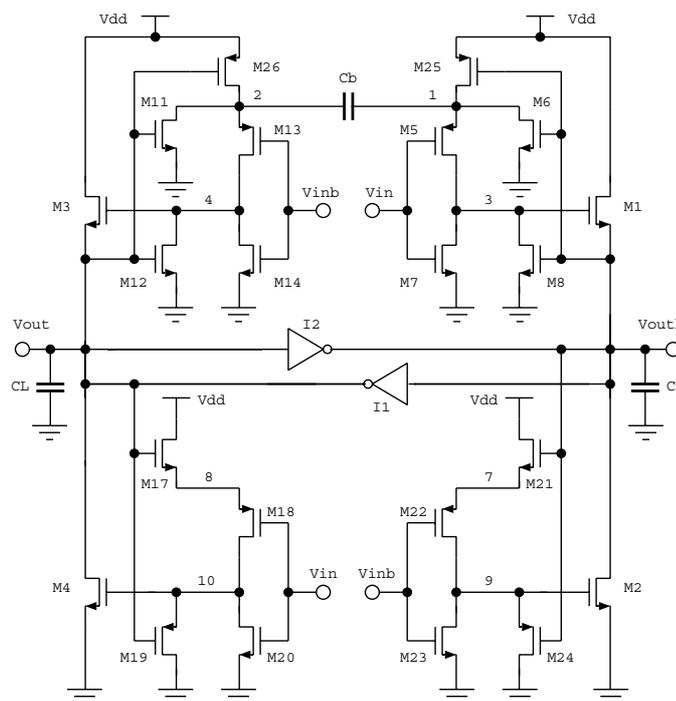


Figura 11.2: Estructura del circuito del excitador CMOS sobreexcitado de acoplo cruzado diferencial *db-driver*.

Ambos excitadores se implementan utilizando un proceso mejorado con lógica de alta velocidad de UMC, con $0.13\mu\text{m}$ y tensiones de 1.2V/3.3V. Los parámetros de la Tabla 11.1 se han utilizado en el diseño y simulación de

[García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

Tabla 11.1: ANCHO DE CANAL PARA *yc-driver* Y *db-driver*

<i>yc-driver</i>			<i>db-driver</i>		
Transistor(es)	Tipo	Ancho (μm)	Transistor(es)	Tipo	Ancho (μm)
PI1	PMOS	10	PI1	PMOS	6
NI1, NI2	NMOS	0.28	NI1	NMOS	4
PI2, M13	PMOS	50	PI2	PMOS	8
M1	NMOS	3	M1, Mboot	NMOS	10
M2	NMOS	55	M2	NMOS	19
M3	NMOS	14	M3	NMOS	20
M4	NMOS	8	M4	NMOS	30
M5, M10, M16	PMOS	0.28	M5	PMOS	8
M6 a M9	NMOS	0.28	M6, M8	NMOS	0.28
M11, M12	NMOS	0.28	M7, M20	NMOS	8
M14, M15, M19	NMOS	0.28	NI2	NMOS	0.28
M17	PMOS	2.2	M11, M12	NMOS	0.28
M18	PMOS	70	M13, M18	PMOS	20
M20, M23, M24	NMOS	0.28	M14, M23	NMOS	0.28
M21	PMOS	10	M17	NMOS	60
M22	PMOS	4	M19, M24	PMOS	0.28
M25	PMOS	1	M21	NMOS	40
M26	PMOS	30	M22, M25	PMOS	10
Mboot	NMOS	0.5	M26	PMOS	18

La tecnología es un proceso mejorado con lógica de alta velocidad de UMC, con $0.13\mu\text{m}$ y tensiones de 1.2V/3.3V.

ambas estructuras (*yc-driver* y *db-driver*). La longitud de canal de todos los transistores en *yc-driver* y *db-driver* es de $0.13\mu\text{m}$. En la Tabla 11.1, Mboot representa el tamaño del transistor NMOS utilizado para el condensador de sobre-excitación Cb.

11.3 Funcionamiento del circuito

En el *db-driver* de la Figura 11.2, M6, M11, M25, M26 y Cb forman la sección de sobre-excitación del circuito. En el caso de un estado estacionario en el que V_{in} (V_{inb}) se fija a un nivel alto (bajo), la salida de tensión V_{out} (V_{outb}) se pone en alto (bajo) mediante el inversor I1 (I2). Los transistores M7, M11, M12, M13, M17, M20, M22, M24 y M25 conducen. Al activarse M25 y M11, el condensador de sobre-excitación Cb se carga a V_{dd} (el nodo 1 está a V_{dd} y el nodo 2 está a tierra). Al mismo tiempo los transistores espejo M14, M6, M8, M5, M21, M23, M18, M19 y M26 se cortan. Los transistores M1, M2, y sus espejos M3 y M4 se cortan.

El funcionamiento en conmutación del circuito *db-driver* durante la transición de alto a bajo (bajo a alto) de la salida V_{out} (V_{outb}) se muestra en la Figura 11.3. Cuando V_{in} y V_{inb} conmutan a bajo y a alto, respectivamente, M7, M13, M20 y M22 se cortan rápidamente, y M5, M14, M18 y M23 conducen inmediatamente. La conducción de M5 hace que la puerta de M1 se sobre-

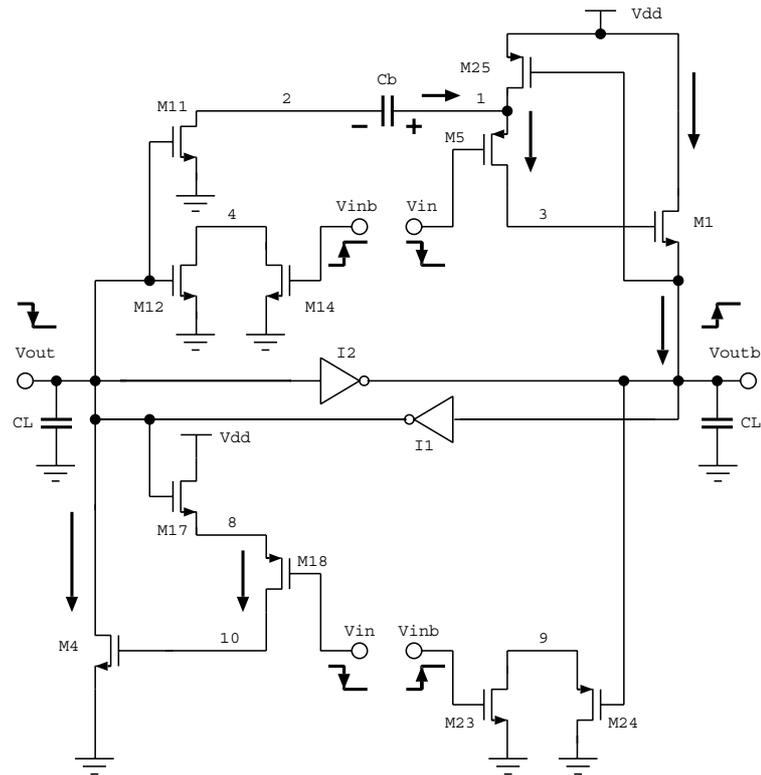


Figura 11.3: Estructura del circuito equivalente del *db-driver* cuando V_{out} y V_{outb} están conmutando de alto a bajo y de bajo a alto, respectivamente.

excite con una tensión que excede V_{dd} , activando momentáneamente a M1 con fuerza para excitar la salida V_{outb} a nivel alto rápidamente. Por tanto, la sobre-excitación ayuda a mejorar la velocidad de conmutación del circuito. Al mismo tiempo, la conducción de M18 hace que M4 se active en seguida y baje la salida M4. De este modo, V_{out} y V_{outb} adoptan sus valores finales mediante la conmutación rápida de M1 y M4. Se ha de observar que durante esta transición M2 y M3 permanecen cortados. Finalmente, mediante la realimentación proporcionada por los inversores I1 e I2, los transistores M11, M12, M17, M24 y M25 se cortan, y los transistores espejo M6, M8, M21, M19 y M26 conducen.

Asimismo, cuando V_{in} se pone a nivel bajo y V_{inb} a nivel alto el condensador de sobre-excitación C_b se carga a través de M6 y M26 (el nodo 2 está a V_{dd} y el nodo 1 a tierra). Según se aprecia en la Figura 11.4, durante la transición opuesta de abajo arriba (de arriba a bajo) en la salida V_{out} (V_{outb}) el papel de los transistores y el de sus espejos cambia. Obsérvese, específicamente, que las transiciones rápidas en las salidas V_{out} y V_{outb} se deben a la conmutación de M3 y M2, respectivamente, mientras que M1 y M4 permanecen cortados. El mecanismo de la sobre-excitación se proporciona a través de C_b (cargado en sentido opuesto) y el transistor M13.

De la descripción del funcionamiento del circuito se puede deducir que los transistores M1, M2, y sus espejos M3 y M4 sólo proporcionan una excitación fuerte durante los eventos de las transiciones. En condiciones estáticas, los inversores I1 e I2 establecen el estado estable de salida. Sin embargo, el

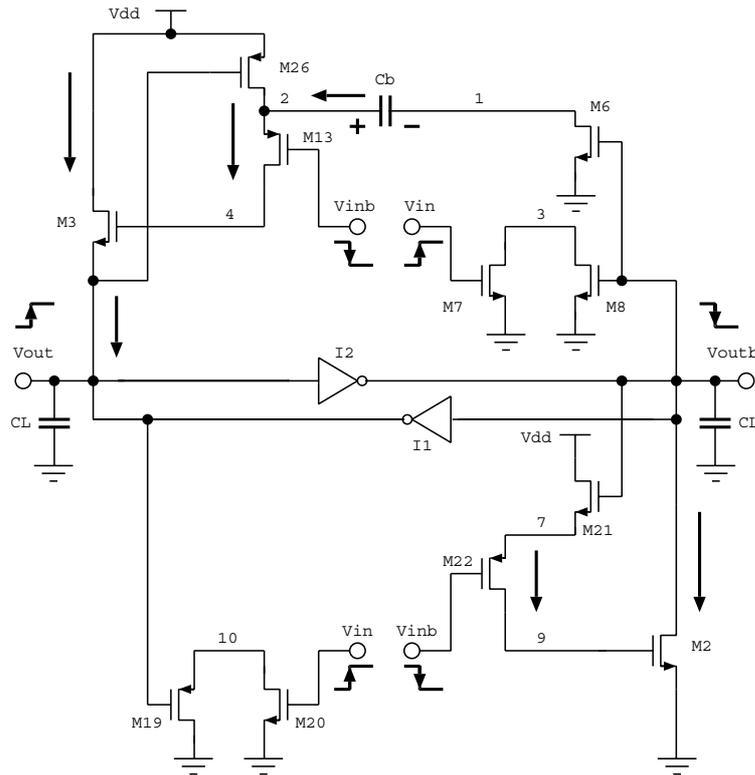


Figura 11.4: Estructura del circuito equivalente del *db-driver* cuando V_{out} y V_{outb} están conmutando de bajo a alto y de alto a bajo, respectivamente.

tiempo de subida y bajada de la salida está especialmente afectado por la velocidad de estos inversores CMOS. Con el fin de optimizar las prestaciones del circuito se requiere un cuidadoso dimensionado de los inversores I1 e I2.

La velocidad de subida y bajada del *db-driver* depende de la velocidad de conmutación de los transistores M5 y M13, y de los transistores M18 y M22, respectivamente.

M8, M12, M19 y M24 ayudan a evitar la conducción de corriente de cortocircuito durante el período de subida y bajada de cada puerto de salida, y mejoran la velocidad de conmutación del circuito.

Los dos transistores NMOS M6 y M11 son para descargar el condensador de sobre-excitación C_b durante las transiciones de alto a bajo y de bajo a alto en la salida V_{out} , respectivamente. En *yc-driver* y *db-driver*, C_b se realiza utilizando un transistor NMOS con una longitud de canal de $0.5\mu\text{m}$ y $10\mu\text{m}$, respectivamente. La capacidad equivalente de C_b en *yc-driver* es 5pF , y en *db-driver* es 12fF .

La Figura 11.5 muestra las respuestas de ambos excitadores en los nodos de sobre-excitación debida a la carga y descarga de C_b . Como se ve, *db-driver* presenta transiciones más rápidas que *yc-driver*. Este es un factor clave de las superiores prestaciones del *db-driver*.

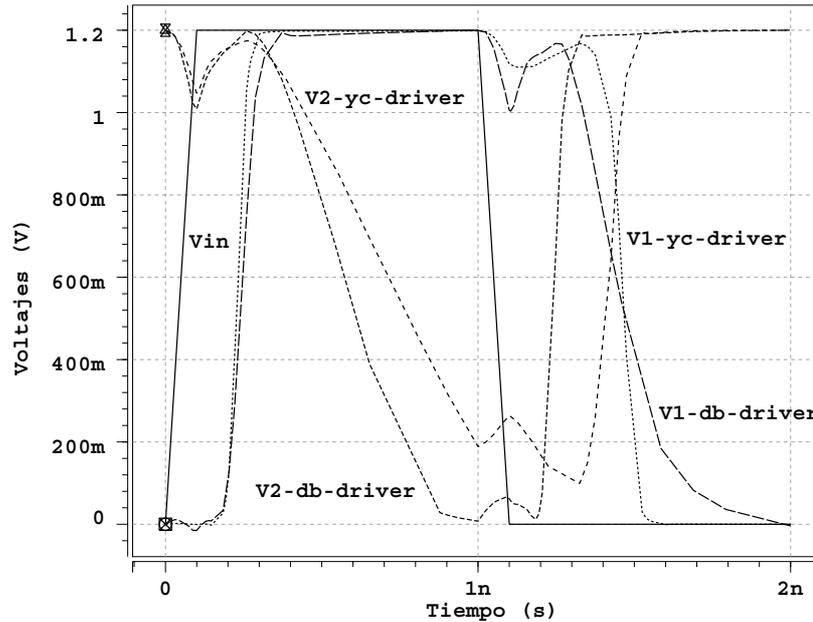


Figura 11.5: Comparación de las formas de onda de tensión en los nodos de sobre-excitación para *db-driver* e *yc-driver*.

11.4 Evaluación comparativa

Usando un proceso mejorado de lógica de alta velocidad de UMC de $0.13\mu\text{m}$ con 1.2V/3.3V se compara el área utilizada, el retardo del tiempo de propagación, y el consumo de potencia de los dos excitadores.

El área del núcleo de *yc-driver* y *db-driver* son $363.26\mu\text{m}^2$, y $331.33\mu\text{m}^2$, respectivamente. Esto corresponde a una reducción de área del 8%.

Los circuitos se simularon después del trazado a una frecuencia de entrada de 500MHz, con tiempos de subida y de bajada de 100ps, una fuente de alimentación de 1.2V, y una carga capacitiva de salida comprendida en el rango de 10fF a 100fF.

La Figura 11.6 muestra el funcionamiento de ambos excitadores durante la transición de subida y bajada con los nodos V_{out} y V_{outb} cargados con 100fF. Se puede observar que los valores del retardo en las formas de onda de salida para *yc-driver* son mayores de los de *db-driver* cuando V_{in} conmuta de alto a bajo.

La Figura 11.7 muestra el retardo de propagación en función del valor de la carga para *yc-driver* y *db-driver*. De la gráfica se puede observar que *db-driver* es un 34% más rápido.

La Figura 11.8 es la curva del consumo de potencia en función de la capacidad de carga de los dos circuitos en consideración. Se puede ver que el consumo de potencia asociado con *db-driver* es un 35% menor que el de *yc-driver*.

Con el fin de obtener una comparación más justa entre los diversos excitadores, se define una Figura de Mérito (FM), con el producto del consumo de

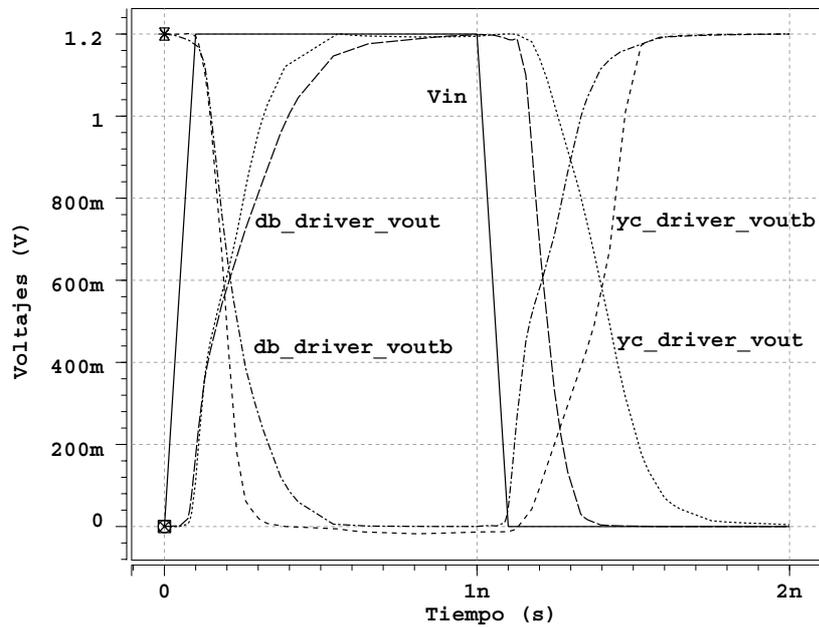


Figura 11.6: Formas de ondas transitorias de *yc-driver* y *db-driver* con una carga capacitiva de 100fF en el nodo Vout.

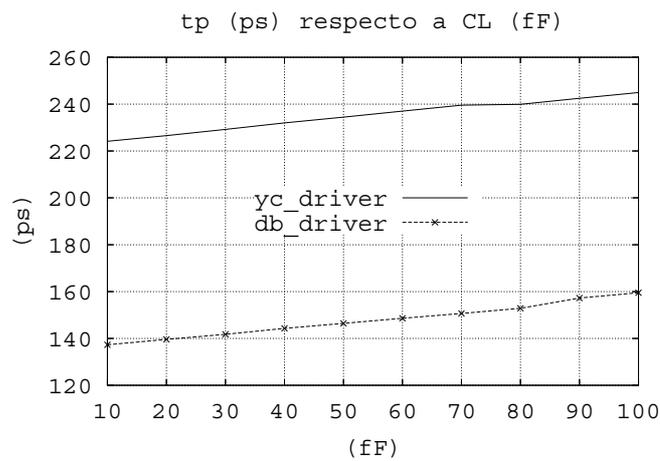


Figura 11.7: Retardo de propagación en función de la capacidad de carga.

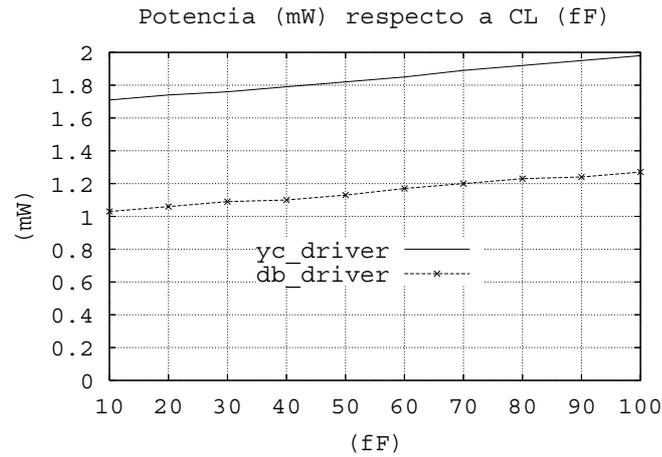


Figura 11.8: Consumo de potencia en función de la capacidad de carga.

potencia y el retardo. La Figura 11.9 ilustra los valores de la figura de mérito en función de la capacidad de carga para *yc-driver* y *db-driver*. La Figura de Mérito para *db-driver* es entre 2.4–2.7 veces más pequeña que la de *yc-driver*.

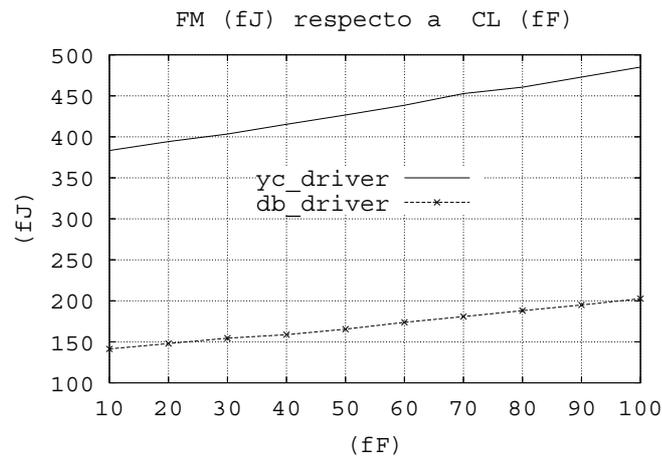


Figura 11.9: Figura de Mérito (producto potencia–retardo) en función de la capacidad de carga.

Del resultado expuesto, se puede concluir que desde un punto de vista con requerimiento de bajo consumo para el procesamiento digital de señal, *db-driver* representa una alternativa atractiva en el diseño de excitadores, y en su completa integración en tecnología CMOS.

11.5 Fabricación y medidas experimentales

El circuito *db-driver* se fabricó utilizando un proceso tecnológico UMC de $0.13\mu\text{m}$ con 1.2V/3.3V. La Figura 11.10 muestra una fotografía del integrado que alberga al excitador *db-driver*. Las medidas obtenidas en la práctica

muestran un incremento de un 22% en el retardo, y un 31% en el consumo de potencia respecto a los obtenidos con la simulación del núcleo para una carga capacitiva de 100fF. Esa desviación se debe, principalmente, a la incorporación de los circuitos de E/S como parte del trazado físico del circuito *db-driver*.

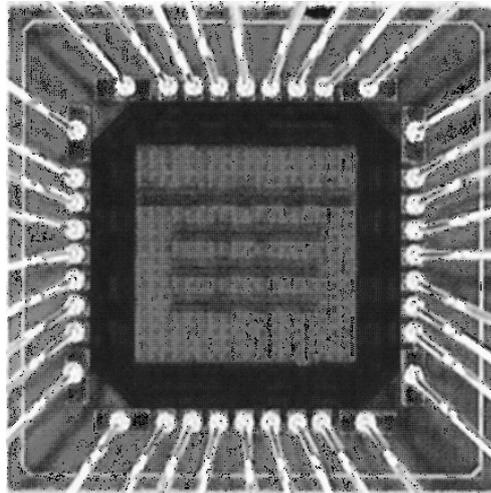


Figura 11.10: Microfotografía del chip que incluye el *db-driver*.

11.6 Conclusiones

En este Capítulo se ha presentado el diseño, análisis y evaluación de un nuevo circuito excitador CMOS sobre-excitado con acoplo cruzado diferencial (*db-driver*). Además, *db-driver* se compara con una estructura de circuito CMOS de línea similar denominada *yc-driver* y que se ha obtenido sustituyendo el diseño BiCMOS de la referencia [Tseng and Wu, 1998] por CMOS.

El circuito *db-driver* propuesto se implementó con un proceso mejorado para lógica de alta velocidad de $0.13\mu\text{m}$ 1.2V/3.3V de UMC. Se realizó una simulación posterior al trazado físico del circuito a una frecuencia de 500MHz con tiempos de subida y bajada de 100ps, una tensión de alimentación de 1.2V, y un rango de condiciones de carga entre 10fF y 100fF. Los resultados de simulación indican que el consumo de potencia de *db-driver* es un 35% menor que el de *yc-driver*. El prototipo tiene un área de núcleo un 8% menor, y su velocidad de conmutación es un 34% mejor.

La reducción considerable del consumo de potencia y de la velocidad de conmutación del *db-driver* conducen a una mejora de casi tres veces en la Figura de Mérito (el producto potencia-retardo).

[Tseng and Wu, 1998] Tseng, Y. K. and Wu, C. Y. (1998). A 1.5-V differential cross-coupled bootstrapped BiCMOS logic for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 33, pages 1576–1579.

Parte III
Discusiones

Conclusiones

EL explosivo crecimiento del mercado electrónico de portátiles junto con los avances en la tecnología CMOS han potenciado el desarrollo de los sistemas de baja tensión y potencia. Se ha demostrado que los circuitos BiCMOS convencionales tienen pobres prestaciones cuando la tensión de alimentación es baja, y que una solución a los problemas encontrados consiste en recurrir al diseño con tecnología CMOS. La demanda de circuitos de bajo consumo justifica que la tesis se centre en el diseño de circuitos excitadores y convertidores de nivel lógico que no requieren fuentes de alimentación adicionales, ni tensiones de referencia, ni procesos de múltiple tensión umbral, y que proporcionan bajo consumo de potencia, retardo, energía, área activa y buen margen de ruido. Tales circuitos encuentran aplicación en interconexiones largas, utilizando la técnica de baja excursión lógica para reducir el producto energía-retardo requerido en propagar las señales. Los circuitos diseñados en esta tesis cumplen con los objetivos propuestos y son de baja complejidad. Las tecnologías CMOS utilizadas se corresponden con procesos de $0.18\mu\text{m}$ ó $0.13\mu\text{m}$. Además, se han realizado los trazados físicos de muchos de los circuitos para verificar su funcionalidad y prestaciones.

Las aportaciones se resumen en la Tabla 12.1 y han permitido obtener un par excitador-receptor adecuado para mejorar las prestaciones de las interconexiones largas en el chip utilizando la técnica de baja excursión lógica con la mayor fiabilidad posible frente a las topologías publicadas en el estado del arte. Ello ha supuesto el principal esfuerzo de este trabajo y se ha concretado en la implementación del excitador *mj-driver* [Fer, 2001], [Zhang et al., 2000] y [Kheradmand-Boroujeni and Masoumi, 2004]; de los convertidores de nivel *lf-converter* [Moisiadis et al., 2000], [Kulkarni and Sylvester,

[Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

[Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on-chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.

[Kheradmand-Boroujeni and Masoumi, 2004] Kheradmand-Boroujeni, B. and Masoumi, N. (2004). A new large capacitive load driver circuit for low voltage CMOS VLSI. In *Proc. of the IEEE Workshop on Biomedical Circuits and Systems*, pages S1.1–5–S.1.1–8.

[Moisiadis et al., 2000] Moisiadis, Y., Bouras, I., and Arapoyanni, A. (2000). High performance level restoration circuits for low-power reduced swing interconnect schemes. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 1, pages 619–622.

2004], y [Rjoub and Koufopavlou, 1999]; y *sib-driver* [Kulkarni and Sylvester, 2004], [Narasimhan et al., 2005], y [Rjoub and Koufopavlou, 1999]; y del par excitador–receptor *mj-sib* [Zhang et al., 2000], [Fer, 2001], y [Kulkarni and Sylvester, 2004].

Como extensión del diseño de excitadores para interconexiones, se han estudiado varias topologías y técnicas que han permitido optimizar cada uno de los circuitos consultados. Las mejoras se han conseguido introduciendo variaciones estructurales en los circuitos de referencia o adoptando nuevos esquemas. Por otro lado, la técnica de sobre–excitación ha permitido disponer de una excursión lógica completa a partir de una excursión lógica reducida, ya que la tensión de sobre–excitación tiene un flanco de subida muy rápido para reducir el consumo de potencia y el retardo de las transiciones de salida. Se ha reducido el área activa de los diseños en todos aquellos casos en los que se ha utilizado un sólo condensador de sobre–excitación. Además se ha comprobado la eficiencia de la técnica de multi–camino para conseguir altas prestaciones en los circuitos excitadores. El resultado de estas consideraciones se manifiesta en la obtención de los circuitos *M-driver* [Kong and Jun, 1999], [Yeo et al., 2000], y [Chen and Kuo, 2002]; *F-driver* [Lou and Kuo, 1997a], [Kiat-Seng et al., 2000], y [Chen and Kuo, 2002]; y *bfi-driver* [Bellaouar et al., 1995], y [Lou and Kuo, 1997a].

-
- [Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.
- [Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 2, pages 789–794.
- [Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.
- [Narasimhan et al., 2005] Narasimhan, A., Kasotiya, M., and Sridhar, R. (2005). A low-swing differential signaling scheme for on–chip global interconnects. In *IEEE Int. Conference on VLSI Design*, pages 634–639.
- [Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low-swing on–chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.
- [Fer, 2001] (2001). *Low swing signaling using a dynamic diode–connected driver*, presented at Solid–State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.
- [Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power–efficient low–voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.
- [Yeo et al., 2000] Yeo, K. S., Ma, J. G., and Do, M. A. (2000). Ultra–low–voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.
- [Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub–1V CMOS large capacitive–load driver circuit using direct bootstrap technique for low–voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.
- [Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full–swing bootstrapped CMOS large capacitive–load driver circuit suitable for low–voltage CMOS VLSI. In *IEEE J. Solid–State Circuits*, volume 32, pages 119–121.
- [Kiat-Seng et al., 2000] Kiat-Seng, Y., Jian-Guo, M., and Manh-Anh, D. (2000). Ultra low voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.
- [Bellaouar et al., 1995] Bellaouar, A., Elmasry, M. I., and Embabi, S. H. K. (1995). Boot-

Tabla 12.1: RESUMEN DE LAS CONCLUSIONES DE LA TESIS.

Circuito	Estado del arte	Aportaciones	Mejoras
Excitador de baja excursión lógica	[Fer, 2001], [Zhang et al., 2000], y [Kheradmand-Boroujeni and Masoumi, 2004]	[García et al., 2007a]	Energía, retardo, y área
Convertidor de nivel de baja a alta excursión lógica	[Moisiadis et al., 2000], [Kulkarni and Sylvester, 2004], y [Rjoub and Koufopavlou, 1999]	[García et al., 2007d]	Energía, retardo, y área
Convertidor de baja a alta excursión lógica simétrico	[Kulkarni and Sylvester, 2004], [Narasimhan et al., 2005], y [Rjoub and Koufopavlou, 1999]	[García et al., 2007e] [García et al., 2008b]	Energía, y retardo
Par excitador receptor	[Zhang et al., 2000], [Fer, 2001], y [Kulkarni and Sylvester, 2004]	[García et al., 2007c] [García et al., 2008a] [García et al., 2009b] [García et al., 2009a]	Energía, y retardo
Excitador con sobre-excitación directa	[Kong and Jun, 1999], [Yeo et al., 2000], y [Chen and Kuo, 2002]	[García et al., 2004]	Potencia, y retardo
Excitador con un sólo condensador de sobre-excitación	[Lou and Kuo, 1997a], [Kiat-Seng et al., 2000], y [Chen and Kuo, 2002]	[García et al., 2005c] [García et al., 2005b] [García et al., 2006d]	Potencia, retardo, y área
Excitador inversor sobre-excitado	[Bellaouar et al., 1995], y [Lou and Kuo, 1997a]	[García et al., 2006b]	Potencia, retardo, y área
Excitador <i>latch</i> sobre-excitado	[Chen and Kuo, 2002], y [Kong and Jun, 1999]	[García et al., 2005a]	Potencia, retardo, y área
Excitador de acoplo cruzado diferencial sobre-excitado	[Tseng and Wu, 1998], [Kah et al., 1999], y [Moisiadis et al., 1999b]	[García et al., 2005d] [García et al., 2006a] [García et al., 2006c] [García et al., 2007b]	Potencia, retardo, y área

Por último, se ha ampliado el conjunto de excitadores diseñados abordando las estructuras *latch*, y diferencial, representadas con las propuestas *J-driver* [Chen and Kuo, 2002], y [Kong and Jun, 1999]; y *db-driver* [Tseng and Wu, 1998], [Kah et al., 1999], y [Moisiadis et al., 1999b], respectivamente.

Lo importante de la metodología seguida en la optimización de los circuitos es que puede generalizarse a cualquier topología; prueba de ello es que ya se ha aplicado al diseño de circuitos adiabáticos y desplazadores de nivel con tecnología CMOS de 65nm como trabajos de ampliación a esta tesis.

strapped full-swing BiCMOS/BiNMOS logic circuits for 1.2–3.3V supply voltage regime. In *IEEE J. Solid-State Circuits*, volume 30, pages 629–636.

[Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.

[Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power-efficient low-voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.

[Tseng and Wu, 1998] Tseng, Y. K. and Wu, C. Y. (1998). A 1.5-V differential cross-coupled bootstrapped BiCMOS logic for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 33, pages 1576–1579.

[Kah et al., 1999] Kah, L. H., Seng, Y. K., and Anh, D. M. (1999). A novel 1-V full-swing BiCMOS circuit using a positive feedback base-boost technique. In *Circuits and Systems*, volume 2, pages 605–607.

[Moisiadis et al., 1999b] Moisiadis, Y., Bouras, I., Efthymiou, A., and Papadas, C. (1999b). Fast 1V bootstrapped inverter suitable for standard CMOS technologies. In *Electronics Letters*, volume 35, pages 109–111.

Capítulo 13

Líneas Futuras

A continuación se comentan las distintas líneas de trabajo que se consideran interesantes a raíz del estudio presentado en la tesis. En particular:

- Ampliar el estudio de excitadores de altas prestaciones atendiendo, en particular, a aquellos que son apropiados en aplicaciones de *Sistema en Circuito Integrado* (SOC)¹, y en los que se combinen las técnicas de sobre-excitación en baja tensión con la técnica DTMOS [Lindert et al., 1999] para optimizar su área, retardo y energía
- Usar lógica dinámica con circuitos CMOS y BiCMOS de *Lógica Dinámica Sobre-excitada* (BDL)² [Lou and Kuo, 1997b], [Lou and Kuo, 1999], y [Dejhan et al., 2004b] para conseguir alta velocidad con una alimentación por debajo de 1.5V, y con altas cargas de salida
- Diseñar circuitos excitadores que utilicen técnicas adiabáticas [Zhang et al., 2002] y [Chen and Kuo, 2004] para obtener una recuperación eficiente de la energía y un bajo consumo de potencia. Se estudiaría

¹Traducción del término anglosajón *System On Chip*.

²Traducción del término inglés *Bootstrapped Dynamic Logic*.

[Lindert et al., 1999] Lindert, N., Sugii, T., Tang, S., and Hu, C. (1999). Dynamic threshold pass-transistor logic for improved delay at lower power supply voltages. In *IEEE J. Solid-State Circuits*, volume 34, pages 85–89.

[Lou and Kuo, 1997b] Lou, J. H. and Kuo, J. B. (1997b). 1.5V CMOS and BiCMOS bootstrapped dynamic logic circuits suitable for low-voltage VLSI. In *VLSI Technology, Systems, and Applications*, pages 279–282.

[Lou and Kuo, 1999] Lou, J. H. and Kuo, J. B. (1999). A 1.5V CMOS all-N-logic true-single-phase bootstrapped dynamic-logic circuit suitable for low supply voltage and high-speed pipeline system operation. In *IEEE Tran. on Circuits and Systems II*, volume 46, pages 628–631.

[Dejhan et al., 2004b] Dejhan, K., Tooprakai, P., Rojthongkham, P., and Soonyeechan, C. (2004b). A Design of High-Speed, Full-Swing Bootstrapped BiCMOS Dynamic Circuit. In *IEEE International Conference on Semiconductor Electronics*, pages 72–75.

[Zhang et al., 2002] Zhang, Y., Chen, H. H., and Kuo, J. B. (2002). 0.8V CMOS adiabatic differential switch logic circuit using bootstrap technique for low-voltage low-power VLSI. In *Electronics Letters*, volume 38, pages 1497–1499.

[Chen and Kuo, 2004] Chen, H. P. and Kuo, J. B. (2004). A 0.8V CMOS TSPC adiabatic DCVS logic circuit with the bootstrap technique for low-power VLSI. In *IEEE Int. Conference on Electronics, Circuits and Systems (ICECS)*, pages 175–178.

la lógica adiabática denominada *Lógica de Recuperación de Energía de Transistor de Paso Complementaria* (CPERL)³ y se utilizaría la técnica de sobre-excitación para conseguir ahorro de potencia. De ese modo, se podrían eliminar las pérdidas no adiabáticas en la lógica de recuperación de energía NMOS [Chang et al., 2002]

- Hacer extensiva la técnica de sobre-excitación a los circuitos de disparo [Dejhan et al., 2004a], a los conmutadores [Aksin et al., 2005] y [Fayoni et al., 2005], a los desplazadores de nivel [Tang and Sun, 2002], y a los circuitos sumadores [Hernández and Aranda, 2005] para mejorar sus prestaciones con alta frecuencia de trabajo y baja tensión de alimentación
- Continuar el estudio de las interconexiones utilizando circuitos y metodologías que funcionen con tensiones inferiores a la tensión umbral, que mejoren el retardo de cableado total, y reduzcan las variaciones del retardo debidas a fluctuaciones del proceso, la tensión y la temperatura. Y, utilizar condensadores de sobre-excitación en los circuitos de interconexión de alta velocidad tolerantes a variaciones [Kil et al., 2006] para mejorar la corriente de excitación en aplicaciones de muy bajo consumo de potencia, y donde otras prestaciones son de importancia secundaria

³Traducción del término inglés *Complementary Pass-transistor Energy Recovery Logic*.

-
- [Chang et al., 2002] Chang, R. C., Hung, P. C., and Wang, I. H. (2002). Complementary pass-transistor energy recovery logic for low-power applications. In *IEE Proceedings-Computers and Digital Techniques*, volume 149, pages 146–151.
- [Dejhan et al., 2004a] Dejhan, K., Tooprakai, P., Rerkmaneevan, T., and Soonyeevan, C. (2004a). A high-speed direct bootstrapped CMOS Schmitt trigger circuit. In *IEEE International Conference on Semiconductor Electronics*, pages 68–71.
- [Aksin et al., 2005] Aksin, D., Al-Shyokh, M. A., and Maloberti, F. (2005). A bootstrapped switch for precise sampling of inputs with signal range beyond supply voltage. In *IEEE 2005 Custom Integrated Circuits Conference*, pages 743–746.
- [Fayoni et al., 2005] Fayoni, C. J. B., Roberts, G. W., and Sawan, M. (2005). Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization. In *IEEE International Symposium on Circuits and Systems*, volume 3, pages 2200–2203.
- [Tang and Sun, 2002] Tang, S. C. and Sun, X. W. (2002). Low power CMOS level shifters by bootstrapping technique. In *Electronics Letters*, volume 38, pages 876–878.
- [Hernández and Aranda, 2005] Hernández, M. A. and Aranda, M. L. (2005). A low-power bootstrapped CMOS full adder. In *International Conference on Electrical and Electronics Engineering*, pages 243–246.
- [Kil et al., 2006] Kil, J., Gu, J., and Kim, C. H. (2006). A high-speed variation-tolerant interconnect technique for sub-threshold circuits using capacitive boosting. In *International Symposium on Low Power Electronics and Design*, pages 67–72.

Bibliografía

Bajo consumo

- [Chandrakasan and Brodersen, 1995] Chandrakasan, A. P. and Brodersen, R. W. (1995). Minimizing power consumption in digital CMOS circuits. In *Proceedings of the IEEE*, volume 83, pages 498–523.
- [Davari et al., 1995] Davari, B., Dennard, R. H., and Shahidi, G. G. (1995). CMOS scaling for high performance and low power—the next ten years. In *Proceedings of the IEEE*, volume 83, pages 595–606.
- [Gonzalez et al., 1997] Gonzalez, R., Gordon, B. M., and Horowitz, M. A. (1997). Supply and threshold voltage scaling for low power CMOS. In *Solid-State Circuits, IEEE Journal of*, volume 32, pages 1210–1216.
- [Kao and Chandrakasan, 2000] Kao, J. T. and Chandrakasan, A. P. (2000). Dual-threshold voltage techniques for low-power digital circuits. In *Solid-State Circuits, IEEE Journal of*, volume 35, pages 1009–1018.
- [Svensson, 1996] Svensson, D. (1996). *Low power circuit techniques*, pages 38–64. Low Power Design Methodologies. Kluwer Academics Publishers.

Interconexiones

- [Kheradmand-Boroujeni and Masoumi, 2004] Kheradmand-Boroujeni, B. and Masoumi, N. (2004). A new large capacitive load driver circuit for low voltage CMOS VLSI. In *Proc. of the IEEE Workshop on Biomedical Circuits and Systems*, pages S1.1–5–S.1.1–8.
- [Narasimhan et al., 2005] Narasimhan, A., Kasotiya, M., and Sridhar, R. (2005). A low-swing differential signaling scheme for on-chip global interconnects. In *IEEE Int. Conference on VLSI Design*, pages 634–639.
- [Rjoub and Koufopavlou, 1999] Rjoub, A. and Koufopavlou, O. (1999). Efficient drivers, receivers and repeaters for low power CMOS bus architectures. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 2, pages 789–794.

Artículos propios

- [García et al., 2005a] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2005a). A CMOS latched driver using bootstrap technique for low-voltage applications. In *SPIE-Microtechnologies for the New Millennium 2005-VLSI Circuits and Systems*, pages 1–11. SPIE-The International Society for Optical Engineering.
- [García et al., 2005b] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2005b). A high speed and low power consumption bootstrapped CMOS inverting driver. In *XX Conference on Design of Circuits and Integrated Systems*, pages 1–4.
- [García et al., 2005c] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2005c). A single capacitor bootstrapped power efficient CMOS driver. In *IEEE International Midwest Symposium on Circuits and Systems*, pages 1–4.
- [García et al., 2006a] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006a). A 1.2-V 500-MHz CMOS differential cross coupled driver using bootstrap technique for low power operation. In *XXI Conference on Design of Circuits and Integrated Systems*, pages 1–5.
- [García et al., 2006b] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006b). Bootstrapped full-swing CMOS driver for low supply voltage operation. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 1–2.
- [García et al., 2006c] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006c). Low power bootstrapped CMOS differential cross coupled driver. In *IEEE Asia Pacific Conference on Circuits and Systems*, pages 1–4.
- [García et al., 2006d] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2006d). A single capacitor bootstrapped power efficient CMOS driver. In *IEEE Transactions on Circuits and Systems II: Express Briefs*, volume 53, pages 877–881. IEEE.
- [García et al., 2007a] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007a). Adaptive low/high voltage swing CMOS driver for on-chip interconnects. In *Inst. Sym. on Cir. and Syst., (ISCAS), New Orleans, USA*.
- [García et al., 2007b] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007b). DB-driver a low-power CMOS bootstrapped differential cross coupled driver. In *International Journal of Electronics*, volume 94, pages 809–819. Taylor & Francis.
- [García et al., 2007c] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007c). Efficient CMOS driver-receiver pair with low-swing signaling for on-chip interconnects. In *European Conference on Circuit Theory and Design*, pages 1–4.

- [García et al., 2007d] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007d). High performance bootstrapped CMOS low to high-swing level-converter for on-chip interconnects. In *European Conference on Circuit Theory and Design*, pages 1–4.
- [García et al., 2007e] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2007e). High performance CMOS symmetric low swing to high swing converter for on-chip interconnects. In *IEEE International Symposium on Circuits and Systems*, pages 1–4.
- [García et al., 2008a] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2008a). High performance CMOS driver-receiver pair using low-swing signaling for low power on-chip interconnects. In *IEEE International Midwest Symposium on Circuits and Systems*, pages 1–4.
- [García et al., 2008b] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2008b). On the design and optimization of symmetric low swing to high swing level converter for on-chip interconnects. In *Analog Integrated Circuits and Signal Processing*, pages 1–8. Springer.
- [García et al., 2009a] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2009a). CMOS design and analysis of low-voltage signaling methodology for energy efficient on-chip interconnects. In *Microelectronics Journal*, pages 1–11. ELSEVIER.
- [García et al., 2009b] García, J. C., Montiel-Nelson, J. A., and Nooshabadi, S. (2009b). CMOS driver-receiver pair for low-swing signaling for low energy on-chip interconnects. volume 17, pages 311–316. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*.
- [García et al., 2005d] García, J. C., Montiel-Nelson, J. A., Nooshabadi, S., Sosa, J., and Navarro, H. (2005d). Design of a differential cross coupled bootstrapped CMOS driver for low power consumption. In *XX Conference on Design of Circuits and Integrated Systems*, pages 1–4.
- [García et al., 2004] García, J. C., Montiel-Nelson, J. A., Sosa, J., and Navarro, H. (2004). A direct bootstrapped CMOS large capacitive-load driver circuit. In *Design, Automation and Test in Europe Conference and Exhibition*, volume 1, pages 680–681.

Otros

- [Emb, 1995] (1995). A bootstrapped bipolar CMOS (B²CMOS) gate for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 30, pages 47–53.
- [Fer, 2001] (2001). *Low swing signaling using a dynamic diode-connected driver*, presented at Solid-State Circuits Conference. ESSCIRC 2001, Proceeding of the 27th European.

- [ITR, 2002] (2002). International Technology Roadmap for Semiconductor: 2002 update. Technical report, available <http://public.itrs.net>.
- [Li2, 2003] (2003). *Adaptive Error Protection for Energy Efficiency*, presented at Proceedings of the International Conference on Computer Aided Design. (ICCAD'03).
- [Tsa, 2004] (2004). *Low power encoding schemes for run-time on-chip bus*, presented at IEEE Asia-Pacific Conference on Circuits and Systems.
- [SEM, 2007] (2007). International SEMATECH, Austin, Texas 78741. Available <http://www.semtech.org/publications/index.htm>.
- [Bellaouar et al., 1995] Bellaouar, A., Elmasry, M. I., and Embabi, S. H. K. (1995). Bootstrapped full-swing BiCMOS/BiNMOS logic circuits for 1.2–3.3V supply voltage regime. In *IEEE J. Solid-State Circuits*, volume 30, pages 629–636.
- [Borkar, 2005] Borkar, S. (2005). *VLSI design challenges for gigascale integration*.
- [Brauer and Elamanchili, 1997] Brauer, E. J. and Elamanchili, P. (1997). A full-swing bootstrapped BICMOS buffer. In *Proc. IEEE*, pages 8–13.
- [Cao et al., 2000] Cao, Y., Sato, T., Orshansky, M., Sylvester, D., and Hu, C. (2000). *New paradigm of predictive MOSFET and interconnect modeling for early circuit simulation*.
- [Caputa et al., 2004] Caputa, P., Anders, M. A., Svensson, C., Krishnamurthy, R. K., and Borkar, S. (2004). *A low-swing single-ended L1 cache bus technique for sub-90nm technologies*.
- [Chen and Kuo, 2004] Chen, H. P. and Kuo, J. B. (2004). A 0.8V CMOS TSPC adiabatic DCVS logic circuit with the bootstrap technique for low-power VLSI. In *IEEE Int. Conference on Electronics, Circuits and Systems (ICECS)*, pages 175–178.
- [Chen and Kuo, 2003] Chen, J. H. T. and Kuo, J. B. (2003). Ultra-low-voltage SOI CMOS inverting driver circuit using effective charge pump based on bootstrap technique. In *Electronics Letters*, volume 39, pages 183–185.
- [Chen and Kuo, 2002] Chen, P. C. and Kuo, J. B. (2002). Sub-1V CMOS large capacitive-load driver circuit using direct bootstrap technique for low-voltage CMOS VLSI. In *Electronics Letters*, volume 38, pages 265–266.
- [Chik and Salama, 1993] Chik, R. Y. V. and Salama, C. A. T. (1993). 1.5V bootstrapped BiCMOS logic gate. In *Electronics Letters*, volume 29, pages 307–309.
- [Chik and Salama, 1995] Chik, R. Y. V. and Salama, C. A. T. (1995). Design of a 1.5V full-swing bootstrapped BiCMOS logic circuit. In *IEEE J. Solid-State Circuits*, volume 30, pages 972–978.

- [Chong-Fatt et al., 1999] Chong-Fatt, L., Kiat-Seng, Y., and Rofail, S. S. (1999). Sub-1V bootstrapped CMOS driver for giga-scale-integration era. In *Electronics Letters*, volume 35, pages 392–393.
- [Cong et al., 1997] Cong, J., Zhigang, P., Lei, H., Cheng-Kok, K., and Kei-Yong, K. (1997). *Interconnect design for deep submicrom ICs*.
- [Dally and Poulton, 1998] Dally, W. and Poulton, J. (1998). *Digital Systems Engineering*. Cambridge University Press.
- [Dennard et al., 1974] Dennard, R. H., Gaensslen, F. H., Rideout, V. L., Bas-sous, E., and LeBlanc, A. R. (1974). Design of ion-implanted MOSFET's with very small physical dimensions. In *Solid-State Circuits, IEEE Journal of*, volume 9, pages 256–268.
- [Deutsch et al., 1997] Deutsch, A., Kopcsay, G. V., Restle, P. J., Smith, H. H., Katopis, G., Becker, W. D., Coteus, P. W., Surovic, C. W., Rubin, B. J., Dunne, R. P., Jr., Gallo, T., Jenkins, K. A., Terman, L. M., Dennard, R. H., Sai-Halasz, G. A., Krauter, B. L., and Knebel, D. R. (1997). When are transmission-line effects important for on-chip interconnections? In *Microwave Theory and Techniques, IEEE Transactions on*, volume 45, pages 1836–1846.
- [Gamal et al., 1989] Gamal, A. E., Kouloheris, J. L., How, D., and Morf, M. (1989). BiNMOS: A basic cell for BiCMOS sea-of-gates. In *Proc. CICC*, pages 8.3.1–8.3.4.
- [Gielen and Dehaene, 2005] Gielen, G. and Dehaene, W. (2005). Analog and digital circuit design in 65 nm CMOS: end of the road?
- [Hiraki et al., 1995] Hiraki, M., Kojima, H., Misawa, H., Akazawa, T., and Hatano, Y. (1995). Data-dependent logic swing internal bus architecture for ultralow-power LSI's. In *Solid-State Circuits, IEEE Journal of*, volume 30, pages 397–402.
- [Hiraki et al., 1992] Hiraki, M., Yano, K., Minami, M., Satoh, K., Matsuzaki, N., Watanabe, A., Nishida, T., Sasaki, K., and Seki, K. (1992). A 1.5V full-swing BiCMOS logic circuit. In *IEEE Solid-State Circuits Conference*, pages 48–49.
- [Ho, 2003] Ho, R. (2003). On-chip wires: Scaling and efficiency. In *Department of Electrical Engineering*. Doctor of Philosophy: Stanford University.
- [Ho et al., 2001] Ho, R., Mai, K. W., and Horowitz, M. A. (2001). The future of wires. In *Proceeding of the IEEE*, volume 89, pages 490–504.
- [Kah et al., 1999] Kah, L. H., Seng, Y. K., and Anh, D. M. (1999). A novel 1-V full-swing BiCMOS circuit using a positive feedback base-boost technique. In *Circuits and Systems*, volume 2, pages 605–607.
- [Kapur et al., 2002] Kapur, P., Chandra, G., and Saraswat, K. C. (2002). *Power estimation in global interconnects and its reduction using a novel repeater optimization methodology*.

- [Kheradmand-Boroujeni et al., 2005] Kheradmand-Boroujeni, B., Seyyedi, A., and Afzali-Kusha, A. (2005). High Speed Low Gate Leakage Large Capacitive–Load Driver Circuits for Low–Voltage CMOS. In *International Conference on Microelectronics*, pages 30–35.
- [Kiat-Seng et al., 2000] Kiat-Seng, Y., Jian-Guo, M., and Manh-Anh, D. (2000). Ultra low voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.
- [Kong and Jun, 1999] Kong, B. S. and Jun, Y. H. (1999). Power–efficient low–voltage bootstrapped CMOS latched driver. In *Electronics Letters*, volume 35, pages 2113–2115.
- [Kong et al., 1999] Kong, B.-S., Kang, D.-O., and Jun, Y.-H. (1999). A Bootstrapped CMOS Circuit Technique for Low–Voltage Application. In *International Conference on VLSI and CAD*, pages 26–27.
- [Kulkarni and Sylvester, 2004] Kulkarni, S. H. and Sylvester, D. (2004). High performance level conversion for dual V_{DD} design. In *IEEE Tran. on VLSI Syst.*, volume 12, pages 926–936.
- [Kusse and Rabaey, 1998] Kusse, E. and Rabaey, J. M. (1998). Low–energy embedded FPGA structures. In *Int. Symposium on Low Power Electronics and Desing*, pages 155–160. Monterey, CA, USA.
- [Lindert et al., 1999] Lindert, N., Sugii, T., Tang, S., and Hu, C. (1999). Dynamic threshold pass–transistor logic for improved delay at lower power supply voltages. In *IEEE J. Solid–State Circuits*, volume 34, pages 85–89.
- [Lou and Kuo, 1997a] Lou, J. H. and Kuo, J. B. (1997a). A 1.5-V full–swing bootstrapped CMOS large capacitive–load driver circuit suitable for low–voltage CMOS VLSI. In *IEEE J. Solid–State Circuits*, volume 32, pages 119–121.
- [Lou and Kuo, 1997b] Lou, J. H. and Kuo, J. B. (1997b). 1.5V CMOS and BiCMOS bootstrapped dynamic logic circuits suitable for low–voltage VLSI. In *VLSI Technology, Systems, and Applications*, pages 279–282.
- [Maheshwari and Burleson, 2004] Maheshwari, A. and Burleson, W. (2004). Differential current–sensing for on–chip interconnects. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 12, pages 1321–1329.
- [Moisiadis et al., 1999a] Moisiadis, I., Bouras, I., Papadas, C., and Arapoyanni, A. (1999a). Performance Comparison of Driver Architectures in Submicrom CMOS and BiCMOS Technologies for Low Voltage Operation. In *IEEE Int. Conference on Electronics, Circuits and Systems (ICECS)*, volume 1, pages 201–204.
- [Moisiadis et al., 2000] Moisiadis, Y., Bouras, I., and Arapoyanni, A. (2000). High performance level restoration circuits for low–power reduced swing interconnect schemes. In *IEEE Int. Conference on Electronics, Circuits and Systems*, volume 1, pages 619–622.

- [Moisiadis et al., 1999b] Moisiadis, Y., Bouras, I., Efthymiou, A., and Papadas, C. (1999b). Fast 1V bootstrapped inverter suitable for standard CMOS technologies. In *Electronics Letters*, volume 35, pages 109–111.
- [Nir et al., 2004] Nir, M., Avinoam, K., Uri, W., and Nachum, S. (2004). Interconnect–power dissipation in a microprocessor. In *Proceedings of the 2004 international workshop on System level interconnect prediction*. Paris, France: ACM Press.
- [Rabaey et al., 2003] Rabaey, J. M., Chandrakasan, A. P., and Nikolic, B. (2003). *Digital integrated circuits: a design perspective*. Pearson Education International, Upper Saddle River, NJ: Prentice Hall, 2nd edition.
- [Raje et al., 1991] Raje, P., Ritts, R., Cham, K., Plummer, J., and Saraswat, K. (1991). MBiCMOS: A device and circuit technique scalable to the sub-micron, sub-2V regime. In *IEEE Solid-State Circuits Conference*, pages 150–151.
- [Rofail et al., 1999] Rofail, S. S., Seng, Y. K., and Yeo, K. S. (1999). *Low-voltage low-power digital BiCMOS circuits: Circuit design, comparative study, and sensitivity analysis*. Upper Saddle Rivert, NJ: Prentice Hall.
- [Salminen et al., 2002] Salminen, E., Lahtinen, V., Kuusilinna, K., and Hamalainen, T. (2002). *Overview of bus-based system-on-chip interconnections*.
- [Seng and Rofail, 1996] Seng, Y. K. and Rofail, S. S. (1996). 1.1 full-swing double bootstrapped BiCMOS logic gates. In *IEE Proceedings–Circuits Devices Syst.*, volume 143, pages 41–45.
- [Shin, 1990a] Shin, H. J. (1990a). Full-swing logic circuits in a complementary BiCMOS technology. In *Symposium on VLSI Circuits*, pages 89–90.
- [Shin, 1990b] Shin, H. J. (1990b). Performance comparison of driver configurations and full-swing techniques for BiCMOS logic circuits. In *IEEE J. Solid-State Circuits*, volume 25, pages 863–865.
- [Sotiriadis and Chandrakasan, 2003] Sotiriadis, P. P. and Chandrakasan, A. P. (2003). Bus energy reduction by transition pattern coding using a detailed deep submicrometer bus model. In *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, volume 50, pages 1280–1295.
- [Sridhara et al., 2004] Sridhara, S. R., Ahmed, A., and Shanbhag, N. R. (2004). *Area and energy-efficient crosstalk avoidance codes for on-chip buses*.
- [Sridhara and Shanbhag, 2005] Sridhara, S. R. and Shanbhag, N. R. (2005). *A low-power bus design using joint repeater insertion and coding*.
- [Sridhara et al., 2005] Sridhara, S. R., Shanbhag, N. R., and Balamurugan, G. (2005). *Joint equalization and coding for on-chip bus communication*.

- [Stan and Burleson, 1995] Stan, M. R. and Burleson, W. P. (1995). Bus-invert coding for low-power I/O. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 3, pages 49–58.
- [Stan and Burleson, 1997] Stan, M. R. and Burleson, W. P. (1997). Low-power encodings for global communication in CMOS VLSI. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 5, pages 444–455.
- [Sungpack et al., 2000] Sungpack, H., Narayanan, U., Ki-Seok, C., and Tae-whan, K. (2000). *Bus-invert coding for low-power I/O – a decomposition approach*.
- [Suriyaammaranon et al., 2000] Suriyaammaranon, C., Dejhan, K., Cheeva-suvit, F., and Soonyeeakan, C. (2000). A high speed and low voltage BiCMOS tristate buffer with positive and negative charge pump. In *Proc. of the IEEE Int. Conf. On Electronics, Circuits, and Systems (ICECS)*, volume 1, pages 11–14.
- [Sylvester and Chenming, 2001] Sylvester, D. and Chenming, W. (2001). Analytical modeling and characterization of deep-submicrometer interconnect. In *Proceeding of the IEEE*, volume 89, pages 634–664.
- [Sylvester and Keutzer, 1998] Sylvester, D. and Keutzer, K. (1998). *Getting to the bottom of deep submicron*.
- [Tseng and Wu, 1998] Tseng, Y. K. and Wu, C. Y. (1998). A 1.5-V differential cross-coupled bootstrapped BiCMOS logic for low-voltage applications. In *IEEE J. Solid-State Circuits*, volume 33, pages 1576–1579.
- [Waltari and Halonen, 2002] Waltari, M. and Halonen, K. (2002). Bootstrapped switch without bulk effect in standard CMOS technology. In *Electronics Letters*, volume 38, pages 555–557.
- [Watanabe et al., 1989] Watanabe, A., Nagano, T., Shukuri, S., and Ikeda, T. (1989). Future BiCMOS technology for scaled supply voltage. In *International Electron Devices Meeting*, pages 429–432.
- [Wong et al., 2005] Wong, B. P., Mittal, A., Cao, Y., and Starr, G. (2005). *Signal Integrity Problems in On-Chip Interconnects*. In Nano-CMOS Circuit and Physical Design. John Wiley & Sons, Inc.
- [Yano et al., 1991] Yano, K., Hiraki, M., Shukuri, S., Onose, Y., Hirao, M., Ohki, N., Nishida, T., Seki, K., and Shimohigashi, K. (1991). Quasi-complementary BiCMOS for sub-3-V digital circuits. In *IEEE J. Solid-State Circuits*, volume 26, pages 1708–1719.
- [Yayla et al., 1998] Yayla, G. I., Marchand, P. J., and Esener, S. C. (1998). Speed and Energy Analysis of Digital Interconnections: Comparison of On-Chip, Off-Chip, and Free-Space Technologies. In *Appl. Opt.*, volume 37, pages 205–227.

- [Yeo and Lee, 1999] Yeo, K. S. and Lee, H. K. (1999). Novel 1–V full–swing high–speed BiCMOS circuit using positive feedback base–boost technique. In *IEE Proceedings–Circuits Devices Syst.*, volume 146, pages 130–134.
- [Yeo et al., 2000] Yeo, K. S., Ma, J. G., and Do, M. A. (2000). Ultra–low–voltage bootstrapped CMOS driver for high performance applications. In *Electronics Letters*, volume 36, pages 706–708.
- [Yuan, 2004] Yuan, J. (2004). *Low–Power Very Fast Dynamic Logic Circuits*, pages 8–1. Low–Power CMOS Circuits.
- [Zhang et al., 2000] Zhang, H., George, V., and Rabaey, J. M. (2000). Low–swing on–chip signaling techniques: effectiveness and robustness. In *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 8, pages 264–272.
- [Zhang et al., 2002] Zhang, Y., Chen, H. H., and Kuo, J. B. (2002). 0.8V CMOS adiabatic differential switch logic circuit using bootstrap technique for low–voltage low–power VLSI. In *Electronics Letters*, volume 38, pages 1497–1499.

Líneas futuras

- [Aksin et al., 2005] Aksin, D., Al-Shyoukh, M. A., and Maloberti, F. (2005). A bootstrapped switch for precise sampling of inputs with signal range beyond supply voltage. In *IEEE 2005 Custom Integrated Circuits Conference*, pages 743–746.
- [Chang et al., 2002] Chang, R. C., Hung, P. C., and Wang, I. H. (2002). Complementary pass–transistor energy recovery logic for low–power applications. In *IEE Proceedings–Computers and Digital Techniques*, volume 149, pages 146–151.
- [Dejhan et al., 2004a] Dejhan, K., Tooprakai, P., Rerkmaneevan, T., and Soonyeekan, C. (2004a). A high–speed direct bootstrapped CMOS Schmitt trigger circuit. In *IEEE International Conference on Semiconductor Electronics*, pages 68–71.
- [Dejhan et al., 2004b] Dejhan, K., Tooprakai, P., Rojthongkham, P., and Soonyeekan, C. (2004b). A Design of High–Speed, Full–Swing Bootstrapped BiCMOS Dynamic Circuit. In *IEEE International Conference on Semiconductor Electronics*, pages 72–75.
- [Fayoni et al., 2005] Fayoni, C. J. B., Roberts, G. W., and Sawan, M. (2005). Low–voltage CMOS analog bootstrapped switch for sample–and–hold circuit: design and chip characterization. In *IEEE International Symposium on Circuits and Systems*, volume 3, pages 2200–2203.
- [Hernández and Aranda, 2005] Hernández, M. A. and Aranda, M. L. (2005). A low–power bootstrapped CMOS full adder. In *International Conference on Electrical and Electronics Engineering*, pages 243–246.

- [Kil et al., 2006] Kil, J., Gu, J., and Kim, C. H. (2006). A high-speed variation-tolerant interconnect technique for sub-threshold circuits using capacitive boosting. In *International Symposium on Low Power Electronics and Design*, pages 67–72.
- [Lou and Kuo, 1999] Lou, J. H. and Kuo, J. B. (1999). A 1.5V CMOS all-N-logic true-single-phase bootstrapped dynamic-logic circuit suitable for low supply voltage and high-speed pipeline system operation. In *IEEE Tran. on Circuits and Systems II*, volume 46, pages 628–631.
- [Tang and Sun, 2002] Tang, S. C. and Sun, X. W. (2002). Low power CMOS level shifters by bootstrapping technique. In *Electronics Letters*, volume 38, pages 876–878.

Acrónimos

B²CMOS *CMOS Bipolar Sobre-excitado*

BDL *Lógica Dinámica Sobre-excitada*

BESHUNT *Derivación Base-Emisor*

BFBiCMOS *BiCMOS de Excursión Lógica Completa Sobre-excitado*

BFBiNMOS *BiNMOS de Excursión Lógica Completa Sobre-excitado*

BJT *Transistor de Unión Bipolar*

BLCL *Lógica CMOS de Cerrojo Sobre-excitado*

BS-BiCMOS *BiCMOS Sobre-excitado*

BSBiNMOS *BiNMOS Sobre-excitado*

BiCMOS *Bipolar-CMOS*

BiNMOS *Bipolar-NMOS*

CESHUNT *Derivación Colector-Emisor*

CMOS *Metal Óxido Semiconductor Complementaria*

CPERL *Lógica de Recuperación de Energía de Transistor de Paso Complementaria*

CPL *Lógica de Transistor de Paso Complementaria*

DB-BLCL *Lógica CMOS de Cerrojo Sobre-excitado con Demanda por Estímulo*

DC²B-BiCMOS *BiCMOS Sobre-excitado de Acoplo Cruzado Diferencial*

DLD *Excitador con Excursión Lógica de Tensión de Reducido Nivel Bajo*

DRAM *Memoria Dinámica de Acceso Aleatorio*

DTMOS *MOS de Tensión Umbral Dinámica*

ECD Cu *Deposición Electroquímica de Cobre*

FM *Figura de Mérito*

FPGA *Red de Puertas Programables*

- HOA** *Asimétrico de Desviación Alta*
- ITRS** *Hoja de Ruta de la Tecnología Internacional para Semiconductores*
- LHOS** *Simétrico de Desviación Baja–Alta*
- LOA** *Asimétrico de Desviación Baja*
- MOS** *Metal Óxido Semiconductor*
- MOSFET** *Transistor de Efecto de Campo de tipo Metal Óxido Semiconductor*
- NMOS** *Transistor de tipo N con Metal Óxido Semiconductor*
- PMOS** *Transistor de tipo P con Metal Óxido Semiconductor*
- PT-BiCMOS** *Transistor de Paso–BiCMOS*
- SALICIDE** *Silicide Auto–Alineado*
- SEMATECH** *Consorcio de Tecnología de Fabricación de Semiconductor*
- SIA** *Asociación de la Industria del Semiconductor*
- SNR** *Relación Señal a Ruido*
- SOC** *Sistema en Circuito Integrado*
- SOI** *Silicio Sobre Aislante*
- TS–FS–BiCMOS** *BiCMOS de Saturación Transitoria con Excursión Lógica Completa*
- UDLD** *Excitador con Excursión Lógica de Tensión de Reducido Nivel Alto–Bajo*
- ULD** *Excitador con Excursión Lógica de Tensión de Reducido Nivel Alto*
- UMC** *Compañías de Microelectrónica Unidas*
- VDSM** *Muy por Debajo de la Sub–micra*
- VLSI** *Escala de Integración Muy Grande*
- VTHH** *Tensión Umbral Alta*
- VTHL** *Tensión Umbral Baja*