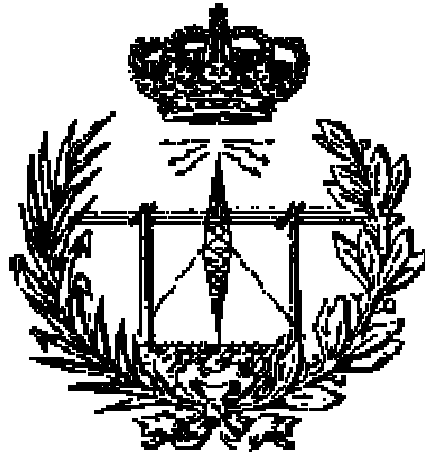


**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA UNIVERSITARIA DE INGENIERÍA
TÉCNICA DE TELECOMUNICACIÓN**



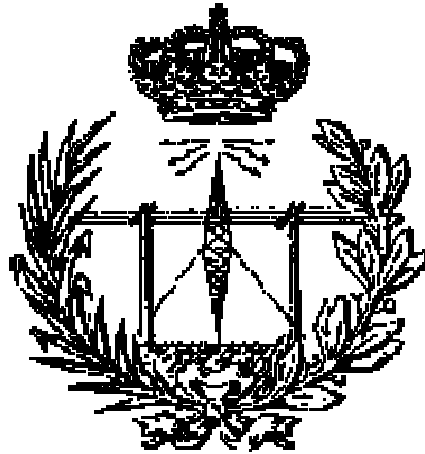
PROYECTO FIN DE CARRERA

**DISEÑO DEL AMPLIFICADOR DE BAJO RUIDO Y
DEL MEZCLADOR PARA UN RECEPTOR DE
UWB EN CMOS 0.18 μm**

Titulación: Ingeniero Técnico de Telecomunicación,
especialidad en Sistemas Electrónicos.
Autor: D. Aythami Santana Peña.
Tutores: Dr. Francisco Javier del Pino Suárez.
D. Hugo García Vázquez.
Fecha: Febrero 2010.

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA UNIVERSITARIA DE INGENIERÍA
TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR DE BAJO
RUIDO Y DEL MEZCLADOR PARA UN
RECEPTOR DE UWB EN CMOS 0.18 μm**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:

Titulación: Ingeniero Técnico de Telecomunicación,
especialidad en Sistemas Electrónicos.
Autor: D. Aythami Santana Peña.
Tutores: Dr. Francisco Javier del Pino Suárez.
D. Hugo García Vázquez.
Fecha: Febrero 2010.

Índice

1.	Introducción	1
1.1	Objetivos	6
1.2	Tecnología	6
1.3	Estructura de la memoria	7
1.4	Peticionario	8
2.	Estándar WiMedia	9
2.1	Características de los Sistemas de RF	10
2.1.1	Ganancia (Gc)	10
2.1.2	Ruido	10
2.1.2.1	Tipos de Ruido en Circuitos Integrados	11
2.1.2.2	Figura de Ruido (NF)	13
2.1.3	Punto de Intercepción de Tercer Orden (IP3)	15
2.1.4	Coefficiente de Onda Estacionario (VSWR)	18
2.2	Estándar WiMedia	18
2.2.1	Canalización	19
2.2.2	Desafíos en el Diseño de MB-OFDM	21
2.3	Especificaciones del Receptor para UWB-WiMedia	22
2.3.1	Panorama de Interferencia	23
2.3.2	Sensibilidad	24
2.3.3	Requisitos de Linealidad	24
2.3.4	Requisitos de Ruido	25

2.3.5	Requisitos del Filtro	25
2.3.6	Requisitos del Sintetizador	26
2.3.7	Especificaciones del Receptor Propuesto	27
2.4	Resumen	27
3.	Análisis de los circuitos	29
3.1	Amplificador de Bajo Nivel de Ruido. Topología de un Puerta Común	30
3.1.1	Adaptación de Entrada y Ganancia de Tensión	30
3.1.2	Ruido en una Etapa CG	33
3.1.3	Etapa de Puerta Común con Potenciación de Ganancia	34
3.1.4	Consideraciones de Banda Ancha	36
3.2	Mezclador	37
3.2.1	Parámetros del mezclador	38
3.2.1.1	Ganancia de Conversión	38
3.2.1.2	Figura de Ruido	39
3.2.1.3	Linealidad	41
3.2.1.3.1	Rango Dinámico	41
3.2.1.3.2	Punto de Compresión	41
3.2.1.3.3	Distorsión de Intermodulación de Tercer Orden	41
3.2.1.4	Aislamiento	43
3.2.2	Mezclador con Elemento no Lineal	43
3.2.3	Mezcladores Basados en Multiplicadores	48
3.2.3.1	Mezcladores Activos	48
3.2.3.1.1	Mezclador Simple Balanceado	49
3.2.3.1.2	Mezclador Activo Doble Balanceado. Célula de Gilbert	53
3.2.3.1.3	Mezclador Activo Doble Balanceado en Cuadratura. Célula de Gilbert	55
3.2.4	Mejora de la Linealidad y la Ganancia Mediante Potenciación de Corriente	57
3.3	Resumen	58
4.	Diseño del Circuito	59

4.1	Consideraciones	60
4.2	Diseño de los LNAs	65
4.2.1	Diseño del LNA en Puerta Común con Carga Resistiva (LNA1)	66
4.2.2	Diseño del LNA en Puerta Común con Carga Resistiva (LNA1) con Componentes de la Librería UMC 0,18 μ m	79
4.2.3	Diseño del LNA en Puerta Común con Carga Shunt-Peaking (LNA2)	81
4.2.4	Diseño del LNA en Puerta Común con Carga Shunt-Peaking (LNA2) con Componentes de la Librería UMC 0,18 μ m	94
4.2.5	Comparación de los LNAs	96
4.3	Diseño del Mezclador en Cuadratura	99
4.3.1	Diseño del Mezclador Basado en la Célula de Gilbert	100
4.3.1.1	Polarización del Circuito	101
4.3.1.2	Corriente de Polarización	101
4.3.1.3	Polarización de las Entradas	101
4.3.2	Simulación de la Célula de Gilbert	103
4.3.3	Simulación de la Célula de Gilbert con Componentes de la Librería UMC 0,18 μ m	106
4.3.4	Simulación de la Célula de Gilbert con Degeneración Capacitiva	108
4.3.5	Simulación de la Célula de Gilbert con Degeneración Capacitiva con Componentes de la Librería UMC 0,18 μ m	111
4.3.6	Diseño del Receptor Formado por el LNA2 y el Mezclador sin Degeneración	114
4.3.7	Diseño del Receptor Formado por el LNA1 y el Mezclador con Degeneración	116
4.4	Resumen	117

5.	Layout de los Circuitos	121
5.1	Proceso de Diseño	122
5.2	Layout de los LNAs	125
5.2.1	Simulaciones Post-Layout de los LNAs	127
5.3	Layout de los Mezcladores	131
5.3.1	Simulaciones Post-Layout de los Mezcladores	132
5.4	Layout Completo	136
5.4.1	Simulaciones Post-Layout Completo	139
5.5	Resumen	143
6.	Conclusiones	145
7.	Presupuesto	149
7.1	Costes Debidos a los Recursos Humanos	150
7.2	Costes de Ingeniería	150
7.3	Costes de Amortización	152
7.4	Costes de Fabricación	152
7.5	Otros Costes	153
7.6	Coste Total	153
8.	Bibliografía	155

MEMORIA

CAPÍTULO 1

INTRODUCCIÓN

En los últimos años las redes inalámbricas (*WLAN*, *Wireless Local Area Network*) han ganado muchos adeptos y popularidad en mercados de vital importancia como pueden ser hospitales, fábricas, hoteles, aeropuertos, tiendas de autoservicio, PYMES, medios públicos de transporte, áreas académicas, etc.

Las redes inalámbricas permiten a los usuarios acceder a la información y recursos en tiempo real sin necesidad de estar físicamente en un sólo lugar. Las *WLANs*, al ser móviles eliminan la necesidad de usar cables, establecen nuevas aplicaciones añadiendo flexibilidad a la red y lo más importante, incrementan la productividad y eficiencia en las actividades diarias de la empresa. Un usuario dentro de una red inalámbrica puede transmitir y recibir voz, datos y

video entre edificios, campus universitarios e inclusive sobre áreas metropolitanas a velocidades de hasta 11 Mbps (ver Figura 1.1).

Muchos de los fabricantes de ordenadores y equipos de comunicaciones como agendas digitales personales (*PDA*), módems, microprocesadores inalámbricos y otros dispositivos están introduciendo aplicaciones en soporte a las comunicaciones inalámbricas. Las nuevas posibilidades que ofrecen las *WLAN* son, permitir una fácil incorporación de nuevos usuarios a la red, ofrecer una alternativa de bajo coste a los sistemas cableados además de la posibilidad de acceder a cualquier base de datos o aplicación localizada dentro de la red.

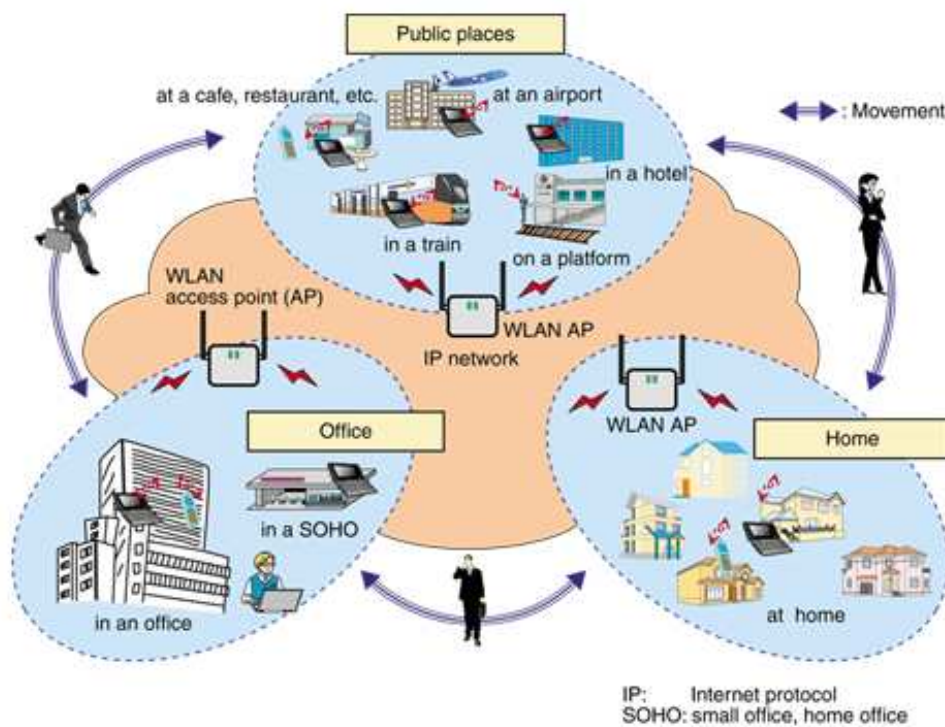


Figura 1.1 Comunicaciones inalámbricas.

Las *WLAN* son sistemas que se caracterizan por trabajar en bandas de frecuencia exentas de licencia de operación, lo cual dota a la tecnología de un gran potencial de mercado y le permite competir con otro tipo de tecnologías de acceso inalámbrico de última generación como *UMTS* o *LMDS*, ya que éstas últimas requieren un gran desembolso económico previo por parte de los operadores del servicio. Sin embargo, las redes *WLAN* obligan al desarrollo de una serie de equipos de bajo coste con unas prestaciones elevadas que hacen necesaria la intervención de los circuitos que lo componen [1].

En la Figura 1.2 se muestra una gráfica que enfrenta la movilidad con la tasa binaria de

las redes inalámbricas.

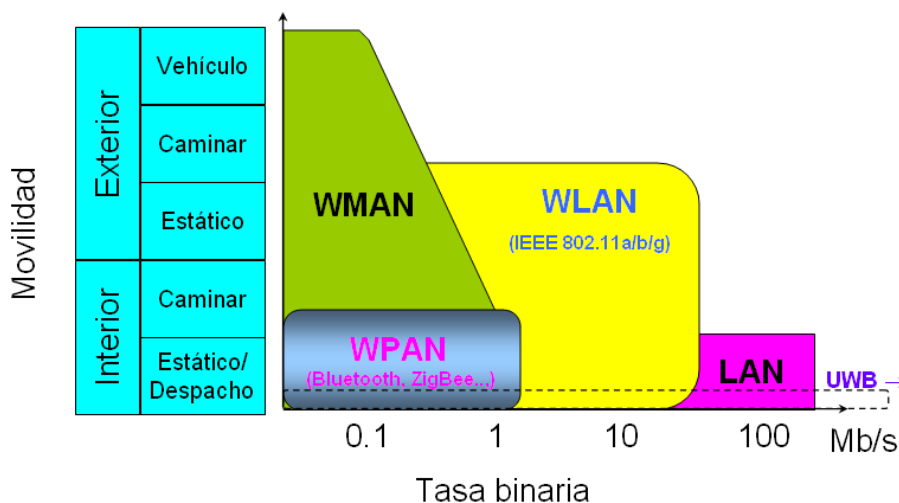


Figura 1.2 Redes inalámbricas: Movilidad frente a la tasa binaria.

Las ventajas de las redes inalámbricas sobre las redes cableadas se pueden resumir en los siguientes términos:

Movilidad: Las redes inalámbricas pueden proporcionar a los usuarios de una *LAN*, acceso a la información en tiempo real en cualquier lugar dentro de la organización. Esta movilidad incluye oportunidades de productividad y servicio que no es posible con una red cableada.

Simplicidad y rapidez en la instalación: La instalación de una red inalámbrica es rápida y fácil. Además elimina la necesidad de tirar cable a través de paredes y techos.

Flexibilidad en la instalación: La tecnología inalámbrica permite a la red llegar donde la cableada no puede ir.

Coste reducido: Mientras que la inversión inicial requerida para una red inalámbrica puede ser más alta que el coste en *hardware* de una *LAN* cableada, la inversión de toda la instalación y el coste del ciclo de vida puede ser significativamente inferior.

Escalabilidad: Los sistemas de *WLAN* pueden ser configurados en una variedad de topologías para satisfacer las necesidades de las instalaciones y aplicaciones específicas. Las configuraciones son muy fáciles de cambiar y además es muy fácil la incorporación de nuevos usuarios a la red.

Como se ha comentado, las redes inalámbricas están sufriendo un gran auge dentro de las tecnologías de la información, y actualmente se está invirtiendo gran cantidad de fondos en procesos de investigación y desarrollo ante la demanda de tecnologías *WPAN* (*Wireless Personal Area Network*) con velocidades similares a las ofrecidas por las tecnologías de conexión física, que ofrezcan, por ejemplo, transmisiones de video de alta definición en tiempo real. Hasta el momento *Bluetooth* era la tecnología dominante en el mercado de los *WPAN* debido a sus ventajas. Dispone de un protocolo de comunicaciones de área personal que integra a una amplia variedad de dispositivos, y permite una rápida interconexión y facilidad de uso de tecnologías de diversos fabricantes. En el aspecto técnico, *Bluetooth* es una especificación industrial para redes inalámbricas de área personal (*WPAN*) que opera en la llamada banda de aplicaciones industriales, científicas y médicas (*ISM*), con una frecuencia de 2.4 GHz, dividiendo esta banda en 79 canales de 1 MHz. En cuanto a la velocidad de transmisión, este protocolo permite transmisiones de hasta 2.1 Mbps, en su versión 2.0 [2].

Esta velocidad de transmisión es suficiente para muchas aplicaciones, sin embargo, no lo es para lo que actualmente demanda el mercado. De aquí surge la tecnología *UWB* (*Ultra Wide Band*), la cual tiene un ancho de banda de 3.1-10.6 GHz y velocidades de transmisión de hasta 400-500 Mbps [3], [4], [5], [6], [7], [8]. A partir de esta tecnología se ha desarrollado el nuevo *UWB Bluetooth* con transmisiones de entre 53 - 480 Mbps.

El estándar *WiMedia* (*ECMA-368*) divide el espectro de 3 a 10 GHz en 14 bandas, cada una con un ancho de banda de 528 MHz para *UWB* empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM 128*, permitiendo tasas de datos de 53.3 Mbps a 480 Mbps (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mbps). Esta tecnología es empleada en la última generación de *Bluetooth* o para *USB* inalámbricos. En la Figura 1.3 se puede observar los diversos protocolos de conectividad a *UWB* basados en *WiMedia*.

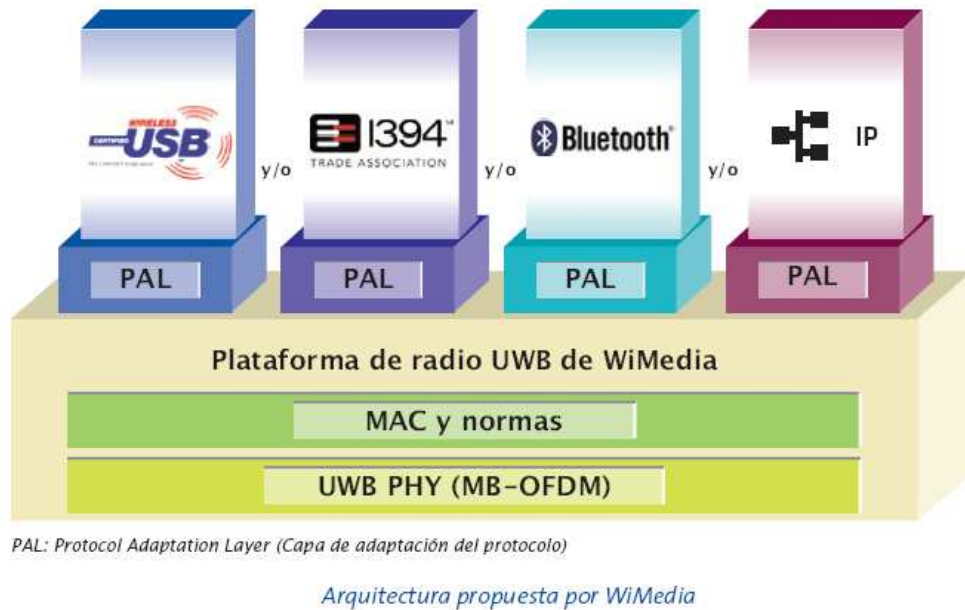


Figura 1.3 Múltiples protocolos de conectividad a UWB basados en WiMedia.

En la Figura 1.4 se muestra el esquema de un transmisor-receptor para *UWB* basado en este estándar. Como se muestra, la parte del receptor está compuesta por diferentes bloques de entre los que destacan el amplificador de bajo nivel de ruido (*Low Noise Amplifier*, *LNA*) por ser el primer elemento activo con el que se encuentra la señal, y el mezclador que se encarga de pasar la señal a banda base. Este proyecto en sí, trata del diseño de dicho amplificador de bajo ruido y del mezclador en cuadratura basado en la célula de Gilbert.

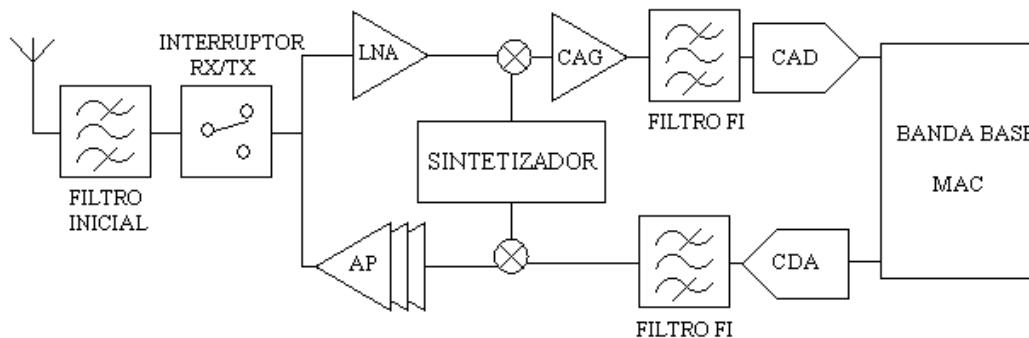


Figura 1.4 Esquema de un transmisor-receptor para UWB.

1.1 Objetivos

El objetivo principal de este proyecto es el diseño de un *LNA* (*Low Noise Amplifier*) y un mezclador en cuadratura con transistores *CMOS* para un receptor de *UWB* (estándar *WiMedia*).

Para ello se hará uso de la tecnología 0.18 μm suministrada por la empresa *UMC* (*United Microelectronics Corporation*) [9].

1.2 Tecnología

La tecnología a emplear en este proyecto es la *CMOS* 0.18 μm de *UMC*. Consta de seis metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos que nos ofrece (ver Figura 1.5), dispone de dispositivos básicos, dispositivos *MM/RF* y dispositivos de *I/O*. Nosotros nos centraremos en los de *RF* que son los que utilizaremos en nuestro proyecto, disponiendo de resistencias, condensadores, varactores, inductores y diodos.

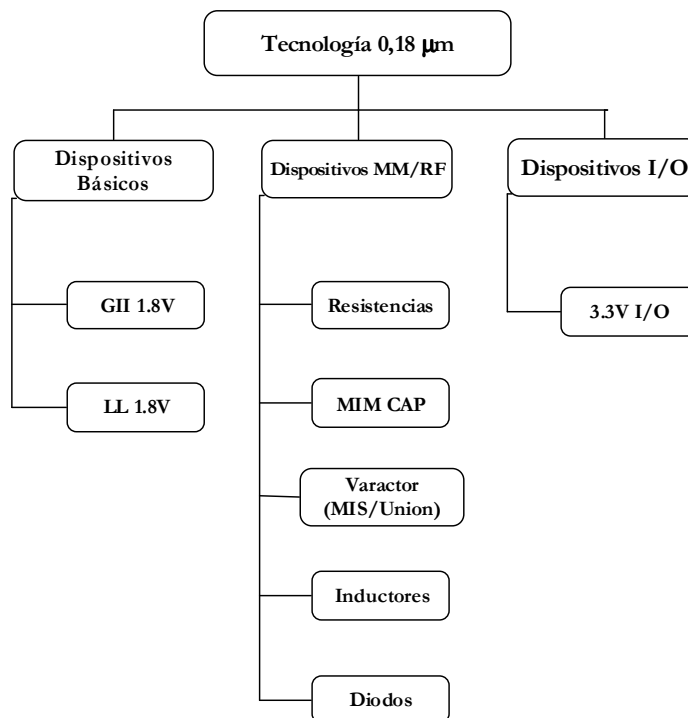


Figura 1.5 Componentes UMC 0.18 μm .

1.3 Estructura de la memoria

En este primer capítulo se ha presentado la importancia de las redes inalámbricas, centrándonos en las *WPAN* y la aparición de la tecnología *UWB*, así como el estándar *WiMedia*.

A continuación se han desarrollado los objetivos a cumplir en este proyecto y posteriormente hemos realizado una breve introducción de la tecnología que utilizaremos para la realización del mismo.

En el capítulo 2 abordaremos el estudio de las características del estándar *WiMedia*. Se comenzará con una explicación general de las características comunes a cualquier sistema de radiofrecuencia (*RF*). A continuación, se estudiará en detalle los aspectos más importantes del estándar. Este proyecto es parte de una cadena de recepción de *UWB*, por lo que se presentará finalmente las especificaciones de dicho receptor.

En el capítulo 3 nos centraremos en las características de los *LNAs* y de los mezcladores. Para ello se hará el análisis teórico de ambos circuitos y se estudiarán las distintas posibilidades que tenemos a la hora de diseñarlos.

Una vez estudiada de forma teórica, el estándar y las distintas topologías se comenzará en el capítulo 4 con el diseño del *LNA* y del mezclador a nivel de esquemático haciendo uso de la herramienta de diseño electrónico *Cadence* [10].

En el capítulo 5, y tras haber finalizado el trabajo a nivel de esquemático, el siguiente paso es comenzar con el diseño a nivel de *layout* y realizar las simulaciones *post-layout* de nuestros circuitos para asegurar su correcta implementación. De esta forma podremos enviar el circuito a fabricar.

Acabada la implementación a nivel de *layout*, en el capítulo 6 se analizarán los resultados obtenidos a lo largo del proyecto, comentando cómo y por qué se han tomado diferentes decisiones para alcanzar los objetivos.

Para concluir esta memoria, en el capítulo 7 pasamos a hacer el presupuesto del proyecto, detallando todos los costes tanto de material como de mano de obra, etc.

1.4 Peticionario

Actúan como peticionarios para este proyecto fin de carrera, la Escuela Universitaria de Ingeniería Técnica de Telecomunicación (*EUITT*) y la división de Tecnología Microelectrónica (*TME*) del Instituto Universitario de Microelectrónica Aplicada (*IUMA*).

CAPÍTULO 2

EL ESTÁNDAR WIMEDIA

En el capítulo anterior hemos visto una introducción general de cómo se ha desarrollado nuestro proyecto y se estableció el estándar sobre el que íbamos a trabajar. En nuestro caso se trata del denominado *WiMedia UWB* [4].

En este capítulo analizaremos los parámetros característicos de este estándar, ya que protagonizan un importante papel dentro de nuestro estudio.

Para ello, comenzaremos con una introducción de las características de los sistemas de radiofrecuencia (*RF*) en general [1], [11], [12], [13]. Con esta información, nos encontraremos capacitados para desarrollar en profundidad el estándar *WiMedia*.

2.1 Características de los Sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de RF, por esta razón serán de utilidad más adelante para el estudio del sistema donde irán incluidos nuestros amplificadores y mezcladores.

2.1.1 Ganancia (Gc)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación (2.1).

$$G = \frac{V_{salida}}{V_{entrada}} \quad (2.1)$$

Siendo su valor en decibelios el mostrado en la ecuación (2.2).

$$G(dB) = 20 \cdot \log\left(\frac{V_{salida}}{V_{entrada}}\right) \quad (2.2)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S , más concretamente el parámetro S_{21} .

2.1.2 Ruido

El ruido se define como cualquier interferencia aleatoria no relacionada con la señal de interés. La inevitable presencia del ruido en un sistema de comunicación causa que la transmisión de señales eléctricas a través del mismo no sea segura. Hay muchas fuentes

potenciales de ruido. Éstas pueden ser externas al sistema (ruido atmosférico, ruido galáctico, ruido producido por el hombre) o propias del mismo sistema. En este apartado sólo se estudiará las fuentes de ruido generadas por el propio sistema.

El ruido interno está muy unido a los fenómenos físicos que caracterizan el comportamiento de los componentes de los circuitos empleados en RF. Estos fenómenos consisten en variaciones espontáneas de tensiones o corrientes causadas por la agitación temporal de las cargas en los conductores o por la estructura granular de dichas cargas. Por lo tanto, podemos deducir que el ruido producido por un circuito electrónico no puede ser eliminado por completo debido a que es intrínseco al propio funcionamiento del circuito. Sin embargo, si es posible minimizar sus efectos mediante un diseño adecuado del mismo.

2.1.2.1 Tipos de Ruido en Circuitos Integrados

En este subapartado se explicará brevemente los tipos de ruido que se encuentran en los circuitos integrados, así como el motivo de su aparición.

El **Ruido Térmico** es una perturbación de carácter aleatorio que aparece de forma natural en los conductores debido a la agitación térmica de los electrones. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las fluctuaciones de energía en torno al valor más probable son muy pequeñas pero suficientes para producir la agitación de las cargas dentro del conductor. Estas fluctuaciones de las cargas crean una diferencia de tensión que se mezcla con la señal transmitida por el conductor, produciendo interferencias en la misma y degradando la calidad de la señal.

Como la causa de este tipo de ruido es el movimiento térmico de los electrones, es lógico esperar que esté relacionado con la temperatura y de hecho aumenta directamente con la misma. La potencia media de ruido térmico está definida por la ecuación (2.3):

$$\eta = 4 \cdot K \cdot T \cdot \Delta f \tag{2.3}$$

donde:

- η es la potencia media de ruido media medida en vatios.
- K es la constante de *Boltzmann*, $K = 1.381 \times 10^{-23} \text{ Jul/}^\circ \text{ K}$.
- T es la temperatura absoluta.
- Δf es el ancho de banda de la señal.

Como se puede observar en la ecuación (2.3) el valor del ruido térmico también aumenta de forma proporcional con el ancho de banda de la señal. Las fuentes de ruido térmico más comunes en los circuitos integrados son las resistencias y los transistores *MOS*.

La base fundamental del **Ruido Shot** es la naturaleza granular de la carga eléctrica. El ruido *Shot* se origina solamente cuando hay un flujo de corriente a través de una barrera de potencial y está asociado al mecanismo físico de salto de una barrera de potencial por un transporte de carga.

Estos procesos físicos asumen la existencia de un promedio de flujo de corriente que se manifiesta en forma de huecos y electrones fluyendo en los semiconductores. En particular, en un semiconductor, la causa de este ruido es la dispersión aleatoria de los electrones o a la recombinación aleatoria de los huecos. Como consecuencia, el ruido *Shot* dependerá de la carga del electrón, del valor medio de la corriente y, como en el ruido térmico, del ancho de banda. Este tipo de ruido está caracterizado, al igual que el ruido térmico, por una función de densidad gaussiana.

El **Ruido Flicker** aparece en todos los dispositivos activos, así como en algunos elementos pasivos. Está caracterizado por una densidad espectral de potencia que aumenta cuando la frecuencia decrece. Por esta propiedad este ruido es muy diferente del ruido térmico y del ruido *Shot*, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

En los dispositivos electrónicos, la aparición del ruido *flicker* está más marcada en dispositivos que son sensibles a los fenómenos de superficie ya que los defectos e impurezas en la superficie del material del dispositivo pueden atrapar y liberar cargas aleatoriamente.

La corriente I generada por el ruido *flicker* presenta, en general, una densidad espectral de potencia como se muestra en la ecuación (2.4).

$$S_{i(f)} = K_1 \cdot \frac{I^a}{f^b} \tag{2.4}$$

Siendo:

- I el flujo de corriente directa del dispositivo.
- K_1 una constante particular para cada dispositivo.
- a una constante en el rango de 0.5 a 2.
- b una constante aproximada a la unidad.

Debemos considerar que al trabajar con circuitos de RF estamos tratando con altas frecuencias por lo que el ruido *flicker* no tiene un efecto considerable.

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

2.1.2.2 Figura de Ruido (NF)

En un amplificador de RF , incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación (2.5).

$$NF = \frac{P_{N0}}{P_{Ni} \cdot G_A} \quad (2.5)$$

Donde:

- P_{N0} es la potencia total de ruido disponible a la salida del sistema.
- P_{Ni} es la potencia de ruido disponible en un ancho de banda B , $P_{Ni} = k \cdot T \cdot B$ (k y T son respectivamente la constante de *Boltzmann* y la temperatura absoluta).
- G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{s0}) y la potencia de señal disponible a la entrada (P_{si}).

Sustituyendo G_A por dicha relación en la ecuación (2.5) obtenemos que la figura es la mostrada en la ecuación (2.6).

$$NF = \frac{P_{Si} / P_{Ni}}{P_{S0} / P_{N0}} = \frac{SNR_i}{SNR_0} \quad (2.6)$$

Donde SNR_i y SNR_0 son las relaciones señal a ruido medidas a la entrada y a la salida respectivamente.

De esta forma, la figura de ruido es una medida de cuanto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_0$, independientemente del valor de la ganancia del mismo. Esto es debido a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por lo tanto, la figura de ruido de un circuito sin ruido es igual a 1 aunque por lo general la figura de ruido suele ser mayor que la unidad.

Para dos etapas en cascada la figura de ruido viene dada por la ecuación (2.7).

$$F_T = F_1 + \frac{F_2 - 1}{G_{A1}} \tag{2.7}$$

Donde:

- F_1 y F_2 son los factores de ruido de ambas etapas por separado.
- G_{A1} es la ganancia de la primera etapa.

La ecuación (2.7) muestra que la primera etapa es la que más contribuye al ruido total ya que su figura de ruido se suma directamente a la del sistema y la de la segunda etapa es atenuada por la ganancia de la primera etapa. En consecuencia, la primera etapa de un sistema de radiofrecuencia (*LNA*) debe tener una baja figura de ruido y una alta ganancia.

2.1.3 Punto de Intercepción de Tercer Orden (IP3)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1 \pm n\omega_2$ los cuales se producen por mezcla de los anteriores. A estos se les denomina productos de intermodulación (*IM*). Se define el orden de cada producto como la suma de $m+n$. Los productos de intermodulación se pueden dar referidos a la salida (*OIM*) o a la entrada (*IIM*) y se suelen expresar en dBm. Ambos valores están relacionados a través de la ganancia del circuito ($OIM = IIM + G$ dB). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1 - \omega_2$ y $2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la Figura 2.1 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

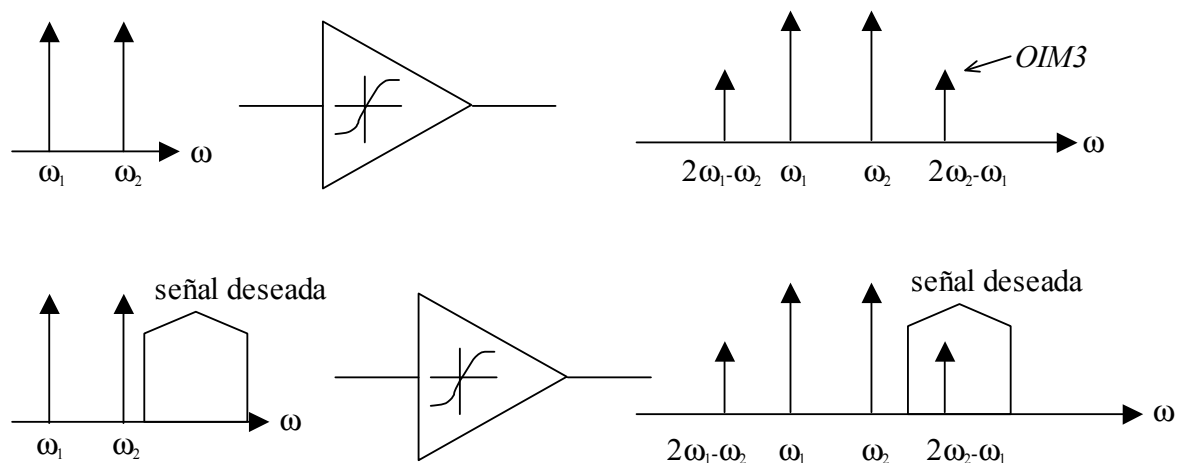


Figura 2.1 Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden *IP3* (*third intercept point*) el cual se puede dar referido a la entrada (*IIP3*) o a la salida (*OIP3*). Por medio de la ecuación (2.8) se puede calcular el *IIP3*.

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + Pin_{dBm} \tag{2.8}$$

Donde:

- P_{in} es la potencia de la señal interferente (tono).
- ΔP_{dB} es la diferencia de potencia entre la señal interferente y el *IIM3*.

En la Figura 2.2 se muestra la interpretación gráfica de ambas cantidades así como del *IP3*. Para determinar gráficamente el *IP3* se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel *RF* a la entrada. El *IP3* es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el *IP3* más lineal será nuestro circuito.

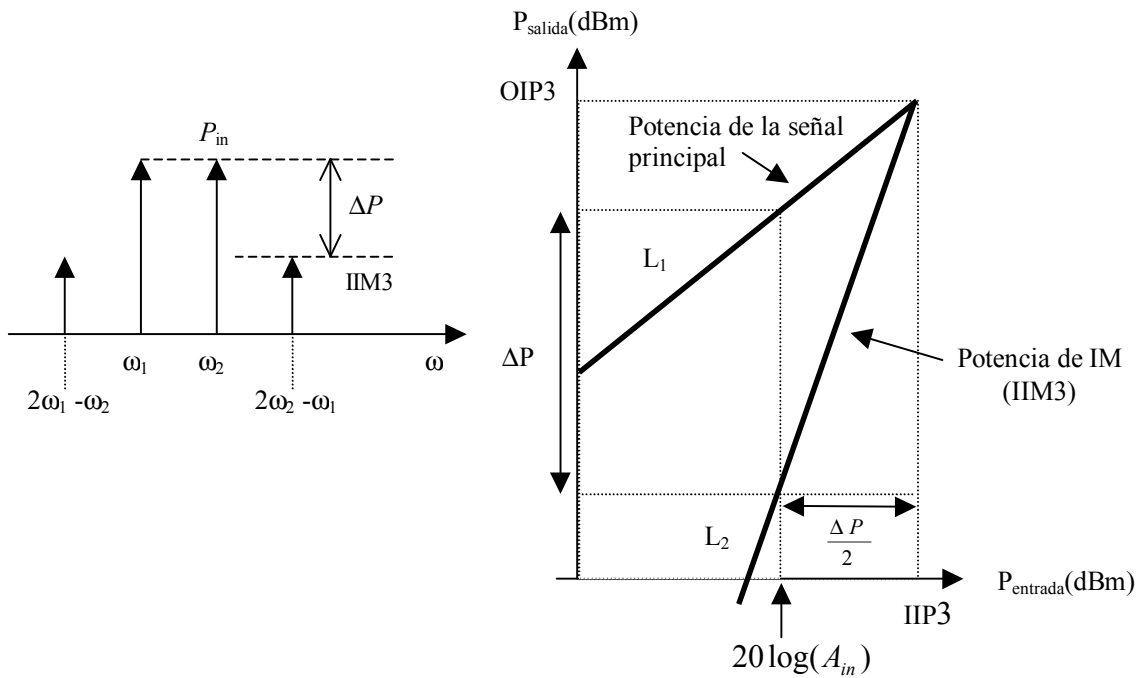


Figura 2.2 Medida del IP3 referido a la entrada.

Así, el $IIP3$ se puede determinar a partir de la ecuación (2.8) como se muestra en la ecuación (2.9).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \quad (2.9)$$

El $IIM3$ viene dado por la ecuación (2.10).

$$\begin{aligned} IIM3_{dBm} &= Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \\ IIM3_{dBm} &= 3Pin_{dBm} - 2IIP3_{dBm} \end{aligned} \quad (2.10)$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del $IM3$ presenta el inconveniente que debe ser especificada la potencia de entrada. Con el $IP3$ se salva este problema. El $IIM3$ y el $OIM3$ son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el $IIP3$ y el $OIP3$ son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del

IIP3 o el *OIP3* podemos comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello son la forma más habitual de caracterizar los efectos de la intermodulación.

2.1.4 Coeficiente de Onda Estacionario (VSWR)

Está relacionado con el coeficiente de reflexión (Γ_L , relación entre la onda incidente y la reflejada) según la ecuación (2.18) e indica una medida cuantitativa de la adaptación del circuito a la entrada (*VSWR1*) o a la salida (*VSWR2*). En la ecuación (2.11), Z_0 es la impedancia característica de la línea de transmisión y Z_L es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un *VSWR* de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (2.11)$$

2.2 Estándar WiMedia

En 2002, la *FCC* (*Federal Communications Commission*) con el informe 02-48 establece el reglamento para *UWB*. La *FCC* aprueba el sistema de *UWB* para un rango de frecuencias de 3.1-10.6 GHz [5]. Para definir un dispositivo como de *UWB*, éste debe tener un ancho de banda fraccional de 0.2 u ocupar 0.5 GHz.

$$BW_{\text{Fraccional}} = \frac{2(fs - fi)}{fs + fi} \quad (2.12)$$

donde f_s es la frecuencia superior y f_i la frecuencia inferior a 10 dB.

Basándose en esta asignación, *UWB* no se considera como una tecnología sino un espectro libre para su uso. La *FCC* propuso para su comercialización de usos civiles las siguientes aplicaciones:

- Sistemas de proyección de imagen, médicos y de vigilancia.
- Radares de vehículos.
- Sistemas de comunicaciones y de medidas.

Un inconveniente importante es que *UWB* tiene que coexistir con un nivel de interferencias relativamente alto debido a los dispositivos de 2.4 GHz y de 5 GHz de las bandas *ISM*.

2.2.1 Canalización

Como parte del *WiMedia*, la *MBOA* (*Multiband OFDM Alliance*) para el estándar de *UWB* dividió el espectro de 3 a 10 GHz, en bandas de 528 MHz empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM* 128, permitiendo tasas de datos de 53.3 Mb/s a 480 Mb/s (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mb/s) [3].

En la Figura 2.3 se muestra como se definió en 5 grupos de bandas. El primer grupo de bandas es utilizado para la primera generación de dispositivos (Modo 1 de 3.1 a 4.9 GHz). Los grupos de bandas del 2 al 5 son reservados para usarlos en el futuro.

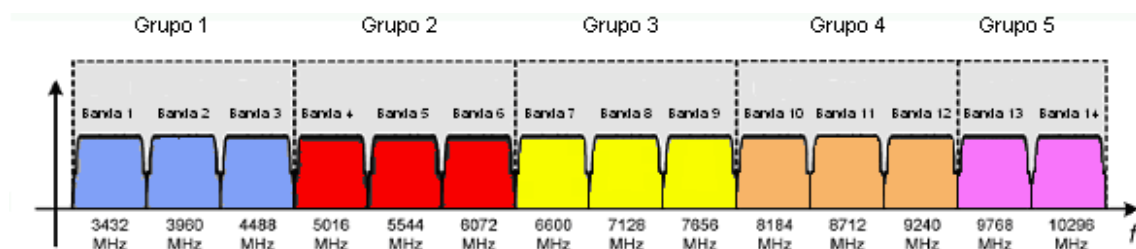


Figura 2.3 Bandas de frecuencia.

Usando únicamente las 3 bandas inferiores se puede usar un filtro paso banda que reduce el nivel de interferencias de las bandas *ISM* de los 5 GHz.

Para proporcionar robustez frente a la multitrayectoria y a las interferencias se utiliza la técnica de *frequency hopping* (saltos de frecuencia) entre las bandas de cada grupo de bandas. El receptor debe tener por tanto una alta linealidad y un oscilador local de banda ancha con saltos de frecuencias de menos de 9.5 ns de duración. (ver Figura 2.4).

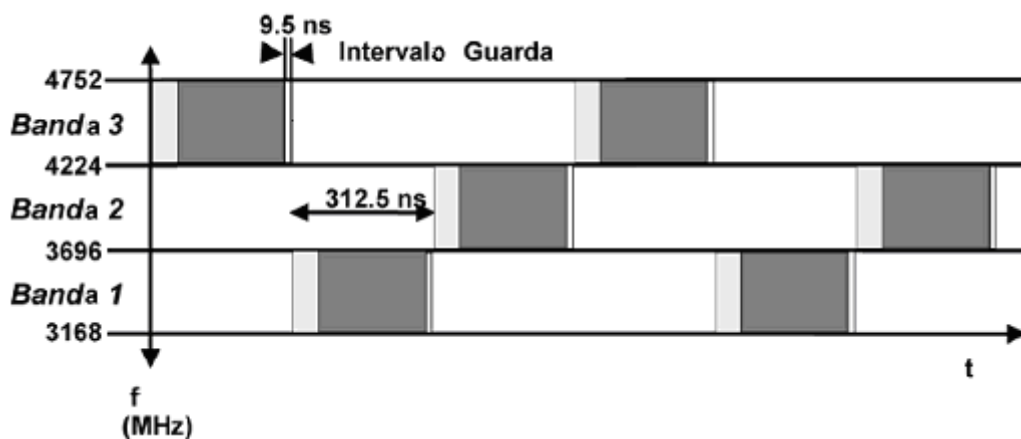


Figura 2.4 Frequency hopping.

En la Tabla 2.1 se muestra la distribución de frecuencias de cada grupo de bandas *MB-OFDM*.

Tabla 2.1 MB-OFDM plan de frecuencias

GRUPO DE BANDAS	Nº DE LAS BANDAS	FRECUENCIA INFERIOR (MHz)	FRECUENCIA CENTRAL (MHz)	FRECUENCIA SUPERIOR (MHz)
1	1	3168	3432	3696
	2	3696	3960	4224
	3	4224	4488	4752
2	4	4752	5016	5280
	5	5280	5544	5808
	6	5808	6072	6336
3	7	6336	6600	6864
	8	6864	7128	7392
	9	7392	7656	7920
4	10	7920	8184	8448
	11	8448	8712	8976
	12	8976	9240	9504
5	13	9504	9768	10032
	14	10032	10296	10560

Frecuencia central de la banda = $2904 + 528 \times n_b$, $n_b = 1 \dots 14$ (MHz)

2.2.2 Desafíos en el Diseño de MB-OFDM

Los receptores *MB-OFDM* comparado con los receptores de banda estrecha, tienen una serie de nuevos desafíos, los cuales se resumen en [6], [7], [8]:

- Necesidad de una adaptación de la impedancia de entrada de banda ancha, de 3.1 a 10.6 GHz. Se necesita un *LNA* en el receptor capaz de proporcionar una figura de ruido razonablemente baja, una alta ganancia y un consumo de corriente bajo. Esto es muy difícil usando *LNAs* convencionales de banda estrecha o amplificadores realimentados resistivamente [8].

- Cuando estamos recibiendo en un canal, la señal de los otros canales entran en el receptor y aparecen señales bloqueantes. Como consecuencia, aparecen restricciones a la linealidad dentro de la banda.
- Necesita una mejor linealidad al coexistir con otras bandas de 3.4-10.3 GHz, esto no ocurría con los receptores de banda estrecha. Por ejemplo, en los sistemas de banda estrecha la distorsión o la no linealidad debida a los armónicos de 2º orden no son importantes ya que están fuera de la banda. Sin embargo, en los receptores de *UWB*, la distorsión de 2º orden del canal 1 cae dentro del canal 5.
- Los receptores necesitan filtros para seleccionar los canales en banda base con un alto rechazo a la frecuencia de corte de 264 MHz. Es particularmente difícil realizar filtros activos con polos en este rango de frecuencias, y satisfacer rigurosamente el rango dinámico sin un consumo alto de corriente.
- Los receptores necesitan un sintetizador de frecuencia de banda ancha ágil, para toda la banda de 3.4 a 10.3 GHz.
- Los sistemas de banda ancha usan esquemas complejos de modulación. Debido a la aglomeración en la constelación se necesita una ganancia equilibrada entre los canales *I* y *Q* y eficiencia en las fases en cuadratura del oscilador local (*LO*).
- Al tener *UWB* un ancho de banda grande, los armónicos del *LO* pueden enviar algún canal no deseado de *UWB* a la *FI* e interferir el canal deseado.

2.3 Especificaciones del Receptor para UWB-WiMedia

Para alcanzar una solución de bajo coste, se requiere una alta integración de la arquitectura del receptor, con un mínimo número de componentes externos. En la Figura 2.5 se muestra una arquitectura *zero-IF* (frecuencia intermedia nula) que satisface bien esta aplicación de *UWB*. Este esquema se ha puesto en práctica para aplicaciones radio de *UWB* publicadas [6], [7], [8]. La señal de la antena es filtrada por un filtro pasivo inicial, el cual reduce el nivel de las interferencias fuera de la banda. Lo siguiente es un *LNA* de ultra banda ancha y un mezclador en cuadratura que convierte a frecuencias intermedias nulas. El sintetizador proporciona las

señales en cuadratura y los saltos de frecuencia del oscilador local. El filtro en banda base proporciona filtrados y ganancias variables. La señal en banda base es digitalizada por un conversor analógico digital (*ADC*), al cual lo sigue un procesador digital en banda base.

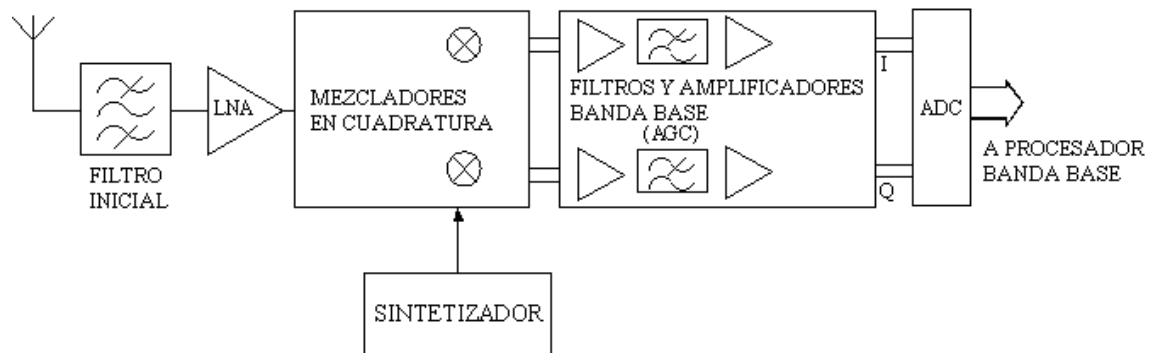


Figura 2.5 Receptor para UWB.

2.3.1 Panorama de Interferencia

Por el corto alcance y la alta tasa de datos de los sistemas inalámbricos de *UWB*, se integrará dentro de varios dispositivos incluidos: ordenadores, impresoras, *HDTV*s, cámaras digitales, grabadores de *DVD*, *PDA*, etc. Para que puedan coexistir junto a otras tecnologías inalámbricas como *WLAN 802.11* y *Bluetooth*, se necesita de un receptor robusto a las interferencias. Se ha propuesto como distancia máxima 10 metros, lo que quiere decir, que la mínima potencia de la señal recibida será del orden de -74 dBm. A la hora de analizar la robustez de un sistema de *UWB* es necesario considerar varios tipos de interferencias: interferencias dentro de la banda, tales como *UWB* no deseadas, e interferencias fuera de la banda, como *WLAN* e interferencias de los móviles. Para demostrar que las interferencias pueden producir problemas de linealidad, se considera un caso típico en el que tenemos una señal interferente *IEEE 802.11.a* en la banda superior *UNII*. Con 30 dBm y 0.2 metros de distancia, la potencia recibida de esta interferencia puede alcanzar 5 dBm, aproximadamente 80 dB mayor que la potencia recibida de la señal de *UWB* deseada.

2.3.2 Sensibilidad

En la tabla 2.2 se muestra la sensibilidad mínima del receptor para las distintas tasas de datos disponibles. El *PER* (*packet error rate*, error en la tasa de paquetes) debe ser menor que el 8 % con un *PSDU* (*PHY payload*) de 1024 bytes.

Tabla 2.2 Sensibilidad mínima para las diferentes tasas de datos

Tasa de datos (Mbps)	Sensibilidad mínima para el modo 1 (dBm)
53.3	-83.6
80	-81.6
110	-80.5
160	-78.6
200	-77.2
320	-75.5
400	-74.2
480	-72.6

2.3.3 Requisitos de Linealidad

Los niveles de interferencias esperados determinan los requisitos de linealidad tanto de 2° orden como de 3° orden. La propuesta de estándar de *UWB* define un sistema con una figura de ruido de 6.6 *dB*, dando una potencia de ruido dentro de la banda de -80.2 *dBm*. Los criterios para definir las interferencias, asumen que el receptor está funcionando 6 *dB* por encima de la sensibilidad. Al sumarle estos 6 *dB* al margen, la potencia de ruido e interferencias máxima permitida es igual a -74.2 *dBm*. Siendo el nivel de interferencias permitido inferior -75 *dBm*.

Primero se considera el requisito de no linealidad de 2° orden, es decir, el *IIP2*. En el caso extremo se relaciona con el 2° tono, donde el producto de 2° orden cae dentro de la banda del receptor de *RF*, por ejemplo, la combinación de las interferencias de una primera señal *IEEE 802.11.a* a 0.2 metros y las interferencias de una segunda señal *PCS/GSM1900* a 1 metro de distancia. Asumiendo que la potencia recibida es de 30 *dBm* para ambos sistemas, el nivel de potencia de las interferencias recibidas es de -4 *dBm* y -8 *dBm* respectivamente. Por lo tanto,

conduce a un requisito del $IIP2$ de 20 dBm, teniendo en cuenta los 20 dB del filtro inicial. Para la no linealidad de 3° orden, el $IIP3$, la banda ISM de 5 GHz da lugar a 2 interferencias en el peor escenario. Si se asume que los dos tonos de las banda ISM de 5 GHz a 0.2 metros y 1 metro, y otra vez el nivel de interferencias del filtro inicial es de 20 dB, el nivel potencia de interferencias es del orden -24 dBm y -44 dBm respectivamente. Se obtiene un requisito del $IIP3$ del orden de -9 dBm.

2.3.4 Requisitos de Ruido

Dependiendo de la tasa de bit, la $MBOA$ especifica una sensibilidad en la recepción que va de -84 dBm (para 55 Mb/s) a -73 dBm (para 480 Mb/s). Requiere una SNR de unos 8 dB, estas especificaciones se trasladan a una NF de 6-7 dB.

$$Sensibilidad = -174 dBm + 10 \cdot \log(B) + NF + SNR$$

$$NF = 174 dBm - 10 \cdot \log(B) - SNR - Sensibilidad$$

$$NF = 174 dBm - 10 \cdot \log(528 MHz) - 8 dB - 73 dBm = 6.13 dB$$

(2.13)

Para un sistema de 3 bandas, la $MBOA$ propone que la NF es igual a 6 dB, teniendo en cuenta que el filtro a la entrada tiene unas pérdidas reales de 2 dB, se necesita una NF de 4 dB.

2.3.5 Requisitos del Filtro

El receptor debe tener un filtro inicial que elimine el ruido y las interferencias de fuera de la banda. Para el modo 1 la banda del paso del filtro inicial está entre 3168 MHz y 4752 MHz. La salida del filtro inicial es amplificada usando un LNA , a continuación se pasa a banda base usando una frecuencia central apropiada. La señal en banda base se filtra usando un filtro paso bajo de 3° orden. En la Tabla 2.3 se muestran las atenuaciones correspondientes al filtro inicial y al filtro en banda base.

Tabla 2.3 Atenuaciones del filtro inicial y del filtro en banda base

	Horno Micro ondas	Interferencias de Bluetooth & IEEE 802.15.1	Interferencias de IEEE 802.11b & IEEE 802.15.3	Interferencias de IEEE 802.11a	Interferencias de IEEE 802.15.4 (2.45 GHz)
Mínima atenuación filtro banda base (dB)	35.4	36.9	36.9	30.7	35.6
Atenuación del filtro inicial (dB)	35	35	35	30	35

2.3.6 Requisitos del Sintetizador

Como la señal tiene que cubrir las 3 bandas inferiores definidas en la *MBOA* y como se ha propuesto la arquitectura *zero-IF*, el sintetizador necesita proporcionar las frecuencias centrales de las bandas que se muestran en la Tabla 2.1. En la propuesta del *MBOA*, el salto de frecuencias entre sub-bandas ocurre para cada símbolo con un periodo de 312.5 ns. Este periodo contiene un sufijo de 60.6 ns el cual es seguido por un intervalo de seguridad de 9.5 ns como se muestra en la Figura 2.4. El generador de frecuencias usado para la conmutación del mezclador, tanto para el emisor como para el receptor tiene que cambiar dentro de los 9.5 ns, para lograr la frecuencia de salto. La portadora generada debe tener una gran pureza ya que existen fuertes interferencias en la señal. Por ejemplo, operando en el modo 1 los tonos de 5 GHz deben de estar por debajo de 50 dBc para evitar en la recepción las fuertes interferencias de *WLAN* fuera de banda. Por esta misma razón, los tonos en el rango de 2 GHz deberían estar por debajo de 45 dBc para poder coexistir con los sistemas que operan en la banda *ISM* de 2.4 GHz, como por ejemplo 802.11 b/g y Bluetooth. Finalmente, para asegurar que la *SNR* del sistema no se degradará más de 0.1 dB debido a la generación del oscilador local, la especificación del ruido de fase del *VCO* se fija en 100 dBc/Hz a 1 MHz de desviación y el ruido de fase integrado total no debe exceder 3.5 grados rms [6], [7].

2.3.7 Especificaciones del Receptor Propuesto

En la siguiente tabla se muestran las especificaciones del receptor propuesto.

Tabla 2.4 Requisitos del receptor

Parámetro	Valor
Sensibilidad	-83.6 a -72.6 dBm
Máxima señal entrada	-41 dBm
Figura de ruido	6 dB
Ganancia de compresión a 1dB/IIP3	-18.56 dBm/-9 dBm
Ganancia	50 dB / 64 dB
Control de ganancia	14 dB

2.4 Resumen

En este capítulo hemos visto las principales características de los sistemas de RF. Igualmente, hemos dado una descripción detallada del estándar *WiMedia*. Tras analizar los principales desafíos del diseño del receptor, se ha estudiado la arquitectura *zero-IF*, la cual es altamente integrable. Además, para esta arquitectura se ha especificado el panorama de interferencias, sensibilidad, linealidad, figura de ruido y los requisitos del sintetizador y de los filtros.

En el siguiente capítulo comenzaremos con el estudio de las principales características de los circuitos que componen este proyecto.

CAPÍTULO 3

ANÁLISIS DE LOS CIRCUITOS

En este capítulo se va a profundizar en el funcionamiento y diseño de los amplificadores de bajo nivel de ruido y de los mezcladores de frecuencias. Tras la introducción, el capítulo comienza con un estudio de los conceptos básicos relativos a los amplificadores en puerta común, para posteriormente abordar el estudio de los esquemas más utilizados. A continuación realizaremos un estudio de los mezcladores, para posteriormente estudiar en profundidad la célula de Gilbert ya que formará parte de nuestro proyecto.

3.1 Amplificador de Bajo Nivel de Ruido. Topología en Puerta Común

Una topología que se suele usar comúnmente en el diseño de *LNA*s para comunicaciones inalámbricas, es la configuración en puerta común (*CG*). En este apartado pretendemos comentar y analizar sus características, tales como son la adaptación de entrada, la ganancia en tensión y la figura de ruido. Para terminar este apartado describiremos brevemente el comportamiento de estructuras *LNA* en configuración puerta común usando potenciación de ganancia (*Gain Boosting*) [1], [7], [8], [9] y [14].

3.1.1 Adaptación de Entrada y Ganancia de Tensión

La impedancia deseada a la entrada de un *CG* se logra ajustando la corriente de polarización, la relación de aspecto y la tensión de saturación de forma que $1/g_m$ se aproxime a Z_0 .

Dado que la impedancia de salida de la fuente típica es 50Ω , necesitamos una g_m que ronda los 20 mS. En la Figura 3.1 podemos observar la simulación de la transconductancia de un transistor *MOS* en función de su ancho y de la corriente del drenador. La configuración *CG* es inmune al efecto Miller, y nos ofrece un adecuado aislamiento en inversa. Por tanto, se pueden diseñar la red de adaptación de entrada y la de carga por separado.

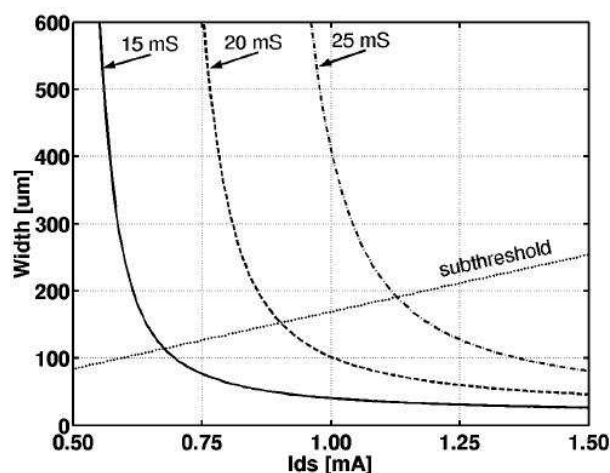


Figura 3.1 Transconductancia efectiva (15 mS, 20 mS y 25 mS) a la entrada de un transistor *MOS* en función de su ancho y de la corriente de drenador.

Para que toda la señal entre hacia la fuente del transistor, necesitamos que haya una impedancia grande hacia tierra. Esto se puede lograr con una fuente de corriente I_{BIAS} , tal como se muestra en la Figura 3.2a. Debido al elevado ruido asociado a esta fuente de corriente, esta topología no se suele utilizar en el diseño de LNAs. Para ello, en lugar de una fuente de corriente, se utiliza un inductor (L_S) conectado a la fuente del transistor (ver Figura 3.2b). Dicho inductor forma un resonador paralelo LC con las capacidades parásitas C_{PAR} , asociadas al nodo de la fuente del transistor M_1 . Cuando no se va a medir el circuito directamente sobre la oblea, aparece una inductancia L_{IN} asociada al hilo de soldadura (*bond-wire*), cuyo efecto debe ser eliminado mediante un condensador de bloqueo de DC (C_{IN}), el cual puede ser tanto interno como externo al chip (ver Figura 3.2c).

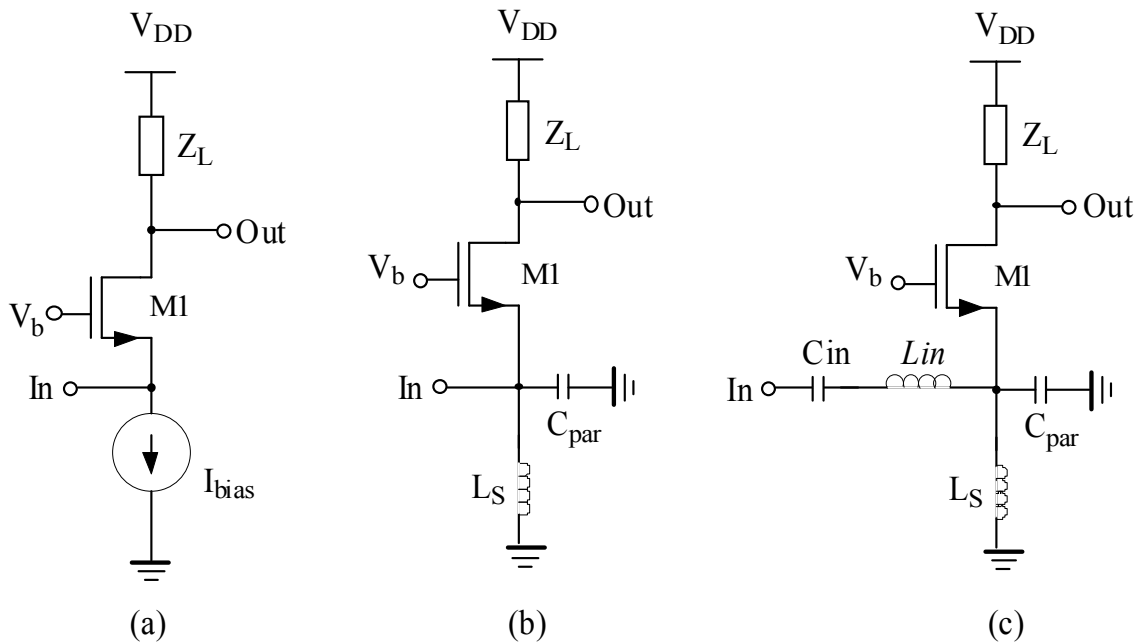


Figura 3.2 Interfases de entrada de un LNA en CG: a) fuente de corriente, b) circuito paralelo resonante LC, y c) circuitos resonantes serie y paralelo LC.

En las Figura 3.2b y c, el condensador C_{PAR} da cuenta de todas las capacidades parásitas asociadas al nodo de la fuente, es decir, la capacidad de unión entre la fuente y el sustrato del transistor M_1 , la capacidad hacia el sustrato de la bobina L_S y las capacidades causadas por los *pads* y los metales de cableado del chip. Además, podemos disminuir el valor de L_S añadiendo una carga capacitiva C_S en paralelo (esta carga C_S no está incluida en la Figura 3.2b ni en la Figura 3.2c). Por tanto, todas las capacidades que se encuentran en el nodo fuente del transistor, se pueden incluir en un solo condensador C_T , cuyo valor se muestra en la ecuación (3.1)

$$C_T = C_{PAR} + C_S \quad (3.1)$$

La impedancia de entrada Z_{IN} de la etapa de entrada de un CG , (ver Figura 3.2b), se puede calcular a partir de la ecuación (3.2).

$$Z_{in} = \frac{sL_s}{1 + sL_s g_m + s^2 L_s C_T} \quad (3.2)$$

El inductor de la fuente L_s resuena con el condensador C_T a la frecuencia:

$$\omega_0 = \frac{1}{\sqrt{L_s C_T}} \quad (3.3)$$

y en esa frecuencia, la impedancia de entrada se simplifica a $1/g_m$. La impedancia de entrada Z_{IN} del CG de la Figura 3.2c se muestra en la ecuación (3.4).

$$Z_{in} = \frac{1 + s^2 C_{in} L_{in}}{s C_{in}} + \frac{s L_s}{1 + s L_s g_m + s^2 L_s C_T} \quad (3.4)$$

Con una adaptación de impedancia perfecta ($1/g_m = R_s$), la ganancia en tensión del amplificador en CG es el cociente entre Z_L/R_s . Esta hipótesis es válida si la resistencia drenador-fuente (r_{ds}) es mucho mayor que la resistencia de carga en el drenador, de lo contrario las fórmulas de ganancia e impedancia de entrada serían 3.5 y 3.6.

$$A_v = \frac{g_m Z_L}{\left(1 + \frac{Z_L}{r_{ds}}\right)} \quad (3.5)$$

$$R_{in} = \frac{1}{g_m} \left(1 + \frac{Z_L}{r_{ds}} \right) \quad (3.6)$$

3.1.2 Ruido en una Etapa CG

El factor de ruido de un *LNA* en *CG* viene dado por la ecuación (3.7).

$$F = 1 + \frac{\gamma}{\alpha} \left(\frac{1}{1 + \chi} \right)^2 \frac{1}{g_m R_S} \quad (3.7)$$

donde γ es el coeficiente de ruido térmico del canal, g_m es la transconductancia del transistor, χ es la relación entre la transconductancia del sustrato g_{mb} y g_m , R_S es la resistencia de fuente y α es la relación g_m/g_{d0} . Observando la ecuación, vemos que el ruido de una etapa *CG* es independiente de la frecuencia a la que trabajamos, lo cual es una ventaja frente a los *LNAs* típicos basados en Fuente Común con Degeneración Inductiva, en los que su figura de ruido aumenta a medida que aumenta la frecuencia [16].

Si despreciamos χ y suponemos que tenemos una adaptación de entrada perfecta, el factor de ruido mínimo que se puede conseguir viene dado por la ecuación (3.8).

$$F = 1 + \frac{\gamma}{\alpha} = \frac{5}{3} = 2.2dB \quad (3.8)$$

Para dispositivos de canal corto, γ puede ser mucho mayor que uno, y α mucho menor que uno. En consecuencia, la figura de ruido mínima teórica alcanzable estaría en torno a los 3dB o superior en la práctica. Por tanto, la figura de ruido es ligeramente mayor, comparado con la de un *LNA* en Fuente Común con Degeneración Inductiva, lo cual limita la utilización de los *LNAs* en *CG*.

Para una adaptación de entrada no perfecta, el factor de ruido se reduce aun más tal y como se muestra en la ecuación (3.9).

$$F = 1 + \gamma \frac{1 + S_{11}}{1 - S_{11}} \quad (3.9)$$

donde se ha despreciado α .

La ecuación 3.7 no tiene en cuenta el ruido asociado a la carga. En caso de que la carga fuese resistiva (R_L), la figura de ruido se calcula según la ecuación (3.10).

$$F = 1 + \frac{1}{gmR_s} \left(\frac{\gamma}{\alpha} + \frac{(1 + gmR_s)^2}{gmR_L} \right) \xrightarrow{gm=1/R_s} 1 + \frac{\gamma}{\alpha} + \frac{4R_s}{R_L} \quad (3.10)$$

Por lo tanto, la carga resistiva puede contribuir de forma significativa al ruido total.

Las ecuaciones de ruido anteriores asumen que el ruido inducido por las corrientes de puerta es despreciable. Para que esta suposición sea válida, la resistencia de puerta debe ser pequeña, lo cual se consigue con transistores *MOS* con múltiples puertas.

3.1.3 Etapa de Puerta Común con Potenciación de Ganancia (*Gain Boosting*)

Los requisitos de una buena adaptación de entrada impiden el aumento de g_m a la entrada del transistor para reducir el factor de ruido. Introduciendo una ganancia con signo negativo entre la fuente y la puerta del transistor de entrada, podemos separar la relación que existe entre el factor de ruido y la adaptación de entrada (ver Figura 3.3). Como resultado la transconductancia efectiva del circuito queda:

$$g_{m, eff} = (1 + A)g_m \quad (3.11)$$

donde A es la ganancia entre la fuente y la puerta del transistor. La adaptación de entrada se consigue cuando se cumple

$$g_m = \frac{1}{R_s} \frac{1}{(1 + A)}$$

(3.12)

y el factor de ruido se reduce a

$$F = 1 + \frac{\gamma}{\alpha} \left(\frac{1}{1 + A} \right)$$

(3.13)

Observando la ecuación de g_m anterior (3.12), necesitamos menos corriente para conseguir una buena adaptación de entrada y por tanto el ruido de drenador también será menor.

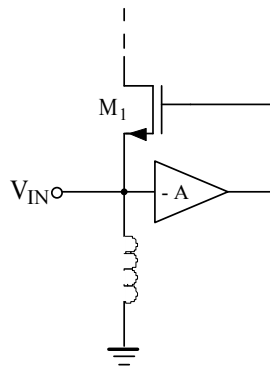


Figura 3.3 Etapa de Entrada Potenciada de un CG.

Este amplificador de ganancia de signo negativo lo podemos hacer usando componentes reactivos, con lo que evitaremos introducir ruido extra en nuestro circuito. En la Figura 3.4a, se muestra un ejemplo en el que se ha utilizado el método de condensadores cruzados, el cual es apto para circuitos con entrada diferencial. La ganancia negativa nos queda aproximadamente $A = C_c / (C_c + C_{gs})$, que es siempre menor que 1. Para conseguir una ganancia negativa mayor que uno, se puede utilizar la técnica del transformador cruzado, mostrada en la Figura 3.4b. Las bobinas primaria y secundaria, L_p y L_s , conforman el transformador, que proporciona una ganancia de signo negativo entre los terminales de puerta y fuente. La ventaja de este método es que es aplicable tanto para circuitos asimétricos como diferenciales.

Según la literatura consultada [7], [8], [9], [14], las figuras de ruido que se consiguen con etapas de puerta común con potenciación de ganancia van desde los 3 dB para condensadores cruzados a los 2,5 dB para transformadores cruzados, lo cual significa una ligera mejoría, que si bien no es muy elevada, justifica su utilización en muchos casos.

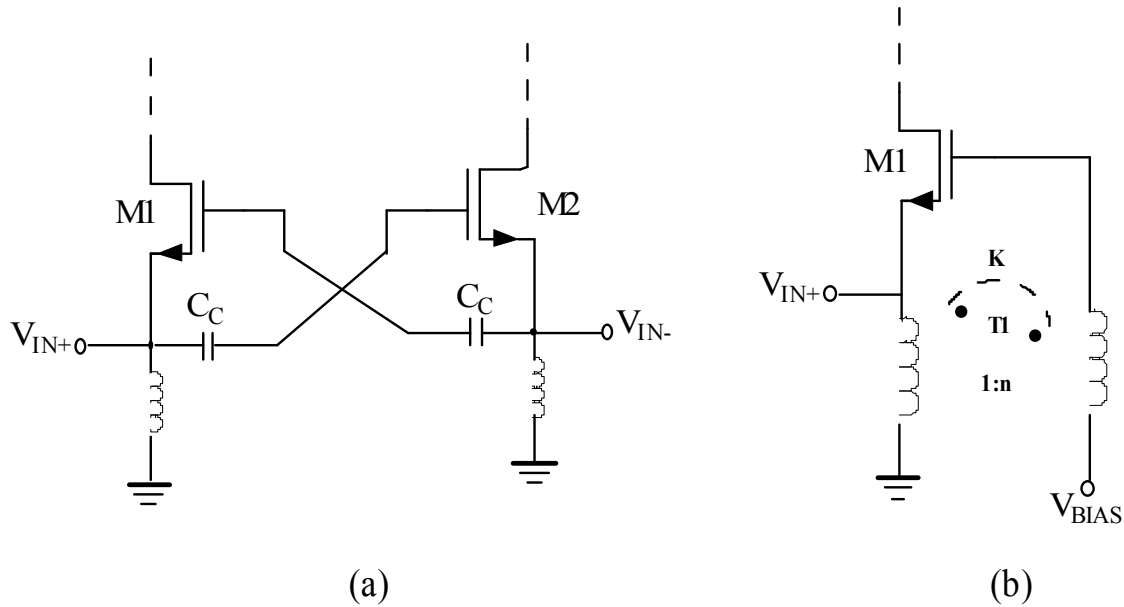


Figura 3.4 Etapa CG con condensadores cruzados, b) Etapa CG con transformador cruzado.

3.1.4 Consideraciones de Banda Ancha

Como conclusión a este apartado podemos decir que con la etapa de entrada en puerta común, conseguimos una realización sencilla de la adaptación de entrada. La resistencia de entrada en la fuente de los *MOSFET* es inversamente proporcional a la transconductancia g_m y como consecuencia la adaptación de impedancia resultante es de banda ancha. Debido a la sencillez del circuito de adaptación de entrada, la diferencia entre la figura de ruido de un *LNA* de banda ancha en *CG* y la de un *LNA* en *CS* es mucho menor que en el caso de banda estrecha. Por tanto, podemos concluir que los *LNA* en *CG* son una opción viable para aplicaciones de banda ancha, como por ejemplo *UWB*. En [14] se puede encontrar un análisis detallado del funcionamiento de la etapa en *CG* en banda ancha, el cual excede el alcance de este proyecto fin de carrera.

3.2 Mezclador

Un mezclador de frecuencias suma o resta a la banda de frecuencias de la señal de entrada (V_{RF}), centrada en la frecuencia f_{RF} , un valor de frecuencia constante de valor f_{OL} denominado frecuencia del oscilador local, para obtener una señal centrada en la frecuencia f_{FI} , o frecuencia intermedia [18], [19], [20], [21]. Un diagrama básico sería el mostrado en la Figura 3.5.

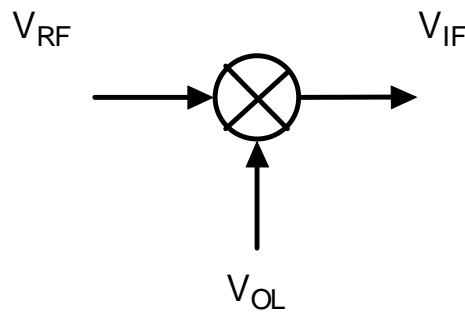


Figura 3.5 Diagrama básico de un mezclador.

La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, ser una señal en banda base o una señal paso banda, y el mezclado puede realizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*).

La Figura 3.6 representa el esquema de un receptor que utiliza un mezclador *down-conversion* para convertir la señal RF en una señal intermedia FI, mezclando la señal RF con la señal OL procedente de un oscilador local. La Figura 3.7 muestra un transmisor, en el que se convierte una señal de baja frecuencia en una de alta frecuencia.

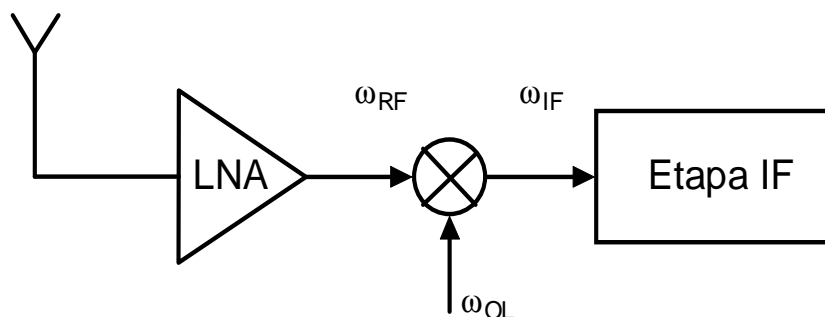


Figura 3.6 Receptor (down conversión): $\omega_{IF} = |\omega_{RF} - \omega_{OL}|$.

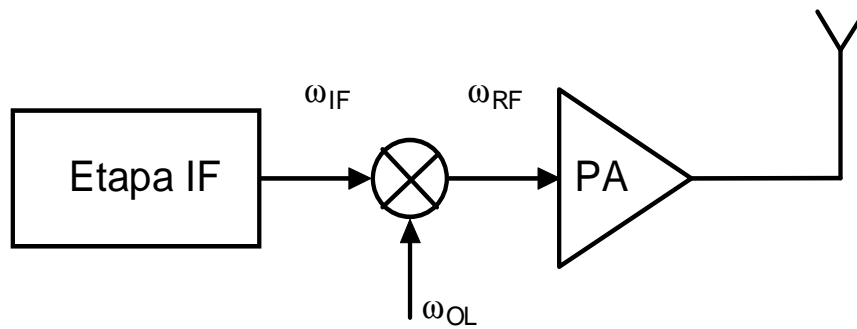


Figura 3.7 Transmisor (up conversión): $\omega_{RF} = |\omega_F + \omega_{OL}|$.

3.2.1 Parámetros del mezclador

Un mezclador de frecuencias tiene la función de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.). En los siguientes apartados se definen los parámetros más importantes que describen el funcionamiento del mezclador.

3.2.1.1 Ganancia de Conversión

Una característica importante de un mezclador es la ganancia (o pérdida) de conversión, que se define como la relación entre la señal de salida (*FI*) y el valor de la señal de entrada (*RF*).

Para un mezclador caracterizado por la ecuación (3.45) la ganancia de conversión es la amplitud de la salida *FI* ($AB/2$) dividido entre la amplitud de la señal de entrada *RF* (*A*). Así, para este ejemplo, la ganancia de conversión sería $B/2$, es decir, la mitad de la amplitud *OL*.

$$(A \cos \omega_1 t) \cdot (B \cos \omega_2 t) = \frac{AB}{2} [\cos(\omega_1 - \omega_2)t + \cos(\omega_1 + \omega_2)t] \tag{3.45}$$

La ganancia de conversión expresada como una relación de potencia, es mayor que la unidad en mezcladores activos, mientras que los mezcladores pasivos sólo son capaces de lograr ganancias superiores a la unidad en tensión o corriente.

Normalmente es conveniente obtener una ganancia de conversión alta, ya que esto implica que los mezcladores proporcionan amplificación a la frecuencia de traslación.

3.2.1.2 Figura de Ruido

La figura de ruido se define como la relación señal/ruido (*SNR*) en el puerto de entrada *RF*, dividido entre la *SNR* a la salida *FI*.

En un mezclador existen dos frecuencias de entrada que generan una frecuencia intermedia, una es la señal *RF* y la otra se denomina señal imagen (ver Figura 3.8). Estas dos señales se denominan bandas laterales.

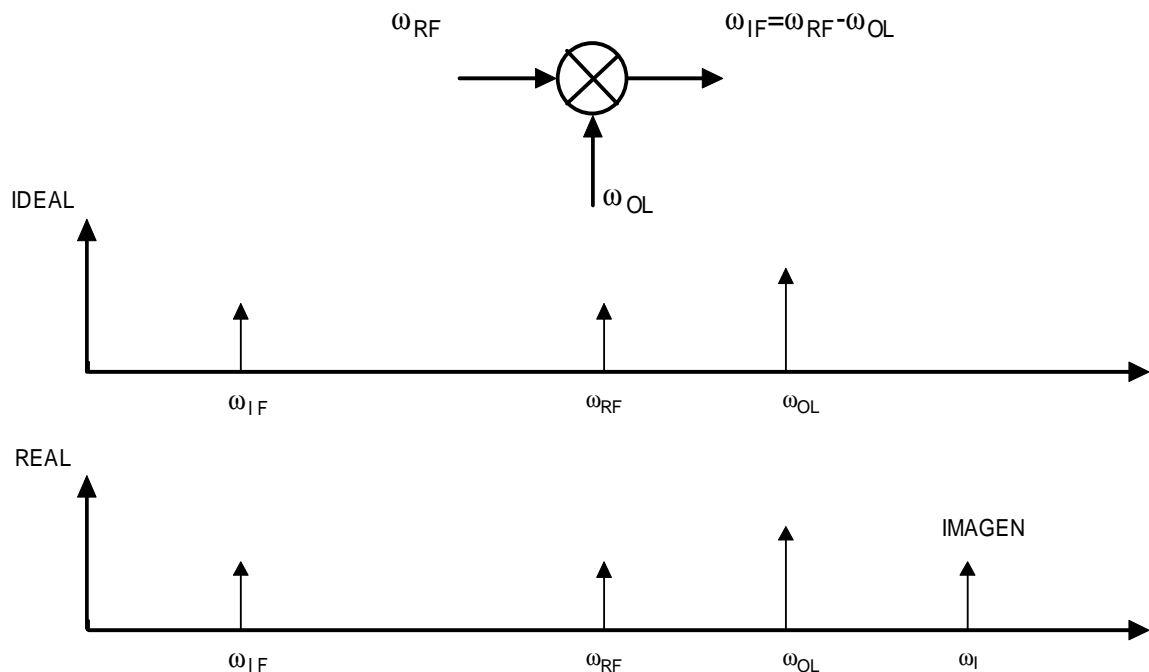


Figura 3.8 Frecuencia imagen.

La razón de la existencia de estas dos frecuencias es que la señal *FI* es la magnitud de la diferencia entre las frecuencias *RF* y *OL*. Por lo tanto, señales que están por debajo y por encima de *OL*, con una diferencia igual ($2\omega_{FI}$), producirán salidas *FI* de la misma frecuencia. Por ejemplo: supongamos que la frecuencia *FI* es 100 MHz y queremos sintonizar una señal a 900 MHz seleccionando una frecuencia *OL* de 1 GHz. Además de la señal de entrada *RF* deseada a 900 MHz, una señal imagen de 1.1 GHz también producirá una señal de salida *FI* de 100 MHz.

La existencia de una frecuencia imagen empeora la figura de ruido debido a que el ruido originado en la frecuencia deseada RF y en la frecuencia imagen se convierten en ruido FI .

En el caso en que la señal deseada exista sólo a una frecuencia, la figura de ruido que se mide se denomina figura de ruido de banda lateral única (SSB_NF, Figura 3.9). En el caso de que ambas señales, RF y la señal imagen, contengan información útil, se utiliza una figura de ruido de doble banda lateral (DSB_NF, Figura 3.10).

Obviamente, la SSB_NF será mayor que la DSB_NF , debido a que ambas tienen el mismo ruido FI , pero la SSB_NF tiene potencia de señal sólo en una banda lateral. Por lo tanto, la SSB_NF será normalmente 3 dB mayor que la DSB_NF .

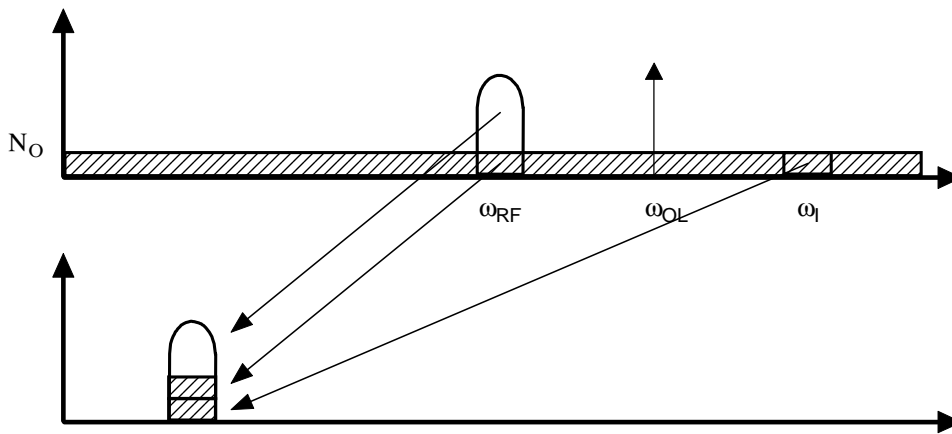


Figura 3.9 SSB_NF.

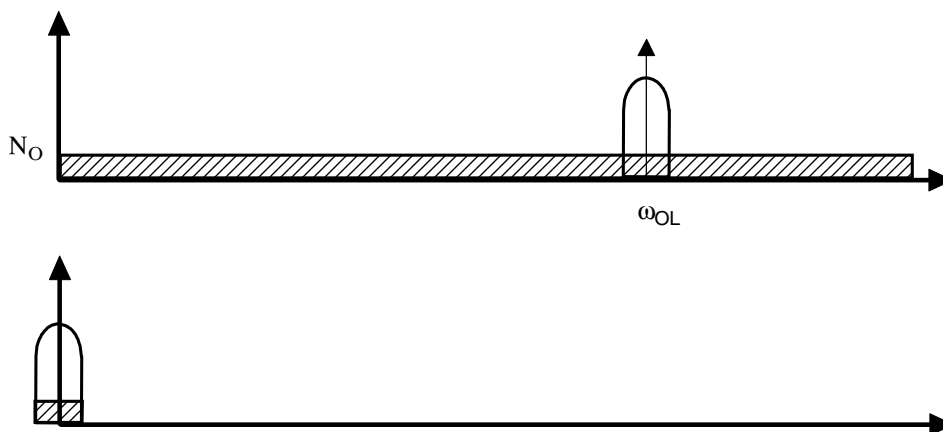


Figura 3.10 DSB_NF.

3.2.1.3 Linealidad

Existen diferentes formas de caracterizar la linealidad de un mezclador, en los siguientes apartados serán definidos estos métodos de caracterización.

3.2.1.3.1 Rango Dinámico

El rango dinámico se define como la diferencia entre los valores mínimos y máximos de señal que se pueden aplicar a un circuito.

El mínimo valor del rango dinámico se establece con la figura de ruido, que indica la mínima señal que se puede procesar. El máximo del rango dinámico se establece en el principio de las no-linealidades que acompañan a las grandes señales.

3.2.1.3.2 Punto de Compresión

Como en los amplificadores, y prácticamente en todos los dispositivos físicos, los mezcladores reales tienen un límite por encima del cual la salida tiene una no-linealidad con la entrada. El punto de compresión es el valor de la señal RF en el que se produce una desviación de la curva lineal ideal. Normalmente se especifica un valor de compresión de 1 dB (o más raramente 3 dB). Sobre este nivel, un aumento adicional en el nivel de entrada RF no se traduce en un aumento proporcional en el nivel de salida. Cuantitativamente, la compresión de ganancia es la reducción del nivel de salida en dB por debajo de la característica lineal.

3.2.1.3.3 Distorsión de Intermodulación de Tercer Orden

Para caracterizar la linealidad también se usa el punto de intercepción de tercer orden. El punto de intercepción es el lugar en el que la curva de respuesta fundamental y la respuesta espuria de tercer orden se interceptan (ver Figura 3.11). A menudo se usa para especificar la supresión de los armónicos de tercer orden generados por el mezclador cuando a la entrada del mismo están presentes dos tonos. Cuanto más alto esté el punto de intercepción, mejor será la supresión de los armónicos de tercer orden.

Un test de intermodulación de tercer orden es una forma eficaz para evaluar el rendimiento de un mezclador debido a que imita un escenario real en el que hay presente a la entrada una señal deseada RF y una potencial interferencia.

Idealmente, ambas señales presentes en la entrada RF serían trasladadas en frecuencia sin interactuar unas con otras. Un mezclador real muestra algunos efectos de intermodulación y, por lo tanto, la salida contendrá versiones trasladadas en frecuencia de los

componentes de intermodulación de tercer orden cuyas frecuencias serán $2\omega_{RF1} \pm \omega_{RF2}$ y $2\omega_{RF2} \pm \omega_{RF1}$.

La distorsión de intermodulación de tercer orden en dos tonos es la cantidad de distorsión de tercer orden causada por la presencia de una señal secundaria recibida en el puerto de RF. Matemáticamente, la distorsión de tercer orden se define en términos de la componente de frecuencia en $2f_2 - f_1$, donde f_1 , es la señal de entrada deseada y f_2 es la señal de entrada secundaria. Por lo general, mientras más alto sea el punto de interceptación del mezclador, más baja será la amplitud de este producto.

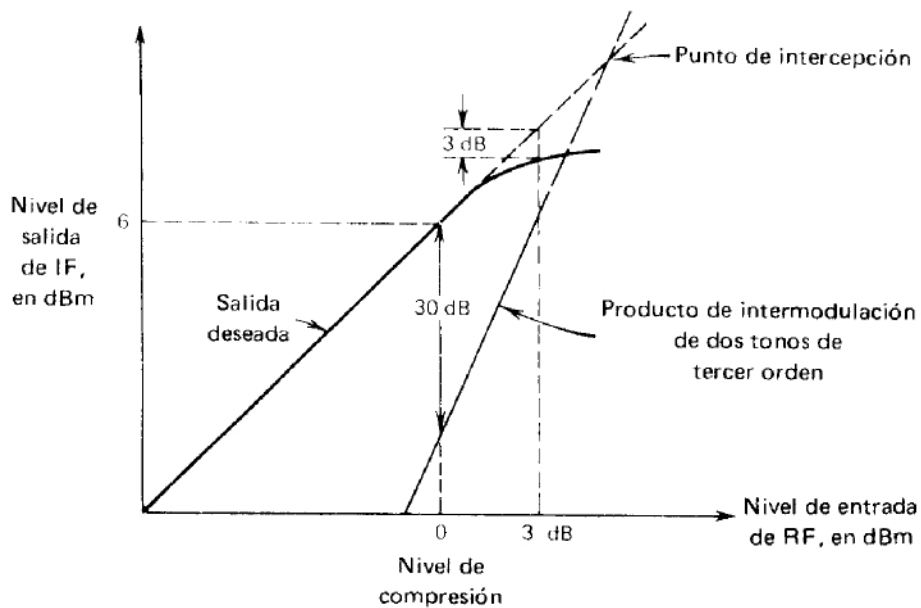


Figura 3.11 Representación de algunos de los parámetros que caracterizan los mezcladores.

En la Figura 3.11, se muestra la característica de un mezclador hipotético, así como la representación gráfica de las definiciones anteriores. Para una entrada de 0 dBm la salida es de 6 dBm, indicando una ganancia de conversión de 6 dB. En este nivel de entrada, el producto de intermodulación de dos tonos y tercer orden está 30 dB por debajo de la salida deseada. En un valor de entrada más alto (3 dB) aparece el punto de compresión de 3 dB (3 dB de salida deseada por debajo del valor de línea recta); y a un nivel de entrada aun más alto se encuentra el punto de intercepción, que es donde se unen las curvas proyectadas de la salida deseada y las del producto de intermodulación de tercer orden.

3.2.1.4 Aislamiento

El aislamiento representa la cantidad de "fuga" o "paso de señal" entre los puertos del mezclador (ver Figura 3.12). Se supone que en cada terminal debe estar presente únicamente la señal correspondiente al puerto. Si el aislamiento es grande esto ocurre, si no lo es, aparecerá en el puerto parte de señal que pertenece a otro puerto. Por ejemplo, el aislamiento en el puerto de RF de la señal OL es la cantidad en que se atenúa la señal OL en el puerto de RF, respecto del nivel que ésta tenía en su propio puerto. El aislamiento depende de la configuración física del mezclador.

A continuación se va a describir los tipos de mezcladores más utilizados, el mezclador con elemento no lineal, el mezclador con multiplicador y el mezclador pasivo.

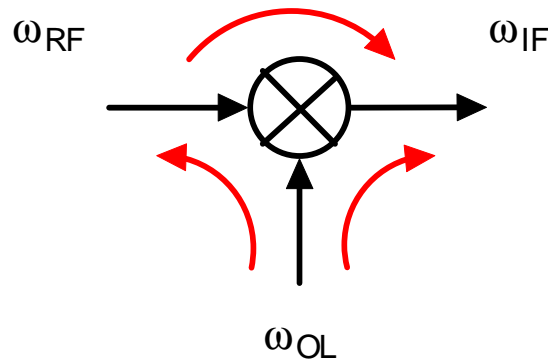


Figura 3.12 Posibles fugas en un mezclador.

3.2.2 Mezclador con Elemento no Lineal

Algunos mezcladores implementan directamente una multiplicación, mientras que otros la producen mediante una no-linealidad.

Primero se estudiará un sistema no-lineal de 2 puertos. En general, en este tipo de sistemas la relación entrada-salida en el dominio del tiempo se puede expresar por la serie de Taylor

$$v_{out}(t) = v_{out} + a \cdot v_{in}(t) + b \cdot [v_{in}(t)]^2 + c \cdot [v_{in}(t)]^3 + \dots \quad (3.46)$$

donde v_{out} es la tensión de salida en reposo y $v_{in}(t)$ representa la suma de los efectos de todas las señales de entrada. Si la entrada contiene sólo una frecuencia, la no-linealidad generará armónicos de esta frecuencia y alterará la componente continua. Por el contrario, si se tienen varias frecuencias de entrada, a la salida aparecerán las frecuencias suma y diferencia, así como armónicas. Las frecuencias de suma y diferencia generadas por el término cuadrático en la ecuación (3.46) se llaman productos de intermodulación de segundo orden; las originadas por el término cúbico, productos de tercer orden, etc. No todos estos componentes espectrales son deseables, por lo que parte de la labor de diseño consistirá en el uso de topologías que generen los mínimos términos posibles.

Debido a que los sistemas no-lineales de alto orden tienden a generar un mayor número de términos no-deseados, los mezcladores deberían aproximar un comportamiento de ley cuadrática (la no-linealidad de orden menor). El uso de una no-linealidad de orden 2 requiere que la señal v_{in} sea la suma de las entradas de RF y la señal del oscilador local (ver Figura 3.13).

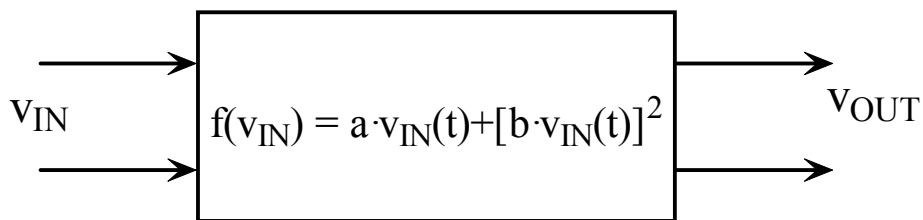


Figura 3.13 Sistema general de dos puertos no-lineal.

Así, si v_{IN} es la suma de las 2 sinusoides de la ecuación (3.47):

$$v_{IN} = v_{RF} \cdot \cos(\omega_{RF}t) + v_{OL} \cdot \cos(\omega_{OL}t) \tag{3.47}$$

entonces la salida de este mezclador se puede expresar como la suma de 3 componentes:

$$v_{OUT} = v_{FUND} + v_{CUADRADO} + v_{CRUZADO} \tag{3.48}$$

donde:

$$v_{\text{FUND}} = a \cdot (v_{\text{RF}} \cdot \cos(\omega_{\text{RF}} \cdot t) + v_{\text{OL}} \cdot \cos(\omega_{\text{OL}} \cdot t)) \quad (3.49)$$

$$v_{\text{CUADRADO}} = b \cdot (v_{\text{RF}} \cdot \cos^2(\omega_{\text{RF}} \cdot t) + v_{\text{OL}} \cdot \cos^2(\omega_{\text{OL}} \cdot t)) \quad (3.50)$$

$$v_{\text{CRUZADO}} = 2 \cdot b \cdot v_{\text{RF}} \cdot v_{\text{OL}} \cdot (\cos(\omega_{\text{RF}} \cdot t) \cdot \cos(\omega_{\text{OL}} \cdot t)) \quad (3.51)$$

Los términos fundamentales (v_{FUND}) son versiones escaladas de las entradas originales y no representan una salida útil para el mezclador. Estos términos pueden ser eliminados mediante filtrado. Los componentes v_{CUADRADO} tampoco proporcionan información útil, como se observa en el siguiente caso:

$$\cos^2(\omega \cdot t) = \frac{1}{2} \cdot (1 + \cos(2 \cdot \omega \cdot t)) \quad (3.52)$$

Obsérvese como los componentes v_{CUADRADO} producen un offset DC, así como segundos armónicos de las señales de entrada. Esto también se puede eliminar mediante filtrado.

La salida útil la forman los componentes v_{CRUZADO} debido a que se observa una multiplicación en la ecuación (3.51). Haciendo uso de las igualdades trigonométricas básicas, esta ecuación se puede describir de forma que muestre la acción del mezclador más claramente:

$$v_{\text{CRUZADO}} = b \cdot v_{\text{RF}} \cdot v_{\text{OL}} \cdot [\cos((\omega_{\text{RF}} - \omega_{\text{OL}}) \cdot t) + \cos((\omega_{\text{RF}} + \omega_{\text{OL}}) \cdot t)] \quad (3.53)$$

Para una amplitud de OL fija, la salida FI es linealmente proporcional a la amplitud de la entrada RF . Esta no-linealidad implementa un mezclador lineal, debido a que la salida es proporcional a la entrada (3.53).

La ganancia de conversión (G) de este circuito se obtiene a partir de la ecuación:

$$G = \frac{b \cdot v_{RF} \cdot v_{OL}}{v_{RF}} = b \cdot v_{OL} \quad (3.54)$$

Como cualquier otro parámetro de ganancia, la ganancia de conversión es adimensional. En diseños discretos se debe expresar como relación de potencia (o su equivalente en dB), pero los distintos niveles de impedancia en los mezcladores integrados hacen apropiado en uso de la ganancia de conversión de tensión o corriente.

La ventaja del mezclador de ley cuadrática es que los componentes espectrales no deseados normalmente están en una frecuencia bastante separada de la FI , por lo que se pueden eliminar fácilmente.

En la Figura 3.14 se muestra un mezclador de ley cuadrática realizado con MOSFET's. En este esquemático simplificado, la tensión de polarización, RF y OL se representan en serie con la puerta del transistor. La suma de las señales RF y OL puede realizarse en circuitos prácticos con sumadores resistivos o reactivos. Debido a que estas señales están en serie, existe poco aislamiento entre ellas.

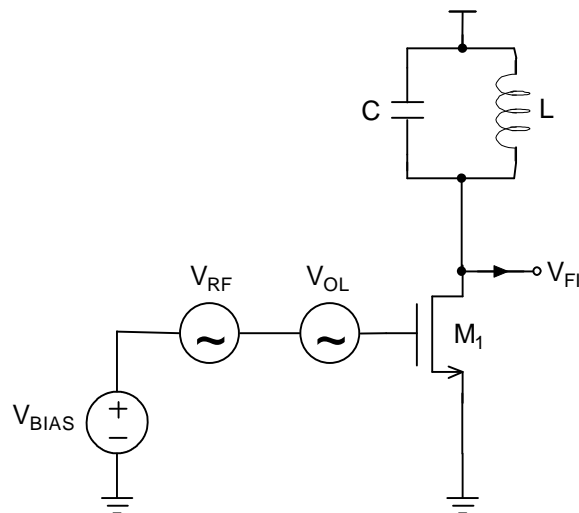


Figura 3.14 Mezclador MOSFET de ley cuadrática simplificado.

En la Figura 3.15 se muestra una solución alternativa, pero funcionalmente equivalente, que reduce el efecto de la gran potencia de la señal OL en el puerto RF .

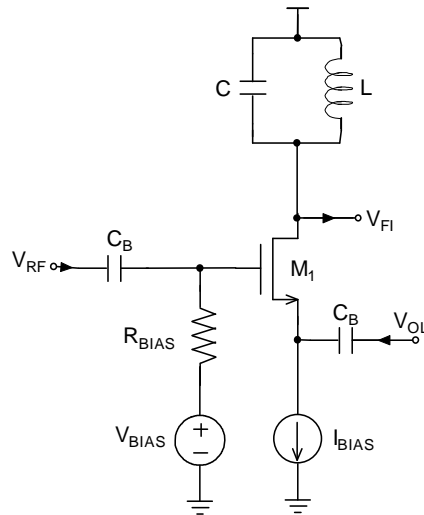


Figura 3.15 Mezclador MOSFET de ley cuadrática (configuración alternativa).

La señal RF ataca a la puerta directamente (a través de un condensador para el bloqueo DC), mientras que la señal OL ataca al terminal fuente. De esta manera, la tensión puerta-fuente (V_{GS}) es la suma de las señales OL y RF referenciadas a tierra.

Debido a que en un mezclador no es necesario un perfecto comportamiento de ley cuadrática, M_1 puede ser un transistor bipolar. En este caso el efecto cuadrático en la representación en serie para la relación exponencial i_c-V_{BE} , domina en un rango limitado de amplitudes de entrada, ignorando los efectos dinámicos esta relación viene dada por:

$$i_c = I_s \cdot e^{\frac{V_{BE}}{V_T}} \quad (3.55)$$

expandiendo esta relación a un sistema de segundo orden:

$$i_c = I_C \cdot \left[1 + \frac{V_{BE}}{V_T} + \frac{1}{2} \cdot \left(\frac{V_{BE}}{V_T} \right)^2 \right] \quad (3.56)$$

haciendo que:

$$C_2 = \frac{g_m}{2V_T} \quad (3.57)$$

donde $g_m = I_C / V_T$ se obtiene que la ganancia de conversión viene dada por:

$$GC = C_2 \cdot v_{OL} = g_m \cdot \frac{v_{OL}}{2 \cdot V_T} \quad (3.58)$$

Se observa como la ganancia de conversión es proporcional a la transconductancia y a la relación entre la amplitud del oscilador local y la V_T , en otras palabras, la ganancia de conversión en un transistor bipolar depende de la corriente de polarización, de la amplitud del oscilador local y de la temperatura.

En este análisis se han ignorado las resistencias parásitas de base y emisor. Estas resistencias pueden linealizar el transistor y, por lo tanto, empeorar la acción del mezclador.

3.2.3 Mezcladores Basados en Multiplicadores

Los mezcladores basados en sistemas no-lineales generan un número elevado de componentes espectrales. Además, debido a que los mezcladores de dos puertos tienen una sola entrada, las señales de RF y OL no suelen estar lo suficientemente aisladas entre ellas. Esta falta de aislamiento puede provocar la aparición de offset de DC en la etapa de FI o la radiación de la señal de OL (o sus armónicos) a través de la antena.

Los mezcladores basados directamente en multiplicadores presentan por lo general un rendimiento mayor debido a que (idealmente) sólo generan el producto de intermodulación deseado. Además, debido a que las entradas del multiplicador se encuentran en puertos separados, puede haber un alto grado de aislamiento entre las tres señales (RF , OL , FI).

Los mezcladores basados en multiplicadores se catalogan como activos o pasivos dependiendo de si tienen ganancia o no. A continuación nos centraremos en los mezcladores activos, puesto que son los que vamos a usar en este proyecto.

3.2.3.1 Mezcladores Activos

Los mezcladores activos son aquellos que presentan una ganancia de conversión positiva. Dependiendo de si a la salida aparecen o no armónicos de las señales de entrada los mezcladores se pueden catalogar también como, simple balanceado y doble balanceado.

3.2.3.1.1 Mezclador Simple Balanceado

Existen dos posibilidades a la hora de implementar un mezclador simple balanceado. Ambas utilizan un par acoplado por surtidor (o emisor si usamos bipolares). La diferencia estriba en la utilización del mismo. Así, si el par diferencial se utiliza como amplificador tenemos el circuito de la Figura 3.16 en el que la señal de RF entra en modo diferencial y la del OL en modo común. Esta configuración presentará por tanto un alto rechazo a la señal de OL (modo común) y un bajo rechazo a la señal de RF (modo diferencial). El hecho de que a la salida aparezca una componente de algunas de las señales de entrada (en este caso de la señal de RF) es característico de los mezcladores simple balanceados.

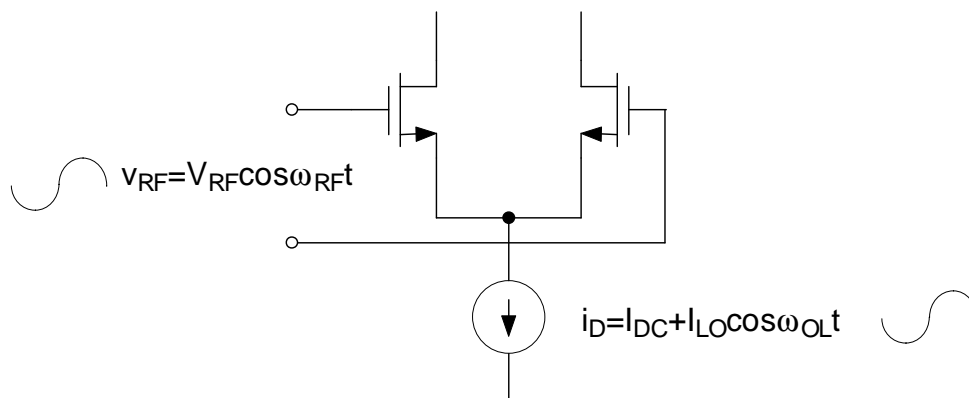


Figura 3.16 Mezclador simple balanceado.

Para este circuito, la corriente de salida en modo diferencial viene dado por:

$$i_{out}(t) = g_m \cdot v_{RF} = \frac{2 \cdot i_D}{V_{GS} - V_T} \cdot v_{RF} \quad (3.59)$$

Dando valores a v_{RF} e i_D y operando obtenemos:

$$i_{out}(t) = \frac{I_D}{V_{GS} - V_T} \cdot V_{RF} \cdot \cos(\omega_{RF} t) + \frac{I_{LO}}{V_{GS} - V_T} \cdot V_{RF} \cdot \cos(\omega_{LO} t) \cdot \cos(\omega_{RF} t) \quad (3.60)$$

El primer término es la parte de la señal de RF que se cuela hacia la salida mientras que el segundo es el término producto deseado.

En esta configuración la señal de RF debe ser lo suficientemente pequeña para que el circuito funcione correctamente y no se sobrepase el límite de linealidad impuesto por el par diferencial. Una forma de evitar esta restricción es utilizar la otra opción mencionada para implementar el mezclador simple balanceado. Esta opción se muestra en la Figura 3.17.

Este tipo de multiplicadores primero convierte la tensión de entrada RF en una corriente y después realiza la multiplicación en el dominio de la corriente.

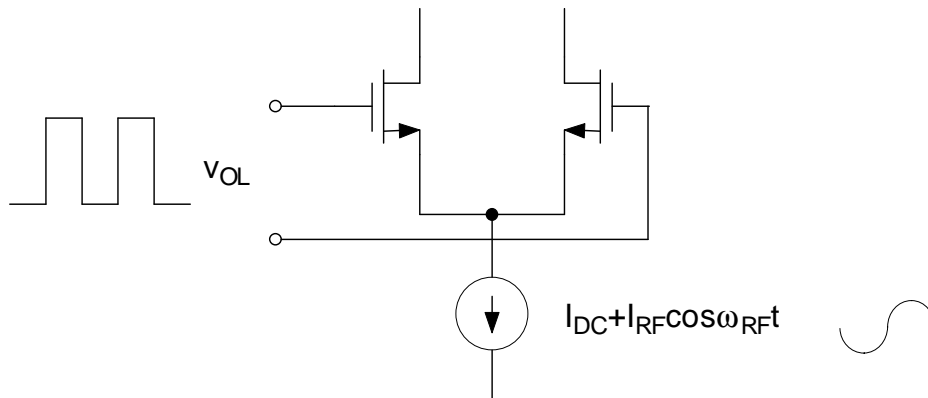


Figura 3.17 Mezclador simple balanceado.

En este mezclador, v_{OL} se elige lo suficientemente grande para que los transistores puedan conmutar alternativamente la corriente de polarización de un lado al otro a la frecuencia OL . De esta forma la corriente de polarización se multiplica por una onda cuadrada cuya frecuencia es la del oscilador local.

$$I_{out} = [I_{DC} + I_{RF} \cos \omega_{RF} t] \cdot \left[\frac{4}{\pi} \cos \omega_{OL} t - \frac{4}{3\pi} \cos 3\omega_{OL} t + \dots \right] \quad (3.61)$$

Operando obtenemos primer un término correspondiente a la parte de la señal de OL que se cuela hacia la salida y un segundo es el término producto deseado.

$$I_{out} = \frac{4}{\pi} I_{DC} \cos \omega_{OL} t + \frac{2}{\pi} I_{RF} \cos(\omega_{OL} - \omega_{RF}) t + \frac{2}{\pi} I_{RF} \cos(\omega_{OL} + \omega_{RF}) t + \dots \quad (3.62)$$

Debido a que una onda cuadrada consiste en los armónicos impares del fundamental, la multiplicación de la corriente de polarización por una onda cuadrada produce un espectro

de salida como el mostrado en la Figura 3.18 (ω_{RF} se ha tomado muy pequeño para una representación más clara).

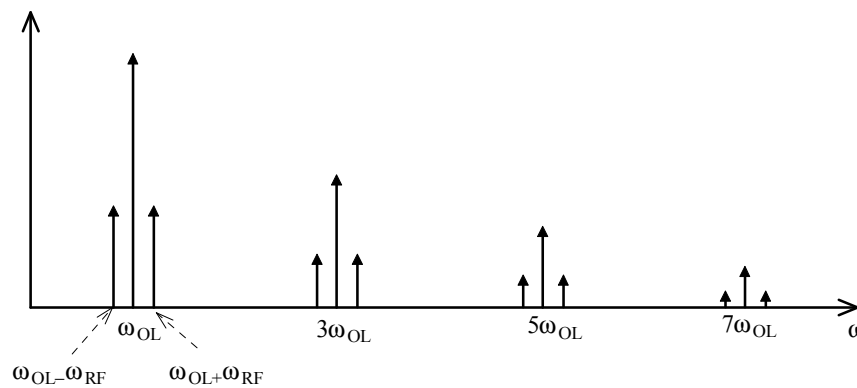


Figura 3.18 Espectro de salida de un mezclador simple balanceado.

La salida consiste en componentes suma y resta, cada uno resultado de un armónico impar del OL mezclado con la señal RF . Los armónicos impares de OL aparecen directamente a la salida como consecuencia de la multiplicación de la señal de polarización (DC) con la señal OL . Debido a la presencia de OL en el espectro de salida, este tipo de mezcladores se denominan simple-balanceados. Los mezcladores doble-balanceados aprovechan la simetría para eliminar la salida no deseada, OL .

A pesar de que la fuente de corriente de la Figura 3.17 incluye un componente que es perfectamente proporcional a la señal de entrada RF , los convertidores V-I de los mezcladores reales son imperfectos. Un importante reto de diseño es maximizar la linealidad de la transconductancia RF . Ésta se puede mejorar mediante degeneración de la fuente, tanto para puerta como para fuente común (ver Figura 3.19).

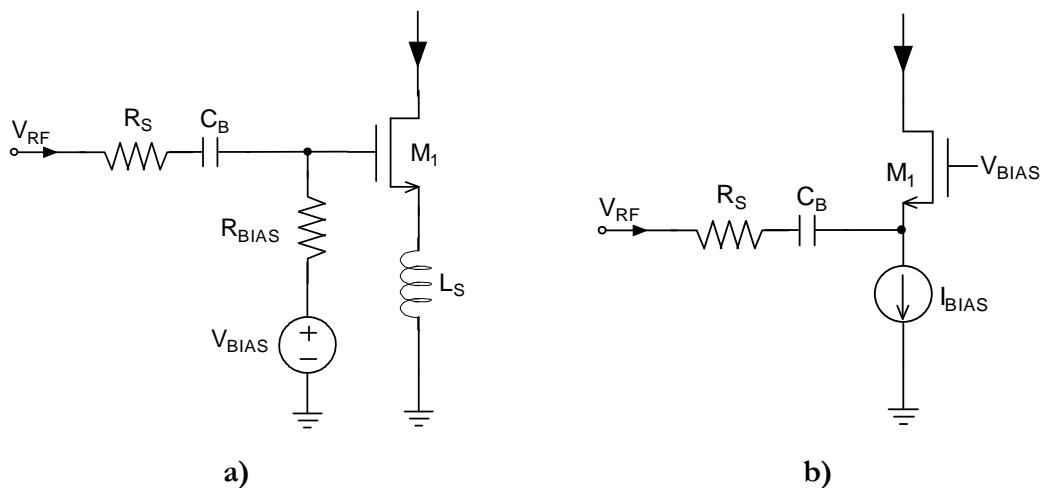


Figura 3.19 Transconductores de RF para mezcladores, a) fuente común. b)puerta común .

Ambos circuitos usan una resistencia R_S para linealizar la característica de transferencia. Para el caso del circuito puerta común esta linealización es más efectiva si la admitancia desde el terminal de fuente del transistor es mucho mayor que la conductancia de R_S . En este caso, la transconductancia de la etapa se aproxima a $1/R_S$.

Normalmente se prefiere una degeneración inductiva a una resistiva debido a varios motivos. Una inductancia no introduce ruido térmico que degrade la figura de ruido ni caída de tensión que disminuya el nivel de alimentación. Esta última consideración es particularmente importante para aplicaciones de baja tensión y baja potencia. Finalmente, un aumento de la reactancia ayuda a atenuar los armónicos de alta frecuencia y los componentes de intermodulación.

En la Figura 3.20 se muestra un mezclador simple-balanceado de forma más completa, que incorpora una transconductancia linealizada.

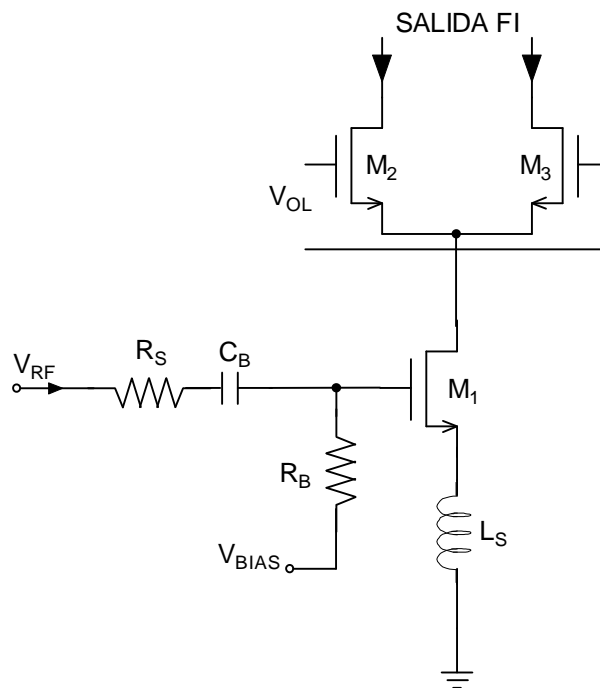


Figura 3.20 Mezclador simple-balanceado con transconductancia linealizada.

El valor de V_{BIAS} establece la corriente de polarización, R_B se escoge lo suficientemente grande para no despolarizar la puerta del circuito y reducir su contribución al ruido. La señal RF se aplica a la puerta a través de un condensador de bloqueo DC (C_B). En la práctica se usa un filtro para eliminar los componentes espectrales de OL de la salida.

La ganancia de conversión de un mezclador se puede calcular sabiendo que los transistores de OL se comportan como interruptores perfectos. Entonces, la corriente de salida diferencial puede ser considerada como el resultado de multiplicar la corriente de drenador de M_1 por una onda cuadrada de amplitud unitaria. Debido a que el componente fundamental de la onda cuadrada es $4/\pi$ veces la amplitud de la onda cuadrada, se puede escribir:

$$G_c = \frac{2}{\pi} \cdot g_m \tag{3.63}$$

donde g_m es la transconductancia del convertor V-I y G_c es una transconductancia. El coeficiente es $2/\pi$ en vez de $4/\pi$ debido a que la señal FI se divide entre los componentes suma y diferencia.

3.2.3.1.2 Mezclador Activo Doble Balanceado. Célula de Gilbert

Para evitar la llegada de productos de OL a la salida, se pueden combinar dos circuitos simple-balanceados para conseguir un mezclador doble balanceado, tal como se puede observar en la Figura 3.21. Igual que en el caso anterior se asume que la amplitud de la señal OL es lo suficientemente grande para hacer actuar al par diferencial como interruptores controlados por tensión. Los dos mezcladores simples balanceados están conectados en antiparalelo para la señal OL , pero en paralelo para la señal RF . Por lo tanto, los términos de OL se anulan a la salida y la señal de RF se dobla.

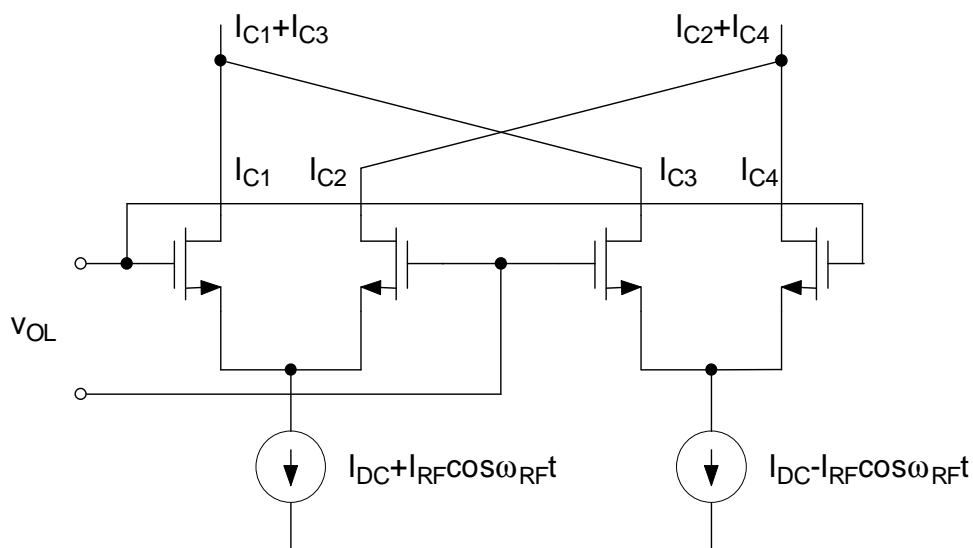


Figura 3.21 Mezclador activo doble balanceado.

Para el análisis del circuito de forma analítica estudiamos la corriente de salida en modo diferencial:

$$I_{out} = (I_{C1} + I_{C3}) - (I_{C2} + I_{C4}) = (I_{C1} - I_{C2}) - (I_{C4} - I_{C3}) \quad (3.64)$$

Esta expresión se puede poner como la resta de dos mezcladores simple balanceados

$$I_{out} = [I_{DC} + I_{RF} \cos \omega_{RF} t] \cdot \left[\frac{4}{\pi} \cos \omega_{OL} t - \frac{4}{3\pi} \cos 3\omega_{OL} t + \dots \right] - [I_{DC} - I_{RF} \cos \omega_{RF} t] \cdot \left[\frac{4}{\pi} \cos \omega_{OL} t - \frac{4}{3\pi} \cos 3\omega_{OL} t + \dots \right] \quad (3.65)$$

Operando de igual forma que antes obtenemos una expresión en la que sólo aparece el término producto deseado y no hay componente de RF ni de OL .

$$I_{out} = \frac{4}{\pi} I_{RF} \cos(\omega_{OL} - \omega_{RF}) t + \frac{4}{\pi} I_{RF} \cos(\omega_{OL} + \omega_{RF}) t + \dots \quad (3.66)$$

Igual que en el caso anterior, necesitaremos convertir la señal de RF de tensión a corriente. Esto se suele hacer en modo diferencial utilizando un par diferencial. Así la célula de Gilbert está compuesta por dos etapas: la etapa de entrada o de radio frecuencia y la etapa de salida o de frecuencia intermedia.

La etapa de entrada compuesta por un par diferencial, es un amplificador de transconductancia. Su función es la de conversión con ganancia de tensión a corriente.

La etapa de salida compuesta por dos pares diferenciales con salidas cruzadas, es el núcleo del mezclador ya que se encarga de la realización de la multiplicación (ver Figura 3.22).

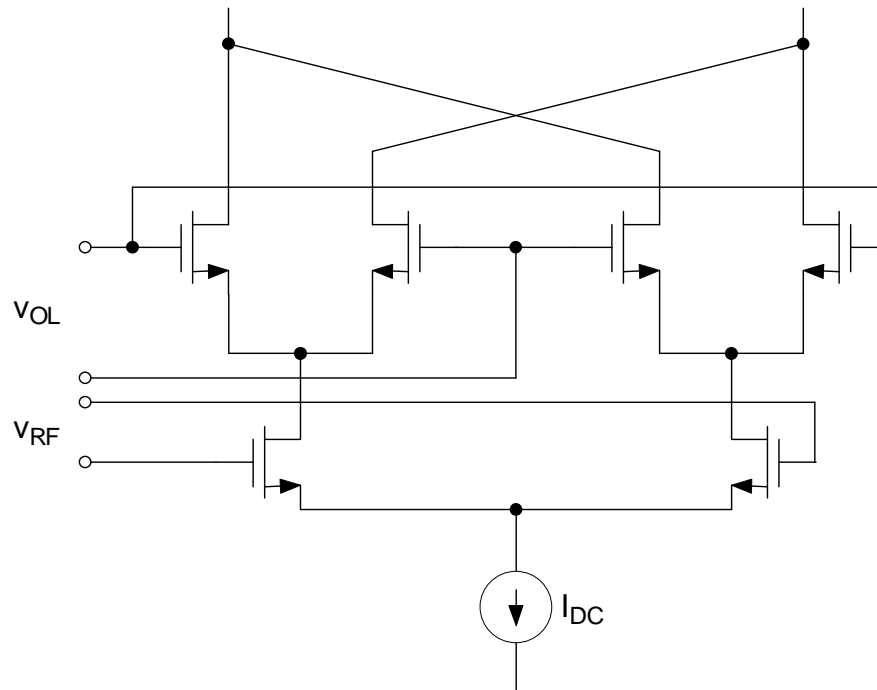


Figura 3.22 Mezclador activo doble balanceado.

La ganancia de conversión de este mezclador es exactamente igual que la del simple balanceado:

$$G_c = \frac{2}{\pi} \cdot g_m \quad (3.67)$$

donde g_m es la transconductancia del conversor V-I y el coeficiente es $2/\pi$ da cuenta de las pérdidas del bloque conmutador.

Este mezclador tiene un alto grado de aislamiento *OL-FI*, si se tiene cuidado en el *layout*, se puede conseguir aislamientos entre 40 dB y 60 dB.

A partir de la arquitectura mostrada en la Figura 3.22, en el siguiente sub-apartado procedemos a comentar a grandes rasgos las características del mezclador en cuadratura.

3.2.3.1.3 Mezclador Activo Doble Balanceado en Cuadratura

En los receptores, para realizar la conversión de frecuencia *zero-IF* (frecuencia intermedia cero) suelen utilizarse los mezcladores en cuadratura (I/Q). En este tipo de mezcladores I/Q, existen diferentes posibilidades de implementar el interface entre la entrada del transconductor y los pares de conmutación. Una primera topología es la apreciada en la

Figura 3.23. La señal de RF se introduce por dos etapas de entradas separadas que están asociadas a su propio par de conmutación. Otra posibilidad es la vista en la Figura 3.24, que consiste en utilizar una única etapa de entrada para los dos pares de conmutación.

En general, para las mismas condiciones de polarización de los transconductores, la ganancia de conversión del mezclador de la Figura 3.24 es 3 dB menor que la del mezclador de la Figura 3.23, ya que el transconductor ataca a los dos pares de conmutación y no sólo a uno. Sin embargo, si modificamos tanto el tamaño como la polarización del transconductor de la Figura 3.24 de forma que el consumo de corriente sea el mismo en las dos configuraciones, el mezclador de la Figura 3.24 puede incluso doblar la ganancia con respecto al de la Figura 3.23 [15].

Otra ventaja del mezclador en cuadratura de la Figura 3.24 es que, en general, la figura de ruido es menor. Esto se debe a que, si bien el ruido debido a los pares de conmutación aumenta, ya que el ruido de una rama se ve reflejado en la otra y viceversa, el ruido asociado a los transconductores es 3 dB menor puesto que en este caso sólo tenemos un transconductor.

En cualquier caso, las ventajas de una arquitectura con respecto a la otra dependerán de la aplicación concreta para la que se diseñe.

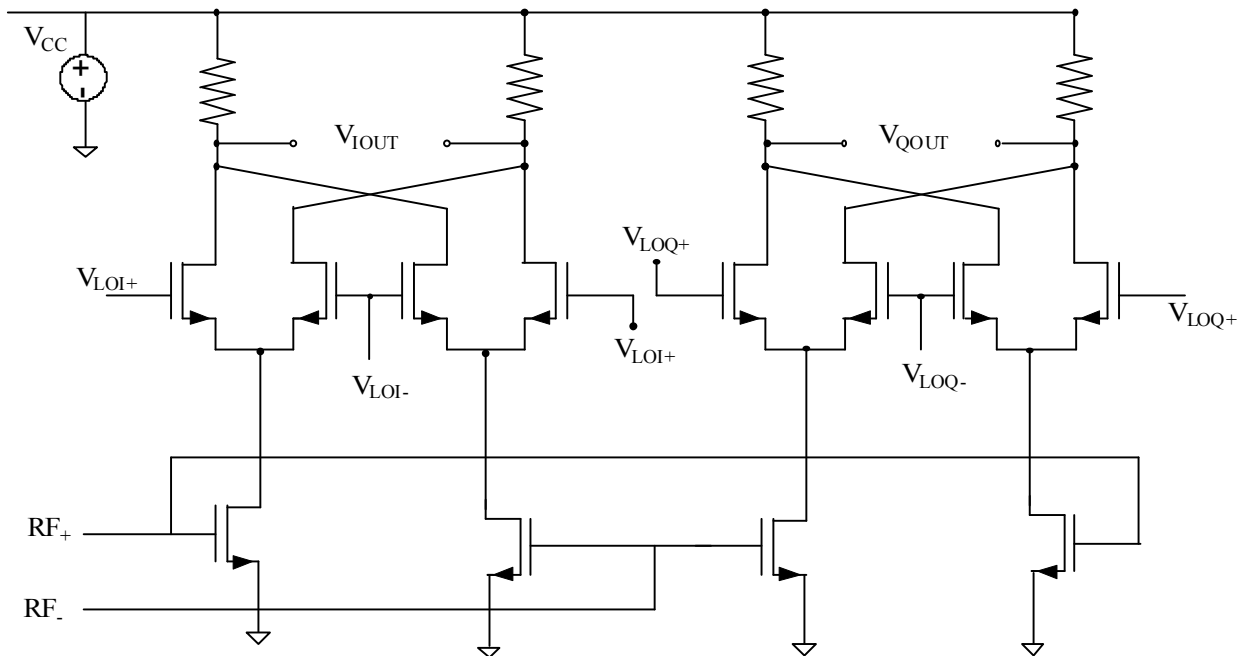


Figura 3.23 Dos células de Gilbert

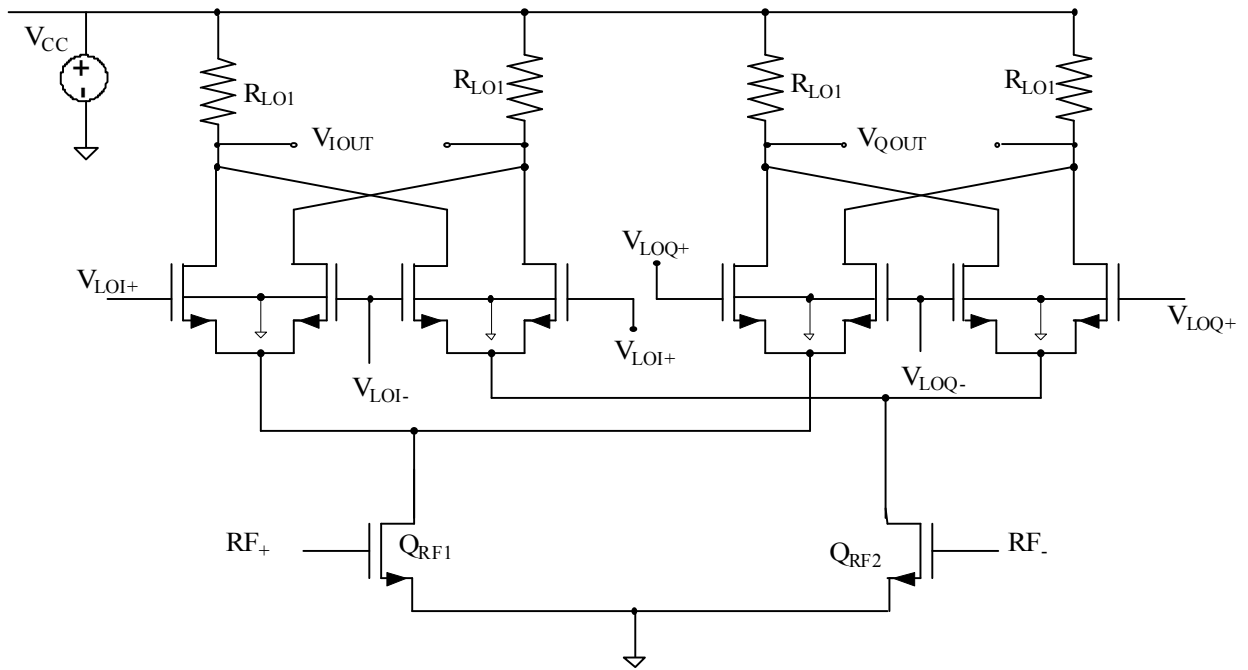


Figura 3.24 Mezclador activo doble balanceado en cuadratura con etapa de entrada simple.

3.2.4 Mejora de la Linealidad y la Ganancia Mediante Potenciación de Corriente (*Current Busting*)

Para que la linealidad y la ganancia sean adecuadas, la etapa de transconductancia de entrada necesita ser polarizada con una corriente relativamente alta. Sin embargo, para que el par de conmutación funcione de forma óptima, la corriente que debe circular por dichos transistores debe ser baja. Esto se debe sobre todo a que el ruido *flicker* de los transistores de conmutación es menor cuanto menor sea la corriente que circula por los transistores. Además para que el nivel de señal del *LO* necesario para conmutar los transistores sea bajo, la corriente que debe circular por los transistores de conmutación debe ser baja. De esta manera la ganancia de conversión aumenta gracias a que el mezclador necesita menos señal en el *LO* para conmutar completamente y además se puede utilizar una resistencia de mayor valor a la salida, lo cual aumenta la ganancia en tensión. La desventaja de que la corriente por los transistores de conmutación sea baja es que la impedancia vista en las fuentes de los transistores de conmutación aumenta, lo cual degrada la relación señal a ruido. Asimismo, la fuente de corriente adicional que se necesita añade ruido, que hace que la figura de ruido del mezclador aumente. Sin embargo, en general las prestaciones del mezclador mejoran si se

utiliza dicha técnica de forma adecuada y por eso la utilizaremos en nuestro circuito. En la Figura 3.25 se muestra de forma esquemática como se implementa el método de la potenciación de corriente.

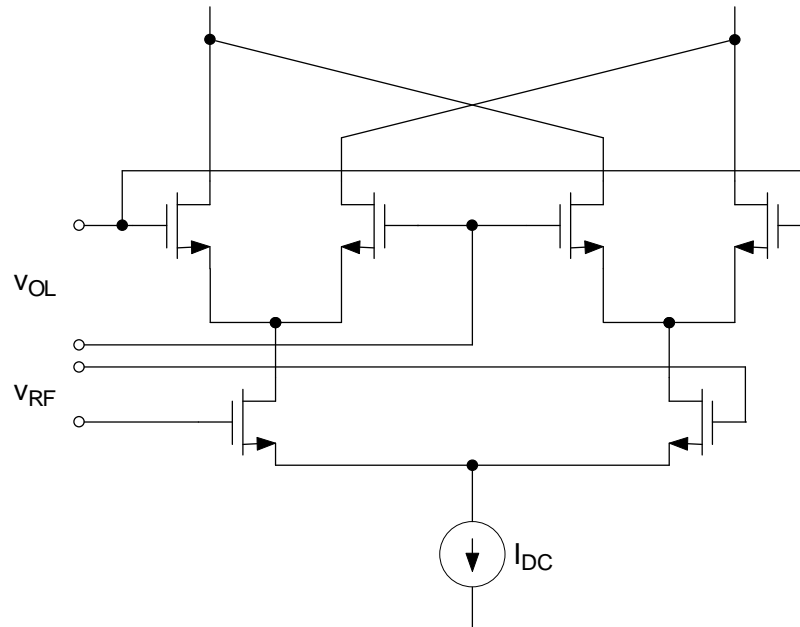


Figura 3.25 Potenciación de corriente.

3.3 Resumen

En este capítulo hemos visto el funcionamiento y diseño de los amplificadores de bajo nivel de ruido, prestando especial atención a los amplificadores en puerta común. Posteriormente hemos estudiado los mezcladores de frecuencias, profundizando en la célula de Gilbert.

En el siguiente capítulo comenzaremos a desarrollar el diseño a nivel de esquemático del amplificador y del mezclador que conforman este proyecto.

CAPÍTULO 4

DISEÑO DE LOS CIRCUITOS

En el capítulo anterior analizamos teóricamente las características principales de los circuitos a estudiar en este proyecto. En el presente capítulo nos centraremos en uno de los principales objetivos del proyecto: el diseño a nivel de esquemático de una etapa receptora para *UWB* formada por un amplificador de bajo nivel de ruido y un mezclador en cuadratura.

En la Figura 4.1 mostramos un esquema simplificado de la unión entre el *LNA* y el mezclador. En estos esquemas omitimos la polarización y los condensadores de acoplamiento con el fin de simplificar la figura. En las Figura 4.1a y 4.1b M_0 representa el transconductor del *LNA* en puerta común y M_1 el transconductor de *RF* del mezclador basado en la célula de Gilbert. En la Figura 4.1a empleamos un *LNA* con carga tipo *shunt-peaking* formada por una bobina y una resistencia en serie para aumentar el ancho de banda a la salida del *LNA*. El

ancho de banda aumenta debido a que el inductor introduce un cero en la función de transferencia. Se ha desarrollado otra idea, la cual se muestra en la Figura 4.1b con el propósito de utilizar el LNA con carga resistiva y así reducir el área. Para ello se ha diseñado otro mezclador al que se le ha añadido una degeneración capacitiva formada por C_S y R_S para obtener el efecto que nos aportaba la bobina en el caso del LNA con carga *shunt-peaking*.

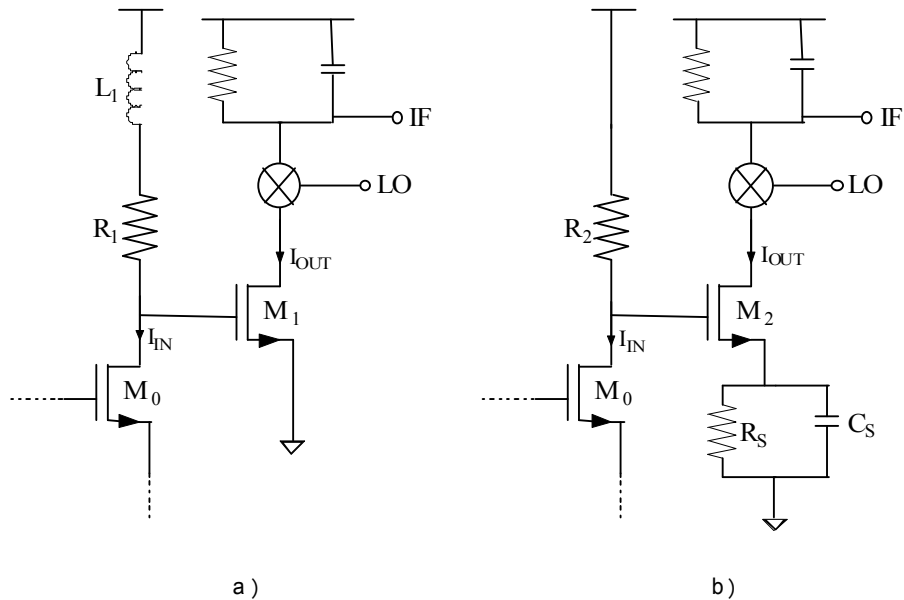


Figura 4.1 Circuito simplificado: a) Carga Inductiva. b) Carga Resistiva.

En este proyecto se han explorado ambas alternativas con objeto de valorar las ventajas e inconvenientes que aportan cada una de ellas.

4.1 Consideraciones

En la Figura 4.2 se muestra el *setup* de simulación de ambos circuitos.

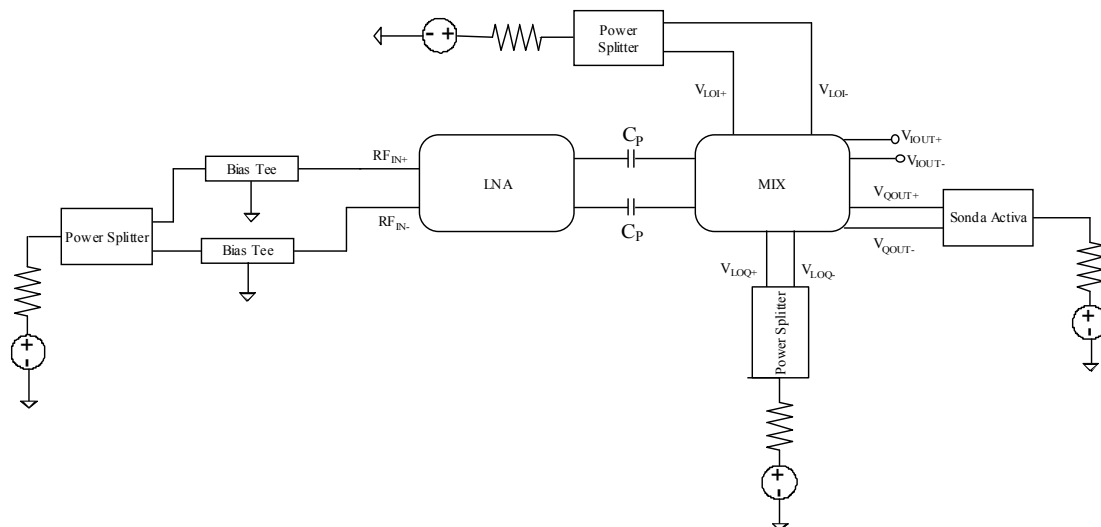


Figura 4.2 Esquema de Bloques

Las entradas y salidas de los circuitos son diferenciales con el objeto de reducir la distorsión de segundo orden. De los equipos de medida solo podemos obtener señales asimétricas, por lo que será necesario utilizar algún componente externo para poder pasar las señales de asimétrica a diferencial en las entradas. Para ello utilizaremos un *Power Splitter* del que se muestran las características a continuación.

En la Figura 4.3 podemos observar la foto del *Power Splitter* que utilizaremos y su símbolo correspondiente.

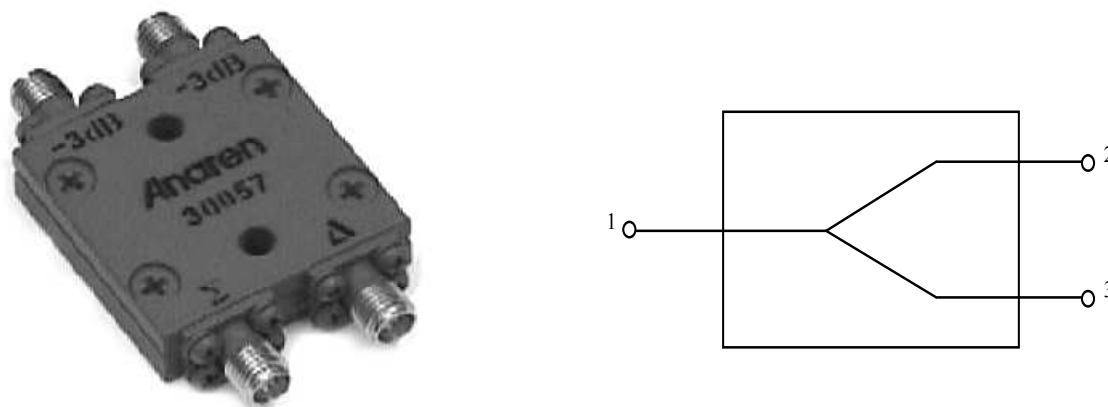


Figura 4.3 Power Splitter

La Tabla 4.1 muestra las características del *Power-Splitter* que vamos a utilizar para poder medir el circuito. En ella apreciamos como el *Power Splitter* trabaja en una banda de frecuencias de 4.0 GHz a 8.0 GHz, tiene dos formas de dividir la potencia, desfasa la señal

180° convirtiéndolas de asimétrica a diferencial incluyendo pérdidas de 3 dB. En cuanto a la forma física está compuesto de una carcasa de aluminio y conectores de acero inoxidable.

Tabla 4.1 Parámetros del Power Splitter

Características
4.0 GHz – 8.0 GHz
2 Formas de Dividir la Potencia
180°, -3dB
Conectores de Acero Inoxidable
Carcasa de Aluminio Robusta
Bajo Coeficiente de Onda Estacionaria
Requerimiento MIL-E-5400 de Clase 3

Como hemos comentado anteriormente, este componente lo usaremos para realizar las medidas una vez que se fabrique el circuito, pero a la hora de realizar las simulaciones usaremos un componente de la herramienta *Cadence* llamado *balun*, el cual tiene el mismo funcionamiento.

Otro problema que tenemos debido a que el circuito se va a medir sobre oblea es la limitación de las puntas de medida. Una opción posible es utilizar un *Bias Tee* para introducir por la entrada de *RF* tanto la señal de *RF* como una tensión continua para polarizar el circuito, de esta forma nos ahorramos utilizar un pad en el circuito.

En la Figura 4.4 mostramos el *Bias Tee* a utilizar en nuestro circuito así como su esquema eléctrico.

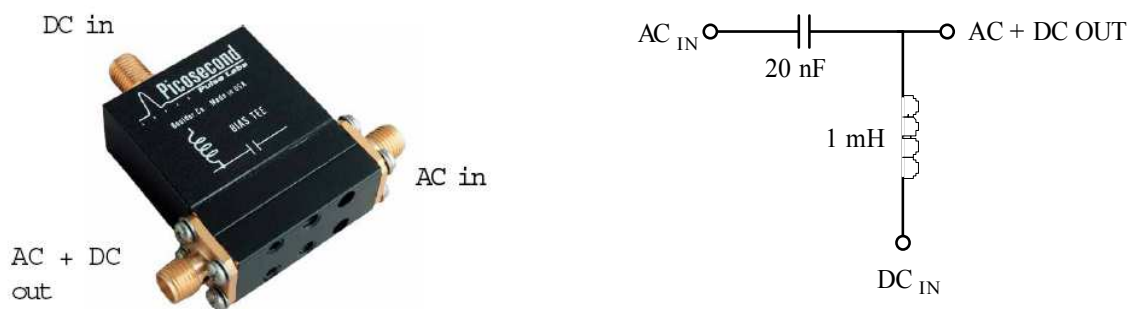


Figura 4.4 Bias Tee

En la Tabla 4.2 se muestra un cuadro resumen de los parámetros más importantes del *Bias Tee* elegido, tales como el ancho de banda que abarca hasta los 18 GHz con pérdidas de 3 dB, una tensión de continua de 50 V máxima, una corriente continua de 500 mA máxima y una impedancia de 50 Ω entre otros que a continuación se aprecian en la Tabla 4.2.

Tabla 4.2 Parámetros del Bias Tee Model 5550B

Tiempo de Subida (10%-90%)	20 ps, 25 ps max.	Tensión DC	50 V max.
Ancho de Banda (-3dB)	18 GHz, 14 GHz min.	Inductancia	1 mH, \pm 30%
Baja Frecuencia (-3dB)	100 KHz	Corriente DC	500 mA max.
Pérdidas de Inserción (0.01-4GHz)	0.9 dB, \pm 0.5 dB	Resistencia DC	0.4 Ω
Impedancia	50 Ω	Potencia CW RF	2.5 W max.
Refl. Coef. (35 ps TDR) (AC Port)	+8%, t < 100 ps -12%, t > 100 ps	Conexión	SMA jacks (f)
Pérdidas de Retorno (AC Port)	0.1 < f < 2 GHz RL > 15 dB – 2 dB/GHz * f (GHz) 2 < f < 15 GHz RL > 11 dB – 0.4 dB/GHz *f (GHz)	Corriente de Saturación del Núcleo < 50 mA 150 mA 500 mA	-3 dB baja frec. <100 KHz 160 KHz 350 KHz
Aislamiento (AC-DC)	> 30 dB	Dimensiones	1.95" x 0.5" x 1.82" (5 x 1.3 x 4.6 cm)
Capacidad	0.02 μ F \pm 20%	Garantía	Un año

Otra consideración es que los aparatos de medidas están diseñados para medir circuitos con una impedancia de 50 Ω . En el caso de los *LNAs* no hay ningún problema ya que serán diseñados para un impedancia de entrada de 50 Ω . El problema surge con las salidas de los mezcladores ya que serán diseñados para que en el futuro se conecten al resto de elementos de la cadena de recepción los cuales no tiene una impedancia de 50 Ω . Aún así como estos circuitos se pretenden medir es necesario utilizar algún elemento capaz de transformar su impedancia de salida a 50 Ω además de convertir su salida asimétrica a diferencial. Existen dos tipos de sondas: las pasivas y las activas. El problema que tienen las pasivas son las pérdidas en la señal mientras que las activas nos ofrecen ganancia 1. En nuestro caso utilizamos una sonda activa modelo 1169A 12 GHz InfiniiMax II.

En la Figura 4.5 se muestra la sonda activa a utilizar y su esquema equivalente simplificado.



Figura 4.5 Sonda Activa

Emplearemos la sonda 1169A 12 GHz InfiniiMax II, cuyas características vemos presentadas en la Tabla 4.3. Tiene un ancho de banda hasta los 12 GHz, con un rango dinámico de 3.3 V de pico a pico, una tensión máxima de ± 30 V, para una entrada diferencial tiene una resistencia a la entrada de 50 K Ω y una capacidad de 0.21 pF, mientras que para una entrada asimétrica tiene una resistencia a la entrada de 25 K Ω y una capacidad de 0.35 pF.

Tabla 4.3 Características Sonda Activa

Ancho de Banda	12 GHz
Rango Dinámico	3.3 (V) pico a pico
DC offset	+/- 16 V
Tensión máx.	+/- 30 V
Entrada Diferencial (R)	50 kOhm
Entrada Diferencial (C)	0.21 pF
Entrada Asimétrica (R)	25 kOhm
Entrada Asimétrica (C)	0.35 pF

Una vez vistas las consideraciones necesarias para realizar las medidas de nuestros circuitos una vez fabricados, comenzamos con el diseño de los mismos.

4.2 Diseño de los LNAs

En un principio estudiamos el comportamiento del *LNA* en puerta común con carga resistiva utilizando componentes de las librerías básicas de la herramienta Cadence.

Una vez optimizados sus componentes y comentados los resultados, procederemos a sustituir dichos componentes por los de la librería *UMC 0.18 μm*. Tras el diseño de este circuito, nos centraremos en aplicar la misma metodología a otro amplificador pero con carga *shunt-peaking*.

En la Figura 4.6a podemos apreciar el esquema del *LNA* en puerta común con carga resistiva, y que a partir de ahora designaremos como *LNA1*, y en la Figura 4.6b el del *LNA* en puerta común con carga *shunt-peaking*, y designado como *LNA2*. En ambos casos se ha usado una estructura diferencial con objeto de reducir la distorsión de segundo orden.

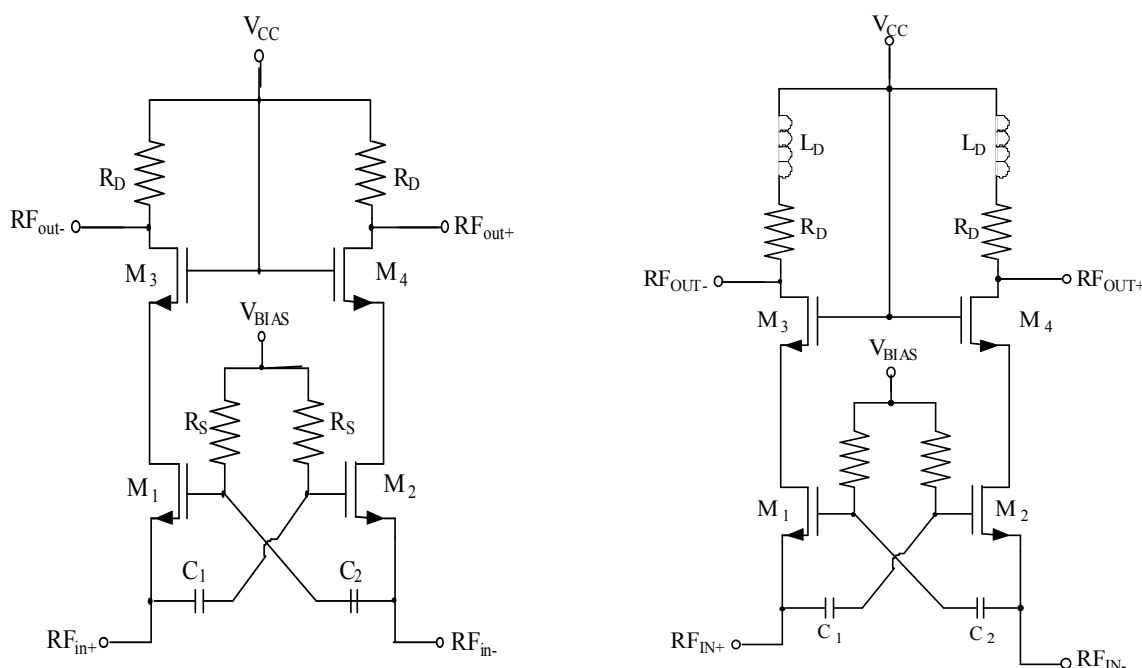


Figura 4.6 Estructura de los LNAs: a) LNA en Puerta Común con Carga Resistiva (LNA1). b) LNA en Puerta Común con Carga Shunt-Peaking (LNA2).

4.2.1 Diseño del LNA en Puerta Común con Carga Resistiva (LNA1)

En este apartado diseñaremos el *LNA1* (ver Figura 4.7), intentando obtener la menor figura de ruido posible con una ganancia y adaptación de entrada que cumpla las especificaciones. Para conseguir esto, nos centraremos en estudiar cómo afecta cada uno de los componentes del circuito realizando una serie de análisis y simulaciones con el software *Cadence* [6].

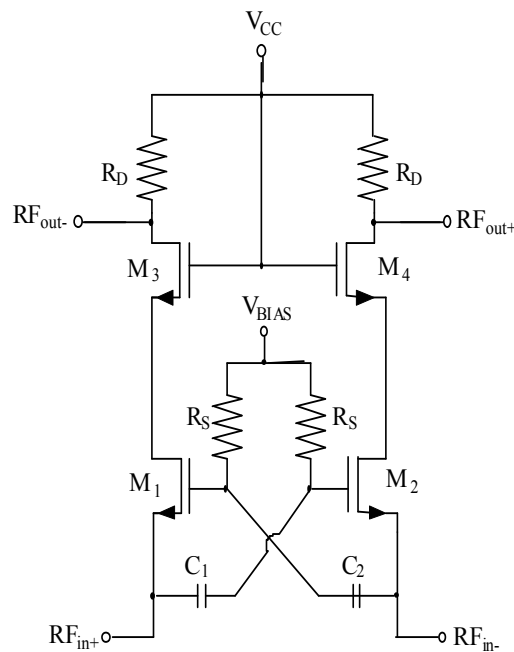


Figura 4.7 Estructura del LNA1.

Para el adecuado funcionamiento del circuito, este debe de estar correctamente polarizado para un consumo de corriente determinado. En nuestro caso trataremos que el consumo sea inferior a 10 mA. Después de estudiar el efecto de la tensión V_{BIAS} hemos obtenido que los valores óptimos para polarizar correctamente el circuito se encuentran entre 700 mV y 1 V.

En la Figura 4.8 apreciamos la influencia de esta tensión sobre la figura de ruido del *LNA1*, sacando en conclusión que con valores entre 800 mV y 850 mV de V_{BIAS} , obtenemos la mínima figura de ruido.

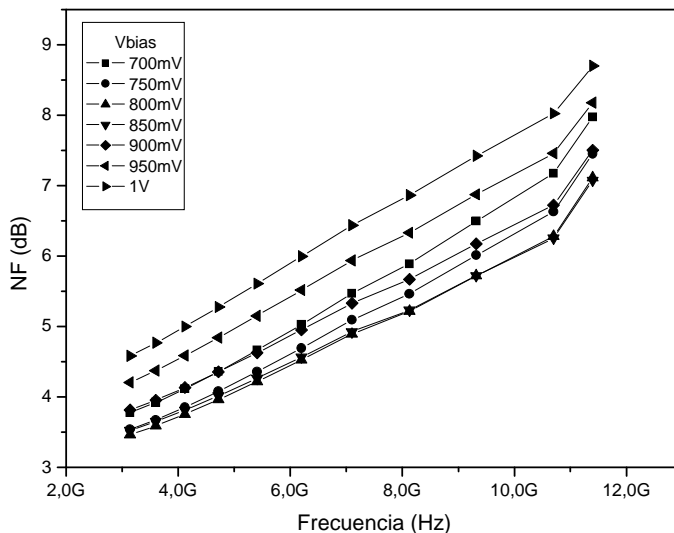


Figura 4.8 Figura de ruido frente tensión de polarización.

La adaptación de entrada obtenida a partir del rango de tensiones de polarización comentadas anteriormente, se puede apreciar en la Figura 4.9. En ella observamos que los valores que nos aportan una mínima figura de ruido también nos garantizan una adaptación de entrada que cumple con las especificaciones.

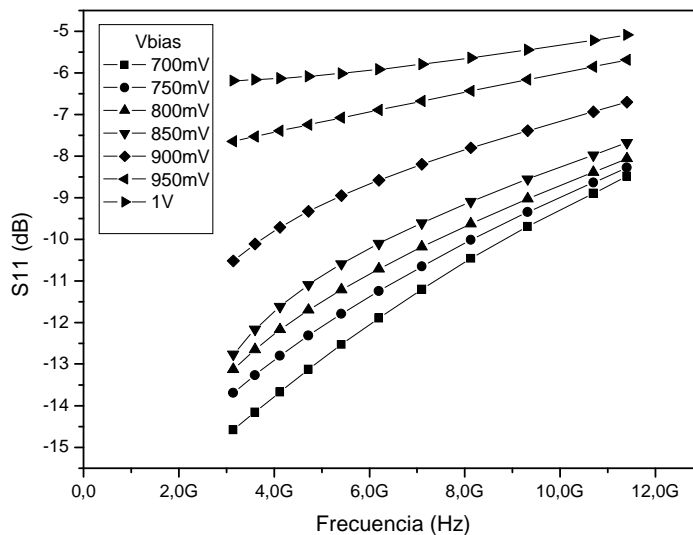


Figura 4.9 Adaptación de entrada frente tensión de polarización.

Una vez vistas las simulaciones de figura de ruido y adaptación de entrada, nos queda mostrar la ganancia que obtenemos con el rango de V_{BLAS} estudiado. En la Figura 4.10

podemos observar la simulación de la ganancia de nuestro circuito y afirmar que los valores de V_{BLAS} estudiados satisfacen nuestras especificaciones.

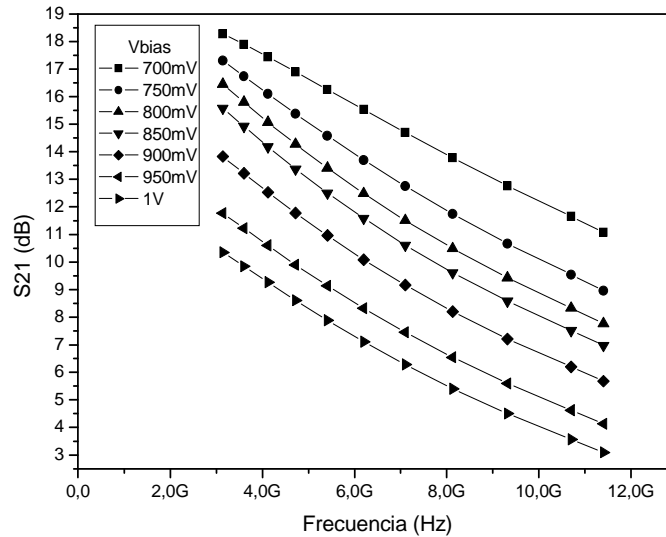


Figura 4.10 Ganancia frente tensión de polarización.

La resistencia de polarización (R_s) queremos que sea del mayor valor posible ya que sólo se usa para polarizar los transistores. Por lo tanto una vez estudiadas las diferentes opciones, optamos por realizar las simulaciones para valores que se encuentren entre 4 k Ω y 10 k Ω que son las que nos mantienen al circuito correctamente polarizado.

En la Figura 4.11 mostramos cómo esta resistencia de polarización no afecta a la figura de ruido de nuestro circuito.

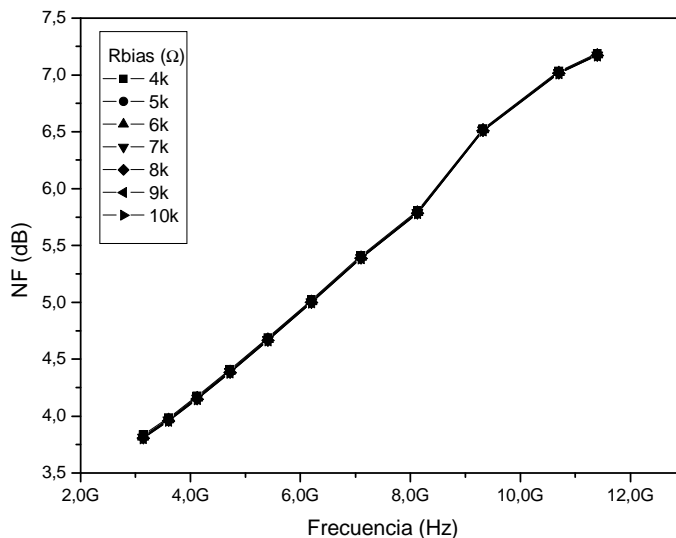


Figura 4.11 Figura de ruido frente R_{BIAS} .

La adaptación de entrada obtenida a partir de la simulación de los diferentes valores de R_s se puede apreciar en la Figura 4.12, demostrando que éste componente tampoco afecta a la adaptación de entrada de nuestro circuito.

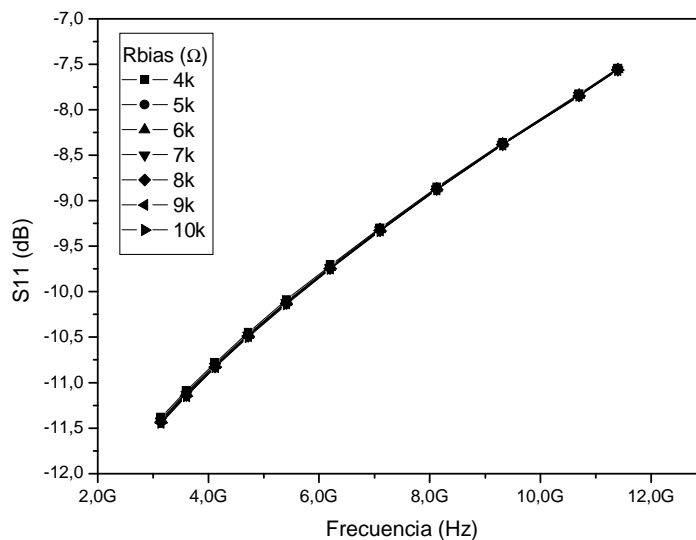


Figura 4.12 Adaptación de entrada frente R_{BIAS} .

La ganancia del *LNA1* para los valores de R_s mencionados anteriormente (ver Figura 4.13), demuestra que la resistencia de polarización no afecta a la ganancia de nuestro circuito.

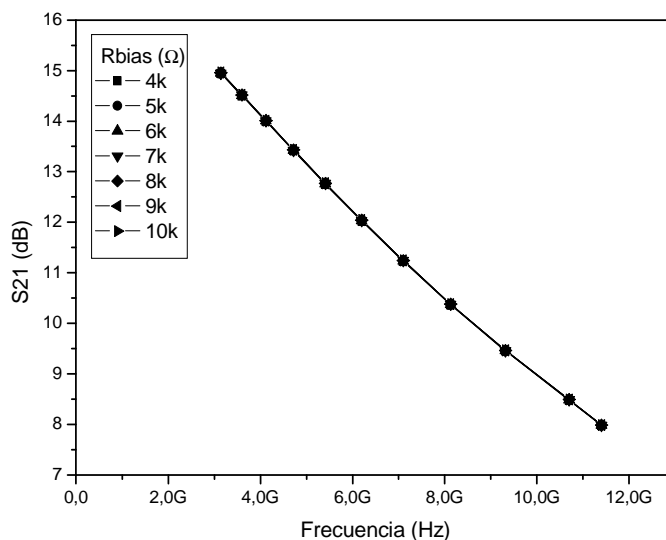


Figura 4.13 Ganancia frente R_{BIAS} .

Ajustaremos los condensadores C_1 y C_2 con la intención de reducir la figura de ruido tanto como nos sea posible. Realizaremos simulaciones de estos parámetros para ver su efecto en nuestro circuito, en unos valores que se encuentren entre los 800 fF y los 20 pF.

En la Figura 4.14 podemos ver cómo afectan estos condensadores a la figura de ruido de nuestro circuito. Apreciamos que con valores a partir de 1 pF se obtiene una menor figura de ruido.

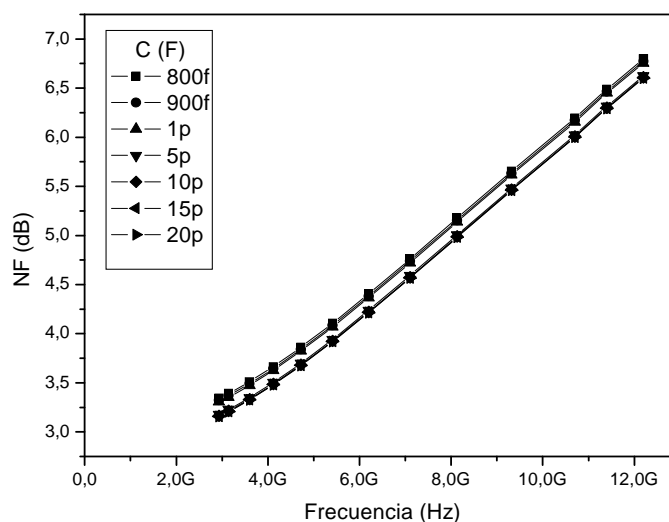


Figura 4.14 Figura de ruido frente condensadores C_1 y C_2 .

Si nos fijamos en la adaptación de entrada de nuestro circuito frente al comportamiento de estos condensadores (ver Figura 4.15), llegamos a la misma conclusión que en el párrafo anterior para la figura de ruido, con valores a partir de 1 pF obtenemos mejores resultados que con valores menores.

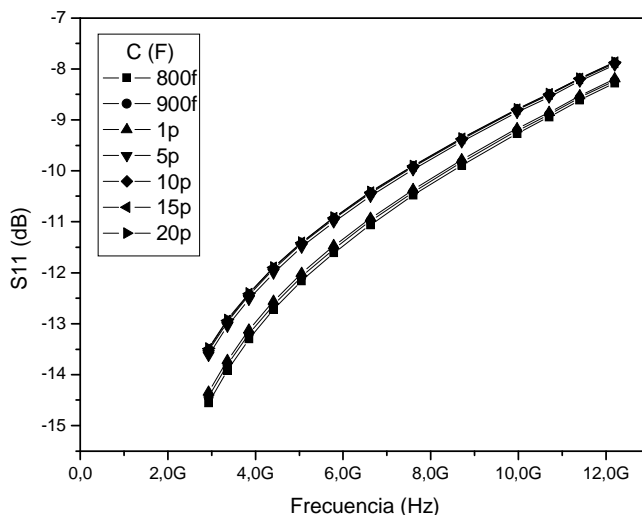


Figura 4.15 Adaptación de entrada frente condensadores C_1 y C_2 .

La ganancia del circuito (ver Figura 4.16) no se ve apenas afectada por este parámetro, con lo que la decisión del valor de los condensadores C_1 y C_2 estará determinada por las simulaciones de figura de ruido y adaptación de entrada.

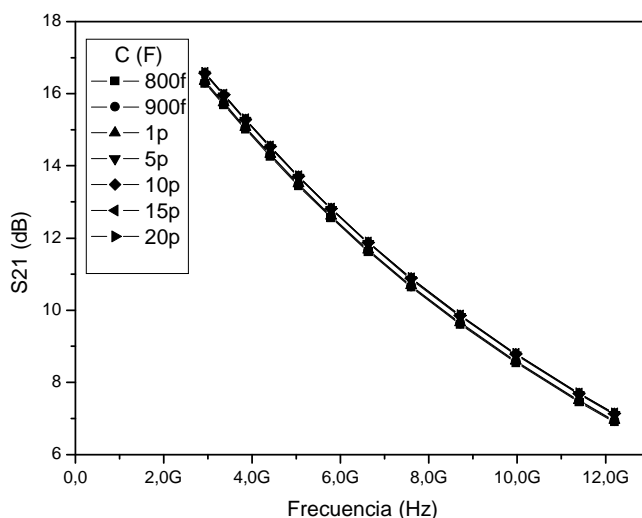


Figura 4.16 Ganancia frente condensadores C_1 y C_2 .

Estudiando el efecto de la resistencia de carga (R_D) procedemos a simular nuestro circuito con valores comprendidos entre 100Ω y 700Ω . Se necesita un valor de resistencia que sea lo suficientemente grande para obtener una ganancia alta pero que no se sature y se mantenga lineal.

En la Figura 4.17 apreciamos el efecto que la resistencia de carga ejerce sobre la figura de ruido de nuestro LNA1.

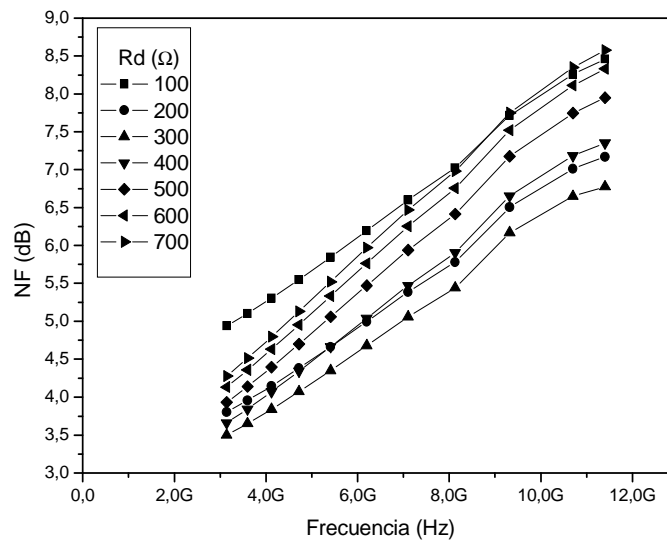


Figura 4.17 Figura de ruido frente resistencia de carga.

La adaptación de entrada de nuestro circuito para el rango de R_D estudiado se puede apreciar en la Figura 4.18, observando cómo con valores entre 100Ω y 300Ω obtenemos mejores resultados que para el resto de valores.

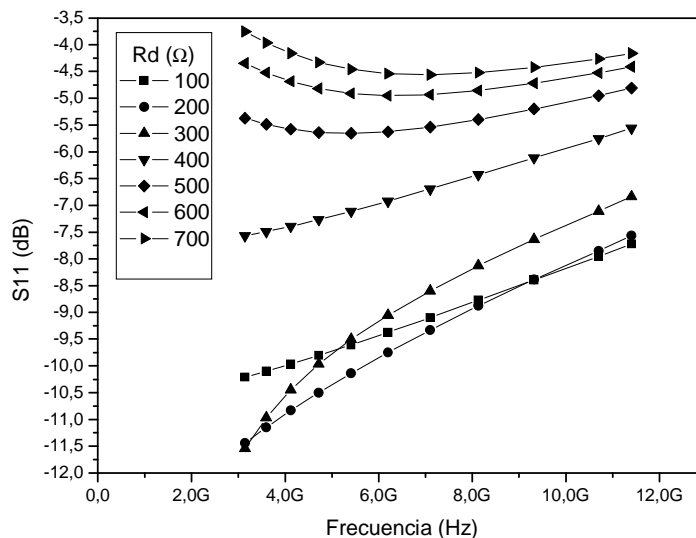


Figura 4.18 Adaptación de entrada frente resistencia de carga.

En la Figura 4.19 podemos ver la ganancia obtenida con los valores estudiados, observando cómo con un valor de 100 Ω la ganancia es más plana que para el resto de valores.

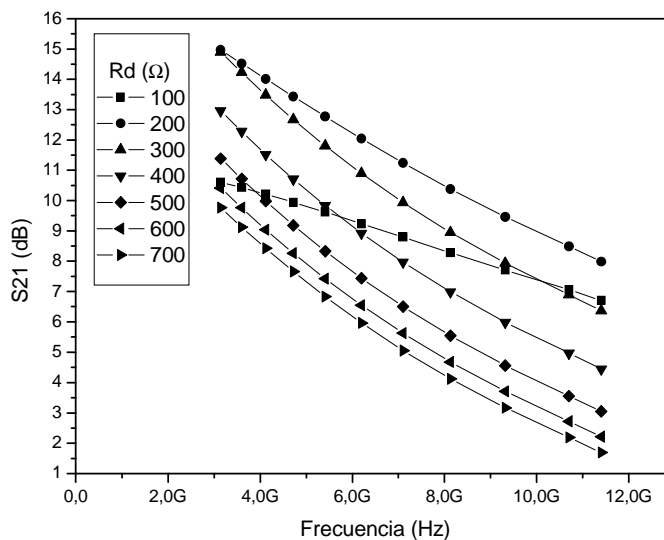


Figura 4.19 Ganancia frente resistencia de carga.

Otro parámetro importante que hemos tenido en cuenta a la hora de diseñar este amplificador es el tamaño de los transistores. Podemos variar el tamaño de los mismos modificando el número de dedos que conforman cada transistor. Realizaremos las

simulaciones para un número entre 8 y 14 dedos que nos aseguran el correcto funcionamiento del circuito.

En la siguiente figura (ver Figura 4.20) mostramos la influencia del tamaño de los transistores con respecto a la figura de ruido de nuestro circuito. Observamos que de los valores estudiados, salvo con 10 y 11 dedos, el circuito se comporta de manera similar.

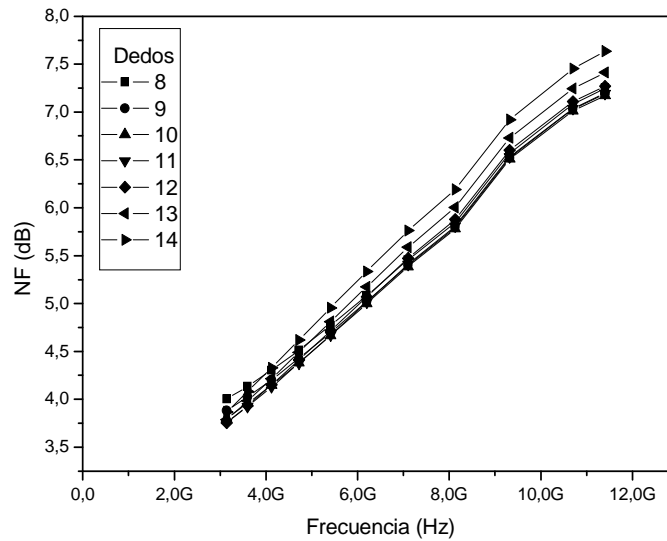


Figura 4.20 Figura de ruido frente tamaño de los transistores.

En la Figura 4.21 apreciamos la influencia del tamaño de los transistores con respecto a la simulación de la adaptación de entrada de nuestro circuito. Observamos que con valores de 8 y 9 dedos obtenemos mejores respuestas en cuanto a la adaptación de entrada se refiere comparando con el resto de valores simulados.

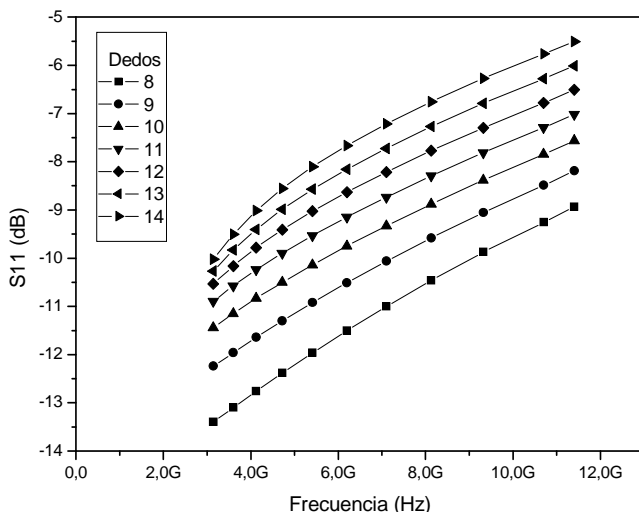


Figura 4.21 Adaptación de entrada frente tamaño de los transistores.

La ganancia del circuito se ve afectada por el tamaño de los transistores tal y como vemos en la Figura 4.22. Apreciamos que los valores que nos proporcionaban una adaptación de entrada y una figura de ruido adecuados para nuestros intereses, también nos proporcionan una ganancia apta para los mismos. A la hora de realizar estas simulaciones hemos tenido en cuenta la correcta polarización de nuestro circuito así como el consumo de corriente.

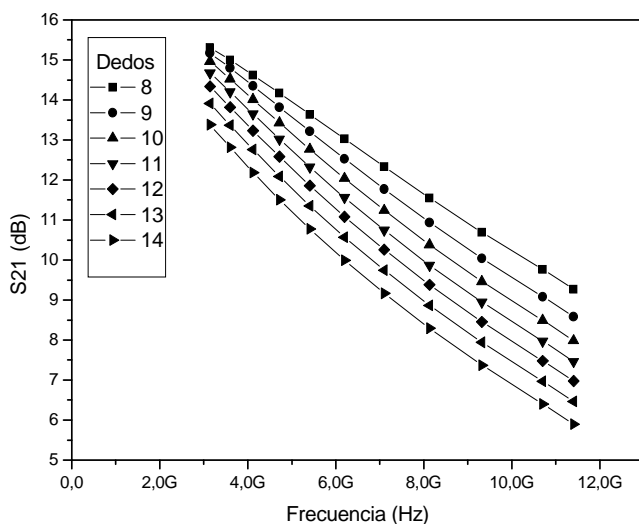


Figura 4.22 Ganancia frente tamaño de los transistores.

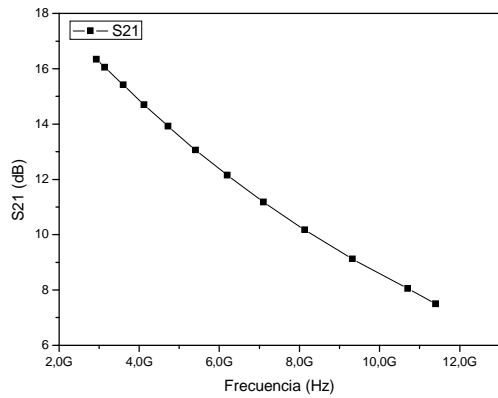
Una vez visto el comportamiento de nuestro circuito para los diferentes parámetros y estableciendo un compromiso entre la adaptación de entrada, ganancia y sobretodo la figura de ruido, optaremos por establecer los valores adecuados para cumplir las especificaciones.

Así pues, tendremos una tensión de polarización de 850 mV, una resistencia de polarización de 10 K Ω . En cuanto a los condensadores, vimos que cuanto mayor es el valor de éste mejores resultados obtenemos, pero la mejoría que nos aportan no compensa el área que ocupan así que decidimos establecer un valor de 1 pF. En cuanto a la resistencia de carga (R_D) nos decantamos finalmente por un valor de 300 Ω ya que reduce bastante el ruido en altas frecuencias que es donde se ve más afectado y además establecemos un compromiso entre la adaptación de entrada y ganancia. Los transistores estarán formados por 8 dedos ya que nos proporcionan unos resultados adecuados en las simulaciones en las que basamos nuestro amplificador. En la Tabla 4.4 recogemos los valores que hemos ido tomando como oportunos, así como el consumo total de corriente que para este circuito es de 7.4 mA con una tensión de alimentación de 1.8 V.

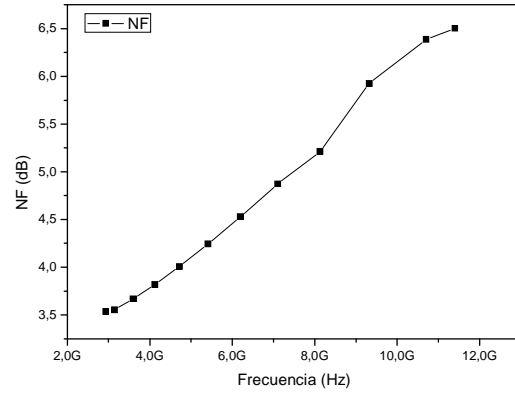
Tabla 4.4 Valores de los componentes del LNA1

V_{CC} (V)	V_{BIAS} (mV)	R_S (k Ω)	R_d (Ω)	C_1 y C_2 (pF)	Dedos
1.8	850	10	300	1	8

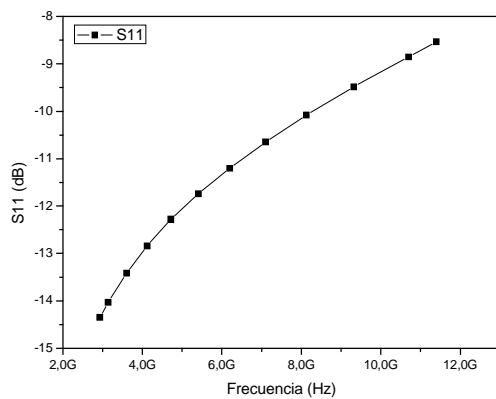
Una vez estudiado el comportamiento de los parámetros que forman nuestro circuito, y optimizados los valores de los componentes que lo forman, procedemos a simular la ganancia, figura de ruido, adaptación de entrada, el punto de compresión a 1dB así como el IIP3 para ver la respuesta que nos ofrece el circuito (ver Figura 4.23).



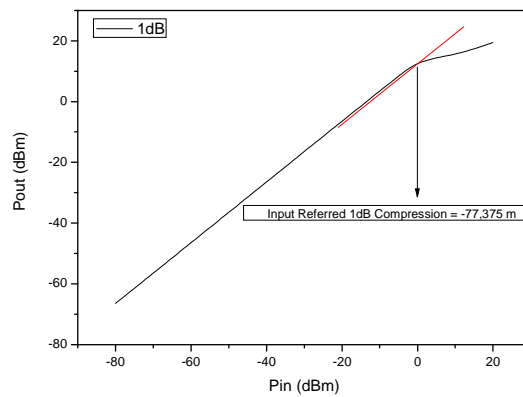
a)



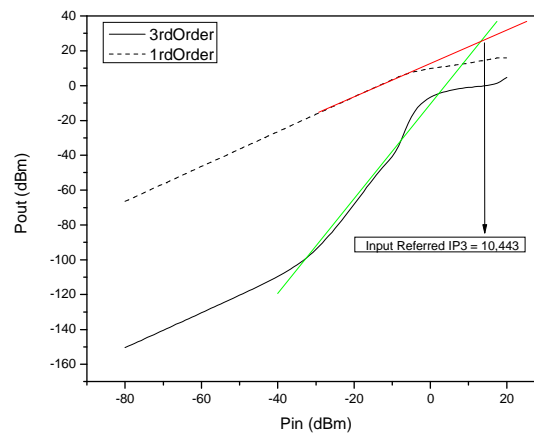
b)



c)



d)



e)

Figura 4.23 Simulación LNA1: a) Ganancia. b) Figura de ruido. c) Adaptación de entrada. d) Punto de compresión a 1dB. e) IIP3

En la Figura 4.23a podemos apreciar la ganancia de nuestro amplificador, oscilando entre los 16.05 dB y los 8.04 dB en la banda de frecuencias a la que trabajamos.

En cuanto a la figura de ruido, ésta varía entre los 3.55 dB y los 6.38 dB, y la adaptación de entrada, cuyo resultado podemos apreciar en la Figura 4.23c, está comprendida en unos valores entre -14.03 dB y -8.85 dB.

En la Figura 4.23d podemos observar la simulación del punto de compresión a 1 dB, teniendo dicho amplificador un P1dB en torno a los 0 dBm.

Otra manera de conocer la linealidad del circuito es simular el punto de intercepción de tercer orden a la entrada (IIP3), cuya respuesta vemos también en la Figura 4.23e, y donde apreciamos que tenemos un valor de 10.44 dBm.

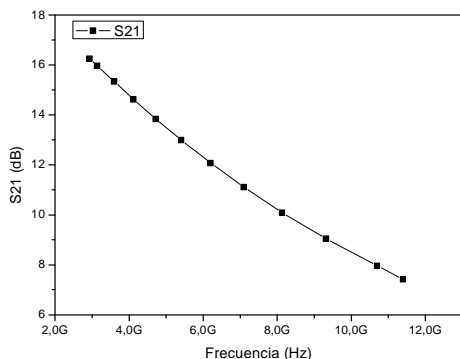
Tras haber simulado los parámetros en los que nos basamos para diseñar nuestro amplificador y comentado sus resultados, mostramos un cuadro resumen de los mismos en la Tabla 4.5.

Tabla 4.5 Cuadro resumen datos del LNA1

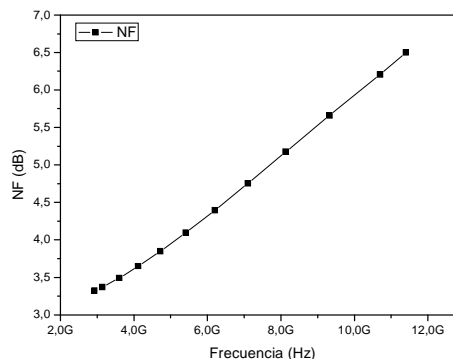
I (mA)	NF (dB)	S11 (dB)	S21 (dB)	P1dB (dBm)	IIP3 (dBm)
7.4	3.55 – 6.38	-14.03 - -8.85	16.05 – 8.04	0	10.44

Una vez realizado el diseño completo del *LNA1* con componentes de las librerías básicas, en el siguiente apartado realizamos la simulación del circuito sustituyendo dichos componentes por los de la librería *UMC 0.18 μm*.

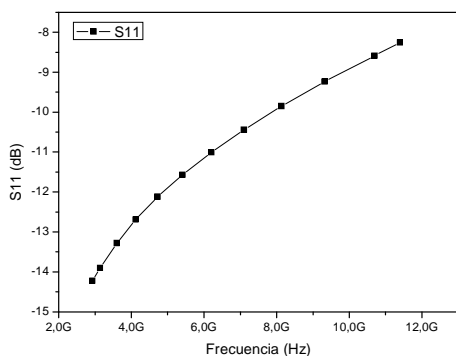
4.2.2 Diseño del LNA en Puerta Común con Carga Resistiva (LNA1) con componentes de la librería UMC 0.18 μm



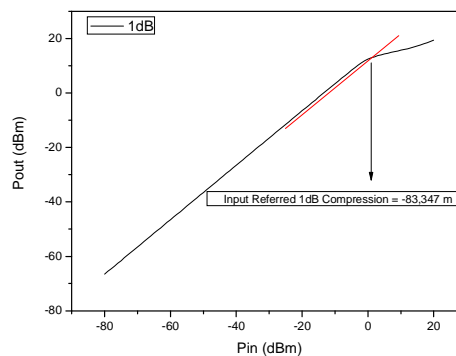
a)



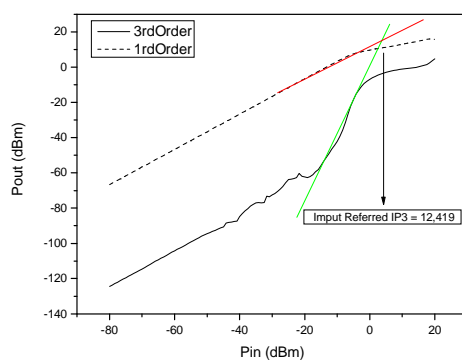
b)



c)



d)



e)

Figura 4.24 Simulación LNA1 con componentes UMC 0.18 μm : a) Ganancia. b) Figura de ruido. c) Adaptación de entrada. d) Punto de compresión a 1dB. e) IIP3.

En la Figura 4.24a observamos la simulación de la ganancia de nuestro circuito, obteniendo unos valores que se encuentran entre los 15.96 dB y los 7.96 dB en la banda de frecuencias en la que trabajamos.

La figura de ruido que presenta nuestro circuito con componentes de la librería UMC 0.18 μm está representada en la Figura 4.24b, obteniendo unos valores que varían de los 3.37 dB hasta los 6.20 dB. En cuanto a la adaptación de entrada (ver Figura 4.24c), obtenemos unos resultados que varían entre los -13.9 dB a los -8.58 dB a lo largo de la banda de frecuencia.

En la Figura 4.24d mostramos el resultado de la simulación del punto de compresión a 1 dB de nuestro circuito, obteniendo un valor del P1dB en torno a los 0 dBm. En cuanto a la simulación del tercer punto de intercepción a la entrada (IIP3), tenemos un resultado de 12.41 dB como podemos apreciar en la Figura 4.24e.

En la Tabla 4.6 mostramos un resumen de los resultados obtenidos de la simulación de nuestro LNA1 con componentes de la librería UMC 0.18 μm , así como el consumo de corriente siendo éste similar al obtenido con elementos de las librerías básicas.

Tabla 4.6 Cuadro resumen datos LNA1 con componentes UMC 0.18 μm

I (mA)	NF (dB)	S11 (dB)	S21 (dB)	P1dB (dBm)	IIP3 (dBm)
7.48	3.37 – 6.20	-13.9 - -8.58	15.96 – 7.96	0	12.41

Una vez acabado el estudio del LNA1 y observando los resultados obtenidos, optamos por añadir una bobina y así conseguir una carga *shunt-peaking*, con la finalidad de aumentar el ancho de banda logrado con el LNA1. En el apartado siguiente diseñaremos dicho LNA con carga *shunt-peaking* (LNA2) siguiendo la metodología empleada anteriormente.

4.2.3 Diseño del LNA en Puerta Común con Carga Shunt-Peaking (LNA2)

En la Figura 4.25 se muestra el circuito a diseñar en este apartado. La resistencia R_D en serie con la bobina L_D forman la carga *shunt-peaking* que nos aportará un mayor ancho de banda como hemos comentado anteriormente. A continuación veremos el efecto que cada componente ejerce sobre los parámetros S que estudiamos para el diseño de este amplificador.

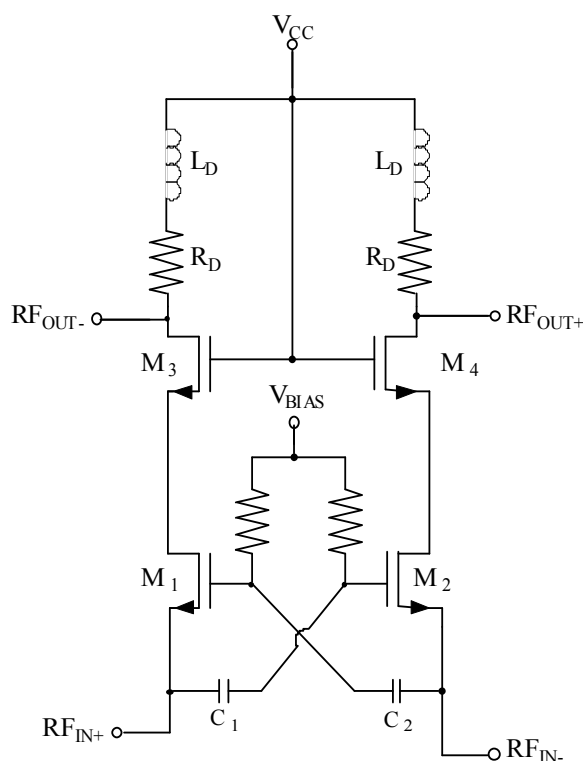


Figura 4.25 Estructura LNA2.

Igual que en el diseño del *LNA1*, lo primero es polarizar correctamente el circuito para un consumo de corriente determinado, en este caso intentaremos que siga siendo inferior a los 10 mA. Estudiando el efecto de la tensión V_{BIAS} hemos obtenido el mismo rango de valores para polarizar el *LNA2* que para el *LNA1*, estando estos entre 700 mV y 1 V.

La figura de ruido vista en la Figura 4.26 muestra la influencia de la tensión de polarización sobre la figura de ruido de nuestro *LNA2*, apreciando que con una V_{BIAS} de 800 mV y 850 mV obtenemos la mínima figura de ruido.

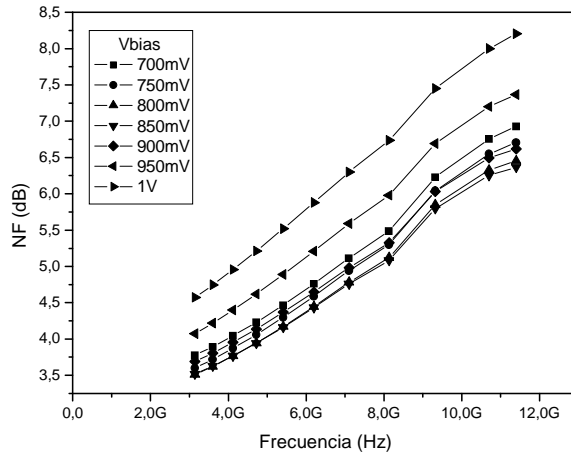


Figura 4.26 Figura de ruido frente tensión de polarización.

En la Figura 4.27, vemos que en función de un valor u otro de V_{BIAS} tenemos diferentes respuestas para la adaptación de entrada. No obstante, los valores mencionados en el párrafo anterior para mínima figura de ruido nos aseguran una adecuada adaptación de entrada para nuestro circuito.

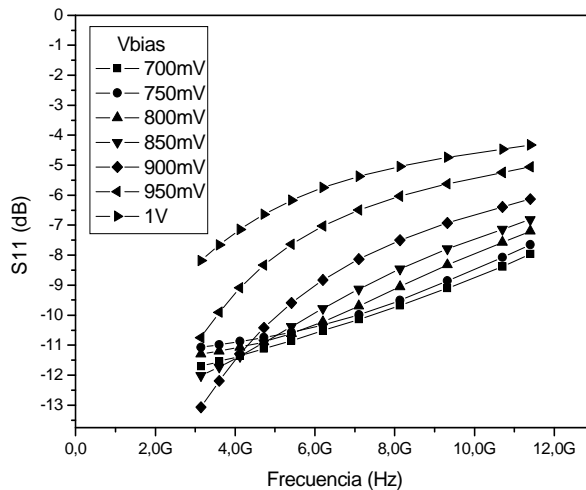


Figura 4.27 Adaptación de entrada frente la tensión de polarización.

La influencia de la tensión de polarización sobre la ganancia de nuestro circuito se puede apreciar en la Figura 4.28. Observamos que los valores que nos aportan una mínima figura de ruido y una correcta adaptación de entrada, también nos aporta una ganancia adecuada para nuestras especificaciones.

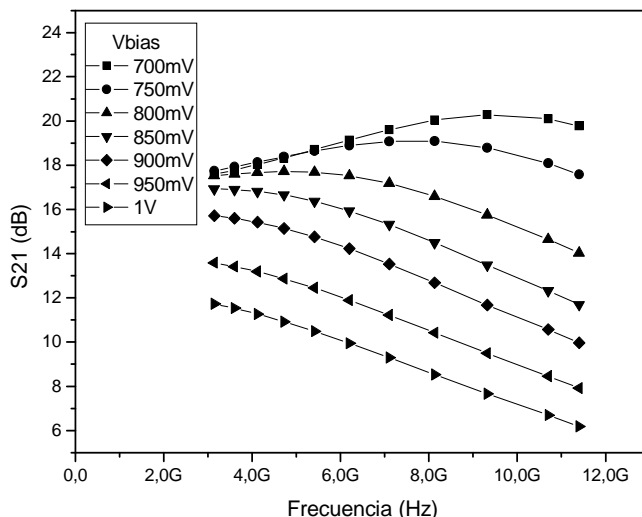


Figura 4.28 Ganancia frente a la tensión de polarización.

El siguiente paso es comprobar la influencia que ejerce la resistencia de polarización (R_s) que ya vimos a la hora de diseñar el *LNA1*. Habiendo realizado el estudio de los diferentes valores que puede tomar este componente, optamos por ver el efecto que provocan las resistencias de polarización con valores comprendidos entre 4 $K\Omega$ y 10 $K\Omega$ que son los que nos mantienen el circuito correctamente polarizado.

En la Figura 4.29 podemos apreciar que este parámetro no afecta a la figura de ruido.

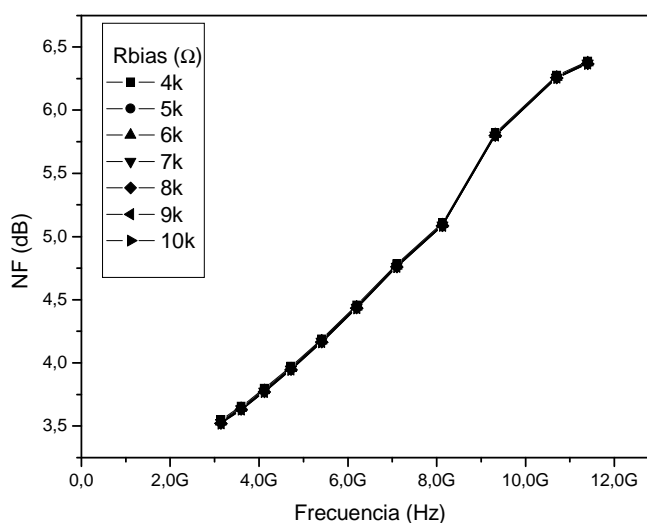


Figura 4.29 Figura de ruido frente R_{BIAS} .

La adaptación de entrada de nuestro circuito tampoco se ve afectada por el valor de este componente (ver Figura 4.30), así que procedemos a simular su efecto sobre la ganancia para adoptar una decisión sobre su valor.

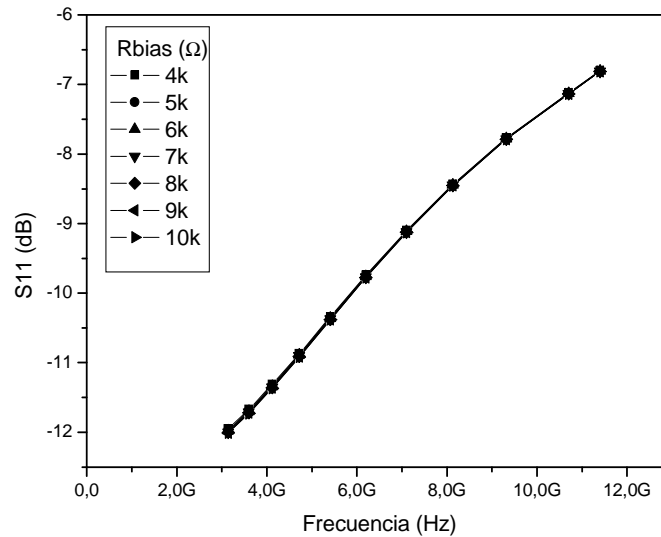


Figura 4.30 Adaptación de entrada frente R_{BIAS} .

La Figura 4.31 muestra que la resistencia de polarización tampoco ejerce efecto alguno sobre la ganancia de nuestro circuito, por lo tanto quedará bajo nuestro criterio la elección de un valor u otro dentro del rango que nos ofrece una correcta polarización del circuito.

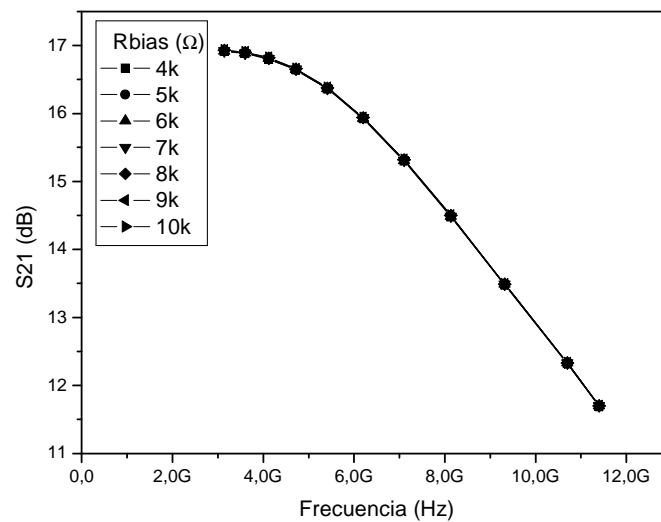


Figura 4.31 Ganancia frente R_{BIAS} .

Realizaremos un estudio de los condensadores C_1 y C_2 , con el fin de obtener una mejora en la figura de ruido. Para ello observaremos su comportamiento en un rango que varía entre los 800 fF y los 20 pF.

En la Figura 4.32 apreciamos la influencia que ejercen los condensadores sobre la figura de ruido de nuestro circuito $LN42$. Observamos que al igual que nos pasaba con el $LN41$, con valores a partir de 1 pF la figura de ruido es menor en toda la banda de frecuencias que trabajamos.

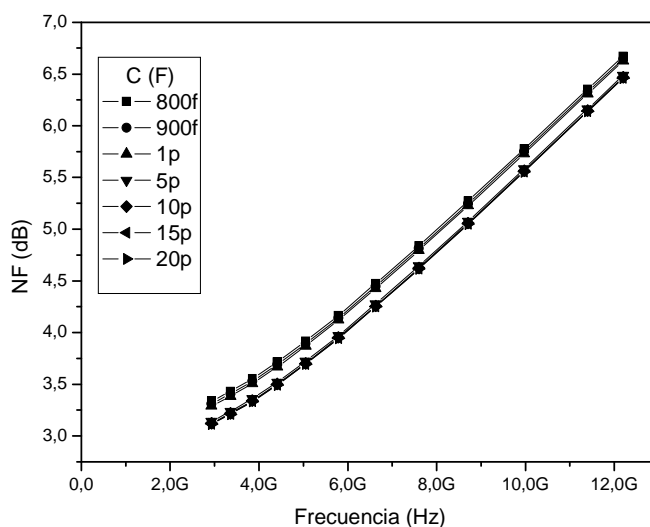


Figura 4.32 Figura de ruido frente condensadores C_1 y C_2 .

La adaptación de entrada también mejora con valores a partir de 1 pF como podemos ver en la Figura 4.33.

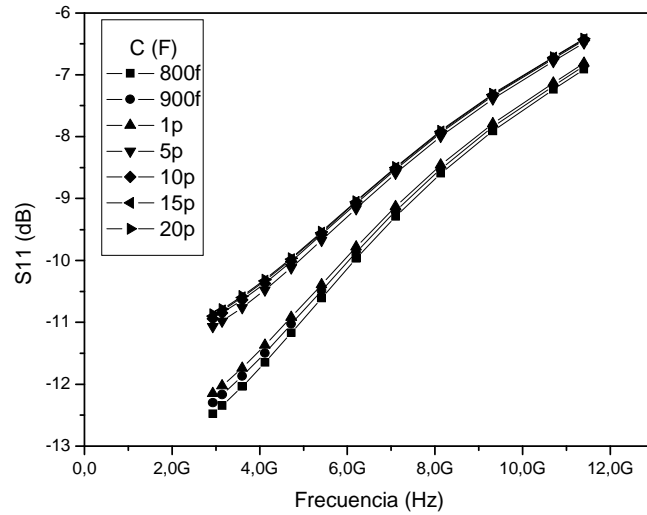


Figura 4.33 Adaptación de entrada frente condensadores C_1 y C_2 .

En la Figura 4.34 observamos la ganancia de nuestro LNA2 para los diferentes valores de C_1 y C_2 que hemos estudiado. En ella comprobamos que con valores mayores a 1 pF la ganancia del circuito aumenta en toda la banda de frecuencias a la que trabajamos.

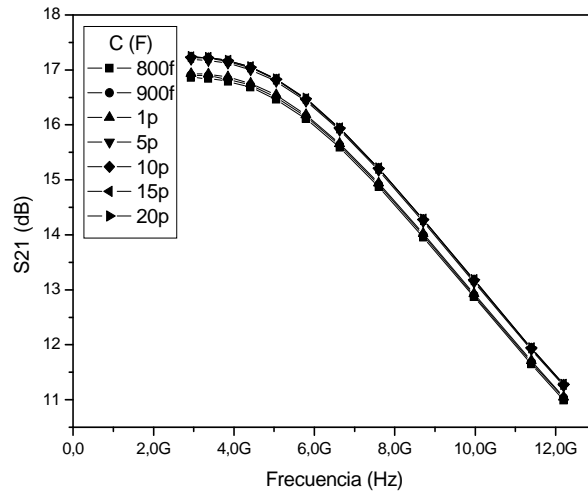


Figura 4.34 Ganancia frente condensadores C_1 y C_2 .

Al igual que con el LNA1, después de estudiar el efecto de la resistencia de carga, hemos optado por realizar este barrido en valores que se encuentran entre 100Ω y 700Ω .

En la Figura 4.35 observamos la simulación de la figura de ruido para los diferentes valores de R_D propuestos. Observamos cómo este parámetro si afecta a nuestra figura de ruido significativamente, centrándonos en valores como son 100Ω , 200Ω y 300Ω que afectan de menor manera a nuestra figura de ruido.

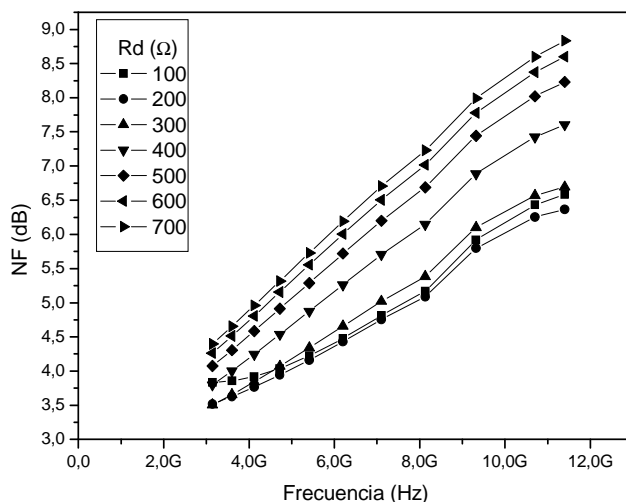


Figura 4.35 Figura de ruido frente resistencia de carga.

La resistencia de carga (R_D) ejerce una influencia sobre la adaptación de entrada de nuestro circuito bastante significativa (ver Figura 4.36). Observamos que dentro del rango estudiado, la mejor respuesta nos la ofrecen los valores de resistencia más pequeños al igual que para la figura de ruido vista anteriormente.

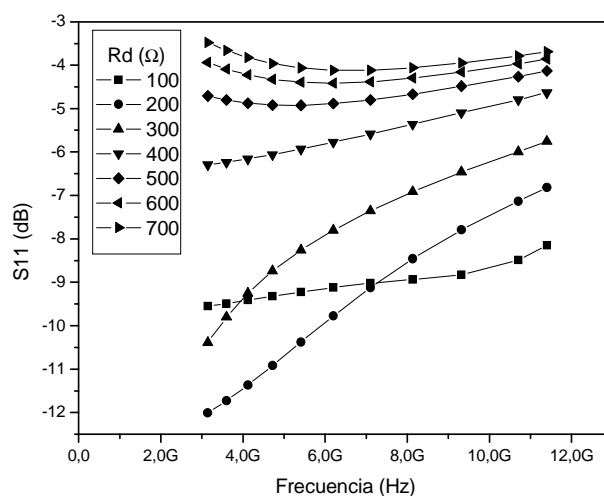


Figura 4.36 Adaptación de entrada frente resistencia de carga.

En la Figura 4.37 observamos la simulación de la ganancia frente los diferentes valores de R_D simulados. A partir de ella concluimos que con un valor de 300Ω conseguimos un compromiso entre la figura de ruido, adaptación de entrada y ganancia.

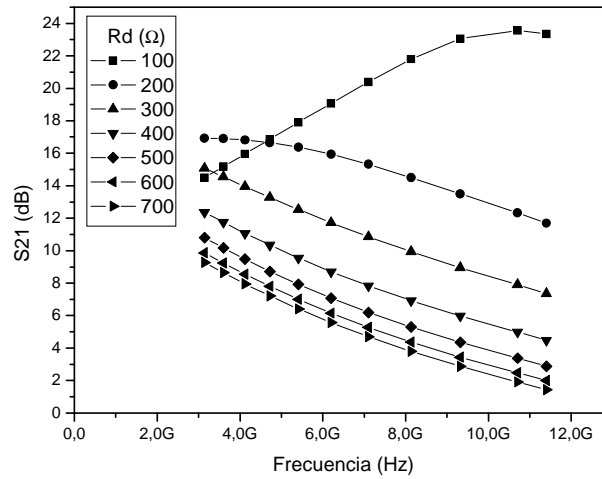


Figura 4.37 Ganancia frente resistencia de carga.

Como hemos comentado en el apartado de diseño del $LNA1$, el tamaño de los transistores es otro de los parámetros importantes a tener en cuenta. Variando el número de dedos que forman los transistores conseguimos variar el tamaño de los transistores.

En la Figura 4.38 mostramos cómo se ve afectada la figura de ruido de nuestro $LNA2$ para diferentes tamaños de transistores en función del número de dedos de los mismos. Podemos apreciar que con valores de 9 y 10 dedos tenemos la mínima figura de ruido.

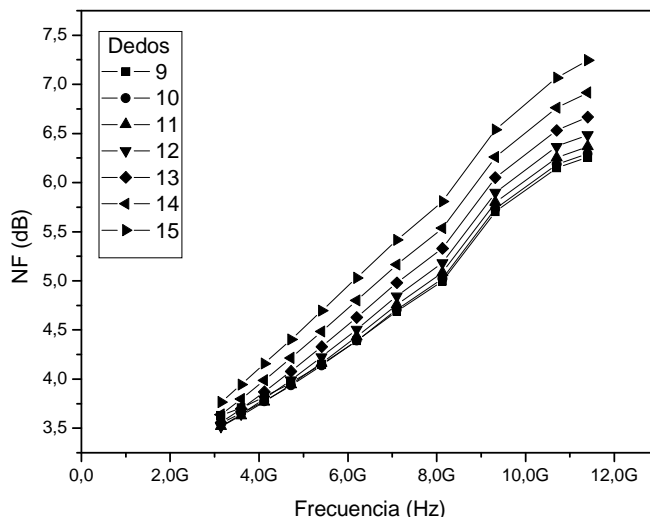


Figura 4.38 Figura de ruido frente tamaño de transistores.

En la siguiente figura se muestra la adaptación de entrada para los distintos valores de número de dedos simulados (ver Figura 4.39).

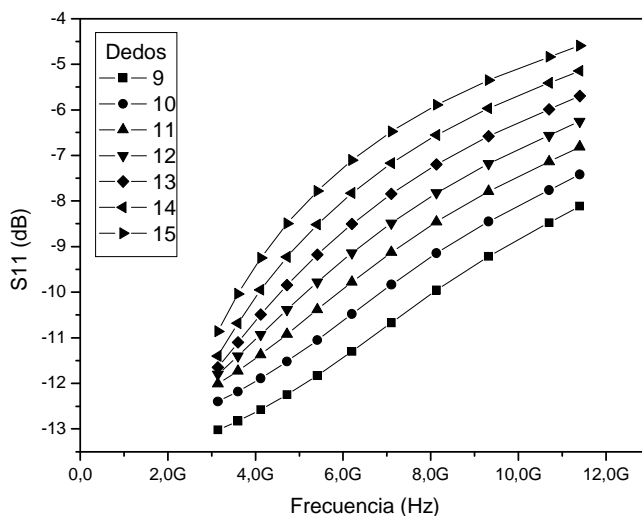


Figura 4.39 Adaptación de entrada frente tamaño de transistores.

En la Figura 4.40 mostramos la ganancia del circuito frente los distintos tamaños de los transistores. En ella apreciamos que los valores de 9 y 10 dedos nos ofrecen una mayor ganancia, así que tendremos que establecer un compromiso que satisfaga nuestros intereses para elegir el número de dedos apropiado.

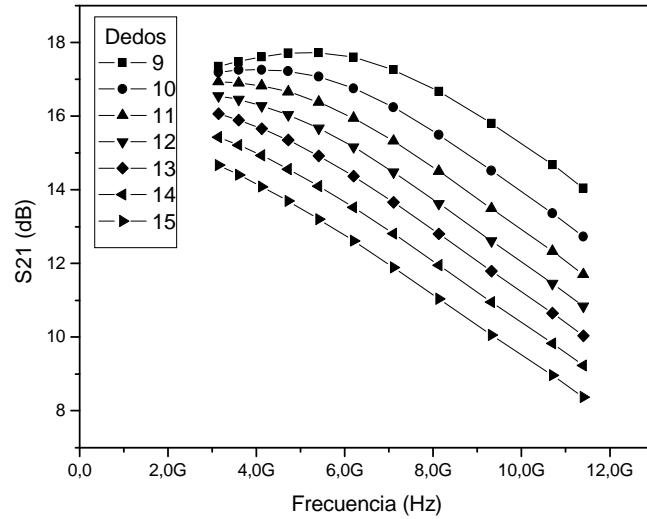


Figura 4.40 Ganancia frente tamaño de transistores.

Llegados a este punto, nos queda por estudiar el comportamiento de la bobina de la carga de este amplificador, la cuál como hemos comentado nos aporta un mejor ancho de banda del amplificador.

En la Figura 4.41 mostramos la influencia de ésta bobina sobre la figura de ruido de nuestro circuito, apreciando que cuanto mayor es la bobina, menor es la figura de ruido.

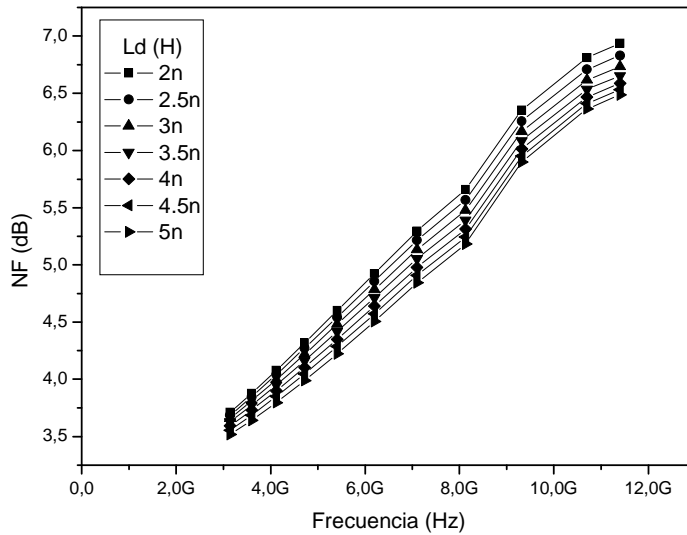


Figura 4.41 Figura de ruido frente bobina de carga.

La adaptación de entrada de nuestro *LN42* en función de los distintos valores de la bobina viene dada por la Figura 4.42.

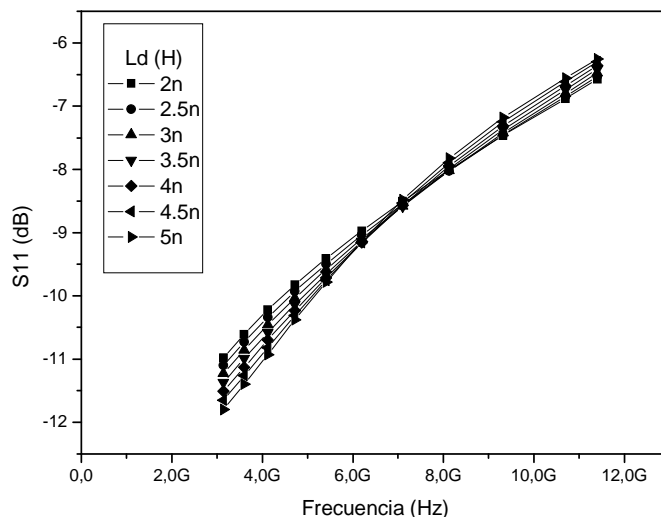


Figura 4.42 Adaptación de entrada frente bobina de carga.

En la Figura 4.43 observamos la influencia que ejerce la bobina sobre la ganancia de nuestro circuito. En ella apreciamos que cuanto mayor es el valor de la bobina mayor ganancia obtenemos.

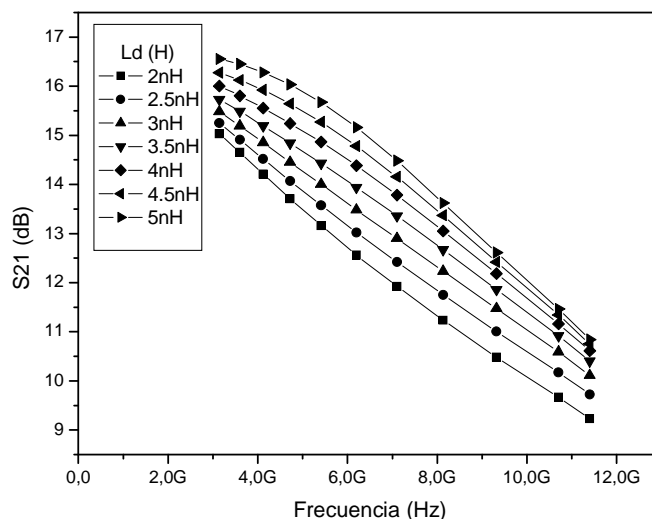


Figura 4.43 Ganancia frente bobina de carga.

Una vez realizado el estudio de cada componente que forma nuestro *LNA2*, elegimos los valores idóneos para la implementación del mismo intentando conseguir mínima figura de ruido y un compromiso entre ésta y la adaptación de entrada y la ganancia del circuito. La tensión de polarización que cumple con nuestras especificaciones es la de 850 mV. La resistencia de polarización la establecemos con un valor de 10 k Ω ya que éste componente no afectaba a los resultados. La resistencia de carga tendrá un valor de 200 Ω estableciendo un compromiso con los distintos parámetros del *LNA*. En cuanto a los condensadores C_1 y C_2 , comprobamos que con valores a partir de 1 pF mejoraba tanto la figura de ruido como los demás parámetros simulados. Teniendo en cuenta el área que ocupan los condensadores y que las mejoras ofrecidas por un condensador de 20 pF comparado con el de 1 pF no son significativas, optamos por elegir un valor de 1 pF con la finalidad de ahorrar área y con ello dinero a la hora de fabricar el circuito. El tamaño de los transistores quedará determinado por un número de 11 dedos finalmente, estableciendo un compromiso entre los distintos parámetros del *LNA*. El valor de la bobina será de 5 nH ya que a pesar de ocupar una gran área, conseguimos disminuir hasta en 1 dB la figura de ruido en altas frecuencias.

En la Tabla 4.7 recabamos los datos que hemos ido tomando como oportunos, y demostrado en los párrafos anteriores que son los adecuados para nuestro diseño, con una mínima figura de ruido y un óptimo compromiso entre adaptación de entrada y ganancia. El consumo total de corriente es de 10.2 mA para una tensión de alimentación de 1.8 V.

Tabla 4.7 Valores de los componentes del *LNA2*

V_{CC} (V)	V_{BIAS} (mV)	R_S (k Ω)	R_D (Ω)	C_1 y C_2 (pF)	Dedos	L_D (nH)
1.8	850	10	200	1	11	5

A partir de éstos valores, procedemos a simular nuestro circuito en la banda de frecuencia a la que lo hemos diseñado y ver los resultados tanto para la figura de ruido, adaptación de entrada, ganancia, punto de compresión a 1 dB y el IIP3 a fin de ver su comportamiento ante las decisiones adoptadas con estos elementos de la librería básica de *Cadence*.

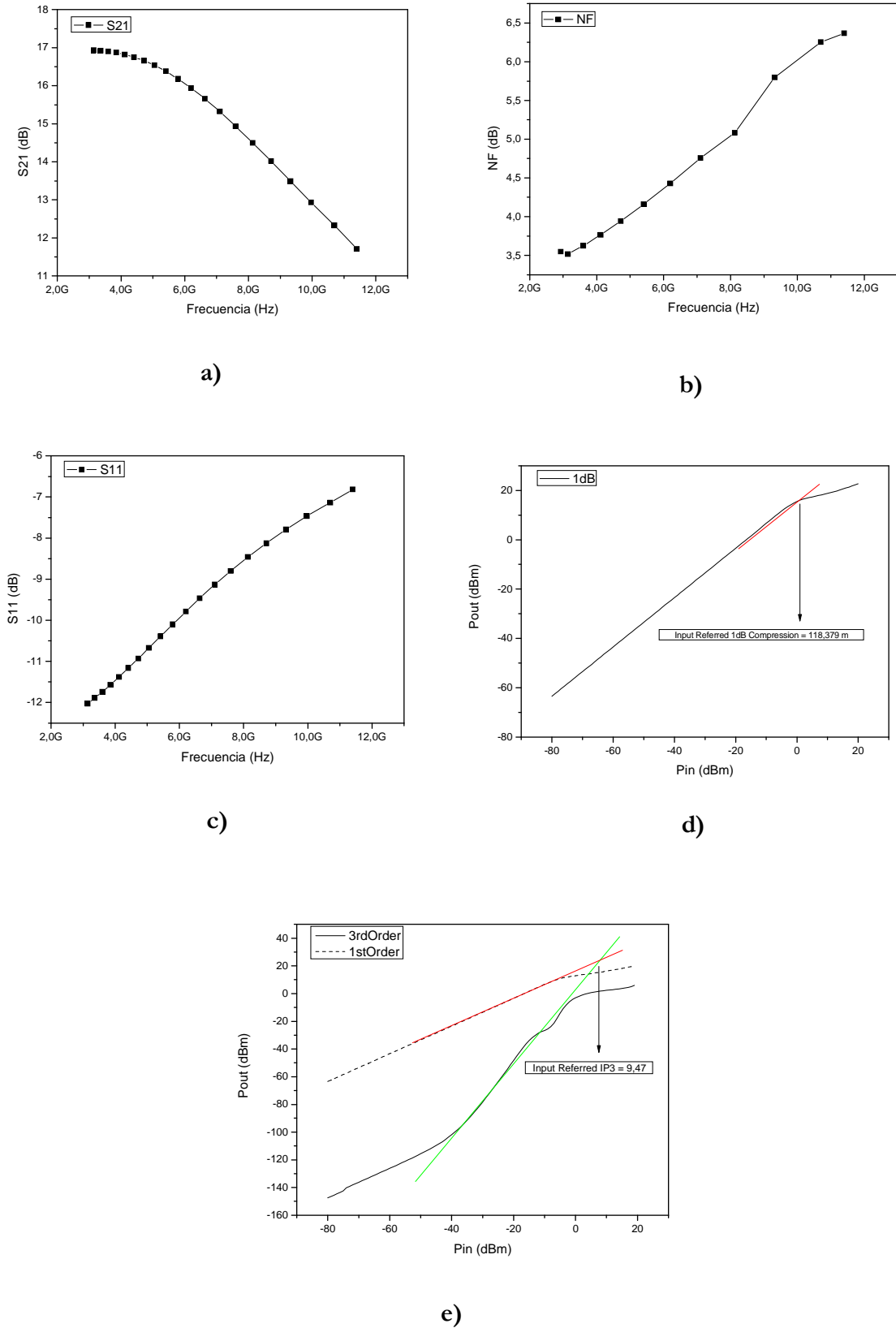


Figura 4.44 Simulaciones del LNA2: a) Ganancia. b) Figura de ruido. c) Adaptación de entrada. d) Punto de compresión a 1dB. e) IIP3

En la Figura 4.44a, 4.44b y 4.44c mostramos la ganancia de nuestro *LNA2* variando la misma entre 16.93 dB y los 12.33 dB, la figura de ruido entre 3.5 dB y 6.5 dB y la adaptación de entrada que se encuentra en el margen de -11.99 dB hasta los -7.13 dB para las frecuencias de *UWB*.

Mostramos la linealidad del circuito en las Figura 4.44d y 4.44e, obteniendo un P_{1dB} en torno a los 0 dBm y un $IIP3$ de 9.47 dBm. El consumo de corriente de este amplificador es de 10.2 mA con una tensión de alimentación de 1.8 V.

Realizadas las simulaciones de nuestro *LNA2*, y verificados los resultados, en la Tabla 4.8 mostramos un resumen de los datos recabados en los párrafos anteriores optimizando nuestro circuito para mínimo ruido.

Tabla 4.8 Cuadro resumen datos LNA2

I (mA)	NF (dB)	S11 (dB)	S21 (dB)	P_{1dB} (dBm)	$IIP3$ (dBm)
10.2	3.51 – 6.25	-11.99 – -7.13	16.93 – 12.33	0	9.47

Una vez realizado el diseño completo del *LNA2* con componentes de la librería básica proporcionada por *Cadence*, en el siguiente apartado se realizará el estudio del mismo diseño sustituyendo dichos componentes por los de la librería *UMC 0.18 μm*.

4.2.4 Diseño del LNA en Puerta Común con Carga Shunt-Peaking (LNA2) con componentes de la librería UMC 0.18 μm

En este apartado presentamos los resultados obtenidos a partir de la simulación de los parámetros S y linealidad del *LNA2* con componentes de la librería de *UMC 0.18 μm* (ver Figura 4.45).

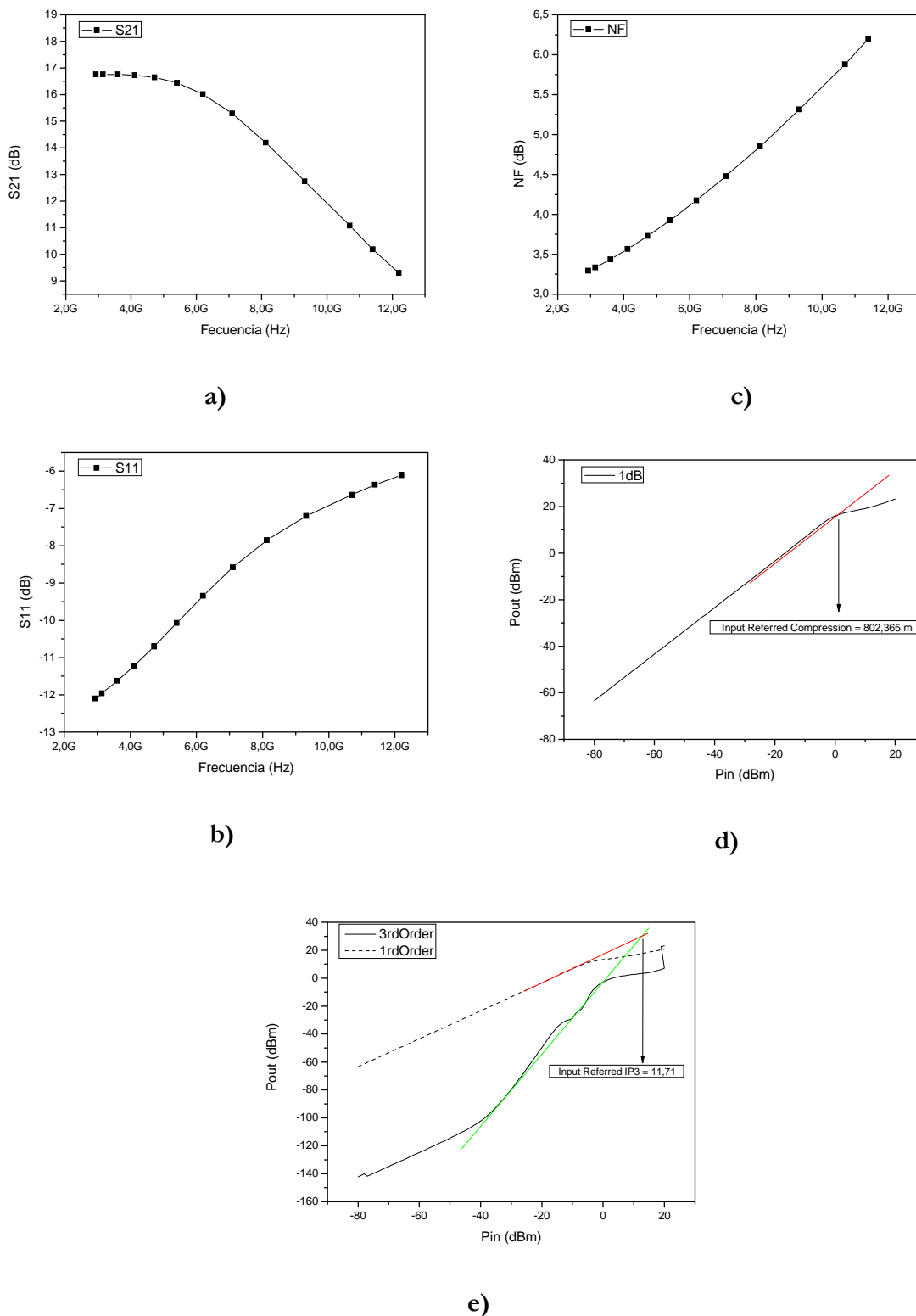


Figura 4.45 Simulaciones del LNA2 con componentes UMC 0.18 μm : a) Ganancia. b) Figura de ruido. c) Adaptación de entrada. d) Punto de compresión a 1dB. e) IIP3.

En la Figura 4.45a mostramos la simulación de la ganancia de nuestro circuito, obteniendo resultados que oscilan entre 16.76 dB y 11.07 dB. La figura de ruido conseguida

varía entre 3.33 dB y 5.87 dB (ver Figura 4.45b) y la adaptación de entrada se encuentra entre -11.96 dB y -6.63 dB en toda la banda de frecuencias en la que trabajamos (ver Figura 4.45c).

En las Figura 4.45d y 4.45e mostramos la linealidad de nuestro circuito obteniendo un P1dB de 0.8 dBm y un IIP3 de 11.71 dBm.

El consumo total de corriente es de 10.2 mA para una tensión de alimentación de 1.8 V.

A continuación, en la Tabla 4.9 mostramos un resumen con los resultados obtenidos en las simulaciones realizadas para nuestro *LNA2* con componentes de la librería *UMC 0.18 μm*.

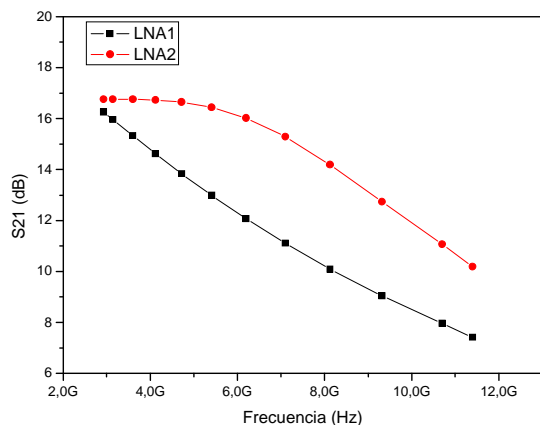
Tabla 4.9 Cuadro resumen datos LNA2 con componentes UMC 0,18 μm

I (mA)	NF (dB)	S11 (dB)	S21 (dB)	P1dB (dBm)	IIP3 (dBm)
10.2	3.33 – 5.87	-11.96 - -6.63	16.76 – 11.07	0	11.71

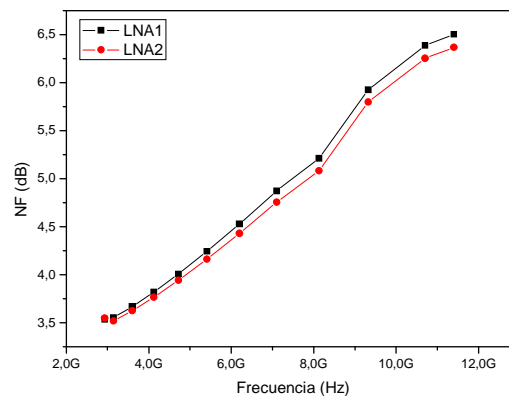
4.2.5 Comparación de los LNAs

Aprovechamos este aparatado para realizar una comparativa del *LNA1* y el *LNA2*. En la Figura 4.46 mostramos las simulaciones de ganancia, figura de ruido y adaptación de entrada apreciando en ella las diferencias de ambos amplificadores.

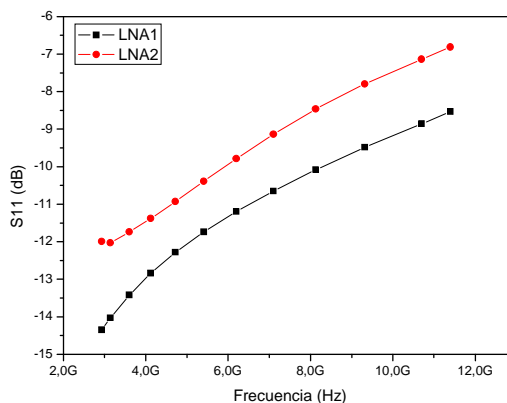
Podemos apreciar como el *LNA2* tiene un mejor ancho de banda gracias al uso de la carga *shunt-peaking*. Así mismo, el *LNA2* presenta una mayor ganancia y una menor figura de ruido en toda la banda de frecuencias a la que trabajamos en relación a la que tiene el *LNA1*. En cualquier caso, las diferencias en cuanto a la figura de ruido son mínimas. En cuanto a la adaptación de entrada, el *LNA1* tiene una respuesta mejor que el *LNA2*.



a)



b)



c)

Figura 4.46 Comparación de los parámetros S de ambos LNAs: a) Ganancia. b) Figura de ruido. c) Adaptación de entrada.

En las Figura 4.47a y 4.47b mostramos las simulaciones del punto de compresión a 1 dB de nuestros amplificadores apreciando que su P_{1dB} está en torno a 0 dBm en ambos casos. Otra manera de conocer la linealidad que hemos ido simulando es el IIP₃, en las Figura 4.47c y 4.47d observamos dicha simulación para cada amplificador, obteniendo un IIP₃ de 12.41 dBm para el LNA1 y de 11.71 dBm para el LNA2.

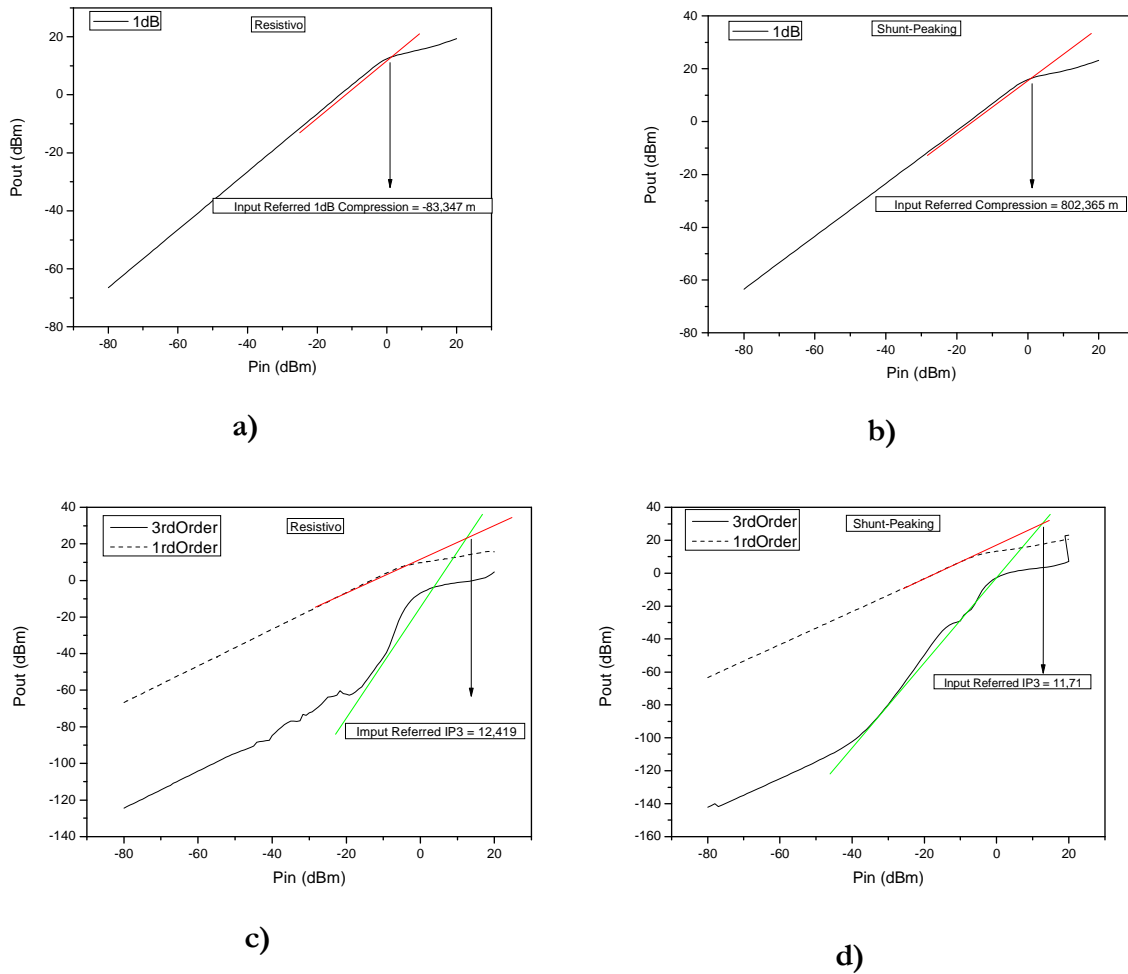


Figura 4.47 Comparación linealidad de ambos LNAs: a) Punto de compresión a 1dB LNA1. b) Punto de compresión a 1dB LNA2. c) IIP3 LNA1. d) IIP3 LNA2.

Una vez aportadas las gráficas con las simulaciones de los parámetros S y linealidad de ambos amplificadores, a continuación presentamos una tabla con un resumen de los datos recabados hasta el momento (ver Tabla 4.10).

Tabla 4.10 Tabla resumen datos LNAs

	LNA1	LNA1 UMC 0,18 μm	LNA2	LNA2 UMC 0,18 μm
I (mA)	7.4	7.48	10.2	10.2
V_{CC} (V)	1.8	1.8	1.8	1.8
V_{BIAS} (mV)	850	850	850	850
P (mW)	13.32	13.46	18.36	18.36
NF (dB)	3.55 – 6.38	3.37 - 6.20	3.51 - 6.25	3.33 – 5.87
S11 (dB)	-14.03 - -8.85	-13.9 - -8.58	-11.99 – -7.13	-11.96 - -6.63
S21 (dB)	16.05 – 8.04	15.96 - 7.96	16.93 – 12.33	16.76 - 11.07
P1 dB (dBm)	0	0	0	0
IIP3 (dBm)	10.44	12.41	9.47	11.71

De la tabla expuesta anteriormente, destacamos la diferencia de consumos de corriente, se aprecia cómo el *LNA2* consume casi 3 mA más que el *LNA1*, aun así obtenemos resultados similares en ambos amplificadores.

Una vez estudiados los amplificadores a usar en este proyecto, continuamos este capítulo con el estudio de los mezcladores basados en la célula de Gilbert.

4.3 Diseño del Mezclador en Cuadratura

En este apartado se lleva a cabo el diseño a nivel de esquemático del mezclador basado en la célula de Gilbert (ver Figura 4.48) y que como se explicó anteriormente en el capítulo 3, es el encargado de trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc).

Este apartado se presenta de la siguiente manera. En primer lugar se presenta la arquitectura elegida para luego mostrar las simulaciones y resultados obtenidos con la herramienta *Cadence*.

El mezclador Gilbert es ampliamente utilizado en aplicaciones RF debido a su compacto *layout* y su buen funcionamiento. Hemos elegido esta topología doblemente balanceada debido a su razonable ganancia de conversión, su buen aislamiento entre los puertos RF y LO , y a su salida diferencial.

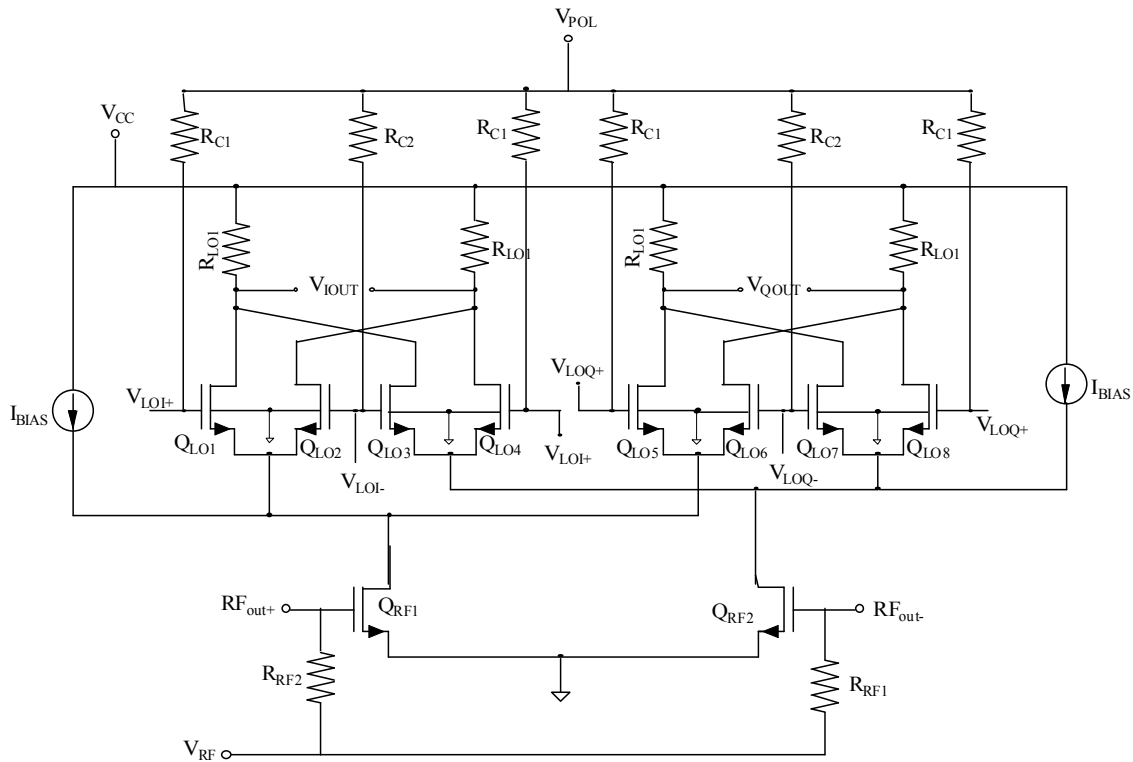


Figura 4.48 Mezclador célula de Gilbert doblemente balanceada.

A continuación, se van a extraer conclusiones útiles para el diseño de este tipo de circuitos a partir del estudio de las etapas básicas que componen la célula de Gilbert.

4.3.1 Diseño del Mezclador basado en la Célula de Gilbert

El procedimiento para el diseño del mezclador comienza con la realización de unos cálculos teóricos para hallar los valores iniciales de los distintos componentes integrantes del circuito. Una vez hecho esto, se refina el diseño mediante la ejecución de múltiples simulaciones, hasta alcanzar el rendimiento deseado.

Existen muchos factores que afectan al rendimiento de un mezclador, como la polarización, ganancia, linealidad, aislamiento, potencia, área y figura de ruido. Ajustar un

determinado parámetro para obtener un mejor funcionamiento puede, y normalmente lo hará, degradar el resto. Por esto, es importante tener en cuenta todos los parámetros durante el proceso de diseño, para así poder llegar a un compromiso entre ellos (ver Figura 4.49).

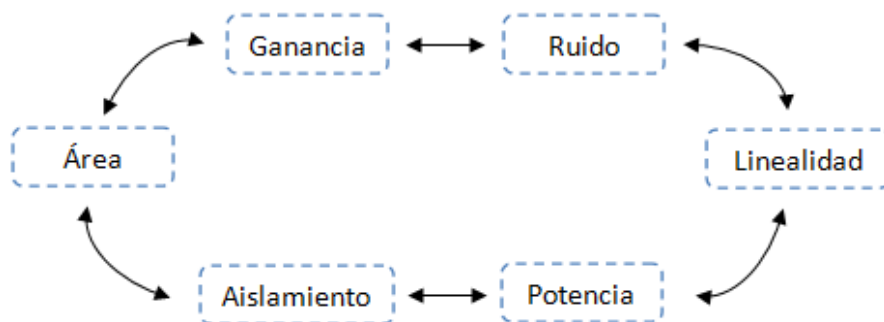


Figura 4.49 Compromiso entre parámetros.

El circuito se ha simulado utilizando el software *Cadence*. Las frecuencias de señales de entrada utilizadas son 5 GHz para la señal de radiofrecuencia (f_{RF}) y 5.2 GHz como señal del oscilador local (f_{LO}), obteniéndose una señal *down-conversion* de frecuencia 200 MHz para IF. Esta frecuencia corresponde al límite superior del canal.

A partir de aquí se ha optimizado el mezclador atendiendo a los siguientes aspectos:

Polarización: se establecen las condiciones apropiadas de polarización para los dispositivos utilizados en el mezclador.

Adaptación de impedancias: se adaptan las impedancias de los puertos de entrada y salida para evitar reflexiones en los mismos y asegurar una máxima transferencia de potencia.

Ganancia de conversión y linealidad: se estudian los distintos parámetros que influyen en la linealidad y la ganancia, optimizándolos para conseguir el mejor resultado.

Figura de ruido: se estudia dependencia de la figura de ruido con la corriente de polarización y con las resistencias R_C . El ruido añadido por el mezclador afectará al nivel mínimo de señal y limitará el rango dinámico. Es necesario establecer un compromiso entre ruido, ganancia y linealidad.

Área y multiplicidad: se estudia la posible influencia del área y la multiplicidad de los transistores en el sistema.

La filosofía seguida en este diseño ha sido optimizar al máximo la linealidad y a partir de aquí afinar para lograr un compromiso entre la figura de ruido y la ganancia manteniendo siempre como base una linealidad óptima.

Por tanto comenzamos con el análisis de nuestro circuito, estableciendo unos valores teóricos de los parámetros que nos polaricen el circuito, para luego proceder a simular y optimar los resultados.

4.3.1.1 Polarización del circuito

El primer paso en el diseño de un mezclador es el análisis DC. El propósito de este análisis es establecer las condiciones apropiadas de polarización de los dispositivos utilizados en el mezclador.

4.3.1.2 Corriente de polarización

La corriente en este tipo de redes desempeña un papel fundamental al introducir limitaciones en la ganancia, la linealidad y el ruido. Una correcta polarización es clave de cara a mantener los transistores en las regiones de trabajo deseadas.

Para el diseño del mezclador se emplearán transistores *CMOS* de 0.18 μm de *UMC*. Para polarizar el circuito se ha tenido en cuenta el funcionamiento que presenta este tipo de transistores para diferentes corrientes. Se ha comprobado que exhiben un mejor comportamiento en cuanto al ruido para corrientes pequeñas. Esto provoca un menor consumo y repercute en la mejora de la figura de ruido, a costa de una pequeña pérdida en la ganancia.

4.3.1.3 Polarización de las entradas

Para conseguir una ganancia adecuada, los transistores de la etapa de transconductancia deben trabajar en la zona activa. Fijando la tensión de polarización en la base de los transistores de la etapa de transconductancia (V_{RF}) a 800 mV se conseguirá una

razonable variación de la señal de entrada RF , así como también que los transistores permanezcan siempre en la zona activa. Además, es necesario polarizar los transistores de los pares superiores, teniendo en cuenta que van a operar en un estado de conmutación de corte a zona activa, ya que así el tiempo de conmutación es menor y se conseguirá que la atenuación inherente a esta etapa sea lo más próxima posible a su valor ideal ($\pi/2$). Manteniendo la tensión V_{CC} a 1.8 V se asegurará que los transistores $Q_{LO(1-8)}$, cuando conducen, estén en zona activa. Por último, V_{POL} debe ser aproximadamente 1.2 V para una correcta polarización de nuestro circuito, y elegimos una corriente de polarización de I_{BLAS} de 2 mA.

4.3.2 Simulación de la Célula de Gilbert

El circuito que se va a simular es el mostrado en la Figura 4.48. A partir de ahora nos referiremos a este circuito como mezclador1.

Para generar la V_{LO} de nuestro circuito, hemos añadido un puerto a un *shifter* y dos *baluns*, (ver Figura 4.50), para poder introducir la señal de LO de forma diferencial y desfasada 90° .

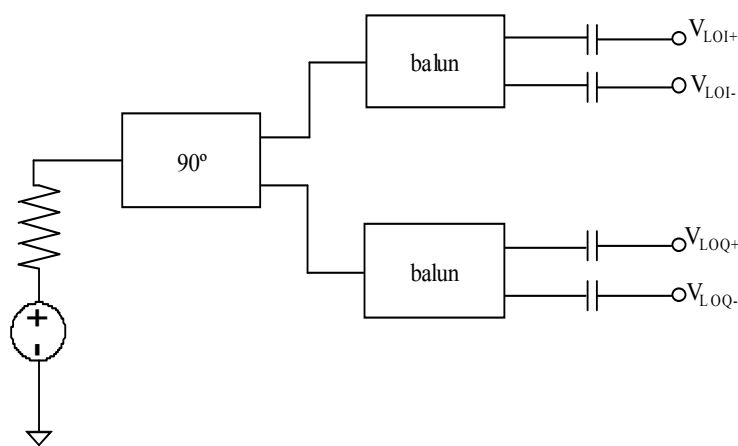


Figura 4.50 Generador de V_{LO} .

En cuanto a nuestra señal de RF , empleamos un puerto unido a un *balun* para hacer llegar a nuestro circuito la señal diferencial (ver Figura 4.51).

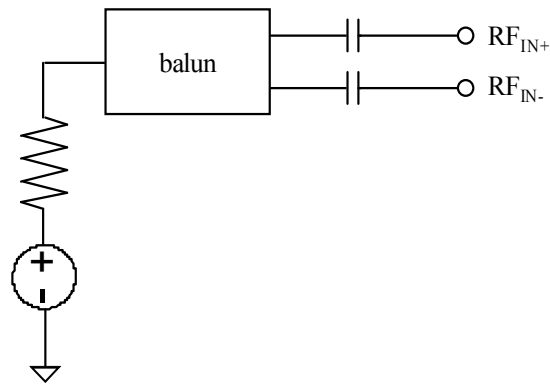


Figura 4.51 Entrada RF.

Una vez definidos los cálculos teóricos de corriente, tensiones de polarización y resistencias, se introdujeron en el esquemático junto con las frecuencias a las que trabaja el mezclador, y se realizaron diversas simulaciones con la finalidad de optimizar, como se comentó anteriormente, tanto la linealidad (IIP3) como la ganancia y figura de ruido.

Tras las primeras simulaciones, nos percatamos de que nuestro circuito no era lineal pero si tenía una elevada ganancia, con lo que optamos por establecer un valor de 0 mA en nuestras fuentes de corriente (I_{BIAS}) y a partir de aquí buscar unos valores óptimos para obtener linealidad a costa de ir perdiendo ganancia. Así, vamos ajustando el circuito añadiendo corriente en las fuentes I_{BIAS} jugando con el valor de las resistencias R_{RF} y R_{LO} para obtener un valor óptimo tanto para la linealidad como para la ganancia y la figura de ruido. A continuación, en la Tabla 4.11, procedemos a mostrar los valores de nuestro mezclador así como las simulaciones realizadas una vez optimizado el circuito.

Tabla 4.11 Valores de los componentes del mezclador1

V_{POL} (V)	V_{CC} (V)	V_{RF} (mV)	I_{BIAS} (mA)	<i>Dedos</i> (Q_{LO})	<i>Dedos</i> (Q_{RF})
1.6	1.8	800	1.7	18	4
R_{C1} (Ω)	R_{C2} (Ω)	R_{RF} (k Ω)	R_{LO} (k Ω)	C_{LO} (pF)	
100	50	15	12	1	

Establecidos los valores de los parámetros de nuestro mezclador1, comenzamos estudiando la ganancia de conversión, obteniendo un valor de 9.36 dB (ver Figura 4.52a).

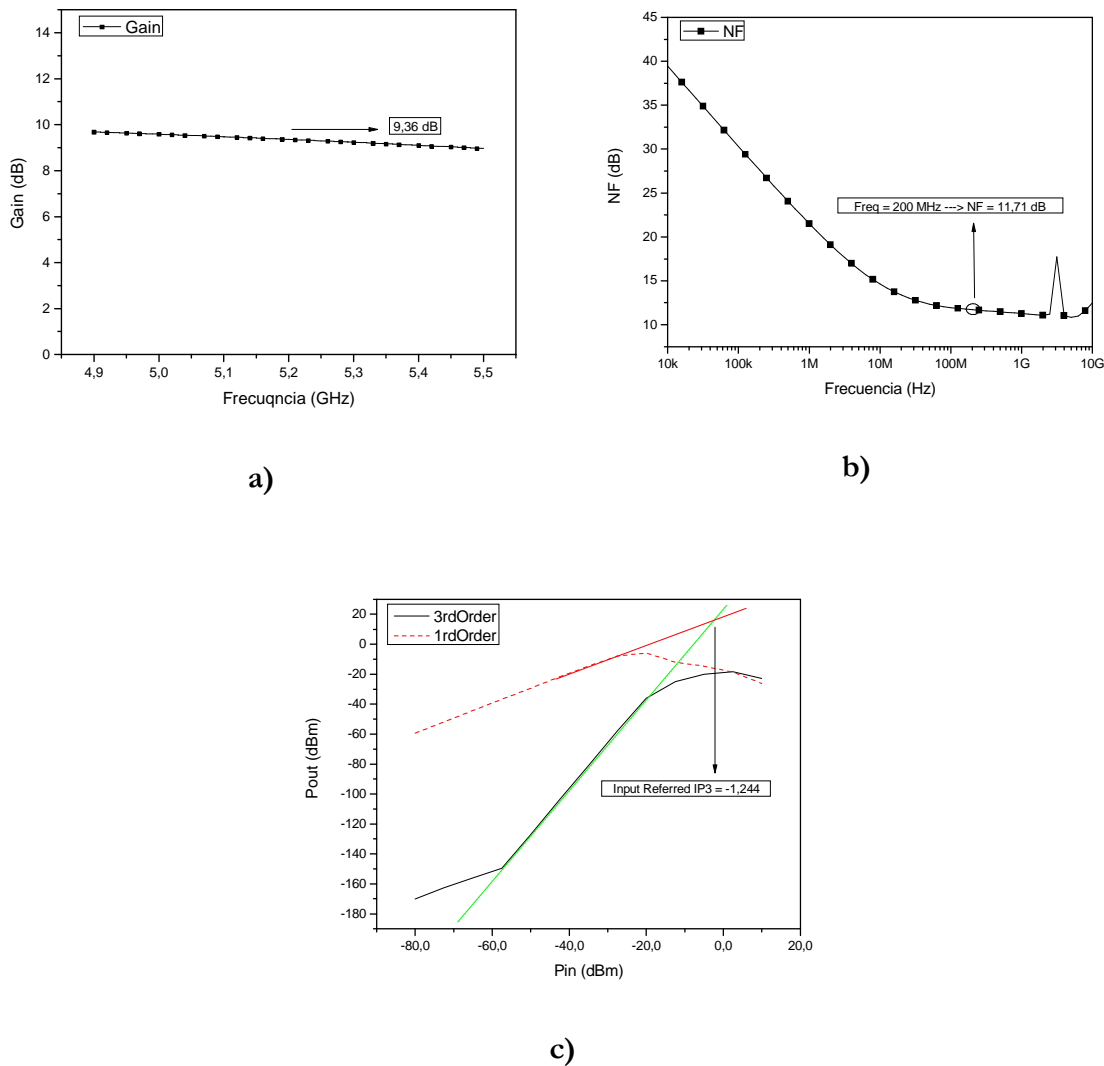


Figura 4.52 Simulación del mezclador1: a) Ganancia. b) Figura de ruido. c) IIP3.

Tras haber simulado la ganancia de nuestro mezclador, procedemos a comprobar la figura de ruido del mismo. En la Figura 4.52b, podemos apreciar el resultado de dicha simulación, obteniendo un valor de 11.71 dB a la frecuencia de 200 MHz.

A continuación hemos simulado la linealidad de nuestro circuito, obteniendo un IIP3 de -1.24 dBm.

En la Tabla 4.12 se resumen los resultados obtenidos a partir de las simulaciones anteriores de nuestro mezclador1.

Tabla 4.12 Cuadro resumen datos mezclador1

I (mA)	IIP3 (dBm)	Ganancia (dB)	Figura de ruido (dB)
3.5	-1.24	9.36	11.71

Una vez simulado el esquemático del mezclador basado en la célula de Gilbert doble balanceada en la que nos basamos (Figura 4.48), procedemos a sustituir los elementos de la librería básica de *Cadence* por elementos de la librería *UMC 0.18 μm* y realizar nuevamente las simulaciones de linealidad, ganancia y figura de ruido.

4.3.3 Simulación de la Célula de Gilbert con componentes de la librería UMC 0.18 μm

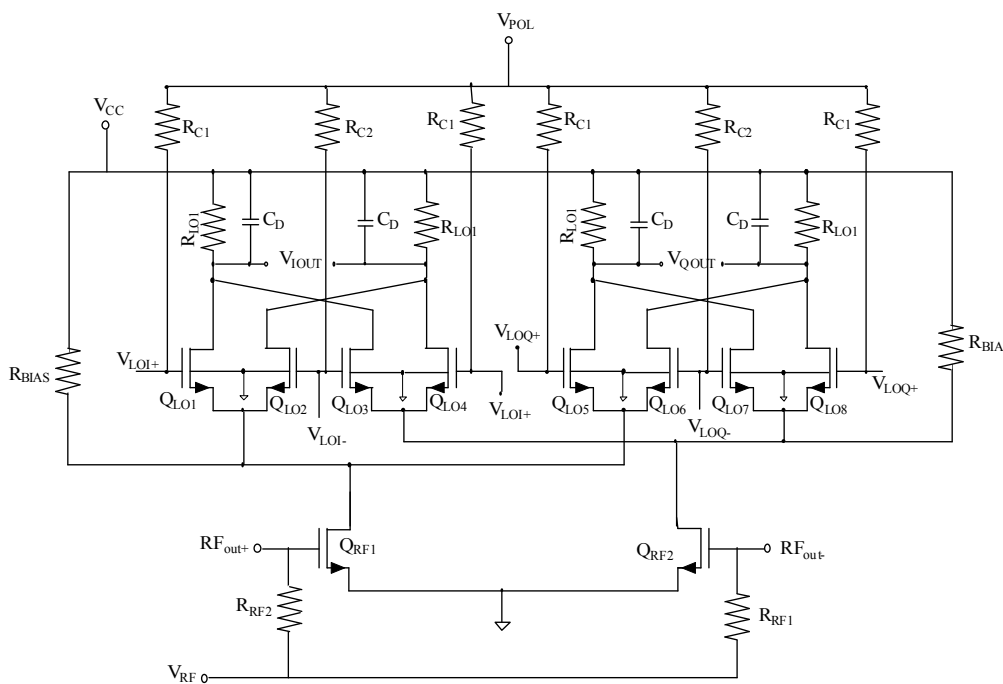


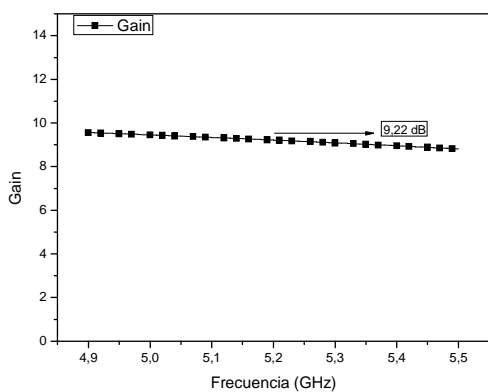
Figura 4.53 Mezclador1 con componentes de la librería UMC 0.18 μm.

A continuación se muestra una tabla resumen con los valores de los componentes pertenecientes a la librería *UMC 0.18 μm* que se emplean en el diseño de este mezclador, así como las tensiones de polarización, alimentación, *RF* y la corriente que éste consume, siendo esta de 1.7 mA.

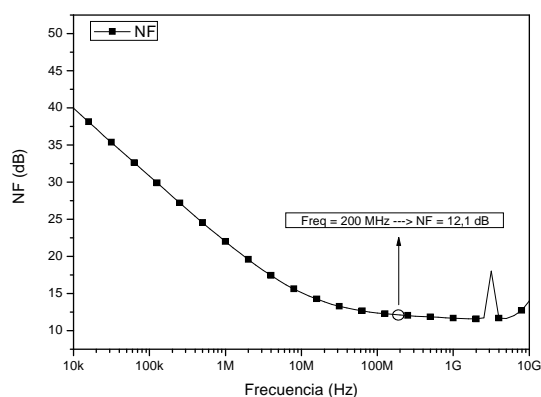
Tabla 4.13 Valores de los componentes del mezclador1 con componentes UMC 0.18 μm

V_{CC} (V)	V_{POL} (V)	V_{RF} (mV)	I_{BIAS} (mA)	Dedos (Q_{LO})	Dedos (Q_{RF})	C_{LO} (pF)
1.6	1.8	1	1.7	18	4	1
R_{C1} (Ω)	R_{C2} (Ω)	R_{RF} (K Ω)	R_{LO} (K Ω)	R_{DEG} (Ω)	C_{DEG} (pF)	R_{BIAS} (Ω)
100	50	15	12	110	1	549

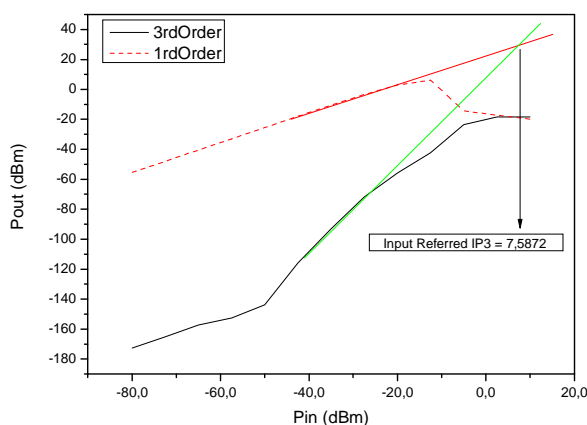
Simulando el mezclador1 con los elementos detallados en la tabla anterior, obtenemos los resultados plasmados a continuación en las Figura 4.54a, 4.54b y 4.54c, obteniendo una ganancia de conversión de 9.22 dB, una figura de ruido de 12.1 dB y un IIP3 de 7.58 dBm.



a)



b)



c)

Figura 4.54 Simulación del mezclador1 con componentes UMC 0.18 μm : a) Ganancia. b) Figura de ruido. c) Adaptación de entrada.

En la Tabla 4.14 presentamos un resumen de los datos recogidos tras la simulación del mezclador1 con elementos de la librería UMC 0.18 μm . También recogemos el consumo de corriente de este mezclador, siendo este de 3.8 mA.

Tabla 4.14 Cuadro resumen datos mezclador1 con componentes UMC 0.18 μm

I (mA)	IIP3 (dBm)	Ganancia (dB)	Figura de ruido (dB)
3.8	7.58	9.22	12.1

Con los datos recabados a partir de estas simulaciones damos por concluido el estudio del mezclador basado en la célula de Gilbert. Llegados a este punto decidimos añadir una degeneración capacitiva a este mezclador con la intención de formar nuestra etapa receptora completamente integrada a partir del *LN41* y esta nueva estructura de mezclador, que a partir de ahora conoceremos como mezclador2. Con ello pretendemos ahorrarnos el área que ocupan las bobinas, ya que con esta degeneración capacitiva obtendremos el efecto que nos aportan las bobinas. A continuación procedemos a realizar el estudio de este mezclador con la degeneración capacitiva añadida.

4.3.4 Simulación de la Célula de Gilbert con Degeneración Capacitiva

En la Figura 4.55 apreciamos el circuito del mezclador basado en la célula de Gilbert con la degeneración capacitiva, designado como mezclador2, y que pasaremos a diseñar a continuación. Nótese que el condensador de degeneración C_{DEG} se ha colocado en modo diferencial lo cual redundará en una mejora de la distorsión de segundo orden.

El proceso de diseño es exactamente igual que para el caso anterior y, por tanto, no se explicará en este apartado. Los resultados de dicho proceso de diseño se muestran en la Tabla 4.15.

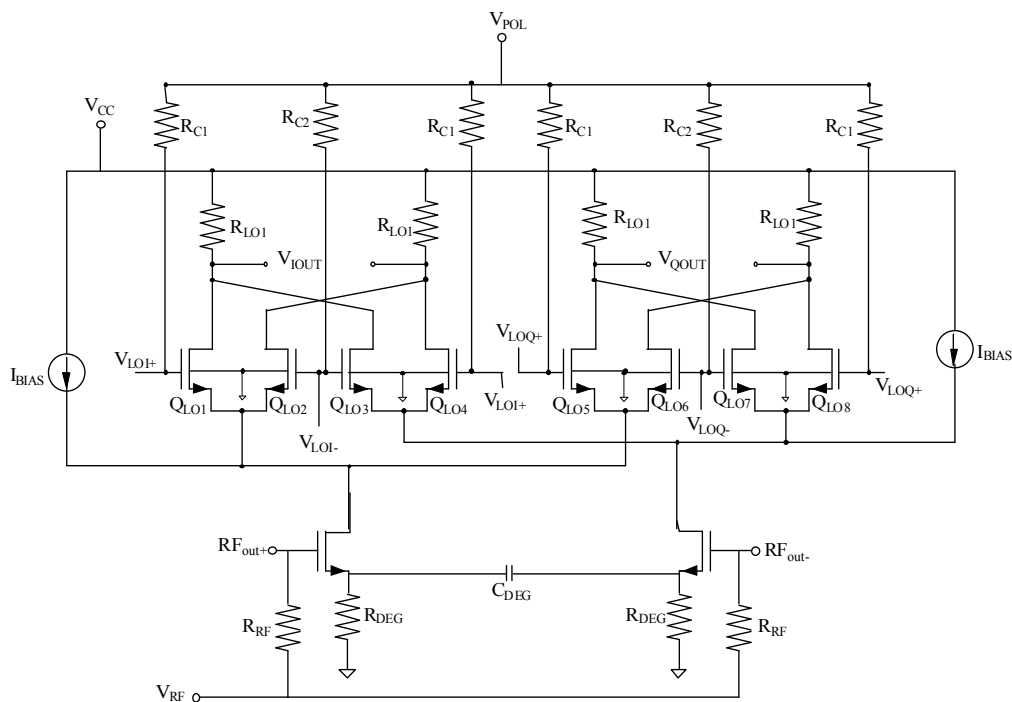


Figura 4.55 Mezclador2.

Tabla 4.15 Valores de los componentes del mezclador2

V_{POL} (V)	V_{CC} (V)	V_{RF} (V)	I_{BIAS} (mA)	<i>Dedos</i> (Q_{LO})	<i>Dedos</i> (Q_{RF})	C_{LO} (pF)
1.6	1.8	1	1.7	5	5	1
R_{C1} (Ω)	R_{C2} (Ω)	R_{RF} (k Ω)	R_{LO} (k Ω)	R_{DEG} (Ω)	C_{DEG} (pF)	
100	50	15	12	110	1	

Una vez estudiado nuestro circuito y establecidos los valores óptimos de diseño, comenzamos por simular la ganancia cuya respuesta podemos observar en la Figura 4.56a.

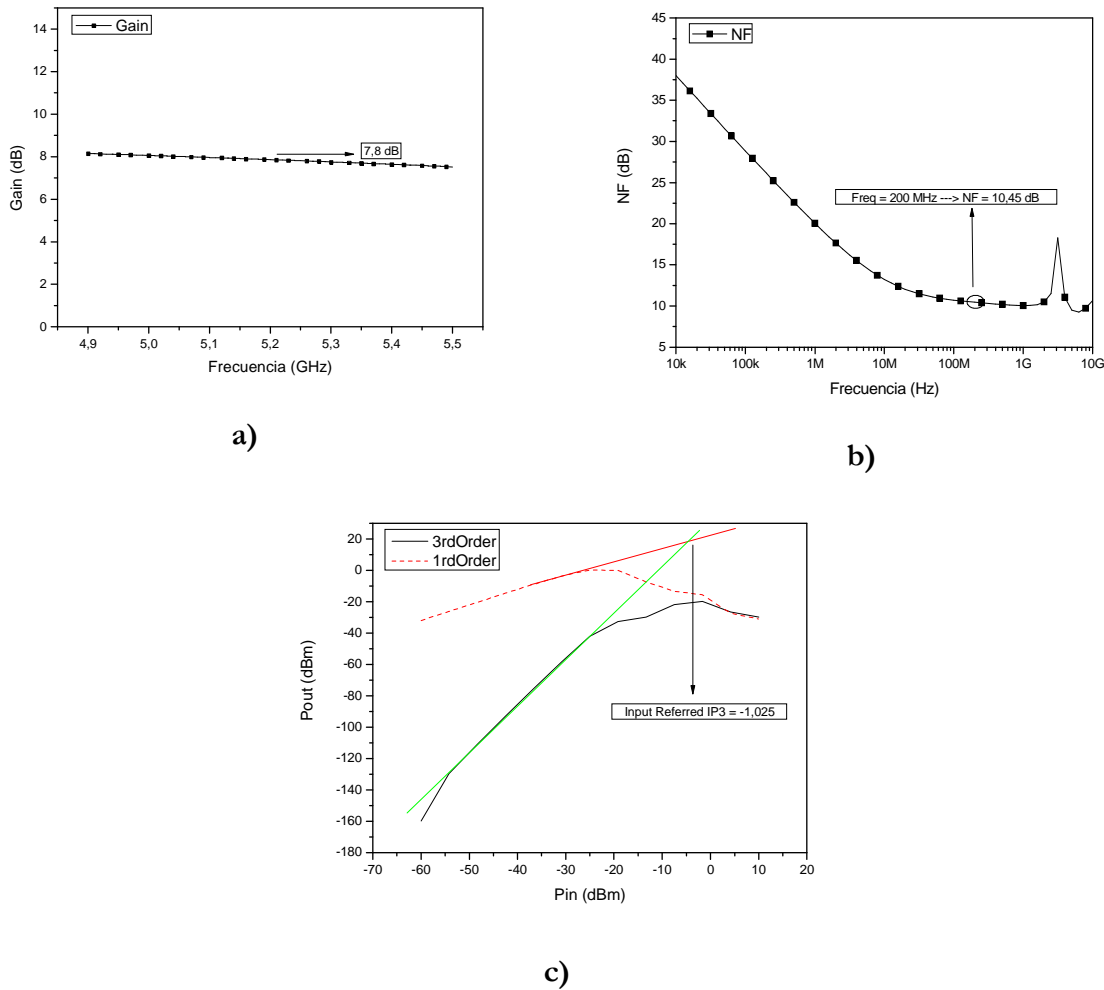


Figura 4.56 Simulaciones del mezclador2: a) Ganancia. b) Figura de ruido. c) IIP3.

A continuación procedemos a comprobar la figura de ruido que afecta a nuestro circuito, cuya respuesta vemos en la Figura 4.56b y donde podemos apreciar que tenemos 10.45 dB de figura de ruido.

Una vez simulada la ganancia y la figura de ruido, verificamos la linealidad de nuestro circuito simulando el IIP3 del mismo. En la Figura 4.56c podemos ver dicha simulación y apreciar que tenemos un IIP3 de -1.02 dBm.

En la Tabla 4.16 mostramos los datos recabados en los párrafos anteriores a partir de las simulaciones de ganancia, figura de ruido y linealidad de nuestro mezclador con degeneración capacitiva.

Tabla 4.16 Cuadro resumen datos mezclador2

I (mA)	IIP3 (dBm)	Ganancia (dB)	Figura de ruido (dB)
3.3	-1.02	7.8	10.45

Una vez simulamos el mezclador con componentes de las librerías básicas de *Cadence*, procedemos a sustituir los mismos por componentes de la librería *UMC 0.18 μm* (ver Figura 4.57) y realizar nuevamente las simulaciones para corroborar que nuestro mezclador con degeneración capacitiva se comporta de manera similar a la estudiada y diseñada.

4.3.5 Simulación de la Célula de Gilbert con Degeneración Capacitiva y componentes de la librería UMC 0.18 μm

En la Tabla 4.17 se muestran los valores de los componentes del mezclador con componentes de la librería *UMC 0.18 μm* mostrado en la Figura 4.57.

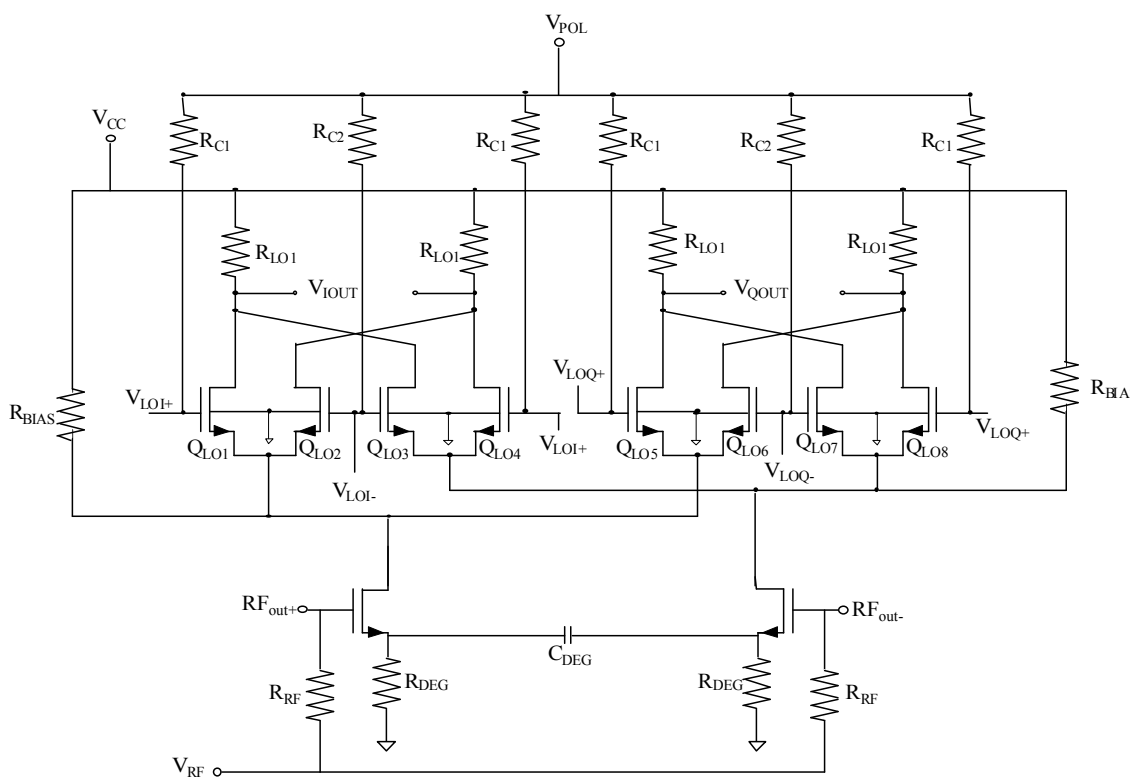


Figura 4.57 Mezclador2 con componentes UMC 0.18 μm.

Tabla 4.17 Valores de los componentes del mezclador2 con componentes UMC 0.18 μm

V_{POL} (V)	V_{CC} (V)	V_{RF} (V)	I_{BIAS} (mA)	<i>Dedos</i> (Q_{LO})	<i>Dedos</i> (Q_{RF})	C_{LO} (pF)
1.6	1.8	1	1.7	5	5	1
R_{C1} (Ω)	R_{C2} (Ω)	R_{RF} (K Ω)	R_{LO} (K Ω)	R_{DEG} (Ω)	C_{DEG} (pF)	R_{BIAS} (Ω)
100	50	15	12	110	1	400

En la Figura 4.58a podemos apreciar el resultado de llevar a cabo la simulación de la ganancia de nuestro mezclador con degeneración, obteniendo un valor de 7.77 dB.

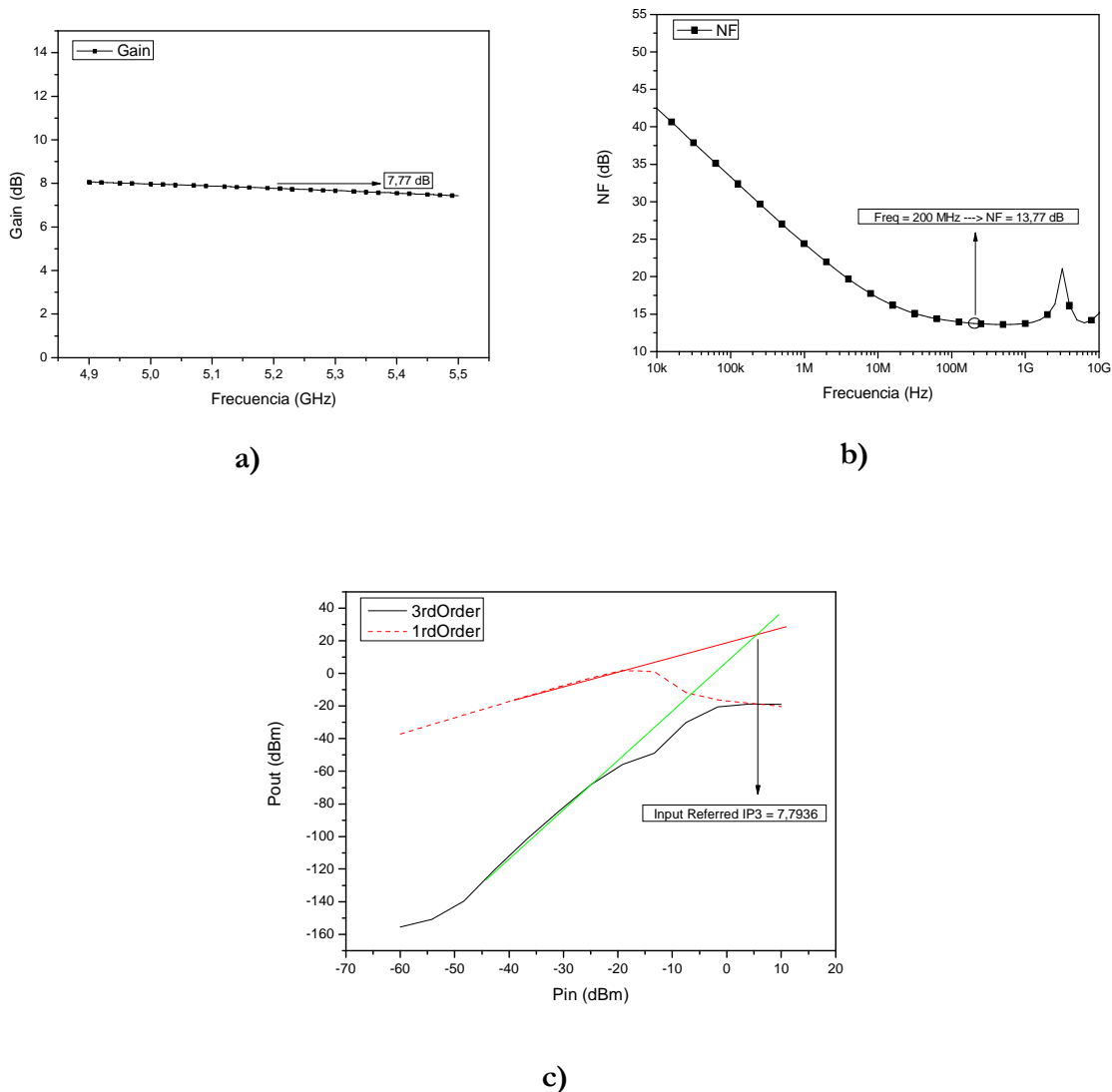


Figura 4.58 Simulaciones del mezclador2 con componentes UMC 0.18 μm : a) Ganancia. b) Figura de ruido. c) IIP3.

A continuación procedemos a simular la figura de ruido del mismo, apreciando en la Figura 4.58b su resultado, que es de 13.77 dB a una frecuencia de 200 MHz.

Para terminar el diseño de nuestro mezclador real con degeneración, simulamos la linealidad del mismo, obteniendo un IIP3 de 7.79 dBm.

Una vez realizadas las simulaciones mostradas anteriormente, realizamos una recopilación de los datos recabados en las mismas (ver Tabla 4.18).

Tabla 4.18 Cuadro resumen datos mezclador2 con componentes UMC 0.18 μ m

I (mA)	IIP3 (dBm)	Ganancia (dB)	Figura de ruido (dB)
3.6	7.79	7.77	13.77

Terminadas las simulaciones de los mezcladores a estudiar, tanto con componentes de las librerías básicas como de la librería UMC 0.18 μ m, mostramos a continuación una tabla comparativa con el resumen de los parámetros simulados así como del consumo de corriente, la tensión de polarización y la potencia consumida por cada uno de los mezcladores.

Tabla 4.19 Cuadro resumen mezcladores

	Mezclador1	Mezclador1 (UMC 0.18 μ m)	Mezclador2	Mezclador2 (UMC 0.18 μ m)
I (mA)	3.5	3.8	3.3	3.6
V _{CC} (V)	1.8	1.8	1.8	1.8
V _{POL} (V)	1.6	1.6	1.6	1.6
P (mW)	6.3	6.84	5.94	6.48
IIP3 (dBm)	-1.24	7.58	-1.02	7.79
Gain (dB)	9.36	9.22	7.8	7.77
NF (dB)	11.71	12.1	10.45	13.77

A partir de la Tabla 4.19 observamos que ambos mezcladores con componentes de las librerías básicas se comportan de manera similar, y al realizar la simulación con componentes

de la librería UMC 0.18 μm , el consumo de corriente es mayor, provocando un aumento en la figura de ruido y el IIP3 mientras que la ganancia se mantiene en ambos casos.

4.3.6 Diseño del Receptor formado por el LNA2 y el Mezclador sin Degeneración

Una vez estudiados los amplificadores y los mezcladores por separado, procedemos a la unión de ambos circuitos y el estudio de los mismos (ver Figura 4.59), siguiendo la misma metodología que hasta el momento. Para la unión, además de tener que poner unos condensadores para desacoplar la continua se tiene que ajustar la salida del LNA y la entrada del mezclador para que estén bien adaptados. A partir de este punto nos centraremos en las simulaciones sólo de los circuitos realizados con componentes UMC 0.18 μm .

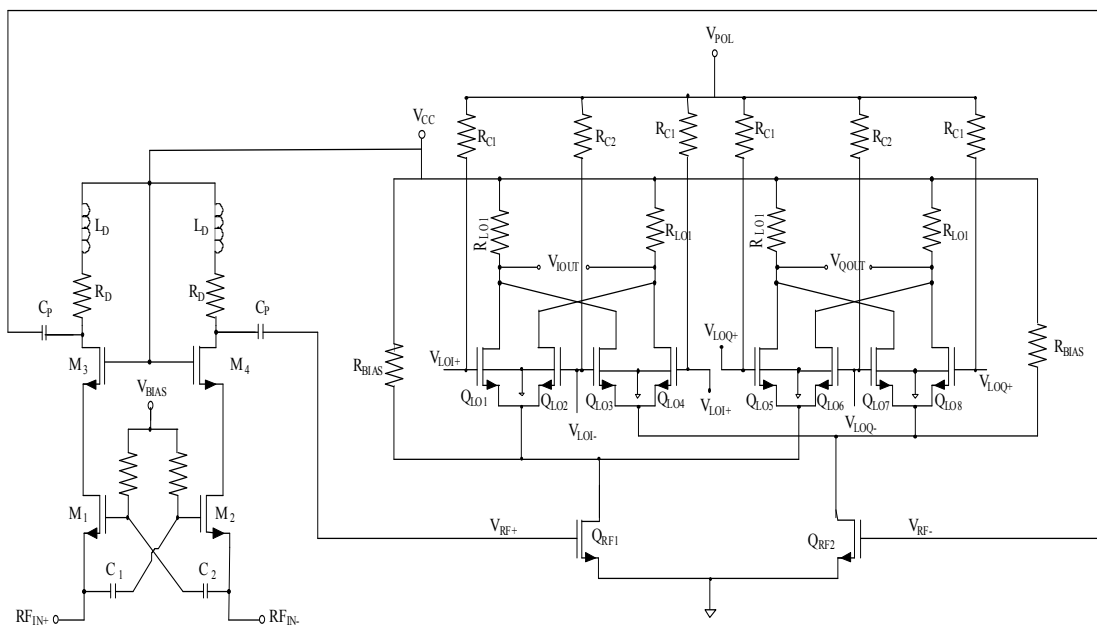


Figura 4.59 LNA2 y mezclador1.

Simulando los parámetros en los que hemos basado el diseño de estos circuitos, obtenemos las figuras que se presentan a continuación.

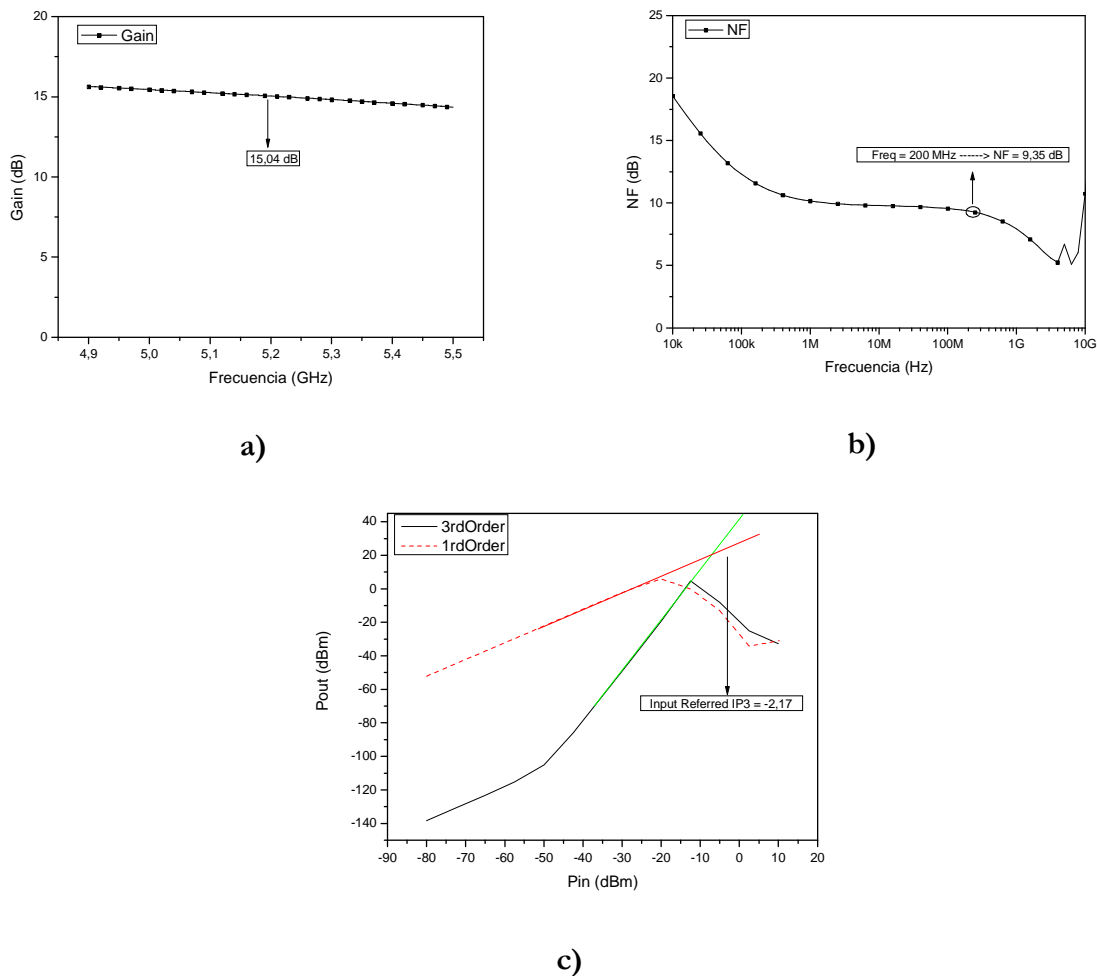


Figura 4.60 Simulación del LNA2 y mezclador1: a) Ganancia. b) Figura de ruido. c) IIP3.

Fijándonos en la Figura 4.60, observamos que el circuito formado por el *LNA2* y el mezclador sin degeneración tiene una ganancia de 15.04 dB a la frecuencia de 5.2 GHz. una figura de ruido de 9.35 dB a la frecuencia de 200 MHz y un IIP3 de -2.17 dBm.

En la Tabla 4.20 mostramos un resumen de los datos comentados en el párrafo anterior, añadiendo el consumo de corriente del mismo, siendo este de 14 mA.

Tabla 4.20 Cuadro resumen datos LNA2 y mezclador1

I (mA)	IIP3 (dBm)	Ganancia (dB)	Figura de ruido (dB)
14	-2.17	15.04	9.35

4.3.7 Diseño del Receptor formado por el LNA1 y el Mezclador con Degeneración

Una vez estudiado el circuito con carga inductiva, a continuación presentamos el amplificador de bajo nivel de ruido con carga capacitiva, unido al mezclador con degeneración.

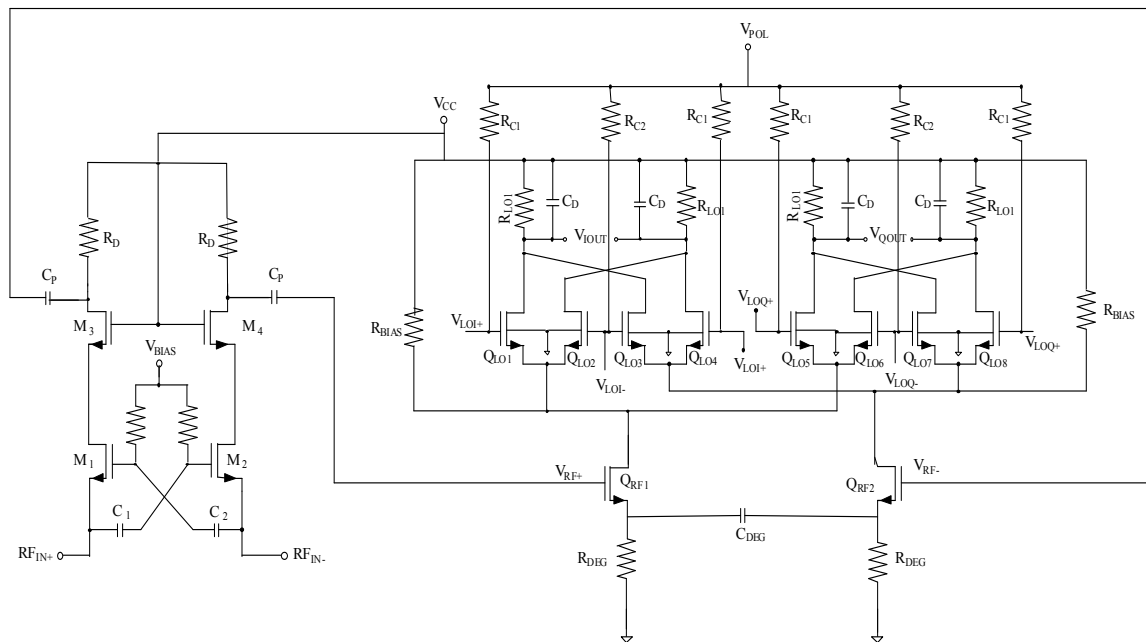
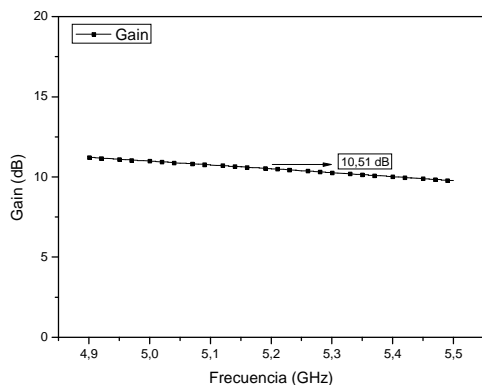
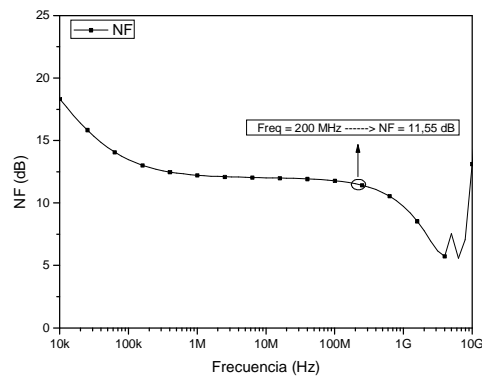


Figura 4.61 LNA1 y mezclador2.

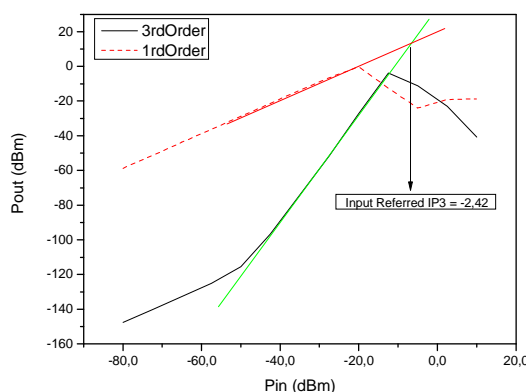
Procedemos a simular los parámetros en los que nos hemos basado para el diseño de este circuito obteniendo las respuestas presentadas en la Figura 4.62.



a)



b)



c)

Figura 4.62 Simulación del LNA1 y mezclador2: a) Ganancia. b) Figura de ruido. c) IIP3.

Como podemos ver en las Figura 4.62a, 4.62b y 4.62c, el circuito formado por el amplificador1 y el mezclador2 tiene una ganancia de 10.51 dB, una figura de ruido de 11.55 dB y un IIP3 de -2.42 dBm. Con todo ello presentamos a continuación una tabla en la que se aprecian dichos datos y el consumo de corriente de este circuito, siendo de 11.08 mA.

Tabla 4.21 Cuadro resumen datos LNA1 y mezclador2

I (mA)	IIP3 (dBm)	Ganancia (dB)	Figura de ruido (dB)
11.08	-2.42	10.51	11.55

4.4 Resumen

Una vez analizados los circuitos, mostramos a continuación una tabla con los datos obtenidos a partir de las simulaciones anteriores. Destacamos que el LNA2 unido al mezclador1 tienen un consumo de 14 mA, ofreciéndonos una ganancia de 15.04 dB, una figura de ruido de 9.35 dB y un IIP3 de -2.17 dBm. Por contra, el LNA1 unido con el mezclador2 consumen 11.08 mA, aportándonos una ganancia de 10.51 dB, una figura de ruido de 11.55 dB y un IIP3 de -2.42 dBm.

Tabla 4.22 Cuadro resumen LNAs y mezcladores

	LNA2 y mezclador1 (UMC 0.18 μm)	LNA1 y mezclador2 (UMC 0.18 μm)
I (mA)	14	11.08
V_{CC} (V)	1.8	1.8
V_{BIAS} (mV)	850	850
V_{POL} (V)	1.6	1.6
V_{LO} (V)	1.2	1.6
P_{LO} (dBm)	3	3
V_{RF} (V)	800 m	1
P_{RF} (dBm)	-74	-74
P (mW)	25.2	19.94
Gain (dB)	15.04	10.51
NF (dB)	9.35	11.55
IIP3 (dBm)	-2.17	-2.42

Como resumen podemos decir que en este capítulo se ha realizado el diseño a nivel de esquemático de dos etapas receptoras para *UWB*. Comenzamos con el diseño de un amplificador de bajo nivel de ruido en puerta común con carga resistiva. Tras la simulación del mismo y comprobado su precario ancho de banda, hemos decidido añadirle una bobina en serie a la carga obteniendo así una carga *shunt-peaking*.

Una vez simulado este amplificador y comprobado el aumento en el ancho de banda hemos continuado con el diseño del mezclador, que junto con dicho amplificador forman la etapa receptora en la que trabajamos. Una vez simulado el mezclador basado en la célula de Gilbert, optamos por añadirle una degeneración capacitiva con el fin de conseguir el mismo efecto que tenemos al incluir la carga *shunt-peaking* en el *LNA2*, y evitar el uso de bobinas para aumentar el ancho de banda ya que esta ocupa una gran área.

Para ello se han realizado todas las simulaciones pertinentes variando cada uno de los parámetros de los componentes utilizados. A la hora de hacer las simulaciones nos hemos apoyado en la teoría básica de diseño de circuitos integrados para radiofrecuencia así como en el estudio teórico que se ha realizado del circuito en el capítulo 3.

Una vez diseñadas y optimizadas las estructuras mencionadas anteriormente, hemos realizado la unión del *LNA2* y el mezclador sin degeneración, y del *LNA1* y el mezclador con degeneración capacitiva, comprobando que ambos circuitos se comportan de manera similar pero ahorrando un gran área evitando las bobinas del *LNA2*.

En el siguiente capítulo pasaremos a hacer el diseño a nivel de *layout* con la herramienta de diseño *Cadence*. Para ello nos basaremos en los resultados obtenidos en este capítulo.

CAPÍTULO 5

LAYOUT DE LOS CIRCUITOS

En el capítulo anterior se realizó uno de los pasos más importantes, el diseño a nivel de esquemático de los diferentes circuitos que estudiamos en este proyecto. Una vez realizado, seguimos con el siguiente paso: el diseño a nivel de *layout* y simulación *post-layout*.

El *layout* consiste en definir los planos de fabricación del circuito integrado. Para desarrollarlo se han utilizado los resultados obtenidos en el capítulo anterior, la tecnología con sus reglas de diseño y la herramienta de diseño *Cadence*.

5.1 Proceso de Diseño

Para la realización del *layout* utilizamos la herramienta *Virtuoso* integrada dentro del software *Cadence*, que a su vez integra la herramienta de verificación física *CALIBRE*. Esto nos va a permitir, no sólo realizar el *layout* del circuito sino, además, hacer las simulaciones *post-layout*.

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, anchos mínimos de las pistas, etc. Para comprobar que se cumplen todas estas reglas se realiza un *DRC* (*Design Rule Check*), siendo éste un programa que verifica cada una de las partes del *layout* comparándola con las reglas de diseño del proceso empleado. Se testea cada extremo con sus bordes vecinos para comprobar violaciones de ancho y separación de pistas. Si se ha violado alguna de estas reglas, la herramienta nos indica dónde se ha producido. Tras haber realizado el *DRC*, seguiremos un proceso de verificación *LVS* (*Layout Versus Schematic*). Esto nos asegurará que la célula realizada a nivel de *layout* sea idéntica a la realizada a nivel de esquemático. Una vez realizados el *DRC* y el *LVS* con éxito, se necesita el modelo equivalente de nuestro circuito incluyendo los parásitos que introducen por ejemplo las pistas de conexión que no se tenían en cuenta en el diseño a nivel de esquemático. Para ello utilizamos *PEX* que es otra función de *CALIBRE*. Con este modelo extraído del *layout* podemos simular el circuito y así verificar su correcto funcionamiento.

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común *V_{dd}* o tierra.
- El sustrato debe estar conectado a tierra.

- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos.

Otro de los aspectos importantes es el referido al consumo de potencia del circuito. Éstos toman especial relevancia en el dimensionado de las pistas de interconexión de los componentes. Así, hemos de saber qué cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo (ver Tabla 5.1). Para asegurarnos de que no se destruya ninguna parte del circuito, se han sobredimensionado las anchuras mínimas. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas.

Dependiendo para lo que vaya a ser usado estos metales nos puede interesar utilizar todo el espacio disponible o tan sólo el necesario. Generalmente, las pistas se han sobredimensionado para evitar posibles roturas teniendo en cuenta que las pistas anchas implican una gran capacidad, y las pistas finas y largas una gran resistencia. Por otro lado hemos establecido unas dimensiones de pistas de alimentación sobredimensionadas al máximo aprovechando los espacios vacíos, para que esa capacidad parásita grande que implica nos filtre cualquier ruido que viniera con dichas tensiones de alimentación y procurar que nos afecten lo menos posible a las prestaciones del circuito. En cambio para las señales de *RF*, *LO* e *IF* nos interesa que esta capacidad sea muy pequeña para que nos influya lo menos posible, con lo que estas pistas serán más finas.

Tabla 5.1 Dimensiones mínimas de los materiales con respecto al flujo de corriente

Metal 1	Metal 2	Metal 3	Metal 4	Metal 5	Metal 6
0,87 mA/um	1,03 mA/um	1,03 mA/um	1,03 mA/um	1,03 mA/um	1,74 mA/um

Otra consideración a tener en cuenta es que se debe colocar contactos al sustrato en las zonas del chip que quedan vacías. Esto se hace para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito.

Hemos utilizado la técnica del centroide común para la realización de ambos circuitos ya que con ella conseguimos minimizar el efecto de las dispersiones que se puedan producir durante el proceso de fabricación de transistores que deben estar bien apareados, como es el caso de los pares diferenciales. Para conseguir esto utilizamos esta técnica que pretende que los

transistores usados en cada rama del mezclador sean idénticos. Para conseguirlo, los transistores deben tener el mismo centro geométrico de forma que las dispersiones producidas les afecten de la misma manera. El patrón utilizado en todo el diseño es el de *arrays* unidimensionales (ABCDDCBA), el cual tiene un eje de simetría que divide en dos el conjunto, formando una de las mitades un espejo con la otra (ABCD y DCBA). Para conseguir esta estructura lo que se hace es realizar una división de los transistores por multiplicidad, es decir, que a partir de un transistor se obtienen dos transistores con unas dimensiones tales que consiguen la equivalencia con el de partida.

Por ejemplo, si tenemos el par diferencial de la Figura 5.1 formado por dos transistores M_a y M_b acoplados por la fuente.

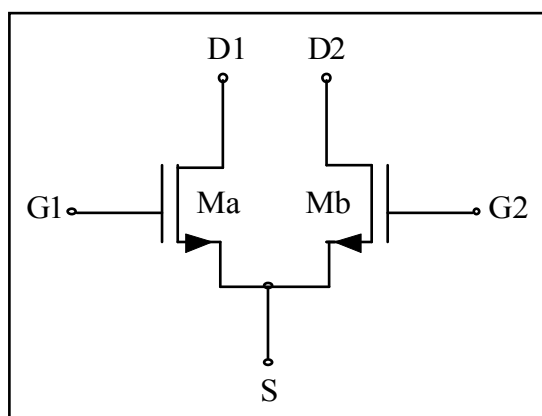


Figura 5.1 Par diferencial.

Para conseguir la máxima simetría entre estos dos componentes, dividimos los transistores en 2 y los colocamos como se muestra en la Figura 5.2, donde comparten un centro común.

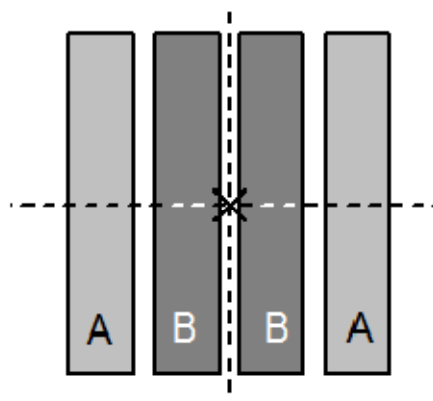


Figura 5.2 Técnica del centroide común.

Además, para minimizar el efecto de las dispersiones conviene implementar los transistores de forma que el sentido de la corriente sea el mismo en un par de transistores que se desea que se comporten idénticamente [18].

5.2 Layout de los LNAs

A la hora de realizar el *layout* de nuestros amplificadores, intentamos que las dos ramas que los componen sean simétricas para poder despreciar el efecto de las conexiones del chip con el exterior. A pesar de ello, siempre tendremos la influencia de posibles dispersiones, las cuales dependen sobre todo de dónde esté situado el circuito integrado dentro de la oblea y actúan siempre de manera lineal y en una dirección determinada.

Se pueden distinguir varios tipos de dispersiones, como por ejemplo:

- Variación en el espesor de la capa de óxido. Esto afecta a la capacidad C_{OX} y, por lo tanto, a las capacidades parásitas del transistor.
- Variación en el número de impurezas. Esto afecta a la movilidad de los electrones y, como consecuencia, al valor de la transconductancia del transistor.
- Variación del tamaño de los transistores. Afecta al valor de la transconductancia, capacidades parásitas y resistencia del transistor.

En la Figura 5.3 se muestra el *layout* del *LNA* resistivo (*LNA1*), y en la Figura 5.4 observamos el *layout* del *LNA* con carga inductiva (*LNA2*). Se puede apreciar la disposición de los distintos componentes, destacando las bobinas debido a su tamaño comparado con los demás componentes del circuito.

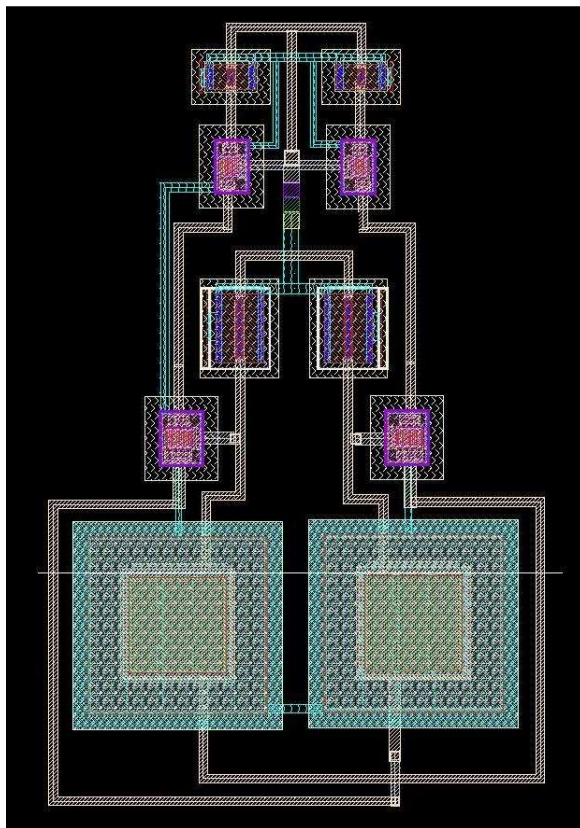


Figura 5.3 Layout LNA1.

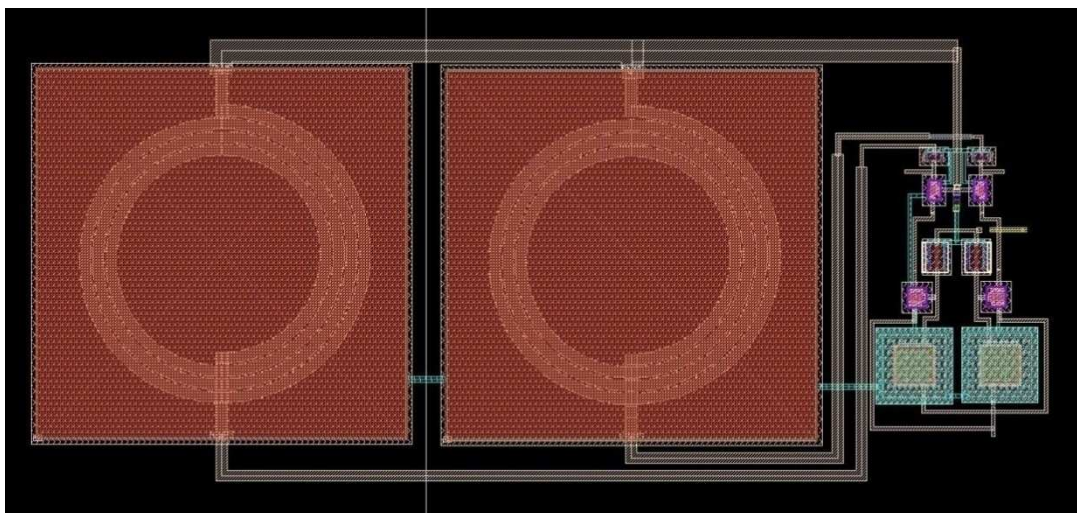
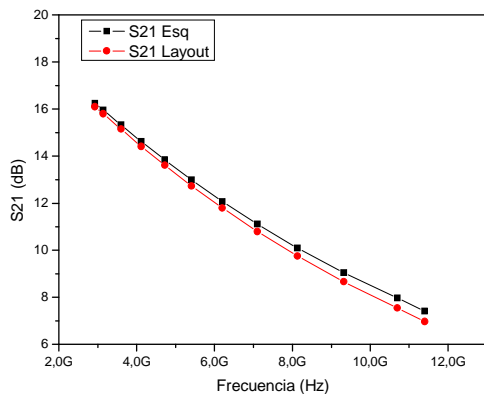


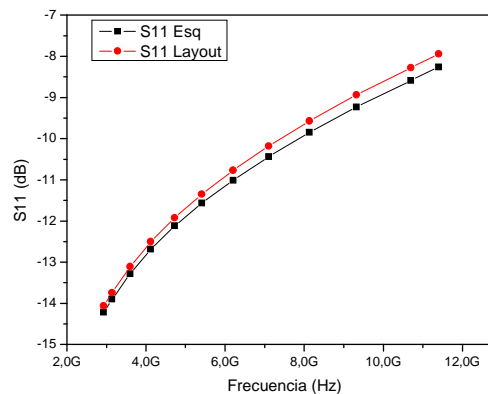
Figura 5.4 Layout LNA2.

5.2.1 Simulaciones Post-Layout de los LNAs

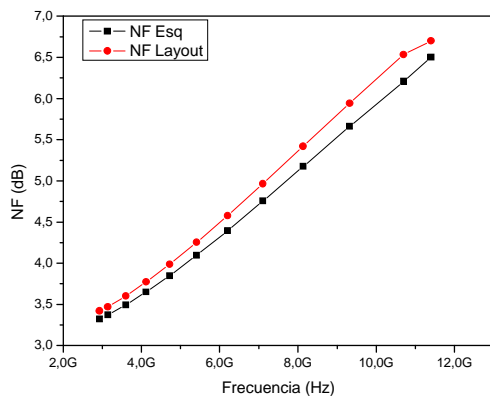
Una vez realizado los *layout*, el *DRC*, el *LVS* y el *PEX*, se hicieron las simulaciones *post-layout* para comprobar el correcto funcionamiento de los circuitos y comparar los datos con los obtenidos a nivel de esquemático. En la Figura 5.5 se muestran los resultados obtenidos para el *LNA1*.



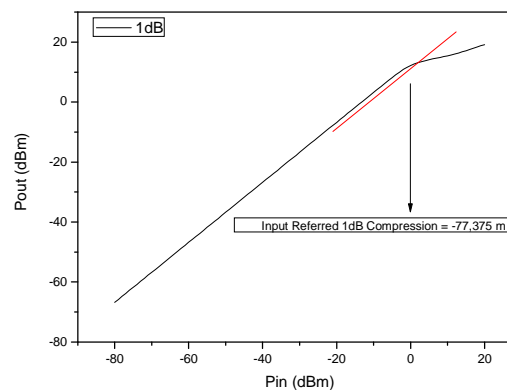
a)



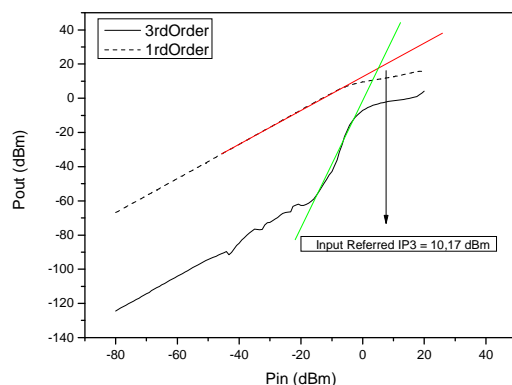
b)



c)



d)



e)

Figura 5.5 Simulaciones del LNA1: a) Ganancia. b) Figura de ruido. c) Adaptación de entrada. d) Punto de compresión a 1dB. e) IIP3.

La ganancia del circuito se encuentra entre 16 dB y 7 dB para la banda de 3.1 a 10.6 GHz, con una figura de ruido que varía entre 3.5 y 6.5 dB para la misma banda de frecuencias, siendo ésta similar a la obtenida simulando el circuito a nivel de esquemático (ver Figura 5.5a y 5.5b). En la Figura 5.5c podemos apreciar la adaptación de entrada de este circuito, estando ésta entre -14 dB y -8 dB para la banda de 3.1 a 10.6GHz.

Una vez simulados los parámetros anteriores, seguimos con la simulación del punto de compresión a 1dB y el IIP3 (ver Figura 5.5d y 5.5e). En la primera de ellas obtenemos un valor de -0.07 dBm y en la siguiente un IIP3 de 10.17 dBm.

Todas las simulaciones se han realizado con una tensión de alimentación de 1.8 V, siendo el consumo del circuito de 7.4 mA.

A continuación realizamos la simulación del amplificador con carga inductiva, presentando en la Figura 5.6 la ganancia, la figura de ruido, la adaptación de entrada, el punto de compresión a 1dB y el IIP3.

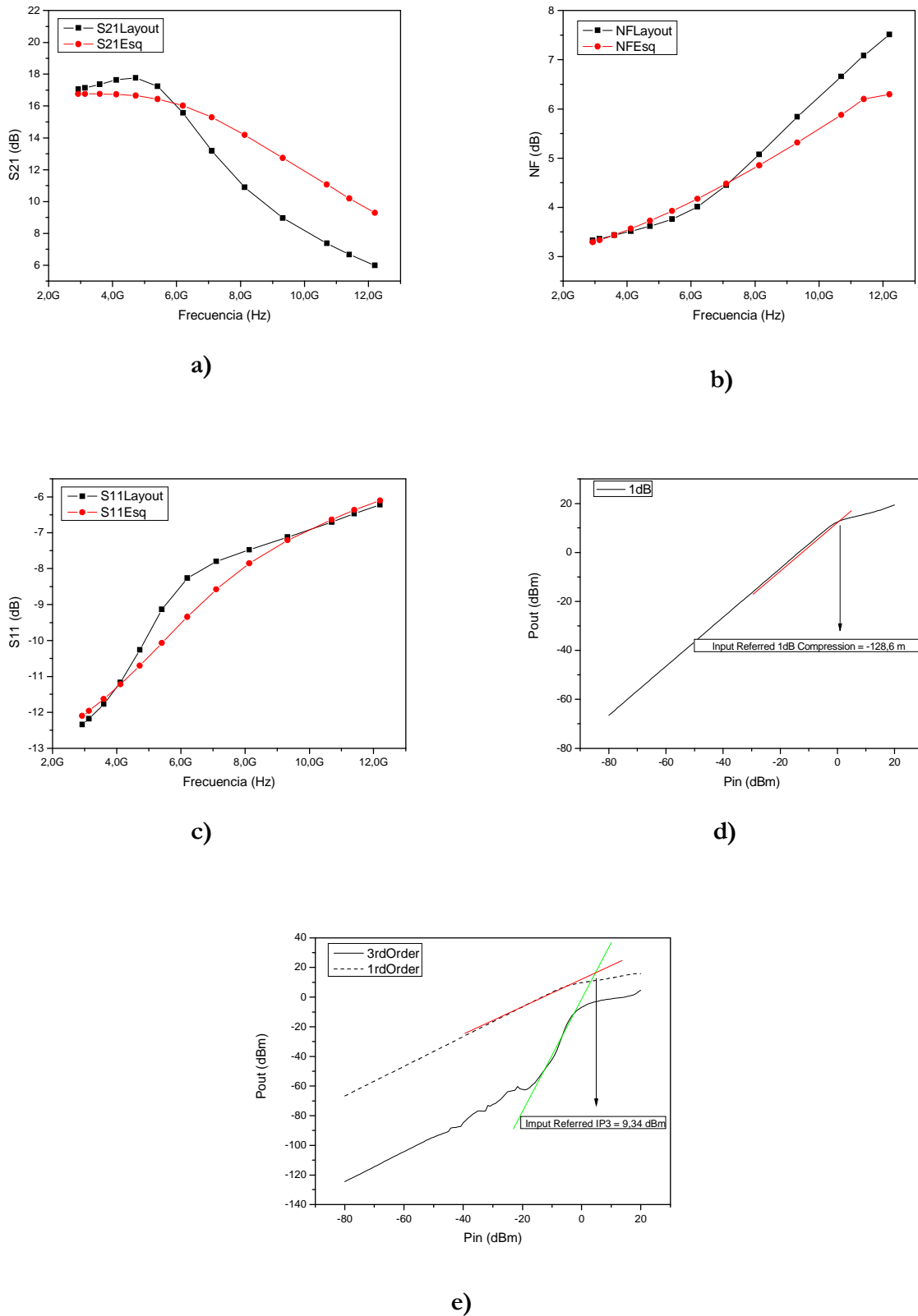


Figura 5.6 Simulaciones del LNA2. a) Ganancia. b) Figura de ruido. c) Adaptación de entrada. d) Punto de compresión a 1dB. e) IIP3.

La ganancia de nuestro LNA2 varía desde 16.83 dB a 4.06 dB en la banda de UWB, con una figura de ruido en el rango de 3.38 dB a 7.08 dB y una adaptación de entrada entre -13.7 dB a -5.41 dB como podemos apreciar en las Figuras 5.6a, 5.6b y 5.6c. En las Figuras 5.6d y 5.6e podemos apreciar la linealidad del circuito, obteniendo un punto de compresión a 1dB en torno a los 0 dBm y un IIP3 de 9,34 dBm.

Todas las simulaciones se han realizado con una tensión de alimentación de 1.8 V, siendo el consumo del circuito de 10.34 mA.

Como resumen podemos apreciar en la Tabla 5.2 las prestaciones de ambos amplificadores, comparando los datos obtenidos de la simulación a nivel de esquemático y la simulación *post-layout*.

Tabla 5.2 Cuadro resumen datos LNA

	Esquemático LNA1 (resistivo)	Layout LNA1 (resistivo)	Esquemático LNA2 (shunt-peaking)	Layout LNA2 (shunt-peaking)
I (mA)	7.48	7.4	10.2	10.34
V _{CC} (V)	1.8	1.8	1.8	1.8
V _{BIAS} (mV)	850	850	850	850
V _{RF} (V)	1	1	800 m	800 m
P (mW)	13.46	13.32	18.36	18.61
NF (dB)	3.37 – 6.20	3.41 – 6.53	3.33 – 5.87	3.38 – 7.08
S11 (dB)	-13.9 – -8.58	-14.06 – -7.943	-11.96 – -6.63	-13.7 - -5.41
S21 (dB)	15.96 – 7.96	16.1 – 6.96	16.76 – 11.07	16.83 – 4.06
P1 dB (dBm)	0	0	0	0
IIP3 (dBm)	12.41	10.17	11.71	9.34

Observamos que la corriente consumida en ambos casos es prácticamente la misma tanto del circuito a nivel de esquemático como en *layout*, en consecuencia las variaciones que se aprecian en las diferentes simulaciones son debidas a los parásitos de los componentes del circuito.

5.3 Layout de los Mezcladores

En la Figura 5.7 se muestra el *layout* del mezclador basado en la célula de Gilbert (mezclador 1), y en la Figura 5.8 observamos el *layout* del mezclador basado en la célula de Gilbert con degeneración capacitiva (mezclador 2). Se aprecia la disposición de los distintos componentes, destacando el tamaño de los condensadores respecto al resto de los componentes del circuito.

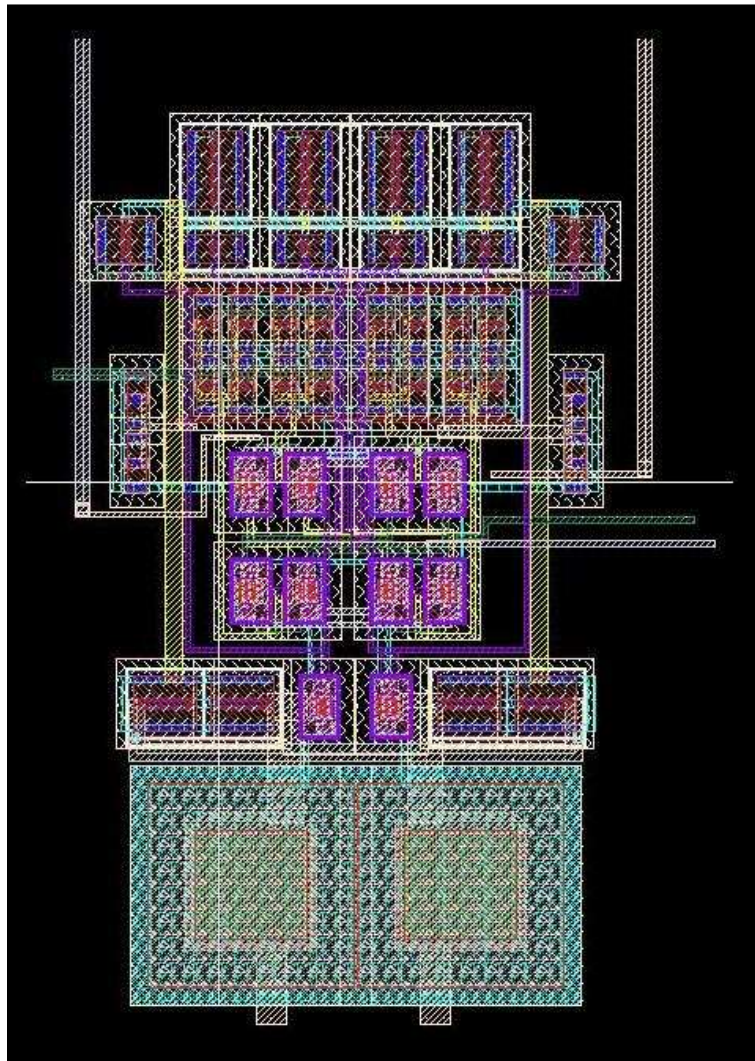


Figura 5.7 Layout del mezclador basado en la célula de Gilbert.

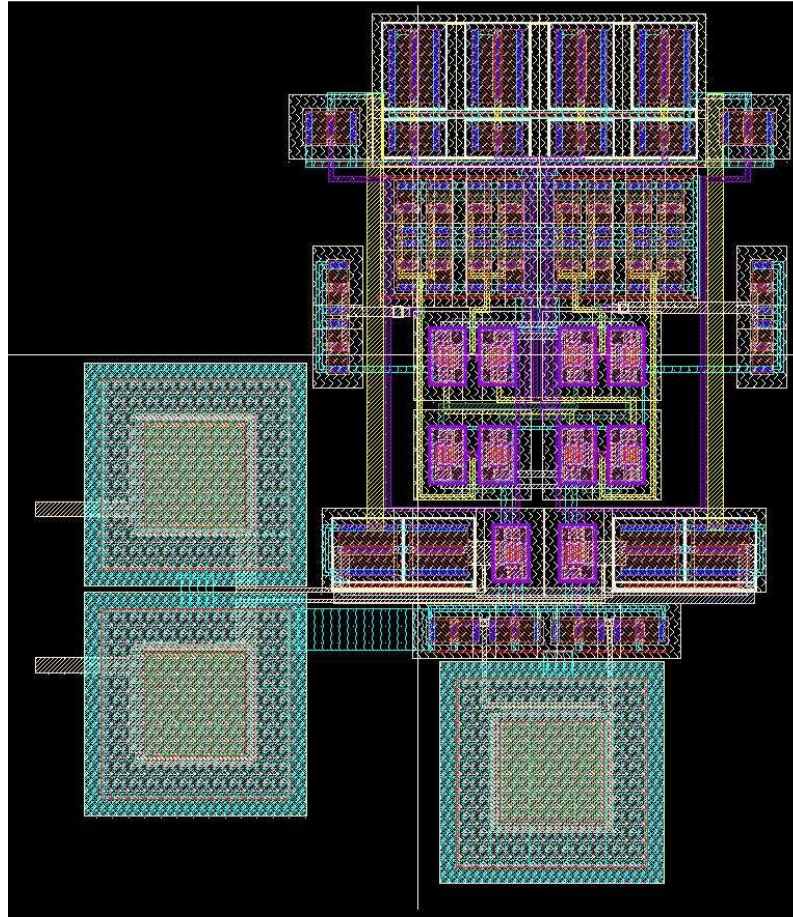


Figura 5.8 Layout del mezclador basado en la célula de Gilbert con degeneración capacitiva.

5.3.1 Simulaciones Post-Layout de los Mezcladores

Tras realizar el *layout* de los mezcladores, continuamos en este apartado con la simulación *post-layout* de los mezcladores previo paso por las reglas de diseño (*DRC*), comparación de esquemático y *layout* (*LVS*) y extraído (*PEX*). Comenzamos con la simulación de la ganancia, la figura de ruido, y la linealidad del mezclador1 (ver Figura 5.9).

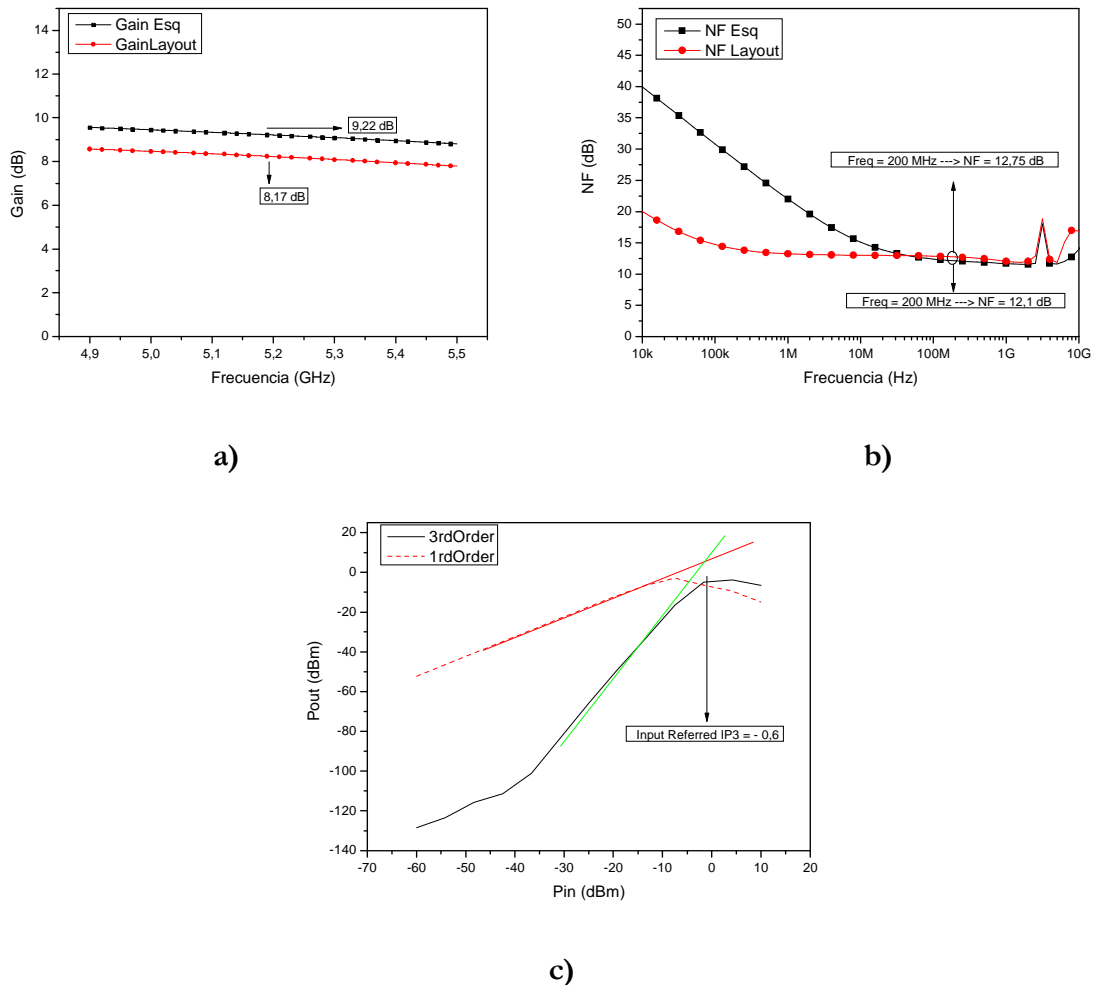


Figura 5.9 Simulaciones del mezclador basado en la célula de Gilbert: a) Ganancia. b) Figura de ruido. c) IIP3.

La ganancia del circuito desciende de los 9.22 dB que teníamos a nivel de esquemático, hasta los 8.17 dB que obtenemos a nivel de *layout*.

La figura de ruido del mezclador sin degeneración a la frecuencia de 200 MHz es de 12.7 dB, frente a los 12.1 dB que teníamos simulando el circuito esquemático (ver Figura 5.9b).

El cálculo del IIP3 está en torno a 0 dBm, mientras que en la simulación realizada en el capítulo anterior a nivel de esquemático teníamos un IIP3 de 7.68 dBm.

Todas las simulaciones se han realizado con una tensión de alimentación de 1,8 V y un consumo de 4,03 mA.

A continuación realizamos el mismo procedimiento con el mezclador2. En la Figura 5.10 se muestran los resultados obtenidos.

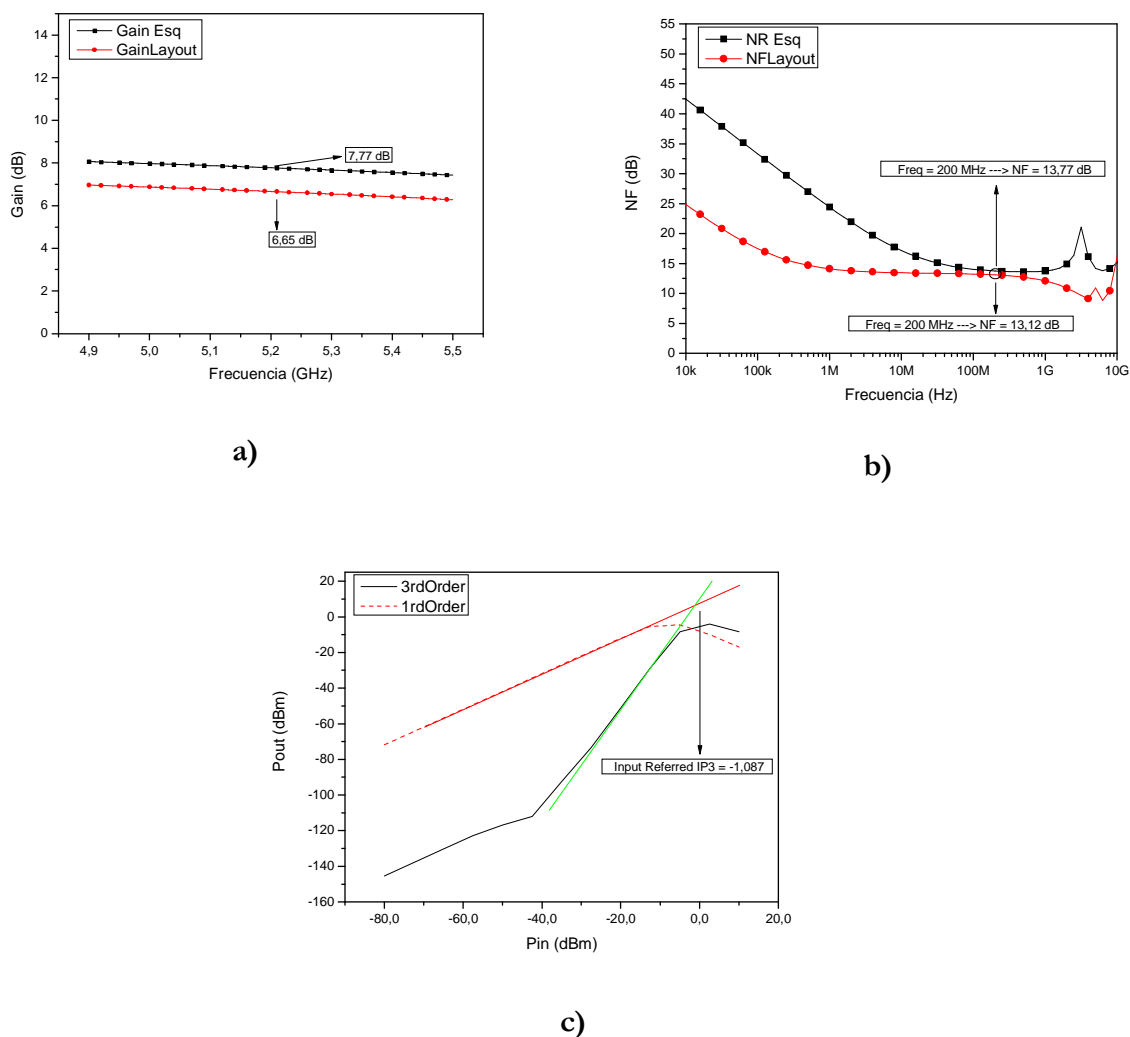


Figura 5.10 Simulaciones del mezclador basado en la célula de Gilbert con degeneración capacitiva: a) Ganancia. b) Figura de ruido. c) IIP3.

La ganancia del mezclador con degeneración es de 6.65 dB, frente a los 7.77 dB que teníamos en la simulación a nivel de esquemático.

La figura de ruido a la frecuencia de 200 MHz es de 13.12 dB, siendo esta similar a la obtenida en la simulación a nivel de esquemático, donde obteníamos un valor de 13,77 dB, a continuación apreciamos la simulación de la linealidad de dicho mezclador siendo ésta de -1.08 dBm (ver Figura 5.10a, 5.10b y 5.10c).

Todas las simulaciones se han realizado con una tensión de alimentación de 1.8 V y con un consumo de 3.7 mA.

Como resumen podemos apreciar en la Tabla 5.3 las prestaciones de ambos mezcladores, tanto en esquemático como en *layout*.

Tabla 5.3 Cuadro resumen datos mezcladores

	Esquemático Mezclador 1	Layout Mezclador 1	Esquemático Mezclador 2	Layout Mezclador 2
I (mA)	3.8	4.03	3.6	3.7
V_{CC} (V)	1.8	1.8	1.8	1.8
V_{POL} (V)	1.6	1.6	1.6	1.6
V_{LO} (V)	1.2	1.2	1.6	1.6
V_{RF} (V)	800 m	800 m	1	1
P (mW)	6.84	7.25	6.48	6.66
IIP3 (dBm)	7.58	-0.64	7.79	-1.08
Gain (dB)	9.22	8.17	7.77	6.65
NF (dB)	12.1	12.75	13.77	13.12

Comparando las simulaciones *post-layout* de ambos mezcladores, observamos un comportamiento similar en ambos, con una ganancia de 8.17 dB, una figura de ruido de 12.75 dB, un IIP3 de -0.64 dBm y un consumo de corriente de 4.03 mA en el mezclador1, frente a la ganancia de 6.65 dB, una figura de ruido de 13,12 dB, un IIP3 de -1.08 dBm y un consumo de corriente de 3.7 mA del mezclador2.

5.4 Layout Completo

Tras haber realizado el *layout* de los amplificadores y los mezcladores por separado, procedemos a realizar la unión de cada uno de ellos y obtener nuestros dos circuitos finales. Llegados a este punto procedemos a rellenar los espacios que nos queden con contactos a tierra, excepto dentro de las bobinas. Con ello evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

Para la señal de *RF*, *LO* y la de salida, usamos un terminal denominado *Signal-Ground-Signal (SGS)*, y para las alimentaciones del circuito una de tipo *Signal-Signal-Ground-Signal-Signal (SSGSS)*. En la Figura 5.11 se muestra la distribución de las puntas de prueba que se deben usar para la medida de nuestro circuito.

A la hora de realizar la distribución, se tomó como premisa fundamental el sacar los pines del oscilador y la señal de *RF* (ambas en modo diferencial) lo más directas y simétricamente posible. En cuanto a los pines de alimentación se trató de enmarañar lo menos posible el diseño y evitar el solapamiento entre capas de metal adyacentes con el objetivo de evitar capacidades parásitas inesperadas.

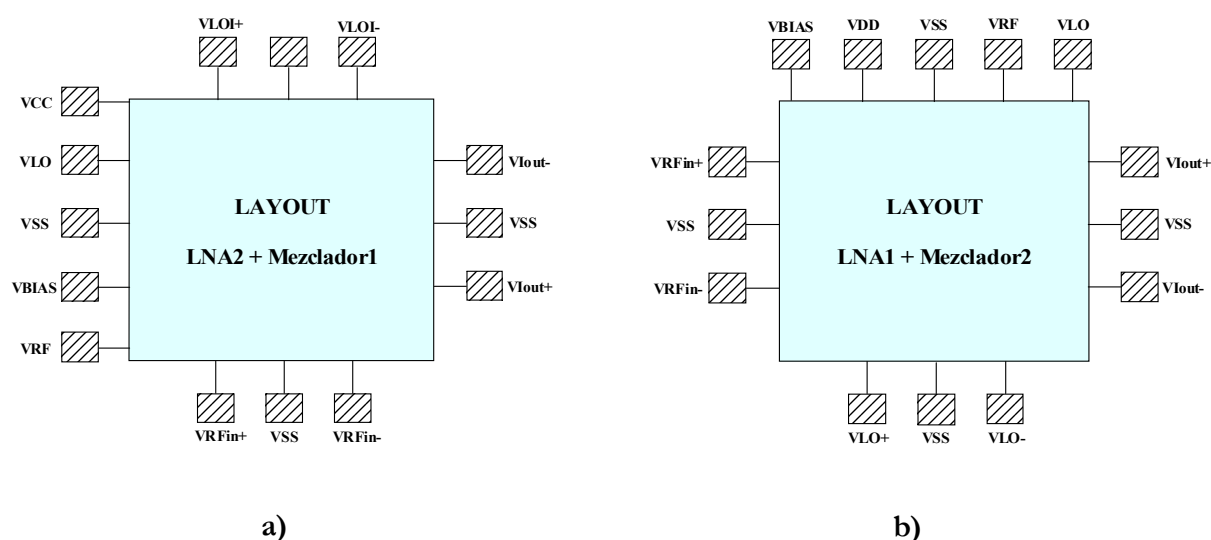


Figura 5.11 Distribución de los pads de medida: a) Carga inductiva. b) Carga capacitiva.

Para ubicar los *pads* correctamente seguimos las recomendaciones del manual del fabricante de las puntas de medida (*CASCADE MICROTECH*) [22]. Este manual dice que los *pads* deben estar distanciados 150 μm de centro a centro de los *pads* más próximos y 200 μm los *pads* que utilizan distintas puntas de medida.

Una vez presentadas las consideraciones a tener en cuenta para la realización y simulación de este circuito, en la Figura 5.12 observamos el *layout* del *LNA1* y el mezclador basado en la célula de Gilbert con degeneración, cuyas dimensiones con los *pads* incluidos son: 698,89 μm x 744,76 μm . En la Figura 5.13 se muestra el *layout* del *LNA* con carga inductiva unido al mezclador basado en la célula de Gilbert, cuyas dimensiones con los *pads* incluidos son: 1410,63 μm x 693,39 μm . Llegados a este punto apreciamos el ahorro de área, siendo este un 46% menor en el circuito formado por el *LNA1* y el mezclador2 que el circuito formado por el *LNA2* y mezclador1, obteniendo resultados similares entre ellos. Este ahorro de área también lo es en dinero tal y como veremos reflejado en el capítulo de presupuesto.

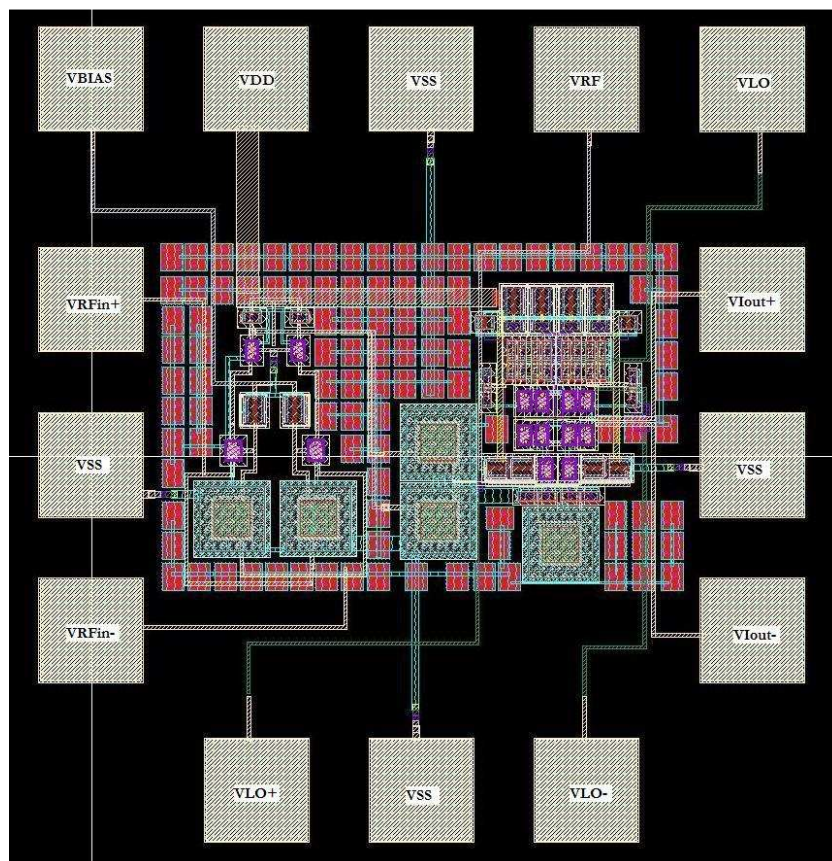


Figura 5.12 Layout del *LNA1* y mezclador basado en la célula de Gilbert con degeneración capacitiva.

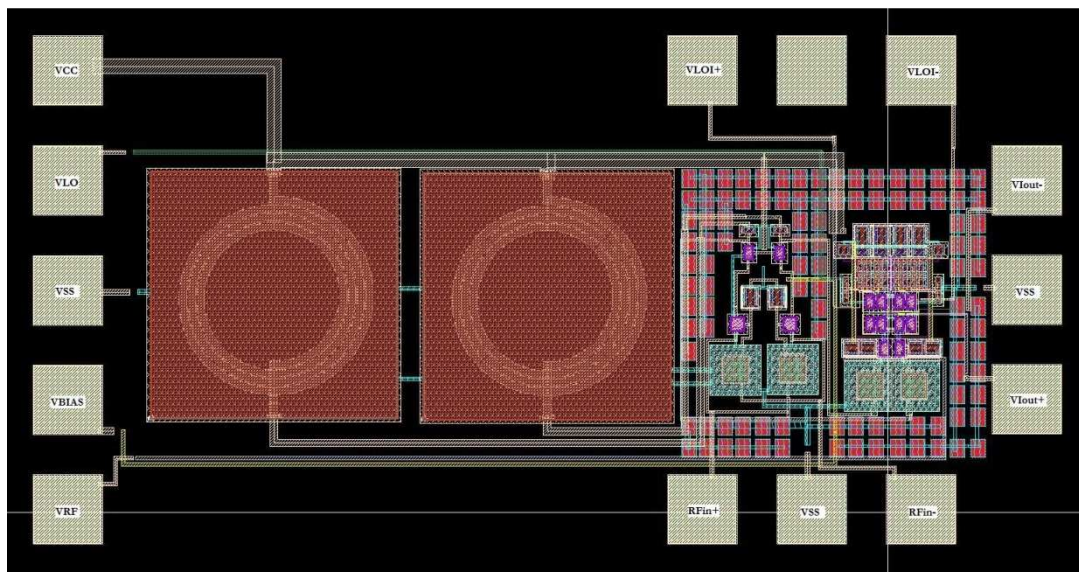


Figura 5.13 Layout del LNA2 y mezclador basado en la célula de Gilbert.

Tras haber realizado el *layout* de ambos circuitos, procedemos a realizar las simulaciones de los mismos, comenzando por el conjunto formado por el *LNA1* y el mezclador2. A la hora de realizar estas simulaciones *post-layout* hemos tenido en cuenta el efecto de las pistas de entrada y salida de señales de V_{RF} , V_{LO} , $V_{I_{OUT}}$, masa y alimentación, así como de los *pads*. Por ello hemos realizado dos simulaciones *post-layout* de los circuitos, una sin *pads* ni pistas de entrada y salida de señales y otra con ellos incluidos. En la Figura 5.14 apreciamos las simulaciones de ganancia y figura de ruido a nivel esquemático, *layout* y *layout* sin *pads* ni pistas, así como el IIP3 a nivel de *layout* con *pads* y pistas de entrada y salida de señales y sin ellos.

5.4.1 Simulaciones Post-Layout Completo



Figura 5.14 Simulaciones del LNA1 y mezclador2: a) Ganancia. b) Figura de ruido. c) IIP3 Layout con Pads. d) IIP3 Layout sin Pads

En la Figura 5.14a se presenta la ganancia del circuito compuesto por el *LNA* con carga resistiva y el mezclador basado en la célula de Gilbert con degeneración capacitiva, y apreciamos cómo la simulación que incluye los *pads* y las pistas de señales nos reduce el ancho de banda de manera significativa comparado con la simulación sin estos elementos que nos da una respuesta plana y un ancho de banda acorde con lo obtenido en la simulación en esquemático. Hay que tener en cuenta que la inclusión de los *pads* en el *layout* viene impuesta por la necesidad de medir el circuito. Sin embargo, el cabezal diseñado está pensado para ir conectado a los circuitos de procesado en banda base dentro del propio chip, con lo que estos elementos de interconexión desaparecen. Las variaciones entre las simulaciones a nivel de esquemático y las correspondientes al *layout* sin los elementos de interconexión, son debidas principalmente al

consumo de corriente, ya que tenemos un consumo de 3.2 mA menos en la simulación *post-layout* que en la simulación a nivel de esquemático.

La figura de ruido de nuestro circuito a la frecuencia de 200 MHz es de 14.98 en simulación *post-layout* con los *pads* de medida incluidos, y de 13.71 dB sin ellos frente a los 11.55 dB que teníamos simulando el circuito a nivel de esquemático (ver 0b).

A continuación hemos realizado la simulación de la linealidad mediante el IIP3, cuyo resultado está en torno a los 0dBm en simulación *post-layout* con *pads* (ver 0c) y -2.11 en simulación *post-layout* sin *pads* (ver 0d), a diferencia que en la simulación en esquemático que teníamos un IIP3 de -5.42 dBm.

Todas las simulaciones se han realizado con una tensión de alimentación de 1.8 V y un consumo de 7.82 mA.

En la Figura 5.15 se presentan las simulaciones realizadas para el conjunto formado por el *LNA* con carga inductiva y el mezclador basado en la célula de Gilbert. Nuevamente apreciamos en la Figura 5.15 cómo en la simulación *post-layout* de la ganancia de nuestro circuito que incluye los *pads* de medida y las pistas de señales de entrada y salida se reduce el ancho de banda considerablemente. Por contra, la simulación *post-layout* del circuito sin *pads* de medida ni pistas de señales nos aportan una ganancia plana encontrándose esta alrededor de 3 dB por debajo de la obtenida a nivel de esquemático. Recalamos que la inclusión de los *pads* en el *layout* viene impuesta por la necesidad de medir el circuito, pero a la hora de conectar este cabezal a los circuitos de procesado en banda base dentro del propio chip en una línea futura, estos elementos de interconexión desaparecen.

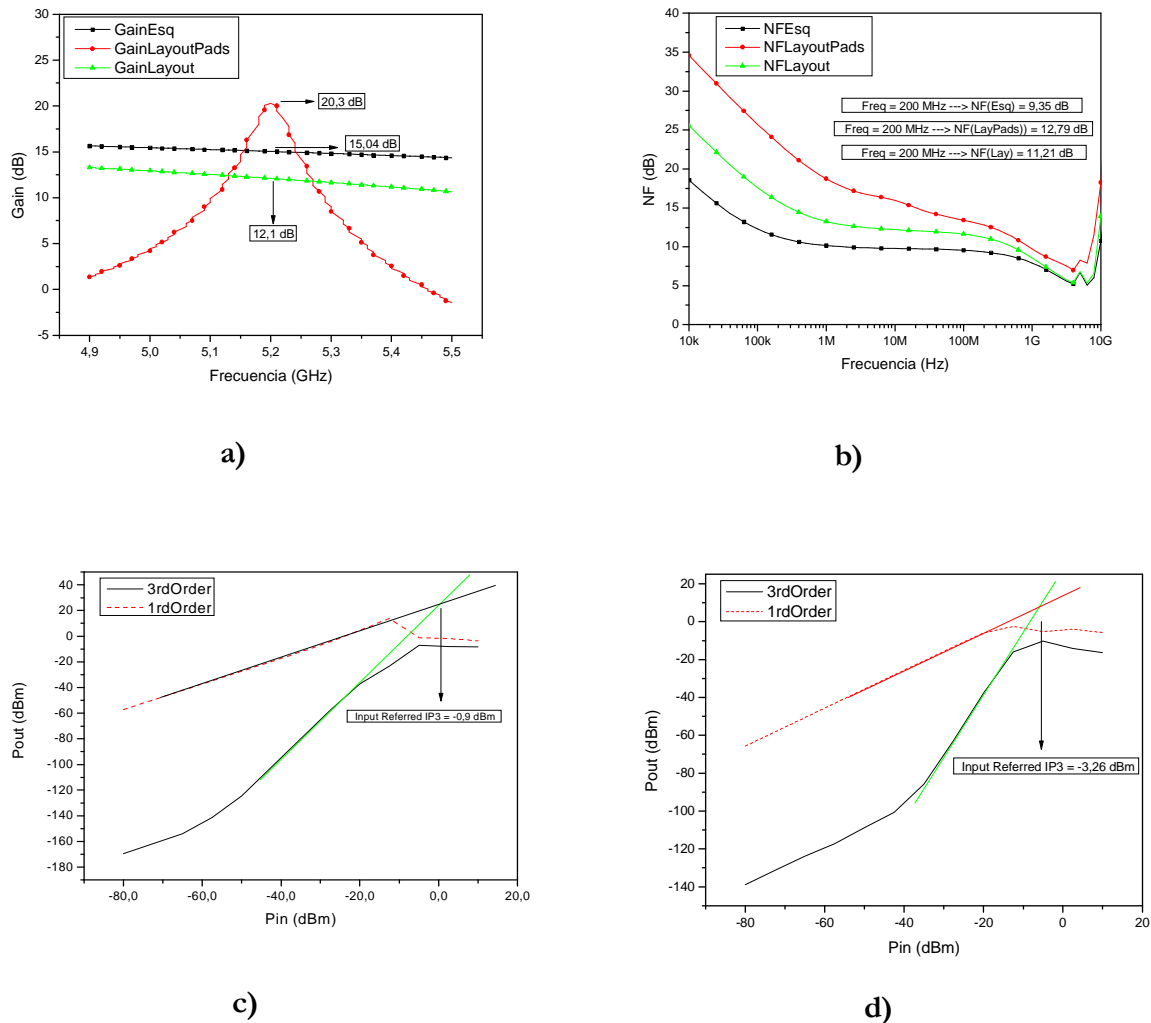


Figura 5.15 Simulaciones del LNA2 y mezclador1: a) Ganancia. b) Figura de ruido. c) IIP3 Layout con Pads. d) IIP3 Layout sin Pads

En la Figura 5.15b, apreciamos como la figura de ruido de nuestro circuito compuesto por el LNA2 y el mezclador1, a la frecuencia de 200 MHz es de 12.79 dB a nivel de *layout* con los *pads* de medida y las pistas de señales incluidas y 11.21 dB sin estos elementos, frente a los 9.35 dB que teníamos simulando el circuito a nivel de esquemático.

En cuanto a la linealidad de este circuito, podemos observar en la Figura 5.15c, que se encuentra cercana a -1 dBm en simulación *post-layout* sin pads (ver Figura 5.15c) y -3.26 dBm en simulación con *post-layout* con pads (ver Figura 5.15d) a diferencia de los -5.17 dBm que obtuvimos al simular dicho circuito a nivel de esquemático.

La disminución tanto en la ganancia como en la linealidad vienen en parte provocadas por un descenso en el consumo de corriente de 5 mA con respecto a la simulación a nivel de

esquemático, teniendo un consumo en este apartado de 8.95 mA con una tensión de alimentación de 1.8 V.

Como resumen podemos apreciar en la Tabla 5.4 las prestaciones de ambos circuitos, tanto en esquemático como en *layout* sin tener en cuenta el efecto de los *pads* y pistas de señales.

Tabla 5.4 Cuadro resumen LNAs y mezcladores

	Esquemático LNA2 y mezclador1	Layout LNA2 y mezclador1	Esquemático LNA1 y mezclador2	Layout LNA1 y mezclador2
I (mA)	14	8.95	11.08	7.82
V_{CC} (V)	1.8	1.8	1.8	1.8
V_{BIAS} (mV)	850	850	850	850
V_{POL} (V)	1.6	1.6	1.6	1.6
V_{LO} (V)	1.2	1.2	1.6	1.6
P_{LO} (dBm)	3	3	3	3
V_{RF} (V)	800 m	800 m	1	1
P_{RF} (dBm)	-74	-74	-74	-74
P (mW)	25.2	16.11	19.94	14.07
IIP3 (dBm)	-5.17	-3.26	-5.42	-2.11
Gain (dB)	15.04	12.1	10.52	7.2
NF (dB)	11.21	9.35	11.55	13.71

De la tabla anterior sacamos en conclusión que el circuito formado por el *LNA* con carga inductiva y el mezclador basado en la célula de Gilbert, con un consumo de corriente de 8.95 mA, ofrece una ganancia de 12.1 dB, un IIP3 de -3.26 dBm y una figura de ruido de 9.35 dB, frente al circuito formado por el *LNA* con carga resistiva y el mezclador basado en la célula de Gilbert con degeneración capacitiva, con un consumo de 7.82 mA, obtenemos una ganancia de 7.2 dB, una figura de ruido de 13.71 dB y un IIP3 de -2.11 dBm.

5.5 Resumen

En este capítulo hemos visto como se realizó el diseño a nivel de *layout* de nuestros circuitos. Esto se ha logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento. Tras comprobar dichas reglas y realizar el extraído del circuito, se procedió a la simulación en un principio de los amplificadores, estableciendo una comparativa entre los resultados a nivel de esquemático y a nivel de *layout*. A continuación se realizó el mismo procedimiento con los mezcladores.

Una vez estudiados los amplificadores y mezcladores que forman nuestros circuitos, procedimos a realizar la unión de ambos para su posterior fabricación. También hemos presentado las simulaciones de ambos circuitos completos comparando sus simulaciones a nivel de esquemático y *layout*, comentando las diferencias existentes entre ambos.

En el siguiente capítulo se establecerá un balance del desarrollo del proyecto, lo que nos conducirá a una serie de conclusiones válidas para el desarrollo de futuros proyectos y diseños.

CAPÍTULO 6

CONCLUSIONES

El objetivo de este proyecto era el diseño de un amplificador de bajo nivel de ruido (*LNA*) y un mezclador en cuadratura con transistores *CMOS* para un receptor de *UWB* (estándar *WiMedia*) en la tecnología *CMOS* 0.18 μm suministrada por la empresa UMC. Se comenzó estudiando las principales características de los sistemas de RF para poder abordar el diseño.

El siguiente paso consistió en el estudio del estándar *WiMedia* propuesto por la *MBOA*. Se han analizado los principales desafíos del diseño del receptor, centrándonos en el estudio de la arquitectura zero-IF, por su alta integrabilidad. Para esta arquitectura se ha especificado el panorama de interferencias, la sensibilidad, la linealidad, la figura de ruido y los requisitos del sintetizador y de los filtros.

A continuación realizamos un estudio del funcionamiento y diseño de los amplificadores de bajo nivel de ruido y de los mezcladores de frecuencias. Expusimos los conceptos básicos relativos a los amplificadores en puerta común y posteriormente abordamos el estudio de los esquemas más utilizados. Seguidamente realizamos un estudio de los mezcladores entre los que incluimos la célula de Gilbert.

El siguiente paso consistió en el diseño completo del amplificador de bajo ruido a nivel de esquemático. Para ello se han realizado las simulaciones pertinentes variando cada uno de los parámetros de los componentes utilizados. Una vez acabado este diseño y apreciando el corto ancho de banda decidimos agregar una bobina a la carga para solventar dicho problema, obteniendo ahora un amplificador de bajo ruido con carga *shunt-peaking*. Tras las simulaciones del mismo, efectivamente mejorábamos el ancho de banda del amplificador y proseguimos nuestro proyecto con el diseño del mezclador. Diseñamos y simulamos el mezclador en cuadratura basado en la célula de Gilbert y tras comprobar su buen funcionamiento decidimos añadirle una degeneración capacitiva para suplir el efecto de la bobina de carga que habíamos tenido que añadir al amplificador de bajo ruido, ya que las bobinas nos ocupan un área demasiado grande lo que implica un elevado coste de fabricación. Llegados a este punto unimos por un lado, el amplificador de bajo ruido con carga resistiva y el mezclador en cuadratura con degeneración capacitiva basado en la célula de Gilbert, y por otro el amplificador de bajo ruido con carga *shunt-peaking* y el mezclador en cuadratura basado en la célula de Gilbert, simulando y obteniendo resultados similares en ambos.

Luego se ha realizado el diseño a nivel de *layout* de los dos circuitos mencionados anteriormente. Esto se ha logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento. Finalmente se ha comprobado el correcto funcionamiento de ambos circuitos mediante simulaciones *post-layout* y cuyos resultados repetimos en la Tabla 6.1. A la hora de realizar estas simulaciones tuvimos en cuenta la influencia de los *pads* de medida y la longitud de las pistas de señales de entrada y salida tales como V_{RF} , V_{LO} , $V_{I_{OUT}}$, masa y alimentación, por ello realizamos las simulaciones *post-layout* con dichos elementos y sin ellos para poder apreciar la diferencia y así tenerlo en cuenta a la hora de realizar las medidas. Cabe destacar que la inclusión de los *pads* en el *layout* viene impuesta por la necesidad de medir el circuito. Sin embargo, el cabezal diseñado está pensado para ir conectado a los circuitos de procesado en banda base dentro del propio chip, con lo que estos elementos de interconexión desaparecen.

Tabla 6.1 Cuadro resumen LNAs y mezcladores

	Esquemático del LNA2 y mezclador1	Layout LNA2 y mezclador1	Esquemático del LNA1 y mezclador2	Layout LNA1 y mezclador2
I (mA)	14	8.95	11.08	7.82
V_{CC} (V)	1.8	1.8	1.8	1.8
V_{BIAS} (mV)	850	850	850	850
V_{POL} (V)	1.6	1.6	1.6	1.6
V_{LO} (V)	1.2	1.2	1.6	1.6
P_{LO} (dBm)	3	3	3	3
V_{RF} (V)	0.8	0.8	1	1
P_{RF} (dBm)	-74	-74	-74	-74
P (mW)	25.2	16.11	19.94	14.07
IIP3 (dBm)	-5.17	-3.26	-5.42	-2.11
Gain (dB)	15.04	12.1	10.52	7.2
NF (dB)	11.21	9.35	11.55	13.71
Área (mm²)	-	0.97	-	0.52

De la Tabla 6.1 extraemos en conclusión que los dos receptores de RF de *UWB* que hemos realizado se comportan de manera similar pero uno de ellos ocupa un 46% menos de área que el otro, lo que en nuestro caso y como se verá en el siguiente capítulo supone un ahorro de 810€.

De lo expuesto a lo largo de este proyecto se puede concluir que se han realizado dos receptores de RF de *UWB* completamente integrados con la tecnología *CMOS* 0.18 μm de *UMC*.

En cualquier caso, la línea de trabajo que subyace en este proyecto fin de carrera es parte de una línea de investigación de más envergadura denominada “*Short Range Radio, SR2*”, donde se sigue trabajando en las distintas posibilidades para el diseño de circuitos de *UWB*.

El presente trabajo tiene continuidad en la integración de la cabecera en la cadena del receptor para *UWB*. También se pueden hacer pruebas con otras tecnologías más modernas ya

que, como hemos visto, esto traería aparejado un aumento de las prestaciones finales, entre las que estarían, entre otras, el ancho de banda, la figura de ruido, el consumo, etc.

PRESUPUESTO

CAPÍTULO 7

PRESUPUESTO

Después de haber acabado con el diseño del circuito de forma satisfactoria, para terminar con el proyecto, haremos un balance económico en el que estudiaremos tanto parcial como totalmente los gastos producidos por este trabajo. Los tres factores más influyentes en los costes de un proyecto son:

- Elaboración del circuito
- Medida del circuito
- Gastos adicionales

7.1 Costes Debidos a los Recursos Humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias (ver Tabla 7.1). Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Tabla 7.1 Costes debidos a los recursos humanos

Descripción	Gastos
2 Técnicos a tiempo completo	36.060,73 €/año
Proporción suponiendo 100 usuarios	360,61 €/año-usuario
TOTAL (7 meses)	209,15 €

7.2 Costes de Ingeniería

En este apartado se establece una tabla (ver Tabla 7.2) indicativa de las partes en que se ha dividido el Proyecto y el tiempo parcial empleado para cada una de estas fases. Estas fases están constituidas por: documentación y formación, especificación, desarrollo, análisis de resultados y realización de la memoria.

Tabla 7.2 Costes de Ingeniería

Descripción	Gastos
Búsqueda y estudio de la documentación y herramientas de trabajo.	160 horas
Desarrollo de los diseños	480 horas
Medida de los diseños	320 horas
Realización de la memoria	160 horas
TOTAL	1120 horas

Para el cálculo de honorarios, se ha seguido la propuesta de baremos establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación[23].

$$H=Hn.72+He.93 \tag{8.1}$$

Donde:

H: Honorarios a percibir.

Hn: Horas en jornada normal de trabajo.

He: Horas fuera de la jornada de trabajo.

Una vez calculadas las horas totales, según el COIT se debe aplicar el coeficiente de corrección por tramos como muestra la Tabla 7.3.

Tabla 7.3 Factor de corrección

Coste (horas)	Factor de corrección (C)
Hasta 36	1
Exceso de 36 hasta 72	0.9
Exceso de 72 hasta 108	0.8
Exceso de 108 hasta 144	0.7
Exceso de 144 hasta 180	0.65
Exceso de 180 hasta 360	0.6
Exceso de 360 hasta 512	0.55
Exceso de 512 hasta 720	0.5
Exceso de 720 hasta 1080	0.45
Exceso de 1080	0.4

Considerando que las horas empleadas en la realización del proyecto son en jornada laboral y aplicando el coeficiente de corrección adecuado se obtienen los siguientes honorarios:

$$Hn=0.4 \cdot 1120 = 448$$

$$H=640 \cdot 72=32.256 \text{ €}$$

7.3 Costes de Amortización

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes *software*, material *hardware* y el mantenimiento de estos (ver Tabla 7.4). Estos equipos *hardware* y paquetes *software* presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se ha estimado en 50.

Tabla 7.4 Costes de amortización

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo	7 meses	6.803€	136€	78,88€
Servidor para simulación SUN Sparc	7 meses	6.643€	133€	77.14€
Impresora Hewlett Packard Laserjet 4L	7 meses	296€	6€	3,48€
Ordenador Personal Pentium IV 2.5 GHz	7 meses	411€	8€	4,64€
Sistema operativo Solaris X, Open	7 meses	903€	18€	10,44€
Entorno Windows XP	7 meses	306€	6€	3,48€
Microsoft Office XP	7 meses	449€	9€	5,22€
Cadence con Kit de diseño	7 meses	1.500€	30€	17,4€
TOTAL				200,68€

7.4 Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación, Tabla 7.5.

Tabla 7.5 Costes de fabricación

Descripción	mm ²	Precio mm ²	Gastos
LNA1 y Mezclador con Degeneración	0.52	1.800€	936
LNA2 y Mezclador	0.97	1.800€	1746
TOTAL			2682€

7.5 Otros costes

Para finalizar con los costes parciales a continuación se muestran los costes debidos al material fungible y a la elaboración del documento final del proyecto, Tabla 7.6.

Tabla 7.6 Otros costes

Descripción	Unidades	Costes unidad	Gastos
Paquetes de DIN_A4 80 gr/m	3	4€	12€
Fotocopias	1000	0,03€	30€
CDs	3	3€	9€
Otros gastos			100€
TOTAL			151€

7.6 Coste Total

Para terminar, en la Tabla 7.7 se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla 7.7 Coste total

Descripción	Gastos
Costes de recursos humanos	209,15€
Costes de ingeniería	32.256€
Costes de amortización	200,68€
Costes de fabricación	2682€
Otros costes	151,00€
PRESUPUESTO FINAL	35.498,83€
TOTAL (IGIC 5%)	37.273,77€

D. Aythami Santana Peña declara que el proyecto “Diseño de un Amplificador de Bajo Ruido para un Receptor de UWB en CMOS 0.18µm” asciende a un total de treinta y siete mil doscientos setenta y tres euros con setenta y siete céntimos.

Fdo.: Aythami Santana Peña

DNI: 54088365-R

Las Palmas de Gran Canaria, a de de 2010

BIBLIOGRAFÍA

BIBLIOGRAFÍA

- [1] F. Javier del Pino, Apuntes de la asignatura: “Diseño de Circuitos Integrados de Radiofrecuencia”, ULPGC, 2007.
- [2] Página web oficial Bluetooth: <http://www.bluetooth.com/>
- [3] MB OFDM Alliance-SIG, “Multiband OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a”, Sept, 2004.
- [4] Página web oficial Wimedia: <http://www.wimedia.org/en/index.asp>

- [5] FCC, “Revision of Part 15 of the Commission’s Rules Regarding Ultra-Wideband Transmission Systems” FCC 02-48, First Report and order, 2002.
- [6] B. Razavi et al., “A 0.13 μm CMOS UWB transceiver,” IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 216–217.
- [7] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek G. van der Weide, H. Waite, Y Zhang, S. Aggarwal, and C. Razzell, “An Interference-Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology”, IEEE Journal of Solid-State Circuits, vol. 40, no. 12, 2005.
- [8] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek G. van der Weide, H. Waite, Y Zhang, S. Aggarwal, and C. Razzell, “An Interference-Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology”, IEEE Journal of Solid-State Circuits, vol. 40, no. 12, 2005.
- [9] Página web oficial UMC: <http://www.umc.com>
- [10] Manuales Spectre RF, Cadence: <http://www.cadence.com>
- [11] T.H. Lee, “The Design of CMOS RF Integrated Circuits” Cambridge University Press, 1998.
- [12] Behzad Razavi, “RF Microelectronics” University of California: Prentice Hall PTR, 1998.
- [13] Behzad Razavi, “Design of Analog CMOS Integrated Circuits” Mc Graw Hill, 2001.
- [14] Jouni Kaukokuori, “CMOS Radio Frequency Circuits For Short-Range Direct-Conversion Receivers”, Doctoral Dissertation, Helsinki University of Technology, Faculty of Electronics, Communications and Automation, Department of Micro and Nanosciences, 2008.
- [15] J. del Pino, “Modelado y aplicaciones de inductores integrados en tecnologías de silicio”, Tesis doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.

- [16] Hugo García Vázquez, “Diseño de un Amplificador de Bajo Ruido Realimentado para la Banda de 3-10 GHz en Tecnología BICMOS 0,35 μm ”, Proyecto Final de Carrera, Escuela Técnica Superior de Ingenieros de Telecomunicación, Universidad de Las Palmas de Gran Canaria, 2009.

- [17] Jonás Pérez Quintana, “Diseño de un Amplificador de Bajo Ruido(LNA) para un Receptor Basado en Estándar DVB-H”, Proyecto Final de Carrera, Escuela Universitaria de Ingeniería Técnica de Telecomunicación, Universidad de Las Palmas de Gran Canaria, 2009.

- [18] Mauro M. Afonso, “Diseño de un Mezclador Activo Integrado en Tecnología de 0,35 μm para un Receptor Basado en el Estándar de Comunicaciones IEEE 802.11a”, Proyecto Final de Carrera, Escuela Universitaria de Ingeniería Técnica de Telecomunicación, Universidad de Las Palmas de Gran Canaria, 2004.

- [19] Ramesh Harjani and Liuchun Cai, “Inductorless Design of Wireless CMOS Frontends”, University of Minnesota, Minneapolis, 2008.

- [20] Ramesh Harjani and Liuchun Cai, “1-10GHz Inductorless Receiver in 0,13 μm CMOS”, University of Minnesota, Minneapolis, 2009.

- [21] Roberto Díaz Ortega, “Diseño, Medida y Verificación de un Mezclador Pasivo en CMOS 0.35 μm para un Receptor Basado en el Estándar IEEE 802.11a”, Proyecto Final de Carrera, ETSIT, Universidad de Las Palmas de Gran Canaria, 2006.

- [22] Cascade Microtech: <http://www.cmicro.com>

- [23] Página web del COITT: <http://www.coitt.es>

