

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE INGENIERÍA TÉCNICA DE
TELECOMUNICACIÓN**



**PROYECTO
FIN DE CARRERA**

**DISEÑO DE UNA AMPLIFICADOR DE BAJO RUIDO PARA UN
RECEPTOR GPS**

JUAN RAFAEL BARRIOS BERMÚDEZ

Las Palmas de Gran Canaria, 2001

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

***DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO PARA
UN RECEPTOR GPS***

ESPECIALIDAD : Sistemas Electrónicos

TUTOR/ES : Francisco Javier Del Pino Suárez

AUTOR : Juan Rafael Barrios Bermúdez

FECHA : Octubre 2001

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

***DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO PARA
UN RECEPTOR GPS***

Presidente:

Tutor:

Secretario:

Vocal:

Autor:

**NOTA : ~~SABREPUESTO~~ (10) -
MSTRICUS DE HONOR**

ESPECIALIDAD : Sistemas Electrónicos

TUTOR/ES : Francisco Javier Del Pino Suárez

AUTOR : Juan Rafael Barrios Bermúdez

FECHA : Octubre 2001

Agradecimientos

Quiero agradecer a mi tutor el apoyo y la ayuda prestada en la realización de este proyecto, al igual que a todos los miembros de la división de Tecnología Microelectrónica del IUMA.

A todos los profesores que me han ayudado a adquirir los conocimientos necesarios para poder finalizar mi carrera.

Por último y no por ello menos importante agradezco el apoyo prestado por todos mis compañeros y amigos. En especial a mis amigos conejeros Leandro, Piano, Alfredo, Javier, Andrés y Juan Pablo. A mis compañeros del IUMA los cuales me han sacado de muchos apuros, Juanma, Sunil, Oscar, Efraín, Rubén, Paco, Nauzet. En general a todas las personas que han estado conmigo en esta carrera.

MEMORIA

INDICE

Peticionario.....	I
Antecedentes.....	II
Objetivos.....	III
Resumen.....	IV
Memoria Descriptiva	
1. SISTEMA DE POSICIONAMIENTO GLOBAL (GPS).....	1
1.1 FUNDAMENTOS DEL SISTEMA DE POSICIONAMIENTO GLOBAL	2
1.1.1 Cálculo de la posición del receptor GPS	5
1.2 ESTADO DEL ARTE EN LOS RECEPTORES DE GPS	6
1.2.1 Receptor Superheterodino	6
1.2.2 Receptor Homodino.....	7
1.3 FUNDAMENTOS BÁSICOS DEL LNA	8
1.3.1 Especificaciones del LNA	9
2. TECNOLOGÍAS DE FABRICACIÓN DE CIRCUITOS INTEGRADOS	11
2.1 TECNOLOGÍAS DE FABRICACIÓN Y CARACTERÍSTICAS PRINCIPALES.....	12
2.1.1 Tecnología BIPOLAR.....	12
2.1.2 Tecnología CMOS.....	12
2.1.3 Tecnología BICMOS.....	13
2.1.4 Tecnología GaAs.....	13
2.1.5 Tecnología SiGe	13
2.2 ELECCIÓN DE LA TECNOLOGÍA DE FABRICACIÓN.....	14
2.3 ESTUDIO DE LA TECNOLOGÍA BICMOS	15
2.3.1 Tipos de transistores MOSFET	15
2.3.2 Funcionamiento del transistor NMOS.....	16
2.3.3 Características Tensión-Corriente de un transistor NMOS	19
2.3.4 Característica tensión corriente de un transistor PMOS.....	21
2.3.5 Transistor MOS en alta frecuencia	21

3. CONCEPTOS BÁSICOS EN EL DISEÑO DE CIRCUITOS INTEGRADOS DE RF.....	25
3.1 RUIDO EN CIRCUITOS INTEGRADOS DE RF	25
3.1.1 ¿Qué es el ruido?.....	25
3.1.2 Tipos de ruido en circuitos integrados.....	26
3.1.2.1 Ruido Térmico	26
3.1.2.2 Ruido Shot	27
3.1.2.3 Ruido Flicker	27
3.1.3 Fuentes de ruido en circuitos integrados de RF	28
3.1.3.1 Ruido Térmico en Resistencias Integradas	29
3.1.3.2 Ruido Térmico en Transistores MOS	30
3.1.3.3 Ruido Shot en Transistores MOS	32
3.1.4 Figura de ruido.....	33
3.1.4.1 Factor de Ruido.....	33
3.1.4.2 Figura de Ruido.....	35
3.1.4.3 Figura de Ruido en Etapas en Cascada	35
3.2 ADAPTACIÓN DE IMPEDANCIAS.....	36
3.2.1 Coeficiente de reflexión.....	38
3.2.1.1 Coeficiente de Onda Estacionario (VSWR).....	38
3.3 GANANCIA.....	39
3.4 FIDELIDAD Y DISTORSIÓN	40
3.4.1 Fidelidad.....	40
3.4.2 Distorsión.....	40
3.4.2.1 Distorsión de Intermodulación.....	40
3.5 PARAMETROS S.....	42
3.5.1 Parámetro S_{11}	44
3.5.2 Parámetro S_{22}	44
3.5.3 Parámetro S_{12}	44
3.5.4 Parámetro S_{21}	45
4. ARQUITECTURAS TÍPICAS EN UN LNA.....	47
4.1 AMPLIFICADORES DE BANDA ANCHA Y AMPLIFICADORES DE BANDA ESTRECHA O SINTONIZADOS	48

4.1.1	Amplificadores de banda ancha.....	48
4.1.2	Amplificadores sintonizados	48
4.1.2.1	<i>Circuito Tanque</i>	48
4.2	ARQUITECTURA SIMPLE Y ARQUITECTURA DIFERENCIAL.....	50
4.2.1	Rechazo al modo común en arquitectura diferencial.....	50
4.2.2	Consumo en etapa simple y etapa diferencial	52
4.2.3	Ruido en la arquitectura simple y en la arquitectura diferencial	54
4.2.4	Integrabilidad de la etapa diferencial.....	57
4.2.5	Comparativa final	58
4.3	ETAPA DE AMPLIFICACIÓN CASCODO.....	59
4.3.1	Estudio en frecuencia del amplificador cascodo	59
4.3.1.1	<i>Respuesta en Frecuencia del Amplificador Fuente Común</i>	59
4.3.1.2	<i>Respuesta en Frecuencia del Amplificador Cascodo</i>	63
4.3.2	Etapa de Amplificación cascodo con circuito tanque.....	66
4.4	ADAPTACIÓN DE IMPEDANCIAS.....	68
4.4.1	Adaptación de la impedancia de entrada	69
4.4.1.1	<i>Adaptación Resistiva</i>	69
4.4.1.2	<i>Adaptación con Etapa Puerta Común</i>	70
4.4.1.3	<i>Degeneración Inductiva</i>	71
4.4.1.4	<i>Estudio teórico de la red de adaptación por degeneración inductiva</i> ...	72
4.4.2	Adaptación de la impedancia de salida.....	76
4.4.2.1	<i>Etapa Seguidor de Fuente.</i>	76
4.4.2.2	<i>Etapa Fuente Común.</i>	78
4.5	REFERENCIA DE TENSIÓN	79
4.6	FUENTES DE CORRIENTE.....	81
4.6.1	Fuente de corriente con transistores MOS.....	81
4.6.2	Fuente de corriente con transistores BIPOLARES	84
5.	DISEÑO SELECCIONADO Y ANÁLISIS	87
5.1	DISEÑO SELECCIONADO	88
5.2	ESTIMACIONES INICIALES	89
5.2.1	Dimensionado del circuito tanque	89
5.2.2	Dimensionado de la red de adaptación de la impedancia de entrada	92
5.2.2.1	<i>Cálculo de la Transconductancia del Transistor M_1.</i>	93

5.2.3	Dimensionado y Polarización de la etapa cascode.....	96
5.2.3.1	<i>Dimensionado del transistor de entrada M_1</i>	96
5.2.3.2	<i>Dimensionado del transistor M_2</i>	97
5.2.3.3	<i>Polarización de la etapa cascode</i>	97
5.2.4	Dimensionado del transistor de la etapa de salida M_S y Cálculo de la corriente de polarización I_{DCS}	100
5.3	ELEMENTOS EXTRAS.....	100
5.3.1	Efecto del pad de conexión.....	100
5.3.2	Inductancia del bondwire.....	101
5.3.3	Efecto del empaquetamiento	102
5.3.4	Balun de entrada y salida.....	102
5.4	HERRAMIENTA DE DISEÑO	103
5.4.1	Editor de Esquemáticos: Composer Schematic.....	104
5.4.2	Administrador del simulador: Analog Artist.....	105
5.4.2.1	<i>Tipos de análisis</i>	106
5.4.2.2	<i>Visualización de los Resultados</i>	109
5.4.3	Simulador: Spectre	110
5.5	SIMULACIONES DEL DISEÑO	111
5.5.1	Simulaciones con componentes ideales.....	111
5.5.2	Simulaciones con componentes reales	120
6.	LAYOUT DEL LNA.....	129
6.1	HERRAMIENTA DE LAYOUT	130
6.1.1	Verificación de las reglas de diseño	131
6.2	TÉCNICAS DE DISEÑO.....	132
6.2.1	Simetría.....	132
6.2.2	Técnica de centro-común.....	132
6.2.3	Otras técnicas de diseño	136
6.3	LAYOUT DE TRANSISTORES MOS	136
6.3.1	Layout transistor NMOS	136
6.3.2	Layout transistor PMOS.....	137
6.3.3	División de transistores en dedos	139
6.3.3.1	<i>Configuración Interdigit</i>	140

6.3.3.2 Configuración de transistores independientes	141
6.4 LAYOUT DE CAPACIDADES	142
6.5 INDUCTANCIAS INTEGRADAS.....	143
6.5.1 Fenómenos electricos y magnéticos	143
6.5.2 Layout de inductancias	145
6.6 LAYOUT FINAL.....	146
6.7 SIMULACIONES POST-LAYOUT	147
7. CONCLUSIONES Y TRABAJOS FUTUROS.....	151
7.1 CONCLUSIONES.....	151
7.2 TRABAJOS FUTUROS.....	153
Bibliografía.....	155
Presupuesto.....	P-1
Pliego de condiciones.....	C-1
Anexo A	A-1
Anexo B.....	B-1

Peticionario

El peticionario de este proyecto fin de carrera es el Laboratorio de Dispositivos Optoelectrónicos adscrito al Departamento de Ingeniería Electrónica y Automática de la Universidad de Las Palmas de Gran Canaria.

Antecedentes

El enorme desarrollo experimentado por los sistemas móviles de comunicación durante estos últimos años ha propiciado, por parte de las empresas del sector, un gran esfuerzo investigador por encontrar nuevas soluciones que permitan una mayor integrabilidad y un coste menor de los equipos.

Dentro del mundo de las comunicaciones, el creciente interés suscitado por las posibilidades y prestaciones que ofrece el sistema de posicionamiento global (GPS) en el mundo de la navegación, ha llevado a los fabricantes de automóviles, teléfonos móviles, aviones, etc., a buscar formas de incorporar un terminal de GPS a sus productos. Debido a la naturaleza de dichos productos, factores como el consumo, peso y volumen del terminal GPS adquieren especial importancia en su diseño.

Por otro lado, la rápida evolución de las tecnologías de fabricación de circuitos integrados, ha posibilitado que el diseño de cabezales de RF que antes sólo era posible en tecnología Bipolar o de Arseniuro de Galio sean hoy posibles de integrar en tecnologías como CMOS y BICMOS. De esta forma se abarata el precio de los equipos y al mismo tiempo se consigue una alta integrabilidad de los terminales debido a la posibilidad de implementar en un mismo chip la parte analógica y digital.

El trabajo realizado en este proyecto se enmarca en la tendencia actual de lograr el diseño de componentes de radio frecuencias en bandas superiores a 1 GHz. Más concretamente, se ha optado por el diseño de un componente indispensable en un receptor GPS como es el amplificador de bajo ruido (*LNA*).

Objetivos

Este proyecto tiene como objetivo directo el diseño de un Amplificador de Bajo Ruido (*LNA*). Como se ha dicho en los antecedentes, este elemento es una etapa básica en un equipo de radiofrecuencia como es un receptor GPS.

Para realizar el diseño del LNA, se utilizará el programa CADENCE y una determinada tecnología de fabricación, (HBT-BICMOS $0.8\mu m$). Esta tecnología la proporcionará la empresa AMS (*Austria Mikro Systeme International AG*) siendo el proceso de fabricación utilizado el BYR.

El amplificador deberá cumplir una serie de especificaciones marcadas por el peticionario para su aplicación en un GPS. Estas especificaciones se detallan en el capítulo 1 del presente proyecto. Por tanto, se intentará realizar el diseño que más se adapte a estas especificaciones.

Así mismo, con el presente proyecto se da cumplimiento al requisito académico de presentación del Proyecto Fin de Carrera en la Escuela Universitaria de Ingeniería Técnica de Telecomunicaciones para la obtención del título de Ingeniero Técnico de Telecomunicaciones.

Resumen

La memoria de este proyecto está dividida en 7 capítulos.

En el primer capítulo, se realiza un estudio del sistema de posicionamiento global, GPS, para enmarcar el ámbito donde trabajará el componente a diseñar. Al mismo tiempo, se describen las principales arquitecturas de receptores GPS y dentro de esto, las características más importantes del Amplificador de Bajo Ruido. Al final del mismo capítulo, se marcarán las especificaciones o características que debe cumplir el diseño.

En el capítulo 2 se enumeran las principales tecnologías de fabricación de circuitos integrados existentes en el mercado y sus características. Por otro lado, se realiza un pequeño estudio de la tecnología utilizada y la razón de su utilización.

En el capítulo 3, se verán una serie de conceptos básicos relacionados con el diseño de circuitos integrados de RF y se entrará con detenimiento en el estudio de las especificaciones dadas para el *LNA*.

En el capítulo 4, se va a exponer toda la información referida a las diferentes arquitecturas entre las que se puede elegir a la hora de realizar el diseño de un amplificador de bajo ruido. Al mismo tiempo, se llevará a cabo un estudio teórico de cada arquitectura donde se expondrán sus características más importantes. Nos centraremos sobre todo en analizar las ventajas y desventajas de cada una de ellas de cara a conseguir la arquitectura que más se adapte a las especificaciones de diseño deseadas.

En el capítulo 5, se presenta la arquitectura elegida para realizar el diseño del *LNA* de nuestro proyecto y se exponen los cálculos realizados para hallar los valores de los distintos componentes. Además, se explica a grandes rasgos la herramienta utilizada para realizar las distintas simulaciones mostrando a continuación los resultados obtenidos.

El capítulo 6 está dedicado a la realización del layout del *LNA*. Se describe brevemente las características de la herramienta utilizada para realizar el layout y las técnicas que existen para la realización del mismo. Finalmente, se muestra el layout final, se realiza la simulación del mismo y se presentan los resultados.

Finalmente en el capítulo 7, resumimos los resultados, presentamos las conclusiones y se plantean las líneas futuras de trabajo que se pueden llevar a cabo.

CAPÍTULO 1

SISTEMA DE POSICIONAMIENTO GLOBAL (GPS)

Desde la antigüedad, la humanidad ha desarrollado ingeniosos sistemas de navegación para poder desplazarse a lo largo y ancho de todo el planeta. Una técnica empleada por los antiguos Polinesios era la basada en la medición del ángulo a distintos cuerpos del firmamento. Con esta técnica se conseguía suministrar una posición con una precisión limitada, con el handicap de que sólo podía emplearse de noche y con buen tiempo.

Con el desarrollo de la radio nacieron nuevas técnicas de posicionamiento o navegación, como las radios VHF omnidireccionales (VORs) o los sistemas de radio navegación de largo alcance LORAN y OMEGA. Estas técnicas emplean señales que son fácilmente interferibles, por lo que en una situación hipotética de guerra rápidamente perderían su eficacia debido a la acción del enemigo.

En los años sesenta el avance experimentado por los satélites artificiales, permitió el desarrollo de sistemas de navegación vía satélite y así el ejército de los Estados Unidos desarrolló el primer sistema de posicionamiento denominado TRANSIT. Este sistema basado en la medida, por parte del receptor, del efecto Doppler experimentado por la señal transmitida por el satélite, suministra la posición en dos dimensiones con una mayor precisión. Sin embargo presenta los inconvenientes de una frecuencia de posicionamiento variable con la latitud, es decir para un receptor situado sobre el Ecuador se esperan medidas fiables cada 110 minutos y para un receptor situado en una latitud de 80° cada 30 minutos. El otro gran inconveniente es el de presentar una gran sensibilidad a la velocidad del receptor, por lo que sólo se obtienen medidas fiables para receptores que se desplacen a pequeñas velocidades. Paralelamente el ejército de la antigua Unión Soviética desarrolló el sistema TSYKIDA, también vía satélite y basado en el mismo principio.

En los años setenta con la aparición de las técnicas de comunicación CDMA y FDMA se iniciaron, mediante el programa TIMATION, el desarrollo de los denominados sistemas de posicionamiento global (GPS) .

1.1 FUNDAMENTOS DEL SISTEMA DE POSICIONAMIENTO GLOBAL (GPS)

Estos sistemas, a partir de la señal de radio transmitida por los satélites distribuidos en el espacio para tal fin, son capaces de suministrar las 24 horas del día la latitud, la longitud y la altura del receptor, así como su velocidad y el tiempo UTC (*Universal Time Coordinated*) a cualquier usuario con el receptor adecuado, en cualquier punto sobre la tierra y bajo cualquier condición atmosférica.

La constelación de satélites GPS está constituida por 24 satélites, los cuales se encuentran orbitando a una altura de 20.200 Km aproximadamente, de los cuales 21 son operativos y 3 de reserva, por si alguno de los anteriores 21 sufre alguna avería. En la figura 1.1 se muestra la constelación que forman los satélites GPS en el espacio.

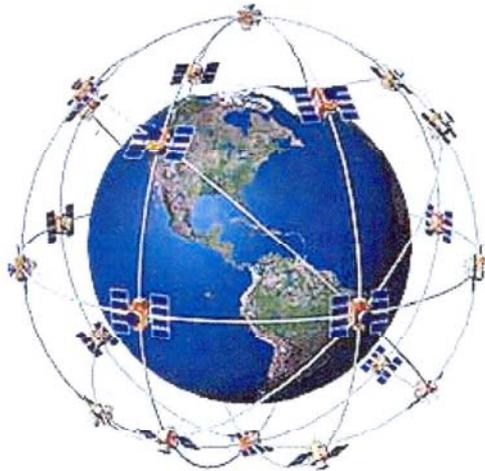


Figura 1.1 Constelación de satélites del sistema GPS

La disposición de los satélites en el espacio se ha realizado de forma que se asegure la cobertura continua en todo el mundo.

El satélite GPS transmite dos señales, designadas por L_1 y L_2 en banda L. La frecuencia central de la señal L_1 es 1.57542 GHz y la de la señal L_2 1.2276 GHz. Estas señales son transmitidas utilizando el acceso múltiple por división de código (*CDMA: Code Division Multiple Spectrum*) o espectro extendido (*SS: Spread Spectrum*), el cual permite a los 24 satélites que conforman la constelación transmitir simultáneamente en ambas portadoras sin interferir los unos en los otros. Debido a las características del espectro extendido para las portadoras moduladas, el sistema GPS ofrece una alto margen de resistencia a las interferencias.

Las portadoras L_1 y/o L_2 son moduladas por dos códigos secuenciales del tipo PRN (*Pseudorandom Noise Code*). Estos códigos son los siguientes:

- Código de adquisición C/A: Constituido por una cadena de bits con una frecuencia de 1.023 MHz que modula a la portadora L_1 aumentando el ancho de banda de esta a 2.046 MHz. Este código será distinto para cada satélite de tal forma que se pueda identificar a cada uno por su código C/A. Este código de adquisición constituye la base del servicio SPS (*Standard Positioning Service*), empleado por la comunidad de usuarios civiles.

- Código de precisión P: Constituido por una secuencia de bits de frecuencia 10.23 MHz que modula a las portadoras L1 y/o L2. Es único para cada satélite y normalmente se encuentra codificado, conociéndose entonces como código Y.

Para el presente proyecto sólo es de interés el uso civil del receptor, por lo que el ancho de banda considerado será el asociado al código de adquisición ordinaria más el mensaje de navegación, es decir, un ancho de banda de 2.046 MHz centrado en la frecuencia de 1.57542 GHz. En la figura 1.2 se muestra el espectro de la banda L1 donde se ve el ancho de banda correspondiente a cada código PRN.

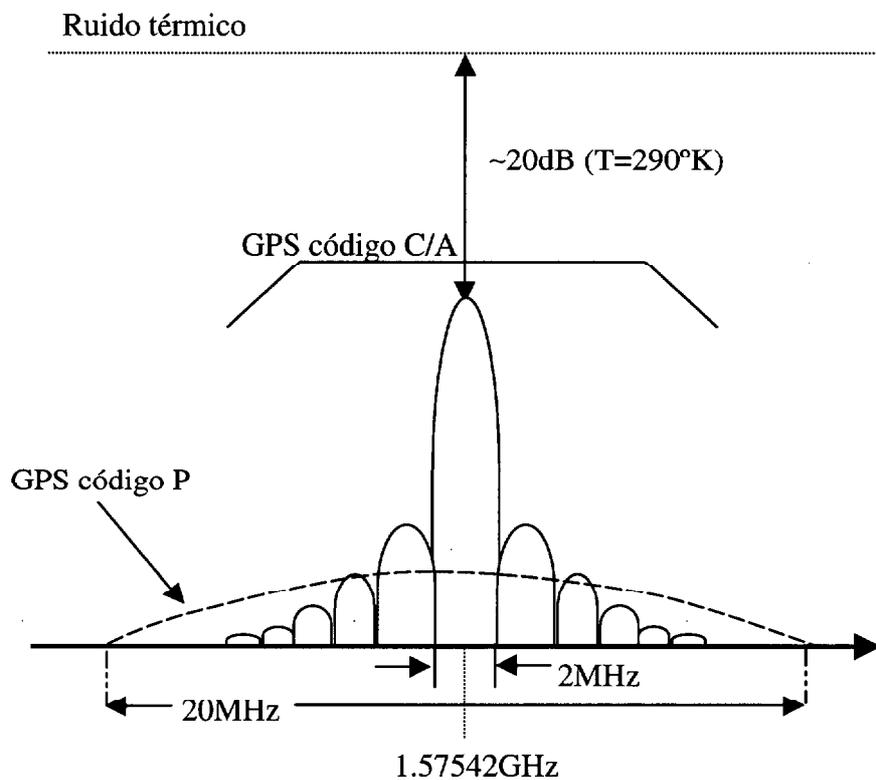


Figura 1.2 Espectro de la banda L1

En cuanto al modo de calcular la posición del receptor, el sistema GPS se basa en una extrapolación del método usado por los primeros navegantes, en el cual se sustituyen las estrellas por satélites y el sextante por receptores de las señales emitidas por los satélites.

De este modo el usuario puede calcular por triangulación su posición y su velocidad de desplazamiento en las tres dimensiones, y como complemento puede conocer el tiempo con la misma precisión que los satélites.

1.1.1 CÁLCULO DE LA POSICIÓN DEL RECEPTOR GPS

La forma en que el receptor GPS calcula la posición en la que se encuentra se resume a grandes rasgos en cinco pasos lógicos.

- Triangulación a partir de los satélites.
- Cálculo de la distancia al satélite a partir del tiempo empleado por la señal de radio en viajar desde el satélite al receptor. Dicha distancia es necesaria para poder Triangular.
- Sincronización entre el reloj del receptor y el de satélite. Dicha sincronización es necesaria para poder medir el tiempo de viaje de la señal.
- Conocimiento con gran exactitud de donde se encuentra los satélites en el espacio. Se consigue con una cuidada monitorización de estos y frecuentes actualizaciones. El conocimiento exacto de la posición de los satélites junto con la distancia al receptor son condiciones imprescindible para poder Triangular.
- Corrección de los resultados obtenidos. Ésta es necesaria debido a los retrasos experimentados por la señal al viajar a través de la atmósfera.

La Triangulación consiste en utilizar la constelación de 24 satélites como puntos de referencia a partir de los cuales mediante varias medidas y por interpolación el receptor puede determinar en que posición se encuentra.

Un GPS está compuesto de un número básico de componentes: una antena con un preamplificador opcional, un cabezal o sección *front-end* de radiofrecuencia, una sección de muestreo de señal y un microprocesador que controla el receptor, procesa la señal, y calcula las coordenadas del receptor. El receptor también incluye una fuente de alimentación y un dispositivo de memoria para almacenar instrucciones y datos.

En la figura 1.3 se muestra el diagrama de bloques de un receptor GPS típico.

La sección *front-end* de RF/IF sirve para trasladar la frecuencia de la señal entrante de la antena a una frecuencia menor para que pueda ser manejada con mayor facilidad por los elementos posteriores.

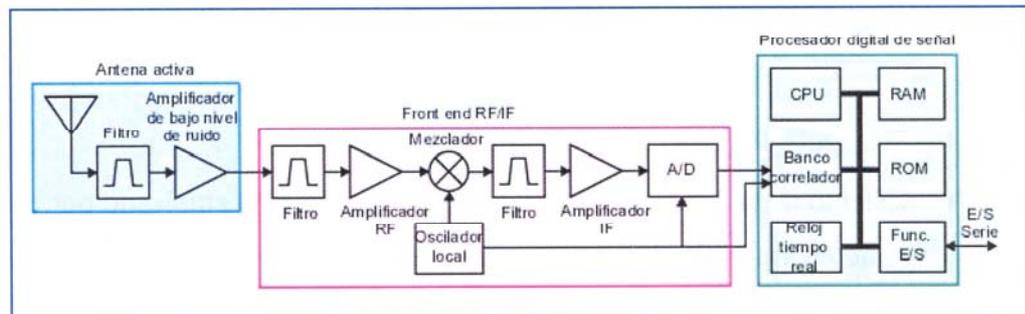


Figura 1.3 Esquema de bloque de un receptor GPS

1.2 ESTADO DEL ARTE EN LOS RECEPTORES DE GPS

La complejidad, el coste, el consumo y el número de componentes no integrables son los criterios principales a la hora de elegir la arquitectura de un cabezal de radiofrecuencia. A medida que los procesos de fabricación de circuitos integrados evolucionan, arquitecturas que en su día parecían inviables pueden convertirse en una opción válida.

En este apartado se presenta el estado del arte en arquitecturas de receptores de GPS, mostrando las ventajas e inconvenientes de cada una de ellas.

1.2.1 RECEPTOR SUPERHETERODINO

La arquitectura superheterodina se basa en múltiples traslaciones de la señal a frecuencias más bajas (*downconversion*), cada una seguida de un filtrado y una amplificación. Esta técnica lleva a cabo selecciones parciales del canal a frecuencias cada vez más bajas, consiguiendo así relajar el factor de calidad de cada uno de los filtros.

El esquema típico de un receptor superheterodino se muestra en la figura 1.4.

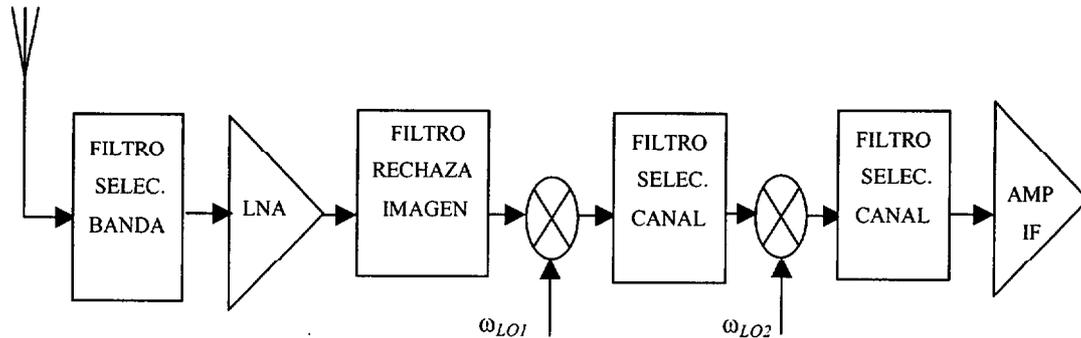


Figura 1.4 Esquema de un receptor superheterodino

La propiedad que quizá haga más atractiva esta arquitectura es su selectividad, pues el filtrado de la señal se realiza progresivamente a frecuencias menores, propiciando un mayor rechazo al ruido e interferencias cercanas a la banda de interés.

Sin embargo, el receptor superheterodino presenta algunos inconvenientes. De entre ellos, el más destacado es el de la “frecuencia imagen”. Este problema se debe a que el multiplicador no conserva la polaridad de la diferencia entre sus entradas, es decir, traslada a la misma frecuencia tanto la banda superior como la inferior a la frecuencia del oscilador local, produciéndose entonces una degradación de la señal deseada. Para evitar esto se coloca un filtro de rechazo de imagen externo antes del multiplicador.

De lo descrito se puede concluir que se trata de una arquitectura compleja donde se requiere un considerable esfuerzo en la tarea de diseño. Además se trata de una arquitectura que presenta un elevado número de componentes externos lo que dificulta su integración.

1.2.2 RECEPTOR HOMODINO

El funcionamiento de un receptor homodino se basa en realizar una simple traslación de la señal de RF a la banda base (frecuencia cero). Para conseguir esto se multiplica la señal de radiofrecuencia por la señal de salida de un oscilador local y se filtra mediante un filtro paso bajo.

El esquema del receptor homodino o de conversión directa se muestra en la figura 1.5.

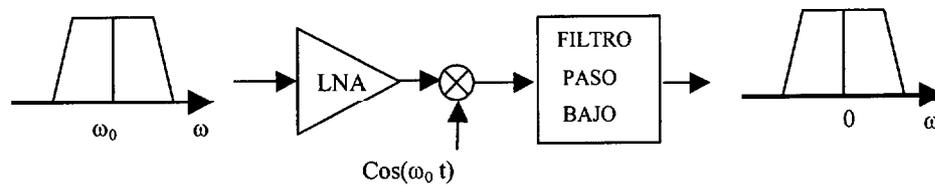


Figura 1.5 Esquema de un receptor homodino

Como se muestra en la figura 1.5 la frecuencia del oscilador local es igual a la frecuencia de la señal de entrada, consiguiendo así realizar el proceso de conversión a la frecuencia cero.

La simplicidad de la arquitectura homodina ofrece dos ventajas importantes sobre su homónima la arquitectura heterodina. En primer lugar, el problema de la frecuencia imagen se evita porque ésta es igual a cero. Como resultado no es necesario utilizar un filtro rechaza imagen. En segundo lugar, el filtro de frecuencia intermedia y subsiguientes etapas de conversión se sustituyen por un filtro paso bajo y un amplificador banda base.

Esta arquitectura por su simplicidad y alto grado de integración, es la más atractiva para el diseño de receptores. Sin embargo presenta una serie de problemas que han impedido su desarrollo. Estos problemas son en su mayoría debidos a la conversión analógica de frecuencia.

1.3 FUNDAMENTOS BÁSICOS DEL LNA

La señal que llega al receptor GPS proveniente del satélite es una señal de potencia muy pequeña, su potencia está incluso por debajo del nivel de ruido. Por este motivo es necesario añadir una etapa en la cabecera del receptor que amplifique la señal de entrada pero que introduzca a su vez el menor ruido posible. El elemento encargado de conseguir estos requisitos es el amplificador de bajo ruido (LNA).

Como se ha visto anteriormente dentro de las diferentes arquitecturas existentes, el LNA siempre es el primer elemento en la etapa de recepción y estará situado justo detrás de la antena.

Las principales características que ha de presentar un LNA son las siguientes:

- Proporcionar la suficiente ganancia a la entrada del receptor de tal forma que se minimice la influencia del ruido de los demás elementos de la cadena de recepción. Los valores típicos de ganancia están entre 12 y 20 dB.
- El ruido introducido por el LNA ha de ser lo más bajo posible. El que el LNA tenga un factor de ruido reducido es importante para las aplicaciones finales del dispositivo, debido a que el factor de ruido del receptor está fuertemente influenciado por el factor de ruido del LNA tal y como refleja la fórmula de Friis para cuadripolos en cascada. Tanto el factor de ruido de un componente como la ecuación de Friis se estudiarán más detalladamente en el capítulo 3.
- Proporcionar la suficiente linealidad a la entrada y salida del amplificador. Las exigencias de linealidad del amplificador por lo que al estándar GPS se refiere no son críticas, ya que la señal de GPS recibida es muy débil y relativamente constante. Las exigencias de linealidad vienen impuestas entonces por el comportamiento que debe presentar el amplificador frente a las interferencias próximas a la banda GPS.

1.3.1 ESPECIFICACIONES DEL LNA

En realidad el tipo de arquitectura de recepción elegida determina a la hora de realizar el diseño las especificaciones mínimas que se deben cumplir en el LNA

El diseño del LNA que se realiza en este proyecto está pensado para un receptor con una arquitectura homodina donde las especificaciones propias del LNA han sido proporcionadas por el peticionario de este proyecto. Estas especificaciones de diseño se muestran en la tabla 1.1.

Parámetros	Valor
Ganancia	15 dB
Figura de ruido(NF)	2.5 dB
Producto de Intermodulación de Tercer Orden (IP3)	- 20 dBm
Impedancia de entrada y salida	50 Ω

Tabla 1.1 Especificaciones de diseño del LNA

Las especificaciones de diseño mostradas en la tabla 1.1 son las que debe cumplir el diseño final del LNA de este proyecto. Conseguir cada una de ellas por separado no es complicado, el problema surge cuando hay que lograrlas todas a la vez. Para conseguir esto hay que llegar a un compromiso entre todas ellas.

CAPÍTULO 2

TECNOLOGÍAS DE FABRICACIÓN DE CIRCUITOS INTEGRADOS

El conocimiento en detalle por parte de un diseñador de un proceso de fabricación de circuitos integrados es muy importante por dos razones. En primer lugar, es esencial que el diseñador conozca los factores que influyen en el coste de fabricación de los circuitos integrados, tanto en el desarrollo de un circuito para un problema de diseño como en la elección de un circuito en particular para ser usado en un caso concreto. La segunda razón es que en el diseño de circuitos integrados se requiere un conocimiento y entendimiento de los grados de libertad que nos facilita la tecnología para el tipo de diseño que se quiera realizar.

En este capítulo, se describirán brevemente las características que tienen cada una de las diferentes tecnologías de fabricación existentes actualmente en el mercado.

Además, se realizará una pequeña valoración de todas estas características para determinar qué tecnología sería la más apropiada para el tipo de diseño que se pretende realizar. Seguidamente se expondrá el tipo de tecnología elegida, se explicará la razón de su elección y se realizará un estudio más profundo de dicha tecnología.

2.1 TECNOLOGÍAS DE FABRICACIÓN Y CARACTERÍSTICAS PRINCIPALES

En la actualidad existen cuatro tecnologías principales para la fabricación de circuitos integrados. De las cuatro tres se basan en el silicio (Bipolar, CMOS y BICMOS) y una en el Arsenuro de Galio (GaAs). Además de las tecnologías nombradas anteriormente existe otra basada en heterouniones SiGe la cual ha evolucionado recientemente y presenta muy buenas expectativas para el futuro.

Las características principales de todas estas tecnologías se describen a continuación:

2.1.1 TECNOLOGÍA BIPOLAR

- Frecuencias de trabajo elevadas ($f_T \approx 50GHz$).
- Tecnología atractiva para el diseño de circuitos de RF.
- Alto consumo.
- Bajo nivel de integración.
- Problemas con alimentación reducidas.

2.1.2 TECNOLOGÍA CMOS

- Transistores con poca ganancia.
- Bajo consumo.
- Alto nivel de integración.
- Elevado interés en electrónica digital.
- Baja calidad al integrar elementos pasivos.

2.1.3 TECNOLOGÍA BICMOS

- Combina las ventajas de la tecnología CMOS y Bipolar.
- Elevado nivel de integración, bajo consumo y alta inmunidad al ruido, típico de dispositivos CMOS y alta velocidad propia de los dispositivos bipolares.
- Elevado coste de fabricación.
- Aplicaciones a alta frecuencia, no tanto como el AsGa, del orden de las centenas de MHz hasta varios GHz.
- Sustrato de alta resistividad. Permite la realización de elementos pasivos, con un factor de calidad relativamente alto.

2.1.4 TECNOLOGÍA GAAS

- Alta movilidad de los electrones.
- Transistores con poca ganancia.
- Muy rápido con consumos moderados.
- Proceso muy simple que compensa el alto coste del sustrato.
- Utilizados en muy altas frecuencias.

2.1.5 TECNOLOGÍA SIGE

- Frecuencia de corte elevada, alrededor de los 50 GHz e incluso más altas.
- Ideal para aplicaciones de RF y compatible con procesos basados en silicio.
- Alta ganancia en corriente.
- Bajo ruido.
- Mayor resistividad del sustrato en comparación con proceso CMOS y BICMOS.

2.2 ELECCIÓN DE LA TECNOLOGÍA DE FABRICACIÓN

Los circuitos integrados de silicio están encontrando una gran aplicación en el rango de frecuencias de los gigahertzios. Los procesos CMOS, BICMOS y bipolar consiguen transistores con altas frecuencias de trabajo, permitiendo a estas tecnologías competir con otras tecnologías basadas en el arsenurio de galio (GaAs) en el rango de las altas frecuencias.

Sin embargo, la poca resistividad de los sustratos de silicio hace que el diseño de componentes con altos factores de calidad, en especial inductancias y varactores, sea muy difícil. A pesar de esta dificultad, el bajo coste de fabricación de los circuitos integrados de silicio en comparación con el coste de fabricación de los circuitos integrados de arsenurio de galio y su alta integración hace que los procesos basados en silicio sean muy atractivos para muchas aplicaciones de radiofrecuencia.

De acuerdo a las características de cada tecnología, la más apropiada para poder cumplir los objetivos de este proyecto es la tecnología CMOS. La razón de que ahora mismo se esté utilizando más y más esta tecnología en el diseño de circuitos integrados es fundamentalmente su coste, ya que es mucho más barata que la bipolar, la BICMOS y la de arsenurio de galio. Además, ésta tecnología presenta unas prestaciones aceptables para el diseño de circuitos de RF.

En este proyecto a pesar de las ventajas que presenta la tecnología CMOS se ha optado por utilizar para el diseño del LNA la tecnología BICMOS. La utilización de este tipo de tecnología es casi obligatoria ya que en estos momentos sólo disponemos de una única librería de bobinas realizadas en esta tecnología.

Como se describió anteriormente, la tecnología BICMOS presenta el único inconveniente de su alto coste. Sin embargo, presenta una serie de ventajas en relación al diseño de circuitos integrados de radiofrecuencia. Una de estas ventajas puede ser el darnos la posibilidad de integrar en un mismo chip circuitos diseñados con transistores bipolares y transistores MOS.

2.3 ESTUDIO DE LA TECNOLOGÍA BICMOS

Los transistores NMOS y PMOS utilizados para realizar el diseño del LNA pertenecen a la tecnología $0.8 \mu\text{m}$ HBT-BICMOS de la empresa AMS. Esta tecnología sigue un proceso de fabricación característico denominado BYR. Además de los transistores MOS, el proceso BYR proporciona también varactores, dos tipos de condensadores, transistores HBT, varios tipos de resistencias con diferentes resistividades, e inductancias espirales integradas.

Aunque el proceso de fabricación sea distinto, el funcionamiento de un transistor MOS fabricado en tecnología BICMOS es idéntico al de un transistor MOS diseñado en tecnología CMOS. Para tener un mayor conocimiento de las características que tiene un transistor MOS, a continuación se realiza un estudio más detallado donde se describe su funcionamiento, modelo en alta frecuencia, curvas tensión-corriente, etc.

2.3.1 TIPOS DE TRANSISTORES MOSFET

Los transistores MOSFET o también llamados MOS se pueden clasificar en dos tipos. El primer tipo es el MOSFET de empobrecimiento y el segundo tipo el MOSFET de enriquecimiento. En este apartado se estudiará sólo el MOSFET de enriquecimiento por tener un uso más entendido en el diseño electrónico y por razones que se explicarán en este apartado.

Dentro de los MOSFET de enriquecimiento encontramos dos tipos de transistores, los MOSFET de canal n, llamados NMOS, que se caracterizan por tener un sustrato tipo p y los MOSFET de canal p, también llamados PMOS cuyo sustrato es de tipo n.

En la figura 2.1 (a) y 2.1 (b) se muestra esquemáticamente la estructura de un NMOS y un PMOS respectivamente. Para simplificar el estudio del transistor MOS nos centraremos en el funcionamiento y características del transistor NMOS.

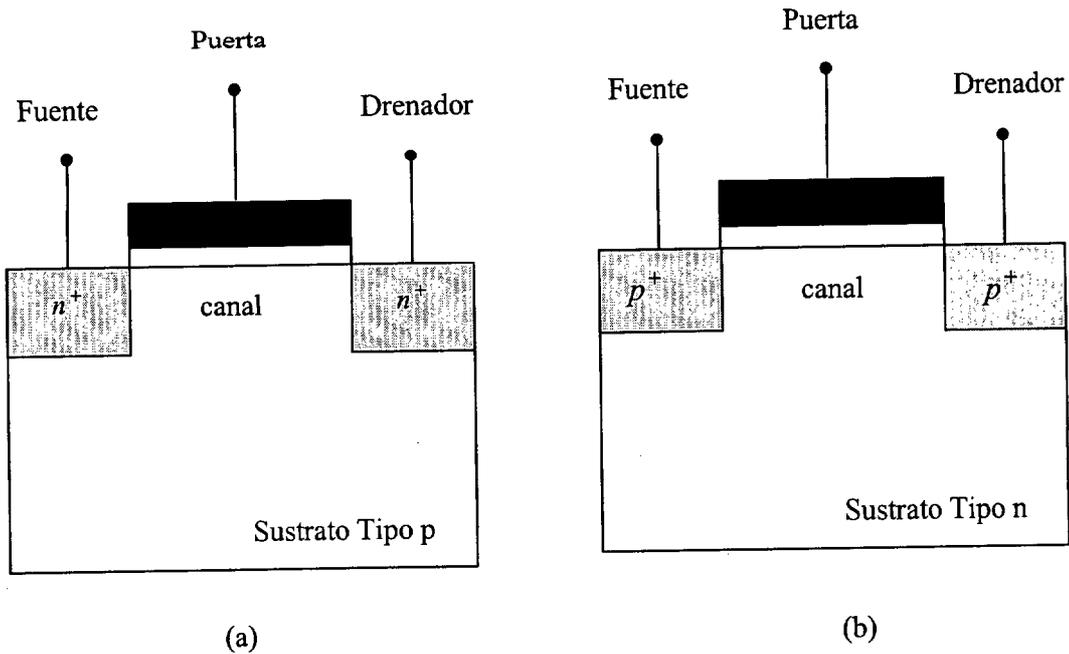


Figura 2.1 Corte esquemático de un transistor NMOS (a) y PMOS (b)

Como se observa en la figura 2.1 tanto el transistor NMOS como el PMOS tienen tres terminales de conexión denominados puerta (*Gate*), drenador (*Drain*) y fuente (*Source*). En la figura 2.1 (a) las dos zonas de tipo n implantadas en el sustrato tipo p son los terminales de fuente y drenador. La región comprendida entre la fuente y el drenador es el canal el cual está cubierto por una fina capa de dióxido de silicio (SiO_2) que actúa como aislante. Sobre esta fina capa de óxido se deposita a su vez una capa conductora de polisilicio que constituye la puerta del transistor NMOS.

2.3.2 FUNCIONAMIENTO DEL TRANSISTOR NMOS

Cuando se aplica una pequeña tensión positiva en la puerta del transistor NMOS se crea un campo eléctrico dirigido perpendicularmente a través del óxido de puerta. Este campo atrae hacia la puerta los electrones libres que son portadores minoritarios en el sustrato tipo p formándose una capa fina de material tipo n próxima al dióxido de silicio. Esta capa conductora se denomina capa de inversión y forman el llamado canal de conducción. La tensión entre la puerta y la fuente mínima que crea la capa de inversión se llama tensión umbral V_T . En la figura 2.2 se muestra el esquema de un transistor NMOS donde aparece dibujado la tensión que se aplica en cada terminal y el canal inducido en la puerta.

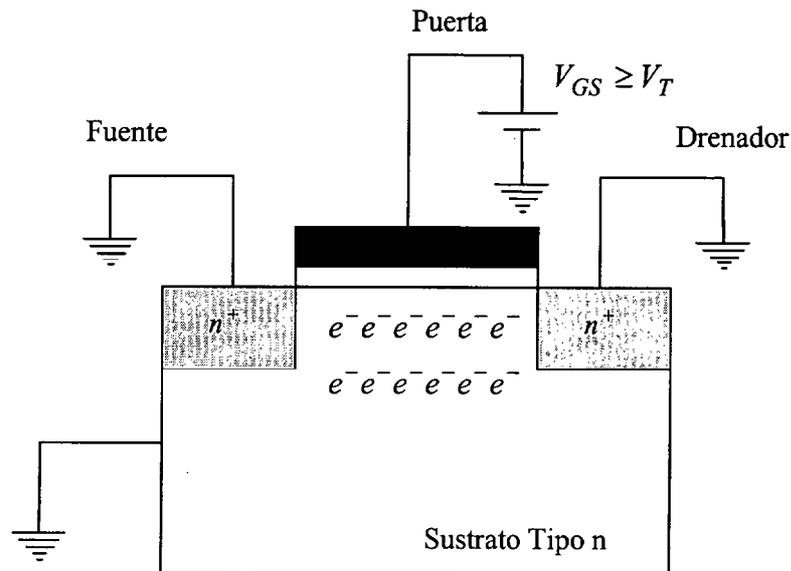


Figura 2.2 Formación del canal en un transistor NMOS $V_{GS} > 0$

A medida que se aumenta la tensión de puerta el campo eléctrico inducido a través de la puerta es mayor, por tanto se atrae un mayor número de electrones hacia la puerta y por consiguiente el ancho del canal de conducción también aumenta.

Si a continuación se aplica una diferencia de potencial entre el drenador y la fuente los electrones libres que se encuentran en el canal empiezan a circular desde un terminal a otro, creándose una corriente entre estos terminales. Así, la corriente de drenador se incrementa por el aumento de la tensión de puerta ya que la concentración de electrones en el canal es mayor. Por esta razón, al dispositivo se le llama MOSFET de acumulación o enriquecimiento.

Consideremos ahora la situación en que la V_{DS} aumenta desde cero manteniéndose V_{GS} a un valor constante mayor que V_T (es decir, $V_{GS} - V_T > 0$). Con valores pequeños de V_{DS} ($V_{DS} < V_{GS} - V_T$) un aumento de V_{DS} irá acompañado de un aumento de la corriente de drenador I_D . En este caso, el comportamiento del MOSFET es el de una resistencia y a esta zona de trabajo se le denomina *región óhmica* (ver figura 2.3).

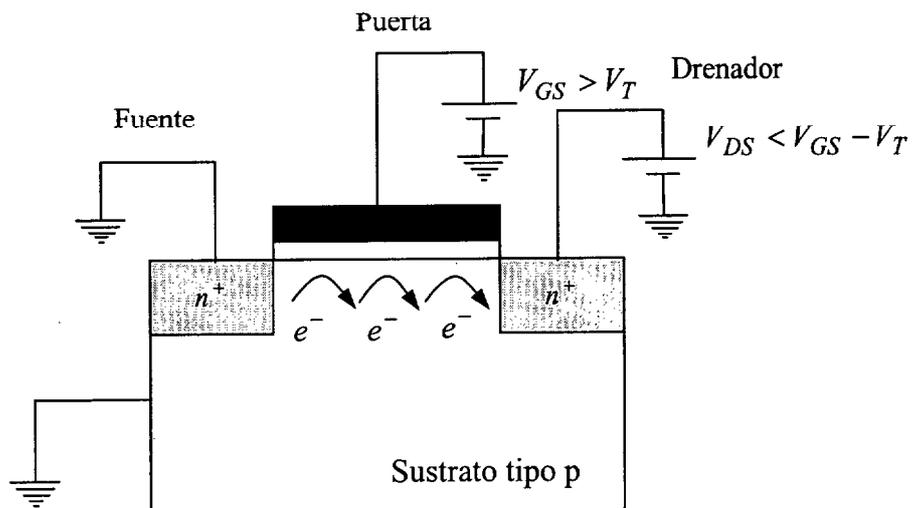


Figura 2.3 Polarización del transistor NMOS en zona óhmica $I_D \neq 0$

A medida que crece V_{DS} la caída de tensión a lo largo del canal también crece y por tanto disminuye la tensión entre la puerta y el lado del canal correspondiente al drenador ($V_{GD} = V_{DS} - V_{GS}$).

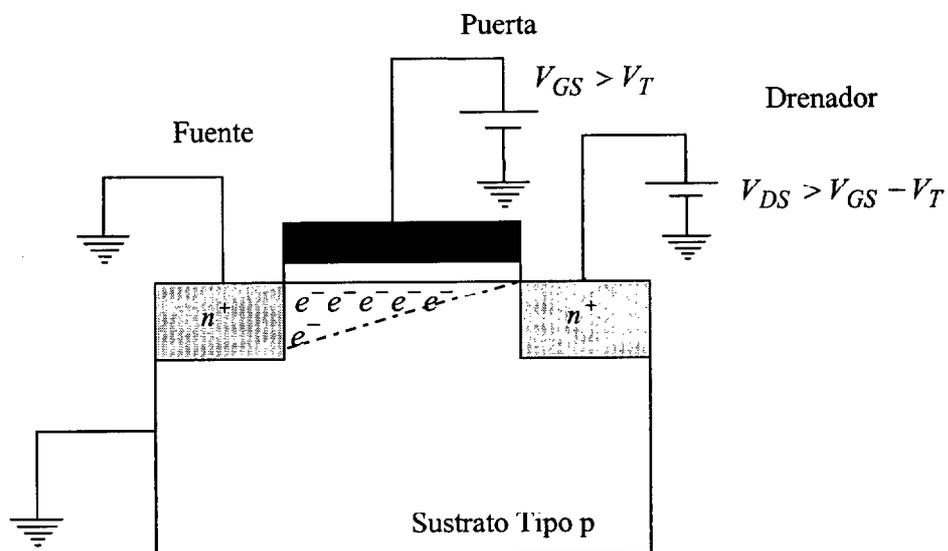


Figura 2.4 Polarización del transistor NMOS en zona de saturación $I_D \approx cte$

La disminución de tensión en este lado del canal se traduce en una disminución del campo y por tanto en menos inversión o concentración de cargas en la porción del canal inducido. Por esta razón, el canal se empieza a cerrar e I_D crece mucho más despacio con el aumento de V_{DS} que en la región óhmica. Idealmente una vez llegado a la estrangulación del canal, un nuevo incremento de V_{DS} no afecta a I_D habiéndose llegado a la corriente de saturación. A esta zona de trabajo del transistor se le denomina *región de saturación* (ver figura 2.4).

2.3.3 CARACTERÍSTICAS TENSIÓN-CORRIENTE DE UN TRANSISTOR NMOS

En este apartado se resumen las distintas zonas de funcionamiento de un transistor NMOS y las expresiones necesarias para el cálculo de la corriente de drenador I_D en cada caso.

2.3.3.1 Región de Corte

Como se estudió anteriormente se formará un canal de inversión entre la fuente y el drenador sólo si $V_{GS} \geq V_T$. Si $V_{GS} < V_T$ no habrán cargas libres en el canal de inversión, e $I_D=0$. Por tanto, la condición de que $V_{GS} < V_T$ supone que el MOSFET está en zona de corte.

2.3.3.2 Región Óhmica o Lineal

Cuando $V_{GS} > V_T$ la conductividad del canal está gobernada por V_{DS} . Precisando más, la región óhmica queda definida por la expresión $V_{GS}-V_T > V_{DS}$. Un análisis teórico de la región óhmica conduce al resultado de que la corriente de drenador viene dada por la ecuación 2.1:

$$I_D = K \cdot \left(\frac{W}{L}\right) \cdot [2 \cdot (V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2] \quad (2.1)$$

Donde:

L es la longitud del canal, W es el ancho del canal y K es un parámetro dependiente de la tecnología en este caso $K = \frac{\mu_n \cdot C_{ox}}{2}$, siendo μ_n la movilidad de los electrones y C_{ox} la capacidad de puerta por unidad de superficie.

2.3.3.3 Región de Saturación

En la región de saturación se tiene que cumplir que $V_{DS} > V_{GS} - V_T$. Si se cumple esta condición la corriente de drenador I_D es constante e independiente de V_{DS} . El valor de I_D dependerá sólo de la tensión efectiva de control $V_{GS} - V_T$. La corriente de drenador en saturación está definida por la ecuación 2.2.

$$I_D = K \cdot \left(\frac{W}{L}\right) \cdot (V_{GS} - V_T)^2 \quad (2.2)$$

De la ecuación 2.2 se puede deducir las siguientes conclusiones. En primer lugar, la relación W/L es un factor que sirve para escalar la corriente de drenador. Así, variando esta relación, dos o más MOSFET pueden soportar distintas corrientes de drenador, estando contruidos en un mismo chip y teniendo igual valor de V_T . En segundo lugar el parámetro K tiene un valor pequeño por lo tanto sólo se consiguen I_D altas (varios mA) en dispositivos de relación W/L alta, es decir, transistores que ocupen mucha área.

En realidad I_D no se mantiene constante en la región de saturación sino que crece ligeramente con V_{DS} debido al efecto de “modulación de longitud del canal”. Para tener en cuenta este factor, se modifica la ecuación 2.2 introduciendo el factor $(1+\lambda V_{DS})$ como aparece en la ecuación 2.3.

$$I_D = K \cdot \left(\frac{W}{L}\right) \cdot [2 \cdot (V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2] \cdot (1 + \lambda \cdot V_{DS}) \quad (2.3)$$

En la figura 2.5 se representa gráficamente las distintas zonas de trabajo de un transistor NMOS.

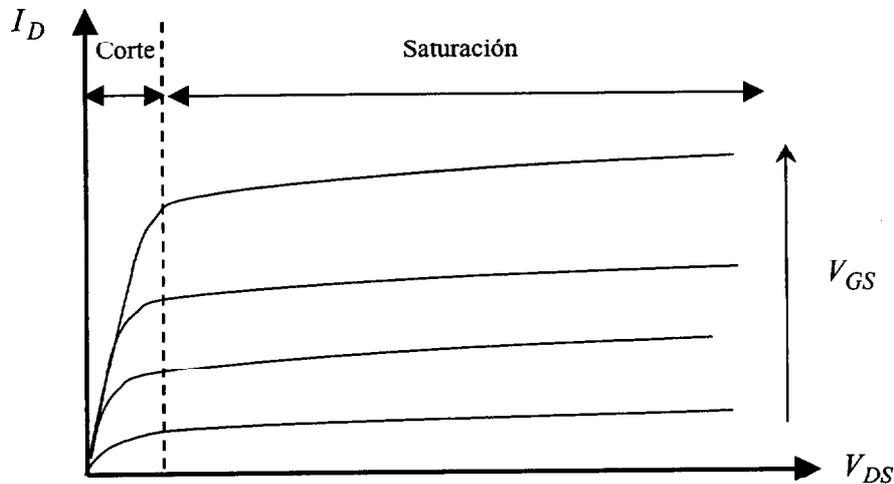


Figura 2.5 Curva tensión-corriente de un transistor NMOS

2.3.4 CARACTERÍSTICAS TENSION-CORRIENTE DE UN TRANSISTOR PMOS.

El transistor PMOS representado en la figura 2.1 (b) consta de dos zonas tipo p implantadas en un sustrato tipo n. El funcionamiento de este tipo de MOSFET es el mismo que el de un NMOS. Las ecuaciones 2.1 y 2.2 son también aplicables a este tipo de transistores sabiendo que las polaridades de las tensiones y los sentidos de las corrientes de un PMOS son opuestas a las correspondientes a un NMOS. Asimismo, para calcular el parámetro K se debe sustituir μ_n por μ_p .

2.3.5 TRANSISTOR MOS EN ALTA FRECUENCIA

En este apartado se pretende describir el funcionamiento del transistor MOS a altas frecuencias. En la figura 2.6 se muestra el modelo equivalente de un transistor MOS en alta frecuencia.

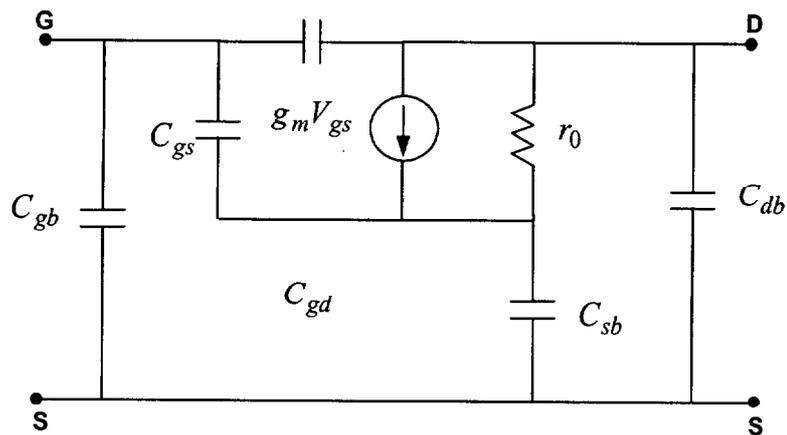


Figura 2.6 Modelo equivalente de un transistor MOS en alta frecuencia

La transconductancia g_m del transistor MOS cuyo valor determina la ganancia del mismo se puede determinar mediante la ecuación 2.4.

$$g_m = \sqrt{\frac{2 \cdot K' \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{K' \cdot W \cdot I_D}{L_{eff}}} \quad (2.4)$$

Donde:

- L_{eff} es la longitud efectiva del canal del transistor, es un dato proporcionado por el fabricante. Aunque la tecnología utilizada en nuestro diseño indica una longitud del canal $L = 0.8 \mu m$, esta longitud varía debido a las difusiones en el proceso de fabricación. La variación de esta longitud afecta al valor de las capacidades, como se estudiará más adelante.
- W es el ancho del canal del transistor.
- K' es una constante proporcionada por el fabricante, de valor $100 \mu A/V^2$ para el transistor NMOS y $35 \mu A/V^2$ para el transistor PMOS.

Según se puede ver en la figura 2.6, cuando se trabaja a alta frecuencia en el transistor MOS aparecen una serie de capacidades parásitas asociadas al mismo.

Estas capacidades son principalmente de dos tipos:

- Capacidades de la zona de carga espacial: Se producen en las uniones P-N del transistor, debido a la presencia de carga espacial de distinto signo en cada zona.
- Capacidades en la zona de óxido: Estas capacidades se forman entre dos zonas conductoras separadas por óxido (aislante) sometidas a distintas tensiones. El valor de estas capacidades depende las variables de diseño de los transistores y de las posibles dispersiones de estas durante el proceso de fabricación.

A continuación se describen más detalladamente cada uno de estos tipos de capacidades.

Las expresiones de las capacidades de la zona de carga espacial son las siguientes:

$$C_{db} = \frac{C_{db0}}{\left(1 - \frac{V_{db}}{\psi_0}\right)^m} \quad (2.5)$$

$$C_{sb} = \frac{C_{sb0}}{\left(1 - \frac{V_{sb}}{\psi_0}\right)^m} \quad (2.6)$$

Donde:

C_{db0} y C_{sb0} son parámetros que representan la densidad de la capacidad de la unión P-N cuando la polarización de esta es nula, V es la tensión directa de polarización de dicha unión, ψ_0 es la barrera de potencial y m es una constante dependiente del tipo de unión.

Las capacidades de la zona de óxido en un transistor MOS son las siguientes:

- C_{gb} es la capacidad de óxido entre la puerta y el sustrato (bulk).
- C_{gs} es la capacidad de óxido entre la puerta y el sustrato.
- C_{gd} es la capacidad de óxido entre la puerta y el drenador.

El valor de estas capacidades depende de la zona de operación en que se encuentre el transistor. La tabla 2.1 muestra las expresiones necesarias para poder hallar los distintos valores de estas capacidades.

ZONAS DE FUNCIONAMIENTO DEL TRANSISTOR MOS			
CAPACIDAD	Corte	Óhmica	Saturación
C_{gd}	$C_{ox} \cdot L_d \cdot W$	$C_{ox} \cdot L_d \cdot W + 0.5 C_{ox} \cdot L \cdot W$	$C_{ox} \cdot L_d \cdot W$
C_{gs}	$C_{ox} \cdot L_d \cdot W$	$C_{ox} \cdot L_d \cdot W + 0.5 C_{ox} \cdot L \cdot W$	$C_{ox} \cdot L_d \cdot W + 0.66 C_{ox} \cdot L \cdot W$
C_{gb}	$C_{ox} \cdot L \cdot W$	0	0

Tabla 2.1 Capacidades de la zona de óxido del transistor NMOS

Siendo C_{ox} la capacidad por unidad de área de la capacidad parásita puerta/óxido/sustrato y L_d es la distancia de difusión lateral que se produce bajo la puerta.

CAPÍTULO 3

CONCEPTOS BÁSICOS EN EL DISEÑO DE CIRCUITOS INTEGRADOS DE RF

Para poder conseguir las especificaciones de diseño encomendadas en este proyecto es necesario conocer con claridad todos los parámetros o factores que influyen sobre éstas, su significado y la forma de medirlas. Por esta razón en este capítulo se realizará un estudio profundo de algunas especificaciones claves en el diseño de un LNA como pueden ser la figura de ruido, la ganancia, la linealidad y el IIP3 entre otros muchos parámetros.

3.1 RUIDO EN CIRCUITOS INTEGRADOS DE RF

3.1.1 ¿QUÉ ES EL RUIDO?

El ruido se define como cualquier interferencia aleatoria no relacionada con la señal de interés. La inevitable presencia del ruido en un sistema de comunicación

causa que la transmisión de señales eléctricas a través del mismo no sea segura. Hay muchas fuentes potenciales de ruido. Éstas pueden ser externas al sistema (ruido atmosférico, ruido galáctico, ruido producido por el hombre) o propias del mismo sistema. En este apartado sólo se estudiará las fuentes de ruido generadas por el propio sistema.

El ruido interno está muy unido a los fenómenos físicos, los cuales caracterizan el comportamiento de los componentes de los circuitos empleados en RF. Estos fenómenos consisten en variaciones espontáneas de tensiones o corrientes causadas por la agitación temporal de las cargas en los conductores o por la estructura granular de dichas cargas. Por lo tanto podemos deducir que el ruido producido por un circuito electrónico no puede ser eliminado por completo debido a que es intrínseco al propio funcionamiento del circuito. Sin embargo, si es posible minimizar sus efectos mediante un diseño preciso del mismo.

3.1.2 TIPOS DE RUIDO EN CIRCUITOS INTEGRADOS

3.1.2.1 Ruido Térmico

Es una perturbación de carácter aleatorio que aparece de forma natural en los conductores debido a la agitación térmica de los electrones. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las fluctuaciones de energía en torno al valor más probable son muy pequeñas pero suficientes para producir la agitación de las cargas dentro del conductor. Estas fluctuaciones de las cargas crean una diferencia de tensión que se mezcla con la señal transmitida por el conductor, produciendo interferencias en la misma y degradando la calidad de la señal.

Como la causa de este tipo de ruido es el movimiento térmico de los electrones, es lógico esperar que esté relacionado con la temperatura y de hecho aumenta directamente con la temperatura. La potencia media de ruido térmico está definida por la siguiente ecuación:

$$\eta = 4 \cdot K \cdot T \cdot \Delta f \quad (3.1)$$

Donde:

- η es la potencia media de ruido media medida en vatios.
- K es la constante d Boltzmann, $K = 1.381 \times 10^{-23} \text{ Jul/}^\circ K$.
- T es la temperatura absoluta.
- Δf es el ancho de banda de la señal.

Como se puede observar en la ecuación 3.1 el valor del ruido térmico también aumenta de forma proporcional con el ancho de banda de la señal. Las fuentes de ruido térmico más comunes en los circuitos integrados son las resistencias y los transistores MOS.

3.1.2.2 Ruido Shot

La base fundamental del ruido Shot es la naturaleza granular de la carga eléctrica. El ruido Shot se origina solamente cuando hay un flujo de corriente a través de una barrera de potencial y está asociado al mecanismo físico de salto de una barrera de potencial por un transporte de carga.

Estos procesos físicos asumen la existencia de un promedio de flujo de corriente que se manifiesta en forma de huecos y electrones fluyendo en los semiconductores. En particular, en un semiconductor, la causa de este ruido es la dispersión aleatoria de los electrones o a la recombinación aleatoria de los huecos. Como consecuencia, el ruido Shot dependerá de la carga del electrón, del valor medio de la corriente y, como en el ruido térmico, del ancho de banda. Este tipo de ruido está caracterizado, al igual que el ruido térmico, por una función de densidad gaussiana.

3.1.2.3 Ruido Flicker

Este tipo de ruido aparece en todos los dispositivos activos, así como en algunos elementos pasivos. Está caracterizado por una densidad espectral de potencia que aumenta cuando la frecuencia decrece. Por esta propiedad este ruido es muy diferente del ruido térmico y del Shot, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

En los dispositivos electrónicos, la aparición del ruido flicker está más marcado en dispositivos que son sensibles a los fenómenos de superficie. Algunos defectos e impurezas en la superficie del material del dispositivo pueden aleatoriamente atrapar y liberar cargas.

La corriente i generada por el ruido flicker presenta, en general, una densidad espectral de potencia de la forma:

$$S_{i(f)} = K_1 \frac{I^a}{f^b} \quad (3.2)$$

Siendo:

- I es el flujo de corriente directa del dispositivo.
- K_1 es una constante particular para cada dispositivo.
- a es una constante en el rango de 0.5 a 2.
- b es una constante aproximada a la unidad.

Debemos considerar que al trabajar con circuitos de RF estamos tratando con altas frecuencias por lo que el ruido flicker no tiene un efecto considerable.

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

3.1.3 FUENTES DE RUIDO EN CIRCUITOS INTEGRADOS DE RF

El ruido que se genera en los circuitos integrados es debido a los componentes que han sido integrados en el mismo. Aunque las resistencias y los transistores MOS son las fuentes de ruido principales en los circuitos integrados, existen otros dispositivos que también añaden ruido. Estos dispositivos pueden ser los condensadores y las bobinas. Idealmente estos componentes de carácter reactivo no son ruidosos pero al integrarse aparecen una serie de efectos parásitos que si contribuyen a la aparición de algún tipo de ruido.

3.1.3.1 Ruido Térmico en Resistencias Integradas

En una resistencia R el ruido térmico que se origina puede ser modelado por una fuente de tensión en serie con la resistencia con un valor cuadrático medio $\overline{V_n^2(t)}$ o por un generador de corriente en paralelo con R de valor cuadrático medio $\overline{i_n^2(t)}$ como se representa en la figura 3.1.

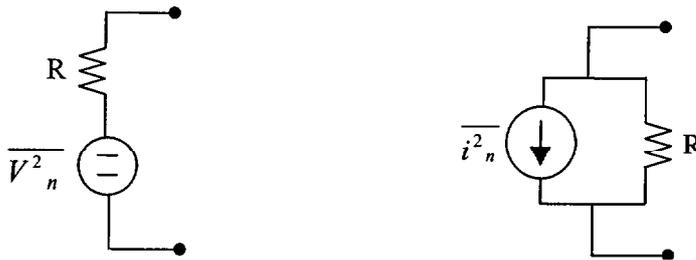


Figura 3.1 Fuentes de ruido equivalente en una resistencia

La densidad espectral de potencia de la fuente de tensión serie y la del generador de corriente equivalente de ruido se muestra en las ecuaciones 3.3 y 3.4 respectivamente.

$$S_{v(t)}(f) = 4 \cdot K \cdot T \cdot R \quad (3.3)$$

$$S_{i(t)} = \frac{4 \cdot K \cdot T}{R} \quad (3.4)$$

Como se puede observar en estas ecuaciones, la densidad espectral de potencia del ruido térmico es independiente de la frecuencia. Es decir, el ruido térmico generado por una resistencia a baja frecuencia es el mismo que el introducido a alta frecuencia.

El ruido térmico y en general todos los tipos de ruido que presentan esta característica se le conoce como ruido blanco.

El valor cuadrático medio de ruido para la fuente de tensión y para la fuente de corriente equivalente de ruido se representan en las ecuaciones 3.5 y 3.6.

$$\overline{V_n^2(t)} = 4 \cdot K \cdot T \cdot R \cdot \Delta f \quad (3.5)$$

$$\overline{i_n^2(t)} = 4 \cdot K \cdot T \cdot \frac{1}{R} \cdot \Delta f \quad (3.6)$$

De las ecuaciones anteriores se puede deducir que el valor del ruido térmico generado en una resistencia es directamente proporcional al ancho de banda de la señal.

3.1.3.2 Ruido Térmico en Transistores MOS

El ruido térmico aparece presente en el transistor MOS debido a que se comporta como una resistencia controlada por tensión. Este tipo de ruido puede ser modelado como un generador de corriente conectado entre el drenador y la fuente del transistor como se muestra en la figura 3.2.

La densidad espectral de potencia de esta fuente de ruido está dada por la ecuación 3.7.

$$S_{i_{nd}(t)}(f) = 4 \cdot K \cdot T \cdot \gamma \cdot g_{d0} \quad (3.7)$$

Siendo:

- g_{d0} la conductancia de la fuente de drenador para $V_{DS} = 0$. En el caso de que el MOS sea de canal largo y esté en saturación, g_{d0} puede ser sustituido por la transconductancia del transistor, g_m .
- γ un parámetro que en dispositivos de canal largo, está en función de V_{DS} .

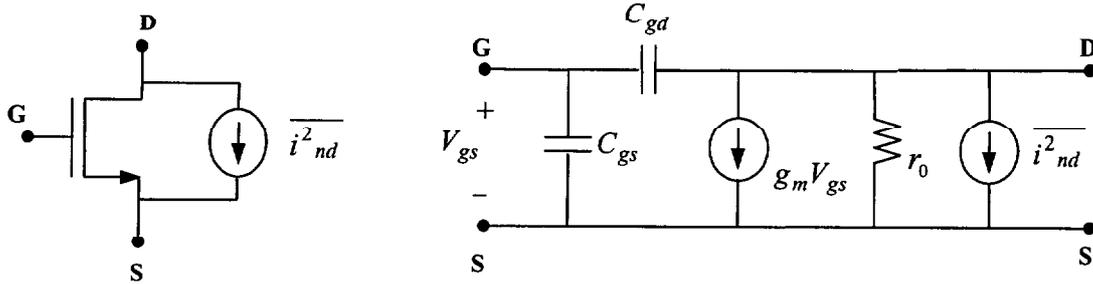


Figura 3.2 Representación del ruido térmico en transistor MOS y circuito equivalente.

Además del ruido térmico generado por la corriente de drenador, aparece otra fuente de ruido añadida. Esta fuente de ruido la genera la resistencia distribuida que presenta la puerta del transistor MOS. El polisilicio con el cual está fabricada la puerta, no es un conductor ideal y presenta una resistencia asociada la cual tiene asociada una fuente de ruido térmico.

El valor de la resistencia de puerta de un transistor MOS se calcula mediante la siguiente expresión:

$$R_g = \frac{R_* \cdot W}{3 \cdot n^2 \cdot L} \quad (3.8)$$

Donde:

- R_* es la resistencia por cuadro del polisilicio.
- W y L son las dimensiones del transistor MOS.
- n es el número de dedos o transistores en que se ha dividido el transistor MOS.

De la ecuación 3.8 se puede deducir que el ruido introducido por la resistencia de puerta puede minimizarse utilizando técnicas en la realización del layout (técnicas

interdigit, etc). Estas técnicas de diseño se estudiarán posteriormente en el capítulo 5 dedicado al layout del LNA.

En la figura 3.3 se muestra el circuito equivalente de un transistor MOS donde aparece enmarcado en línea discontinua la fuente de ruido equivalente al ruido de puerta y al ruido térmico generado por la corriente de drenador.

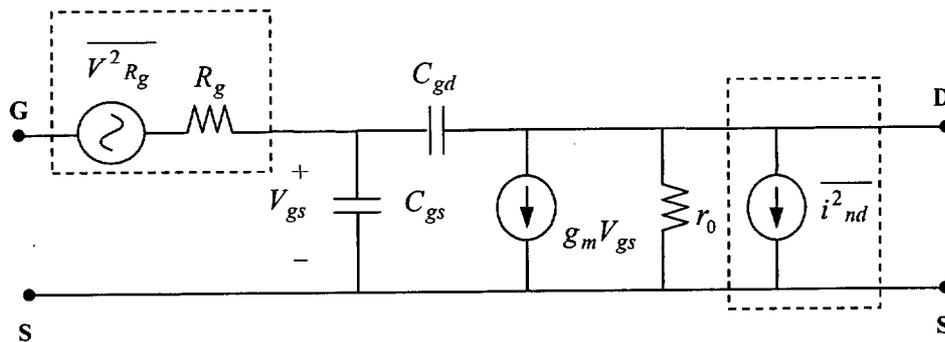


Figura 3.3 Representación ruido térmico y ruido de puerta en transistor MOS

3.1.3.3 Ruido Shot en Transistores MOS

Otra fuente de ruido que aparece en los dispositivos MOS, pero que apenas se manifiesta, es el ruido Shot. Este tipo de ruido es originado por las corrientes de fuga en la puerta del transistor MOS y puede ser modelado como un generador de corriente conectado entre la puerta y la fuente del transistor como se muestra en la figura 3.4.

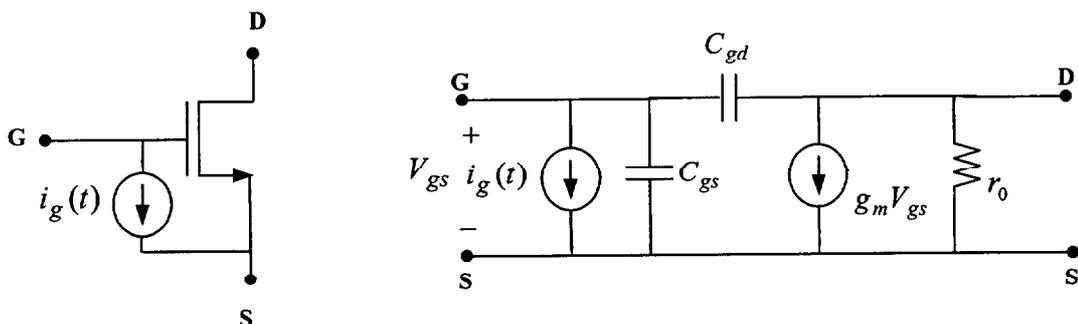


Figura 3.4 Representación del ruido Shot en transistor MOS y circuito equivalente

El ruido Shot tiene una densidad espectral de potencia definida por la ecuación 3.9.

$$S_{i_{g(t)}}(f) = 2 \cdot q \cdot I_G \quad (3.9)$$

donde, I_G es la corriente continua de fuga en la puerta del transistor MOS.

3.1.4 FIGURA DE RUIDO

La figura de ruido de un componente nos define la cantidad de ruido que introducirá el propio componente sin tener en cuenta el ruido exterior. Antes de pasar a definir el significado de la figura de ruido de un componente es necesario conocer otros conceptos.

3.1.4.1 Factor de Ruido

El factor de ruido de un componente se define como la relación entre la potencia total de ruido a la salida del componente y la potencia total de ruido a la salida del mismo elemento si no fuese ruidoso.

Cualquier etapa de una cadena de recepción puede considerarse como un cuadripolo, es decir, una caja negra con un puerto de entrada y otro de salida.

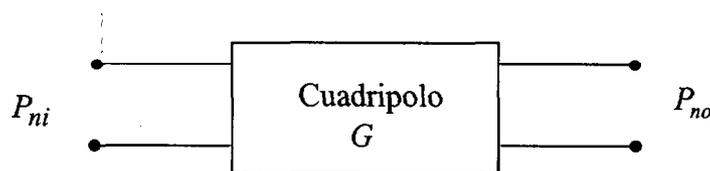


Figura 3.5 Representación de un sistema mediante un cuadripolo

En la figura 3.5 se muestra el diagrama de bloque de un cuadripolo en donde:

- P_{no} es la potencia de ruido a la salida del cuadripolo.
- P_{ni} es la potencia de ruido a la entrada del cuadripolo.
- G es la ganancia en potencia del cuadripolo.
- P_{nc} es la potencia de ruido contribuida por el cuadripolo.

La potencia de ruido a la salida de un cuadripolo puede expresarse como se muestra en la ecuación 3.10.

$$P_{no} = P_{ni}G + P_{nc} \quad (3.10)$$

Según su definición, el factor de ruido de cualquier etapa o sistema puede expresarse con la siguiente ecuación:

$$F(f) = \frac{P_{no}}{P_{ni}G} \quad (3.11)$$

Desde otro punto de vista, podemos expresar el factor de ruido como el cociente entre la relación señal-ruido a la entrada del cuadripolo y la relación señal-ruido a la salida del mismo, es decir:

$$F = \frac{P_{no}}{P_{ni}G} \cdot \frac{P_{si}}{P_{si}} = \frac{P_{si}/P_{ni}}{P_{si}G/P_{no}} = \frac{(S/N)_{entrada}}{(S/N)_{salida}} \quad (3.12)$$

Donde:

- P_{si} es la potencia de la señal de entrada al cuadripolo
- (S/N) es la relación señal-ruido del sistema.

3.1.4.2 Figura de Ruido

A partir de la ecuación 3.12 se puede llegar a la expresión de la figura de ruido de un componente. La figura de ruido expresa cuantitativamente lo ruidoso que es un componente y su unidad de medida es el dB.

$$NF = 10 \log(F) \text{ (dB)} \quad (3.13)$$

$$NF = 10 \log \left(\frac{\left(\frac{S}{N}\right)_{entrada}}{\left(\frac{S}{N}\right)_{salida}} \right) \quad (3.14)$$

La figura de ruido mide cuánto se degrada la relación señal-ruido cuando pasa a través de un sistema. Si el sistema no presenta ruido, se cumple que $\left(\frac{S}{N}\right)_{entrada} = \left(\frac{S}{N}\right)_{salida}$ sin tener en cuenta la ganancia. Por lo tanto, la figura de ruido de un sistema sin ruido es igual a la unidad. Lo que ocurre en la realidad es que el ruido finito de un sistema degrada la relación señal-ruido de la señal, por lo que $NF > 1$.

La figura de ruido de una etapa no sólo depende del ruido introducido por el propio sistema sino también de la relación señal-ruido de la etapa precedente. De hecho, si la señal de entrada no contiene ruido, la $\left(\frac{S}{N}\right)_{entrada}$ sería infinita y por consiguiente la figura de ruido también. Para un caso así, la NF no es un parámetro significativo. En el diseño de RF esto no ocurre porque la señal que llega a la primera etapa de la cadena de recepción ya está degradada debido al ruido producido por la resistencia de radiación de la antena. Por lo tanto en este caso la figura de ruido que presenta un componente sí es un parámetro de medida importante ya que nos define la calidad del mismo en cuanto a su inmunidad al ruido.

3.1.4.3 Figura de Ruido en Etapas en Cascada

La figura de ruido de un sistema de etapas conectadas en cascada se determina por la ecuación de Friis, ecuación 3.15. Según esta ecuación la figura de ruido total del sistema está en función de la NF y la ganancia de cada etapa.

$$NF_{total} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 \cdot G_2} + \dots + \frac{NF_n - 1}{G_1 \cdot \dots \cdot G_{(n-1)}} \quad (3.15)$$

Como se puede observar en la ecuación 3.15, la figura de ruido de la primera etapa se suma directamente a la figura de ruido total del sistema, mientras que la figura de ruido de las subsiguientes etapas está dividida por la ganancia total de todas las etapas anteriores.

Lógicamente, tanto la figura de ruido como la ganancia de la primera etapa del terminal influyen de manera fundamental en la figura de ruido del sistema. Si la amplificación de la primera etapa es suficientemente grande se puede aproximar la figura de ruido del sistema por la figura de ruido de la primera etapa. Por tanto interesa que la primera etapa amplifique lo máximo posible introduciendo el mínimo ruido posible.

En el caso de un receptor GPS la primera etapa que encontramos en la cadena de recepción es el LNA. Por este motivo el diseño de esta etapa es crítico ya que determina en gran medida la figura de ruido del receptor tal y como refleja la fórmula de Friis. Por ello es importante que el LNA presente la mínima figura de ruido posible.

3.2 ADAPTACIÓN DE IMPEDANCIAS

Cuando un circuito está terminado en una impedancia distinta de la impedancia característica del mismo, parte de la energía suministrada por el generador es reflejada por la carga produciéndose una onda estacionaria. La adaptación de impedancias consiste en eliminar las posibles reflexiones que se produzcan en un circuito, especialmente si son de alta frecuencia.

Las razones que aconsejan la adaptación son numerosas. La primera y más importante es conseguir la máxima transferencia de energía del generador a la carga de forma que toda la potencia disponible del generador se transfiera a la carga. Así, en la

figura 3.6 con $Z_L \neq Z_0$, si se intercala entre la carga y la línea una sección adaptadora sin pérdidas de forma que $Z_e = Z_0$, no habrá onda estacionaria en la línea y toda la potencia del generador llegará a la carga, excepto las pérdidas disipativas que hay en la línea.

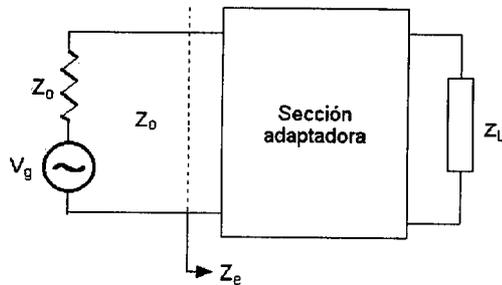


Figura 3.6 Carga adaptada en impedancia

La adaptación de impedancias en un circuito es necesaria en los siguientes casos:

- Cuando existan conexiones externas del chip.
- Cuando se quiera testear por separado un circuito en un primer proceso, ya que los aparatos de medida están adaptados en impedancia.

En el caso del LNA la necesidad de adaptación es debida a que esta etapa se encuentra al inicio del terminal de recepción y por tanto su entrada corresponde a una conexión externa como es una antena de recepción.

La antena al igual que todos los componentes externos al LNA están adaptados por convenio a una impedancia de 50Ω , por lo que al menos la entrada del LNA ha de estar adaptada en impedancia.

En nuestro caso el LNA se adaptará tanto a la entrada como al salida ya que las medidas se realizarán sobre la propia oblea y los aparatos de medida utilizados están adaptados también a 50Ω .

3.2.1 COEFICIENTE DE REFLEXIÓN

En sistemas de radiofrecuencia se define el coeficiente de reflexión como la relación entre la potencia reflejada y la potencia incidente. Como sabemos la cantidad de potencia reflejada depende del grado de adaptación que existe entre la fuente de transmisión y la carga conectada a dicha línea.

Por ejemplo, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica Z_0 y suponemos que la impedancia del generador es igual a la impedancia característica de la línea ($Z_g = Z_0$) toda la potencia transmitida desde la fuente será transferida a la carga. Esto significa que la potencia de señal reflejada es cero y por tanto el coeficiente de reflexión también es cero. Sin embargo, cuando la impedancia de la carga no es igual a la impedancia característica de la línea $Z_0 \neq Z_L$ parte de la potencia transmitida es reflejada y entonces tendremos un coeficiente de reflexión distinto de cero.

3.2.1.1 Coeficiente de Onda Estacionario VSWR

Este coeficiente está relacionado con el coeficiente de reflexión Γ_L según la expresión 3.16 e indica cómo de adaptado está nuestro circuito a la entrada ($VSWR_1$) y a la salida ($VSWR_2$).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (3.16)$$

En esta ecuación podemos ver que si terminamos la línea de transmisión con una impedancia igual a su impedancia característica Z_0 , el coeficiente de reflexión será cero y por tanto tendremos un $VSWR$ de valor 1.

El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión es porque es más fácil de medir ya que no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas.

3.3 GANANCIA

La ganancia en tensión de un circuito se puede expresar como:

$$Ganancia = \frac{V_{salida}}{V_{entrada}} \quad (3.17)$$

Siendo su valor en decibelios:

$$Ganancia(dB) = 20 \log \left(\frac{V_{salida}}{V_{entrada}} \right) \quad (3.18)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de una etapa se utilizan los parámetros S, más concretamente el S_{21} .

En el caso de un receptor de GPS y más concretamente en el caso del LNA, la ganancia de cada etapa es importante ya que es directamente proporcional a la relación señal-ruido tal y como se puede apreciar en la ecuación 3.19.

$$\left(\frac{S}{N} \right)_{salida} = \frac{P_{ni} \cdot G \cdot \left(\frac{S}{N} \right)_{entrada}}{P_{no}} \quad (3.19)$$

Como se deduce de la ecuación 3.19, cuanto mayor sea la ganancia en potencia del LNA mayor será la relación señal-ruido a la salida del mismo y por lo tanto se disminuirá su figura de ruido. Según la fórmula de Friis al disminuir la figura de ruido del LNA se consigue disminuir la figura de ruido total del receptor.

3.4 FIDELIDAD Y DISTORSIÓN

En este apartado se va explicar el concepto de producto de intermodulación. Para ello previamente se describirán una serie de conceptos que ayudarán a su mejor comprensión.

3.4.1 FIDELIDAD

Se define la fidelidad de un receptor como la capacidad que tiene el mismo de reproducir las características de modulación de la señal recibida con un nivel de distorsión no superior a una valor especificado.

3.4.2 DISTORSIÓN

Idealmente, si aplicamos a la entrada de un amplificador una señal sinusoidal tenemos a la salida la misma señal de entrada amplificada. Generalmente en la realidad no ocurre esto, es decir la onda de salida del amplificador no es una réplica exacta de la entrada sino que han tenido lugar varios tipos de distorsión. Estas distorsiones en la señal pueden ser debidas a la no linealidad de los componentes o a la influencia de los circuitos asociados al mismo.

Los tipos de distorsión que pueden darse en una señal, ya sea de manera separada o simultáneamente son:

- Distorsión lineal.
- Distorsión no lineal.

En este apartado sólo se estudiará la distorsión no lineal debido a la relación que tiene con el producto de intermodulación de tercer orden IP3. Dentro de los tipos de distorsión no lineal que existen se estudiará concretamente la distorsión de intermodulación.

3.4.2.1 Distorsión de Intermodulación

Cuando a la entrada de un circuito no lineal se aplica dos señales de distinta frecuencia w_1 y w_2 , la salida presenta en general por un lado términos armónicos de w_1 y w_2 y por otro lado algunas componentes de frecuencia que no son armónicos de

las señales de entrada. A este fenómeno se le denomina intermodulación y a los armónicos indeseados *productos de intermodulación*.

Los productos de intermodulación más importantes y que más perjudican son los de tercer orden debido a que su frecuencia puede ser igual o parecida a la de las componentes fundamentales, como se observa en la figura 3.7.

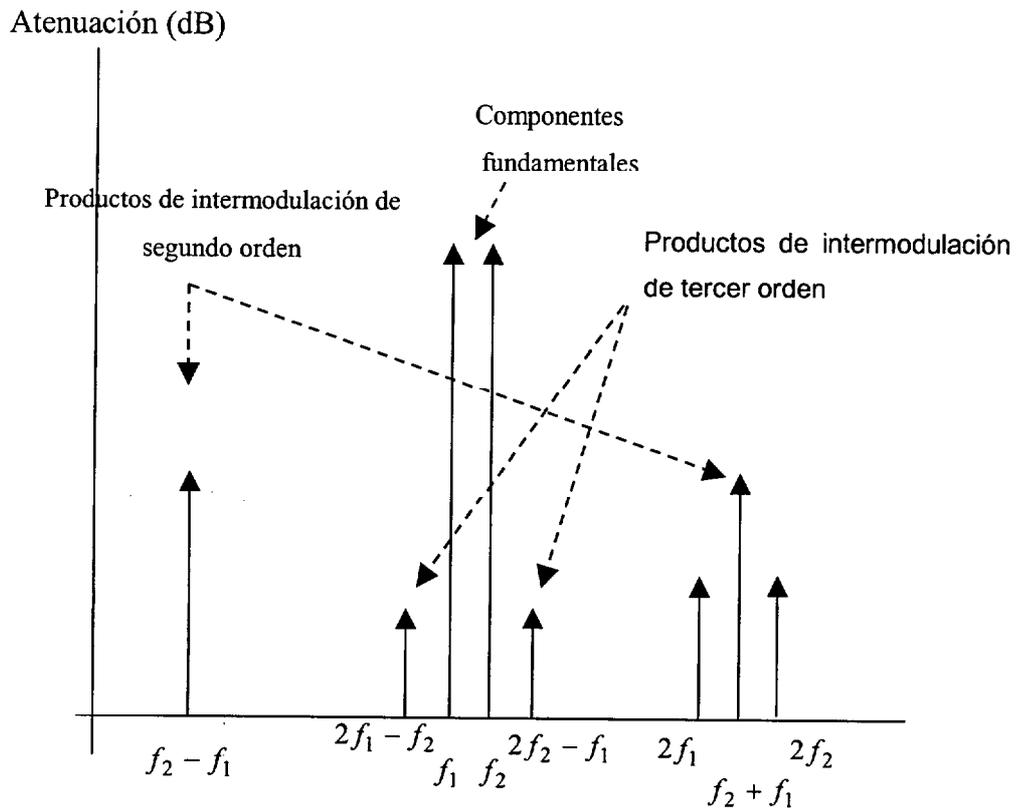


Figura 3.7 Posición de los productos de intermodulación de segundo y tercer orden

Cuando uno de los productos de intermodulación tiene una frecuencia parecida a la de la componente fundamental puede llegar un punto en que no se distinga la componente fundamental del producto de intermodulación debido a que sus potencias son iguales. Este punto es el denominado punto de intercepción. Lo más probable es que el producto de intermodulación causante de la intercepción sea el de tercer orden, por ello se le denomina *punto de intercepción de tercer orden (IP3)*. Este punto es una medida de la linealidad del circuito y cuanto mayor es el IP3 más lineal es el circuito.

Si representamos la potencia de la componente fundamental y la de la componente de tercer orden frente a la potencia de entrada, obtenemos la figura 3.8. El punto de intercepción de tercer orden se determina por la proyección sobre el eje de potencias de entrada y de salida de la intersección de la potencia de la componente fundamental con la de la componente de tercer orden.

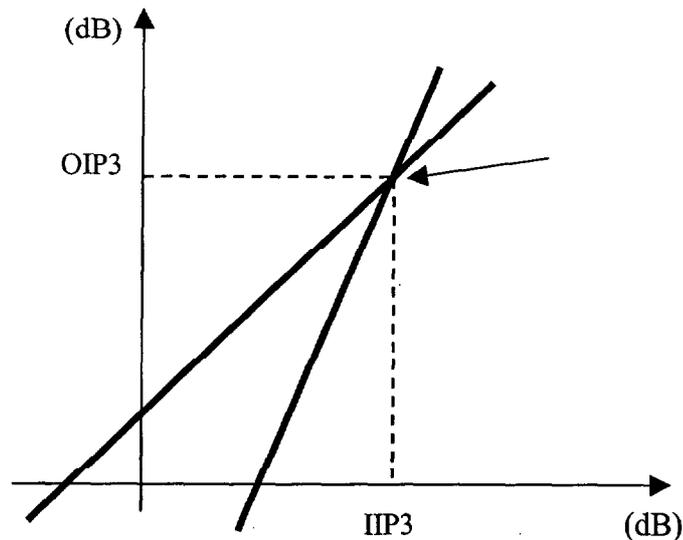


Figura 3.8 Punto de intercepción de tercer orden

La proyección de la intersección sobre el eje de abscisas es el IP3 de entrada (IIP3), y sobre el eje de ordenadas es el IP3 de salida (OIP3). Ambos valores están relacionados a través de la ganancia de potencia del circuito como se observa en la ecuación 3.20.

$$OIP3 = IIP3 + G \quad (\text{dB}) \quad (3.20)$$

3.5 PARAMETROS S

Para el análisis y cálculo de los distintos parámetros que intervienen en el diseño del LNA como puede ser la ganancia (S_{21}), el nivel de aislamiento (S_{12}), la adaptación a la entrada (S_{11}) y a la salida (S_{22}) se utilizan los parámetros S. A continuación se exponen brevemente las causas de su utilización en RF y su significado.

Como se comentó en el apartado 3.1.4.1, cualquier elemento de una cadena de recepción puede considerarse como un cuadripolo, es decir, una caja con dos puertos uno de entrada y otro de salida. Para el estudio de un cuadripolo existen tres tipos de parámetros los Z, los Y o los ABCD.

Para obtener estos parámetros es necesario realizar un cortocircuito o un circuito abierto en los terminales de entrada o salida del cuadripolo. El efecto que produce esto a baja frecuencia no tiene gran repercusión en cuanto a efectos parásitos externos. Sin embargo, si se trabaja en RF el cable utilizado para realizar el cortocircuito tendría una inductancia asociada no despreciable y el circuito abierto una capacidad.

Por este motivo en circuitos de radiofrecuencia no se miden tensiones ni corrientes, sino que se miden potencias de señal. Si la entrada y salida del cuadripolo están adaptadas a 50Ω , valor establecido por convenio, la potencia no se ve afectada por el cable de medida. Por este motivo se utilizan los parámetros S para medir en función de la potencia de la señal.

La representación de los parámetros S puede verse en la ecuación 3.21 y en la figura 3.9.

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (3.21)$$

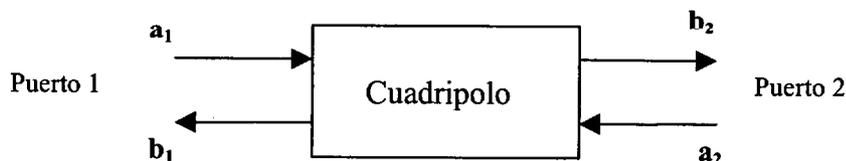


Figura 3.8 Representación de un cuadripolo

Donde:

- a representa la potencia incidente al cuadripolo.
- b representa potencia reflejada por el cuadripolo.

3.5.1 PARÁMETRO S_{11}

Viene dado por la ecuación 3.22 e indica el grado de adaptación de la impedancia de entrada. Si la entrada está adaptada no debería haber potencia reflejada lo que significa que $S_{11} = 0 + 0j$. Recordar que en este caso el coeficiente de onda estacionario $VSWR_1 = 1$.

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (3.22)$$

3.5.2 PARÁMETRO S_{22}

En este caso la expresión a usar es la 3.23 e indica el grado de adaptación de la impedancia de salida. Si la salida está adaptada no debería haber potencia reflejada hacia la carga desde el puerto de salida lo que significa $S_{22} = 0 + 0j$. En este caso tenemos que $VWSR_2 = 1$.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (3.23)$$

3.5.3 PARÁMETRO S_{12}

Representa la ganancia de potencia en inversa y su expresión se muestra en la ecuación 3.24. Con este parámetro se expresa el nivel de aislamiento del circuito que se está analizando. Se pretende que la señal de salida del cuadripolo no aparezca reflejada en la entrada.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (3.24)$$

3.5.4 PARÁMETRO S_{21}

Representa la ganancia de potencia en directa tal y como se expresa en la ecuación 3.25. Normalmente interesa que este valor sea lo más alto posible.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (3.25)$$

CAPÍTULO 4

ARQUITECTURAS TÍPICAS EN UN LNA

En este capítulo se va a exponer toda la información referida a las diferentes arquitecturas entre las que se puede elegir a la hora de realizar el diseño de un amplificador de bajo ruido. Esta información ha sido recopilada tras la lectura de diferentes publicaciones relativas al diseño de componentes analógicos integrados y más concretamente en la consulta de diversos artículos dedicados al diseño de los *LNA*.

Al mismo tiempo, se llevará a cabo un estudio teórico de cada arquitectura donde se expondrán sus características más importantes. Nos centraremos sobre todo en analizar las ventajas y desventajas de cada una de ellas de cara a conseguir la arquitectura que más se adapte a las especificaciones de diseño deseadas.

4.1 AMPLIFICADORES DE BANDA ANCHA Y AMPLIFICADORES DE BANDA ESTRECHA O SINTONIZADOS

Los amplificadores diseñados para aplicaciones de RF pueden ser de banda ancha o de banda estrecha. Dependiendo de que tipo de diseño se quiere realizar se optará por un tipo u otro. A continuación se detallan las características de cada uno de ellos.

4.1.1 AMPLIFICADORES DE BANDA ANCHA

El diseño de un amplificador de RF en banda ancha es bastante similar al diseño de un amplificador operacional. En este tipo de amplificadores, parámetros tales como la estabilidad del circuito, ganancia y ruido afectan a todo el rango de frecuencias que abarca el ancho de banda de la señal. El ancho de banda de este tipo de amplificadores interesa que sea el mayor posible para poder amplificar un amplio rango de señales de distintas frecuencias.

4.1.2 AMPLIFICADORES SINTONIZADOS

Existe otro tipo de aplicaciones donde no es necesario que el amplificador sea de banda ancha. En este tipo de sistemas, sólo se requiere que se amplifique una determinada frecuencia o un ancho de banda pequeño como es el caso de un LNA. Para este tipo de aplicaciones se utiliza un amplificador de banda estrecha o sintonizado.

Por otro lado, para aplicaciones de RF donde la señal de RF es de banda estrecha es inviable utilizar amplificadores de banda ancha. La razón de no ser una buena elección es porque el consumo de un amplificador de banda ancha es mucho mayor que el de un amplificador de banda estrecha.

La sintonización de la frecuencia de interés en un amplificador de sintonía se suele realizar mediante un circuito resonante llamado circuito tanque.

4.1.2.1 Circuito Tanque

Como se estudió en el apartado anterior el consumo de potencia de un amplificador pasobanda es proporcional al ancho de banda de amplificación.

Por esta razón si el diseño lo permite, se deberá diseñar un amplificador de banda estrecha. Para ello es necesario utilizar un circuito que permita sintonizar la frecuencia que se quiere amplificar y rechazar el resto de frecuencias. Esta sintonización se realiza mediante el circuito tanque que se presenta en la figura 4.1.

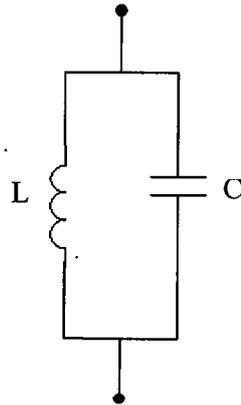


Figura 4.1 Circuito tanque ideal

El factor de calidad del circuito tanque y en particular el factor de calidad de las bobinas que se utilizan en el diseño del mismo determinan el grado de selectividad del circuito. Un circuito resonante muy selectivo podría causar problemas de sintonización si se produce alguna dispersión en los componentes que lo constituyen. Este problema en la sintonización provocaría que no se estuviera amplificando la frecuencia o banda deseada.

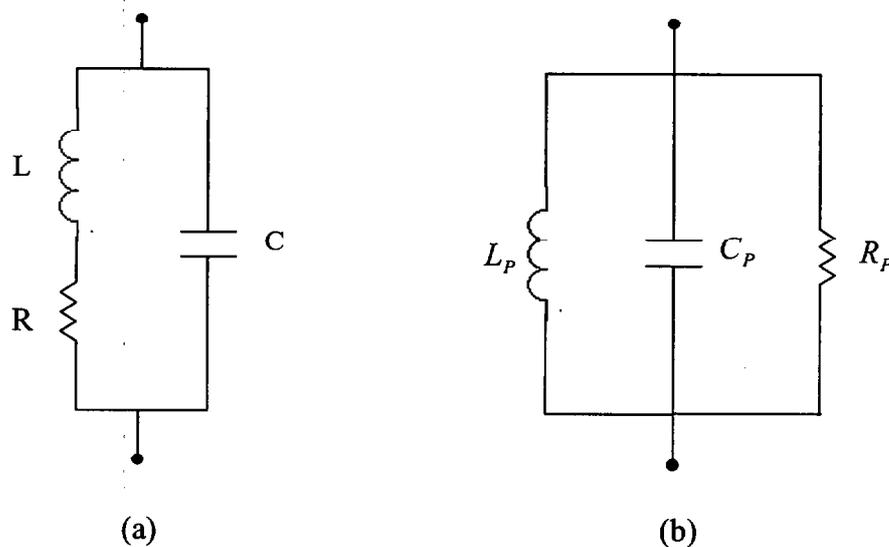


Figura 4.2 Circuito tanque real (a) y circuito paralelo equivalente (b)

El modelo real del circuito tanque se presenta en la figura 4.2 (a). En este modelo se tiene en cuenta el efecto de la resistencia serie asociada a la inductancia L . En la figura 4.2 (b) se muestra su circuito paralelo equivalente.

Las equivalencias entre ambos circuitos se muestran en las ecuaciones siguientes:

$$R_p = R \cdot (Q^2 + 1) \quad (4.1)$$

$$L_p = L \cdot \left(\frac{Q^2 + 1}{Q^2} \right) \quad (4.2)$$

$$C_p = C \cdot \left(\frac{Q^2}{Q^2 + 1} \right) \quad (4.3)$$

Donde Q representa el factor de calidad del circuito tanque que en este caso es:

$$Q = \frac{W_0 \cdot L}{R} \quad (4.4)$$

En el apartado 4.3.2 se realizará una explicación más detallada del funcionamiento del circuito tanque y se llevará a cabo como ejemplo demostrativo la sintonización de una etapa de amplificación cascodo.

4.2 ARQUITECTURA SIMPLE Y ARQUITECTURA DIFERENCIAL

En este apartado se realizará una comparativa entre la arquitectura diferencial y la arquitectura simple (*singled-ended*). Se describirán las ventajas y desventajas que presenta cada una de ellas en cuanto a consumo, ruido, etc.

4.2.1 RECHAZO AL MODO COMÚN EN ARQUITECTURA DIFERENCIAL

El amplificador diferencial es un sistema que amplifica la diferencia de dos señales de entrada. Es decir, si aplicamos dos señales a sus entradas V_1 y V_2 a la salida

tendremos, la diferencia de estas dos señales multiplicada por una constante. Esta constante será la ganancia. La señal de salida V_0 viene dada por la ecuación 4.5.

$$V_o = A_v \cdot (V_1 - V_2) \quad (4.5)$$

Las aplicaciones de este tipo de amplificadores son múltiples. En muchas ocasiones la señal que se recibe en un receptor de RF es muy ruidosa y es necesario eliminar el ruido para poder quedarnos con la señal original sin ningún tipo de interferencias.

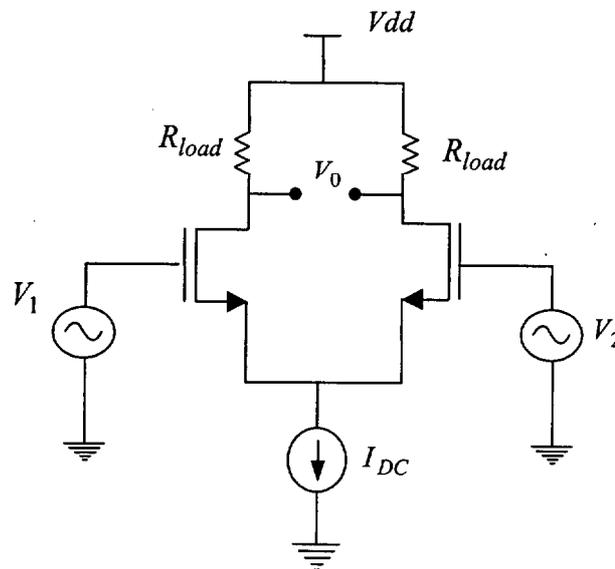


Figura 4.3 Amplificador con arquitectura diferencial

El amplificador diferencial además de amplificar la señal que llega a su entrada elimina el ruido que acompaña a la señal. En la figura 4.3 se muestra la estructura básica de un amplificador diferencial basado en transistores MOS.

Supongamos que se recibe una señal $V(t)$ la cual tiene una componente de ruido $n(t)$ sumada. La señal $V(t)$ se puede descomponer en dos señales V_1 y V_2 como se muestra en las ecuaciones 4.6 y 4.7.

$$V_1 = \frac{V(t)}{2} + n(t) \quad (4.6)$$

$$V_2 = \frac{-V(t)}{2} + n(t) \quad (4.7)$$

Como se puede ver la señal de ruido $n(t)$ está presente en las dos entradas de la etapa diferencial es decir es una señal común a las señales V_1 y V_2 . Si aplicamos estas señales a la entrada del amplificador diferencial como se indica en la figura 4.3 obtendremos el siguiente resultado:

$$V_0 = A_v \cdot (V_1 - V_2) = A_v \cdot \left(\frac{V(t)}{2} + n(t) + \frac{V(t)}{2} + n(t) \right) = A_v \cdot V(t) \quad (4.8)$$

Como se puede observar en la ecuación 4.8, a la salida del amplificador tenemos la señal original $V(t)$ amplificada por una constante A_v y además sin la componente de ruido $n(t)$. Es decir, se ha eliminado la señal $n(t)$ que era común a las dos señales de entrada V_1 y V_2 .

Es evidente que la arquitectura diferencial es idónea para sistemas de recepción donde es necesario amplificar la señal de entrada y además eliminar el ruido común que tiene sumado.

4.2.2 CONSUMO EN ETAPA SIMPLE Y ETAPA DIFERENCIAL

La arquitectura simple presenta algunas ventajas en cuanto a consumo con respecto a la arquitectura diferencial. En la figura 4.4 se presenta un ejemplo de una arquitectura simple.

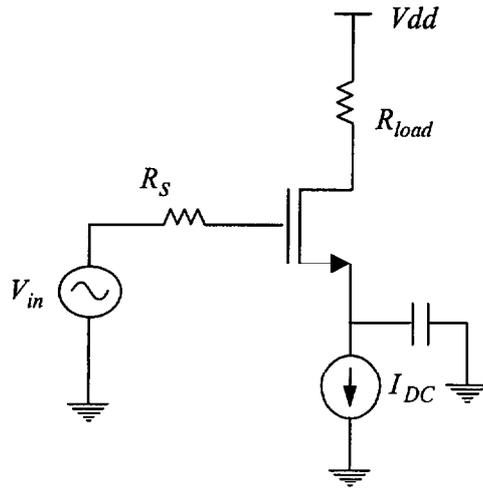


Figura 4.4 Amplificador con arquitectura simple

Si aplicamos una corriente de polarización $I_{DC} = I$, la ganancia de tensión aproximada de este amplificador está dada por la ecuación 4.9:

$$A_{VS} = \frac{V_{out}}{V_{in}} \approx g_m \cdot R_{load} \quad (4.9)$$

donde, g_m es la transconductancia del transistor MOS del circuito.

$$g_m = \sqrt{2 \cdot \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot I_{DC}} \quad (4.10)$$

A continuación se calcula la ganancia de tensión del amplificador diferencial de la figura 4.3.

La corriente utilizada para polarizar esta etapa será el doble que en la etapa simple, es decir, la fuente de corriente tiene un valor $I_{DC} = 2I$. Con este valor de corriente de polarización la ganancia aproximada de tensión del amplificador diferencial está dada por la ecuación 4.11.

$$A_{VD} = \frac{V_0}{V_{in}} \approx 2 \cdot \frac{g_m}{2} \cdot R_{load} = g_m \cdot R_{load} \quad (4.11)$$

En este caso el valor de transconductancia para cada transistor MOS del amplificador diferencial es:

$$g_m = \sqrt{2 \cdot \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot \frac{1}{2} \cdot I_{DC}} \quad (4.12)$$

Comparando las ecuaciones 4.10 y 4.11 se deduce lo siguiente. Si los transistores utilizados en la etapa simple y en la etapa diferencial tienen las mismas dimensiones, para conseguir la misma ganancia en ambos amplificadores es necesario que el amplificador diferencial se polarice con el doble de corriente que la utilizada en la etapa simple. Es decir, para obtener la misma ganancia el consumo de un amplificador diferencial será el doble que el de un amplificador con arquitectura simple.

4.2.3 RUIDO EN LA ARQUITECTURA SIMPLE Y EN LA ARQUITECTURA DIFERENCIAL

En este apartado se estudiará el efecto que produce el ruido térmico producido en el transistor MOS y la repercusión que tiene en los dos tipos de arquitectura.

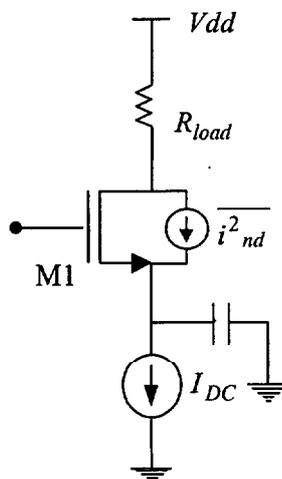


Figura 4.5 Ruido térmico en amplificador con arquitectura simple

Consideremos el circuito representado en la figura 4.5 donde para simplificar el cálculo sólo se tendrá en cuenta el ruido térmico producido por la corriente de drenador del transistor MOS.

En el amplificador de la figura 4.5, la potencia cuadrática media de la fuente de ruido modelada por el generador de corriente colocado en paralelo con el transistor M_1 , viene dada por la ecuación 4.13:

$$\overline{V_{nOUTs}^2(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_m \cdot \Delta f \cdot R_{load}^2 \quad (4.13)$$

Esta expresión se calcula a partir de la ecuación 3.7, donde se supone que $g_m = g_{d0}$.

A continuación se realiza el estudio de la arquitectura diferencial mostrada en la figura 4.6. El dimensionado de los transistores utilizados en esta etapa es el mismo que en la etapa simple de la figura 4.5.

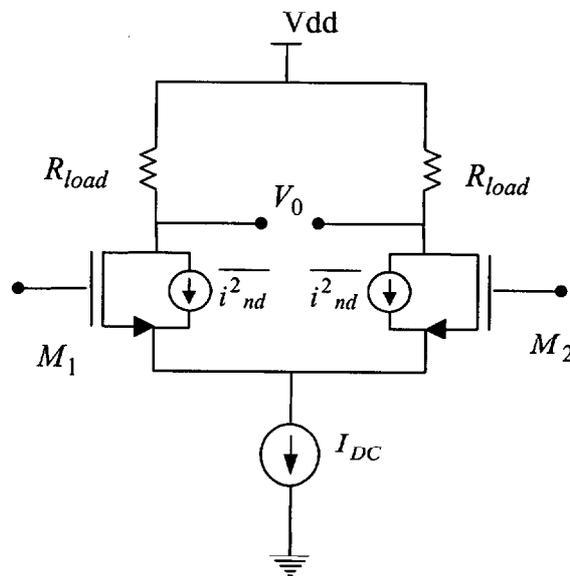


Figura 4.6 Ruido térmico en amplificador con arquitectura diferencial

Como puede observar en la figura 4.6 existen dos fuentes de ruido térmico correspondiente al transistor M_1 y M_2 . La potencia cuadrática media de ruido a la salida está dada por la ecuación 4.14.

$$\overline{V^2_{nOUT}(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_{m1} \cdot \Delta f \cdot \left(\frac{\frac{1}{g_{m2}}}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \right)^2 \cdot (2R_{load})^2 + 4 \cdot K \cdot T \cdot \gamma \cdot g_{m2} \cdot \Delta f \cdot \left(\frac{\frac{1}{g_{m1}}}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \right)^2 \cdot (2R_{load})^2 \quad (4.14)$$

Simplificando la ecuación 4.14 obtenemos la siguiente expresión:

$$\overline{V^2_{nOUT}(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_{m1} \cdot \Delta f \cdot \left(\frac{g_{m1}}{g_{m1} + g_{m2}} \right)^2 \cdot (2R_{load})^2 + 4 \cdot K \cdot T \cdot \gamma \cdot g_{m2} \cdot \Delta f \cdot \left(\frac{g_{m1}}{g_{m1} + g_{m2}} \right)^2 \cdot (2R_{load})^2 \quad (4.15)$$

Si polarizamos la etapa diferencial con el doble de corriente que en la etapa simple de la figura 4.5 la transconductancia del transistor MOS utilizado en la etapa diferencial tendrá el mismo valor que en la etapa simple. Es decir:

$$g_{m1} = g_{m2} = g_m \quad (4.16)$$

Por lo tanto tendremos que la potencia cuadrática media de ruido a la salida del amplificador diferencial está dada por la siguiente ecuación:

$$\overline{V^2_{nOUTd}(t)} = 8 \cdot K \cdot T \cdot \gamma \cdot g_m \cdot \Delta f \cdot R_{load}^2 \quad (4.17)$$

Si comparamos la ecuación 4.13 y ecuación 4.17 se puede deducir que el ruido térmico en la etapa diferencial es mayor que en la etapa simple aunque el consumo de corriente de la etapa diferencial sea el doble.

4.2.4 INTEGRABILIDAD DE LA ETAPA DIFERENCIAL

A la hora de realizar el diseño de un circuito hay que distinguir entre el diseño de un circuito con componentes discretos y el de un circuito integrado. En el primero, el área ocupada por el circuito no es tan importante como el coste de los componentes utilizados. Por esta razón, se tiende a minimizar el número de componentes caros como pueden ser los transistores haciendo uso de otros componentes más baratos como pueden ser los condensadores y las resistencias.

En el caso de la fabricación de un circuito integrado ocurre lo contrario. El factor determinante en el coste del mismo es la superficie ocupada por el mismo. La utilización de capacidades y resistencias, con los valores utilizados en un circuito discreto no sería factible ya que ocuparían un mayor área. Además, si fueran capacidades de valores muy altos, estas tendrían que colocarse fuera del circuito integrado lo que aumentaría el número de terminales del encapsulado y por tanto el coste de fabricación del circuito. Por esta razón se tiende a minimizar el uso de capacidades y a utilizar otros componentes que ocupen menos área como pueden ser los transistores.

En los circuitos con componentes discretos la forma habitual de conectar dos etapas es mediante el uso de condensadores de acoplo. Sin embargo, en un circuito integrado, para acoplar dos etapas sería mucho más factible y barato utilizar etapas diferenciales en lugar de etapas simples. Utilizando este tipo de etapas se consigue acoplar directamente las dos etapas sin necesidad de utilizar condensadores de acoplo. De esta manera se reduce el área ocupada y por lo tanto el coste de fabricación del circuito.

En el caso de un receptor GPS, sería interesante integrar en un mismo chip todas las etapas que lo forman e intentar ocupar el menor área posible. Para realizar el acoplamiento entre las etapas y conseguir al mismo tiempo reducir el coste de

fabricación es por tanto aconsejable utilizar etapas diferenciales. Esta es una de las razones por las que se ha utilizado una arquitectura diferencial para el diseño del LNA

4.2.5 COMPARATIVA FINAL

A continuación se resumen las ventajas y desventajas que presenta la arquitectura diferencial frente a una arquitectura simple.

En el modelo diferencial debido a la arquitectura simétrica que presenta tenemos una serie de ventajas como pueden ser:

- Rechazo al modo común: Los efectos de las variables externas, como puede ser la temperatura, ruido, afectan a las dos ramas del amplificador de igual manera, por lo que se contrarrestan entre sí.
- La calidad del plano de tierra del chip y los efectos parásitos de las conexiones del chip con el exterior serán despreciables.
- Facilidad de acoplamiento entre etapas: La etapas diferencial permite realizar un acoplamiento directo entre ellas evitando así utilizar elementos de acoplo como condensadores. De esta manera se reduce el área del circuito integrado y por tanto el coste de fabricación del mismo.

Sin embargo, la arquitectura diferencial presenta las siguientes desventajas con respecto a la arquitectura simple:

- Se utiliza el doble de componentes para el diseño.
- Se hace necesario el uso de un transformador o “balun” que transforme la señal de entrada que está referida a tierra en una señal diferencial. Este elemento produce pérdidas extras en la señal de entrada lo que degrada la figura de ruido del amplificador.

- El consumo de una arquitectura diferencial es mayor que el de una arquitectura simple.

Tras analizar las ventajas e inconvenientes de una estructura diferencial frente a una simple, queda patente que aún siendo aparentemente más cara y difícil de implementar, la arquitectura diferencial presenta algunas ventajas que la hace atractiva para el diseño de nuestro LNA. En particular presenta la característica de rechazar las señales indeseadas como el ruido que afecta a la señal de entrada del amplificador y facilitar el acoplamiento directo con el resto de etapas.

4.3 ETAPA DE AMPLIFICACIÓN CASCODO

En este apartado se realizará un estudio completo en alta frecuencia de la etapa de amplificación cascodo. Se explicará la razón de su utilización y los resultados que se consiguen con el mismo.

En el capítulo 2 se describió el modelo equivalente del transistor MOS en alta frecuencia. Como se puede observar cuando se trabaja a alta frecuencia aparecen una serie de capacidades parásitas asociadas al transistor. Estas capacidades parásitas limitan la frecuencia máxima de funcionamiento del transistor y por tanto la respuesta en frecuencia de un amplificador.

4.3.1 ESTUDIO EN FRECUENCIA DEL AMPLIFICADOR CASCODO

Antes de realizar el estudio en frecuencia del amplificador cascodo se realizará un pequeño desarrollo de la respuesta en alta frecuencia del amplificador fuente común. Esto se realiza para poder comparar los beneficios que se consiguen con un amplificador cascodo en cuanto al aumento del ancho de banda de amplificación.

4.3.1.1 Respuesta en Frecuencia del Amplificador Fuente Común

En las figuras 4.7 y 4.8 se puede ver el esquema básico de la etapa de amplificación fuente común y su circuito equivalente en alta frecuencia, respectivamente.

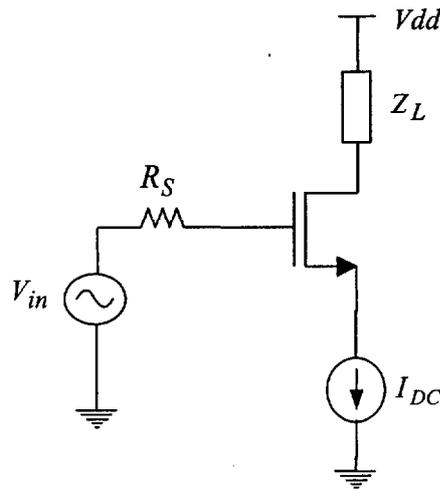


Figura 4.7 Amplificador fuente común

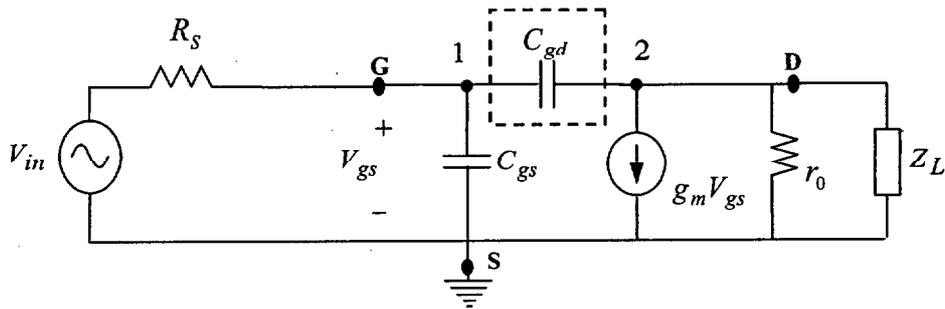


Figura 4.8 Modelo en alta frecuencia d el amplificador fuente común

Se podría intentar calcular la respuesta en alta frecuencia de este circuito, simplemente calculando su ganancia, teniendo en cuenta los condensadores parásitos del modelo. Sin embargo este cálculo no es tan sencillo debido al condensador C_{gd} que está conectado entre la puerta y el drenador del transistor como se observa en la figura 4.8.

Para simplificar el circuito y poder calcular la función de transferencia de una manera más sencilla aplicaremos el teorema de Miller al condensador C_{gd} . Aplicando el teorema a dicho condensador obtenemos las siguientes expresiones que nos dan las capacidades de Miller equivalentes de la capacidad C_{gd} .

$$C_{M1} = C_{gd}(1 - K) \quad (4.18)$$

$$C_{M2} = \frac{C_{gd}(K - 1)}{K} \quad (4.19)$$

Donde K es la relación de tensión que existe entre el terminal 1 y 2 de la capacidad C_{gd} y tiene el siguiente valor:

$$K = \frac{V_2}{V_1} = \frac{-g_m \cdot V_{gs} \cdot (r_0 // Z_L)}{V_{gs}} = -g_m \cdot (r_0 // Z_L) = -\frac{g_m}{g_0 + g_L} \quad (4.20)$$

Sustituyendo el valor de K en las ecuaciones 4.18 y 4.19 se obtiene el siguiente resultado:

$$C_{M1} = C_{gd} \left(1 + \frac{g_m}{g_0 + g_L} \right) \quad (4.21)$$

$$C_{M2} = \frac{C_{gd} \left(\frac{-g_m}{g_0 + g_L} - 1 \right)}{\frac{-g_m}{g_0 + g_L}} \approx C_{gd} \quad (4.22)$$

De esta forma se puede simplificar el circuito de la figura 4.8 tal y como se muestra en la figura 4.9.

El condensador C_T que aparece representado en la figura 4.9 es el equivalente del paralelo de C_{gs} y la capacidad de Miller C_{M1} y por lo tanto tiene el valor

$C_T = C_{gs} + C_{gd} \left(1 + \frac{g_m}{g_m + g_L} \right)$. La capacidad que aparece conectada en el drenador es

$$C_{M2} \approx C_{gd}.$$

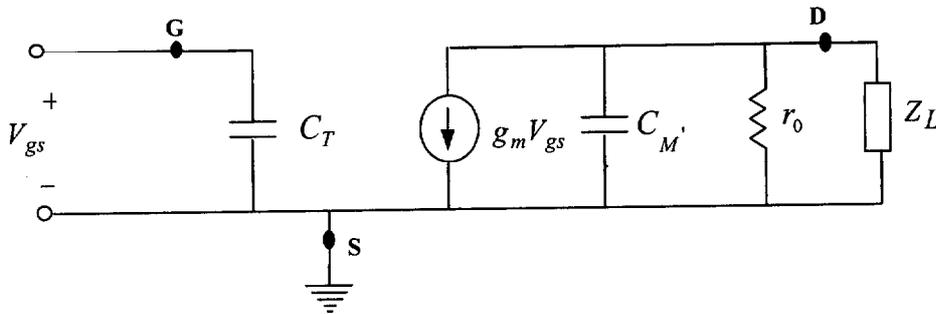


Figura 4.9 Modelo simplificado en alta frecuencia del amplificador fuente común

Para hallar la función de transferencia del amplificador fuente común es necesario calcular el polo y el cero que introduce cada uno de estas capacidades. Realizando dicho cálculo obtenemos la función de transferencia de la etapa de amplificación fuente común como muestra la ecuación 4.23.

$$F(s) = -\frac{g_m}{g_0 + g_L} \cdot \frac{\left(\frac{s}{g_m/C_{gd}} + 1 \right)}{\left(s \cdot \frac{g_0 + g_L}{C_{gd}} + 1 \right)} \quad (4.23)$$

De la ecuación 4.23 se deduce que la respuesta en frecuencia del amplificador fuente común está limitada por el polo introducido por la capacidad C_{M2} cuyo valor aproximado es C_{gd} . Este polo dominante determina la frecuencia de corte superior que en este caso es:

$$f_c = \frac{1}{2\pi} \cdot \frac{g_0 + g_L}{C_{gd}} \quad (4.24)$$

4.3.1.2 Respuesta en Frecuencia del Amplificador Cascodo

El cascodo es un amplificador que tiene unas características de funcionamiento muy similar al fuente común, excepto en ancho de banda donde es muy superior.

Si planteásemos el equivalente en alta frecuencia de este amplificador nos saldría un esquema relativamente complejo. Un análisis del circuito nos llevaría a la conclusión de que el cascodo no es mas que un amplificador fuente común a la entrada atacando a un puerta común que hace de etapa de salida.

Si realizáramos un estudio en alta frecuencia del amplificador puerta común se observaría que su frecuencia de corte es muy superior a la de un fuente común. Esto es equivalente a decir, que cuando en el fuente común, la ganancia empieza a caer al llegar a su frecuencia de corte, el fuente común aún está en su zona de frecuencias medias.

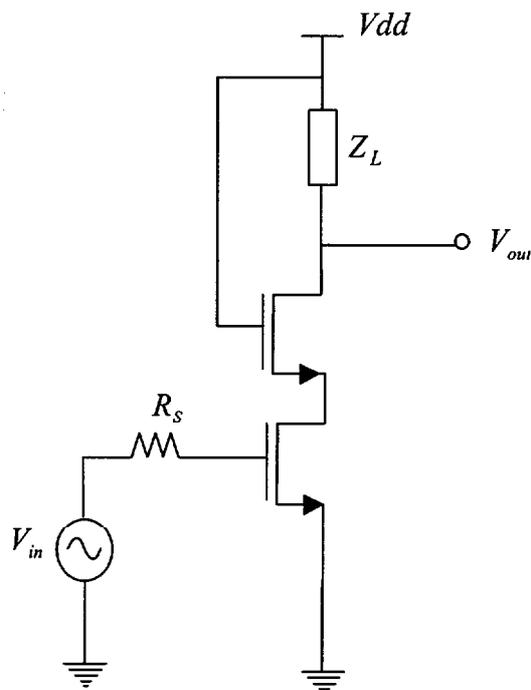


Figura 4.10 Amplificador cascodo

Para analizar el amplificador cascode plantearemos un equivalente en alta frecuencia del transistor en fuente común y un equivalente a frecuencias medias del transistor en puerta común. En la figura 4.10 y 4.11 se muestra respectivamente, la arquitectura típica de un amplificador cascode y su equivalente simplificado en alta frecuencia.

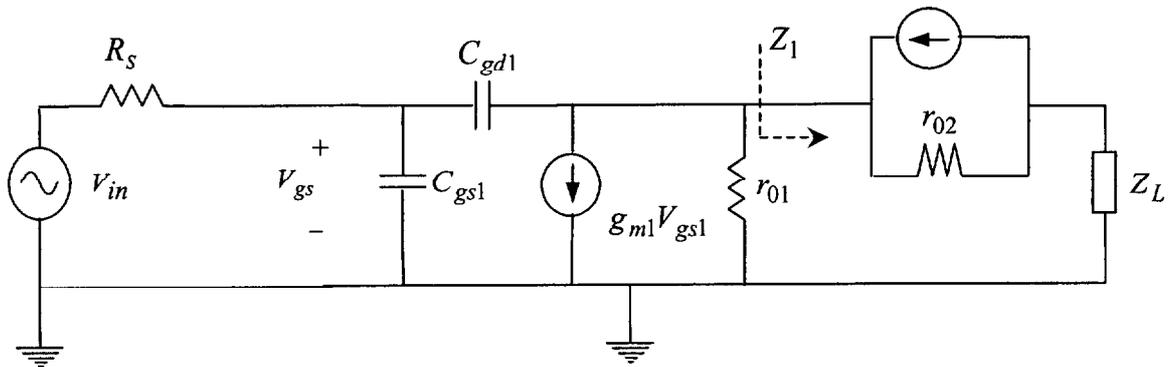


Figura 4.11 Modelo simplificado en alta frecuencia del amplificador cascode (I)

Aplicando el teorema de Miller a la capacidad C_{gd1} nos queda el circuito mostrado en la figura 4.12.

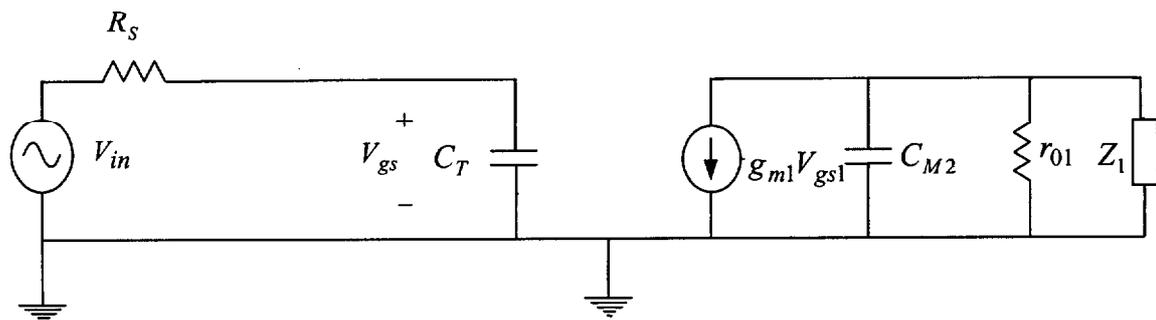


Figura 4.12 Modelo simplificado en alta frecuencia del amplificador cascode (II)

Siendo:

$$C_T = C_{gs1} + C_{gd1}(1 - K) = C_{gs1} + C_{gd1}(1 + g_{m1} \cdot (r_{01} // Z_1)) \quad (4.25)$$

$$C_{M2} \approx C_{gd1} \quad (4.26)$$

Z_1 representa la impedancia de entrada del transistor en un puerta común. Como sabemos el valor de esta impedancia es muy pequeña aproximadamente $\frac{1}{g_{m2}}$.

Anteriormente se comprobó que el polo que determina la frecuencia de corte en las etapas en fuente común es el introducido por la capacidad de Miller $C_{M2} \approx C_{gd}$. Por esta razón nos centraremos en determinar el valor del polo introducido por esta capacidad en la etapa cascode. El valor de dicho polo se muestra en la ecuación 4.27.

$$f_c \approx f_p = \frac{1}{2\pi \cdot (r_{o1} \parallel Z_1) \cdot C_{gd1}} = \frac{1}{2\pi} \cdot \frac{(g_{o1} + g_{m1})}{C_{gd1}} \quad (4.27)$$

Si comparamos las ecuaciones 4.24 y 4.27 vemos que la frecuencia de corte superior del amplificador cascode es mucho mayor que la del amplificador fuente común ya que Z_1 suele ser mucho menor que Z_L . Es decir, el ancho de banda de amplificación es mayor en un amplificador cascode que en una etapa simple fuente común.

Por tanto podemos terminar resumiendo los beneficios que conlleva utilizar una etapa de amplificación cascode.

- Mejora la respuesta en frecuencia. Es decir, minimiza el efecto de la capacidad Miller C_{gd} y por tanto se consigue un mayor ancho de banda de amplificación.
- Mejora el nivel de aislamiento, es decir aísla la salida del amplificador de la entrada. Con esto se pretende evitar que la señal de salida aparezca reflejada en la entrada y produzca interferencias.

4.3.2 ETAPA DE AMPLIFICACIÓN CASCODO CON CIRCUITO TANQUE.

En la figura 4.13 se expone un ejemplo donde se ha utilizado un circuito tanque para sintonizar una etapa de amplificación cascodado a una frecuencia determinada.

El circuito equivalente para pequeña señal del amplificador cascodado de la figura 4.13 se muestra en la figura 4.14.

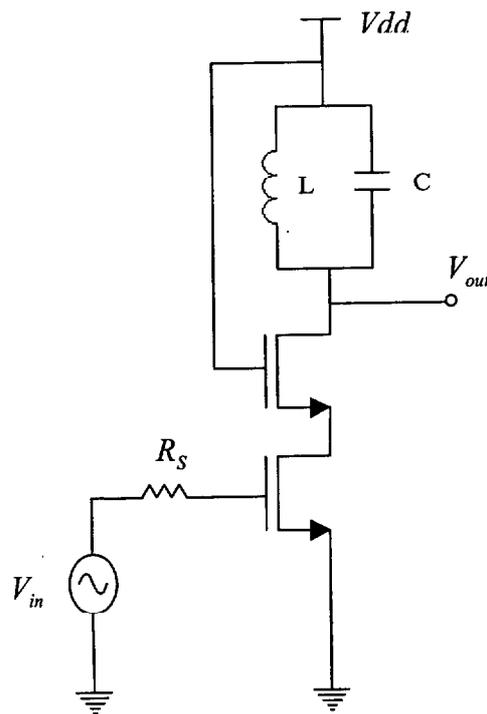


Figura 4.13 Amplificador cascodado sintonizado

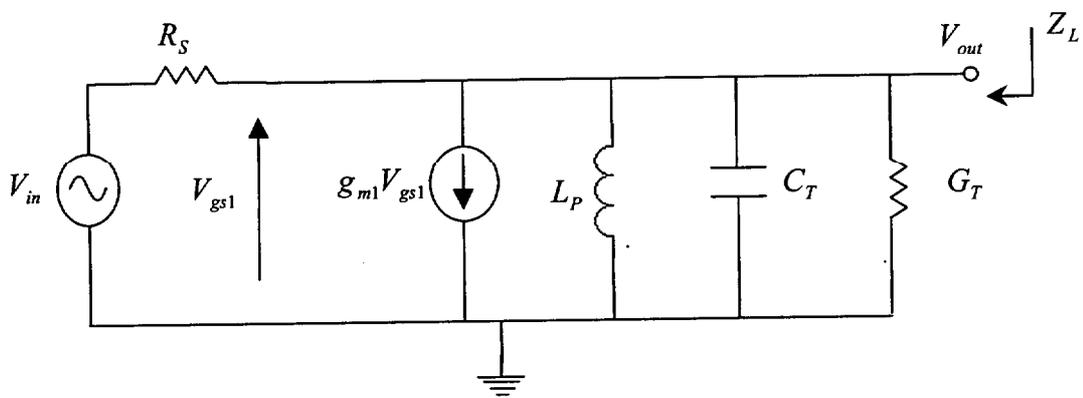


Figura 4.14 Circuito equivalente en pequeña señal del amplificador cascodado sintonizado

La admitancia de salida Y_L del circuito de la figura 4.14 se muestra en la ecuación 4.28.

$$Y_L = \frac{1}{Z_L} = G_T + \frac{1}{j\omega L_p} + j\omega C_T \quad (4.28)$$

Donde:

- C_T representa la capacidad total que es la suma de la capacidad parásita de la inductancia C_p y las capacidades asociadas al transistor M_2 .
- L_p representa la inductancia paralela equivalente asociada a la bobina L .
- G_T representa la conductancia total. Este termino incluye la conductancia paralela equivalente asociada a la bobina L y la conductancia de salida del cascode.

Analizando la expresión de la ecuación 4.28 tenemos que:

- Para frecuencias altas $\rightarrow Y_L \cong j\omega C_T + G_T = \infty \rightarrow Z_L \cong 0$
- Para frecuencias bajas $\rightarrow Y_L \cong \frac{1}{j\omega L_p} + G_T = \infty \rightarrow Z_L \cong 0$

Por tanto existe una frecuencia intermedia donde Z_L es máxima, $Z_L = \frac{1}{G_T}$. Esto

ocurre cuando el circuito tanque entra en resonancia y se cumple la siguiente igualdad:

$$j\omega C_T = \frac{1}{j\omega L_p} \quad (4.29)$$

Despejando el valor de w en la ecuación 4.29 obtenemos la frecuencia de resonancia del circuito tanque:

$$f = \frac{1}{2\pi\sqrt{L_P C_T}} \quad (4.30)$$

De todo lo anterior se deduce que el circuito resonante LC actúa como una carga de alta impedancia a la frecuencia de resonancia, por lo que la ganancia del circuito tiene su pico máximo a esta frecuencia. La ganancia en tensión del circuito de la figura es la siguiente:

$$A_v \approx -\left(\frac{g_{m1}}{G_T}\right) \quad (4.31)$$

Por tanto, para aumentar la ganancia del amplificador se necesita disminuir G_T , o lo que es lo mismo, aumentar el factor de calidad de la inductancia utilizada en el circuito tanque.

En resumen, la utilización de un circuito tanque en cualquier amplificador presenta las siguientes ventajas:

- Se realiza una amplificación selectiva. De esta manera filtra señales adyacentes y reduce el ancho de banda del amplificador con lo que se disminuye el ruido térmico.
- Se introduce menos ruido ya que se ha sustituido una resistencia por una capacidad y una inductancia que en resonancia se comporta de la misma forma.

4.4 ADAPTACIÓN DE IMPEDANCIAS

Generalmente, las etapas integradas en un mismo chip no necesitan estar adaptadas a un valor estándar (50Ω), basta con que estén adaptadas entre ellas. En cambio si será necesario adaptar las entradas o salidas que correspondan a conexiones externas como por ejemplo, conexión a antenas, filtros externos, inductancias o cuando

se quiera testear por separado el chip con algún equipo de medida como se comentó en el apartado 3.2.

4.4.1 ADAPTACIÓN DE LA IMPEDANCIA DE ENTRADA

En la bibliografía publicada hasta la fecha aparecen tres alternativas en cuanto a los tipos de red de adaptación existentes.

4.4.1.1 Adaptación Resistiva

La estructura de la adaptación resistiva se representa en la figura 4.15.

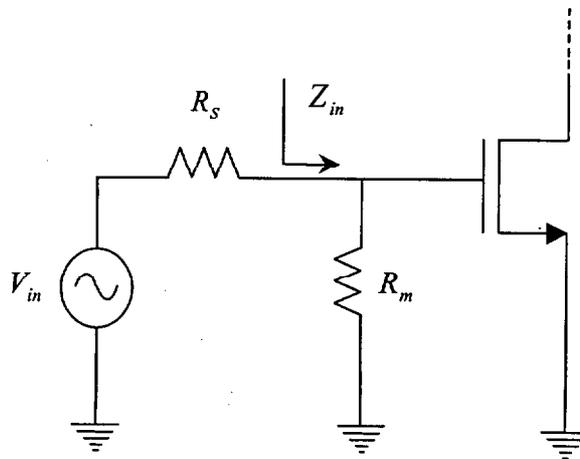


Figura 4.15 Adaptación resistiva

Para conseguir que la impedancia de entrada sea de 50Ω se coloca la resistencia R_m en paralelo con el transistor de entrada. La adaptación resistiva es la estructura más fácil de implementar, pero también es la que más degrada el NF del circuito. Esto se debe a que además del propio ruido introducido por la resistencia R_m , se está atenuando la señal a la entrada, ya que parte de la señal se desvía a tierra.

El mínimo factor de ruido introducido por esta etapa es de 3dB. Idealmente si se coloca una resistencia $R_m = 50\Omega$ en paralelo con la impedancia de entrada del transistor, $Z_{in} \approx 1/jCw$, la resistencia de entrada total es también de 50Ω porque el valor de la impedancia de entrada del transistor se puede despreciar frente al valor de la resistencia.

De esta forma, el factor de ruido que se obtiene es:

$$F = \frac{R_m + R_s}{R_s} \quad (4.32)$$

y por tanto la figura de ruido queda:

$$NF = \frac{SNR_{out}}{SNR_{in}} = 10 \cdot \log 2 = 3dB \quad (4.33)$$

4.4.1.2 Adaptación con Etapa Puerta Común

En la figura 4.16 se muestra la estructura de la adaptación con puerta común. La impedancia de entrada típica de este tipo de etapas es $\frac{1}{g_m}$.

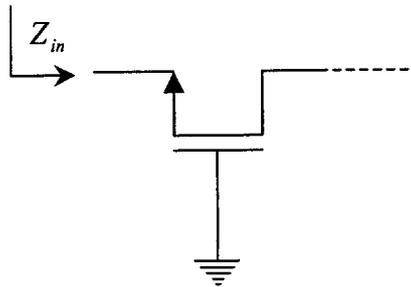


Figura 4.16 Etapa puerta común

Si se varia el ancho del transistor y modificamos el valor de g_m podemos llegar a conseguir una impedancia de entrada de 50Ω . Además con esta configuración no hay realimentación de la salida a la entrada. Sin embargo, el uso de esta etapa de entrada para el diseño del LNA también queda descartado pues el mínimo NF alcanzable con esta arquitectura es de 3 dB teóricamente.

Por ello este tipo de adaptación no es muy factible para diseños donde el ruido es un parámetro importante.

4.4.1.3 Degeneración Inductiva

En la figura 4.17 se puede ver la estructura de la adaptación de impedancias con degeneración inductiva.

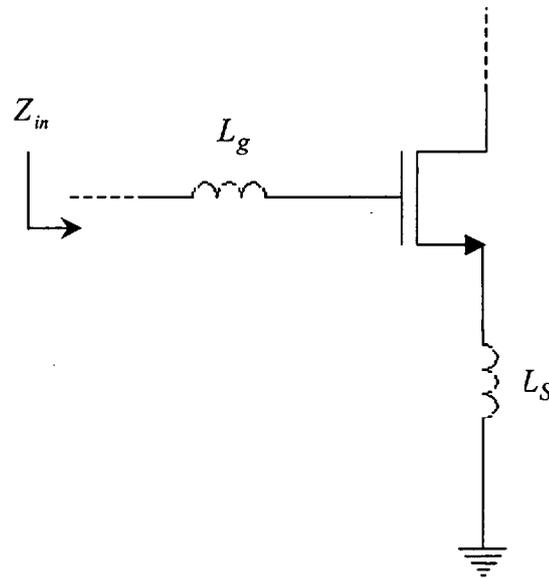


Figura 4.17 Degeneración inductiva

Este método se basa en utilizar la inductancia de degeneración de fuente L_S para conseguir un término real en la impedancia de entrada. Seguidamente, con la inductancia L_g se consigue sintonizar la entrada de forma que a la frecuencia deseada desaparece el término imaginario de la impedancia de entrada. Por tanto con los valores adecuados de L_S y L_g se puede conseguir una impedancia de entrada $Z_{in}=50\Omega$.

Sus características más notables son las siguientes:

- Al no tener que utilizar resistencias en este tipo de adaptación es la que mejor NF presenta.
- Es una arquitectura selectiva con las frecuencias, se puede sintonizar en una banda determinada ya que forma un circuito resonante RLC en su entrada.

- Esta arquitectura resonante realiza una preamplificación de la señal de entrada con lo que aumenta la ganancia y por lo tanto reduce la figura de ruido.
- La eficacia de esta arquitectura reside en la calidad de las inductancias que se utilizan en su implementación.

Por todas estas características la degeneración inductiva es la técnica más elegida para realizar la adaptación de la impedancia de entrada.

4.4.1.4 Estudio teórico de la red de adaptación por degeneración inductiva

Esta red permite realizar una primera sintonización a la entrada y además se consigue una primera amplificación de la señal de entrada del amplificador. Este dato es importante ya que con esta amplificación se reduce la figura de ruido del amplificador. El principal inconveniente de este tipo de red de adaptación reside en el uso de inductancias que ocupan un mayor volumen y en la calidad de estas. Generalmente el valor de L_g necesario para realizar la adaptación es demasiado elevado para ser integrado, por lo que ha de realizarse una adaptación externa.

Como se observa en la figura 4.18, la red de adaptación por degeneración inductiva forma una red RLC.

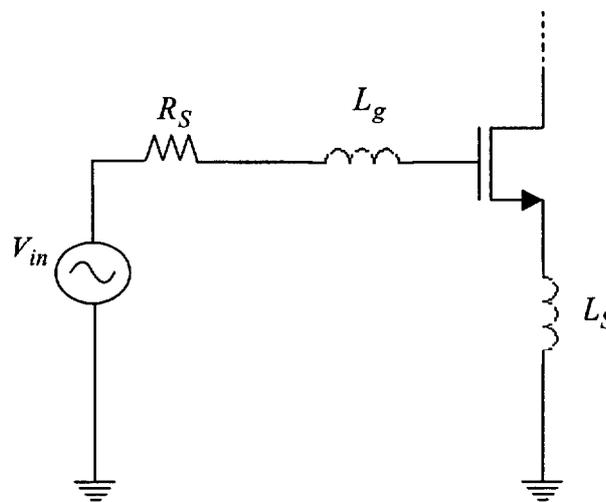


Figura 4.18 Entrada RLC

En la figura 4.19 se muestra el circuito equivalente simplificado del circuito de la figura 4.18.

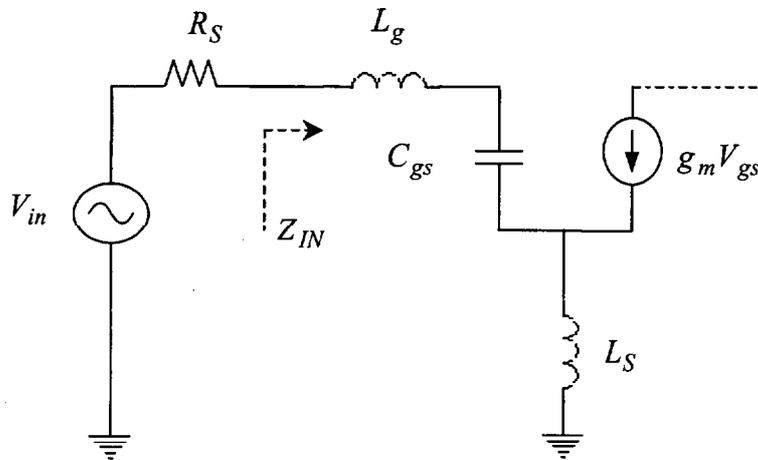


Figura 4.19 Circuito equivalente entrada RLC

La expresión de la impedancia de entrada para este circuito es la siguiente:

$$Z_{IN} = g_m \frac{L_s}{C_{gs}} + \frac{1}{sC_{gs}} + s(L_g + L_s) \quad (4.34)$$

donde g_m es la transconductancia del transistor de entrada, C_{gs} es la capacidad parásita que aparece entre la puerta y la fuente del transistor y R_S es la impedancia de salida del puerto de entrada.

De la expresión 4.34 se deduce que si se elige correctamente el valor de L_g y L_s , se puede ajustar el valor de impedancia deseado, en nuestro caso 50Ω . Para ello, una vez polarizado y dimensionado el transistor se conoce el valor de g_m y C_{gs} del transistor y se puede proceder a calcular el valor de L_S y L_g necesarios para adaptar la impedancia de entrada.

En la ecuación 4.34, la parte real de la impedancia de entrada se fija con el valor L_s según la siguiente expresión:

$$\frac{g_m}{C_{gs}} L_s = R_s = 50\Omega \quad (4.35)$$

Despejando L_s en la ecuación 4.35 se observa que su valor queda en función de g_m y por lo tanto el valor de L_s dependerá de la dimensión del transistor de entrada como se comentó anteriormente.

$$L_s = \frac{R_s \cdot C_{gs}}{g_m} \quad (4.36)$$

Analizando la ecuación 4.34 se deduce que para conseguir una impedancia de entrada resistiva pura se debe cumplir la siguiente igualdad.

$$\frac{1}{sC_{gs}} + s(L_g + L_s) = 0 \quad (4.37)$$

Simplificando la ecuación obtenemos la siguiente expresión:

$$w_0 = \frac{1}{\sqrt{(L_s + L_g) \cdot C_{gs}}} \quad (4.38)$$

donde w_0 es la frecuencia central de la banda que queremos amplificar.

De la ecuación 4.38 se puede despejar el valor de L_g que hace que la red RLC entre en resonancia y por tanto la impedancia de entrada sea resistiva pura.

Como se comentó al principio del apartado, con la utilización de la etapa de degeneración inductiva además de adaptar la impedancia de entrada se consigue una

primera amplificación de la señal de entrada. A continuación se explica cómo se produce esta amplificación de la señal de entrada.

Para el caso del circuito RLC serie de la figura 4.19, el factor de calidad es el siguiente:

$$Q = \frac{\sqrt{(L_S + L_g) / C_{gs}}}{R_S} \quad (4.39)$$

Del circuito de la figura 4.19 obtenemos que la tensión en la capacidad C_{gs} es:

$$V_{C_{gs}} = \frac{I}{\omega C_{gs}} = \frac{V_{in}}{Z_{in}} \cdot \frac{1}{\omega C_{gs}} = \frac{V_{in}}{R_S \frac{1}{\sqrt{(L_g + L_S) C_{gs}}}} = \frac{V_{in}}{R_S} \cdot \sqrt{\frac{(L_g + L_S)}{C_{gs}}} = Q \cdot V_{in}$$

(4.40)

Estos cálculos se han realizado suponiendo que a la frecuencia de resonancia de la red RLC la impedancia de entrada es $Z_{in} \approx R_S$.

Como se puede observar en la ecuación 4.40 la tensión V_{gs} es Q veces la tensión de entrada, lo que significa que se ha amplificado la señal de entrada por un factor Q .

Esta primera amplificación de la tensión de entrada es importante ya que se consigue reducir el factor de ruido del amplificador según la ecuación 3.12. Según esto sería interesante que el factor de calidad del circuito RLC de entrada sea lo más alto posible. Sin embargo la magnitud del factor de calidad está limitado, principalmente porque un factor de calidad elevado haría que la sintonización del LNA fuese muy selectiva y cualquier dispersión o variación en los valores de los componentes provocaría un desplazamiento de la banda de amplificación. El valor recomendado de Q para la etapa de entrada está entre 2 y 5 según [1].

Los valores de L_s y L_g obtenidos en este desarrollo son meramente orientativos y se deben utilizar como primer valor estimado, ya que el modelo utilizado es un modelo simplificado y por tanto no se han tenido en cuenta otros parámetros.

4.4.2 ADAPTACIÓN DE LA IMPEDANCIA DE SALIDA

Como sabemos, la ganancia de un amplificador depende en gran medida de la carga que se tiene conectada a su salida. Es decir, la ganancia de un amplificador está en función de la impedancia de entrada que presenta la etapa que le sigue. En muchos casos el valor de esta impedancia es muy bajo lo que produce que la ganancia del amplificador disminuya notablemente. Para solucionar este problema es necesario el uso de una etapa de salida llamada *buffer*.

El *buffer* tiene como finalidad bajar la impedancia de salida de un circuito con el fin de poder alimentar cargas pequeñas. Las características ideales de este tipo de etapa de salida son ganancia unitaria en tensión y ganancia alta en corriente.

El diseño de una buena etapa de salida con transistores MOS conlleva una serie de dificultades debido a las características de la tecnología. A continuación se analizarán las dos arquitecturas de etapa de salida más utilizadas en el diseño de circuitos integrados.

- Seguidor de fuente.

- Fuente común.

4.4.2.1 Etapa Seguidor de Fuente.

El esquema de este tipo de etapa de salida con tecnología MOS se muestra en la figura 4.20.

La ganancia en tensión típica de la etapa fuente seguidora está en torno a 0.5 por lo que se produce una atenuación de la señal de salida. Esta caída de ganancia se debe

principalmente a la baja transconductancia que presenta el transistor y en segundo lugar al efecto de cuerpo (*body-effect*). El efecto de cuerpo es la variación de la tensión umbral del transistor V_T debido a la variación de potencial del sustrato.

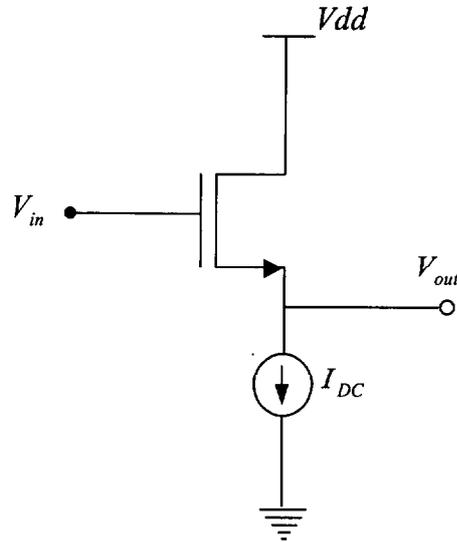


Figura 4.20 Etapa fuente seguidora

La impedancia de salida de esta etapa es más alta que en el caso de su equivalente en tecnología bipolar, el seguidor de emisor, representado en la figura 4.21.

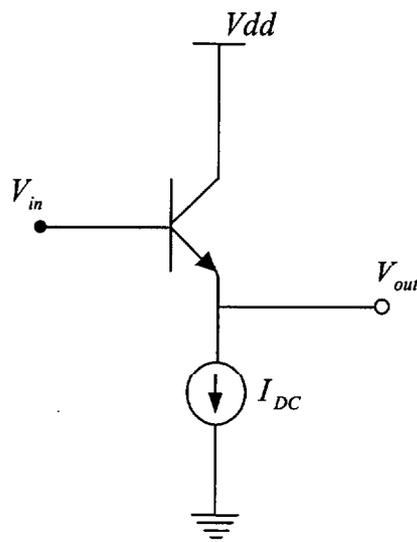


Figura 4.21 Etapa seguidor de emisor

En tecnología bipolar, el seguidor de emisor es una buena alternativa, ya que su ganancia es prácticamente unitaria y su impedancia de salida es bastante baja.

Aunque el comportamiento de la etapa fuente seguidora no es tan bueno como el caso de su equivalente en tecnología bipolar, su uso está bastante extendido ante la dificultad de encontrar etapas que se comporten mejor. En el diseño de un fuente seguidor se debe intentar, que la ganancia sea lo más cercana posible a la unidad y conseguir al mismo tiempo una impedancia de salida de 50Ω .

4.4.2.2 Etapa Fuente Común.

Una alternativa interesante a la etapa fuente seguidora es la fuente común. El esquema de esta arquitectura se muestra en la figura 4.22.

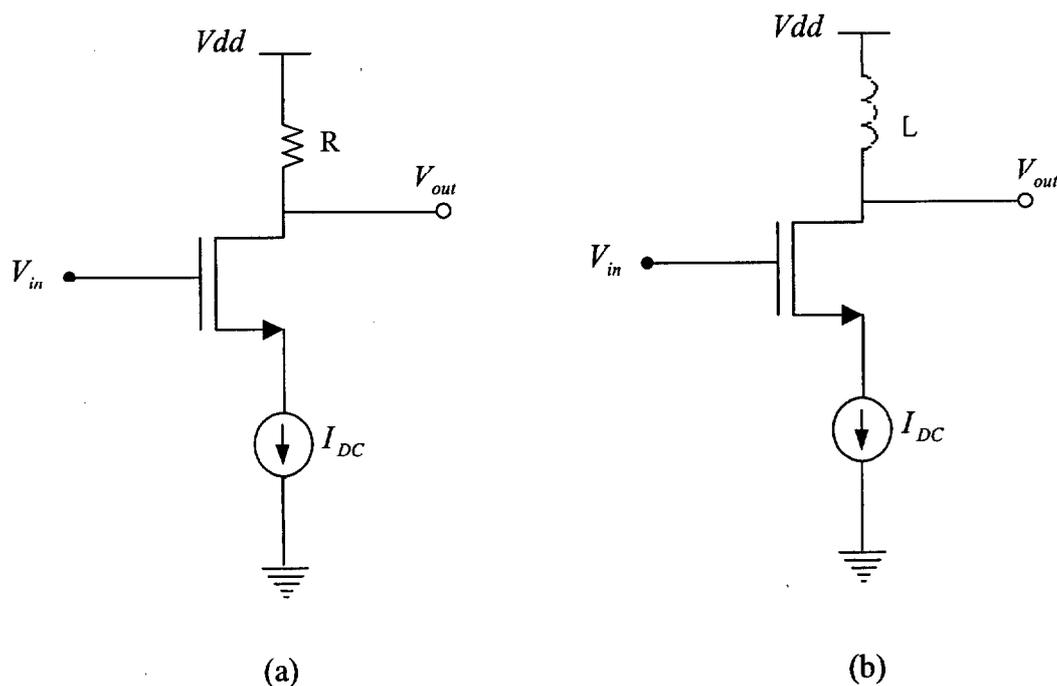


Figura 4.22 Etapa fuente común con carga resistiva (a) y carga inductiva (b)

Como se observa en la figura 4.22 la carga de esta etapa de salida puede ser inductiva o resistiva. La etapa con carga resistiva es totalmente integrable, pero tiene el inconveniente de introducir mucho ruido extra. Este inconveniente puede ser importante en diseños que tengan como especificaciones más restrictivas el ruido como es el caso

de un LNA. La etapa con carga inductiva introduce menos ruido, pero la inductancia L ha de ser externa y de valor grande lo que dificulta su integración.

En resumen, la etapa fuente común presenta dos problemas principalmente:

- Se produce una fuerte retroalimentación de la salida a través de la capacidad C_{gd} del transistor MOS.
- Si se usa carga inductiva se necesita una conexión externa adicional.

Por estas dos razones se ha descartado este tipo de salida como posible alternativa para realizar la adaptación de la impedancia de salida.

4.5 REFERENCIA DE TENSIÓN

En este apartado se muestran las topologías de circuitos más utilizadas para obtener una referencia de tensión así como los pasos necesarios para su diseño.

El objetivo de una referencia de tensión es fijar en un punto del circuito una tensión determinada de tal manera que ésta sea constante frente a variaciones en la temperatura y dispersiones del proceso. La forma más simple de conseguir una tensión determinada en un punto es mediante un circuito divisor de tensión implementado con dos resistencias o de forma equivalente utilizando transistores como cargas activas como se observa en la figura 4.23 (a) y 4.23 (b) respectivamente.

La primera opción, al utilizar resistencias tiene el inconveniente de ocupar una gran área y generar mucho ruido. En la segunda opción al sustituirse las resistencias por transistores se consigue disminuir el área ocupada y el ruido introducido por la referencia de tensión. Por esta razón, el divisor de tensión realizado con transistores es la opción más utilizada en el diseño de circuitos integrados.

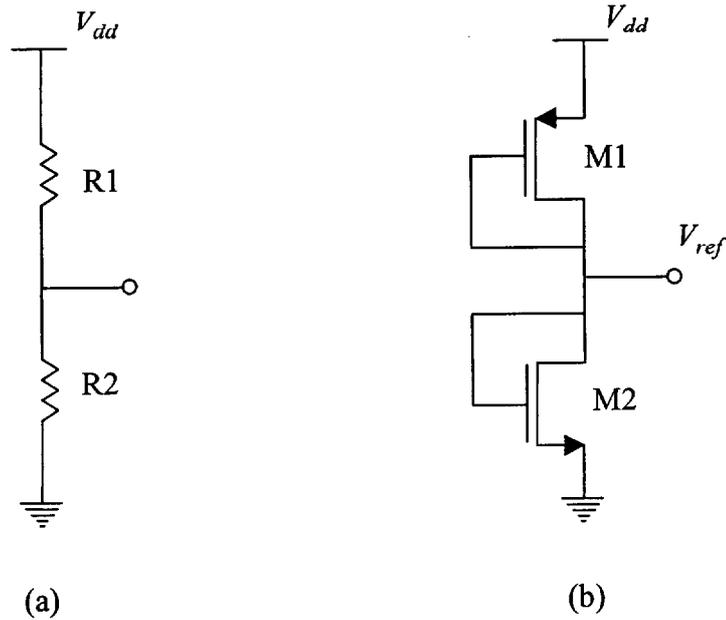


Figura 4.23 Divisor de tensión resistivo (a) y divisor de tensión con transistores MOS (b)

Dimensionando de manera adecuada los transistores M1 y M2 se puede conseguir la tensión de referencia que se desea en un punto del circuito. El dimensionado se realizará de manera arbitraria pero teniendo en cuenta que cuanto más pequeño es el transistor mayor será la influencia de las dispersiones en el mismo. Además, la corriente que polariza la referencia de tensión ha de ser la mínima posible para evitar un consumo innecesario y minimizar el ruido introducido por la referencia.

Para hallar las dimensiones de los transistores M1 y M2 se supone que la intensidad que atraviesa los dos transistores es la misma:

$$I_{D1} = \frac{\beta_1}{2} \cdot (V_{ref} - V_{sustrato} - V_{TN})^2 \quad (4.41)$$

$$I_{D2} = \frac{\beta_2}{2} \cdot (V_{dd} - V_{ref} - V_{TP})^2 \quad (4.42)$$

Donde:

V_{TN} , V_{TP} es la tensión umbral del transistor NMOS y PMOS, respectivamente, V_{dd} es la tensión de alimentación, $V_{sustrato}$ es la tensión del sustrato (en este diseño está conectado a tierra) y β es una constante que depende de la tecnología utilizada y de las dimensiones del transistor como se muestra en la ecuación 4.43.

$$\beta = KP \cdot \frac{W}{L} \quad (4.43)$$

KP es un factor que depende de la tecnología.

Igualando las ecuaciones 4.41 y 4.42 y despejando el valor de V_{ref} se obtiene la siguiente ecuación:

$$V_{ref} = \frac{V_{dd} - V_{TP} + \sqrt{\frac{\beta_1}{\beta_2} \cdot (V_{sustrato} + V_{TN})}}{\sqrt{\frac{\beta_1}{\beta_2} + 1}} \quad (4.44)$$

Analizando la expresión obtenida se puede comprobar que dimensionando correctamente los transistores M1 y M2 se puede conseguir el valor de V_{ref} deseado.

4.6 FUENTES DE CORRIENTE

Una fuente de corriente ideal es aquella que suministra la misma corriente independientemente de que existan variaciones de tensión entre sus extremos.

4.6.1 FUENTE DE CORRIENTE CON TRANSISTORES MOS

A partir de lo estudiado en el apartado 2.3.3 y de la figura 2.5, repetida en este apartado, se puede deducir que si se mantiene constante la tensión aplicada entre la puerta y la fuente de un transistor MOS y nos aseguramos que está trabajando en la zona de saturación se puede conseguir que el transistor actúe como una fuente de corriente relativamente independientemente de la tensión aplicada entre el drenador y su fuente.

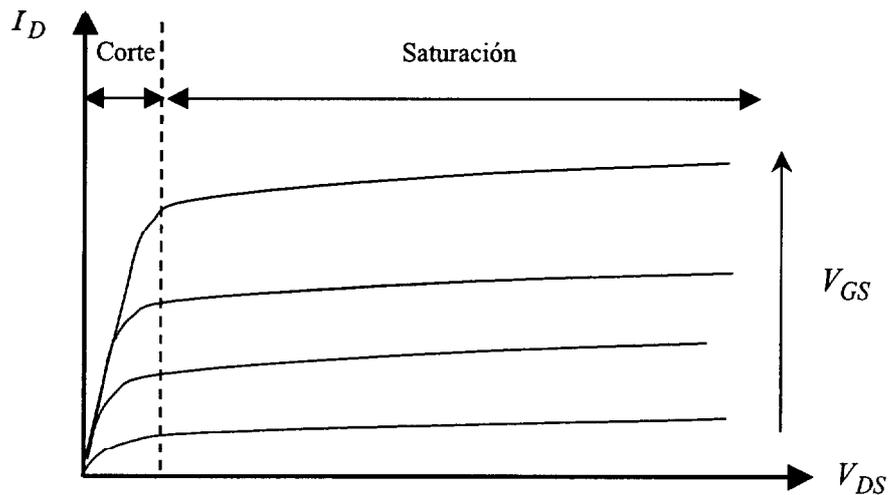


Figura 4.24 Curva tensión-corriente de un transistor NMOS

En la figura 4.25 se muestra la arquitectura utilizada para implementar una fuente de corriente con transistores MOS. En esta figura se observa que para fijar la tensión de puerta V_{GS} del transistor M3 de la fuente de corriente se ha utilizado una referencia de tensión como la vista en la figura 4.23 (b).

En el circuito de la figura 4.25 la corriente que recorre los transistores M1 y M2 es la misma, $I_{D1} = I_{D2}$.

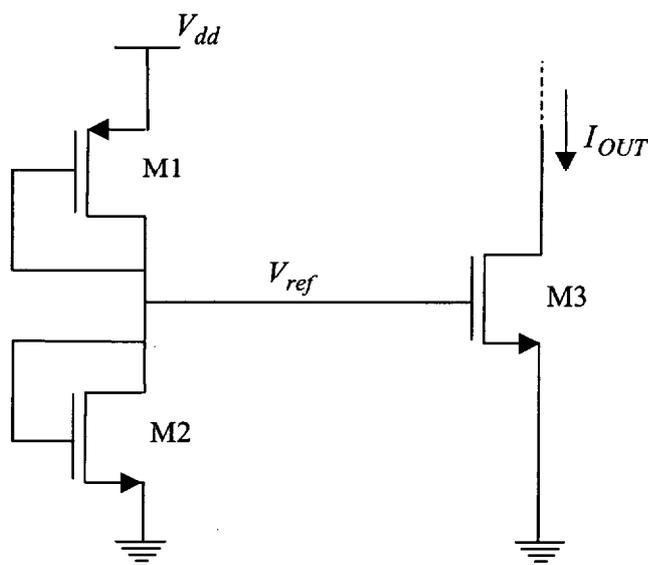


Figura 4.25 Fuente de corriente implementada con transistores MOS

Como la tensión $V_{gs1} = V_{gs3} = V_{ref}$ y suponiendo que el transistor M3 está en la región de saturación, tenemos que la corriente que circula por ambos transistores viene dada por:

$$I_{D1} = \frac{\beta_1}{2} \cdot (V_{ref} - V_{TN})^2 \quad (4.45)$$

$$I_{D3} = \frac{\beta_3}{2} \cdot (V_{ref} - V_{TN})^2 \quad (4.46)$$

La constante β como se explicó en el apartado anterior está en función de la tecnología y del tamaño del transistor.

Dividiendo la ecuación 4.46 entre la ecuación 4.45 obtenemos la ecuación que nos permite obtener el valor de corriente deseado para la fuente de corriente de la figura 4.25.

$$\frac{I_{D3}}{I_{D1}} = \frac{\beta_3}{\beta_1} = \frac{KP \cdot \left(\frac{W_3}{L_3}\right)}{KP \cdot \left(\frac{W_1}{L_1}\right)} = \frac{\left(\frac{W_3}{L_3}\right)}{\left(\frac{W_1}{L_1}\right)} \quad (4.47)$$

La variable más restrictiva en el diseño de una fuente de corriente de estas características suele ser la tensión, que suele venir impuesta por el resto del circuito. Por tanto hay que elegir el tamaño del transistor M3 y la tensión de referencia, de forma que la fuente trabaje en la zona de saturación, zona en la que la corriente no depende casi de la tensión V_{ds} .

Como norma general, para no tener un consumo de potencia inútil la corriente que recorre la referencia de tensión ha de ser aproximadamente un décimo de la corriente que suministra la fuente de corriente.

4.6.2 FUENTE DE CORRIENTE CON TRANSISTORES BIPOLARES

En la figura 4.26 se muestra la arquitectura utilizada para implementar una fuente de corriente con transistores bipolares.

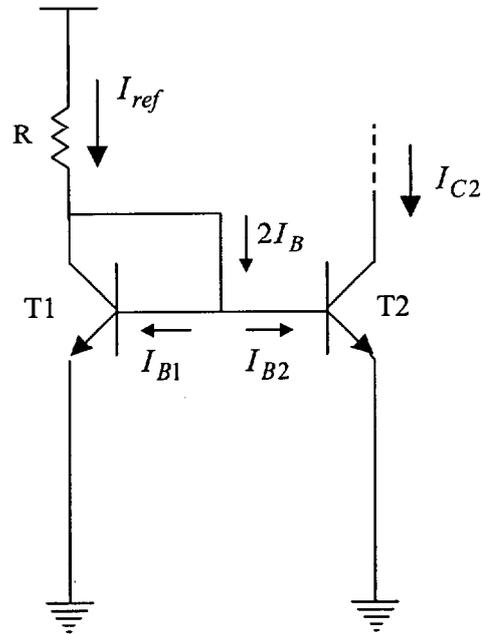


Figura 4.26 Fuente de corriente con transistores bipolares

En esta figura se observa que para fijar la tensión base-emisor del transistor T2 se utiliza una referencia de tensión distinta a la vista anteriormente. En este caso la referencia se utiliza para fijar la corriente que circula por esta rama y a partir de esta corriente dimensionar el transistor T2 para conseguir la corriente de salida deseada para la fuente de corriente.

El principio de operación de esta fuente de corriente se basa en la relación que existe entre la V_{BE} del transistor y la corriente de colector I_C . Esta relación está dada por la ecuación 4.48.

$$V_{BE} = V_T \ln \left(\frac{I_C}{I_{CO}} \right) \quad (4.48)$$

Donde, V_T es la tensión térmica e I_{CO} es la corriente de saturación del transistor.

La corriente de saturación del transistor I_{CO} depende del área de la base del mismo tal y como se ve en la ecuación 4.49.

$$I_{CO} = I_S A \quad (4.49)$$

Donde, I_S es una constante que depende de las propiedades intrínsecas del transistor y A es el área del transistor.

Si los transistores están integrados en un mismo chip el término I_{CO} será el mismo en ambos transistores. Por esta razón a partir de la ecuaciones 4.48 y 4.49 se puede deducir que si dos transistores NPN tienen la misma tensión base-emisor, la relación que existe entre la corriente de colector de cada uno de ellos está en función de sus áreas, es decir:

$$\frac{I_{C1}}{I_{C2}} = \frac{A_1}{A_2} \quad (4.50)$$

Si analizamos el circuito de la figura 4.26 y nos apoyamos en la ecuación 4.50 podemos llegar a la siguiente conclusión:

$$\frac{I_{C2}}{I_{REF}} = \frac{A_2}{A_1} \Rightarrow I_{C2} = I_{REF} \frac{A_2}{A_1} \quad (4.51)$$

La corriente de referencia I_{REF} se puede calcular con la siguiente expresión:

$$I_{REF} = \frac{V_{dd} - V_{BE1}}{R} \quad (4.52)$$

Es decir, fijando una corriente de referencia y dimensionando correctamente el área de los transistores T1 y T2 podemos conseguir la corriente deseada para la fuente de corriente.

CAPÍTULO 5

DISEÑO SELECCIONADO Y ANÁLISIS

En este capítulo se presenta el tipo de arquitectura elegida para realizar el diseño del LNA de nuestro proyecto.

Se llevará a cabo una serie de cálculos y estimaciones iniciales para hallar los valores y dimensiones de los distintos componentes que forman el circuito. Por otro lado, se explicará a grandes rasgos las características de la herramienta utilizada para el diseño y se realizará una serie de simulaciones del diseño con el fin de conseguir las especificaciones marcadas al principio del proyecto.

5.1 DISEÑO SELECCIONADO

La elección de cada una de las etapas se ha realizado con el fin de conseguir el mejor resultado y alcanzar las especificaciones de ruido, ganancia, IP3 y adaptación de impedancias, mostradas en el apartado 1.3.1. Cabe destacar también que, aunque no haya una especificación concreta al respecto, el consumo de potencia del amplificador debe ser el mínimo posible.

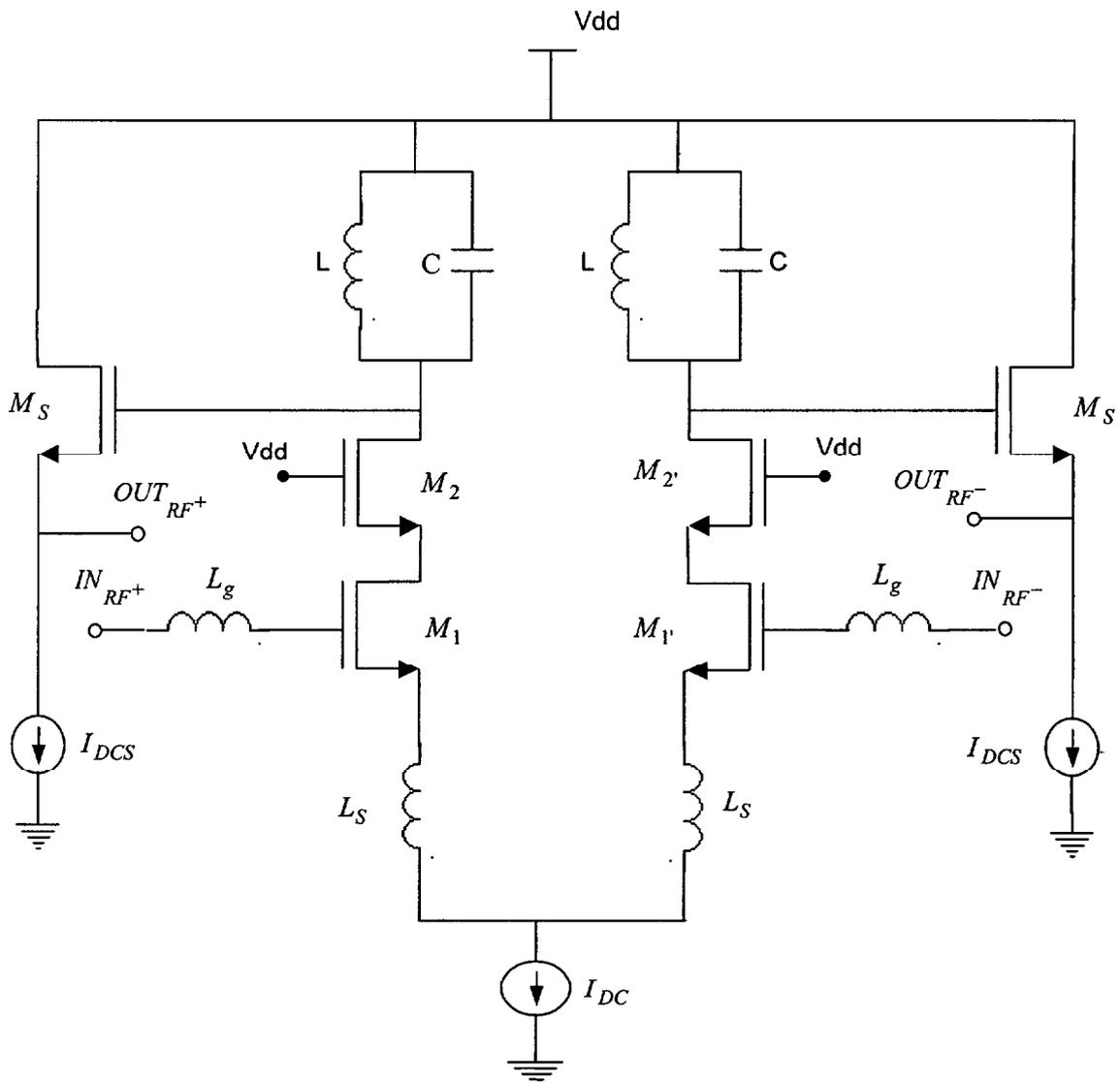


Figura 5.1 Esquemático del LNA

Como se puede observar en el circuito de la figura 5.1 se ha optado por una arquitectura diferencial de banda estrecha sintonizada mediante un circuito tanque. La adaptación de impedancia de entrada se realiza mediante degeneración inductiva por ser la estructura que mejor figura de ruido presenta. La estructura seleccionada incluye además una configuración cascode que mejora la respuesta en frecuencia del amplificador y evita la retroalimentación de la señal de salida hacia la entrada. La etapa de salida elegida para el diseño es la configuración fuente seguidora para evitar el uso de elementos externos como inductancias y resistencias en la etapa de salida.

5.2 ESTIMACIONES INICIALES

En este apartado se han calculado las dimensiones de los transistores, inductancias y capacidades que se utilizan en el diseño del amplificador de bajo ruido. Estos valores se han tomado como punto de partida en las simulaciones del circuito, mediante las que se buscará conseguir el mínimo NF, máxima ganancia, mínimo consumo y máxima linealidad del amplificador.

5.2.1 DIMENSIONADO DEL CIRCUITO TANQUE

En este apartado se calculará el valor de L y C necesarios para sintonizar el circuito tanque de la figura 5.1 a la frecuencia deseada. En nuestro caso el LNA estará sintonizado a una frecuencia de 1.575 GHz.

El factor de calidad de una inductancia viene dado por la siguiente expresión:

$$Q = \frac{-\text{imag}Y_{11}}{\text{real}Y_{11}} \quad (5.1)$$

donde, Y_{11} es la admitancia vista desde el puerto de entrada (ver figura 5.2).

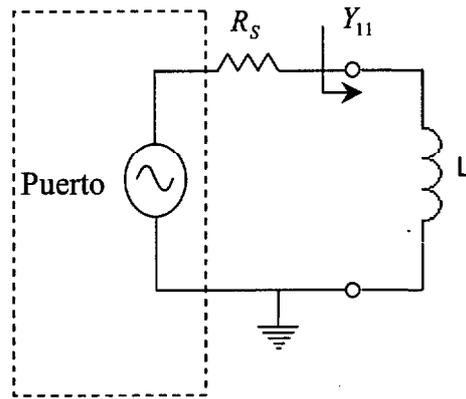


Figura 5.2 Circuito para el cálculo del factor de calidad de una bobina

Partiendo de la ecuación 5.1 y del circuito de la figura 5.2 se han realizado distintas simulaciones para conocer el factor de calidad de las diferentes inductancias que nos proporciona la empresa AMS. Analizando los resultados de las distintas simulaciones hemos optado por elegir una inductancia de valor $L = 3.8nH$. Esta inductancia presenta un buen factor de calidad a la frecuencia de sintonización del amplificador y además permite integrarla fácilmente por no tener un valor inductivo muy alto. El factor de calidad de esta bobina a la frecuencia de interés es $Q = 3.9$ según vemos en gráfica de la figura 5.3.

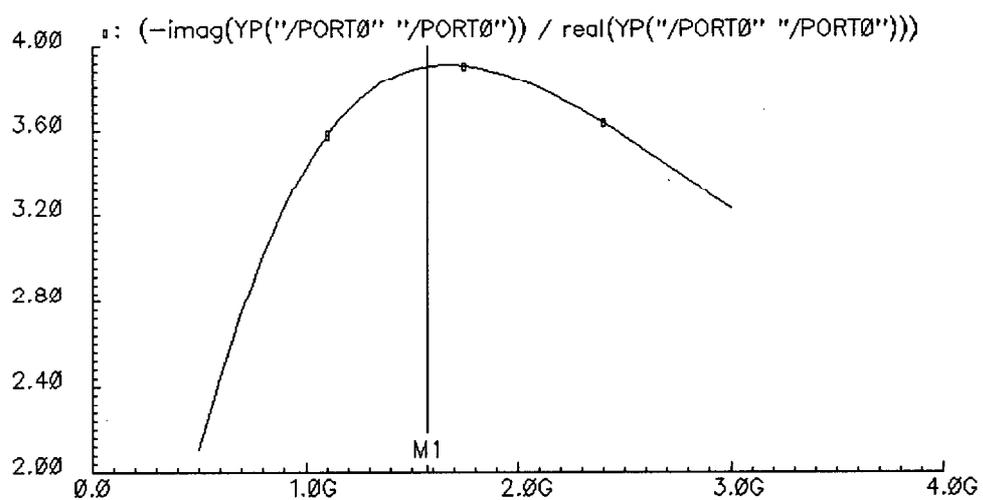


Figura 5.3 Factor de calidad de la bobina de 3.8nH de AMS

A partir de la ecuación 5.1 vista en el apartado 4.3.2 podemos calcular el valor de la capacidad necesario para que el circuito tanque resuene a la frecuencia de sintonización del amplificador.

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (5.2)$$

Sustituyendo en la ecuación 5.2 el valor de L y ω_0 obtenemos el valor de la capacidad del tanque.

$$C = \frac{1}{\omega_0^2 \cdot L} = 2.6 \text{ pF} \quad (5.3)$$

Como se vio en el capítulo anterior, el factor de calidad de una bobina viene dado por la expresión 4.4 que repetimos a continuación

$$Q = \frac{\omega_0 \cdot L}{R} \quad (5.4)$$

Sustituyendo en la ecuación 5.4 el valor de L y Q hallados anteriormente y despejando el valor de R obtenemos el valor de la resistencia serie asociada a la bobina

$$R = \frac{\omega_0 \cdot L}{Q} = 10 \Omega \quad (5.5)$$

Una vez calculado el valor de la resistencia serie asociada a la bobina se puede obtener, a partir de la ecuación 4.1, la resistencia paralelo equivalente asociada al circuito tanque.

$$R_p = R \cdot (Q^2 + 1) \quad (5.6)$$

Sustituyendo en la ecuación 5.6 el valor de R y Q obtenemos una $R_p \approx 162\Omega$.

Como se comentó al principio de esta sección los valores de L y C obtenidos en este apartado se tomarán como punto de partida para realizar las distintas simulaciones, ya que estos valores no son exactos porque no se han tenido en cuenta la influencia de los demás componentes del circuito.

5.2.2 DIMENSIONADO DE LA RED DE ADAPTACIÓN DE LA IMPEDANCIA DE ENTRADA

En este apartado se calcularán el valor de las inductancias L_s y L_g que forman parte de la red de adaptación de la impedancia de entrada. Este cálculo se ha realizado en base a las expresiones halladas en la publicación [1] y en el apartado 4.4.

Según [1] el factor de calidad de la red RLC de entrada ha de ser aproximadamente de 3.9, para conseguir minimizar la figura de ruido del amplificador y conseguir un consumo mínimo de potencia. La ecuación 5.7 relaciona el factor de calidad de la red RLC de entrada Q_{RLC} con la capacidad de puerta del transistor de entrada C_{gs} y las inductancias L_s y L_g .

$$Q_{RLC} = \frac{\omega_0 \cdot (L_s + L_g)}{Z_{in}} = \frac{1}{\omega_0 \cdot Z_{in} \cdot C_{entrada}} \cong \frac{1}{\omega_0 \cdot Z_{in} \cdot C_{gs}} \quad (5.7)$$

donde, $Z_{in} = 50\Omega$.

De la ecuación 5.7 se puede despejar el valor de C_{gs} y $(L_s + L_g)$ necesarias para adaptar la impedancia de entrada del amplificador a 50Ω y además minimizar su figura de ruido.

$$C_{gs} \cong \frac{1}{\omega_0 \cdot Z_{in} \cdot Q_{RLC}} = \frac{1}{1.575 \cdot 10^9 \times 50 \times 3.9} = 0.518 pF \quad (5.8)$$

$$(L_s + L_g) \approx \frac{Q_{RLC} \cdot Z_{in}}{\omega_0} = \frac{3.9 \times 50}{1.575 \cdot 10^9} = 19.7 \text{ nH} \quad (5.9)$$

A partir de estos valores se puede calcular por separado el valor de L_s y L_g . Para esto es necesario conocer antes otros parámetros del circuito.

5.2.2.1 Cálculo de la Transconductancia del Transistor M_1 .

Al igual que en el apartado anterior los cálculos realizados en este apartado se realizarán en base a las expresiones halladas en [1] y también en el apartado 4.3.2.

En la figura 5.4 se muestra el esquema de un amplificador cascado con degeneración inductiva y carga sintonizada. Como se puede observar, esta etapa se corresponde con una de las ramas del LNA mostrado en la figura 5.1.

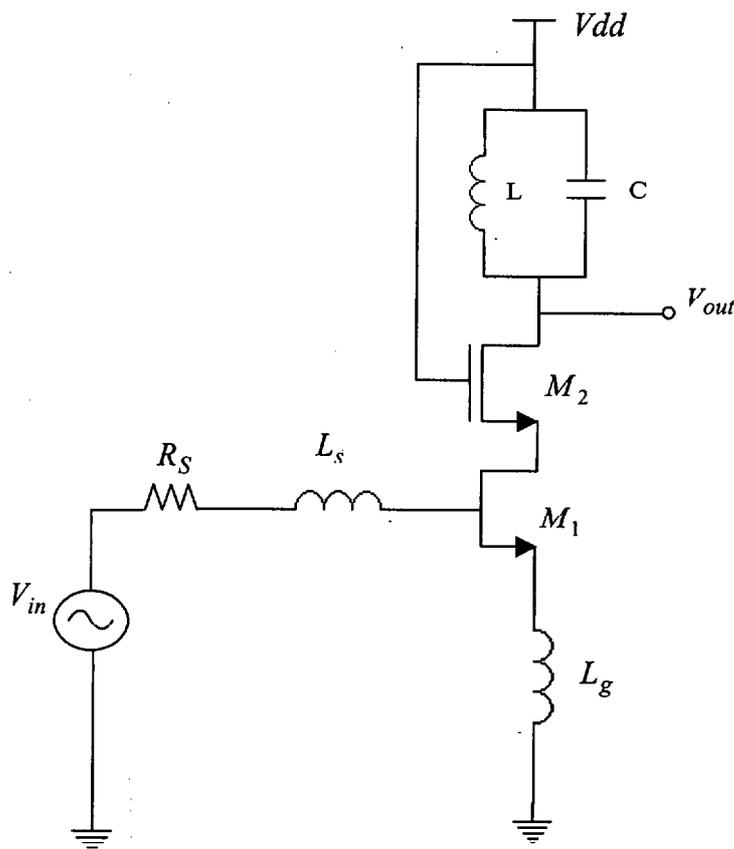


Figura 5.4 Amplificador cascado con de generación inductiva y carga sintonizada

La ganancia en tensión de este amplificador se puede aproximar mediante la siguiente ecuación:

$$A_v = Q_{RLC} \cdot A_{cascodo} = Q_{RLC} \cdot \frac{g_{m1}}{G_T} \quad (5.10)$$

Donde:

- G_T es la conductancia total en el nodo de salida del amplificador.
- g_{m1} es la transconductancia del transistor de entrada M_1 .
- Q_{RLC} es el factor de calidad de la red RLC de entrada.

Para simplificar el cálculo se supone que $G_T \approx G_L$. Es decir, solo se tendrá en cuenta la conductancia paralela equivalente de la inductancia L del circuito tanque. Por tanto, teniendo en cuenta esta aproximación, la ecuación 5.10 queda simplificada de la siguiente forma:

$$A_v \cong Q_{RLC} \cdot \frac{g_{m1}}{G_L} = Q_{RLC} \cdot g_{m1} \cdot R_p \quad (5.11)$$

De las especificaciones de diseño mostradas en la tabla 1.1 se obtiene que la ganancia del amplificador debe ser $A_v > 15$ dB, por tanto:

$$A_{v_{dB}} = 20 \cdot \log\left(\frac{V_{out}}{V_{in}}\right) = 15dB \Rightarrow \frac{V_{out}}{V_{in}} = 5.6 \quad (5.12)$$

Combinando las ecuaciones 5.11 y 5.12 y el valor de Q_{RLC} y R_p conocidos, se puede despejar el valor de g_{m1} necesario para cumplir las especificaciones que se requieren en el diseño.

El valor de g_{m1} es el siguiente:

$$g_{m1} = \frac{5.7}{Q_{RLC} \cdot R_P} = \frac{5.7}{3.9 \times 162.1} = 9mS \quad (5.13)$$

Conocido el valor de g_{m1} y C_{gs} se puede calcular el valor de la inductancia L_s , según la ecuación 4.36

$$Z_{in} = \frac{g_{m1} \cdot L_s}{C_{gs1}} \quad (5.14)$$

Sustituyendo en la ecuación 5.14 los valores correspondientes tenemos:

$$L_s = \frac{Z_{in} \cdot C_{gs}}{g_{m1}} = \frac{50 \times 0.518 \cdot 10^{-12}}{11 \cdot 10^{-3}} = 2.4 \text{ nH} \quad (5.15)$$

A partir del valor L_s y de la ecuación 5.9 se puede calcular el valor de la inductancia L_g .

$$(L_s + L_g) = 19.7nH \Rightarrow L_g = 19.7 - 2.4 = 17.3nH \quad (5.16)$$

Este valor es demasiado elevado para ser integrado, por lo que se tendría que adaptar externamente.

Hay que recordar que estos valores son meramente orientativos, por lo que se tendrá que realizar distintas simulaciones hasta conseguir los valores adecuados de L_s y L_g que aseguren la correcta adaptación de la impedancia de entrada.

5.2.3 DIMENSIONADO Y POLARIZACIÓN DE LA ETAPA CASCODO

El comportamiento de un LNA está fuertemente influenciado por la etapa de amplificación cascodo. Según se explicó en el apartado 4.3 esta etapa consigue mejorar la respuesta en frecuencia del amplificador y aislar la salida de la entrada. Además, la figura de ruido y la ganancia del amplificador van a depender en gran medida de esta etapa.

La ganancia de la etapa cascodo está en función de la transconductancia de los transistores M_1 y M_2 y por tanto dependerá de sus dimensiones y de la corriente que circula a través de ellos.

Normalmente las dimensiones del transistor de entrada suelen ser pequeñas para conseguir que la capacidad C_{gd} sea también pequeña y disminuir así el efecto de la capacidad Miller. Sin embargo, en el caso del LNA, la etapa cascodo es algo peculiar ya que el transistor de entrada M_1 debe tener unas dimensiones grandes. Esto se debe a que de esta forma se disminuye la resistencia de puerta del canal y por tanto el ruido introducido es menor, con lo que se cumple el objetivo primordial en el diseño de un LNA.

5.2.3.1 Dimensionado del transistor de entrada, M_1

Según lo estudiado en [1] la ecuación 5.17 nos da el ancho óptimo del transistor de entrada para minimizar la figura de ruido del circuito en función del factor de calidad de la red RLC de la entrada. Basándonos en las recomendaciones de esta publicación se ha elegido para nuestro diseño una $Q_{RLC} = 3.9$.

$$W_{1optimo} = \left[\frac{2}{3} \cdot w_0 \cdot L_{canal} \cdot C_{ox} \cdot R_s \cdot Q_{RLC} \right]^{-1} \quad (5.17)$$

Donde:

w_0 es la frecuencia central de la banda donde se desea amplificar, L_{canal} es la longitud del canal del transistor de entrada M_1 y C_{ox} es la capacidad del óxido de puerta.

Sustituyendo en la ecuación 5.17 los valores correspondiente se obtiene el siguiente resultado:

$$W_{1optimo} = \left[\frac{2}{3} \times 2\pi \times 1.575 \cdot 10^9 \times 0.8 \cdot 10^{-6} \times 2.158 \cdot 10^{-3} \times 50 \times 3.9 \right]^{-1} = 450 \mu m \quad (5.18)$$

5.2.3.2 Dimensionado del transistor M_2

Respecto al valor de la anchura de M_2 , hay que decir que cuanto mayor sea su dimensión mayor será la ganancia del amplificador y por tanto disminuirá la figura de ruido del mismo. De todos modos siempre hay que tener en cuenta el criterio de la linealidad del circuito. Una forma de mejorar la linealidad del circuito aunque se sacrifica la figura de ruido es disminuir la ganancia del amplificador haciendo M_2 más pequeño. Como se puede ver hay que llegar nuevamente a un compromiso entre la figura de ruido y la linealidad del amplificador, de tal forma que se cumplan las especificaciones deseadas.

A partir de la publicación [1] se ha tomado como estimación inicial para el ancho del transistor una $W_2 = 200 \mu m$.

5.2.3.3 Polarización de la etapa cascode.

En la figura 5.1 el transistor M_1 de la etapa cascode se polariza por medio de la corriente impuesta por la fuente de corriente I_{DC} y por la tensión aplicada en su puerta.

La tensión de puerta V_{g1} se ha de elegir de forma que el transistor M_1 se encuentre en saturación, cumpliendo al mismo tiempo una serie de requisitos:

- V_{g1} debe ser lo bastante alta, para que el reparto de la tensión de alimentación V_{CC} entre M_1, M_2 y el transistor de la fuente de corriente permita tener la suficiente tensión en la fuente del transistor M_1 para poder implementar la fuente de corriente.
- El punto de operación de M_1 debe ser el idóneo, es decir debe estar alejado de la zona de corte y la de triodo. Esto garantizará el correcto funcionamiento del transistor y una buena linealidad del circuito.
- La tensión de puerta del transistor M_2 debe ser lo más alta posible de forma que se asegure su funcionamiento en la región de saturación. Para esto se ha llevado la tensión de puerta V_{gs2} a la tensión de alimentación $V_{dd} = 3v$.

La elección de la corriente de polarización de la etapa cascode ha de conseguir una correcta polarización de los transistores y al mismo tiempo un consumo de potencia moderado, lo cual es de gran importancia en sistemas portátiles como un GPS. Un aumento excesivo de la corriente provocaría una ganancia elevada del circuito y por tanto problemas de linealidad.

5.2.3.3.1 Cálculo de la corriente de polarización de la etapa cascode.

A partir de la ecuación 5.19 y de los valores de g_{m1} y $W_{1optimo}$ hallados anteriormente, se puede calcular el valor de la corriente de drenador del transistor M_1 necesaria para conseguir la mínima figura de ruido del amplificador.

$$g_m = \sqrt{\frac{K \cdot W \cdot I_D}{L_{eff}}} \quad (5.19)$$

Sustituyendo los valores de g_{m1} y $W_{1optimo}$ y los valores de K y L_{eff} , obtenidos de las hojas de características proporcionadas por el fabricante, se obtiene el siguiente resultado:

$$I_D = \frac{g_{m1}^2 \cdot L_{eff}}{K \cdot W_{optimo}} \frac{(11 \cdot 10^{-3})^2 \times 0.75 \times 10^{-6}}{120 \cdot 10^{-6} \times 450 \cdot 10^{-6}} = 1.7 mA \quad (5.20)$$

Esta será la corriente de polarización que circula por cada rama de la etapa diferencial lo que significa que la fuente de corriente $I_{DC} = 3.4 mA$.

5.2.3.3.2 Cálculo de la tensión de polarización del transistor M_1

Para calcular la tensión de polarización del transistor de entrada M_1 se emplea la ecuación 5.21, que expresa el valor de la corriente de drenador de un transistor MOS en zona de saturación.

$$I_D = \frac{\beta}{2} (V_{gs} - V_{TN})^2 \quad (5.21)$$

Donde:

$V_{TN} \cong 0.8 V$, es la tensión umbral del transistor NMOS utilizado y β es una constante dependiente de la tecnología utilizada y del tamaño del transistor.

Para el cálculo de β utilizaremos la ecuación 5.22

$$\beta = KP \frac{W}{L} \quad (5.22)$$

Donde KP es un coeficiente que depende de la tecnología, es decir, de la movilidad de los electrones y de la capacidad del óxido, C_{ox} . La KP típica de un transistor NMOS de la tecnología (HBT-BICMOS 0.8 μm de AMS) es de $100 \mu A / V^2$.

Conocidos todos los datos se puede despejar de la ecuación 5.21 la tensión de polarización necesaria para el transistor de entrada M_1 . De esta manera $V_{gs1} \cong 1 \text{ V}$.

5.2.4 DIMENSIONADO DEL TRANSISTOR DE LA ETAPA DE SALIDA M_S Y CÁLCULO DE LA CORRIENTE DE POLARIZACIÓN I_{DCS}

A partir de la publicación [1] se han tomado como estimaciones iniciales para el ancho del transistor de la etapa de salida una $W_S = 200 \mu\text{m}$ y para la corriente de polarización $I_{DCS} = 1 \text{ mA}$.

5.3 ELEMENTOS EXTRAS

Previamente al diseño de un circuito deben tenerse en cuenta una serie de efectos parásitos que afectan de manera considerable a su comportamiento. Si no se considera la influencias de dichos efectos, los resultados obtenidos a partir de las distintas simulaciones diferirían en gran medida de los obtenidos después de testear el circuito. Estos efectos surgen por la necesidad de empaquetar el circuito para su testeo.

Los efectos que se derivan de la necesidad de empaquetar el circuito son:

- Efecto del pad de conexión
- Inductancia del bondwire
- Efecto del empaquetamiento

5.3.1 EFECTO DEL PAD DE CONEXIÓN

El punto de conexión del circuito integrado donde se suelda el hilo proveniente del empaquetamiento es el denominado pad de conexión. En un circuito integrado habrá tantos pads como conexiones externas existan.

Un pad no es mas que una isla de metal conectada a las zonas adecuadas del circuito integrado. Dependiendo de cómo se realice el testeo del circuito tendrá unas dimensiones determinadas.

Al ser una zona de metal sobre un sustrato de silicio, éste puede modelarse mediante una capacidad parásita en serie con una resistencia entre el metal y el sustrato. En la figura 5.5 se muestra un esquema circuital del pad.

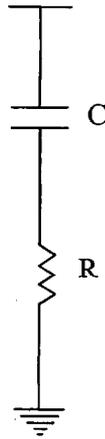


Figura 5.5 Circuito equivalente de un pad de conexión

La resistencia R modela las pérdidas de energía producidas por las corrientes parásitas que circulan en el sustrato y la capacidad parásita C aparece debido a la diferencia de tensión que existe entre el metal del pad y el sustrato.

Los valores de la resistencia y de la capacidad del modelo los proporciona el fabricante y dependerá del tipo de pad empleado.

5.3.2 *INDUCTANCIA DEL BONDWIRE*

El hilo metálico de conexión desde los pads del circuito integrado hasta las patas del chip tiene un efecto inductivo. Este efecto dependerá de la calidad de la soldadura, del lugar donde se realice la conexión y sobre todo de la longitud del hilo.

Para tener en cuenta el efecto parásito que produce este hilo de conexión, en las simulaciones se introduce una inductancia en serie con el efecto del pad. Para poder calcular el valor de la inductancia de *bondwire* habrá que conocer la longitud del hilo. Esta longitud depende de la separación que existe entre los pads y las patas del chip.

5.3.3 EFECTO DEL EMPAQUETAMIENTO

Este efecto se debe a las propiedades parásitas asociadas a las patas de conexión del circuito integrado. El esquema circuital que modela el empaquetamiento del circuito se muestra en la figura 5.6.

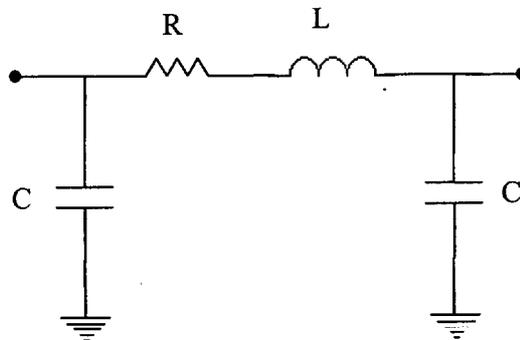


Figura 5.6 Circuito equivalente al efecto del empaquetamiento

Los valores de las resistencias, capacidades e inductancias del modelo son datos aportados por el fabricante. En las simulaciones este efecto se introducirá en el esquemático en serie con el de la inductancia de *bondwire* y el del pad de conexión de entrada y salida. El encapsulado o empaquetamiento del chip tendrá efecto sobre la adaptación de impedancias, ruido y ganancia del amplificador.

En nuestro caso el testeo del diseño se realizará en la propia oblea, es decir no será necesario empaquetar el circuito, por lo que a la hora de realizar las distintas simulaciones sólo se tendrá en cuenta el efecto del pad de conexión.

5.3.4 BALUN DE ENTRADA Y SALIDA

El balun es un elemento que transforma una señal con referencia a tierra en una señal diferencial y viceversa. Debido a la arquitectura diferencial que se ha elegido para

el LNA se necesita hacer uso de este elemento. El balun de entrada y salida será simplemente un transformador con una relación de transformación T . En la figura 5.6 (a) y (b) puede verse el esquema de conexión del balun de entrada y salida.

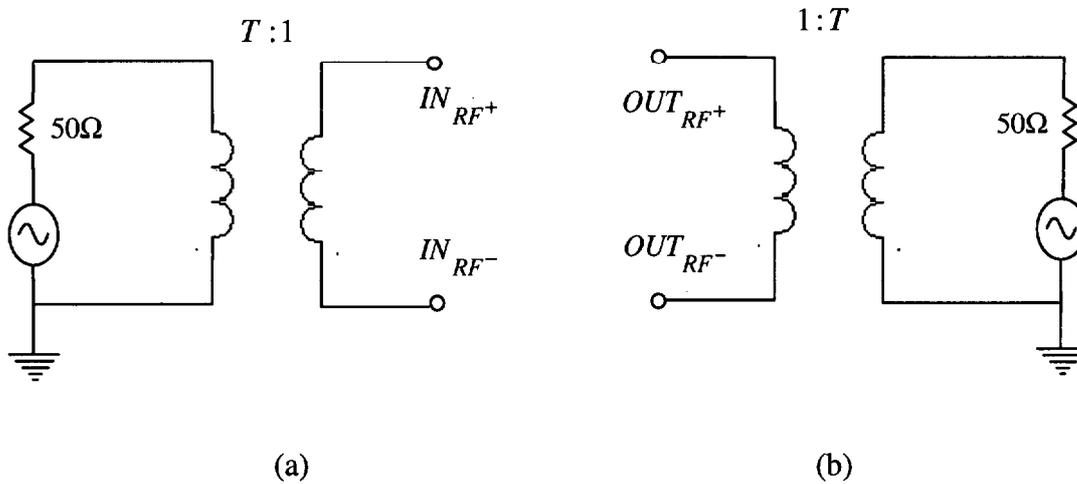


Figura 5.7 Esquema de conexión del balun de entrada (a) y del balun de salida (b)

En nuestro caso, la relación de transformación del balun será $T = \sqrt{2}$ de manera que una impedancia de $100\ \Omega$ conectada en el secundario del balun de entrada será vista desde el primario como una impedancia de $50\ \Omega$. En el caso del balun de salida una impedancia de $100\ \Omega$ conectada en el primario del transformador será vista desde la salida del balun como una impedancia de $50\ \Omega$. Hay que tener en cuenta que esta transformación no afecta a la potencia ya que en un transformador ideal la potencia de entrada y salida es la misma.

5.4 HERRAMIENTA DE DISEÑO

La herramienta de diseño utilizada en el presente proyecto es el software CADENCE. Este software agrupa un gran número de herramientas dedicadas al diseño de circuitos integrados.

Para el diseño del LNA de este proyecto se han utilizado las siguientes herramientas:

- ❑ Editor de esquemático: *Composer Schematic*
- ❑ Administrador del simulador: *Analog Artist*
- ❑ Simulador: *Spectre RF*
- ❑ Herramienta de layout: *Virtuoso XL*

Las tres primeras herramientas, se describirán a continuación mientras que la herramienta de layout (*Virtuoso XL*), se explicará en el capítulo 6 de este proyecto.

5.4.1 EDITOR DE ESQUEMÁTICOS: COMPOSER SCHEMATIC

En la figura 5.8 se muestra la ventana del editor de esquemáticos. En esta pantalla se puede dibujar el circuito electrónico que vayamos a simular.

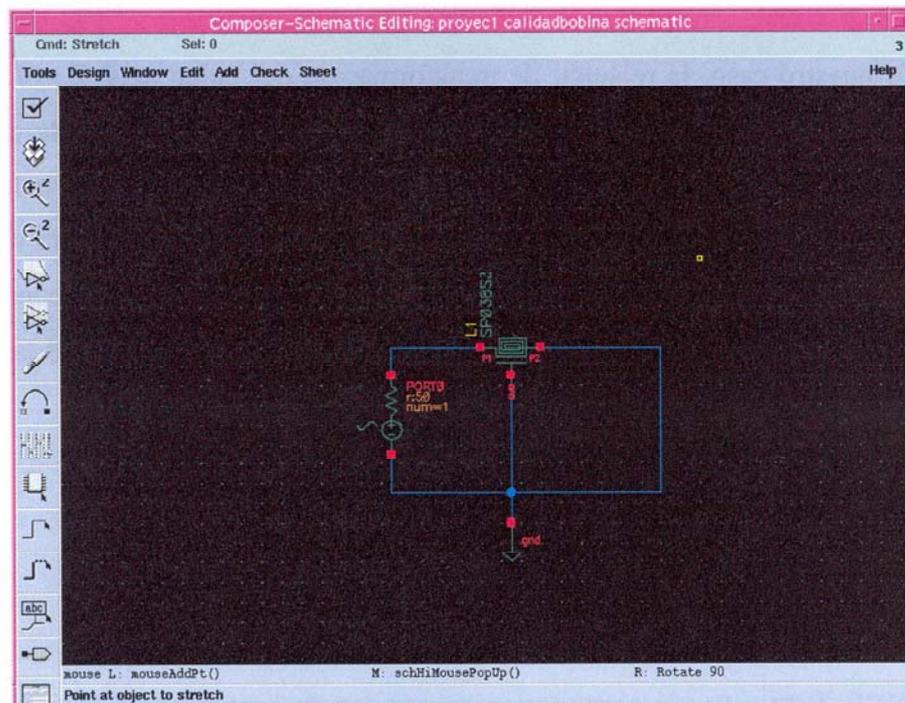


Figura 5.8 Ventana del editor de esquemático

Como se observa en la figura 5.8, el editor posee una barra de herramienta que facilita el diseño del circuito. Con esta barra, se pueden seleccionar los componentes

utilizados en el circuito, modificar sus propiedades, dibujar líneas de conexión, realizar zoom, mover, copiar, etc.

Tras finalizar el esquemático y haberlo guardado, se procede a la simulación. Para ello, se selecciona a través del menú la ruta **Tools**→ **Analog Artist**. De esta forma se accede al administrador del simulador (*Analog Artist*).

5.4.2 ADMINISTRADOR DEL SIMULADOR: ANALOG ARTIST

En la figura 5.9 se muestra la ventana principal del administrador del simulador. Esta ventana permite al usuario configurar todas las opciones de simulación.

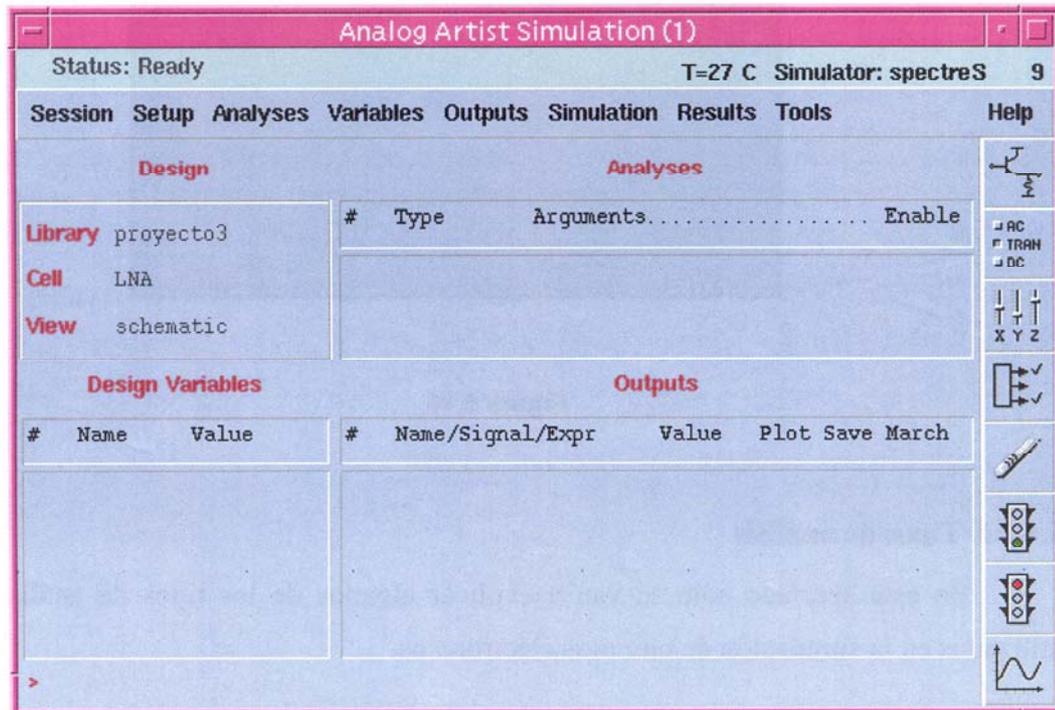


Figura 5.9 Ventana del administrador del simulador

Este administrador permite realizar distintos tipos de análisis. Para elegir el tipo de análisis, basta con seguir la ruta dentro del menú **Analyses** → **Choose...**

Después de realizar este paso, aparece la ventana mostrada en la figura 5.10. En esta ventana se puede elegir el tipo de análisis que se desea realizar al circuito.

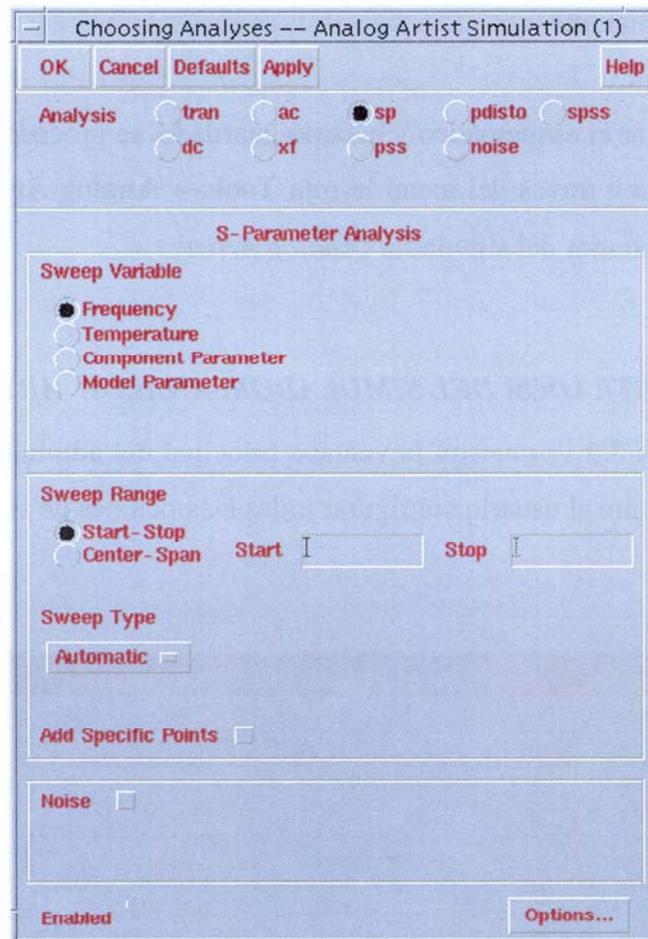


Figura 5.10

5.4.2.1 Tipos de análisis

En este apartado sólo se van a explicar algunos de los tipos de análisis más utilizados en la simulación de circuitos electrónicos.

- **ANÁLISIS TRAN**

Este tipo de análisis permite ver la respuesta temporal de cualquier tensión o corriente del circuito. Para ello basta con definir el tiempo de simulación y el nivel de exactitud que se requiere en los resultados.

- **ANÁLISIS AC**

Este análisis muestra la respuesta en frecuencia del circuito en el rango que el usuario elija. El circuito debe estar alimentado por una fuente con componente

AC. Este análisis permite además estudiar la influencia de la temperatura, del parámetro de un componente o del parámetro de un modelo.

- **ANÁLISIS DC**

Este análisis permite observar el comportamiento en continua del circuito. Se puede estudiar como varían las tensiones y corrientes del circuito en función del parámetro elegido de un componente. Por ejemplo, se puede ver la influencia del nivel de continua de la fuente de señal sinusoidal sobre el resto del circuito.

- **ANÁLISIS SP (*S-Parameters*)**

Este tipo de análisis realiza los cálculos de los parámetro S de un circuito. Tiene una gran aplicación en la simulación de circuitos de RF ya que es el análisis que más información puede proporcionar sobre el comportamiento en frecuencia de un circuito. Este análisis permite representar entre otros parámetros la figura de ruido del circuito, las impedancias de entrada y salida, la ganancia en potencia, etc. Por esta razón, es el análisis más empleado en la simulación del comportamiento del LNA de este proyecto.

La forma de visualizar los parámetros mencionados anteriormente se muestra en el apartado 5.4.2.2.

Para que este análisis funcione, en el esquemático la fuente de entrada del circuito debe ser una fuente de tipo *PORT* (*Psin*). Esta fuente tiene una resistencia en serie que actúa como impedancia de la fuente, de forma que los cálculos se verán influenciados por esta resistencia. El valor por defecto de esta resistencia es 50Ω . El resto de los valores del *PORT* de entrada no se deben rellenar.

En la salida del circuito, se debe colocar también una fuente tipo *PORT* con el valor de resistencia equivalente a la carga deseada. Al igual que en el puerto de entrada, el resto de los valores del *PORT* de salida no se deben rellenar.

El análisis SP utiliza la frecuencia como variable o parámetro a modificar en la simulación del circuito. Para ello, es necesario definir el rango de frecuencias en el que se quiere observar su comportamiento lo cual se hace rellenando el espacio destinado para tal fin (ver figura 5.11).

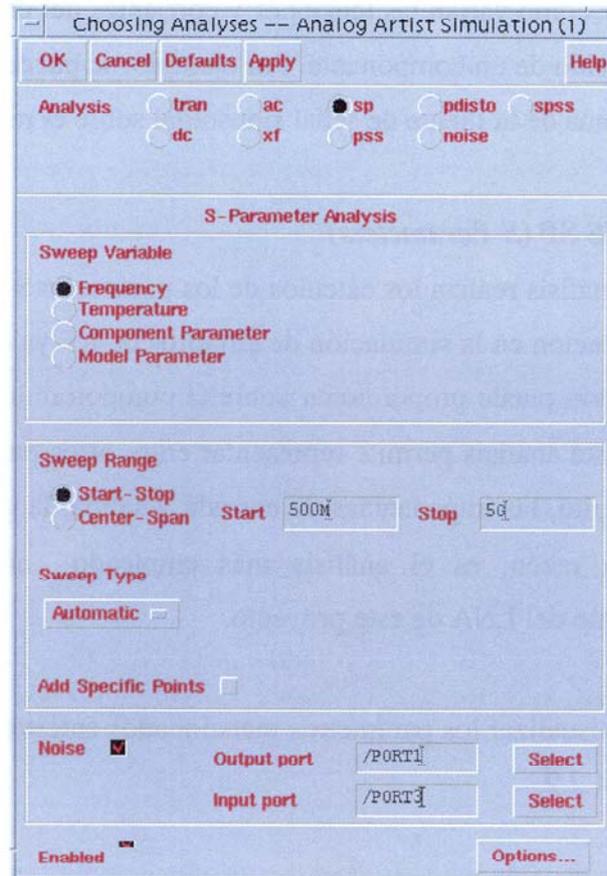


Figura 5.11

Si se quiere realizar un análisis de ruido del circuito, basta con seleccionar esta opción en la misma ventana. Además, para que el análisis se realice correctamente se debe seleccionar la fuente P_{sin} de entrada como *Input Port* y la fuente P_{sin} de salida como *Output Port* tal como se muestra en la figura 5.11. De esta forma se calcula la figura de ruido del circuito total.

- **ANÁLISIS SPSS (*Swept Periodic Steady State*)**

Este tipo de análisis permite obtener el Producto de Intermodulación de 3º Orden (IP3) de un circuito. Por esta razón, también se utilizará en la simulación del LNA.

Para seleccionar este tipo de análisis se elige dicha opción en la ventana de la figura 5.10.

Para obtener el IP3 del circuito, es necesario introducir un segundo tono a la entrada del mismo. Esto se puede realizar definiendo una variable en la lista de parámetros del *PORT* de entrada que represente la potencia del primer y segundo tono. Además, se debe especificar su valor de frecuencia, que debe ser múltiplo de la frecuencia fundamental introducida.

5.4.2.2 Visualización de los Resultados

Tras la simulación se pueden ver en pantalla los resultados obtenidos en los distintos análisis. Para esto basta elegir el tipo de análisis que se quiere visualizar a través del menú **Results**→**Direct Plot**.

Por ejemplo, para el caso de los análisis SP, aparece una ventana desde la que se puede elegir distintas formas de representar los resultados obtenidos en la simulación (ver figura 5.12)

Algunas de las opciones que se encuentran en la ventana de la figura 5.12 se enumeran a continuación:

- **Opción SP:** Al elegir esta opción, se pueden visualizar los parámetros S. Al mismo tiempo, ésta opción nos permite elegir distintas formas de representación. Por ejemplo, los parámetros S_{11} y S_{12} que representan la impedancia de entrada y salida del circuito, pueden aparecer representados en una carta de Smith, en forma polar, etc. En esta misma ventana, si se elige el término S_{21} , podremos ver la ganancia de potencia en directa del circuito y si se opta por el término S_{12} , la ganancia de potencia en inversa.

- **Opción VSWR:** Esta opción permite obtener una representación gráfica de los términos $VSWR_1$ y $VSWR_2$. Como se vió en el apartado 3.2.1, estos términos indican de una forma clara el grado de adaptación que existe a la entrada y salida del circuito.
- **Opción NF:** Eligiendo esta opción se puede obtener una representación gráfica de la figura de ruido del circuito. Además, se permite obtener el resultado en magnitud y en dB.

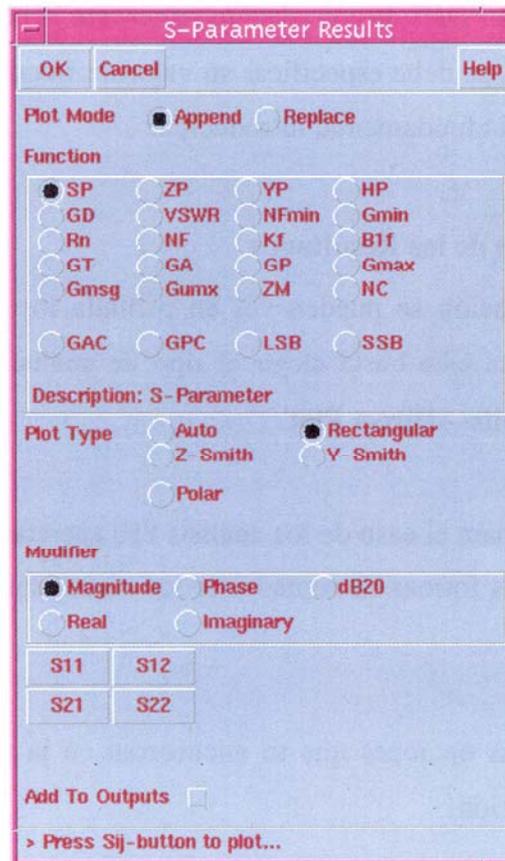


Figura 5.12

5.4.3 SIMULADOR: SPECTRE

El software de CADENCE incorpora distintos simuladores. Para el diseño del LNA se ha utilizado el simulador SPECTRE. Este simulador parece un firme candidato a desbancar al HSPICE en la simulación de circuitos integrados de alta frecuencia.

Además, la empresa AMS que facilita la tecnología utilizada en este proyecto, recomienda la utilización de este simulador para trabajar con sus componentes.

5.5 SIMULACIONES DEL DISEÑO

Este apartado está dedicado a la simulación del diseño elegido para el LNA. En primer lugar, se realizará una simulación del circuito utilizando componentes ideales, a excepción de los transistores que si son elementos reales. Para ello, se toma como punto de partida para los valores de los componentes las estimaciones y cálculos realizados en el apartado 5.2. Una vez hecho esto se realizarán diferentes simulaciones con el fin de conseguir los mejores resultados posibles con componentes ideales. Posteriormente, se cambiarán todos los componentes ideales obtenidos por elementos reales y se volverá a simular el circuito. Se podrá observar que los resultados obtenidos con esta simulación diferirán notablemente de los obtenidos en las simulación realizadas con elementos ideales. Esto es debido a que en estas simulaciones se tienen en cuenta otros parámetros y efectos, que no se consideran en la simulaciones ideales. Por esta razón, se tendrá que realizar repetidas simulaciones hasta alcanzar unos resultados que se aproximen lo más posible a las especificaciones marcadas en el presente proyecto.

5.5.1 SIMULACIONES CON COMPONENTES IDEALES

En la figura 1 del Anexo A se muestra el esquemático correspondiente al circuito elegido para el LNA. Para realizar el análisis de este circuito las fuentes de corriente son ideales. De esta manera, es posible modificar el valor de la corriente con mayor facilidad. Además, el cambiar estos elementos ideales por los reales casi no afecta al comportamiento del circuito.

La referencia de tensión utilizada para polarizar el transistor de entrada M_1 ha sido el divisor de tensión mostrado en la figura 4.24 (b). Para conseguir polarizar correctamente el transistor M_1 se ha variado las dimensiones de los transistores hasta conseguir el nivel de tensión deseada (1.5V aproximadamente). Las dimensiones finales de cada transistor se muestran en la tabla 5.1.

Como se explicó en el apartado dedicado a la herramienta de simulación (apartado 5.4), para realizar un análisis SP (*S-Parameters*) es necesario conectar un puerto (tipo Psin) a la entrada y salida del circuito tal y como se muestra en el esquemático. Debido a que la entrada del amplificador es diferencial se ha utilizado un transformador para convertir la señal del puerto de entrada en diferencial. De igual manera, la señal de salida del amplificador es diferencial por lo que se utiliza otro transformador para poder conectar el puerto de salida.

Como se comentó en el apartado 5.3 las medidas finales del LNA se realizarán en la propia oblea, por lo que sólo se tendrán en cuenta el efecto del pad de conexión. Para ello, en los terminales de entrada y salida del circuito se añade el circuito equivalente del pad de conexión (ver figura 1 Anexo A).

Como punto de partida en la simulación, los componentes del circuito toman los valores mostrados en la tabla 5.1 obtenidos tras las estimaciones y cálculos realizados en el apartado 5.2. Se debe tener en cuenta que los valores son meramente orientativos, por lo que a medida que se avanza en la simulaciones podrán variar en gran medida.

Utilizando los valores mostrados en la tabla 5.1 se realiza un primer análisis SP del circuito. Como se comentó en el apartado 5.4.2.1, con este tipo de análisis se puede medir la ganancia en potencia del circuito, la figura de ruido y la adaptación de la impedancia de entrada y salida. Para obtener el IP3 se realiza un análisis SPSS tal como se explicó en el mismo apartado.

Empleando en la simulación del esquemático los valores de componentes de la tabla 5.1 se obtienen las gráficas que se muestran en la figura 5.13. Estas gráficas corresponden a la ganancia, figura de ruido, coeficientes de adaptación e IP3 del circuito.

COMPONENTE	VALOR
Vdd	3V
M_1, M_1'	$w = 450\mu m$ $l = 0.8\mu m$
M_2, M_2'	$w = 200\mu m$ $l = 0.8\mu m$
M_S, M_S'	$w = 200\mu m$ $l = 0.8\mu m$
M_p, M_p'	$w = 20\mu m$ $l = 0.8\mu m$
M_n, M_n'	$w = 20\mu m$ $l = 4\mu m$
L_s, L_s'	2.4nH
L_g, L_g'	17.3nH
L, L'	3.8nH
C, C'	2.6pF
I_{DC}	3.5mA
I_{DCS}	1mA

Tabla 5.1 Tabla de valores

En la tabla 5.2 se recogen los resultados numéricos proporcionados por las gráficas de la figura 5.13 para la frecuencia de 1,575GHz.

PARAMETRO	RESULTADO
G	4.73 (dB)
NF	4.165 (dB)
IP3	-6.02 (dBm)
VSWR1	2.94
VSWR2	2.92

Tabla 5.2 Tabla de resultados

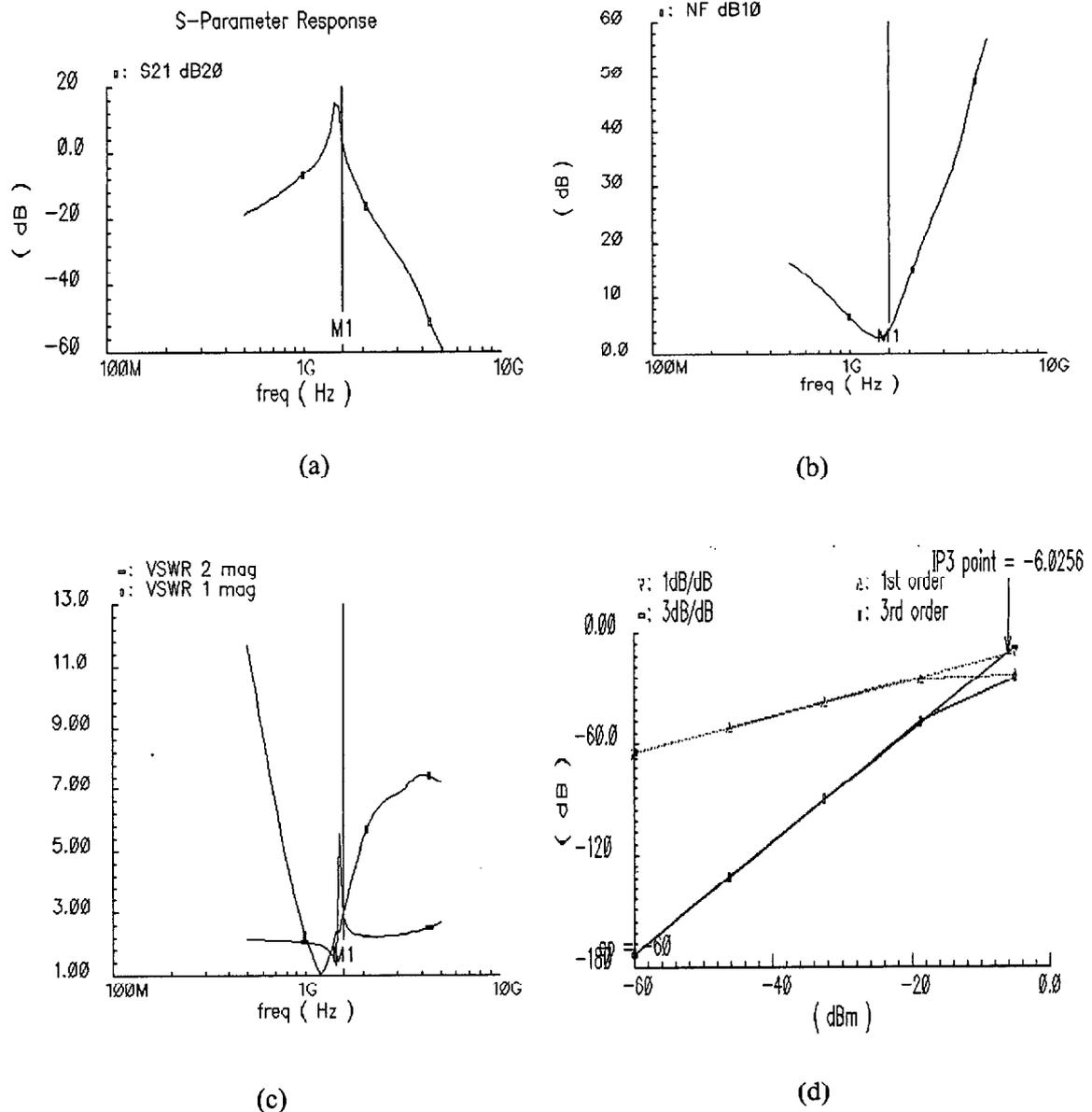


Figura 5.13 Ganancia (a), Figura de ruido (b), VSWR1 y VSWR2 (c), IP3 (d)

Como se puede observar en la tabla 5.2, los resultados conseguidos están muy lejos de las especificaciones marcadas. En la figura 5.13 correspondiente a la ganancia del LNA se puede apreciar una pequeña desintonización del circuito, es decir el pico máximo de ganancia esta lejos de la frecuencia de sintonización del amplificador (1,575GHz). Para solucionar este problema se tendrá que ajustar la capacidad del tanque hasta conseguir la perfecta sintonización del circuito.

La ganancia del amplificador es muy baja y como consecuencia de esto la figura de ruido del circuito es elevada. Esto es debido a la relación directa que existe entre la ganancia y la figura de ruido, tal y como se explicó en el apartado 3.1.4. Para intentar aumentar la ganancia del circuito y disminuir así la figura de ruido se aumentará la corriente de polarización I_{DC} de la etapa diferencial.

Como se puede ver en la figura 5.15, los valores de VSWR1 y VSWR2 son muy elevados. Como se explicó en el apartado 3.2.1.1, para que el circuito esté perfectamente adaptado a 50Ω se debe cumplir que VSWR=1. Para conseguir esto, se debe ajustar mejor la red de adaptación de entrada y la etapa de salida.

El IP3 del amplificador es muy bueno debido a que la ganancia del amplificador no es excesiva y por lo tanto se mantiene la linealidad del amplificador. Es importante destacar que el IP3 es inversamente proporcional a la ganancia del amplificador.

A continuación, mediante distintas simulaciones se intentará conseguir una perfecta sintonización del amplificador. Para ello, se mantiene el valor de la inductancia constante y se varía el valor de la capacidad. Al mismo tiempo, se modificarán los valores de las inductancias L_s y L_g , con el fin de conseguir una mejor adaptación de la impedancia de entrada. Por otro lado, se jugará con el valor de las dimensiones del transistor de salida M_S y la corriente de polarización I_{DCS} para intentar adaptar la impedancia de salida.

Tras haber realizado los cambios oportunos y las simulaciones correspondientes se ha llegado a unos nuevos valores de componentes. Estos valores se muestran en la tabla 5.3.

Empleando los datos mostrados en la tabla 5.3 en la simulación del circuito se han obtenido los resultados que se muestran en la tabla 5.4.

COMPONENTE	VALOR
M_1, M_1'	$w = 450\mu m$ $l = 0.8\mu m$
M_2, M_2'	$w = 500\mu m$ $l = 0.8\mu m$
M_S, M_S'	$w = 200\mu m$ $l = 0.8\mu m$
M_p, M_p'	$w = 20\mu m$ $l = 0.8\mu m$
M_n, M_n'	$w = 20\mu m$ $l = 4\mu m$
L_s, L_s'	$2.8nH$
L_g, L_g'	$9nH$
L, L'	$3.8nH$
C, C'	$1.9pF$
I_{DC}	$5mA$
I_{DCS}	$1mA$

Tabla 5.3 Tabla de valores

PARAMETRO	RESULTADO
G	21.38 (dB)
NF	2.5 (dB)
IP3	-19.4 (dBm)
VSWR1	1.53
VSWR2	5.17

Tabla 5.4 Tabla de resultados

Como se puede observar en la tabla 5.3 ha sido necesario aumentar la corriente de polarización I_{DC} y el ancho del transistor M_2 para conseguir aumentar la ganancia del amplificador. De esta manera, se ha disminuido notablemente la figura de ruido del LNA. Tenemos que tener en cuenta que la figura de ruido aumentará cuando se utilicen

componentes reales en la simulación, por lo que se debe conseguir la mínima figura de ruido posible antes de dar este paso.

Como consecuencia del aumento de la ganancia del circuito, el IP3 ha empeorado pero manteniéndose dentro de las especificaciones marcadas. En cuanto a la adaptación de la impedancia de entrada se ha conseguido mejorar satisfactoriamente la calidad de la misma, estando muy cerca de conseguir la adaptación perfecta. Después de realizar sucesivas modificaciones en las dimensiones del transistor de salida M_S y en la corriente de polarización I_{DCS} se ha llegado a la conclusión de que es imposible realizar la adaptación sin añadir una red de adaptación adicional. Para conocer exactamente el valor de la impedancia de salida se ha utilizado el diagrama de Smith. En este diagrama se puede representar el valor de la impedancia en un plano de impedancias y deducir el tipo de red de adaptación que se necesita para adaptar la salida al valor de impedancia deseado, 50Ω en nuestro caso. Con la ayuda de este diagrama se puede ver que para adaptar la impedancia de salida de nuestro circuito es necesario utilizar una red de carácter inductivo. Añadir esta red inductiva supone ocupar más área de superficie y lo más importante, un aumento notable de la figura de ruido del LNA. Por este motivo, aprovechando las posibilidades que nos ofrece la tecnología BICMOS, se ha pensado en utilizar una etapa de salida en emisor común. La impedancia de salida de esta etapa es baja y no tiene tanto carácter capacitivo como la etapa fuente común, con lo cual se podría adaptar la impedancia de salida sin utilizar inductancias.

Para no extendernos en este apartado, se dejará apartada la adaptación de la impedancia de salida y se intentará mejorar en lo posible el resto de los parámetros del circuito. En el próximo apartado dedicado a la simulación del circuito con componentes reales se añadirá la nueva etapa de salida y se realizarán las simulaciones correspondientes.

Antes de pasar a utilizar componentes reales en la simulación, se realiza un nuevo análisis del circuito para intentar conseguir mejorar aún más los resultados de la tabla 5.4. En especial, se intentará disminuir la figura de ruido del LNA y mejorar la adaptación de la impedancia de entrada.

Después de realizar diversas simulaciones, donde se ha variado el valor de algunos de los componentes del circuito, se ha llegado a los valores mostrados en la tabla 5.5.

COMPONENTE	VALOR
M_1, M_1'	$w = 470\mu m$ $l = 0.8\mu m$
M_2, M_2'	$w = 500\mu m$ $l = 0.8\mu m$
M_S, M_S'	$w = 200\mu m$ $l = 0.8\mu m$
M_p, M_p'	$w = 20\mu m$ $l = 0.8\mu m$
M_n, M_n'	$w = 20\mu m$ $l = 4\mu m$
L_s, L_s'	$2.6nH$
L_g, L_g'	$9.5nH$
L, L'	$3.8nH$
C, C'	$1.9pF$
I_{DC}	$10mA$
I_{DCS}	$1mA$

Tabla 5.5 Tabla de valores

Utilizando los valores de la tabla 5.5 en la simulación se han obtenido las gráficas y resultados que se muestran en la figura 5.14 y en la tabla 5.6, respectivamente.

PARAMETRO	RESULTADO
G	23 (dB)
NF	1.85 (dB)
IP3	-23.24 (dBm)
VSWR1	1.3
VSWR2	4.1

Tabla 5.6 Tabla de resultados

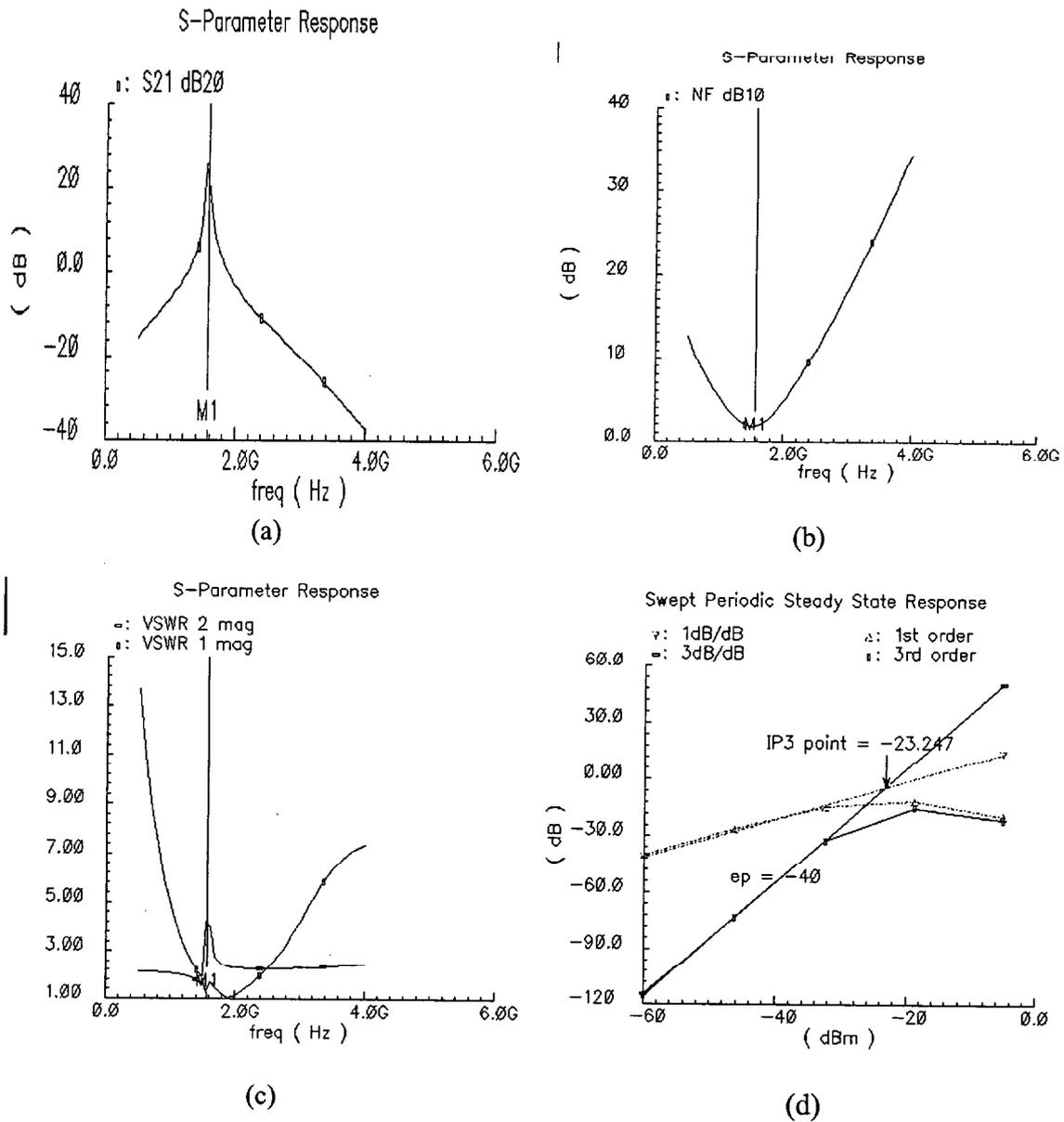


Figura 5.15 Ganancia (a), Figura de ruido (b), VSWR1 y VSWR2 (c), IP3 (d)

Como se puede observar, ha sido necesario duplicar la corriente de polarización I_{DC} de la etapa diferencial y modificar ligeramente la anchura del transistor M_1 para conseguir disminuir muy poco la figura de ruido.

Por medio de las distintas simulaciones realizadas se ha comprobado que la anchura óptima del transistor M_1 para minimizar la figura de ruido debe estar en un valor entorno a las $450\text{-}470 \mu\text{m}$. Valores muy por encima o por debajo de estos valores suponen un empeoramiento notable de la figura de ruido del LNA.

Como es evidente, al aumentar la corriente de polarización de la etapa diferencial ha aumentado la ganancia y por tanto el IP3 del circuito ha empeorado mínimamente. Otra consecuencia de la variación de la corriente de polarización I_{DC} y de la anchura del transistor M_1 es el cambio que se produce en la impedancia de entrada del circuito. Por esta razón se ha tenido que ajustar nuevamente los valores de L_s y L_g .

Con los resultados conseguidos tras estas simulaciones se logra conseguir la mayoría de las especificaciones marcadas a excepción de la impedancia de salida. Como se comentó anteriormente, para mejorar dicha adaptación se modificará el circuito de partida añadiendo una nueva etapa de salida. La simulación del nuevo esquemático se realizará en el siguiente apartado.

5.5.2 SIMULACIONES CON COMPONENTES REALES

En la figura 2 del Anexo A se muestra la nueva arquitectura diseñada para el LNA. Como se puede ver en este esquemático se ha sustituido la etapa de salida fuente común por una etapa en emisor común. Con la utilización de esta nueva etapa se pretende conseguir adaptar más fácilmente la impedancia de salida del LNA. Como se comentó en el apartado 4.4.2.1, la ganancia de esta etapa es prácticamente unitaria y su impedancia de salida es bastante baja. A diferencia de los transistores MOS, en el dimensionado de un transistor bipolar se varía el área (a) y la multiplicidad (m) del mismo.

El proceso de sustitución de los componentes ideales por reales se hará de forma gradual, es decir, se sustituirán ciertos componentes ideales por reales y se analizarán los resultados paso a paso. De esta manera, es más fácil apreciar como responde el circuito a cada cambio y poder realizar las modificaciones oportunas.

En una primera simulación del esquemático, se sustituirá la bobina ideal del tanque por una real del mismo valor y se analizarán los resultados. En la tabla 5.7 se muestran los valores de componentes utilizados en esta simulación.

COMPONENTE	VALOR
M_1, M_1'	$w = 470\mu m$ $l = 0.8\mu m$
M_2, M_2'	$w = 500\mu m$ $l = 0.8\mu m$
Q_S, Q_S'	$a = 20\mu m$ $m = 1$
M_p, M_p'	$w = 20\mu m$ $l = 0.8\mu m$
M_n, M_n'	$w = 20\mu m$ $l = 4\mu m$
L_s, L_s'	$2.6nH$
L_g, L_g'	$9.5nH$
L, L'	$3.8nH$
C, C'	$1.9pF$
I_{DC}	$10mA$
I_{DCS}	$1mA$

Tabla 5.7 Tabla de valores

Como se puede ver en la tabla 5.7 se tomarán como valores de partida los obtenidos tras la última simulación realizada con componentes ideales. En la etapa de salida, las dimensiones del transistor Q_S y la corriente de polarización son valores elegidos al azar.

Utilizando los valores de la tabla 5.7 en la simulación se han obtenido las gráficas y resultados que se muestran en la figura 5.15 y en la tabla 5.8, respectivamente.

Como se puede observar los resultados han variado con respecto a los mostrados en la tabla 5.8. En la gráfica 5.15 (a) se puede apreciar una pequeña desintonización del amplificador. Por este motivo es necesario volver a ajustar el valor de la capacidad del tanque.

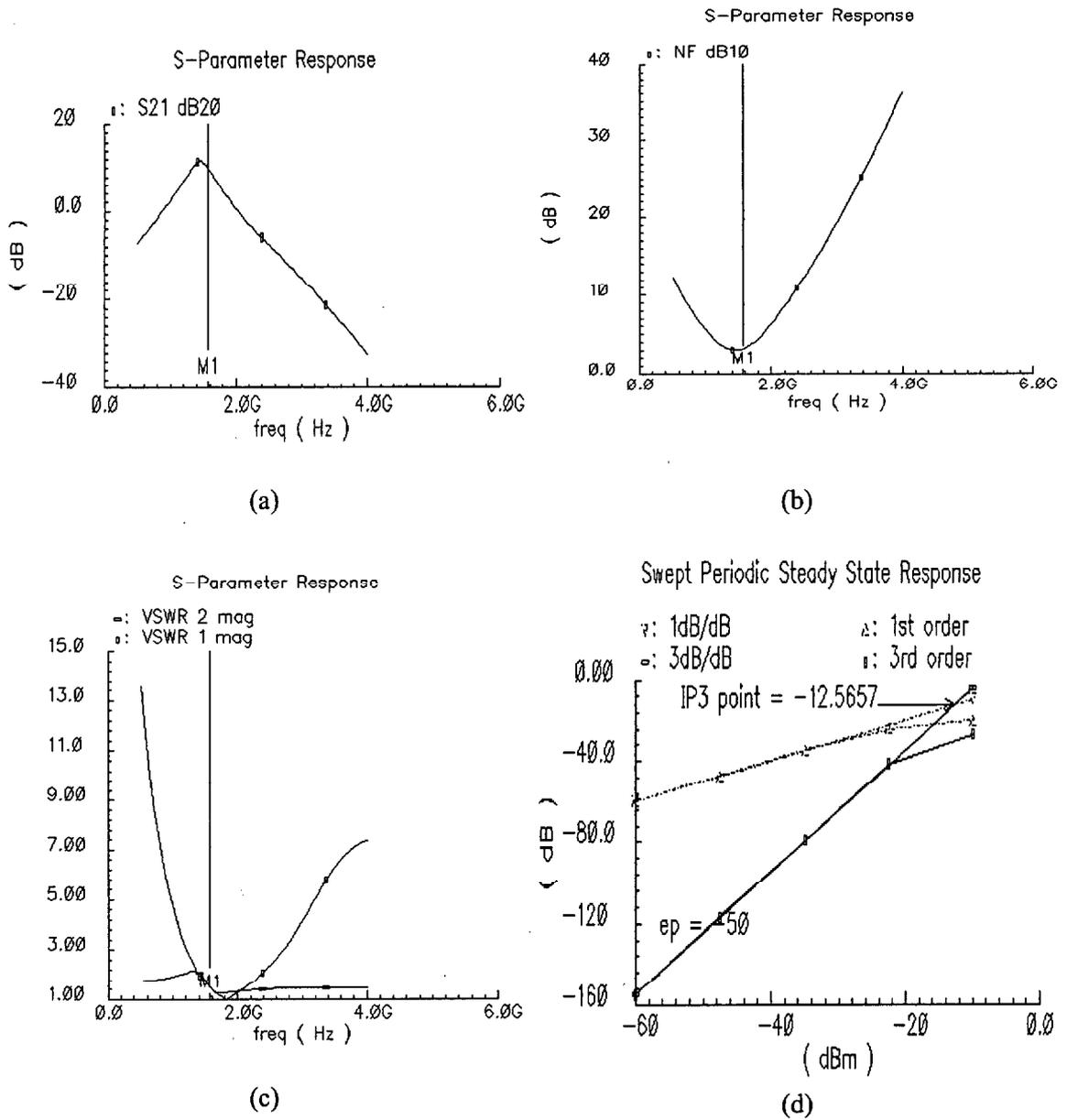


Figura 5.16 Ganancia (a), Figura de ruido (b), VSWR1 y VSWR2 (c), IP3 (d)

PARAMETRO	RESULTADO
G	10.3 (dB)
NF	3.1 (dB)
IP3	-12.56 (dBm)
VSWR1	1.49
VSWR2	1.5

Tabla 5.8 Tabla de resultados

El añadir la bobina real en el circuito tanque ha supuesto entre otras cosas un aumento notable de la figura de ruido y una disminución enorme de la ganancia del circuito. Este aumento de la figura de ruido es motivado entre otras causas por la baja calidad de las bobinas utilizadas.

Por otro lado, se ha comprobado que con la utilización de la etapa seguidor de emisor se ha solucionado el problema que existía con la adaptación de la impedancia de salida. Esto supone un gran logro ya que se ha conseguido disminuir el número de componentes necesarios para realizar la adaptación y lo más importante se ha evitado la utilización de bobinas, lo que degradaría aun más la figura de ruido del LNA. Por otro lado, el IP3 del circuito ha mejorado con respecto al último valor obtenido y la adaptación de la impedancia de entrada ha sufrido un cambio insignificante manteniéndose dentro de lo permitido.

A continuación, se sustituirán las bobinas ideales L_S y L_g por reales y se realizará una simulación para ver como afecta este cambio a los resultados. Sobre todo se prestará una gran atención al valor de la figura de ruido.

La librería de bobinas utilizadas sólo dispone de un determinado rango de valores. Por lo tanto, se ha escogido los valores de bobinas más próximos a los fijados en la tabla 5.7. Los valores de bobinas utilizados son: $L_g = 9nH$ y $L_S = 2.5nH$

PARAMETRO	RESULTADO
G	7.3 (dB)
NF	6.9 (dB)
IP3	-8.42(dBm)
VSWR1	2.1
VSWR2	1.5

Tabla 5.9 Tabla de resultados

Los resultados obtenidos tras simular con los nuevos valores se muestran en la tabla 5.9.

Al sustituir las bobinas ideales (L_s y L_g) por reales se ha producido un enorme aumento de la figura de ruido del circuito. De esta manera se vuelve a comprobar como influye en el circuito la baja calidad de las bobinas utilizadas. Esta baja calidad no sólo provoca una degradación de la figura de ruido del circuito sino un empeoramiento de los demás parámetros debido a la relación que existe entre ellos.

Llegados a este punto y viendo los resultados conseguidos se ha optado por sustituir todos los elementos ideales por reales. De esta manera se simulará el circuito completo y se intentará mejorar en lo posible los resultados.

En el circuito de la figura 3 del Anexo A se muestra la arquitectura del LNA completo. Como se observa en este esquemático todos los componentes son reales incluidas las fuentes de corriente I_{DC} e I_{DCS} . La fuente de corriente I_{DC} se ha implementado siguiendo la topología mostrada en la figura 4.26. Para conseguir la corriente deseada, se ha tenido que dimensionar sus transistores siguiendo la explicación del apartado 4.6.1. y ajustando sus valores mediante distintas simulaciones.

La fuente de corriente utilizada para polarizar esta etapa es la mostrada en la figura 4.27. Al igual que ocurría con la fuente corriente I_{DC} , el dimensionado de la fuente de corriente I_{DCS} se ha realizado basándonos en el apartado 4.6.2 y mediante simulaciones.

Tras la realización de numerosas simulaciones en las cuales se han probado una gran cantidad de combinaciones y valores posibles de componentes se ha llegado al circuito esquemático mostrado en la figura 4 del Anexo A.

Los valores finales que toman los componentes que forman las fuentes de corriente I_{DC} e I_{DCS} y el resto de componentes del circuito se muestran en la tablas 5.10 y 5.11.

COMPONENTE	VALOR
Q_1	$a = 30\mu m$ $m = 1$
Q_2	$a = 30\mu m$ $m = 1$
Q_3	$a = 30\mu m$ $m = 1$
Rref	3.6K
M_{P1}	$w = 20\mu m$ $l = 0.8\mu m$
M_{N1}	$w = 30\mu m$ $l = 8\mu m$
M_3	$w = 400\mu m$ $l = 0.8\mu m$

Tabla 5.10 Dimensionado de la fuente de corriente I_{DC} e I_{DCS}

COMPONENTE	VALOR
M_1, M_1'	$w = 470\mu m$ $l = 0.8\mu m$
M_2, M_2'	$w = 550\mu m$ $l = 0.8\mu m$
Q_S, Q_S'	$a = 20\mu m$ $m = 1$
M_P, M_P'	$w = 20\mu m$ $l = 0.8\mu m$
M_n, M_n'	$w = 20\mu m$ $l = 4\mu m$
L_g, L_g'	9nH
L, L'	3.8nH
C, C'	1.7pF
I_{DC}	15mA
I_{DCS}	600uA

Tabla 5.11 Tabla de valores

Con estos valores de componentes se ha conseguido las gráficas de resultados que se muestran en la figura 5.17.

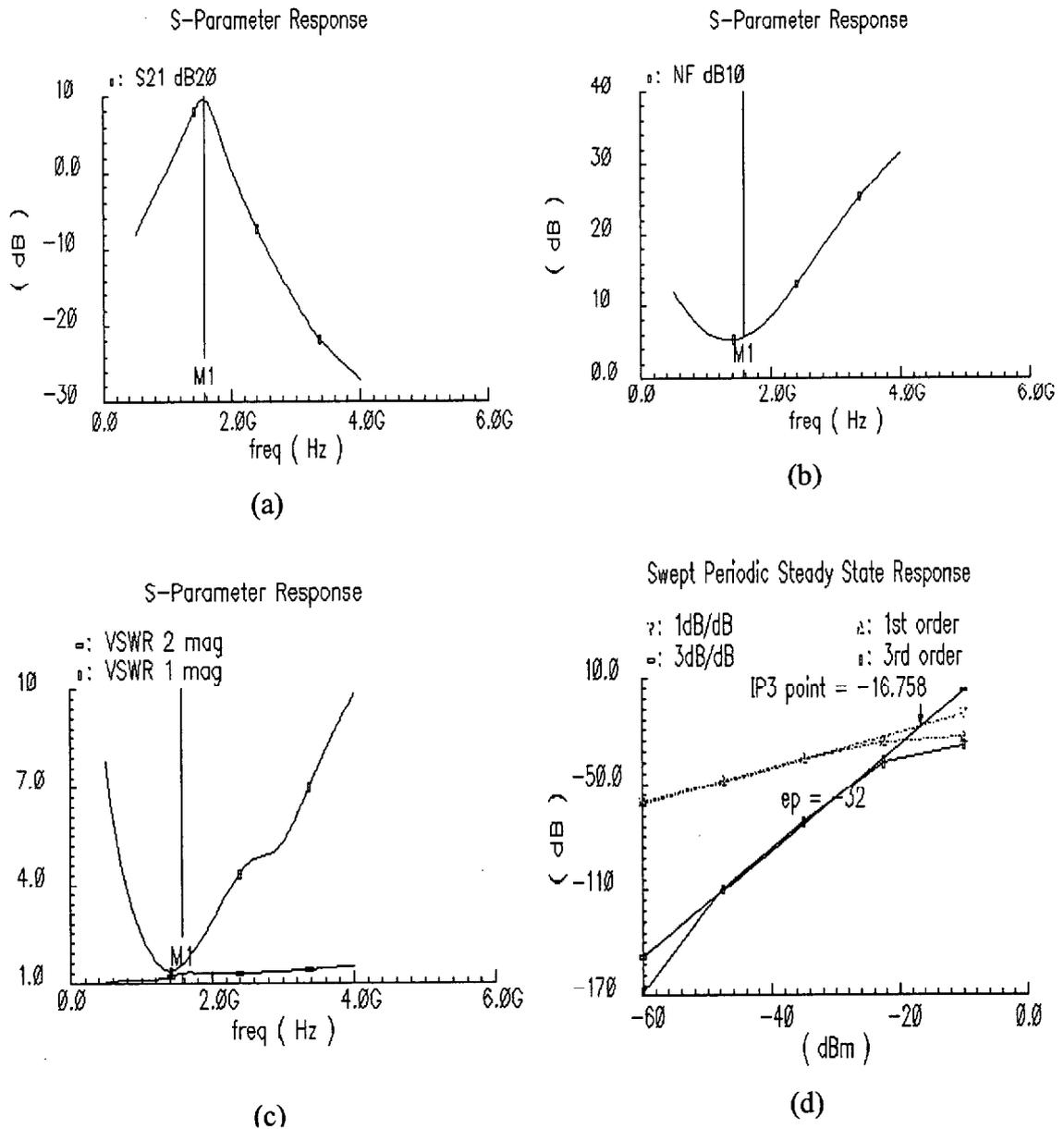


Figura 5.17 (a) Ganancia, (b) Figura de ruido, (c) VSWR1 y VSWR2, (d) IP3

Los valores obtenidos por medio de las gráficas de la figura 5.17 se muestran en la tabla 5.14.

Estos resultados finales vuelven a demostrar la fuerte influencia de la baja calidad de las bobinas, sobre la figura de ruido y ganancia del LNA.

PARAMETRO	RESULTADO
G	9.9 (dB)
NF	5.6 (dB)
IP3	-16.75
VSWR1	1.4
VSWR2	1.3

Tabla 5.12 Tabla de resultados finales

En esta simulación se ha podido comprobar que aún aumentado la corriente de polarización de 10mA a 15mA , sólo se ha conseguido aumentar la ganancia y disminuir la figura de ruido ligeramente. Queda claro que aún aumentando considerablemente la potencia de consumo del LNA, no se consiguen mejorar los resultados.

Como se puede observar en el circuito esquemático final (figura 4 del Anexo A), se ha eliminado la bobina L_S de la red de adaptación de entrada. Esta modificación en la red de adaptación de entrada no ha provocado un empeoramiento notable en la calidad de la adaptación.

En cuanto a la adaptación de la impedancia de salida se ha podido comprobar que se ha mantenido siempre dentro de unos valores excelentes. Gracias a la utilización de la etapa de salida en seguidor de emisor se ha conseguido evitar el uso de un red de adaptación adicional evitando el uso de bobinas, lo cual empeoraría aún más los resultados obtenidos.

Según se puede ver en la tabla 5.12, el IP3 obtenido está por encima de las especificaciones marcadas al principio de este proyecto.

CAPÍTULO 6

LAYOUT DEL LNA

A la hora de realizar el layout de un circuito electrónico se ha de tener en cuenta una serie de reglas de diseño que dependerán del tipo de tecnología utilizada para la fabricación del circuito integrado. Estas reglas de diseño están referidas en su mayoría, a la distancia que debe existir entre pistas de metal, ángulos y anchos de pistas, densidad de corriente que puede atravesar las vías de unión entre las distintas capas de metal utilizadas, etc. Todas estas reglas de diseño son proporcionadas por el fabricante y son de carácter confidencial.

A parte de las reglas de diseño mencionadas anteriormente, se han de tener en cuenta otros aspectos que influirán en gran medida sobre el comportamiento y funcionamiento del circuito.

Estos aspectos pueden ser las posibles dispersiones que se producen en los parámetros de los componentes del circuito en el proceso de fabricación, las interacciones y acoplamientos capacitivos e inductivos que se producen entre los distintos componentes del circuito y la aparición de elementos parásitos como capacidades, inductancias, y corrientes parásitas que degradarán la calidad del diseño. Para minimizar e incluso evitar estos efectos existen diversas técnicas de diseño a la hora de realizar el layout de un circuito.

6.1 HERRAMIENTA DE LAYOUT

Para la realización del layout se ha utilizado el editor *Virtuoso XL* que proporciona un potente conjunto de utilidades en la elaboración de layouts. Esta herramienta también está incluida en el entorno de diseño Cadence.

El Virtuoso XL destaca por tener un entorno de edición de layouts único y consistente, para diseños con polígonos, símbolos, dispositivos o con bloques. Tiene compatibilidad con la metodología clásica que soporta diseños jerárquicos, elementos repetidos y *pines* de bus. Además, proporciona utilidades interactivas, tales como la indicación de correspondencia de los elementos en el esquemático y en el layout, ruteado multicapa, y traslación automática de transistores. Posee también librerías de células parametrizadas que pueden ser caracterizadas para procesos de layout específicos.

La ventana del editor de *layout* es muy parecida a la que se utiliza en los esquemáticos. Existen teclas rápidas a la izquierda de la ventana, que permiten entre otras opciones, grabar el diseño, realizar zoom, mover, copiar, ver las propiedades de un elemento, trazar pistas, dibujar polígonos, poner etiquetas, realizar medidas, etc.

En la figura 6.1 se muestra la ventana correspondiente al editor de layout incluido en la herramienta *Virtuoso XL*.

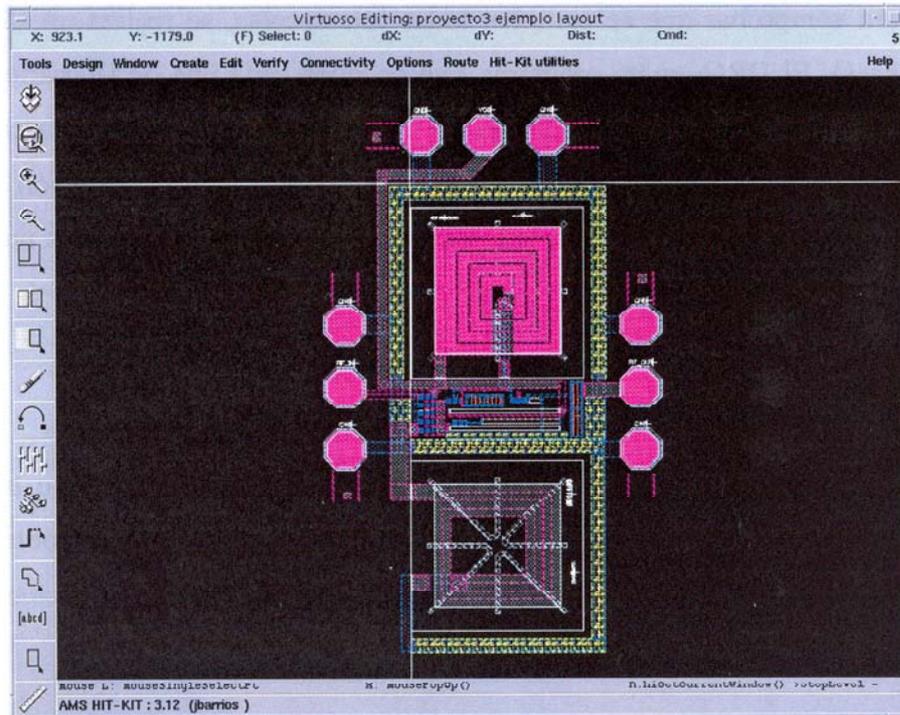


Figura 6.1 Ventana del editor de layout

6.1.1 VERIFICACIÓN DE LAS REGLAS DE DISEÑO

Tras la realización de un layout, es necesario comprobar si se cumplen las reglas de diseño propias del proceso empleado. Estas reglas especifican entre otras cosas:

- El mínimo ancho de línea permitida para objetos físicos en el chip como son, las interconexiones de metal y polisilicio ó áreas de difusión.
- Mínimos valores de los parámetros.
- Mínimas separaciones permitidas entre dos características (metal1-metal2, metal1-poly1, etc).
- Etc.

Entre otras funciones, las reglas de diseño evitan que se produzcan circuitos abiertos, cuando las líneas de metal son muy pequeñas y cortocircuitos cuando dos líneas de metal se encuentran muy próximas.

Para comprobar que se cumplen todas estas reglas, se realiza un DRC (*Design Rule Check*). El DRC, es un programa que chequea cada una de las partes del layout comparándola con las reglas de diseño del proceso empleado. Se testea cada extremo con sus bordes vecinos para comprobar violaciones de ancho y separación de pistas. Si se ha violado alguna de las reglas, la herramienta nos indica dónde se ha producido y la razón.

6.2 TÉCNICAS DE DISEÑO

En el diseño del layout se han seguido unas recomendaciones o técnicas para obtener un circuito con prestaciones que no mermen las características obtenidas en las simulaciones previas. Algunas de estas técnicas se describen a continuación.

6.2.1 SIMETRÍA

La arquitectura utilizada para el diseño del LNA de nuestro proyecto es diferencial. A la hora de realizar el layout, para que se puedan apreciar las ventajas que ofrece este tipo de configuración (rechazo al modo común) debemos procurar que las dos ramas que componen el amplificador sean simétricas. Es decir, se debe buscar un trazado lo más simétrico posible en los elementos y en las pistas. Para conseguir esta simetría en el diseño nos apoyamos en otra técnica denominada centro-común.

6.2.2 TÉCNICA DE CENTRO-COMÚN

Con esta técnica, al realizar el layout de dos componentes iguales se consigue minimizar el efecto de las dispersiones que se puedan producir durante el proceso de fabricación y además que estas afecten del mismo modo a los dos elementos. Estas dispersiones dependen sobre todo de dónde esté situado el circuito integrado dentro de la oblea y actúan siempre de manera lineal y en una dirección determinada.

Se pueden distinguir varios tipos de dispersiones. A continuación se enumera alguna de ellas y el efecto que podría tener sobre los parámetros de un transistor:

- Variación en el espesor de la capa de óxido: Esta variación afecta a la capacidad C_{ox} y por lo tanto a las capacidades parásitas del transistor.

- Variación en el número de impurezas: Esto afecta a la movilidad de los electrones y debido a esto afecta al valor de la transconductancia del transistor.
- Variación del tamaño de los transistores: Afectan al valor de transconductancia, capacidades parásitas y resistencia del transistor.

Como se ha dicho anteriormente, para que se pueda apreciar las ventajas de una estructura diferencial como la utilizada en el LNA, las dos ramas del amplificador diferencial han de ser idénticas. Es decir, debe existir la máxima simetría posible entre las dos ramas del amplificador. Para conseguir esto se emplea la técnica de centro común. Con esta técnica se pretende que los transistores utilizados en cada rama del amplificador sean idénticos. Para ello, los transistores tienen que tener el mismo centro geométrico de forma que las dispersiones producidas les afecten de igual manera.

La figura 6.1 muestra una estructura diferencial típica, formada por dos transistores M_a y M_b acoplados por el surtidor.

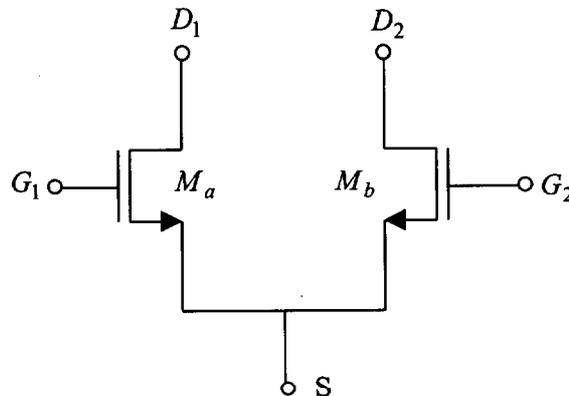


Figura 6.2 Arquitectura diferencial

Para conseguir la máxima simetría entre los componentes, los dispositivos de entrada M_a y M_b , están divididos en cuatro e interconectados de la forma que se muestra en la figura 6.3.

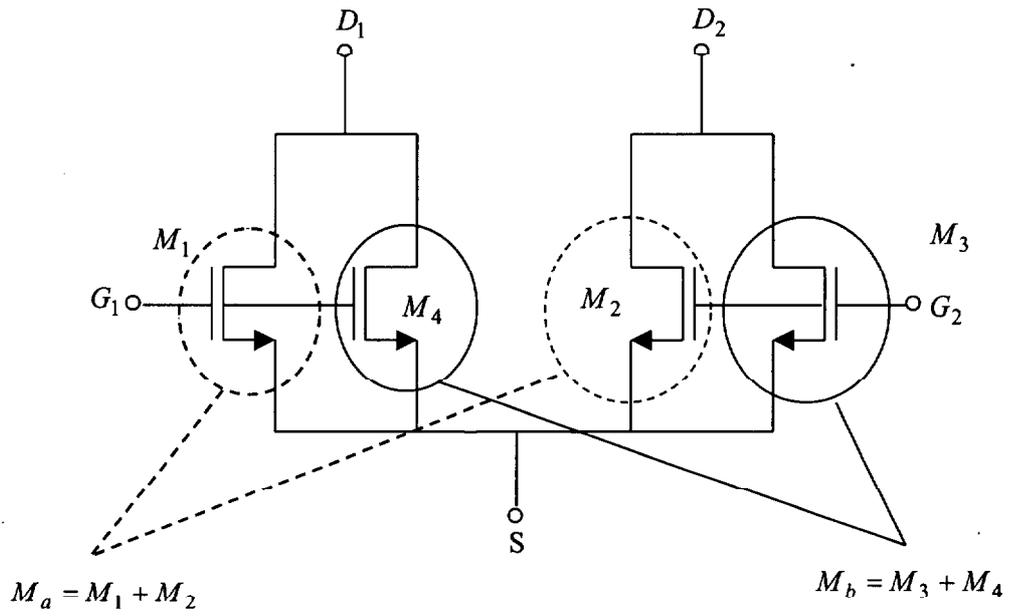


Figura 6.3 Configuración en centro-común para los transistores de la figura 6.2

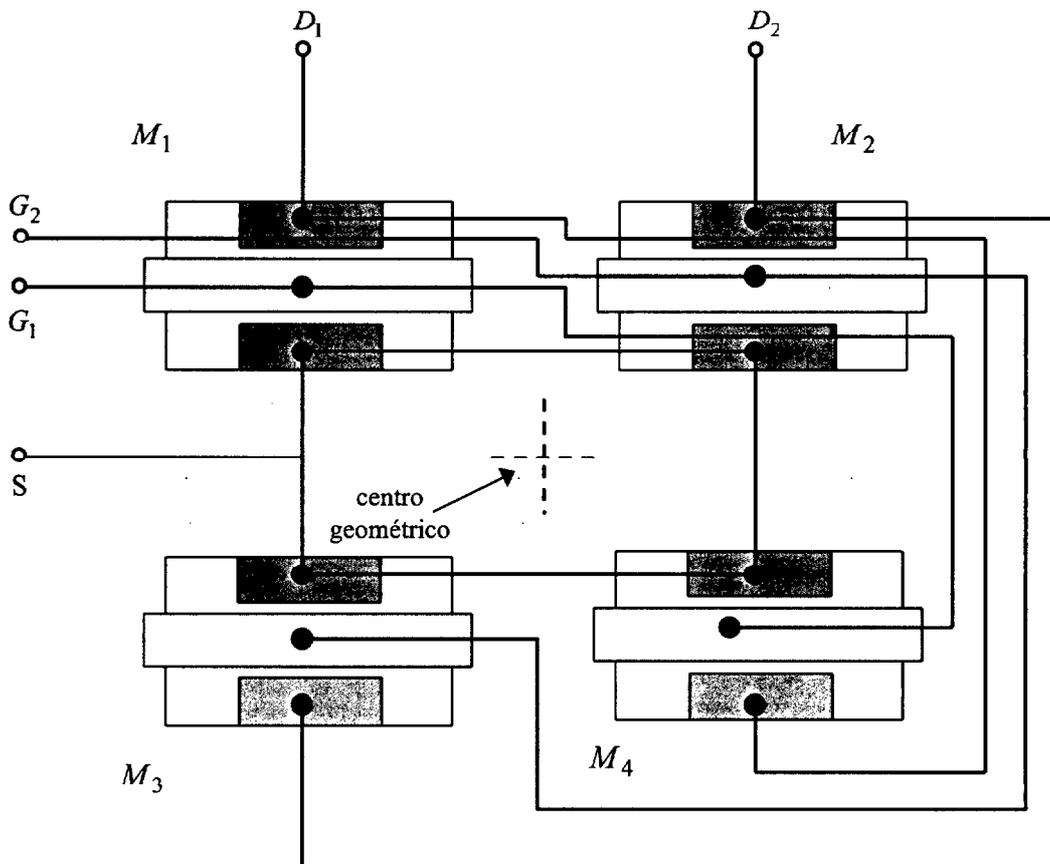


Figura 6.4 Layout de los transistores de la figura 6.2 utilizando centro-común

En la figura 6.4 se muestra el layout del circuito de la figura 6.3. Como se observa en esta figura, en un sentido geométrico, el centro del transistor M_a formado por (M_1, M_2) y el centro del transistor M_b formado por (M_2, M_3) cae en el centro de la estructura. De esta forma, la desigualdad entre los transistores que forman el par diferencial de la figura 6.2, resulta insensible a las posibles dispersiones que se puedan producir en el proceso de fabricación.

La configuración centro-común es la técnica que se ha empleado para realizar el layout de ciertos transistores del LNA. Los transistores que han sido diseñados de esta forma son M_1 y M_2 . En la figura 6.5 se muestra el layout correspondiente a la estructura diferencial formada por los dos transistores M_1 unidos por el surtidor.

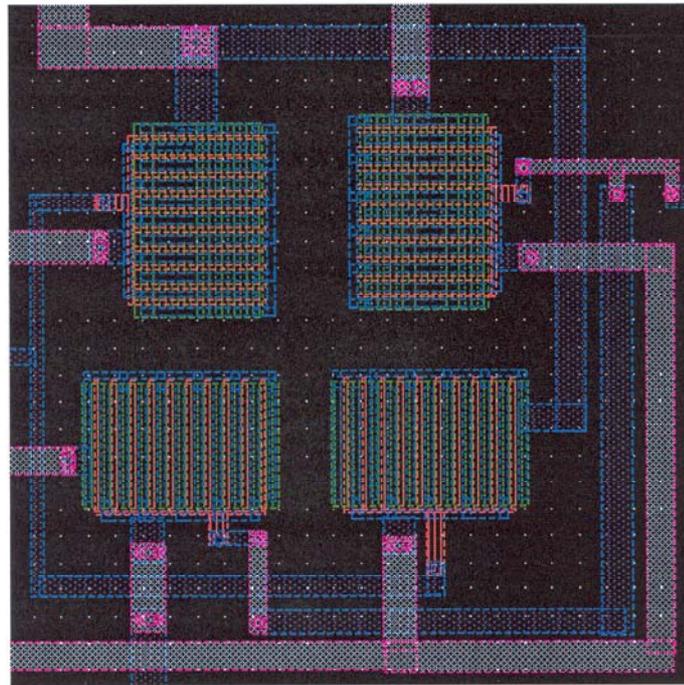


Figura 6.5 Layout en configuración centro común del par diferencial M_1

6.2.3 OTRAS TÉCNICAS DE DISEÑO

En este apartado, se describen otras técnicas o recomendaciones que se deben seguir en el diseño microelectrónico.

- **Condensadores en pads de alimentación:** Para evitar posibles fluctuaciones o variaciones en la tensión de alimentación del circuito se introduce una capacidad entre el pad de la tensión de alimentación y el de tierra. Con esto se consigue estabilizar la tensión de alimentación ya que la capacidad introducida absorbe cualquier pico o cambio brusco que se produzca en la alimentación del circuito.
- **Añadir contactos a tierra:** Otra técnica que se emplea para evitar resistencias parásitas es la de añadir contactos a tierra. No hay una regla, pero cuantos más se pongan mejor. Esta técnica se usa para asegurar una buena conexión del sustrato a tierra. Si el contacto está lejos de uno de los elementos del circuito, la resistencia parásita es mayor que si estuviese cerca.

6.3 LAYOUT DE TRANSISTORES MOS

En este apartado se presenta y se describe otras técnicas utilizadas en la realización del layout de un transistor MOS. En primer lugar hay que distinguir entre el layout de un transistor PMOS y el de un transistor NMOS.

6.3.1 LAYOUT TRANSISTOR NMOS

El corte esquemático de un transistor integrado NMOS se muestra en la figura 6.6. Como se observa en esta figura la fuente y el drenador del transistor se forman haciendo difusiones de tipo n+ sobre el sustrato de tipo P. La puerta esta formada por una fina capa de óxido de silicio depositada sobre el sustrato. La conexión al sustrato se realiza a través de una difusión de tipo p+ depositada sobre el mismo.

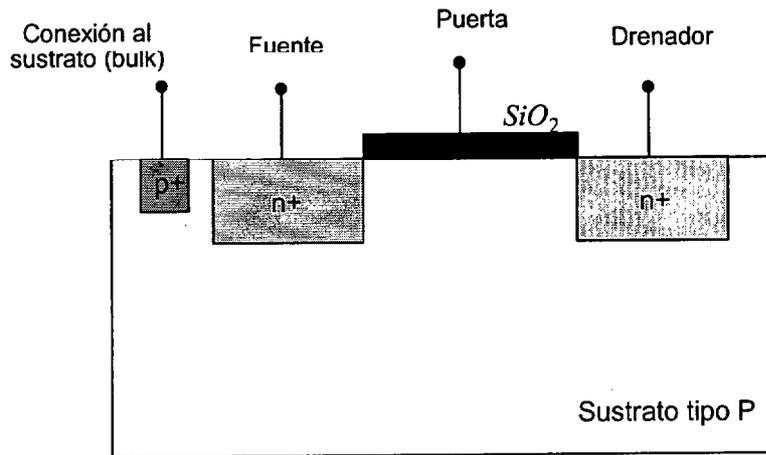


Figura 6.6 Corte esquemático de un transistor NMOS integrado

En la figura 6.7 se puede observar como en las uniones PN de la fuente y el drenador con el sustrato se forman diodos parásitos. Para evitar que estos diodos estén polarizados en directa y por tanto que conduzcan, el sustrato debe estar conectado a tierra.

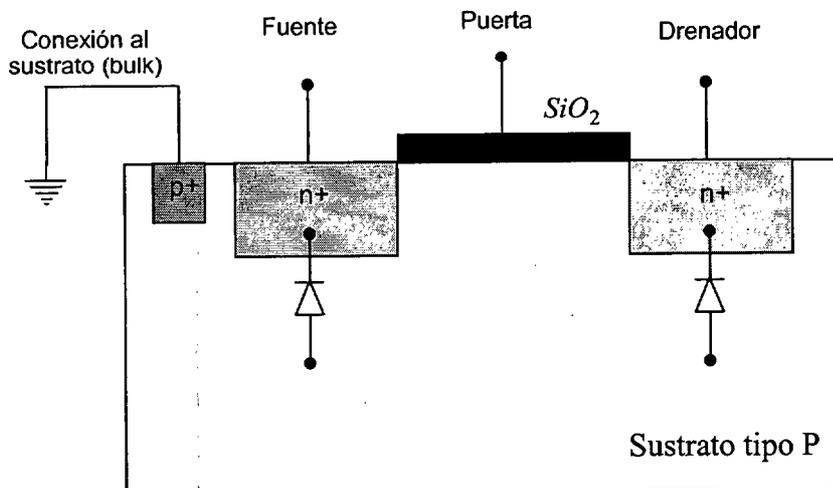


Figura 6.7 Formación de diodos parásitos en uniones P-N

6.3.2 LAYOUT DE UN TRANSISTOR PMOS

En la figura 6.8 se muestra el corte esquemático de un transistor PMOS integrado.

Como se puede observar en la figura la fuente y el drenador se realizan mediante difusiones tipo p+. Dichas difusiones no se hacen directamente sobre el sustrato tipo P ya que existiría conducción entre las difusiones p+ y el sustrato conectado a tierra. Por este motivo se realiza sobre el sustrato una implantación de material tipo n formando un pozo sobre el cual se realiza el transistor.

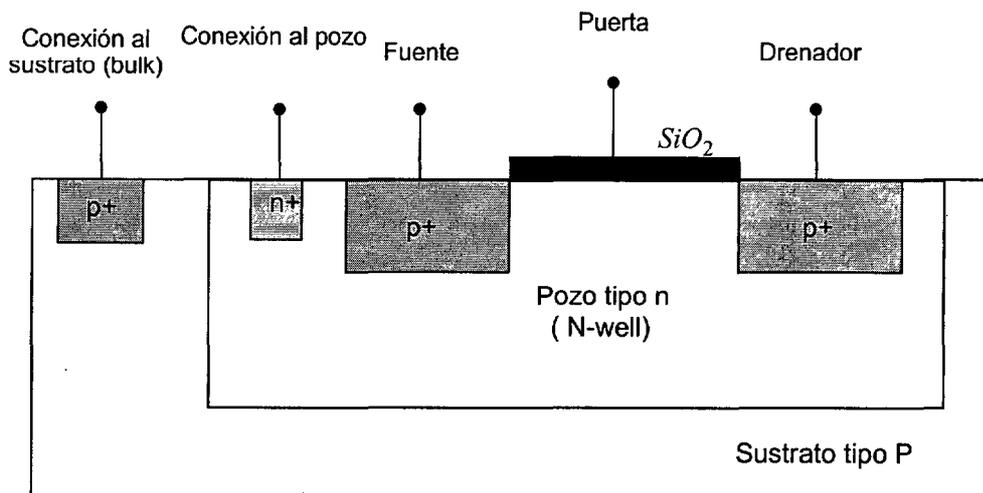


Figura 6.8 Corte esquemático de un transistor PMOS integrado

Como ocurría en el caso del transistor NMOS también se formarán diodos parásitos entre las distintas uniones PN. Para evitar que estos diodos estén polarizados en directa se conecta el pozo tipo n a la tensión más alta, en este caso la tensión de alimentación Vdd. De esta manera se consigue que las uniones PN estén polarizadas en inversa.

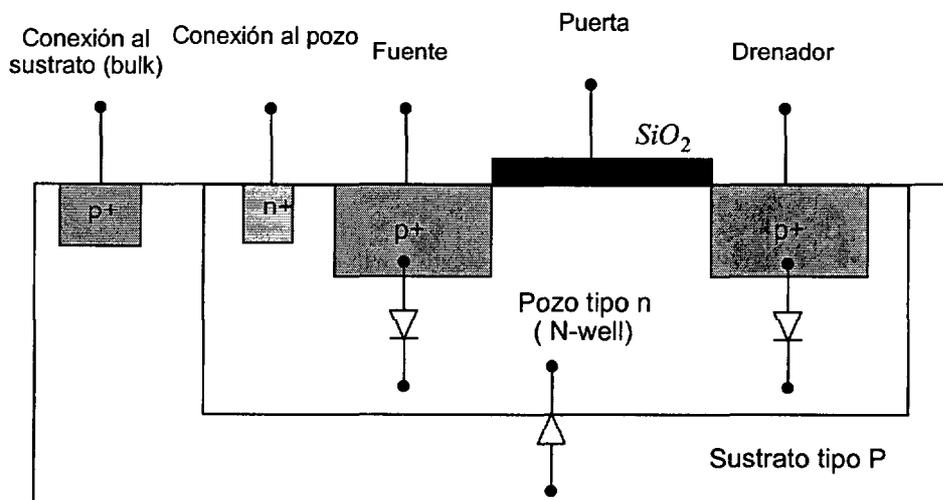


Figura 6.9 Representación diodos parásitos en transistor PMOS

En la figura 6.9 puede verse que aparece otra unión PN entre el sustrato y el pozo tipo n, para asegurar que esta unión esté polarizada en inversa se conecta el sustrato a tierra como en el caso del transistor NMOS.

6.3.3 DIVISIÓN DE TRANSISTORES EN DEDOS

A la hora de realizar el layout de un transistor tenemos que tener en cuenta las dimensiones del mismo. En el caso de diseñar transistores con un ancho de canal muy grande, alrededor de los cientos de micra, pueden aparecer problemas en la polarización del mismo. Debido a la elevada anchura del canal, las caídas de tensión que se producen a lo ancho del mismo puede provocar que la tensión que hay en el punto medio del transistor sea tan baja que esta zona no esté polarizada correctamente. Por esta razón no es aconsejable diseñar transistores con un ancho de canal superior a $30\ \mu\text{m}$ o $35\ \mu\text{m}$.

Para conseguir diseñar transistores de dimensiones mayores se emplea una técnica que consiste en dividir el transistor de canal ancho en transistores más pequeños y conectarlos en paralelo como puede verse en la figura 6.10. Cada uno de estos transistores se llamará dedo.

Con esta técnica se consiguen transistores de tamaño elevado y sin problemas de polarización.

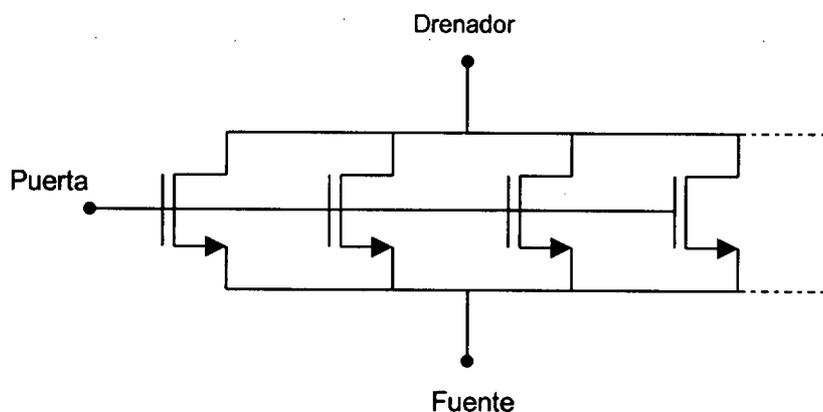


Figura 6.10 División de un transistor en dedos

El número de dedos se calcula de forma que el ancho de cada dedo w multiplicado por el número de dedos total, N , sea igual al ancho total del transistor que se quiere diseñar.

$$W = N \times w \quad (6.1)$$

Para dividir el transistor en dedos existen dos configuraciones posibles. A continuación se describe cada una de ellas.

6.3.3.1 Configuración Interdigit

En la configuración interdigit, como se puede observar en la figura 6.11, no es posible realizar conexiones al sustrato en cada dedo lo que puede provocar la aparición de diodos parásitos en las uniones PN como se estudió en el apartado 6.2.1.

Esta configuración tampoco permite realizar una doble conexión en el terminal de puerta de cada dedo ya que se encuentran muy próximas y aparecerían problemas al no cumplirse las reglas de diseño. La doble conexión en la puerta se realiza para minimizar la resistencia de puerta de los transistores.

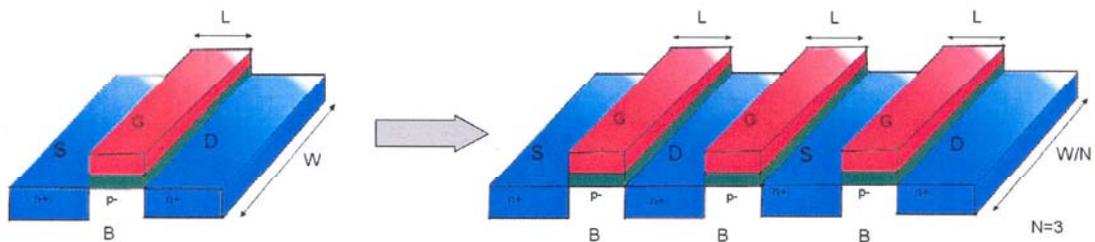


Figura 6.11 Representación de la configuración interdigit

En la figura 6.12 se muestra el layout de un transistor diseñado según esta configuración.

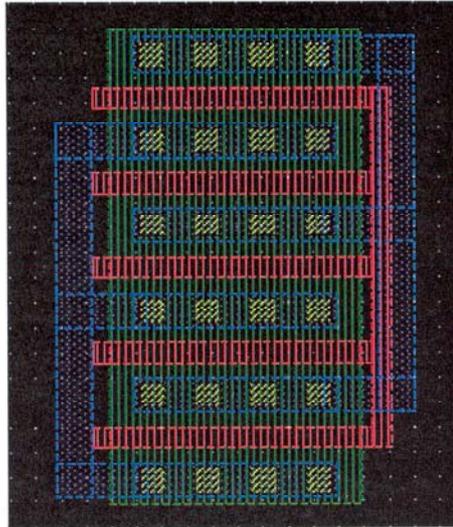


Figura 6.12 Transistor diseñado según la configuración interdigit

El número de dedos en que se ha dividido este transistor es $N=5$ y el ancho de canal de cada uno es $w= 10\mu m$. Por lo tanto el transistor tiene un ancho total de canal $W= 50\mu m$.

6.3.3.2 Configuración de transistores independientes

Este tipo de configuración puede verse en la figura 6.13.

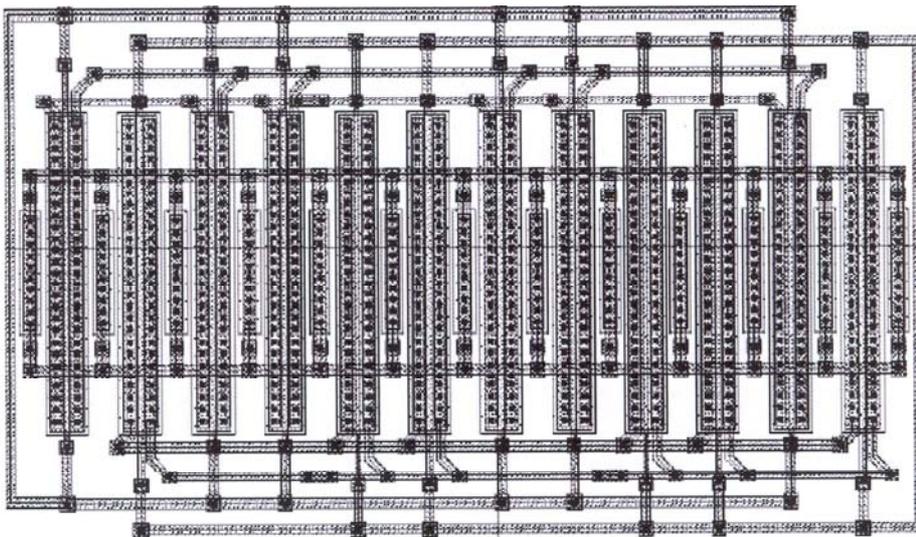


Figura 6.13 Representación de la configuración en transistores independientes.

Para poder conectar todos los dedos al sustrato y realizar la doble conexión en la puerta de manera sencilla se emplea la configuración de transistores independientes. En la figura 6.13 se observa como entre cada dedo se ha realizado una conexión al sustrato y se ha realizado la doble conexión en el terminal de puerta de cada transistor.

De esta manera se asegura que los diodos parásitos formados en las uniones PN del transistor estén polarizados en inversa. Además, con la doble conexión en el terminal de puerta se ha conseguido disminuir la resistencia de puerta del transistor.

Sin embargo utilizando esta configuración se obtendría una estructura con un mayor consumo en área y menos estabilidad del circuito. Por este motivo para el diseño de los transistores de dimensiones grandes utilizados en el diseño final del LNA se ha optado por una configuración interdigit.

6.4 LAYOUT DE CAPACIDADES.

En la librería utilizada (HBT-BICMOS $0.8 \mu\text{m}$ de AMS) las capacidades proporcionadas no son escalables, es decir no se puede modificar el valor de la capacidad. Por esta razón se ha tenido que realizar el layout completo de las capacidades utilizadas a mano siguiendo las estructuras base proporcionadas por AMS.

En la figura 6.11 se muestra el layout de una de las capacidades diseñadas y utilizadas en el layout del LNA de este proyecto.

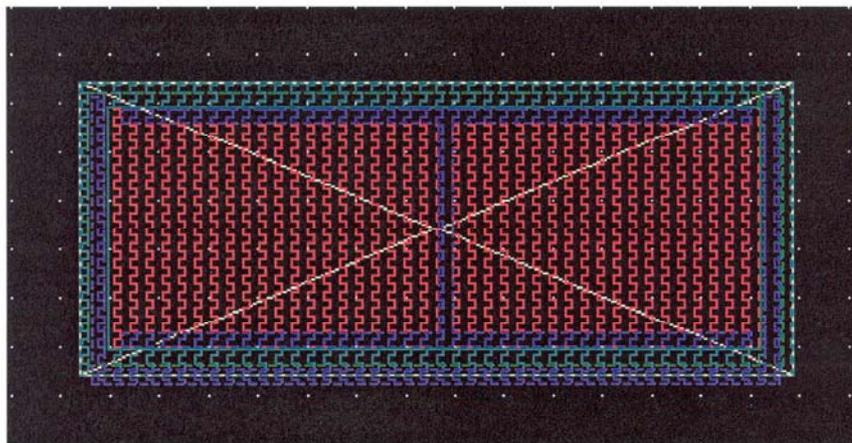


Figura 6.14 Layout de una capacidad del LNA

6.5 INDUCTANCIAS INTEGRADAS

La demanda existente ahora mismo de equipamiento de receptores de RF incluye bajo costo, baja tensión de alimentación, baja disipación de potencia, bajo ruido, alta frecuencia de trabajo y baja distorsión. Las necesidades del diseño no pueden ser satisfechas en muchos casos sin el uso de varactores e inductancias integradas para radiofrecuencia.

Los componentes pasivos que forman los receptores de RF deben poseer unos buenos factores de calidad, y además deben permitir el control eléctrico de la sintonización.

Hoy en día la necesidad de diseñar inductancias con factores de calidad buenos es el cuello de botella en el diseño de circuitos integrados debido a su alta dependencia con el sustrato conductor.

Las inductancias integradas en silicio, aunque poseen factores de calidad bajos, se usan ampliamente para aplicaciones de radio frecuencia. Debido a esto existe un gran incentivo para diseñar, optimizar y modelar espiras sobre sustratos de silicio que puedan mejorar los factores de calidad de las inductancias integradas. Por ejemplo las inductancias podrían mejorar bastante sus factores de calidad con una reducción de la resistividad de las capas metálicas que se consiguen en tecnologías estándar como la CMOS. Por lo tanto la mejora de los rendimientos de los componentes pasivos fabricados en tecnologías como CMOS y BICMOS es determinante para obtener buenas prestaciones en el diseño de equipos de radiofrecuencia.

6.5.1 FENÓMENOS ELECTRICOS Y MAGNÉTICOS

Una inductancia integrada estándar está formada por una pista de metal que toma la forma de una espira. La espira se fabrica en una de las capas de metal que permite la tecnología BICMOS, por lo que toda ella estará rodeada de óxido de silicio.

Cuando se aplica tensión alterna entre los extremos de la espira, se crean tres campos eléctricos y uno magnético [15]. Estos campos tienen las siguientes características:

- Campo magnético $B(t)$: Este campo está generado por la corriente que circula por las pistas de la inductancia. Este campo produce dos efectos:
 - La inductancia propia de la espira.
 - Corrientes inducidas en el sustrato y en las pistas.

- Campo eléctrico en las pistas de la espira, (E_1) : Este campo es generado por la tensión aplicada a la espira. Produce:
 - Pérdidas óhmicas en la espira debido a la resistividad del metal.

- Campo eléctrico que atraviesa el óxido entre pistas, (E_2) : Está generado por la diferencia de tensión entre cada vuelta de la espira. Produce:
 - Capacidades parásitas entre pistas.

- Campo eléctrico que atraviesa el óxido y penetra en el sustrato, (E_3) : Este campo está generado por la diferencia de tensión que existe entre la espira y el sustrato. Produce los siguientes efectos:
 - Capacidades parásitas entre el sustrato y la espira.
 - Pérdidas óhmicas debido al campo eléctrico que penetra en el sustrato conductor.

En la figura 6.11 se muestran los tres campos eléctricos y el campo magnético que aparece en una bobina integrada.

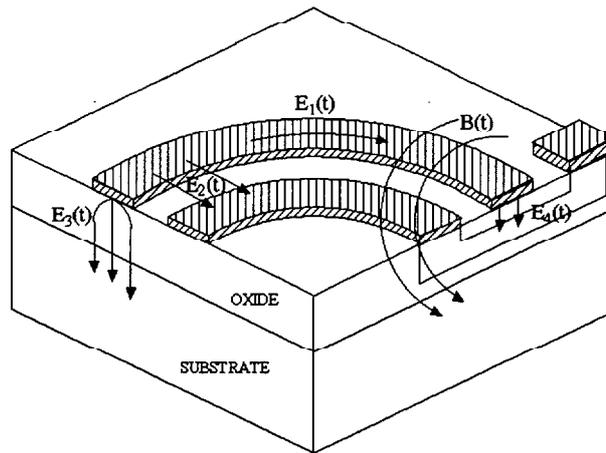


Figura 6.15 Representación esquemática de los campos eléctricos y magnéticos que aparecen en una bobina integrada

6.5.2 LAYOUT DE INDUCTANCIAS

Las inductancias, como todos los componentes utilizados en el diseño del layout del LNA de este proyecto, han sido proporcionadas por la empresa fundidora AMS. Como se ha comentado al principio de este apartado el factor de calidad de las inductancias utilizadas para realizar el diseño de una etapa de RF juega un papel importante en las prestaciones del mismo. Las especificaciones de ruido y ganancia que debe cumplir el LNA está fuertemente influenciado por la calidad de las inductancias utilizadas en su diseño.

La librería de bobinas utilizadas en este proyecto es muy escasa y la calidad de las mismas no es tan buena como desearíamos. Por esta razón es muy difícil conseguir un diseño que cumpla las especificaciones marcadas.

En la figura 6.16 se presenta el layout de una bobina de la librería (HBT-BICMOS $0.8 \mu m$ de AMS).

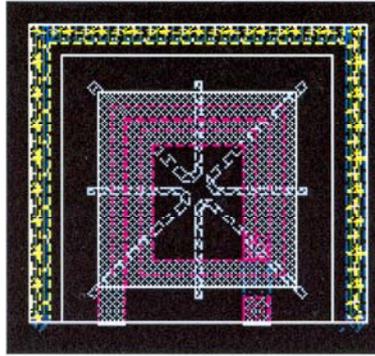


Figura 6.16 Layout de una bobina de AMS

6.6 LAYOUT FINAL

En este apartado se presenta el layout final del LNA diseñado en este proyecto. Este layout corresponde al circuito mostrado en la figura 4 del Anexo A.

Antes de presentar el layout final, en la figura 6.13 se muestra un esquema general de la distribución de todos los elementos que conforma el circuito integrado.

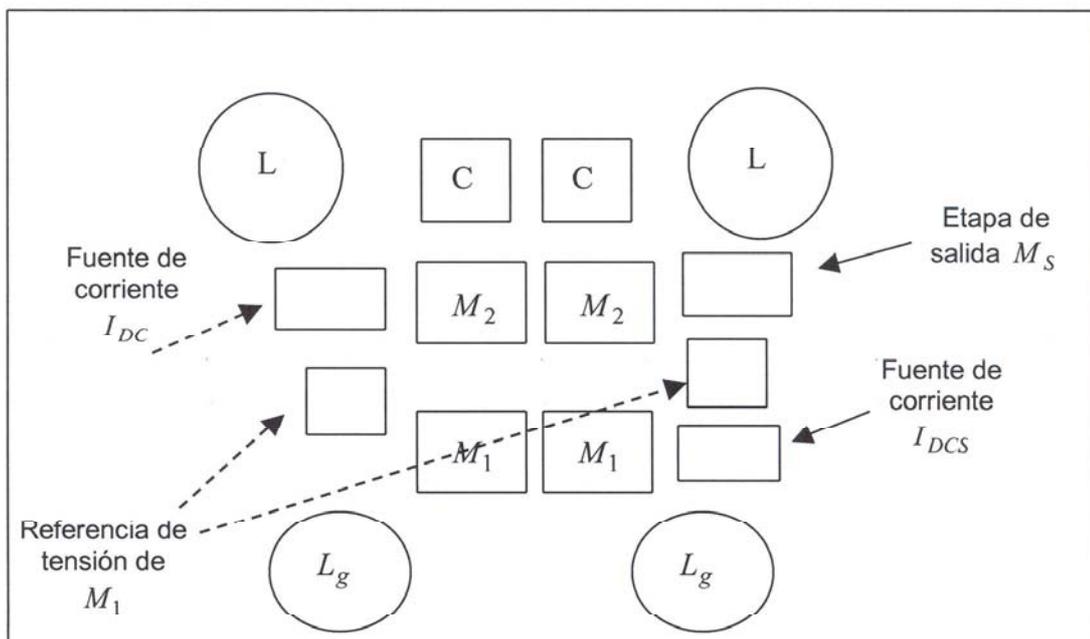


Figura 6.17 Esquema de distribución de los componentes en el layout final

Esta distribución no se ha hecho de manera aleatoria sino que se ha intentado optimizar el área y minimizar las longitudes de las pistas de conexión entre los distintos elementos, sobre todo entre las inductancias, ya que esta longitud afecta de forma

decisiva a las prestaciones del diseño. Así una mayor longitud en la pista de conexión de la inductancia supone una resistencia y capacidad extra que degrada el factor de calidad del circuito resonante con lo que se disminuye la ganancia del amplificador y pueden aparecer problemas de sintonización. Además como se puede observar con esta distribución se ha intentado conseguir la mayor simetría del circuito.

En el Anexo B se muestra el layout final del LNA de nuestro proyecto.

En esta figura pueden observarse los pads de alimentación, tierra, así como las conexiones para la entrada diferencial y salida diferencial. En el pad de alimentación se ha introducido unas capacidades adicionales. Como se vio en el apartado 6.2.2 la misión de estas capacidades es estabilizar la alimentación de tal forma que cualquier pico de tensión en la alimentación se derive a tierra a través de estas capacidades y no afecte al resto del circuito.

En las zonas vacías del layout se han realizado conexiones del sustrato a tierra. Con esto se pretende asegurar que el sustrato esté a un nivel cero de tensión y evitar que las corrientes que se inducen en el sustrato afecten al funcionamiento de los componentes del circuito. Las pistas de conexión tienen distintas anchuras dependiendo de la densidad de corriente que pase por ellas y del tipo de metal utilizado para construir la pista. Con las vías de conexión entre capas metálicas ocurre lo mismo, por lo que se han agrupado dependiendo de la densidad de corriente que las atraviese.

6.7 SIMULACIONES POST-LAYOUT

Después de realizar el layout del LNA y haber verificado que se cumplen todas las reglas de diseño mediante el DRC se realiza la simulación del diseño final. El proceso de simulación es el mismo que el utilizado en las simulaciones del esquemático. Es decir, se realiza por un lado un análisis SP para obtener la ganancia, figura de ruido y la calidad de la adaptación de impedancias y por otro un análisis SPSS para observar el IP₃.

Realizando la simulación post-layout se han obtenido las gráficas y resultados que se muestran en la figura 5.14 y en la tabla 5.6, respectivamente.

Como se observa en la tabla 5.6 la ganancia de LNA ha disminuido mínimamente. Esta pequeña caída de la ganancia puede ser debida a una pequeña desintonización del amplificador provocada por la aparición de capacidades parásitas entre las pistas y el sustrato y a la variación del valor de la capacidad del tanque. La figura de ruido ha aumentado debido a la disminución de la ganancia del amplificador y sobre todo por la aparición de resistencias parásitas asociadas a los propios metales. La impedancia de entrada y salida se ha mantenido constante con respecto a las simulación del esquemático. El IP3 del circuito ha disminuido debido a la disminución de la ganancia del circuito.

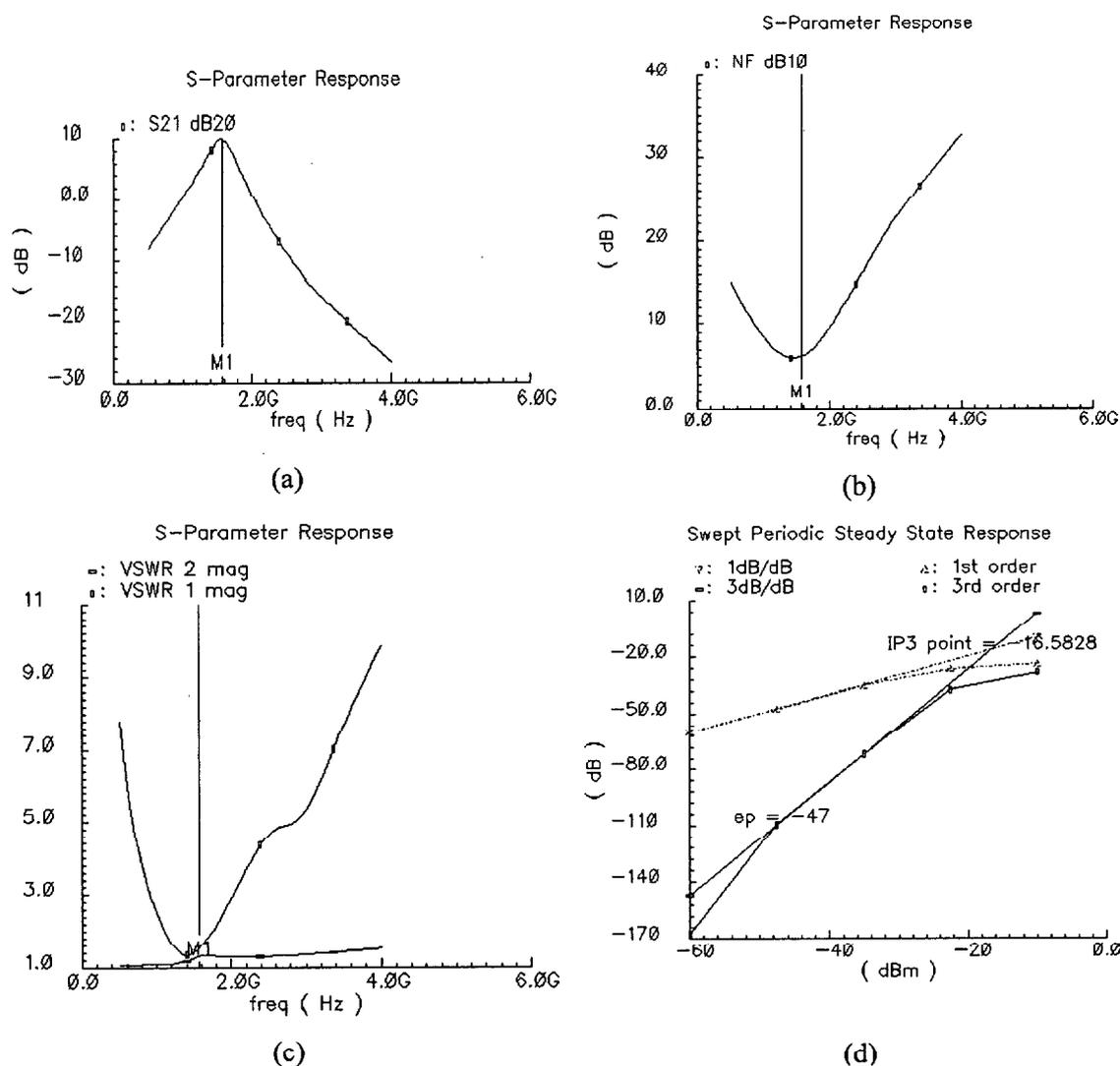


Figura 6.18 Ganancia (a), Figura de ruido (b), VSWR1 y VSWR2 (c), IP3 (d)

PARAMETRO	RESULTADO
G	9.6 (dB)
NF	6 (dB)
IP3	-16.58
VSWR1	1.4
VSWR2	1.3

Tabla 6.1 Resultados de la simulación post-layout

CAPÍTULO 7

CONCLUSIONES Y TRABAJOS FUTUROS

7.1 CONCLUSIONES

En este proyecto se ha presentado el diseño de un Amplificador de Bajo Ruido (*LNA*) para un receptor GPS. Para esto, se ha utilizado la tecnología de fabricación (HBT-BICMOS $0.8 \mu m$ de AMS) y el programa de diseño CADENCE.

Este trabajo ha comenzado con el estudio de las características principales del Sistema de Posicionamiento Global (*GPS*) y más concretamente las del receptor GPS. Se ha conocido los principales tipos de arquitecturas de receptores y la ubicación del LNA dentro de las mismas.

Una vez establecidas las especificaciones que debe cumplir el diseño y conocidas las características principales de la tecnología utilizada se ha llevado a cabo el estudio

de algunos conceptos y parámetros relacionados con el diseño de circuitos integrados de RF. Al mismo tiempo, se ha llevado a cabo el aprendizaje y manejo de las diferentes herramientas de trabajo que proporciona el programa de diseño CADENCE.

Obtenidos los conocimientos necesarios, se ha procedido al estudio y comparación de las diferentes arquitecturas que existen para el diseño de un LNA. Basándonos en este estudio se ha elegido el tipo arquitectura que se va a emplear en el diseño, justificando la razón de su elección.

A partir del tipo de arquitectura elegida se ha procedido al cálculo teórico de los valores iniciales de los componente del circuito. Utilizando estos valores, en una primera simulación con componentes ideales se ha podido comprobar que los resultados obtenidos son muy diferentes a los que se desean. Esto ha ocurrido porque los cálculos realizados se han basado en expresiones halladas a partir del estudio de otros diseños en los cuales se ha empleado una tecnología diferente a la utilizada en este trabajo. Además, muchos de los valores de partida han sido meramente orientativos, es decir han sido tomados como valores de prueba. Después de diversas simulaciones con elementos ideales se ha podido llegar a los valores adecuados de componentes con los que se consiguen unos resultados muy próximos a las especificaciones marcadas.

En la simulación del diseño con componentes reales se ha podido comprobar la gran influencia que ejerce la calidad de las bobinas utilizadas sobre el comportamiento del circuito. El bajo factor de calidad de la bobinas utilizadas ha propiciado un deterioro notable de la calidad del circuito. Como se ha podido probar en las distintas simulaciones realizadas, la figura ruido del circuito ha sido el parámetro que más se ha visto afectado por esta baja calidad. No obstante, también se ha visto degradada la ganancia del circuito y la calidad de la adaptación de la impedancia de entrada y salida del circuito.

Llegado a este punto, se ha procedido ha intentar conseguir los mejores resultados posibles teniendo en cuenta las limitaciones de los componentes utilizados. En este punto se ha tenido como restricción el consumo de potencia del circuito, debiéndose mantener dentro de unos valores razonables. Como resultado final, se consiguió una

ganancia de 9.8dB, una figura de ruido de 5.6dB, un IP3 de -16.75dBm, un VSWR1=1.4 y un VSWR2=1.3.

A partir del circuito final y de los valores de componentes correspondientes se ha pasado a la realización del layout. En el layout del LNA se han empleado diversas técnicas de diseño con el fin de mejorar la calidad del mismo y evitar posibles problemas a la hora de la fabricación. Tras haber realizado el layout se ha procedido a la verificación y simulación del mismo obteniendo como resultado una ganancia de 9.6dB, una figura de ruido de 6dB, un IP3 de -16.58dBm, un VSWR1=1.4 y un VSWR2=1.3.

Como conclusión final se puede decir que no se ha logrado conseguir las especificaciones del LNA marcadas al principio de este proyecto. En este caso, la razón fundamental ha sido la mala calidad de las bobinas utilizados en el diseño. Queda por tanto claro la importancia que tiene en el diseño de circuitos integrados de RF la calidad de los componentes utilizados.

7.2 TRABAJOS FUTUROS

Con este apartado se pretende plantear nuevas vías de acometida que tengan como base de partida el presente proyecto. También se pretende indicar cuales son los puntos a mejorar en el diseño con el fin de obtener unos resultados mejores.

Un punto a tener en cuenta para trabajos futuros es mejorar los resultados obtenidos. Para lograrlos, la primera opción consistiría en disponer de una buena librería de bobinas integradas. Estas bobinas deben tener un buen factor de calidad y un amplio rango de valores. De esta manera sería mucho más fácil conseguir las especificaciones que se desean para el LNA.

Otra tarea a acometer consiste en realizar el mismo diseño pero empleando otras tecnologías de fabricación. Con esto se realizaría una comparación y se podría determinar de que forma influye en los resultados el tipo de tecnología utilizada. Paralelamente, se podría plantear la utilización de una arquitectura distinta a la que se ha utilizado en el LNA de este proyecto. De la misma manera, se podría determinar y comprobar qué tipo de arquitectura es la más idónea para el diseño de un LNA.

Para profundizar más en el diseño de circuitos integrados de RF se podría completar este proyecto con el diseño del resto de componentes que forman el cabezal de un receptor GPS. Estos podrían ser un mezclador, un VCO, un amplificador IF, etc. Para el diseño de estos componentes se podría utilizar la misma herramienta de diseño y tecnología de fabricación que se ha utilizado en este proyecto. De esta manera se podría plantear la idea de integrar todos estos componentes en un mismo chip y analizar los resultados finales que se consiguen.

BIBLIOGRAFÍA

- [1] T. H. Lee, "The Design of CMOS Radio-Frequency integrated Circuits", Cambridge University Press, 1998.
- [2] Alan B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley & Sons, Inc, 1984.
- [3] K. Laker, W. Sansen, "Design of Analog Integrated Circuits and Systems", McGraw Hill, 1994.
- [4] J. Millman, "Microelectrónica", Hispano Europea, 1989.
- [5] Goyal, "High-Frequency Analog Integrated Circuit Design", Wiley Interscience, 1995.
- [6] B. Razavi, "RF Microelectronics", Prentice Hall, 1998.
- [7] Baker J, "CMOS Circuit Design, Layout and Simulation", IEEE Press, 1998.
- [8] Steyaert M, " CMOS Analog Circuit Design ", Kuver Academic Publishers, 1998.
- [9] Paul R.Gray, Robert G.Meyer "Analysis and Design of Analog Integrated Circuits", Wiley, 3ª Edición,
- [10] R. Esper-Chaín, J. Cabrera, M. Marrero, "Electrónica Analógica Tomos I y II", ULPGC, 1996.
- [11] Shaeffer D., Lee T, " A 1.5V, 1.5 GHZ CMOS Low Noise Amplifier ", IEEE Journal of Solid State Circuits, mayo 1997, Vol 32, págs 745-759.

- [12] R. G. Meyer, W. Mack, "A 1-GHz BiCMOS RF Front-End IC", IEEE Journal of Solid-State Circuits, marzo de 1994, págs 350-355.
- [13] A. Shahani, D. Shaeffer, T. H. Lee, "A 115 mW CMOS GPS receiver" ISSCC Dig. Tech. Papers, febrero 1998, págs 122-123.
- [14] A. Shahani, D. Shaeffer, T. H. Lee, "A 12-mW Wide Dynamic Range CMOS Front-End for a Portable GPS Receiver", IEEE Journal of Solid-State Circuits, diciembre 1997, págs 2061-2070.
- [15] J. del Pino, S.L. Khemchandani, A. Hernández, J.R Sendra, J. García, B. González, A. Nuñez, "Quality factor model for integrated inductors in CMOS technology", Microwave Engineering, Mayo 2001.
- [16] A. Karanicolas, "A 2.7V 900MHz CMOS LNA and Mixer", IEEE Journal of Solid-State Circuits, Diciembre 1997, Vol 32, págs 1961-1967.
- [17] R. G. Meyer, W. Mack, J. Hageraats, "A 2.5 GHz BiCMOS Transceiver for Wireless LAN's", IEEE Journal of Solid-State Circuits, diciembre de 1997, págs. 2097-2104.
- [18] "AMS RF Application Note" Austria Mikro Systeme International AG, www.amsint.com, junio de 1998.
- [19] "0.8 μm HBT BiCMOS Design Rules", Austris Mikro Systeme International AG, www.amsint.com, abril de 1999.
- [20] "S-Parameter Techniques", Application Note 95-1 Hewlett Packard, www.hp.com, 1997.
- [21] J. Huidobro, F. J. Molinero, "GPS Sistema de Posicionamiento Global", Revista Bit nº 98, www.iies.es/teleco.
- [22] "Manuales Spectre RF, Cadence", www.cadence.com.
- [23] A. Abidi, "Radio-Frequency Integrated Circuits for Portable communications", IEEE Custom Integrated Circuits Conference, 1994, págs. 151-158.

PRESUPUESTO

Presupuesto

El cálculo del presupuesto de este proyecto se ha seguido según la **“Propuesta de baremos orientativos para el cálculo de honorarios”** establecida por el Colegio Oficial de ingenieros Técnicos de Telecomunicación a partir del 1-01-2001.

Esta propuesta establece que para **“Trabajos tarifados por tiempo empleado”** se aplique la siguiente ecuación:

$$H = Hn * 9700 + He * 10500$$

Siendo:

H= Honorarios a percibir.

Hn= Horas contabilizadas en jornada normal.

He= Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por aplicación de la clave “H” se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a la siguiente escala.

			COEFICIENTE
Hasta	36 horas		C=1
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	72 horas	hasta 108 horas	C=0,8
Exceso de	108 horas	hasta 144 horas	C=0,7
Exceso de	144 horas	hasta 180 horas	C=0,65
Exceso de	180 horas	hasta 360 horas	C=0,60
Exceso de	360 horas	hasta 510 horas	C=0,55
Exceso de	510 horas	hasta 720 horas	C=0,50
Exceso de	720 horas	hasta 1080 horas	C=0,45
Exceso de	1080 horas		C=0,40

CÁLCULO DEL PRESUPUESTO

COSTES DEBIDOS A LOS RECURSOS HUMANOS

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, establecemos una tabla indicativa acerca del tiempo parcial empleado en cada fase del mismo.

DESCRIPCIÓN	TIEMPO PARCIAL
Busqueda y estudio de la documentación	160 horas
Estudio de la herramienta de diseño	80 horas
Análisis y diseño del circuito	480 horas
Realización de la memoria	320 horas

En definitiva, se necesitaron un total de 1040 horas para la realización de este proyecto. Considerando estas horas como jornada laboral normal para su tarificación se obtienen los siguientes honorarios:

$$H = 1040 * 9700 = 10.088.000 \text{ ptas. (60.630,1 €)}$$

Aplicando el coeficiente de corrección correspondiente tenemos el siguiente resultado:

$$H = 10.088.000 * 0.40 = 4.035.200 \text{ ptas. (24.252,04 €)}$$

COSTES DE AMORTIZACIÓN DE LOS EQUIPOS INFORMÁTICOS Y HERRAMIENTAS SOFTWARE

A continuación, se detallan los costes relacionados a la utilización de los equipos y herramientas software empleados en la elaboración del presente proyecto. Los costes están divididos entre el número de usuarios que acceden a ellos los cuales se han estimado en un número de 50.

Costes debidos a la utilización de herramientas software					
Descripción	Tiempo de uso	Coste anual (ptas)		Total	
		Total	Usuario	Pesetas	Euros
Sistema operativo SunOs Release 4.1.3, Openwindows y aplicaciones X11	6 meses	150.300	3.006	1.503	9,03
Entorno de diseño y simulación CADENCE Designs Framework II	Amortización 3 años	367.400	7.348	3.764	22,62
	Mantenimiento	240.480	4.810	2.405	14,45
Entorno Windows NT	6 meses	50.950	1.019	510	3,06
Microsoft Office 97	6 meses	74.700	1.494	747	4,48
COSTES DE HERRAMIENTAS SOFTWARE			TOTAL	8.929	53,6

Costes debidos a la utilización de equipos informáticos					
Descripción	Tiempo de uso	Coste anual (ptas)		Total	
		Total	Usuario	Pesetas	Euros
Estación de trabajo SUN Sparc modelo Sparc Station 10					
Amortización 3 años	6 meses	870.000	17.400	8.700	52,28
Mantenimiento	6 meses	262.000	5.240	2.620	15,74
Servidor para simulación SUN Sparc Station 10					
Amortización 3 años	6 meses	843.333	16.867	8.434	50,68
Mantenimiento	6 meses	262.000	5.240	2.620	15,74
Impresora Hewlett Packard Laserjet 4L					
Amortización 3 años	6 meses	25.000	500	250	1,5
Mantenimiento	6 meses	24.212	484,25	242,12	1,45
Ordenador Personal Pentium II 266 Mhz					
Amortización 3 años	6 meses	53.333	1.067	534	3,2
Mantenimiento	6 meses	15.000	300	250	1,5
COSTES DE EQUIPOS INFORMÁTICOS			TOTAL	23.650	142

COSTES DE FABRICACIÓN DEL PROTOTIPO

El coste de fabricación del circuito integrado para la tecnología empleada es de 550 €/mm², con un suministro de 10 prototipos. En nuestro caso el área ocupada por el dado es de 1.56 mm².

Por tanto teniendo en cuenta el área del dado y el coste de fabricación por mm² tenemos el siguiente resultado.

Costes de fabricación del prototipo				
Descripción	Nº de unidades	Precio	Total	
			Pesetas	Euros
Dados	1	91.512,3 ptas/mm ²	142.760	858
COSTES DE FABRICACIÓN DEL PROTOTIPO		TOTAL	142.760	858

OTROS COSTES

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y a la elaboración del documento final.

Otros costes				
Descripción	Nº de unidades	Coste unidad (ptas)	Total	
			Pesetas	Euros
Horas de uso de internet	200 horas	189 ptas/hora	37.800	227,18
Paquetes papel DIN-A4 80 gr/m ²	3	750	2.250	13,52
Fotocopias	1.000	5	5.000	30,05
Encuadernación	3	4.500	13.500	81,13
OTROS COSTES		TOTAL	58.550	350,8

PRESUPUESTO TOTAL

Costes	Total	
	Pesetas	Euros
Costes de herramientas software	8.929	53,6
Costes de equipos informáticos	23.650	142
Costes de recursos humanos	3.298.000	24.252,04
Costes de fabricación del prototipo	142.760	858
Otros costes	58.550	350,8
PRESUPUESTO FINAL	3.531.889	25656,44

Por lo tanto, el coste global del proyecto asciende a **Tres Millones Quinientas Treinta y Una mil Ochocientas Ochenta y Nueve pesetas ó Veinticinco mil Seiscientas Cincuenta y Seis con Cuarenta y Cuatro euros.**

***PLIEGO DE
CONDICIONES***

Pliego de Condiciones

Condiciones generales

Los requisitos necesarios para evaluar el funcionamiento del diseño es el siguiente:

- Estación de trabajo con sistema operativo SunOs Release 4.1.3
- Entorno de diseño y simulación CADENCE Designs Framework II
- Tecnología HBT-BICMOS $0.8\mu m$ de AMS

Propiedad intelectual

La propiedad intelectual, que comprende las creaciones literarias, científicas, artísticas, programas de ordenador, etc., se diferencia de la industrial en que aquella el derecho surge por la creación, sin ser necesario acudir a ningún registro para el nacimiento del derecho. A pesar de que no es preciso el registro para poseer el derecho, la Ley regula la existencia de un Registro Intelectual en el que inscribir este tipo de creaciones.

La propiedad intelectual se regula en España por el Real decreto Legislativo 1/1996, por el que se aprueba el texto refundido de la Ley de Propiedad Intelectual, regularizando, aclarando y armonizando las disposiciones legales vigentes sobre la materia. La Ley de Propiedad Intelectual de 11 de Noviembre de 1987 (BOE de 7/11/1987), y en el artículo 10 recoge las materias de que es objeto:

1. Son objeto de propiedad intelectual todas las creaciones originales literarias, artísticas o científicas expresadas por cualquier medio o soporte, tangible o intangible, actualmente conocido o que se invente en el futuro, comprendiéndose entre ellas:

Los libros, folletos, impresos, epistolarios, escritos, discursos y alocuciones, conferencias, informes forenses, explicaciones de cátedra y cualesquiera otras obras de la misma naturaleza.

- a) Las composiciones musicales con o sin letra.
 - b) Las obras dramáticas y dramático musicales, las coreografías, las pantomimas y, en general, las obras teatrales.
 - c) Las obras cinematográficas y cualesquiera otras obras audiovisuales.
 - d) Las esculturas y las obras de pintura, dibujo, grabado, litografía, y las historietas gráficas, tebeos o cómics, así como sus ensayos o bocetos y las demás obras plásticas, sean o no aplicadas.
 - e) Los proyectos, planos, maquetas y diseños de obras arquitectónicas y de ingeniería.
 - f) Los gráficos, mapas y diseños relativos a la topografía, la geografía y, en general, a la ciencia.
 - g) Las obras fotográficas y las expresadas por procedimiento análogo a la fotografía.
 - h) Los programas de ordenador.
2. El título de una obra, cuando sea original, quedará protegido como parte de ella.

Titularidad del proyecto

Sobre este tema no existe hasta el momento una normativa a la que atenerse, por lo tanto, tenemos que ajustarnos a alguna publicación específica sobre el tema, cuyo contenido indique, o del que pueda inferirse la titularidad del proyecto. En concreto, en el capítulo 7 de “La política y la gestión de la propiedad industrial en un centro público de investigación” de Ignacio Fernández de Lucio y Domingo Represa Sánchez, aparecen una serie de documentaciones, que sin referirse concretamente a la situación que nos ocupa (proyecto fin de carrera), sí podemos extrapolar de alguna manera el estado legal del mismo, en cuanto a su titularidad, y participación de su explotación, si la hubiera.

En este sentido, podemos destacar de dicha obra lo siguiente:

“Titularidad de los resultados”

En la actualidad, teniendo en cuenta la complejidad y los costes de las investigaciones, la mayor parte de las invenciones se llevan a cabo en el seno de las empresas, universidades u OPIS; ya casi no existe el inventor solitario que, a través de su ingenio y por su cuenta, tiene una idea genial y la plasma en una invención. Esto hace que se tenga que regular a quién y en que condiciones pertenecen los resultados de la investigación realizada por los trabajadores en las empresas. En los casos en que la titularidad pertenezca a la empresa, será sin perjuicio del derecho que tiene el trabajador o trabajadores a aparecer como inventores de la misma (Véase el artículo 14 de la Ley de Patentes y el artículo 4º. Ter. del Acta de Estocolmo de 14 de julio de 1967 modificativa del Convenio de París para la Protección de la Propiedad Industrial, publicado en el BOE de 1 de febrero de 1974) y los artículos 14 a 20 de la Ley española de patentes, Ley 11, de 20 de Marzo de 1986, de patentes, J.M: Oter Lastres et al (1987).

Invenciones universitarias y de organismos públicos de investigación

El artículo 20 de la Ley de Patentes regula esta materia y remite a los Estatutos de las Universidades el desarrollo de la misma (más información en M. Pérez de 1984).

El artículo 20.1 dice:

“Las normas del presente Título serán aplicables a los funcionarios y trabajadores del Estado, Comunidades Autónomas, Provincias, Municipios y demás Entes Públicos sin perjuicio de los previstos en los párrafos siguientes”.

Los párrafos siguientes regulan esta materia para las invenciones realizadas por profesores e investigadores de la Universidad, así como su posible aplicación a los investigadores de OPIS.

La titularidad de las invenciones realizadas por los profesores pertenece a la Universidad, si esta invención es producto de la investigación que realiza dentro de su función o actividad de profesor, permitiendo, sin embargo, el Art. 11 de LRU sobre contratación con terceros, que se determine en el contrato la titularidad de los resultados, A. Bercovitz (1986).

El artículo 20, en su apartado 2, atribuye a la Universidad la titularidad de las patentes creadas como consecuencia de la función de investigación, sin perjuicio del artículo 14 de la Propia Ley en el que se dice:

El inventor tiene frente al titular de la solicitud de la patente el derecho a ser mencionado como tal inventor en la patente.

La titularidad económica corresponde a la Universidad aunque, como se verá más adelante, el profesor tenga derecho a una participación en los beneficios. También, pertenece al profesor el derecho moral a aparecer como creador, considerándose éste un derecho personalísimo al que no le pueden obligar a renunciar.

La participación de los profesores en los beneficios de las invenciones se recoge en el apartado 4 del mismo artículo, que regula el derecho de los inventores a participar en los beneficios que obtenga la universidad con estas invenciones.

La regulación de esta materia se tiene que realizar en los distintos estatutos de las universidades, como se señala en el mencionado artículo 20 de la ley de Patentes.

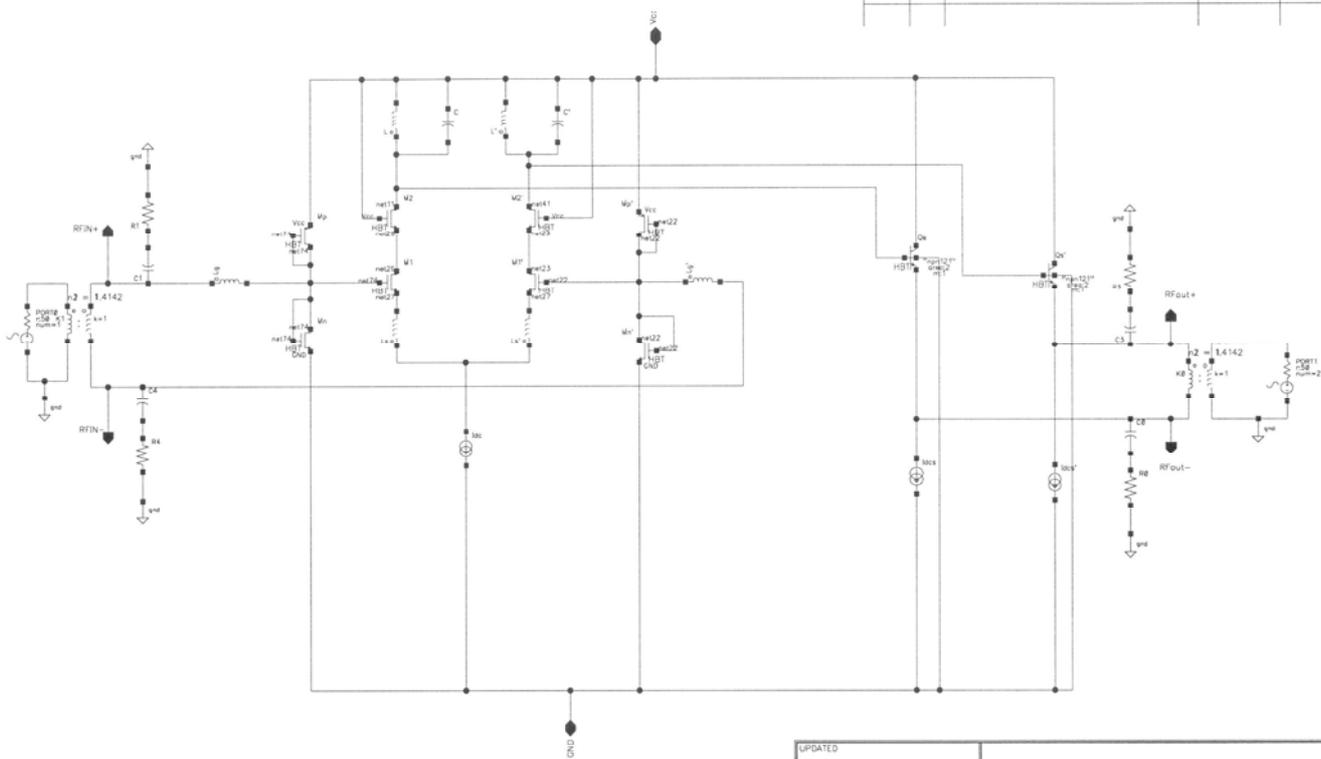
En la práctica pocos son los Estatutos de universidad que recogen esta regulación y si lo hacen es de forma incompleta ya que, al ser en muchos casos posteriores a la Ley de Patentes, no contemplan todas las situaciones previstas en ella, a lo que cabe añadir la dificultad que supone la modificación de los Estatutos...

ANEXOS

Anexo A

EAGE NO. DWG NO. Sht 1 REV

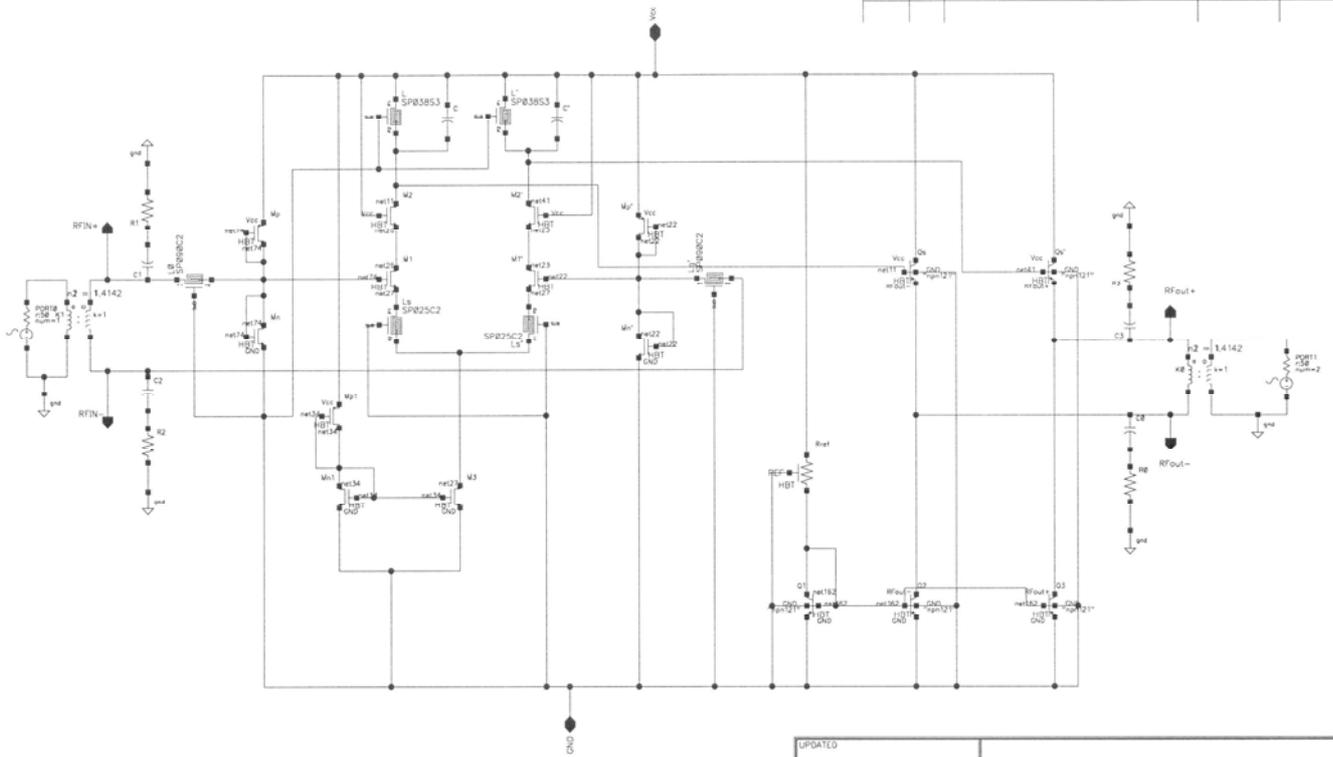
REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



UPDATED	Sep 23 12:23:01 2001			
DRAWN	Figura 2			
CHECKED	SIZE	CAGE NO.	DWG NO.	REV
CHECKED	B			
ISSUED	SCALE		SHEET	1 OF 1

CAGE NO. DWG NO. S1 REV

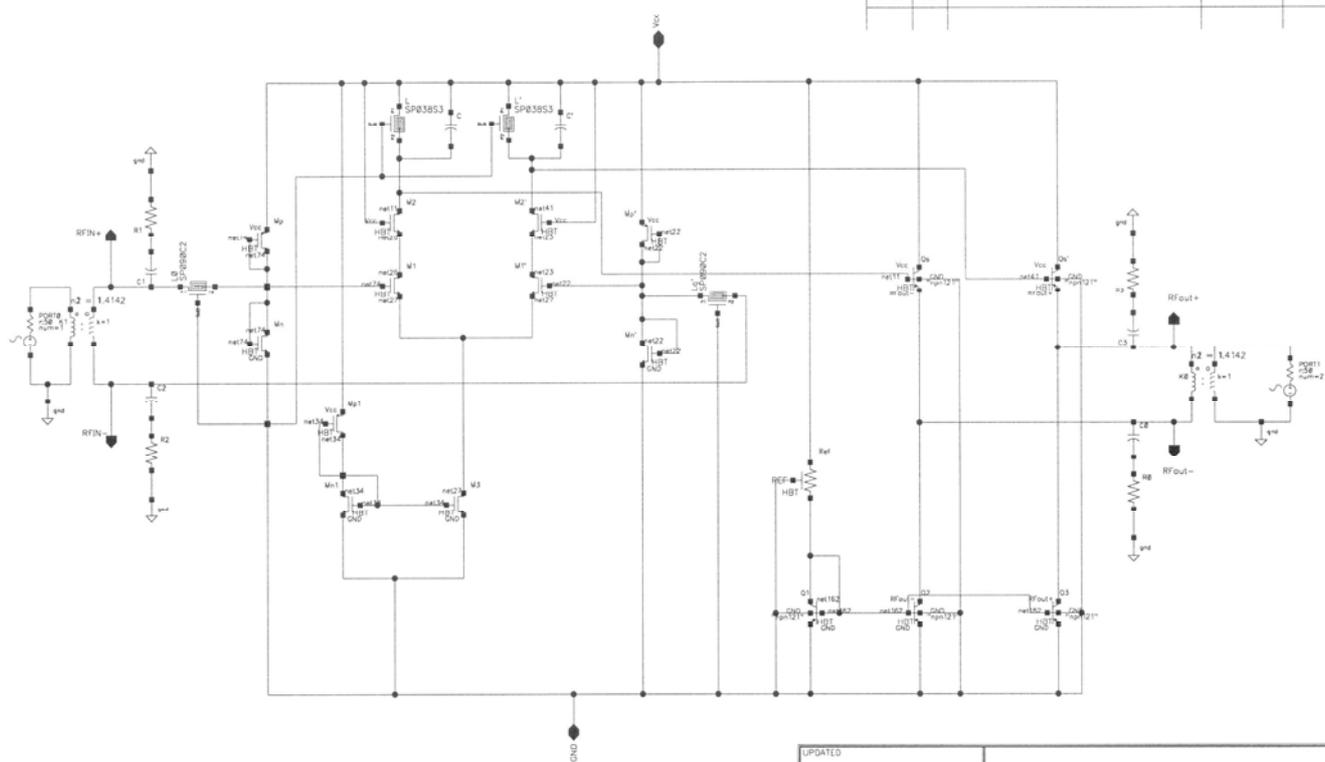
REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



UPDATED	Sep 23 12:37:12 2001			
DRAWN				
CHECKED				
CHECKED	SIZE	CAGE NO.	DWG NO.	REV
ISSUED	B			
	SCALE		SHEET	1 OF 1

Figura 3

REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

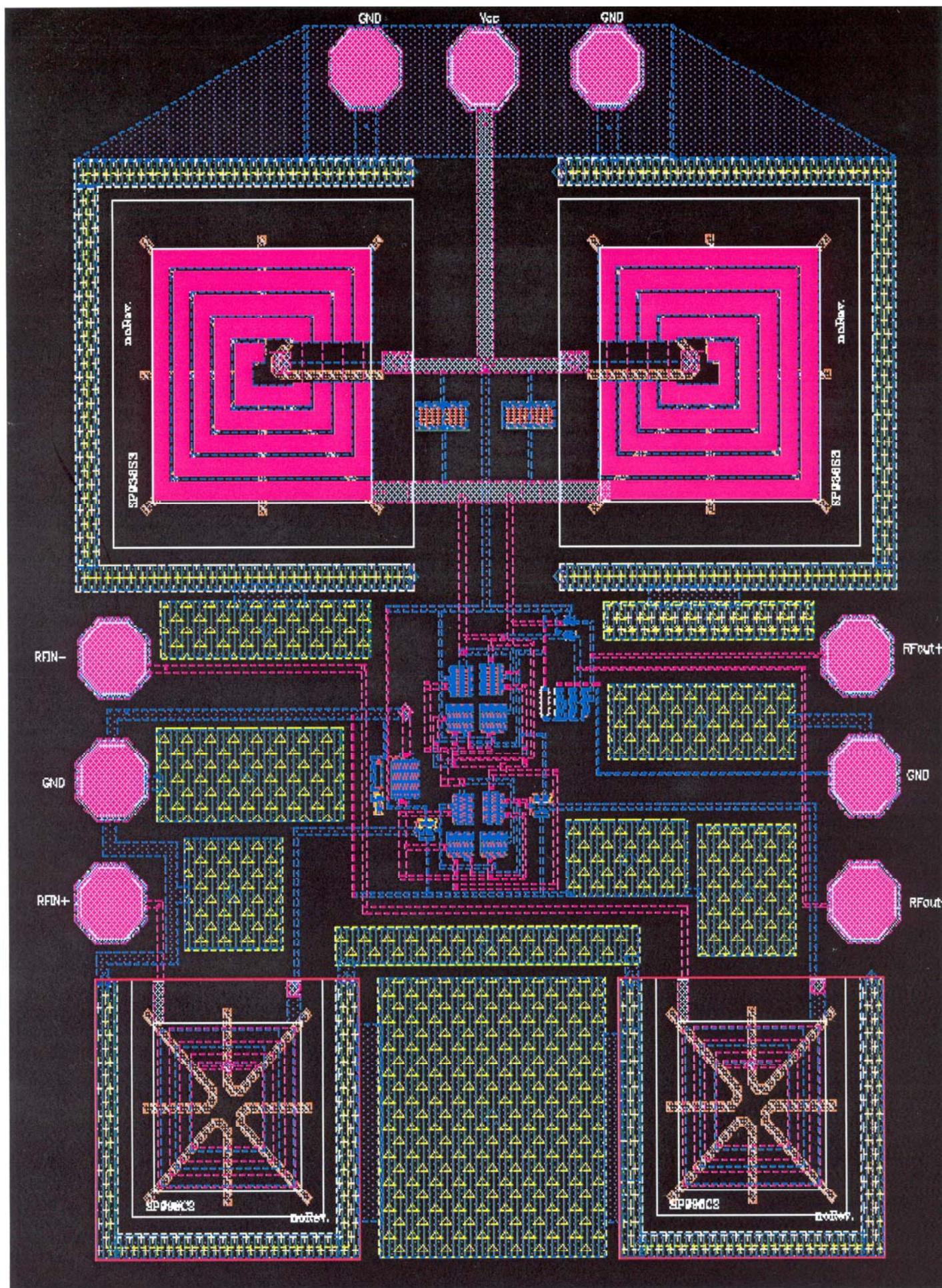


UPDATED	Sep 23 12:38:02 2001
DRAWN	
CHECKED	
CHECKED	
ISSUED	

Figura 4

SIZE	B	CAGE NO.	DWG NO.	REV
SCALE				

Anexo B



Layout del LNA