

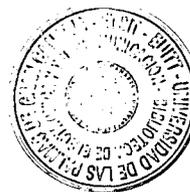
UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO EN
TECNOLOGÍA BiCMOS 0,8 μm . PARA UN TERMINAL RECEPTOR
DE BLUETOOTH**



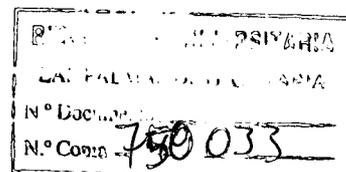
ESPECIALIDAD: SISTEMAS ELECTRÓNICOS

DIRECTORES: FRANCISCO JAVIER DEL PINO SUÁREZ

JOSÉ RAMÓN SENDRA SENDRA

AUTOR: JOSÉ FRANCISCO CURBELO GUADALUPE

FECHA: JULIO 2003



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO EN
TECNOLOGÍA BiCMOS 0,8 μm . PARA UN TERMINAL RECEPTOR
DE BLUETOOTH**

Presidente:

Secretario:

Vocal:

Directores:

NOTA:.....10 (MH)

Autor:

ESPECIALIDAD: SISTEMAS ELECTRÓNICOS

DIRECTORES: FRANCISCO JAVIER DEL PINO SUÁREZ

JOSÉ RAMÓN SENDRA SENDRA

AUTOR: JOSÉ FRANCISCO CURBELO GUADALUPE

FECHA: JULIO 2003

*A mis sobrinos Diego y Gonzalo,
a los cuales echo mucho de menos*

Agradecimientos

Si a alguien tuviera que agradecer de sobremanera lo que soy como persona y he conseguido, éstos son sin duda alguna mis padres, que con su esfuerzo y apoyo han logrado que termine una etapa de mi vida y comience con ilusión otra.

A mi niña Mariemi, por su apoyo incondicional y comprensión, a la cual le he dado más de un dolor de cabeza.

A todos mis amigos canariones como conejeros que siempre me han animado a seguir adelante.

Por último y no menos importante a mis dos tutores Javier Del Pino y José Ramón Sendra, sin los cuales no podría haber llevado este proyecto a buen puerto. Les agradezco enormemente su disposición y buenas maneras que siempre les han caracterizado en la realización de este proyecto.

De manera especial no podía dejar de agradecer a Sunil el haberme sacado del atolladero más de una vez.

| | |
|-------------------|-----|
| Peticionario..... | I |
| Antecedentes..... | II |
| Objetivos..... | III |
| Resumen..... | VI |

MEMORIA

| | |
|--|-----------|
| 1. Tecnología bluetooth..... | 1 |
| 1.1 CARACTERÍSTICAS DEL ENLACE RADIO..... | 5 |
| 1.1.1 TRANSMISIÓN..... | 5 |
| 1.1.2 ESTABLECIMIENTO DE LA CONEXIÓN | 6 |
| 1.2 APLICACIONES DE LA TECNOLOGÍA BLUETOOTH..... | 7 |
| 1.3 TIPOS DE RECEPTORES PARA BLUETOOTH..... | 12 |
| 1.3.1 ARQUITECTURA SUPERHETERODINA..... | 12 |
| 1.3.2 ARQUITECTURA HOMODINA..... | 16 |
| 1.4 FUNDAMENTOS BÁSICOS DEL LNA..... | 17 |
| 1.5 ESQUEMÁTICO DEL RECEPTOR BLUETOOTH..... | 18 |
| 2. Tecnologías de fabricación | 19 |
| 2.1 ARSENIURO DE GALIO (AsGa)..... | 20 |
| 2.1.1 TECNOLOGÍA MESFET..... | 21 |
| 2.1.2 TECNOLOGÍA HBT..... | 21 |
| 2.2 SILICIO (Si)..... | 22 |
| 2.2.1 TECNOLOGÍA BIPOLAR (BJT)..... | 23 |
| 2.2.2 TECNOLOGÍA METAL-ÓXIDO-SEMICONDUCTOR (MOSFET)..... | 24 |
| 2.2.3 TECNOLOGÍA BiCMOS..... | 25 |
| 2.3 SILICIO-GERMANIO (SiGe)..... | 25 |
| 2.4 COMPARACIÓN DE LAS CARACTERÍSTICAS PRINCIPALES ENTRE TECNOLOGÍAS..... | 27 |
| 2.4.1 TECNOLOGÍA AsGa..... | 27 |
| 2.4.2 TECNOLOGÍA BIPOLAR..... | 27 |
| 2.4.3 TECNOLOGÍA CMOS..... | 27 |
| 2.4.4 TECNOLOGÍA BiCMOS..... | 27 |
| 2.4.5 TECNOLOGÍA SiGe..... | 28 |

| | |
|---|-----------|
| 2.5 ELECCIÓN DE LA TECNOLOGÍA DE FABRICACIÓN..... | 29 |
| 2.6 ESTUDIO DE LA TECNOLOGÍA BiCMOS..... | 30 |
| 2.6.1 TRANSISTORES DE EFECTO DE CAMPO METAL-OXIDO- SEMICONDUCTOR (MOSFET)..... | 30 |
| 2.6.2 FUNCIONAMIENTO DEL TRANSISTOR NMOS..... | 33 |
| 2.6.3 CURVAS CARACTERÍSTICAS DE UN NMOS..... | 36 |
| 2.6.4 FUNCIONAMIENTO DEL TRANSISTOR PMOS..... | 37 |
| 2.6.5 TRANSISTOR MOS EN ALTA FRECUENCIA..... | 37 |
| 3. Conceptos Básicos de Sistemas de RF..... | 41 |
| 3.1 RUIDO EN CIRCUITOS INTEGRADOS DE RF..... | 41 |
| 3.1.1 TIPOS DE RUIDO EN CIRCUITOS INTEGRADOS..... | 42 |
| 3.1.1.1 Ruido shot..... | 42 |
| 3.1.1.2 Ruido térmico..... | 45 |
| 3.1.1.2.2 Ruido térmico en transistores MOS..... | 46 |
| 3.1.1.3 Ruido flicker..... | 48 |
| 3.1.1.4 Ruido de ráfaga (" <i>ruido pop corn</i> ")..... | 50 |
| 3.1.2 FIGURA DE RUIDO..... | 51 |
| 3.1.2.1 Figura de ruido en etapas en cascada..... | 53 |
| 3.2 ADAPTACIÓN DE IMPEDANCIAS..... | 54 |
| 3.2.1 COEFICIENTE DE REFLEXIÓN..... | 55 |
| 3.2.1.1 Coeficiente de onda estacionario VSWR..... | 56 |
| 3.3 GANANCIA..... | 56 |
| 3.4 FIDELIDAD Y DISTORSIÓN..... | 57 |
| 3.4.1 FIDELIDAD..... | 57 |
| 3.4.2 DISTORSIÓN..... | 57 |
| 3.4.2.1 Distorsión armónica..... | 57 |
| 3.4.2.2 Distorsión de intermodulación o de dos tonos..... | 58 |
| 3.4.2.3 Influencia del iP_3 de un elemento de la cadena..... | 59 |
| 3.5 PARÁMETROS S..... | 59 |
| 3.5.1 PARÁMETRO S_{11} | 61 |
| 3.5.2 PARÁMETRO S_{22} | 61 |
| 3.5.3 PARÁMETRO S_{12} | 61 |
| 3.5.4 PARÁMETRO S_{21} | 61 |

| | |
|---|-----------|
| 4. Arquitecturas típicas de un LNA..... | 63 |
| 4.1 ARQUITECTURA DIFERENCIAL..... | 63 |
| 4.1.1 ARQUITECTURA DIFERENCIAL CON BIPOLARES..... | 65 |
| 4.1.1.1 Análisis de las configuraciones en modo común y diferencial..... | 66 |
| 4.1.1.2 Relación de rechazo en modo común..... | 71 |
| 4.1.1.3 Amplificador diferencial bipolar con fuente de corriente..... | 71 |
| 4.1.2 ARQUITECTURA DIFERENCIAL CON MOSFET..... | 73 |
| 4.2 ARQUITECTURA SIMPLE..... | 75 |
| 4.3 COMPARATIVA ENTRE ARQUITECTURA SIMPLE Y DIFERENCIAL..... | 78 |
| 4.3.1 CONSUMO EN ETAPA SIMPLE Y DIFERENCIAL..... | 78 |
| 4.3.2 RUIDO EN LA ARQUITECTURA SIMPLE Y EN LA ARQUITECTURA DIFERENCIAL..... | 80 |
| 4.3.3 INTEGRABILIDAD DE LA ETAPA DIFERENCIAL..... | 82 |
| 4.3.4 COMPARATIVA FINAL..... | 83 |
| 4.4 ETAPA DE AMPLIFICACIÓN CASCODO..... | 85 |
| 4.4.1 ESTUDIO EN FRECUENCIA DEL AMPLIFICADOR CASCODO..... | 85 |
| 4.4.1.1 Respuesta en Frecuencia del Amplificador Fuente Común..... | 85 |
| 4.4.1.2 Respuesta en frecuencia del amplificador cascode..... | 88 |
| 4.5 ADAPTACIÓN DE IMPEDANCIAS..... | 91 |
| 4.5.1 ADAPTACIÓN DE LA IMPEDANCIA DE ENTRADA..... | 91 |
| 4.5.1.1 Adaptación Resistiva..... | 91 |
| 4.5.1.2 Adaptación con Etapa Puerta Común..... | 93 |
| 4.5.1.3 Degeneración inductiva..... | 93 |
| 4.5.1.4 Estudio teórico de la red de adaptación por degeneración inductiva..... | 95 |
| 4.5.2 ADAPTACIÓN DE LA IMPEDANCIA DE SALIDA..... | 98 |
| 4.5.2.1 Etapa Seguidor de Fuente..... | 99 |
| 4.5.2.2 Etapa Fuente Común..... | 101 |
| 4.6 REFERENCIA DE TENSIÓN..... | 102 |
| 4.7 FUENTES DE CORRIENTE Y CARGAS ACTIVAS..... | 104 |
| 4.7.1 ESPEJO DE CORRIENTE CON TRANSISTORES BIPOLARES..... | 104 |
| 4.7.2 FUENTES DE CORRIENTE SIMPLES FET..... | 109 |

| | |
|---|------------|
| 4.7.3 FUENTES DE CORRIENTE INDEPENDIENTES DE LA TENSIÓN DE POLARIZACIÓN..... | 114 |
| 4.7.4 FUENTE DE CORRIENTE COMO CARGA ACTIVA | 115 |
| 4.8 ELECCIÓN DE LA TENSIÓN DE ALIMENTACIÓN | 117 |
| 4.9 ELEMENTOS EXTRAS | 119 |
| 4.9.1 EFECTO DEL PAD CONEXIÓN..... | 119 |
| 4.9.2 INDUCTANCIA DEL BONDWIRE..... | 120 |
| 4.9.3 EFECTO DEL EMPAQUETAMIENTO..... | 120 |
| 5. Diseño y simulación del LNA..... | 123 |
| 5.1 DISEÑO SELECCIONADO..... | 123 |
| 5.2 ESTIMACIONES INICIALES..... | 127 |
| 5.2.1 DIMENSIONADO DE LA RED DE ADAPTACIÓN DE ENTRADA..... | 127 |
| 5.2.2 CÁLCULO DE LA TRANSCONDUCTANCIA DEL TRANSISTOR T1..... | 128 |
| 5.2.3 DIMENSIONADO Y POLARIZACIÓN DE LA ETAPA CASCODO..... | 131 |
| 5.2.4 POLARIZACIÓN DE LA ETAPA CASCODO..... | 132 |
| 5.2.5 DIMENSIONADO DEL TRANSISTOR DE LA ETAPA DE SALIDA Ts Y CORRIENTE DE POLARIZACIÓN I_{dc} | 132 |
| 5.3 SIMULACIÓN DEL DISEÑO..... | 133 |
| 5.3.1 CIRCUITO SIN ADAPTACIÓN DE ENTRADA NI SALIDA..... | 133 |
| 5.3.2. SIMULACIÓN CON ADAPTACIÓN DE SALIDA..... | 141 |
| 5.3.3. CIRCUITO CON ADAPTACIÓN DE ENTRADA Y SALIDA..... | 146 |
| 6.Layout..... | 165 |
| 6.1 - LAYOUT DE PISTAS..... | 165 |
| 6.1.1 LAYOUT DE PISTAS DE ALIMENTACIÓN..... | 166 |
| 6.1.2. PISTAS PARA LA TRANSMISIÓN DE SEÑALES..... | 167 |
| 6.2 LAYOUT DE RESISTENCIAS..... | 169 |
| 6.3 LAYOUT DE CONDENSADORES..... | 171 |
| 6.4 LAYOUT DE INDUCTORES..... | 174 |
| 6.5 LAYOUT DE PADS..... | 175 |
| 6.6 LAYOUT DE TRANSISTORES..... | 179 |
| 6.7 SIMULACIONES POST-LAYOUT..... | 181 |
| 6.8 LAYOUT FINAL..... | 182 |

| | |
|---|------------|
| 7. Conclusiones y trabajos futuros..... | 185 |
| 7.1 TRABAJOS FUTUROS..... | 187 |
| | |
| Bibliografía..... | 189 |
| Presupuesto..... | 191 |
| Pliego de condiciones..... | 197 |
| Anexo I: guía rápida de usuario para el software Cadence..... | 201 |

El peticionario de este proyecto fin de carrera es el Laboratorio de Dispositivos Optoelectrónicos adscrito al Departamento de Ingeniería Electrónica y Automática de la Universidad de Las Palmas de Gran Canaria.

Hoy en día, mucha gente lleva numerosos dispositivos portátiles, tales como ordenadores, teléfonos móviles, PDA y reproductores mp3, para usarlos en sus vidas profesionales y privadas. Para la mayoría, estos dispositivos se usan por separado, esto es, sus aplicaciones no interactúan. Imagínese, sin embargo, que pudiesen interactuar directamente: los participantes de una reunión podrían compartir documentos o presentaciones; las tarjetas de visita irían a parar automáticamente al registro de direcciones en un ordenador portátil y el número se registraría en un teléfono móvil; etc...

Estos ejemplos de comunicación inalámbrica espontánea entre dispositivos podrían ser definidos de manera informal como un esquema, al que a menudo se le denomina “*formación de redes ad hoc*”, que permite a los dispositivos establecer la comunicación, en cualquier momento y en cualquier lugar, sin la ayuda de una infraestructura central. En realidad, la formación de redes *ad hoc* como tal no es nueva, sino la configuración, el uso y los participantes. En el pasado, la noción de redes *ad hoc* se asociaba con frecuencia con la comunicación en los campos de combate y en los emplazamientos de zonas desastrosas; ahora, al materializarse nuevas tecnologías tales como Bluetooth, es probable que cambie el escenario de la formación de redes *ad hoc*, así como su importancia.

Por otro lado, la rápida evolución de las tecnologías de fabricación de circuitos integrados, ha posibilitado que el diseño de cabezales de RF que antes sólo era posible en tecnología Bipolar o de Arseniuro de Galio sean hoy posibles de integrar en tecnologías como CMOS y BiCMOS. De esta forma se abarata el precio de los equipos y al mismo tiempo se consigue una alta integrabilidad de los terminales debido a la posibilidad de implementar en un mismo chip la parte analógica y la digital.

El trabajo realizado en este proyecto se enmarca en la tendencia actual de lograr el diseño de componentes de radio frecuencias en bandas superiores a 1 GHz. Más concretamente, se ha optado por el diseño de un componente indispensable en un receptor Bluetooth como es el amplificador de bajo ruido (*LNA*).

Este proyecto tiene como objetivo directo el diseño de un amplificador de bajo ruido (*LNA*) integrado en tecnología BiCMOS 0,8 μm . Como se ha dicho en los antecedentes, este elemento es una etapa básica en el equipo de radiofrecuencia de un receptor Bluetooth.

Para realizar el diseño del LNA, se utilizará el programa CADENCE y una determinada tecnología de fabricación, (HBT-BiCMOS 0,8 μm). Esta tecnología la proporcionará la empresa AMS (*Austria Mikro Systeme Intemational AG*) siendo el proceso de fabricación utilizado el BYR.

El amplificador deberá cumplir una serie de especificaciones marcadas por el peticionario para su aplicación en un receptor de Bluetooth. Estas especificaciones se detallan en el capítulo 1 del presente proyecto. Por tanto, se intentará realizar el diseño que más se adapte a estas especificaciones.

Así mismo, con el presente proyecto se da cumplimiento al requisito académico de presentación del Proyecto Fin de Carrera en la Escuela Universitaria de Ingeniería Técnica de Telecomunicaciones para la obtención del título de Ingeniero Técnico de Telecomunicaciones.

La memoria de este proyecto está dividida en 7 capítulos.

En el primer capítulo, se realiza un estudio del sistema Bluetooth, para enmarcar el ámbito donde trabajará el componente a diseñar. Al mismo tiempo, se describen las principales arquitecturas de receptores para Bluetooth y dentro de esto, las características más importantes del amplificador de bajo ruido. Al final del mismo capítulo, se marcarán las especificaciones o características que debe cumplir el diseño.

En el capítulo 2 se enumeran las principales tecnologías de fabricación de circuitos integrados existentes en el mercado y sus características. Por otro lado, se realiza un pequeño estudio de la tecnología elegida y la razón de su utilización.

En el capítulo 3 se verán una serie de conceptos básicos relacionados con el diseño de circuitos integrados de RF y se entrará con detenimiento en el estudio de las especificaciones dadas para el *LNA*.

En el capítulo 4 se va a exponer toda la información referida a las diferentes arquitecturas entre las que se puede elegir a la hora de realizar el diseño de un amplificador de bajo ruido. Al mismo tiempo, se llevará a cabo un estudio teórico de cada arquitectura donde se expondrán sus características más importantes. Nos centraremos sobre todo en analizar las ventajas y desventajas de cada una de ellas de cara a conseguir la arquitectura que más se adapte a las especificaciones de diseño deseadas.

En el capítulo 5 se presenta la arquitectura elegida para realizar el diseño del *LNA* de nuestro proyecto y se exponen los cálculos realizados para hallar los valores de los distintos componentes. Además se presentan también los resultados obtenidos tras las distintas simulaciones.

El capítulo 6 está dedicado a la realización del layout del *LNA*. Se describe brevemente las técnicas que existen para realizar el layout y se muestra el layout final. Así mismo, se realiza la simulación postlayout del circuito y se presentan los resultados.

En el capítulo 7 resumimos los resultados, presentamos las conclusiones y se plantean las líneas futuras de trabajo que se pueden llevar a cabo.

También incluimos al final de la memoria en el anexo I una guía rápida de usuario para el software Cadence.

MEMORIA

CAPÍTULO 1

Tecnología bluetooth

La tecnología Bluetooth es una especificación abierta para la comunicación inalámbrica (WIRELESS) de datos y voz. Está basada en un enlace de radio de bajo coste y corto alcance, implementado en un circuito integrado, proporcionando conexiones instantáneas (ad hoc) para entornos de comunicaciones tanto móviles como estáticos. En definitiva, Bluetooth pretende ser una especificación global para la conectividad inalámbrica.



Figura 1.1. Establecimiento de comunicación entre un ordenador portátil y un teléfono móvil.

El principal objetivo de esta tecnología, es la posibilidad de reemplazar el elevado número de cables que conectan unos dispositivos con otros por medio de un enlace de radio universal de corto alcance. Por ejemplo, la tecnología de radio Bluetooth implementada en el teléfono móvil y en el ordenador portátil reemplazaría el molesto cable utilizado hoy en día para conectar ambos aparatos tal y como muestra la *figura 1.1*. Las impresoras, las agendas electrónicas, los PDA, los faxes, los teclados, los joysticks y prácticamente cualquier otro dispositivo digital son susceptibles de formar parte de un sistema Bluetooth (*ver figuras 1.2 y 1.3*).

Pero más allá de reemplazar los con frecuencia incómodos cables, la tecnología Bluetooth ofrece un puente a las redes de datos existentes fuera de cualquier estructura fija de red.



(a)



(b)

Figura 1.2. a) Teléfono móvil. b) PDA.

Las diferentes partes del sistema Bluetooth son:

- Una unidad de radio
- Una unidad de control del enlace
- Gestión del enlace
- Funciones software



Figura 1.3. Teléfono móvil con agenda electrónica.

Con la intención de clarificar lo que realmente significa e implica esta tecnología, hemos recogido una serie de definiciones empleadas en entornos Bluetooth:

- Piconet: colección de dispositivos (de 2 a 8) conectados por medio de la tecnología Bluetooth. Todos los dispositivos tienen la misma implementación. Sin embargo, al crearse la red una unidad actuará como maestra y el resto como esclavas mientras dure la conexión (*figura 1.4*).
- Scatternet: varias piconet independientes y no sincronizadas forman una scatternet (*figura 1.5*).
- Dirección Mac: dirección de tres bits para distinguir a los miembros de la piconet
- Parked: una unidad en una piconet se encuentra en este modo cuando está sincronizada pero no tiene una dirección MAC.
- Modos Sniff y Hold: modos de ahorro de energía para los dispositivos de una piconet.

El sistema Bluetooth permite conexiones punto a punto y punto a multipunto. Se pueden establecer varias piconet y enlazarlas, de forma que cada piconet se identificará por una secuencia de saltos de frecuencia distinta. Cada usuario dentro de una misma piconet estará sincronizado a esta secuencia de saltos. Por tanto, la topología de red se puede describir como una estructura de múltiples piconets. La velocidad de datos en full-dúplex dentro de una estructura como la descrita, con 10 piconets con carga máxima es de 6 Mb/s [9].

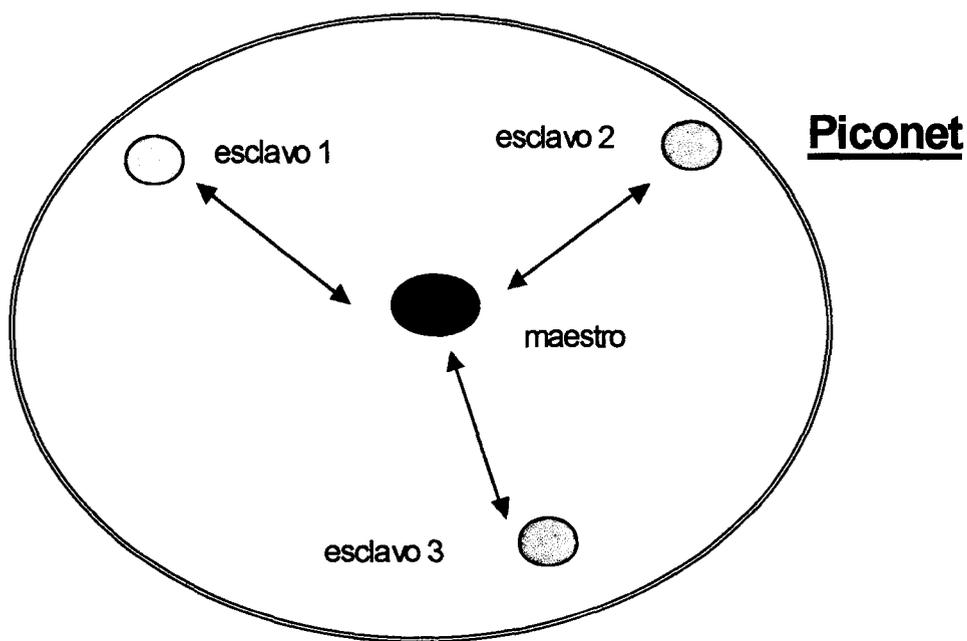


Figura 1.4. Piconet.

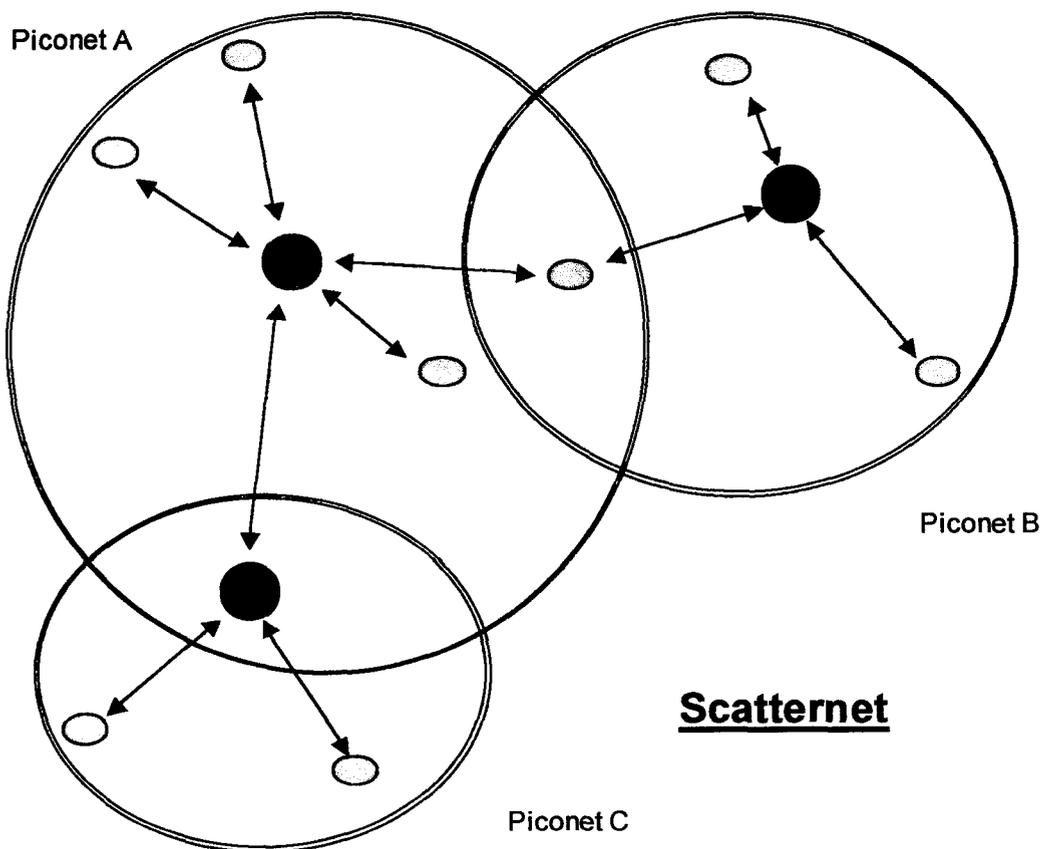


Figura 1.5. Scatternet.

1.1 CARACTERÍSTICAS DEL ENLACE RADIO

Bluetooth está diseñado para operar en un entorno de radio frecuencia ruidoso, utiliza un esquema de reconocimiento rápido y saltos de frecuencia para garantizar la robustez del enlace. Bluetooth opera en la banda de frecuencia de 2,4 GHz, libre para ISM (Industrial, Scientific, Medical). Los módulos de radio bluetooth eliminan la interferencia con otras señales saltando a una nueva frecuencia inmediatamente después de transmitir o recibir un paquete. Comparando con otros sistemas que operan en la misma frecuencia, Bluetooth salta más rápido y usa paquetes más pequeños. Esto le hace más robusto que la mayoría de otros sistemas. Además, de esta forma también se limita el impacto de los hornos de microondas, tanto domésticos como profesionales. El empleo de una corrección de error hacia delante (FEC, Forward Correction Error) reduce el efecto del ruido aleatorio en enlaces de larga distancia.

1.1.1 TRANSMISIÓN

La codificación se ha optimizado para un entorno no coordinado. La velocidad de los datos viene a ser de 1Mb/s. Se utiliza un esquema de división en el tiempo para la transmisión en full-dúplex. El protocolo de banda base de Bluetooth es una combinación de conmutación de paquetes y de circuitos. Se pueden reservar ranuras para paquetes síncronos y cada paquete se transmite en un salto de frecuencia distinto.

Bluetooth puede soportar un canal de datos asíncrono, hasta tres canales síncronos de voz simultáneos, o un canal que simultáneamente soporta datos asíncronos y voz síncrona. Cada canal de voz permite un enlace síncrono de 64 Kb/s. El canal asíncrono permite un enlace asimétrico de 721 Kb/s y 57,6 Kb/s en la respuesta, o en un enlace simétrico de 432,6 Kb/s.

En cuanto a la señal de radio, se ha añadido una expansión del espectro para facilitar la operación a niveles de potencia de más de 100mW. Se producen además 79 saltos en frecuencia desplazados 1 MHz, de 2,402 GHz a 2,480 GHz. Debido a regulaciones locales, el ancho de banda se ve reducido en Francia, España y Japón. Esto es gestionado por el software interno. La frecuencia máxima de salto es de 1.600 por

segundo. La distancia nominal del enlace está comprendida entre 10 cm y 10 m, pero se puede aumentar a más de 100 metros elevando la potencia de transmisión.

En el caso de España, esto es lo que dice el “Cuadro Nacional de Atribución de frecuencias 1996” UN – 85. [9]

- *Banda de frecuencias 2445 a 2475 MHz. Estas frecuencias podrán ser utilizadas en redes de área local para la interconexión sin hilos entre ordenadores y/o terminales y dispositivos periféricos para aplicaciones en el interior de edificios.*

La potencia total no excederá de 100 mW (PIRE)

En cuanto al pico de densidad espectral, su valor no excederá de 20dbm/100Hz. Usando modulación de espectro ensanchado con salto de frecuencia, dicho valor no excederá de 17dBW/MHz. Otras condiciones y características de dicha utilización se ajustarán a la recomendación CEPT T/R 10 – 01.

- *Banda de frecuencias 2445 a 2455 MHz. Aplicaciones de baja potencia para transmisión de datos por radio en recintos cerrados y exteriores de corto alcance. Las características radioeléctricas de estos aparatos se ajustarán a la recomendación CEPT 60 – 01 así como a las condiciones particulares que se requieran, si es el caso, y que también deberán indicarse en el correspondiente certificado de aceptación*

La potencia radiada máxima autorizada no excederá de 100 mW. Esta utilización se considera de uso común.

1.1.2 ESTABLECIMIENTO DE LA CONEXIÓN

Antes de que ninguna conexión sea establecida en una piconet, los dispositivos están en modo “standby “. Cada uno busca mensajes periódicamente cada 1.28 segundos. Cuando un dispositivo despierta, escucha en un conjunto de 32 frecuencias distintas, definidas para esa unidad. El número de frecuencias varía según la región geográfica.

El procedimiento de conexión puede ser iniciado por cualquiera de los dispositivos, el cual automáticamente se convertirá en la estación maestra de la piconet. Para ello, enviará un mensaje de interrogación para encontrar unidades desconocidas y un mensaje de inicio a todas las direcciones conocidas. La estación maestra puede poner a las esclavas en modo “*hold*” cuando no se transmiten datos. Las estaciones esclavas pueden solicitar a la maestra que les pase a modo “*hold*”. En este estado solo se mantiene un contador interno. Hay otros dos modos de ahorro de energía. En el modo “*sniff*” las estaciones esclavas reducen la frecuencia con que escuchan la red. En el modo “*park*” el dispositivo sigue sincronizado, pero pierde su dirección MAC y sólo escucha la red ocasionalmente para mensajes “*broadcast*”.

1.2 APLICACIONES DE LA TECNOLOGÍA BLUETOOTH

Dentro del campo de la tecnología su aplicación es inmediata ya que permite una comunicación fácil e instantánea en cualquier lugar y su coste es bajo.

Del mismo modo, su aplicación será amplia y fructífera en los sectores industriales de:

- Automoción, Aeronáutico, Naval, otros transportes.
- Bienes de equipo mecánico, eléctrico, electrodomésticos, etc...
- Ordenadores, equipos de oficina, hogar.
- Telecomunicaciones y equipos electrónicos.
- Otros segmentos industriales.

Finalmente, no podemos olvidar el espacio que empieza a ocupar en los sectores de servicios:

- Financieros.
- Contenidos, ocio.
- Administración y servicios públicos.
- Servicios privados a empresas.

Un ejemplo, (ver *figura 1.6*) puede ser el del ejecutivo que al llegar a su oficina, su PDA (*Personal Digital Assistant*) que esta dentro de su cartera, se sincroniza automáticamente con su PC y transfiere archivos, e-mails e información de programa.

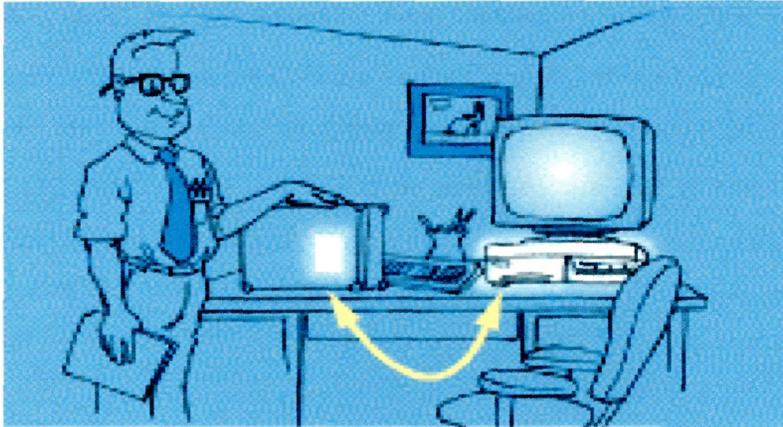


Figura 1.6. Aplicación tecnología bluetooth.

Mientras está en una reunión, accede al PDA para enviar su presentación al cañón electrónico tal y como aparece en la *figura 1.7*.

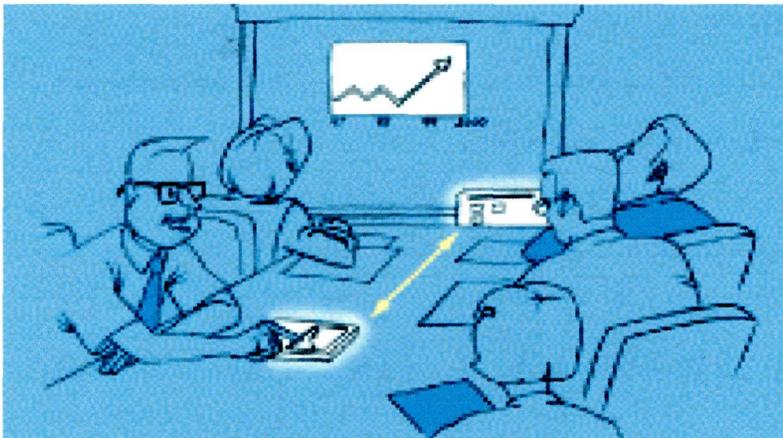


Figura 1.7. Aplicación tecnología bluetooth.

Además con el teléfono móvil se podrá acceder a determinadas zonas de la empresa sin necesidad de la tarjeta de identificación. (*figura 1.8.*).

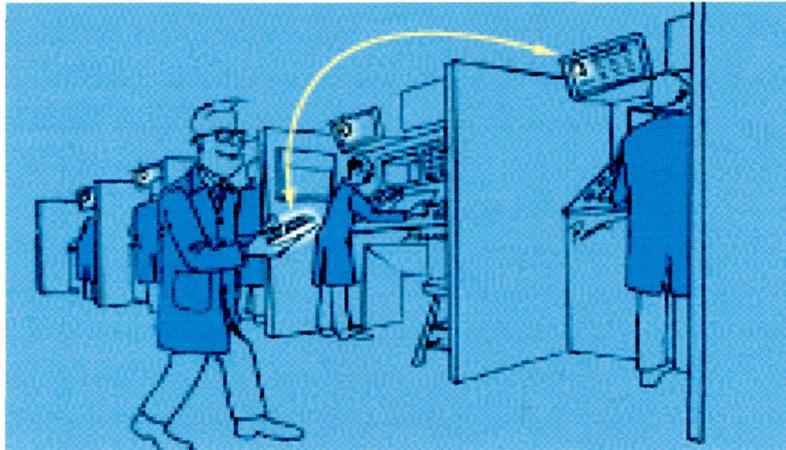


Figura 1.8. Aplicación tecnología bluetooth.

Otro ejemplo, tal y como se muestra en la *figura 1.9*, sería al llegar a casa, automáticamente el teléfono móvil: desconecta la alarma, abre la puerta, enciende las luces y ajusta la calefacción a un valor predefinido.

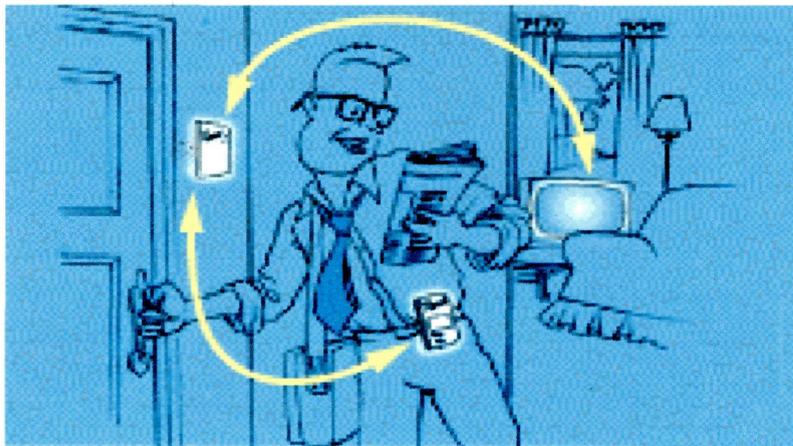


Figura 1.9. Aplicación tecnología bluetooth.

Asimismo si se dispone de un sistema de seguridad en la casa y se quiere mejorar añadiendo nuevos dispositivos, estos dispositivos se reconocerán automáticamente unos a otros y se volverán a configurar tal como se muestra en la *figura 1.10*.

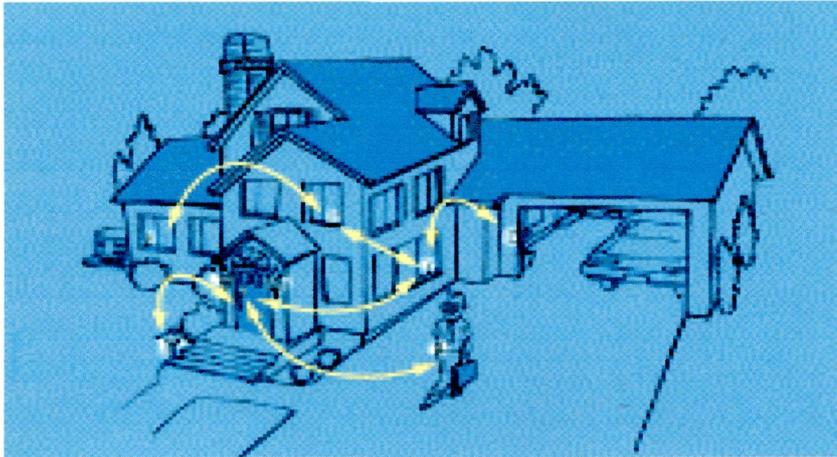


Figura 1.10. Aplicación tecnología bluetooth.

Un ejemplo muy significativo, mostrado en la *figura 1.11*, sería el de poder confirmar una reserva de un vuelo y obtener la tarjeta de embarque sólo con entrar en el aeropuerto. Si se tiene encendido el móvil, éste se comunicaría con el ordenador del aeropuerto, daría nuestra identificación y confirmaría la plaza, dato que se transmitiría a nuestro móvil y serviría para realizar el embarque, sin necesidad de tener que hacer cola ni sacar ningún papel.

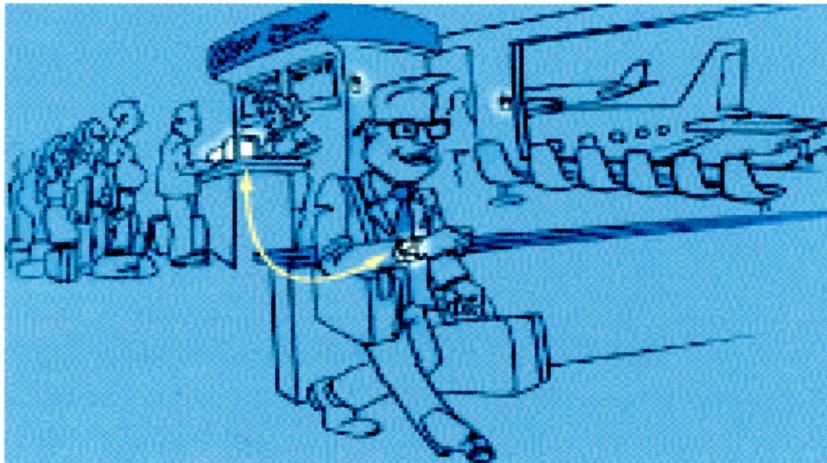


Figura 1.11. Aplicación tecnología bluetooth.

De igual forma sucedería al llegar a un hotel, el registro se hace automáticamente y el número de habitación y la clave electrónica son transmitidos al PDA o al móvil. Cuando

te aproximas a la habitación, la puerta se abre automáticamente tal y como se muestra en la *figura 1.12*.

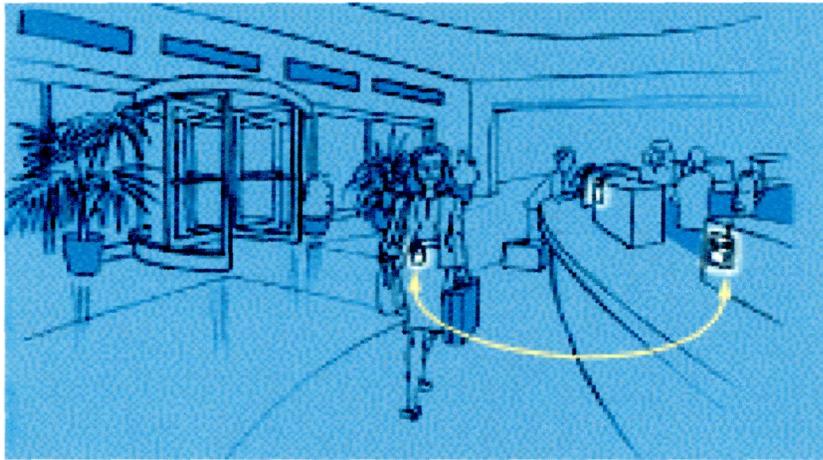


Figura 1.12. Aplicación tecnología bluetooth.

Otra aplicación se encuentra en la industria de la automoción (casi todos los coches en el futuro llevarán un chip Bluetooth que permitirá el control de su funcionamiento). En la *figura 1.13* se muestra un ejemplo de como en el coche y recibe un nuevo mensaje, el cual se transmite verbalmente a través del altavoz del coche. Cuando se llega a un parque nacional, aparece en el display un mapa del parque. Se puede ver el programa de actividades del parque y tener un guía personal electrónico.



Figura 1.13. Aplicación tecnología bluetooth.

Más aplicaciones pueden ser en medicina para monitorizar a los enfermos sin necesidad de tener cables conectados a su cuerpo, o pagar la compra en el supermercado enviando directamente la información de la tarjeta de crédito a la cajera, o cuando se va al teatro, tal y como se muestra en la *figura 1.14*, y hay una gran cola para comprar las entradas, usando el PDA se puede confirmar y pagar las entradas evitando así la cola.



Figura 1.14. Aplicación tecnología bluetooth.

1.3 TIPOS DE RECEPTORES PARA BLUETOOTH

Las configuraciones del receptor a considerar incluyen el superheterodino tradicional y zero-IF (homodino). Cada uno ofrece diversos compromisos entre funcionamiento y complejidad.

1.3.1 ARQUITECTURA SUPERHETERODINA

En los sistemas de comunicaciones la información está contenida en canales con un ancho de banda más o menos estrecho. Estas señales están centradas a frecuencias altas y vienen acompañadas por interferencias. La forma más sencilla de seleccionar dichos canales es mediante el empleo de un filtro paso banda centrado a la frecuencia de interés. Sin embargo, a frecuencias altas se necesita que dicho filtro tenga un factor de calidad (Q) alto.

El receptor heterodino consigue relajar ese factor de calidad mediante la traslación de la frecuencia deseada a una más baja (*figura 1.15*). Esta traslación de frecuencia se suele llamar *downconversion mixing* o simplemente *downconversion* (traslación de la banda deseada a una frecuencia más baja) [11].

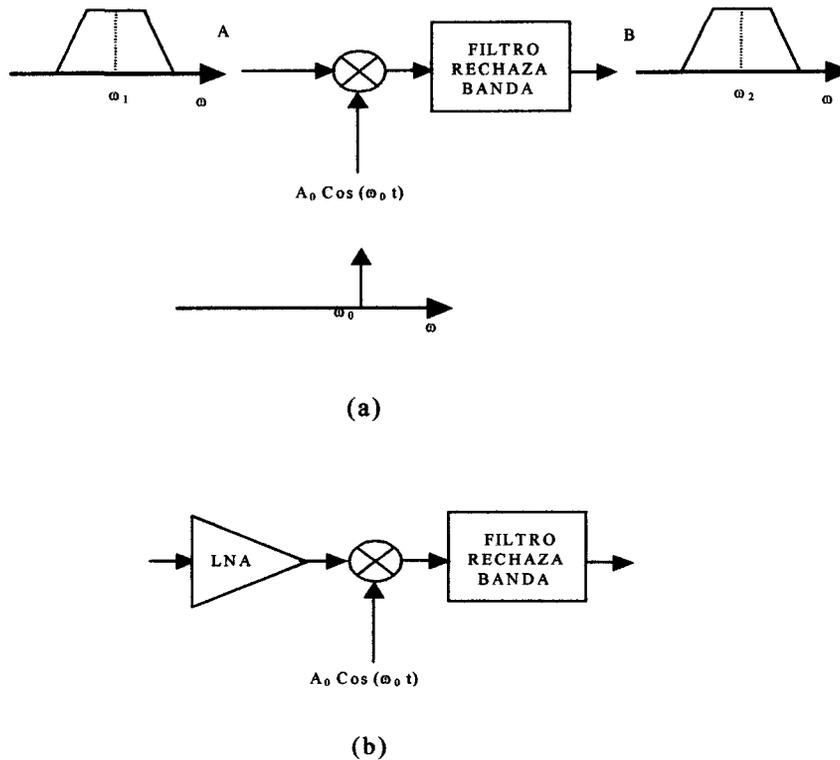


Figura 1.15. Heterodino simple: (a) sin LNA; (b) con LNA para disminuir la figura de ruido.

Como se muestra en la *figura 1.15* la traslación desde la frecuencia ω_1 a ω_2 la lleva a cabo un mezclador (*mixer*) visto aquí como un simple multiplicador analógico. Este tipo de circuitos presenta una figura de ruido (*NF*) elevada, y por ello se suele introducir antes un amplificador de bajo ruido (*LNA*) tal y como se muestra en la *figura 1.15.b*.

Debido a que el mezclador no conserva la polaridad de la diferencia entre sus entradas, traslada a la frecuencia del oscilador local (ω_0) tanto la banda superior como la inferior, produciéndose entonces una degradación de la señal deseada.

Para evitar dicha degradación se hace necesaria la inclusión de un filtro de rechazo de imagen (*IR, Image Rejection*) antes del multiplicador.

La arquitectura IF-DUAL también llamada superheterodina, es la que ha sido adoptada tradicionalmente en los terminales de RF (*figura 1.16*). Está basada en el receptor heterodino [11].

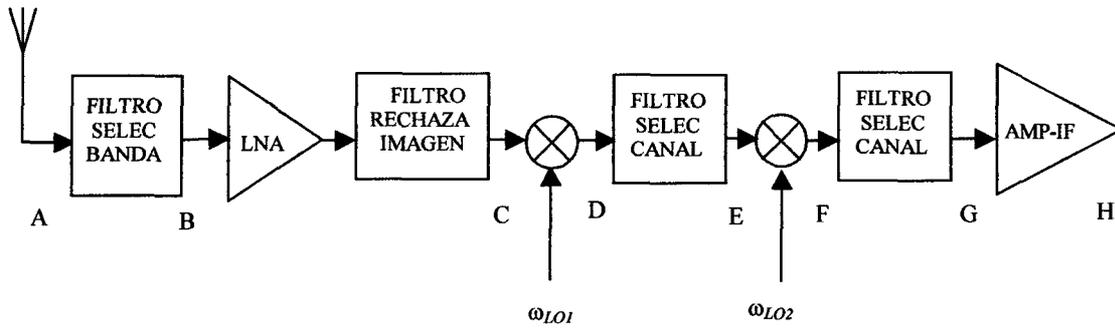


Figura 1.16. Estructura receptor superheterodino (IF-Dual).

La arquitectura superheterodina se basa en múltiples traslaciones de la señal a frecuencias más bajas (*downconversion*), cada una seguida de filtrado y amplificación.

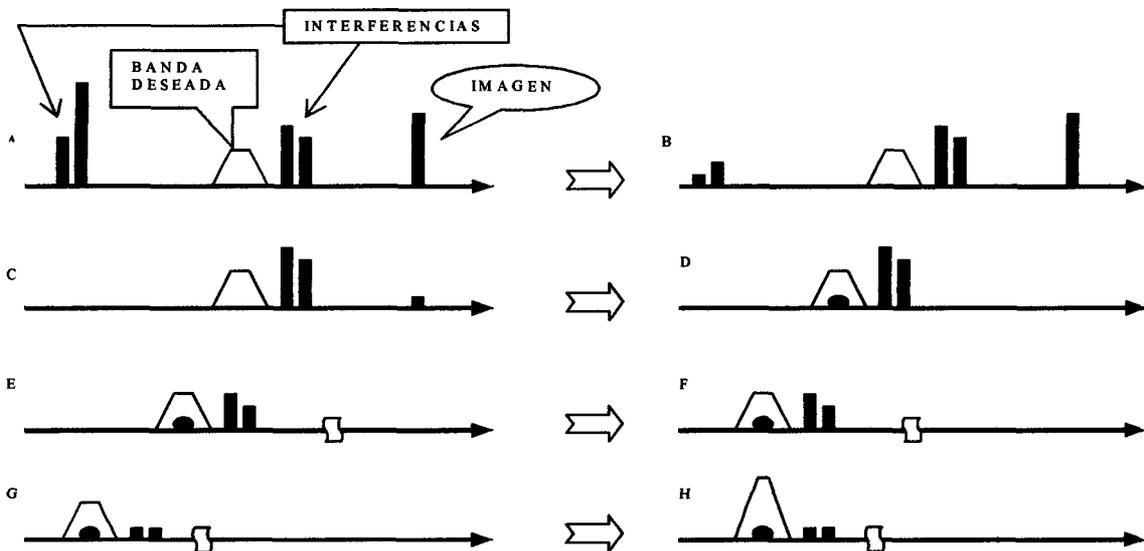


Figura 1.17. Traslación de la señal en el receptor superheterodino.

Ilustrado en la *figura 1.16* esta técnica lleva a cabo selecciones parciales del canal a frecuencias cada vez más bajas, consiguiendo así relajar el factor de calidad de cada uno

de los filtros. Muchos de los receptores de RF de hoy día emplean dos etapas de *downconversion*, de aquí el nombre de *IF-DUAL*.

En primer lugar realiza una traslación de la señal de entrada de *RF* y del ruido que la acompaña, a una frecuencia intermedia *IF*. Esta traslación de señal se realiza mediante un mezclador, en el cual se mezclan la señal de entrada más el ruido con una señal senoidal ($A_0 \cos(\omega_{L01}t)$) generada por un oscilador local. De este producto se obtienen dos componentes: una a frecuencia intermedia $\omega_{IF} = \omega_{RF} - \omega_{L01}$ y otra a alta frecuencia $\omega_{IF2} = \omega_{RF} + \omega_{L01}$, siendo la primera la deseada. El filtro paso banda posterior elimina tanto la ω_{IF2} como los armónicos generados por el proceso realizado en el multiplicador analógico debido a su comportamiento no lineal. La señal resultante se convierte otra vez a una frecuencia más baja (segunda *IF*).

En los sistemas digitales esta segunda *IF* es sustituida por un bloque que se encarga de separar la componente en fase (I) y en cuadratura (Q) mediante un par de multiplicadores y a continuación ambas componentes son filtradas paso bajo para evitar *aliasing* en su posterior conversión analógica-digital. Esta topología se le suele llamar *single-IF* (*IF* único) porque no incluye la segunda *IF*. En la *figura 1.18* se muestra esta arquitectura.

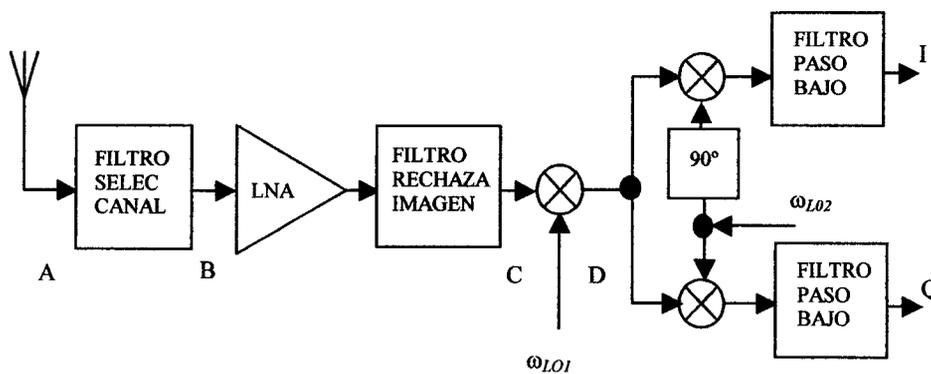


Figura 1.18. Arquitectura IF-única.

La propiedad que quizás haga que esta estructura sea la más usada en terminales de RF es su gran selectividad, pues el filtrado de la señal se realiza progresivamente a frecuencias menores, favoreciendo un mayor rechazo al ruido e interferencias cercanas a la

banda de interés. Esto permite que los filtros sean más precisos, a la vez que más fáciles de fabricar y por tanto más baratos.

De todo lo descrito en este apartado se puede concluir que el receptor superheterodino se trata de una arquitectura compleja, donde se requiere un considerable esfuerzo en la tarea de diseño, tanto en el ámbito de sistema como de esquemas circuitales para llegar a una distribución aceptable de la ganancia entre los distintos bloques que constituyen el terminal, y a un reparto adecuado de las exigencias de linealidad y figura de ruido. Además presenta un elevado número de componentes externos. Sin embargo y a pesar de todo ello, es la arquitectura más empleada debido a que presenta una muy buena selectividad y sensibilidad.

1.3.2 ARQUITECTURA HOMODINA

Llamada también arquitectura de conversión directa o *zero-IF*, el receptor homodino es la topología natural para bajar una señal de radio-frecuencia (RF) a la banda base (frecuencia cero). Consiste básicamente en multiplicar la señal de RF por la señal de salida de un oscilador local (*LO*), de tal forma que el centro de la banda que interesa se pase directamente a la frecuencia cero. Posteriormente se filtra mediante un filtro paso bajo [11].

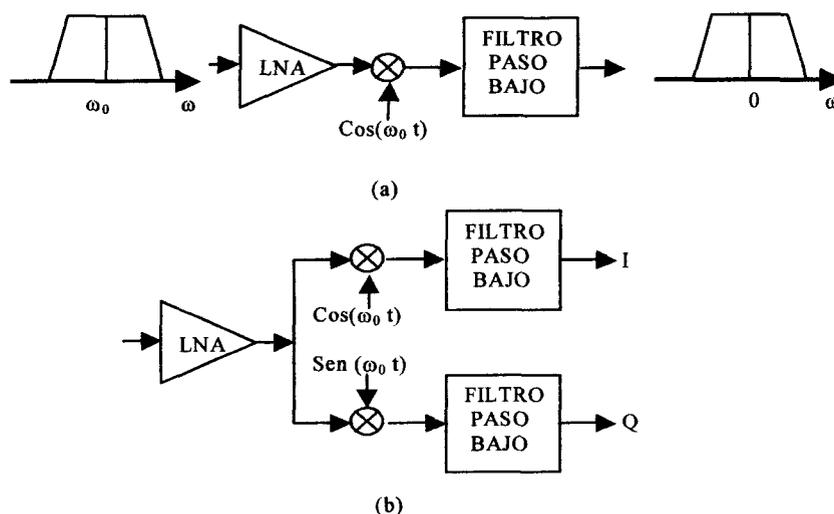


Figura 1.19. (a) Receptor homodino simple (b) Receptor homodino con downconversion en cuadratura.

Como se muestra en la *figura 1.19.a* la frecuencia del oscilador local es igual a la frecuencia portadora de la entrada, consiguiendo así realizar el proceso de conversión a la frecuencia cero. Este circuito funciona correctamente sólo con señales AM de doble banda lateral ya que en este caso se solapan las partes positivas y negativas del espectro de entrada. Para las señales moduladas en frecuencia y fase, la conversión debe ser capaz de generar salidas en cuadratura para así evitar la pérdida de información (*figura 1.19.b*). Esto se debe a que los dos lados del espectro de FM o QPSK llevan diferente información y deben ser separados en fases en cuadratura en la traslación a la frecuencia cero.

La simplicidad de la arquitectura homodina ofrece dos ventajas importantes sobre la heterodina. En primer lugar, el problema de la frecuencia imagen se evita porque ésta es igual a cero. Como resultado, no es necesario utilizar un filtro de rechazo de imagen. En segundo lugar, el filtro de frecuencia intermedia y subsiguientes etapas de conversión se sustituyen por un filtro paso bajo y un amplificador en banda base los cuales son más adecuados para la integración monolítica.

1.4 FUNDAMENTOS BÁSICOS DEL LNA

Como se ha visto anteriormente dentro de las arquitecturas de receptores existentes, el LNA siempre es el primer elemento en la etapa de recepción.

Las principales características que ha de presentar un LNA son las siguientes [2]:

- Proporcionar la suficiente ganancia a la entrada del receptor de tal forma que se minimice la influencia del ruido de los demás elementos de la cadena de recepción. Los valores típicos de ganancia están entre 12 y 20 dB.
- El ruido introducido por el LNA ha de ser lo más bajo posible. El que el LNA tenga un factor de ruido reducido es importante para las aplicaciones finales del dispositivo, debido a que el factor de ruido del receptor está fuertemente influenciado por el factor de ruido del LNA tal y como refleja la fórmula de Friis para cuadripolos en cascada. (*apartado 3.1.2.2*).

- Proporcionar la suficiente linealidad a la entrada y salida del amplificador.

1.5 ESQUEMÁTICO DEL RECEPTOR BLUETOOTH

En la *figura 1.20* se presenta el esquemático completo del receptor Bluetooth.

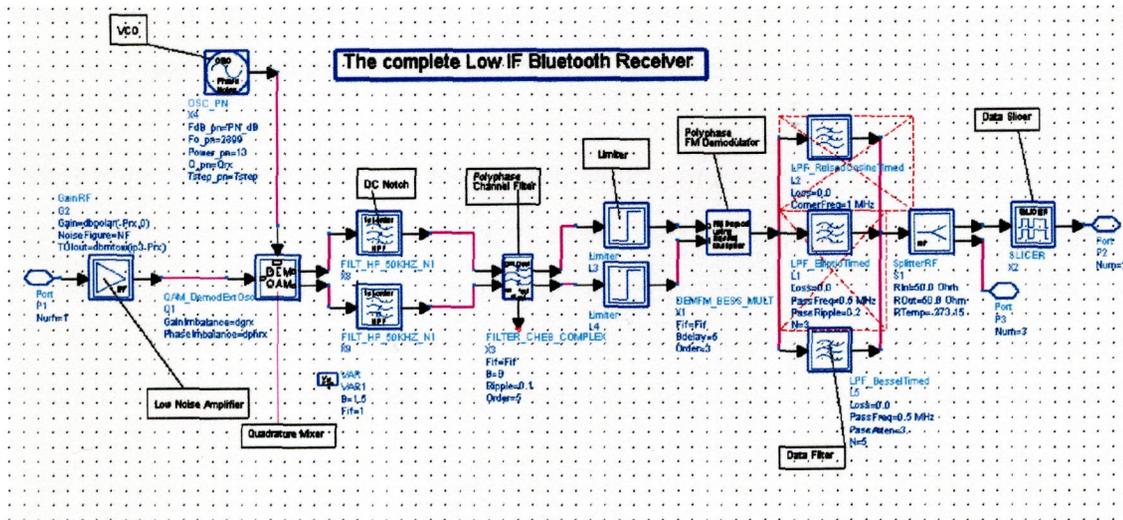


Figura 1.20. Esquemático del receptor.

El receptor de radio Bluetooth comienza con un amplificador de bajo ruido (LNA) con una impedancia de entrada de 50 Ω. El LNA tiene una figura del ruido de 4 dB, una ganancia de 15 dB y el punto de intercepción de tercer orden (IIP3) de -10 dBm a la frecuencia de funcionamiento de Bluetooth de 2,4 GHz.

El diseño del LNA que se realiza en este proyecto está pensado para un receptor con una arquitectura single-IF (*IF-única*), donde las especificaciones propias del LNA han sido extraídas de [8]. Estas especificaciones de diseño se muestran en la *tabla 1.1*.

| G | NF | $VSWR_1$ | $VSWR_2$ | $IIP3$ |
|------|------|----------|----------|--------|
| 15dB | 4dB | 1 | 1 | -10dBm |

Tabla 1.1 especificaciones de diseño del LNA.

CAPÍTULO 2

Tecnologías de fabricación

El diseño de circuitos integrados es la disposición de componentes activos y pasivos en un material semiconductor monocristalino y su interconexión utilizando películas delgadas metálicas. Existen diversas tecnologías de fabricación de circuitos integrados en función del material semiconductor empleado: arseniuro de galio (AsGa), silicio (Si), etc ...

En este capítulo se ofrece una visión rápida de las diferentes tecnologías de fabricación de circuitos integrados, fundamentando las ventajas de cada tecnología en los parámetros físicos de los materiales que intervienen en la formación de los transistores. El objetivo es presentar las alternativas de que dispone el diseñador al implementar un amplificador en tecnología integrada, con las ventajas e inconvenientes que conlleva cada elección.

En la actualidad existen cuatro tecnologías importantes para la fabricación de circuitos integrados. De las cuatro tres se basan en el silicio (Bipolar, CMOS y BiCMOS) y una basada en el arseniuro de galio (AsGa). Además de las tecnologías nombradas existe

otra basada en heterouniones SiGe la cual ha evolucionado recientemente y presenta muy buenas expectativas para el futuro.

Las características principales de todas estas tecnologías se describen a continuación.

2.1 ARSENIURO DE GALIO (AsGa)

El AsGa es un material semiconductor con estructura zincblenda cuya banda prohibida directa presenta un *gap* de energía (E_g) de valor igual a $1,43 \text{ eV}$ a 300° K . [3]. De este elevado valor se derivan algunas de sus ventajas, como puede ser su capacidad de formar dispositivos para gran señal por presentar una alta tensión de ruptura. Además la concentración intrínseca de portadores, que depende exponencialmente de $(-E_g)$ es lo suficientemente baja para posibilitar la obtención de AsGa semiaislante, lo que resulta de gran utilidad en la fabricación de elementos pasivos en el circuito. Esta característica proporciona un elevado aislamiento entre los dispositivos de un chip y favorece que las capacidades parásitas entre los dispositivos y la tierra del circuito sean pequeñas.

Otra de las prestaciones de esta tecnología es que la barrera de potencial con los metales es lo suficientemente alta, $0,85 \text{ eV}$, como para posibilitar estructuras Schottky con pequeñas fugas.

Por otra parte la movilidad electrónica del AsGa es de $8500 \text{ cm}^2\text{V}^{-1}$ [3], lo que hace que los dispositivos tipo n fabricados en este sustrato sean dispositivos eficientes y de respuesta rápida, empleados en aplicaciones de frecuencia de trabajo muy elevada. Debido a esta elevada movilidad se produce una reducción en la resistencia en serie de los dispositivos, lo que mejora su comportamiento frente al ruido. En cuanto a la movilidad de los portadores minoritarios, es mucho menor que la de los electrones por lo que no han sido desarrollados dispositivos tipo p.

Entre las desventajas de este tipo de dispositivos se encuentran la inexistencia de un óxido térmico pasivante estable y la elevada cantidad de defectos que presenta el sustrato. Estos inconvenientes, sumados al pequeño tiempo de vida de los portadores minoritarios,

han impedido el desarrollo de dispositivos bipolares convencionales o estructuras MOS en AsGa. Por este motivo se han desarrollado tecnologías como la MESFET (transistor de efecto campo metal-semiconductor) o la HBT (transistor bipolar de heterounión) para la fabricación de circuitos integrados en AsGa.

2.1.1 TECNOLOGÍA MESFET

Es una tecnología de AsGa, cuyos transistores se basan en el efecto de campo en una unión metal-semiconductor. La sección transversal de un transistor MESFET es la que se observa en la *figura 2.1*.

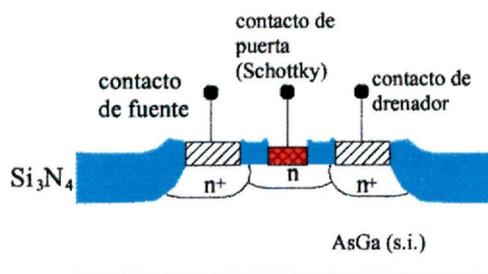


Figura 3.1: Sección transversal de un MESFET de AsGa

Esta tecnología se utiliza en aplicaciones de alta frecuencia ya que combina características de bajo ruido con excelente capacidad de conmutación. Estas prestaciones hacen que los MESFET de AsGa sean adecuados para gran variedad de aplicaciones en las que se requieren altas prestaciones en circuitos que trabajan con señales pequeñas y potencia moderada.

2.1.2 TECNOLOGÍA HBT

La tecnología HBT de AsGa presenta características de alta linealidad y eficiencia a la vez que bajo ruido y gran robustez térmica. Además es una tecnología que presenta tensiones de ruptura superiores a $20V$, eliminándose el riesgo de sobretensiones, característica que hace que sea una tecnología idónea para aplicaciones alimentadas con baterías. Por otra parte la estructura bipolar de los transistores permite que los dispositivos fabricados con HBTs de AsGa operen con tensión de alimentación única. Estas

características han favorecido una amplia aceptación en el mercado, particularmente para aplicaciones portátiles. En la *Figura 2.2* se presenta la sección transversal de un HBT.

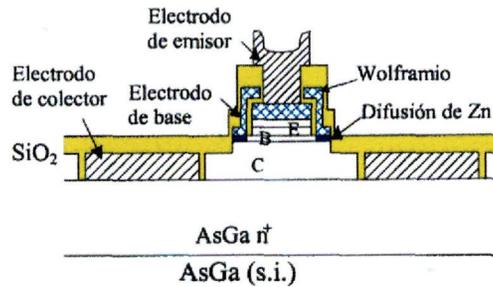


Figura 2.2: sección transversal de un transistor HBT

2.2 SILICIO (Si)

El silicio es un elemento del grupo IV-B de la tabla periódica que en su forma cristalina adopta la estructura diamantina. La banda prohibida es indirecta con un *gap* de energía de valor de $1,11 \text{ eV}$ a 300° K . [3]. Debido al reducido valor de energía de la banda prohibida, la concentración intrínseca de portadores en el silicio, del orden de 10^6 cm^{-3} [3], resulta demasiado elevada para posibilitar la fabricación de sustrato semiaislante.

La movilidad electrónica del Silicio es de valor cercano a $1500 \text{ cm}^2 \text{ V}^{-1}$ [3], 5,7 veces inferior a la del AsGa, lo que explica la menor velocidad de los dispositivos de silicio.

Las grandes ventajas del silicio aparecen en sus propiedades mecánicas. Al ser un material semiconductor simple, puede ser sometido a gran variedad de procesos sin los problemas que se presentan en semiconductores compuestos. La tecnología actual permite conseguir monocristales de silicio de gran tamaño (300 mm de diámetro), extremadamente puros y libres de defectos. Al tener una conductividad térmica 2,75 veces superior a la del AsGa, la capacidad de disipar potencia de los circuitos de silicio es mayor, incrementando las posibilidades de integración.

Otra de las ventajas fundamentales que presenta el silicio es la facilidad para aceptar tratamientos de pasivación superficial en forma de película de dióxido de silicio crecida térmicamente para proporcionar un alto grado de protección a los dispositivos que recubre.

En cuanto a los procesos de fabricación de transistores sobre sustrato de silicio, se pueden resaltar: Bipolar (BJT), metal-óxido-semiconductor (MOSFET), combinación de bipolar y CMOS (BiCMOS), y Silicio-Germanio.

2.2.1 TECNOLOGÍA BIPOLAR (BJT)

En las tecnologías de integración existen dos estructuras BJT diferenciadas en el tipo de aislamiento entre transistores: una de ellas aislada por uniones, y otra, aislada por óxido. En el transistor BJT aislado por uniones, los dispositivos npn se fabrican en islas de material aisladas eléctricamente del resto del circuito por difusiones p que atraviesan la capa epitaxial hasta el sustrato p. En la *Figura 2.3* se muestra la sección transversal de un transistor bipolar aislado por uniones.

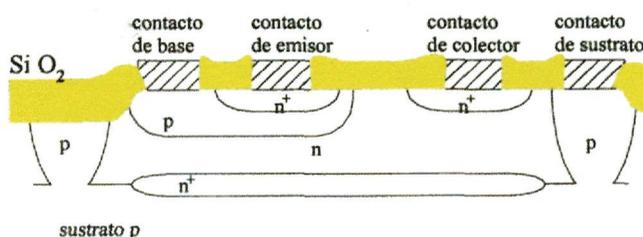


Figura 2.3: Sección transversal de un BJT npn aislado por uniones

La sección transversal de la segunda estructura de transistor BJT se presenta en la *figura 2.4*. En este caso se utiliza una capa gruesa de dióxido de silicio, obtenida mediante procesos de oxidación local, como aislante eléctrico.

Debido al proceso de fabricación de los transistores BJT aislados por óxido, en los que se utilizan implantaciones iónicas en lugar de difusiones para los dopados, se obtienen menores tamaños de transistor y se reducen las capacidades parásitas. Estas ventajas

propiciaron la sustitución del transistor BJT aislado por uniones por el BJT aislado por óxido. La primera de las estructuras presentadas fue muy utilizada hasta la década de los 70, siendo sustituida a partir de entonces por los transistores BJT aislados por óxido.

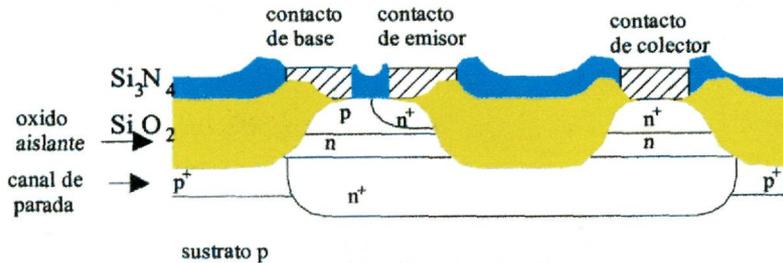


Figura 2.4: Sección transversal de un BJT npn aislado SiO₂

2.2.2 TECNOLOGÍA METAL-ÓXIDO-SEMICONDUCTOR (MOSFET)

El transistor de efecto campo metal-óxido-semiconductor, MOSFET puede construirse sobre sustrato de silicio tipo p o n, dando lugar a transistores NMOS o PMOS. La tecnología de fabricación CMOS (MOS complementaria) combina ambos tipos de transistores. En la Figura 2.5 se incluye la sección de dos transistores (PMOS y NMOS) en tecnología CMOS.

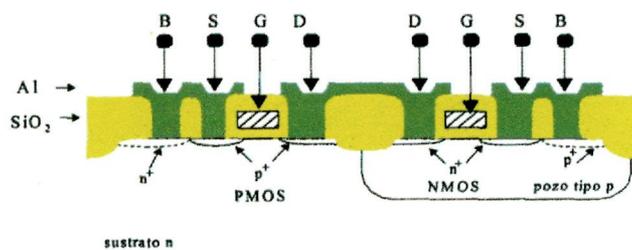


Figura 2.5: Sección transversal de dos transistores (NMOS y PMOS) en tecnología CMOS

En la Figura 2.5, B representa la conexión al sustrato, S la conexión a la fuente, D la conexión al drenador, y G la conexión a la puerta de los transistores.

Como se ve en la *Figura 2.5*, uno de los transistores debe ser fabricado en un pozo difundido con la impureza opuesta a la del sustrato. Para obtener la tecnología CMOS se deben combinar los procesos de fabricación de NMOS y PMOS. Por este motivo, el número de etapas de fabricación necesarias en tecnología CMOS es mayor que el número necesario para NMOS.

La estructura metal-óxido-semiconductor de los transistores CMOS fundamenta las ventajas principales del comportamiento de estos dispositivos. Los transistores CMOS son dispositivos que controlan la corriente que circula del drenador a la fuente a través de la tensión de la puerta. Debido al óxido que incorporan en la puerta, no hay paso de corriente procedente de la puerta hacia el canal. Esto proporciona transistores de alta impedancia de puerta. Además, al no circular corriente por la puerta, los conmutadores fabricados a partir de transistores MOS, son dispositivos de conmutación rápida y de bajo consumo. Estas ventajas hacen que los transistores CMOS sean elementos muy utilizados en circuitería digital.

2.2.3 TECNOLOGÍA BiCMOS

Las ventajas de los circuitos CMOS se apoyan en su buen comportamiento en conmutación, su bajo consumo de potencia, alta inmunidad al ruido y alta densidad de integración. Sin embargo, la velocidad alcanzada por el sistema, en aplicaciones analógicas, no es demasiado elevada. Las ventajas de los BJT se basan en la mayor rapidez de operación y en su mayor capacidad de manejo de altas corrientes. La combinación de estas tecnologías aprovecha las ventajas de ambas y recibe el nombre de tecnología BiCMOS. Como contrapartida se incrementa la complejidad del proceso de fabricación. En la *Figura 2.6* se observa la sección de una estructura BiCMOS compuesta por tres transistores: un NMOS, un PMOS y un transistor npn bipolar.

2.3 SILICIO-GERMANIO (SiGe)

Como se ha comentado anteriormente la tecnología de Silicio-Germanio (SiGe) utiliza también un sustrato de Silicio. Sin embargo es preferible tratarla de forma independiente debido a la importancia que presenta dentro del marco actual de tecnologías

de circuitos integrados como posible competidor del AsGa en dispositivos de altas prestaciones o de alta frecuencia.

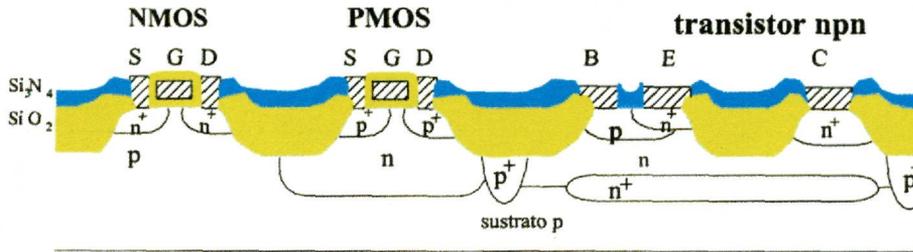


Figura 2.6: sección transversal de transistores NMOS, PMOS y npn BJT en tecnología BiCMOS.

La evolución de las tecnologías de fabricación de circuitos integrados pasa por la reducción del tamaño de los dispositivos, lo que supone un incremento de la velocidad. El límite tecnológico se alcanza al estrechar el perfil manteniendo la cantidad de carga que provoca la aparición de corrientes de fuga con el consiguiente empeoramiento de las características del transistor

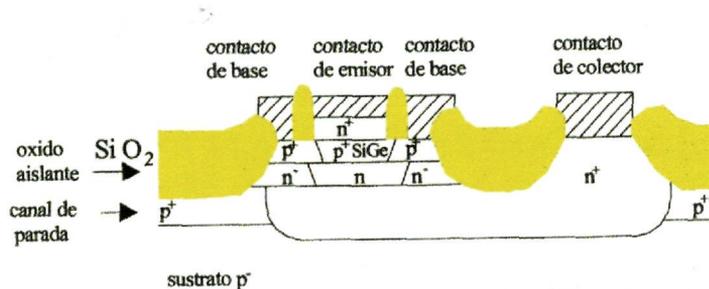


Figura 2.7: Sección transversal de un HBT en tecnología SiGe

Desde los años 50 se conocía el hecho de que añadiendo Germanio al Silicio se producía un efecto similar al de los HBT de AsGa, pero no se había conseguido crear capas finas de SiGe. Es necesario que la capa de SiGe sea fina para que no se produzcan dislocaciones en la red cristalina en la transición entre el sustrato de Silicio y la capa de SiGe. Si las capas de SiGe no son suficientemente finas los materiales que se obtienen son de mala calidad, con prestaciones pobres. Con el proceso UHV / CVD (epitaxia obtenida

en fase vapor en alto vacío) se consiguen formar capas finas de SiGe a temperaturas relativamente bajas (500° C). Esta fue la clave de la mejora, ya que si se incrementa más la temperatura el Germanio se separa del Silicio.

2.4 COMPARACIÓN DE LAS CARACTERÍSTICAS PRINCIPALES ENTRE TECNOLOGÍAS

2.4.1 TECNOLOGÍA AsGa

- Alta movilidad de los electrones.
- Transistores con poca ganancia.
- Muy rápidos con consumos moderados.
- Proceso muy simple.
- Utilizados en muy altas frecuencias.
- alto coste del sustrato

2.4.2 TECNOLOGÍA BIPOLAR

- Frecuencias de trabajo elevadas ($f_t = 50$ GHz).
- Tecnología atractiva para el diseño de circuitos de RF.
- Alto consumo.
- Bajo nivel de integración.
- Problemas con alimentaciones reducidas.

2.4.3 TECNOLOGÍA CMOS

- Transistores con poca ganancia.
- Bajo consumo.
- Alto nivel de integración.
- Elevado interés en electrónica digital.
- Baja calidad al integrar elementos pasivos.

2.4.4 TECNOLOGÍA BiCMOS

- Combina las ventajas de la tecnología CMOS y BIPOLAR.

- Elevado nivel de integración, bajo consumo y alta inmunidad al ruido, típico de dispositivos CMOS y alta velocidad propia de los dispositivos bipolares.
- Elevado coste de fabricación.
- Aplicaciones a alta frecuencia, no tanto como el AsGa, del orden de las centenas de MHz hasta varios GHz.
- Sustrato de alta resistividad. Permite la realización de elementos pasivos, con un factor de calidad relativamente alto.

2.4.5 TECNOLOGÍA SiGe

- Frecuencia de corte elevada, alrededor de los 50 GHz e incluso más altas.
- Ideal para aplicaciones de RF y compatible con procesos basados en silicio.
- Alta ganancia de corriente.
- Bajo ruido.
- Mayor resistividad del sustrato en comparación con los procesos CMOS y BiCMOS.

A continuación, en la *tabla 2.1*, se incluye una valoración cualitativa de las prestaciones principales alcanzables por los dispositivos fabricados en las diferentes tecnologías. Se presentan con objeto de dar una idea comparativa entre procesos de fabricación [3].

| Tecnología | AsGa-HBT | AsGa-FET | SiGe-HBT | Si-BJT | Si-CMOS |
|----------------------|----------|----------|------------------|------------------|------------------|
| $F_{corte} (f_1)$ | Alta | Alta | Alta | Media | Baja |
| Ganancia | Alta | Alta | Media | Media | Baja |
| NF | Media | Baja | Media | Media | Alta |
| Linealidad | Alta | Media | Media | Baja | Media |
| Tensión de ruptura | Alta | Alta | Baja | Media | Media |
| Densidad de potencia | Alta | Baja | Alta | Alta | Media |
| Óxido pasivante | No | No | SiO ₂ | SiO ₂ | SiO ₂ |

Tabla 2.1: Características de las tecnologías de fabricación

2.5 ELECCIÓN DE LA TECNOLOGÍA DE FABRICACIÓN

Los circuitos integrados de silicio están encontrando una gran aplicación en el rango de frecuencias de los gigahertzios. Los procesos CMOS, BiCMOS y Bipolar consiguen transistores con altas frecuencias de trabajo, permitiendo a estas tecnologías competir con otras tecnologías basadas en el arseniuro de galio (AsGa) en el rango de las altas frecuencias.

Sin embargo, la poca resistividad de los sustratos de silicio hace que el diseño de componentes con altos factores de calidad, en especial inductancias y varactores, sea muy difícil. A pesar de esta dificultad, el bajo coste de fabricación de los circuitos integrados de silicio en comparación con el coste de fabricación de los circuitos integrados de arseniuro de galio y su alta integración hace que los procesos basados en silicio sean muy atractivos para muchas aplicaciones de radiofrecuencia.

De acuerdo a las características de cada tecnología, la más apropiada para poder cumplir los objetivos de este proyecto es la tecnología CMOS. La razón de que ahora mismo se esté utilizando más y más esta tecnología en el diseño de circuitos integrados es fundamentalmente su coste, ya que es mucho más barata que la Bipolar, la BiCMOS y la de arseniuro de galio, además, ésta tecnología presenta unas prestaciones aceptables para el diseño de circuitos de RF.

En este proyecto a pesar de las ventajas que presenta la tecnología CMOS se ha optado por utilizar la tecnología BiCMOS. La utilización de este tipo de tecnología es casi obligatoria ya que en estos momentos sólo disponemos de una única librería de bobinas realizadas en esta tecnología.

Como se describió anteriormente, la tecnología BiCMOS presenta el único inconveniente de su alto coste. Sin embargo, presenta una serie de ventajas en relación al diseño de circuitos integrados de radiofrecuencia. Una de estas ventajas puede ser el darnos la posibilidad de integrar en un mismo chip circuitos diseñados con transistores bipolares y transistores MOS.

2.6 ESTUDIO DE LA TECNOLOGÍA BiCMOS

Los transistores NMOS y PMOS utilizados para realizar el diseño del LNA pertenecen a la tecnología $0,8\ \mu\text{m}$ HBT-BiCMOS de la empresa AMS. Esta tecnología sigue un proceso de fabricación característico denominado BYR. Además de los transistores MOS, el proceso BYR proporciona también varactores, dos tipos de condensadores, transistores HBT de SiGe, varios tipos de resistencias con diferentes resistividades e inductancias espirales integradas.

Aunque el proceso de fabricación sea distinto, el funcionamiento de un transistor MOS fabricado en tecnología BiCMOS es idéntico al de un transistor MOS diseñado en tecnología CMOS. Para tener un mayor conocimiento de las características que tiene un transistor MOS, a continuación se realizará un estudio más detallado donde se describe su funcionamiento, modelo en alta frecuencia, curvas tensión-corriente, etc...

No se entra a explicar las características principales de los transistores Bipolares ya que para el desarrollo de este proyecto sólo se han utilizado transistores MOS.

2.6.1 TRANSISTORES DE EFECTO DE CAMPO METAL-OXIDO-SEMICONDUCTOR (MOSFET)

Los transistores de efecto de campo metal oxido semiconductor (MOSFET) son componentes importantes en los circuitos analógicos integrados contemporáneos. Los procesos combinados MOS y bipolares le dan al diseñador lo mejor de ambos mundos.

Existen dos tipos de MOSFET, el MOSFET de empobrecimiento (*Figura 2.8*) y el MOSFET de enriquecimiento (*Figura 2.9*), de los dos tipos vamos a explicar el de enriquecimiento ya que aunque el MOSFET de empobrecimiento es muy útil en situaciones especiales, no tiene un uso muy extenso por razones que se explicarán a continuación.

El MOSFET de empobrecimiento desempeñó un papel muy importante en la historia debido a que fue parte de la evolución hacia el MOSFET de enriquecimiento (también llamado MOSFET de acumulación), un dispositivo que ha revolucionado la industria de la electrónica. Este segundo tipo de MOSFET ha tenido una importancia enorme en la electrónica digital y en los computadores. Sin él no existirían computadoras personales, que en la actualidad tienen un uso muy extendido.

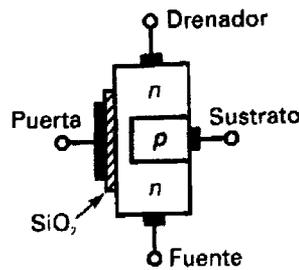


Figura 2.8 MOSFET de empobrecimiento

En la *figura 2.9* se muestra un MOSFET de enriquecimiento de canal n. El sustrato se extiende a lo ancho hasta el dióxido de silicio. Como se puede ver, ya no existe un canal n entre la fuente y el drenador como ocurría con la *figura 2.8*.

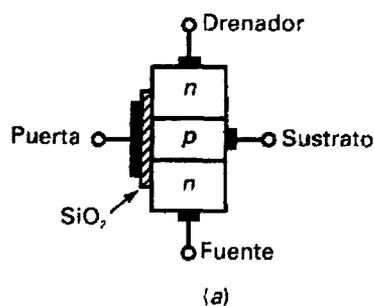


Figura 2.9 MOSFET de enriquecimiento

Dentro de los MOSFET de enriquecimiento encontramos dos tipos de transistores, los MOSFET de canal n, llamados NMOS, que se caracterizan por tener un sustrato tipo p y los MOSFET de canal p, también llamados PMOS cuyo sustrato es de tipo n.

En la *figura 2.10 y 2.11* se muestra esquemáticamente la estructura de un NMOS y un PMOS respectivamente. Para simplificar el estudio del transistor MOS nos centraremos en el funcionamiento y características del transistor NMOS.

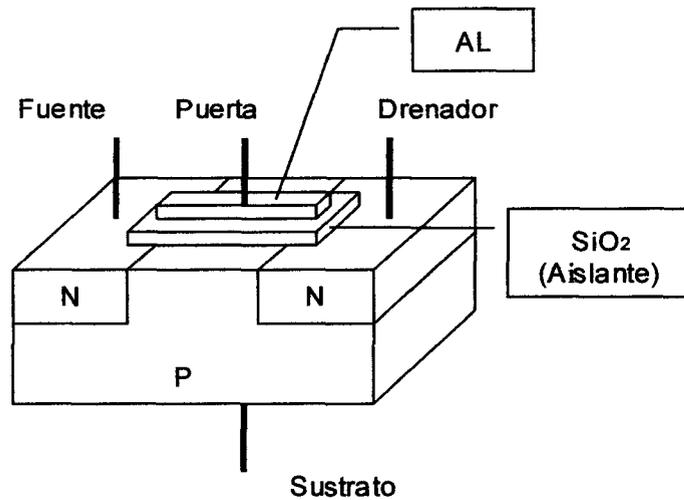


Figura 2.10 estructura de un NMOS

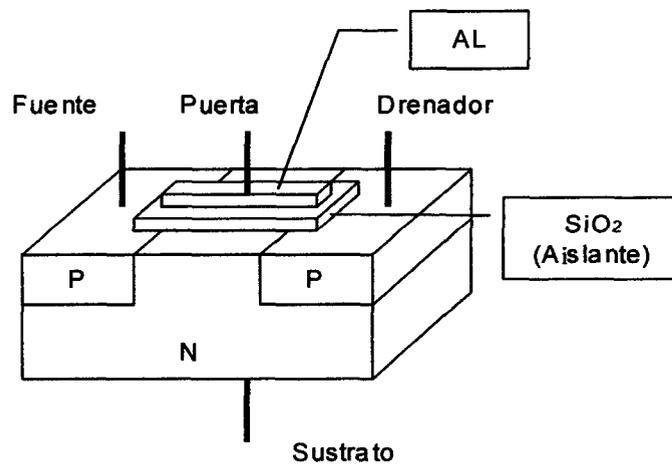


Figura 2.11 estructura de un PMOS

Se observa en las *figuras 2.10 y 2.11* que tienen 4 terminales de conexión, puerta (*gate*), drenador (*drain*), fuente o surtidor (*source*) y sustrato. La región comprendida entre la fuente y el drenador es el canal el cual está cubierto por una fina capa de dióxido de silicio (SiO_2) que actúa como aislante y sobre él una placa conductora de metal que en este caso es aluminio (Al).

2.6.2 FUNCIONAMIENTO DEL TRANSISTOR NMOS

La *Figura 2.12* muestra las tensiones de polarización normales. Cuando la tensión de puerta es nula ($V_{gs}=0$) o $V_{gs}<V_t$ (siendo V_t la tensión umbral a partir de la cual el transistor comienza a conducir), la alimentación V_{ds} trata de hacer circular a los electrones libres desde la fuente hacia el drenador, pero el sustrato p sólo tiene unos cuantos electrones libres producidos térmicamente. Aparte de estos portadores minoritarios y de alguna fuga superficial, la corriente entre la fuente y el drenador es nula $I_D=0$.

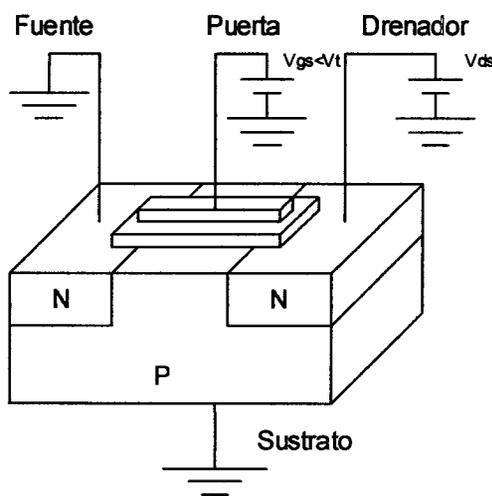


Figura 2.12 Polarización del transistor en zona de corte

Por esta razón, el MOSFET de enriquecimiento está normalmente en corte cuando la tensión de puerta es cero. Este dato es completamente diferente en los dispositivos de empobrecimiento como el JFET o el MOSFET de empobrecimiento.

Cuando la tensión de puerta es positiva, atrae electrones libres dentro de la región p y comienza a circular corriente desde la fuente hacia el drenador. Sin embargo estos

electrones libres se recombinan con los huecos cercanos al dióxido de silicio frenándose el flujo de corriente. Cuando un transistor MOS trabaja de esta forma se dice que está en región óhmica. Cuando la tensión de puerta es lo suficientemente positiva, todos los huecos próximos al dióxido de silicio desaparecen y los electrones libres empiezan a circular desde la fuente hacia el drenador. En este caso en zona de saturación y, el efecto es idéntico al de crear una capa delgada de material tipo n próxima al dióxido de silicio. Esta capa conductora se denomina *capa de inversión tipo n* .

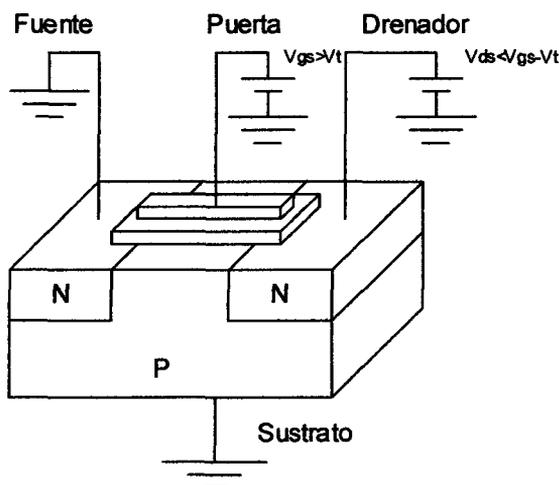


Figura 2.13 Polarización del transistor en zona óhmica

La V_{gs} mínima que crea la capa de inversión de tipo n se llama *tensión umbral* (en inglés *threshold voltage*), simbolizada por V_t . Cuando V_{gs} es menor que V_t , la corriente de drenador es nula. Pero cuando V_{gs} es mayor que V_t , una capa de inversión tipo n conecta la fuente al drenador y la corriente de drenador es grande. Dependiendo del dispositivo en particular que se use, V_t puede variar desde menos de 1V hasta más de 5 V.

Un análisis teórico de la región óhmica conduce al resultado de que la corriente de drenador viene dada por la ecuación 2.1 [10].

$$I_D = K \cdot \left(\frac{W}{L}\right) \cdot [2(V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2] \quad (2.1)$$

Donde, L y W es la longitud y anchura del canal respectivamente y K es un parámetro dependiente de la tecnología en este caso $K = \frac{\mu_n \cdot C_{ox}}{2}$, siendo μ_n la movilidad de los electrones y C_{ox} la capacidad de puerta por unidad de superficie.

Los JFET y los MOSFET de empobrecimiento están clasificados como tales porque su conductividad depende de la acción de las capas de deplexión. El MOSFET de enriquecimiento está clasificado como un dispositivo de enriquecimiento porque su conductividad depende de la acción de la capa de inversión de tipo n . Los dispositivos de empobrecimiento conducen normalmente cuando la tensión de puerta es cero, mientras que los dispositivos de enriquecimiento están normalmente en corte cuando la tensión de puerta es cero.

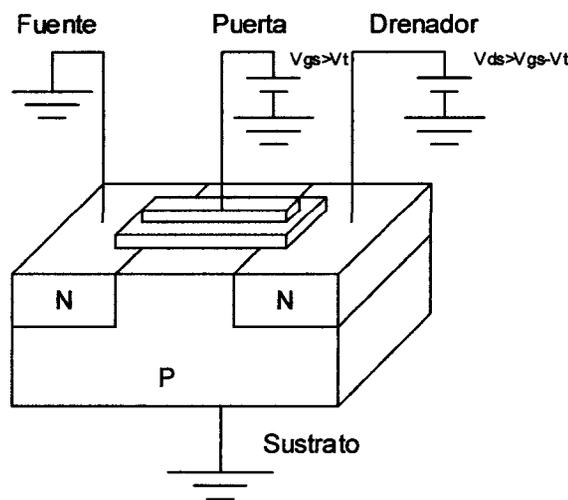


Figura 2.14 Polarización del transistor en zona de saturación

En la región de saturación se tiene que cumplir que $V_{ds} > V_{gs} - V_t$. Si se cumple esta condición la corriente de drenador I_D es constante e independiente de V_{ds} . El valor de I_D dependerá sólo de la tensión efectiva de control $V_{gs} - V_t$. La corriente de drenador en saturación está definida por la ecuación 2.2 [10].

$$I_D = K \cdot \left(\frac{W}{L}\right) \cdot (V_{GS} - V_t)^2 \quad (2.2)$$

De la *ecuación 2.2* se puede deducir las siguientes conclusiones. En primer lugar, la relación W/L es un factor que sirve para escalar la corriente de drenador. Así, variando esta relación, dos o más MOSFET pueden soportar distintas corrientes de drenador estando contruidos en un mismo chip y teniendo igual valor de V_t . En segundo lugar el parámetro K tiene un valor pequeño por lo tanto sólo se consiguen I_D altas (varios mA) en dispositivos de relación W/L alta, es decir, transistores que ocupen mucha área.

En realidad I_D no se mantiene constante en la región de saturación sino que crece ligeramente con V_{ds} debido al efecto de "*modulación de la longitud del canal*". Para tener en cuenta este factor, se modifica la *ecuación 2.2* introduciendo el factor $(1 + \lambda V_{DS})$ como aparece en la *ecuación 2.3*. [10].

$$I_D = K \cdot \left(\frac{W}{L}\right) \cdot [(V_{GS} - V_T)^2 (1 + \lambda V_{DS})] \quad (2.3)$$

2.6.3 CURVAS CARACTERÍSTICAS DE UN NMOS

La *figura 2.14.a* muestra un conjunto de curvas de salida de un MOSFET de

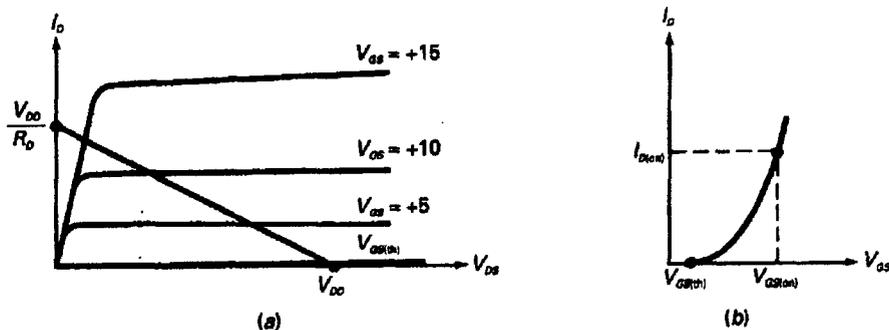


Figura 2.14. Curva tensión-corriente (a) y curva de transferencia (b) de un transistor NMOS

enriquecimiento y una recta de carga típica. La curva inferior es la curva de $V_{gs}=V_t$. Cuando V_{gs} es menor que V_t , la corriente de drenador es aproximadamente cero. Cuando V_{gs} es mayor que V_t , el dispositivo conduce y la corriente de drenador se controla por medio de la tensión de puerta. Obsérvense las partes casi vertical y casi horizontal de las curvas. La parte casi vertical corresponde a la zona óhmica, y la parte casi horizontal

corresponde a la zona de saturación (fuente de corriente). El MOSFET de enriquecimiento puede funcionar en cualquiera de ellas. En otras palabras, puede actuar como una fuente de corriente o como una resistencia.

La *figura 2.14.b* muestra la curva característica de transferencia típica. La curva es parabólica o de ley cuadrática. El vértice (punto de comienzo) de la parábola está en $V_{gs}=V_t$.

2.6.4 FUNCIONAMIENTO DEL TRANSISTOR PMOS

El transistor PMOS representado en la *figura 2.11* consta de dos zonas tipo p implantadas en un sustrato tipo n. El funcionamiento de este tipo de MOSFET es el mismo que el de un NMOS. Las *ecuaciones 2.1* y *2.2* son también aplicables a este tipo de transistores sabiendo que las polaridades de las tensiones y los sentidos de las corrientes de un PMOS son opuestas a las correspondientes aun NMOS. Asimismo, para calcular el parámetro K se debe sustituir μ_n por μ_p .

2.6.5 TRANSISTOR MOS EN ALTA FRECUENCIA

En este apartado se pretende describir el funcionamiento del transistor MOS a altas frecuencias. En la *figura 2.15* se muestra el modelo equivalente de un transistor MOS en alta frecuencia.

La transconductancia g_m del transistor MOS cuyo valor determina la ganancia del mismo se puede determinar mediante la *ecuación 2.4* [2].

$$g_m = \sqrt{\frac{2 \cdot K' \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{K' \cdot W \cdot I_D}{L_{eff}}} \quad (2.4)$$

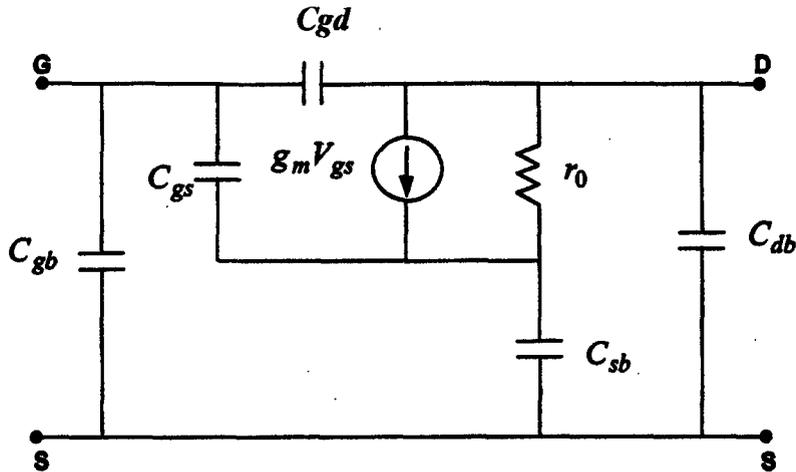


Figura 2.15 Modelo equivalente de un transistor en alta frecuencia

donde:

- L_{eff} es la longitud efectiva del canal del transistor, es un dato proporcionado por el fabricante. Aunque la tecnología utilizada en nuestro diseño indica una longitud del canal $L = 0,8 \mu m$, esta longitud varía debido a las difusiones en el proceso de fabricación. La variación de esta longitud afecta al valor de las capacidades, como se estudiará más adelante.
- W es el ancho del canal del transistor.
- K' es una constante proporcionada por el fabricante, de valor $100 \mu A/V^2$ para el transistor NMOS y $35 \mu A/V^2$ para el transistor PMOS [2].

Según se puede ver en la *figura 2.6*, cuando se trabaja a alta frecuencia en el transistor MOS aparecen una serie de capacidades parásitas asociadas al mismo. Estas capacidades son principalmente de dos tipos:

- Capacidades de la zona de carga espacial o zona de depleción: Se producen en las uniones P-N del transistor, debido a la presencia de carga espacial de distinto signo en cada zona.

- Capacidades en la zona de óxido: Estas capacidades se forman entre dos zonas conductoras separadas por óxido (aislante) sometidas a distintas tensiones. El valor de estas capacidades depende las variables de diseño de los transistores y de las posible dispersiones de estas durante el proceso de fabricación.

A continuación se describen más detalladamente cada uno de estos tipos de capacidades.

Las expresiones de las capacidades de la zona de carga espacial son las siguientes [2]:

$$C_{db} = \frac{C_{db0}}{\left(1 - \frac{V_{db}}{\psi_0}\right)} \quad (2.5)$$

$$C_{sb} = \frac{C_{sb0}}{\left(1 - \frac{V_{sb}}{\psi_0}\right)^m} \quad (2.6)$$

donde:

C_{db} y C_{sb} son parámetros que representan la densidad de la capacidad de la unión P-N cuando la polarización de esta es nula, V es la tensión directa de polarización de dicha unión, ψ_0 es la barrera de potencial y m es una constante dependiente del tipo de unión.

Las capacidades de la zona de óxido en un transistor MOS son las siguientes:

- C_{gb} es la capacidad de óxido entre la puerta y el sustrato.
- C_{gs} es la capacidad de óxido entre la puerta y la fuente.
- C_{gd} es la capacidad de óxido entre la puerta y el drenador.

El valor de estas capacidades depende de la zona de operación en que se encuentre el transistor. La *tabla 2.1* muestra las expresiones necesarias para poder hallar los distintos valores de estas capacidades [2].

| Capacidad | Zonas de funcionamiento del transistor MOS | | |
|-----------|--|---|--|
| | Corte | Óhmica | Saturación |
| C_{gd} | $C_{ox} \cdot L_d \cdot W$ | $C_{ox} \cdot L_d \cdot W + 0.5 \cdot C_{ox} L \cdot W$ | $C_{ox} \cdot L_d \cdot W$ |
| C_{gs} | $C_{ox} \cdot L_d \cdot W$ | $C_{ox} \cdot L_d \cdot W + 0.5 \cdot C_{ox} L \cdot W$ | $C_{ox} \cdot L_d \cdot W + 0.66 \cdot C_{ox} L \cdot W$ |
| C_{gb} | $C_{ox} \cdot L \cdot W$ | 0 | 0 |

Tabla 2.1 Capacidades de la zona de óxido del transistor NMOS

Siendo C_{ox} la capacidad por unidad de área de la capacidad parásita puerta/óxido/sustrato y L_d es la distancia de difusión lateral que se produce bajo la puerta.

CAPÍTULO 3

Conceptos Básicos de Sistemas de RF

Para poder conseguir las especificaciones de diseño encomendadas en este proyecto es necesario conocer con claridad todos los parámetros o factores que influyen sobre éstas, su significado y la forma de medirlas. Por esta razón en este capítulo se realizará un estudio profundo de algunas especificaciones claves para el diseño de un LNA, como pueden ser la figura de ruido, la ganancia, la linealidad y otros muchos parámetros.

3.1 RUIDO EN CIRCUITOS INTEGRADOS DE RF

En este capítulo vamos a tratar los efectos del *ruido eléctrico* en los circuitos integrados de RF. Los fenómenos de ruido aquí expuestos son los causados por pequeñas fluctuaciones de corriente y de voltaje generadas en el interior de los dispositivos mismos, y de manera específica excluimos la detección de señales extrañas, originadas por el hombre, que pueden también resultar un problema en circuitos de alta ganancia. La existencia de ruido es básicamente debida al hecho de que la carga eléctrica no es continua, sino que es llevada en cantidades discretas iguales a la carga del electrón y, por lo tanto, el ruido queda asociado con los procesos fundamentales de los dispositivos de circuitos integrados.

El estudio del ruido es importante porque representa un límite inferior al tamaño de la señal eléctrica que pueda ser amplificada por un circuito, sin un deterioro significativo en la calidad de la misma. También el ruido causa un límite superior a la ganancia útil de un amplificador, porque si la ganancia se aumenta sin límite, las etapas de salida del circuito, en forma eventual empezarán a limitar (esto es, a cortar o a saturar) sobre el ruido amplificado correspondiente a las etapas de entrada.

En este capítulo se van a estudiar las diversas fuentes de ruido electrónico que nos van a afectar para la ejecución de nuestro proyecto, y se describirán los circuitos equivalentes de los dispositivos comunes, incluyendo los generadores de ruido.

3.1.1 TIPOS DE RUIDO EN CIRCUITOS INTEGRADOS

En los circuitos de RF hay diferentes mecanismos físicos que originan una gran variedad de tipos de ruido. En este apartado pasaremos a comentar estos tipos de ruido haciendo especial hincapié en los que más afectan en el diseño de circuitos de RF.

3.1.1.1 Ruido shot

El ruido *Shot* (también conocido como ruido de metralla) siempre está asociado con un flujo de corriente continua estando presente en los semiconductores y en los transistores bipolares. El origen del ruido de metralla se puede observar al considerar el diodo de la *figura 3.1.a* y las concentraciones de portadores en el dispositivo en la región de polarización directa, tal como aparece en la *figura 3.1.b*.

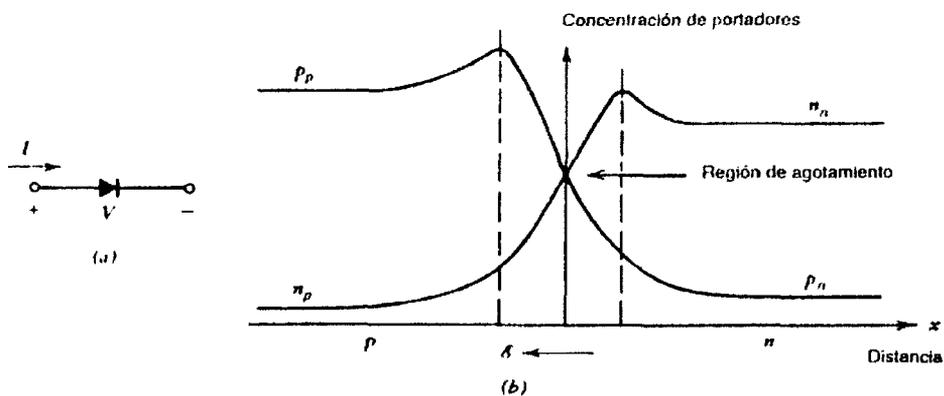


Figura 3.1 (a) diodo de unión pn con polarización directa. (b) concentraciones de portadores en el diodo.

La base fundamental del ruido *shot* es la naturaleza granular de la carga eléctrica. De hecho el ruido *shot* ocurre solamente cuando hay un flujo directo de corriente a través de una barrera potencial y está asociado al mecanismo físico de salto de una barrera potencial por un portador de carga.

El paso de cada portador a través de la barrera de potencial es un evento puramente aleatorio, y depende de que el portador tenga suficiente energía y velocidad dirigida hacia la unión. Por lo tanto la corriente externa I , que aparece como si fuera corriente continua, está, de hecho, compuesta de un gran número de pulsos de corriente aleatorios independientes. Si la corriente es examinada en un osciloscopio sensible, el trazo aparece como en la *figura 3.2*, donde I_D es la corriente promedio.

La fluctuación en I se conoce como ruido *Shot* y generalmente se especifica en términos de su variación cuadrática media en relación con el valor promedio [10].

$$\overline{i^2} = \overline{(I - I_D)^2} \quad (3.1)$$

$$\overline{i^2} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T (I - I_D)^2 dt \quad (3.2)$$

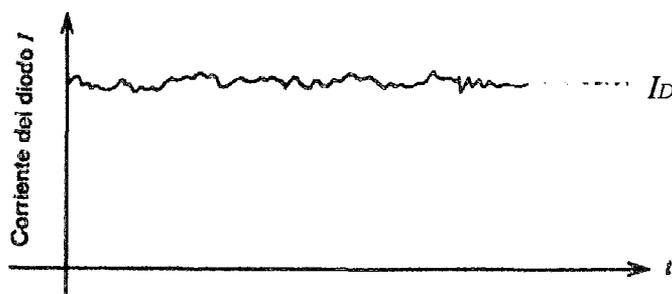


Figura 3.2 Corriente del diodo I en función del tiempo.

Se puede demostrar que si una corriente I esta compuesta de una serie de pulsos aleatorios independientes con un valor promedio I_D , entonces la corriente de ruido resultante tiene el siguiente valor cuadrático medio.

$$\overline{i^2} = 2qI_D\Delta f \quad (3.3)$$

Donde q es la carga electrónica ($1.6 \cdot 10^{-19}$ C) y Δf es el ancho de banda en hercios. Ésta ecuación muestra que la corriente de ruido tiene un valor cuadrático medio que es directamente proporcional al ancho de banda Δf de la medición. Entonces se puede definir una densidad espectral de la corriente de ruido $\overline{i^2} / \Delta f$ (con unidades en amperios al cuadrado por Hz) se puede definir que es una constante en función de la frecuencia [10].

$$S_{i(t)} = 2qI_D \quad (3.4)$$

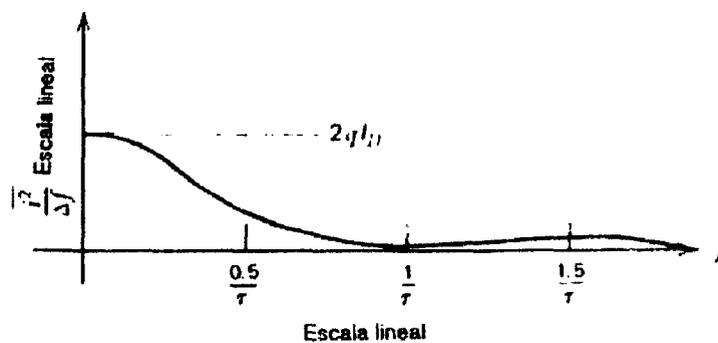


Figura 3.3. Densidad espectral de ruido shot en un diodo con un tiempo de tránsito τ .

Nótese que el ruido *shot* está caracterizado por una función de densidad de probabilidad gaussiana. Ruido con un espectro como este es conocido a menudo como ruido blanco.

El requerimiento de una barrera de potencial implica que el ruido *shot* estará asociado a dispositivos no lineales, aunque no todos los dispositivos no lineales presentarán necesariamente ruido *shot*. Por ejemplo, mientras que tanto la corriente de base como la de colector son fuentes de ruido *shot* en los transistores bipolares debido a que la existencia de ambas regiones implica una barrera de potencial, sólo las fugas de corriente en las puertas de los transistores de efecto de campo (JFETs y MOSFETs) contribuyen al ruido *shot*. Debido a que esta corriente es, por lo general, muy baja, normalmente se suele despreciar el ruido que generan.

3.1.1.2 Ruido térmico

El ruido térmico está generado por un mecanismo totalmente distinto del ruido metralla. En los resistores convencionales se debe al movimiento térmico aleatorio de los electrones y no está afectado por la presencia o ausencia de corriente continua, dado que las velocidades típicas de desplazamiento de los electrones en un conductor son mucho menores que las velocidades electrónicas térmicas. Puesto que esta fuente de ruido se debe al movimiento térmico de los electrones, suponemos que estará relacionada con la temperatura absoluta T . De hecho el ruido térmico es *directamente proporcional a T* (a diferencia del ruido de metralla que es *independiente de T*) y, conforme T se acerque a cero, el ruido térmico también se acercará a cero.

Las fuentes más comunes de ruido térmico en los circuitos de RF son las resistencias y los transistores.

3.1.1.2.1 Ruido térmico en resistencias integradas

En un resistor R , el ruido térmico se puede demostrar que está representado por una serie de generadores de tensión, tal como aparece en la *figura 3.5.a*, o por un generador de corriente en paralelo, como la *figura 3.5.b*

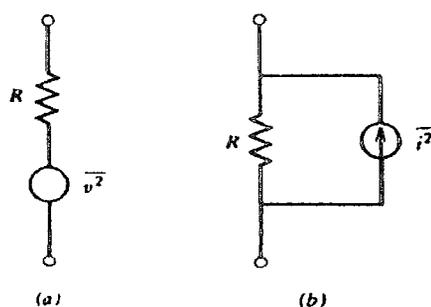


Figura 3.5 Fuentes de ruido equivalente en una resistencia

El valor cuadrático medio de ruido para la fuente de tensión y para la fuente de corriente equivalente de ruido se representan en las *ecuaciones 3.5 y 3.6* [10].

$$\overline{v^2} = 4KTR\Delta f \quad (3.5)$$

$$\overline{i^2} = 4T \frac{1}{R} \Delta f \quad (3.6)$$

De las ecuaciones anteriores se puede deducir que el valor del ruido térmico generado en una resistencia es directamente proporcional al ancho de banda de la señal.

La densidad espectral de potencia de la fuente de tensión serie y la del generador de corriente equivalente de ruido se muestra en las ecuaciones 3.7 y 3.8 respectivamente [10].

$$\frac{\overline{v^2}}{\Delta f} = S_{v(t)} = 4KTR \quad (3.7)$$

$$\frac{\overline{i^2}}{\Delta f} = S_{i(t)} = \frac{4KT}{R} \quad (3.8)$$

donde:

- K es la constante de Boltzman, $K = 1.381 \times 10^{-23} \text{ Jul } / ^\circ K$
- T es la temperatura absoluta
- Δf es el ancho de banda de la señal
- R resistencia del resistor

Las ecuaciones 3.5 y 3.6 muestran que la densidad espectral de potencia del ruido es de nuevo *independiente* de la frecuencia. Es decir, el ruido térmico generado por una resistencia a baja frecuencia es el mismo que el introducido a alta frecuencia. Por lo tanto el ruido térmico es otra fuente de ruido blanco.

3.1.1.2.2 Ruido térmico en transistores MOS

El ruido térmico que aparece en los transistores MOS es debido a que se comportan como una resistencia controlada por tensión. Este tipo de ruido puede ser modelado como un generador de corriente conectado entre el drenador y la fuente del transistor como se muestra en la *figura 3.6*.

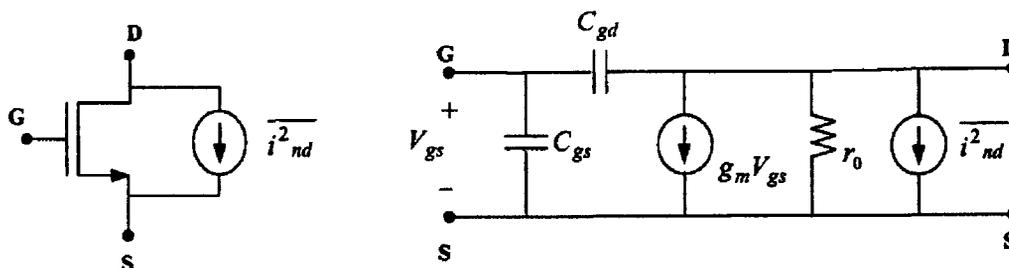


Figura 3.6 Representación del ruido térmico en un MOS y circuito equivalente.

La densidad espectral de potencia de esta fuente de ruido esta dada por la ecuación 3.9 [2].

$$S_{i_{nd}(t)}(f) = 4 \cdot K \cdot T \cdot \gamma \cdot g_{d0} \quad (3.9)$$

Siendo:

- g_{d0} la conductancia de la fuente de drenador para $V_{ds} = 0$. En el caso de que el MOS sea de canal largo y esté en saturación, g_{d0} puede ser sustituido por la transconductancia del transistor, g_m .
- γ un parámetro que en dispositivos de canal largo, está en función de V_{ds} .

Además del ruido térmico generado por la corriente de drenador, aparece otra fuente de ruido añadida. Esta fuente de ruido la genera la resistencia distribuida que presenta la puerta del transistor MOS. El polisilicio con el cual esta fabricada la puerta, no es un conductor ideal y presenta una resistencia asociada la cual presenta una fuente de ruido térmico.

El valor de la resistencia de puerta de un transistor MOS se calcula mediante la siguiente expresión [2]:

$$R_g = \frac{R_s \cdot W}{3 \cdot n^2 \cdot L} \quad (3.10)$$

Donde:

- R_g es la resistencia por cuadro del polisilicio
- W y L son las dimensiones del transistor MOS
- n es el número de dedos o transistores en que se ha dividido el transistor MOS.

En la ecuación 3.10 se puede deducir que el ruido introducido por la resistencia de puerta puede minimizarse utilizando técnicas en la realización del layout (técnicas interdigit, etc...).

En la figura 3.7 se muestra el circuito equivalente de un transistor MOS donde aparece enmarcado en línea discontinua la fuente de ruido equivalente al ruido de puerta y al ruido térmico generado por la corriente de drenador [2].

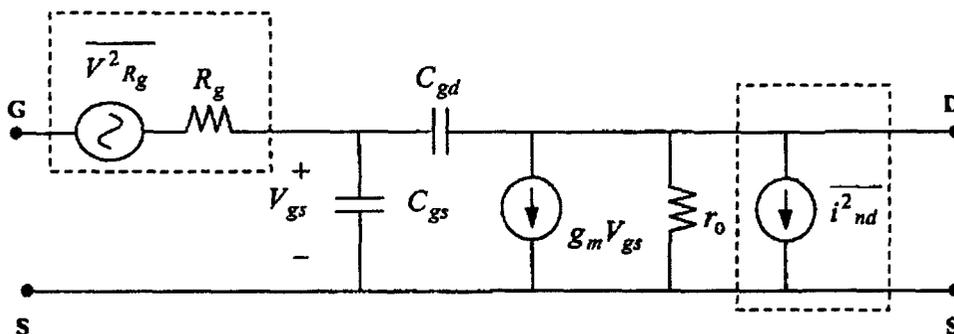


Figura 3.7 Representación del ruido térmico y ruido de puerta en un MOS

3.1.1.3 Ruido flicker

Este es un tipo de ruido que se encuentra en todos los dispositivos activos, así como en algunos elementos discretos pasivos como son las resistencias de carbón. Los orígenes del ruido de centelleo (Flicker) son varios, pero en los transistores bipolares se deben de manera principal a trampas asociadas con contaminación y defectos en el cristal en la capa de agotamiento emisor-base. Estas trampas capturan y liberan portadores de manera aleatoria y las constantes de tiempo asociadas con este proceso dan lugar a una señal de ruido con energía concentrada en bajas frecuencias.

El ruido de centelleo siempre está asociado con un flujo de corriente continua y presenta un valor cuadrático medio y una densidad espectral de la forma [10]:

$$\overline{i^2} = K_1 \frac{I^a}{f^a} \Delta f \quad (3.11)$$

$$\frac{\overline{i^2}}{\Delta f} = S_{i(f)} = K_1 \frac{I^a}{fb} \quad (3.12)$$

donde:

Δf es un ancho de banda pequeño.

I es el flujo de corriente continua del dispositivo.

K_1 es una constante particular para cada dispositivo.

a es una constante en el rango de 0.5 a 2.

b es una constante aproximada a la unidad.

Este ruido está caracterizado por una densidad espectral que aumenta cuando la frecuencia decrece como se puede ver en la *figura 3.8*. Por esta propiedad este ruido es muy diferente del ruido shot y térmico, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

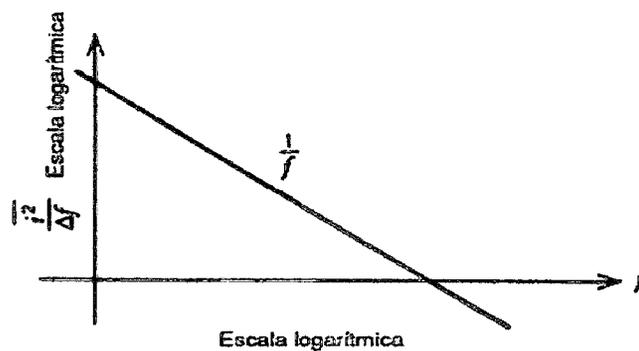


Figura 3.8 densidad espectral del ruido shot en función de la frecuencia

Debemos considerar que al trabajar con circuitos de RF estamos tratando con altas frecuencias por lo que el ruido flicker no tiene un efecto considerable.

3.1.1.4 Ruido de ráfaga ("*ruido pop corn*")

Este es otro tipo de ruido en baja frecuencia que se encuentra en algunos circuitos integrados y en transistores discretos. La fuente de este ruido no está totalmente entendida, aunque se ha demostrado que está relacionada con la presencia de contaminaciones de iones de metales pesados. Los dispositivos dopados con oro muestran muy altos niveles de ruido ráfaga.

El ruido de ráfaga se llama así porque en un trazo de osciloscopio de este tipo de ruido se muestran explosiones de ruido en varios (dos o más) niveles discretos, tal como aparece en la *figura 3.9*. La velocidad de repetición de los pulsos de ruido está por lo general en el rango de las audiodfrecuencias (unos cuantos KHz o menos) y produce un sonido como de "palomitas de maíz" cuando pasa a través de un altavoz. Esto ha llevado a identificar a este fenómeno con el nombre de "ruido palomitas de maíz".

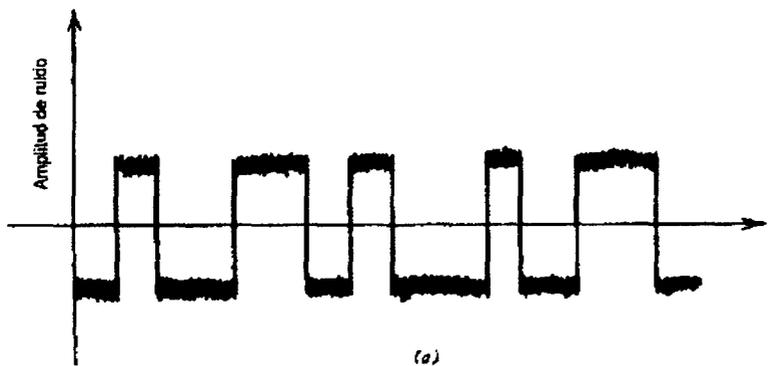


Figura 3.9 Onda de ruido ráfaga típica

La densidad espectral correspondiente al ruido ráfaga se puede demostrar que es de la forma [10]:

$$\frac{\overline{i^2}}{\Delta f} = K_2 \frac{I^c}{1 + \left(\frac{f}{f_c}\right)} \quad (3.13)$$

Donde:

K_2 es una constante para un dispositivo particular

I es una corriente continua

c es una constante en el rango 0.5 a 2

f_c es una frecuencia particular para un proceso de ruido dado

Este espectro se muestra en la *figura 3.10* e ilustra la "joroba" típica que es característica del ruido ráfaga. En frecuencias más altas el espectro de ruido cae a razón de $1/f^2$.

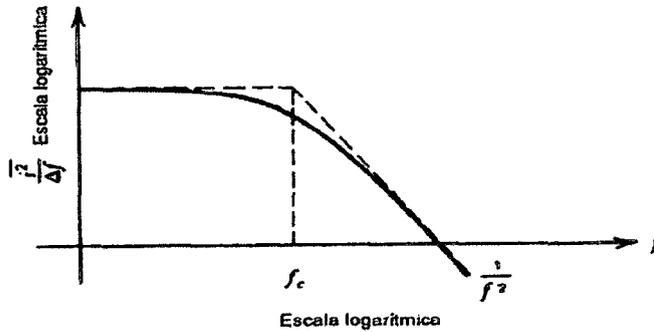


Figura 3.10 Densidad espectral del ruido ráfaga en función de la frecuencia

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

3.1.2 FIGURA DE RUIDO

El método más general para especificar el comportamiento frente al ruido de los circuitos es especificando generadores de ruido de entrada, tal como se escribió antes. Sin embargo, se ha desarrollado un cierto número de métodos especializados para especificar el comportamiento frente al ruido, que resultan convenientes en situaciones particulares.

La figura de ruido de un componente nos define la cantidad de ruido que introducirá el propio componente sin tener en cuenta el ruido exterior.

La figura de ruido (NF) es un método muy utilizado para especificar el comportamiento frente al ruido de un circuito o de un dispositivo. Su desventaja es que está limitada a situaciones donde la impedancia de fuente es resistiva, y esto imposibilita

su utilización en muchas aplicaciones donde el ruido es importante. Sin embargo, se utiliza ampliamente como una medida del comportamiento frente al ruido en sistemas de comunicaciones donde la impedancia de la fuente es a menudo resistiva.

La definición de la figura de ruido de un circuito es [2]

$$NF = 10\log(F) \quad (3.14)$$

donde F es el factor de ruido y viene dado por

$$F = \frac{\left(\frac{S}{N}\right)_{entrada}}{\left(\frac{S}{N}\right)_{salida}} \quad (3.15)$$

Así, la figura de ruido no es más que la representación en decibelios del factor de ruido. La utilidad del concepto de la figura de ruido resulta aparente de su definición, ya que da una medida directa de la relación de degradación de la señal al ruido (S/N) causada por el circuito. Por ejemplo, si la relación (S/N) en la entrada de un circuito es 50 dB, y la figura de ruido del circuito es 5 dB, entonces la relación S/N en la salida del circuito es 45 dB.

Considere un circuito como el que se muestra en la *figura 3.11*, donde S representa la potencia de la señal y N representa la potencia del ruido. La potencia del ruido de entrada N_i se toma siempre como el ruido en la resistencia de fuente. La potencia de ruido de salida N_o es el ruido de salida total incluyendo la contribución del circuito y el ruido transmitido de la resistencia de fuente.



Figura 3.11 Representación de un sistema mediante un cuadripolo

Si el sistema no presenta ruido, se cumple que $\left(\frac{S}{N}\right)_{entrada} = \left(\frac{S}{N}\right)_{salida}$. Por lo tanto, la

figura de ruido de un sistema sin ruido es igual a la unidad. Lo que ocurre en la realidad es que el ruido finito de un sistema degrada la relación señal-ruido de la señal, por lo que $NF > 1$.

La figura de ruido de una etapa no solo depende del ruido introducido por el propio sistema sino también de la relación señal-ruido de la etapa precedente. De hecho, si la señal de entrada no contiene ruido, la $\left(\frac{S}{N}\right)_{entrada}$ sería infinita y por consiguiente la figura de ruido también. Para un caso así, la NF no es un parámetro significativo. En el diseño de RF esto no ocurre porque la señal que llega a la primera etapa de la cadena de recepción ya está degradada debido al ruido producido por la resistencia de radiación de la antena. Por lo tanto en este caso la figura de ruido que presenta un componente si es un parámetro de medida importante ya que nos define la calidad del mismo en cuanto su inmunidad al ruido.

3.1.2.1 Figura de ruido en etapas en cascada

La figura de ruido de un sistema de etapas conectadas en cascada se determina por la ecuación de Friis, ecuación 3.16. Según esta ecuación el factor de ruido total del sistema está en función de los factores de ruido y la ganancia de cada etapa [2].

$$F_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_n - 1}{G_1 \cdot \dots \cdot G_{(n-1)}} \quad (3.16)$$

Como se puede observar en la ecuación 3.16, el factor de ruido de la primera etapa se suma directamente al factor de ruido total del sistema, mientras que los factores de ruido de las subsiguientes etapas está dividido por la ganancia total de todas las etapas anteriores.

Lógicamente, tanto la figura de ruido como la ganancia de la primera etapa del terminal influyen de manera fundamental en la figura de ruido del sistema. Si la ganancia de la primera etapa es suficientemente grande se puede aproximar la figura de ruido del

sistema por la figura de ruido de la primera etapa. Por tanto interesa que la primera etapa amplifique lo máximo posible introduciendo el mínimo ruido posible.

En el caso de un receptor para Bluetooth la primera etapa que encontramos en la cadena de recepción es el LNA. Por este motivo el diseño de esta etapa es crítico ya que determina en gran medida la figura de ruido del receptor tal y como refleja la fórmula de Friis. Por ello es importante que el LNA presente la mínima figura de ruido posible.

3.2 ADAPTACIÓN DE IMPEDANCIAS

Cuando un circuito está terminado en una impedancia distinta de la impedancia característica del mismo, parte de la energía suministrada por el generador es reflejada por la carga produciéndose una onda estacionaria. La adaptación de impedancias, consiste en eliminar las posibles reflexiones que se produzcan en un circuito, especialmente si son de alta frecuencia.

Las razones que aconsejan la adaptación son numerosas. La primera y más importante es conseguir la máxima transferencia de energía del generador a la carga de forma que toda la potencia disponible del generador se transfiera a la carga. Así, en la *figura 3.12* con $Z_L \neq Z_0$, si se intercala entre la carga y la línea una sección adaptadora sin pérdidas de forma que $Z_e = Z_0$, no habrá onda estacionaria en la línea y toda la potencia del generador llegará a la carga excepto las pérdidas disipativas que hay en la línea.

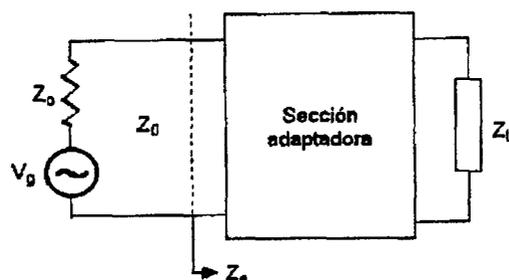


Figura 3.12 Carga adaptada en impedancia

La adaptación de impedancias en un circuito es necesaria en los siguientes casos:

- Cuando existan conexiones externas del chip
- Cuando se quiera testear por separado un circuito en un primer proceso, ya que los aparatos de medida están adaptados en impedancia.

En el caso del LNA la necesidad de adaptación es debida a que esta etapa se encuentra al inicio del terminal de recepción y por tanto su entrada corresponde a una conexión externa como es una antena de recepción.

La antena al igual que todos los componentes externos al LNA están adaptados por convenio a una impedancia de 50Ω , por lo que al menos la entrada del LNA ha de estar adaptada en impedancia.

En nuestro caso el LNA se adaptará tanto a la entrada como al salida ya que las medidas se realizarán sobre la propia oblea y los aparatos de medida utilizados están adaptados también a 50Ω .

3.2.1 COEFICIENTE DE REFLEXIÓN

En sistemas de radio frecuencia se define el coeficiente de reflexión Γ_L como la relación entre la potencia reflejada y la potencia incidente. Como sabemos la cantidad de potencia reflejada depende del grado de adaptación que existe entre la fuente de transmisión y la carga conectada a dicha línea.

Por ejemplo, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica Z_0 y suponemos que la impedancia del generador es igual a la impedancia característica de la línea ($Z_0 = Z_L$) toda la potencia transmitida desde la fuente será transferida a la carga. Esto significa que la potencia de señal reflejada es cero y por tanto el coeficiente de reflexión también es cero. Sin embargo, cuando la impedancia de la carga no es igual a la impedancia característica de la línea ($Z_0 \neq Z_L$), parte de la potencia transmitida es reflejada y entonces tendremos un coeficiente de reflexión distinto de cero.

3.2.1.1 Coeficiente de onda estacionario VSWR

Este coeficiente está relacionado con el coeficiente de reflexión, Γ_L según la expresión 3.17 e indica cómo de adaptado está nuestro circuito a la entrada ($VSWR1$) y a la salida ($VSWR2$) [2].

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (3.17)$$

En esta ecuación podemos ver que si terminamos la línea de transmisión con una impedancia característica Z_0 , el coeficiente de reflexión será cero y por tanto tendremos un $VSWR$ de valor 1.

El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión es porque es más fácil de medir ya que no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas.

3.3 GANANCIA

La ganancia de tensión de un circuito se puede expresar como:

$$Ganancia = \frac{V_{salida}}{V_{entrada}} \quad (3.18)$$

Siendo su valor en decibelios:

$$Ganancia(db) = 20 \log \left(\frac{V_{salida}}{V_{entrada}} \right) \quad (3.19)$$

Cuando se trabaja con sistemas de radiofrecuencias no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de una etapa se utilizan los parámetros S , más concretamente el S_{21} .

3.4 FIDELIDAD Y DISTORSIÓN

En este apartado se va explicar el concepto de producto de intermodulación. Para ello previamente se describirán una serie de conceptos que ayudarán a su mejor comprensión.

3.4.1 FIDELIDAD

Se define la fidelidad de un receptor como la capacidad que tiene el mismo de reproducir las características de modulación de la señal recibida con un nivel de distorsión no superior a un valor especificado.

3.4.2 DISTORSIÓN

Idealmente, si aplicamos a la entrada de un amplificador una señal sinusoidal tenemos a la salida la misma señal de entrada amplificada. Generalmente en la realidad no ocurre esto, es decir la onda de salida del amplificador no es una réplica exacta de la entrada sino que han tenido lugar varios tipos de distorsión. Estas distorsiones en la señal pueden ser debidas a la no linealidad de los componentes o a la influencia de los circuitos asociados al mismo.

Los tipos de distorsión que pueden darse en una señal, ya sea de manera separada o simultánea son:

- Distorsión lineal
- Distorsión no lineal

3.4.2.1 Distorsión armónica

La señal de entrada de radiofrecuencia de un mezclador (F_{RF}) es trasladada utilizando la frecuencia generada por el oscilador local (F_{LO}). Si el mezclador se comporta como un multiplicador perfecto, en la salida sólo aparecerán componentes frecuenciales en $(F_{LO} + F_{RF})$ y $(F_{LO} - F_{RF})$. Sin embargo, en un mezclador real, la frecuencia de salida (F_{IF}), presenta la forma: $F_{IF} = \pm nF_{LO} \pm mF_{RF}$ donde n y m son números enteros. Estos productos se conocen como armónicos [10].

3.4.2.2 Distorsión de intermodulación o de dos tonos

Al introducir en el mezclador dos tonos de la misma amplitud y frecuencias diferentes, las no linealidades del mezclador originan productos de intermodulación a la salida. Las componentes frecuenciales de salida están situadas en [10]:

$$F_{IF} = F_{OL} \pm |\pm nF_{RF1} \pm mF_{RF2}| \quad (3.20)$$

El orden del producto de intermodulación viene definido por la suma de los valores absolutos de los coeficientes m y n .

A continuación se incluyen algunas definiciones de los parámetros más habituales relacionados con la linealidad:

IP3: Se define como *IP3*, o punto de intercepción de tercer orden, el valor teórico en el que la potencia del producto de intermodulación de tercer orden iguala a la potencia del armónico fundamental, expresadas ambas en dBm.

IMD3: Se conoce como *IMD3*, o distancia de intermodulación de tercer orden, a la diferencia entre la potencia de salida del armónico fundamental y del producto de intermodulación de tercer orden, ambas en dBm, para una potencia de entrada determinada. Los conceptos de *IP3* e *IMD3* aparecen reflejados en la gráfica de la *figura 3.13*.

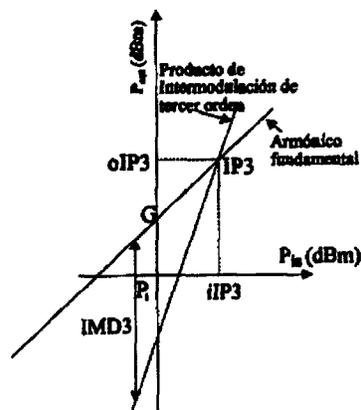


Figura 3.13. Definición de *IP3* e *IMD3*.

Observando las relaciones trigonométricas obtenidas a partir de la *Figura 3.13*, el $IP3$ referido a la salida ($oIP3$), se obtiene a partir del $IP3$ referido a la entrada ($iIP3$), a través de la ganancia:

$$oIP3 = iIP3 + G \quad (3.21)$$

En cuanto al $IMD3$ de la potencia de entrada P_1 , se relaciona con el punto de intercepción de tercer orden según la *expresión 3.21*.

$$iIP3 = \frac{IMD3(P_1)}{2} + P_1 \quad (3.22)$$

3.4.2.3 Influencia del $iIP3$ de un elemento de la cadena

El $iIP3$ de varios elementos aislados se relaciona con el $iIP3$ total del sistema que forman según la *expresión 3.23* [10].

$$iIP3 = -10 \log \frac{1}{iIP3_1^2} + \sum_{j=2}^N \left\{ \frac{1}{iIP3_j^2} \prod_{v=1}^{j-1} A_{v_i}^2 \right\} \quad (3.23)$$

donde $iIP3_j$ y A_{v_j} son respectivamente, el punto de intercepción de tercer orden referido a la entrada, y la ganancia de la etapa j , ambas expresadas en magnitud.

3.5 PARÁMETROS S

Para el análisis y cálculos de los distintos parámetros que intervienen en el diseño del LNA como puede ser la ganancia, el nivel de aislamiento, la adaptación a la entrada y a la salida se utilizan los parámetros S. A continuación se exponen brevemente las causas de su utilización en RF y su significado.

Cualquier elemento de una cadena de recepción puede considerarse como un cuadripolo, es decir, una caja con dos puertos uno de entrada y otro de salida. Para el estudio de un cuadripolo existen otros tipos de parámetros como los Z, los Y, o los ABCD.

Para obtener estos parámetros es necesario realizar un cortocircuito o un circuito abierto entre los terminales de entrada o salida del cuadripolo. El efecto que produce esto a baja frecuencia no tiene gran repercusión en cuanto a efectos parásitos externos. Sin embargo, si se trabaja en RF el cable utilizado para realizar el corto circuito tendría una inductancia asociada no despreciable y el circuito abierto una capacidad.

Por este motivo en circuitos de radio frecuencia no se miden tensiones ni corrientes, sino que se miden potencias de señal. Si la entrada y salida del cuadripolo están adaptadas a 50Ω , valor establecido por convenio, la potencia no se ve afectada por el cable de medida. Por este motivo se utilizan los parámetros S para medir en función de la potencia de la señal.

La representación de los parámetros S puede verse en la ecuación y en la figura

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (3.24)$$

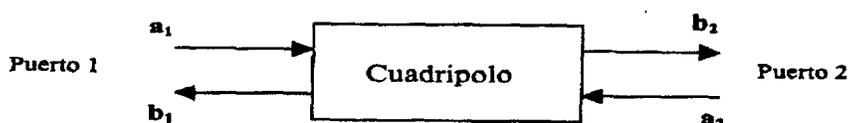


Figura 3.14. Representación cuadripolo.

donde:

- a representa la potencia incidente al cuadripolo $\begin{cases} a_1 \rightarrow \text{entrada} \\ a_2 \rightarrow \text{salida} \end{cases}$
- b representa la potencia reflejada por el cuadripolo $\begin{cases} b_1 \rightarrow \text{entrada} \\ b_2 \rightarrow \text{salida} \end{cases}$

3.5.1 PARÁMETRO S_{11}

Viene dada por la *ecuación 3.25* e indica el grado de adaptación de la impedancia de entrada. Si la entrada esta adaptada no debiese haber potencia reflejada lo que significa que $S_{11} = 0+0j$. Hay que recordar que en este caso el coeficiente de onda estacionario es $VSWR1=1$.

$$S_{11} = \left. \frac{b_2}{a_1} \right|_{a_2 = 0} \quad (3.25)$$

3.5.2 PARÁMETRO S_{22}

En este caso la expresión a usar es la *3.26* e indica el grado de adaptación de la impedancia de salida. Si la salida esta adaptada no debería haber potencia reflejada hacia la carga desde el puerto de salida lo que significa $S_{22} = 0+0j$. En este caso tenemos que $VWSR2=1$.

$$S_{22} = \left. \frac{b_1}{a_2} \right|_{a_1 = 0} \quad (3.26)$$

3.5.3 PARÁMETRO S_{12}

Representa la ganancia de potencia en inversa y su expresión se muestra en la *ecuación 3.27*. Con este parámetro se expresa el nivel de aislamiento del circuito que se está analizando. Se pretende que la señal de salida del cuadripolo no aparezca reflejada en la entrada.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1 = 0} \quad (3.27)$$

3.5.4 PARÁMETRO S_{21}

Representa la ganancia en potencia en directa tal y como se expresa en la *ecuación 3.28*. Normalmente interesa que este valor sea lo más alto posible.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2 = 0} \quad (3.28)$$

CAPÍTULO 4

Arquitecturas típicas de un LNA

En este capítulo vamos a ver las diferentes arquitecturas que existen a la hora de diseñar un amplificador de bajo ruido. Analizaremos cada una de ellas y las compararemos entre si para elegir la que mejor se adapte a nuestras necesidades. Cuando analicemos las diferentes estructuras expondremos sus características más importantes, sus ventajas y desventajas frente a otras arquitecturas.

Toda la información aquí recopilada se debe al estudio de diferentes publicaciones y artículos referentes al diseño de circuitos integrados.

4.1 ARQUITECTURA DIFERENCIAL

El amplificador diferencial es un circuito que constituye la parte fundamental de muchos amplificadores, en este capítulo se describen y analizan diferentes tipos de amplificadores diferenciales basados en dispositivos bipolares y MOSFET.

El amplificador diferencial es un sistema que amplifica la diferencia de dos señales de entrada. Es decir, si aplicamos dos señales a sus entradas V_1 y V_2 , a la salida tendremos



la diferencia de estas dos señales multiplicada por una constante. Esta constante será la ganancia. La señal de salida V_o viene dada por la ecuación 4.1. [2]

$$V_o = A_v(V_1 - V_2) \quad (4.1)$$

Las aplicaciones de este tipo de amplificadores son múltiples. En muchas ocasiones la señal que se recibe en un receptor de RF es muy ruidosa y es necesario eliminar el ruido para poder quedarnos con la señal original sin ningún tipo de interferencias.

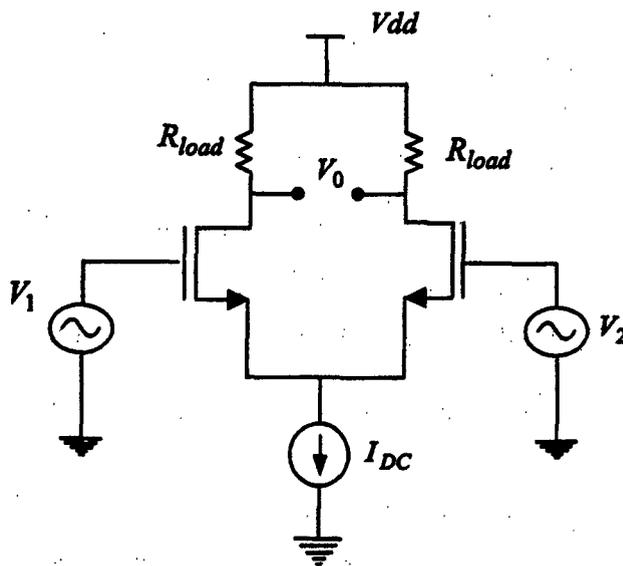


Figura 4.1 Amplificador con arquitectura diferencial

El amplificador diferencial además de amplificar la señal que llega a su entrada elimina el ruido que acompaña a la señal. En la figura 4.1 se muestra la estructura básica de un amplificador diferencial basado en transistores MOS.

Supongamos que se recibe una señal $V(t)$ la cual tiene una componente de ruido $n(t)$ sumada. La señal $V(t)$ se puede descomponer en dos señales V_1 y V_2 como se muestra en las ecuaciones 4.2 y 4.3 [2].

$$V_1 = \frac{V(t)}{2} + n(t) \quad (4.2)$$

$$V_2 = \frac{-V(t)}{2} + n(t) \quad (4.3)$$

Como se puede ver la señal de ruido $n(t)$ está presente en las dos entradas de la etapa diferencial es decir es una señal común a las señales V_1 y V_2 . Si aplicamos estas señales a la entrada del amplificador diferencial como se indica en la *figura 4.1* obtendremos el siguiente resultado [2]:

$$V_o = A_v(V_1 - V_2) = A_v\left(\frac{V(t)}{2} + n(t) + \frac{V(t)}{2} - n(t)\right) = A_v V(t) \quad (4.4)$$

Como se puede observar en la *ecuación 4.4*, a la salida del amplificador tenemos la señal original $V(t)$ amplificada por una constante A_v y además sin la componente de ruido $n(t)$. Es decir, se ha eliminado la señal $n(t)$ que era común a las dos señales de entrada V_1 y V_2 .

Es evidente que la arquitectura diferencial es idónea para sistemas de recepción donde es necesario amplificar la señal de entrada y además eliminar el ruido común que tiene sumado.

4.1.1 ARQUITECTURA DIFERENCIAL CON BIPOLARES

En la *figura 4.2* aparece la estructura básica de este amplificador con bipolares. Uno de sus aspectos más importantes es su simetría que le confiere unas características muy especiales de análisis y diseño. Por ello, los transistores $Q1$ y $Q2$ deben ser idénticos, aspecto que únicamente se logra cuando el circuito está fabricado en un chip. Realizar este amplificador con componentes discretos pierde sus principales propiedades al romperse esa simetría.

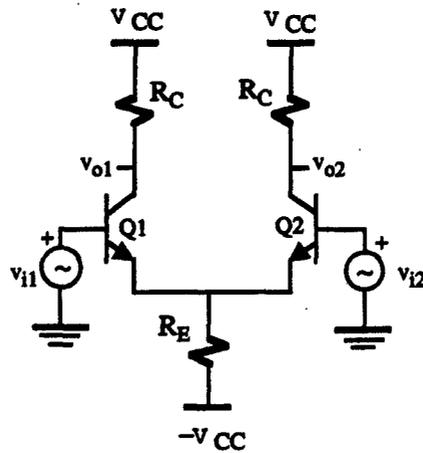


Figura 4.2. Amplificador diferencial básico

4.1.1.1 Análisis de las configuraciones en modo común y diferencial

La simetría del amplificador diferencial permite simplificar su análisis convirtiendo las tensiones de entrada en tensiones de entrada de modo común y modo diferencial. Además, estos conceptos están en consonancia con las aplicaciones típicas del amplificador operacional que se suele utilizar para amplificar la diferencia entre las dos señales de entrada. La tensión de entrada en modo diferencial (V_{id}) y modo común (V_{ic}) se definen como [12]:

$$\left\{ \begin{array}{l} V_{id} = V_{i1} - V_{i2} \\ V_{ic} = \frac{V_{i1} + V_{i2}}{2} \end{array} \right. \quad \text{o} \quad \left\{ \begin{array}{l} V_{i1} = \frac{V_{id}}{2} + V_{ic} \\ V_{i2} = \pm \frac{V_{id}}{2} + V_{ic} \end{array} \right. \quad (4.5)$$

A su vez, estas tensiones (V_{id}) y (V_{ic}) dan lugar a dos tensiones de salida, en modo diferencial (V_{od}) y modo común (V_{oc}), definidas de una manera similar como

$$\left\{ \begin{array}{l} V_{od} = V_{o1} - V_{o2} \\ V_{oc} = \frac{V_{o1} + V_{o2}}{2} \end{array} \right. \quad \text{o} \quad \left\{ \begin{array}{l} V_{o1} = \frac{V_{od}}{2} + V_{oc} \\ V_{o2} = \pm \frac{V_{od}}{2} + V_{oc} \end{array} \right. \quad (4.6)$$

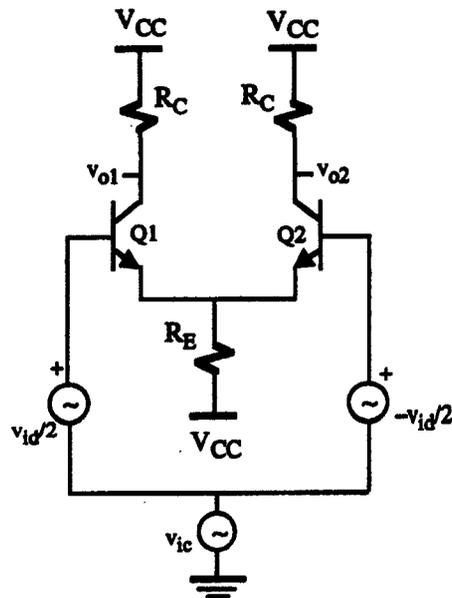


Figura 4.3. Amplificador diferencial con tensiones en modo diferencial y modo común

Con la definición de las tensiones en modo diferencial y modo común, el amplificador diferencial tiene dos ganancias, una en modo diferencial (A_d) y otra en modo común (A_c) definidas como [12]:

$$A_d = \frac{V_{od}}{V_{id}} \quad (ib_1 = -ib_2) \quad \text{y} \quad A_c = \frac{V_{oc}}{V_{ic}} \quad (ib_1 = ib_2) \quad (4.7)$$

La aplicación de estos conceptos permite transformar el circuito de la *figura 4.2* en el de la *figura 4.3*. Este nuevo circuito presenta unas propiedades de simetría que facilita su análisis mediante la aplicación del principio de superposición a las entradas en modo diferencial y común independientemente.

- **Ganancia en modo diferencial**

En la *figura 4.4* se muestra el circuito equivalente simplificado del amplificador diferencial cuando únicamente se considera modo diferencial a la entrada. El análisis del circuito establece las siguientes ecuaciones

$$\begin{cases} \frac{V_{id}}{2} = i_{b1}h_{ie} - i_{b2}h_{ie} - \frac{V_{id}}{2} \Rightarrow V_{id} = (i_{b1} - i_{b2})h_{ie} \\ V_e = (i_{b1} + i_{b2})(1 + h_{fe})R_E \\ \frac{V_{id}}{2} = i_{b1}h_{ie} + V_e \end{cases} \quad (4.8)$$

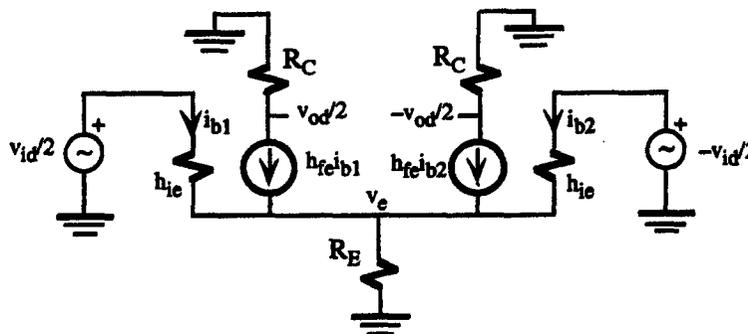


Figura 4.4. Amplificador diferencial en modo común ($h_{oe}=h_{re}=0$).

Resolviendo las ecuaciones de 4.8 se llega fácilmente a la siguiente relación

$$(i_{b1} + i_{b2})(h_{ie} / 2 + (1 + h_{fe})R_E) = 0 \quad (4.9)$$

siendo la única solución posible

$$i_{b1} = -i_{b2} \quad (4.10)$$

resultando que

$$V_e = 0 \quad (4.11)$$

La ecuación 4.11 indica que la tensión de pequeña señal en el emisor de los transistores es nula, es decir, que ese nudo se comporta como un nudo de masa virtual; no hay que confundirla con la masa real del circuito. Por consiguiente, analizar el circuito de la figura 4.4 es equivalente a analizar los circuitos equivalentes del amplificador diferencial en modo diferencial mostrados en las figuras 4.5.a y 4.5.b. La ganancia en tensión en modo diferencial de este amplificador es

$$A_d = \frac{V_{od}/2}{V_{id}/2} = -\frac{h_{fe}R_C}{h_{ie}} \quad (4.12)$$

La impedancia de entrada del circuito de la *figura 4.5* es $Z_i = h_{ie}$. Por consiguiente, la impedancia de entrada vista a través de los dos terminales de entrada diferencial es

$$Z_{id} = 2h_{ie} \quad (4.13)$$

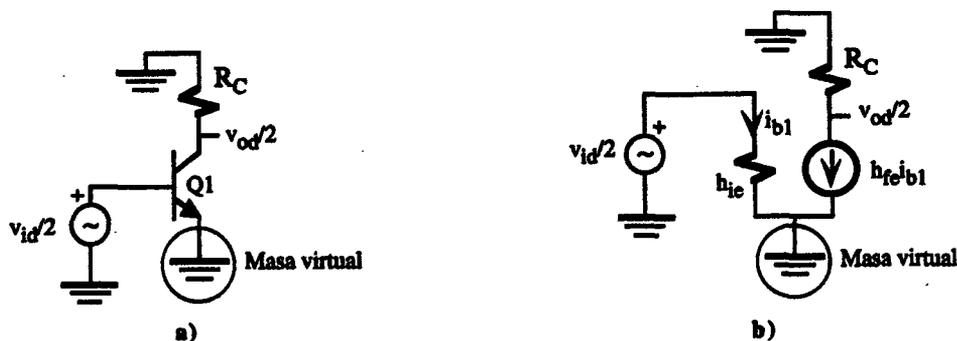


Figura 4.5. Circuitos equivalente del amplificador diferencial en modo común a) en alterna, b) en pequeña señal (hoe=hre=0).

• **Ganancia en modo común**

En la *figura 4.6* aparece el circuito equivalente del amplificador diferencial cuando únicamente se considera modo común a la entrada. Para obtener un circuito más simplificado se va a determinar en primer lugar las impedancias equivalentes Z_{e1} y Z_{e2} vista a través de los emisores de los transistores $Q1$ y $Q2$. Estas impedancias se definen como [12]

$$Z_{e1} = \frac{V_e}{i_{e1}} = \frac{V_e}{i_{b1} + h_{fe}i_{b1}} \quad \text{y} \quad Z_{e2} = \frac{V_e}{i_{e2}} = \frac{V_e}{i_{b2} + h_{fe}i_{b2}} \quad (4.14)$$

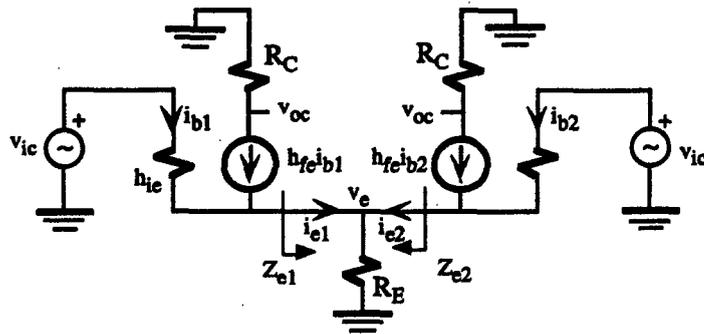


Figura 4.6. Amplificador diferencial en modo común.

Analizando el circuito de la figura 4.6 se obtiene la siguiente ecuación

$$V_{ic} = i_{b1}h_{ie} - i_{b2}h_{ie} + V_{ic} \tag{4.15}$$

Que permite demostrar que

$$i_{b1} = i_{b2} \tag{4.16}$$

Por otra parte, la tensión V_e se puede expresar como

$$V_e = (i_{b1} + h_{fe}i_{b1} + i_{b2} + h_{fe}i_{b2})R_E \tag{4.17}$$

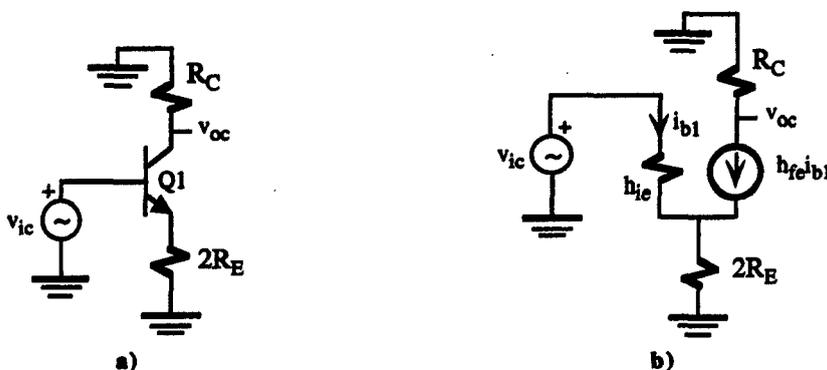


Figura 4.7 Circuitos equivalente del amplificador diferencial en modo común a) en alterna b) en pequeña señal ($h_{oe}=h_{re}=0$).

Y utilizando las ecuaciones 4.14, 4.15 y 4.16 fácilmente se demuestra que

$$Z_{e1} = Z_{e2} = 2R_E \quad (4.18)$$

Luego, los emisores de $Q1$ y $Q2$ “ven” una resistencia equivalente expresada en 4.18 de forma que el circuito de la figura 4.6 se transforma en los circuitos equivalentes más sencillos mostrados en las figuras 4.7.a y 4.7.b. Fácilmente se demuestra que la ganancia en modo común es

$$A_c = \frac{V_{o1}}{V_{ic}} = \frac{V_{oc}}{V_{ic}} = -\frac{h_{fe}R_C}{h_{ie} + 2R_E(1 + h_{fe})} \quad (4.19)$$

4.1.1.2 Relación de rechazo en modo común

Un amplificador diferencial ideal tiene una tensión de salida proporcional a V_{id} y no depende de la componente en modo común ($A_c=0$). En la práctica no sucede así y para medir esa desviación se introduce el concepto de relación de rechazo en modo común CMRR; en inglés “*common-mode rejection ratio*”. Se define la CMRR como la relación entre la ganancia en modo diferencial y la ganancia en modo común [12]

$$CMRR = \frac{A_d}{A_c} \quad (4.20)$$

que a veces se expresa en decibelios como

$$CMRR(db) = 20 \log_{10} \left(\frac{A_d}{A_c} \right) \quad (4.21)$$

4.1.1.3 Amplificador diferencial bipolar con fuente de corriente

En la etapa diferencial anterior una CMRR muy elevada exige una R_E grande; en el caso ideal $CMRR \Rightarrow \infty$ $R_E \Rightarrow \infty$. Sin embargo, la polarización del transistor es fuertemente dependiente del valor de esta resistencia. Una alternativa que se utiliza en la práctica consiste en sustituir la resistencia R_E por una fuente de corriente. De esta manera,

la polarización del circuito puede realizarse con facilidad y la CMRR es muy elevada ya que una fuente de corriente presenta una impedancia interna muy alta.

En la *figura 4.8.a* se muestra un amplificador diferencial polarizado con una fuente de corriente de valor I_{EE} . Esta corriente se reparte simétricamente en ambos transistores resultando que en continua

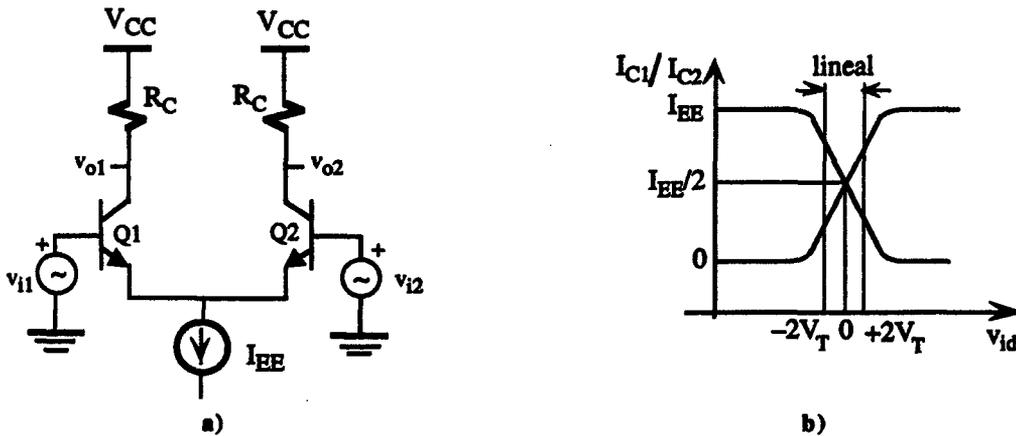


Figura 4.8.a) Amplificador diferencial polarizado con fuente de corriente b) Característica de transferencia del circuito.

$$I_{C1} \approx I_{C2} \approx \frac{I_{EE}}{2} \quad (4.22)$$

Cuando se aplica una tensión de entrada diferencial, la suma de corriente en ambos transistores se mantiene constante a I_{EE} , es decir,

$$I_{C1} + I_{C2} = I_{EE} \quad (4.23)$$

Esto significa que un incremento de corriente en un transistor origina una disminución de corriente en la misma proporción en el otro transistor. La gráfica de la *figura 4.8.b* presenta la característica de transferencia del amplificador cuando se aplica una tensión en modo diferencial. Este circuito opera con tensiones máximas de entrada en modo diferencial bajas; del orden de $100\text{mV} \approx 4V_T$. Superado este valor uno de los transistores se corta y por el otro circula toda la corriente I_{EE} . Las características de

transferencia son lineales en una pequeña región de operación ($\pm 2V_T$). Una modificación de este amplificador para que trabaje con tensiones en modo diferencial mayores consiste en añadir una resistencia de emisor tal como se describe en la *figura 4.9.a*. Este circuito mantiene la simetría de un amplificador diferencial aumentando el rango de tensiones de entrada. Este efecto se puede observar claramente en la *figura 4.9.b* en donde la característica de transferencia tiene un rango de entrada lineal mayor según aumenta R_E . El inconveniente es que la ganancia en modo diferencial disminuye. Para este circuito, se puede demostrar que si $h_{re} = h_{oe} = 0$, la ganancia en modo diferencial vale [12]

$$A_d = \pm \frac{h_{fe} R_C}{h_{ie} + (1 + h_{fe}) R_E} \quad (4.24)$$

Valores razonables de R_E deben estar comprendidos entre 50 a 100 Ω ya que con valores grandes la A_d se reduce excesivamente.

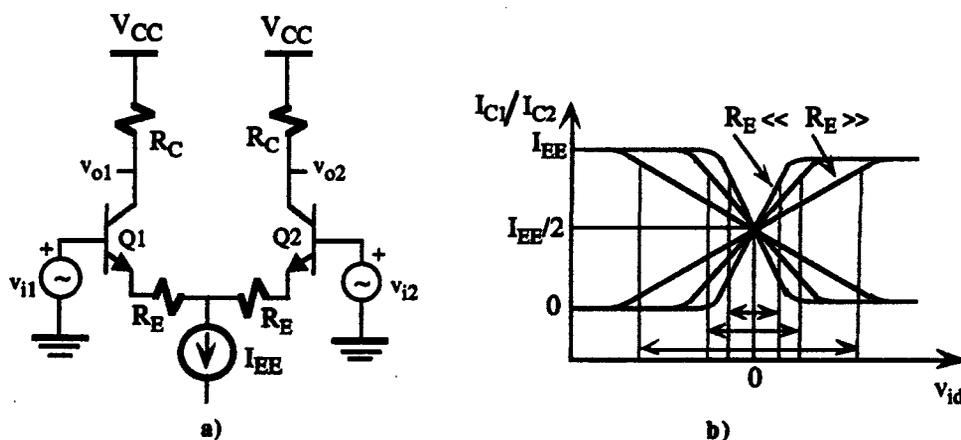


Figura 4.9. a) Amplificador diferencial con resistencia de emisor. b) Característica de transferencia del circuito para diferentes valores de resistencias de emisor.

4.1.2 ARQUITECTURA DIFERENCIAL CON MOSFET

La impedancia de entrada de un amplificador diferencial puede ser muy alta si se utiliza transistores FET. La *figura 4.10.a* presenta un amplificador diferencial básico

basado en los transistores NMOS, M1 y M2, cuya polarización se realiza a través de una fuente de corriente de valor I_{SS} con una resistencia interna R_{SS} . La figura 4.10.b muestra el circuito equivalente de pequeña señal. Al presentar este amplificador las mismas características de simetría descritas en el amplificador diferencial bipolar se puede utilizar la conversión a señal modo diferencial y modo común. Por similitud, en modo diferencial el terminal fuente de estos transistores se comporta como un nudo de masa virtual y en modo común la resistencia R_{SS} se descompone en dos en paralelo. Aplicando estos principios de simetría es sencillo comprobar que la ganancia en modo diferencial y común vale [12]

$$A_d = -g_m(R_D \parallel r_d)$$

$$A_c = \frac{-g_m r_d R_D}{2R_{SS}(1 + g_m r_d) + r_d + R_D} \quad (4.25)$$

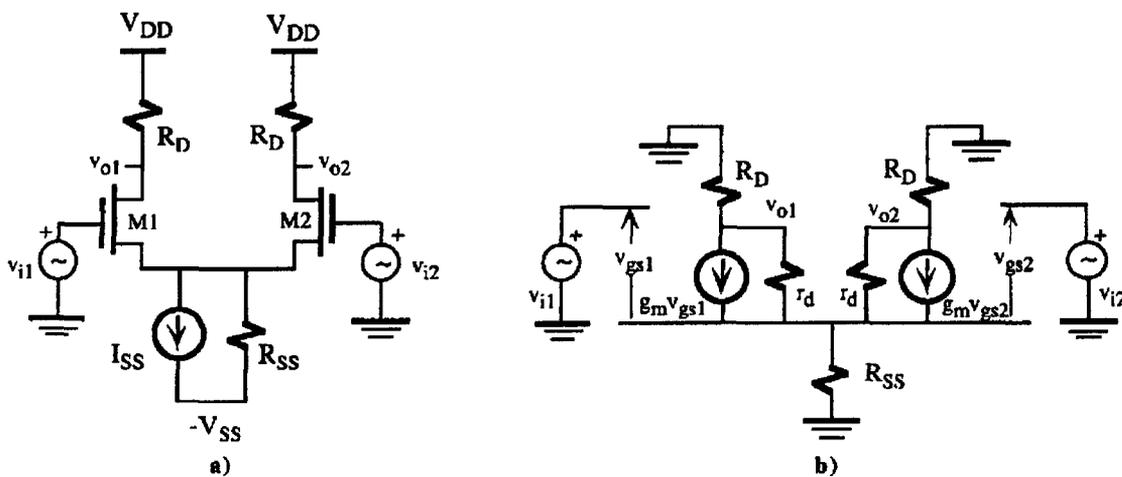


Figura 4.10. a) Amplificador diferencial simple de transistores NMOS. b) Circuito equivalente de pequeña señal.

La ganancia de este amplificador puede mejorarse utilizando cargas activas. En la figura 4.11 aparece un amplificador diferencial NMOS con carga activa formado por los transistores M3 y M4. Estos transistores tienen la puerta y el drenador cortocircuitado de forma que en pequeña señal pueden ser sustituidos por un elemento resistivo de valor $r_{dl} \parallel 1/g_{m_l}$ (subíndice l de *load*). Las expresiones de la A_d y A_c son similares a las descritas en la ecuación 4.25 sustituyendo la R_D por la carga equivalente $r_{dl} \parallel 1/g_{m_l}$.

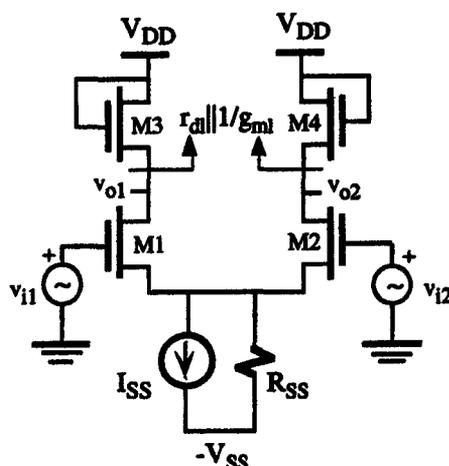


Figura 4.10 Amplificador diferencial NMOS con carga activa

4.2 ARQUITECTURA SIMPLE

El análisis de un amplificador tiene como objetivo obtener su modelo equivalente en tensión o intensidad para lo cual es preciso determinar su impedancia de entrada, impedancia de salida y ganancia de tensión o intensidad.

En las figuras 4.11, 4.12, 4.13 y 4.14 se resume las configuraciones más utilizadas de amplificadores básicos basados en transistores FET, bien sea JFET o MOSFET. Estas configuraciones son: fuente común, fuente común con resistencia de fuente, puerta común y drenador común. Las ecuaciones indicadas debajo de cada figura permiten obtener el modelo equivalente en tensión de los diferentes circuitos. Un FET operando en fuente común presenta la mayor ganancia en tensión aunque ésta sea muy inferior a los valores de emisor común en transistores bipolares. La configuración drenador común tiene una ganancia ligeramente inferior a 1, similar al colector común en transistores bipolares.

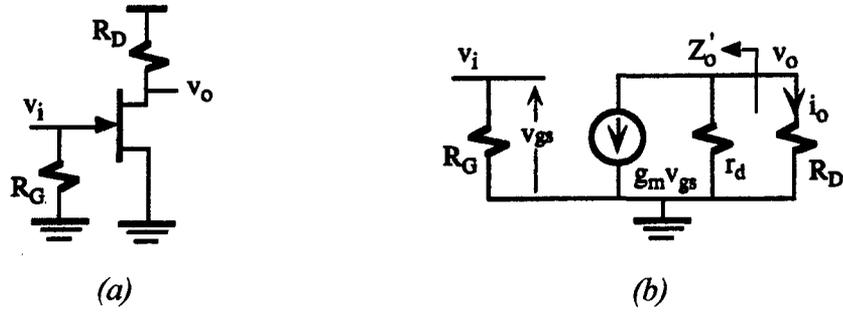


Figura 4.11. a) Configuración del amplificador fuente común. b) Modelo equivalente en pequeña señal

$$\begin{cases}
 A_v = -\frac{g_m r_d R_D}{R_D + r_d} \\
 A_i = -\frac{g_m r_d R_G}{R_D + r_d} \\
 Z_i = R_G \\
 Z_o' = r_d \\
 Z_o = Z_o' \parallel R_D
 \end{cases}
 \quad (4.26)$$

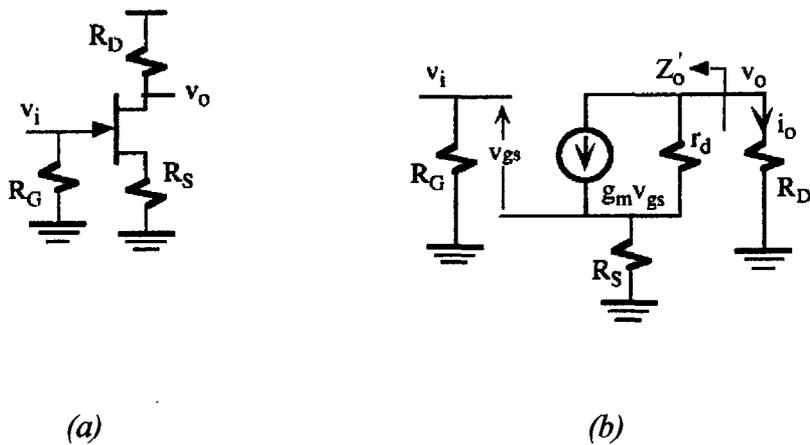


Figura 4.12. a) Configuración del amplificador fuente común con resistencia de fuente. b) Modelo equivalente en pequeña señal

$$\left\{ \begin{array}{l} A_v = -\frac{g_m r_d R_D}{R_D + r_d + (1 + g_m r_d) R_S} \\ \text{si } \rightarrow (1 + g_m r_d) R_S \gg R_D + r_d \\ \text{y} \\ g_m r_d \gg 1 \\ A_v \approx -\frac{R_D}{R_S} \\ Z_i = R_G \\ Z'_o = r_d + (1 + g_m r_d) R_S \\ Z_o = Z'_o \parallel R_D \end{array} \right. \quad (4.27)$$

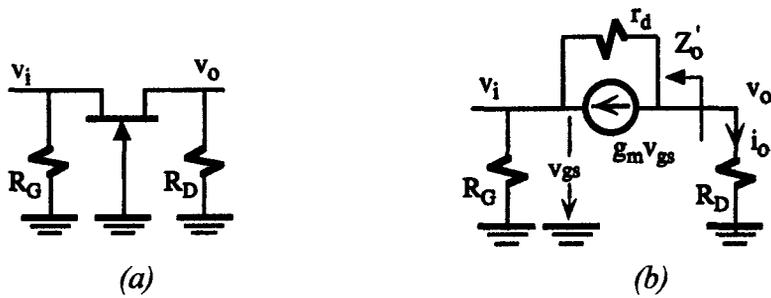


Figura 4.13. a) Configuración del amplificador puerta común. b) Modelo equivalente en pequeña señal

$$\left\{ \begin{array}{l} A_v = \frac{(1 + g_m r_d) R_D}{R_D + r_d} \\ Z_i = R_G \parallel \frac{r_d + R_D}{1 + g_m r_d} \\ Z'_o = r_d \\ Z_o = Z'_o \parallel R_D \end{array} \right. \quad (4.28)$$

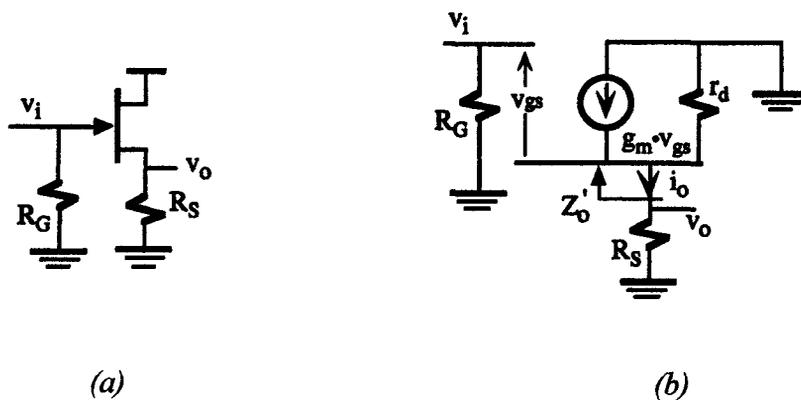


Figura 4.14. a) Configuración del amplificador drenador común. b) Modelo equivalente en pequeña señal

$$\left\{ \begin{array}{l} A_v = \frac{1}{1 + \frac{R_S + r_d}{g_m r_d R_S}} \\ Z_i = R_G \\ Z_o' = \frac{r_d}{1 + g_m r_d} \\ Z_o = Z_o' // R_S \end{array} \right. \quad (4.29)$$

4.3 COMPARATIVA ENTRE ARQUITECTURA SIMPLE Y DIFERENCIAL

En este apartado describiremos las ventajas y desventajas que presenta una arquitectura frente a la otra en cuanto a consumo, ruido, etc...

4.3.1 CONSUMO EN ETAPA SIMPLE Y DIFERENCIAL

La arquitectura simple presenta algunas ventajas en cuanto a consumo con respecto a la arquitectura diferencial. En la figura 4.15 se presenta un ejemplo de la arquitectura simple

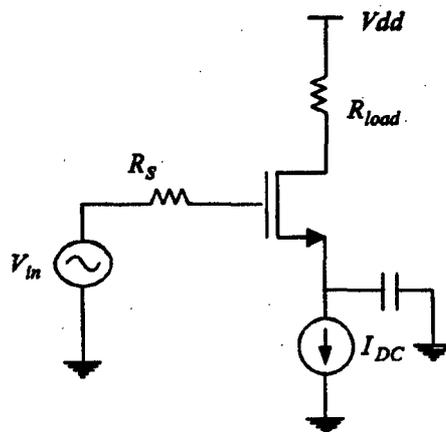


Figura 4.15. Amplificador con arquitectura simple

Si nos fijamos esta etapa está polarizada con el doble de corriente que la etapa simple, es decir, la fuente de corriente tiene un valor $I_{DC}=2I$, por tanto $I=\frac{I_{DC}}{2}$ y nos supone que:

$$g_m = \sqrt{2 \cdot \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot \frac{I_{DC}}{2}} \quad (4.33)$$

Entonces la conclusión a la que llegamos es la siguiente. Si los transistores MOS son idénticos tanto en el amplificador simple como en el diferencial para obtener la misma ganancia en tensión es necesario polarizar la etapa diferencial con el doble de corriente.

4.3.2 RUIDO EN LA ARQUITECTURA SIMPLE Y EN LA ARQUITECTURA DIFERENCIAL

En este apartado se estudiará el efecto que produce el ruido térmico producido en el transistor MOS y la repercusión que tiene en los dos tipos de arquitectura.

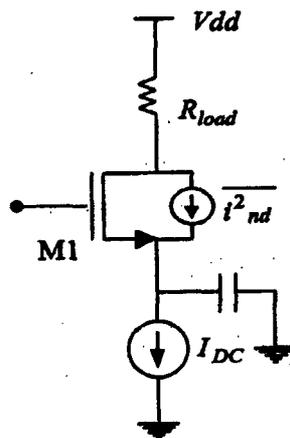


Figura 4.17. Ruido térmico en amplificador con arquitectura simple

Consideremos el circuito representado en la figura 4.17 donde para simplificar el cálculo sólo se tendrá en cuenta el ruido térmico producido por la corriente de drenador del transistor MOS.

En el amplificador de la *figura 4.17*, la potencia cuadrática media de la fuente de ruido modelada por el generador de corriente colocado en paralelo con el transistor M_1 , viene dada por la *ecuación 4.34* [2]:

$$\overline{V^2_{nout}(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_m \cdot \Delta f \cdot R^2_{load} \quad (4.34)$$

Donde $g_m = g_{d0}$

A continuación se realiza el estudio de la arquitectura diferencial mostrada en la *figura 4.18*. El dimensionado de los transistores utilizados en esta etapa es el mismo que en la etapa simple de la *figura 4.18*.

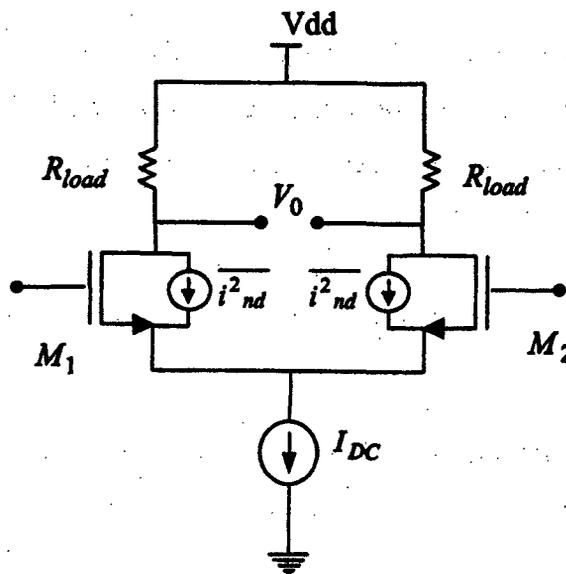


Figura 4.18. Ruido térmico en amplificador con arquitectura diferencial

Como se puede observar en la *figura 4.18* existen dos fuente de ruido térmico correspondiente al transistor M_1 y M_2 . La potencia cuadrática media de ruido a la salida está dada por la *ecuación 4.35* [2].

$$\overline{V^2_{nOUT}(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_{m1} \cdot \Delta f \cdot \left(\frac{1}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \right)^2 \cdot (2R_{load})^2 + 4 \cdot K \cdot T \cdot \gamma \cdot g_{m2} \cdot \Delta f \cdot \left(\frac{1}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \right)^2 \cdot (2R_{load})^2$$

(4.35)

Simplificando la ecuación 4.35 obtenemos la siguiente expresión:

$$\overline{V^2_{nOUT}(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_{m1} \cdot \Delta f \cdot \left(\frac{g_{m1}}{g_{m1} + g_{m2}} \right)^2 \cdot (2R_{load})^2 + 4 \cdot K \cdot T \cdot \gamma \cdot g_{m2} \cdot \Delta f \cdot \left(\frac{g_{m2}}{g_{m1} + g_{m2}} \right)^2 \cdot (2R_{load})^2$$

(4.36)

Si polarizamos la etapa diferencial con el doble de corriente que en la etapa simple de la figura 4.17 la transconductancia del transistor MOS utilizado en la etapa diferencial tendrá el mismo valor que en la etapa simple. Es decir:

$$g_{m1} = g_{m2} = g_m \quad (4.37)$$

Por lo tanto tendremos que la potencia cuadrática media de ruido a la salida del amplificador diferencial está dada por la siguiente ecuación:

$$\overline{V^2_{nOUT}(t)} = 4 \cdot K \cdot T \cdot \gamma \cdot g_{m1} \cdot \Delta f \cdot (2R_{load})^2 = 8 \cdot K \cdot T \cdot \gamma \cdot g_{m1} \cdot \Delta f \cdot R_{load}^2 \quad (4.38)$$

Si comparamos las ecuaciones 4.34 y 4.38 se puede deducir que el ruido térmico en la etapa diferencial es mayor que en la etapa simple

4.3.3 INTEGRABILIDAD DE LA ETAPA DIFERENCIAL

A la hora de realizar el diseño de un circuito hay que distinguir entre el diseño de un circuito con componentes discretos y el de un circuito integrado. En el primero, el área ocupada por el circuito no es tan importante como el coste de los componentes utilizados.

Por esta razón, se tiende a minimizar el número de componentes caros como pueden ser los transistores haciendo uso de otros componentes más baratos como pueden ser los condensadores y las resistencias.

En el caso de la fabricación de un circuito integrado ocurre lo contrario. El factor determinante en el coste del mismo es la superficie ocupada por el dado. La utilización de capacidades y resistencias, con los valores utilizados en un circuito discreto no sería factible ya que ocuparían un mayor área. Además, si fueran capacidades de valores muy altos, estas tendrían que colocarse fuera del circuito integrado lo que aumentaría el número de terminales del encapsulado y por tanto el coste de fabricación del circuito. Por esta razón se tiende a minimizar el uso de capacidades y a utilizar otros componentes que ocupen menos área como pueden ser los transistores.

En los circuitos con componentes discretos la forma habitual de conectar dos etapas es mediante el uso de condensadores de acoplo. Sin embargo, en un circuito integrado, para acoplar dos etapas sería mucho más factible y barato utilizar etapas diferenciales en lugar de etapas simples. Utilizando este tipo de etapas se consigue acoplar directamente las dos etapas sin necesidad de utilizar condensadores de acoplo. De esta manera se reduce el área ocupada y por lo tanto el coste de fabricación del circuito.

En el caso de un receptor de Bluetooth, sería interesante integrar en un mismo chip todas las etapas que lo forman e intentar ocupar el menor área posible.

4.3.4 COMPARATIVA FINAL

A continuación se resumen las ventajas y desventajas que presenta la arquitectura diferencial frente a una arquitectura simple.

En el modelo diferencial debido a la arquitectura simétrica que presenta tenemos una serie de ventajas como pueden ser:

- Rechazo al modo común: Los efectos de las variables externas, como puede, ser la temperatura, el ruido, etc... Afectan a las dos ramas del amplificador de igual manera, por lo que se contrarrestan entre si.
- La calidad del plano de tierra del chip y los efectos parásitos de las conexiones del chip con el exterior serán despreciables.
- Facilidad de acoplamiento entre etapas: La etapa diferencial permite realizar un acoplamiento directo entre ellas evitando así utilizar elementos de acoplo como condensadores. De esta manera se reduce el área del circuito integrado y por tanto el coste de fabricación del mismo.

Sin embargo, la arquitectura diferencial presenta las siguientes desventajas con respecto a la arquitectura simple:

- Se utiliza el doble de componentes para el diseño.
- Se hace necesario el uso de un transformador o "*balun*" que transforme la señal de entrada que está referida a tierra en una señal diferencial. Este elemento produce pérdidas extras en la señal de entrada lo que degrada la figura de ruido del amplificador.
- El consumo de una arquitectura diferencial es mayor que el de una arquitectura simple.

Tras analizar las ventajas y desventajas entre una estructura diferencial y otra simple, queda patente que aunque la estructura diferencial parece atractiva por el hecho de eliminar las variables externas como el ruido, objetivo fundamental de este proyecto, este tipo de estructuras es más difícil de implementar y más cara al utilizar el doble de componentes, además del consumo de corriente que sería el doble.

4.4 ETAPA DE AMPLIFICACIÓN CASCODO

En este apartado se realizará un estudio completo en alta frecuencia de la etapa de amplificación cascodo. Se explicará la razón de su utilización y los resultados que se consiguen con el mismo.

En el capítulo 2 se describió el modelo equivalente del transistor MOS en alta frecuencia. Como se puede observar cuando se trabaja a alta frecuencia aparecen una serie de capacidades parásitas asociadas al transistor. Estas capacidades parásitas limitan la frecuencia máxima de funcionamiento del transistor y por tanto la respuesta en frecuencia de un amplificador.

4.4.1 ESTUDIO EN FRECUENCIA DEL AMPLIFICADOR CASCODO

Antes de realizar el estudio en frecuencia del amplificador cascodo se realizará un pequeño desarrollo de la respuesta en alta frecuencia del amplificador fuente común. Esto se realiza para poder comparar los beneficios que se consiguen con un amplificador cascodo en cuanto al aumento del ancho de banda de amplificación.

4.4.1.1 Respuesta en Frecuencia del Amplificador Fuente Común

En las *figuras 4.19 y 4.20* se puede ver el esquema básico de la etapa de amplificación fuente común y su circuito equivalente en alta frecuencia, respectivamente.

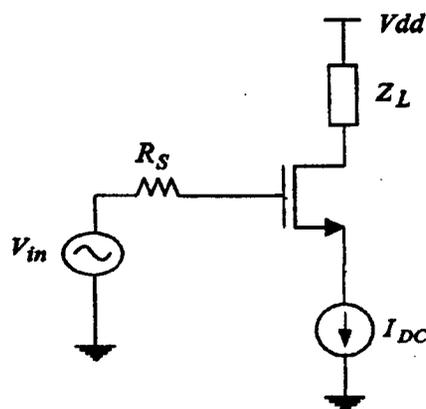


Figura 4.19 Amplificador fuente común

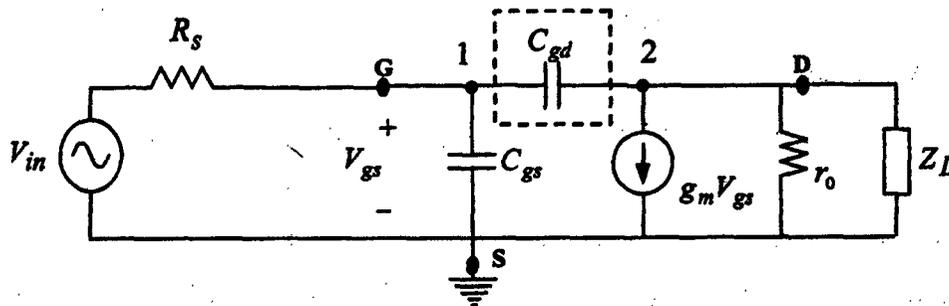


Figura 4.20. Modelo en alta frecuencia del amplificador fuente común

Se podría intentar calcular la respuesta en alta frecuencia de este circuito, simplemente calculando su ganancia, teniendo en cuenta los condensadores parásitos del modelo. Sin embargo este cálculo no es tan sencillo debido al condensador C_{gd} que está conectado entre la puerta y el drenador del transistor como se observa en la figura 4.20.

Para simplificar el circuito y poder calcular la función de transferencia de una manera más sencilla aplicaremos el teorema de Miller al condensador C_{gd} . Aplicando el teorema a dicho condensador obtenemos las siguientes expresiones que nos dan las capacidades de Miller equivalentes de la capacidad C_{gd} [2].

$$C_{M1} = C_{gd}(1 - K) \quad (4.39)$$

$$C_{M2} = \frac{C_{gd}(K - 1)}{K} \quad (4.40)$$

Donde K es la relación de tensión que existe entre el terminal 1 y 2 de la capacidad C_{gd} y tiene el siguiente valor:

$$K = \frac{V_2}{V_1} = \frac{-g_m \cdot V_{gs} \cdot (Z_o \parallel Z_L)}{V_{gs}} = -g_m \cdot (Z_o \parallel Z_L) = -\frac{g_m}{g_o + g_L} \quad (4.41)$$

Sustituyendo el valor de K en las ecuaciones 4.39 y 4.40 se obtiene el siguiente resultado:

$$C_{M1} = C_{gd} \left(1 + \frac{g_m}{g_o + g_L} \right) \quad (4.42)$$

$$C_{M2} = \frac{C_{gd} \left(\frac{-g_m}{g_o + g_L} - 1 \right)}{\frac{-g_m}{g_o + g_L}} \approx C_{gd} \quad (4.43)$$

De esta forma se puede simplificar el circuito de la *figura 4.20* tal y como se muestra en la *figura 4.21*.

El condensador C_T que aparece representado en la *figura 4.21* es el equivalente del paralelo de C_{gs} y la capacidad de Miller C_{M1} y por lo tanto tiene el valor

$$C_T = C_{gs} + C_{gd} \left(1 + \frac{g_m}{g_m + g_L} \right) \quad (4.44)$$

La capacidad que aparece conectada en el drenador es

$$C_{M2} \approx C_{gd} \quad (4.45)$$

Figura 4.21 modelo simplificado en alta frecuencia del amplificador fuente común.

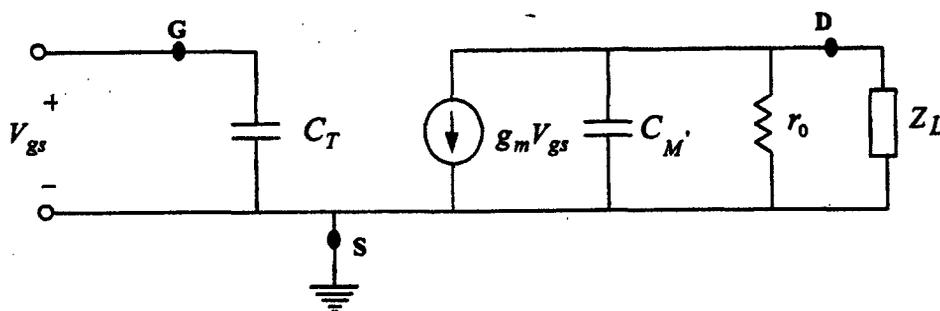


Figura 4.21 Modelo simplificado en alta frecuencia del amplificador fuente común

Para hallar la función de transferencia del amplificador fuente común es necesario calcular el polo y el cero que introduce cada uno de estas capacidades. Realizando dicho cálculo obtenemos la función de transferencia de la etapa de amplificación fuente común como muestra la *ecuación 4.46* [2].

$$F(s) = -\frac{g_m}{g_0 + g_L} \frac{\left(\frac{s}{g_m / C_{gd}} \right)}{\left(s \cdot \frac{g_0 + g_L}{C_{gd}} + 1 \right)} \quad (4.46)$$

De la ecuación 4.46 se deduce que la respuesta en frecuencia del amplificador fuente común está limitada por el polo introducido por la capacidad C_{M2} cuyo valor aproximado es C_{gd} . Este polo dominante determina la frecuencia de corte superior que en este caso es:

$$f_c = \frac{1}{2\pi} \frac{g_0 + g_L}{C_{gd}} \quad (4.47)$$

4.4.1.2 Respuesta en frecuencia del amplificador cascode

El cascode es un amplificador que tiene unas características de funcionamiento muy similar al fuente común, excepto en ancho de banda donde es muy superior.

Si planteásemos el equivalente en alta frecuencia de este amplificador nos saldría un esquema relativamente complejo. Un análisis del circuito nos llevaría a la conclusión de que el cascode no es más que un amplificador fuente común a la entrada atacando aún puerta común que hace de etapa de salida.

Si realizáramos un estudio en alta frecuencia del amplificador puerta común se observaría que su frecuencia de corte es muy superior a la de un fuente común. Esto es equivalente a decir que cuando en el fuente común, la ganancia empieza a caer al llegar a su frecuencia de corte, el fuente común aún está en su zona de frecuencias medias.

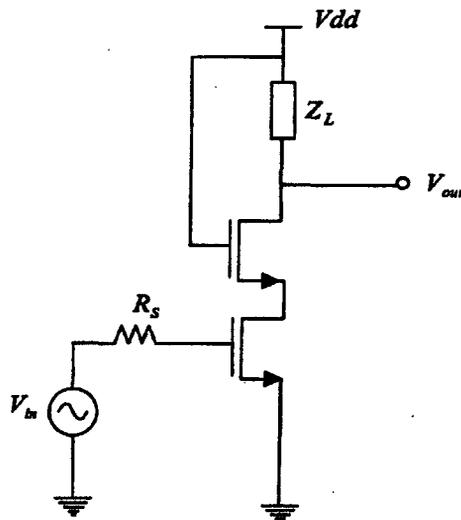


Figura 4.22. Amplificador cascode

Para analizar el amplificador cascode plantearemos un equivalente en alta frecuencia del transistor en fuente común y un equivalente a frecuencias medias del transistor en puerta común. En la figura 4.22 y 4.23 se muestra respectivamente, la arquitectura típica de un amplificador cascode y su equivalente simplificado en alta frecuencia.

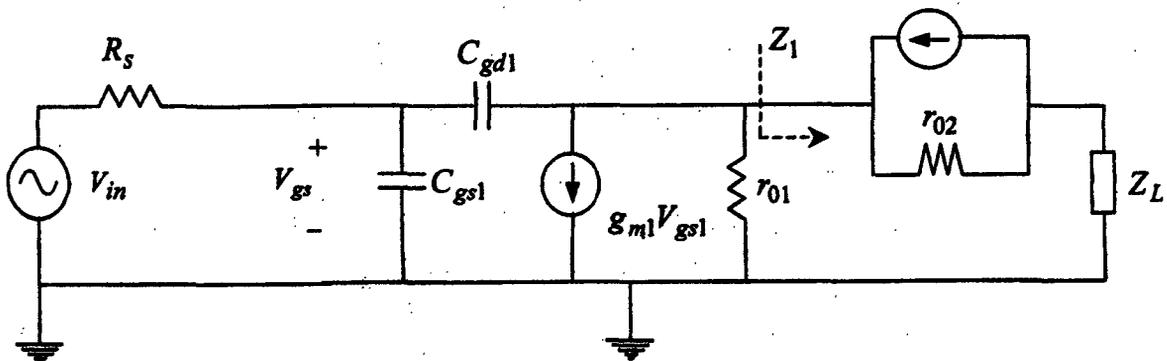


Figura 4.23. Modelo simplificado en alta frecuencia del amplificador cascode(I)

Aplicando el teorema de Miller a la capacidad C_{gd1} nos queda el circuito mostrado en la figura 4.24

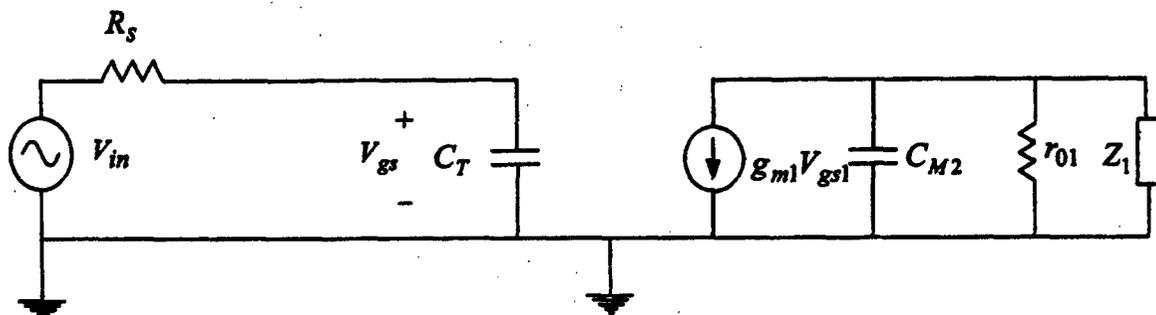


Figura 4.24. Modelo simplificado en alta frecuencia del amplificador cascodeo (II)

Siendo: [2]

$$C_T = C_{gs1} + C_{gd1}(1 - K) = C_{gs1} + C_{gd1}(1 + g_{m1} \cdot (r_{o1} // Z_1)) \quad (4.48)$$

$$C_{M2} \approx C_{gd1} \quad (4.49)$$

Z_1 representa la impedancia de entrada del transistor en un puerta común. Como sabemos el valor de esta impedancia es muy pequeña aproximadamente $\frac{1}{g_{m2}}$.

Anteriormente se comprobó que el polo que determina la frecuencia de corte en las etapas en fuente común es el introducido por la capacidad de Miller $C_{M2} \approx C_{gd}$. Por esta razón nos centraremos en determinar el valor del polo introducido por esta capacidad en la etapa cascodeo. El valor de dicho polo se muestra en la ecuación 4.50.

$$f_c = f_p = \frac{1}{2\pi \cdot (r_{o1} // Z_1) \cdot C_{gd1}} = \frac{1}{2\pi} \cdot \frac{(g_{o1} + g_{m2})}{C_{gd1}} \quad (4.50)$$

Si comparamos las ecuaciones 4.48 y 4.50 vemos que la frecuencia de corte superior del amplificador cascodeo es mucho mayor que la del amplificador fuente común

ya que Z_1 suele ser mucho menor que Z_L . Es decir, el ancho de banda de amplificación es mayor en un amplificador cascodo que en una etapa simple fuente común.

Por tanto podemos terminar resumiendo los beneficios que conlleva utilizar una etapa de amplificación cascodo.

- Mejora la respuesta en frecuencia. Es decir, minimiza el efecto de la capacidad Miller C_{gd} y por tanto se consigue un mayor ancho de banda de amplificación.
- Mejora el nivel de aislamiento, es decir aísla la salida del amplificador de la entrada. Con esto se pretende evitar que la señal de salida aparezca reflejada en la entrada y produzca interferencias.

4.5 ADAPTACIÓN DE IMPEDANCIAS

Generalmente, las etapas integradas en un mismo chip no necesitan estar adaptadas a un valor estándar (50Ω) basta con que estén adaptadas entre ellas. En cambio si será necesario adaptar las entradas o salidas que correspondan a conexiones externas como por ejemplo, conexión a antenas, filtros externos, inductancias o cuando se quiera testear por separado el chip con algún equipo de medida como se comentó en el apartado 3.2.

4.5.1 ADAPTACIÓN DE LA IMPEDANCIA DE ENTRADA

En la bibliografía publicada hasta la fecha aparecen tres alternativas en cuanto a los tipos de red de adaptación existentes.

4.5.1.1 Adaptación Resistiva

La estructura de la adaptación resistiva se representa en la *figura 4.25*.

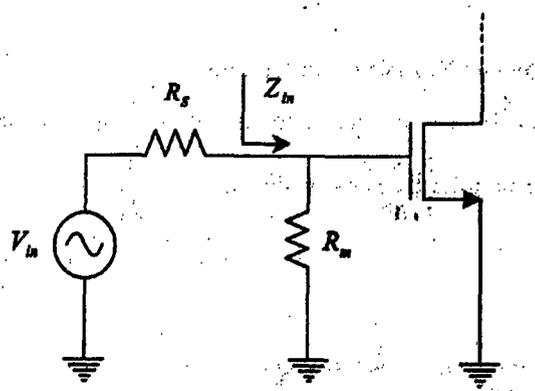


Figura 4.25. Adaptación resistiva

Para conseguir que la impedancia de entrada sea de 50Ω se coloca la resistencia R_m en paralelo con el transistor de entrada. La adaptación resistiva es la estructura más fácil de implementar, pero también es la que más degrada la NF del circuito. Esto se debe a que además del propio ruido introducido por la resistencia R_m , se está atenuando la señal a la entrada, ya que parte de la señal se desvía a tierra.

El mínimo factor de ruido introducido por esta etapa es de 3dB. Idealmente si se coloca una resistencia $R_m = 50\Omega$ en paralelo con la impedancia de entrada del transistor, $Z_{in} \approx 1/jCw$, la resistencia de entrada total es también de 50Ω porque el valor de la impedancia de entrada del transistor se puede despreciar frente al valor de la resistencia.

De esta forma, el factor de ruido que se obtiene es:

$$F = \frac{R_m + R_s}{R_s} \quad (4.51)$$

y por tanto la figura de ruido queda:

$$NF = \frac{SNR_{out}}{SNR_{in}} = 10 \log 2 = 3dB \quad (4.52)$$

4.5.1.2 Adaptación con Etapa Puerta Común

En la *figura 4.26* se muestra la estructura de la adaptación con puerta común. La impedancia de entrada típica de este tipo de etapas es $\frac{1}{g_m}$.

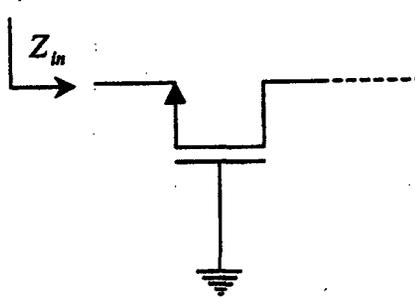


Figura 4.26 Etapa puerta común

Si se varía el ancho del transistor y modificamos el valor de g_m podemos llegar a conseguir una impedancia de entrada de 50Ω . Además con esta configuración no hay realimentación de la salida a la entrada. Sin embargo, el uso de esta etapa de entrada para el diseño del LNA también queda descartado pues el mínimo NF alcanzable con esta arquitectura es de 3 dB teóricamente.

Por ello este tipo de adaptación no es muy factible para diseños donde el ruido es un parámetro importante.

4.7.1.3 Degeneración inductiva

En la *figura 4.27* se puede ver la estructura de la adaptación de impedancias con degeneración inductiva.

Este método se basa en utilizar la inductancia de degeneración de fuente L_S para conseguir un término real en la impedancia de entrada. Seguidamente, con la inductancia L_G se consigue sintonizar la entrada de forma que a la frecuencia deseada desaparece el término imaginario de la impedancia de entrada.

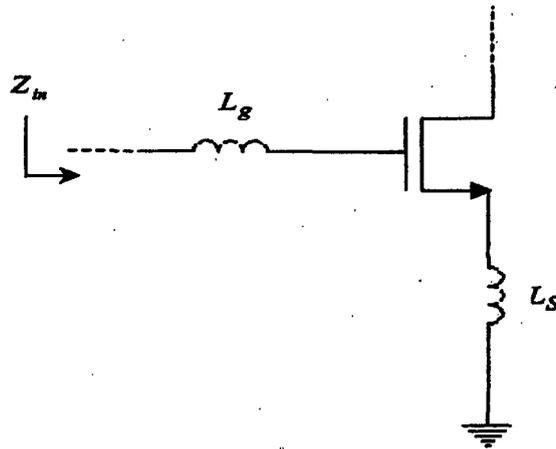


Figura 4.27 Degeneración inductiva

Por tanto con los valores adecuados de L_S y L_G se puede conseguir una impedancia de entrada $Z_m = 50\Omega$.

Sus características más notables son las siguientes:

- Al no tener que utilizar resistencias en este tipo de adaptación es la que mejor NF presenta.
- Es una arquitectura selectiva con las frecuencias, se puede sintonizar en una banda determinada ya que forma un circuito resonante RLC en su entrada.
- Esta arquitectura resonante realiza una preamplificación de la señal de entrada con lo que aumenta la ganancia y por lo tanto reduce la figura de ruido.
- La eficacia de esta arquitectura reside en la calidad de las inductancias que se utilizan en su implementación.

Por todas estas características la degeneración inductiva es la técnica más elegida para realizar la adaptación de la impedancia de entrada.

4.5.1.4 Estudio teórico de la red de adaptación por degeneración inductiva

Esta red permite realizar una primera sintonización a la entrada y además se consigue una primera amplificación de la señal de entrada del amplificador. Este dato es importante ya que con esta amplificación se reduce la figura de ruido del amplificador. El principal inconveniente de este tipo de red de adaptación reside en el uso de inductancias que ocupan un mayor área y en la calidad de estas. Generalmente el valor de L_G necesario para realizar la adaptación es demasiado elevado para ser integrado, por lo que ha de realizarse una adaptación externa.

Como se observa en la *figura 4.28*, la red de adaptación por degeneración inductiva forma una red RLC.

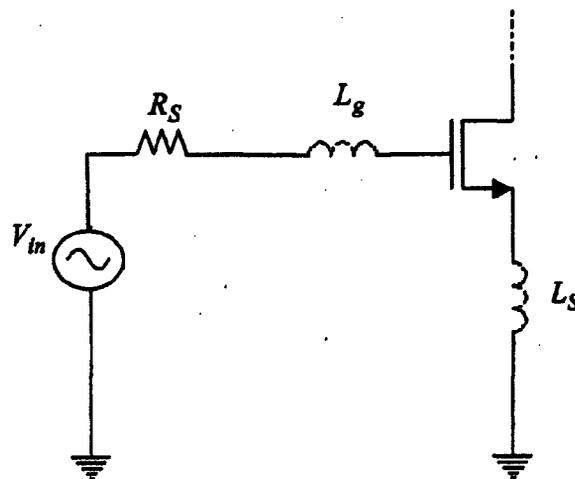


Figura 4.28. Entrada RLC

En la *figura 4.29* se muestra el circuito equivalente simplificado del circuito de la *figura 4.28*.

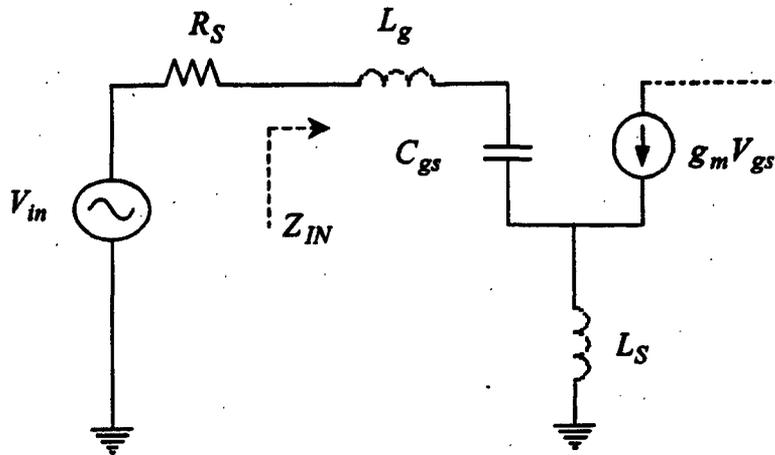


Figura 4.29 Circuito equivalente entrada RLC

La expresión de la impedancia de entrada para este circuito es la siguiente [2]:

$$Z_{in} = g_m \frac{L_S}{C_{gs}} + \frac{1}{sC_{gs}} + s(L_g + L_S) \quad (4.53)$$

donde g_m es la transconductancia del transistor de entrada, C_{gs} es la capacidad parásita que aparece entre la puerta y la fuente del transistor y R_S es la impedancia de salida del puerto de entrada.

De la *expresión 4.51* se deduce que si se elige correctamente el valor de L_g y L_S , se puede ajustar el valor de impedancia deseado, en nuestro caso 50Ω . Para ello, una vez polarizado y dimensionado el transistor se conoce el valor de g_m y C_{gs} del transistor y se puede proceder a calcular el valor de L_g y L_S necesarios para adaptar la impedancia de entrada.

En la *ecuación 4.53*, la parte real de la impedancia de entrada se fija con el valor L_S según la siguiente expresión [2]:

$$\frac{g_m}{C_{gs}} L_S = R_S = 50\Omega \quad (4.54)$$

Despejando L_S en la ecuación 4.54 se observa que su valor queda en función de g_m y por lo tanto el valor de L_S dependerá de la dimensión del transistor de entrada como se comentó anteriormente.

$$L_S = \frac{R_S \cdot C_{gs}}{g_m} \quad (4.55)$$

Analizando la ecuación 4.55 se deduce que para conseguir una impedancia de entrada resistiva pura se debe cumplir la siguiente igualdad.

$$\frac{1}{sC_{gs}} + s(L_g + L_S) = 0 \quad (4.56)$$

Simplificando la ecuación obtenemos la siguiente expresión:

$$\omega_0 = \frac{1}{\sqrt{(L_S + L_g) \cdot C_{gs}}} \quad (4.57)$$

donde ω_0 es la frecuencia central de la banda que queremos amplificar.

De la ecuación 4.57 se puede despejar el valor de L_g que hace que la red RLC entre en resonancia y por tanto la impedancia de entrada sea resistiva pura.

Como se comentó al principio del apartado, con la utilización de la etapa de degeneración inductiva además de adaptar la impedancia de entrada se consigue una primera amplificación de la señal de entrada. A continuación se explica como se produce esta amplificación de la señal de entrada.

Para el caso del circuito RLC serie de la figura 4.29, el factor de calidad es el siguiente [2]:

$$Q_{RLC} = \frac{\sqrt{(L_S + L_g)/C_{gs}}}{R_S} \quad (4.58)$$

Del circuito de la *figura 4.29* obtenemos que la tensión en la capacidad C_{gs} es [2]:

$$V_{C_{gs}} = \frac{I}{\omega C_{gs}} = \frac{V_{in}}{Z_{in}} \cdot \frac{1}{\omega C_{gs}} = \frac{V_{in}}{R_S \frac{1}{\sqrt{(L_g + L_S)C_{gs}}}} = \frac{V_{in}}{R_S} \cdot \sqrt{\frac{(L_g + L_S)}{C_{gs}}} = Q_{RLC} \cdot V_{in} \quad (4.59)$$

Estos cálculos se han realizado suponiendo que a la frecuencia de resonancia de la red RLC la impedancia de entrada es $Z_{in} \approx R_S$.

Como se puede observar en la *ecuación 4.59* la tensión $V_{C_{gs}}$ es Q veces la tensión de entrada, lo que significa que se ha amplificado la señal de entrada por un factor Q.

Esta primera amplificación de la tensión de entrada es importante ya que se consigue reducir el factor de ruido del amplificador. Según esto sería interesante que el factor de calidad del circuito RLC de entrada sea lo más alto posible. Sin embargo la magnitud del factor de calidad está limitada, principalmente porque un factor de calidad elevado haría que la sintonización del LNA fuese muy selectiva y cualquier dispersión o variación en los valores de los componentes provocaría un desplazamiento de la banda de amplificación. El valor recomendado de Q para la etapa de entrada está entre 2 y 5.

Los valores de L_s y L_g obtenidos en este desarrollo son meramente orientativos y se deben utilizar como primer valor estimado, ya que el modelo utilizado es un modelo simplificado y por tanto no se han tenido en cuenta otros parámetros.

4.5.2 ADAPTACIÓN DE LA IMPEDANCIA DE SALIDA

Como sabemos, la ganancia de un amplificador depende en gran medida de la carga que se tiene conectada a su salida. Es decir, la ganancia de un amplificador está en función

de la impedancia de entrada que presenta la etapa que le sigue. En muchos casos el valor de esta impedancia es muy bajo lo que produce que la ganancia del amplificador disminuya notablemente. Para solucionar este problema es necesario el uso de una etapa de salida llamada *buffer*.

El *buffer* tiene como finalidad bajar la impedancia de salida de un circuito con el fin de poder alimentar cargas pequeñas. Las características ideales de este tipo de etapa de salida son ganancia unitaria en tensión y ganancia alta en corriente.

El diseño de una buena etapa de salida con transistores MOS conlleva una serie de dificultades debido a las características de la tecnología. A continuación se analizarán las dos arquitecturas de etapa de salida más utilizadas en el diseño de circuitos integrados.

- Seguidor de fuente.
- Fuente común.

4.5.2.1 Etapa Seguidor de Fuente.

El esquema de este tipo de etapa de salida con tecnología MOS se muestra en la *figura 4.30*.

La ganancia en tensión típica de la etapa seguidor de fuente está en torno a 0.5 por lo que se produce una atenuación de la señal de salida. Esta caída de ganancia se debe principalmente a la baja transconductancia que presenta el transistor y en segundo lugar al efecto de cuerpo (*body-effect*). El efecto de cuerpo es la variación de la tensión umbral del transistor V_T debido a la variación del potencial del sustrato.

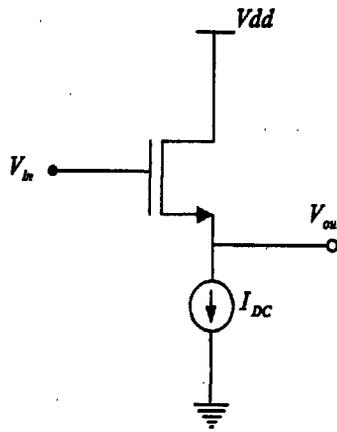


figura 4.30 Etapa seguidor de fuente

La impedancia de salida de esta etapa es más alta que en el caso de su equivalente en tecnología bipolar, el seguidor de emisor, representado en la figura 4.31.

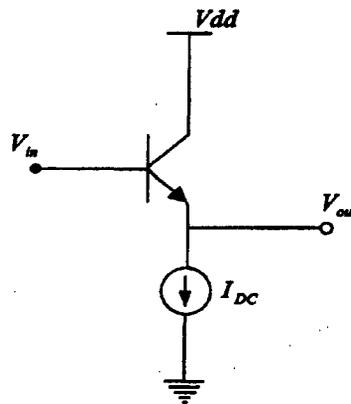


figura 4.31 Etapa seguidor de emisor

En tecnología bipolar, el seguidor de emisor es una buena alternativa, ya que su ganancia es prácticamente unitaria y su impedancia de salida es bastante baja.

Aunque el comportamiento de la etapa fuente seguidora no es tan bueno como el caso de su equivalente en tecnología bipolar, su uso está bastante extendido ante la dificultad de encontrar etapas que se comporten mejor. En el diseño de un fuente seguidor

se debe intentar que la ganancia sea lo más cercana posible a la unidad y conseguir al mismo tiempo una impedancia de salida de 50Ω .

4.5.2.2 Etapa Fuente Común.

Una alternativa interesante a la etapa fuente seguidora es la fuente común. El esquema de esta arquitectura se muestra en la *figura 4.32*.

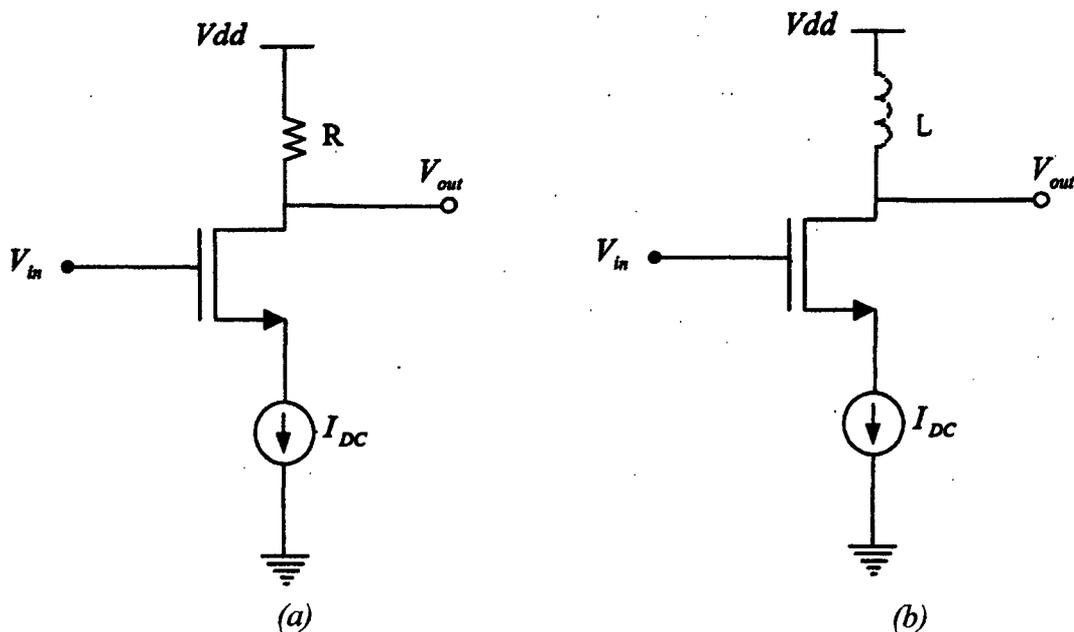


Figura 4.32 Etapa fuente común con carga resistiva (a) y carga inductiva (b)

Como se observa en la *figura 4.32* la carga de esta etapa de salida puede ser inductiva o resistiva. La etapa con carga resistiva es totalmente integrable, pero tiene el inconveniente de introducir mucho ruido extra. Este inconveniente puede ser importante en diseños que tengan como especificaciones más restrictivas el ruido como es el caso de un LNA. La etapa con carga inductiva introduce menos ruido, pero la inductancia L ha de ser externa y de valor grande lo que dificulta su integración.

En resumen, la etapa fuente común presenta dos problemas principalmente:

- Se produce una fuerte retroalimentación de la salida a través de la capacidad C_{gd} del transistor MOS.

- Si se usa carga inductiva se necesita una conexión externa adicional.

Por estas dos razones se ha descartado este tipo de salida como posible alternativa para realizar la adaptación de la impedancia de salida.

4.6 REFERENCIA DE TENSIÓN

En este apartado se muestran las topologías de circuitos más utilizadas para obtener una referencia de tensión así como los pasos necesarios para su diseño.

El objetivo de una referencia de tensión es fijar en un punto del circuito una tensión determinada de tal manera que ésta sea constante frente a variaciones en la temperatura y dispersiones del proceso. La forma más simple de conseguir una tensión determinada en un punto es mediante un circuito divisor de tensión implementado con dos resistencias o de forma equivalente utilizando transistores como cargas activas como se observa en la *figura 4.33.a y 4.33.b* respectivamente.

La primera opción, al utilizar resistencias tiene el inconveniente de ocupar un gran área y generar mucho ruido. En la segunda opción al sustituirse las resistencias por transistores se consigue disminuir el área ocupada y el ruido introducido por la referencia de tensión. Por esta razón, el divisor de tensión realizado con transistores es la opción más utilizada en el diseño de circuitos integrados.

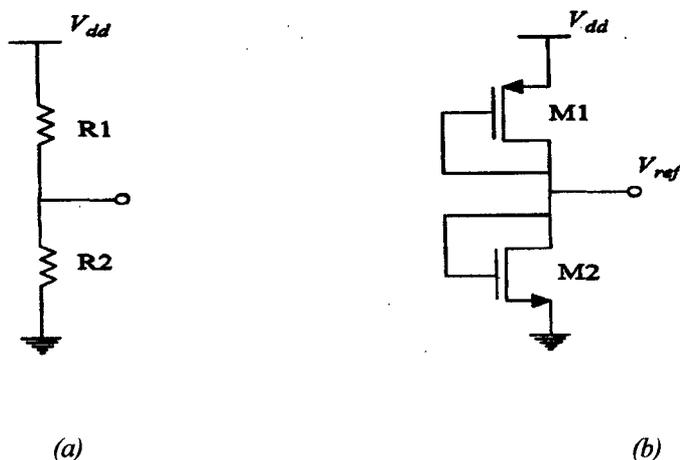


Figura 4.33 Divisor de tensión resistivo (a) y divisor de tensión con transistores MOS (b)

Dimensionando de manera adecuada los transistores M1 y M2 se puede conseguir la tensión de referencia que se desea en un punto del circuito. El dimensionado se realizará de manera arbitraria pero teniendo en cuenta que cuanto más pequeño es el transistor mayor será la influencia de las dispersiones en el mismo. Además, la corriente que polariza la referencia de tensión ha de ser la mínima posible para evitar un consumo innecesario y minimizar el ruido introducido por la referencia.

Para hallar las dimensiones de los transistores M1 y M2 se supone que la intensidad que atraviesa los dos transistores es la misma [2]:

$$I_{D1} = \frac{\beta_1}{2} \cdot (V_{ref} - V_{sustrato} - V_{TN})^2 \quad (4.60)$$

$$I_{D2} = \frac{\beta_2}{2} \cdot (V_{dd} - V_{ref} - V_{TP})^2 \quad (4.61)$$

Donde $V_{TN}, (V_{TP})$ es la tensión umbral del transistor NMOS y (PMOS), respectivamente, V_{dd} es la tensión de alimentación, $V_{sustrato}$ es la tensión del sustrato (en este diseño está conectado a tierra) y β es una constante que depende de la tecnología utilizada y de las dimensiones del transistor como se muestra en la *ecuación 4.60*.

$$\beta = K \cdot \frac{W}{L} \quad (4.62)$$

K es un factor que depende de la tecnología. (ver capítulo 2 apartado 2.6.2)

Igualando las *ecuaciones 4.60 y 4.61* y despejando el valor de V_{ref} se obtiene la siguiente ecuación:

$$V_{ref} = \frac{V_{dd} - V_{TP} + \sqrt{\frac{\beta_1}{\beta_2} \cdot (V_{sustrato} + V_{TN})}}{\sqrt{\frac{\beta_1}{\beta_2} + 1}} \quad (4.63)$$

Analizando la expresión obtenida se puede comprobar que dimensionando correctamente los transistores M1 y M2 se puede conseguir el valor de V_{ref} deseado.

4.7.1 FUENTES DE CORRIENTE Y CARGAS ACTIVAS

Las fuentes de corriente son ampliamente utilizadas en circuitos electrónicos integrados como elementos de polarización y como cargas activas en etapas amplificadoras. Estas fuentes en polarización resultan más insensibles a variaciones de las tensiones de polarización y de la temperatura, y son más económicas que los elementos resistivos en términos de área de ocupación, especialmente cuando las corrientes son bajas. Las fuentes de corriente como cargas activas proporcionan resistencias incrementales de alto valor resultando etapas amplificadoras con elevada ganancia operando incluso con bajos niveles de tensiones de polarización. Así, la ganancia típica en tensión de una etapa en emisor común es $A_v \approx h_{fe} R_c / h_{ie}$. Para obtener una gran ganancia, debe utilizarse una R_c muy grande que resulta una solución inviable en un circuito integrado por dos motivos: una resistencia de difusión alta ocupa un área prohibitiva y una R_c grande tiene una caída de tensión muy elevada que complicaría la polarización del amplificador. Las fuentes de corriente eliminan ambos inconvenientes y permiten lograr ganancias del orden de 10.000 en una simple etapa con carga de corriente.

4.9.1 ESPEJO DE CORRIENTE CON TRANSISTORES BIPOLARES

La forma más simple de una fuente de corriente es la basada en un espejo de corriente. El espejo de corriente está constituido por una asociación de dos transistores idénticos que tienen la misma tensión V_{BE} tal como se muestra en la *figura 4.34.a*. El transistor Q1 está operando en modo diodo (colector y base cortocircuitados) y por ello en numerosas ocasiones se puede ver representado según el esquema de la *figura 4.34.b*. Ambos circuitos se comportan como una fuente de corriente de valor I_o .

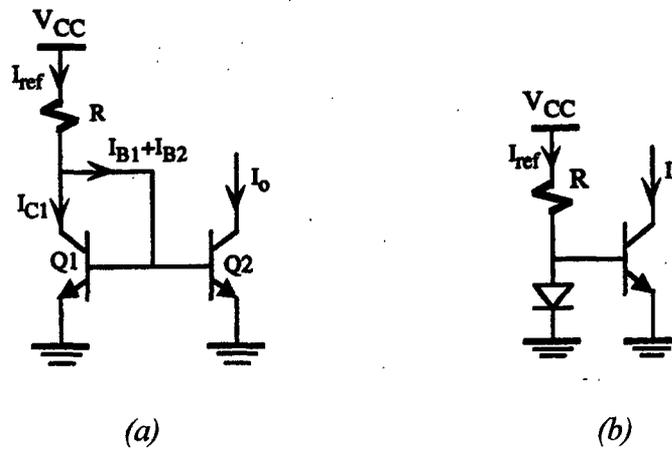


Figura 4.34 a) Espejo de corriente b) Representación simplificada de un espejo de corriente

Para el análisis de esta fuente de corriente es preciso utilizar la ecuación de Ebers-Moll simplificada de un transistor en la región lineal que relaciona la I_C con la tensión V_{BE} , de forma que [12]:

$$I_C = I_S \exp\left(\frac{V_{BE}}{V_T}\right) \Rightarrow V_{BE} = V_T \ln \frac{I_C}{I_S} \quad (4.64)$$

En un espejo de corriente las tensiones V_{BE} de Q1 y Q2 son iguales y, al ser transistores idénticos, $I_{S1} = I_{S2}$. Por consiguiente, la ecuación 4.64 indica que ambas intensidades de colector deben ser iguales $I_{C1} = I_{C2} = I_0$. De ahí el nombre de espejo de corriente. La corriente de colector de ambos transistores es la misma, de forma que si varía la corriente de uno de ellos tiene “reflejo” en el otro. En este circuito la intensidad viene dada por

$$I_{ref} = I_{C1} + I_{B1} + I_{B2} \quad (4.65)$$

y como la corriente de colector es idéntica en ambos transistores y dado que operan en la región lineal ($I_C = \beta I_B$), se puede despejar I_{C1} de la ecuación 4.65 resultando que

$$I_{C1} = I_{C2} = I_o = \frac{I_{ref}}{1 + \frac{2}{\beta}} \quad (4.66)$$

siendo

$$I_{ref} = \frac{V_{CC} - V_{BE}}{R} \quad (4.67)$$

En el caso de que $\beta \gg 1$, la ecuación 4.64 se reduce a

$$I_{C2} = I_{C1} \approx I_{ref} \quad (4.68)$$

La ecuación 4.68 se cumple siempre que Q1 y Q2 sean transistores idénticos con las mismas características eléctricas. En general, no es posible conseguir un buen espejo de corriente utilizando transistores discretos debido a la dispersión de parámetros que tienen estos dispositivos. Los mejores resultados se obtienen en circuitos integrados cuando se fabrican situando a los transistores muy próximos entre sí con idéntica geometría.

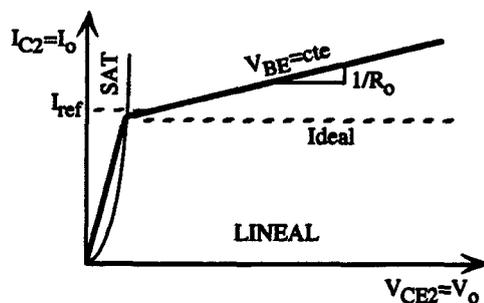


Figura 4.35. Características eléctricas del transistor ideal y real.

Una fuente de corriente ideal debe suministrar una corriente constante con independencia de la tensión de salida. Sin embargo, en las fuentes de corriente reales su corriente de salida varía con la tensión de salida. Esta dependencia está relacionada con la resistencia de salida del transistor. La figura 4.35 representa la curva de operación de Q2 con $V_{BE2} = Cte$ fijada por la corriente del transistor Q1 en el espejo de corriente de la figura 4.34.a, suponiendo al transistor ideal (recta horizontal con resistencia de salida ∞) y real

(su resistencia de salida está especificada por pendiente de la recta de valor $1/R_o$). Si se considera un transistor ideal sin resistencia de salida, la intensidad I_o es independiente de la V_{CE} , es decir, de la tensión de salida. Por el contrario, un transistor tiene una resistencia de salida de forma que la $I_{C2} = I_o$ es variable con la V_{CE2} . En cualquier caso, este transistor deja de comportarse como elemento lineal cuando entra en la región de saturación, siendo éste el límite de operación de cualquier fuente de corriente.

Una fuente de corriente tiene dos modelos en función del tipo de análisis que se realice. En DC puede ser sustituida por el equivalente *Norton* de la *figura 4.36.a* constituido por una fuente de intensidad I_{io} y una resistencia R_o ; en el caso ideal $R_o \rightarrow \infty$; se cumple que $I_{io} = I_o$. En alterna se comporta como un elemento resistivo Z_o (*figura 4.36.b*) obtenido a partir de los modelos de pequeña señal de los transistores. No hay que confundir R_o con Z_o . El primero es un parámetro DC y el segundo AC. Sin embargo, en muchos casos se suele hacer la siguiente aproximación $R_o = Z_o$ cuando no se dispone de datos para calcular ambas resistencias equivalentes. El valor de I_{io} , R_o y Z_o va a depender del tipo de fuente de corriente. En el caso concreto de la fuente de la *figura 4.34* es fácil comprobar que $Z_o = h_{oe}^{-1}$.

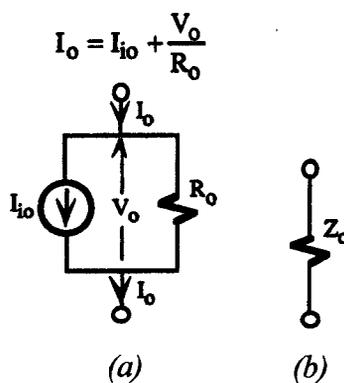


Figura 4.36 a) Circuito equivalente en DC y b) AC de una fuente de corriente

El principio de espejo de corriente se puede extender a múltiples transistores obteniéndose el circuito denominado repetidor de corriente mostrado en la *figura 4.37.a*. En este circuito todos los transistores tienen la misma V_{BE} , y por consiguiente, la

intensidad de colector es idéntica en todos ellos (I_o). Sin embargo, el efecto de intensidad de polarización de base (NI_B) es importante y puede degradar las características del espejo de corriente. En este circuito, la intensidad de referencia I_{ref} tiene dos componentes: la intensidad de colector de Q1 y las intensidades de polarización de base, de forma que [12]

$$I_{ref} = I_{C1} + NI_B \tag{4.69}$$

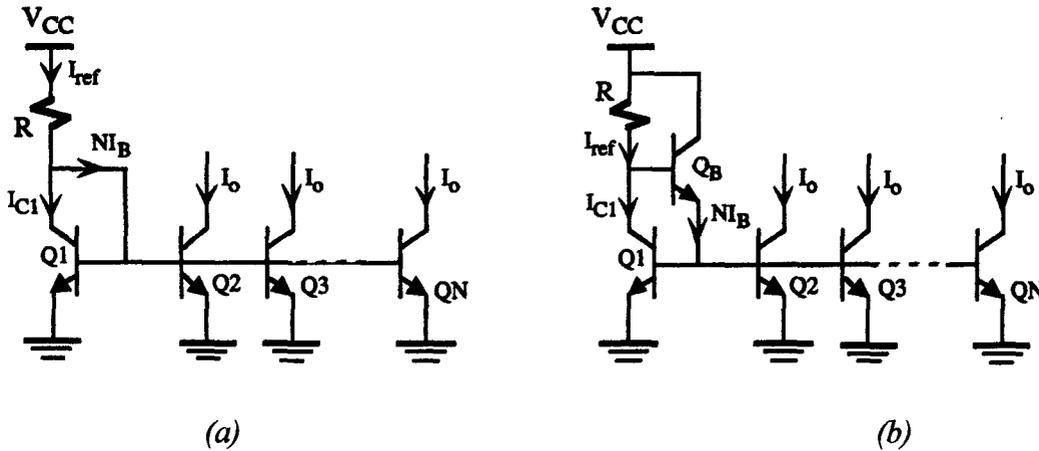


Figura 4.37 a) Repetidor de frecuencia y b) Versión mejorada del repetidor de corriente

La segunda componente es importante si N es elevado o β es pequeña y puede reducir significativamente el valor de I_o . Para este circuito, se puede demostrar fácilmente que la intensidad de salida viene dada por

$$I_o = \frac{I_{ref}}{1 + \frac{N}{\beta}} = \frac{\frac{V_{CC} - V_{BE}}{R}}{1 + \frac{N}{\beta}} \tag{4.70}$$

La figura 4.37.b presenta una versión mejorada del repetidor de corriente que minimiza el efecto de las corrientes de polarización de base a través del transistor Q_B . En este circuito se verifica que

$$I_{ref} = I_{C1} + \frac{NI_B}{1 + \beta} \tag{4.71}$$

resultando que

$$I_o = \frac{I_{ref}}{1 + \frac{1}{\beta(1+\beta)}} = \frac{\frac{V_{CC} - 2V_{BE}}{R}}{1 + \frac{1}{\beta(1+\beta)}} \quad (4.72)$$

En el denominador de la ecuación 4.70, N se encuentra dividido por $\beta(1+\beta) \approx \beta^2$ (si $\beta \gg 1$) frente a β en la ecuación 4.68. Como resultado, el circuito de la figura 4.37.b funciona correctamente con β pequeñas y admite un número mayor de salidas.

4.7.2 FUENTES DE CORRIENTE SIMPLES FET

Los espejos de corriente basados en transistores bipolares pueden ser extendidos a transistores FET pero con las propias particularidades de este tipo de dispositivos. Al ser los transistores FET dispositivos controlados por tensión, no presentan los problemas de polarización de base de los bipolares. Sin embargo, la relación cuadrática entre la I_D y la V_{GS} dificulta su análisis. La figura 4.38.a muestra una fuente de corriente simple basada en un espejo de corriente constituida por transistores NMOS. El valor de la intensidad de referencia I_{ref} , que es idéntica a la intensidad de drenador del transistor M1, se obtiene resolviendo el siguiente sistema de ecuaciones [12]:

$$\begin{cases} I_{ref} = I_{D1} = \frac{\beta}{2}(V_{GS1} - V_T)^2 = \frac{K}{2}\left(\frac{W}{L}\right)_1(V_{GS1} - V_T)^2 \\ V_{DD} = I_{ref}R + V_{GS1} \end{cases} \quad (4.73)$$

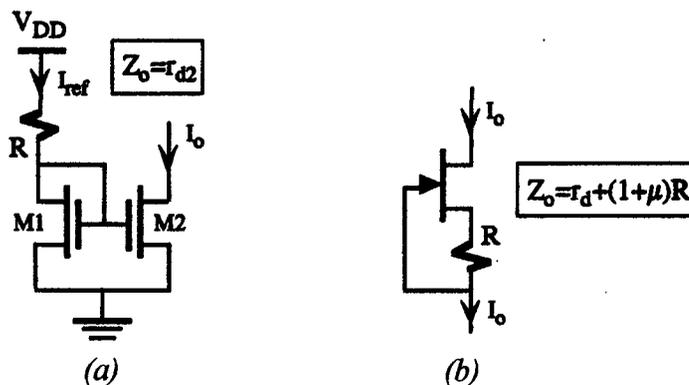


Figura 4.38. a) Espejo de corriente basado en un NMOS. b) fuente de corriente simple con JFET.

En esta fuente de corriente se verifica que $V_{GS1} = V_{GS2}$. Si ambos transistores son idénticos y únicamente difieren en la relación (W/L) , entonces la relación entre las intensidades de ambos transistores es

$$\frac{I_{D1}}{I_{D2}} = \frac{I_{ref}}{I_o} = \frac{(W/L)_1}{(W/L)_2} \quad (4.74)$$

El circuito de la figura 4.38.b corresponde a una fuente de corriente simple basada en un JFET. La tensión en R proporciona la polarización necesaria para que el transistor trabaje en la zona de saturación. La corriente de salida se obtiene resolviendo las siguientes ecuaciones

$$\begin{cases} I_o = I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\ V_{GS} = -I_o R \end{cases} \quad (4.75)$$

En muchos amplificadores integrados se requieren fuentes de corriente con niveles de polarización muy bajos (del orden de $5\mu A$) y alta impedancia de salida. Generar estos valores con fuentes de corriente basadas en espejos de corriente exige que la resistencia de polarización sea del orden de $600k\Omega$; Estas resistencias son muy costosas de integrar porque ocupan demasiada área. Estos valores de corriente se pueden generar con un coste más bajo en la fuente de corriente *Widlar*, cuya estructura se muestra en la figura 4.39.a.

Esta fuente utiliza una resistencia de emisor de pequeño valor de forma que los transistores están trabajando con diferentes valores de V_{BE} .

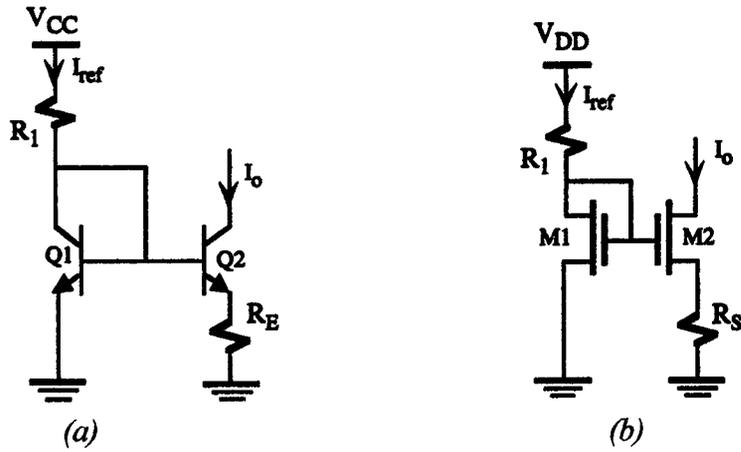


Figura 4.39. Fuente de corriente Widlar basada en a) transistores bipolares y b) MOSFET

En este circuito, si se suma las tensiones en la base de los transistores, y asumiendo que $\beta \gg 1$, se obtiene [12]

$$V_{BE1} - V_{BE2} - I_{C2}R_E = 0 \quad (4.76)$$

Sustituyendo las tensiones V_{BE} por las expresiones de las ecuaciones de Ebers-Moll indicadas en la ecuación 4.64 y suponiendo transistores idénticos $I_{S1} = I_{S2} = I_S$, resulta

$$V_T \ln \frac{I_{C1}}{I_S} - V_T \ln \frac{I_{C2}}{I_S} - I_{C2}R_E = 0 \quad (4.77)$$

Al simplificar y agrupar la anterior ecuación y teniendo en cuenta que $I_{C2} = I_o$ se obtiene la ecuación característica de la fuente Widlar

$$V_T \ln \frac{I_{C1}}{I_o} = I_o R_E \quad (4.78)$$

siendo

$$I_{C1} = \frac{V_{CC} - V_{BE}}{R_1} \quad (4.79)$$

La resistencia de salida de esta fuente se puede aproximar mediante la expresión

$$Z_o = h_{oe2}^{-1} \left(1 + \frac{\beta R_E}{h_{ie2} + R_E} \right) \quad (4.80)$$

que como se puede observar su Z_o es mucho más elevado que el correspondiente a la fuente de corriente basada en espejo de corriente.

La versión de la fuente *Widlar* basada en transistores MOSFET se representa en la *figura 4.39 b*) y verifica las siguientes ecuaciones [12]

$$\begin{cases} I_{D1} = \frac{\beta}{2} (V_{GS1} - V_T)^2 \\ V_{DD} = I_{ref} R_1 + V_{GS1} \\ V_{GS1} = V_{GS2} + I_o R_S \\ I_o = \frac{\beta}{2} (V_{GS2} - V_T)^2 \end{cases} \quad (4.81)$$

con una resistencia de salida

$$Z_o = r_{d2} + (1 + \mu) R_S \quad (4.82)$$

A partir de la estructura del espejo de corriente y fuentes *Widlar* se obtienen nuevas fuentes de corriente que mejoran algunas de sus prestaciones. En los circuitos de la *figura 4.40* se presentan las más típicas basadas en transistores bipolares. En la fuente de corriente simple con resistencias de emisor de la *figura 4.40.a*, la relación entre las corrientes de ambos transistores está condicionada por la relación de sus resistencias de emisor. La fuente de corriente *Wilson* de la *figura 4.40.b* proporciona corrientes de salida similares al espejo de corriente aumentando enormemente la impedancia de salida. La fuente *cascode* de la *figura 4.40.c* presenta una impedancia de salida aún mayor manteniendo niveles de corriente de salida altos.

Las estructuras desarrolladas para transistores bipolares pueden ser adaptadas a transistores MOSFET resultando las fuentes de corriente de la *figura 4.41*. Están basadas

en espejos de corriente y la corriente de salida se especifica a partir de I_{ref} y la relación geométrica de las puertas de los transistores M1 y M2. La resistencia de salida es idéntica en todas ellas y se puede aproximar por $Z_o \approx \mu r_{d2}$. Siendo $\mu = g_m r_d$ el factor de multiplicación que relaciona los parámetros g_m y r_d [12].

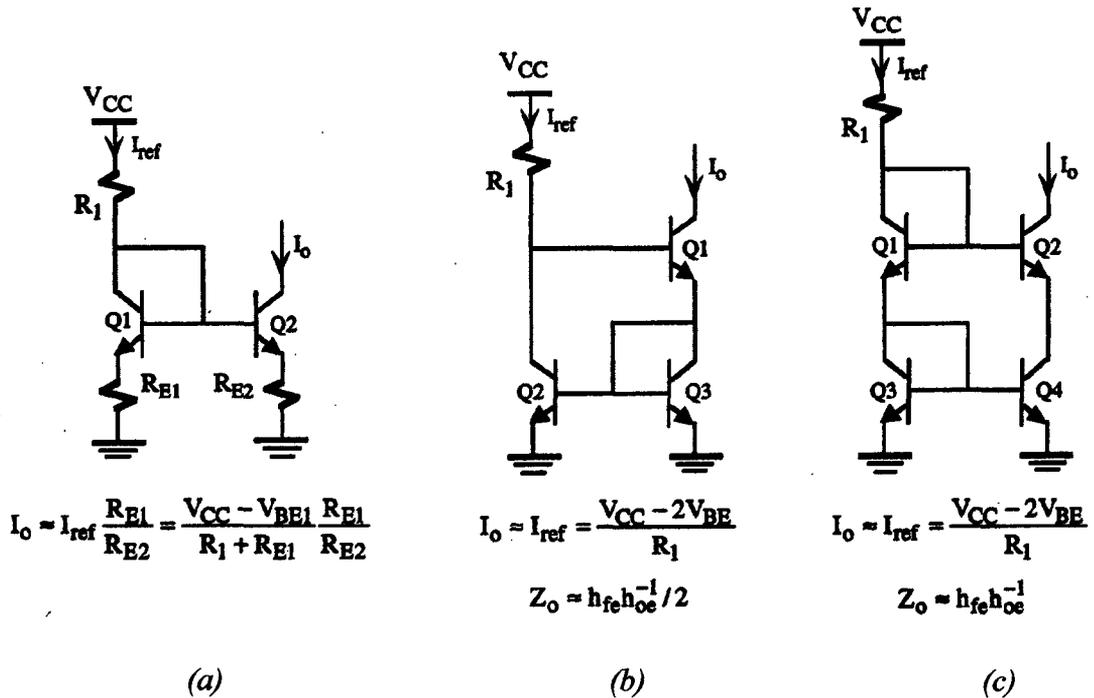


Figura 4.40 Fuentes de corriente basadas en transistores bipolares: a) simple con resistencias de emisor. b) Wilson. c) Cascode

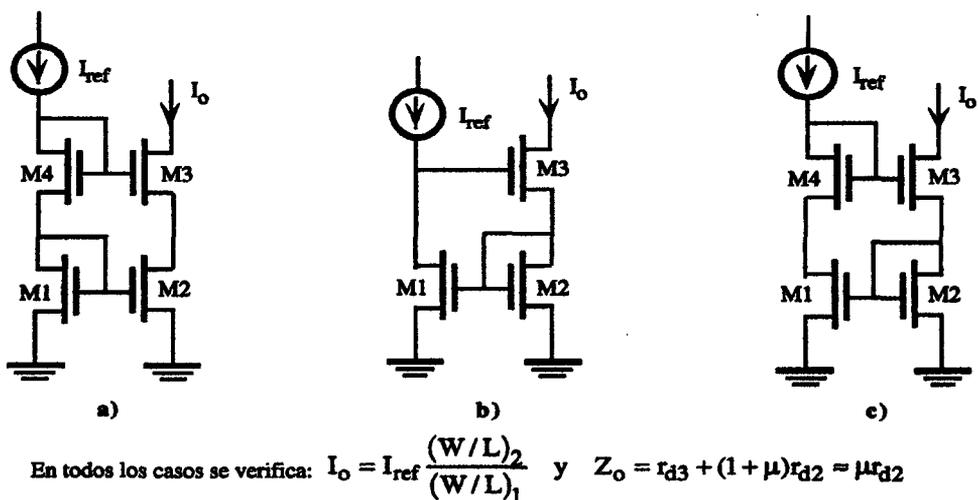


Figura 4.41 Fuentes de corriente con MOSFET: a) cascode. b) Wilson. c) Wilson modificada.

4.7.3 FUENTES DE CORRIENTE INDEPENDIENTES DE LA TENSIÓN DE POLARIZACIÓN

En muchas aplicaciones es preciso asegurar el funcionamiento del circuito con independencia de las tensiones de alimentación. Las anteriores fuentes de corriente tienen como inconveniente que la intensidad de salida es directamente proporcional a la tensión de alimentación. Por ejemplo, dos espejos de corriente idénticos alimentados con 10V y 30V, el primero tendría corrientes de polarización tres veces inferior al segundo y, por consiguiente, el segundo disiparía nueve veces más potencia que el primero. Este tipo de fuentes independientes de V_{CC} pueden ser clasificadas en: fuentes que operan con tensiones standard (por ejemplo, V_{BE} de un transistor) y fuentes basadas en diodos Zener.

En la *figura 4.42.a* se muestra una fuente cuya corriente de salida está fijada por la tensión base emisor del transistor Q1 y cuyo valor es

$$I_o = \frac{V_{BE1}}{R_E} \quad (4.83)$$

El correcto funcionamiento de este circuito exige que la intensidad de salida I_o debe ser suficiente elevada para que la caída de tensión en R_E polarice a Q1 en la región lineal, es decir, $I_o R_E > V_{BE2}$. La independencia de I_o con la tensión de alimentación no se logra totalmente ya que I_{ref} depende linealmente de V_{CC} al verificar $I_{ref} = (V_{CC} - 2V_{BE}) / R_1$. Una variación en I_{ref} genera a su vez una variación en $V_{BE1} = V_T \ln(I_{ref} / I_S)$, luego I_o no es totalmente insensible a la tensión de alimentación [12].

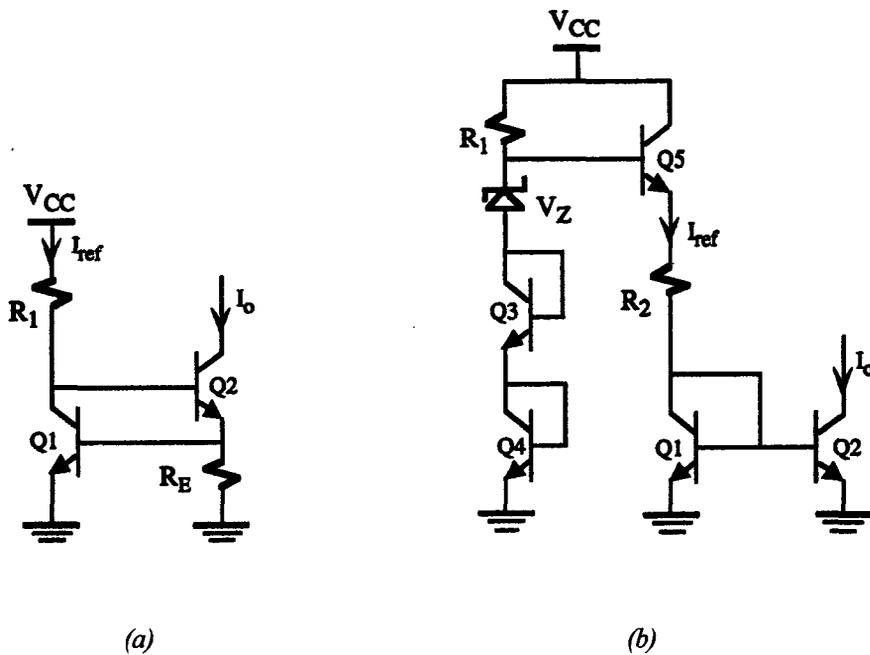


Figura 4.42. Fuentes de corriente independientes de la tensión de alimentación definidas por a) V_{BE} y b) diodo zener.

Las fuentes de corriente que utilizan diodos Zener utilizan la tensión zener para obtener tensiones de referencia necesarias para generar una corriente de referencia independiente de la tensión de alimentación. Además, el coeficiente térmico del diodo Zener permite estabilizar estos circuitos frente a las variaciones de la temperatura. Un ejemplo de esta fuente se indica en la *figura 4.42.b*. La resistencia R_1 polariza al diodo zener y a Q_5 . Los transistores Q_3 y Q_4 , que actúan como diodos, compensan las tensiones base-emisor de Q_5 y Q_1 . De esta manera, la intensidad que circula por R_2 , que es prácticamente igual a la intensidad de salida I_o , debido al espejo de corriente que formados por Q_1 y Q_2 , vale [12]

$$I_o = \frac{V_Z}{R_2} \quad (4.84)$$

4.7.4 FUENTE DE CORRIENTE COMO CARGA ACTIVA

Una fuente de corriente además de actuar como circuito de polarización posee una impedancia interna de alto valor que puede ser utilizada como elemento de carga de

amplificadores. Con ello se consigue obtener cargas de un alto valor resistivo con un área de ocupación muy inferior con respecto a las resistencias de difusión de ese mismo valor.

En la *figura 4.43.a* se presenta un ejemplo de un amplificador constituido por el transistor Q1 en configuración E-C que tiene una fuente de corriente simple basada en un espejo de corriente de transistores PNP como carga activa. Al estar el colector de Q1 conectado al de Q2, uno de los problemas de este amplificador consiste en asegurar que ninguno de los transistores entren en saturación. En pequeña señal Q1 ve como carga la resistencia de salida $Z_o(h_{oe2}^{-1})$ del transistor Q2 que corresponde a la resistencia de salida de un espejo de corriente. La expresión de la ganancia en tensión se obtiene a partir del modelo de pequeña señal de este amplificador (se desprecia h_{re}) indicado en la *figura 4.43.b* y su valor es [12]

$$\Delta v = - \frac{h_{fe} (h_{oe1}^{-1} \parallel h_{oe2}^{-1})}{h_{ie}} \quad (4.85)$$

Las resistencias de carga en este tipo de circuitos son elevadas lo que se traduce en una alta ganancia de tensión. Por ello, con una o dos etapas amplificadoras de estas características se logran ganancias del orden de 100.000 a 1.000.000, impensable con elementos resistivos.

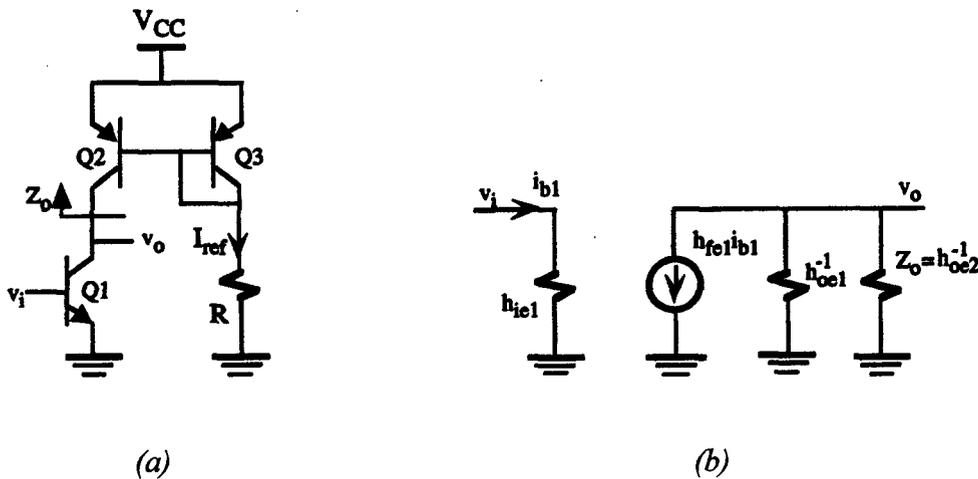


Figura 4.43 a) Amplificador en EC con carga activa. b) Modelo de pequeña señal

4.8 ELECCIÓN DE LA TENSION DE ALIMENTACIÓN

En este apartado se analizan los factores a tener en cuenta en el establecimiento de la tensión de alimentación para los circuitos que componen el terminal de recepción.

El consumo de potencia es directamente proporcional a la tensión de alimentación. Por tanto, si se desea desarrollar una aplicación portátil de bajo consumo interesa reducir en la medida de lo posible la tensión de alimentación.

En los distintos circuitos que componen el terminal de recepción de Bluetooth se emplean varios transistores situados entre la tensión de alimentación y tierra. Los transistores MOS para poder trabajar en la zona triodo o en la zona de saturación requieren que la tensión entre la puerta y la fuente sea superior a un valor llamado tensión umbral. Por esto, la tensión de alimentación ha de ser tal que los transistores dispongan de un rango de tensiones suficiente como para encontrarse correctamente polarizados.

Establecer la tensión de alimentación del terminal de recepción afecta a los circuitos integrados, y a los elementos externos. Estos elementos externos tienen las tensiones de alimentación normalmente establecidas a unos valores estándar de 12 V, 5 V, 3.3 V, 2.7 V, 2.5 V o 1.5 V. Por tanto, con la intención de simplificar la conexión entre los distintos bloques de la aplicación final, es conveniente establecer la tensión de alimentación del circuito integrado al mismo valor que el de los componentes externos. Se considera relevante mencionar que a partir de una única tensión proporcionada por una batería se pueden fijar distintas tensiones de alimentación para distintos circuitos. Para ello se emplean convertidores DC-DC. Éstos no se emplean en el presente trabajo por buscarse reducir el número de bloques de la aplicación y el consumo.

Un aspecto clave en la determinación de la tensión de alimentación es la tecnología empleada. La evolución de los procesos de fabricación conlleva un escalado de los transistores. El principal objetivo en esta evolución es reducir la longitud mínima de canal y el grosor de la capa de óxido de puerta para aumentar la transconductancia del MOS, su frecuencia máxima de trabajo y la densidad de integración. El escalado en la tecnología debe ir seguido de un escalado en la tensión de alimentación por dos motivos: el ruido que introduce el circuito y la vida útil del mismo.

Los transistores con una longitud de canal por debajo de la micra presentan en saturación un ruido en RF mucho mayor que el predicho teóricamente. Esto es debido a que a medida que se disminuye la longitud de canal, para una tensión entre drenador y fuente constante, aumenta la fuerza de campo eléctrico longitudinal. Ello provoca que la velocidad de los portadores llegue a saturación y su calentamiento. Esto se traduce en un aumento del ruido térmico del canal de los transistores MOS. Por ello, para una tecnología CMOS con una longitud de canal reducida, menor que $1\ \mu\text{m}$, es conveniente mantener la tensión de alimentación pequeña para mantener el campo eléctrico longitudinal en valores inferiores a $10^4\ \text{V/cm}$ para que el ruido de los transistores MOS no sea excesivo [4]. En la *figura 4.44* se presenta una gráfica donde se relaciona la tensión de alimentación en función de la longitud del canal para los procesos de fabricación que presentan las mínimas longitudes de canal [4].

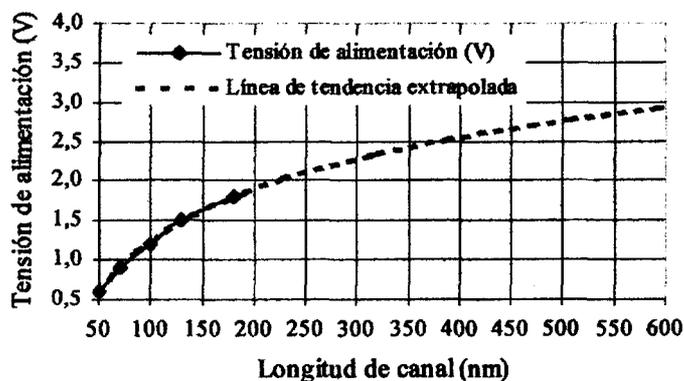


Figura 4.40. Variación de la tensión de alimentación en función de la longitud de canal mínima de la tecnología.

Extrapolando la evolución de la relación entre la tensión de alimentación y la longitud mínima de canal de la tecnología, además de, la tensión de alimentación que afecta a los circuitos externos la tensión de alimentación para nuestro circuito la vamos a fijar a 3.3V.

4.9 ELEMENTOS EXTRAS

Previamente al diseño de un circuito deben tenerse en cuenta una serie de efectos parásitos que afectan de manera considerable a su comportamiento. Si no se consideran las influencias de dichos efectos, los resultados obtenidos a partir de las distintas simulaciones diferirán en gran medida de los obtenidos después de testear el circuito. Estos efectos surgen por la necesidad de empaquetar el circuito para su testeo.

Los efectos que se derivan de la necesidad de empaquetar el circuito son:

- Efecto del *pad* conexión
- Inductancia del *bondwire*
- Efecto del empaquetamiento

4.9.1 EFECTO DEL PAD CONEXIÓN

El punto de conexión del circuito integrado donde se suelda el hilo proveniente del empaquetamiento es el denominado *pad* conexión. En un circuito integrado habrá tantos *pads* como conexiones externas existan.

Un *pad* no es más que una isla de metal conectadas a las zonas adecuadas del circuito integrado. Dependiendo de cómo se realice el testeo del circuito tendrá unas dimensiones determinadas.

Al ser una zona de metal sobre un sustrato de silicio, éste puede modelarse mediante una capacidad parásita en serie con una resistencia entre el metal y el sustrato. En la *figura 4.41* se muestra un esquema circuital del *pad*.

La resistencia R modela las pérdidas de energía producidas por las corrientes parásitas que circulan en el sustrato y la capacidad parásita C aparece debido a la diferencia de tensión que existe entre el metal del *pad* y el sustrato.

Los valores de la resistencia y de la capacidad del modelo los proporciona el fabricante y dependerá del tipo de *pad* empleado.



Figura 4.41 Circuito equivalente de un pad de conexión

4.9.3 INDUCTANCIA DEL BONDWIRE

El hilo metálico de conexión desde los *pads* del circuito integrado hasta las patas del chip tiene un efecto inductivo. Este efecto dependerá de la calidad de la soldadura, del lugar donde se realice la conexión y sobre todo de la longitud del hilo.

Para tener en cuenta el efecto parásito que produce este hilo de conexión, en las simulaciones se introduce una inductancia de *bondwire* habrá que conocer la longitud del hilo. Esta longitud depende de la separación que existe entre los *pads* y las patas del chip.

4.11.3 EFECTO DEL EMPAQUETAMIENTO

Este efecto se debe a las propiedades parásitas asociadas a las patas de conexión del circuito integrado. El esquema circuital que modela el empaquetamiento del circuito se muestra en la *figura 4.42*.

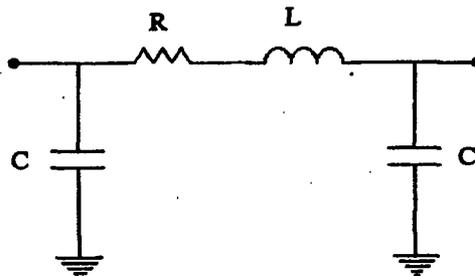


Figura 4.42. Circuito equivalente al efecto del empaquetamiento.

Los valores de las resistencias, capacidades e inductancias del modelo son datos aportados por el fabricante. En las simulaciones este efecto se introducirá en el esquemático en serie con el de la inductancia de *bondwire* y el del *pad* de conexión de entrada y salida. El encapsulado o empaquetamiento del chip tendrá efecto sobre la adaptación de impedancias, ruido y ganancia del amplificador.

En nuestro caso el test del diseño se realizará en la propia oblea, es decir no será necesario empaquetar el circuito, por lo que a la hora de realizar las distintas simulaciones sólo se tendrá en cuenta el efecto del *pad* de conexión.

CAPÍTULO 5

Diseño y simulación del LNA

En este capítulo se presenta el LNA (amplificador de bajo ruido) desarrollado en este proyecto. También presentamos las diferentes simulaciones, así como los cálculos teóricos de las dimensiones y valores de los distintos componentes.

Con estas simulaciones se pretende conseguir las especificaciones dadas en el apartado 1.5 para el LNA.

| G | NF | $VSWR_1$ | $VSWR_2$ | $IIP3$ |
|------|------|----------|----------|--------|
| 15dB | 4dB | 1 | 1 | -10dBm |

Hay que tener en cuenta, que aunque no haya una especificación concreta al respecto, el consumo de potencia del amplificador debe ser el mínimo posible.

5.1 DISEÑO SELECCIONADO

El diseño ha sido escogido a partir de un proceso de estudio y diseño de las diferentes arquitecturas para LNAs y de una selección entre otros muchos circuitos, siendo éste (el presentado en este proyecto) el que mejor se ha adaptado a las exigencias de figura de ruido, ganancia, IP3 y adaptación de impedancias.

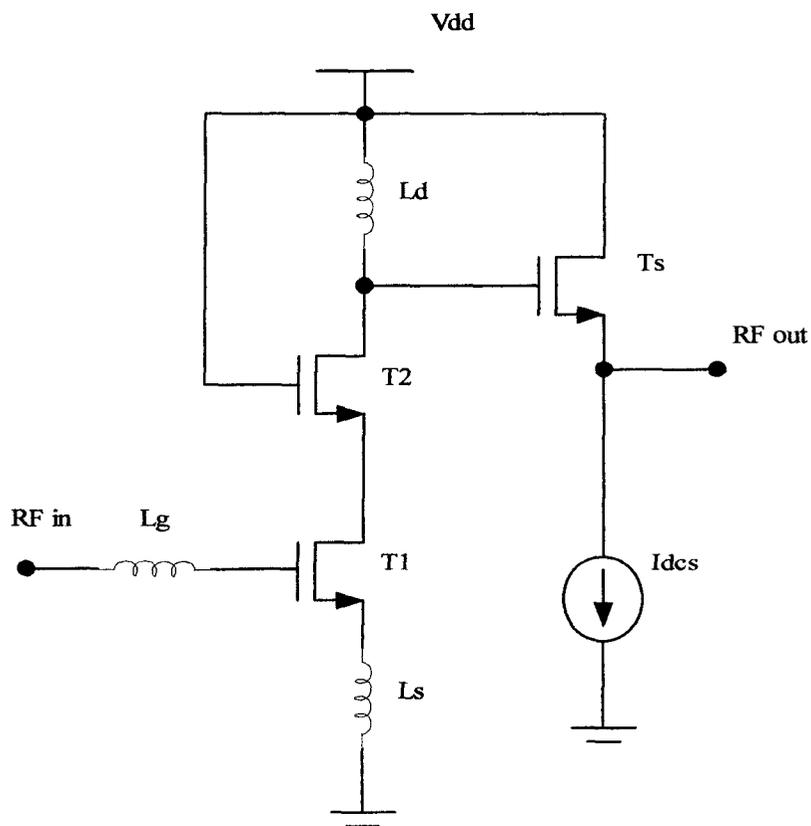


Figura 5.1 Esquemático del LNA

Como se puede observar en la *figura 5.1* se ha optado por una arquitectura simple con una etapa cascodo. Tal como se vio al estudiar las arquitecturas típicas de los LNAs (capítulo 4, *apartado 4.3.4*). La arquitectura diferencial presenta el atractivo de amplificar la señal que llega a su entrada además de eliminar el ruido que acompaña a la señal (efecto muy importante para LNAs). Sin embargo consumo excesivo de corriente en el circuito diseñado, como se verá en las próximas simulaciones, ha hecho que nuestra elección se decantase por una arquitectura simple. En el *apartado 4.3.1* se demostró como el consumo de esta etapa respecto a la etapa diferencial es la mitad.

Además la arquitectura simple es más fácil de implementar al tener la mitad de componentes y por lo tanto más barata. Tampoco se hace necesario el uso de un transformador o “balun” que transforme la señal de entrada que está referida a tierra en una

señal diferencial, ahorrándonos, por tanto, las pérdidas extras en la señal de entrada que produce este elemento lo que degradaría la figura de ruido del amplificador.

En el *apartado 4.3.2* se pone de manifiesto también que el ruido térmico en una etapa diferencial es el doble que en una etapa simple. Por tanto esta es otra de las ventajas que presenta la arquitectura simple frente a la diferencial.

El amplificador con etapa cascode, como se explica en el *apartado 4.4* es un amplificador que tiene unas características de funcionamiento muy similares al fuente común, excepto en el ancho de banda donde es muy superior. Si realizáramos un estudio en alta frecuencia del amplificador puerta común se observaría que su frecuencia de corte es muy superior a la de un fuente común, esto es equivalente a decir que cuando en el fuente común la ganancia empieza a caer al llegar a su frecuencia de corte, el puerta común aún esta en su zona de frecuencias medias.

Con la etapa de amplificación cascode se obtienen los siguientes beneficios:

- Mejora la respuesta en frecuencia, es decir, tal y como se demostró en el *apartado 4.6.1.2* se minimiza el efecto de la capacidad de Miller $C_{gd_{r_2}}$ y por tanto se consigue un mayor ancho de banda de amplificación. Esto es importante ya que se pretende amplificar un rango de frecuencias que van desde los 2,402 GHz. a los 2,480 GHz.
- También mejora el nivel de aislamiento, es decir, aísla la salida del amplificador de la entrada. Con esto se pretende evitar que la señal de salida aparezca reflejada en la entrada y produzca interferencias.

Generalmente, las etapas integradas en un mismo chip no necesitan estar adaptadas a un valor estándar (50Ω), basta con que estén adaptadas entre ellas. En cambio si será necesario adaptar las entradas o salidas que correspondan a conexiones externas (como por ejemplo: conexión a antenas, filtros externos, inductancias, etc...), o cuando se quiera testear por separado el chip con algún equipo de medida (ver *apartado 3.2*). En nuestro

caso el LNA se adaptará tanto a la entrada como a la salida ya que las medidas se realizarán sobre la propia oblea y los aparatos de medida utilizados están también adaptados a 50Ω .

La adaptación de impedancia de entrada se realiza mediante una degeneración inductiva por ser ésta, la estructura que mejor figura de ruido presenta (ver demostración en el *apartado 4.5.1.3*). Éste método se basa en utilizar la inductancia de degeneración de fuente L_s para conseguir un término real en la impedancia de entrada. Seguidamente, con la inductancia L_g se consigue sintonizar la entrada de forma que a la frecuencia de trabajo desaparezca el término imaginario de la impedancia de entrada. Por tanto con los valores adecuados de L_s y L_g se puede conseguir una impedancia $Z_{in} = 50 \Omega$.

Al no tener que utilizar resistencias, este tipo de adaptación es la que mejor figura de ruido (NF) presenta. Es una arquitectura selectiva con las frecuencias, es decir, se puede sintonizar en una banda determinada ya que forma un circuito resonante RLC en su entrada. Ésta arquitectura resonante, tal y como se explica en el *apartado 4.7.1.4*, realiza una preamplificación de la señal de entrada con lo que aumenta la ganancia y, por tanto, se reduce la figura de ruido.

Por último destacar que la eficacia de ésta arquitectura está limitada por la calidad de las inductancias que se utilizan en su implementación.

La ganancia de un amplificador depende en gran medida de la carga que se tiene conectada a su salida. Es decir, la ganancia de un amplificador está en función de la impedancia de entrada que presenta la etapa que le sigue. En muchos casos el valor de esta impedancia es muy baja lo que produce que la ganancia del amplificador disminuya notablemente. Para solucionar este problema es necesario el uso de una etapa de salida.

La etapa de salida tiene como finalidad bajar la impedancia de salida de un circuito con el fin de poder alimentar cargas pequeñas. Las características ideales de este tipo de etapas de salida son: ganancia unitaria en tensión y ganancia alta en corriente.

De las dos etapas de salida más utilizadas en circuitos de RF, el seguidor de fuente y fuente común (explicadas en el *apartado 4.5.2*) se ha elegido la configuración seguidor de fuente principalmente por no utilizar elementos externos como inductancias y resistencias. Además no produce la fuerte retroalimentación de la salida a través de la capacidad $C_{gd_{T2}}$ del transistor MOS, que si tiene la configuración fuente común.

5.2 ESTIMACIONES INICIALES

En este apartado se han calculado teóricamente los valores iniciales de los diferentes elementos que componen el circuito, (dimensiones de los transistores, inductancias, capacidades, etc...) de forma que se intentará llegar a un compromiso entre todas las especificaciones: máxima ganancia, mínima figura de ruido, máxima linealidad y mínimo consumo, todo ello adaptado lo mejor posible tanto a la entrada como a la salida.

Estos cálculos han sido tomados de diversas publicaciones para el desarrollo de LNAs con diferentes tecnologías por lo que los valores teóricos diferirán de manera considerable de los valores reales [2].

5.2.1 DIMENSIONADO DE LA RED DE ADAPTACIÓN DE ENTRADA

Como se comenta en el *apartado 4.5.1.4* y en [2], esta red permite realizar una primera amplificación de la señal de entrada al circuito. Con ello, se disminuye la figura de ruido al aumentar la ganancia. La red estará adaptada a 50Ω .

El factor de calidad de la red RLC de entrada según [2] ha de ser aproximado al de la bobina L_d para minimizar la figura de ruido del amplificador y obtener un mínimo consumo de potencia. El valor recomendado de Q_{RLC} para la etapa de entrada está entre 2 y 5 ya que un valor elevado de Q_{RLC} haría que el circuito fuese muy selectivo y cualquier dispersión o variación en los valores de los componentes provocaría un desplazamiento de la banda de amplificación. Siguiendo esta recomendación hemos escogido la bobina $L_d = 4.35 \text{ nH}$ con un factor de calidad de $Q_{L_d} = 4.16$.

El cálculo de los valores de L_g y L_s que forman parte de la red de adaptación de entrada, se realizará según el apartado 4.5.1.4 mediante las siguientes formulas:

$$\omega_0 = \frac{1}{\sqrt{(L_s + L_g) \cdot C_{gs_{T1}}}} \quad (5.1)$$

$$Q_{RLC} = \frac{\sqrt{(L_s + L_g) / C_{gs_{T1}}}}{R_S} \quad (5.2)$$

Con las formulas 5.1 y 5.2 se obtiene la ecuación 5.3 que permite calcular el valor de $C_{gs_{T1}}$, L_g y L_s para adaptar la entrada a 50Ω y minimizar su figura de ruido.

$$Q_{RLC} = \frac{\omega_0 \cdot (L_s + L_g)}{Z_{in}} = \frac{1}{\omega_0 \cdot Z_{in} \cdot C_{centrado}} \approx \frac{1}{\omega_0 \cdot Z_{in} \cdot C_{gs_{T1}}} \quad (5.3)$$

$$C_{gs_{T1}} \cong \frac{1}{\omega_0 \cdot Z_{in} \cdot Q_{RLC}} \cong \frac{1}{2.4 \cdot 10^9 \times 50 \times 4.16} \cong 2 pF \quad (5.4)$$

$$(L_s + L_g) \approx \frac{Q_{RLC} \cdot Z_{in}}{\omega_0} = \frac{4.16 \times 50}{2.4 \cdot 10^9} = 86 nH \quad (5.5)$$

Como se verá a continuación, para el cálculo por separado de L_g y L_s es necesario conocer previamente otros parámetros. También vemos como el valor de $(L_s + L_g)$ es bastante elevado, esto es debido al no haber tenido en cuenta el efecto que produce las resistencias parásitas asociadas de dichas bobinas.

5.2.2 CÁLCULO DE LA TRANSCONDUCTANCIA DEL TRANSISTOR T1

Como se comentó en el apartado 4.5.1.4 y en [2] la adaptación de entrada va a suponer una primera amplificación de la tensión $V_{Cgs_{T1}}$ de Q_{RLC} veces la tensión de entrada, o lo que es lo mismo, se ha amplificado la señal de entrada por un factor Q_{RLC} , quedando definida la ganancia en tensión de este amplificador mediante la siguiente ecuación:

$$A_V = Q_{RLC} \cdot A_{CASCODO} = Q_{RLC} \cdot \frac{g_{m1}}{G_T} \quad (5.6)$$

Donde:

- G_T es la conductancia total en el nodo de salida del amplificador.
- g_{m1} es la transconductancia del transistor de entrada.
- Q_{RLC} es el factor de calidad de la red RLC de entrada.

Para simplificar el cálculo $G_T \approx G_L$. Es decir, sólo se tendrá en cuenta la conductancia paralela equivalente a la inductancia L_d . Por tanto:

$$A_V = Q_{RLC} \cdot A_{CASCODO} = Q_{RLC} \cdot \frac{g_{m1}}{G_L} = Q_{RLC} \cdot g_{m1} \cdot R_p \quad (5.7)$$

Para el cálculo de la resistencia paralela asociada a la bobina L_d se hace lo siguiente:

El factor de calidad de una bobina viene dado por la expresión

$$Q_{L_d} = \frac{\omega_o \cdot L_d}{R} \quad (5.8)$$

Al sustituir los valores de ω_o , Q_{L_d} y L_d , se obtiene la resistencia serie asociada a la bobina.

$$R = \frac{\omega_o \cdot L_d}{Q_{L_d}} = \frac{2.4 \cdot 10^9 \times 4.35 \cdot 10^{-9}}{4.16} = 2.5 \Omega \quad (5.9)$$

A partir de la resistencia serie asociada a la bobina se puede hallar la resistencia paralela equivalente a la misma bobina de la siguiente forma.

$$R_p = R \cdot (Q_{L_d}^2 + 1) = 2.5 \times (4.16^2 + 1) = 45.76 \Omega \quad (5.10)$$

A partir de las especificaciones, la ganancia en tensión del circuito es de 15 dB. Por tanto,

$$A_v dB = 20 \log \left(\frac{V_{out}}{V_{in}} \right) = 15 dB \quad (5.11)$$

$$A_v = \frac{V_{out}}{V_{in}} = 5.6 \quad (5.12)$$

Ahora, sustituyendo en la ecuación 5.7 el valor de Q_{L_d} y R_p se puede despejar el valor de g_{m1} necesario para cumplir las especificaciones que requiere el diseño.

$$g_{m1} = \frac{5.6}{Q_{L_d} \cdot R_p} = \frac{5.6}{4.16 \times 45.76} = 29.4 mS \quad (5.13)$$

Conocido el valor de g_{m1} y C_{gs} , se puede calcular el valor de la inductancia L_s a partir de la ecuación 5.14 según el apartado 4.5.1.4 y [2]:

$$L_s = \frac{Z_{in} \cdot C_{gs\tau 1}}{g_{m1}} = \frac{50 \times 2 \cdot 10^{-12}}{29.4 \cdot 1^{-3}} = 3.4 nH \quad (5.14)$$

Aplicando el valor de L_s en la ecuación 5.5 se obtiene L_g , dando como resultado:

$$(L_s + L_g) = \frac{Q_{L_d} \cdot Z_{in}}{\omega_0} = \frac{4.16 \times 50}{2.4 \cdot 10^9} = 86 nH; \quad L_g = 86 - 3.4 = 82.6 nH \quad (5.15)$$

Este valor es demasiado elevado para ser integrado, por lo que se tendría que aplicar externamente. Además se debe a no haber tomado en cuenta las resistencias parásitas asociadas a la red RLC. Como verá más adelante al haber despreciado estos efectos parásitos hace que los valores de las bobinas L_s y L_g obtenidos teóricamente difieran notablemente de los valores reales de dichas bobinas.

Hay que recordar que los valores aquí calculados son meramente orientativos, en las distintas simulaciones a realizar se dará con los valores definitivos de L_s y L_g que aseguren una correcta adaptación de entrada.

5.2.3 DIMENSIONADO Y POLARIZACIÓN DE LA ETAPA CASCODO

El dimensionado de los transistores de la etapa cascodo es muy importante ya que el comportamiento del LNA está fuertemente influenciado por esta etapa. Esta etapa, como ya se comentó, mejora la respuesta en frecuencia y aísla la salida de la entrada.

La ganancia y la figura de ruido de la etapa cascodo están en función de las dimensiones de los transistores T1 y T2, y de la corriente que circula a través de ellos.

En la etapa cascodo las dimensiones del transistor T1 suelen ser pequeñas para que la capacidad $C_{gs_{T1}}$ sea pequeña y la capacidad de Miller que afecta a altas frecuencias no sea notable. Sin embargo, para un LNA interesa que el transistor de entrada tenga unas dimensiones grandes para que disminuya la resistencia del canal y así disminuir la figura de ruido, objetivo principal del LNA.

La fórmula que proporciona el ancho óptimo del transistor T1 para que la figura de ruido sea mínima es la siguiente [1] y [2]:

$$W_{1optimo} = \left[\frac{2}{3} \cdot \omega_o \cdot L_{canal} \cdot C_{ox} \cdot R_S \cdot Q \right]^{-1} \quad (5.15)$$

- L_{canal} , longitud del canal del transistor de entrada.
- C_{ox} , capacidad de óxido de puerta.
- ω_o , frecuencia central de la banda donde se desea amplificar.

$$W_{1optimo} = \left[\frac{2}{3} \cdot 2\pi \cdot 2.4 \times 10^9 \cdot 0.8 \times 10^{-6} \cdot 2.58 \times 10^{-3} \cdot 50 \cdot 4.16 \right] = 231 \mu m \quad (5.16)$$

Para el dimensionado del transistor T2 hay que llegar a un compromiso entre las diferentes especificaciones, ya que si sus dimensiones son grandes aumentaría la ganancia y disminuiría la figura de ruido pero por el contrario disminuye la linealidad. Por tanto, la dimensión del transistor T2 lleva implícito un compromiso entre todas las especificaciones dadas. Se ha tomado como valor inicial $W_2 = 300\mu m$.

5.2.4 POLARIZACIÓN DE LA ETAPA CASCODO

La tensión de puerta V_{gs1} se ha de elegir de forma que el transistor T1 se encuentre en saturación, cumpliendo al mismo tiempo una serie de requisitos:

- El punto de operación de T1 debe ser el idóneo, es decir, debe estar alejado de la zona de corte y la de triodo. Esto garantizará el correcto funcionamiento del transistor y una buena linealidad del circuito. Por tanto elegimos la tensión de polarización del transistor como el valor medio de la tensión de alimentación del

$$\text{circuito } V_{gs1} \approx \frac{V_{DD}}{2}.$$

- La tensión de puerta del transistor T2 debe ser lo más alta posible, de forma que se asegure su funcionamiento en la región de saturación. Para esto se ha llevado la puerta V_{gs2} a la tensión de alimentación V_{DD} .

5.2.5 DIMENSIONADO DEL TRANSISTOR DE LA ETAPA DE SALIDA T_s Y CORRIENTE DE POLARIZACIÓN I_{dcs} .

Para el transistor T_s se han tomado unas estimaciones iniciales de $W_s = 200\mu m$ y una $I_{dcs} = 1mA$ según [1] y [2]. Se ha de recordar una vez más, que todos los valores hallados en estas secciones son de carácter orientativo. Nunca van a suponer valores finales.

5.3 SIMULACIÓN DEL DISEÑO

Una vez obtenidos los cálculos teóricos que dan una aproximación de los diferentes valores y dimensiones de los componentes del circuito, se comienza con las distintas simulaciones para obtener los valores definitivos.

Se tiene que recordar que con estas simulaciones se pretende conseguir las especificaciones dadas en el *apartado 1.5* y recordadas al comienzo de este capítulo.

Para que la simulación no comience de una forma muy compleja, con muchos factores a modificar (anchos de los transistores, valores de las bobinas, corrientes, etc...) se comienza simulando el diseño sin estar adaptado a la entrada ni a la salida para dar con los anchos óptimos de los transistores, en donde nos dan la máxima ganancia centrada a la frecuencia de trabajo (2,438 GHz.). Cuando se hayan obtenido los resultados más favorables con elementos ideales (excepto los transistores que si son reales), añadiremos poco a poco los componentes reales para así poder ver los cambios que se van produciendo y las posibles soluciones.

Posteriormente, se realizará el mismo procedimiento adaptando el diseño primeramente a la salida y luego a la entrada. Para finalizar se simulará el diseño completo con todos sus elementos reales.

5.3.1 CIRCUITO SIN ADAPTACIÓN DE ENTRADA NI SALIDA

Se comenzará simulando el circuito de la *figura 5.2* sin estar adaptado a la entrada ni a la salida y con la bobina L_d ideal para así verificar el comportamiento que produce los anchos de los transistores y los distintos valores de inductancia en el circuito.

La referencia de tensión utilizada para polarizar el transistor T1 ha sido el divisor de tensión mostrado en la *figura 5.2*, en él fijamos una corriente y le damos los valores de Rref. y de R1 necesarios para fijar la tensión $V_{gs1} = \frac{V_{DD}}{2}$ (estos valores se encuentran en la

tabla 5.1). Para el transistor T2 la tensión de polarización es $V_{DD} = 3.3 V$. Esta polarización no se variará más en las diferentes simulaciones.

La elección de la tensión V_{DD} ha sido explicada en el *apartado 4.10*, en el que se explica que extrapolando la evolución de la relación entre la tensión de alimentación y la longitud mínima de canal de la tecnología (*figura 4.40*), además de la tensión de alimentación que afecta a los circuitos externos, se obtiene como resultado una tensión de alimentación de 3.3V para una longitud de canal de 0,8 μ m utilizada en el diseño.

El valor de las capacidades escogidas ha sido de 3.4 pF, ya que no disponemos de ningún otro valor debido a que no hay una librería de capacidades integradas para esta tecnología. No obstante, el valor asignado cumple el objetivo de acoplo dado para éste circuito, además éstas capacidades no deben ser muy grandes para poder ser integradas fácilmente.

Como se explica en la guía rápida de usuario para el software Cadence del anexo I realizada en este proyecto, para realizar un análisis SP (S-parameters) es necesario conectar un puerto (tipo Psin) a la entrada y salida tal como se muestra en la *figura 5.2*.

Utilizando los valores mostrados en la *tabla 5.1* se realiza un primer análisis SP del circuito. Con este tipo de análisis se puede medir la ganancia del circuito, la figura de ruido y la adaptación de entrada y salida (ver anexo I).

Para obtener el IP3 se realiza un análisis SPSS tal y como se explica en la misma guía.

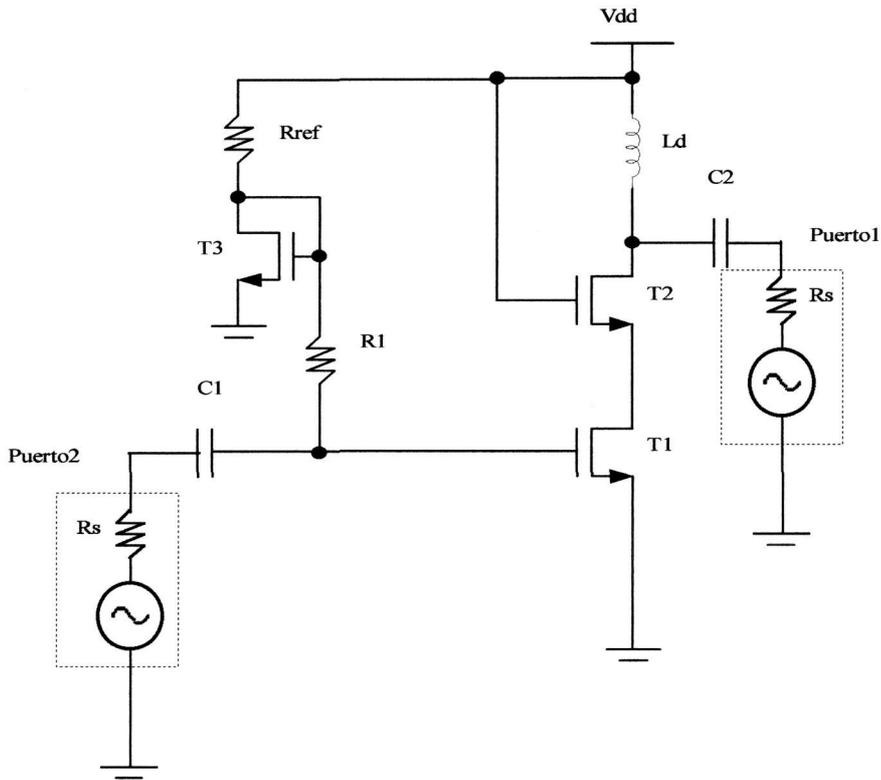


Figura 5.2 . Amplificador sin adaptación de entrada ni salida.

| COMPONENTE | VALOR |
|------------|------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=231\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=300\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| L_d | 4.35nH |

Tabla 5.1. Tabla de valores y dimensiones de los distintos componentes, obtenidos tras los cálculos y estimaciones realizadas en el apartado anterior.

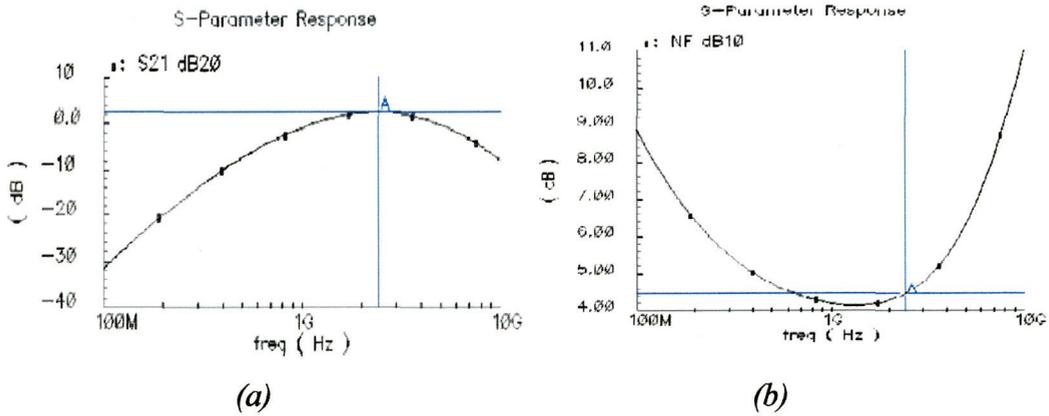


Figura 5.3. a) Ganancia, b) Figura de ruido

| PARÁMETRO | RESULTADO |
|------------------|-----------------|
| <i>G</i> | <i>2.5 dB</i> |
| <i>NF</i> | <i>4.46 dB</i> |
| <i>Idc total</i> | <i>12.98 mA</i> |

Tabla 5.2. Tabla de resultados

En la *figura 5.3* se muestran sólo las gráficas de ganancia y figura de ruido ya que al no estar adaptado el circuito no es necesario ver las gráficas de adaptación e IP3. En la *tabla 5.2* quedan reflejados los resultados de la *figura 5.3* donde se observa que los resultados difieren mucho de los resultados que se quieren conseguir. La *figura 5.3.a* muestra que el pico máximo de amplitud se encuentra en el rango de frecuencias óptimo 2.438 GHz, por lo que esta bien sintonizado.

Para que aumente la ganancia y baje la figura de ruido parece claro que lo que tenemos que hacer es aumentar los anchos de los transistores T1 y T2 para que disminuya la resistencia del canal y pueda aumentar la corriente que circula a través de ellos. Esta corriente es directamente proporcional a la transconductancia del transistor, y por tanto al aumentar la corriente aumenta la ganancia. Al disminuir la resistencia del canal, como ya se ha comentado, nos mejora la figura de ruido.

El ancho del transistor T1 es el que controla en gran medida la ganancia y la figura de ruido del circuito. Al aumentar el ancho del transistor T1, la ganancia aumenta y disminuye la figura de ruido pero hay un aumento de corriente significativo, condición por la cual no se podrá aumentar demasiado el ancho de dicho transistor. También este aumento del ancho del transistor desplaza el pico de ganancia a una frecuencia inferior a 2,438 GHz. debido a que aumenta la capacidad parásita asociada al mismo. Una forma de contrarrestar este efecto es disminuir el valor de la bobina que desplaza el pico de ganancia hacia frecuencias superiores quedando así solucionado el problema. El ancho del transistor T2 influye en el circuito de igual manera que T1 pero de una forma un poco más moderada.

A partir de aquí se realizará un proceso de optimización mediante aproximaciones sucesivas hasta conseguir los anchos de los transistores T1 y T2 que proporcionen los resultados más favorables.

Las gráficas y valores de los componentes para los que se ha hallado los mejores resultados son los mostrados en la *figura 5.4*, *tabla 5.3* y *5.4*.

| COMPONENTE | VALOR |
|------------|------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| L_d | 3.6nH |

Tabla 5.3. Tabla de valores

| PARÁMETRO | RESULTADO |
|------------------|-----------------|
| <i>G</i> | <i>7 dB</i> |
| <i>NF</i> | <i>3.52 dB</i> |
| <i>IP3</i> | <i>6.53dBm</i> |
| <i>Idc total</i> | <i>24.43 mA</i> |

Tabla 5.4. Tabla de resultados

Vemos como efectivamente al aumentar los anchos de los transistores a aumentado la ganancia disminuyendo la figura de ruido, además de ver como el consumo se ha duplicado.

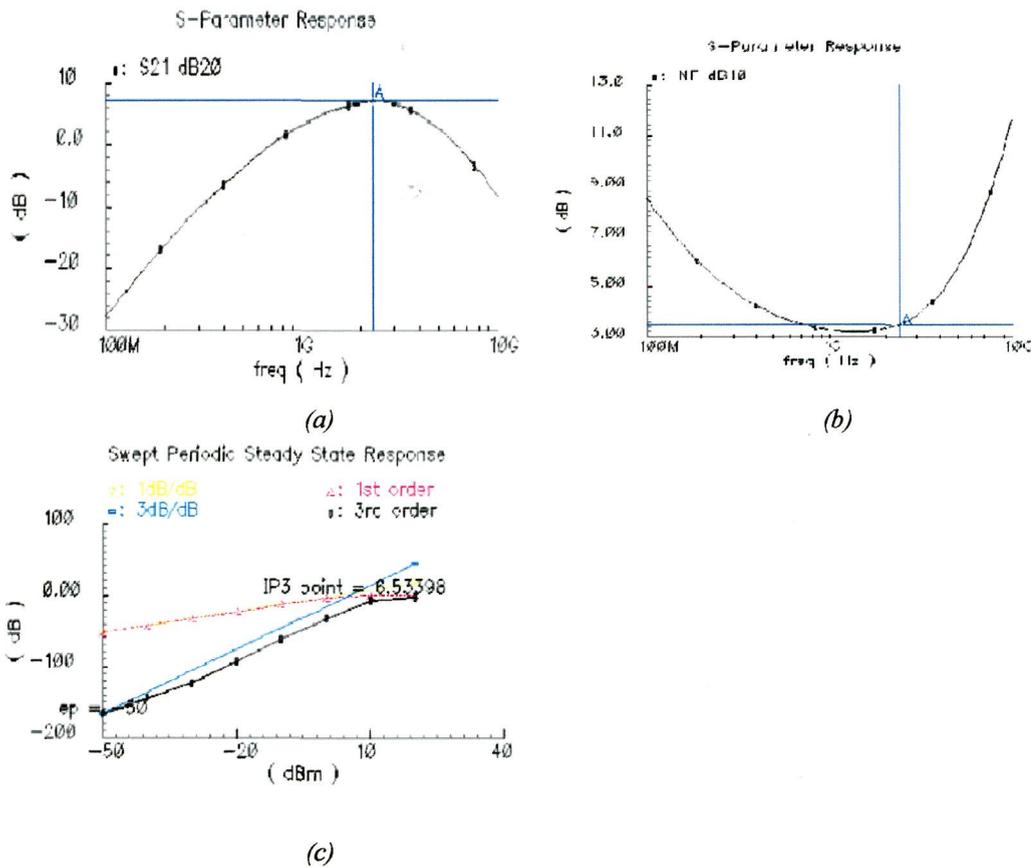


Figura 5.4. a) Ganancia, b) Figura de ruido, c) Linealidad

Una vez hallados los anchos más favorables de T1 y T2 con la bobina L_d ideal, vamos a realizar las mismas simulaciones con la bobina L_d real para así poder ver los cambios producidos al aplicar dicho elemento al circuito y poder comprobar las notorias diferencias que hay entre los efectos de una inductancia ideal y otra real. Estos efectos no van a ser otros que una disminución en la ganancia y un aumento de la figura de ruido debido a los efectos parásitos que introduce dicha bobina.

Al elegir la bobina real, se comenzará buscando una inductancia próxima al valor que teníamos idealmente (3.6 nH), ya que la librería de bobinas de que se dispone no proporciona todos los valores de inductancias posibles.

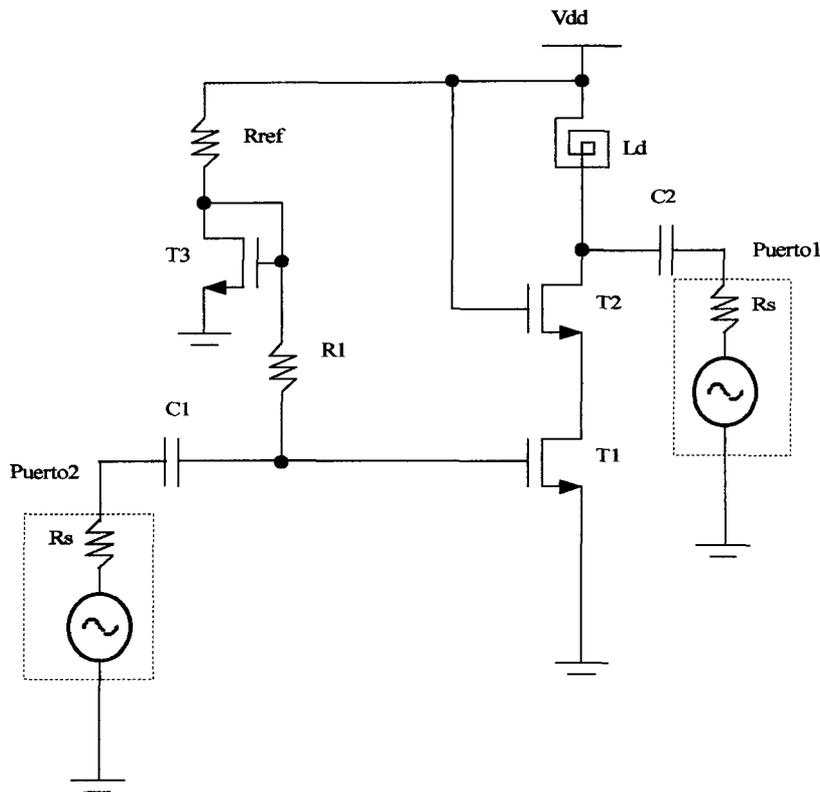


Figura 5.5. Amplificador con la bobina L_d real

El valor escogido es de $L_d=3.63\text{nH}$ con un factor de calidad $Q_{L_d}=5.12$.

| COMPONENTE | VALOR |
|------------|-------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| L_d | 3.63nH (IUMA_b_6) $Q=5.12$ |

Tabla 5.5. Tabla de valores

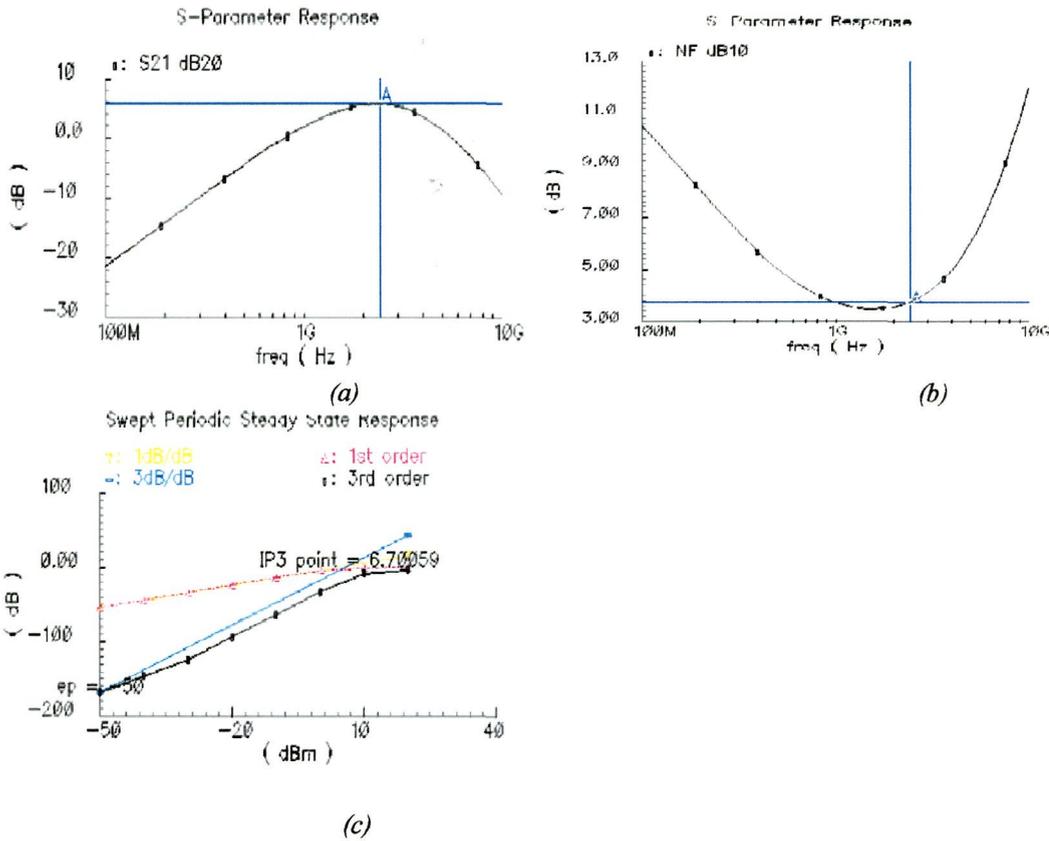


Figura 5.6. a) Ganancia, b) Figura de ruido, c) Linealidad

| PARÁMETRO | RESULTADO |
|------------------|-----------------|
| <i>G</i> | <i>5.7 dB</i> |
| <i>NF</i> | <i>3.7 dB</i> |
| <i>IP3</i> | <i>6.7 dBm</i> |
| <i>Idc total</i> | <i>24.73 mA</i> |

Tabla 5.6. Tabla de resultados

Las gráficas de la *figura 5.6* muestran como efectivamente la ganancia baja y aumenta la figura de ruido aunque no de forma notable. Es importante destacar que el *IP3* es inversamente proporcional a la ganancia del amplificador, y por tanto, al disminuir ésta aumenta el *IP3* tal y como queda reflejado en los resultados.

5.3.2. SIMULACIÓN CON ADAPTACIÓN DE SALIDA

Con los valores anteriores se pone la etapa de salida que tiene como finalidad bajar la impedancia de salida con el fin de alimentar cargas pequeñas para que no disminuya la ganancia de la etapa que le precede tal y como se explica en el *apartado 4.5.2*. El circuito queda tal y como se muestra en la *figura 5.7*.

Para realizar el análisis de este circuito la fuente de corriente es ideal. De esta manera es posible modificar el valor de la corriente con mayor facilidad. Además se comprobará que al cambiar la fuente de corriente ideal por otra real casi no afecta al comportamiento del circuito.

Al adaptar la salida buscamos que el parámetro *VSWR2* sea próximo a la unidad (*apartado 3.2.1.1*). Cuanto más próximo a 1 mejor adaptado estará.

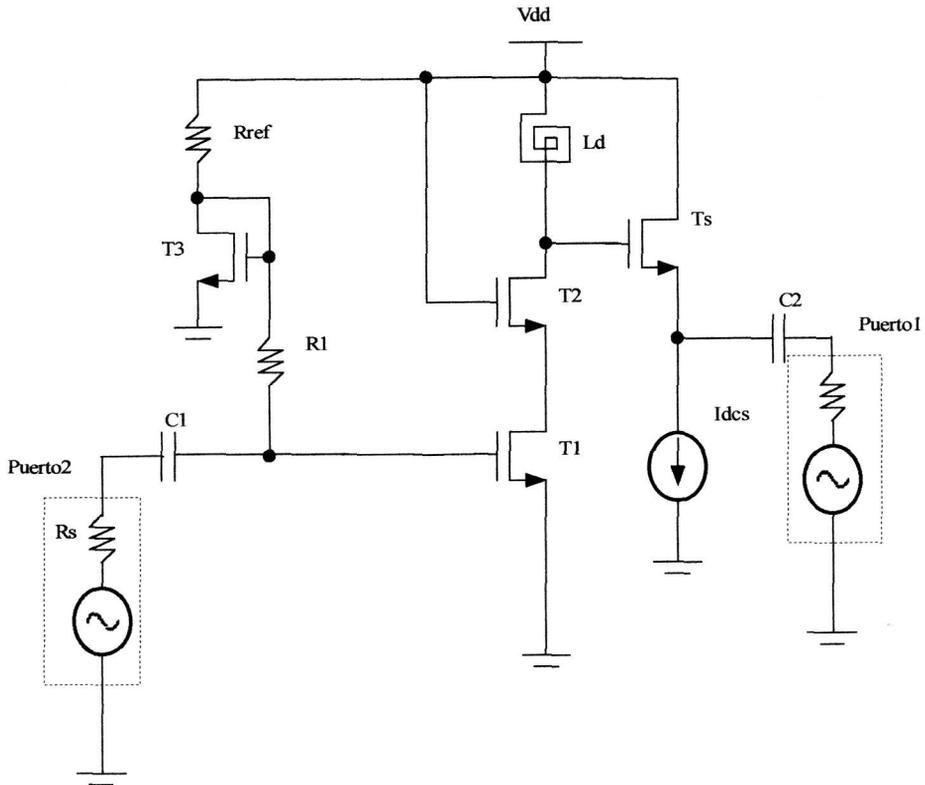


Figura 5.7. Amplificador adaptado a la salida.

| COMPONENTE | VALOR |
|------------|-------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| Ts | $W=200\mu m$ $L=0.8\mu m$ |
| I_{dcs} | 1 mA |
| L_d | 3.63nH (TUMA_b_6) $Q=5.12$ |

Tabla 5.7. Tabla de valores

| PARÁMETRO | RESULTADO |
|------------------|-----------|
| <i>G</i> | 5.7 dB |
| <i>NF</i> | 4 dB |
| <i>IP3</i> | -7.2 dBm |
| <i>VSWR2</i> | 1.94 |
| <i>Idc total</i> | 22.96 mA |

Tabla 5.8. Tabla de resultados

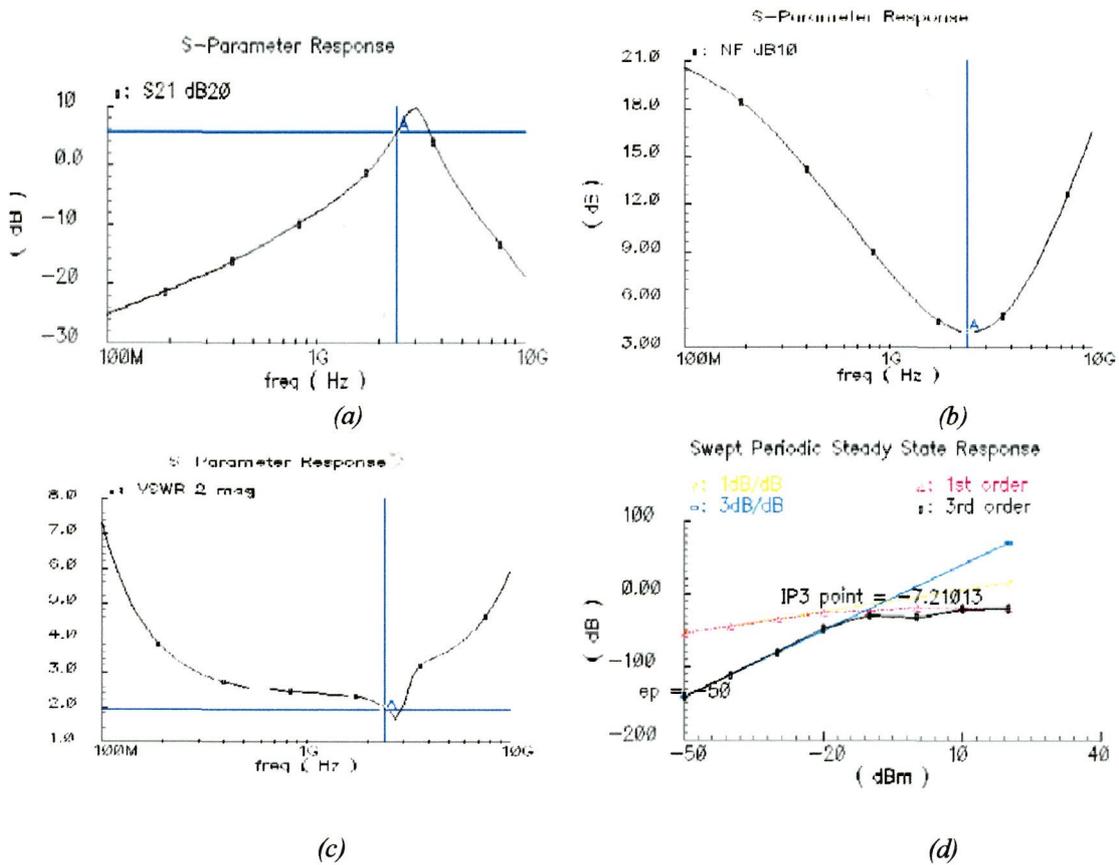


Figura 5.8. a) Ganancia, b) Figura de ruido, c) Adaptación salida, d) Linealidad

Al añadir la etapa de salida las consecuencias como se preveían son varias. Por un lado, tal y como se refleja en la *figura 5.8.a*, ha aumentado la ganancia máxima aunque ésta se ha desplazado hacia frecuencias superiores alrededor de 3 GHz.. Una posible solución sería aumentar el valor de la bobina L_d para desplazar la ganancia máxima hacia

frecuencias inferiores como ya se ha comentado. Por otro lado, la figura de ruido ha aumentado como consecuencia de la desintonización del pico de ganancia. Así mismo, la linealidad también ha bajado notablemente estando ya cerca de los límites marcados. Esto se debe a la relación inversamente proporcional entre ganancia e IP3.

Primeramente se intentará centrar la ganancia a la frecuencia de trabajo (2,438GHz.) aumentando la bobina $L_d=5.05\text{nH}$ y se modificará el ancho del transistor T_s y la corriente I_{dcs} hasta obtener los resultados más favorables.

Tras realizar una numerosa serie de aproximaciones se ha llegado a unos nuevos valores (tabla 5.9).

| COMPONENTE | VALOR |
|------------|--|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C12$ | 3.4pF |
| $T1$ | $W=500\mu\text{m}$ $L=0.8\mu\text{m}$ |
| $T2$ | $W=450\mu\text{m}$ $L=0.8\mu\text{m}$ |
| $T3$ | $W=50\mu\text{m}$ $L=0.8\mu\text{m}$ |
| Ts | $W=250\mu\text{m}$ $L=0.8\mu\text{m}$ |
| I_{dcs} | 5 mA |
| L_d | 5.05nH (IUMA_b_16) $Q=3.91$ |

Tabla 5.9. Tabla de valores

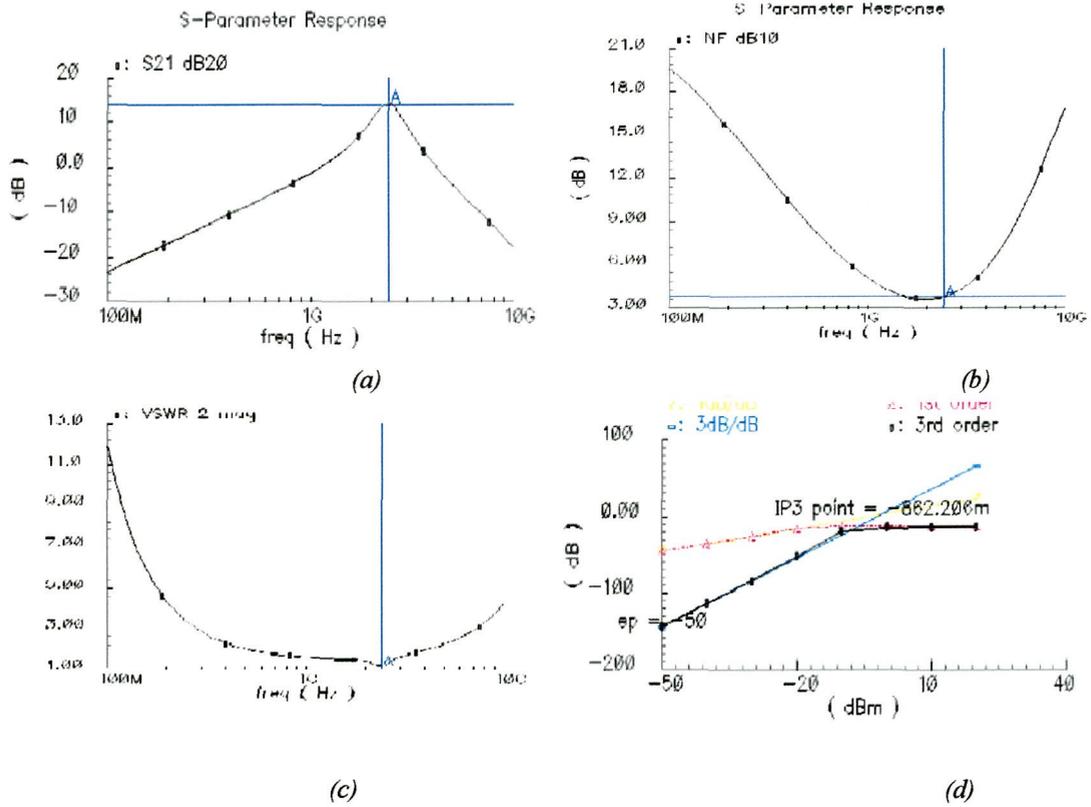


Figura 5.9. a) Ganancia, b) Figura de ruido, c) Adaptación salida, d) Linealidad

| PARÁMETRO | RESULTADO |
|------------------|------------|
| <i>G</i> | 14.25 dB |
| <i>NF</i> | 3.8 dB |
| <i>IP3</i> | -0.862 dBm |
| <i>VSWR2</i> | 1.22 |
| <i>Idc total</i> | 29.53 mA |

Tabla 5.10. Tabla de resultados

Como era de esperar la ganancia ha aumentado y se ha conseguido centrar el pico máximo de ganancia a la frecuencia de trabajo. Como consecuencia de esto la figura de ruido mejora así como la adaptación de salida se encuentra cerca de la adaptación perfecta.

El ancho óptimo de T_s se ha comprobado que está entre $250\mu\text{m}$ y $260\mu\text{m}$ para tener una buena adaptación de salida. La corriente I_{dc} cuanto más elevada es, más

ganancia ofrece hasta unos 7 mA., después de este límite la ganancia producida por esta corriente no es significativa. La linealidad del circuito también se mejora al incrementarse la corriente. No obstante, el consumo es un poco elevado, debiéndose corregir posteriormente.

5.3.3. CIRCUITO CON ADAPTACIÓN DE ENTRADA Y SALIDA

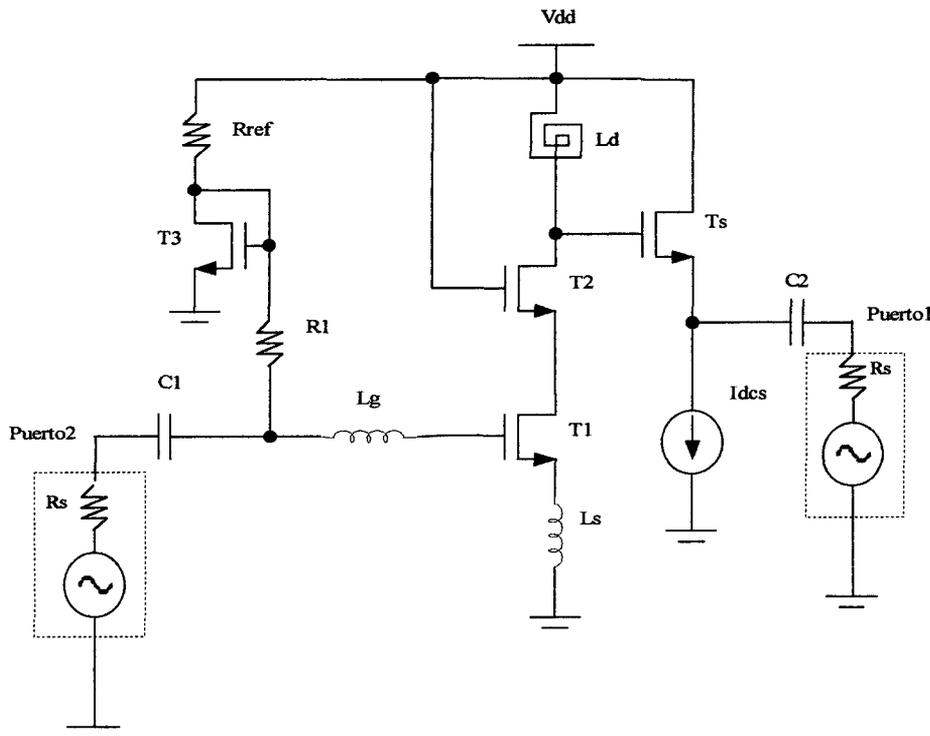


Figura 5.10. Amplificador adaptado a la entrada y salida.

Teóricamente al añadir la etapa de entrada, según el apartado 4.5.1.4, la ganancia queda multiplicada por un factor Q_{RLC} (factor de calidad de red RLC) intentando de esta manera aumentar la ganancia que es el único parámetro que no se cumple.

El factor Q_{RLC} no contempla las resistencias parásitas de las bobinas que componen dicha red. Por tanto los valores teóricos de L_g y L_s pueden diferir de forma notable de sus valores óptimos. Esto implica que si usamos dichos valores se produciría una

desintonización total del circuito con lo que se degradarían las especificaciones logradas hasta ahora (ver tablas 5.11 y 5.12 y figura 5.11).

| COMPONENTE | VALOR |
|------------|--------------------------------|
| V_{DD} | 3.3v |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C12$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| Ts | $W=250\mu m$ $L=0.8\mu m$ |
| I_{dcs} | 5 mA |
| L_d | 5.05nH (IUMA_b_16) $Q=3.91$ |
| L_g | 82.6 nH |
| L_s | 3.6 nH |

Tabla 5.11. Tabla de valores

| PARÁMETRO | RESULTADO |
|-----------------|--------------|
| G | -10.99 dB |
| NF | 21.72 dB |
| $IP3$ | -73.7215 dBm |
| $VSWR1$ | 26.05 |
| $VSWR2$ | 1.261 |
| $I_{dc\ total}$ | 30.11 mA |

Tabla 5.12. Tabla de resultados

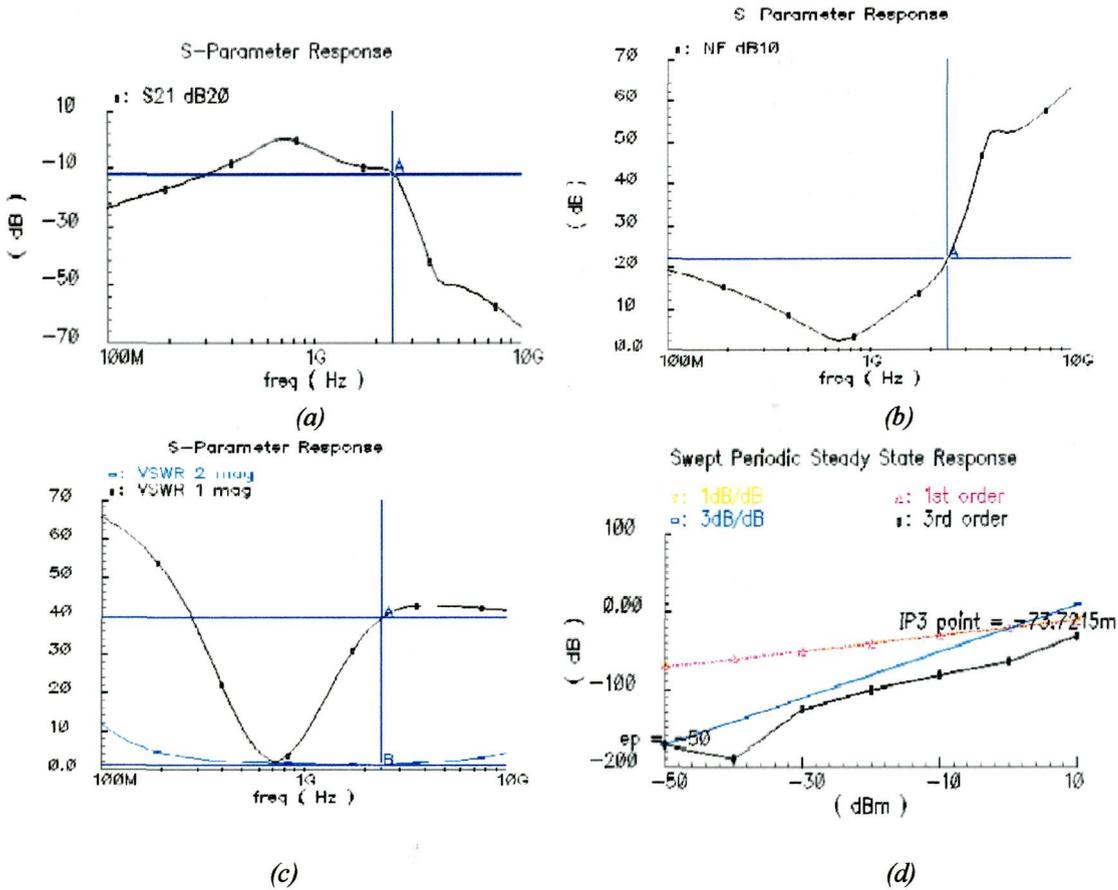


Figura 5.11. a) Ganancia, b) Figura de ruido, c) Adaptación salida y entrada, d) Linealidad

Se aprecia que los resultados son muy desfavorables como se pronosticaba al haber un desplazamiento del pico de la ganancia a frecuencias inferiores. A partir de aquí se harán aproximaciones sucesivas hasta obtener los valores de L_g y L_s óptimos. Estos valores nos van a centrar la máxima ganancia a la frecuencia de trabajo, además de bajar la figura de ruido y la linealidad por la relación directa que hay entre la ganancia y estos parámetros.

Como resultado del proceso de optimización se han obtenido los siguientes valores: $L_g = 6$ nH y $L_s = 0.7$ nH. (ver tablas 5.13 y 5.14 y figura 5.12) estos valores son fácilmente integrables.

| COMPONENTE | VALOR |
|------------|--------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C12$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| Ts | $W=250\mu m$ $L=0.8\mu m$ |
| I_{dcs} | 5 mA |
| L_d | 5.05nH (IUMA_b_16) $Q=3.91$ |
| L_g | 6 nH |
| L_s | 0.7 nH |

Tabla 5.13. Tabla de valores

| PARÁMETRO | RESULTADO |
|----------------|-----------|
| G | 17.09 dB |
| NF | 1.4 dB |
| $IP3$ | -3.6 dBm |
| $VSWR1$ | 1.37 |
| $VSWR2$ | 1.2 |
| I_{dc} total | 36.91 mA |

Tabla 5.14 tabla de resultados

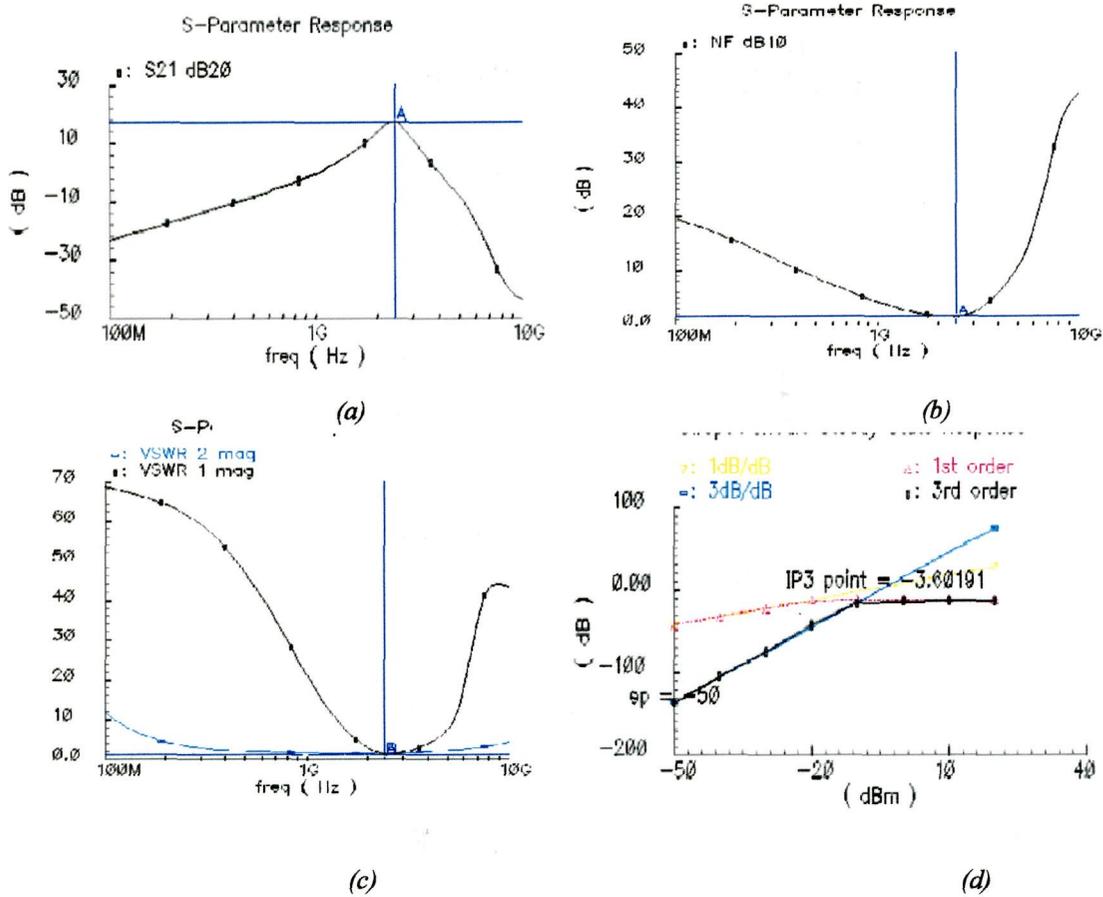


Figura 5.12. a) Ganancia, b) Figura de ruido, c) Adaptación salida y entrada, d) Linealidad

Llegados a este punto vemos que se cumplen todas las especificaciones. Ahora introduciremos las bobinas L_g y L_s reales, y se podrá comprobar el efecto de los elementos parásitos que producen dichas bobinas en el circuito.

Estos efectos van a producir una disminución de la ganancia y por consiguiente un aumento de la figura de ruido y de la linealidad.

En la tabla 5.16 quedan reflejados los resultados de la figura 5.13.

| COMPONENTE | VALOR |
|------------|---------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C12$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| Ts | $W=250\mu m$ $L=0.8\mu m$ |
| I_{dc} | 5 mA |
| L_d | 5.05nH (IUMA_b_16) $Q=3.91$ |
| L_g | 5.76 nH (IUMA_b_24) $Q=3.65$ |
| L_s | 0.67 nH (IUMA_b_28) $Q=8.75$ |

Tabla 5.15 tabla de valores

| PARÁMETRO | RESULTADO |
|----------------|--------------|
| G | 14.13 dB |
| NF | 3.9 dB |
| $IP3$ | -627.835 dBm |
| $VSWR1$ | 1.85 |
| $VSWR2$ | 1.2 |
| I_{dc} total | 36.86 mA |

Tabla 5.16 tabla de resultados

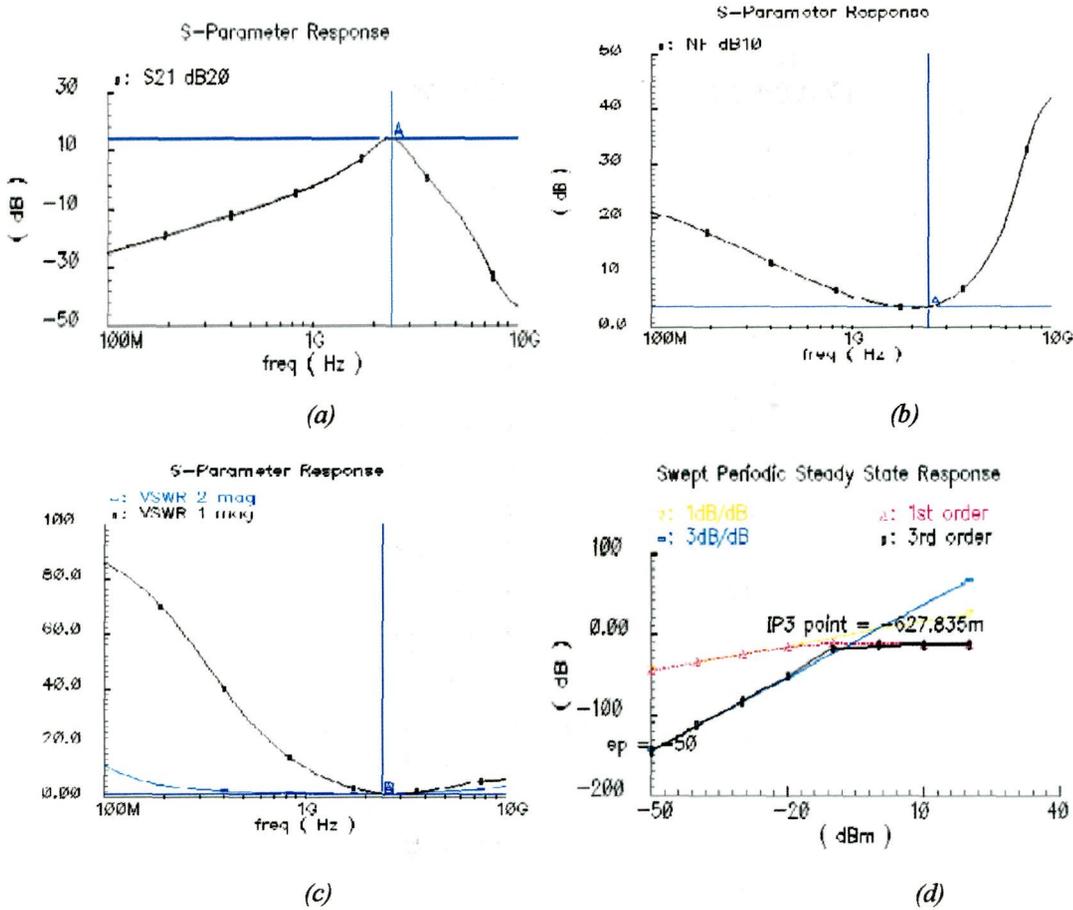


Figura 5.13. a) Ganancia, b) Figura de ruido, c) Adaptación de salida y entrada, d) Linealidad

Si nos fijamos en los resultados de la tabla 5.16, vemos que como se esperaba, la ganancia a disminuido. El valor obtenido está por debajo de nuestro objetivo debido al efecto de los elementos parásitos que presentan dichas inductancias. La figura de ruido ha aumentado y mejora la linealidad.

A la hora de mejorar la ganancia se puede ajustar aún más los valores de L_g y L_s e incluso se podría eliminar alguna de estas bobinas [11] con el fin de mejorar el factor de preamplificación asociado a la red RLC (Q_{RLC}).

| COMPONENTE | VALOR |
|------------|---------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C12$ | 3.4pF |
| $T1$ | $W=500\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| Ts | $W=250\mu m$ $L=0.8\mu m$ |
| I_{dcs} | 5 mA |
| L_s | 5.05nH (IUMA_b_16) $Q=3.91$ |
| L_g | 5.76 nH (IUMA_b_24) $Q=3.65$ |
| L_s | 0 |

Tabla 5.17. Tabla de valores

| PARÁMETRO | RESULTADO |
|----------------|-----------|
| G | 16.47 dB |
| NF | 3.8 dB |
| $IP3$ | -3.05 dBm |
| $VSWR1$ | 2.2 |
| $VSWR2$ | 1.2 |
| I_{dc} total | 34.83 mA |

Tabla 5.18. Tabla de resultados

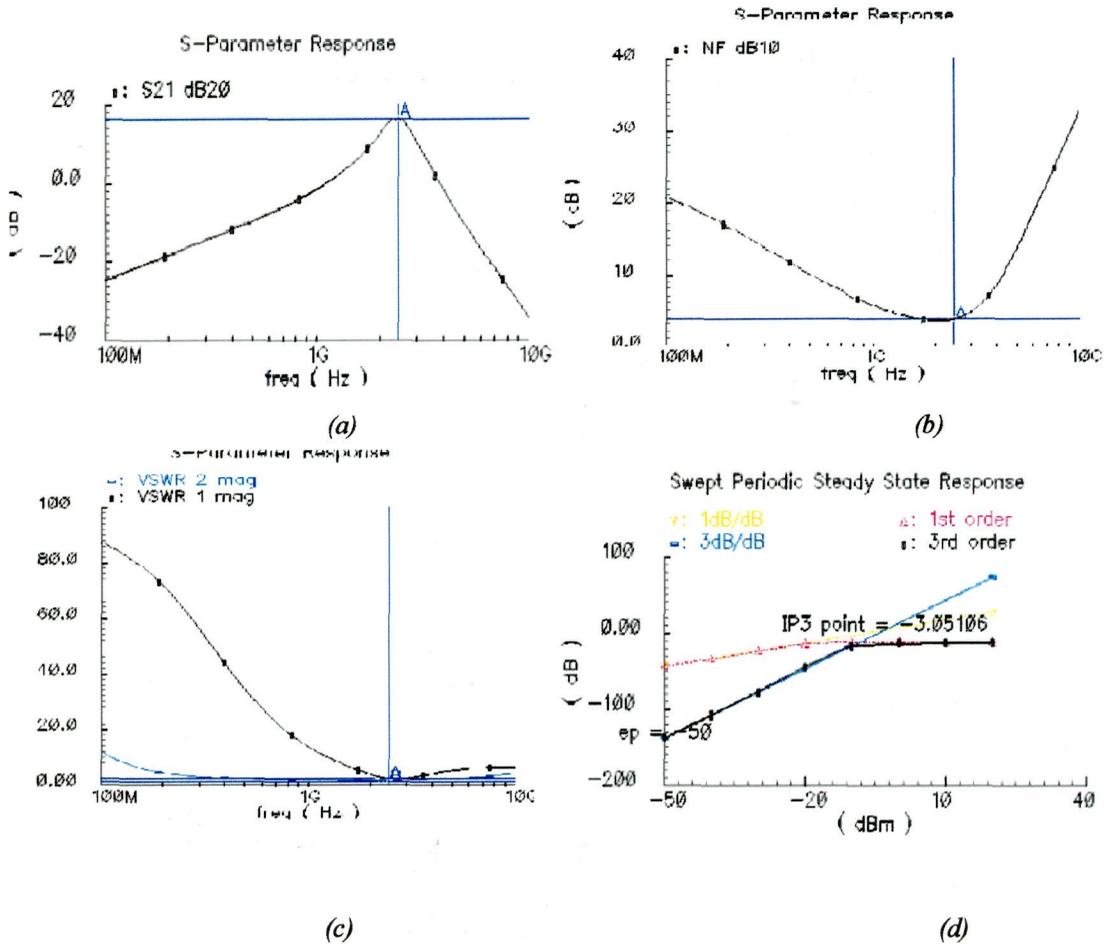


Figura 5.14. a) Ganancia, b) Figura de ruido, c) Adaptación de salida y entrada, d) Linealidad

Se observa que al quitar L_s se mejora la Q_{RLC} lo que mejora los resultados de ganancia y figura de ruido, aunque se sacrifica linealidad y adaptación de entrada pero dentro de unos márgenes aceptables. Si recordamos esta Q_{RLC} iba a introducir una primera amplificación de la señal de entrada.

A continuación se hará uso de transistores interdigitados (el programa Cadence nos da la posibilidad de hacer esto) con el fin de reducir en lo posible los efectos parásitos asociados a la resistencia de puerta de los transistores. El valor del resto de los componentes son los mismos que en la simulación anterior.

Estos efectos parásitos nos van a suponer una mejora en la figura de ruido al minimizarlos pero nos supone en contrapartida una disminución de la ganancia por la relación directa e inversa que existe entre estos dos parámetros.

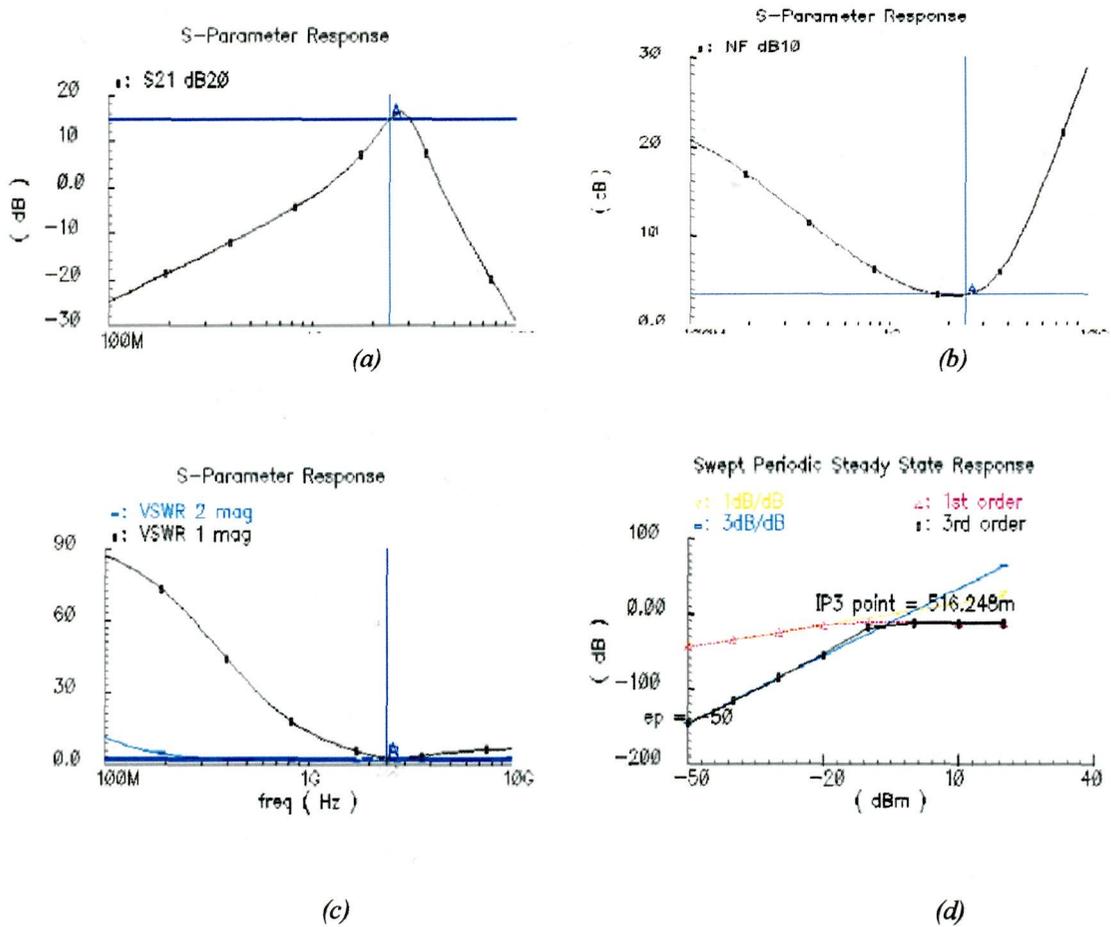


Figura 5.15. a) Ganancia, b) Figura de ruido, c) Adaptación de salida y entrada, d) Linealidad

| PARÁMETRO | RESULTADO |
|------------------|-----------------|
| <i>G</i> | <i>14.81 dB</i> |
| <i>NF</i> | <i>3.7 dB</i> |
| <i>IP3</i> | <i>1.4 dBm</i> |
| <i>VSWR1</i> | <i>3.5</i> |
| <i>VSWR2</i> | <i>1.37</i> |
| <i>Idc total</i> | <i>27.64 mA</i> |

Tabla 5.19. Tabla de resultados

Se puede observar como se preveía que la ganancia máxima ha sido desplazada hacia frecuencias superiores empeorando esta, con lo que se ha de aumentar el valor de la bobina L_d para centrar la ganancia a la frecuencia de trabajo nuevamente. El mejor resultado se consigue con $L_d = 6.45\text{nH}$. y se expresa el resultado en la tabla 5.21.

| | |
|-----------|--|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=500\mu\text{m}$ $L=0.8\mu\text{m}$ |
| $T2$ | $W=450\mu\text{m}$ $L=0.8\mu\text{m}$ |
| $T3$ | $W=50\mu\text{m}$ $L=0.8\mu\text{m}$ |
| Ts | $W=250\mu\text{m}$ $L=0.8\mu\text{m}$ |
| I_{dcs} | 5 mA |
| L_d | 6.45nH (IUMA_b_10) $Q=3.49$ |
| L_g | 5.76 nH (IUMA_b_24) $Q=3.65$ |
| L_s | 0 |

Tabla 5.20. Tabla de valores

| | |
|-----------------|-----------|
| G | 17.68 dB |
| NF | 3.4 dB |
| $IP3$ | -4.39 dBm |
| $VSWR1$ | 3.3 |
| $VSWR2$ | 1.4 |
| $I_{dc\ total}$ | 33.25 mA |

Tabla 5.21. Tabla de resultados

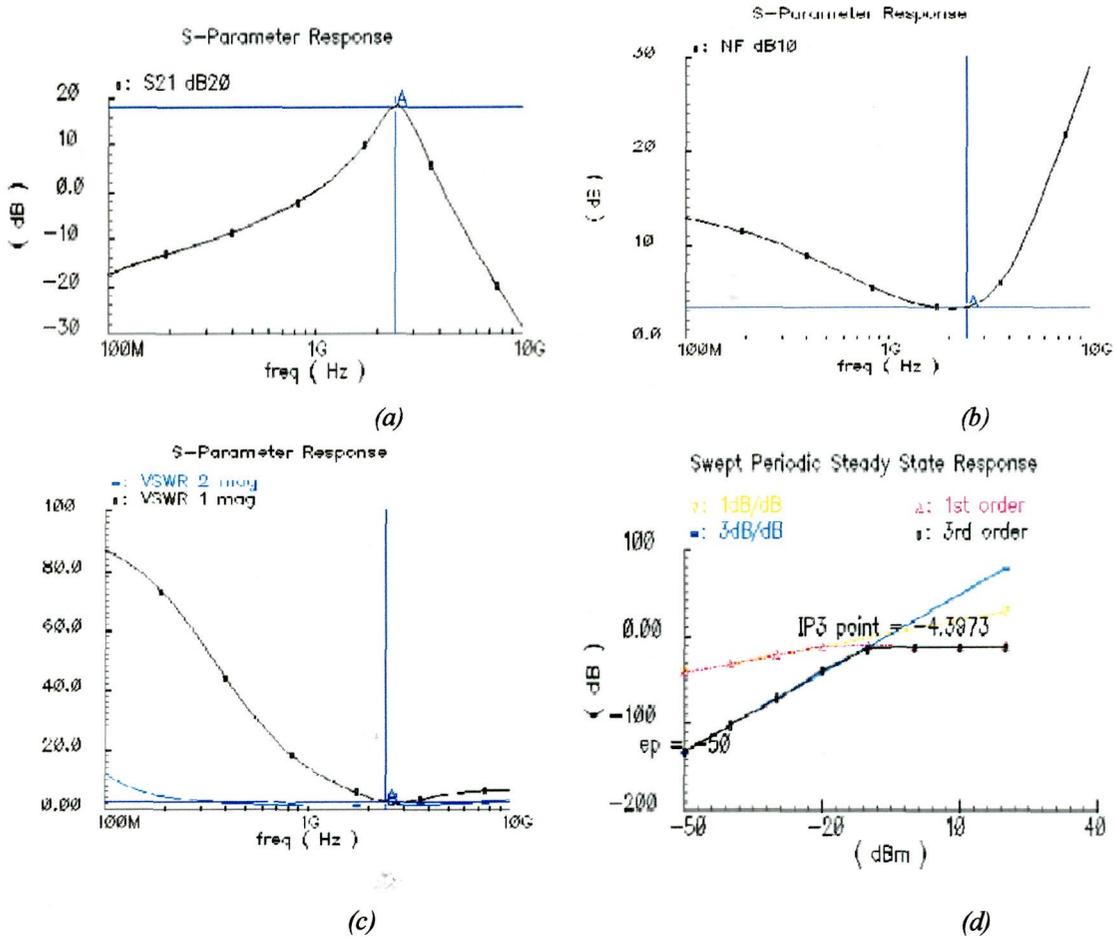


Figura 5.16. a) Ganancia, b) Figura de ruido, c) Adaptación de salida y entrada, d) Linealidad

Una vez llegados a este punto en que todas las especificaciones se cumplen queda a simular el circuito con todos sus componentes reales incluyendo la fuente de corriente. Como se dijo anteriormente, la fuente de corriente real no va a suponer grandes cambios. Además añadimos el efecto de los *pads* conexión según el apartado 4.9.1 que si nos va a introducir cambios.

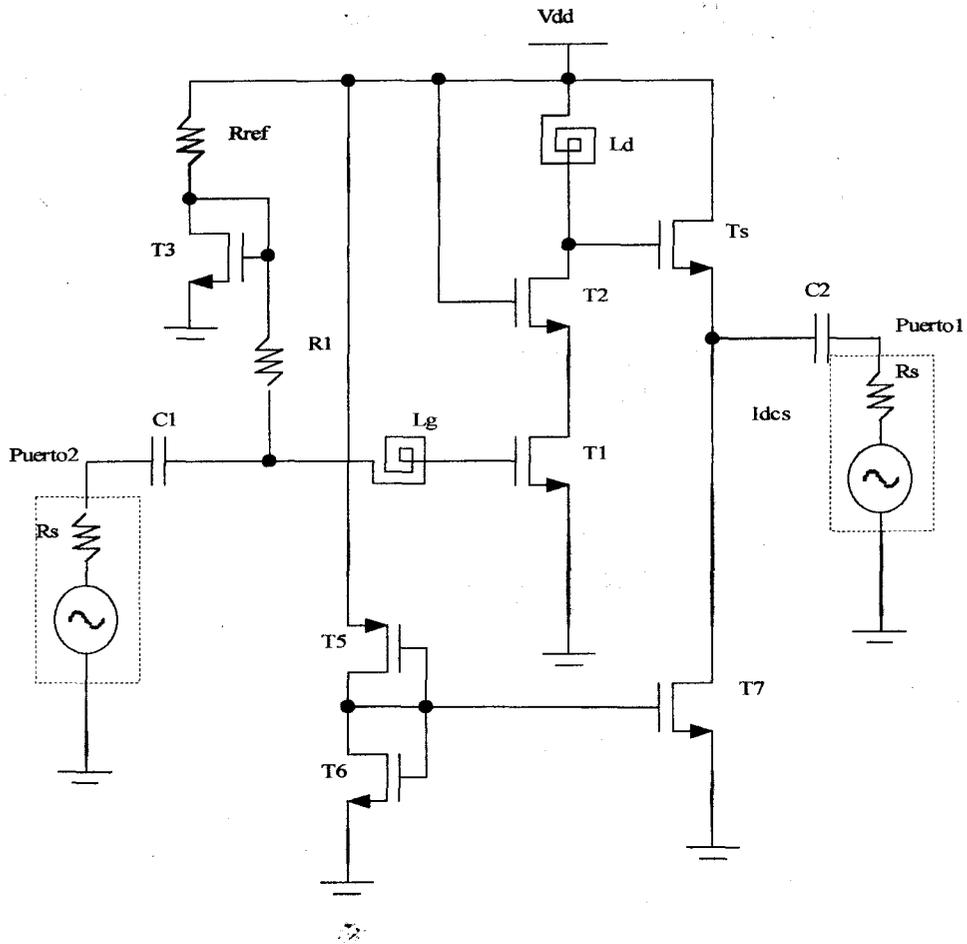


Figura 5.18. Amplificador con todos sus componentes reales

El efecto de los *pads* conexión va a venir en forma de disminución de la ganancia y aumento de la figura de ruido, ya que las resistencias asociadas a los mismos nos introduce ruido extra en el circuito.

| COMPONENTE | VALOR |
|------------|---------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=350\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| Ts | $W=250\mu m$ $L=0.8\mu m$ |
| $T5$ | $W=20\mu m$ $L=0.8\mu m$ |
| $T6$ | $W=30\mu m$ $L=8\mu m$ |
| $T7$ | $W=40\mu m$ $L=0.8\mu m$ |
| L_d | 6.60nH (IUMA_b_2) $Q=3.16$ |
| L_g | 5.76 nH (IUMA_b_24) $Q=3.65$ |
| L_s | 0 |

Tabla 5.22. Tabla de valores

| PARÁMETRO | RESULTADO |
|----------------|-----------|
| G | 14.32 dB |
| NF | 4.34 dB |
| $IP3$ | -5.63 dBm |
| $VSWR1$ | 2.8 |
| $VSWR2$ | 1.249 |
| I_{dc} total | 22.15 mA |

Tabla 5.23. Tabla de resultados

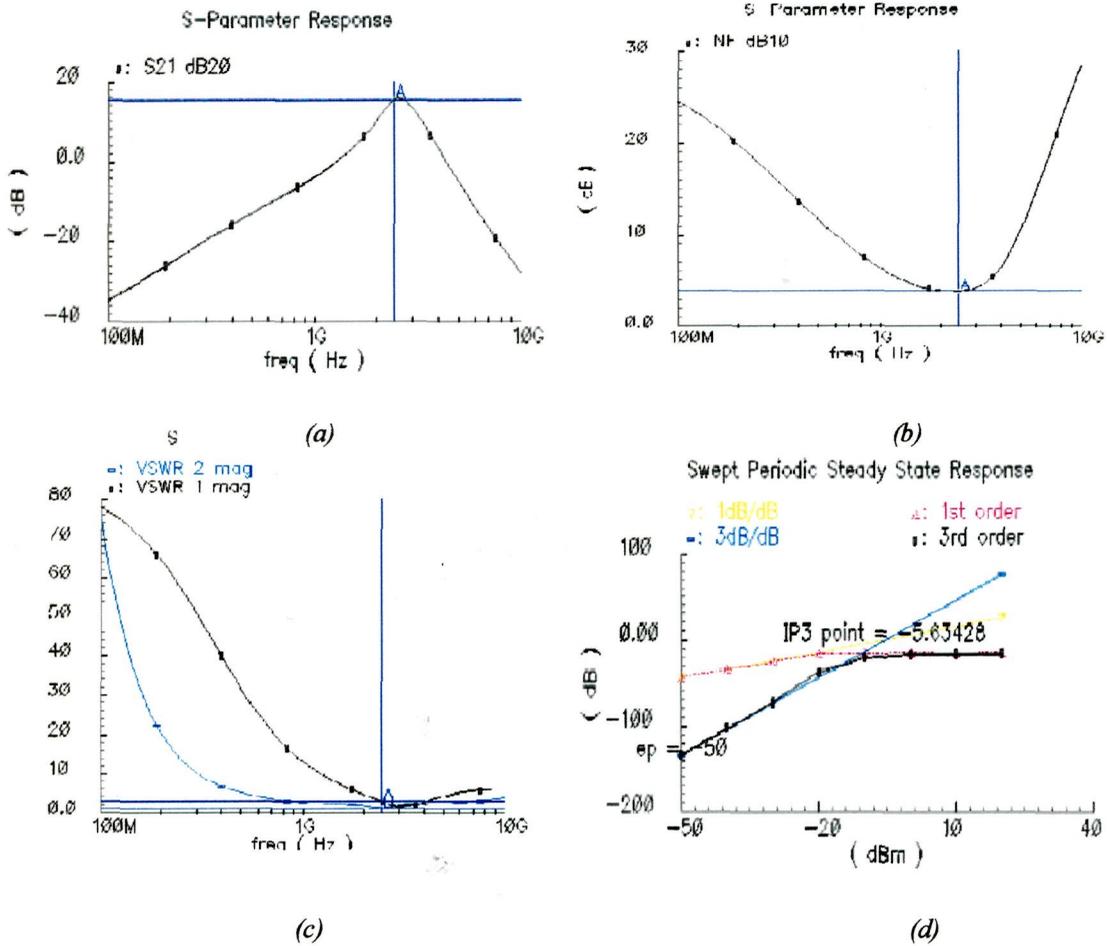


Figura 5.19. a) Ganancia, b) Figura de ruido, c) Adaptación de salida y entrada, d) Linealidad

La figura 5.19 muestra como efectivamente el *pad* de conexión nos ha introducido efectos no deseados en el circuito. En concreto el pico máximo de ganancia ha sido desplazado hacia frecuencias mayores. Esto se podría contrarrestar, como ya se ha comentado, aumentando el valor de la inductancia L_d . Sin embargo, para bobinas mayores a la escogida los factores de calidad son bajos y difieren mucho de la Q_{RLC} empeorando la preamplificación de la señal de entrada. Otra forma de centrar la ganancia máxima a la frecuencia de trabajo es aumentar el ancho de los transistores T1 y T2 aunque suponga un aumento de corriente.

| COMPONENTE | VALOR |
|------------|---------------------------------|
| V_{DD} | 3.3V |
| R_{ref} | 0.75K |
| $R1$ | 2K |
| $C1,2$ | 3.4pF |
| $T1$ | $W=450\mu m$ $L=0.8\mu m$ |
| $T2$ | $W=550\mu m$ $L=0.8\mu m$ |
| $T3$ | $W=50\mu m$ $L=0.8\mu m$ |
| $T4$ | $W=250\mu m$ $L=0.8\mu m$ |
| $T5$ | $W=20\mu m$ $L=0.8\mu m$ |
| $T6$ | $W=35\mu m$ $L=8\mu m$ |
| $T7$ | $W=40\mu m$ $L=0.8\mu m$ |
| L_d | 6.60nH (IUMA_b_2) $Q=3.16$ |
| L_g | 5.76 nH (IUMA_b_24) $Q=3.65$ |
| L_s | 0 |

Tabla 5.24. Tabla de valores

| PARÁMETRO | RESULTADO |
|----------------|-----------|
| G | 16.69 dB |
| NF | 3.96 dB |
| $IP3$ | -9.13 dBm |
| $VSWR1$ | 2.489 |
| $VSWR2$ | 1.13 |
| I_{dc} total | 32.57 mA |

Tabla 5.25. Tabla de resultados

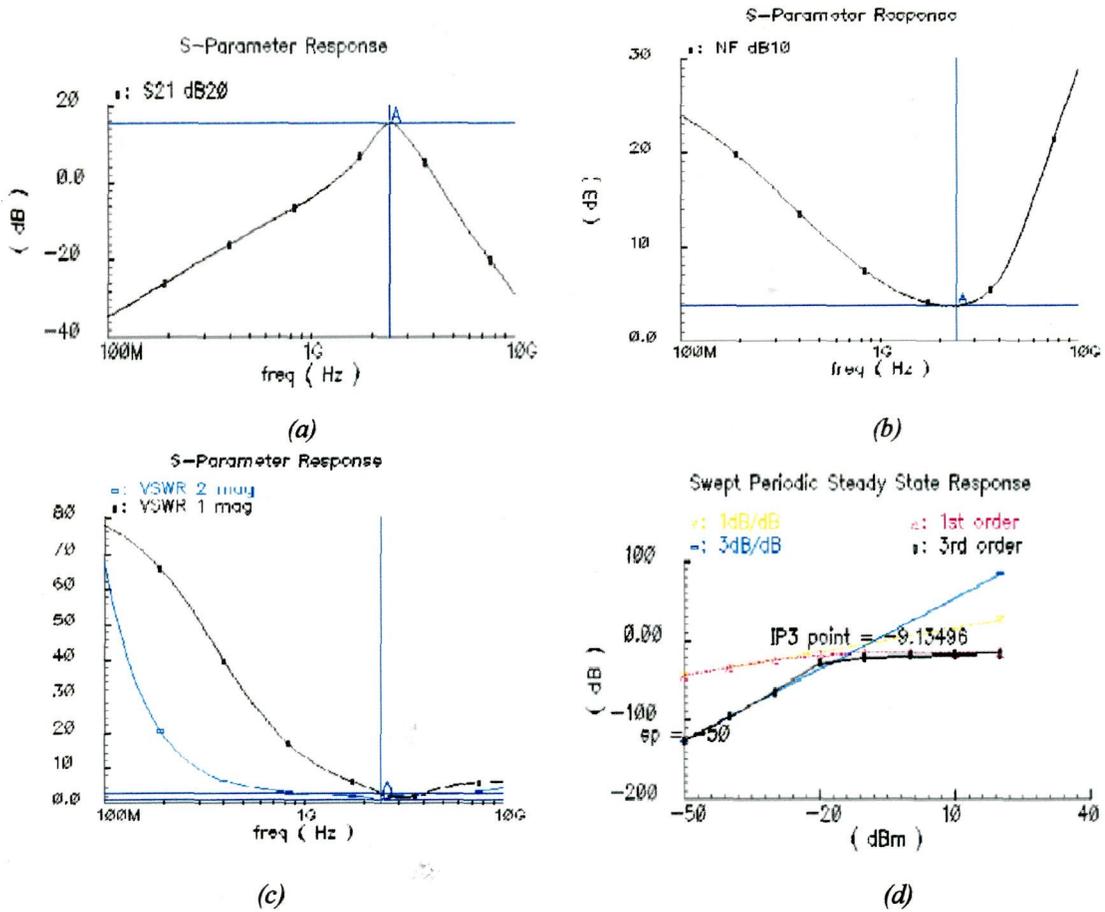


Figura 5.20. a) Ganancia, b) Figura de ruido, c) Adaptación de salida y entrada, d) Linealidad

Efectivamente al aumentar los anchos de los transistores, la capacidad asociada a las mismas hace que disminuya la frecuencia donde se produce el pico máximo de ganancia, quedando esta centrada a la frecuencia de trabajo 2,438 GHz. Como ya pronosticábamos esto nos va a suponer un aumento de la corriente.

Como conclusión se puede decir que se han cumplido todas las especificaciones impuestas para el diseño del LNA pero, aunque no se hace una mención explícita sobre el

consumo de corriente, vemos de momento que éste es bastante elevado. Esto se debe a que para valores superiores a 7 nH para la bobina L_d los factores de calidad son muy bajos, de forma que no es posible disminuir los anchos de los transistores T1 y T2 y contrarrestar el desplazamiento del pico de ganancia hacia frecuencias inferiores con un aumento del valor de la bobina L_d . T1 y T2 son los que consumen el 80 % de la corriente del circuito.

CAPÍTULO 6

layout

En el presente capítulo se exponen los distintos aspectos a tener en cuenta a la hora de realizar el *layout* de un circuito en la tecnología BiCMOS de AMS y además se ha realizado la simulación *post-layout* del circuito diseñado.

Realizar un *layout* consiste en definir los planos de fabricación del circuito integrado. Para conseguir que las prestaciones estén optimizadas es fundamental conocer éste a fondo, así como el proceso de fabricación en el que se quiere implementar.

A continuación se aborda la forma de situar y dimensionar las pistas de un circuito, las resistencias, capacidades, los inductores integrados, los *pads* y los transistores en la tecnología BiCMOS de AMS.

6.1 LAYOUT DE PISTAS

Las pistas de un circuito integrado tienen por función unir los distintos componentes. Éstas se ven sometidas a tensiones y dependiendo de la variación en el tiempo de dichas tensiones se clasifican en pistas de alimentación o pistas para transmisión de señales.

6.1.1 LAYOUT DE PISTAS DE ALIMENTACIÓN

Las pistas de alimentación tienen como misión conectar dispositivos a tensiones constantes o que varían en el tiempo de forma lenta. Por ejemplo, pistas de alimentación son todas las que unen los puntos de tierra.

Al realizar el *layout* de estas pistas hay que tener por objetivo introducir los mínimos efectos parásitos. Éstos se detallan a continuación:

Resistencia de las pistas.- La resistencia asociada a la pista a de ser mínima. Para ello conviene emplear las capas con menos resistividad y cuando sea posible agruparlas en paralelo. Además, para reducir la resistencia hay que evitar los cambios bruscos de dirección o de ángulos menores de 135 grados. Cuando sobre un conductor circula una corriente que sufre cambios bruscos de dirección se producen fenómenos de electromigración que suponen una degradación de las propiedades conductoras del material y por tanto, un incremento de la resistividad en el tiempo. Este efecto es más intenso en corrientes alternas.

La *figura 6.1* ilustra de forma esquemática una pista que cambia la dirección trazada incorrectamente y otra de forma correcta.

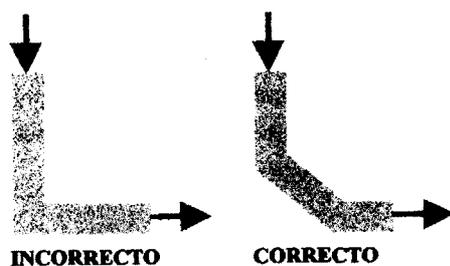


Figura 6.1. Esquema de trazado de un cambio de dirección de una pista

Capacidad de las pistas.- Si la tensión que soporta la pista es constante no aparecen acoplamientos capacitivos con otros elementos que también soportan tensiones continuas. Por tanto, se podría emplear la primera capa metálica para conectar elementos a tensiones constantes. Por el contrario, si las pistas soportan tensiones de control o de referencia y existen elementos con señales alternas, es muy importante dimensionar y trazar correctamente las pistas, evitando cruces a distintos niveles. Si las líneas de control

presentan una capacidad importante con las líneas de transmisión de señales alternas, se pueden acoplar en las primeras señales no deseadas que degraden las prestaciones del circuito. Por ejemplo, a la hora de realizar el *layout* de la pista que une el terminal de control de un VCO con el *pad* de control, se busca reducir al mínimo posible la capacidad entre ésta y las pistas de salida del VCO.

Dimensionado de la anchura de las pistas.- El ancho de las pistas va a depender de la densidad de corriente que circule por ellas y la conductividad que posea. Por ejemplo una pista por la que circule 9 mA y tenga una conductividad de 0.9 mA/ μm . Deberá tener un ancho de pista de al menos 10 μm . para que soporte la corriente que circula a través de ella. Por tanto a la hora del diseño es un factor importante a tener en cuenta.

6.1.2. PISTAS PARA LA TRANSMISIÓN DE SEÑALES.

Las pistas de transmisión de señales tienen por objetivo conectar distintos dispositivos soportando señales que varían en el tiempo. En la realización del *layout* de las mismas se busca minimizar los efectos parásitos que puedan introducir. Los fenómenos parásitos más importantes se analizan a continuación.

Resistencia de las pistas.- Para reducir la resistencia de la línea conviene emplear pistas anchas y con varias capas metálicas en paralelo. La resistencia de una pista no se puede predecir mediante las simulaciones a nivel *post-layout* efectuadas con *Cadence*. Para estimar su valor se puede calcular el número de cuadros y multiplicar por la resistencia por cuadrado según la siguiente expresión:

$$R_{TOTAL} = R_{SQ} \cdot n \quad (6.1)$$

Donde R_{SQ} , es la resistencia por cuadro del metal, que depende del material y del espesor, y n es el número de cuadrados que componen la pista.

Capacidades de las pistas.- Las pistas presentan acoplamientos capacitivos con el sustrato, por donde se pierde señal a tierra, y con otras pistas, que pueden degradar las prestaciones del dispositivo. Estas capacidades dependen de la capa metálica empleada

para implementar la pista, del área y del perímetro de la misma. Por tanto, para reducir los acoplamientos capacitivos conviene distanciar las pistas del sustrato y de otras pistas, emplear anchuras tan pequeñas como sea posible y trazar las líneas por zonas donde no se encuentren otros elementos. A través de las simulaciones *post-layout* realizadas con *Cadence* es posible obtener una buena predicción de las capacidades parásitas entre pistas y al sustrato.

Inductancia de las pistas.- Las líneas por las que circula una corriente alterna generan a su alrededor un campo magnético. Por tanto, presentan una inductancia que puede degradar las prestaciones del circuito donde se encuentre implementada. Por ejemplo, la pista que une el inductor espiral integrado con el circuito activo presenta una inductancia que traslada la frecuencia de oscilación hasta un valor menor. Los efectos de la inductancia de las pistas no se pueden predecir con las simulaciones *post-layout* de *Cadence*. Por ello, el diseñador debe incluir sus posibles efectos a la hora del diseño del circuito. Para ello se puede emplear la ecuación de Greenhouse [3]:

$$L_{\text{AUTOINDUCCIÓN}} (nH) = 0.0002 \cdot l \cdot \left\{ \ln \left(\frac{2 \cdot l}{w+t} \right) + 0.250049 + \frac{w+t}{3 \cdot l} + \frac{T \cdot \mu}{4} \right\} \quad (6.2)$$

Donde l representa la longitud de la pista, w la anchura, t su espesor, μ permeabilidad magnética del material sobre el que se aloja la inductancia y T es una constante obtenida de forma empírica y de valor 0.9974 para el entorno de 1 GHz.

A través de esta expresión se puede deducir que la mejor forma de reducir la inductancia es mediante el uso de pistas anchas y cortas.

Reflexiones de potencia en las pistas.- A la hora de implementar un circuito hay que tener en cuenta que las pistas de conexión entre los distintos dispositivos del circuito no pueden ser todo lo largas que se desee pues pueden aparecer fenómenos de reflexiones de potencia en las pistas. La longitud de las pistas de conexión no debe superar el 5 % de la longitud de onda de las señales que viajen por las líneas. La longitud de onda sigue la siguiente expresión 6.3 [3]:

$$\lambda = \frac{1}{f \sqrt{\mu \epsilon}} \quad (6.3)$$

Donde λ es la longitud de onda; f la frecuencia de la señal que se propaga; μ y ε son, respectivamente, la permeabilidad magnética y la permitividad eléctrica del material de la pista.

Para el caso de la aplicación Bluetooth donde las señales alternas poseen una frecuencia de 2.4 GHz la longitud de pista máxima admisible debe ser inferior a 18 mm. En la práctica este límite no se alcanza nunca, siendo las pistas mas largas inferiores a 500 μm , por lo que este aspecto en la aplicación de Bluetooth carece de importancia.

6.2 LAYOUT DE RESISTENCIAS

Cuando se desea incluir en el diseño una resistencia de cierto valor hay que tener en cuenta que dicha resistencia se debe definir en un *layout* y que posteriormente se fabrica. Por ello, a la hora de elegir el valor de la resistencia y el material con que se va a implementar hay que tener presente el tipo de función que va a desarrollar dentro del circuito. Dependiendo de dicha función cobran importancia los efectos parásitos que integrar una resistencia lleva asociado. Los efectos parásitos más importantes son tres y se analizan a continuación.

Capacidades de la resistencia: Al igual que en el caso del *layout* de pistas, el acoplamiento capacitivo entre las resistencias y el sustrato, o con otros elementos puede degradar las prestaciones finales del circuito donde vaya incluida. En lo referente a este aspecto hay que tener en cuenta las mismas consideraciones explicadas en el apartado 6.1.2.

Inductancia de la resistencia: Al igual que en el caso del *layout* de pistas, si la resistencia soporta el paso de una corriente alterna se genera en su entorno un campo magnético. Por esto, asociado a la resistencia aparece una inductancia. En este caso también hay que tener en cuenta las mismas consideraciones explicadas en el apartado 6.1.2.

Efectos de las tolerancias en las resistencias: En el proceso de fabricación de las películas que constituyen las resistencias integradas existen dispersiones que provocan diferencias entre el valor deseado de una resistencia integrada y el real. Estas divergencias

importan en términos relativos o absolutos en función de la labor que juegue la resistencia en el circuito.

Cuando la diferencia entre el valor deseado y el real depende en términos absolutos, por ejemplo, la resistencia de carga de un amplificador en modo común o la resistencia de adaptación a la entrada de un circuito, la única forma de minimizar la divergencia es empleando grandes dimensiones y siguiendo las recomendaciones de las reglas de diseño que proporciona la fundidora [4].

Cuando importa en términos relativos frente a otra resistencia, lo más importante no es el valor exacto de dichas resistencias sino que estas no difieran mucho entre si. Por ejemplo, en las dos resistencias de las ramas de un amplificador diferencial, o en las dos resistencias de un divisor de tensión, la diferencia más importante no es entre el valor deseado y el real sino entre ambas resistencias reales. En este caso la mejor forma de reducir las dispersiones es a través de las técnicas de centroide común [3]. Como su propio nombre indica, consiste en situar a los dos dispositivos de forma simétrica sobre un centro común. De esta forma se cancelan, al menos parcialmente, los gradientes de dispersiones que pueden encontrarse en cualquier dirección y que son los causantes de las dispersiones de los valores deseados. En la *figura 6.2* se expone un esquema de centroide común sobre dos elementos A y B donde se quieren minimizar las dispersiones relativas entre ambos.

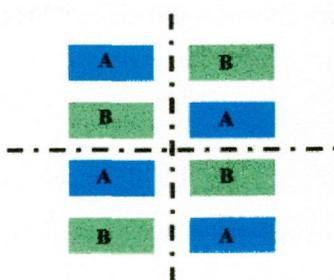


Figura 6.2. Esquema de centroide común para dos elementos A y B

En la *figura 6.3* se presenta el *layout* de dos resistencias implementadas con la primera de las capas de polisilicio, en ésta se pueden apreciar los siguientes elementos:

Estructura dummy: La estructura *dummy* está formada también por la primera capa de polisilicio al igual que la resistencia. Tiene la misión de que en cualquier dirección la resistencia se encuentre rodeada por el mismo material de forma que no aparezcan efectos de borde sobre la resistencia. La estructura *dummy* evita acrecentar las dispersiones entre el valor deseado y el real [4].

Codos metálicos: Con el fin de unir las distintas pistas de polisilicio se emplean pistas metálicas con la primera de las metalizaciones con cambios de dirección de 135 grados para reducir la electromigración que puedan incrementar la resistencia del codo. Al utilizar un metal, que presenta una resistividad doscientas veces menor que la de la capa de polisilicio, se puede despreciar la influencia del codo en la resistencia del conjunto.

Anillos de guarda: Los anillos de guarda son difusiones del tipo P conectadas a tierra que circundan las resistencias. Tiene la finalidad de que se pueda asumir que el sustrato está conectado a tierra y de esta forma reducir el ruido, que proveniente del sustrato, se pueda acoplar capacitivamente en las resistencias.

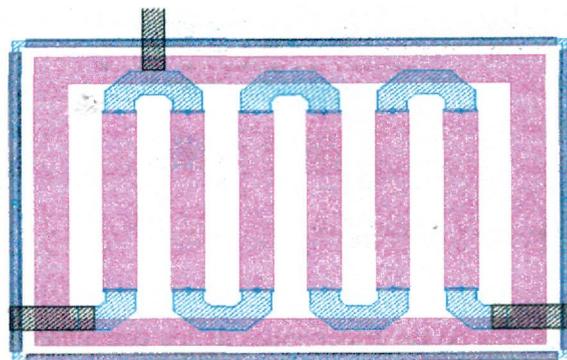


Figura 6.3. Layout de dos resistencias en polisilicio

6.3 LAYOUT DE CONDENSADORES

Para incluir un condensador en un circuito y lograr optimizar las características del mismo, hay que tener en cuenta los aspectos que a continuación se desarrollan.

Conocer la función que el condensador va a realizar en el circuito es fundamental para optimizar sus prestaciones ya que dependiendo de esta función los efectos parásitos

asociados al mismo cobran importancia o no. Los efectos parásitos asociados a un condensador son tres:

Resistencia del condensador: Siempre aparece una resistencia asociada a cualquier tipo de condensador. Ésta es inherente a la construcción del mismo mediante películas. La forma de minimizarla es a través del uso de capas que presenten bajas resistividades, capas metálicas por ejemplo, con conexiones a capas de baja resistividad, o mediante el dimensionamiento adecuado de las superficies que constituyen el condensador de tal forma que sea más ancho que largo.

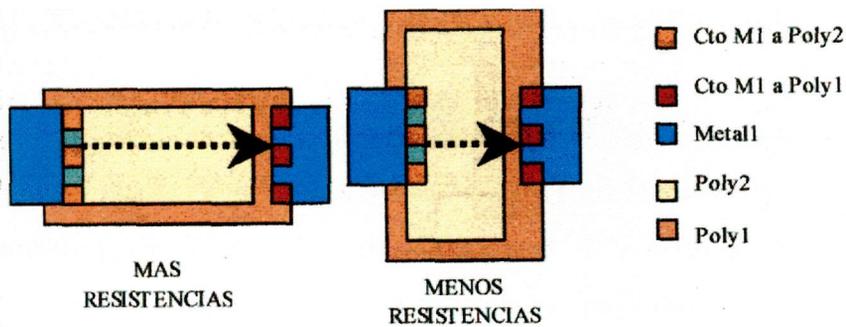


Figura 6.4. Esquema de dimensionamiento de un condensador

Capacidades parásitas: El condensador presenta principalmente un acoplamiento capacitivo parásito con el sustrato. Este fenómeno es inherente a la implementación de un condensador en un proceso de fabricación por películas y poseer un sustrato conductor, como es el caso de la tecnología CMOS de AMS. El valor de la capacidad parásita depende de las películas empleadas para implementar el condensador, del área y el perímetro que presenta el mismo.

Este efecto no tiene importancia cuando el condensador se encuentra conectado entre un nodo con señal alterna y otro soportando una tensión constante.

Cuando el condensador se encuentra conectado a dos nodos con señales alternas, en uno de los nodos aparece también una capacidad parásita conectada a tierra que puede llegar a degradar el funcionamiento del dispositivo. Este fenómeno aparece al integrar un

condensador en una red de adaptación o en un condensador cuya misión es la de desacoplar los niveles de continua de dos etapas.

Las simulaciones *post-layout* de *Cadence* permiten predecir las capacidades parásitas que introduce un condensador. Sin embargo, no es posible conocer el valor de las resistencias.

Efectos de las dispersiones: En el proceso de fabricación de las películas que constituyen el condensador se producen dispersiones que dan lugar a una divergencia entre el valor deseado y el fabricado. Estas divergencias en el valor de la capacidad importan únicamente en términos relativos o en términos absolutos dependiendo de la misión del condensador en el circuito.

La divergencia en términos absolutos tiene en cuenta la diferencia entre el valor deseado y el fabricado. Éste es el caso de los condensadores que forman parte de una red de adaptación o que se encuentran en una red RC de una etapa de amplificación. En esta situación, la única forma de minimizar la dispersión es empleando condensadores que presenten poca dispersión en la capacidad que aparece entre ellas, eligiendo dimensiones grandes y siguiendo las recomendaciones de las reglas de diseño del fabricante.

La divergencia en términos relativos tiene en cuenta únicamente la diferencia entre los valores de dos condensadores. Este es el caso de dos condensadores para el almacenamiento de cargas de la tensión de *offset* de un comparador diferencial. En este caso, aparte de las anteriores recomendaciones también se puede emplear para emplazar y dimensionar los condensadores la técnica de centroide común. (Figura 6.5).



Figura 6.5. Esquema de dimensionar y emplazar dos condensadores en centroide común

En la *figura 6.6* se presenta el *layout* de dos condensadores implementados empleando las dos capas de polisilicio de las que dispone el proceso de fabricación CMOS de AMS. En éstos se puede apreciar como se emplea la técnica de centroide común. Así mismo, aparecen rodeados de estructuras *dummy* para reducir los efectos de borde. Además, en torno a los condensadores, se encuentra un anillo de guarda de difusión tipo p conectado a tierra para aislar la capacidad del ruido que se transmite por el sustrato.

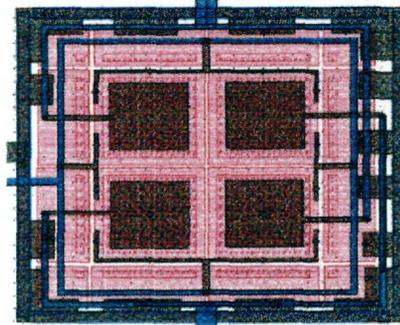


Figura 6.6. Layout de dos condensadores utilizando centroide común en tecnología CMOS de AMS

6.4 LAYOUT DE INDUCTORES

En el presente apartado se detallan las consideraciones que hay que tener en cuenta a la hora de introducir un inductor espiral en un circuito integrado.

Los inductores integrados presentan una resistencia minimizada, por ello, cualquier resistencia extra supone una degradación del factor de calidad. Por esto, las pistas de conexión de las bobinas a otros elementos del circuito deben introducir la menor resistencia posible.

Los inductores integrados poseen un factor de calidad optimizado a cierta frecuencia, que generalmente es la frecuencia de trabajo del circuito. Por esta razón, las pistas que conectan el inductor con otros elementos del circuito han de introducir la menor inductancia y menor capacidad al sustrato posible. La inductancia y capacidad al sustrato extra asociada a las pistas de conexión de los inductores provoca una traslación del máximo del factor de calidad a frecuencias inferiores.

Es conveniente que la pista que conecta el inductor con cualquier otro elemento del circuito tenga una dirección ortogonal con las pistas que componen las espiras. De esta forma se asegura que la inductancia que añade la pista es mínima, al no compartir campo magnético con el inductor.

El inductor espiral integrado genera en su entorno un campo magnético. Éste campo induce corrientes en los conductores a su alrededor. Esto supone una degradación del factor de calidad y una modificación de la inductancia que presentaría la espiral sin dichos conductores. Con el fin de evitar este acoplamiento magnético con otros conductores conviene no implementar elementos a una distancia inferior a cinco veces el ancho de pista del extremo de la espira [4].

Con el fin de asegurar que la parte del sustrato bajo la bobina se encuentra bien conectado a tierra y así reducir el ruido transmitido por el sustrato, se implementa en torno a la espira un anillo de guarda conectado a tierra. Este anillo, que debe mantener la distancia con el extremo de la espira antes indicado, conviene que sea discontinuo con el fin de minimizar las posibles corrientes inducidas.

6.5 LAYOUT DE PADS

Los *pads* de un circuito integrado son los elementos que permiten conectar el circuito con el exterior. Según el tipo de conexión que se desee los *pads* se clasifican en dos tipos: el *pad* para medidas *on-wafer* y el *bonding pad*.

El *pad* para medidas *on-wafer* es el elemento sobre el que se apoyan las puntas de medida o *probes* para realizar las mediciones del circuito. Las dimensiones del *pad*, el número de *pads* y la distancia entre ellos varía en función del tipo de puntas y del fabricante de las mismas. Las características de las capas que componen los *pads* se detallan en las reglas de diseño del fabricante [4] y normalmente se emplean las capas metálicas superiores.

Con la intención de hacer un buen contacto entre puntas y los *pads* conviene presionar fuertemente uno contra otro, esto supone una abrasión de los *pads* que con el

tiempo conlleva un deterioro irreversible. Con la finalidad de hacer más resistentes los *pads* a las medidas se colocan varios metales en paralelo conectados por vías.

La forma óptima de producir el contacto entre *pads* de aluminio, como los fabricados por AMS, y puntas se consigue bajando éstas hasta que hacen contacto en la zona donde el extremo exterior de la punta está introducido un 20 % en el *pad*. Después se continua bajando la punta de forma que ésta, al no poder bajar más, empieza a deslizar sobre el *pad*. Se considera un buen contacto cuando bajando como se ha comentado anteriormente, la punta se desliza hasta el 80% del *pad*. La figura 6.7 ilustra la forma de proceder antes indicada.

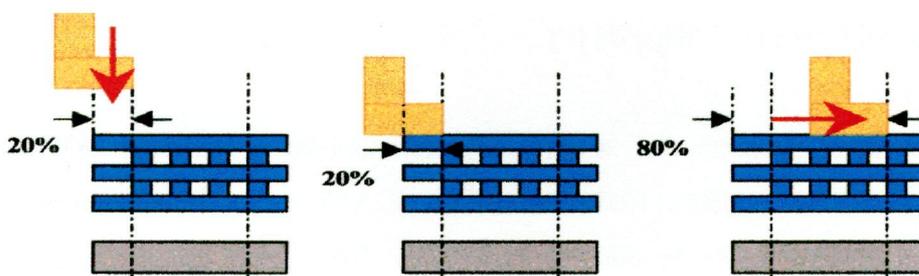


Figura 6.7. Procedimiento para realizar un buen contacto entre *pads* y probes.

Con la intención de facilitar la labor de hacer un buen contacto a la hora de medir conviene incluir en los *pads* dos pequeños segmentos en metal que permitan identificar las líneas donde se ha de empezar a deslizar y donde se ha de finalizar. No hace falta incluir estas marcas en todos los *pads* sino en uno que sirva como referencia pues las puntas están alineadas. En la figura 6.8 se muestra el *layout* para unas puntas del tipo GSG con las marcas incluidas en los *pads*.

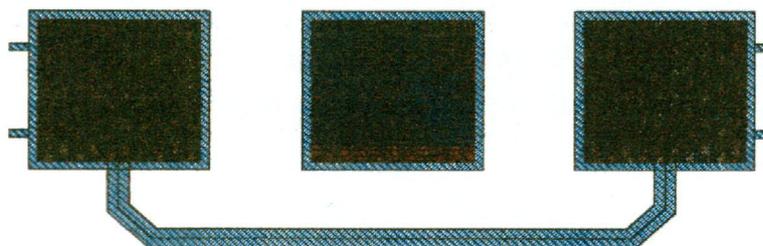


Figura 6.8 Layout de *pads* para puntas GSG con marcas de deslizamiento.

El "*bonding pad*" o *pad* de soldadura es el elemento que se requiere para realizar la conexión entre el circuito integrado y el empaquetamiento mediante una soldadura o "*bonding*".

Las dimensiones del *pad* de soldadura y la distancia entre los distintos *pads* varía en cada caso dependiendo del tipo de empaquetamiento que se vaya a emplear y del tipo de hilo con el que se realice la soldadura. Las capas que se utilizan para implementar el *pad* varían en función del proceso tecnológico y vienen detalladas en las reglas de diseño que proporciona el fabricante [4].

Los *pads* de conexión al exterior, tanto los destinados a medidas *on-wafer* como los *pads* de soldadura, presentan dos efectos parásitos que a continuación se describen.

Resistencia de contacto. Debido al hecho de que ni la soldadura ni el contacto entre el *pad* y la punta son perfectos, existe una resistencia asociada al contacto. La única forma de minimizar dicha resistencia en medidas *on-wafer* es presionando más la punta sobre el *pad*, lo que supone deslizar más la punta sobre el *pad*. Para ello se pueden implementar *pads* con una mayor longitud a costa de aumentar la capacidad parásita como a continuación se analiza.

Capacidades parásitas al sustrato. Un fenómeno parásito que conllevan los *pads* es la aparición de un acoplamiento capacitivo con el sustrato, cuando éste es conductor. En el caso de que se conecte al *pad* una tensión constante este aspecto no tiene importancia. Sin embargo, cuando el *pad* se encuentra sometido a una señal alterna el acoplamiento capacitivo supone una pérdida de señal y puede acarrear una desadaptación de una de las entradas o salidas del circuito.

Una forma de reducir dicha capacidad es implementar el *pad* empleando únicamente las capas metálicas superiores de las que dispone la tecnología. Esto supone un aumento de la fragilidad de los *pads* que puede reducir el número de veces que se puede medir un circuito y degradar la calidad del contacto entre *pad* y soldadura.

Otra forma de reducir dicha capacidad parásita es recortando el área del *pad* en las zonas donde no se produce el contacto. En la *figura 6.9* se muestran dos esquemas de *pad*, uno estándar y otro con el área reducida. En éstos se puede distinguir que el área útil de

deslizamiento es la misma en ambos casos mientras que el área no utilizada para hacer contacto se reduce en el segundo caso. La desventaja que presenta esta forma de reducir el área es que la medida será muy sensible a la precisión de la misma, es decir, cualquier desviación transversal a la hora de realizar el contacto influirá en la medida.

En un circuito que cuenta con parte analógica y parte digital es conveniente incluir un *pad* para la alimentación de la parte digital y otro para la parte analógica con el fin de que las sobretensiones que existen en la parte digital no influyan en la parte analógica.

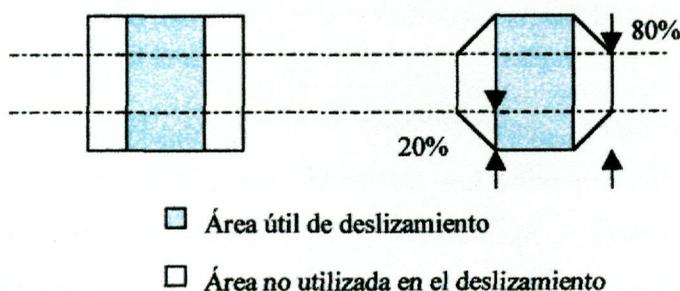


Figura 6.9. Esquema de pad estándar frente a uno con área reducida.

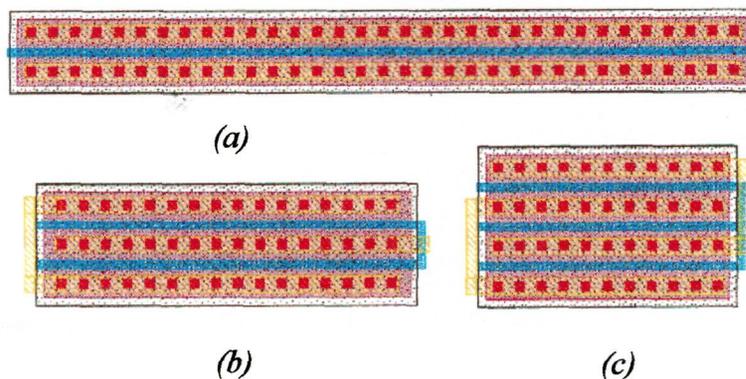
En un circuito que cuente con varios *pads* a tierra es conveniente conectar todos entre sí con el fin de que todo el circuito tenga la tierra a la misma tensión. De esta forma se evitan posibles multiplicaciones y acoplamientos no deseados de la señal que pueden degradar las prestaciones del circuito.

Es aconsejable a la hora de implementar un circuito estabilizar los *pads* de alimentación para evitar ruido proveniente de las fuentes de alimentación. Para ello conviene incluir grandes condensadores entre las tensiones de alimentación y tierra, de tal forma que cualquier sobretensión se descargue por estos condensadores y no afecte al resto del circuito.

6.6 LAYOUT DE TRANSISTORES

A la hora de dimensionar un transistor, es decir, elegir su anchura (W) y la longitud de su canal (L), hay que tener en cuenta que dicho transistor se implementa junto con otros elementos en el circuito. Con el fin de reducir en lo posible los efectos parásitos que pueden aparecer asociados a la fabricación de un transistor, se dan a continuación algunas recomendaciones que hay que tener en cuenta en su dimensionamiento y localización.

Elegir la anchura y la longitud para un transistor supone establecer el valor de las capacidades parásitas, la capacidad entre sustrato y fuente C_{sb} , y la capacidad entre drenador y sustrato C_{db} que normalmente es conveniente minimizar. Una forma de reducirlas es modificar la tradicional configuración rectangular y adoptar una configuración en forma de "U" o la configuración "interdigit". La figura 6.10 ilustra tres transistores con la misma anchura e implementados con una configuración de única puerta, con forma de "U" y con configuración "interdigit".



(a) Figura 6.10. Layout de tres transistores con la misma anchura de canal y con configuración de una única puerta a), en forma de "U" b) e "interdigit" c).

Cuando se ha definido la anchura de canal del transistor es necesario determinar el número de puertas que va a presentar. Este valor depende de la anchura de los dedos. Se recomienda que para una aplicación entre 1 GHz y 2 GHz la anchura de los dedos se encuentre entre $20 \mu\text{m}$ y $40 \mu\text{m}$ [4].



Así mismo, en la elección del número de puertas hay que tener en cuenta que para el correcto funcionamiento del dispositivo el sustrato debe estar bien conectado a tierra.

Otra forma de reducir la resistencia de entrada de los transistores es conectando los dos extremos de las puertas. De esta forma se reduce la resistencia de entrada del transistor por un factor de tres frente a la conexión en un único extremo [4].

En torno a los transistores conviene incluir un anillo de guarda de difusión tipo P conectado a tierra para reducir el ruido, que transmitido por el sustrato, se introduce en el transistor .

En el proceso de fabricación de las películas que componen los transistores existen dispersiones que dan lugar a divergencias entre el transistor deseado y el fabricado. Estas dispersiones de los valores pueden ser importantes en términos relativos o únicamente en términos absolutos.

Para transistores donde importa la diferencia entre los parámetros deseados y los fabricados, las divergencias son importantes en términos absolutos. En esta situación están los transistores de amplificación de una etapa en modo común o los que aportan la resistencia negativa en un oscilador Colpitts. En este caso, la única forma de reducir las dispersiones es tomando dimensiones bastante superiores al mínimo que permite la tecnología.

En el caso de dos transistores donde únicamente se requiere que sean lo más parecidos posibles, las divergencias importantes son las relativas de uno frente al otro. Éste es el caso del par de transistores que constituyen un divisor de tensión como referencia de tensión o de los transistores que componen el lazo de retroalimentación de un comparador. En esta situación la mejor forma de reducir las dispersiones es, aparte de tomar las dimensiones de los transistores superiores al mínimo permitido, adoptar las técnicas de centroide común para situarlos. Esta técnica ha sido explicada en el apartado 6.3.

Con el fin de minimizar el efecto de las dispersiones sobre el funcionamiento del dispositivo, conviene implementar los transistores de forma que el sentido de la corriente

sea el mismo en un par de transistores, de los que se desea que se comporten idénticamente [4].

6.7 SIMULACIONES POST-LAYOUT

Una vez terminada las simulaciones sobre el esquemático, realizamos el *layout* (figura 6.12) y tras haber verificado que se cumplen todas las reglas de diseño [7] mediante el DRC, pasamos a la simulación *post-layout* del diseño final. El proceso de simulación es el mismo que el utilizado en las simulaciones del esquemático. Es decir, se realiza por un lado un análisis SP para obtener la ganancia, figura de ruido y la adaptación de impedancias, y por el otro lado un análisis SPSS para observar el IP3.

Realizada la simulación *post-layout* se han obtenido las gráficas y resultados que se detallan en la figura 6.11 y en la tabla 6.1 respectivamente.

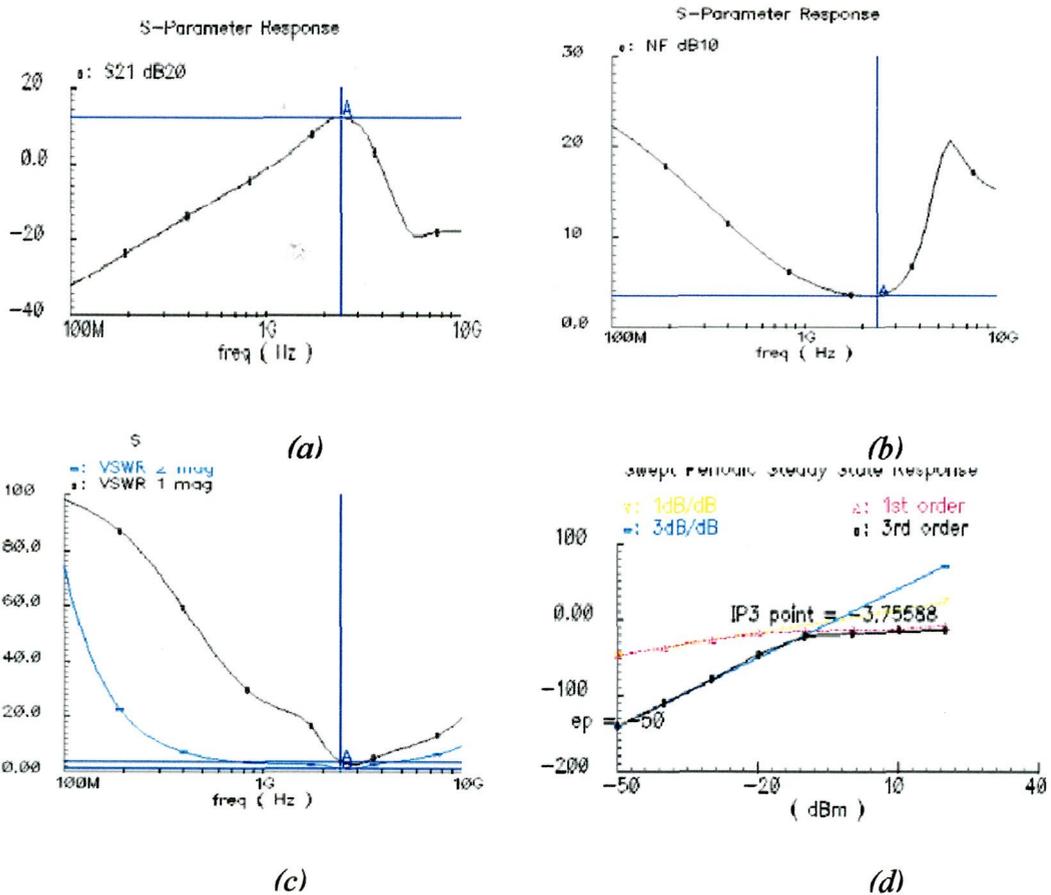


Figura 6.11. a) Ganancia, b) Figura de ruido, c) Adaptación salida y entrada, d) Linealidad

Como se puede observar en la *figura 6.11.a* la ganancia ha caído considerablemente pasando de 16.69 dB a 12,18 dB. Esto puede ser debido a una pequeña desintonización del amplificador provocada por la aparición de capacidades parásitas entre las pistas y el sustrato. La figura de ruido (*figura 6.11.b*) ha disminuido un poco pasando de 3.96 dB a 3.56 dB. Aunque la ganancia haya descendido, esto puede ser debido a que el *pad* de conexión que se consideró para las simulaciones en el esquemático introdujo un mayor efecto que en la simulación *post-layout*. La adaptación de entrada se ha estropeado un poco comparándola con la simulación del esquemático pasando de 2.49 a 4.01 posiblemente por la misma razón que afectó a la ganancia. La adaptación de salida se mantiene perfectamente a 1.45 respecto a la simulación del esquemático. El IP3 del circuito ha aumentado debido a la disminución de la ganancia del circuito.

| PARÁMETRO | RESULTADO |
|------------------|-----------|
| <i>G</i> | 12.18 dB |
| <i>NF</i> | 3.56 dB |
| <i>IP3</i> | -3.75 dBm |
| <i>VSWR1</i> | 4.01 |
| <i>VSWR2</i> | 1.45 |
| <i>Idc total</i> | 30.05 mA |

Tabla 6.1 Tabla de resultados

6.8 LAYOUT FINAL

En la *figura 6.12* se pueden observar los *pads* de alimentación, tierra, así como las conexiones para la entrada y salida. En las zonas vacías del layout se han realizado conexiones del sustrato a tierra. Con esto se pretende que el sustrato esté a un nivel cero de tensión y evitar que las corrientes que se inducen en el sustrato afecten al funcionamiento de los componentes del circuito. Las pistas de conexión tienen distintas anchuras dependiendo de la densidad de corriente que pase por ellas y del tipo de metal utilizado para construir la pista. Con las vías de conexión entre capas metálicas ocurre lo mismo, por lo que se han agrupado dependiendo de la densidad de corriente que las atraviese.

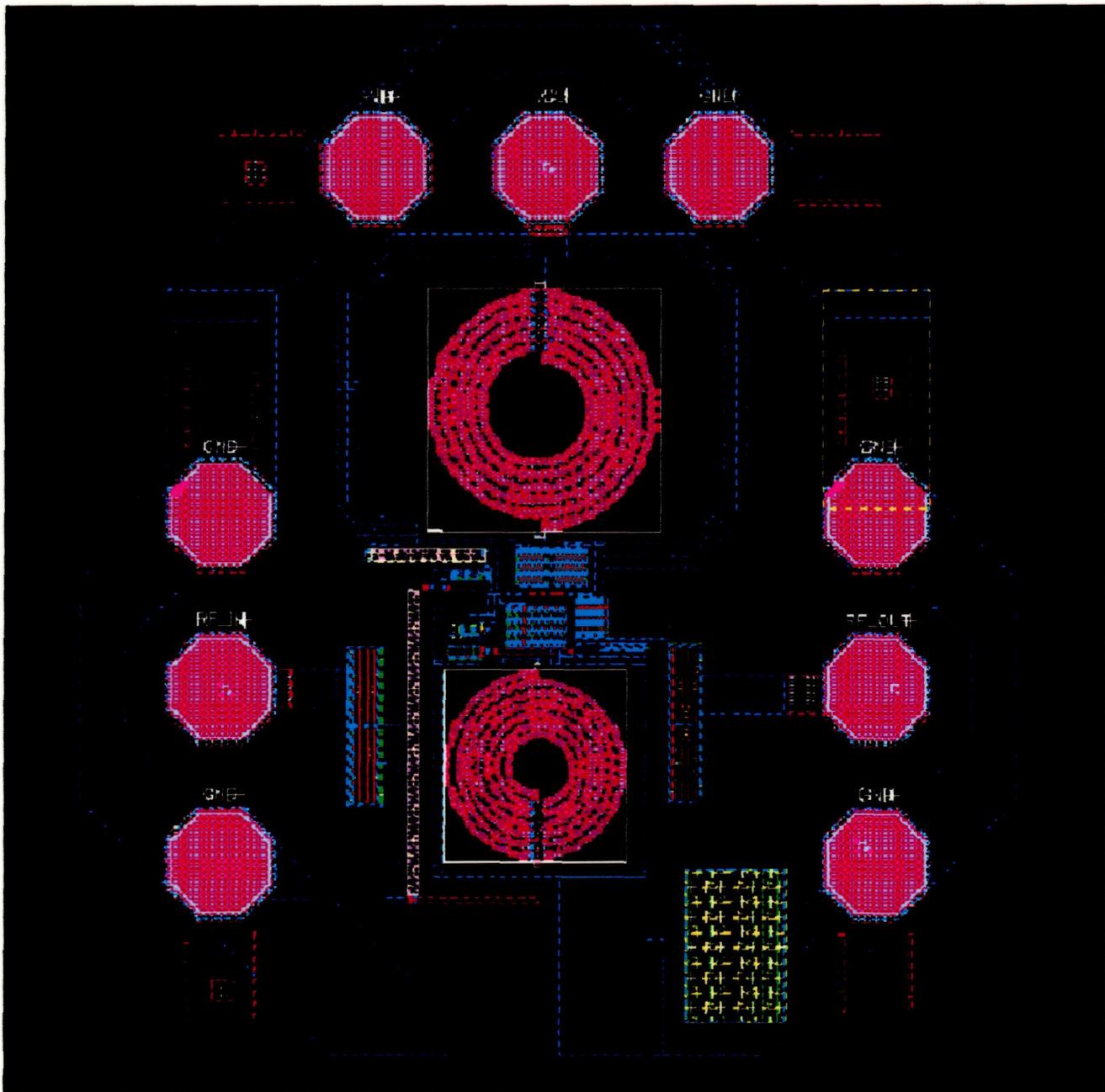


Figura 6.12 Layout final

CAPÍTULO 7

Conclusiones y trabajos futuros

En este proyecto se ha presentado el diseño de un Amplificador de Bajo Ruido (*LNA*) para un receptor Bluetooth. Para esto, se ha utilizado la tecnología de fabricación HBT BiCMOS $0,8\mu\text{m}$ de AMS y el programa de diseño CADENCE.

Este trabajo ha comenzado con el estudio de las características principales de la tecnología Bluetooth y las del receptor Bluetooth. Se ha estudiado los principales tipos de arquitecturas de receptores que componen el sistema y la ubicación del LNA dentro del mismo.

Una vez establecidas las especificaciones que debe cumplir el diseño y conocidas las características principales de la tecnología a utilizar, se ha realizado el estudio de algunos conceptos y parámetros relacionados con el diseño de circuitos integrados de RF. Al mismo tiempo, se ha llevado a cabo el aprendizaje y manejo de las diferentes herramientas de trabajo que proporciona el programa de diseño CADENCE.

Obtenidos los conocimientos necesarios, se ha procedido al estudio y comparación de las diferentes arquitecturas que existen para el diseño de un LNA. Basándonos en este estudio se ha elegido el tipo arquitectura que se ha empleado en el diseño, justificando la razón de su elección.

Una vez elegida la arquitectura se ha procedido al cálculo teórico de los valores iniciales de los componentes que conforman el circuito. Utilizando estos valores, en una primera simulación con componentes ideales y sin estar adaptado el circuito a la entrada ni a la salida, se ha podido comprobar que los resultados obtenidos son muy diferentes a los que se deseaban. Esto ha ocurrido porque los cálculos teóricos realizados se han basado en expresiones halladas a partir del estudio de otros diseños en los cuales se han empleado tecnologías diferentes a la utilizada en este trabajo. Además, muchos de los valores de partida han sido meramente orientativos, es decir, han sido tomados como valores de prueba. Después de adaptar el circuito a la entrada y a la salida tras numerosas aproximaciones con elementos ideales se ha podido llegar a los valores adecuados de componentes con los que se consiguen las especificaciones marcadas.

En la simulación del diseño con todos los componentes reales se ha podido comprobar la gran influencia que ejerce la calidad de las bobinas utilizadas sobre el comportamiento del circuito. El bajo factor de calidad de las bobinas utilizadas ha propiciado un deterioro notable de la calidad del circuito. Este deterioro ha sido palpable en la ganancia y figura de ruido del circuito.

Llegados a este punto, se ha procedido a intentar conseguir los mejores resultados posibles teniendo en cuenta las limitaciones de los componentes utilizados. Como resultado final, se ha conseguido una ganancia de 16.69 dB, una figura de ruido de 3.96 dB, un IP3 de -9.13 dBm, un VSWR1 de 2.489 y un VSWR2 de 1.13. El consumo de corriente es 32.57 mA, lo cual supone un valor excesivo para este tipo de diseños en la que la corriente consumida debe rondar entre los 5 y 10 mA de máxima.

A partir del circuito final y de los valores de componentes correspondientes se ha pasado a la realización del layout. En el layout del LNA se han empleado diversas técnicas de diseño con el fin de mejorar la calidad del mismo y evitar posibles problemas a la hora de la fabricación. Tras haber realizado el layout se ha procedido a la verificación

y simulación del mismo obteniendo como resultado una ganancia de 12.18 dB, una figura de ruido de 3.56 dB, un IP3 de -3.75 dBm, un VSWR1 de 4.01 y un VSWR2 de 1.45.

Como conclusión final se puede decir que aunque se han logrado conseguir las especificaciones del LNA marcadas al principio de este proyecto, este circuito no es viable por el consumo excesivo de corriente. En este caso, la razón fundamental ha sido la mala calidad de las bobinas utilizadas en el diseño y la baja ganancia que presentan los transistores utilizados a las frecuencias que estamos trabajando. Queda por tanto claro la importancia que tiene en el diseño de circuitos integrados de RF la calidad de los componentes utilizados.

TRABAJOS FUTUROS

Con este apartado se pretende plantear nuevas vías de acometida que tengan como base de partida el presente proyecto. También se pretende indicar cuales son los puntos a mejorar en el diseño con el fin de obtener unos resultados mejores.

Un punto a tener en cuenta para trabajos futuros es mejorar los resultados obtenidos. Para lograrlos, la primera opción consistiría en disponer de una buena librería de bobinas integradas. Estas bobinas deben tener un buen factor de calidad y un amplio rango de valores. De esta manera sería mucho más fácil conseguir las especificaciones que se desean para el LNA

Otra tarea a acometer consiste en realizar el mismo diseño pero empleando otras tecnologías de fabricación. Con esto se realizaría una comparación y se podría determinar de que forma influye en los resultados el tipo de tecnología utilizada. Paralelamente, se podría plantear la utilización de una arquitectura distinta a la que se ha utilizado en el LNA de este proyecto. De la misma manera, se podría determinar y comprobar qué tipo de arquitectura es la más idónea para el diseño de un LNA.

Para profundizar más en el diseño de circuitos integrados de RF se podría completar este proyecto con el diseño del resto de componentes que forman el cabezal de un receptor Bluetooth. Estos podrían ser un mezclador, un VCO, un amplificador IF, etc.

Para el diseño de estos componentes se podría utilizar la misma herramienta de diseño y tecnología de fabricación que se ha utilizado en este proyecto. De esta manera se podría plantear la idea de integrar todos estos componentes en un mismo chip y analizar los resultados finales que se consiguen.

BIBLIOGRAFÍA

- [1] T.H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, 1998.
- [2] J. R. Barrios, "Diseño de un Amplificador de Bajo Ruido para un Receptor GPS", ULPGC, 2001.
- [3] M. Nuria Rodríguez "Mezcladores Integrados en Tecnología SiGe y BiCMOS para frecuencias inferiores a 1.8 GHz", Univ. De Navarra, 2002.
- [4] Juan Meléndez Lagunilla "Diseño de un terminal de conversión Directa a Baja Frecuencia Intermedia para GPS en Tecnología CMOS", Univ. De Navarra, 2001.
- [5] R. Esper-Chain, J. Cabrera, M. Marrero, "Electrónica Analógica Tomos I y II", ULPGC, 1996.
- [6] J. Millman, "Microelectrónica", Hispano Europea, 1989.
- [7] "0.8 μm HBT BiCMOS Design Rules", Austria Microsisteme International AG, Abril de 1998, www.amsit.com,
- [8] B. Coupal, M. Wareg, C.Edelman, "Bluetooth Transceiver desing using CMOS", Microwave Engineering, Abril 2002, www.mwee.com
- [9] Iñigo Arizaga Arcelus, "Introducción Bluetooth", Robotiker, Abril 2001, <http://revista.robotiker.com/articulos/articulo28/pagina1.jsp>
- [10] Paul R. Gray, Robert G. Meyer, "Análisis y diseño de circuitos integrados analógicos", Wiley, 3ª Edición.
- [11] Javier Del Pino Suarez, "Modelado y aplicaciones de inductores integrados en tecnologías de silicio", ULPGC 2003.

- [12] Gustavo A. Ruiz Robredo, “Electrónica Básica para Ingenieros”, Univ. De Cantabria, 2001, <http://grupos.unican.es/dyvci/ruizrg/html.files/libroweb.html>
- [13] B. Razavi, “RF Microelectronics”, Prentice may, 1998.
- [14] “AMS RF Application Note”, Austria Microsisteme International AG, Junio 1998, www.amsint.com
- [15] “Manuales Spectre RF, Cadence”, www.cadence.com
- [16] www.bluetooth.com

PRESUPUESTO

Para el cálculo del presupuesto de este proyecto se ha seguido la propuesta de baremos orientativos para el cálculo de honorarios establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir del 1-01-2003.

Esta propuesta establece que para trabajos tarifados por tiempo empleado se aplique la siguiente formula:

$$H = Hn \bullet 58\text{€} + He \bullet 63\text{€}$$

Siendo:

H: Honorarios a percibir.

Hn: Horas en jornada normal de trabajo.

He: Horas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por aplicación de la fórmula *H* se reducirán a medida que aumenten el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a la siguiente escala (Tabla 1).

Tabla 1

| | | | Coefficiente |
|------------------|-------------------|-------------------------|---------------------|
| Hasta | 36 horas | | C=1 |
| Exceso de | 36 horas | hasta 72 horas | C=0,9 |
| Exceso de | 72 horas | hasta 108 horas | C=0,8 |
| Exceso de | 108 horas | hasta 144 horas | C=0,7 |
| Exceso de | 144 horas | hasta 180 horas | C=0,65 |
| Exceso de | 180 horas | hasta 360 horas | C=0,60 |
| Exceso de | 360 horas | hasta 510 horas | C=0,55 |
| Exceso de | 510 horas | hasta 720 horas | C=0,50 |
| Exceso de | 720 horas | hasta 1080 horas | C=0,45 |
| Exceso de | 1080 horas | | C=0,40 |

CÁLCULO DEL PRESUPUESTO

COSTES DEBIDOS A LOS RECURSOS HUMANOS

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, establecemos una tabla indicativa acerca del tiempo parcial empleado en cada fase del mismo (Tabla 2).

Tabla 2

| Descripción | Tiempo parcial |
|--|-----------------------|
| Búsqueda, estudio de la documentación y de la herramienta de diseño | 320 horas |
| Análisis y diseño del circuito | 560 horas |
| Realización de la memoria | 160 horas |

Para la realización de este proyecto se necesitaron un total de 1040 horas. Considerando estas horas como jornada laboral para su tarificación se obtienen los siguientes honorarios:

$$H = 1040 \cdot 58 = 60.320,00 \text{ €}$$

Aplicando el coeficiente de corrección correspondiente tenemos el siguiente resultado:

$$H = 60.320,00 \cdot 0.45 = 27.144,00 \text{ €}$$

COSTES DE AMORTIZACIÓN DE LOS EQUIPOS INFORMÁTICOS Y HERRAMIENTAS SOFTWARE.

A continuación, se detallan los costes relacionados a la utilización de los equipos y herramientas software empleados en la elaboración del presente proyecto. Los costes están divididos entre el número de usuarios que acceden a ellos los cuales se han estimado en un número de 50 (Tabla 3).

Tabla 3

| Costes debidos a la utilización de la herramienta software | | | | |
|---|----------------------|------------------------|----------------|------------------|
| Descripción | Tiempo de uso | Coste anual (€) | | Total (€) |
| | | Total | Usuario | |
| Sistema operativo SunOs Release 4.1.3, Open windows y aplicaciones X11 | 6 meses | 903,32 € | 18,06 € | 9,03 € |
| Entorno de diseño y simulación CADENCE Designs Framework II | | | | |
| Amortización 3 años | 6 meses | 2208,12 € | 44,16 € | 22,08 € |
| Mantenimiento | 6 meses | 1445,31 € | 29,91 € | 14,96 € |
| Entorno Windows NT | 6 meses | 306,22 € | 6,12 € | 3,06 € |
| Microsoft Office 2000 | 6 meses | 448,96 € | 8,98 € | 4,49 € |
| Costes de herramientas software | | | total | 53,62 € |

Tabla 4

| Costes debidos a la utilización de equipos informáticos | | | | |
|--|----------------------|------------------------|----------------|------------------|
| Descripción | Tiempo de uso | Coste anual (€) | | Total (€) |
| | | Total | Usuario | |
| Estación de trabajo SUN Sparc Modelo Sparc Station 10 | | | | |
| Amortización 3 años | 6 meses | 5228,81 € | 104,58 € | 52,29 € |
| Mantenimiento | 6 meses | 1574,65 € | 31,49 € | 15,75 € |
| Servidor para simulación SUN Sparc Station 10 | | | | |
| Amortización 3 años | 6 meses | 5068,53 € | 101,37 € | 50,69 € |
| Mantenimiento | 6 meses | 1574,65 € | 31,49 € | 15,75 € |
| Impresora Hewlett Packard Laserjet 4L | | | | |
| Amortización 3 años | 6 meses | 150,25 € | 3,01 € | 1,5 € |
| Mantenimiento | 6 meses | 145,52 € | 2,91 € | 1,46 € |
| Ordenador personal Pentium II 266 Mhz. | | | | |
| Amortización 3 años | 6 meses | 320,54 € | 6,41 € | 3,21 € |
| Mantenimiento | 6 meses | 90,15 € | 1,8 € | 0,90 € |
| Costes de equipos informáticos | | | total | 191,55 € |

COSTES DE FABRICACIÓN DEL PROTOTIPO

El coste de fabricación del circuito para la tecnología empleada es de 550 €/mm^2 , con un suministro de 10 prototipos. En nuestro caso el área ocupada por nuestro dado es de $0,782 \text{ mm}^2$

Por tanto teniendo en cuenta el área del dado y el coste de fabricación por mm^2 tenemos el siguiente resultado (Tabla 5).

Tabla 5

| Costes de fabricación del prototipo | | | |
|--|-----------------------|-----------------------------|------------------|
| Descripción | Nº de unidades | Precio | Total (€) |
| Dados | 1 | 550 €/mm² | 430,10 € |
| Costes del prototipo | Total | | 430,10 € |

OTROS COSTES

En este apartado se incluyen los costes debidos al uso de internet, material fungible y a la elaboración del documento final (Tabla 6).

Tabla 6

| Otros costes | | | |
|---|-----------------------|-------------------------|------------------|
| Descripción | Nº de unidades | Coste unidad (€) | Total (€) |
| Uso de internet | 80 horas | 1,14 € | 91,20 € |
| Paquetes de DIN-A4 80 gr/m² | 4 | 4,51 € | 18,04 € |
| Fotocopias | 1500 | 0,03 € | 45 € |
| Encuadernación | 3 | 27,05 € | 81,15 € |
| Otros costes | total | | 335,39 € |

PRESUPUESTO TOTAL

Tabla 7

| Costes | Total |
|--|--------------------|
| Costes de herramienta software | 53,62 € |
| Costes de equipos informáticos | 141,55 € |
| Costes de recursos humanos | 27.144,00 € |
| Costes de fabricación del prototipo | 430,10 € |
| Otros costes | 335,39 € |
| Presupuesto final | 28.104,66 € |

Por lo tanto el coste del proyecto asciende a **veintiocho mil ciento cuatro euros con sesenta y seis céntimos de euro.**

PLIEGO DE CONDICIONES

Condiciones generales

Los requisitos necesarios para evaluar el funcionamiento del diseño es el siguiente:

- Estación de trabajo con sistema operativo SunOs Release 4.1.3
- Entorno de diseño y simulación CADENCE Designs Framework II
- Tecnología HBT -BiCMOS *0,8 ,um* de AMS

Propiedad intelectual

La propiedad intelectual, que comprende las creaciones literarias, científicas, artísticas, programas de ordenador, etc..., se diferencia de la industrial en que aquella el derecho surge por la creación, sin ser necesario acudir a ningún registro para el nacimiento del derecho. A pesar de que no es preciso el registro para poseer el derecho, la Ley regula la existencia de un Registro Intelectual en el que inscribir este tipo de creaciones.

La propiedad intelectual se regula en España por el Real decreto Legislativo 1/1996, por el que se aprueba el texto refundido de la Ley de Propiedad Intelectual, regularizando, aclarando y armonizando las disposiciones legales vigentes sobre la

materia. La Ley de Propiedad Intelectual de 11 de Noviembre de 1987 (BOE de 7/11/1987), y en el artículo 10 recoge las materias de que es objeto:

1. Son objeto de propiedad intelectual todas las creaciones originales literarias, artísticas o científicas expresadas por cualquier medio o soporte, tangible o intangible, actualmente conocido o que se invente en el futuro, comprendiéndose entre ellas:

Los libros, folletos, impresos, epistolarios, escritos, discursos y alocuciones, conferencias, informes forenses, explicaciones de cátedra y cualesquiera otras obras de la misma naturaleza.

- a) Las composiciones musicales con o sin letra.
- b) Las obras dramáticas y dramático musicales, las coreografías, las pantomimas y, en general, las obras teatrales.
- c) Las obras cinematográficas y cualesquiera otras obras audiovisuales.
- d) Las esculturas y las obras de pintura, dibujo, grabado, litografía, y las historietas gráficas, tebeos o cómics, así como sus ensayos o bocetos y las demás obras plásticas, sean o no aplicadas.
- e) Los proyectos, planos, maquetas y diseños de obras arquitectónicas y de ingeniería.
- f) Los gráficos, mapas y diseños relativos a la topografía, la geografía y, en general, a la ciencia.
- g) Las obras fotográficas y las expresadas por procedimiento análogo a la fotografía.
- h) Los programas de ordenador.

2. El título de una obra, cuando sea original, quedará protegido como parte de ella.

TITULARIDAD DEL PROYECTO

Sobre este tema no existe hasta el momento una normativa a la que atenerse, por lo tanto, tenemos que ajustarnos a alguna publicación específica sobre el tema, cuyo contenido indique, o del que pueda inferirse la titularidad del proyecto. En concreto, en el

capítulo 7 de "La política y la gestión de la propiedad industrial en un centro público de investigación" de Ignacio Fernández de Lucio y Domingo Represa Sánchez, aparecen una serie de documentaciones, que sin referirse concretamente a la situación que nos ocupa (proyecto fin de carrera), sí podemos extrapolar de alguna manera el estado legal del mismo, en cuanto a su titularidad, y participación de su explotación, si la hubiera.

En este sentido, podemos destacar de dicha obra lo siguiente:

“Titularidad de los resultados”

En la actualidad, teniendo en cuenta la complejidad y los costes de las investigaciones, la mayor parte de las invenciones se llevan a cabo en el seno de las empresas y universidades; ya casi no existe el inventor solitario que, a través de su ingenio y por su cuenta, tiene una idea genial y la plasma en una invención. Esto hace que se tenga que regular a quién y en que condiciones pertenecen los resultados de la investigación realizada por los trabajadores en las empresas, En los casos en que la titularidad pertenezca ala empresa, será sin perjuicio del derecho que tiene el trabajador o trabajadores a aparecer como inventores de la misma (Véase el artículo 14 de la Ley de Patentes y el artículo 4º, Ter. del Acta de Estocolmo de 14 de julio de 1967 modificativa del Convenio de París para la Protección de la Propiedad Industrial, publicado en el BOE de 1 de febrero de 1974) y los artículos 14 a 20 de la Ley española de patentes, Ley 11, de 20 de Marzo de 1986, de patentes, J ,M: Oter Lastres et al (1987),

INVENCIONES UNIVERSITARIAS Y DE ORGANISMOS PÚBLICOS DE INVESTIGACIÓN

El artículo 20 de la Ley de Patentes regula esta materia y remite a los Estatutos de las Universidades el desarrollo de la misma (más información en M. Pérez de 1984).

El artículo 20.1 dice:

"Las normas del presente Título serán aplicables a los funcionarios y trabajadores del Estado, Comunidades Autónomas, Provincias, Municipios y demás Entes Públicos sin perjuicio de los previstos en los párrafos siguientes".

Los párrafos siguientes regulan esta materia para las invenciones realizadas por profesores e investigadores de la Universidad, así como su posible aplicación a los investigadores de OPIS.

La titularidad de las invenciones realizadas por los profesores pertenece a la Universidad, si esta invención es producto de la investigación que realiza dentro de su función o actividad de profesor, permitiendo, sin embargo, el Art. 11 de LRU sobre contratación con terceros, que se determine en el contrato la titularidad de los resultados, A. Bercovitz (1986).

El artículo 20, en su apartado 2, atribuye a la Universidad la titularidad de las patentes creadas como consecuencia de la función de investigación, sin perjuicio del artículo 14 de la Propia Ley en el que se dice:

El inventor tiene frente al titular de la solicitud de la patente el derecho a ser mencionado como tal inventor en la patente.

La titularidad económica corresponde a la Universidad aunque, como se verá más adelante, el profesor tenga derecho a una participación en los beneficios. También, pertenece al profesor el derecho moral a aparecer como creador, considerándose éste un derecho personalísimo al que no le pueden obligar a renunciar.

La participación de los profesores en los beneficios de las invenciones se recoge en el apartado 4 del mismo artículo, que regula el derecho de los inventores a participar en los beneficios que obtenga la universidad con estas invenciones.

La regulación de esta materia se tiene que realizar en los distintos estatutos de las universidades, como se señala en el mencionado artículo 20 de la ley de Patentes.

En la práctica pocos son los Estatutos de universidad que recogen esta regulación y si lo hacen es de forma incompleta ya que, al ser en muchos casos posteriores a la Ley de Patentes, no contemplan todas las situaciones previstas en ella, a lo que cabe añadir la dificultad que supone la modificación de los Estatutos.

ANEXO I

En este capítulo se ha creado una guía rápida para el desarrollo y simulación de circuitos integrados como los expuestos en este proyecto mediante el software CADENCE DFWII con la librería CMOS AMS 0,8 μ m. Para que futuros proyectantes tengan una primera guía rápida a la que acudir.

Se va a explicar cada uno de los pasos a seguir con un ejemplo, desde entrar en CADENCE hasta simular el *layout* de un circuito, además del manejo de las librerías en donde se encuentran los componentes a necesitar.

EJECUTAR CADENCE

Como primer paso se introduce el login y a continuación el password en la estación de trabajo. Una vez cargada la configuración personal en la estación se hace click sobre la pestaña HOST (situada en el margen inferior derecho), y dentro de ésta sobre CONSOLE. Esta ventana es donde se ejecutará el CADENCE mediante los siguientes comandos.

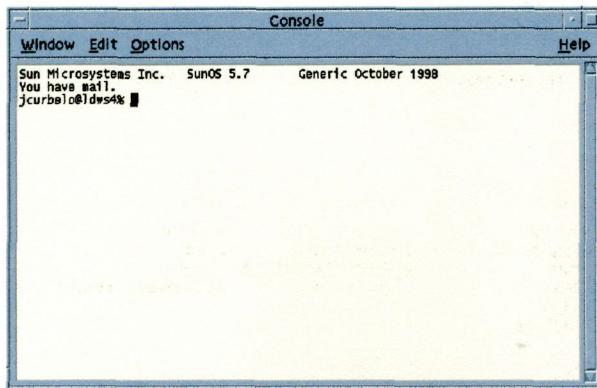


Figura 1 . Ventana console

Para ejecutar la herramienta se puede hacer de dos formas: desde el directorio raíz o desde un servidor ambas expuestas a continuación:

- a) `cd directorio_de_trabajo`
`open_cdk_AMSBYR`

- b) `xhost +`
`rlogin tecn (u otro servidor)`
 introducir **PASSWORD:** *(solo el password)*
`setenv DISPLAY nombre_de_la_estación :0`
`cd directorio_de_trabajo`
`open_cdk_AMSBYR`

Estas dos posibles formas se introducen en la ventana *console* de la *figura 1*.

Una vez cargado el programa Cadence aparecerán tres ventanas como las siguientes: LIBRARY MANAGER, ICFB y WHAT'S NEW IN 4.4.3.

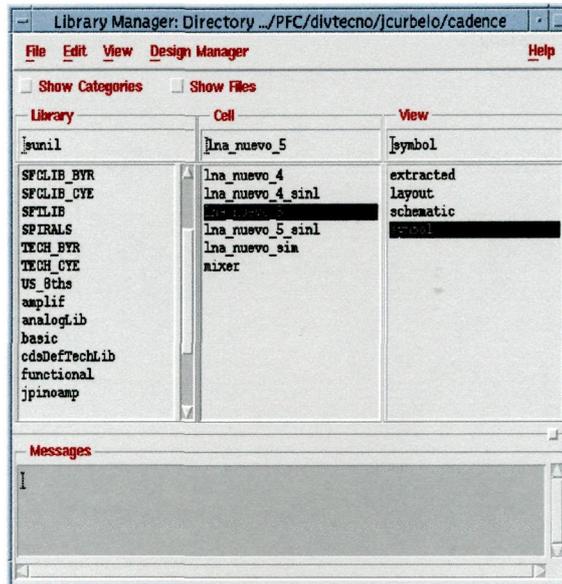


Figura 2. Library Manager

En library manager (figura 2) es donde se encuentran todas las librerías y donde vamos a guardar nuestros diseños.

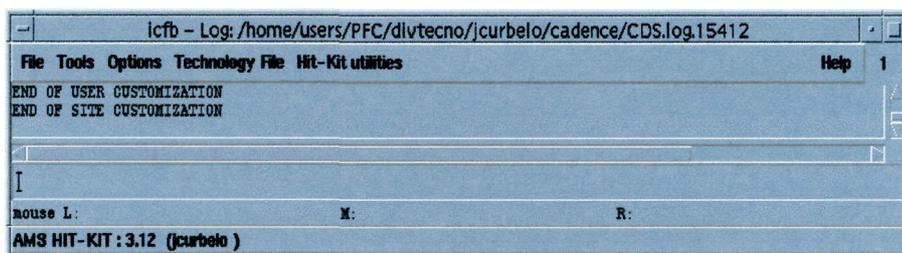


Figura 3. ICFB.

La ventana ICFB (figura 3) nos informará acerca de los posibles errores y todo lo que está sucediendo en las simulaciones, además de invocar a otras herramientas y poder salir del programa: *file->exit*.

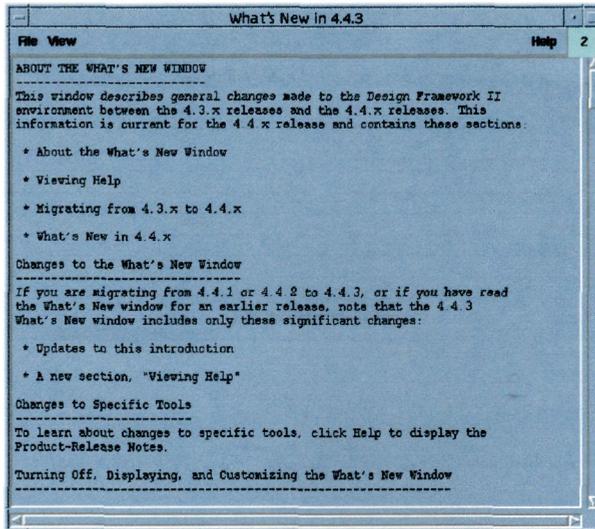


Figura 4. What's new in 4.4.3.

Esta ventana (figura 4) informa de las ventajas y diferencias de esta versión del programa con las anteriores. La cerramos pues no interesa.

CREAR UNA LIBRERÍA

Para crear una librería los pasos a seguir son los siguientes: en LIBRARY MANAGER nos vamos a **file->new->library...** en la que saldrá una ventana como la siguiente (figura 5) en la que se pondrá el nombre de la librería. En este ejemplo *borrar*.

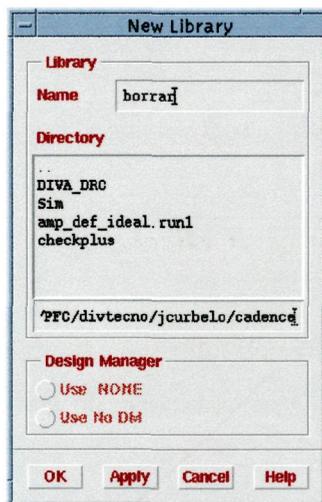


Figura 5. New library

En la siguiente ventana (*figura 6*) marcamos como aparece en la figura.

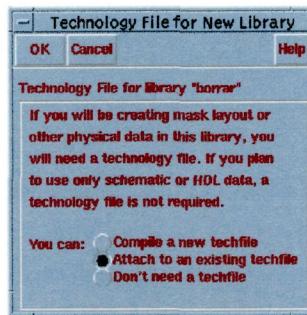


Figura 6. Technology file for new library

En la ventana Attach Desing.... escogemos la tecnología TECH_BYR.



Figura 7. Attach Desing Library to technology file

CREAR UNA CÉLULA

Lo próximo es crear nuestra cell view, *file->new->cell view...* Se pone un nombre al diseño a realizar y se escoge una vista (*view name*). En nuestro caso será *composer-schematic* puesto que lo primero que se va a realizar es el esquemático. No obstante aquí se pueden elegir otras vistas como layout, symbol, etc...

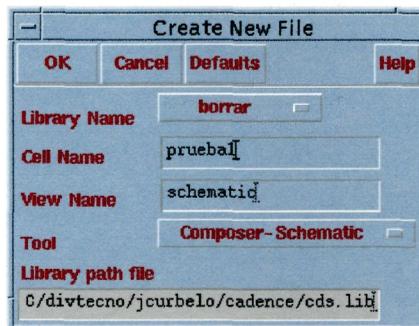


Figura 8. Create new file.

la primera vez después de hacer click en ok en la ventana anterior nos aparece el esquemático automáticamente.

ABRIR UN ESQUEMÁTICO

Para abrir un esquemático en otra ocasión, nos situamos en la ventana *Library manager*, picamos sobre nuestra librería *borrar*, luego sobre *pruebal* y finalmente picamos dos veces sobre *schematic*.

EDITOR DE ESQUEMÁTICOS

El editor de esquemáticos se representa en la siguiente ventana (*figura 9*) la cual posee una barra de herramientas que facilita el diseño del circuito. Con esta barra, se pueden seleccionar los componentes utilizados en el circuito, modificar sus propiedades, dibujar líneas de conexión, realizar zoom, mover, copiar, etc...

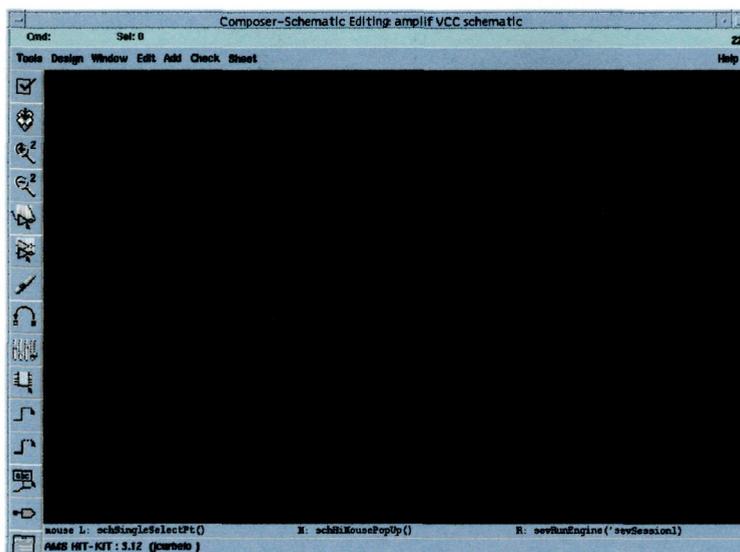


Figura 9. Composer-Schematic

Para sacar un componente nos vamos al icono *Instance* en la barra de herramientas y hacemos click sobre él, nos saldrá una ventana como la siguiente.

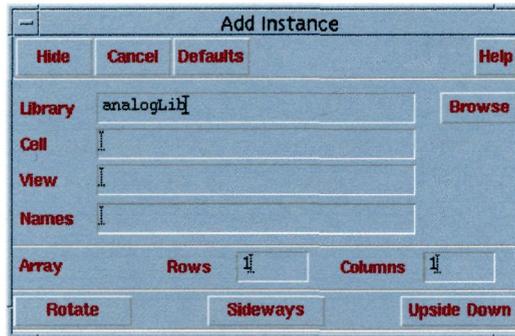


Figura 10. Add Instante

hacemos click sobre *Browse* para acceder a las librerías en la que nos saldrá la siguiente ventana.

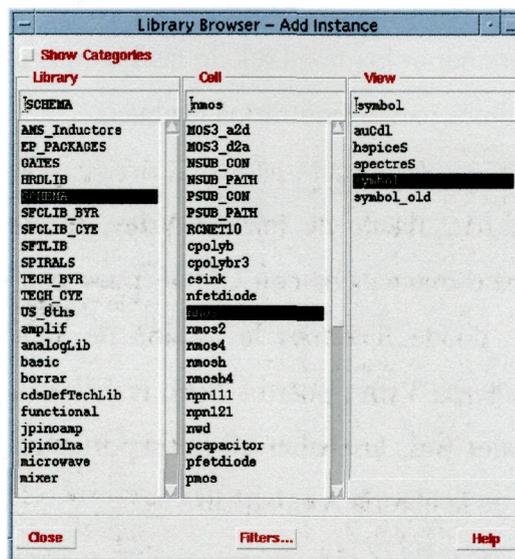


Figura 11. Library Browse

En el caso de sacar un transistor **nmos** vamos a la librería SCHEMA, luego hacemos click sobre **nmos** y como vista siempre que realicemos un esquemático escogeremos **symbol**. Vemos como en la ventana *add instante* (figura 12) se ha cargado nuestro componente. En esta ventana podemos realizar varias cosas como cambiar las medidas de los componentes, rotarlos, girarlos, etc... Le damos a *Hide* y nuestro componente aparecerá en el editor de esquemáticos visto antes.

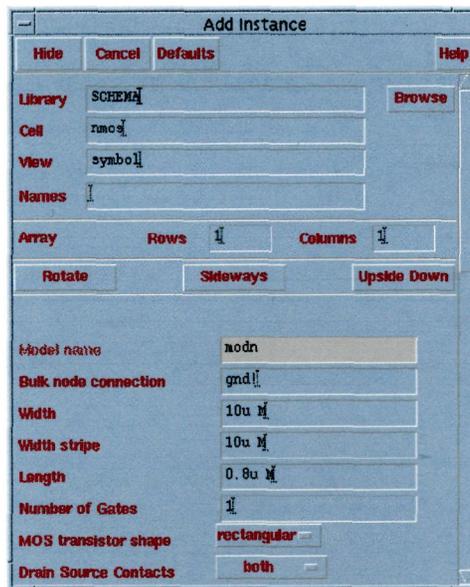


Figura 12. Add instante con un NMOS.

A continuación se expondrán los nombres de las librerías así como los nombres de los componentes más importantes para encontrarlos fácilmente.

Fuentes de corriente **Idc**, fuente de tensión **Vdc**, fuente **Vdd** (es necesario poner siempre esta fuente en los esquemáticos con CMOS pues sino no funciona aunque no hay que darle ningun valor); donde fijaremos la tensión de alimentación del circuito es en **Vdc**), fuente de tensión alterna **Vsin**, puertos **Psin**, resistencias ideales **res**, condensadores ideales **cap**, bobinas ideales **ind**, los balun **xfmr** (importantes para señales diferenciales), todas ellas se encuentran en la librería **AnalogLib**.

Los transistores **nmos** y **pmos**, al igual que los condensadores reales **csink** y las resistencias reales **rpoly2c** las encontraremos en la librería **SCHEMA**.

Las bobinas reales las encontraremos en la librería **AMS_inductors->measured->symbol**

Una vez fijado el componente en el esquemático, haciendo click sobre el componente y pulsando la letra Q accederemos a sus propiedades (valores, anchos de los transistores, etc...), en donde, podremos modificarlas a nuestra voluntad.

Con las bobinas reales ocurre un caso especial, añadiremos el valor que queremos y la frecuencia de trabajo, y automáticamente sale una relación de bobinas posibles con sus diferentes valores (inductancia, factor de calidad Q, etc...) tal como se muestra en la *figura 13*.

| Property | Value | Display |
|---------------|---------------|---------|
| Library Name | AMS_Inductors | off |
| Cell Name | Measured | value |
| View Name | symbol | off |
| Instance Name | L | value |

| User Property | Master Value | Local Value | Display |
|------------------|------------------|-------------|---------|
| interfaceLastC.. | 13 17:10:05 2001 | | off |
| partName | template | | off |
| vendorName | | | off |

| CDF Parameter | Value | Display |
|-------------------|-----------|---------|
| Inductance(nH) | 4.35 | off |
| Frequency(GHz) | 2.4 | off |
| Number of ports | Two | off |
| Selected inductor | IUMA_bo_6 | off |
| Choice | 2 | off |

| | Q | L | R | fmin | fmax | Display |
|---|------|--------|-------|---------|---------|---------|
| 1 | 4.35 | 4.17nH | 111um | 1.780Hz | 4.350Hz | off |
| 2 | 4.16 | 4.35nH | 133um | 0.500Hz | 7.060Hz | off |
| 3 | 3.92 | 4.36nH | 110um | 0.500Hz | 7.670Hz | off |
| 4 | 3.90 | 4.53nH | 120um | 0.500Hz | 7.520Hz | off |

Figura 13. Edit Object Properties

SIMULACIÓN Y DISEÑO

Una vez se tenga dibujado el circuito es hora de simularlo. Para ello en la ventana *composer-schematic* (figura 9) nos vamos a *tool->>analog artist*, en esta ventana (figura 14) se permite al usuario configurar todas las opciones de simulación.

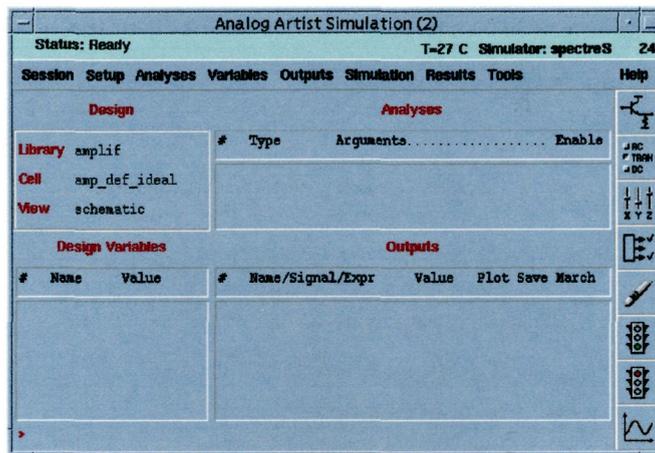


Figura 14. Analog Artist Simulation

Este administrador permite realizar distintos tipos de análisis. Para configurar el análisis que queremos vamos a *Analyses->choose...*

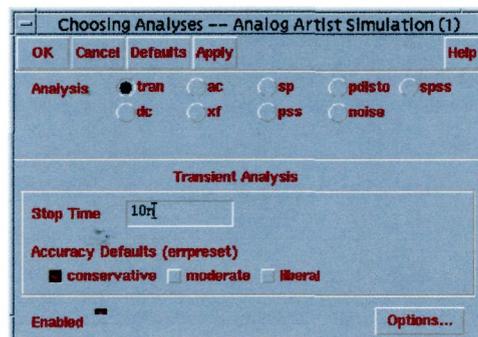


Figura 15. Choosing Analices TRAN

En esta ventana se puede elegir el tipo de análisis que se desea realizar al circuito:

- Análisis **TRAN** permite ver la respuesta temporal de cualquier tensión o corriente del circuito. Para ello basta con definir el tiempo de simulación y el nivel de exactitud que se requiere en los resultados como se muestra en la *figura 15*.
- Análisis **AC** muestra la respuesta en frecuencia del circuito en el rango que el usuario elija como el representado en la *figura 16*. El circuito debe estar alimentado por una fuente con componente AC ($V\sin$). Este análisis permite además estudiar la

influencia de la temperatura del parámetro de un componente o del parámetro de un modelo.

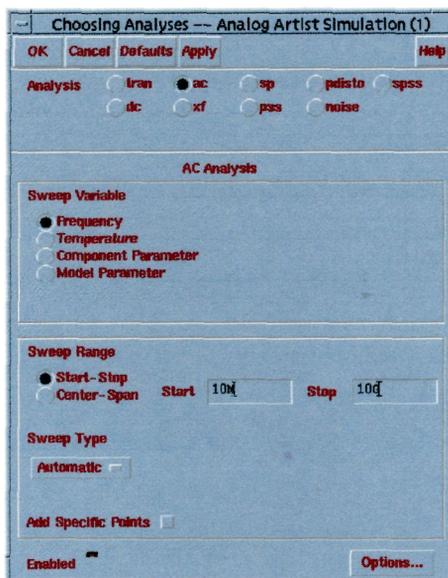


Figura 16. Choosing Analices AC

- Análisis DC permite observar el comportamiento en continua del circuito. Se puede estudiar como varían las tensiones y corrientes del circuito en función del parámetro elegido en un componente. Por ejemplo, se puede ver la influencia del nivel de continua de la fuente de señal sinusoidal sobre el resto del circuito.

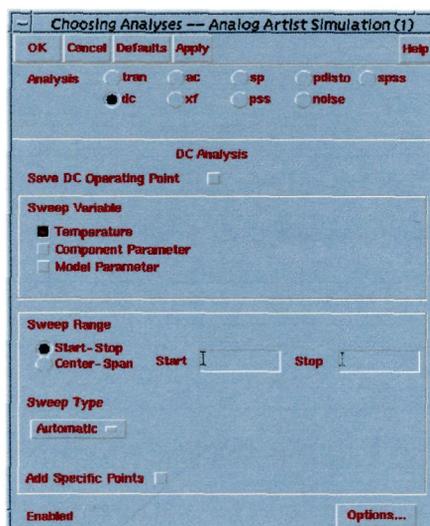


Figura 17. Choosing Analices DC

- **Análisis SP** realiza los cálculos de los parámetros S de un circuito. Tiene una gran aplicación en la simulación de circuitos de RF ya que es el análisis que más información puede proporcionar sobre el comportamiento en frecuencia de un circuito. Este análisis permite representar entre otros parámetros la figura de ruido que presentan los circuitos, las adaptaciones de impedancias, la ganancia, etc... Por esta razón, es el análisis más empleado en la simulación de circuitos de RF.

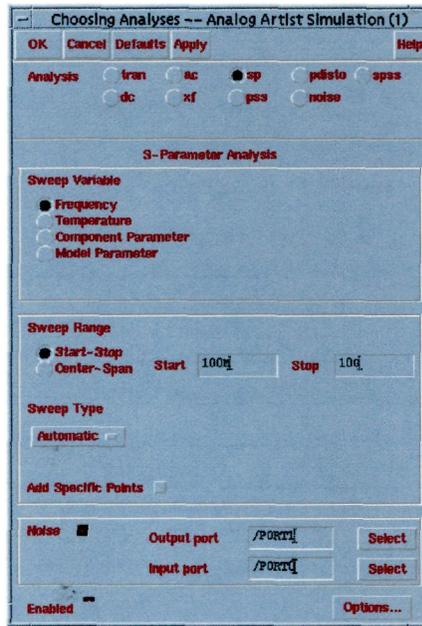


Figura 18. Choosing Analices SP

Para que este análisis funcione, en el esquemático la fuente de entrada del circuito debe ser una fuente de tipo PORT (Psin). Esta fuente tiene una resistencia en serie que actúa como impedancia de la fuente, de forma que los cálculos se verán influenciados por esta resistencia. El valor por defecto de esta resistencia es 50 Ohmios. El resto de los valores del PORT de entrada no se deben rellenar.

Otra cosa a saber para que la simulación con los PORT funcione es que hay que numerarlos tanto el de entrada como el de salida. Hacemos click sobre el PORT en el esquemático y pulsamos la tecla Q del teclado, esto nos abrirá la ventana de propiedades del PORT (válido para cualquier componente o pista), entonces

ponemos 1 al puerto de entrada tal como se indica en la *figura 19*, y luego operamos de la misma manera para el puerto de salida colocándole un 2 .

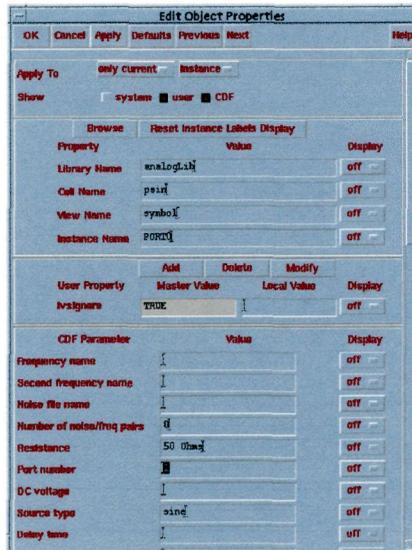


Figura 19. Edit Object Properties(2)

En la salida del circuito, se debe colocar también una fuente tipo PORT con el valor de resistencia equivalente a la carga deseada. Al igual que en el puerto de entrada, el resto de los valores del PORT de salida no se deben rellenar.

El análisis SP utiliza la frecuencia como variable o parámetro a modificar en la simulación del circuito. Para ello, es necesario definir el rango de frecuencias en el que se quiere observar su comportamiento lo cual se hace rellenando el espacio destinado para tal fin que vemos en la siguiente *figura 20*.

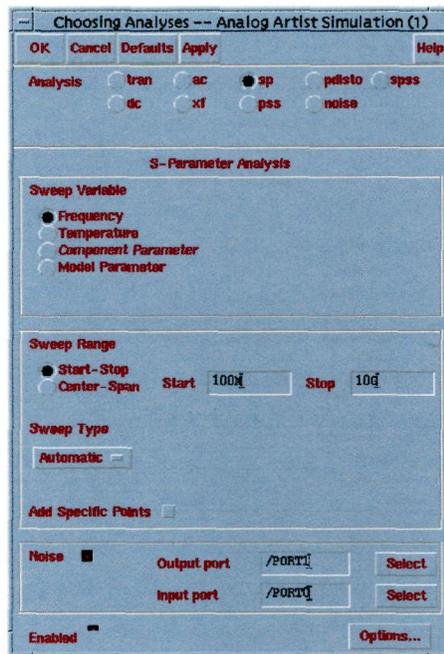


Figura 20. Choosing Analices SP(2)

Si se quiere realizar un análisis de ruido del circuito, basta con seleccionar esta opción en la misma ventana. Además, para que el análisis se realice correctamente se debe seleccionar la fuente P_{sin} de entrada como *Input Port* y la fuente P_{sin} de salida como *Output Port* tal y como se muestra en la figura 18.

- Análisis SPSS permite obtener el producto de intermodulación de 3° orden (IP3) de un circuito. Para seleccionar este tipo de análisis se elige dicha opción en la ventana *Choosing Analices*. Para obtener el IP3 del circuito, es necesario introducir un segundo tono a la entrada del mismo. Esto se puede realizar definiendo una variable en la lista de parámetros del PORT de entrada que represente la potencia del primer y segundo tono. Además, se debe especificar su valor de frecuencia, que debe ser múltiplo de la frecuencia fundamental introducida.

Para simular vamos a *Analog Artist, simulation->Run.*

VISUALIZACIÓN DE LOS RESULTADOS

Una vez terminada la simulación se pueden ver los resultados obtenidos. Para ello se va al menú en la ventana de *Analog Artist: Results->>Direct Plot*. Se despliega un submenú en el que se ve las distintas simulaciones DC, AC, SP, etc...

Por ejemplo, para el caso del análisis SP, aparece una ventana desde la que se puede elegir distintas formas de representar los resultados obtenidos en la simulación como podemos ver en la figura 21.

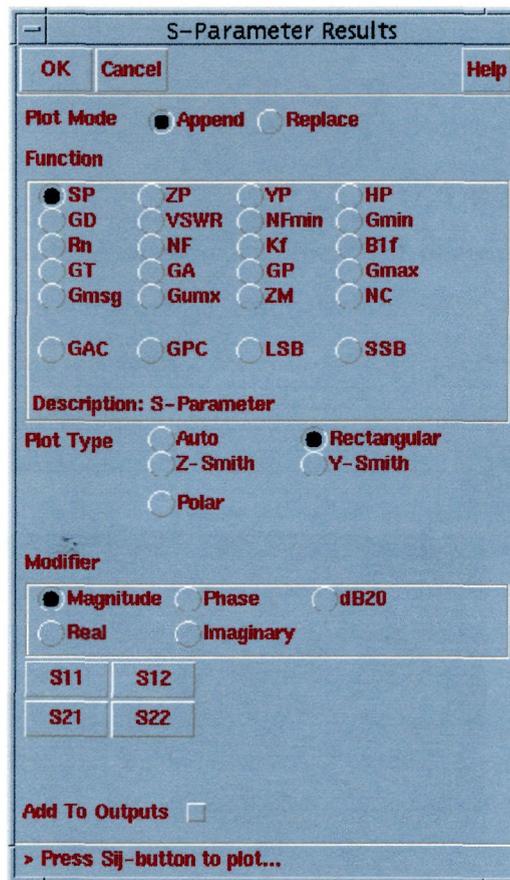


Figura 21. S-Parameter results

- Opción **SP**: podemos visualizar los parámetros S. Al mismo tiempo, esta opción nos permite elegir distintas formas de representación. Por ejemplo, los parámetros S11 y S22 que representan la impedancia de entrada y salida del circuito, pueden aparecer representados en una carta de Smith, en forma polar, etc... En esta misma ventana si se elige el termino S21, podemos ver la ganancia del circuito y si

optamos por el término S_{12} , la ganancia inversa. El resultado puede darse de diferentes formas, en magnitud, fase, dB, etc...

- Opción **VSWR**: Esta opción permite obtener una representación gráfica de los términos $VSWR_1$ y $VSWR_2$. Como se vio en el apartado 3.2.1.1, estos términos indican de una forma clara el grado de adaptación que existe a la entrada y salida del circuito.
- Opción **NF**: Eligiendo esta opción se puede obtener una representación gráfica de la figura de ruido del circuito. Además, se permite obtener el resultado en magnitud y en dB.

GENERACIÓN DEL SÍMBOLO

Una vez se haya cumplido las especificaciones impuestas, crearemos el símbolo del circuito realizado. Para ello quitaremos las fuentes, las bobinas y uniremos todas las tierras en un punto común. Pondremos pines en todos los terminales, quedando como la figura 22.

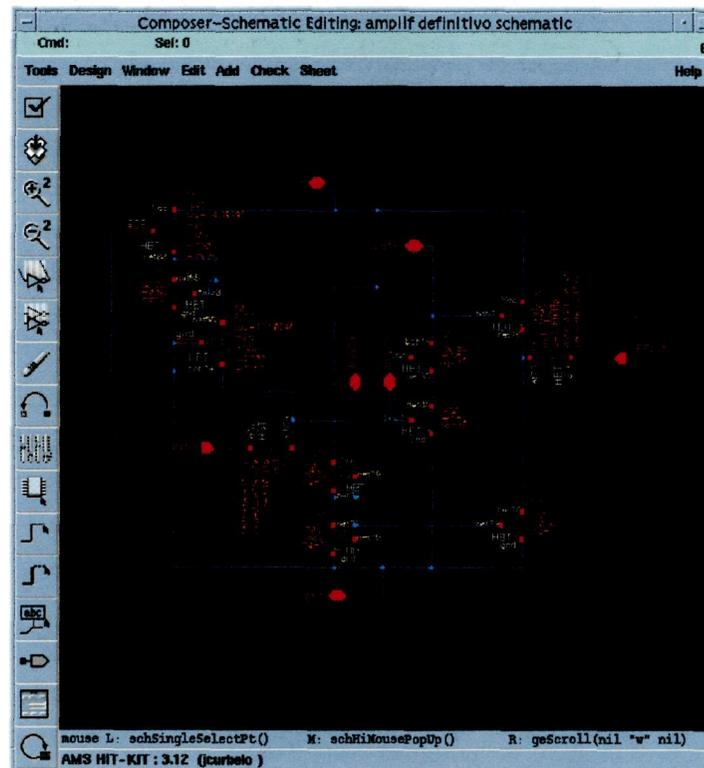


Figura 22. Composer-Schematic(2)

Hacemos click en *desing-> create cell view->from cell view*. Esto creará el símbolo del circuito de la *figura 22* tal y como se muestra en la *figura 23*.

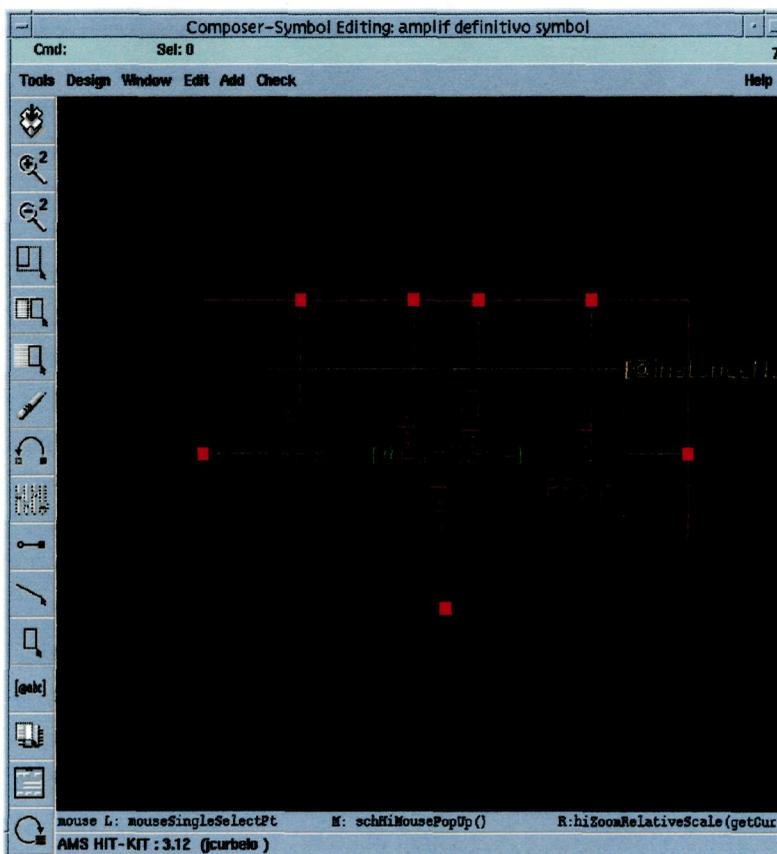


Figura 23 Composer Simbol

Una vez tengamos el símbolo del circuito, volvemos a simular el circuito completo pero utilizando el símbolo de dicho circuito para ver si todo está bien. Crearemos una nueva cell view. El símbolo lo sacaremos de la librería donde se creó el circuito ahora que tenemos el esquemático y el símbolo. Los pasos a seguir son los mismos que para la simulación del circuito. Quedando representado en la *figura 24*.

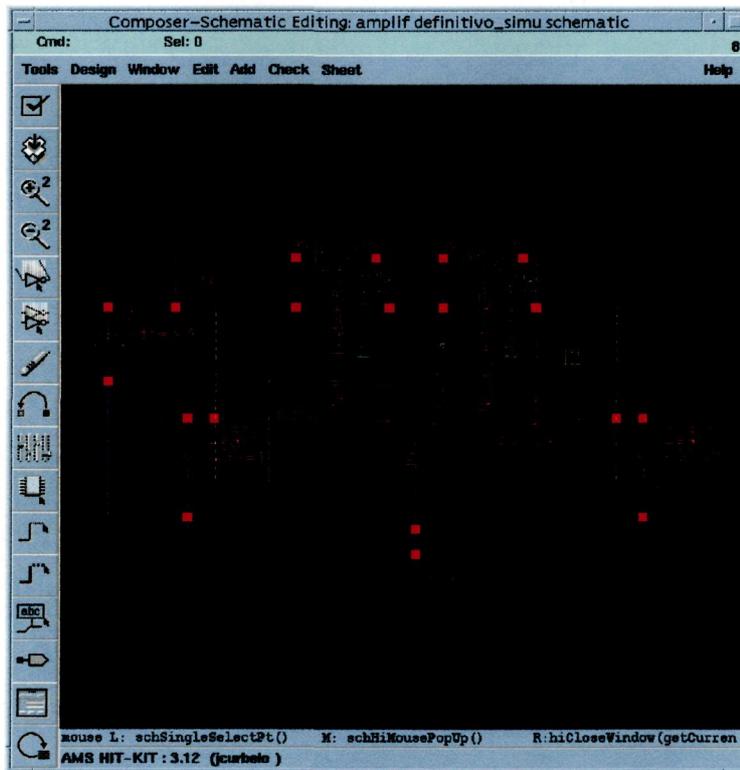


Figura 24 Composer –Schematic(3)

Una vez que de el mismo resultado pasamos a la realización del *layout*.

GENERACIÓN DEL LAYOUT

Abrimos el esquemático del circuito con el *composer-schematic*, en el menú superior vamos a *tools->desing Síntesis->layout XL*. Saldrá una ventana como la representada en la siguiente figura y marcaremos *create new*.

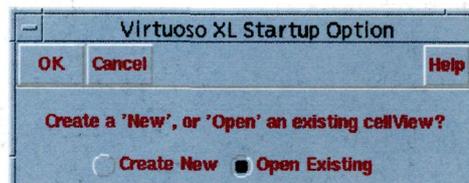


Figura 25. Virtuoso XL.

inmediatamente después nos saldrá esta otra ventana (*figura 26*) en la que nos viene el nombre del circuito al que vamos a hacer el layout por defecto, pero con la vista (view name) *layout*.

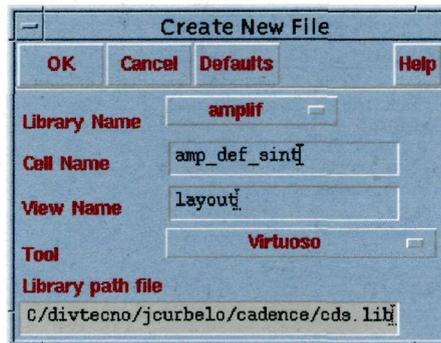


Figura 26. Create new file (2)

Una vez creado el nuevo fichero, ocurre lo mismo que con el esquemático, nos sale un editor pero en este caso para *layout*. El editor de *layout* se representa en la siguiente ventana el cual posee una barra de herramientas que facilita el diseño del circuito. Con esta barra, se pueden seleccionar los componentes utilizados en el circuito, modificar sus propiedades, dibujar líneas de conexión, realizar zoom, mover, copiar, etc...

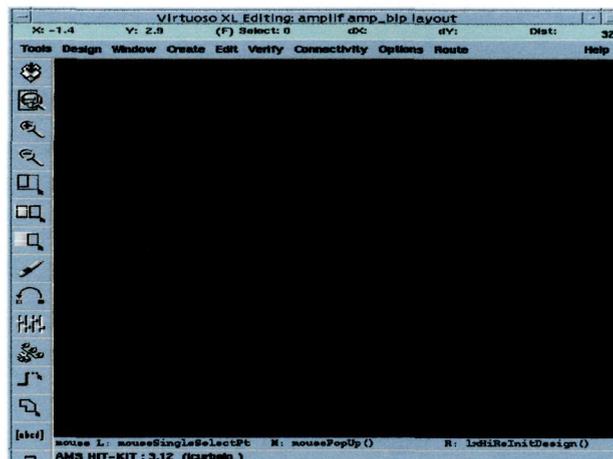


Figura 27. Editor virtuoso XL

A la hora de realizar el layout hay dos métodos a seguir uno es como se realizó el esquemático yendo a la librería de los componentes y sacando los componentes uno a uno pero con la vista (view) layout, o bien vamos al menú superior del editor en *Desing->Gen From Source* donde nos aparecerá una ventana como la siguiente (figura 28).

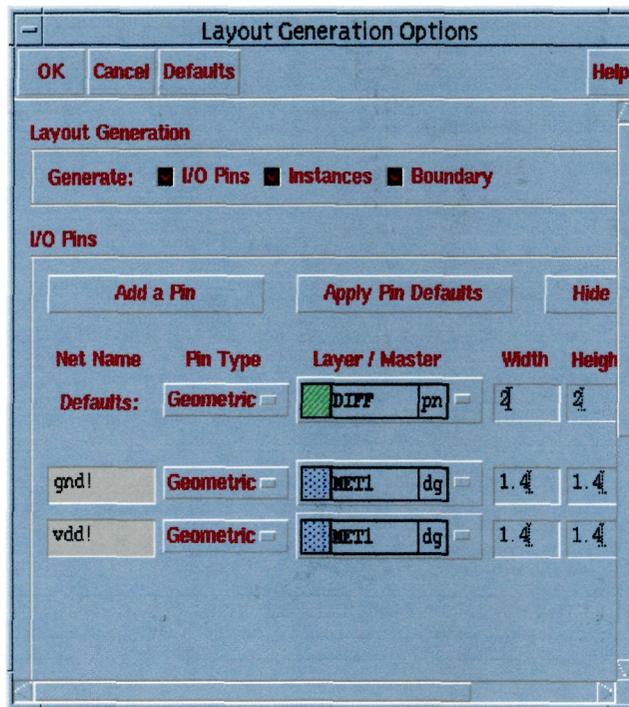


Figura 28. Layout Generation Options

Si escogemos esta segunda forma la ventaja es que los componentes y los pines salen unidos por unas líneas, lo que hace más fácil la realización del layout.

En la figura 28 todos los pines se pondrán a metal1 o metal 2 pn según la pista a la que estén conectados dichos pines.

Una forma de descender en las jerarquías y ver el contenido de las cajas es pulsar la combinación de teclas shift+f. Para subir en la jerarquía se usa control+f.

Una vez que se tengan los componentes lo que tenemos que hacer ahora es unirlos con cualquiera de los tres metales que hay en la tecnología CMOS de AMS, *metal1 dg*, *metal2 dg* o *poly1 dg*.

Para hacer las pistas nos vamos a **create->rectangle** en el editor o al icono **path**, en la barra de herramientas luego en propiedades marcamos uno de los tres metales indicados.

Para realizar las pistas en diagonal en la ventana ICFB en **options->user preferences** hacemos click en “Options Displayed When Commands Star” tal y como indica la *figura 29*.

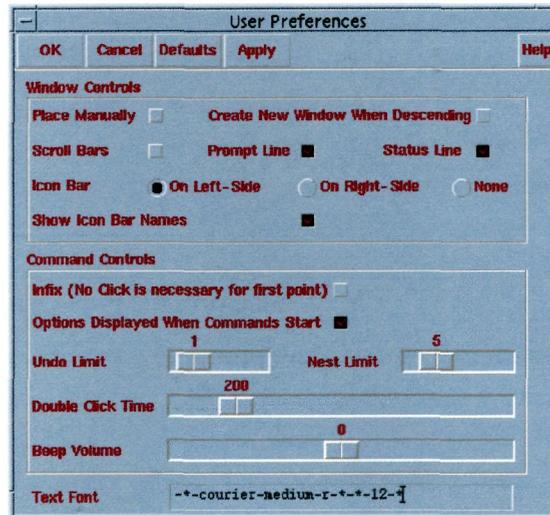


Figura 29. User Preferentes

Luego al hacer click sobre el icono **Path** nos saldrá una ventana como la siguiente en la que tenemos que marcar sobre **Snap Mode** diagonal.

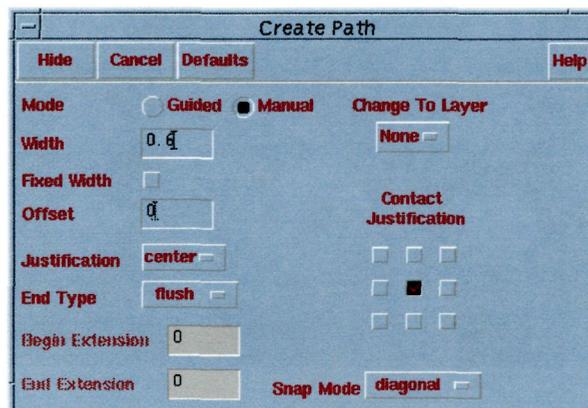


Figura 30. Create path

Para unir directamente los diferentes metales entre si se utilizan las vias llamada **via_c** en la librería **TECHBYR**. Una vez extraida haciendo click sobre ella y pulsando la letra **Q** accedemos a las propiedades y en *contact type* elegimos los diferentes modelos que hay expuestos a continuación:

| | |
|--------------|-------------------------|
| Via_C | para unir Met1 con Met2 |
| P1_C | “ Poly1 con Met1 |
| P1_C | “ Poly2 con Met1 |
| PB_C | “ Bpoly con Met1 |
| ND_C | “ Diff con Met1 |
| PD_C | “ Pplus con Met1 |

Una cosa a tener en cuenta es la colocación de los pines. Estos irán en el mismo lugar que en el esquemático y además le pondremos el mismo metal que tiene la pista en los que van colocados.

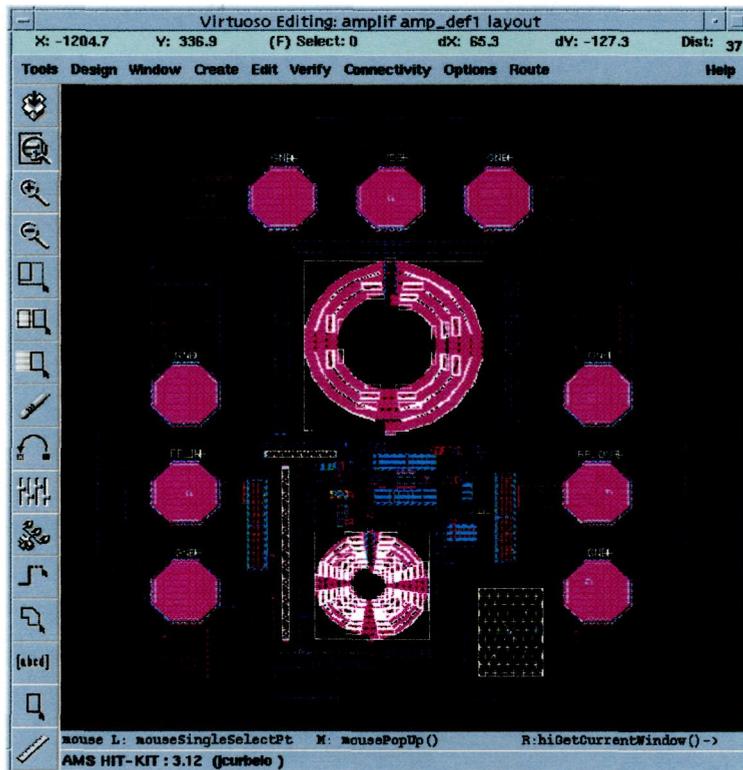


Figura 31. Editor virtuoso XL (2)

Una vez que se ha hecho el *layout* le pasaremos el DRC que es un programa que nos verifica si se han cumplido las reglas de diseño. En el editor hacemos click sobre *Verify->DRC*, nos saldrá la siguiente ventana en la que primero en *switch names* ponemos *generate_all_layers*, aplicamos y luego con *no_erc* lo demás se deja tal cual .

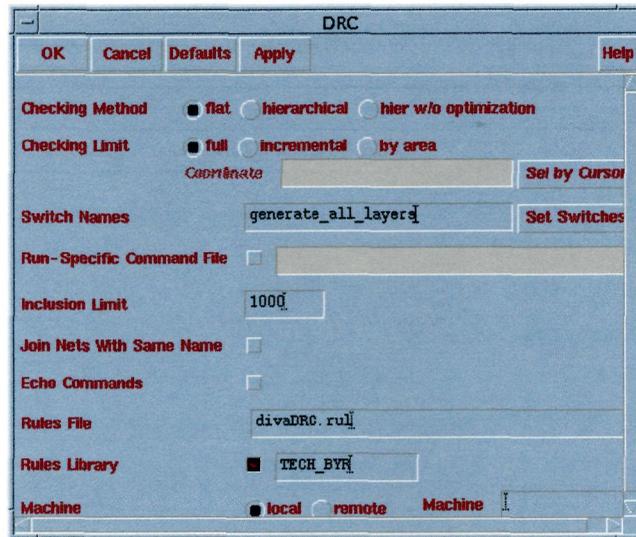


Figura 32. DRC

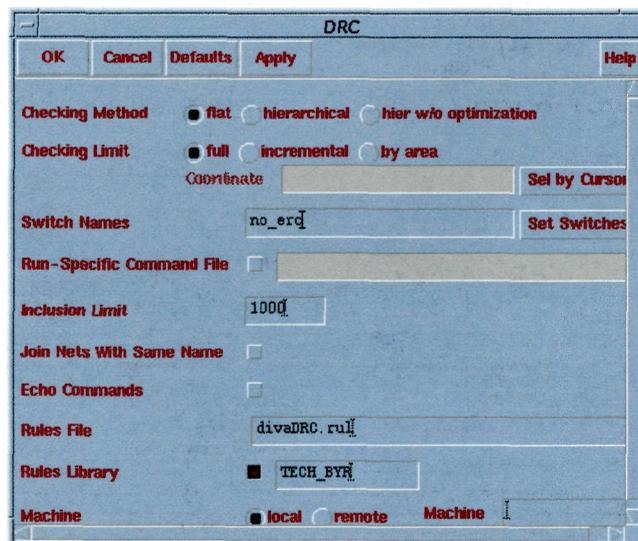


Figura 33. DRC (2)

En la ventana ICFB nos detalla cada uno de los errores que tenemos.

Si se tienen errores y no los vemos podemos hacer un zoom yendo a *Verify->markers->find*, en esta ventana podemos hacer un *zoom to marker* y poder ir al siguiente error con *next*, tal y como se indica en la *figura 34*.

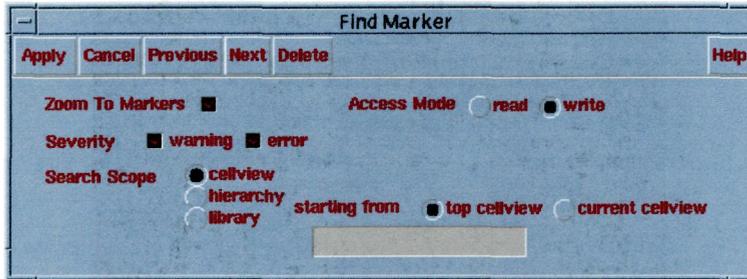


Figura 34. Find Marker

Antes de generar la vista extraída tenemos que aclarar que con la librería de bobinas que tenemos no se puede generar el extraído de las bobinas. Por tanto una vez hecho el *layout* se quitan las bobinas (que nos daban muchos errores al pasarle el DRC, ya que el simulador no las veía como bobinas sino como pistas de metal), pasamos el DRC y cuando no hayan errores es cuando estamos listos para generar el extraído.

La generación del extraído se realiza de la siguiente forma: En el editor virtuoso XL hacemos click sobre *verify->extract* y cuando salga una ventana como la de la *figura 35*, confirmamos pulsando ok.

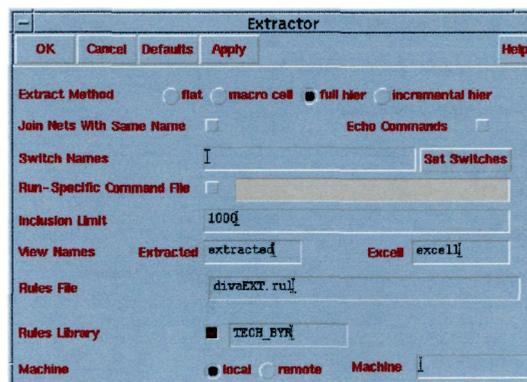


Figura 35. Extractor

En la *figura 36* se muestra un ejemplo de cómo queda un extraído.



Figura 36. Extraído

Una vez obtenido el extraído sin errores lo único que nos falta es hacer la simulación *post-layout*. Para realizar dicha simulación nos situamos en el esquemático en el cual simulamos el símbolo del circuito. En *analog artist* vamos a *setup->environment* hacemos click sobre *flat* y escribimos *extracted* en “*switch view list*” como indica la *figura 37*.

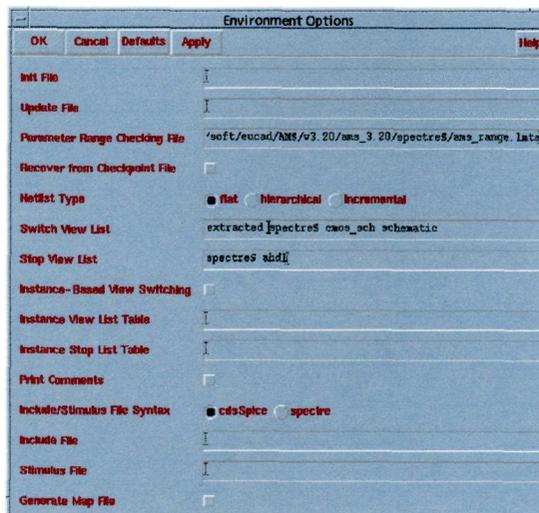


Figura 37. Environment options

Luego simulamos como se ha explicado en el apartado de simulación.