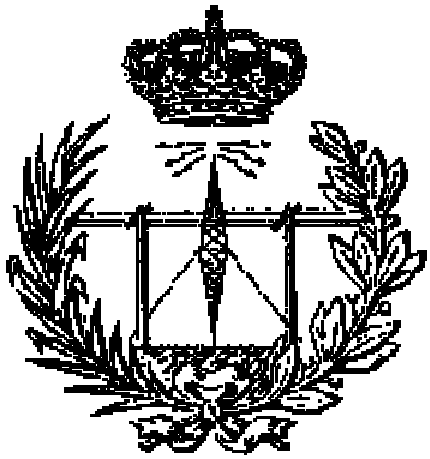
UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

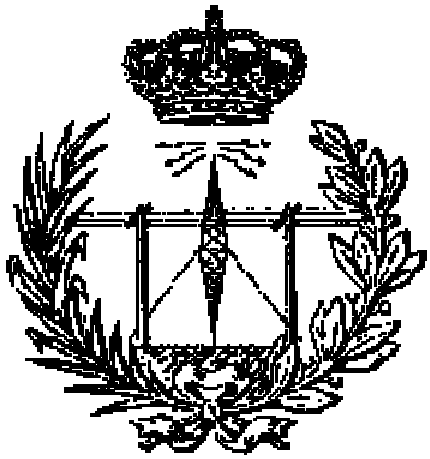
DISEÑO DE UN CONVERTIDOR DE CORRIENTE EN TECNOLOGÍA CMOS 0.35 μm

Titulación: Sistemas Electrónicos.
Autor: Albano Castillo García.
Tutores: Fco. Javier del Pino Suárez.
Roberto Díaz Ortega.
Fecha: Febrero 2009.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

DISEÑO DE UN CONVERTIDOR DE CORRIENTE EN TECNOLOGÍA CMOS 0.35 μm

Presidente: Secretario: Vocal:

Tutores: Autor:

NOTA:

Titulación: Sistemas Electrónicos.
Autor: Albano Castillo García.
Tutores: Fco. Javier del Pino Suárez.
Roberto Díaz Ortega.
Fecha: Febrero 2009.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Agradecimientos

Quiero agradecer en primer lugar a mis padres y a mi hermana porque son ellos quienes han hecho que sea la persona que soy. A ellos y a Marta les agradezco su apoyo incondicional, sus consejos y la confianza que han depositado en mí, porque sin lugar a dudas sin ellos esto no habría sido posible.

Sin la ayuda, consejos y guía de mis tutores, Javier del Pino y Roberto Díaz, este proyecto no habría sido posible, a ellos quisiera darles mis más sincero agradecimiento por estar siempre dispuestos a escucharme y a resolver mis dudas. Por otro lado, quisiera dar las gracias a Sunil, Hugo y Dailos por su ayuda, su tiempo y sus consejos a lo largo de este último año de proyecto.

También quisiera agradecer a todos los compañeros que he tenido durante la carrera, en especial a Gustavo, Saúl, Víctor Pérez, Eli, Cristina, Enara y Carlitos con los que he compartido inolvidables momentos durante este tiempo. No me quiero olvidar de Víctor González que fue la persona que me orientó y ayudó en los comienzos de esta carrera. Y como no a Miguel y Ricardo quienes siempre han estado ahí y me han ayudado y escuchado en nuestros trayectos a la universidad.

Y finalmente quisiera dar un especial agradecimiento a los oficiales de laboratorio Toni, Ramón y Marcos porque sin su colaboración y compresión todo hubiese sido mucho más complicado.

Sé que me queda gente por mencionar, a todos ellos y a todas las personas que me quieren y se alegran de que hoy esté aquí, ¡GRACIAS!

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Índice

1. Introducción

5.1 Introducción 1
5.2 Objetivos 5
5.3 Estructura de la memoria 5
5.4 Peticionario 6

2. Estudio de la tecnología

2.1 Introducción 7
2.2 Estructura 9
2.3 Funcionamiento 10
2.4 Modelo en baja frecuencia 15
2.5 Modelo en alta frecuencia 16
2.6 Tecnología CMOS y transistores MOSFET en la tecnología S35D4M5 de AMS 19
2.7 Conclusiones 22

3. Diseño de un amplificador operacional

3.1 Introducción 23
3.2 Parámetros a tener en cuenta en el diseño de un Amplificador 24
3.2.1 Ganancia 24
3.2.2 Ancho de banda 25
3.2.3 Slew Rate 25
3.2.4 CMRR 25
3.2.5 Máxima excursión de salida 26
3.2.6 Margen de fase 26
3.2.7 Margen de ganancia 26
3.2.8 *Offset* 27
3.2.9 Producto ganancia por ancho de banda 28
3.2.10 Ruido 28
3.2.11 Potencia disipada 28
3.2.12 Corriente de entrada 29
3.3 Etapa de entrada 29
3.4 Fuentes de corriente 32
3.4.1 Características ideales de un espejo de corriente 33
3.4.2 Espejo de corriente básico 33
3.4.3 Espejo de corriente cascodo 34

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.4.4 Espejo de corriente Wilson 35
3.4.5 Fuentes de corriente como cargas activas 36
3.5 Etapas de salida 38
3.6 Realimentación y compensación de un AO 41
3.6.1 Realimentación negativa 42
3.6.2 Estabilidad de amplificadores realimentado 42
3.6.3 Tipos de compensación 45
3.7 Diseño de un amplificador de transconductancia 46
3.7.1 OTA básico 46
3.7.2 Diseño de un OTA básico 47
3.8 Diseño de un amplificador operacional 52
3.9 Conclusiones 57

4. Los *current conveyors: t*eoría y práctica

4.1 Introducción 59
4.2 Circuitos en modo-corriente: breve historia de los *current conveyors* 60
4.2.1 Metodología del modo corriente 60
4.2.2 Breve historia de los *current conveyors* de primera y segunda generación 61
4.3 Topologías de CCIIs 74
4.3.1 El *current conveyor* ideal 74
4.3.2 El *current conveyor* real 75
4.3.3 Topologías de CCIIs 77
4.4 Amplificadores de transimpedancia basados en *current conveyors* 94
4.5 Conclusiones 96

5. Diseño del mezclador y optimización del CCII

5.1 Introducción 97
5.2 Teoría básica del Mezclador 97
5.3 Parámetros del mezclador 99
5.3.1 Ganancia de Conversión 99
5.3.2 Figura de ruido 99
5.3.3 Linealidad 101
5.3.3.1 Punto de compresión 101
5.3.3.2 Distorsión de intermodulación de tercer orden 102
5.3.4 Aislamiento 103
5.4 Tipos de mezcladores 104
5.5 Mezcladores CMOS pasivos basados en CCII 106
5.5.1 Mezcladores pasivos con amplificadores operacionales 106
5.5.2 Mezcladores pasivos con *current conveyors* 109

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.6 Diseño de un mezclador pasivo basado en CCIIs 109
5.6.1 Simulaciones de esquemáticos en *CADENCE* 109
5.6.2 Diseño a nivel de *layout* 119
5.6.3 Simulaciones *post layout* 133
5.7 Conclusiones 138

6. Conclusiones

6.1 Introducción 141
6.2 Resumen 141
6.3 Comparativa y conclusiones 143
6.4 Líneas futuras 146

Presupuesto 150

Bibliografía 157

Anexo A A. I

Anexo B B. I

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 1

Introducción

1.1 Introducción

En los útimos años los circuitos integrados analógicos han ido en la dirección de diseños de baja tensión y bajo consumo (*Low-Voltage and Low-Power*), producida por la tendencia a integrar muchos dispositivos en un sólo chip. *A*sí hoy en día podemos encontrar dispositivos móviles (ver Figura 1.1) que integran aplicaciones de alta calidad como: cámaras de fotos y videos, reproductores de música, video y radio, agendas electrónicas, visores de todo tipo de documentos, internet, etc. Este tipo de dispositivos moviles, cada vez más pequeños, requieren una duración larga de la bateria (bajo consumo), un área de integración muy reducida y todo ello a un bajo coste.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Figura 1.1 Aplicaciones disponibles en dispositivos móviles.

Además de estas aplicaciones, estos dispositivos integran conexiones infrarojas, GPS, WiFi, o Bluetooth, lo que ha hecho que las redes de área local inalámbricas (WLAN, *Wireless Local Area Networ*k) hayan ganado muchos adeptos y popularidad en toda la sociedad. La importancia de los sistemas inalámbricos reside en la posibilidad de tener acceso a la red en un momento y lugar específicos de una forma cómoda y por supuesto segura. Otro aspecto importante en este tipo de tecnologías es el hecho de que ya no se habla de un sistema estático sino que la red en sí es móvil, lo que hace que aumente de una forma exponencial las posibilidades que ofrece al usuario.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Originalmente las redes WLAN fueron diseñadas para el ámbito empresarial, pero en la actualidad, han encontrado numerosos campos de aplicación, tanto públicos como privados: entorno residencial y del hogar, grandes redes corporativas, PYMES, zonas industriales, campus universitarios, hospitales, ciber-cafés, hoteles, aeropuertos, medios públicos de transporte, entornos rurales, etc. Incluso son ya varias las ciudades en donde se han instalado redes inalámbricas libres para acceso a Internet.

Las WLANs son sistemas que se caracterizan por trabajar en bandas de frecuencia exentas de licencia de operación, lo cual dota a la tecnología de un gran potencial de mercado y le permite competir con otro tipo de tecnologías de acceso inalámbrico de última generación como UMTS o LMDS, ya que éstas últimas requieren un gran desembolso económico previo por parte de los operadores del servicio. Sin embargo, las redes WLAN obligan al desarrollo de una serie de equipos de bajo coste con unas prestaciones elevadas que hacen necesaria la intervención de los circuitos que lo componen.

Las ventajas de las WLANs sobre las redes cableadas se pueden resumir en los siguientes términos:

• **Movilidad**: Las redes inalámbricas pueden proporcionar a los usuarios de una LAN acceso a la información en tiempo real en cualquier lugar dentro de la organización. Esta movilidad incluye oportunidades de productividad y servicio que no es posible con una red cableada.

• **Simplicidad y rapidez en la instalación**: La instalación de una red inalámbrica es rápida y fácil. Además elimina la necesidad de tirar cable a través de paredes y techos.

• **Flexibilidad en la instalación**: La tecnología inalámbrica permite a la red ir donde la cableada no puede ir.

• **Coste reducido**: Mientras que la inversión inicial requerida para una red inalámbrica puede ser más alta que el coste en hardware de una LAN cableada, la inversión de toda la instalación y el coste del ciclo de vida puede ser significativamente inferior. Los beneficios y costes a largo plazo son superiores en ambientes dinámicos que requieren acciones y movimientos frecuentes.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

• **Escalabilidad**: Los sistemas de WLANs pueden ser configurados en una variedad de topologías para satisfacer las necesidades de las instalaciones y aplicaciones específicas. Las configuraciones son muy fáciles de cambiar y además es muy fácil la incorporación de nuevos usuarios a la red.

Como se ha comentado las redes inalámbricas están sufriendo un gran auge dentro de las tecnologías de la información, por está razón, es un campo donde se está invirtiendo gran cantidad de fondos en procesos de investigación y desarrollo.

En cualquier dispositivo para WLANs podemos encontrar, básicamente, una etapa de transmisión, una etapa de recepción y una etapa de procesado digital de señal. Centrandonos en el estudio de la etapa de recepción, en la Figura 1.2 se muestra el esquema genérico de una cadena de recepción. La parte analógica de la etapa de recepción está compuesta por un primer bloque de amplificación y filtrado encargado de acondicionar la señal procedente de la entrada, un el mezclador encargado de realizar la conversión de frecuencias y uno o varios bloques encargados de llevar a cabo el proceso de acondicionamiento y conversión analógico digital de la señal.

El presente trabajo se centra en el mezclador encargado de trasladar la señal de radiofrecuencias centrada en la banda de 5 GHz a frecuencias intermedias y una vez ahí amplificar la señal en frecuencias intermedias.

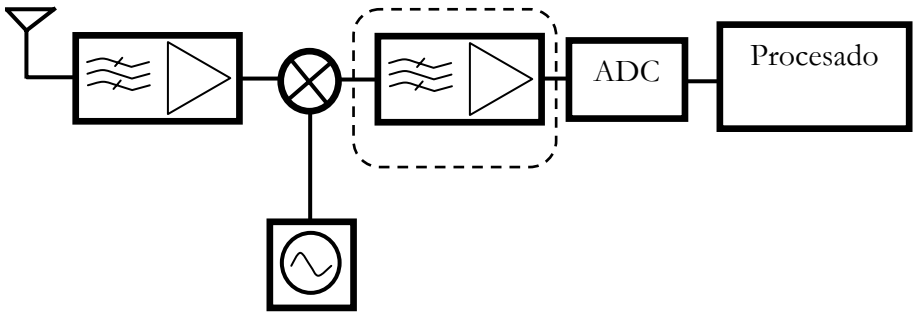


Figura 1.2 Etapa de recepción genérica.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

1.2 Objetivos

El principal objetivo de este proyecto fin de carrera es el diseño de un *current conveyor* como etapa de ganancia de un mezclador pasivo en tecnología CMOS 0,35 μm.

Para el diseño tanto del *current conveyor* como del mezclador inicialmente se llevará a cabo un estudio teórico para comprender los parámetros básicos de los sistemas de radiofrecuencia, el funcionamiento de los *current conveyor* y mezcladores y el estudio de la tecnología a emplear.

Una vez completado el estudio teórico se procede a la elaboración del diseño. Para la elaboración del mismo se seguirá el flujo de diseño típico en un sistema integrado, es decir, se partirá de un diseño a nivel de esquemático que poco a poco se irá optimizando para, posteriormente, pasar a la elaboración del *layout* del mismo y comprobar mediante simulación *post-layout* su validez. Una vez finalizadas las simulaciones de los diseños se procede al envío de los circuitos a fabricación, dando por finalizado el trabajo. Es digno de mención que al tratarse de un sistema analógico, el diseño a nivel de *layout* debe realizarse enteramente a mano ya que no se dispone de células estándar que faciliten el diseño del mismo (diseño *full-custom*).

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.3 Estructura de la memoria

La memoria se desarrollará en seis capítulos aconpañados de un anexo, del presupuesto y de la bibliografía. A continuación presentamos un breve resumen de cada capítulo.

En el capítulo 2 se hará un estudio de los dispositivos activos, los transistores MOS, de la tecnología CMOS 0,35 μm de la fundidora AMS. Empezaremos con un estudio teórico y finalizaremos con un pequeño estudio a nivel tanto de construcción como de funcionamiento de los transistores CMOS que proporciona la tecnología. Asimismo se analizan las diferentes opciones que proporciona el Kit de diseño de la tecnología en la

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

herramienta de diseño *CADENCE*.

En el Capítulo 3 veremos el diseño de un amplificador operacional. Para ello estudiaremos los parámetros más importantes de este tipo de circuitos, así como las diferentes etapas que lo componen (fuentes de corriente, etapas de entrada y salida, realimentación, etc). Tambien veremos el diseño de un amplificador de transconductancia (OTA) como paso previo al diseño del amplificador operacional.

En el Capítulo 4 estudiaremos a los *current conveyors*; sus conceptos teóricos, sus modelos y su evolución. Terminaremos realizado un amplio análisis mediante simulaciones con el ADS de diferentes topologías de *current conveyors*. En este proyecto hemos decidido mantener la nomenclatura original del "transportador o convertidor" de corriente (*current conveyor*), ya que creemos que con la traducción al castellano pierde sentido el significado de *current conveyor*.

En el Capítulo 5 se diseñarán el *current conveyor* y el mezclador tanto a nivel de esquemático como a nivel de *layout*. También veremos la teoría básica, los parámetros y los tipos de mezcladores, concluyendo esta primera parte del capítulo con los mezcladores pasivos CMOS basados en *current conveyors*. En la segunda parte optimizaremos el *current conveyor* elegído y veremos una serie de aspectos que nos permiten obtener un diseño óptimo a nivel de *layout*. Para finalizar se diseñarán los *layouts* y se realizarán las simulaciones *post-layout*.

Por último, en el Capítulo 6, se resumirán las principales conclusiones y líneas de trabajo abiertas a raíz de este proyecto. Por otro lado, se compara el diseño obtenido en este proyecto con otros trabajos similares y se describe como se han ido alcanzando los hitos y objetivos a lo largo del trabajo.

1.4 Peticionario

Actúa como peticionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 2

Estudio de la tecnología

2.1 Introducción

Antes de comenzar con el diseño debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología CMOS 0,35 μm de la fundidora AMS (*Austrian Microsystem*). De los dispositivos activos de esta tecnología sólo estudiaremos los MOSFET, ya que nuestro diseño constará únicamente de estos transistores, siendo la longitud de puerta mínima de 0,35 μm.

En este capítulo iniciamos el estudio del transistor de efecto de campo o FET (*Field Effect Transistor*). El FET se ha erigido como el dispositivo dominante en los circuitos integrados (CI) modernos y está presente en gran cantidad de circuitos semiconductores que se producen hoy en día. La capacidad de reducir en forma considerable el tamaño del FET ha hecho posible el poder inimaginable de los dispositivos portátiles apenas hace 20 años.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Existen varios dispositivos de efecto de campo diferentes. El primer dispositivo de efecto de campo comercialmente importante fue el transistor de efecto de campo de unión o JFET *(Join Filed Effect Transistor*) que ganó aceptación a principios de los años 1960. Este dispositivo proporcionaba una impedancia de salida alta y una ganancia de tensión de 8 a 16 en aplicaciones típicas. Las prestaciones en alta frecuencia eran deficientes en comparación al transistor de unión bipolar o BJT (*Bipolar Juntion Transistor*). El JFET tiene una relación entre la corriente y la tensión que hace de este dispositivo un buen mezclador de dos señales en aplicaciones de comunicaciones. El JFET nunca fue tan popular como el BJT, pero se volvió útil en la fabricación de CI de amplificadores operacionales con impedancias altas de entrada en las décadas de 1960 y 1970.

El transistor de efecto de campo de metal óxido semiconductor o MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) se introdujo a mediados de la década de 1960. Inicialmente, desde que W. Shockley descubriera el transistor de unión bipolar [1] el dominio de los diseños analógicos era de los bipolares. Los MOSFET sólo se empleaban para circuitos digitales, ya que disipaban poca potencia, su nivel de integración era mayor que otros transistores y el coste de fabricación era menor. El siguiente paso fue aplicar la tecnología MOS a diseños analógicos, sin embargo los MOSFET eran bastante más lentos y ruidosos que los bipolares. Pero pronto dominó el mercado de los circuitos integrados debido a la mejora de la tecnología de fabricación que resultó en una reducción de área y mejora de velocidad.

El MOSFET se convirtió en el dispositivo de efecto de campo más popular en las décadas de 1980 y 1990. Originariamente este dispositivo se formaba depositando una capa de óxido sobre el silicio, seguida por el depósito de una capa de metal sobre el óxido. En cambio, en los procesos actuales de fabricación se reemplaza la capa de metal por una de polisilicio. Aun cuando el acrónimo de MOSFET ya no es del todo exacto, se sigue aplicando a los dispositivos de silicio-óxido-silicio actuales [2]. Actualmente, el MOSFET es el transistor más utilizado en la industria microelectrónica. La práctica totalidad de los circuitos integrados de uso comercial están basados en este tipo de transistores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

2.2 Estructura

Un transistor MOS es un dispositivo que permite la amplificación de señales y la conmutación de ramas de circuito a una gran velocidad. Los terminales del transistor son:

- D, drenador o *drain*
- G, puerta o *gate*
- S, fuente, surtidor o *source*
- B, sustrato o *bulk*

Existen dos tipos de transistores MOS, los MOSFET tipo n o NMOS y los MOSFET tipo p o PMOS. Se diferencian dependiendo de que la corriente sea por electrones o por huecos, respectivamente.

En la Figura 2.1 se muestra un corte esquemático de dos transistores MOS y sus símbolos, uno tipo n y otro tipo p. En el caso del transistor tipo n, el surtidor y el drenador están formados por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formados por difusiones tipo p+ sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

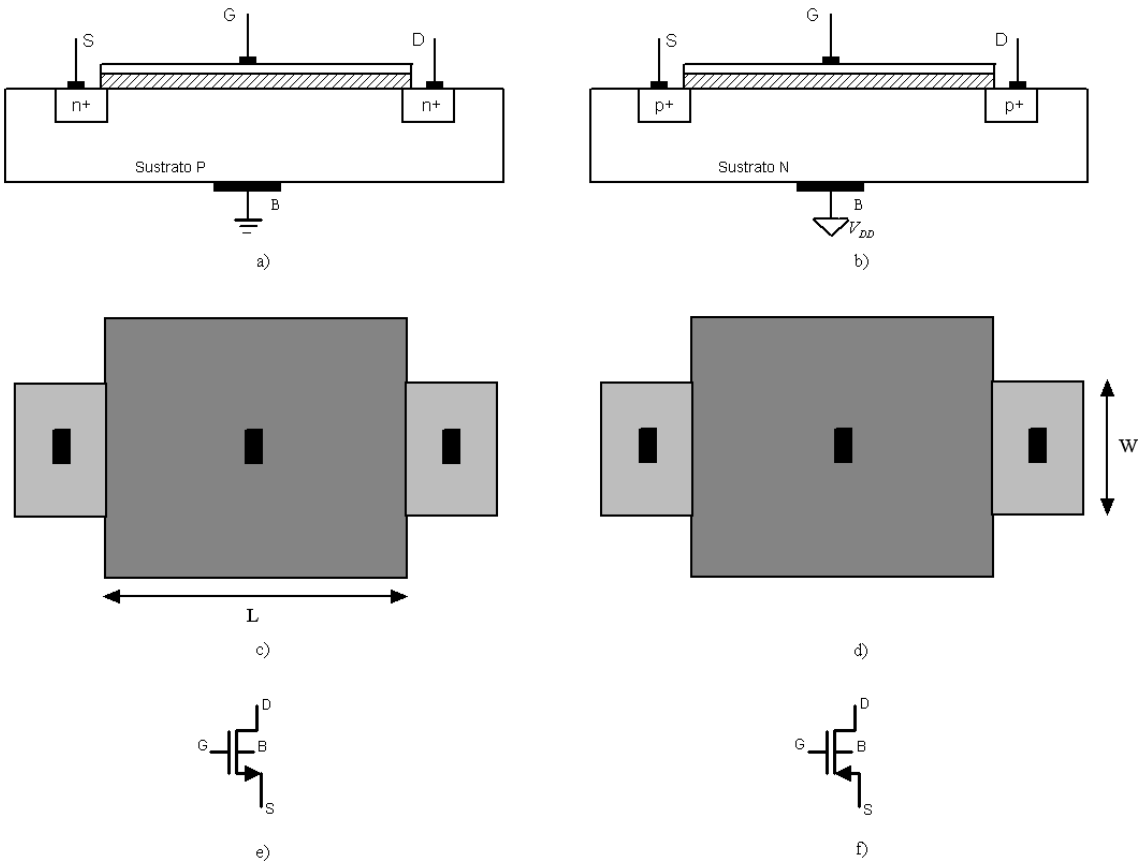


Figura 2.1 Corte esquemático de transistores MOSFET.

2.3 Funcionamiento

El principio de funcionamiento de los transistores MOS se basa en el uso de un campo eléctrico para la creación de un canal de conducción por donde circulará la corriente que podrá ser en forma de electrones o huecos. La tensión de puerta necesaria para que se produzca el canal se conoce como tensión umbral (V_T) y se fija aplicándole al sustrato una tensión constante.

Como se muestra en la Figura 2.2, si en un MOSFET tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor (V_{DS}), no circulará corriente entre los terminales de drenador y surtidor. Esto se debe a que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En esta situación se dice que el transistor NMOS se encuentra en corte. Para los PMOS las condiciones son las opuestas, tal y como se muestra en las ecuaciones 2.1 y 2.2.

Para los NMOS: $$V_{GS} \leq V_T ; V_{DS} > 0 \Rightarrow I_D = 0 \quad (2.1)$$

Para los PMOS: $$V_{GS} > V_T ; V_{DS} < 0 \Rightarrow I_D = 0 \quad (2.2)$$

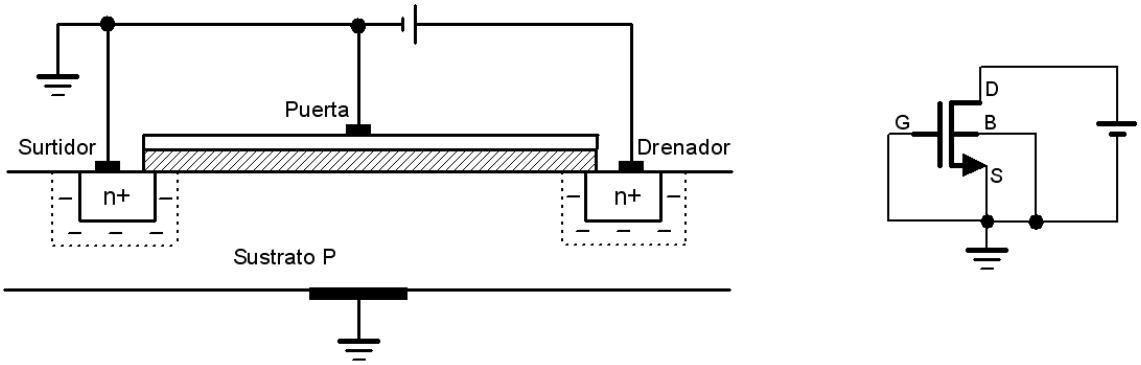


Figura 2.2 MOSFET tipo n en Corte.

Si se aumenta la tensión V_{GS}, este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la Figura 2.3. Por el contrario, los electrones se verán atraídos hacía la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS}, se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y el surtidor. Cuando se consigue la circulación de corriente del drenador al surtidor se dice que el MOSFET se encuentra en la región de tríodo o zona óhmica.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

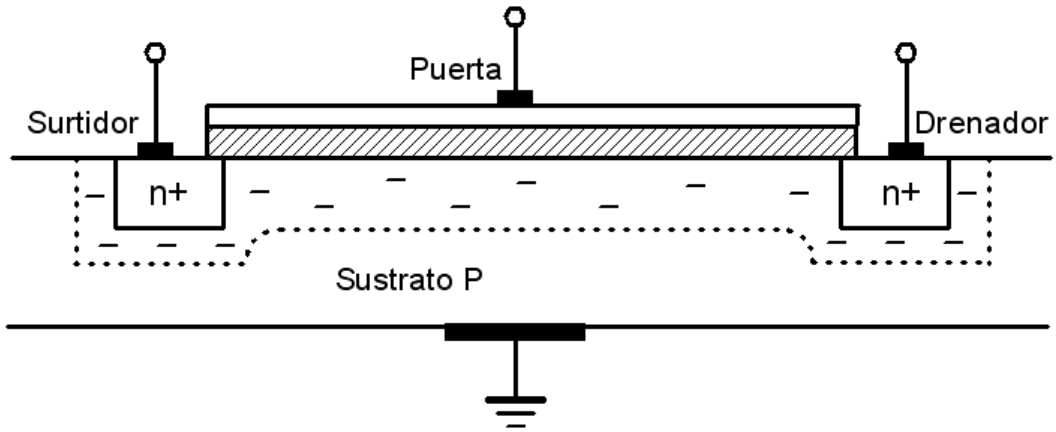


Figura 2.3 Detalle del MOSFET tipo n en zona óhmica.

Como ya hemos comentado el comportamiento del PMOS es análogo al del NMOS como podemos ver en las ecuaciones 2.3 y 2.4.

Para los NMOS:

$$V_{GS} > V_T ; 0 < V_{DS} \le V_{GS} - V_T \Rightarrow I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L}\left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.3)$$

Para los PMOS:

$$V_{GS} < V_T ; 0 > V_{DS} > V_{GS} - V_T \Rightarrow I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L}\left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.4)$$

Donde:

μ_n = Movilidad de los electrones

C_{OX}= Capacidad de puerta por unidad de área

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Como ya se ha comentado, cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS}, la corriente de drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la Figura 2.4.

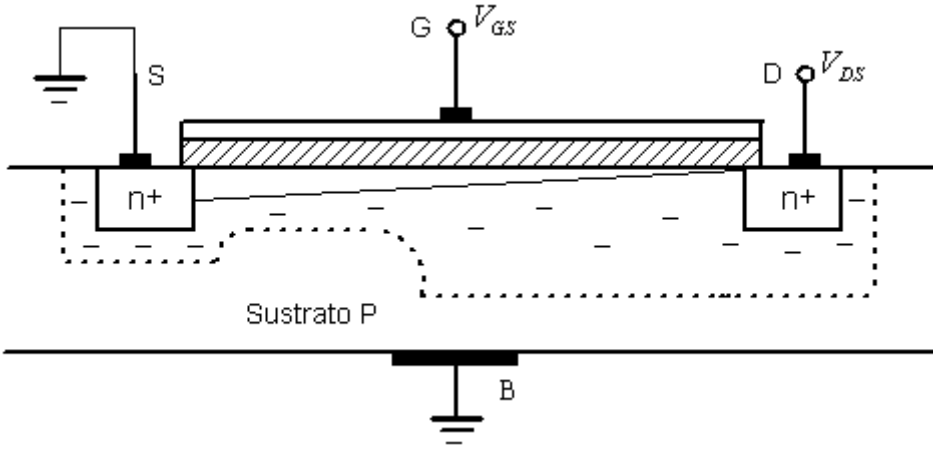


Figura 2.4 Detalle del MOSFET tipo n en zona de saturación.

Para un valor constante de V_{GS}, si V_{DS} se incrementa por encima del valor de estrangulamiento (V_{DSP}), el valor de la tensión V_{DG} se reduce hasta el punto en el que el extremo del canal junto al drenador tiene una densidad de electrones cero. A medida que la densidad de electrones en el extremo del drenador se aproxima a cero la resistencia del canal se incrementa drásticamente. Esta situación se conoce como estrangulamiento del drenador o simplemente estrangulamiento, y ocurre cuando la tensión de la puerta al drenador es igual a la tensión umbral, como se expresa en la ecuación 2.5:

$$V_{DSP} = V_{GS} - V_T \tag{2.5}$$

Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente en las siguientes condiciones:

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para los NMOS:

$$V_{GS} > V_T$$
$$V_{DS} > V_{GS} - V_T$$

Para los PMOS:

$$V_{GS} < V_T$$
$$V_{DS} < V_{GS} - V_T$$

En esta situación la corriente de drenador viene dada por la ecuación 2.6, diciéndose que el transistor se encuentra en zona de saturación. Cuando la V_{DS} aumenta por encima del límite de estrangulamiento, la corriente de drenador no continúa aumentando sino que se satura quedando constante.

$$I_D = \frac{\mu_n . C_{OX}}{2} . \frac{W}{L} (V_{GS} - V_T)^2 \qquad (2.6)$$

Donde:

μ_n = Movilidad de los electrones

C_{OX}= Capacidad de puerta por unidad de área

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

Al coeficiente $\mu_n.Cox$ se le denomina factor de ganancia y se denota K_n.

El modelo recogido en la ecuación 2.6 no coincide con las curvas experimentales del MOSFET. Para tener en cuenta esta discrepancia con el modelo ideal, basta con multiplicar la ecuación de la I_D por el factor $(1+\lambda \cdot V_{DS})$, según el modelo analítico de Sah [3], obteniendo la ecuación 2.7.

$$I_D = \frac{K_n \cdot}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 [1 + \lambda \cdot V_{DS}] \qquad (2.7)$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Donde λ es el factor de modulación de la longitud del canal. La ecuación 2.7 es válida únicamente para los valores de V_{DS} por encima de V_{DSP} (Región de Saturación). La presencia de λ en la ecuación de la corriente de drenador produce una ligera pendiente ascendente de la I_D con respecto a V_{DS}. Esta pendiente se debe al cambio en la longitud del canal conforme se incrementa la tensión V_{DS}. Esto es debido a que al acortarse el canal fluye más corriente por el mismo para un valor V_{GS} dado. Esto se denomina efecto de modulación del canal y se indica en la Figura 2.5.

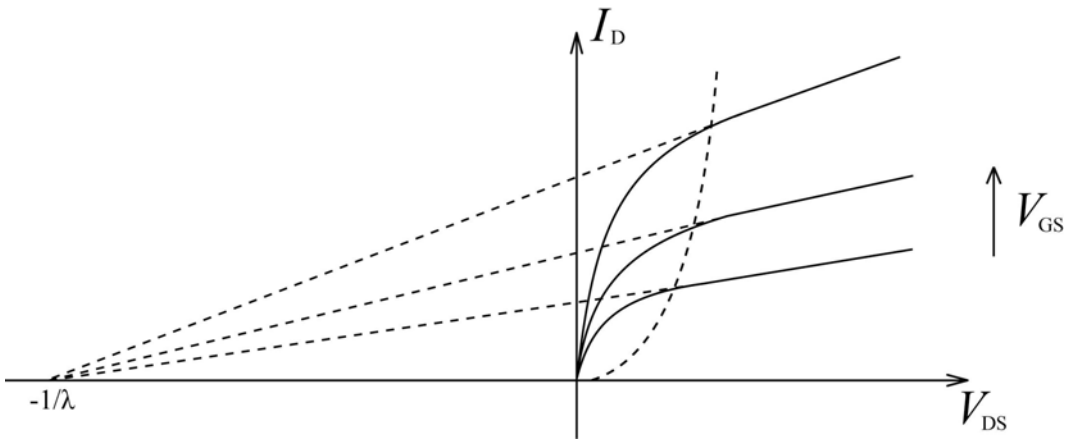


Figura 2.5 Efecto de la modulación de la longitud del canal.

A pesar de que el desarrollo anterior se refiere a un transistor MOSFET tipo n, en el caso del transistor MOSFET tipo p las ecuaciones son equivalentes, teniendo en cuenta que las tensiones puerta-surtidor, drenador-surtidor y umbral tienen signos contrarios, así que la corriente I_D en el MOSFET tipo p es de signo opuesto al del MOSFET tipo n.

2.4 Modelo en baja frecuencia

En la Figura 2.6 se muestra el modelo en baja frecuencia del transistor MOS trabajando en la región de saturación, viendo al transistor como una fuente de corriente controlada por tensión.

El parámetro g_m, es denominado parámetro de transconductancia del MOSFET y viene definido por la ecuación 2.8:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = K_n (V_{GS} - V_t)(1 + \lambda V_{DS}) \approx \sqrt{2K} \cdot \sqrt{I_D} \qquad (2.8)$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

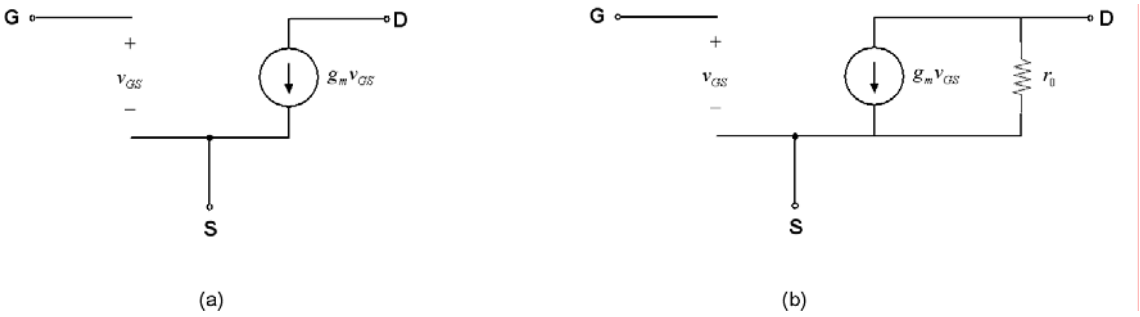


Figura 2.6 (a) Modelo de baja frecuencia del Mosfet, (b) incorporación de la modulación de la longitud del canal.

Siendo r_0 la resistencia dinámica de salida, que viene definida por la ecuación 2.9.

$$r_0 = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} = \frac{1}{\frac{1}{2} \cdot K_n \cdot \frac{W}{L} (V_{GS} - V_t)^2 \cdot \lambda} \approx \frac{1}{\lambda \cdot I_D} \tag{2.9}$$

Esta resistencia representa la impedancia de salida como consecuencia del efecto de modulación del canal.

2.5 Modelo en alta frecuencia

En la Figura 2.7 (a) se muestra el modelo de alta frecuencia del transistor MOS. Este modelo, conocido como *modelo de Shichman-hodges* [4], muestra las capacidades parásitas del MOSFET cuando trabaja a alta frecuencia. En la Figura 2.7 (b) y (c) se muestra más gráficamente donde se encuentran ubicadas estas capacidades.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

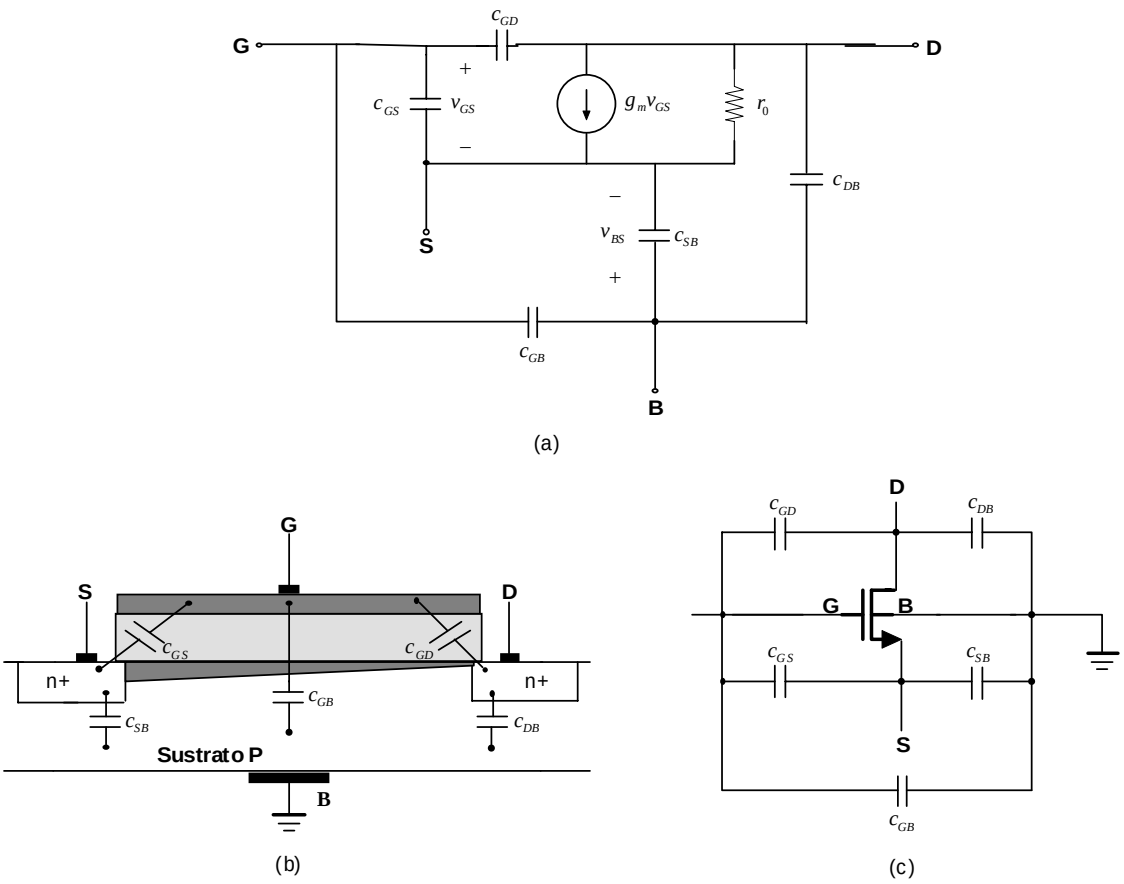


Figura 2.7 Modelo del MOSFET de Alta Frecuencia.

Se pueden considerar claramente dos familias de capacidades:

- Capacidades de la zona de carga espacial: Son las capacidades C_{DB} y C_{SB} y se producen en las uniones *PN* polarizadas inversamente (*depletion capacitances*). Son dependientes de la tensión y son causa del retardo y consumo indeseado cuando los terminales del transistor son nodos dinámicos. Son proporcionales al área y perímetro de las regiones del drenador y surtidor. Estas capacidades vienen dadas por las ecuaciones 2.10 y 2.11:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \tag{2.10}$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \tag{2.11}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Donde:

C_o = Densidad de la capacidad de la unión cuando la polarización de esta es nula.

V = Tensión directa de la unión.

ψ_o = Barrera de potencial.

m = Constante dependiente del tipo de unión.

- Capacidades en la zona de óxido: Estas capacidades aparecen entre el terminal de puerta y el resto de terminales del dispositivo. El valor de estas capacidades dependen de las variables de diseño, de las dispersiones en el proceso de fabricación y del estado en el que se encuentre el transistor.

Las principales capacidades de óxido son:

C_{GB} = Capacidad de óxido entre puerta y sustrato

C_{SG} = Capacidad de óxido entre surtidor y puerta

C_{GD} = Capacidad de óxido entre puerta y drenador

En la Tabla 2.1 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

Tabla 2.1 Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
$\mathbf{C_{GD}}$	$C_{OX}L_dW$	$C_{OX}L_dW+0{,}5C_{OX}LW$	$C_{OX}L_dW$
$\mathbf{C_{GS}}$	$C_{OX}L_dW$	$C_{OX}L_dW+0{,}5C_{OX}LW$	$C_{OX}L_dW+0{,}66C_{OX}LW$
$\mathbf{C_{GB}}$	$C_{OXd}W$	0	0

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Tabla 2.1 los parámetros implicados en las expresiones son:

C_{ox} = Capacidad de puerta por unidad de área

L_d = Distancia de difusión lateral que se produce bajo la puerta

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

2.6 Tecnología CMOS y transistores MOSFET en la tecnología S35D4M5 de AMS

La tecnología CMOS (*Complementary Metal Oxide Semiconductor*) requiere procesos más complejos que los necesarios para los dispositivos NMOS y PMOS. De hecho, la primera generación de tecnología MOS contenía únicamente transistores NMOS, ya que el alto coste del proceso de fabricación de los transistores CMOS parecía prohibitivo. Sin embargo, las ventajas de los dispositivos complementarios hicieron finalmente que la tecnología CMOS fuera dominante y dejaron obsoleta la tecnología NMOS.

Gracias a la tecnología CMOS es posible construir dispositivos NMOS y PMOS en la misma oblea. Aunque ambos requieran de diferentes tipos de sustrato, afortunadamente, podemos crear un sustrato tipo n local en un sustrato tipo p, acomodando así a los transistores PMOS, tal y como se muestra en la Figura 2.8 donde un pozo tipo n incluye un dispositivo PMOS, mientras que el transistor NMOS reside en el sustrato tipo p.

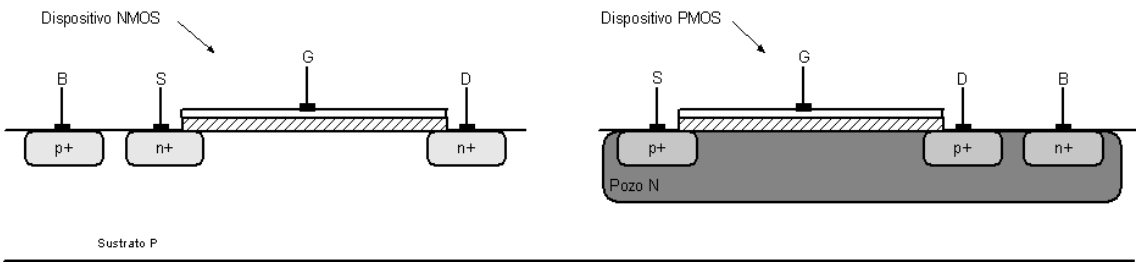


Figura 2.8 Tecnología CMOS

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Tabla 2.2 aparecen los parámetros más importantes de los transistores MOS suministrados por AMS dentro del Kit de diseño.

Tabla 2.2 Parámetros más importantes de los MOSFET

NMOS				
Parámetro	**Mínimo**	**Típico**	**Máximo**	**Unidad**
Tensión Umbral (V_t)	0,36	0,46	0,56	V
Factor de Ganancia (K_n)	155	175	195	$\mu A/V^2$
Den. Corriente Saturación	450	540	630	$\mu A/\mu m$

PMOS				
Parámetro	**Mínimo**	**Típico**	**Máximo**	**Unidad**
Tensión Umbral (V_t)	-0,50	-0,60	-0,70	V
Factor de Ganancia (K_n)	48	58	68	$\mu A/V^2$
Den. Corriente Saturación	-180	-240	-300	$\mu A/\mu m$

En la Figura 2.9 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

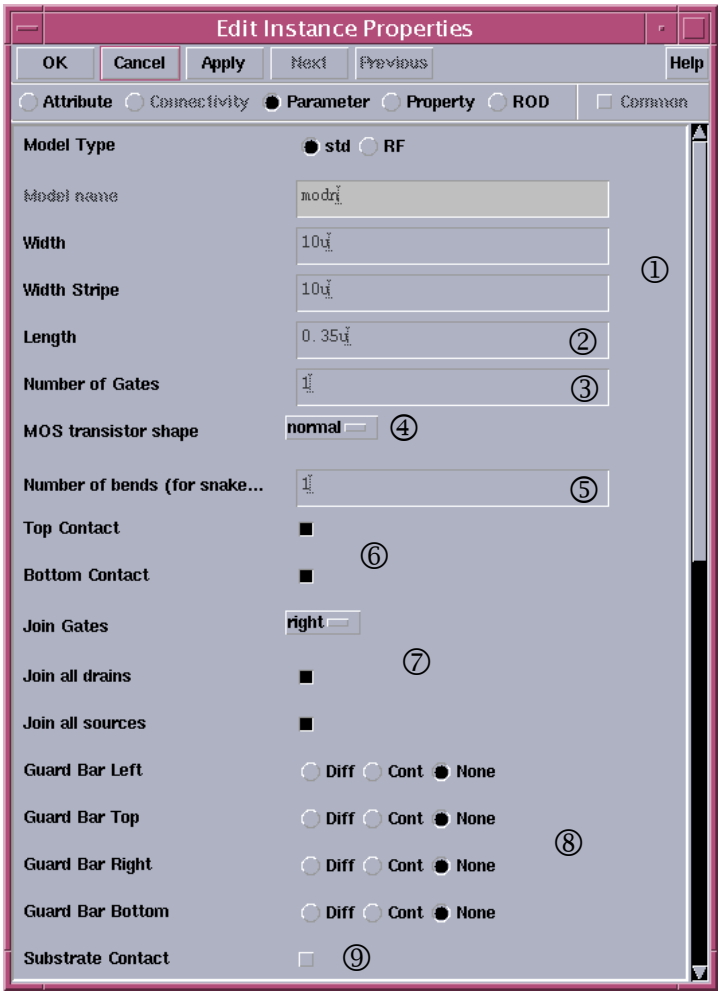


Figura 2.9 Parámetros en los MOSFET.

El significado de los números indicados en la Figura 2.9 es el siguiente:

① Ajuste del ancho del transistor.

② Ajuste de la longitud del canal del transistor.

③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.

④ Selección de un transistor normal o un transistor tipo *Snake* [5].

⑤ Selección del número de dedos para los transistores tipo *Snake*.

⑥ Colocación de contactos a ambos lados del transistor.

⑦ Unión de las Puertas, Drenadores y Surtidores.

⑧ Creación de anillos de guarda alrededor del transistor.

⑨ Colocación de contactos al sustrato para evitar el efecto *latch –up* [6] en el transistor

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A modo de ejemplo en la Figura 2.10 se muestra un transistor MOSFET tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el Kit de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

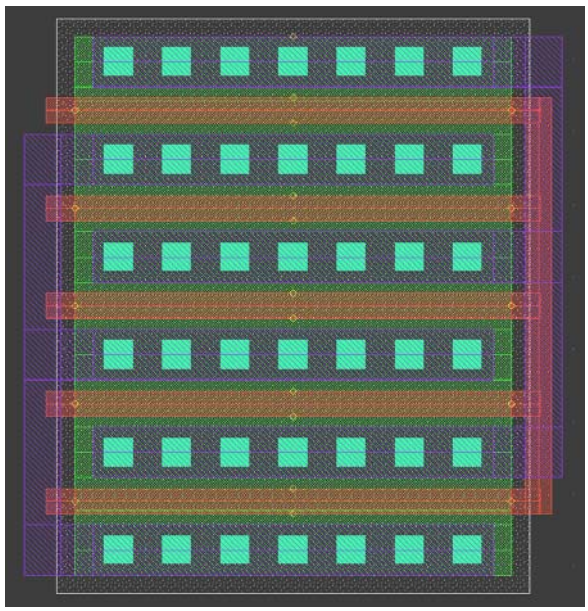


Figura 2.10 Ejemplo de transistor MOSFET.

2.7 Conclusiones

A lo largo de este capítulo hemos hecho un estudio teórico de los transistores MOS, desde sus comienzos hasta la tecnología que vamos a utilizar en nuestro diseño. Con esto hemos conseguido obtener una visión más profunda del comportamiento de los MOSFET y de las posibilidades que ofrece la tecnología S35D4 de AMS para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los transistores MOS y conocida la tecnología a emplear como herramientas básicas en nuestro diseño, en el próximo capítulo comenzaremos estudiando los parámetros más importantes a la hora de diseñar un amplificador operacional, los diferentes tipos de etapas de entrada y de salida, así como los tipos de compensación. Finalmente diseñaremos un amplificador de transconductancia como paso previo al diseño de un amplificador operacional de dos etapas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 3

Diseño de un amplificador operacional

3.1 Introducción

La mayor parte de los circuitos integrados analógicos están formados primordialmente de estos circuitos básicos conectados de forma tal que ejecuten la función deseada. Aunque es casi ilimitada la variedad de circuitos integrados estándar y específicos que caen dentro de la categoría de analógicos, estos incluyen a los amplificadores operacionales, reguladores de tensión, lazos de seguimiento de fase y los convertidores A/D y D/A.

Un amplificador operacional (AO) ideal es un amplificador de entrada diferencial y un solo terminal de salida con ganancia infinita, resistencia de entrada infinita y resistencia de salida nula. Aunque los amplificadores operacionales reales no tienen estas características ideales, por lo general su funcionamiento es lo suficientemente bueno para que en la mayor parte de las aplicaciones el comportamiento del circuito se aproxime al de un operacional ideal.

En este capítulo trataremos los parámetros más importantes a la hora de diseñar un amplificador operacional, los diferentes tipos de etapas de entrada y de salida, las fuentes de

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

corriente, así como la realimentación de los amplificadores operacionales y los tipos de compensación. Finalmente diseñaremos un amplificador de transconductancia (OTA) como paso previo al diseño de un amplificador operacional de dos etapas.

3.2 Parámetros a tener en cuenta en el diseño de un amplificador

Además de la ganancia y la velocidad, parámetros como la potencia de disipación, la tensión de alimentación, la linealidad, el ruido o la máxima excursión de salida juegan un papel importante en el diseño de cualquier amplificador. Además, las impedancias de entrada y de salida determinan como interactúa el circuito con las etapas precedentes y las consecutivas. En la práctica, la mayoría de estos parámetros se negocian unos con otros, haciendo una optimización multidimensional al diseño. La Figura 3.1 presenta un balance de muchos posibles cambios que podemos realizar en el diseño de amplificadores de alto rendimiento, requiriendo la intuición y experiencia para llegar a un compromiso aceptable.

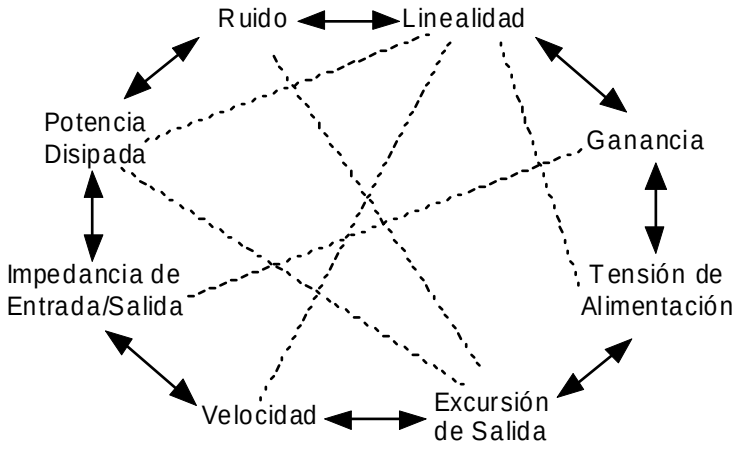


Figura 3.1 Octagono en el que se muestra los diferentes parámetros de un amplificador.

3.2.1 Ganancia

La ganancia de un amplificador viene dada por la relación de la señal de salida respecto a la señal de entrada. Normalmente la ganancia es adimensional, pero esto no siempre sucede, ya

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

que depende de la configuración del circuito. Su unidad de medida es el belio (B), así como sus múltiplos como el decibelio (dB). Cuando la ganancia es negativa hablamos de atenuación.

3.2.2 Ancho de banda

El ancho de banda de un amplificador es el rango de frecuencias en el que la ganancia es máxima. Para determinar su valor se toma como límite el valor de la frecuencia para el cual la ganancia cae a 3 dB con respecto a su valor máximo.

3.2.3 *Slew Rate*

En electrónica el *slew rate* es un efecto no lineal en los amplificadores. Representa la incapacidad de un amplificador para seguir variaciones rápidas de la señal de entrada. También se le define como la velocidad de cambio del voltaje de salida con respecto a las variaciones en el voltaje de entrada.

El *slew rate* de un amplificador se define como el rango máximo de cambio de la tensión de salida para las máximas señales de entrada posibles, por lo que limita la velocidad de funcionamiento, es decir la frecuencia máxima a la que puede funcionar el amplificador para un nivel de señal de salida dado.

$$SR = \left.\frac{dV_o}{dt}\right|_{\max} \tag{3.1}$$

El *Slew Rate* se expresa típicamente en unidades de V/μs.

3.2.4 CMRR

El CMRR o la Relación de Rechazo al Modo Común se define como la magnitud de la relación de la ganancia en modo diferencial a la de modo común. Cuando en V_- y en V_+ las tensiones son iguales, existe una pequeña señal de salida cuando lo ideal sería que ésta fuera cero. El CMRR es una medida del rechazo que ofrece la configuración a la entrada de tensión común [7].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El CMRR es positivo y se mide en decibelios y viene definido por la ecuación 3.2:

$$CMRR = 20 \cdot \log_{10}\left(\frac{A_d}{A_S}\right) \tag{3.2}$$

donde A_d es la ganancia diferencial.

$$A_d = \frac{A_o}{V_+ - V_-} \tag{3.3}$$

y A_s es la ganancia en el modo común

$$A_S = \frac{V_o}{V_S} \tag{3.4}$$

3.2.5 Máxima excursión de salida

La tensión máxima de salida, V_{OM}, se define como el máximo pico positivo o negativo de la tensión de salida que puede ser obtenida sin que se recorte la forma de onda, cuando la tensión de salida en DC es cero. La máxima excursión a la salida viene limitada por la impedancia de salida del amplificador, la tensión de saturación de los transistores de salida, y las tensiones de la fuente de alimentación.

3.2.6 Margen de fase

El margen de fase o PM (del inglés *Phase Margin*) es la diferencia del valor de la fase de un amplificador realimentado cuando el módulo de la ganancia en lazo abierto ($A\beta$) es igual a 0 dB menos 180º.

3.2.7 Margen de ganancia

El margen de ganancia en amplificadores realimentados es el valor del módulo de la ganancia en lazo abierto ($A\beta$) cuando la fase de $A\beta$=180º. Cuanto más haya caído este valor por debajo de 0 dB mejor será la respuesta transitoria en régimen permanente de un amplificador realimentado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.2.8 *Offset*

Todos los amplificadores operacionales requieren un pequeño voltaje entre sus entradas inversora y no inversora para equilibrar los desajustes debidos a las variaciones inevitables del proceso de fabricación. El voltaje requerido es conocido como *offset* de entrada, V_{os}. Normalmente, este voltaje se modela como una fuente de tensión conectada a la entrada no inversora. Generalmente, las entradas de los amplificadores operacionales bipolares ofrecen típicamente mejores parámetros de *offset* que las de los operacionales JFET o CMOS. Hay otros dos parámetros relacionados que afectan al V_{os}: el coeficiente de temperatura media del *offset* de entrada, y la deriva a largo plazo de la tensión de *offset* de entrada. El coeficiente de temperatura media del voltaje de *offset* de entrada específica la deriva del *offset* de entrada con la temperatura. Su unidad es $\left[\frac{mV}{^{o}C}\right]$. Este coeficiente se mide en los valores extremos de temperatura del dispositivo y, luego se obtiene $\frac{\Delta V_{os}}{^{o}C}$. El envejecimiento normal en semiconductores causa cambios en las características del dispositivo. La deriva a largo plazo del voltaje de *offset* de entrada especifica cómo se espera que cambie el V_{os} con el tiempo. Las unidades en que se miden son $\left[\frac{mV}{mes}\right]$. El voltaje de *offset* de entrada es motivo de preocupación en cualquier momento que se requiera precisión en DC del circuito. Una manera de eliminar el *offset* es usando las entradas externas de anulación de forma que se conecta un potenciómetro entre dichas entradas con el terminal ajustable conectado a la alimentación negativa directamente o con una resistencia en serie. El voltaje de *offset* de entrada se elimina cortocircuitando las entradas y ajustando el potenciómetro hasta que la salida sea cero. Sin embargo, puede ocurrir que si el V_{os} es eliminado al comienzo, éste puede cambiar con la temperatura y algunas otras condiciones [7].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

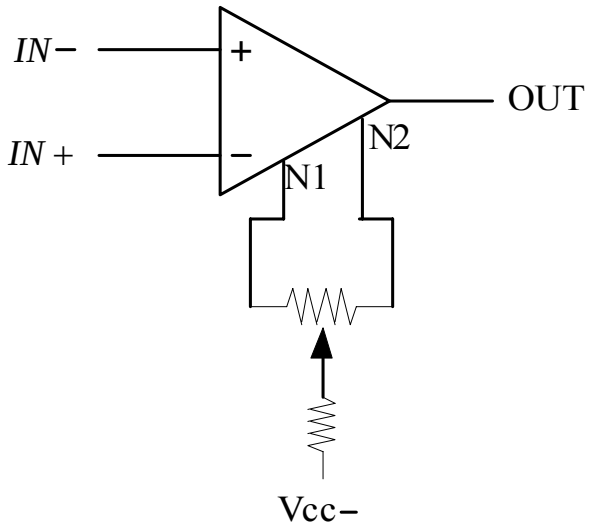


Figura 3.2 Ajuste del *offset* de tensión.

3.2.9 Producto ganancia por ancho de banda

El producto ganancia por ancho de banda o GBW (del inglés *Gain Bandwidth*) es el producto de la ganancia en lazo abierto por el ancho de banda a 3 dB.

3.2.10 Ruido

El ruido se debe, principalmente, a dos fuentes: al ruido térmico y al ruido *flicker* o 1/f. Dependiendo del rango de frecuencias de interés, será más importante una fuente que otra. A bajas frecuencias, el ruido 1/f es más importante, mientras que en altas frecuencias (o bajas corrientes) el ruido térmico juega un papel más importante.

3.2.11 Potencia disipada

Es un parámetro muy importante en cualquier diseño. Viene dada por el producto de la tensión de alimentación por la corriente suministrada por dicha fuente:

$$P = V \cdot I \tag{3.5}$$

Para circuitos integrados se suele expresar en mW.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.2.12 Corriente de entrada

Los circuitos de entrada de todos los amplificadores operacionales requieren una cierta cantidad de corriente de polarización para funcionar. La corriente de entrada de polarización, I_{IB}, se calcula como la media de las dos entradas:

$$I_{IB} = \frac{I_N + I_P}{2} \tag{3.6}$$

Las entradas que utilizan transistores CMOS y JFET necesitan una corriente mucho más baja que las de transistores bipolares. La diferencia entre la corriente de polarización en la entrada inversora y la no inversora se conoce como *offset* de corriente de entrada, $I_{OS} = I_N - I_P$. Típicamente el *offset* de corriente es de un orden de magnitud inferior a la corriente de polarización.

3.3 Etapa de entrada

La mayoría de los amplificadores integrados tienen como estructura básica de entrada una etapa de ganancia diferencial, que permite amplificar la diferencia de tensión entre dos nodos. Para realizar esta entrada diferencial, casi todos los amplificadores usan lo que comúnmente se llama un par diferencial.

En la primera etapa de cualquier amplificador operacional, es decir en la etapa diferencial, se definen los parámetros más críticos del amplificador como el CMRR o el ruido de entrada. Para conseguir una buena relación de rechazo al modo común debemos considerar el peor caso de la tensión umbral (V_T) de los transistores del par diferencial [8].

El hecho de amplificar una entrada diferencial tiene múltiples ventajas y aplicaciones: supresión de ruido en modo común, posibilidad de referenciar la entrada a tensiones distintas de los terminales de alimentación, realizar operaciones con dos señales unipolares y amplificar el resultado (operación básica para la realimentación), etc. [9].

En la Figura 3.3 se muestra un par diferencial junto con una fuente de corriente y su equivalente en pequeña señal.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

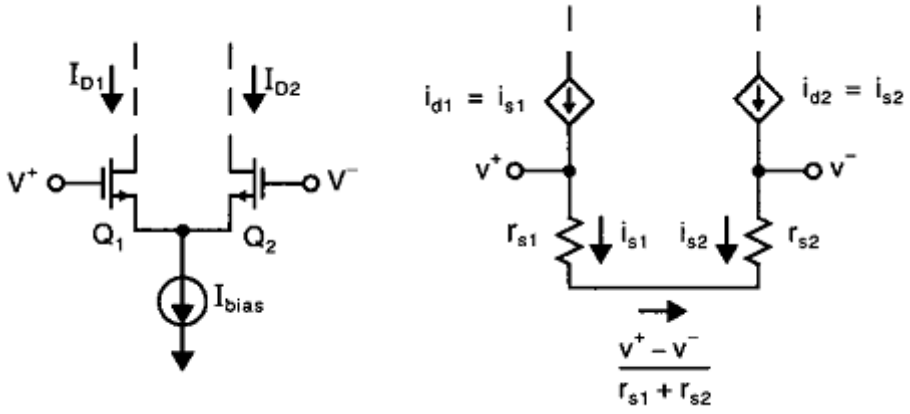


Figura 3.3 Par diferencial con fuente de corriente.

Si al par diferencial de la Figura 3.3 le añadimos un espejo de corriente como carga activa, se convierte en una entrada diferencial completa (Figura 3.4). Este circuito es la típica primera etapa de un amplificador operacional integrado clásico, en el cual el par diferencial es realizado usando transistores NMOS y la carga activa del espejo de corriente es realizado usando transistores PMOS.

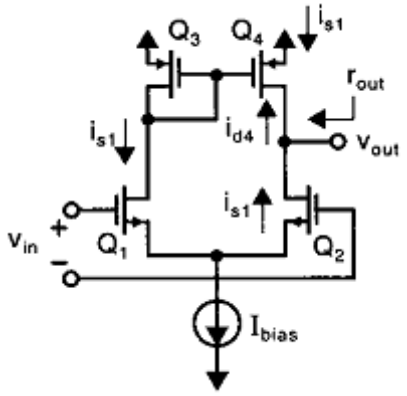


Figura 3.4 Amplificador diferencial con cargas activas.

El funcionamiento del circuito se puede intuir fácilmente considerando que el nodo de salida está conectado a una carga (entrada de la siguiente etapa). En el punto de trabajo, $V_{G1} = V_{G2}$, $V_{in} = 0$, la corriente de la fuente se reparte por igual por los transistores Q_1 y Q_2, $I_{D1} = I_{D2} = I_{bias}/2$, el espejo de corriente copia la corriente de Q_1 por Q_4, $I_{D4} = I_{D3} = I_{D1}$, y por lo tanto toda la corriente de Q_4 es absorbida por Q_2. Cuando la

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

entrada V_{in} se hace positiva, la corriente que circula por Q_1 se hace mayor que la que circula por Q_2, con lo cual la corriente que proporciona Q_4 es mayor que la absorbe Q_2, y aparece una corriente positiva hacia la carga que provoca un incremento de la tensión de salida V_{out} respecto a su punto de trabajo. Por el contrario, cuando V_{in} es negativa, la corriente proporcionada por Q_4 se hace menor que la absorbida por Q_2, lo que provoca una corriente negativa hacia la carga, y una disminución de la tensión de salida V_{out}.

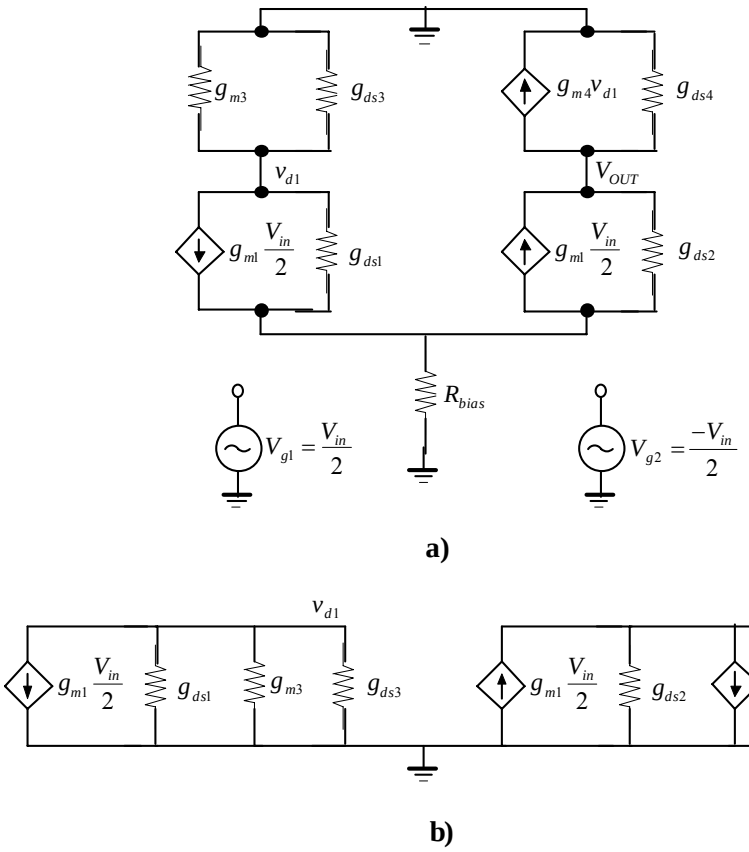


Figura 3.5 a) Modelo en pequeña señal para el circuito de la Figura 3.4. b) Simplificación suponiendo que no circula corriente a través de R_{bias}.

Para calcular la ganancia debemos analizar el circuito en pequeña señal de la Figura 3.5.a. En este circuito se ha supuesto que $v_{g1} = -v_{g2} = V_{in}/2$, y que Q_1 y Q_2 son iguales, mientras que R_{bias} representa la resistencia de salida de la fuente de polarización I_{bias}. Si se ignora la contribución de las corrientes a través de g_{ds1} y g_{ds2} sobre los surtidores del par diferencial, entonces la corriente a través de R_{bias} es nula, y el nodo correspondiente a los surtidores de

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Q_1 y Q_2 se comporta como una tierra AC virtual. De este modo, el circuito en pequeña señal se puede redibujar como en la Figura 3.5.b y posibilita un análisis más sencillo, del que se desprende que la ganancia del circuito es:

$$A_v = \frac{v_{out}}{v_{in}} = \frac{1}{2}\left(g_{m1} + \frac{g_{m1} \cdot g_{m4}}{g_{ds1} + g_{ds3} + g_{m3}} \right)\left(\frac{1}{g_{ds2} + g_{ds4}} \right) \tag{3.6}$$

Haciendo la suposición razonable de que $g_{m3} >> g_{ds1}$, g_{ds3}, y que $g_{m3} \approx g_{m4}$, la expresión anterior se puede simplificar en

$$A_v = \frac{v_{out}}{v_{in}} = g_{m1}\left(r_{ds2} \parallel r_{ds4} \right) \tag{3.7}$$

donde $r_{ds2} = \frac{1}{g_{de2}}$ y $r_{ds4} = \frac{1}{g_{de4}}$.

Esta ganancia se puede aumentar, igual que en los amplificadores unipolares, utilizando cargas cascodo [9].

3.4 Fuentes de corriente

Una de las partes más importantes de un diseño analógico es la polarización del circuito. El propósito del circuito de polarización es establecer un punto de operación en DC apropiado para el transistor. Con el punto de operación en DC establecido de forma correcta, la corriente de drenador I_D y la tensión drenador-fuente serán estables y medibles y aseguran la operación en la región de saturación para todas las señales de entrada con las que pueda encontrarse el circuito.

En este apartado estudiaremos tres tipos diferentes de espejos de corriente; el espejo de corriente básico, el espejo de corriente cascodo y el espejo de corriente Wilson. Las ventajas y desventajas de cada tipo de espejo de corriente serán analizadas en cada uno de ellos.

La capacidad de un espejo de corriente de mantener la corriente constante, el número de transistores usados y sus tamaños son los factores generales que definen si un espejo de

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

corriente es "bueno" o no. Estos factores deben ser considerados cuando se decide sobre el espejo de corriente que se va a utilizar en el diseño de un AO.

Las etapas activas de los amplificadores operacionales se suelen polarizar con fuentes de corriente. Normalmente, se implementan un número pequeño de fuentes primarias y son los espejos de corriente, más sencillos de construir, los encargados de llevar la corriente a los demás bloques del amplificador [9].

3.4.1 Características ideales de un espejo de corriente

Las características ideales de un espejo de corriente son:

- La corriente de salida es función lineal en de la corriente de entrada: $I_{out} = A \cdot I_{in}$
- La resistencia de entrada es nula.
- La resistencia de salida es infinita.

3.4.2 Espejo de corriente básico

La estructura de la Figura 3.6 formada por M1 y M2 es conocida como "espejo de corriente".

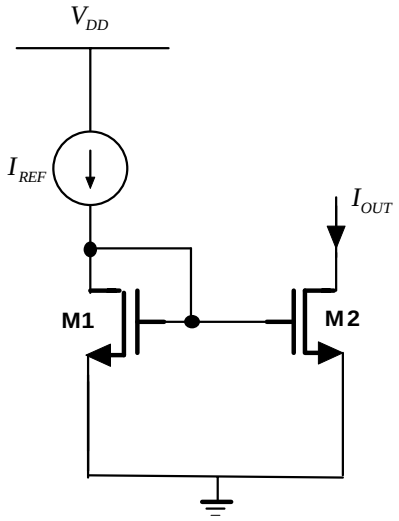


Figura 3.6 Fuente de corriente simple.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Generalmente, los dispositivos no tienen por qué ser idénticos. Si despreciamos la modulación del canal, se puede decir que:

$$I_{REF} = \frac{1}{2} \cdot \mu_n \cdot C_{OX} \left(\frac{W}{L} \right)_1 (V_{GS} - V_t)^2 \tag{3.8}$$

$$I_{out} = \frac{1}{2} \cdot \mu_n \cdot C_{OX} \left(\frac{W}{L} \right)_1 (V_{GS} - V_t)^2 \tag{3.9}$$

obteniendo

$$I_{out} = \frac{\left(W/L \right)_2}{\left(W/L \right)_1} \cdot I_{REF} \rightarrow \frac{I_{out}}{I_{REF}} = \frac{\left(W/L \right)_2}{\left(W/L \right)_1} \tag{3.10}$$

De la ecuación 3.10 podemos deducir que la relación entre las corrientes de las ramas viene dada directamente por la relación W/L de los transistores.

La principal ventaja de este espejo de corriente es su simplicidad y facilidad de implementación. Sin embargo, la mayor desventaja es que la corriente suministrada no es completamente estable. El espejo simple se utiliza en situaciones en las que se intente ahorrar componentes y espacio en un circuito integrado y en las que no se requiera una reflexión muy exacta [10].

3.4.3 Espejo de corriente cascodo

El circuito de la Figura 3.7 muestra un espejo de corriente cascodo. Este circuito es un poco más complejo que el espejo de corriente básico.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

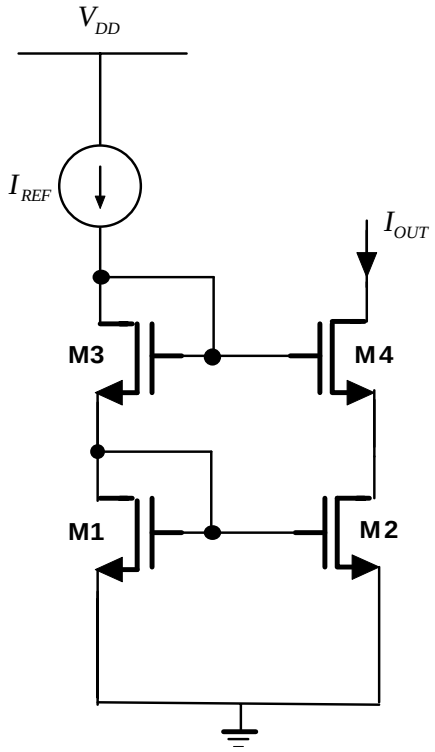


Figura 3.7 Fuente de corriente cascodo.

La principal ventaja de este diseño es que proporciona una corriente estable y el tamaño de sus transistores es relativamente pequeño. Además de esto, su impedancia de salida es muy elevada comparada con el espejo de corriente básico, como podemos comprobar en la ecuación 3.11 [11]. La principal desventaja de este tipo de espejo de corriente es que presenta un rango dinámico reducido. Además su funcionamiento no es del todo bueno a la hora de suministrar grandes cantidades de corriente, por ejemplo, para suministrar corriente a las etapas de salida.

$$R_o = r_{o3}\left[1 + \left(g_{m3} + g_{mb3}\right)r_{o2}\right] + r_{o2} \tag{3.11}$$

3.4.4 Espejo de corriente Wilson

Este circuito es menos complejo que el espejo de corriente cascodo y proporciona una corriente estable. Además proporciona características similares al espejo de corriente cascodo, aunque usando transistores de mayor tamaño. La estructura del espejo de corriente Wilson se

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

muestra en la Figura 3.8.

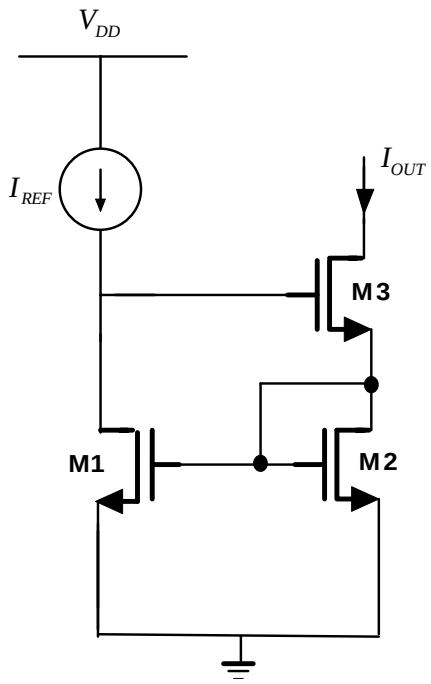


Figura 3.8 Fuente de corriente Wilson.

La fuente de Wilson se suele utilizar en situaciones en las que se exija un reflejo de corriente exacto. Este hecho es importante en los amplificadores diferenciales, ya que estos exigen que circule la misma corriente a través de las dos ramas del amplificador. En caso de no ocurrir así, aumenta el valor del *offset* y de la ganancia en modo común [10].

3.4.5 Fuentes de corriente como cargas activas

Una fuente de corriente además de actuar como circuito de polarización posee una impedancia equivalente en alterna de valor muy alto (teóricamente infinita) y, como la ganancia de la etapa depende de esta resistencia, esto produciría una ganancia infinita. En continua ofrecen mucha corriente. Por tanto, las fuentes de corriente se pueden utilizar como elementos de carga de amplificadores consiguiendo de esta manera cargas de un alto valor resistivo con un área de ocupación muy inferior con respecto a las resistencias de ese mismo valor. En la Figura 3.9 se muestra una aplicación de los espejos de corriente como cargas activas en un amplificador fuente común.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

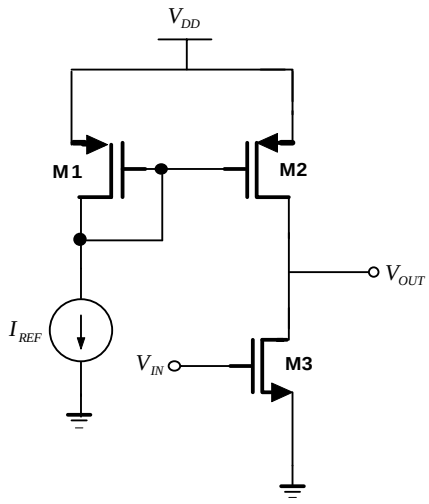


Figura 3.9 Amplificador de fuente común con un espejo de corriente como carga activa.

3.5 Etapas de salida

En muchas aplicaciones (sobre todo de tipo audio o radio frecuencia) la carga de salida de un circuito influye significativamente en sus prestaciones. En el caso de los amplificadores, muchas veces la carga de salida consiste en una resistencia R_L de valor bajo y una capacidad C_L grande. Por ello, la etapa de salida debe tener una baja impedancia de salida, para adaptarse a la carga y proporcionar corrientes elevadas para cargar y descargar la salida a la velocidad requerida [9].

El principal objetivo de la etapa de salida es funcionar como un transformador de corriente, y por ello, muchas etapas de salida tienen una alta ganancia en corriente y una baja ganancia de tensión. Los requisitos específicos de una etapa de salida son los siguientes:

1. Proporcionar suficiente energía en forma de tensión o corriente.
2. Evitar la distorsión de la señal.
3. Tener un alto rendimiento. (El rendimiento se define como la relación entre la potencia consumida de la fuente de alimentación y la potencia entregada a la carga).
4. Proporcionar protección a las condiciones anormales: cortocircuito, temperaturas altas, etc.

Una función importante de la etapa de salida es proporcionar al amplificador una baja resistencia de salida, de manera que pueda entregar a la carga una señal sin pérdidas de

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

ganancia. Debido a que la etapa de salida es la etapa final del amplificador, normalmente trabaja con señales relativamente grandes. Por esta razón, la linealidad es un aspecto muy importante a tener en cuenta. De hecho, una medida de la calidad de la etapa de salida es su distorsión armónica (THD, del inglés: *total harmonic distortion*).

Las etapas de salida se clasifican según la forma en que trabajan los transistores. Por ejemplo, en un amplificador Clase A, el transistor conduce durante todo el ciclo completo de señal de entrada, mientras en un amplificador Clase B, el transistor sólo conduce para medio ciclo de la señal de entrada. Para el caso de los amplificadores Clase AB, tenemos dos transistores polarizados de manera que cada transistor conduce para un intervalo ligeramente mayor a medio ciclo y las corrientes de salida se combinan en la carga.

a) Amplificadores de clase A

Estos amplificadores utilizan un sólo transistor que está siempre activo (Figura 3.10). Un transistor que está conduciendo continuamente soporta niveles considerables de tensión y corriente a través suyo. El producto de la tensión entre terminales del transistor por la corriente que circula por él se traduce en calor que debe disipar el dispositivo. Por esta razón el rendimiento de los amplificadores clase A está limitado a un máximo del 25% al 30%.

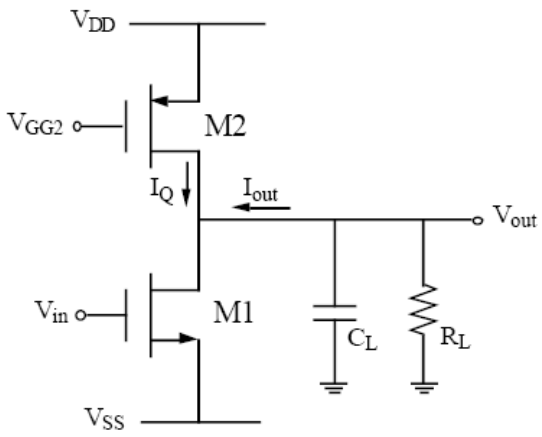


Figura 3.10 Amplificador de clase A.

b) Amplificadores de clase B (*Push-Pull*)

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Los amplificadores de clase B se construyen a partir de los de clase A utilizando dos transistores (ver Figura 3.11), cada uno de los cuales se encarga de conducir durante la parte negativa y positiva de la señal de salida, respectivamente. Por tanto, cada transistor está en conducción únicamente durante la mitad del tiempo, con lo que es posible aumentar el rendimiento. Además, estos amplificadores no consumen cuando la señal de entrada es nula. A pesar de ello, no se consigue un rendimiento máximo, dado que durante la conducción parte de la tensión debe caer entre los terminales del transistor para polarizarlo en la zona de funcionamiento correcto. Con estas topologías se puede llegar a alcanzar un rendimiento teórico para una señal sinusoidal del 78%.

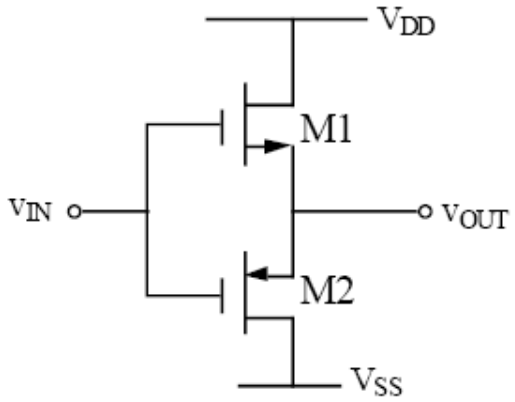


Figura 3.11 Amplificador clase B (etapa *push-pull*).

Un problema importante es la distorsión que se produce en los pasos por cero de la señal de salida. Cuando los transistores deben entrar en conducción estos están apagados, por lo que no habrá salida y se provoca una distorsión de cruce. La señal de entrada debe superar la tensión umbral de los transistores (PMOS o NMOS, dependiendo del signo de la salida) para que estos entren en conducción. Esto provoca distorsiones que, en muchos casos, no son admisibles [9].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

c) Amplificadores de clase AB

Para resolver el problema de la distorsión en los amplificadores de clase B se opta por un compromiso entre las dos estrategias anteriores (ver Figura 3.12). Durante los pasos por cero de la señal de entrada se permite un cierto consumo residual de ambos transistores para evitar distorsiones, con lo que el amplificador trabaja en clase A. En las partes de la señal lejos del cruce por cero el amplificador funciona en clase B. Los amplificadores clase AB tienen rendimientos entre los dos extremos anteriores, con un valor típico que no suele superar el 60%.

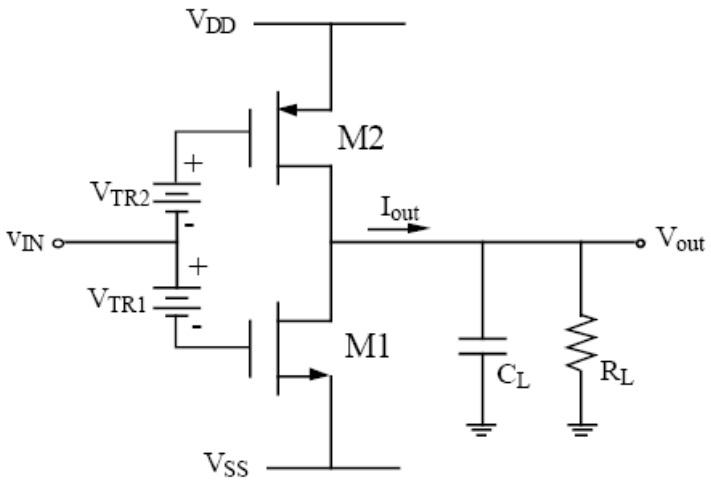


Figura 3.12 Amplificador clase AB.

La mayoría de las etapas de salida de los amplificadores integrados son de este tipo por el buen compromiso que presentan entre rendimiento y distorsión. Para conseguir evitar la distorsión se añaden en serie con la entrada y antes de las puertas de los transistores de salida, unas fuentes de tensión que añaden a la entrada una tensión fija, de forma que los transistores no quedan nunca polarizados por debajo de su tensión umbral. Estas fuentes de tensión en realidad se implementan mediante dispositivos activos que trabajan como referencia de tensión. En la Figura 3.13 se muestra un ejemplo de ello.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

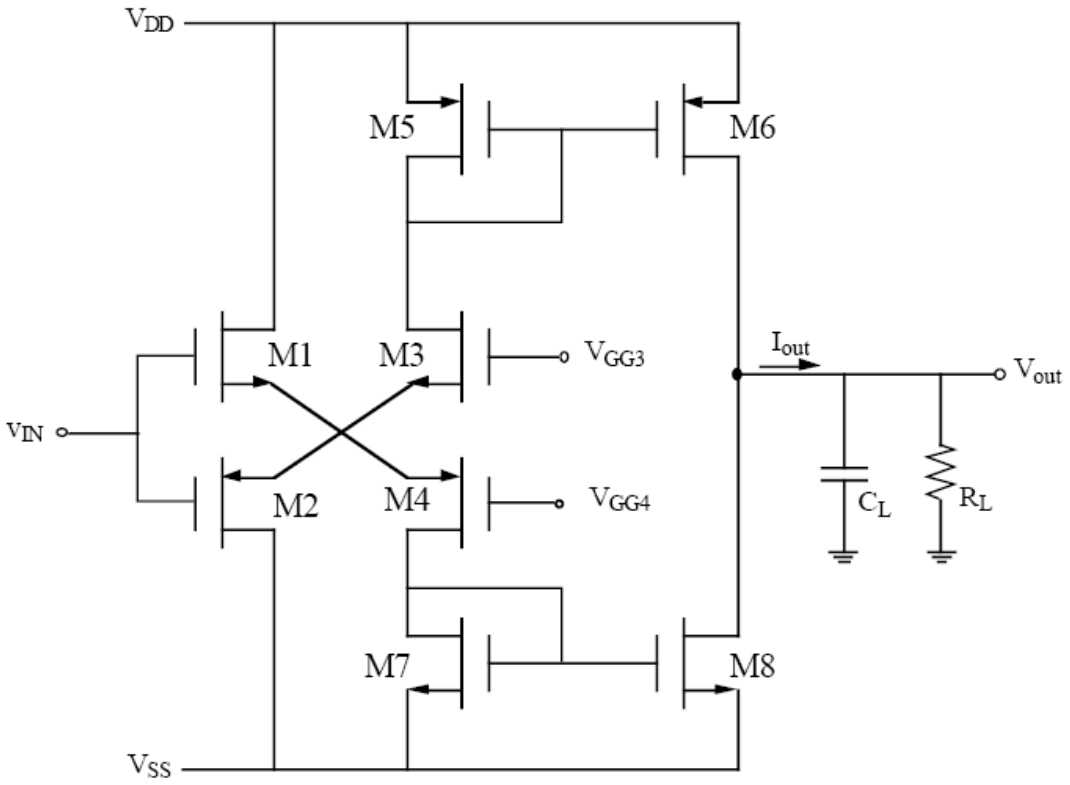


Figura 3.13 Implementación típica del amplificador clase AB.

3.6 Realimentación y compensación de un AO

La compensación óptima de los amplificadores operacionales se considerada como una de las partes más difíciles del procedimiento de diseño de los AOs. Los amplificadores operacionales pueden trabajar tanto en lazo cerrado como en lazo abierto dependiendo si se usa realimentación o no. En la configuración de lazo cerrado, la señal de salida se conecta a uno de los terminales de entrada. La realimentación negativa es la más usada para estabilizar la ganancia del amplificador contra la variación de los parámetros de los dispositivos activos debido a cambios en la tensión de alimentación, a los cambios de temperatura o al envejecimiento del dispositivo. La realimentación negativa se usa también para modificar las impedancias de entrada y salida del circuito, reducir la distorsión de la señal y mejorar el ancho de banda.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.6.1 Realimentación negativa

La realimentación negativa proporciona a los AO las siguientes propiedades:

- **Desensibilizar la ganancia:** hacer que el valor de la ganancia sea menos sensible a variaciones en los componentes del circuito, tales como las variaciones causadas por cambios en la temperatura.

- **Reducir la distorsión lineal:** hacer que la salida sea proporcional a la entrada y hacer la ganancia constante e independiente del nivel de la señal.

- **Reducir el efecto del ruido:** minimizar la contribución a la salida de las señales no deseadas generadas por los componentes del circuito.

- **Controlar la impedancia de entrada y salida:** elevar o disminuir las impedancias de entrada y salida.

- **Ampliar el ancho de banda del amplificador**.

Todas las propiedades anteriores se pueden obtener a costa de una reducción en la ganancia y del riesgo de que el amplificador se vuelva inestable (esto supone oscilación).

3.6.2 Estabilidad de amplificadores realimentados

Como ya hemos visto, la realimentación negativa nos ofrece importantes beneficios y mejoras en el funcionamiento del amplificador. Sin embargo, el realimentar un amplificador podría hacer que éste no se comportara bien o, incluso, que llegara a oscilar. Para determinar si un sistema es inestable se suele emplear el criterio de Nyquist mediante el diagrama de Bode.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 3.14 se muestra el diagrama de bloques de un sistema realimentado lineal genérico.

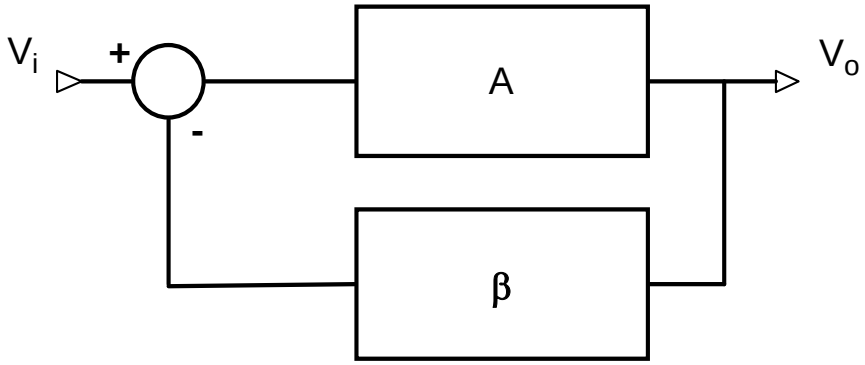


Figura 3.14 Configuración de circuito de realimentación.

En un sistema realimentado típico, la función de transferencia viene dada por la siguiente expresión [12],

$$A_F = \frac{v_o}{v_i} = \frac{A}{1 + A \cdot \beta} \tag{3.12}$$

Para el caso típico de que el producto $A\beta$ sea mucho mayor que la unidad, la función de transferencia viene determinada por la realimentación $(1/\beta)$, como se puede ver en la ecuación 3.13.

$$A_F = \frac{A}{1 + A \cdot \beta} = \xrightarrow{A\beta >> 1} A_F = \frac{1}{\beta} \tag{3.13}$$

El análisis de estabilidad de un sistema realimentado se basa en ver si para señal de entrada nula es capaz de generar o no una señal a la salida (Figura 3.15). En caso de que no haya señal a la salida se dice que el circuito es estable y cuando sí hay señal a la salida el circuito es inestable y oscila.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

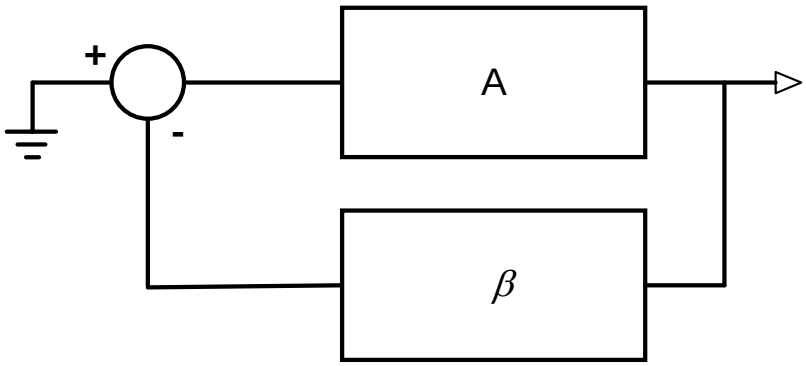


Figura 3.15 Análisis de estabilidad.

La estabilidad de un circuito se puede analizar gráficamente observando su diagrama de Bode. Así, el circuito es estable si no presenta ganancia cuando el desfase es de 180º (Figura 3.16) y es inestable si la ganancia es positiva para ese mismo desfase (Figura 3.17). Normalmente, para asegurar la condición de estabilidad se suele especificar una distancia de seguridad denominada margen de fase.

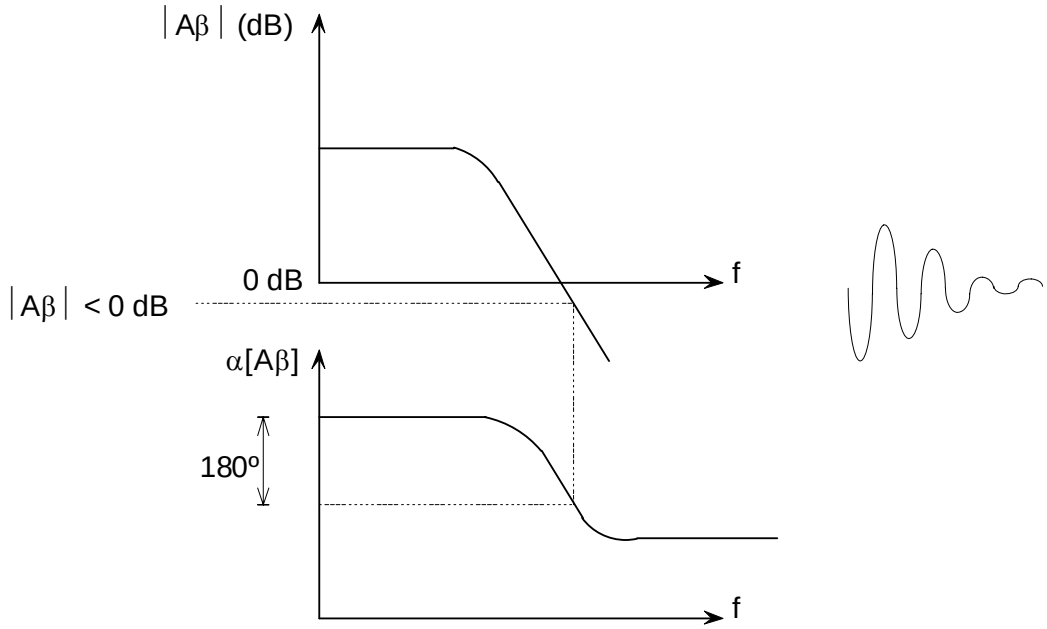


Figura 3.16 Circuito estable (no oscila).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

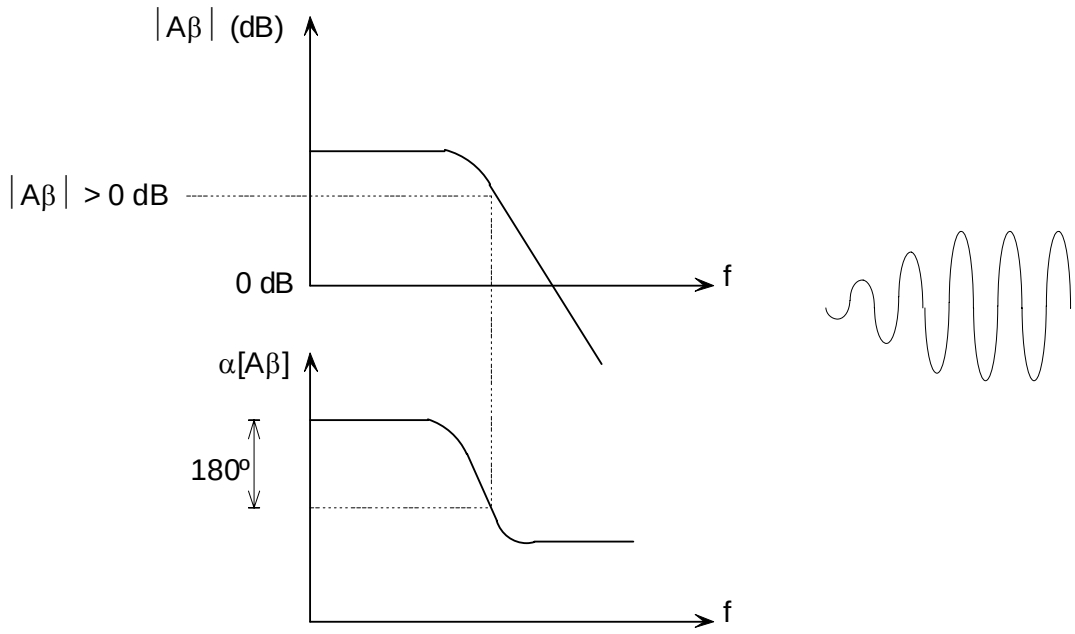


Figura 3.17 Circuito inestable (oscila).

3.6.3 Tipos de compensación

Como hemos visto en el apartado anterior, los amplificadores realimentados pueden ser inestables. Las técnicas de compensación son métodos que permiten corregir la respuesta de los amplificadores realimentados. Las técnicas más utilizadas son [13]:

- Limitación de β: se trata de controlar la estabilidad limitando el valor de la ganancia de la red de realimentación (β).

- Polo dominante o Miller: se basa en introducir un polo a una frecuencia suficientemente baja y de este modo se convierta en dominante para eliminar la ganancia de tal forma que los 0 dB lleguen cuando la fase esté suficientemente alejada de los -180º

- Polo-cero: esta técnica introduce un cero en alta frecuencia y un polo en baja frecuencia. Las ventajas de este método sobre el anterior es que se obtiene mejor ancho de banda. Para escoger la situación de cada uno se puede jugar con dos elementos: un polo y un cero. Un método muy utilizado consiste en situar el cero sobre el primer polo, y luego seguir el método de compensación de Miller.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

- Adelanto de fase: es el método más difícil de realizar en la práctica, pero que se consiguen anchos de banda mayores que con los anteriores. Esta técnica se basa en una red como la mostrada en la Figura 3.18.

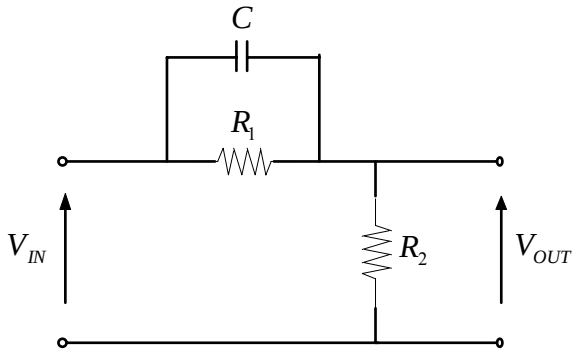


Figura 3.18 Red de compensación por polo cero.

Esta red funciona a frecuencias bajas como atenuador, con un factor de $\frac{R_2}{R_1 + R_2}$ y a frecuencias altas tiene ganancia unidad. Lo que se busca en esta técnica es la mayor separación entre polos posible y situar el cero sobre el segundo polo. De esta manera conseguimos que sobre la función con ese cero, el tercer polo pase a ser el segundo y la distancia entre el primero y el segundo aumente.

3.7 Diseño de un amplificador de transconductancia

3.7.1 OTA básico

El amplificador de transconductancia (OTA del inglés *Operational Transconductance Amplifier*) ideal no es más que una fuente de corriente controlada por tensión de ancho de banda infinito, con una impedancia de entrada y de salida infinitas. Mientras que los amplificadores operacionales son fuentes de tensión controladas por tensión, los OTAs son fuentes de corriente controladas por tensión.

El símbolo usado para los OTA se muestra en la Figura 3.19 junto con el circuito equivalente en pequeña señal.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

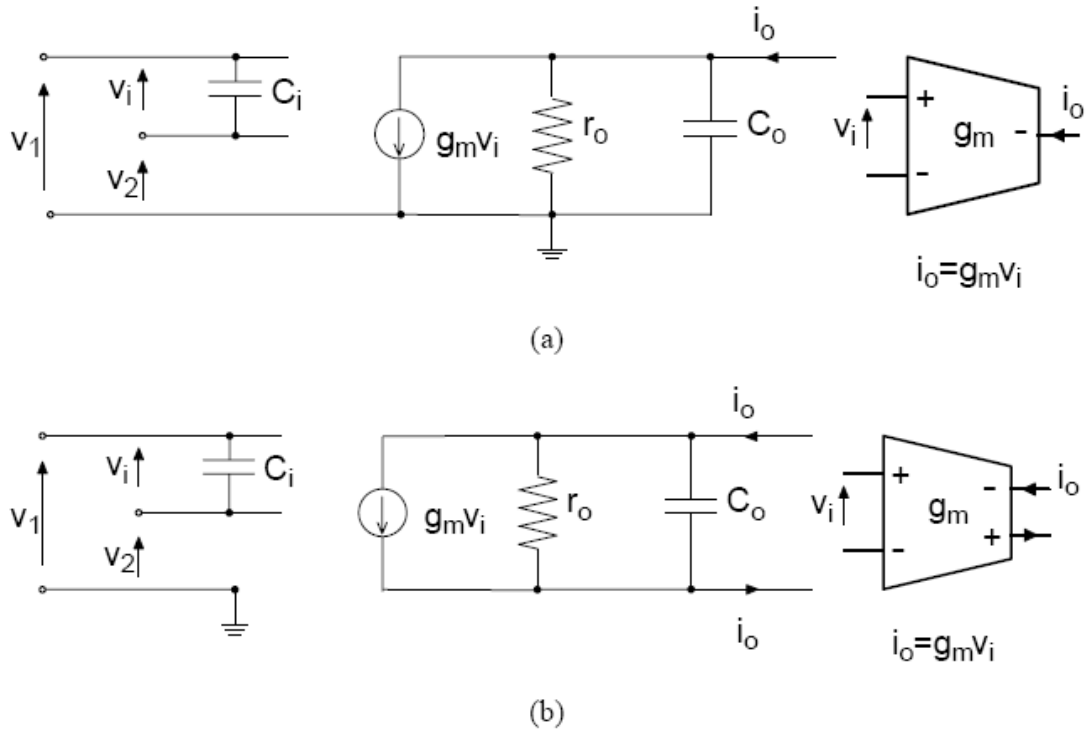


Figura 3.19 Símbolos de los OTA asimétrico (a) y diferencial (b) con sus equivalentes en pequeña señal.

3.7.2 Diseño de un OTA básico

Como vimos en el apartado anterior, un transconductor es, idealmente, una fuente de corriente controlada por tensión, con un ancho de banda infinito y con unas impedancias de entrada y salida infinitas. Sin embargo, este tipo de especificaciones son imposibles de tener en un circuito real y, por tanto, tendremos que trabajar con especificaciones más moderadas.

En los últimos años se ha desarrollado un elevado número de transconductores y, tanto su diseño como sus circuitos, se pueden encontrar en la literatura. En [14] se hace un amplio repaso de las arquitecturas de transconductores basadas en tecnologías CMOS más utilizadas.

El transconductor que hemos elegido para hacer este diseño es el de un OTA básico como paso previo al diseño de un amplificador operacional de dos etapas. En la Figura 3.20 se muestra la estructura de un OTA básico.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

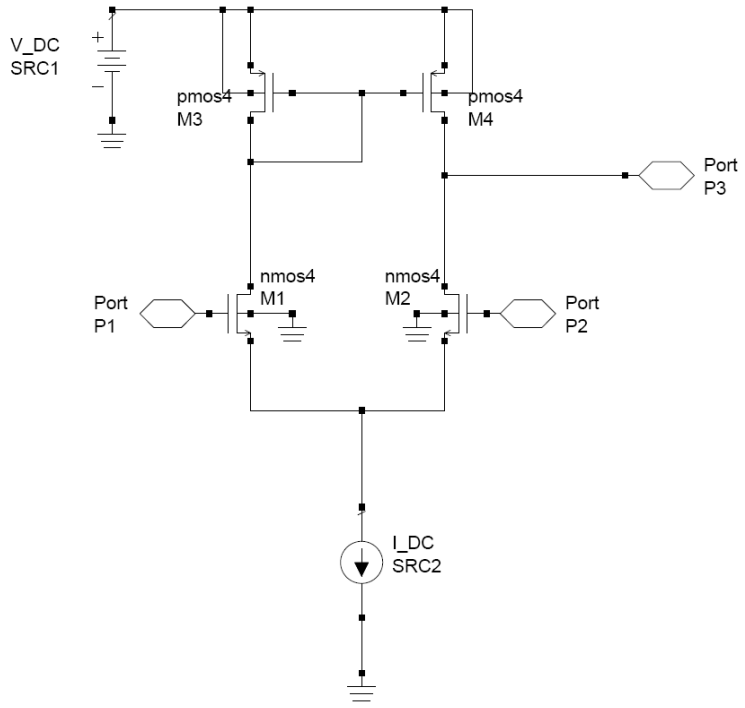


Figura 3.20 OTA básico.

El diseño de este transconductor se hará de forma sencilla para obtener un ancho de banda y una ganancia aceptable para un bajo consumo. Lo primero que haremos es definir las corrientes por cada rama del transconductor a partir de la ecuación 3.14 de un MOSFET tipo n en saturación estudiada en el capítulo 2.

$$I_D = \frac{1}{2}\mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \cdot (V_{GS} - V_T)^2 \tag{3.14}$$

Como queremos que los transistores trabajen en la región de saturación, llamaremos V_{sat} a:

$$V_{sat} = V_{GS} - V_T \tag{3.15}$$

Sustituyendo V_{sat} en la ecuación 3.14, tenemos:

$$I_D = \frac{1}{2}\mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \cdot (V_{sat})^2 \tag{3.16}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Las ecuaciones anteriores son las que vamos a utilizar para el diseño del transconductor, pero es necesario definir antes los valores de algunos parámetros que las componen. Para empezar hemos fijado la fuente de corriente a 100 μA, la tensión de saturación (V_{sat}) en el par diferencial será de 0,3 V y en la carga activa será de de 0,2 V. De esta manera dejamos suficiente tensión para los transistores de la fuente de corriente y para la excursión de salida. Otro parámetro cuyo valor será también independiente al tipo de transistor es el de L = 0.5 μm.

El último parámetro que queda por definir es el factor de ganancia *K*. Este parámetro depende del tipo de transistor con el que estemos trabajando, (tipo p o n), aunque las ecuaciones para ambos sean las mismas, con la salvedad de que para el caso de los p la corriente va en sentido contrario a la de los NMOS (como ya vimos en el capítulo 2). Según la información proporcionada por la fundidora [15] el factor de ganancia de los transistores tipo n es $K_n = 150\mu A/V^2$ y la de las tipo p es $K_p = 45\mu A/V^2$.

Una vez definidos los parámetros con los valores oportunos, pasaremos al diseño teórico. Empezaremos calculando la W_n de los transistores del par diferencial (M1 y M2) a partir de la ecuación 3.17, obteniendo:

$$W_n = \frac{2 \cdot I_D \cdot L_n}{K_n (V_{sat})^2} \tag{3.17}$$

$$W_n = \frac{2 \cdot 50\mu A \cdot 0{,}5\mu m}{150\mu A/V^2 \cdot (0{,}3)^2} = 3{,}7\mu m$$

Para calcular la W_p de los transistores de la carga activa utilizamos la siguiente ecuación:

$$W_p = \frac{2 \cdot I_D \cdot L_p}{K_p (V_{sat})^2} \tag{3.18}$$

$$W_p = \frac{2 \cdot 50\mu A \cdot 0{,}5\mu m}{45\mu A/V^2 \cdot (0{,}2)^2} = 27{,}78\mu m$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Por último vamos a calcular las transconductancias de los transistores del par diferencial y de la carga activa a partir de la siguiente ecuación:

$$g_m = K_n \cdot \frac{W_n}{L_n} \cdot V_{sat} \tag{3.19}$$

Sustituyendo los valores para el transistor NMOS, tenemos una transconductancia de:

$$g_m = 150\mu \cdot \frac{3{,}7\mu}{0{,}5\mu} \cdot 0{,}3 = 99{,}98\mu S$$

Para verificar que son correctos los cálculos realizados o, simplemente, para verificar que los resultados obtenidos por las ecuaciones de los transistores tipo n se aproximan a los obtenidos en las ecuaciones de los de tipo p, a continuación calcularemos la transconductancia de los transistores PMOS.

$$g_m = K_p \cdot \frac{W_p}{L_p} \cdot V_{sat} \tag{3.20}$$

$$g_m = 45\mu \cdot \frac{27{,}78\mu}{0{,}5\mu} \cdot 0{,}2 = 100{,}008\mu S$$

Podemos comprobar que hemos obtenido el mismo valor de transconductancia en las dos ecuaciones. En la Figura 3.21 se muestra como quedó, finalmente, nuestro circuito.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

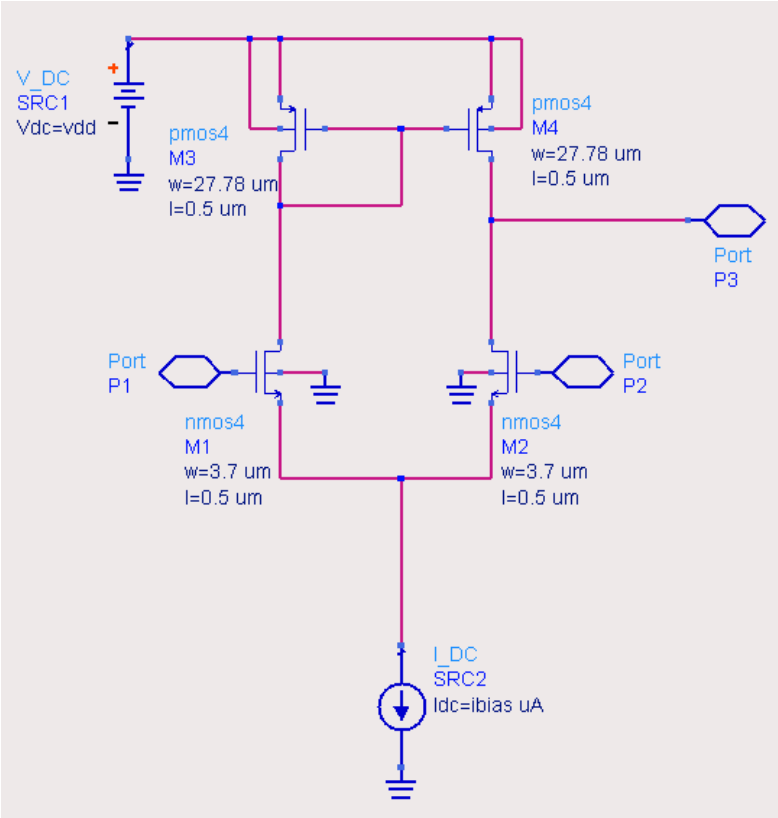


Figura 3.21 Diseño del OTA básico.

Para poder simular nuestro OTA tenemos que convertir la tensión de entrada asimétrica del generador a tensión diferencial con un transformador o "balun" tal y como se muestra en la Figura 3.22. En esta figura también se muestra el esquema de simulación en AC.

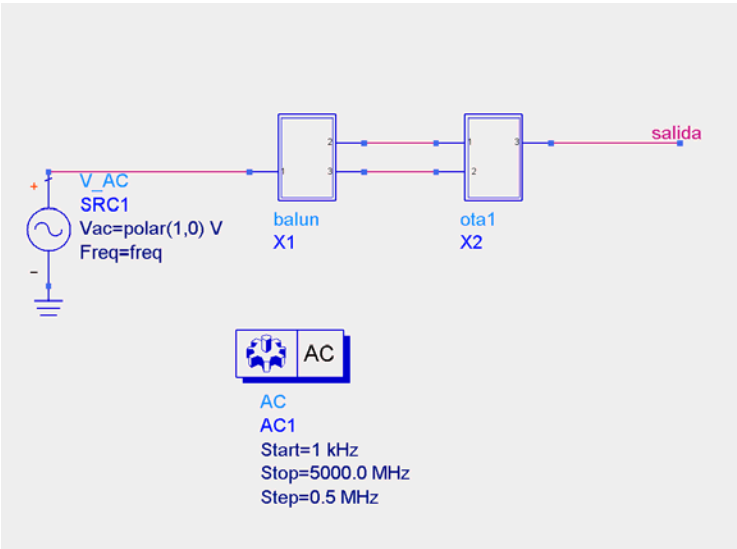


Figura 3.22 Esquema de simulación en AC del OTA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Los resultados de la ganancia, la frecuencia de corte y el margen de fase de la simulación en AC son los mostrados en la Figura 3.23.

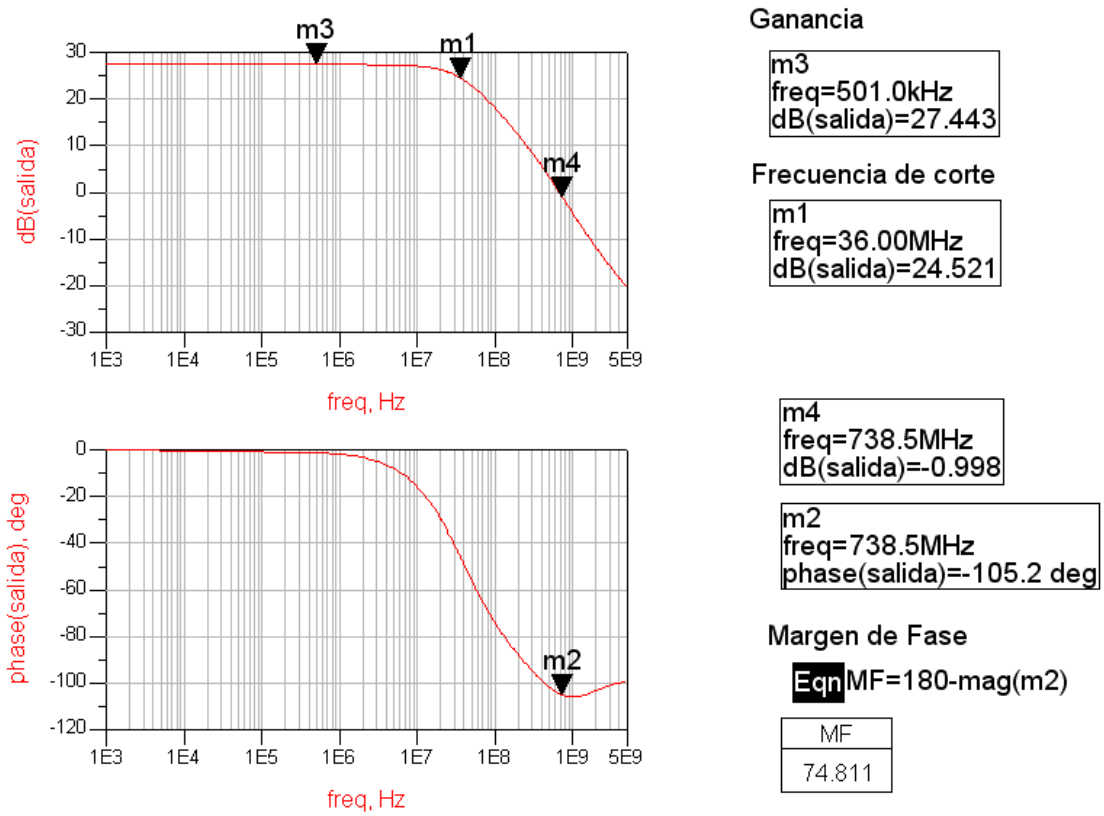


Figura 3.23 Resultados de la simulación en AC del OTA.

Como podemos observar tras la simulación de nuestro diseño, el OTA que se comporta como un convertidor de tensión-corriente, tiene un amplio margen de fase de 74,8º con lo que cumple las condiciones de estabilidad. En cuanto a su ganancia se puede ver que es más que aceptable 27,43 dB y su ancho de banda es bastante amplio, 36 MHz.

3.8 Diseño de un amplificador operacional

Después de haber diseñado un OTA básico, el paso siguiente es el diseño de un amplificador operacional (AO) de dos etapas. Este diseño lo podemos dividir en tres bloques: el primero de ellos es la etapa de polarización, el segundo consta de la etapa de entrada diferencial y el último bloque será la etapa de salida, que en este caso hemos elegido una etapa clase A, tal y como se muestra en la Figura 3.24.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

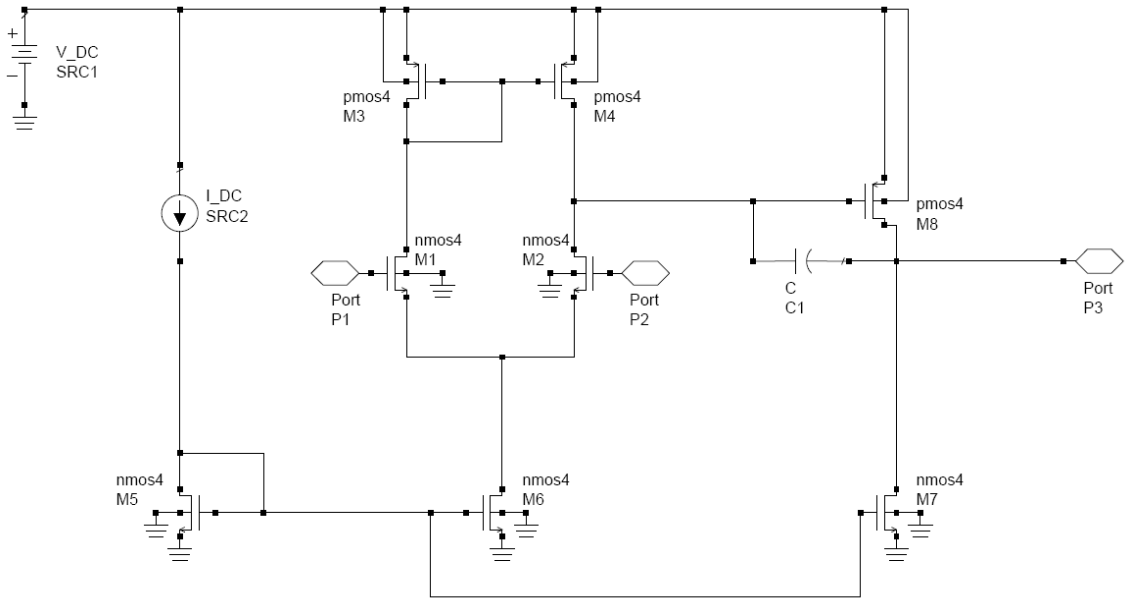


Figura 3.24 Amplificador operacional básico.

El bloque de polarización lo forman los transistores M5 y M6 además de la fuente de corriente. Este bloque es muy importante pues la corriente de polarización afecta directamente al rendimiento del circuito. El segundo bloque, corresponde a la etapa de entrada diferencial y a las cargas activas, lo forman los transistores M1 y M2 para el par diferencial y M3 y M4, para las cargas activas. Por último, la etapa de salida la forman los transistores M7 y M8.

Para diseñar un amplificador operacional hemos de tomar una serie de decisiones como la ganancia, el ancho de banda o el consumo que queremos establecer. Para ello diseñamos una primera etapa que es la etapa de referencia en donde establecemos la corriente por el circuito a través de un espejo de corriente. La etapa de salida juega un papel muy importante debido a que dependiendo de la carga a la salida se necesitará un mayor o menor consumo. En nuestro caso a la salida tenemos una carga de 20 pF, debida al osciloscopio, así que tendremos que tener en la salida una intensidad de corriente elevada. Para conseguirlo a la salida debemos tener transistores de mayor tamaño que en el resto de las etapas según la relación de corriente que queremos conseguir. Para ello hemos alimentado el amplificador a 3.3 V, y fijado la corriente de polarización a 500 μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para comenzar vamos a fijar la longitud del canal a 0.5 μm y el ancho del transistor se variará en función de las corrientes deseadas en cada rama del amplificador. La etapa de polarización y la de entrada las llevamos a cabo siguiendo los mismos criterios que en el diseño del OTA. Por tanto, para los transistores del espejo de corriente utilizamos una $V_{sat} = 0{,}5\ V$ obteniendo unos anchos de los transistores de $W_n = 13\ \mu m$ que calculamos despejando de la ecuación 3.21. De la misma forma calculamos el ancho para los transistores de la etapa diferencial sabiendo que la corriente que circula por cada rama de ésta es la mitad de la corriente de polarización. Así obtenemos para el par diferencial una $W_n = 18{,}5\ \mu m$ y para la carga activa una $W_p = 139\ \mu m$, usando una $V_{sat} = 0{,}3\ V$ y una $V_{sat} = 0{,}2\ V$, respectivamente.

Para finalizar vamos a diseñar la etapa de salida, que como comentamos anteriormente, debemos tener en cuenta que necesitamos inyectar mucha corriente a la carga. Por este motivo el tamaño del transistor M7 será 5 veces mayor que los transistores M5 y M6 obteniendose un ancho de $W_n = 65\ \mu m$. El transistor M8 será diez veces más grandes que los transistores de carga M3 y M4, obteniendo un ancho de $W_p = 1390\ \mu m$.

Una vez fijadas las corrientes del circuito y conocidos los tamaños de los transistores pasamos a compensar el circuito. En nuestro diseño optamos por una compensación de Miller o polo dominante. En esta compensación, cuando incrementamos el valor de Cc movemos el polo dominante a una frecuencia más baja sin afectar al segundo polo con lo que conseguimos un amplificador más estable. Para el cálculo de la capacidad de compensación es necesario calcular las transconductancias de los transistores del par diferencial y de salida, tal y como se muestra en la siguiente ecuación.

$$g_{m_diferencial} = K_n \frac{W_n}{L_n} V_{sat} = 150 \cdot 10^{-6} \cdot \frac{18{,}5}{0{,}5} \cdot 0{,}3 = 1665 \cdot 10^{-6}\, S$$

Para poder hallar la transconductancia del transistor de salida es necesario conocer el valor de la tensión de saturación que se calcula a partir de la siguiente expresión:

$$I_D = \frac{1}{2} K_p \frac{W_p}{L_p} {V_{sat}}^2 \rightarrow {V_{sat}}^2 = \frac{2 \cdot I_D}{K_p} \cdot \frac{L_p}{W_p} \longrightarrow V_{sat} = \sqrt{\frac{2 \cdot 2{,}5 \cdot 10^{-3}}{45 \cdot 10^{-6}} \cdot \frac{0{,}5}{1390}} \approx 0{,}2\ V$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

con lo que la transconductancia nos quedaría

$$g_{m_salida} = K_p \frac{W_p}{L_p} V_{sat} = 45 \cdot 10^{-6} \cdot \frac{1390}{0{,}5} \cdot 0{,}2 = 25020 \cdot 10^{-6} S$$

Una vez conocidos los valores de las transconductancias ya estamos en disposición de poder calcular la capacidad de compensación. Su elección requiere probar varios valores próximos al obtenido teóricamente hasta conseguir un buen margen de fase. A partir de la ecuación 3.25 [16] obtendremos un valor orientativo.

$$C_C \approx 4 \cdot C_L \cdot \frac{g_{m_diferencial}}{g_{m_salida}} \tag{3.25}$$

$$C_C \approx C_C \approx 4 \cdot 20 \cdot 10^{-12} \cdot \frac{1665 \cdot 10^{-6}}{25020 \cdot 10^{-6}} \approx 5{,}3\,pF$$

Como ya dijimos el valor obtenido teóricamente, 5,3 pF, es orientativo. Por esta razón decidimos realizar una simulación barriendo la capacidad de compensación obteniendo como valor más apropiado 4,8 pF. En la Figura 3.25 se muestra el amplificador operacional.

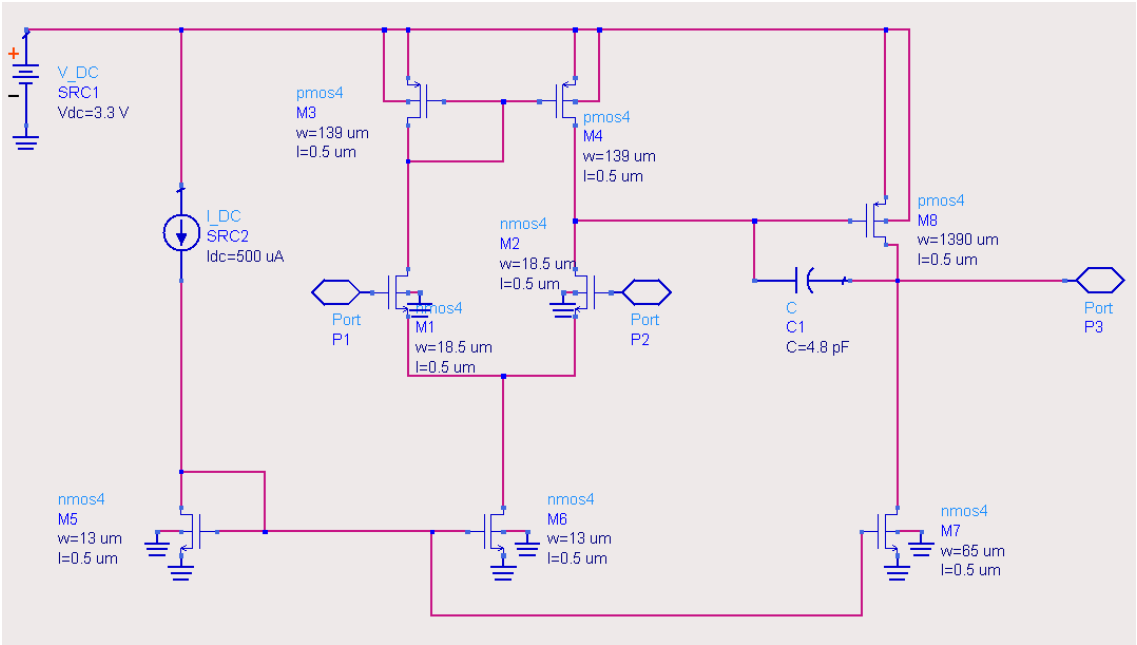


Figura 3.25 Diseño del amplificador operacional.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 3.22 podemos ver el esquema de simulación del amplificador operacional, en el que utilizamos el mismo circuito externo (balun) que utilizamos para simular el OTA.

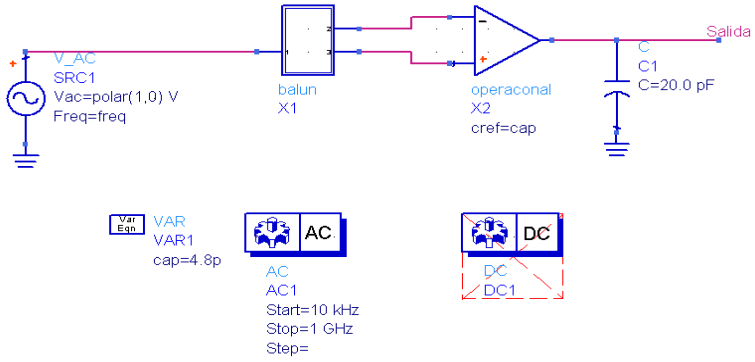
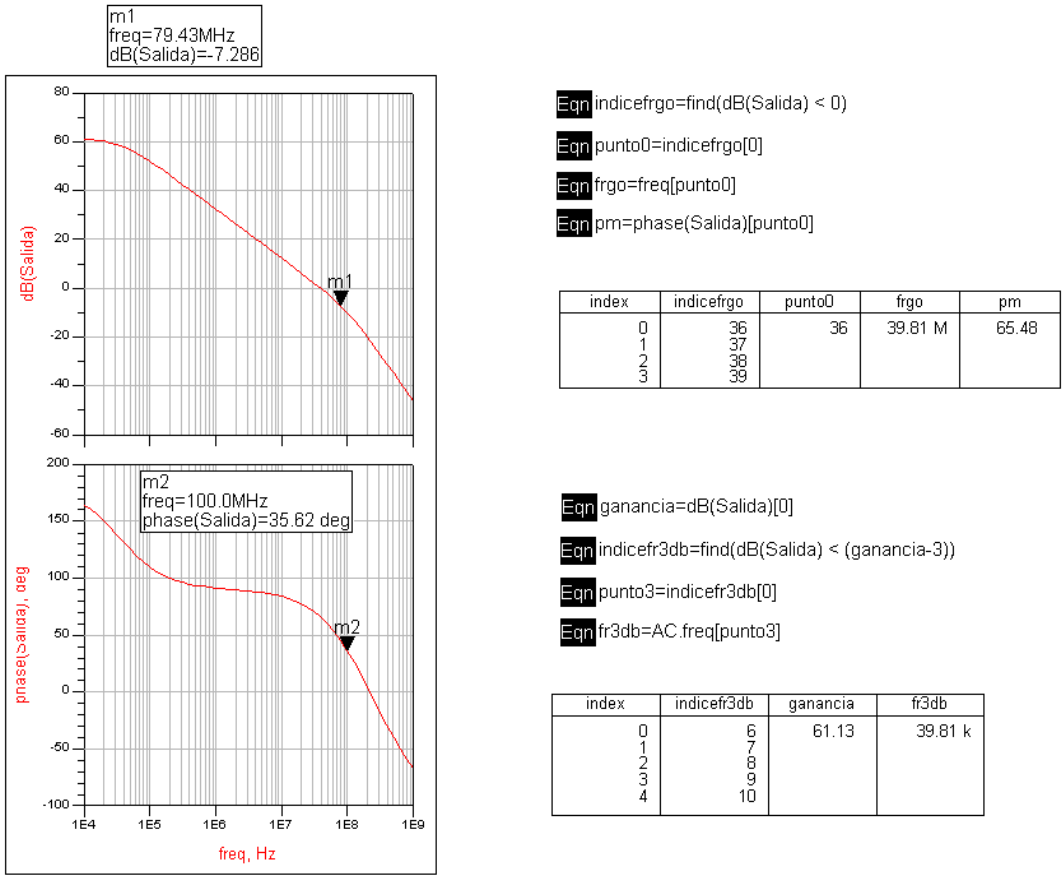


Figura 3.26 Esquema de simulación en AC del AO.

La ganancia, el ancho de banda y el margen de fase que se obtuvo en las simulaciones se muestran en la Figura 3.23.



index	indicefrgo	punto0	frgo	pm
0	36	36	39.81 M	65.48
1	37			
2	38			
3	39			

index	indicefr3db	ganancia	fr3db
0	6	61.13	39.81 k
1	7		
2	8		
3	9		
4	10		

Figura 3.27 Resultados obtenidos tras simular nuestro AO.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

De las gráficas de la (Figura 3.27) podemos ver que nuestro amplificador compensado tiene un margen de fase de 65,48º con lo cual será estable y su ganancia por ancho de banda es de 39,81 MHz, el cual es un valor aceptable.

3.9 Conclusiones

En este capítulo hemos estudiado los principales parámetros necesarios para el diseño de un amplificador operacional, las diferentes etapas y la compensación del mismo. Además, con objeto de familiarizarnos con las herramientas de diseño y la tecnología, se diseñó un amplificador de transconductancia y un amplificador operacional.

En el siguiente capítulo se realizará un profundo estudio de los *current conveyors*: sus conceptos teóricos, su evolución y sus diferentes topologías. Además se simularán un amplio número de arquitecturas de *current conveyors* utilizando el ADS, y se analizaran las ventajas e inconvenientes de las topologías propuestas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 4

Los *current conveyors:* teoría y práctica

4.1 Introducción

El desarrollo de la tecnología VLSI, junto con la demanda de un mayor número de elementos en un único chip, ha creado un gran interés en el diseño de circuitos analógicos, especialmente en lo que concierne a los circuitos integrados. Numerosos investigadores han previsto una reducción de la utilización de circuitos analógicos por un incremento del número de circuitos digitales, pero los sistemas analógicos continúan siendo necesarios. De hecho, los circuitos analógicos son necesarios en muchos sistemas VLSI tales como filtros, convertidores D/A y A/D, comparadores de tensión, amplificadores de corriente y tensión, etc. Finalmente, la reciente tendencia a miniaturizar circuitos ha dado un fuerte y decisivo impulso hacia el diseño de circuitos integrados analógicos de baja-tensión y bajo-consumo (LV LP), los cuales son utilizados en aplicaciones de sistemas portátiles. Esto ha inducido a la implementación de nuevas estrategias de diseño de circuitos en tecnología CMOS de bajo coste.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El amplificador operacional rápidamente se convirtió en el principal bloque analógico y desde la llegada de los primeros circuitos integrados analógicos dominó el mercado. Hoy en día, la situación está cambiando porque existe un nuevo impulso hacia los llamados circuitos en *modo corriente,* los cuales son capaces de vencer la limitación del producto ganancia ancho de banda constante y de cumplir con el compromiso entre la velocidad y el ancho de banda. [17]

En este capítulo estudiaremos los *current conveyors*: sus conceptos teóricos, su evolución y sus diferentes topologías. Además veremos algunos modelos equivalentes de los *current conveyors*.

Finalizaremos el capítulo analizando un amplio número de topologías para CCII en tecnología CMOS 0,35 de AMS (*Austria Micro Systems*), utilizando el ADS como la herramienta de simulación.

4.2 Circuitos en modo-corriente: breve historia de los *current conveyors*

4.2.1 Metodología del diseño en modo corriente

En el diseño de circuitos analógicos, normalmente existe una gran demanda de amplificadores para el procesamiento de señales con características específicas de corriente.

La metodología de diseño en modo corriente, considera que la información fluye sobre corrientes variables en el tiempo y propone una forma de ver los circuitos integrados obteniendo soluciones diferentes y, en muchos casos, más elegantes a partir de la revisión de circuitos viejos.

Los circuitos en modo corriente tienen algunas ventajas bien conocidas, como por ejemplo, que no requieren altas ganancias de tensión y, por lo tanto, no es necesario utilizar amplificadores de alto rendimiento. Por consiguiente, no necesitan componentes pasivos de alta precisión, así que pueden diseñarse casi completamente con transistores. Esto hace que los circuitos en modo corriente sean compatibles con los procesos digitales más comunes. Finalmente, estos circuitos muestran un alto rendimiento en términos de velocidad, ancho de banda y precisión. La metodología de diseño en modo corriente presenta también una gran versatilidad, ya que puede implementar todas las funciones de circuitos integrados analógicos

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

diseñadas en modo tensión [17].

Un ejemplo claro de un circuito modo corriente es el Amplificador Operacional con Realimentación de Corriente (CFOA) [18, 19, 20, 21]. Este circuito, si lo comparamos con el amplificador operacional de tensión típico, muestra un ancho de banda constante con respecto a la ganancia en lazo cerrado y un *slew-rate* muy alto. Esto hace a este circuito muy atractivo para el diseño de circuitos de baja tensión de alimentación y bajo consumo muy demandados en la actualidad.

La primera etapa de un CFOA es un *current conveyor* (CC) y, de hecho, los CC se pueden considerar como un bloque básico de los circuitos en modo corriente ya que todos los dispositivos activos se pueden realizar mediante la conexión de forma adecuada de uno o varios *current conveyors* [17].

4.2.2 Breve historia de los *current conveyors* de primera y segunda generación

El *current conveyor* representa una alternativa efectiva al amplificador operacional. Esto es debido, principalmente, al hecho de que tanto los unos como los otros, presentan en la práctica unas características que son muy cercanas a las de los dispositivos ideales.

Sedra y Smith introdujeron los *current conveyors* en 1968 [22], pero sus ventajas reales e impacto innovador no fue inmediato. De hecho, al mismo tiempo, las compañías electrónicas comenzaron a poner sus principales esfuerzos en la fabricación de amplificadores operacionales monolíticos; como consecuencia de esto, el valor de la nueva invención fue parcialmente eclipsado.

Sólo en los últimos años, con la creciente difusión de la metodología de diseño en modo corriente como alternativa para el diseño de circuitos de baja tensión y bajo consumo (LV LP), los *current conveyors* han aumentado su popularidad.

El ejemplo original presentado por Sedra y Smith en 1968 fue llamado genéricamente por los autores "*current conveyor*". El primer bloque fue identificado como "c*urrent conveyor* de primera generación", o CCI y posteriormente, en 1970 esta topología evolucionó y fue llamada "*current conveyor* de segunda generación", o CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Los CCIs son dispositivos de tres terminales, tal y como se muestra la Figura 4.1.

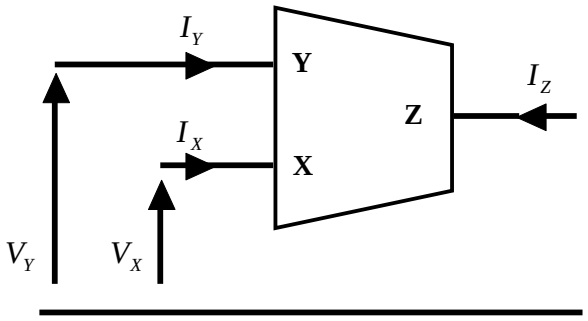


Figura 4.1. Bloque representativo del CCI.

Este circuito funciona de la siguiente forma: si aplicamos una tensión al nodo Y, la misma tensión aparecerá en el nodo X y, por otro lado, la corriente que fluye por el nodo Y es igual a la corriente que fluye por el nodo X, la cual a su vez es "TRANSPORTADA o CONVERTIDA" al nodo Z. En la Figura 4.2 se muestran las características principales de los CCI.

$$\begin{bmatrix} I_y \\ I_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix}$$

Nodos del CCI	Nivel de impedancia
X	Bajo (idealmente 0)
Y	Bajo (idealmente 0)
Z	Alto (idealmente ∞)

Figura 4.2. Características principales de los CCIs.

La corriente en el nodo Z puede fluir en el mismo sentido de I_x o en sentido opuesto, tal y como se refleja en la matriz de la Figura 4.2. El signo positivo quiere decir que ambas corrientes, I_x e I_y, fluyen hacia el circuito y por tanto tenemos un CCI positivo (CCI+). En cambio para el caso de polaridad opuesta se aplica el signo negativo, y tenemos un CCI negativo (CCI-). Los nodos X e Y tienen una impedancia muy baja, idealmente cero. En cambio el nodo Z tiene una impedancia muy alta, idealmente infinita, tal y como se muestra en la tabla de la Figura 4.2.

Por lo que acabamos de ver, la tensión en el nodo X es independiente de la corriente que fluye por dicho nodo, e igualmente, la corriente que fluye por el nodo Y no está relacionada con la tensión aplicada al mismo nodo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 4.3 se puede observar una posible realización práctica de un CCI clase A a nivel de transistores.

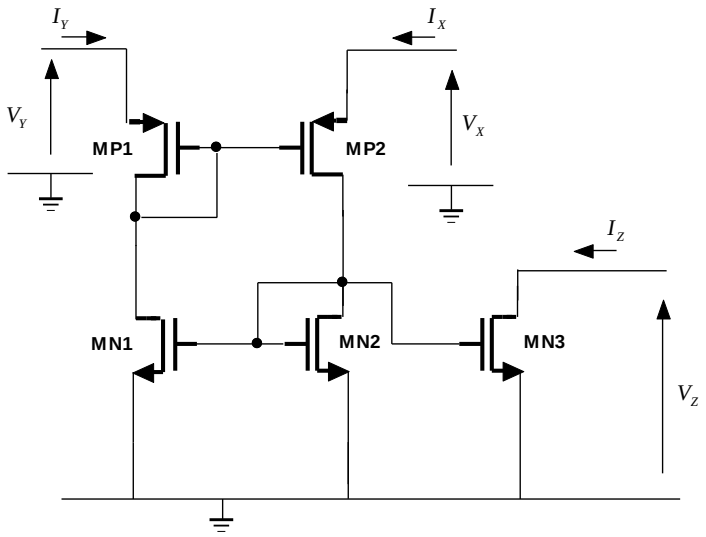


Figura 4.3. CCI clase A.

Este circuito puede ser implementado tanto en tecnología Bipolar como en CMOS, aunque en la actualidad se suele utilizar más esta última. El modo de operar del circuito es el siguiente: MP1 y MP2 realizan la acción de seguidor de tensión entre los nodos X e Y, mientras que el espejo de corriente, formado por MN1 y MN2, proporciona una corriente I_y igual a la que circula por el nodo X. A través de MN3 la misma corriente es "transportada" a la corriente de salida del nodo de alta impedancia Z.

El principal inconveniente de este CCI es que trabaja en clase A. En la Figura 4.4 se muestra un ejemplo de un CCI clase AB, que se basa en el anterior.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

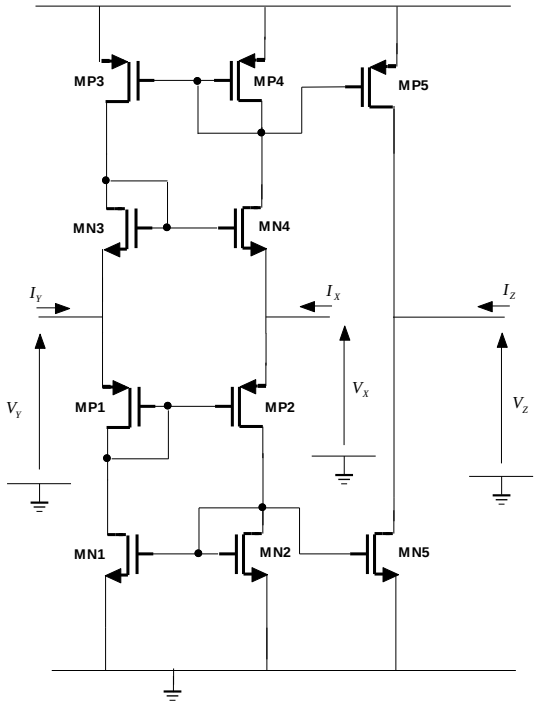


Figura 4.4. CCI clase AB.

Tal y como se muestra en las Figuras 4.5, 4.6 y 4.7, a partir de CCIs se pueden implementar diferentes funciones básicas tales como convertidores V-I e I-V, y convertidores de impedancia negativa.

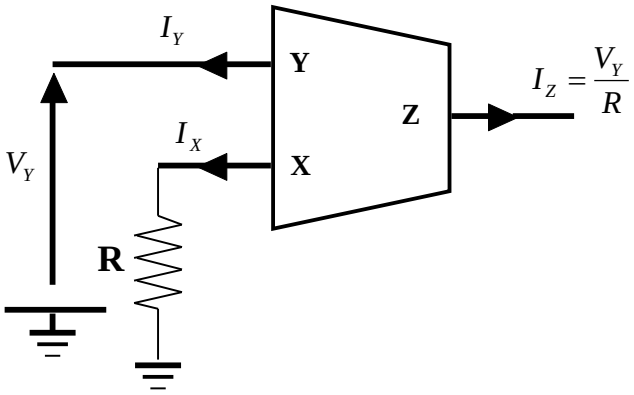


Figura 4.5. Convertidor de V a I basado en CCI.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

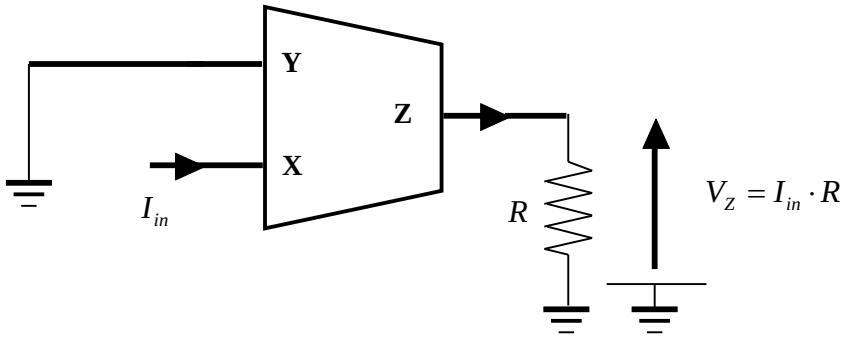


Figura 4.6. Convertidor I a V basado en CCI.

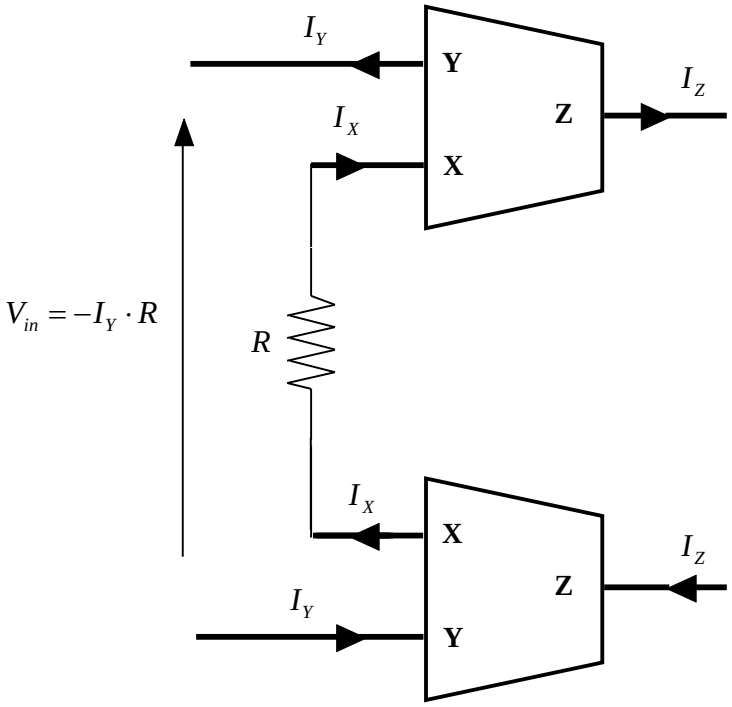


Figura 4.7. Convertidor de impedancia negativa diferencial basado en CCI.

El diseño de circuitos basados en CCI puede resultar, en ciertos casos, bastante problemático, ya que por todos los terminales del circuito circula corriente, y esto reduce su flexibilidad y versatilidad.

Dos años después de la aparición del CCI se introdujo el CCII, cuyas aplicaciones prácticas han demostrado ser mucho más versátiles y útiles, que la primera versión. En la Figura 4.8 podemos ver su diagrama de bloques.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

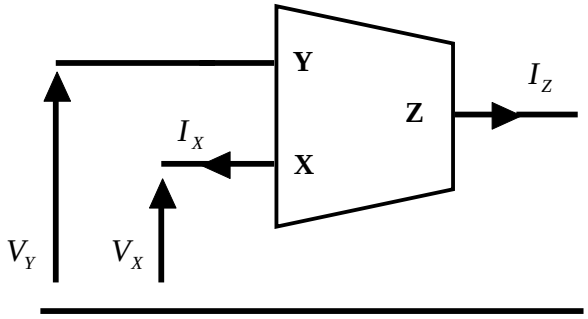


Figura 4.8. Representación del bloque de CCII.

El CCII es topológicamente muy similar a su predecesor. Las características eléctricas del CCII se muestran en la Figura 4.9 junto con su ecuación matemática.

$$\begin{bmatrix} I_y \\ I_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix}$$

Nodos del CCII	Nivel de impedancia
X	Bajo (idealmente 0)
Y	Alto (idealmente ∞)
Z	Alto (idealmente ∞)

Figura 4.9. Características principales del CCII.

Tal y como se observa en el diagrama de bloques de la Figura 4.8 y en la tabla de la Figura 4.9, la gran diferencia que presenta este tipo de *current conveyor* con respecto al anterior, es la ausencia de corriente por el nodo Y, de forma que la impedancia de entrada, idealmente, deja de ser cero y pasa a ser infinita.

Igual que antes, tenemos dos tipos de CCIIs dependiendo del sentido del flujo de corriente en el nodo Z. En la Figura 4.10 se muestra la matriz de funcionamiento incluyendo este detalle.

$$\begin{bmatrix} I_y \\ I_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix}$$

Figura 4.10. Descripción completa de la matriz del CCII

El éxito de los *current conveyors* de segunda generación no se basa tanto en una solución circuital en particular sino en su aptitud para ser usados fácilmente en circuitos de procesamiento analógico, en muchos casos obteniendo mejores resultados que los propios amplificadores operacionales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A continuación, en las Figura 4.11 a Figura 4.17, se muestran diferentes circuitos implementados con CCIIs, que típicamente se han implementado con AOs.

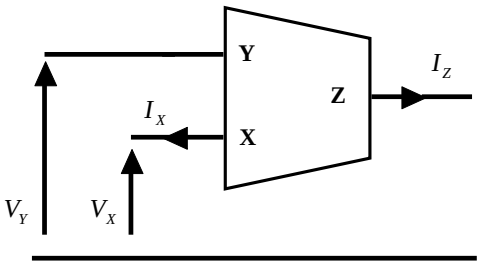


Figura 4.11. Fuente de tensión controlada por tensión, basada en CCII.

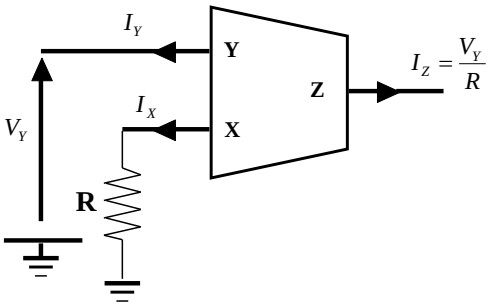


Figura 4.12. Fuente de corriente controlada por tensión, basada en CCII.

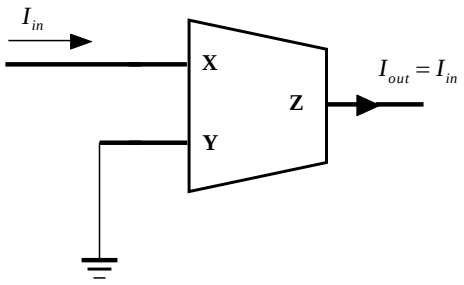


Figura 4.13. Fuente de corriente controlada por corriente, basada en CCII.

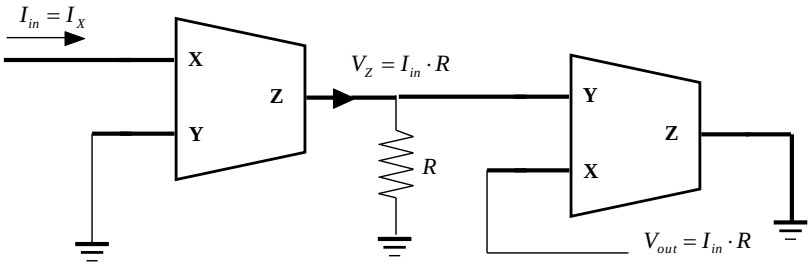


Figura 4.14. Fuente de tensión controlada por corriente, basada en CCII.

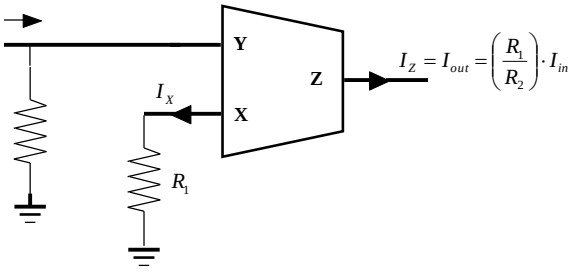


Figura 4.15. Amplificador de corriente, basado en CCII.

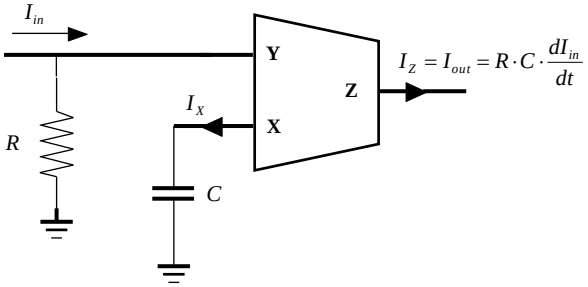


Figura 4.16. Diferenciador de corriente, basado en CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

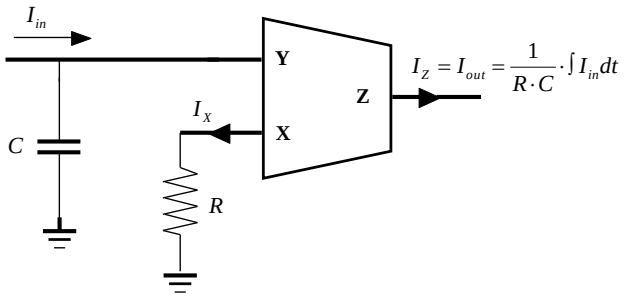


Figura 4.17. Integrador de corriente, basado en CCII.

En el diseño analógico existen cuatro tipos de elementos de ganancia posibles:

- Voltage Controlled Voltage Source (VCVS) = amplificador de tensión
- Voltage Controlled Current Source (VCCS) = amplificador de transconductancia
- Current Controlled Voltage Source (CCVS) = amplificador de transimpedancia
- Current controlled Current Source (CCCS) = amplificador de corriente

Así mismo, existen cuatro posibles configuraciones de circuitos realimentados (ver Figura 4.18).

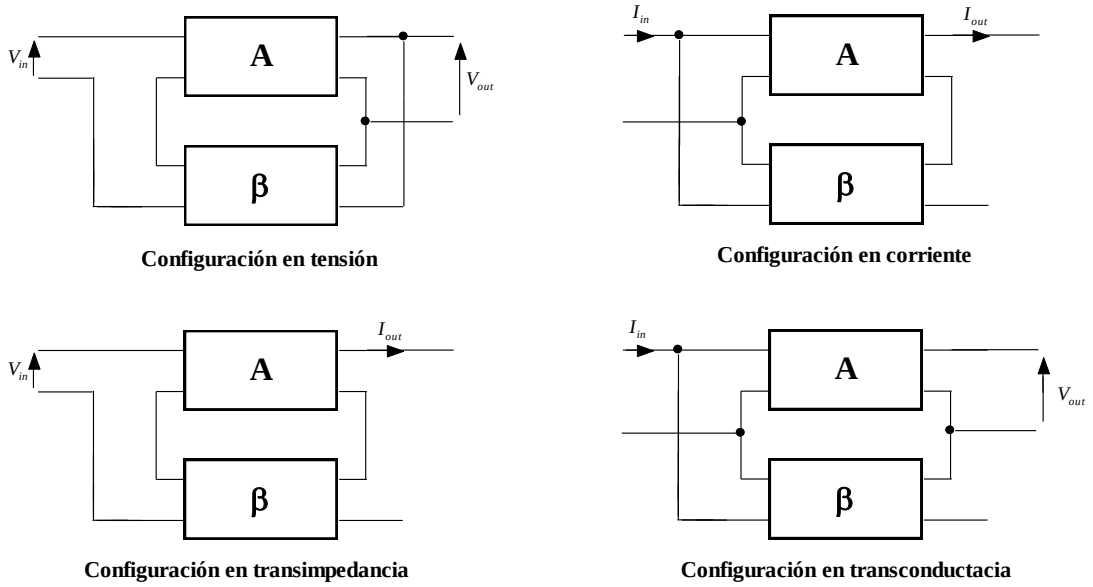


Figura 4.18. Esquemas de bloques de configuraciones de realimentación

Considerando los cuatro tipos de elementos de ganancia posibles (VCVS, VCCS, CCVS y CCCS) realimentados de las cuatro posibles maneras mostradas en la Figura 4.18, esto da lugar a dieciséis posibles combinaciones. En la Tabla 4.1 se muestran las características principales de todas ellas teniendo en cuenta que A es la ganancia en lazo abierto y β es la ganancia de realimentación.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 4.1 Características de realimentación y amplificación

Configuración en Tensión					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de tensión	Alta	Baja	GBW constante	Crece por (1+Aβ)	Disminuye por (1+Aβ)
Amplificador de corriente	Baja	Alta	Constante	Crece por (1+Aβ)	Disminuye por (1+Aβ)
Amplificador de transimpedancia	Baja	Baja	Potencialmente constante	Crece por (1+Aβ)	Disminuye por (1+Aβ)
Amplificador de transconductancia	Alta	Alta	Potencialmente constante	Crece por (1+Aβ)	Disminuye por (1+Aβ)
Configuración en Corriente					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de tensión	Alta	Baja	Constante	Disminuye por (1+Aβ)	Crece por (1+Aβ)
Amplificador de corriente	Baja	Alta	GBW constante	Disminuye por (1+Aβ)	Crece por (1+Aβ)
Amplificador de transimpedancia	Baja	Baja	Potencialmente constante	Disminuye por (1+Aβ)	Crece por (1+Aβ)
Amplificador de transconductancia	Alta	Alta	Potencialmente constante	Disminuye por (1+Aβ)	Crece por (1+Aβ)
Configuración en Transimpedancia					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de tensión	Alta	Baja	Constante	Disminuye por (1+Aβ)	Disminuye por (1+Aβ)
Amplificador de corriente	Baja	Alta	Constante	Disminuye por (1+Aβ)	Disminuye por (1+Aβ)
Amplificador de transimpedancia	Baja	Baja	GBW constante	Disminuye por (1+Aβ)	Disminuye por (1+Aβ)
Amplificador de transconductancia	Alta	Alta	Potencialmente constante	Disminuye por (1+Aβ)	Disminuye por (1+Aβ)
Configuración en Transconductancia					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de tensión	Alta	Baja	Constante	Crece por (1+Aβ)	Crece por (1+Aβ)
Amplificador de corriente	Baja	Alta	Constante	Crece por (1+Aβ)	Crece por (1+Aβ)
Amplificador de transimpedancia	Baja	Baja	Potencialmente constante	Crece por (1+Aβ)	Crece por (1+Aβ)
Amplificador de transconductancia	Alta	Alta	GBW constante	Crece por (1+Aβ)	Crece por (1+Aβ)

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Una topología de realimentación buena tiene que ser capaz de proporcionar un rendimiento mejor que el elemento de ganancia por separado. Por ejemplo, en el caso de un amplificador de corriente con la configuración de ganancia de corriente, el esquema de realimentación óptimo es aquel que añade mejoras al amplificador de corriente de partida de forma que la impedancia de entrada sea menor y la impedancia de salida sea mayor. Teniendo en cuenta estas consideraciones, de entre las dieciséis combinaciones de la Tabla 4.1, cuatro de ellas pueden ser identificadas como las "favoritas" [17]. El conjunto completo de combinaciones "optimas", tomadas de la Tabla 4.1, se muestran en la Tabla 4.2.

Tabla 4.2 Combinaciones de realimentaciones mejoradas

Configuración en Tensión					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de tensión	Alta	Baja	GBW constante	Crece por (1+Aβ)	Disminuye por (1+Aβ)
Configuración en Corriente					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de corriente	Baja	Alta	GBW constante	Disminuye por (1+Aβ)	Crece por (1+Aβ)
Configuración en Transimpedancia					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de transimpedancia	Baja	Baja	GBW constante	Disminuye por (1+Aβ)	Disminuye por (1+Aβ)
Configuración en Transconductancia					
Elemento de ganancia	**Impedancia de entrada**	**Impedancia de salida**	**Ancho de banda**	**Impedancia de entrada con realimentación**	**Impedancia de salida con realimentación**
Amplificador de transconductancia	Alta	Alta	GBW constante	Crece por (1+Aβ)	Crece por (1+Aβ)

Estas configuraciones han sido elegidas de las presentadas en la Tabla 4.1 considerando que la realimentación "mejora" los niveles de impedancia del circuito en su conjunto. Aún llamando a estas combinaciones "favoritas", tienen un inconveniente y es que su producto ganancia-ancho de banda (GBW) es constante.

Por ejemplo, este es el caso típico de los amplificadores de tensión compensados con un polo único dominante. La única forma de mejorar el ancho de banda es reduciendo la ganancia de

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

tensión. Esto se puede entender mejor analizando el circuito de la Figura 4.19, compuesto por un amplificador de tensión con una realimentación de tensión. La ganancia de este circuito viene dada por:

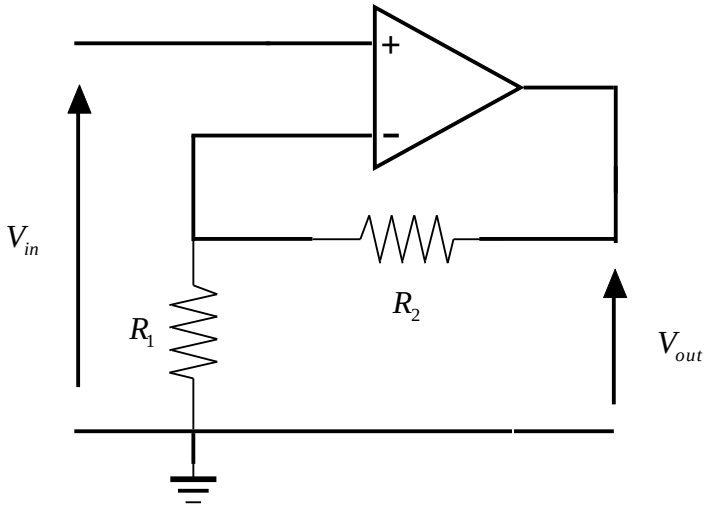


Figura 4.19. Una configuración de realimentación de ganancia en tensión en dispositivo de ganancia de tensión.

$$\frac{V_{OUT}}{V_{IN}} = \frac{A}{1 + A \cdot \dfrac{R_1}{R_1 + R_2}} = \frac{A}{1 + A\beta}, \quad \text{siendo} \quad \beta = \frac{R_1}{R_1 + R_2}; \tag{4.1}$$

y, si consideramos que el amplificador tiene un único polo:

$$A(s) = \frac{A_0}{1 + \dfrac{s}{\omega_p}} \tag{4.2}$$

tenemos que:

$$\frac{V_{OUT}}{V_{IN}} = \frac{\dfrac{A_0}{1 + A_0\beta}}{1 + \dfrac{s}{\omega_p(1 + A_0\beta)}} \tag{4.3}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Vemos que el polo de la respuesta en frecuencia es incrementado por factor igual al que la ganancia es reducida, demostrándose que el producto ganancia ancho de banda, para tal combinación de elemento de ganancia y circuito de realimentación, es constante.

Ahora vamos a considerar un caso diferente, un dispositivo de ganancia de tensión en una configuración de ganancia de corriente, mostrada en la Figura 4.20.

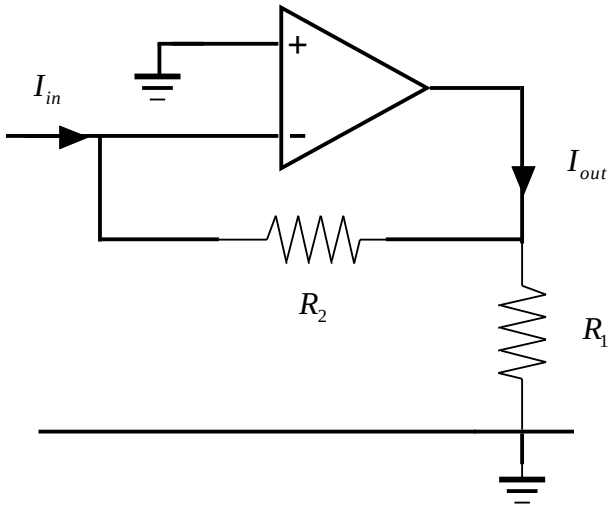


Figura 4.20. Una configuración de realimentación de ganancia de corriente en dispositivo de ganancia en tensión.

Esta es una situación diferente, para la cual podemos determinar la ganancia de corriente K. Aplicando el principio de tierra virtual podemos poner la corriente de entrada en función de las tensiones de entrada y salida, quedándonos:

$$I_{out} = KI_{in} = \frac{V_{IN} - V_{out}}{R_2} \tag{4.4}$$

dado que:

$$I_{out} + I_{in} = \frac{V_{out}}{R_1} \tag{4.5}$$

y

$$V_{out} = -A \cdot V_{in} \tag{4.6}$$

tenemos:

$$K = -\left(1 + \frac{R_2}{R_1}\frac{A}{A+1}\right) \approx -\left(1 + \frac{R_2}{R_1}\right) \tag{4.7}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Si A es un amplificador de un polo único, podemos escribir:

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_p}} \tag{4.8}$$

y, por tanto:

$$K = -\left(1 + \frac{R_2}{R_1} \frac{\frac{A_0}{1+\frac{s}{\omega_p}}}{\frac{A_0}{1+\frac{s}{\omega_p}} + 1} \right) = -\left(1 + \frac{R_2}{R_1} \frac{\frac{A_0}{A_0+1}}{1 + \frac{s}{\omega_p (A_0+1)}} \right) \approx -\left(1 + \frac{\frac{R_2}{R_1}}{1 + \frac{s}{\omega_p (A_0+1)}} \right) \tag{4.9}$$

De las ecuaciones 4.2, 4.3, 4.8 y 4.9, podemos extraer las siguientes conclusiones. En primer lugar, el valor de la ganancia de corriente se puede configurar eligiendo convenientemente los valores de R_1 y R_2. Por otro lado, la realimentación ha aumentado el ancho de banda disminuyendo la ganancia en la configuración en tensión (ver Figura 4.21), mientras que ha aumentado el ancho de banda sin afectar a la ganancia en la configuración de corriente (ver Figura 4.22).

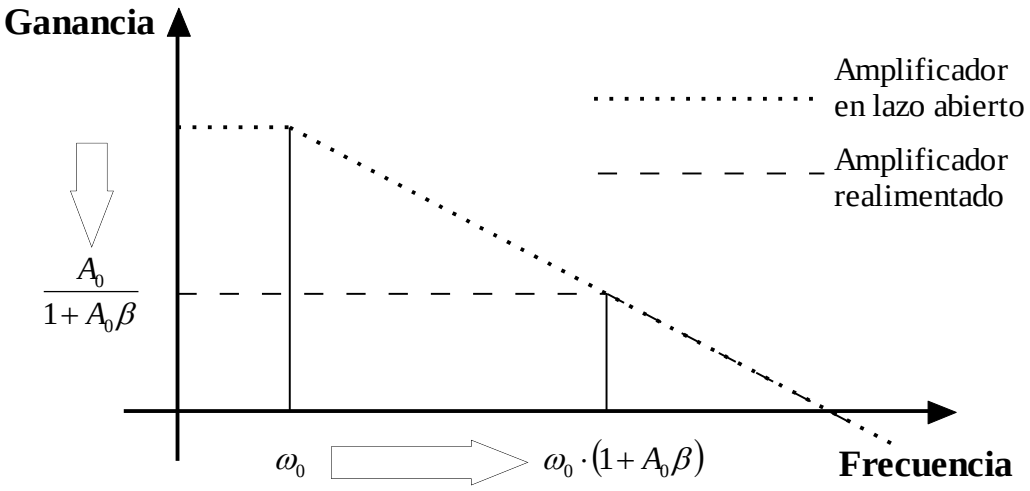


Figura 4.21. Efectos de la realimentación sobre la respuesta en frecuencia del amplificador de tensión.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

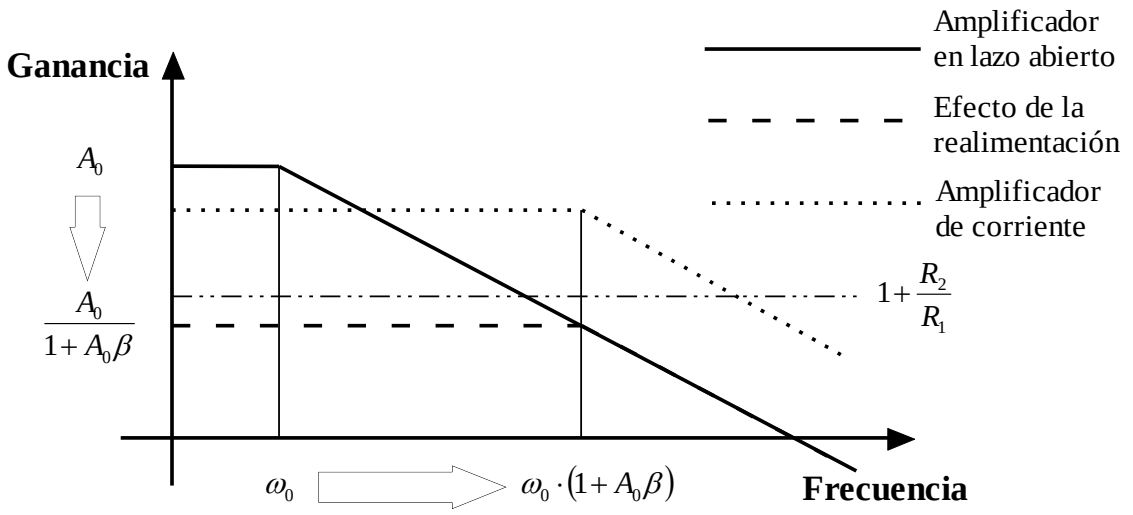


Figura 4.22. Efectos de la realimentación sobre la respuesta en frecuencia del amplificador de corriente.

Esto quiere decir que para la realimentación en corriente y, por tanto, para el caso de los CCIIs, la ganancia varía pero no el ancho de banda, permitiendo obtener un ancho de banda constante.

Teniendo en cuenta las consideraciones anteriores, el amplificador de transconductancia en configuración de realimentación de transimpedancia es la mejor topología ya que su producto GBW no está limitado.

4.3 Topologías de CCIIs

A continuación estudiaremos las características ideales y reales de los *current conveyors* y veremos algunos de sus modelos equivalentes. Para finalizar describiremos y analizaremos un amplio número de topologías de CCIIs.

4.3.1 El *current conveyor* ideal

La Figura 4.23 muestra el modelo equivalente ideal del CCII, el cual está formado por una fuente de tensión y otra de corriente ideales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

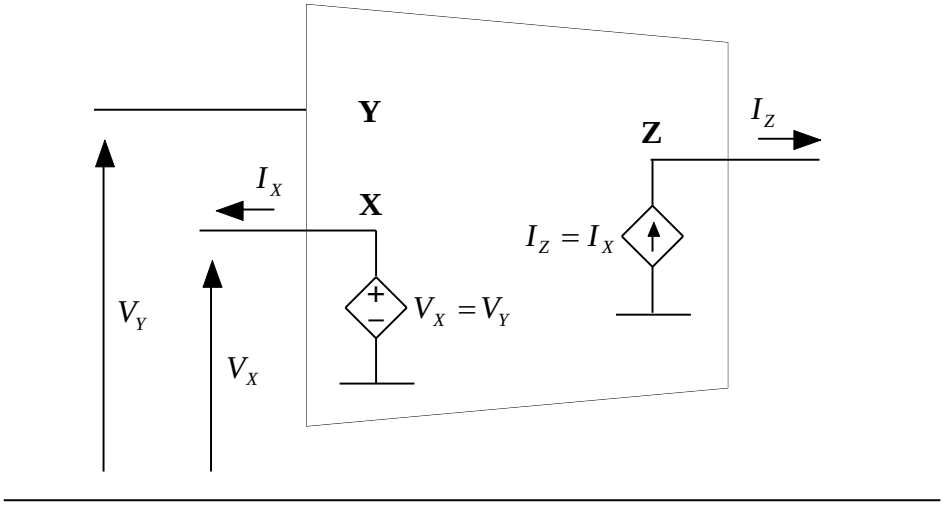


Figura 4.23. Modelo equivalente ideal.

4.3.2 El *current conveyor* real

La implementación de los CCIIs conduce inevitablemente al diseño de dispositivos cuyas características están muy próximas, pero no iguales a las ideales.

La Figura 4.24 muestra un primer modelo del CCII real. Los parámetros α y β se han introducido para considerar las imperfecciones de la fuente de tensión y de la de corriente. Los valores reales de α y β son muy próximos a la unidad.

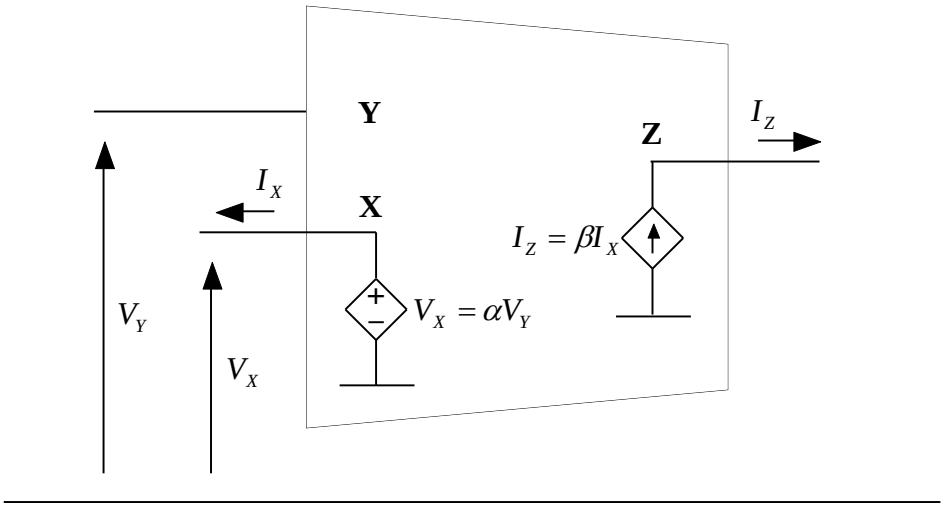


Figura 4.24. Modelo no ideal del CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 4.25 se muestra los modelos equivalentes ideales y no ideales del nodo X del CCII. En el primer modelo no ideal consideramos un buffer de tensión imperfecto, y en el segundo, a demás de esto, consideramos una impedancia distinta de cero en el mismo terminal.

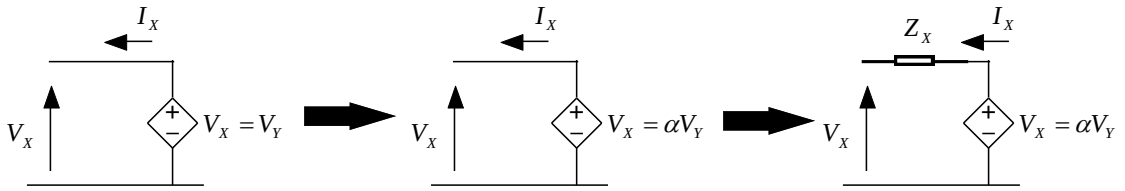


Figura 4.25. Modelos equivalentes del nodo X.

Las Figuras 4.26 y 4.27 muestran los mismos modelos equivalentes ideales y reales del nodo Z, para los casos de CCII+ y CCII-, respectivamente.

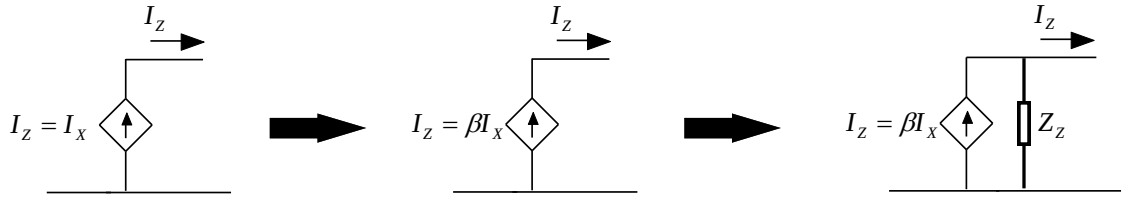


Figura 4.26. Modelos equivalentes del nodo Z para el CCII+.

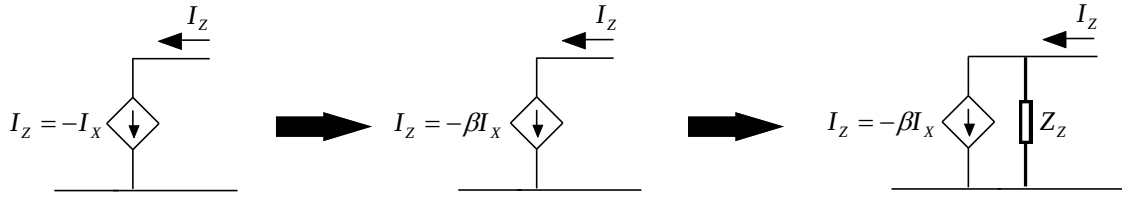


Figura 4.27. Modelos equivalentes del nodo Z para el CCII-.

En la Figura 4.28 podemos encontrar los modelos equivalentes reales completos del CCII+ y del CCII-.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

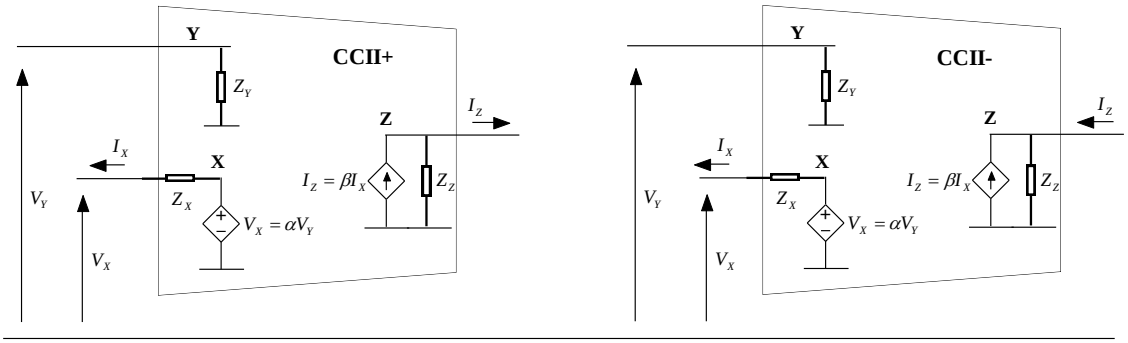


Figura 4.28. Modelos equivalentes del CCII- y CCII+ no ideal.

4.3.3 Topologías de CCIIs

Tal y como se muestra en la Figura 4.29 el transistor NMOS puede ser visto como un CCII. Esto no sólo da la idea de la importancia y utilidad del CCII, sino que también introduce una analogía particular entre el transistor y el *current conveyor*.

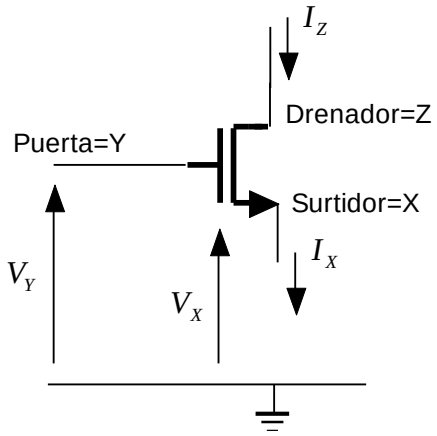


Figura 4.29. Transistor nMOS y su equivalencia con el CCII.

De hecho, debido al efecto del seguidor de fuente, la señal aplicada al nodo Y (puerta) es casi igual a la obtenida en el nodo X (fuente), dicha desigualdad es expresada por el parámetro α de la ecuación 4.10.

$$\alpha = \frac{V_X}{V_Y} = \frac{g_m \cdot R_X}{1 + g_m \cdot R_X} \cong 1 \tag{4.10}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Las corrientes I_x e I_z son iguales, tal y como se desprende del circuito equivalente en pequeña señal del transistor NMOS, mostrado en la Figura 4.30. El cociente entre estas corrientes es expresado por el siguiente parámetro β, el cual es exactamente igual a 1 en esta analogía:

$$\beta = \frac{I_z}{I_x} = 1 \tag{4.11}$$

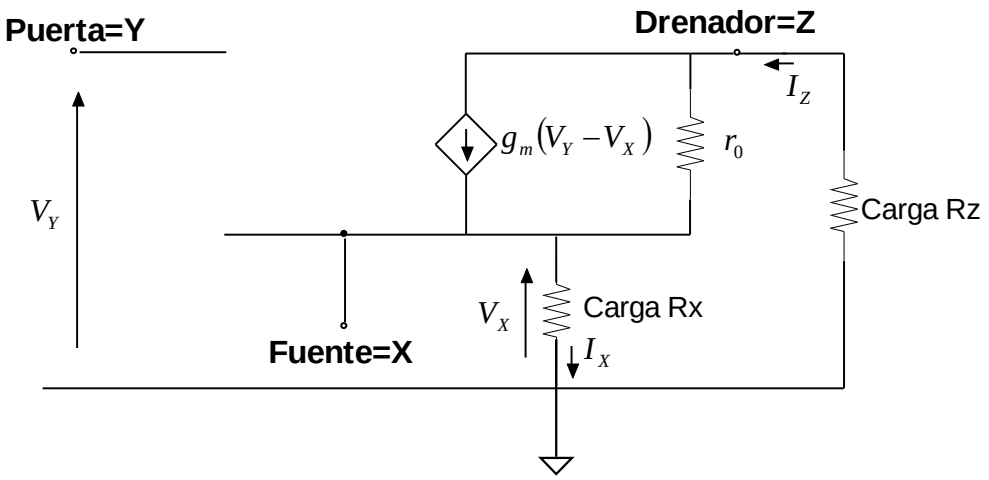


Figura 4.30. Circuito equivalente para el análisis en pequeña señal.

El nivel de impedancia en el nodo Y viene dado por la capacidad de la puerta del transistor, así que es bastante alta, tal y como se requiere por especificaciones teóricas. El valor de la impedancia en el nodo X depende de la carga conectada en el nodo Z, mientras que la impedancia vista en el terminal Z depende de la carga conectada al nodo X. Tenemos las ecuaciones (4.12), (4.13) y (4.14).

$$Z_Y \cong \gamma \cdot W \cdot L \cdot C_{ox} \tag{4.12}$$

$$Z_X \cong \frac{r_o + R_{ZLOAD}}{1 + g_m \cdot r_o} \cong \frac{1}{g_m}, \qquad \text{si} \qquad r_o >> R_{ZLOAD} \tag{4.13}$$

$$Z_Z = r_o + (1 + g_m \cdot r_o) \cdot R_{XLOAD} \tag{4.14}$$

Desde el punto de vista de pequeña señal, un transistor puede ser visto como un *current conveyor* de segunda generación, sin embargo las tensiones de referencia en DC de los nodos X

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

e Y muestran una diferencia relativa de cerca de una tensión umbral. Esta diferencia se puede eliminar considerando un espejo de corriente NMOS, como el mostrado en la Figura 4.31.

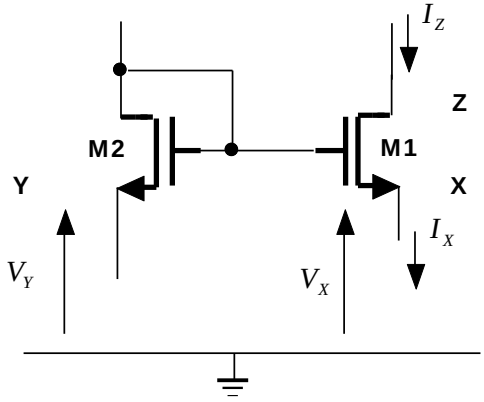


Figura 4.31. Características del CCII en el espejo de corrientes tradicional NMOS.

El circuito de la Figura 4.31 se corresponde con un CCII negativo. En cambio, para conseguir un CCII positivo tenemos que añadir un espejo de corriente, tal y como se muestra en la Figura 4.32. En esta última topología, las corrientes I_x e I_z fluyen en la misma dirección con respecto al CCII.

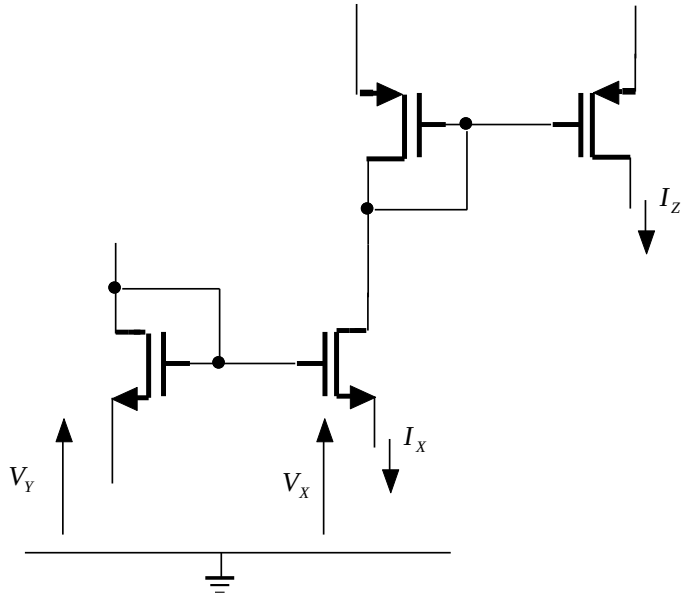


Figura 4.32. Espejo de corriente usado para la implementación del CCII positivo.

Si duplicamos la topología presentada en la Figura 4.33 obtenemos un *current conveyor* clase AB, mostrado en la Figura 4.34. En este circuito, obviamente, I_{bias1} e I_{bias2} tienen que ser iguales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

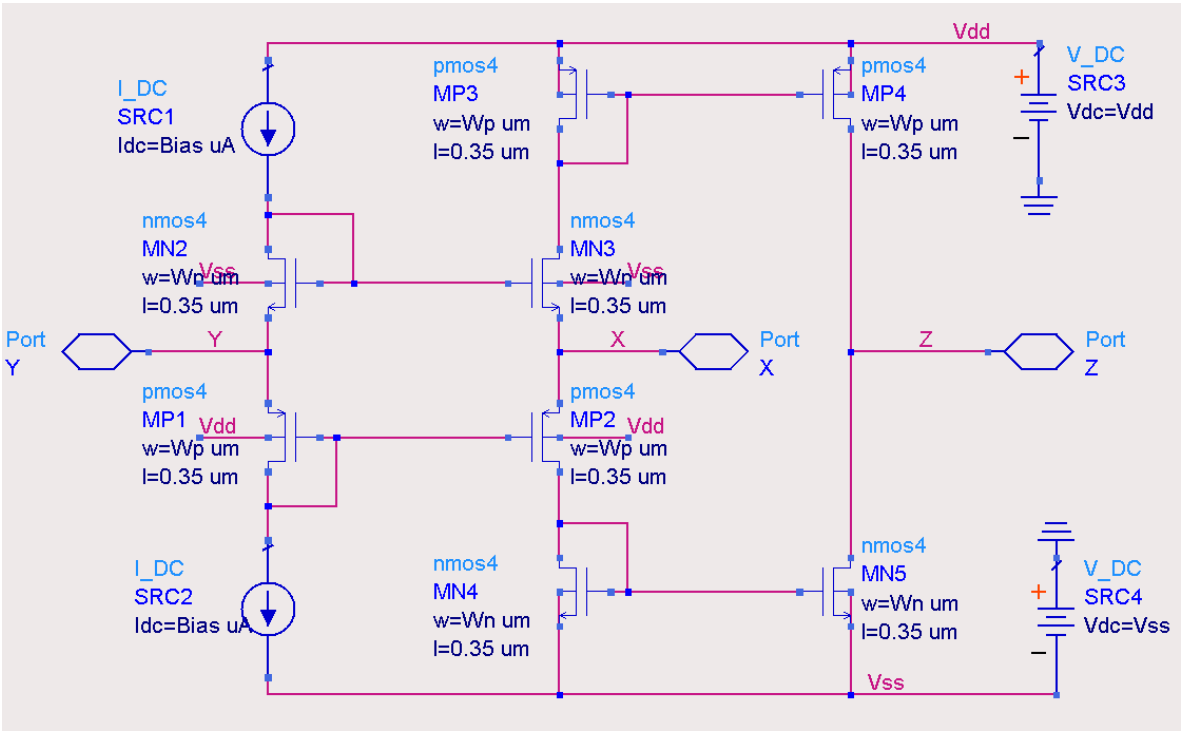


Figura 4.33. Topología de CCII basada en espejos de corriente.

Esta topología de CCII es la primera que hemos estudiado y tras las pertinentes simulaciones con ADS podemos decir que permite obtener un amplio ancho de banda con una relativa baja corriente de referencia. La metodología de simulación empleada en esta y las siguientes simulaciones se encuentra descrita en el Anexo A. El principal inconveniente de esta topología es su limitada máxima excursión de salida. En la Tabla 4.3 se muestra todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.33.

Tabla 4.3 Características del CCII para el circuito mostrado en la Figura 4.33

Parámetros	Valores	Parámetros	Valores
Alimentación	±1,5 V	Ganancia de Corriente	1,03
Potencia Consumida	261,6 µW	Impedancia Parásita en el Nodo X	804,6 Ω
Ganancia de Tensión	0,977	Impedancia Parásita en el Nodo Y	730,4 fF
Ancho de Banda	360,6 MHz	Impedancia Parásita en el Nodo Z	40,5 kΩ
Máxima Excursión de Salida	-1,24 V, +1,13 V		

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para superar las limitaciones del circuito de la Figura 4.33 se han propuesto nuevas topologías de CCII basadas en pares diferenciales. En la Figura 4.34 presentamos una primera posible solución que tiene una etapa de salida clase A. La impedancia en el nodo Z es alta gracias a que dicho nodo se corresponde con el drenador del transistor de salida.

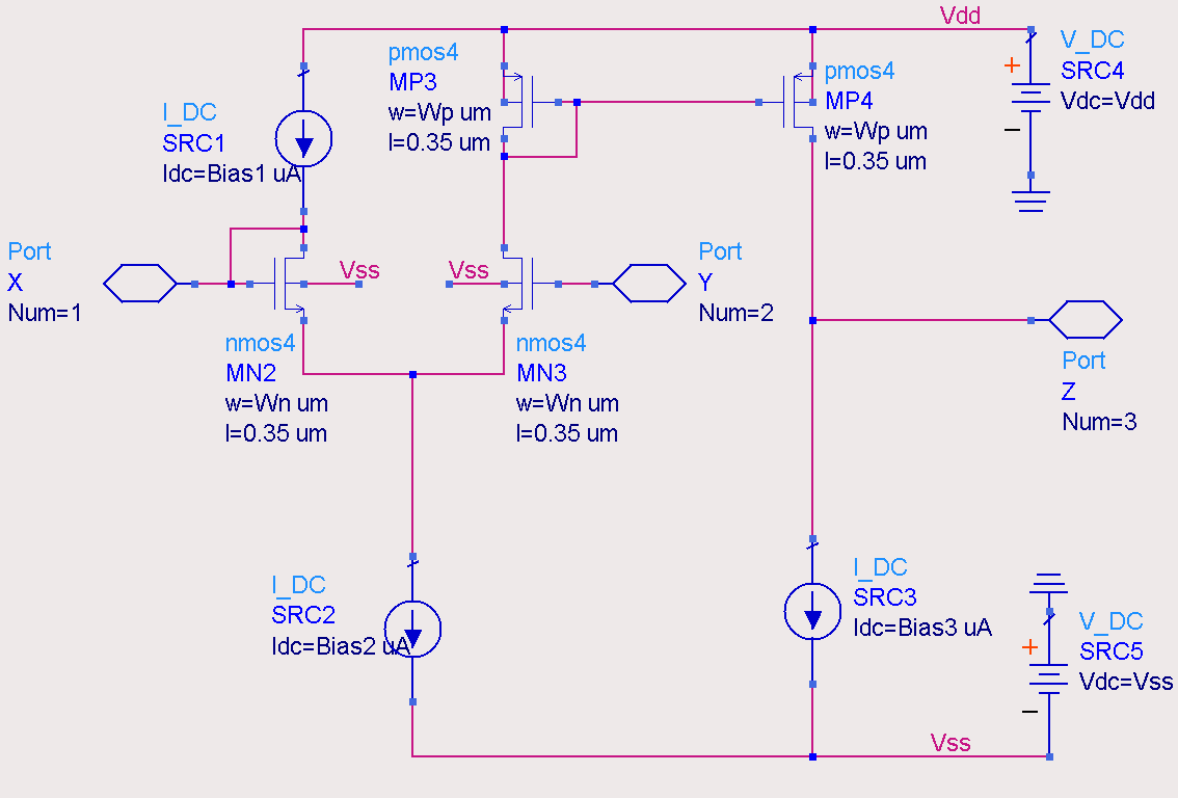


Figura 4.34. Topología de CCII basada en entrada diferencial.

En la Tabla 4.4se muestran todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.34.

Tabla 4.4 Características del CCII para el circuito mostrado en la Figura 4.34

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	0,966
Potencia Consumida	30 µW	Resistencia Parásita en el Nodo X	8,05 kΩ
Ganancia de Tensión	0,988	Impedancia Parásita en el Nodo Y	0,101 pF
Ancho de Banda	92,46 MHz	Impedancia Parásita en el Nodo Z	1,505 MΩ
Máxima excursión de salida	-743 mV, +687 mV		

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

La impedancia en el nodo X se puede mejorar haciendo la realimentación del nodo X a través de un transistor NMOS, obteniendo el circuito de la Figura 4.35. En este circuito se usa el espejo de corriente MP6-MP7 para detectar la corriente del nodo X y para reflejarla al nodo Z de alta impedancia. Este circuito, igual que el anterior, opera en clase A.

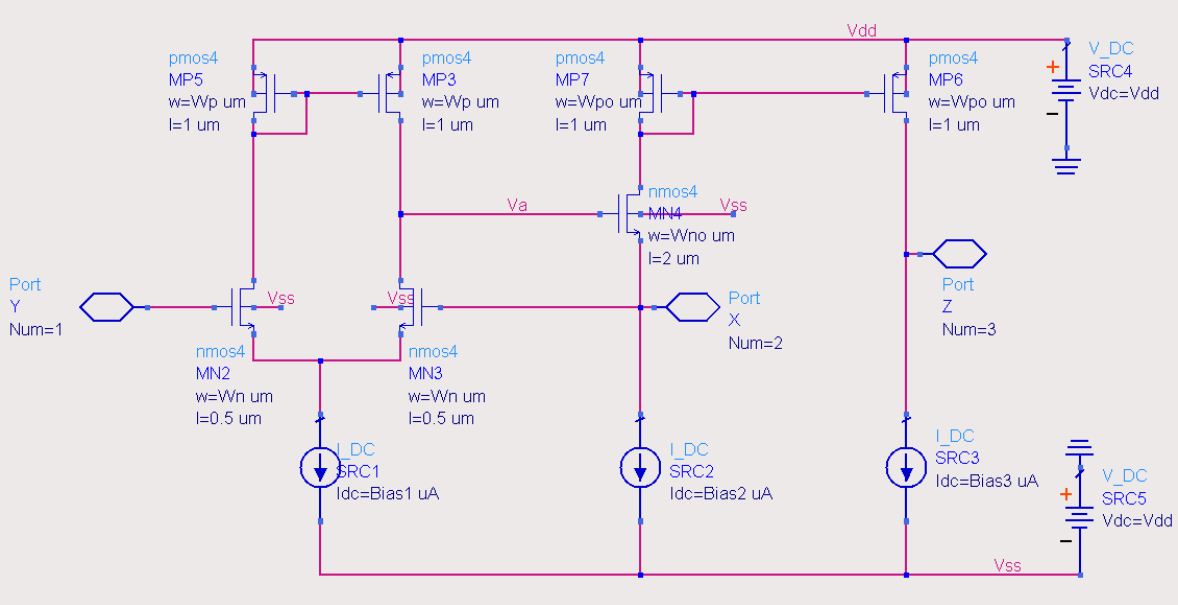


Figura 4.35. Topología mejorada de un CCII basado en entrada diferencial.

En este caso los niveles de impedancia del nodo X son menores que en el caso anterior y el consumo de potencia es limitado (40 µW). Incluso para valores de g_m bajos, se puede obtener una impedancia baja, esta es la ventaja de esta topología. En la Tabla 4.5 se muestra todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.35.

Tabla 4.5 Características del CCII para el circuito mostrado en la Figura 4.35

Parámetros	Valores	Parámetros	Valores
Alimentación	±1 V	Ganancia de Corriente	1.011
Potencia Consumida	40 µW	Resistencia Parásita en el Nodo X	103,47Ω
Ganancia de Tensión	0,985	Inductancia Parásita en el Nodo X	32 µH
Ancho de Banda	58,89 MHz	Impedancia Parásita en el Nodo Y	94,96 fF
Máxima excursión de salida	-740 mV, +192 mV	Impedancia Parásita en el Nodo Z	2,943 MΩ

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El circuito de la Figura 4.36 propone una nueva solución que usa el mismo concepto de reflejar la corriente que circula por el nodo X al nodo Z. Este circuito muestra unas características mejoradas con una tensión de alimentación más baja.

La tensión de salida del nodo X la tomamos del drenador del transistor MP7. Esta tensión está controlada por V_a y directamente conectada al nodo X para implementar la realimentación la cual garantiza una impedancia baja en el nodo X.

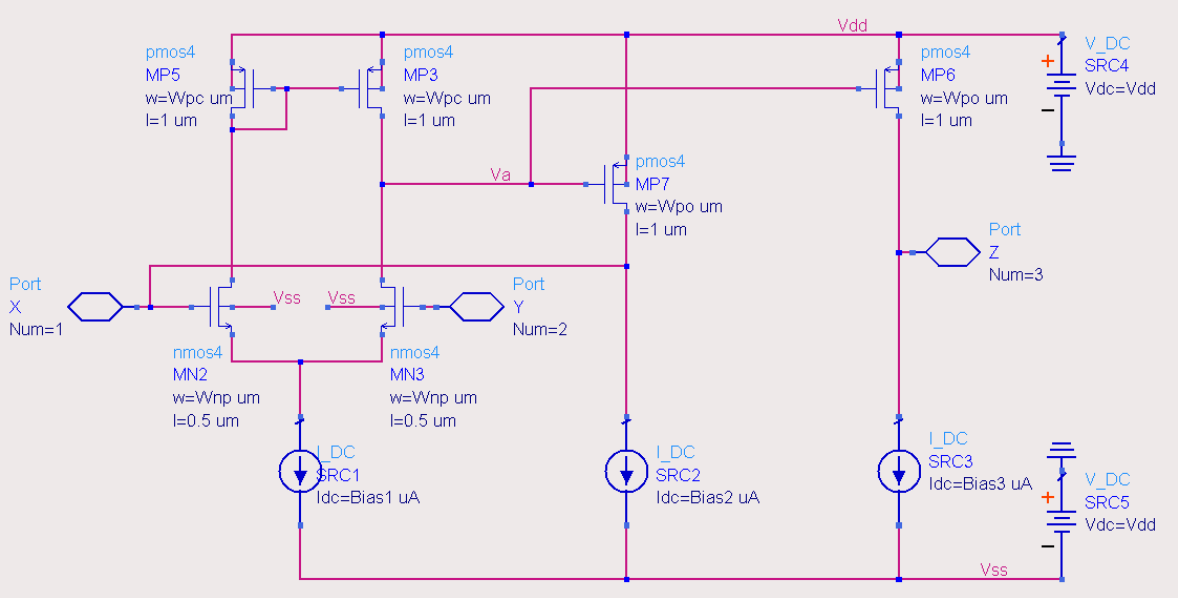


Figura 4.36. Topología simplificada de un CCII basado en entrada diferencial.

El inconveniente de esta topología es que la β $(\beta = I_z / I_x)$ depende de las cargas que conectemos a los nodos X y Z, cuyos valores resistivos tienen que ser más bajos que las impedancias de salida típicas de un MOS. Esto no ocurría en la topología anterior en la que sólo la carga conectada al nodo Z podría afectar a la β. En la Tabla 4.6 se muestra todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.36.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 4.6 Características del CCII para el circuito mostrado en la Figura 4.36

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	45 µW	Resistencia Parásita en el Nodo X	63,07 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	14,48 µH
Ancho de Banda	136,2 MHz	Impedancia Parásita en el Nodo Y	71,72 fF
Máxima Excursión de Salida	-749 mV, +662,7 mV	Impedancia Parásita en el Nodo Z	1,589 MΩ

La topología introducida en la Figura 4.36 puede ser fácilmente modificada para obtener un CCII clase AB. Esto se puede llevar a cabo remplazando las dos fuentes de referencia I_{bias2} e I_{bias3} por dos transistores tipo n, tal y como se muestra en el circuito de la Figura 4.37.

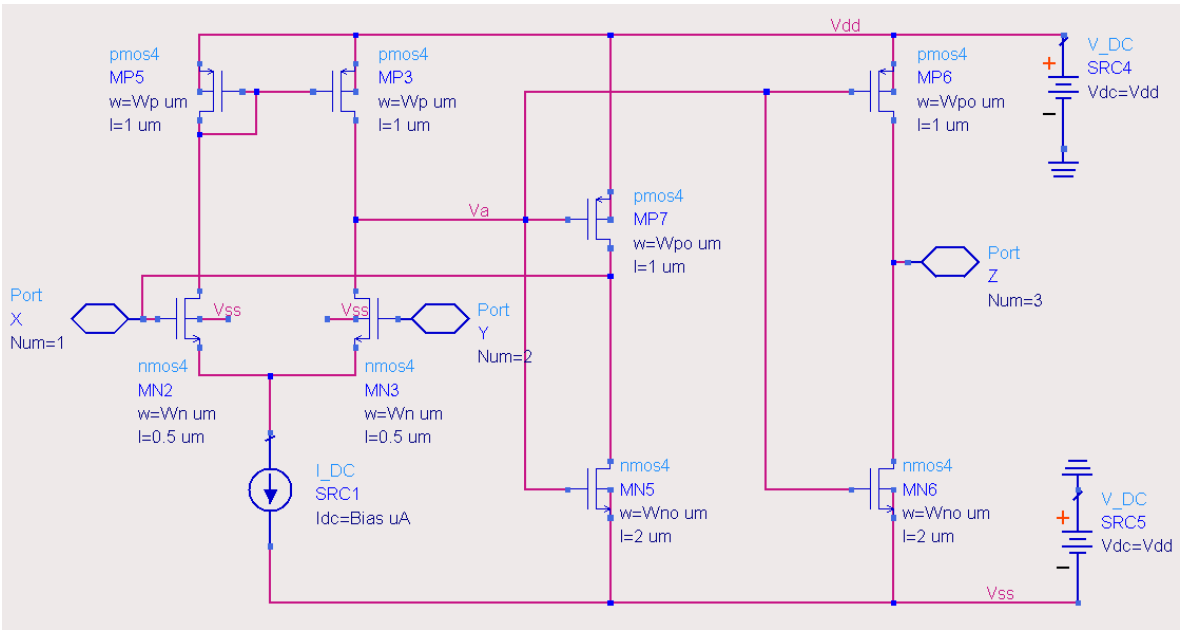


Figura 4.37. Topología de un CCII clase AB basado en entrada diferencial.

Con respecto al CCII clase A, mostrado en la Figura 4.36, esta topología permite que las corrientes I_x e I_y puedan circular tanto entrando como saliendo del CCII, solventando de esta manera la limitación sobre la máxima excursión de salida. En la Tabla 4.7 se muestra

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.37.

Tabla 4.7 Características del CCII para el circuito mostrado en la Figura 4.37

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	45 µW	Resistencia Parásita en el Nodo X	38,98 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	78,3 µH
Ancho de Banda	130,2 MHz	Impedancia Parásita en el Nodo Y	1,91 pF
Máxima Excursión de Salida	-750 mV, +750 mV	Impedancia Parásita en el Nodo Z	1,123 MΩ

El uso de un par diferencial en la implementación de CCIIs también se puede extender a las topologías básicas. El *current conveyor* basado en espejos de corriente, mostrado en la Figura 4.33 se puede modificar empleando, como primera etapa, un par diferencial. El resultado de esta mezcla se muestra en la Figura 4.38. En este caso sólo el terminal Y se ve afectado mientras que los otros dos terminales X y Z no cambian.

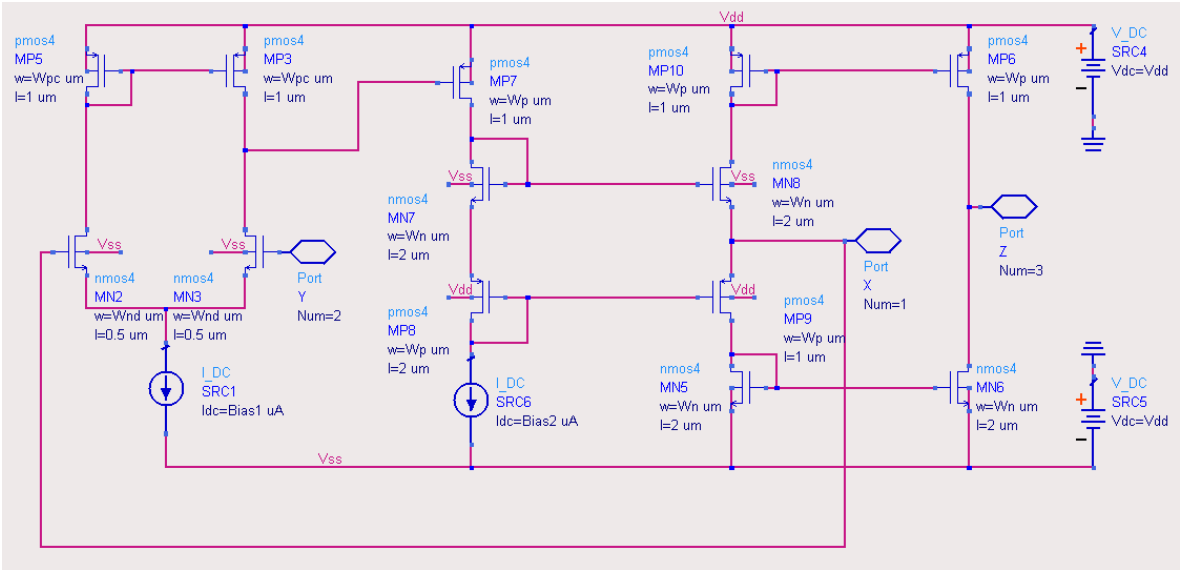


Figura 4.38. Topología de un CCII clase AB basado en entrada diferencial con la etapa de salida modificada.

El par diferencial permite tener una alta impedancia en el nodo Y, independientemente de la

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

impedancia de la fuente de referencia. Obviamente, esto es una mejora con respecto a la solución mostrada en la Figura 4.33. Gracias al efecto de realimentación introducido con el par diferencial, la impedancia parásita del nodo X también muestra una mejora. El único inconveniente se puede presentar en el carácter inductivo que muestra la impedancia parásita del nodo X. La impedancia de salida del nodo Z se mantiene muy alta, dadas por las resistencias de salida de los transistores. En la Tabla 4.8 se muestran todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.38.

Tabla 4.8 Características del CCII para el circuito mostrado en la Figura 4.38

Parámetros	Valores	Parámetros	Valores
Alimentación	±1,5 V	Ganancia de Corriente	1,00
Potencia Consumida	118,8 μW	Resistencia Parásita en el Nodo X	127 mΩ
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	0,636 μH
Ancho de Banda	49,44 MHz	Impedancia Parásita en el Nodo Y	53,79 fF
Máxima Excursión de Salida	-750 mV, +420,5 mV	Impedancia Parásita en el Nodo Z	1,064 MΩ

La implementación de un current conveyor clase AB permite mejorar las características del CCII, pero se ha de superar un problema fundamental. Las corrientes de referencia que circulan en las dos ramas compuestas por los transistores MP10 y MN5 y por MP6 y MN6 (ver Figura 4.37) se controlan sólo por la relación de aspecto de los transistores y además dependen de la tensión de alimentación. Esto significa que cualquier variación de la tecnología podría producir corrientes de polarización cuyos valores pueden ser muy diferentes de aquellos fijados durante el proceso de diseño. Por esta razón se ha propuesto una nueva topología, mostrada en la Figura 4.39, con una polarización diferente de la etapa de salida [17]. Desde el punto de vista de DC, los puntos de polarización de los transistores MP10 y MN5 vienen dados por una adecuada elección de las corrientes I_{bias2} y la resistencia R. De esta manera, se logra vencer los problemas de polarización de las etapas de salida, ya que no hay dependencia de la tensión de alimentación. Si se toma en cuenta el modelo en pequeña señal no cambiaría nada. De hecho, si las dos fuentes de corriente (I_{bias2}) se consideraran ideales, ninguna señal de corriente circularía por la resistencia R, y las puertas de los transistores MP10 y MN5 tendrían la misma señal de tensión.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

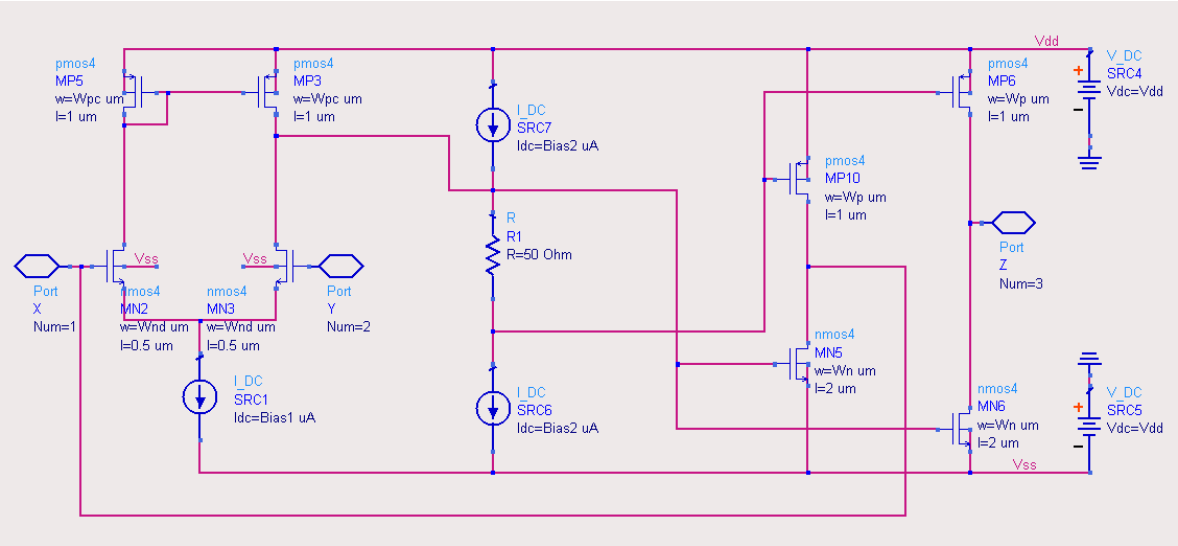


Figura 4.39. Topología de un CCII clase AB con una solución de referencia mejorada.

En la Tabla 4.9 se muestran todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.39.

Tabla 4.9 Características del CCII para el circuito mostrado en la Figura 4.39

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	60,15 µW	Resistencia Parásita en el Nodo X	38,96 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	78,14 µH
Ancho de Banda	130 MHz	Impedancia Parásita en el Nodo Y	1,91 pF
Máxima Excursión de Salida	-750 mV, +617,6 mV	Impedancia Parásita en el Nodo Z	1,12 MΩ

Obviamente, es posible implementar la solución complementaria para la etapa de entrada, empleando un par diferencial basado en PMOS, como se muestra en la Figura 4.40. El principio de operación es exactamente el mismo que el visto en la Figura 4.39.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

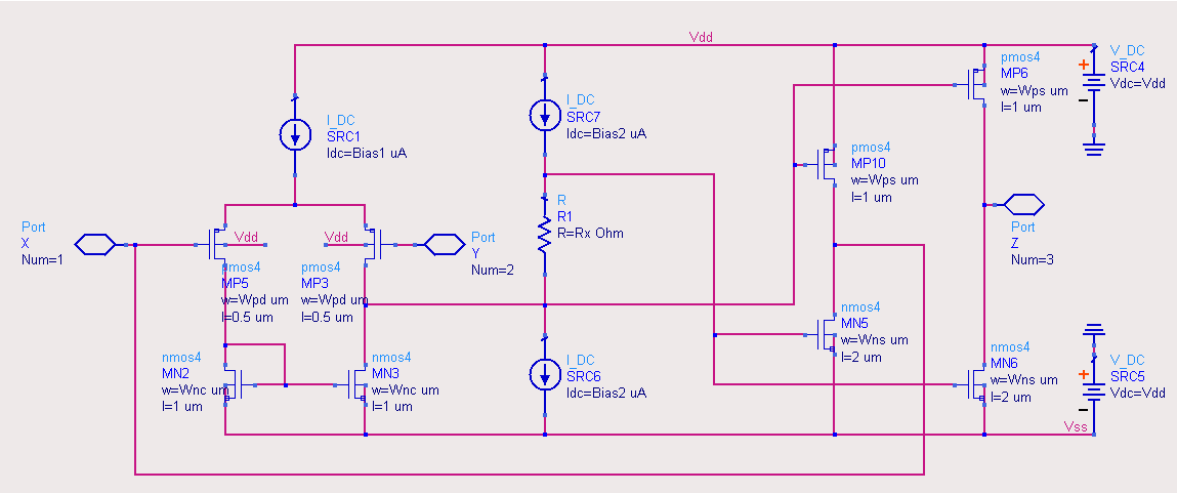


Figura 4.40. Topología de un CCII clase AB con una solución de referencia mejorada, basada en una entrada diferencial tipo p.

En la Tabla 4.10 se muestra todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.40.

Tabla 4.10 Características del CCII para el circuito mostrado en la Figura 4.40

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	60 µW	Resistencia Parásita en el Nodo X	64,82 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	0,902 µH
Ancho de Banda	121,6 MHz	Impedancia Parásita en el Nodo Y	72,73 fF
Máxima Excursión de Salida	-750 mV, +749mV	Impedancia Parásita en el Nodo Z	1,12 MΩ

Las dos últimas topologías, mostradas en las Figura 4.39 yFigura 4.40, muestran un comportamiento particular. De hecho, a groso modo, podemos decir que los CCII basados en tipo n operan para tensiones altas a la entrada, mientras que los basados en tipo p operan para tensiones bajas a la entrada [17]. Esto significa que las dos soluciones, si las usamos de forma conjunta son capaces de manejar señales de entrada desde la tensión de alimentación positiva (para los basados en tipo n) hasta la negativa (para los basados en tipo p). A esto se le denomina comúnmente operación *rail* a *rail* (*rail to rail*).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

La idea es juntar las dos etapas de entrada, ubicando ambos pares diferenciales en paralelo y así obtendríamos un *current conveyor rail-to-rail* como el mostrado en la Figura 4.41.

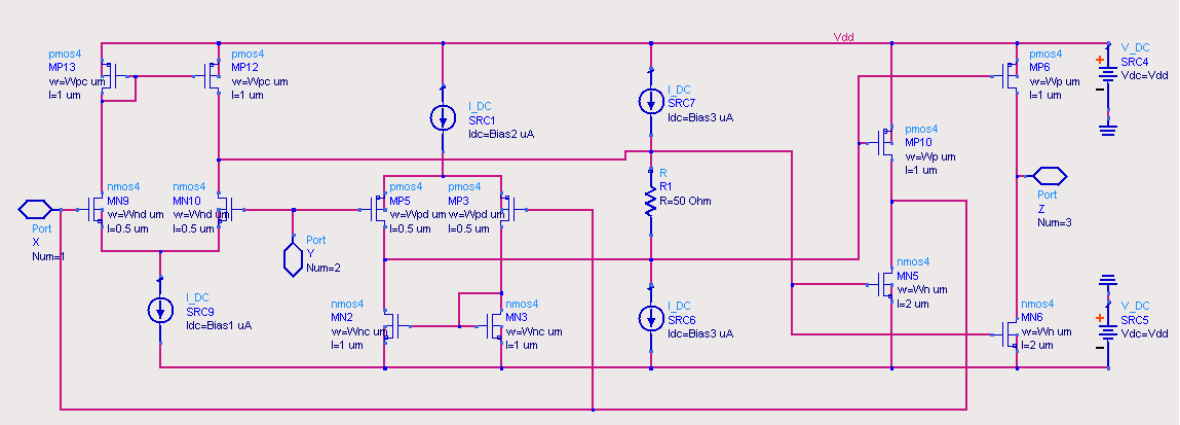


Figura 4.41. Topología de un CCII clase AB *rail-to-rail* con una solución de referencia mejorada.

Los resultados de la topología de la Figura 4.41 se muestran en la Tabla 4.11 obtenidos en las diferentes simulaciones realizadas al circuito.

Tabla 4.11 Características del CCII para el circuito mostrado en la Figura 4.41

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	75,15 µW	Resistencia Parásita en el Nodo X	51,26 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	44,24 µH
Ancho de Banda	121,4 MHz	Impedancia Parásita en el Nodo Y	108,35 fF
Máxima Excursión de Salida	-736 mV, +718 mV	Impedancia Parásita en el Nodo Z	1,119 MΩ

Como pudimos comprobar al comienzo del capítulo, los *current conveyors* se pueden ver como un amplificador de transconductancia (OTA) con una realimentación. En la Figura 4.42 se muestra un ejemplo de esto basado en un OTA simple. La tensión de salida del OTA se conecta a una etapa inversora, como la que se presentó en la Figura 4.36 y la salida de la etapa inversora se conecta a un terminal de entrada del OTA, consiguiendo de esta forma una baja impedancia en el nodo X.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

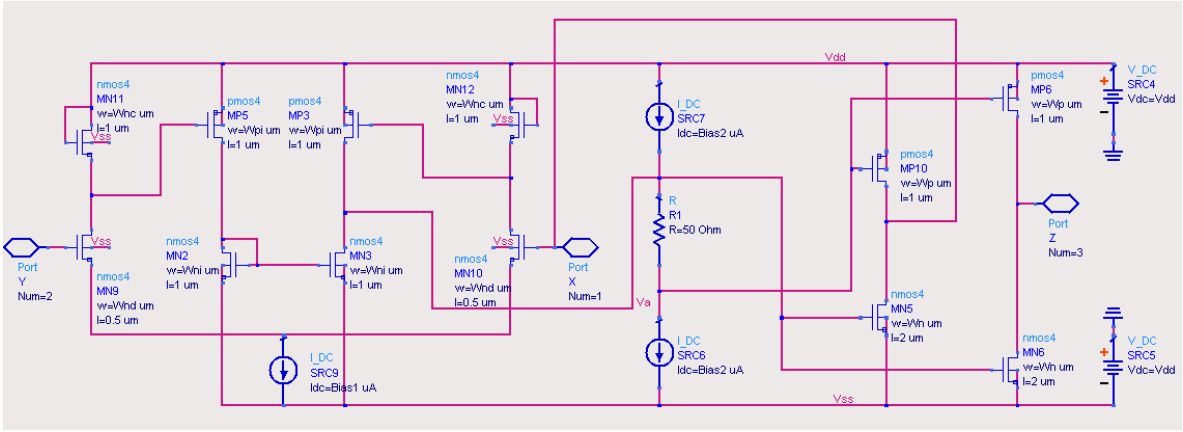


Figura 4.42. Topología de un CCII basada en un OTA.

Los resultados obtenidos con el circuito de la Figura 4.42 muestran algunas mejoras con respecto a los resultados obtenidos en las topologías anteriores, especialmente en lo que concierne a la máxima excursión de salida. En la Tabla 4.12 se muestra todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.42.

Tabla 4.12 Características del CCII para el circuito mostrado en la Figura 4.42

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	75,45 µW	Resistencia Parásita en el Nodo X	22,02 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	92 µH
Ancho de Banda	96,17 MHz	Impedancia Parásita en el Nodo Y	76,15 fF
Máxima Excursión de Salida	-750 mV, +750 mV	Impedancia Parásita en el Nodo Z	1,12 MΩ

El circuito de la Figura 4.43 muestra otro CCII basado en un OTA, donde se ha considerado como etapa de entrada un OTA simétrico tipo n.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

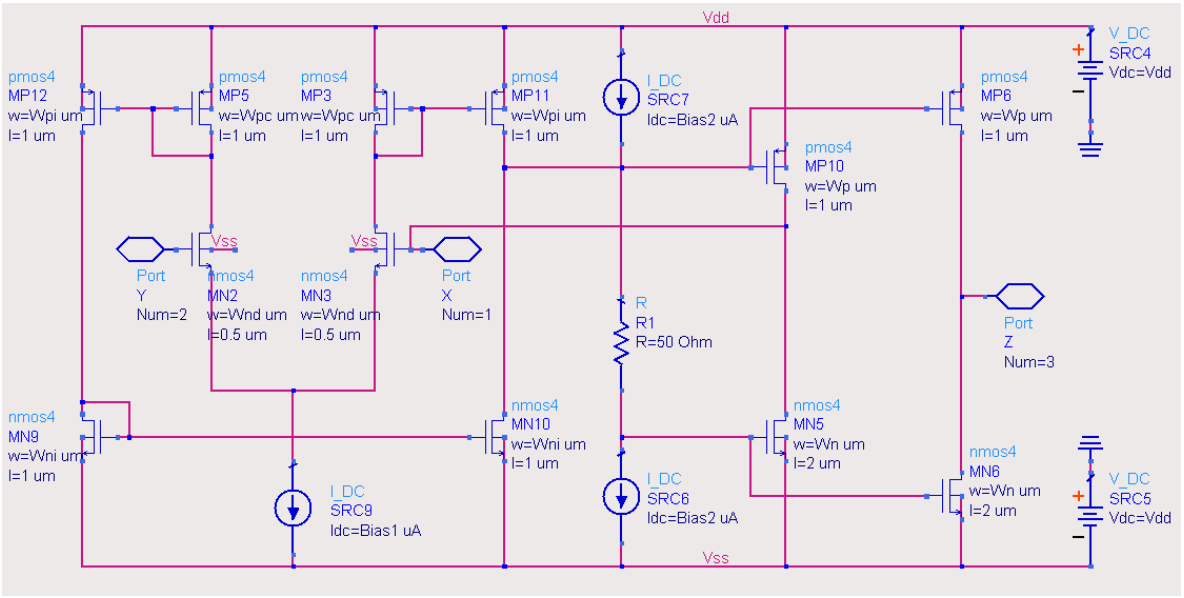


Figura 4.43. Topología de un CCII basado en un OTA simétrico tipo n.

En la Tabla 4.13 se muestra todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.43.

Tabla 4.13 Características del CCII para el circuito mostrado en la Figura 4.43

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	74,85 µW	Resistencia Parásita en el Nodo X	16,52 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	77,03 µH
Ancho de Banda	98,64 MHz	Impedancia Parásita en el Nodo Y	86,12 fF
Máxima Excursión de Salida	-750 mV, +740 mV	Impedancia Parásita en el Nodo Z	1,127 MΩ

Evidentemente también se puede implementar un CCII basado en un OTA simétrico tipo p, como el que se muestra en la Figura 4.44.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

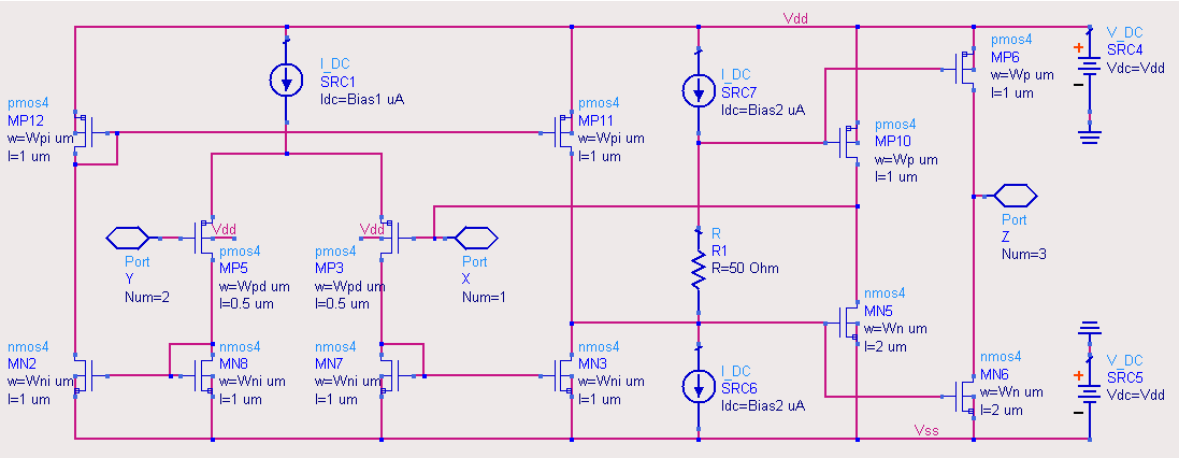


Figura 4.44. Topología de un CCII basado en un OTA simétrico tipo p.

Los resultados de las simulaciones realizadas sobre este circuito se muestran en la Tabla 4.14.

Tabla 4.14 Características del CCII para el circuito mostrado en la Figura 4.44

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	74,85 µW	Resistencia Parásita en el Nodo X	19,13 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	88,96 µH
Ancho de Banda	103,3 MHz	Impedancia Parásita en el Nodo Y	76,81 fF
Máxima Excursión de Salida	-750 mV, +750 mV	Impedancia Parásita en el Nodo Z	1,127 MΩ

Se pueden juntar las dos topologías anteriores para obtener un CCII *rail-to-rail*, como el que se muestra en la Figura 4.45. Cuando la tensión de entrada aplicada al nodo Y es alta, trabajará el CCII basado en tipo n, mientras el tipo p opera para las tensiones bajas.

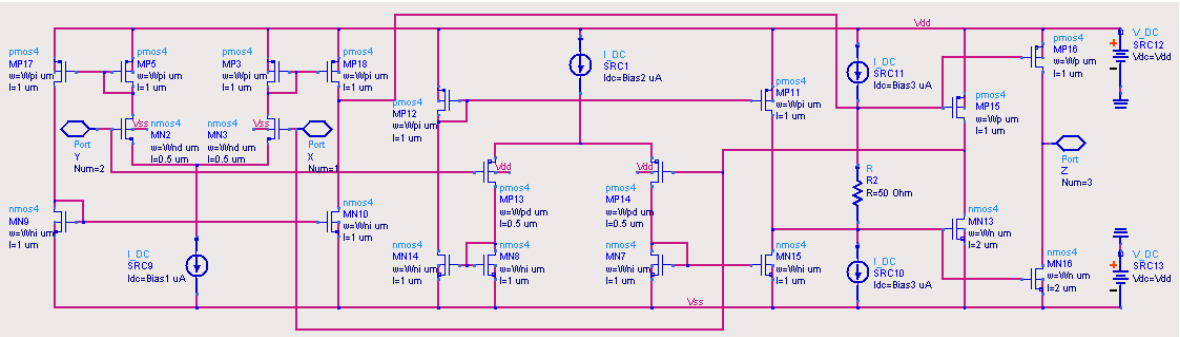


Figura 4.45. Topología de un CCII basado en un OTA simétrico *rail-to-rail*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Tabla 4.15 se muestran todos los parámetros obtenidos en las diferentes simulaciones realizadas al circuito de la Figura 4.45.

Tabla 4.15 Características del CCII para el circuito mostrado en la Figura 4.45

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	74,85 μW	Resistencia Parásita en el Nodo X	17,72 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	41,69 μH
Ancho de Banda	105,2 MHz	Impedancia Parásita en el Nodo Y	164,8 fF
Máxima Excursión de Salida	-750 mV, +750 mV	Impedancia Parásita en el Nodo Z	1,127 MΩ

A lo largo de este apartado hemos estudiado diferentes tipos de estructuras de *current conveyors* en las que a partir de las simulaciones realizadas hemos podido analizar las principales características de cada uno de ellos, que fueron resumidas en diferentes tablas.

Para empezar, el primer circuito (Figura 4.33) permite alcanzar un amplio ancho de banda con una alimentación de ±1,5 V, aunque con ciertas limitaciones en la máxima excursión de salida y en los niveles de impedancia. Para superar estas limitaciones, se propusieron otras topologías de CCII basadas en entradas diferenciales, siendo la primera de estas el circuito de la Figura 4.34. Sin embargo, a pesar de las mejoras introducidas por esta nueva topología, el circuito mantiene limitaciones en los niveles de impedancia. Para solventar este problema se realiza la realimentación a través de un transistor NMOS (Figura 4.35), obteniendo mejores niveles de impedancia con un consumo de potencia limitado (40 μW). El problema de este circuito es que necesita una tensión de alimentación un poco mayor a ±1 V. Para superar este inconveniente se optó modificar ligeramente el circuito obteniendo la estructura de la Figura 4.36. Ahora las únicas limitaciones las producía la etapa de salida, tipo clase A, que se sustituyó por un clase AB, mostrado en la Figura 4.37. Pero para poder diseñar un circuito más robusto son necesarias otras etapas de salida. Juntando las ideas de este último diseño (Figura 4.37) con las del primero (Figura 4.33) obtenemos el circuito de la Figura 4.38, con el que se obtienen resultados satisfactorios, aunque empleando una tensión de alimentación de ±1,5 V. Por ello, en los circuitos de las Figuras 4.39 y 4.40 se sustituye la etapa de salida por una de menor consumo, obteniéndose un mejor rendimiento, con una tensión de alimentación menor.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El único inconveniente de estas topologías es su margen dinámico descompensado, que está más orientado hacia el *rail* positivo para el diseño basado en transistores NMOS (Figura 4.39) mientras que la máxima excursión de salida del circuito basado en transistores PMOS (Figura 4.40) está más orientado hacia el *rail* negativo. Juntando ambas características en un circuito se obtiene el *current conveyor* de la Figura 4.41 con un margen dinámico de *rail* a *rail*.

Finalmente, diseñamos tres *current conveyors* usando la idea vista en la teoría que consiste en que los *current conveyors* se pueden ver como un OTA con una realimentación. Los circuitos resultantes fueron los de las Figuras 4.43, 4.44 y 4.45.

4.4 Amplificadores de transimpedancia basados en *current conveyors*

Después de haber estudiado diferentes topologías de *current conveyors* configurados como fuentes de tensión controladas por tensión (*VCVS*), a continuación analizaremos dos topologías más de *current conveyors* configurados como fuentes de tensión controladas por corriente (*CCVS*) debido a la necesidad de esta configuración para la aplicación del mezclador. Por ello hemos obtenido de la bibliografía [23] y [24] la estructura de la Figura 4.46 cuyas características principales son su etapa de entrada asimétrica y su etapa de salida clase AB.

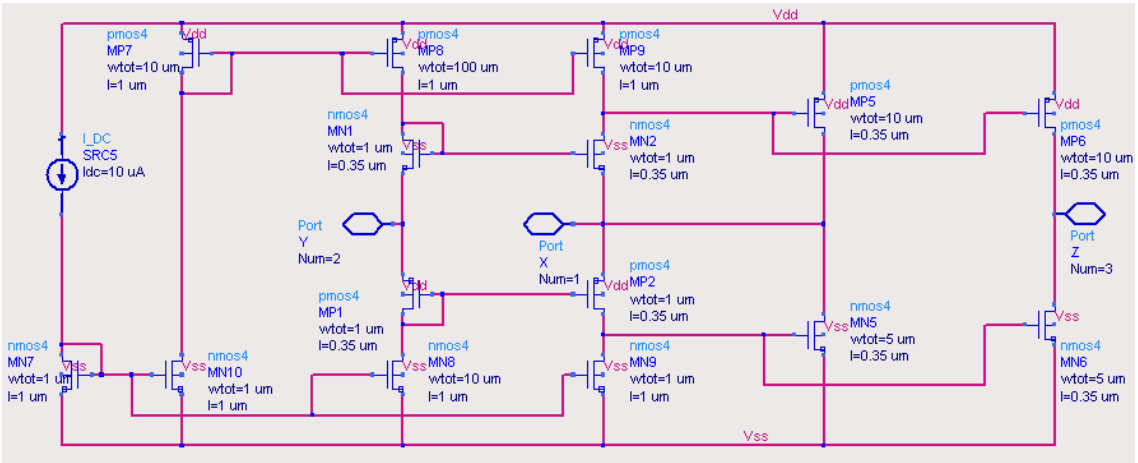


Figura 4.46. *Current conveyor* basado en fuente de tensión controlada por corriente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para simular con esta nueva configuración, obviamente, hemos tenido que cambiar la topología de simulación, cuyos detalles se muestran en el Anexo B. Los resultados, a modo de resumen, de las simulaciones correspondientes al CCII de la Figura 4.46, se muestran en la Tabla 4.16.

Tabla 4.16 Características del CCII para el circuito mostrado en la Figura 4.46

Parámetros	Valores	Parámetros	Valores
Alimentación	±1,65 V	Ganancia de transimpedancia	11,96 kΩ
Potencia Consumida	3,18 mW	Resistencia Parásita en el Nodo X	422,44 Ω
Ancho de Banda	631 MHz	Impedancia Parásita en el Nodo Z	12,39 kΩ
Máxima Excursión de Salida	-839 mV, +805 mV		

En la Figura 4.47 podemos ver el esquema del segundo CCII que hemos estudiado en este apartado. Básicamente, es el mismo esquema que el *current conveyor* de la Figura 4.46 con la única diferencia de éste tiene una etapa de referencia de corriente previa a la etapa de salida. Esta nueva topología intenta evitar los problemas de referencia de corriente en la etapa de salida, ya que las corrientes de referencia que circulan en las dos ramas compuestas por los transistores MP5 y MN5 y por MP6 y MN6 (ver Figura 4.47) se controlan sólo por la relación de aspecto de los transistores y dependen de la tensión de alimentación. Esto significa que la dispersión tecnológica podría producir corrientes de polarización con valores diferentes de los fijados durante el proceso de diseño.

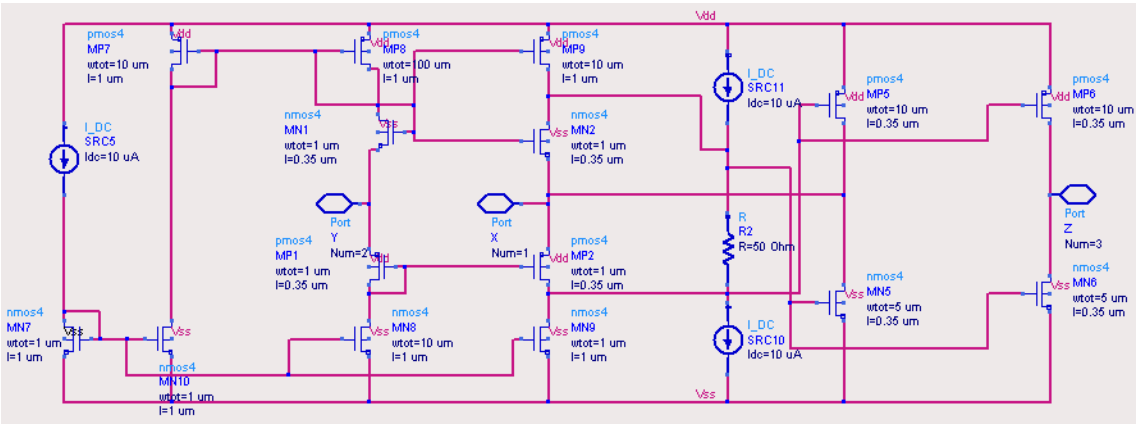


Figura 4.47. *Current conveyor* basado en fuente de tensión controlada por corriente, con la solución de referencia mejorada.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Los resultados, a modo de resumen, de la simulación correspondiente al CCII de la Figura 4.47, los podemos ver en la Figura 4.47.

Tabla 4.17 Características del CCII para el circuito mostrado en la Figura 4.47

Parámetros	Valores	Parámetros	Valores
Alimentación	±1,65 V	Ganancia de transimpedancia	9,15 kΩ
Potencia Consumida	3,86 mW	Resistencia Parásita en el Nodo X	692 Ω
Ancho de Banda	681 MHz	Impedancia Parásita en el Nodo Z	9,86 kΩ
Máxima Excursión de Salida	-767 mV, +562 mV		

4.5 Conclusiones

En este capítulo hemos realizado un estudio de los *current conveyors*, comenzando con su historia y evolución, sus conceptos teóricos y finalizando con un amplio repertorio de simulaciones de diferentes topologías de CCII basadas en fuentes de tensión controladas por tensión. Para concluir se simularon dos amplificadores de transconductancia basados en *current conveyors*.

En el siguiente capítulo estudiaremos los mezcladores como aplicación del *current conveyor*. Además decidiremos la topología óptima de los *current conveyors* vista en este capítulo para la aplicación escogida. También veremos el proceso de diseño del esquema elegido tanto a nivel de esquemático como de *layout* y las respectivas simulaciones *post-layout* de nuestro diseño.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 5

Diseño del mezclador y optimización del CCII

5.1 Introducción

En la primera parte de este capítulo vamos a estudiar el funcionamiento y diseño de los mezcladores de frecuencias. Tras la introducción, el capítulo comienza con un estudio de los conceptos básicos relativos a los mezcladores para posteriormente abordar el estudio de las estructuras más comunes. En la segunda parte mostraremos el proceso de selección de la estructura del mezclador y del *current conveyor* que se ajustaban a nuestras especificaciones. Finalizaremos el capítulo con el diseño del *current conveyor* elegido tanto a nivel de esquemático como a nivel de *layout* y con las respectivas simulaciones *post-layout*.

5.2 Teoría básica del mezclador

Un mezclador de frecuencias tiene la función de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de la señal a trasladar (ancho de banda, relación de amplitudes, etc.).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Un mezclador de frecuencias le suma o le resta a la banda de frecuencias de la señal de entrada V_{RF}, centrada en la frecuencia f_{RF}, un valor de frecuencia constante de valor f_{LO} denominado frecuencia del oscilador local, para obtener una señal centrada en la frecuencia $f_{IF,}$ denominada frecuencia intermedia. Un diagrama básico sería el mostrado en la Figura 5.1.

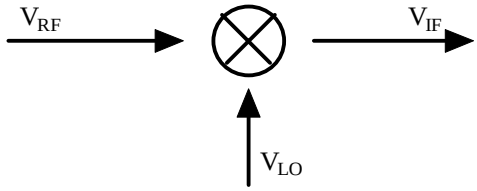


Figura 5.1. Diagrama básico de un mezclador.

La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, ser una señal en banda base o una señal paso banda, y el mezclado puede realizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*).

La Figura 5.2 representa el esquema de un receptor que utiliza un mezclador *down-conversion* para convertir la señal RF en una señal intermedia IF, mezclando la señal RF con la señal LO procedente de un oscilador local. La Figura 5.3 muestra un transmisor, en el que se convierte una señal de baja frecuencia en una de alta frecuencia.

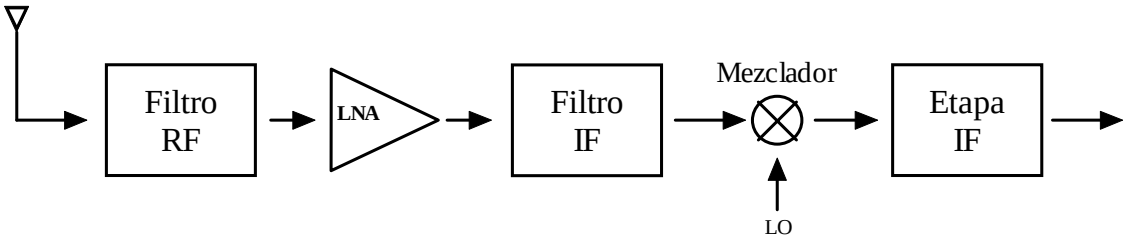


Figura 5.2. Esquema de un receptor.

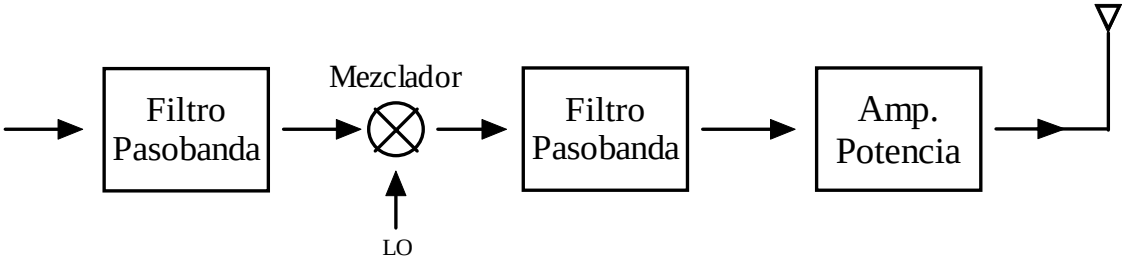


Figura 5.3. Esquema de un transmisor.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.3 Parámetros del mezclador

En los siguientes apartados se definen los parámetros más importantes que describen el funcionamiento del mezclador.

5.3.1 Ganancia de conversión

Una característica importante de un mezclador es la ganancia (o pérdida) de conversión, que se define como la relación entre la señal de salida (IF) y el valor de la señal de entrada (RF). Para un mezclador caracterizado con la ecuación 5.1:

$$\left(A_{RF}\cos\ \omega_{RF}t\right)\cdot\left(A_{LO}\cos\ \omega_{LO}t\right)=\frac{A_{RF}\cdot A_{LO}}{2}\left[\cos\left(\omega_{RF}-\omega_{LO}\right)t+\cos\left(\omega_{RF}+\omega_{LO}\right)t\right] \qquad (5.1)$$

la ganancia de conversión es la salida IF, $A_{RF}\cdot A_{LO}/2$, dividido entre la amplitud de la señal de entrada RF, A_{RF}. Por lo que en este ejemplo, la ganancia de conversión sería $A_{LO}/2$, es decir, la mitad de la amplitud LO.

La ganancia de conversión, si se expresa como una relación de potencia, puede ser mayor que la unidad en mezcladores activos, mientras que los mezcladores pasivos sólo son capaces de lograr ganancias superiores a la unidad en tensión o en corriente.

Normalmente es conveniente obtener una ganancia de conversión alta, ya que esto implica que los mezcladores proporcionan amplificación a la frecuencia de traslación.

5.3.2 Figura de ruido

La figura de ruido se define como la relación entre la SNR (Señal/Ruido) en el puerto de entrada RF y la SNR a la salida IF expresada en dB.

En un mezclador existen dos frecuencias de entrada que generan una frecuencia intermedia, una es la señal RF y la otra se denomina señal imagen (Figura 5.4). Estas dos señales se denominan bandas laterales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

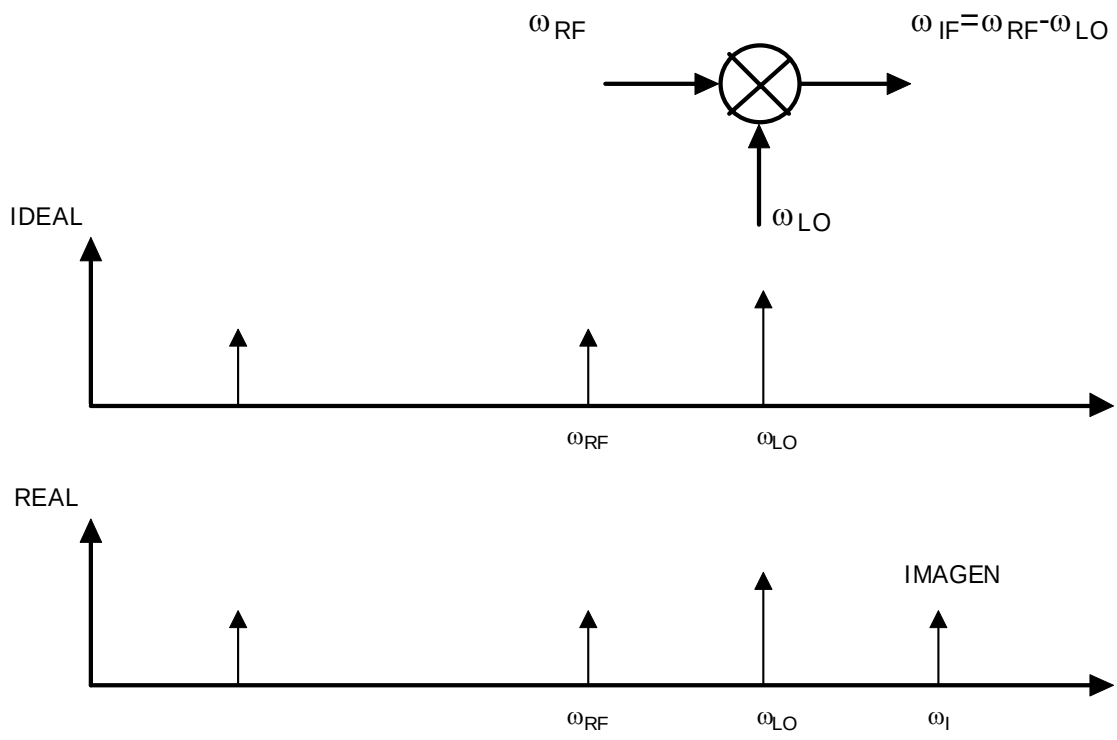


Figura 5.4. Frecuencia imagen.

La razón de la existencia de estas dos frecuencias es que la señal IF es la magnitud de la diferencia entre las frecuencias RF y LO. Por lo tanto, señales que están por debajo y por encima de IF, con una diferencia igual ($2\omega_{IF}$), producirán salidas IF de la misma frecuencia. Por ejemplo, si suponemos que la frecuencia IF es 100 MHz y queremos sintonizar una señal a 900 MHz seleccionando una frecuencia LO de 1 GHz, además de la señal de entrada RF deseada a 900 MHz, la señal imagen de 1,1 GHz también producirá una señal de salida IF de 100 MHz.

La existencia de una frecuencia imagen empeora la figura de ruido debido a que el ruido originado en la frecuencia deseada RF y en la frecuencia imagen se convierten en ruido IF.

En el caso en que la señal deseada exista sólo a una frecuencia, la figura de ruido que se mide se denomina figura de ruido de banda lateral única (SSB_NF, Figura 5.5). En el caso de que ambas señales, RF y la señal imagen, contengan información útil, se utiliza una figura de ruido de doble banda lateral (DSB_NF, Figura 5.6).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Obviamente, la SSB_NF será mayor que la DSB_NF, debido a que ambas tienen el mismo ruido FI, pero la SSB_NF tiene potencia de señal sólo en una banda lateral. Por lo tanto, la SSB_NF será normalmente 3dB mayor que la DSB_NF.

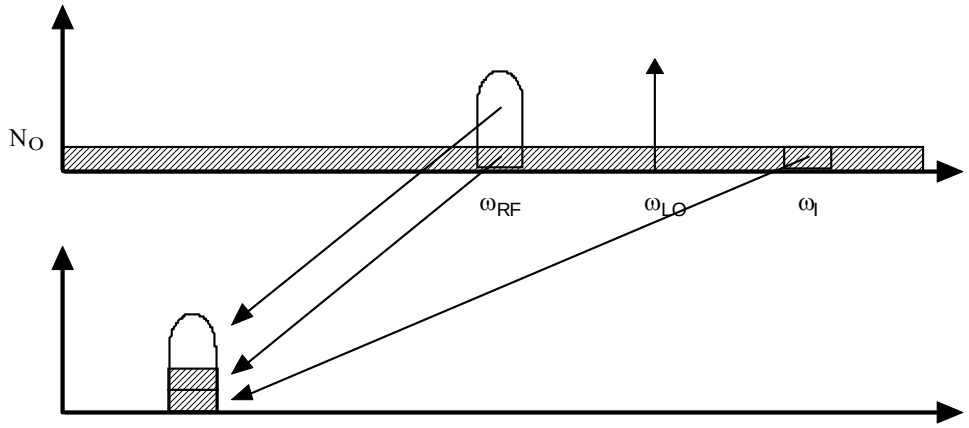


Figura 5.5. SSB_NF.

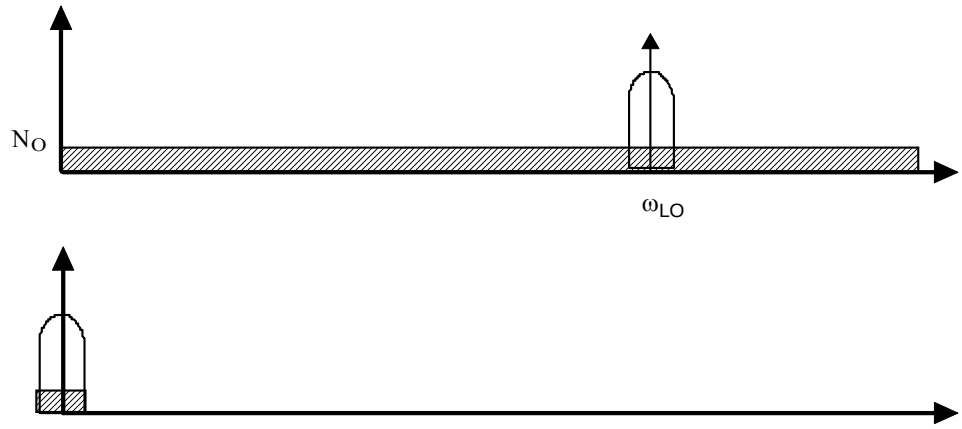


Figura 5.6. DSB_NF.

5.3.3 Linealidad

Existen diferentes formas de definir la linealidad de un mezclador. En los siguientes apartados veremos las más utilizadas.

5.3.3.1 Punto de compresión

Como en los amplificadores y, prácticamente en todos los dispositivos físicos, los mezcladores reales tienen un límite por encima del cual la salida no es lineal con la entrada. El punto de compresión es el valor de la señal RF en el que se produce una desviación de la

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

curva lineal ideal. Normalmente se especifica un valor de compresión de 1 dB (o más raramente 3 dB). Sobre este nivel, un aumento adicional en el nivel de entrada RF no se traduce en un aumento proporcional en el nivel de salida. Cuantitativamente, la compresión de ganancia es la reducción del nivel de salida en dB por debajo de la característica lineal.

5.3.3.2 Distorsión de intermodulación de tercer orden

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden *IP3 (third intercept point*) el cual se puede dar referido a la entrada (*IIP*3) o a la salida (*OIP*3). El punto de intercepción es el lugar en el que la curva de respuesta fundamental y la de respuesta espuria de tercer orden se interceptan (ver Figura 5.7). A menudo se usa para especificar la supresión de los armónicos de tercer orden generados por el mezclador cuando a la entrada del mismo están presentes dos tonos. Mientras más alto esté el punto de intercepción, mejor será la supresión de los armónicos de tercer orden.

Un *test* de intermodulación de tercer orden es una forma eficaz para evaluar el rendimiento de un mezclador debido a que imita un escenario real en el que hay presente a la entrada una señal deseada RF y una potencial interferencia.

Idealmente, ambas señales presentes en la entrada RF serían trasladadas en frecuencia sin interaccionar unas con otras. Un mezclador real muestra algunos efectos de intermodulación y, por lo tanto, la salida contendrá versiones trasladadas en frecuencia de los componentes de intermodulación de tercer orden cuyas frecuencias serán $2\omega_{RF1}\pm\omega_{RF2}$ y $2\omega_{RF2}\pm\omega_{RF2}$.

La distorsión de intermodulación de tercer orden en dos tonos es la cantidad de distorsión de tercer orden causada por la presencia de una señal secundaria recibida en el puerto de RF. Matemáticamente, la distorsión de tercer orden se define en términos de la componente de frecuencia en $2f_2-f\pm f_o$, donde f, es la señal de entrada deseada y f_2 es la señal de entrada secundaria. Por lo general, mientras más alto sea el punto de interceptación del mezclador, más baja será la amplitud de este producto.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

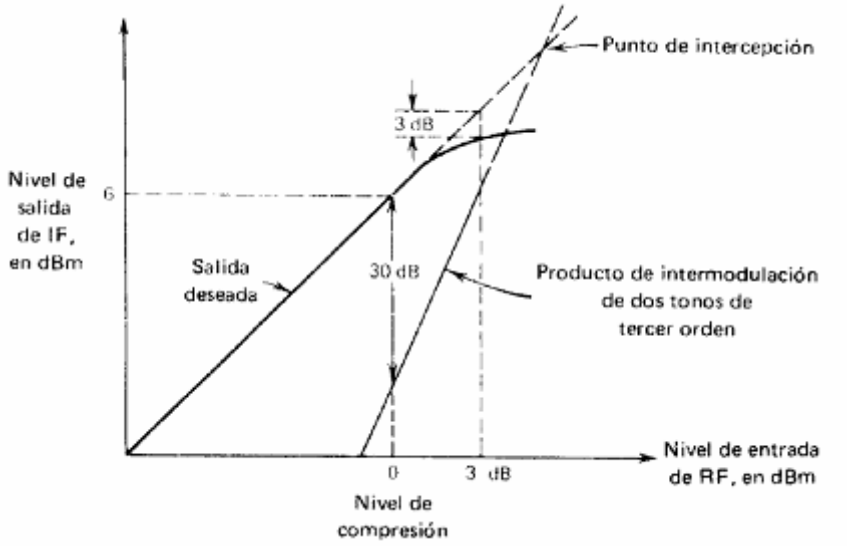


Figura 5.7. Definiciones de terminología de operación de mezcladores.

En la Figura 5.7, se muestra la característica de un mezclador hipotético, así como la representación gráfica de las definiciones anteriores. Para una entrada de 0 dBm la salida es de 6 dBm, indicando una ganancia de conversión de 6 dB. En este nivel de entrada, el producto de intermodulación de dos tonos y tercer orden está 30 dB por debajo de la salida deseada. En un valor de entrada más alto aparece el punto de compresión de 3 dB (3 dB de salida deseada abajo del valor de línea recta); y a un nivel de entrada aun más alto se encuentra el punto de interceptación que es donde se interceptan las curvas proyectadas de la salida deseada y las del producto de intermodulación de tercer orden.

5.3.4 Aislamiento

El aislamiento representa la cantidad de "fuga" o "paso de señal" entre los puertos del mezclador (Figura 5.8). Se supone que en cada terminal debe estar presente únicamente la señal correspondiente al puerto. Si el aislamiento es grande esto ocurre, si no lo es, aparecerá en el puerto parte de señal que pertenece al otro puerto. Por ejemplo, el aislamiento en el puerto de RF de la señal LO, es la cantidad en que se atenúa la señal LO en el puerto de RF, respecto del nivel que ésta tenía en su propio puerto. El aislamiento depende de la configuración física del mezclador.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

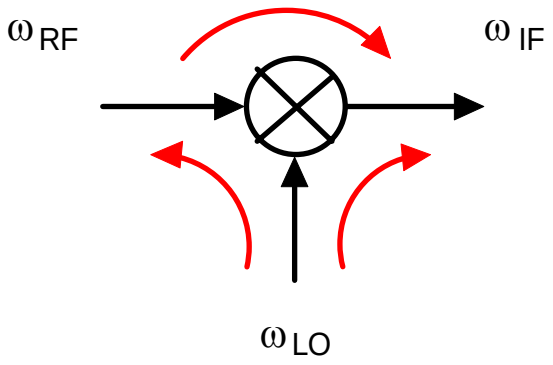


Figura 5.8. Posibles fugas en un mezclador.

5.4 Tipos de mezcladores

Existen dos maneras de mezclar señales, con los mezcladores que implementan directamente una multiplicación o los que producen una no-linealidad.

Los mezcladores basados en sistemas no lineales generan un número elevado de componentes espectrales. Además, debido a que este tipo de mezcladores tienen una única entrada, las señales de RF y LO no suelen estar lo suficientemente aisladas entre ellas. En la Figura 5.9 se muestra un ejemplo de este tipo de mezcladores [25].

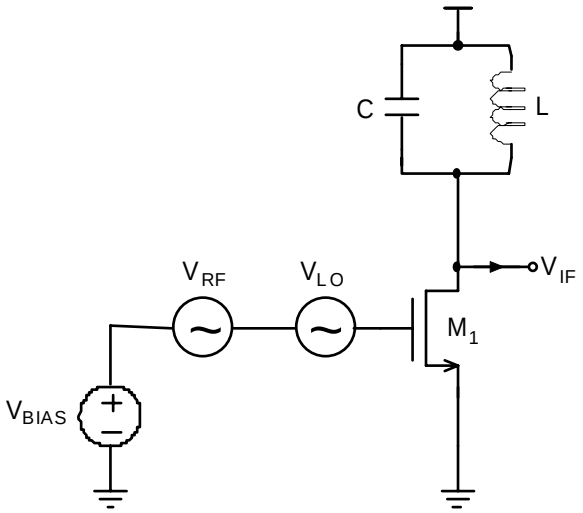
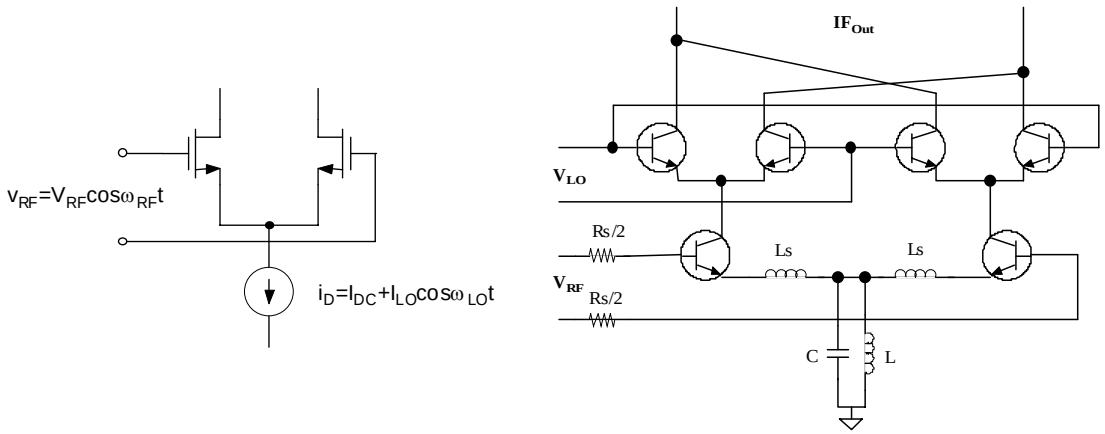


Figura 5.9. Mezclador basado en sistemas no lineales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En cambio, los mezcladores basados en multiplicadores, Figura 5.10, presentan por lo general un rendimiento mayor ya que (idealmente) sólo generan el producto de intermodulación deseado. Además, debido a que las entradas del multiplicador se encuentran en puertos separados, puede haber un alto grado de aislamiento entre las tres señales (RF, LO, IF).

Los mezcladores basados en multiplicadores se catalogan como activos (simple balanceado y doble balanceado) y pasivos en función de si tienen o no ganancia en potencia.



Mezclador simple-balanceado

(a)

Mezclador doble-balanceado

(Célula de Gilbert)

(b)

Figura 5.10. Mezcladores basados en multiplicadores

El mezclador simple balanceado primero convierte la tensión de entrada RF en una corriente y después realiza la multiplicación en el dominio de la corriente. Su inconveniente es la presencia de LO en el espectro de salida. Para evitar este problema se aprovecha la simetría de un mezclador doble-balanceado o la combinación de dos circuitos simple-balanceados.

Los mezcladores pasivos funcionan en esencia de forma similar a los dobles balanceados con la salvedad de que no aportan ganancia en el proceso de mezclado. Los mezcladores pasivos podemos diferenciarlos en dos tipos diferentes según en la región en que trabajen sus transistores. Así podemos encontrar el mezclador pasivo potenciométrico (los transistores

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

están en la zona óhmica) y el conmutado (los transistores conmutan de la región de corte a la de saturación).

En el siguiente apartado estudiaremos en mayor profundidad el mezclador pasivo pues es el tipo de estructura elegida para la aplicación de nuestro *current conveyor*. Para más información sobre el resto de mezcladores, el lector se puede remitir a [26] y [25].

5.5 Mezcladores CMOS pasivos basados en CCII

A continuación mostraremos la estructura básica de un mezclador pasivo, la cual se basa en un puente multiplicador seguido de un amplificador operacional. Una vez estudiada esta estructura pasaremos a exponer la topología propuesta en este proyecto basada en CCII.

5.5.1 Mezcladores pasivos con amplificadores operacionales

El multiplicador CMOS pasivo emplea un puente multiplicador (M1 – M4) tal como se muestra en la Figura 5.11, así como una etapa de amplificación compuesta por un amplificador operacional totalmente diferencial. El puente multiplicador opera en la región óhmica y en consecuencia los MOSFET pueden ser considerados como resistencias. Inicialmente sin considerar la polarización del puente, la tensión en el terminal negativo de salida viene dada como:

$$V_{o-} = -R.\left(I_{D1} + I_{D2}\right) \tag{5.2}$$

Mientras que la tensión positiva viene dada como:

$$V_{o+} = -R.\left(I_{D3} + I_{D4}\right) \tag{5.3}$$

En consecuencia la tensión de salida tiene la siguiente expresión:

$$V_{out} = V_{o+} - V_{o-} = -R.\left(I_{D1} + I_{D2} - I_{D3} - I_{D4}\right) \tag{5.4}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

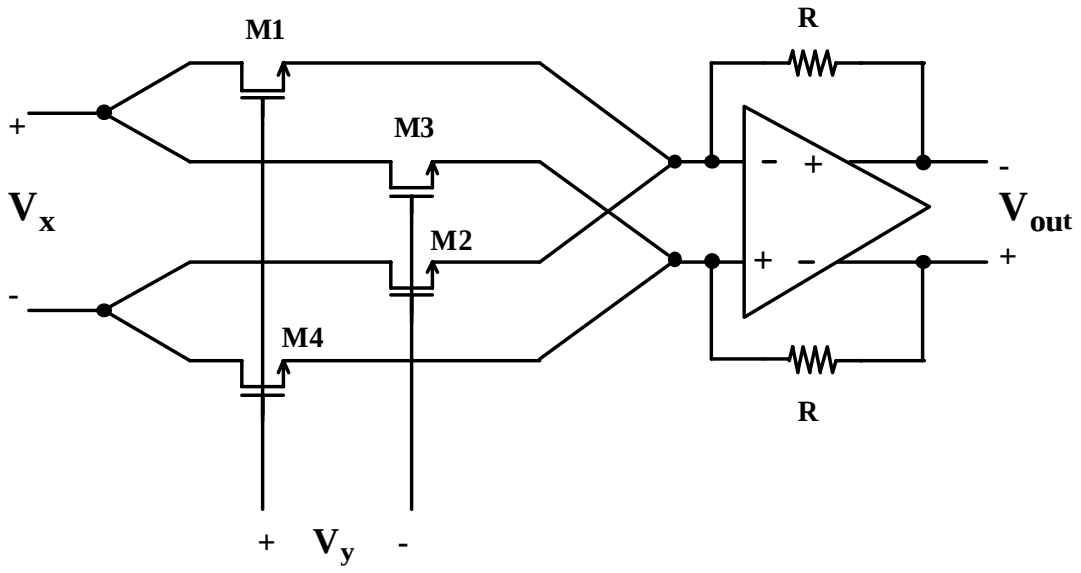


Figura 5.11. Multiplicador Analógico CMOS.

En la Figura 5.12 se muestra un esquema simplificado del multiplicador con la polarización de las entradas. En la entrada X, se ha establecido un nivel de tensión para polarizar el sistema, mientras que el nivel de polarización de la entrada Y, es establecido a un nivel suficiente para mantener al puente en la región óhmica.

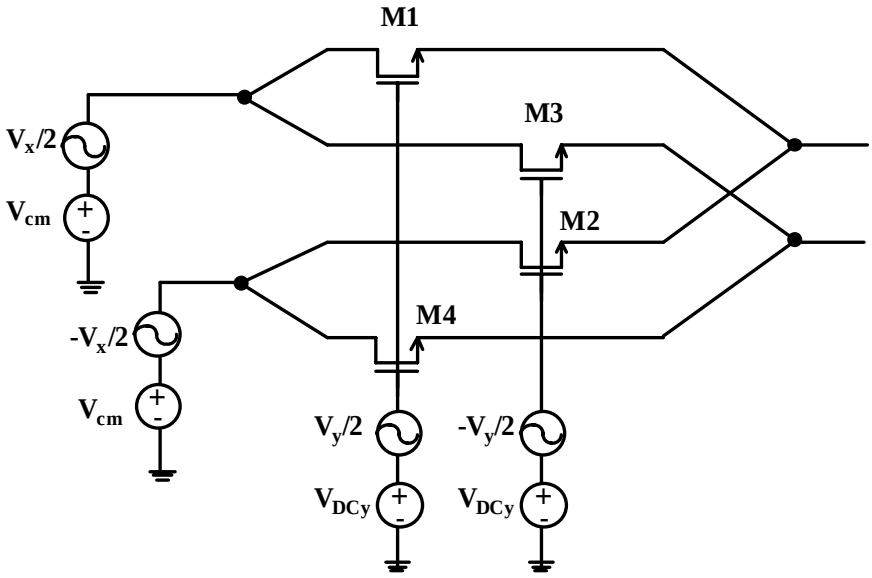


Figura 5.12. Polarización del multiplicador.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Usando la ecuación 2.3 (ver Capítulo 2) correspondiente a la región óhmica de los transistores

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L}\left[(V_{GS} - V_T)\cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \tag{5.5}$$

y teniendo en cuenta que la tensión en DC puerta – surtidor para todos los MOSFET es la misma, las corrientes de drenador se pueden poner como:

$$I_{D1} = \mu_n \cdot C_{OX1} \cdot \frac{W_1}{L_1}\left[\left(V_{GS} + \frac{V_y}{2} - V_{T1} \right)\cdot\left(\frac{V_x}{2} \right) - \frac{1}{2}\left(\frac{V_x}{2} \right)^2 \right] \tag{5.6}$$

$$I_{D2} = \mu_n \cdot C_{OX2} \cdot \frac{W_2}{L_2}\left[\left(V_{GS} - \frac{V_y}{2} - V_{T2} \right)\cdot\left(-\frac{V_x}{2} \right) - \frac{1}{2}\left(-\frac{V_x}{2} \right)^2 \right] \tag{5.7}$$

$$I_{D3} = \mu_n \cdot C_{OX3} \cdot \frac{W_3}{L_3}\left[\left(V_{GS} - \frac{V_y}{2} - V_{T3} \right)\cdot\left(\frac{V_x}{2} \right) - \frac{1}{2}\left(\frac{V_x}{2} \right)^2 \right] \tag{5.8}$$

$$I_{D4} = \mu_n \cdot C_{OX4} \cdot \frac{W_4}{L_4}\left[\left(V_{GS} + \frac{V_y}{2} - V_{T4} \right)\cdot\left(-\frac{V_x}{2} \right) - \frac{1}{2}\left(-\frac{V_x}{2} \right)^2 \right] \tag{5.9}$$

Considerando que $C_{OX}=C_{OX1}=C_{OX2}=C_{OX3}=C_{OX4}$ y que $\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{W_4}{L_4} = 1$ sustituyendo las ecuaciones de 5.6 a 5.9 en la ecuación 5.4 se obtiene que la tensión de salida viene dada por la siguiente ecuación:

$$V_{out} = R \cdot \mu_n \cdot C_{OX}\left(\frac{V_x}{2} \right)\left[\frac{V_y}{2} - V_{T1} + \frac{V_y}{2} + V_{T2} + \frac{V_y}{2} + V_{T3} + \frac{V_y}{2} - V_{T4} \right] \tag{5.10}$$

Puede observarse como si V_{T1}= (V_{T2} o V_{T3}) y V_{T4}= (V_{T3} o V_{T2}) esta ecuación puede rescribirse como:

$$V_{out} = R \cdot \beta \cdot V_x \cdot V_y \tag{5.11}$$

De forma que la tensión de salida es proporcional al producto de las tensiones de entrada. La ganancia del mezclador es:

$$K_m = R \cdot \beta \tag{5.12}$$

Por tanto, la expresión de salida del multiplicador CMOS se puede poner como:

$$V_{out} = K_m \cdot V_x \cdot V_y \tag{5.13}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.5.2 Mezcladores pasivos con *current conveyors*

El mezclador pasivo que acabamos de ver se basa en un puente conmutador que realiza la multiplicación en el dominio de la corriente seguido de un amplificador operacional en configuración de amplificador de transimpedancia (TIA: entra corriente y sale tensión). En este proyecto proponemos la utilización de los *current conveyors* para la implementación del amplificador de transimpedancia, tal y como se muestra en la Figura 5.13.

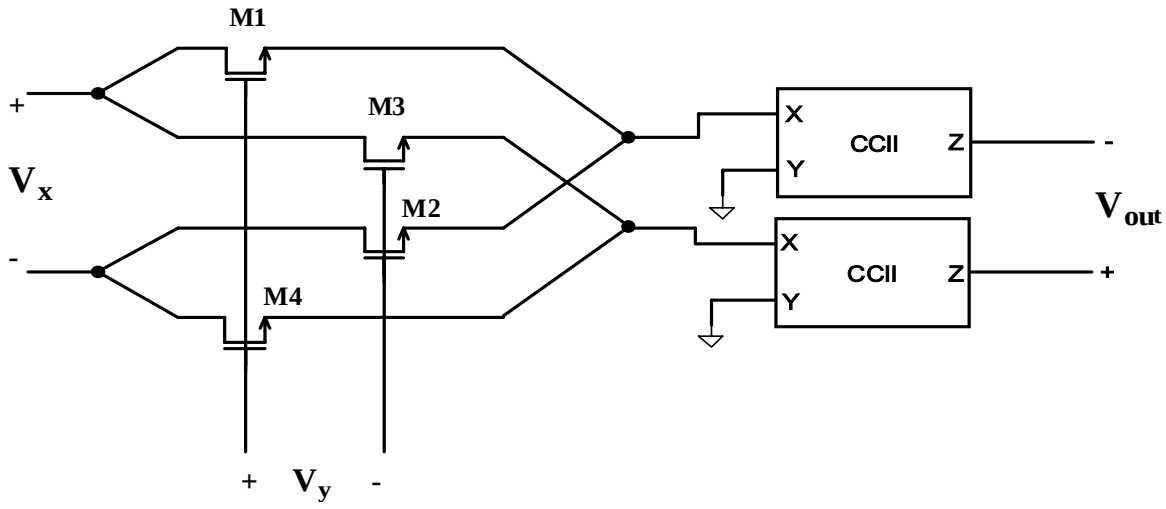


Figura 5.13. Mezclador pasivo con *current conveyors*.

5.6 Diseño de un mezclador pasivo basado en CCIIs

Después de haber comprobado en la bibliografía y hasta lo que nosotros sabemos tan sólo se ha utilizado una vez los *current conveyors* en circuitos de RF [28]. Así que para la realización de este proyecto decidimos ahondar más en esta línea y utilizar esta novedosa opción en lugar del tradicional amplificador operacional configurado en transimpedancia (TIA) que se venía utilizando [26].

5.6.1 Simulaciones de esquemáticos en *CADENCE*

Gracias al amplio estudio de las diferentes estructuras de CCIIs realizado en el capítulo 4 pudimos escoger la estructura que más se ajustaba a nuestras necesidades, que son los amplificadores de transimpedancia basados en *current conveyors*. Y eso nos llevó a quedarnos con los circuitos de las Figuras 4.46 y 4.47. Para descartar una de las dos posibilidades

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

hicimos un pequeño estudio, a través de simulaciones con la herramienta *CADENCE* del que obtuvimos los resultados mostrados en la Tabla 5.1.

Tabla 5.1 Resultados obtenidos de las simulaciones de los CCIIs de las Figuras 4.46 y 4.47

	CCII de la Figura 4.46	**CCII de la Figura 4.47**
Ganancia de transimpedancia	12 kΩ	9,5 kΩ
Ancho de banda a -3dB	655,5 MHz	793 MHz
Consumo	3,13 mW	3,99 mW
Máxima excursión de salida	+808,9 mV, -811,8 mV	-646 mV, +501 mV
Impedancia en el nodo X	425 Ω	548 Ω
Impedancia en el nodo Z	12,43 kΩ	10 kΩ

Estas mismas simulaciones las volvimos a realizar añadiéndole una carga capacitiva debida a la sonda de los equipos de medida disponible en el IUMA. Se trata de una carga de 120 fF, que podemos ver en la Figura 5.14.

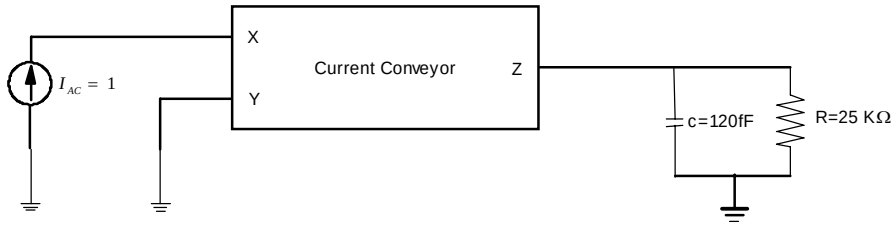


Figura 5.14. Esquema de simulación con carga.

Los resultados obtenidos en estas simulaciones se muestran en la Tabla 5.2.

Tabla 5.2 Resultados obtenidos de las simulaciones de los CCIIs de las Figuras 4.46 y 4.47

	CCII de la Figura 4.46	**CCII de la Figura 4.47**
Ganancia de transimpedancia	8 kΩ	7 kΩ
Ancho de banda a -3dB	132,8 MHz	178 MHz
Consumo	3,13 mW	3,96 mW
Máxima excursión de salida	-660 mV, + 496 mV	-602 mV, + 499 mV
Impedancia en el nodo X	425,8 Ω	548 Ω
Impedancia en el nodo Y	12,43 kΩ	10 kΩ

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tras analizar los resultados de la Tabla 5.2 nos hemos decantado por el circuito de la Figura 4.46 debido, principalmente, a su menor consumo, mayor ganancia y el menor área utilizado, debido a que utiliza menos componentes.

Una vez elegida la estructura de nuestro *current conveyor* tratamos de optimizar el circuito. Para ello realizamos dos tipos de simulaciones, donde obteníamos parámetros como la ganancia, el ancho de banda, la linealidad, la figura de ruido o el consumo. En una de ellas variamos los anchos de los transistores de la etapa de salida y en el otro tipo de simulación variamos la corriente de polarización de la entrada.

Los resultados obtenidos en las simulaciones realizadas a la variación de los anchos de los transistores de la etapa de salida se muestran en la Tabla 5.3 y en las Figuras 5.15, 5.16, 5.17, 5.18, y 5.19. En estas simulaciones podemos observar la respuesta del CCII a esta variación de los transistores.

Tabla 5.3 Resultados de las simulaciones de los anchos de los transistores de la etapa de salida

W del PMOS (µm)	**W del NMOS (µm)**	**Ganancia (dB)**	**BW (MHz)**	**IIP3 (dBm)**	**Figura de Ruido (dB)**	**Consumo (mW)**
10	**5**	13,52	211	0	29,749	3,177
5	**2,5**	11,49	361	2	30	1,722
4	**2**	10,57	431	2	30,059	1,4355
3,5	**1,75**	**9,95**	**481**	**2**	**30,091**	**1,29**
3	**1,5**	9,18	541	1	30,132	1,14
2	**1**	6,88	691	1	30,322	0,858

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

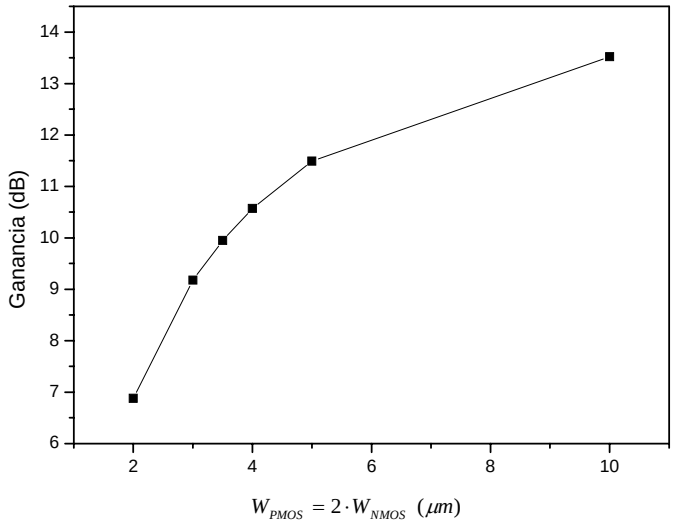


Figura 5.15. Gráfica de la ganancia con respecto a los anchos de los transistores de la etapa de salida del CCII.

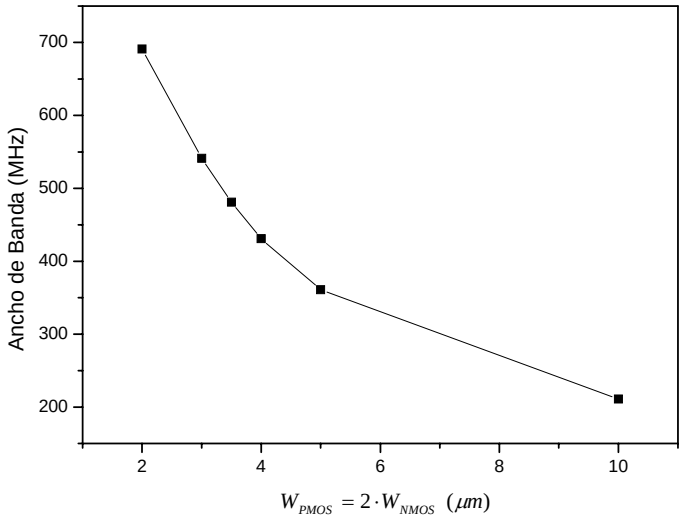


Figura 5.16. Gráfica del ancho de banda con respecto a los anchos de los transistores de la etapa de salida del CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

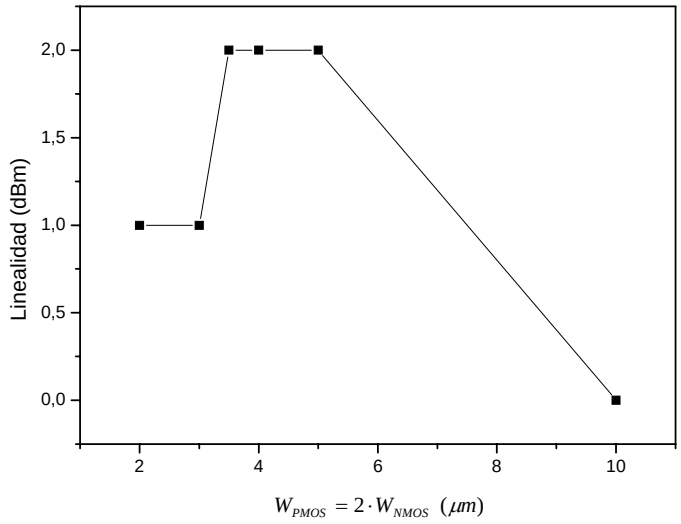


Figura 5.17. Gráfica de la linealidad con respecto a los anchos de los transistores de la etapa de salida del CCII.

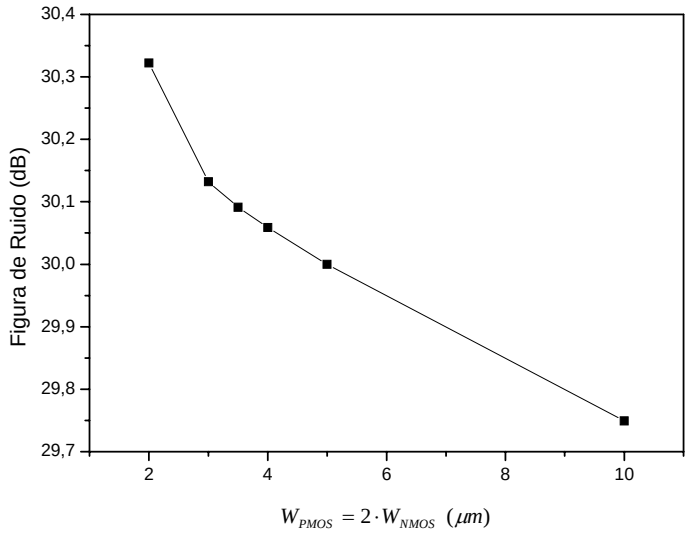


Figura 5.18. Gráfica de la figura de ruido con respecto a los anchos de los transistores de la etapa de salida del CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

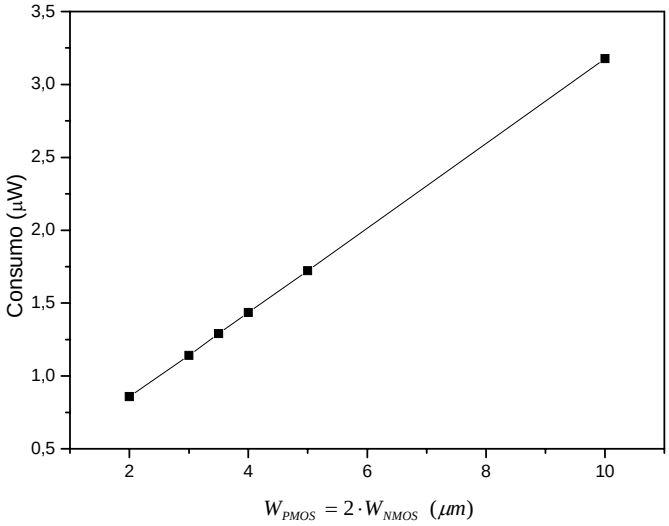


Figura 5.19. Gráfica del consumo con respecto a los anchos de los transistores de la etapa de salida del CCII.

De los resultados obtenidos decidimos tomar valores intermedios para los anchos de los transistores en los que pudiéramos establecer un compromiso entre el consumo, la ganancia y el ancho de banda, principalmente. Los valores tomados fueron 3,5 µm y 1,75 µm para los transistores de la etapa de salida PMOS y NMOS, respectivamente, como se puede observar en la Figura 5.20.

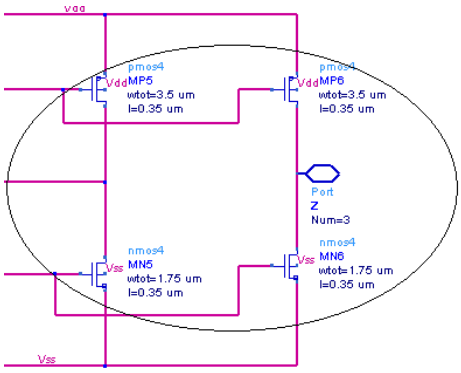


Figura 5.20. Etapa de salida del CCII.

Tomando estos valores para los transistores de la etapa de salida barremos la corriente de polarización, cuyos resultados se muestran en Tabla 5.4 y en las Figuras 5.21, 5.22, 5.23, 5.24 y 5.25. En estas simulaciones podemos observar la respuesta del CCII a la variación de la corriente de referencia.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 5.4 Resultados de las simulaciones realizadas a la corriente de referencia.

Corriente de Referencia (μA)	Ganancia (dB)	BW (MHz)	IIP3 (dBm)	Figura de Ruido (dB)	Consumo (mW)
6	8,013	511	2	30,419	1,3398
8	8,987	511	4	30,242	1,3233
10	9,953	481	2	30,091	1,2903
12	10,912	451	4	29,96	1,254
14	11,884	421	4	29,851	1,2177
17	13,363	391	7	29,697	1,155
18	13,861	361	2,5	29,664	1,1352
19	14,356	361	4	29,594	1,1154
20	**14,844**	**331**	**7**	**29,543**	**1,0923**
21	15,304	301	2	29,486	1,069
22	15,736	301	1	29,431	1,046
23	16,125	301	-2	29,373	1,023
25	16,677	301	-2,5	29,262	0,976
27	16,743	301	-4	29,154	0,924
30	15,454	271	-2,5	28,869	0,838
35	11,159	511	-4	28,479	0,627

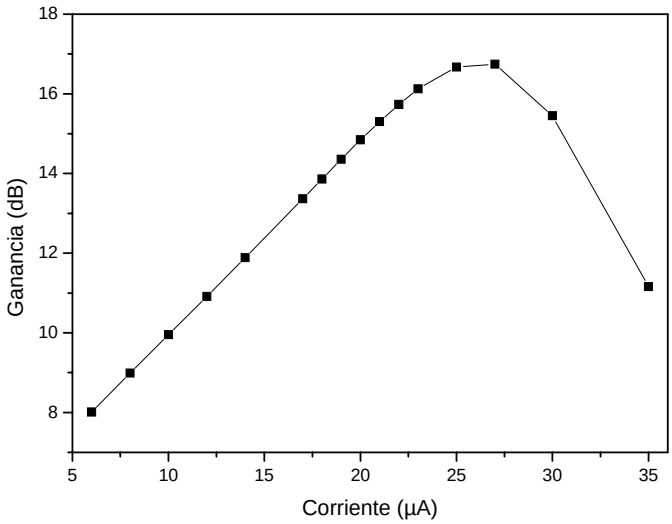


Figura 5.21. Gráfica de la ganancia con respecto a la corriente de referencia del CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

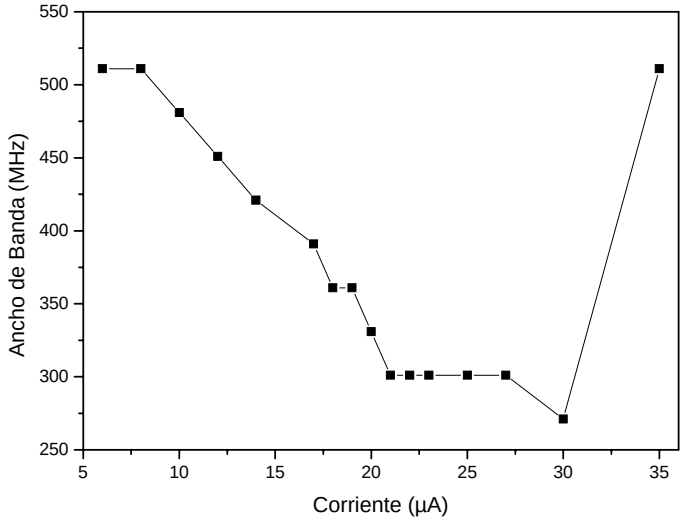


Figura 5.22. Gráfica del ancho de banda con respecto a la corriente de referencia del CCII.

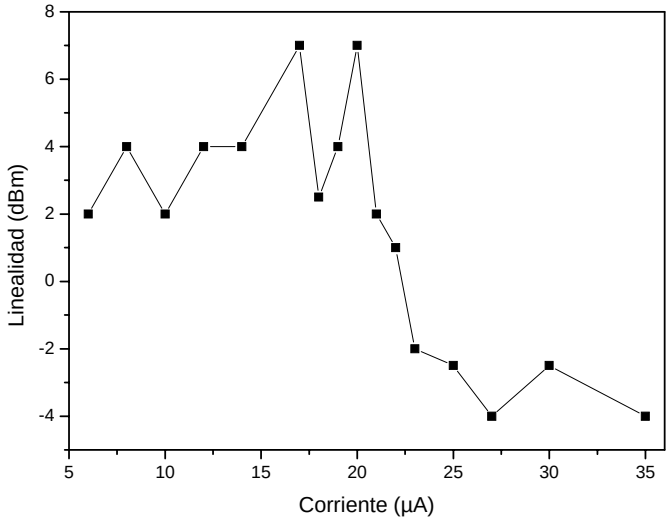


Figura 5.23. Gráfica de la linealidad con respecto a la corriente de referencia del CCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

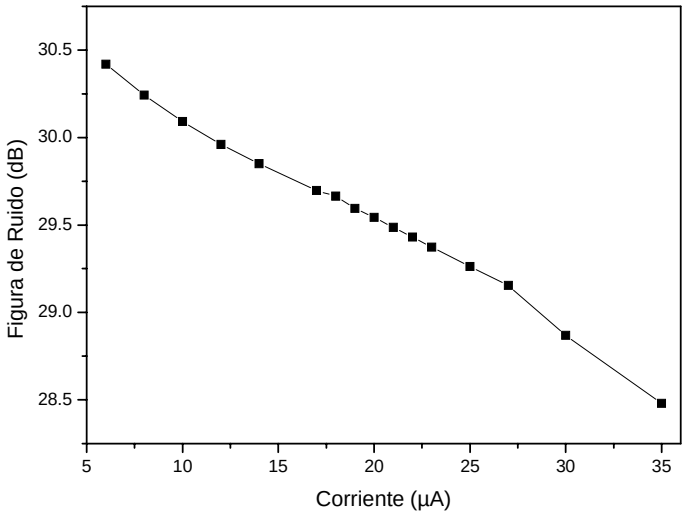


Figura 5.24. Gráfica de la figura de ruido con respecto a la corriente de referencia del CCII.

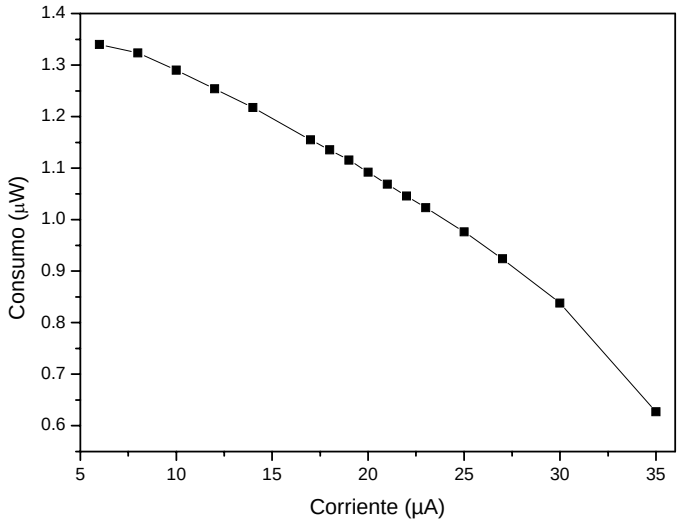


Figura 5.25. Gráfica del consumo con respecto a la corriente de referencia del CCII.

A partir de estos resultados tomamos la decisión de establecer nuestra corriente de polarización a 20 µA (ver Figura 5.26) que, aunque tenía algunas desventajas como el ancho de banda, esta opción nos aportaba la mayor ganancia con el menor consumo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Es interesante observar los resultados desprendidos de la Figura 5.25, donde a medida que aumenta la corriente de polarización del circuito, se produce una reducción considerable del consumo de potencia. Esto es debido a que un aumento de la corriente de polarización, implica un aumento en la tensión de puerta de los transistores de la etapa de salida. Este aumento de tensión provoca que los transistores de la etapa de salida entren en la región de corte para una corriente de polarización superior a los 25 μA. Esto se corrobora con la grafica de la linealidad (Figura 5.23).

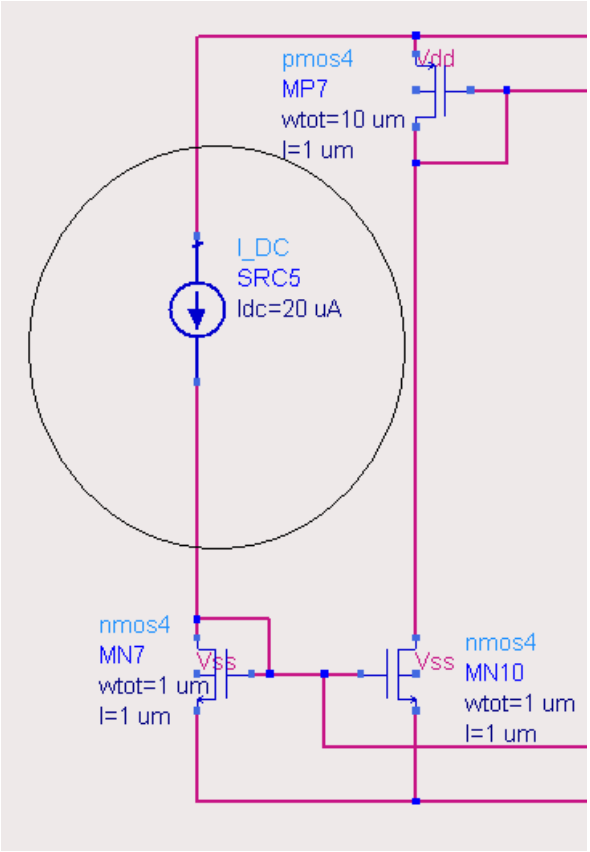


Figura 5.26. Corriente de referencia del CCII.

Como es necesario emplear dos CCIIs para la aplicación del mezclador pasivo decidimos juntarlos y así ahorrarnos los 3 transistores del espejo de corrientes a la hora de realizar el *layout*. Así que los dos CCIIs quedaron como se muestra en la Figura 5.27.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

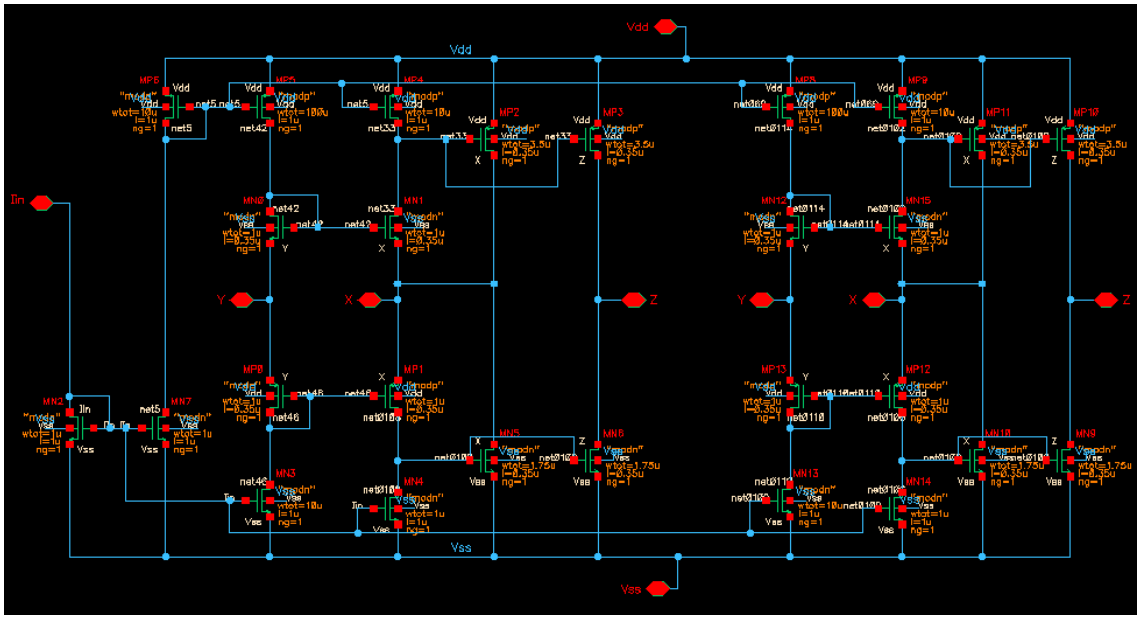


Figura 5.27. Esquemático de los dos CCIIs unidos.

5.6.2 Diseño a nivel de *layout*

Una vez realizado el diseño del CCII y del mezclador pasivo a nivel de esquemático y comprobar en las simulaciones que el circuito cumple con las especificaciones, procedimos al diseño del circuito a nivel de *layout*.

Para la realización del *layout* utilizamos la herramienta *Virtuoso* integrada dentro del software *CADENCE*, que a su vez integra la herramienta de verificación física *ASSURA*. Esto nos va a permitir, no sólo realizar el *layout* del circuito sino, además, hacer las simulaciones *post-layout*.

Para generar el *layout* correctamente deben de cumplirse una serie de reglas que dependen de la tecnología empleada, como pueden ser: la distancia entre los distintos elementos, ángulos, densidad de corriente que pueden pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de las pistas, etc.

Así mismo, existen una serie de aspectos a tener en cuenta que nos permiten obtener el comportamiento óptimo del diseño. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se muestran a continuación:

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

- El sustrato se debe conectar al potencial más negativo, en este caso, a -1,65 V.

- Se ha de lograr la máxima simetría entre los componentes aplicando la técnica del centroide común. Esta técnica se emplea para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación. Dicha técnica será explicada con mayor detalle más adelante.

- Se debe evitar que los ángulos de las pistas sean menores a 45º.

- Las pistas de poli-silicio deben ser lo más cortas posibles, ya que crean resistencias perjudiciales para el comportamiento del circuito.

- En cuanto a las pistas de metal 1, metal 2 y metal 3, estas han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada y son mostradas en la Tabla 5.5.

Tabla 5.5 Dimensiones mínimas de los materiales con respecto al flujo de corriente

Poly 1	0,5 mA/μm
Metal 1	1 mA/μm
Metal 2	1 mA/μm
Metal 3	1 mA/μm

Dependiendo para lo que vaya a ser usado estos metales nos puede interesar utilizar todo el espacio disponible o tan sólo el necesario. Generalmente, las pistas se han sobredimensionado para evitar posibles roturas. Las pistas de alimentación las sobredimensionamos al máximo aprovechando los espacios vacíos, ya que se nos crea una capacidad parásita muy grande que nos sirve para filtrar cualquier ruido que viniera con dichas tensiones de alimentación. En cambio para las señales de RF, LO e IF nos interesa que esta capacidad sea muy pequeña para que nos influya lo menos posible.

A la hora de fabricar el circuito, pueden afectarle a los distintos componentes una serie de dispersiones del proceso. Estas dependen, sobre todo, de donde esté ubicado el circuito

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

integrado dentro de la oblea. Las dispersiones siempre actúan de manera lineal y en una dirección determinada. Se pueden distinguir varios tipos de dispersiones, entre las que destacan:

- Variación en el espesor de la capa de óxido: Afecta, principalmente, a las capacidades parásitas de los transistores.
- Variación en el número de impurezas: Afecta a la movilidad de los electrones, lo que modifica el valor de la transconductancia.
- Variación del tamaño de los transistores: Afecta al valor de la transconductancia, capacidades parásitas y resistencias de los transistores.

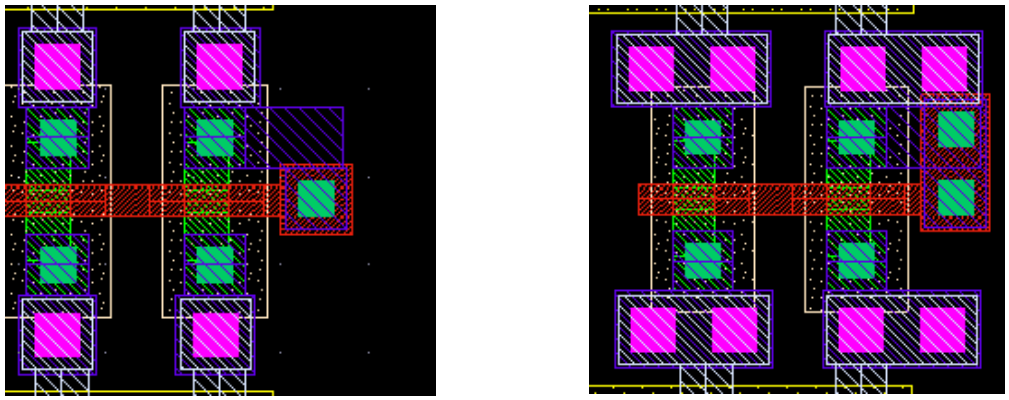
Aplicando la técnica del centroide común conseguimos evitar que las dispersiones ya comentadas nos afecten lo menos posible a nuestro circuito. Esta técnica consiste en ubicar o distribuir los diferentes transistores utilizados en nuestro diseño de manera simétrica respecto a un centro determinado, logrando así un correcto apareamiento entre transistores. El patrón utilizado en todo el diseño es el de *arrays* unidimensionales (ABCDDCBA), el cual tiene un eje de simetría que divide en dos el conjunto, formando una de las mitades un espejo con la otra (ABCD y DCBA). Para conseguir esta estructura lo que se hace es realizar una división de los transistores por multiplicidad, es decir, que a partir de un transistor se obtienen dos transistores con unas dimensiones tales que consiguen la equivalencia con el de partida.

La metodología utilizada para el diseño del *layout* del *current conveyor* fue dividir el esquemático en diferentes bloques para ir diseñando el *layout*. De este modo, al finalizar cada bloque hacíamos una simulación de la vista extraída con el resto del esquemático. Así podíamos comprobar que el diseño en *layout* se ajustaba al esquemático y así conseguir una rápida detección de errores.

El esquemático del *current conveyor* se dividió en tres grandes bloques: núcleo del *current conveyor*, fuente de corriente y etapa de salida. Estas, a su vez, se dividían en transistores NMOS y transistores PMOS, con lo que finalmente el esquemático quedó dividido en 6 bloques diferentes. Se aprovecharon las diferentes capas de metal para realizar las conexiones entre ellos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Antes de comenzar a describir detalladamente cada uno de los bloques, vamos a comentar una de las problemáticas que nos encontramos una vez acabado el diseño. Inicialmente, cuando queríamos pasar de un metal a otro colocamos una única vía de unión entre las capas de los diferentes metales. Esto nos hacía correr el riesgo de que si alguna de estas fallaba nos podría repercutir en el mal funcionamiento del circuito. Por este motivo todo el circuito fue rediseñado para evitar riesgos innecesarios y en lugar de colocar una sola vía entre las diferentes capas de metales (ver Figura 5.28 (a)) optamos por dos o más de dos en algunos casos (ver Figura 5.28 (b)).



(a) (b)

Figura 5.28. Vias utilizadas en el diseño del *layout*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El primer bloque que diseñamos fueron los transistores NMOS de los núcleos de los *current conveyors*. A esta estructura, mostrada en la Figura 5.29, debemos añadir el rediseño de la pista de alimentación V_{ss}. Esta se aumento de tamaño tras unir todos los bloques, para filtrar la señal utilizando las capacidades parásitas producidas en las diferentes capas de metal.

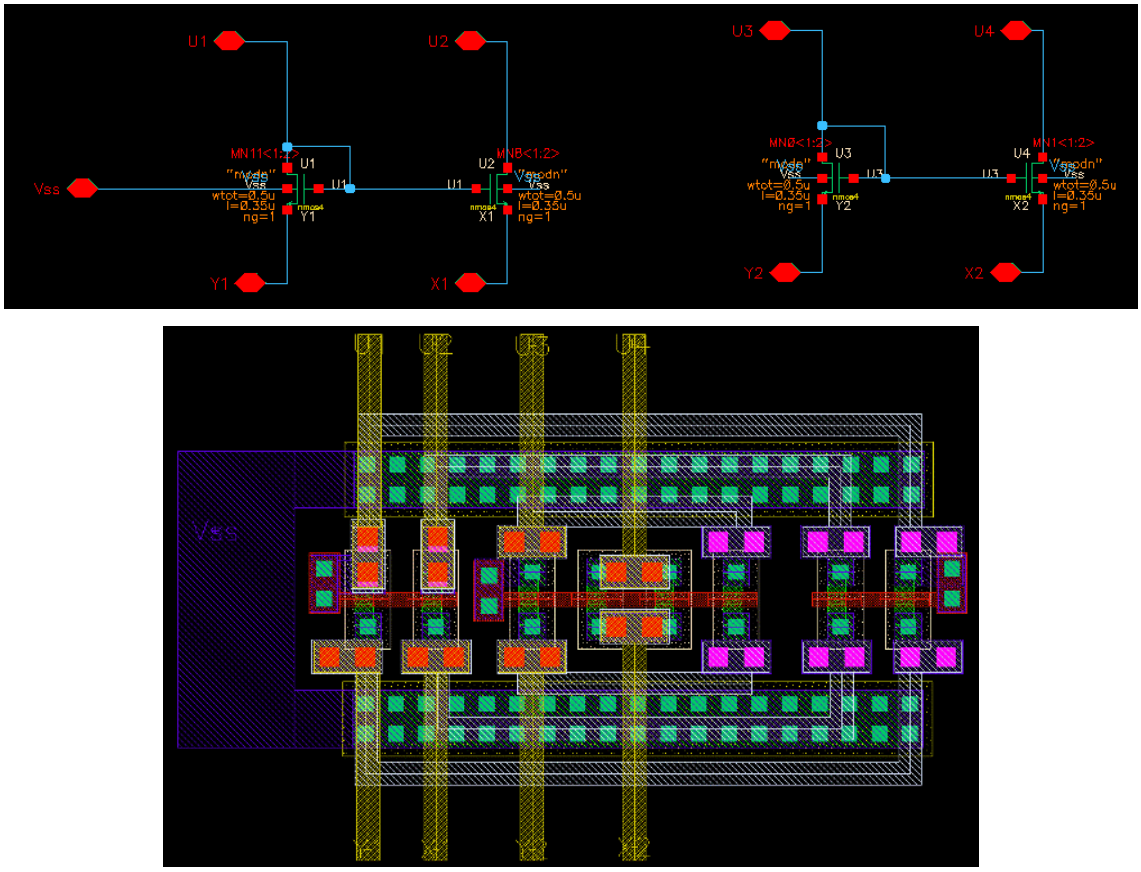


Figura 5.29. Esquemático y *layout* de los transistores tipo N del núcleo del *current conveyor*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 5.30 se muestra el esquemático y el *layout* de todo núcleo del *current conveyor*, tanto los transistores tipo NMOS como los PMOS. Como se observa en dicha figura ambos bloques son completamente simétricos.

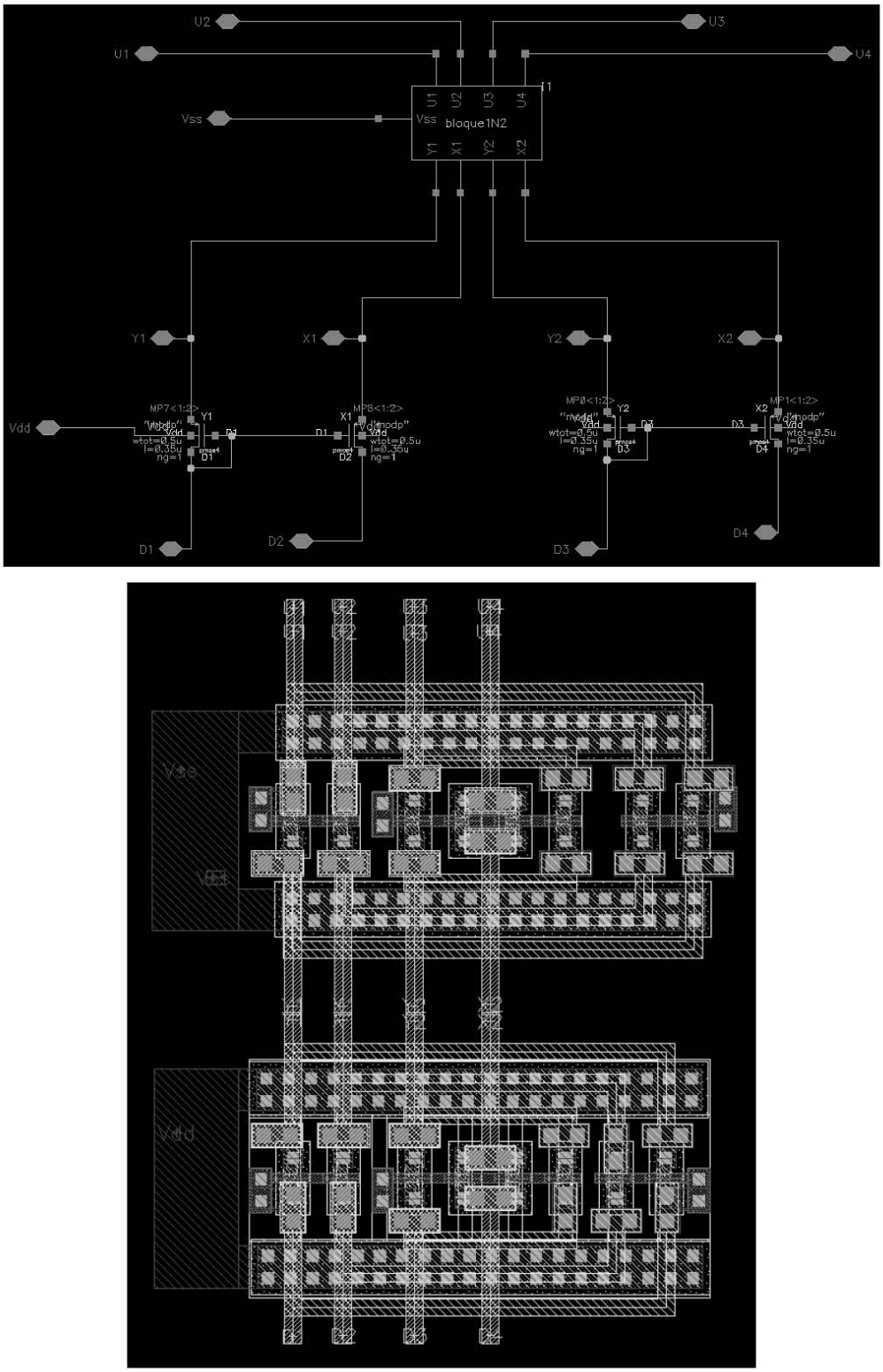


Figura 5.30. Esquemático y *layout* del bloque completo de los *current conveyors*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Una vez diseñado el núcleo vamos a pasar a diseñar las fuentes de corriente de los *current conveyors*, donde en la Figura 5.31 se muestra el bloque correspondientes a los transistores NMOS. Estos transistores son bastante mayores a los utilizados en el núcleo, pero guardan entre ellos una relación entre ramas de 1:10, multiplicando de esta manera la corriente de polarización por diez.

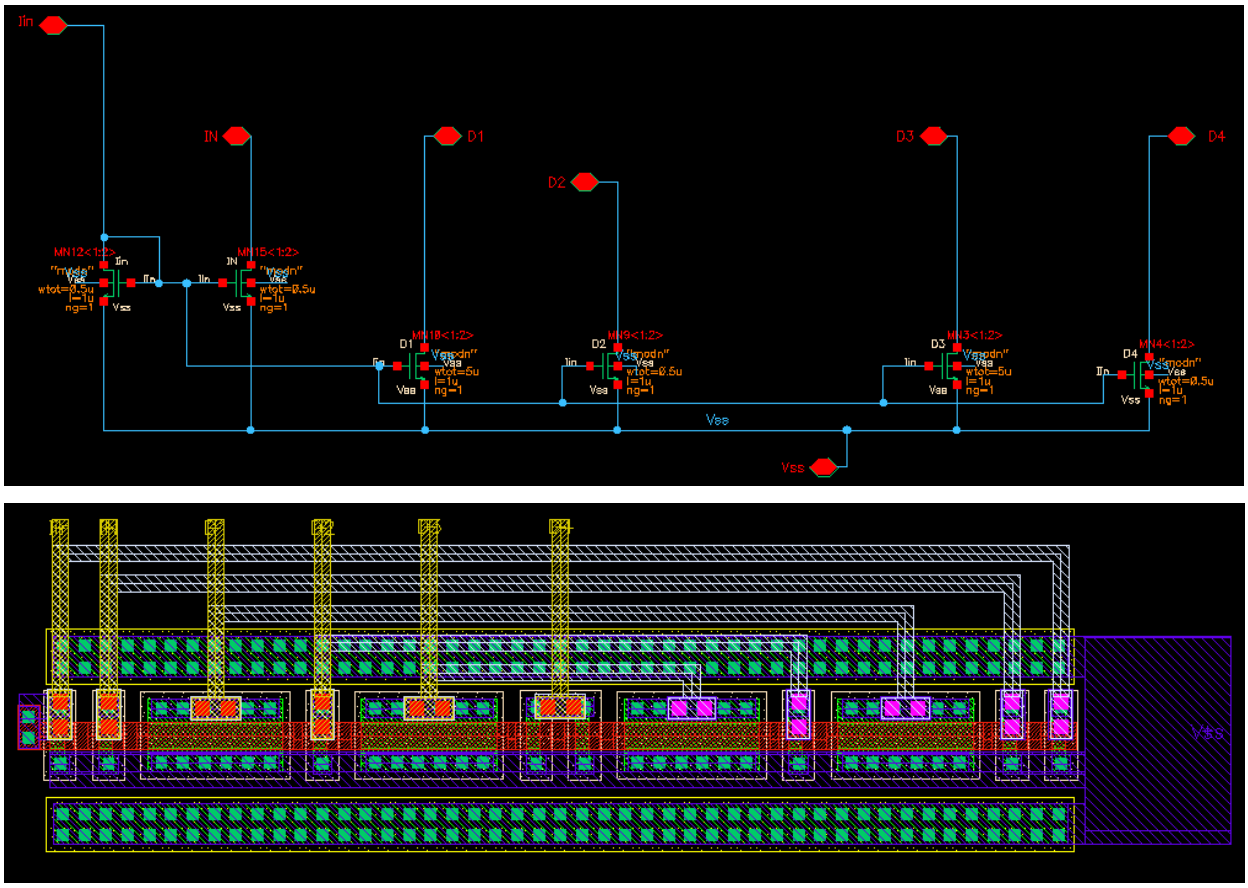


Figura 5.31. Esquemático y *layout* de los transistores NMOS de las fuentes de corriente de los *current conveyors*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 5.32 se muestra el esquemático y el *layout* de los transistores PMOS de las dos fuentes de corriente de los *current conveyors*. Esta fue una de las estructuras más problemática durante el diseño, debido a las dimensiones de los transistores ya que estos ocupaban áreas de 10 µm y 100 µm, respectivamente. Al realizar el *array* de los transistores, estos ocupaban demasiada longitud, así que optamos por incrementar el número de dedos a cada uno de los transistores. Dejando a los transistores de 100 µm con ocho dedos y a los de 10 µm con cuatro dedos cada uno. Disminuyendo así considerablemente su longitud y evitando que se produjesen resistencias parásitas en el polisilicio.

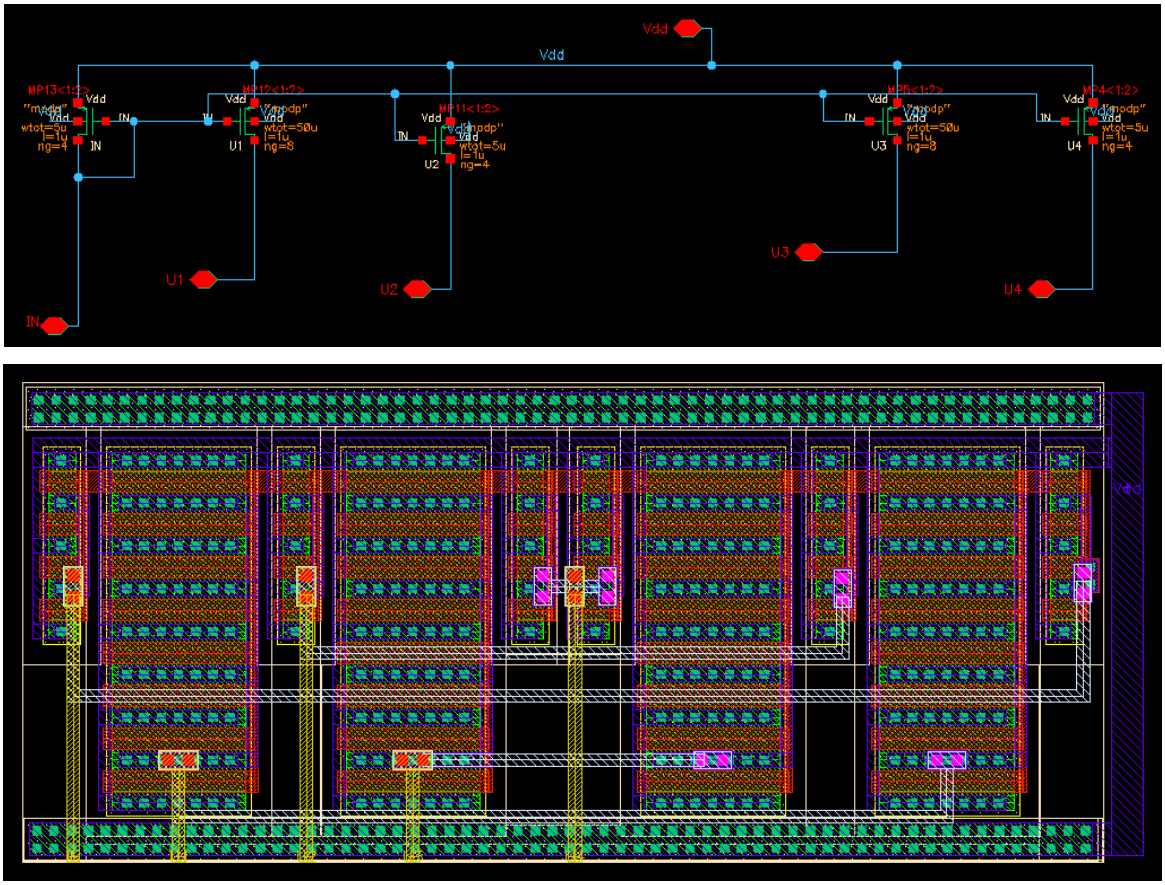


Figura 5.32. Esquemático y *layout* de los transistores PMOS de las fuentes de corriente de los *current conveyors*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tras haber realizado el *layout* de los núcleos y de las fuentes de corrientes de los dos *current conveyors*, sólo nos queda realizar las dos etapas de salida. En la Figura 5.33 se muestra el esquemático y *layout* correspondiente a los transistores NMOS. Este sufrió un rediseño al aplicar la técnica del centroide común, ya que al dividir en dos los transistores NMOS la herramienta *CADENCE* redondeó el resultado de la división. Las dimensiones iniciales de los transistores eran de 1,75 µm y al dividirlo para obtener la equivalencia, el resultado teórico obtenido era de 0,875 µm pero finalmente obtuvieron el valor de 0,9 µm, con lo cual los transistores NMOS de la etapa de salida quedaron a 1,8 µm en lugar de 1,75 µm.

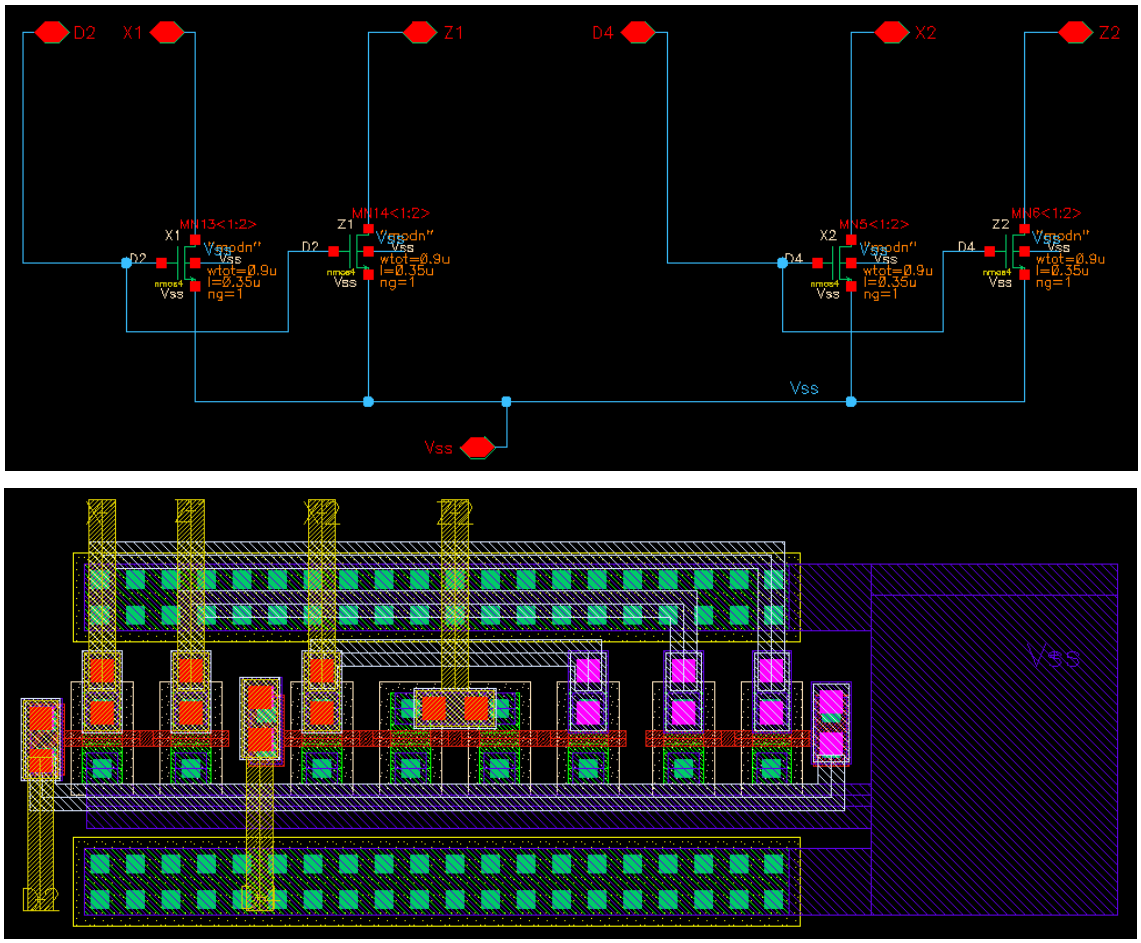


Figura 5.33. Esquemático y *layout* de los transistores NMOS de las etapas de salida de los *current conveyors*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para completar este flujo de diseño nos falta por ver el esquemático y el *layout* de los transistores PMOS correspondiente a la etapa de salida de los *current conveyors*, que podemos ver en la Figura 5.34.

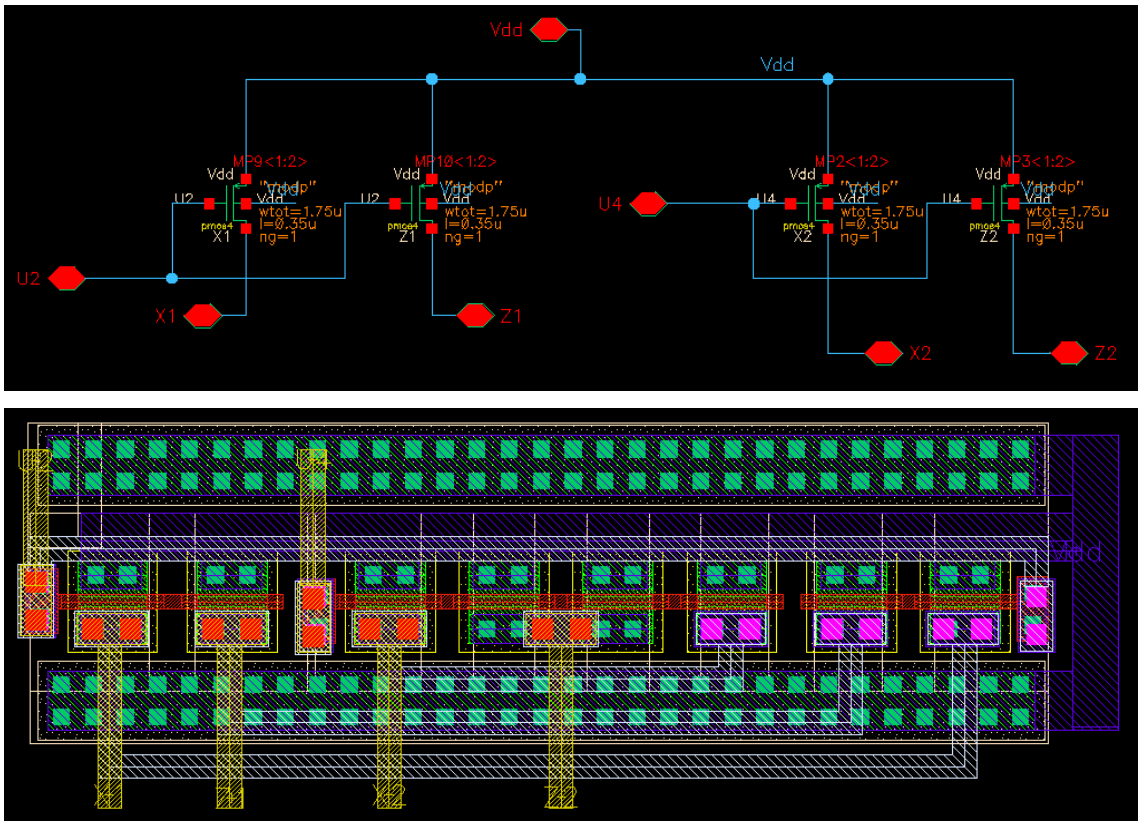


Figura 5.34. Esquemático y *layout* de los transistores PMOS de las etapas de salida de los *current conveyors*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tras finalizar con éxito el diseño de nuestro *current conveyor* pasamos a realizar el diseño del *layout* del mezclador, que se muestra en la Figura 5.35. En este caso no se aplicó la técnica del centroide común, aunque debido a las grandes dimensiones de los transistores se optó por añadirle un dedo más y así reducir su longitud.

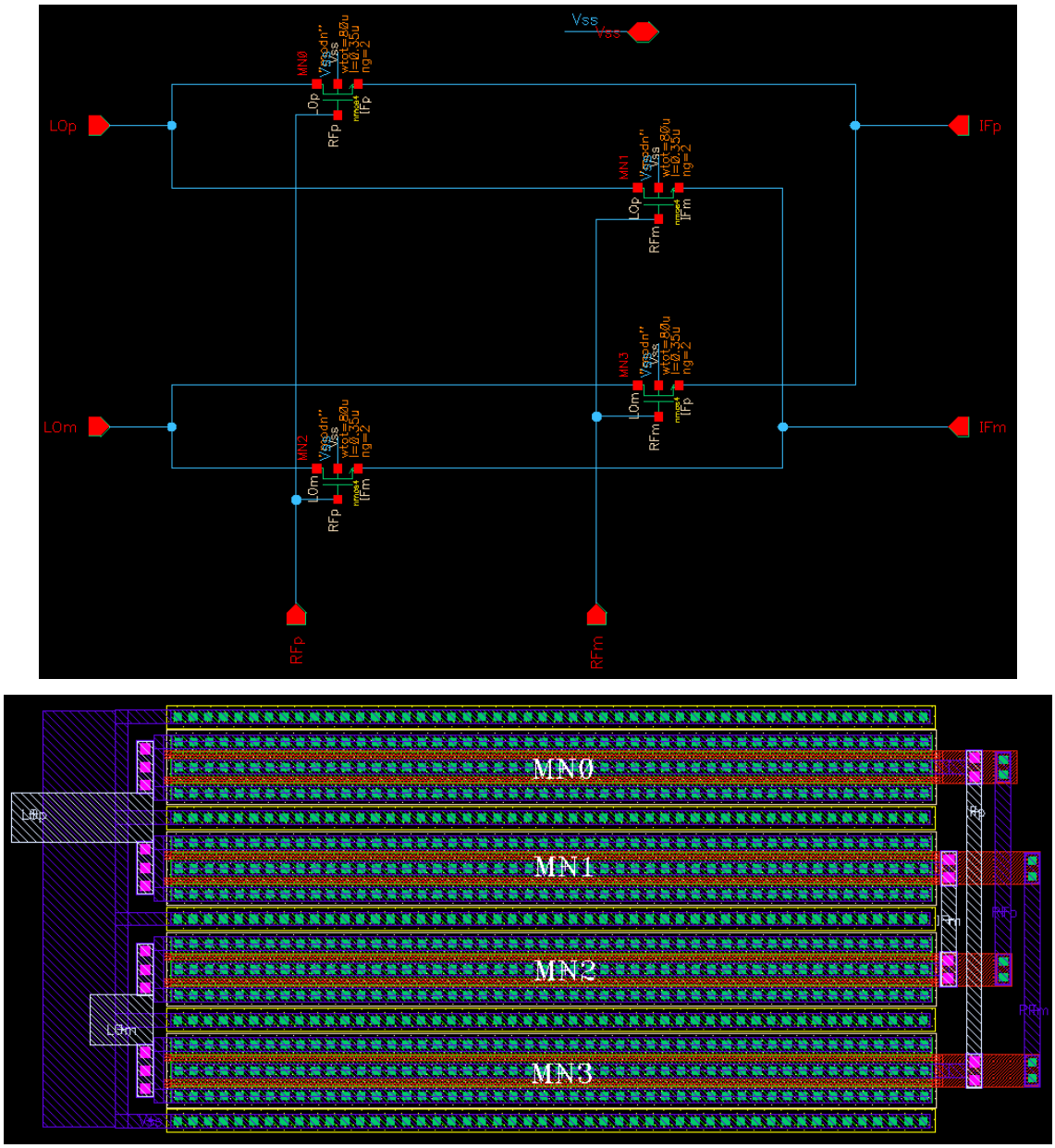


Figura 5.35. Esquemático y *layout* del mezclador pasivo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura 5.36 se muestra el *layout* del mezclador pasivo junto con los CCIIs.

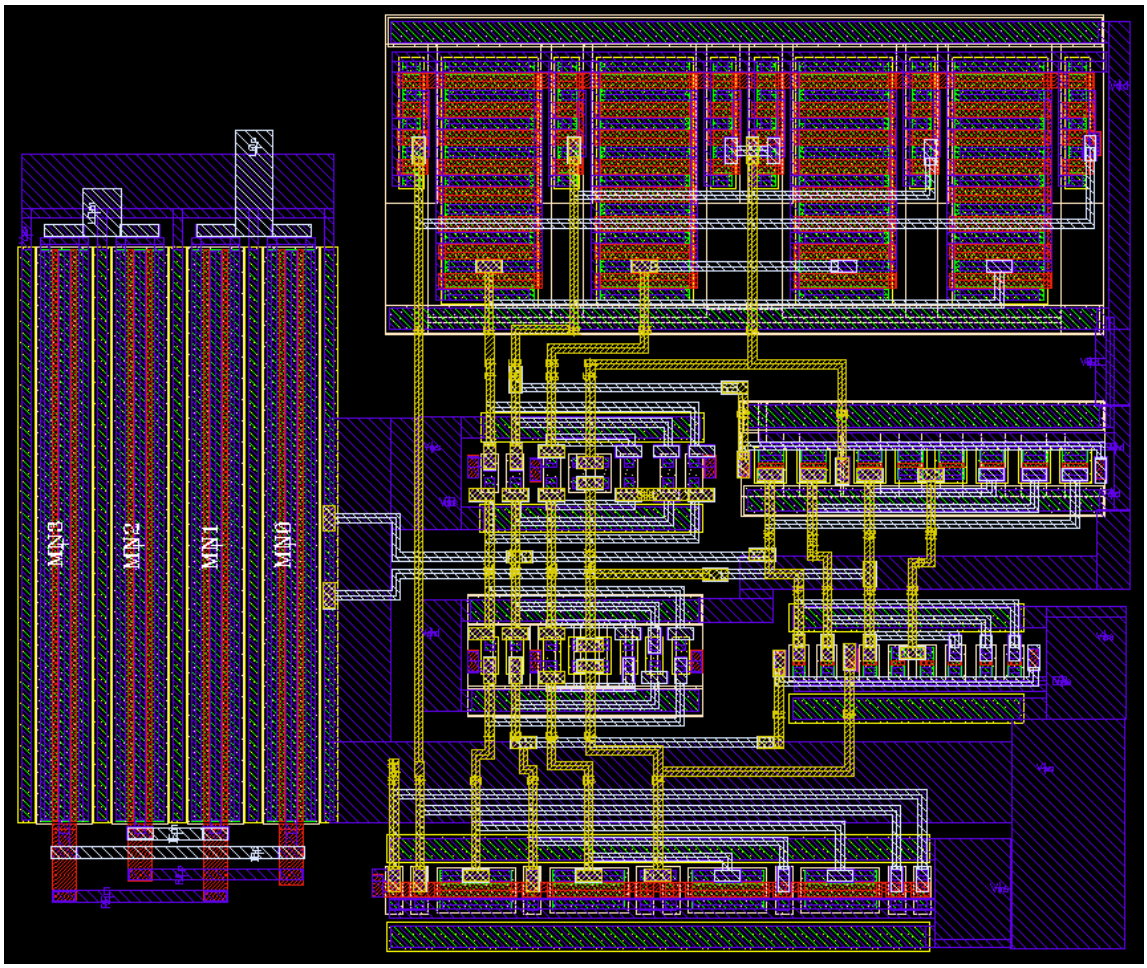


Figura 5.36. *Layout* del CCII con el mezclador pasivo.

En la Figura 5.37 se muestra la distribución de las puntas de prueba tomadas para nuestro diseño. Como se puede observar, las puntas que se deben usar en la medida son del tipo SGS (*Signal Ground Signal*) debido al gran número de señales de entrada y salida que tenemos.

A la hora de realizar la distribución, se tomó como premisa fundamental el sacar los pines del oscilador y la señal de RF (ambas en modo diferencial) lo más directas y simétricamente posible. En cuanto a los pines de alimentación y de IF se trató de enmarañar lo menos posible el diseño y evitar el solapamiento entre capas de metal adyacentes con el objetivo de evitar capacidades parásitas inesperadas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

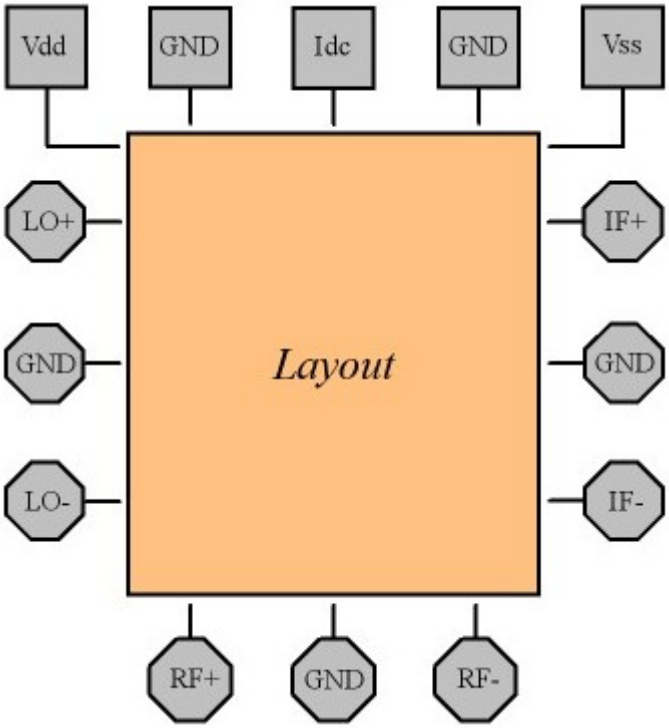
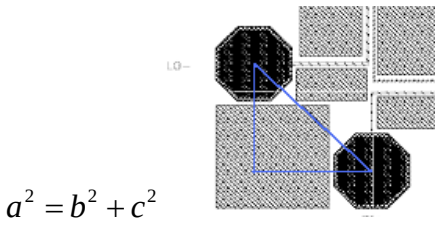


Figura 5.37. Distribución de los *pads* de medida.

Para ubicar los *pads* correctamente seguimos las recomendaciones del manual del fabricante de las puntas de medida (*CASCADE MICROTECH*) [52]. Este manual dice que los *pads* deben estar distanciados 150 μm de centro a centro de los *pads* más próximos y 200 μm los *pads* que utilizan distintas puntas de medida. Para ello, en algunos casos, aplicamos el teorema de Pitágoras, como se muestra en la Figura 5.38.



$$a^2 = b^2 + c^2$$

Figura 5.38. Distancia entre los centros de los *pads*.

Otra consideración a tener en cuenta es que se debe colocar contactos al sustrato en las zonas del chip que quedan vacías. Esto se hace para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito. A la hora de colocar los contactos al sustrato, se debe hacer en bloques con una dimensión máxima de 31,9 μm en al menos uno de sus lados

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

como se muestra en la Figura 5.39.

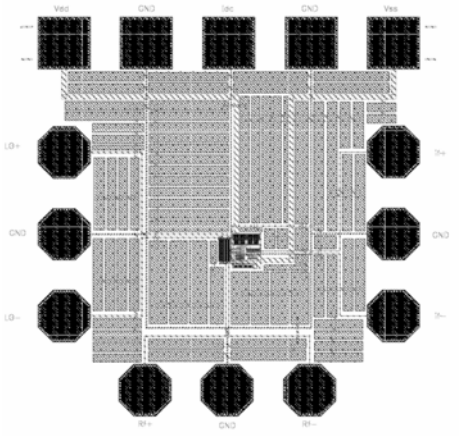


Figura 5.39. Dimensionado de los bloques de sustrato.

En la Figura 5.40 se muestra como quedó finalmente nuestro diseño, que fue enviado a fabricar en el RUN de Noviembre de 2008 [27].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

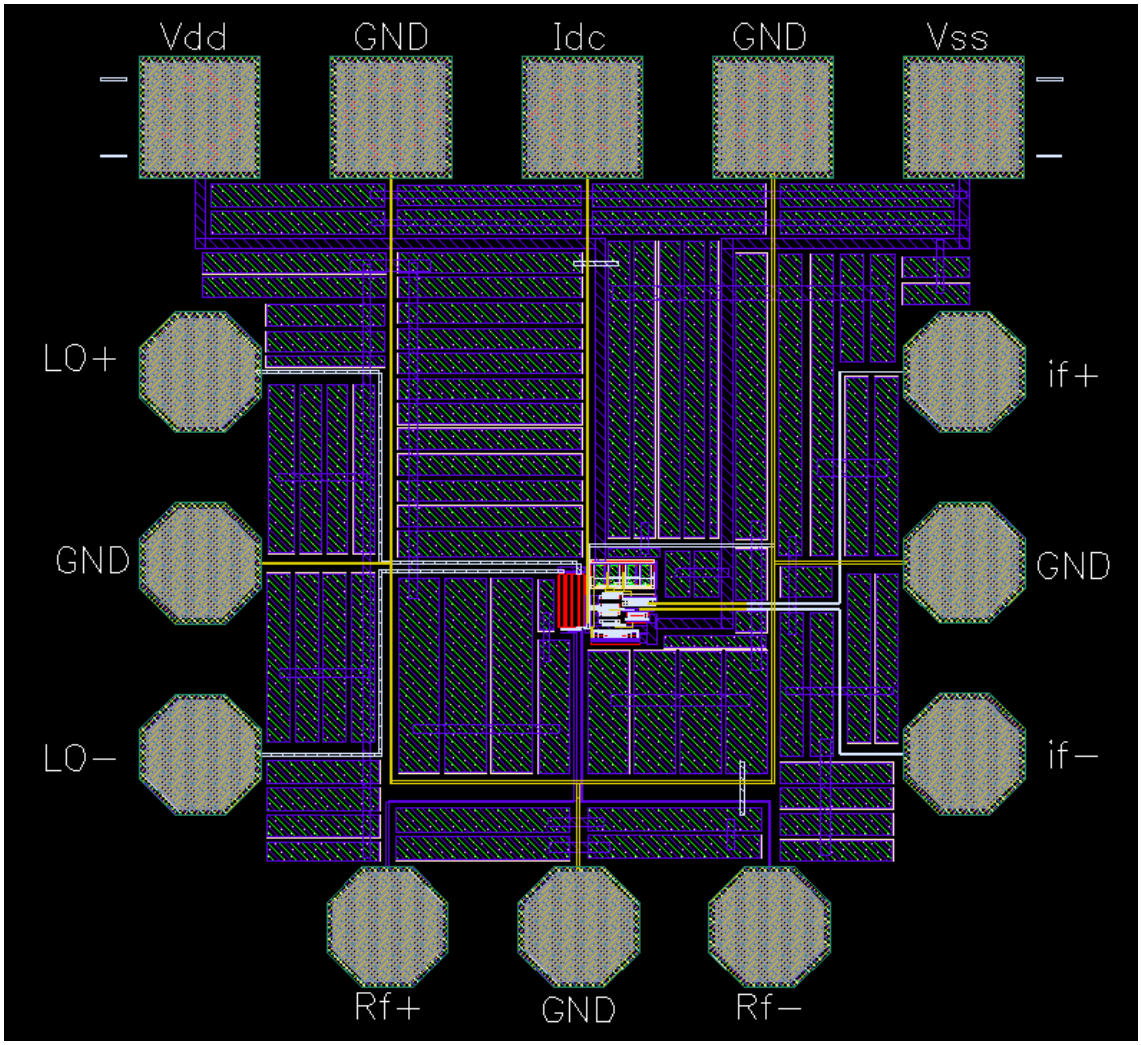


Figura 5.40. *Layout* del *current conveyor* con los *pads* de medida.

5.6.3 Simulaciones *post- layout*

A la hora de implementar físicamente nuestro diseño aparecen una serie de parásitos que modifican el comportamiento del circuito, lo que nos obliga a reajustar de nuevo el diseño. Para ello, se ha realizado la vista extraída del *layout* añadiéndole las resistencias y capacidades parásitas en el peor caso (*worst case layout)*. Dichas simulaciones fueron realizadas con el *software* de extracción de parásitos ASSURA. El realizar las simulaciones *post-layout* con el modelo *worst case* nos permite asegurar el correcto funcionamiento del diseño ante posibles fluctuaciones que se puedan producir en la fabricación. Esto se debe a que la fundidora posee la parametrización de dichas variaciones mediante ecuaciones matemáticas, las cuales se incluyen en el modelo comentado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Las simulaciones *worst case* se refieren a las desviaciones máximas que se producen en el proceso de fabricación de los transistores. Este tipo de simulaciones es vital para predecir el funcionamiento del circuito una vez fabricado.

En nuestro caso, cuando realizamos la extracción del *layout* en el peor caso (*worst case)* sólo pudimos realizar las simulaciones *post-layout* para el *layout* extraído sin *pads* y para el *layout* extraído con los *pads* equivalentes (añadiendo a cada salida una capacidad de 300 fF y una resistencia de 200 Ω), ya que con los *pads* reales nunca se completaban las simulaciones por falta de memoria. Los resultados de estas dos simulaciones se muestran en la Tabla 5.6.

Tabla 5.6 Simulación *worst case Post-Layout* sin *pads* y con los *pads* equivalentes

	Layout* extraído Sin *Pads		***Layout* extraído Con *Pads* equivalentes**	
	IF1	IF2	IF1	IF2
Ganancia	15,18 dB	14,47 dB	9,11 dB	7,53 dB
Figura de ruido	31 dB		32,92 dB	
Linealidad	3,83 dBm	3,32 dBm	6,52 dBm	5,95 dBm
Consumo	594 μA		500,08 μA	

De la Tabla 5.6 se observa como la mayoría de los parámetros simulados empeoran cuando se insertan los *pads* (en este caso *pads* equivalentes) salvo la linealidad, ya que las capacidades introducidas por estos *pads* filtran los productos de intermodulación indeseados.

Para solventar la problemática de la insuficiencia de memoria para realizar las simulaciones de la ganancia, ancho de banda y linealidad del diseño extraído con los *pads* reales de medida, se decidió llevar dicho diseño desde de la herramienta *CADENCE* a *ADS* mediante la herramienta *ADS Dynamic Link*. La fundidora *Austria Micro Sistem* proporciona el modelo equivalente al comportamiento del diseño, como se puede ver en la Figura 5.41.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

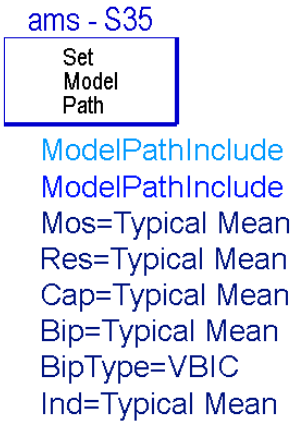


Figura 5.41. Modelo equivalente al comportamiento real del diseño.

Una vez trasladado el diseño al *ADS* realizamos simulaciones con el *Harmonic Balance* y el *Parameter Sweep* de la ganancia y el ancho de banda, tal y como se muestra en el esquema de simulación de la Figura 5.42. De dicha simulación se obtuvo la gráfica de la Figura 5.43, de donde se lograron unos resultados de 13,79 dB de ganancia y 24,5 MHz de ancho de banda.

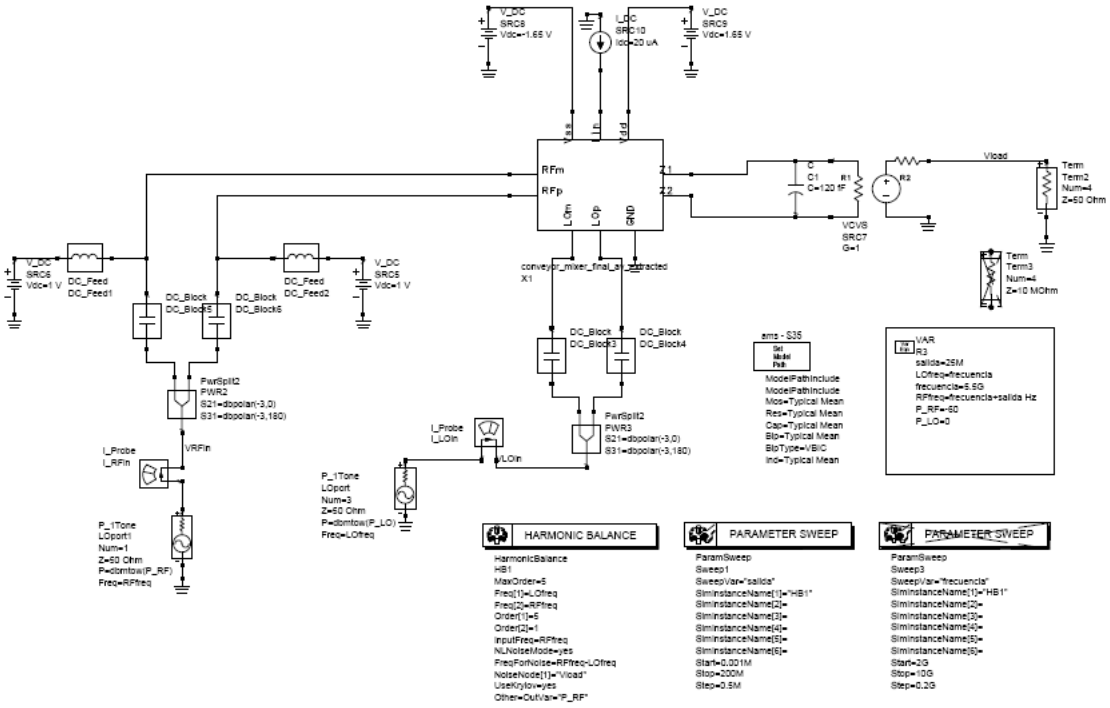


Figura 5.42. Esquema de simulación de la ganancia y el ancho de banda del *layout* extraído con los *pads* reales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

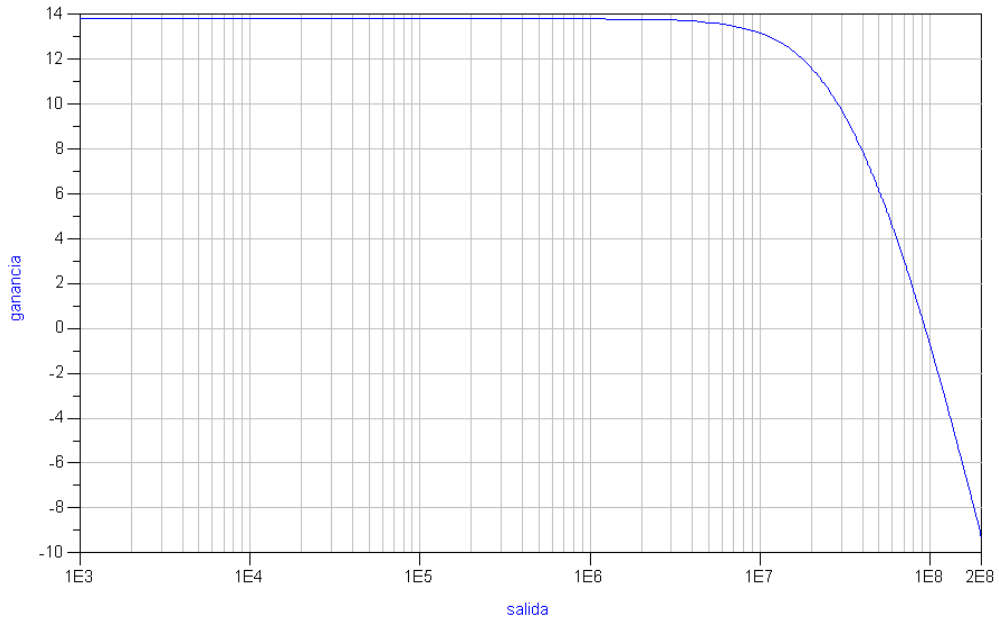


Figura 5.43. Simulación de la ganancia y el ancho de banda del *layout* con los *pads* reales.

Para obtener la linealidad realizamos una simulación *Harmonic Balance* obteniendo un IIP3 de 4,5 dBm tal y como se muestra en la Figura 5.45, a partir del esquema de simulación de la Figura 5.44.

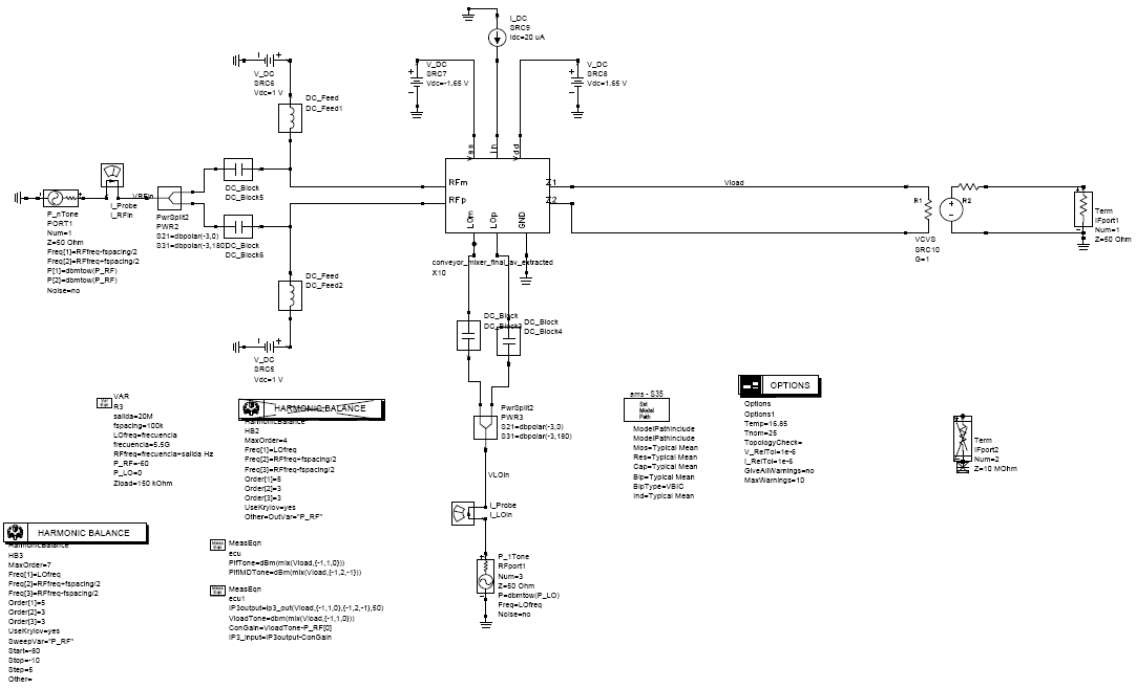


Figura 5.44. Esquema de simulación de la linealidad del *layout* extraído con los *pads* reales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

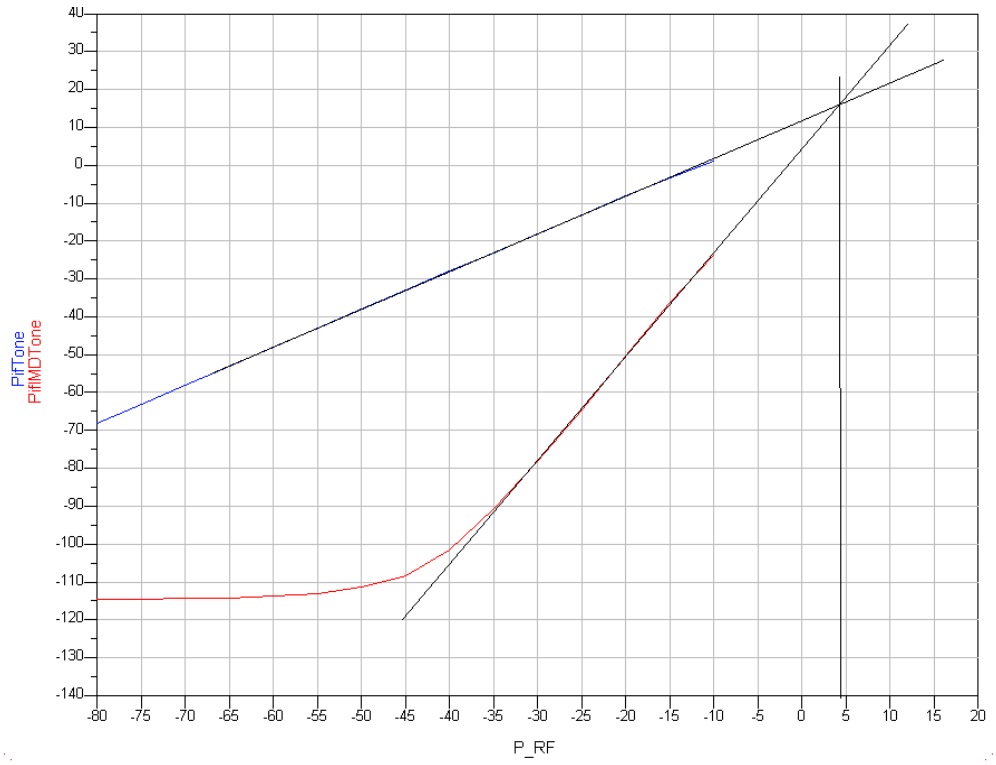


Figura 5.45. Simulación de la linealidad del *layout* con los *pads* reales.

La figura de ruido fue la única simulación que pudimos realizar en *CADENCE*, en la cual obtuvimos un resultado de 33,26 dB, como se muestra en la Figura 5.46.

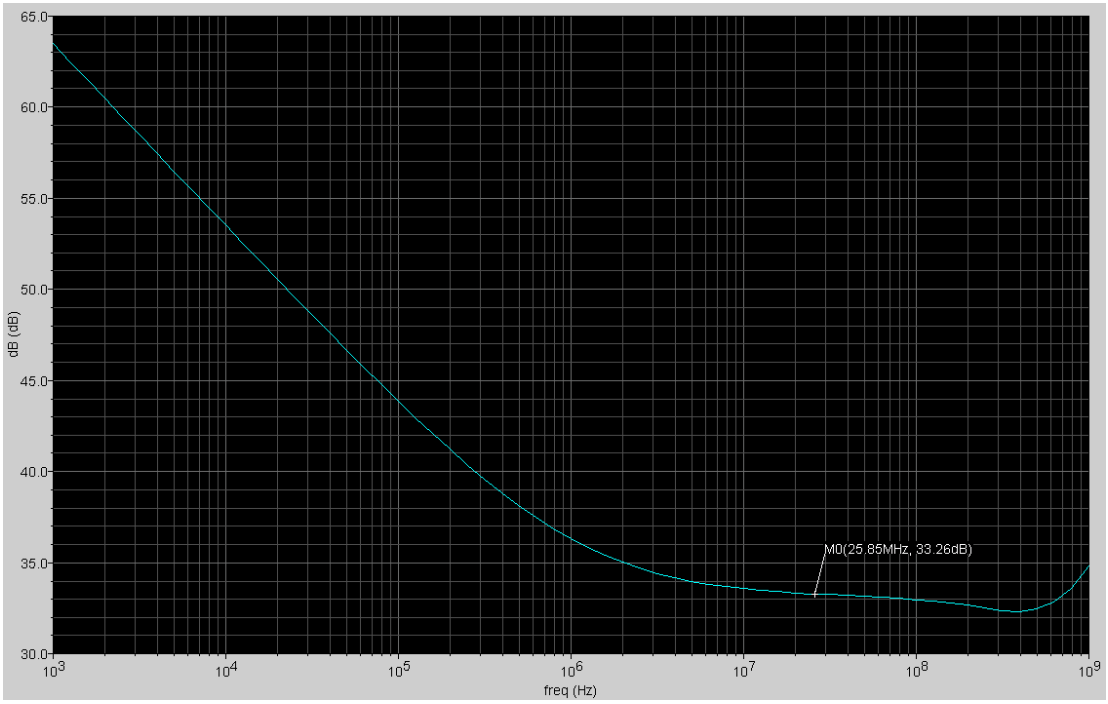


Figura 5.46. Simulación de la figura de ruido del *layout* con los *pads* reales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para concluir con las simulaciones *post-layout* realizamos un análisis de DC en el que obtuvimos el consumo de corriente del diseño al completo, como se muestra en la Figura 5.47, siendo este de 580 μA.

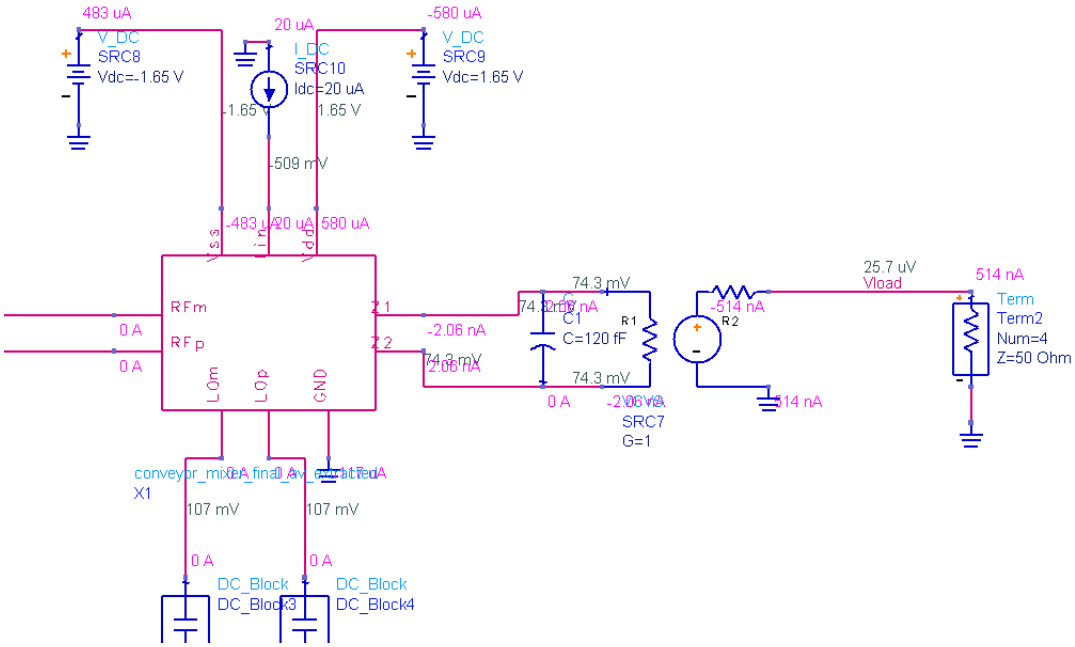


Figura 5.47. Simulación del consumo del *layout* con los *pads* reales.

5.7 Conclusiones

En este capítulo hemos presentado la teoría básica de los mezcladores así como los parámetros característicos y los diferentes tipos que existen. A continuación se han estudiado los mezcladores pasivos basados en amplificadores operacionales y se ha propuesto la utilización de los *current conveyors* como alternativa a los AO.

Una vez vista toda la teoría pasamos a describir como hemos realizado el diseño a nivel de esquemático y de *layout* de nuestro circuito. Esto lo hemos logrado usando las reglas de diseño más comunes para una correcta implementación, así como usando las técnicas que nos permiten prever posibles errores en el funcionamiento.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Para finalizar hemos realizado las simulaciones *post-layout* donde hemos podido observar las características que tendrá nuestro diseño una vez fabricado.

En el próximo capítulo estableceremos un balance del desarrollo del proyecto, lo que nos conducirá a una serie de conclusiones, válidas para el desarrollo de futuros trabajos y diseños.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 6

Conclusiones

6.1 Introducción

Una vez completado el diseño del *current conveyor* y del mezclador pasivo, y comprobado el correcto funcionamiento de los mismos a través de las simulaciones *post-layout*, en este capítulo se expondrán las conclusiones a las que hemos llegado a lo largo de todo el trabajo. Así mismo, se realizará una comparación de nuestros diseños con otros circuitos de características similares encontrados en la literatura. Finalmente se expondrán las posibles líneas de trabajo futuras, ya que a partir de los diseños realizados se abre un gran campo de estudio como se verá al final del presente capítulo.

6.2 Resumen

El objetivo de este proyecto ha sido realizar un mezclador pasivo como aplicación de un *current conveyor* en la tecnología CMOS 0,35 suministrada por AMS. El desarrollo de ambos diseños se ha realizado de forma metódica partiendo de un estudio teórico de los mismos

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

hasta la implementación física de los *layouts*. Una vez completado el diseño y comprobado el correcto funcionamiento del mismo, se procedió al envío de los *layouts* del *current conveyor* y del mezclador a la fundidora para su fabricación.

Tras el Capítulo 1, en el que se introduce al lector en los objetivos generales del proyecto y, con objeto de situar el entorno de trabajo, en el Capítulo 2 se dio una visión general de la tecnología empleada en el proyecto, y se profundizó en el análisis de los dispositivos activos utilizados, los transistores MOS.

El siguiente paso fue el realizar el diseño de un amplificador operacional (AO), como proceso de familiarización con la tecnología y las herramientas de diseño. Esta tarea se llevó a cabo en Capítulo 3 donde también se estudiaron los parámetros necesarios para el diseño de un amplificador operacional, las diferentes etapas y la compensación del mismo. Como paso previo al diseño del AO se diseñó un amplificador de transconductancia (OTA).

Una vez familiarizados con la tecnología y con las herramientas de diseño, en el Capítulo 4 pasamos al estudio de los *current conveyors*: sus conceptos teóricos, su evolución y sus diferentes topologías. En este capítulo también simulamos un amplio número de arquitecturas de *current conveyors* utilizando el ADS, y se analizaron las ventajas e inconvenientes de las topologías estudiadas.

El Capítulo 5 describe el diseño de los circuitos implementados en este proyecto. Para ello, el primer paso consistió en el estudio de los mezcladores pasivos, prestando especial atención a sus parámetros característicos, su funcionamiento y su diseño. Un elemento importante de este tipo de mezcladores es el amplificador de transimpedancia que necesita a su salida. Este amplificador es el encargado de convertir a tensión la señal de salida del mezclador pasivo que está originalmente en modo corriente. La propuesta que hacemos en este proyecto es utilizar un *current conveyor* como amplificador de transimpedancia frente a la implementación típica basada en amplificadores operacionales. De esta forma se consigue un ancho de banda mayor con un consumo mucho menor. Así, de los resultados obtenidos en las simulaciones del capítulo anterior, en el Capítulo 5 se eligió y optimizó la estructura que más se adecuaba a nuestras especificaciones. Una vez elegido el *current conveyor*, se pasó a diseñar el *layout* de los circuitos. Para esta tarea se utilizaron las reglas comunes en este

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

tipo de trabajos, así como las técnicas que nos permiten prever posibles errores de funcionamiento. Se finalizó realizando las simulaciones *post-layout*.

6.3 Comparativa y conclusiones

Una vez concluido el diseño, en este apartado pasamos a comentar los resultados y a compararlos con otros diseños similares. Así, en la Tabla 6.1 se muestran los resultados obtenidos con nuestro mezclador basado en *current conveyors* junto con los de un trabajo anterior basado en amplificadores operacionales [26]. Debe tenerse en cuenta que los resultados de ambos bloques son a nivel de simulación *post-layout* y, en consecuencia, es probable que a la hora de medir el diseño desarrollado varíe ligeramente el valor de los parámetros.

Tabla 6.1 Comparación de nuestro mezclador basado en CCII con otro de características similares basado en AO

Referencia	**Este proyecto**	[26]
Tecnología	**CMOS 0,35 μm**	CMOS 0,35 μm
Vdd (V)	**3,3**	3,3
Consumo (mW)	**1,913**	10,6
Frec. RF (GHz)	**5,525**	5,5
Frec. IF (MHz)	**25**	20
LO (dB)	**0**	0
Ganancia (dB)	**13,79**	12,2
IIP3 (dBm)	**4,5**	20
NF (dB)	**33,26**	35,4
Fecha	**2009**	2006
Tipo	**Mezclador pasivo basado en CCII**	Mezclador pasivo basado en AO

De los datos de la Tabla 6.1 podemos decir que el diseño desarrollado presenta una ganancia ligeramente superior al de [26]. Los resultados obtenidos de las figuras de ruido son muy similares aunque el obtenido en nuestro diseño es ligeramente inferior. En cuanto a la linealidad, el diseño de [26] ha obtenido unos resultados muy por encima de los

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

obtenidos en este diseño. Esto es debido a que el amplificador operacional utilizado en [26] tiene un ancho de banda muy inferior al del *current conveyor* y este actúa como filtro de los productos de intermodulación indeseados a la vez que amplifica la señal lo que hace que la linealidad mejore notablemente con respecto a nuestro sistema. Finalmente, el consumo del diseño desarrollado es cinco veces menor al que obtuvo [26], lo que hace que podamos calificar este resultado como uno de los elementos más destacados del mismo.

En la Tabla 6.2 se comparan los resultados de nuestro mezclador con otros mezcladores encontrados en la literatura. Salvo nuestro diseño, la totalidad de los circuitos mostrados en la Tabla 6.2 son mezcladores activos. Esto se debe a que la mayoría de los mezcladores pasivos encontrados en la bibliografía se encuentran encuadrados dentro de receptores completos, donde no se muestran de forma independiente los resultados del mezclador pasivo y de su etapa de amplificación. Esto no ocurre en el caso de mezcladores activos donde si se encuentran datos de los mismos de forma independiente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 6.2 Comparación de nuestro mezclador basado en CCII con otros mezcladores activos

Referencia	**Este proyecto**	[32]	[31]	[30]	[29]
Tecnología	**CMOS 0,35 µm**	CMOS 0,25 µm	CMOS 65 nm	CMOS 0.35 µm	CMOS 0.35 µm
Vdd (V)	**3,3**	1,8	1,2	3	3
Consumo	**1,913**	13,3	9	45	18
Frec. RF (GHz)	**5,525**	2,44	5,15 – 5,35	1,1	4,488
Frec. IF (MHz)	**25**	0	0	10	45
LO	**-70 dBm**	-	-	5 dBm	2,5 (V)
Ganancia (dB)	**13,79**	-2,688	11	-1	14,3
IIP3 (dBm)	**4,5**	12,81	3	10	-0,7
NF (dB)	**33,26 (DSB)**	13,6 (DSB)	-	17,3 (SSB)	4,8 (DSB)
Fecha	**2009**	2006	2008	2006	2007
Tipo	**Mezclador pasivo**	Mezclador activo Doble balanceado Gilbert	Mezclador activo Doble balanceado Gilbert	Mezclador activo Doble balanceado Gilbert	Mezclador activo Doble balanceado Gilbert

A la vista de los resultados mostrados en la Tabla 6.2 podemos decir que la ganancia es superior a los obtenidos en [32], [31] y [30], aunque es algo inferior a la de [29]. En cuanto a la figura de ruido obtenida es bastante superior a la de los demás circuitos. Sin embargo al integrarlo en una cadena de recepción, la figura de ruido total viene determinada básicamente por la figura de ruido del primer elemento (generalmente amplificadores de bajo ruido), por lo que el valor obtenido puede tomarse como aceptable. Los resultados obtenidos en la linealidad (IIP3) muestran que los mezcladores [32] y [30] son más lineales que nuestro diseño y que en cambio, los mezcladores [31] y [29] obtuvieron una linealidad inferior a la del presente proyecto. Finalmente podemos decir que el consumo de nuestro

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

diseño se encuentra entre cinco y cuarenta veces por debajo del consumo del resto de los mezcladores mostrados en la tabla, lo que hace que nuestro diseño sea muy competitivo respecto a este parámetro.

La tendencia a miniaturizar los circuitos utilizados en aplicaciones de sistemas portátiles, ha obligado a realizar diseños de circuitos integrados analógicos de baja-tensión y bajo-consumo (LV LP). Esto ha inducido a la implementación de nuevas estrategias de diseño de bajo coste, donde se ha producido un gran auge de circuitos en tecnología CMOS. Por ello hemos utilizado una arquitectura novedosa para receptores de RF utilizando un mezclador pasivo con dos CCIIs a la salida, que nos permite obtener unas características aceptables con un bajo consumo y un área muy reducida. Por este motivo, esta arquitectura se propone como una solución muy interesante para los receptores de RF. Hasta donde nosotros conocemos en la literatura consultada sólo existe un diseño que utilice *current conveyors* para realizar el amplificador de transimpedancia de un mezclador pasivo de RF [28]. Lamentablemente, en dicha publicación no se aportan los resultados del mezclador de forma independiente.

6.4 Líneas futuras

Como se ha podido observar a lo largo de este proyecto, se ha cerrado casi completamente el flujo de diseño de un circuito integrado analógico de radiofrecuencia, ya que se ha partido de un esquemático genérico, que poco a poco se ha ido optimizando, para luego pasar al desarrollo del *layout* y terminar con las simulaciones *post-layout*. Este diseño fue enviado a fabricar en el *RUN* de Noviembre de 2008 [27], así que la medida del circuito podrá ser realizada dentro de otro proyecto dando por finalizado el flujo de diseño que comenzó en este proyecto.

De los resultados obtenidos podemos decir que este diseño puede ser utilizado para los principales estándares de comunicaciones (ver Tabla 6.3). En dicha tabla no se encuentra el estándar de UWB, ya que el ancho de banda obtenido no es suficiente. Creemos que con nuestro diseño sería posible alcanzar el ancho de banda que exige éste estándar (500 MHz) rediseñando el circuito aumentando ligeramente el consumo o utilizando otra tecnología mejor (CMOS 180nm o incluso 90nm).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 6.3 Características de RF básicas de los principales estándares de comunicaciones inalámbricas

	Estándar	Frecuencia de trabajo aprox.	Ancho de banda máx.
Telefonía inalámbrica	DECT	1900 MHz	1,728 MHz
	CT2/CT2+	900 MHz	100 KHz
	PHS	1900 MHz	300 KHz
Redes inalámbricas	Bluetooth	2,4 GHz	1 MHz
	802.11b/g	2,4 GHz	25 MHz
	802.11a	5 GHz	20 MHz
Telefonía móvil	GSM	800 MHz	200 KHz
	UMTS	1900 MHz	5 MHz
Posicionamiento	GPS	1500 MHz	20 MHz
Televisión digital	DVB-H	400 - 800 MHz	8 MHz
	DVB-SH	2,3 GHz	8 MHz

Para concluir se puede decir que los objetivos planteados inicialmente se han alcanzado. En cualquier caso la línea de trabajo que subyace a este proyecto fin de carrera es parte de una línea de investigación de mayor envergadura en la que se desarrollan varios proyectos de investigación. De este modo, la temática de este trabajo tiene continuidad en aspectos como la medida del circuito una vez fabricado, la integración del mezclador en una cadena de recepción, el desarrollo de mezcladores para etapas de transmisión, etc.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Presupuesto

Una vez completado el diseño de los circuitos y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales de este.

Baremos utilizados

El cálculo del presupuesto de este proyecto se ha seguido según la **"Propuesta de baremos orientativos para el cálculo de honorarios"** establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2006 [50].

Esta propuesta establece que para **"Trabajos tarifados por tiempo empleado"** se aplique:

$$H = Hn * 65 + He * 78$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Siendo:

H = Honorarios a percibir.

Hn = Horas contabilizadas en jornada normal.

He = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por la aplicación de la clave "H" se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a lo detallado en la Tabla 7.1.

Tabla 7.1 Coeficientes reductores

HORAS			**COEFICIENTE**
Hasta	36 horas		C=1
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	72 horas	hasta 108 horas	C=0,8
Exceso de	108 horas	hasta 144 horas	C=0,7
Exceso de	144 horas	hasta 180 horas	C=0,65
Exceso de	180 horas	hasta 360 horas	C=0,60
Exceso de	360 horas	hasta 510 horas	C=0,55
Exceso de	510 horas	hasta 720 horas	C=0,50
Exceso de	720 horas	hasta 1.080 horas	C=0,45
Exceso de	1.080 horas		C=0,40

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Cálculo del presupuesto

a) Costes de debidos a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, en la Tabla 7.2 establecemos unos valores indicativos del tiempo parcial empleado en cada fase del mismo.

Tabla 7.2 Tiempo empleado

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	300
Estudio de la herramienta de diseño	80
Análisis y diseño del circuito	500
Realización de la memoria	360

En definitiva, se necesitaron un total de 1240 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal, con lo que el cálculo "H" resulta:

H = 1240 * 65 = 80600

Aplicando los coeficientes correctivos, dados por el COITT, a los tramos correspondientes resultan unos honorarios de:

H = 80600 * 0,40 = 32.240 €

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

b) Costes de amortización de los equipos informáticos y herramientas software

A continuación se detallan, en las Tablas 7.3 y 7.4, los costes relacionados a la utilización de equipos y herramientas software empleados en la elaboración de este proyecto. Los costes están divididos entre el número de usuarios que accedan a estos, los cuales se han estimado en 50 usuarios.

Tabla 7.3 Costes debidos a la utilización de herramientas software

Descripción	**Tiempo de uso**	**Coste anual (€)**		**Total (€)**
		Total	Usuario	
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	11 meses	903	18,06	16,55
Entorno Windows NT	11 meses	306	6,12	5,61
Microsoft Office 2003/07	11 meses	449	8,98	8,23
Entorno y diseño de simulación Advance Design System (ADS)	11 meses	2208,11	44,162	40,48
Mantenimiento	11 meses	1445,31	28,906	26,49
Cadence con Kit de diseño	11 meses	1500	30	27,50
TOTAL				124,86

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 7.4 Costes debidos a la utilización de equipos informáticos

Descripción	Tiempo de uso	Coste anual (€)		Total (€)
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo Sparc Station 10 Amortización 3 años	11 meses	5228,80	104,57	95,85
Mantenimiento	11 meses	1274,65	25,49	23,36
Servidor para simulación SUN Sparc Station 10 Amortización 3 años	11 meses	5068,53	101,37	92,92
Mantenimiento	11 meses	1547,65	30,953	28,37
Impresora Hewlett Packard Laserjet 4L Amortización 3 años	11 meses	360	7,20	6,60
Mantenimiento	11 meses	120,20	2,40	2,20
Ordenador Personal Pentium III 1 GHz Amortización 3 años	11 meses	360	7,20	6,60
Mantenimiento	11 meses	120,20	2,40	2,20
TOTAL				258,10

c) Costes de fabricación

Aunque este circuito no vaya a ser medido en este proyecto en la Tabla 7.5 se muestra los costes derivados a la fabricación de éste.

Tabla 7.5 Costes de fabricación

Descripción	mm^2	Precio mm^2 (€)	Gastos (€)
Fabricación de los circuitos	0,507	1.000	507
TOTAL			**507**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

d) Otros costes

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y la elaboración del documento final.

Tabla7.6 Otros costes

Descripción	Unidades	Costes unidad	Total (€)
Horas de uso de Internet	350	1,2 €/hora	450
Paquetes de DIN_A4 80 gr/m^2	3	5 €	15
Fotocopias	1000	0,04 €	40
Otros gastos			100
TOTAL			**575**

e) Presupuesto total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla 7.7 Presupuesto total

Descripción	Gastos (€)
Costes de recursos humanos	32240
Costes de herramientas de software	124,86
Costes de equipos informáticos	258,10
Costes de fabricación	507
Otros costes	575
PRESUPUESTO FINAL	**33704,96**
TOTAL (I.G.I.C 5%)	**35390,20**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

D. Albano Castillo García declara que el proyecto "Diseño de un convertidor de corriente en tecnología CMOS 0,35 μm" asciende a un total de treinta y cinco mil trescientos noventa euros con veinte céntimos.

Fdo. Albano Castillo García

DNI: 78521554Z.

Las Palmas, a de Febrero de 2009

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Bibliografía

[1] W. Shockley y G. L. Pearson, "Modulation of Conductance of Thin Films of Semi-Conductors by Surface Charges", Phys. Rev., pp. 232-233, 1948.

[2] David Comer y Donald Comer, "Diseño de circuitos electrónicos," Limusa - Wiley, pp. 166-201, 2005.

[3] C. T. Sah, "Characteristics of the Metal-Oxide-Semiconductors Transistors", IEEE Trans. Electron Devices, ED-11, 324, 1964.

[4] H. Shichman and D.A. Hodges, "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits", IEEE Journal of Solid-State Circuits, volSC-3, 5, PP.285-289, 1968.

[5] AMS Austria Micro Systems, "0.35 µm BiCMOS Design Rules" Rev. 2.0. 2003.

[6] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, 1998.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[7] T. Kuendiger, J. Schrey, I. Taha, Yi Lin, Tao Dai, Li Liang, Song-Tao, Yue, "Cadence Op-Amp Schematic Design Tutorial for TSMC CMOSP35", Diciembre 2007.

[8] David Jonhs and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 1997.

[9] A. Rubio, J. Altet, X. Aragonés, J. L. González, D. Mateo y F. Moll, "Diseño de circuitos y sistemas integrados," Ediciones UPC, pp. 39-87, 2003

[10] F. Peláez y F. Javier, "El amplificador operacional bajo radiación de neutrons rápidos y consecuencias en otros dispositivos", Universidad Complutense de Madrid, 2008.

[11] Paul R. Gray and Robert G. Meyer, "Análisis y Diseño de Circuitos Integrados Analógicos", Pearson Educación; 1995.

[12] Pavan K Alli, "Testing a CMOS Operational Amplifier Circuit using a combination of oscillation and I_{DDQ} test methods", The Department of Electrical and Computer Engineering of Osmania University, 2004

[13] R. Esper-Chaín Falcón, J. M. Cabrera Peña, J. M. Cerezo Sánchez y M. Marrero Martín, "Electrónica Analógica", Tomo II, Universidad de Las Palmas de Gran Canaria, 1997.

[14] E. Sánchez-Sinencio y J. Silva-Martinez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial", IEE Proc.-Circuits Devices Syst., Vol. 147, No. 1, February 2000.

[15] AMS, Austria Micro Systems, "0,35 μm BiCMOS Process Parameters", Rev.1.0, 2002.

[16] K. R. Laker y W.M. C. Sansen, "Design of Analog Integrated Circuits and Systems", McGraw-Hill, 1994.

[17] Giuseppe Ferri y Nicola C. Guerrini, "Low-voltage Low-Power CMOS Current Conveyors", Kluwer Academic Publishers, pp. 2-102, 2003.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[18] S. Franco, "Analytical foundation of current feedback operational amplifier", IEEE International Symposium on Circuits and Systems, 1993.

[19] A. Soliman, "Applications of the current feedback operational amplifiers", Analog Integrated Circuits and Signal Processing,1996.

[20] C Toumazou, A. Payne y J. Lidgey, "Current-feedback versus voltage amplifiers: history, insight and relationships", IEEE International Symposium on Circuits and Systems, 1993.

[21] G. Palumbo y S. Pennisi, "Current-feedback amplifiers versus voltage operational amplifiers" IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2001.

[22] K. C. Smith y A. S. Sedra, "The current conveyor a new circuit building block", IEEE Proceedings, vol. 56, pp. 1368-1369, Agosto 1968.

[23] Christophe Prémont, Stéphane Cattet, Richard Grisel, Nacer Abouchi, Jean-Pierre Chante y Denise Renault, "A CMOS Multiplier/Divider based on Current Conveyors," Proceedings of the 1998 IEEE International Symposium on Circuits and Systems, ISCAS'98, 1998.

[24] Luis Nero Alves y Rui L. Aguilar, "A differential current-conveyor based buffer for high-bandwidth, low-signal applications," Electronics, Circuits and Systems, 1999. Proceedings of ICECS '99. The 6th IEEE International Conference, vol. 2, pp 903-906, Septiembre 1999.

[25] F. Javier del Pino, "Diseño de Circuitos Integrados de Radiofrecuencia" apuntes de la asignatura: Electrónica Aplicada a las Comunicaciones, ULPGC.

[26] Roberto Díaz Ortega, "Diseño, medida y verificación de un mezclador pasivo en CMOS 0.35 μm para un receptor basado en el estándar IEEE 802.11a", Proyecto Final de Carrera ETSIT, ULPGC, 2006.

[27] Informe "Run Noviembre 2008" asociado al proyecto "Short Range Radio (SR2)-TSI-020400-2008-71", Instituto de Microelectrónica Aplicada, 2008.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[28] L. Perraud, M. Recouly, C. Pinatel, N. Sornin, J. Bonnot, F. Benoist, M. Massei y O. Gibrat, "A Direct-Conversion CMOS Transceiver for the 802.11a/b/g WLAN Standard Utilizing a Cartesian Feedback Transmitter", IEEE Journal of Solid-State Circuits, vol. 39, no.12, Diciembre 2004.

[29] F. Touati, S Douss, M. Loulou, "A High-Performnce Doubly-Balanced Mixer in 0.35- μm CMOS for Mode-1 MB-OFDM UWB Receivers", Springer Netherlands, 2007.

[30] M. Pfferi, M. Borgarino, R. Codeluppi y F. Alimenti, "A High linearity CMOS mixer for domotic 5 GHz WLAN sliding-IF receivers", Microelectronic Journal Elsevier Ltd, 2006.

[31] M. Vahidfar, O. Shoaei, F. Svelto, "A High Dynamic Range Multi-Standard CMOS Mixer for GSM, UMTS and IEEE 802.11b-g-a Applications", IEEE Radio Frequency Integrated Circuits Symposium, 2008.

[32] Kumar Munusamy y Zubaida Yusoff, "A Highly linear CMOS Down Conversion Down Conversion Double Balanced Mixer", IEEE International Conferences on Semiconductor Electronics, ICSE' 06, 2006.

[33] Behzad Razavi, "Desidn of Analog CMOS Integrated Circuits", McGraw-Hill Higher Education, 2001

[34] Behzad Razavi, "Fundamentals of microelectronics", Wiley, 2008.

[35] Richard C. Jaeger y Travis N. Blalock, "Diseño de circuitos microelectrónicos," Mc Graw Hill (Segunda edicion), pp. 160-245 , 2005

[36] Ivanov, Vadim, "Operational Amplifier Speed and Accuracy Improvement: Analog Circuit Design With Structural Methodology", Kluwer Academic Publisher, pp. 83-102, 2004.

[37] Phillip E. Allen and Douglas B. Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002.

[38] F. Javier del Pino, "Tema 4: El transistor MOS", ULPGC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[39] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.

[40] Phillip E. Allen and Douglas B. Holberg. "CMOS Analog Circuit Design". Holt, Rinehart and Winston; 1987.

[41] J. Lopez-Hernandez, J.A. Diaz-Mendez, A. Diaz-Sanchez, "Current Conveyor de Segunda Generación y Bajo-Voltage", II Congreso Nacional de Electronica, Mexico, 2002.

[42] Antonio J. López-Martín, Jaime Ramirez-Ángulo, Chandrika Durbhaand Ramón G. Carvajal; "Fully-Differential CMOS Current Conveyor Operating in Moderate Inversion"; XIX Design of Integrated Circuits and Systems Conference (DCIS), 2004.

[43] Roberto Díaz Ortega, "Diseño de un mezclador pasivo en CMOS 0,35 μm para un receptor basado en el estándar IEEE 802.11a", Proyecto Fin de Carrera EUITT, 2004.

[44] Página de ebrary http://site.ebrary.com/lib/bibliotecaulpgc

[45] Página web de IEEE: http://www.ieee.org

[46] Página web de AMS: http://www.austriamicrosystems.com

[47] Página web de circuitos de RF: http://www.circuitstage.com

[48] Página web del IUMA: http://www.iuma.ulpgc.es

[49] Manuales de RF, CADENCE: http://www.cadence.com

[50] Página web del COITT: http://www.coitt.es

[51] Software y manuales ADS: http://www.agilent.com

[52] Cascade Microtech http://www.cmicro.com

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Anexo A

Metodología de las simulaciones realizadas a los CCIIs configurados como fuentes de tensión controladas por tensión.

En este anexo describiremos la metodología que se empleó en las simulaciones realizadas a los *current conveyors* configurados como fuentes de tensión controladas por tensión. Para ello utilizaremos un circuito de los mostrados en el capítulo 4 como ejemplo de la metodología descrita. El circuito de la Figura A.1 se corresponde con el circuito de la Figura 4.37 y es el que vamos a utilizar como ejemplo en este anexo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

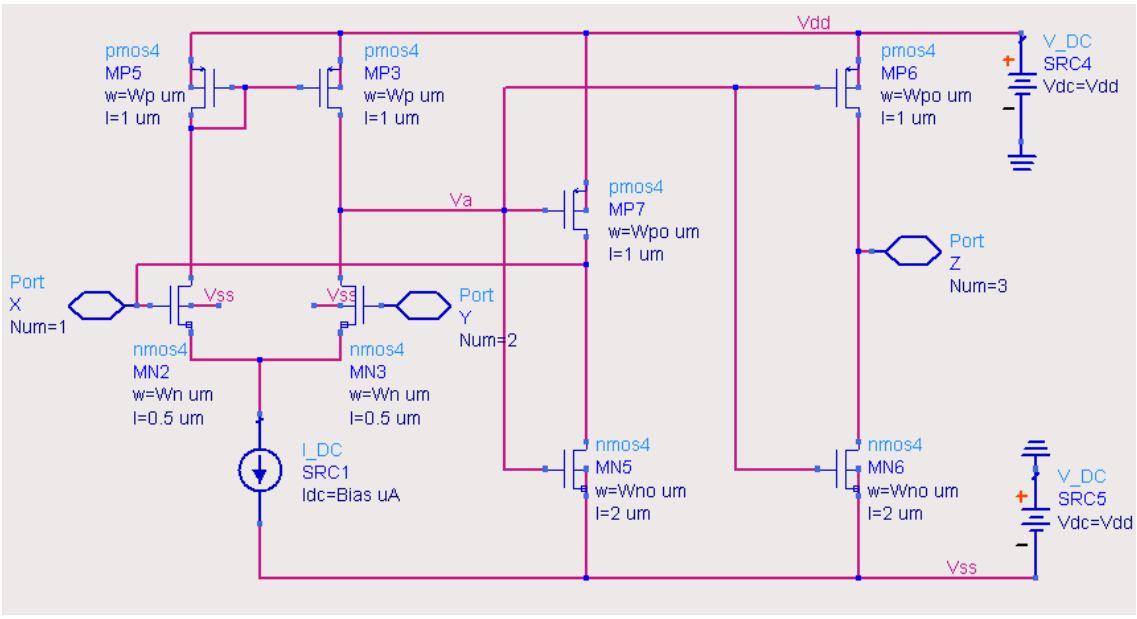


Figura A.1 CCII clase AB basado en entrada diferencial.

En la Figura A.2 se muestra el esquema de simulación configurado para obtener la ganancia de tensión y el ancho de banda del circuito.

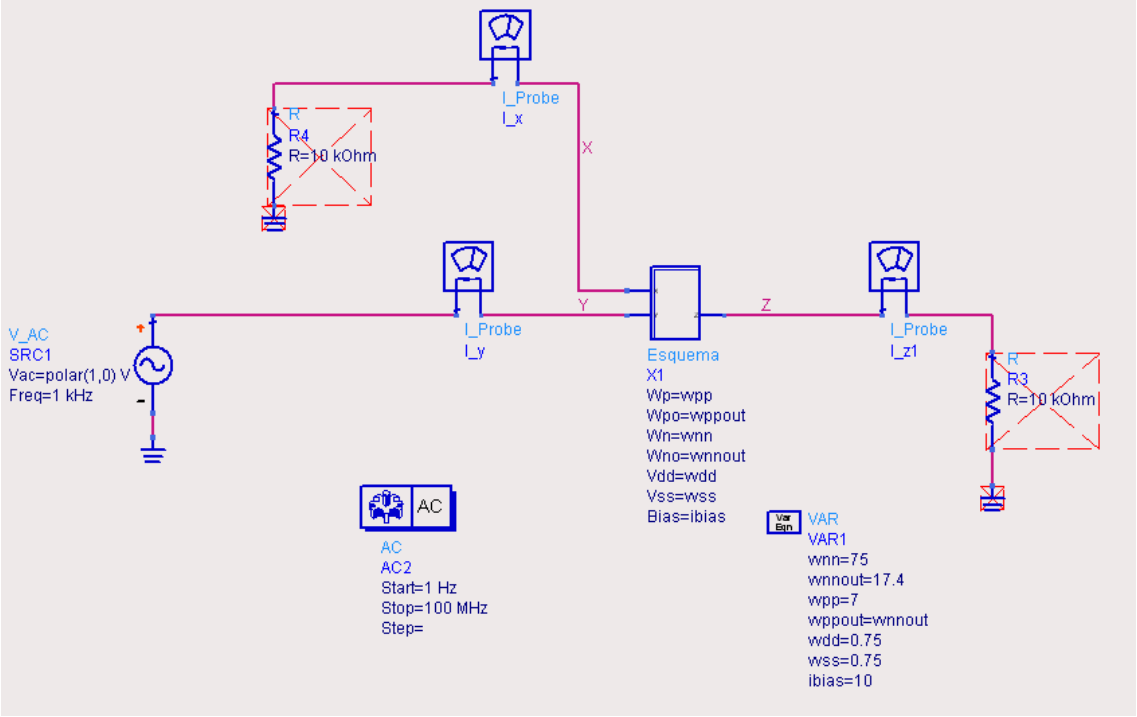


Figura A.2 Esquema de simulación configurado para obtener la ganancia de tensión y el ancho de banda.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Los resultados obtenidos tras haber realizado el análisis en AC al esquema de la Figura A.2 se muestran en las Figura A.3 yFigura A.4.

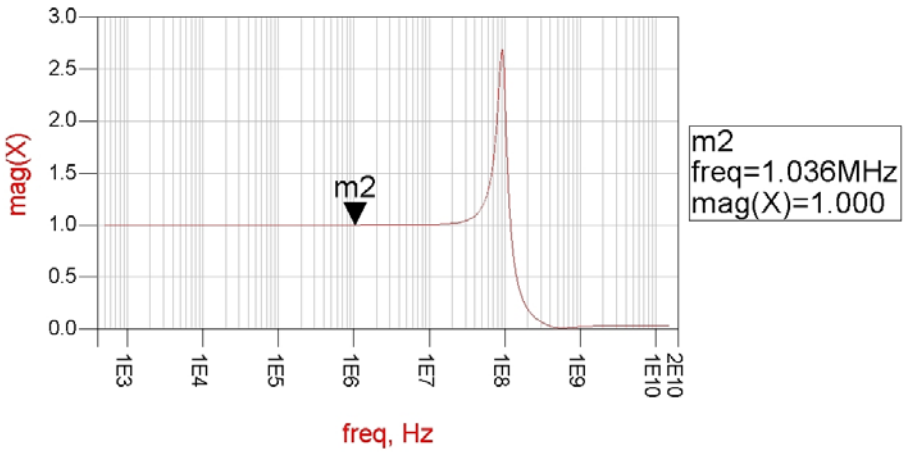


Figura A.3 Ganancia de tensión.

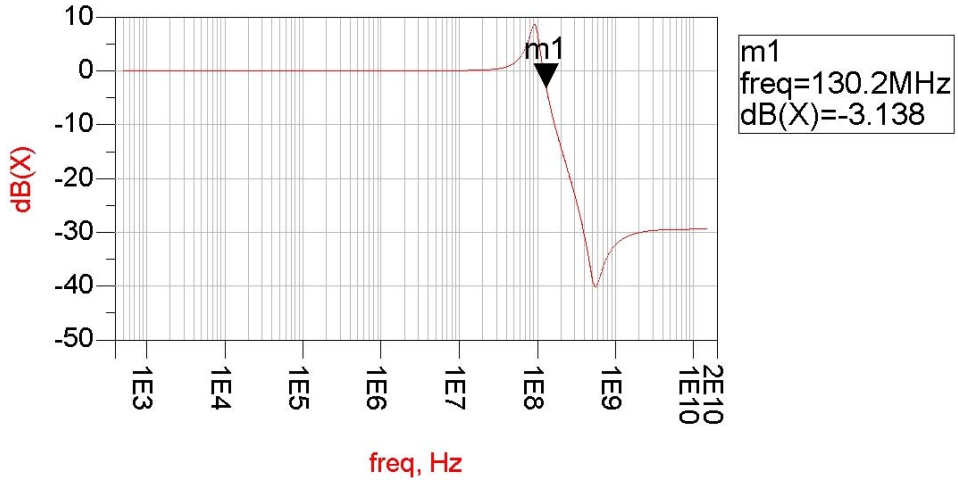


Figura A.4 Ancho de banda.

Para obtener el consumo del circuito basta con realizar un análisis de DC. En la Figura A.5 se muestra las corrientes y tensiones del circuito en continua.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

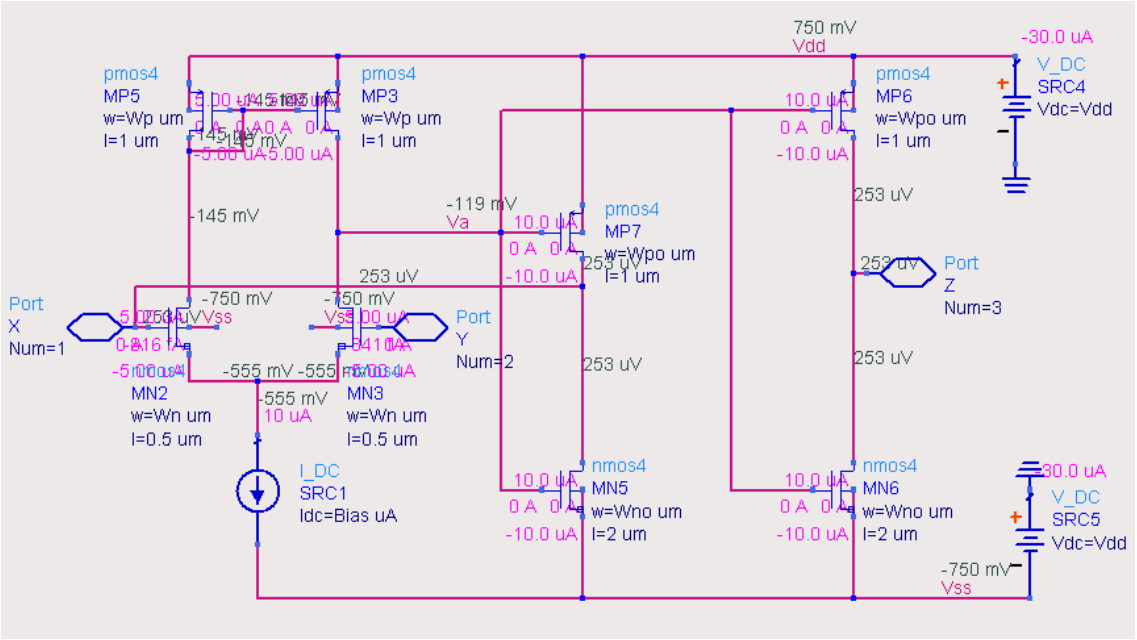


Figura A.5 Análisis de DC.

Con la configuración presentada en el esquema de la Figura A.6 se obtiene la ganancia de corriente.

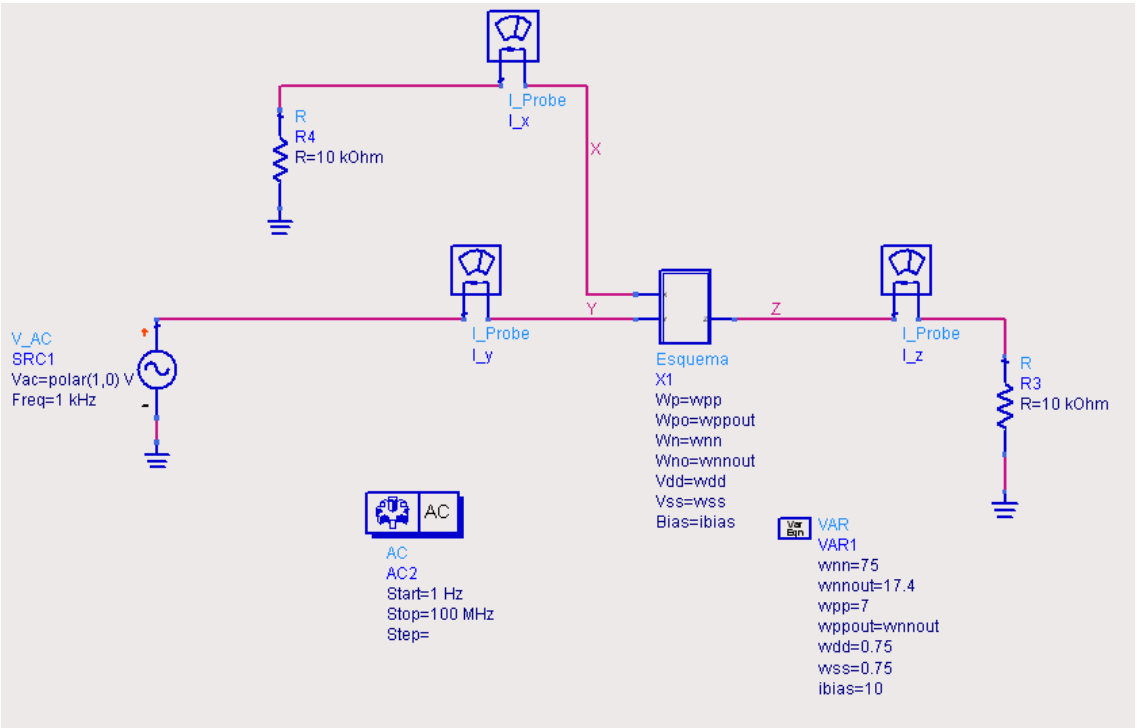


Figura A.6 Esquema de simulación configurado para obtener la ganancia de corriente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El resultado de la simulación realizada con el esquema de la Figura A.6 se muestra en la Figura A.7.

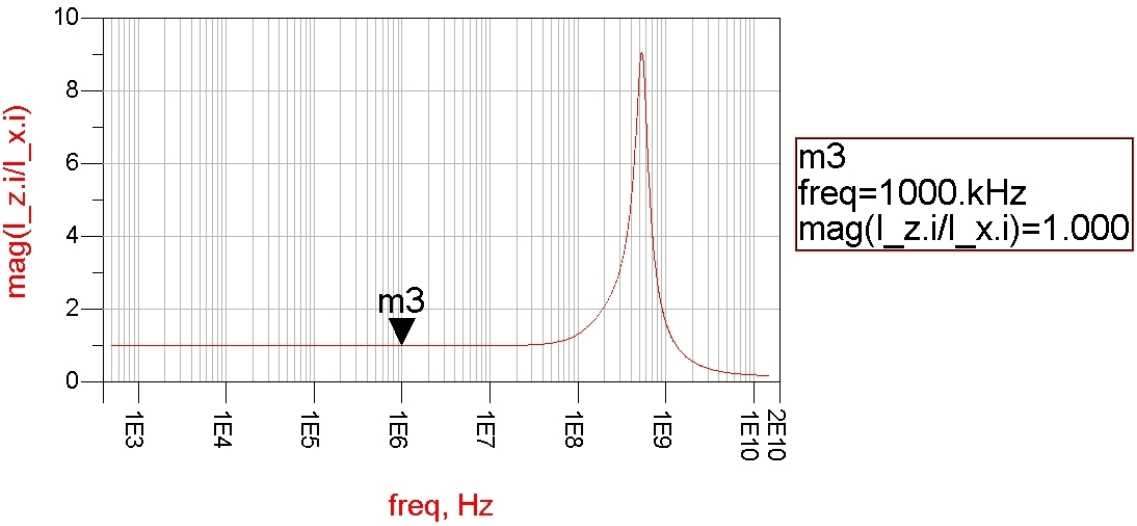


Figura A.7 Ganancia de corriente.

Con la configuración presentada en el esquema de la Figura A.8 se obtiene la simulación de la máxima excursión de salida.

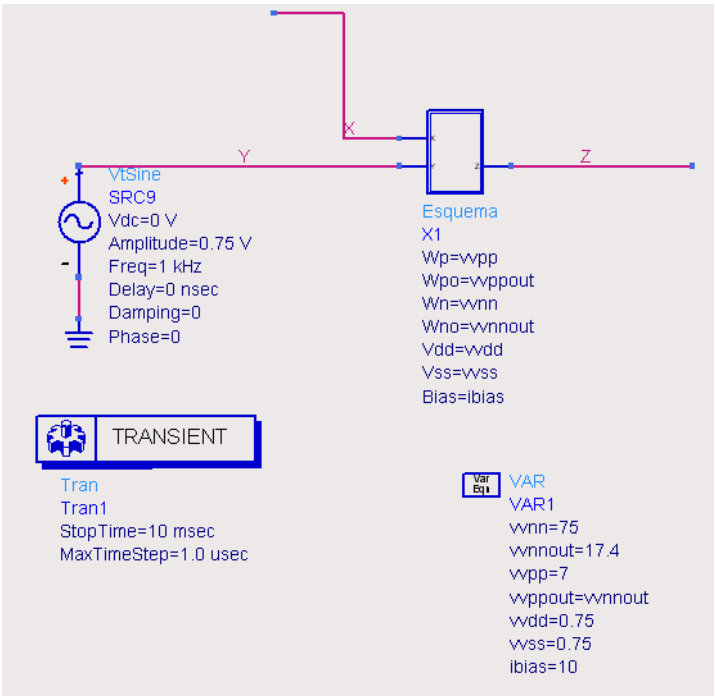


Figura A.8 Esquema de simulación configurado para obtener la máxima excursión de salida.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El resultado de la simulación realizada con el esquema de la Figura A.8 se muestra en la Figura A.9, cuyo resultado es una máxima excursión de salida desde -0,748 mV a 0,686 mV.

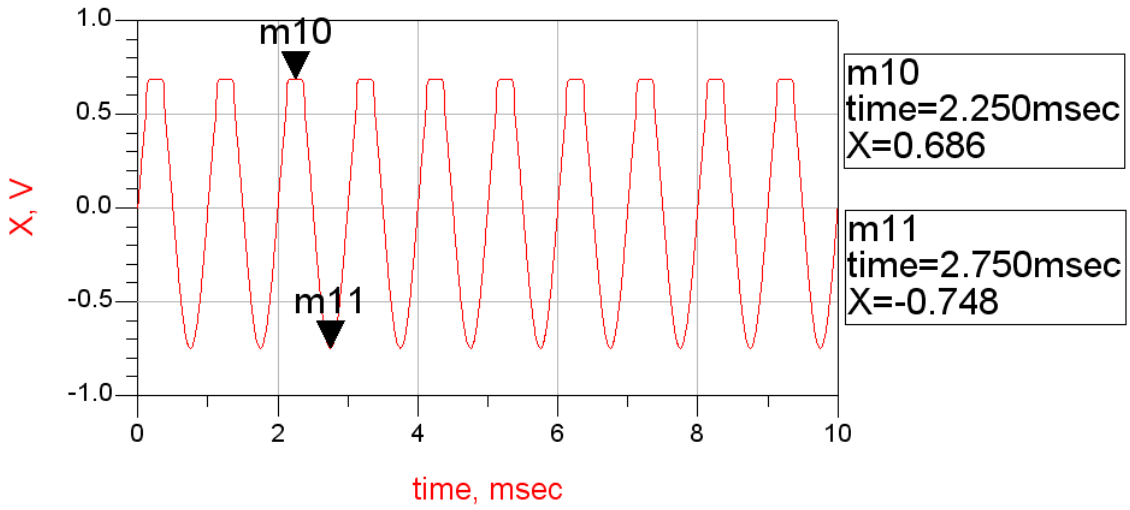


Figura A.9 Máxima excursión de salida.

Con la configuración presentada en el esquema de la Figura A.10 se obtiene la simulación de la impedancia parásita del nodo X.

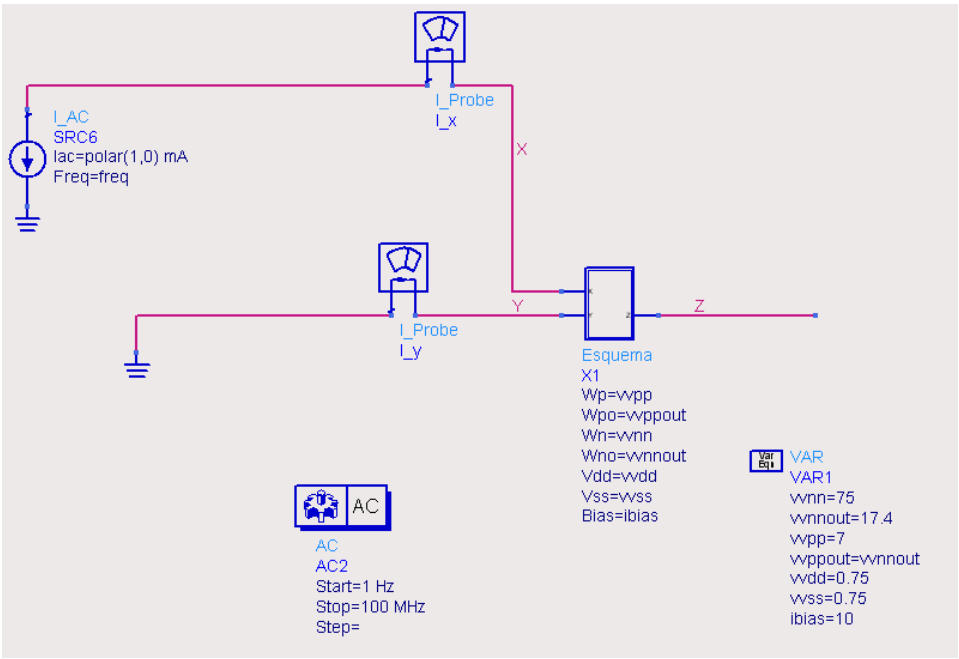


Figura A.10 Esquema de simulación configurado para obtener la impedancia en el nodo X.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El resultado de la simulación realizada con el esquema de la Figura A.10 se muestra en la Figura A.11.

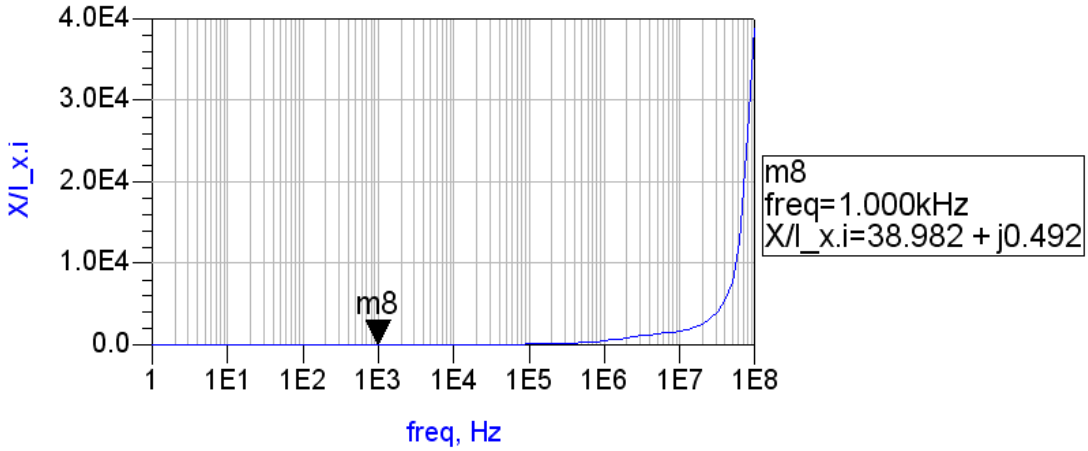


Figura A.11 Impedancia parásita en el nodo X.

Con la configuración presentada en el esquema de la Figura A.12 se obtiene la simulación de la impedancia parásita del nodo Z.

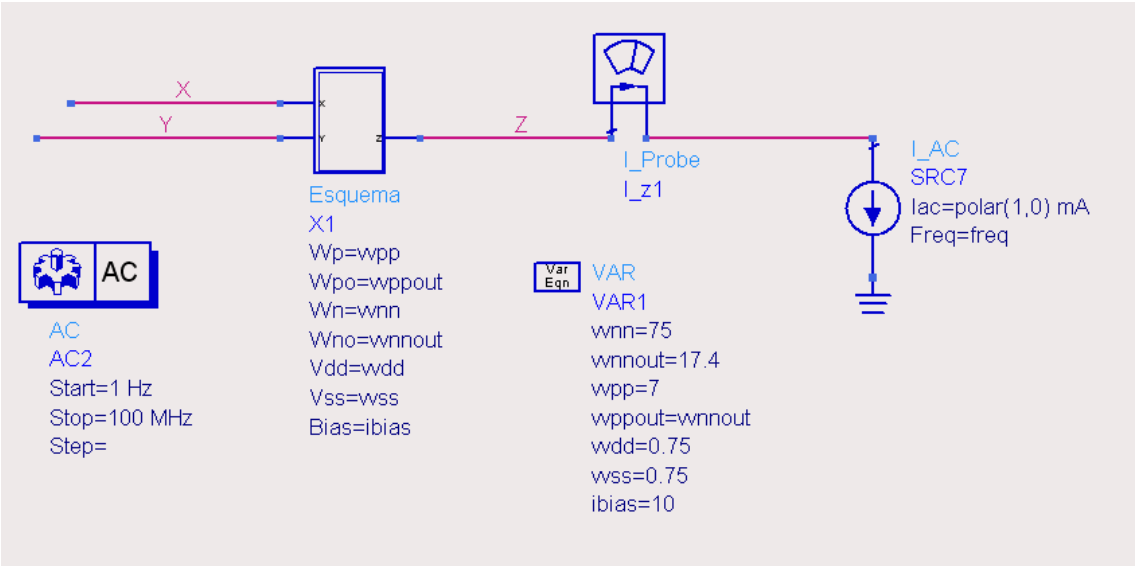


Figura A.12 Esquema de simulación configurado para obtener la impedancia del nodo Z.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El resultado de la simulación realizada con el esquema de la Figura A.12 se muestra en la Figura A.13.

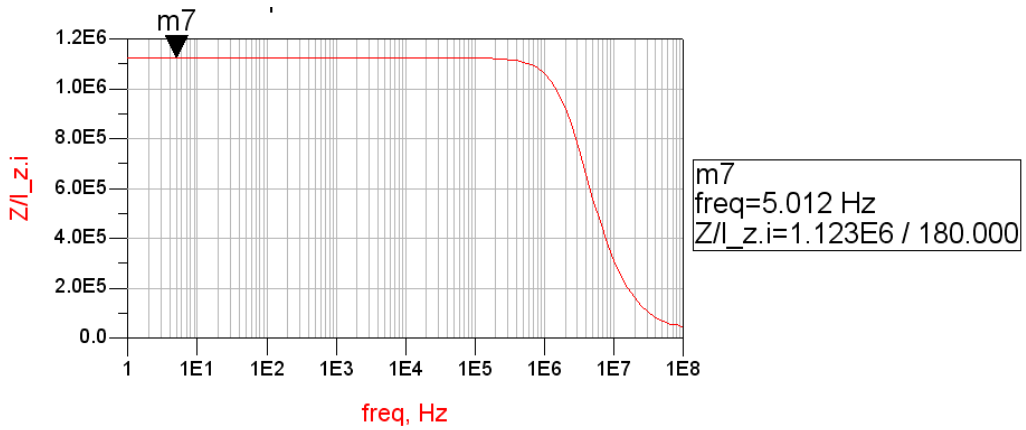


Figura A.13 Impedancia parásita en el nodo Z.

Con la configuración presentada en el esquema de la Figura A.14 se obtiene la simulación de la impedancia parásita del nodo Z.

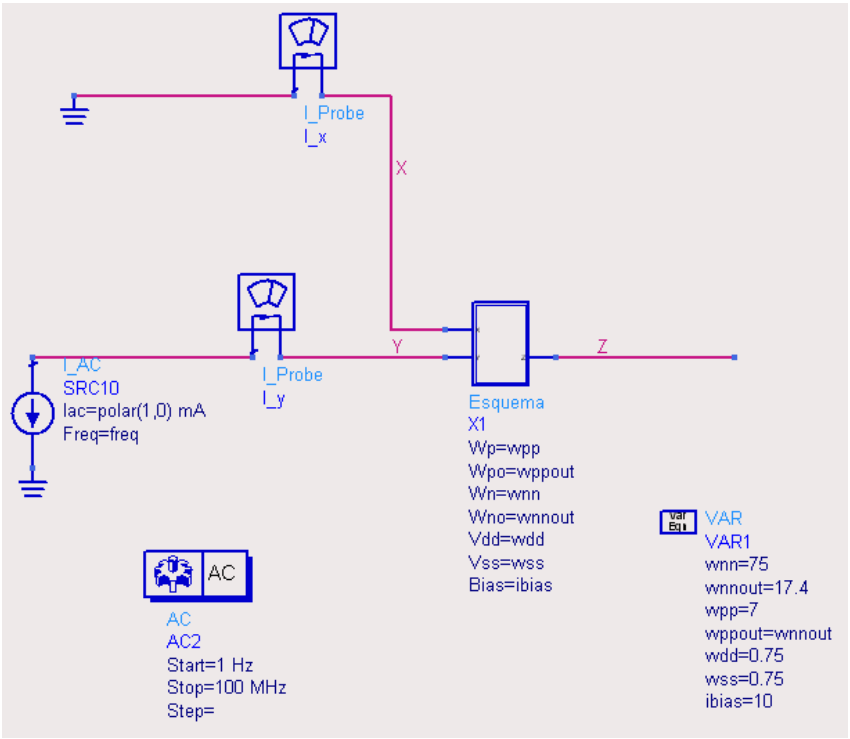


Figura A.14 Esquema de simulación configurado para obtener la impedancia del nodo Y.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El resultado de la simulación realizada con el esquema de la Figura A.14 se muestra en la Figura A.15.

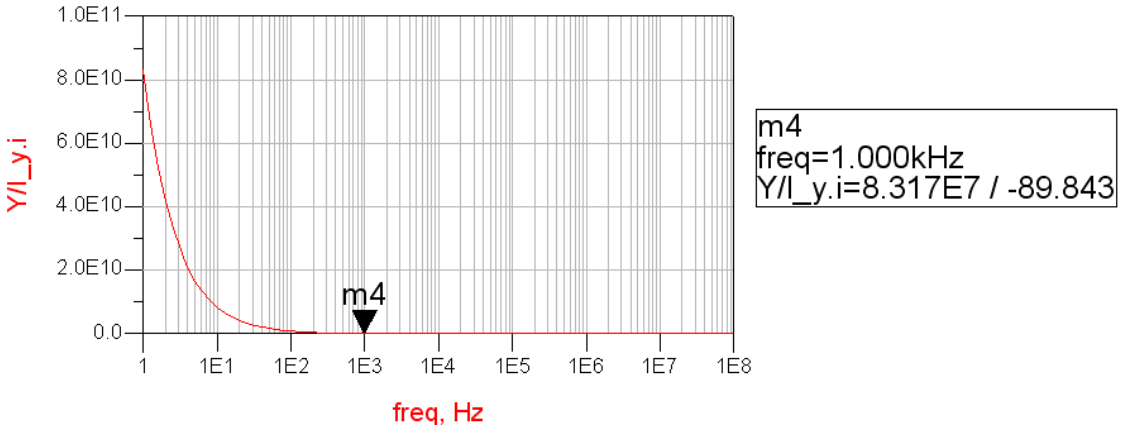


Figura A.15 Impedancia parásita en el nodo Y.

A modo de resumen, todos los resultados obtenidos en estas simulaciones se encuentran en la Tabla A.1.

Tabla A.1 Características del CCII para el circuito mostrado en la Figura A.1

Parámetros	Valores	Parámetros	Valores
Alimentación	±0,75 V	Ganancia de Corriente	1,00
Potencia Consumida	45 µW	Resistencia Parásita en el Nodo X	38,98 Ω
Ganancia de Tensión	1,00	Inductancia Parásita en el Nodo X	78,3 µH
Ancho de Banda	130,2 MHz	Impedancia Parásita en el Nodo Y	1,91 pF
Máxima Excursión de Salida	-750 mV, +750 mV	Impedancia Parásita en el Nodo Z	1,123 MΩ

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Anexo B

Metodología de las simulaciones realizadas a los CCIIs configurados como fuentes de tensión controladas por corriente

En este anexo describiremos la metodología que se empleó en las simulaciones realizadas a los *current conveyors* configurados como fuentes de tensión controladas por corriente. Para ello utilizaremos un circuito de los mostrados en el capítulo 4 como ejemplo de la metodología descrita. El circuito de la Figura B.1 se corresponde con el circuito de la Figura 4.46 y es el que vamos a utilizar como ejemplo en este anexo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

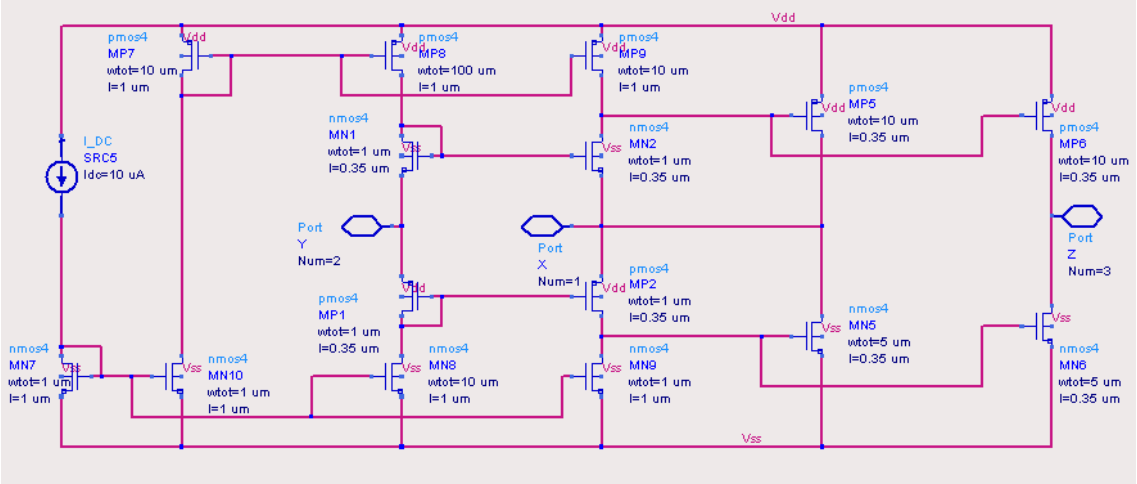


Figura B.1 *Current conveyor* basado en fuente de tensión controlada por corriente.

Para obtener el consumo del circuito basta con realizar un análisis de DC. En la Figura B.2 se muestra las corrientes y tensiones del circuito en continua.

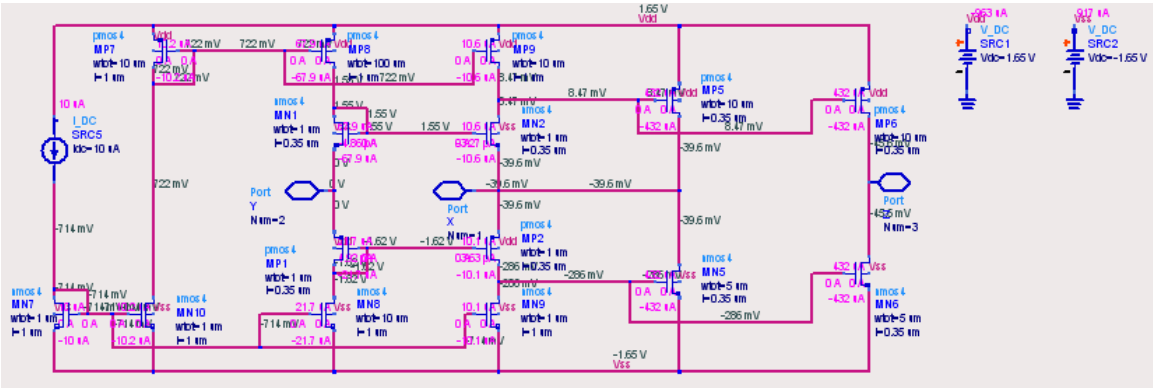


Figura B.2 Análisis de DC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El esquema de simulación de la ganancia, el ancho de banda y la impedancia parásita del nodo X del *current conveyor* de transimpedancia, se muestra en la Figura B.3.

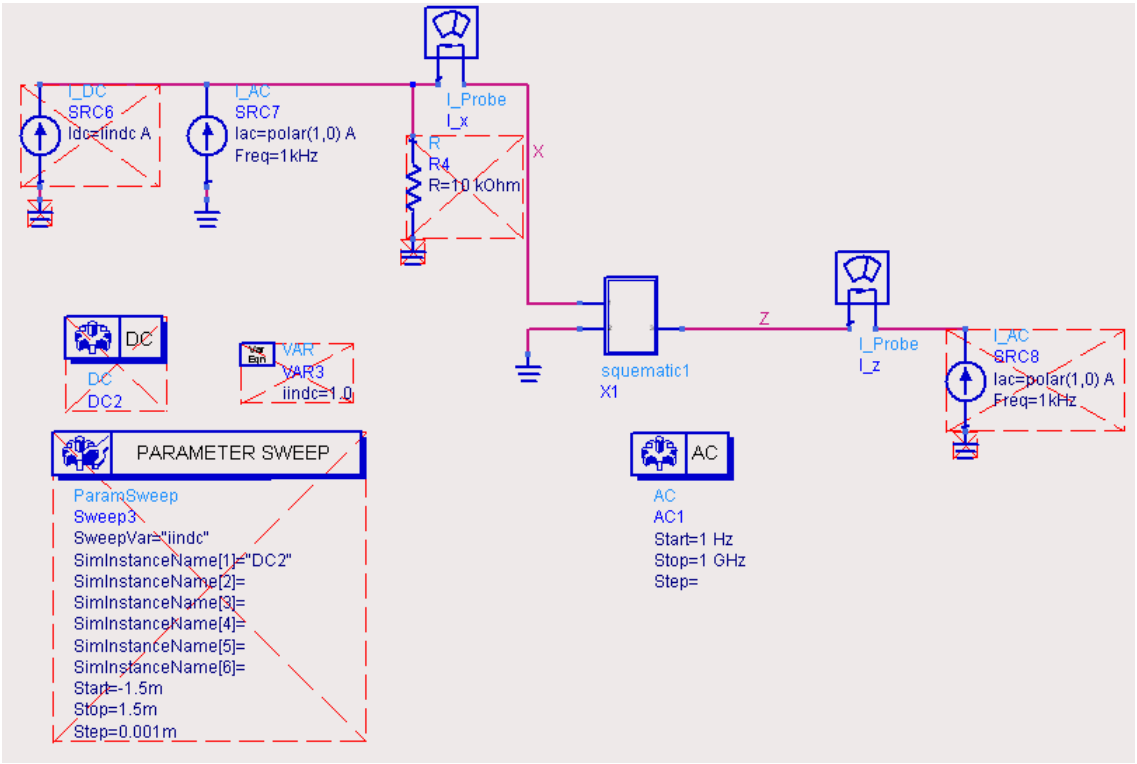


Figura B.3 Esquema de simulación configurado para obtener la impedancia parásita en el nodo X, la ganancia de transimpedancia y el ancho de banda.

La impedancia parásita en el nodo X se muestra en la Figura B.4.

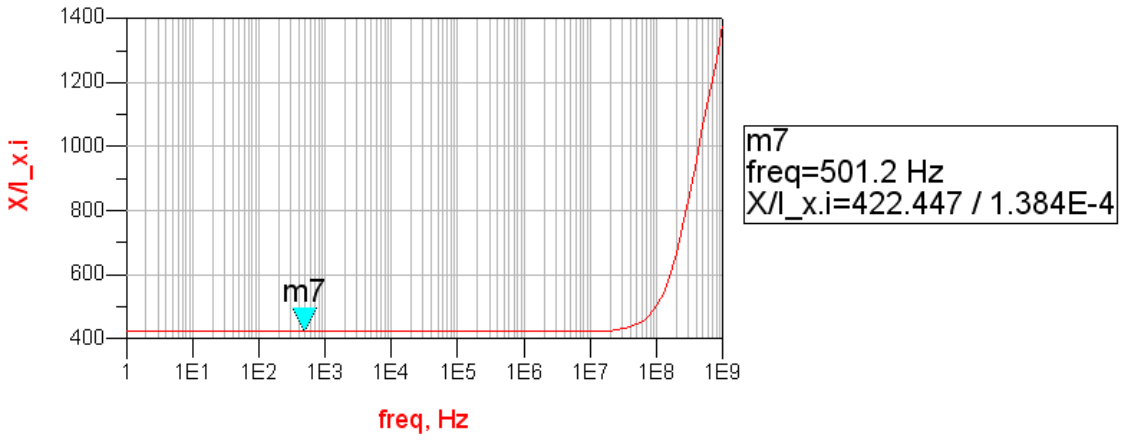


Figura B.4 Impedancia parásita en el nodo X.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

La ganancia de transimpedancia del circuito se muestra en la Figura B.5.

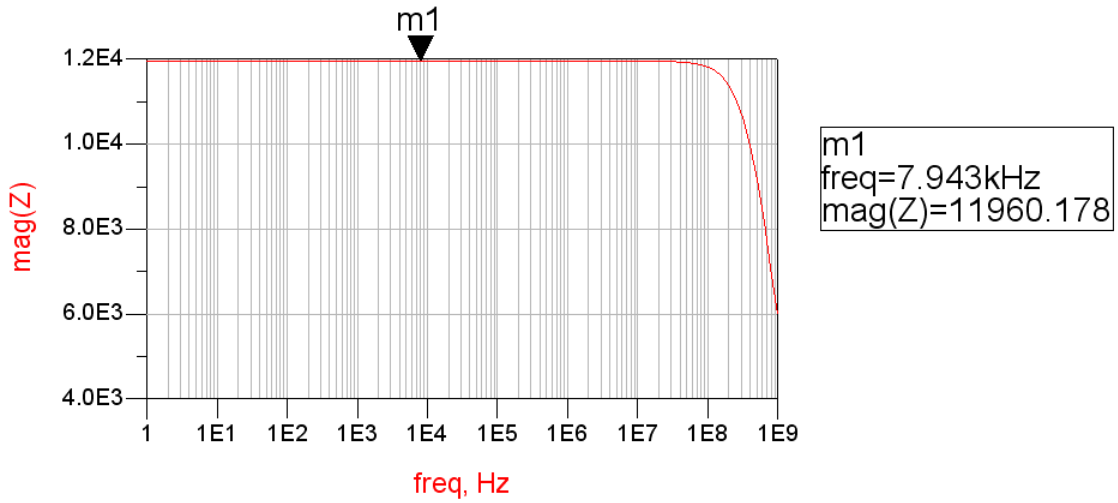


Figura B.5 Ganancia de transimpedancia.

En la Figura B.6 se muestra el ancho de banda del circuito.

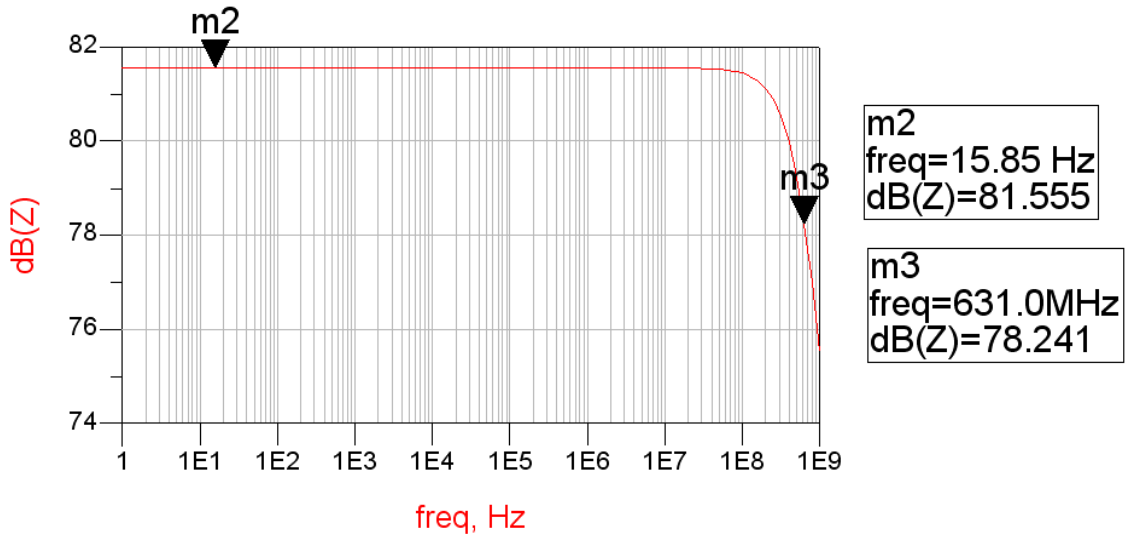


Figura B.6 Ancho de banda.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la Figura B.7 se muestra el esquema de simulación para obtener la impedancia parásita del nodo Z.

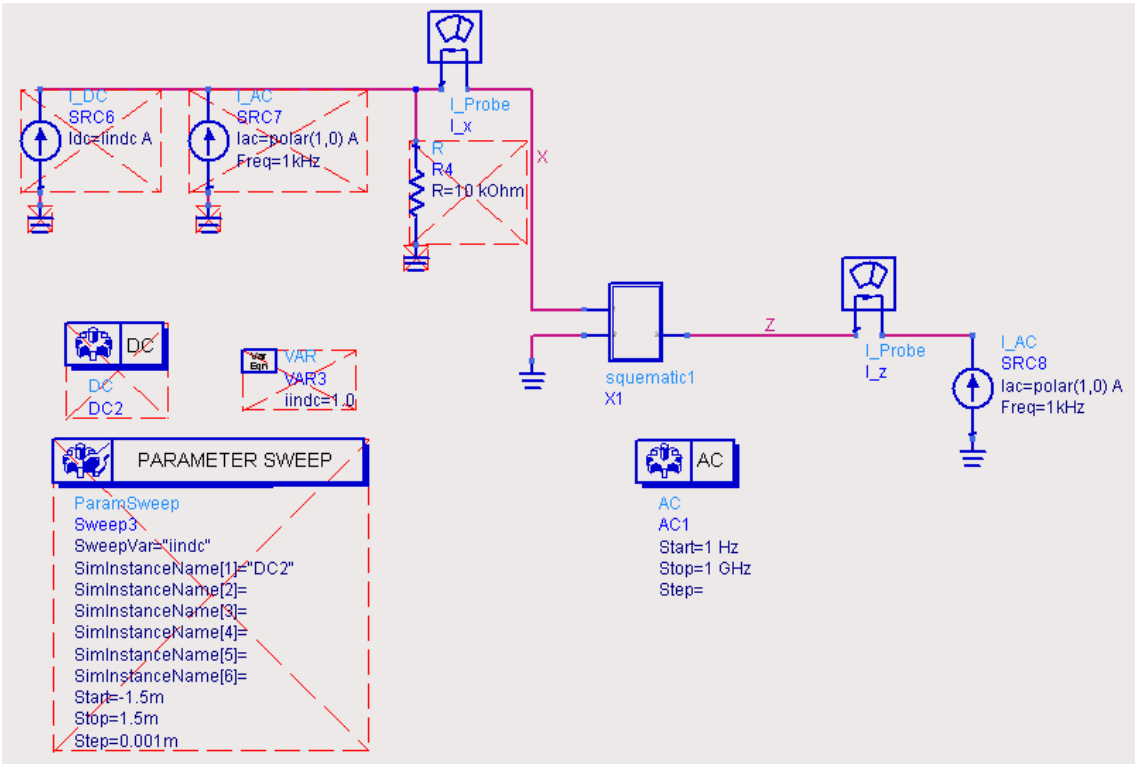


Figura B.7 Esquema de simulación configurado para obtener la impedancia en el nodo Z.

El resultado de la simulación realizada con el esquema de la Figura B.7 se muestra en la Figura B.8.

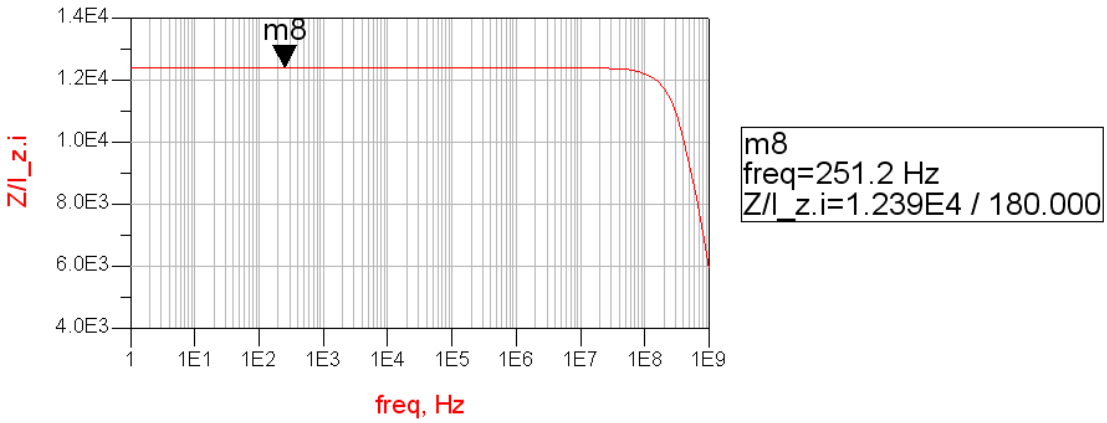


Figura B.8 Impedancia parásita en el nodo Z.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Con la configuración presentada en el esquema de la Figura B.9 se obtiene la simulación de la máxima excursión de salida.

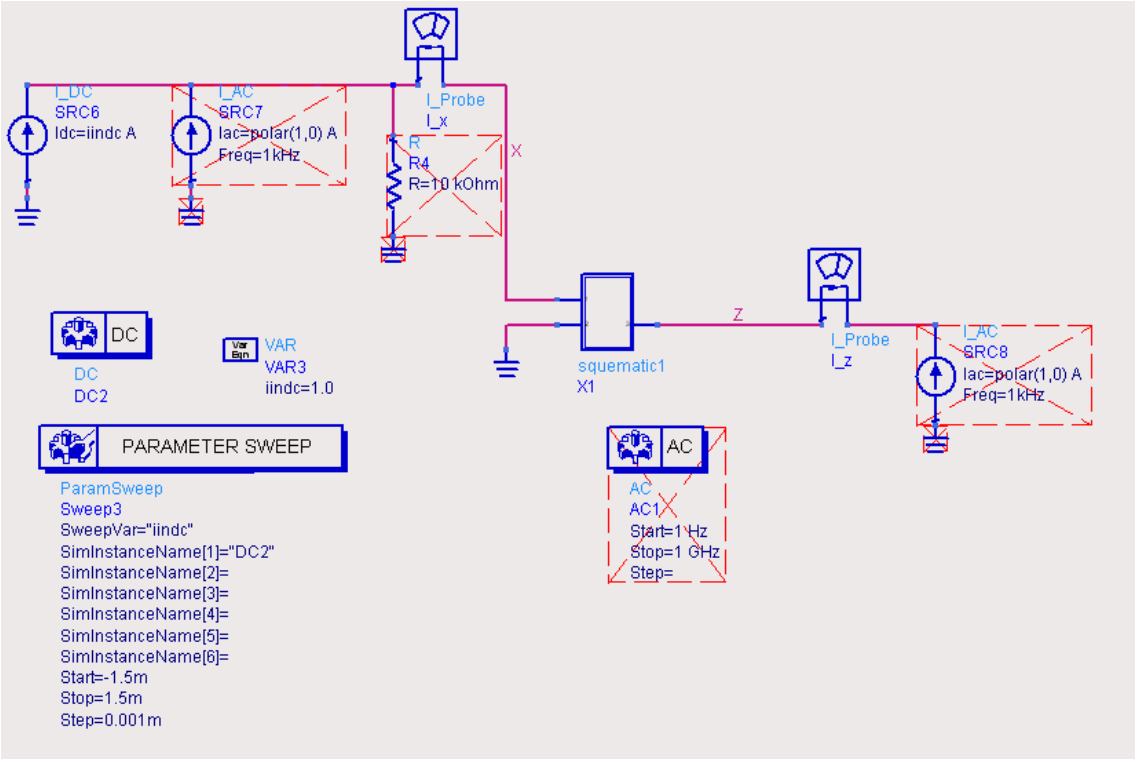


Figura B.9 Esquema de simulación configurado para obtener la máxima excursión de salida.

El resultado de la simulación realizada con el esquema de la Figura B.9 se muestra en la Figura B.10, cuyo resultado es una máxima excursión de salida desde -0,839 mV a 0,805 mV.

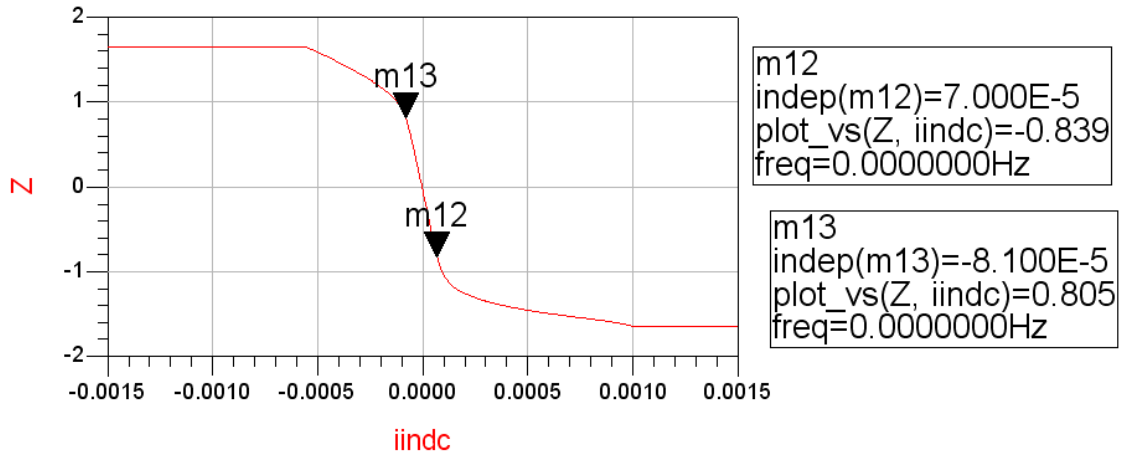


Figura B.10 Máxima excursión de salida.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A modo de resumen, todos los resultados obtenidos en estas simulaciones se encuentran en la Tabla B.1.

Tabla B.1 Características del CCII para el circuito mostrado en la Figura B.1Figura B.1

Parámetros	Valores	Parámetros	Valores
Alimentación	±1,65 V	Ganancia de transimpedancia	11,96 kΩ
Potencia Consumida	3,18 mW	Resistencia Parásita en el Nodo X	422,44 Ω
Ancho de Banda	631 MHz	Impedancia Parásita en el Nodo Z	12,39 kΩ
Máxima Excursión de Salida	-839 mV, +805 mV		

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012