

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN SINTETIZADOR
PARA EL ESTÁNDAR IEEE 802.11a**

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

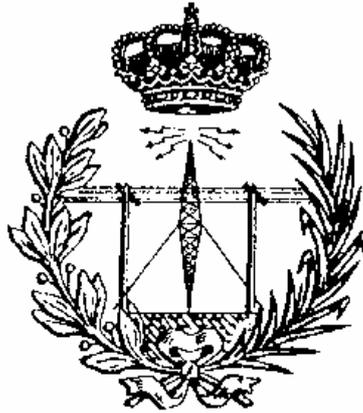
**TUTORES: SUNIL LALCHAND KHEMCHANDANI,
FRANCISCO JAVIER DEL PINO SUÁREZ.**

AUTOR: DAILOS RAMOS VALIDO.

FECHA: OCTUBRE 2005.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN SINTETIZADOR
PARA EL ESTÁNDAR IEEE 802.11a**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

**TUTORES: SUNIL LALCHAND KHEMCHANDANI,
FRANCISCO JAVIER DEL PINO SUÁREZ.**

AUTOR: DAILOS RAMOS VALIDO.

FECHA: OCTUBRE 2005.

Agradecimientos

Una vez aquí, me doy cuenta de todo lo bueno y no tan bueno que he pasado. Ahora veo en el pasado como me planteé todo. Inicialmente comencé la carrera y en estos momentos da lugar a cruzar la barrera final y disponerme a la lectura de este proyecto. Como no recordar a los que han estado ahí tanto en estos últimos años, como en toda mi vida. Por ello quiero dar gracias:

Sobre todo a mis padres, que son mi apoyo permanente, son a quienes debo la vida y ser quien soy.

A Guaci, mi novia, que siempre está junto a mi dándome ánimo, apoyo y cariño.

A mi hermano Alberto, a Mary y al peque Alberto.

A mis tí@s, que siempre han estado ahí.

También un recuerdo para mis prim@s.

Y, como no, a todos mis compañeros de carrera y amigos. Para no olvidarme de nadie, a todo aquel que de una forma u otra me ha mostrado su apoyo.

Además, en la realización de este proyecto un agradecimiento especial para mis tutores Sunil y Javier; a Sunil gracias a su asesoramiento y encauzado en el desarrollo del proyecto, a su experiencia y consejos que me han facilitado el trabajo, a Javier por colaborar con sus conocimientos teóricos, resultándome muy prácticos, a ambos gracias por ser más que simples tutores.

Especialmente a mis abuelos que siempre están diciéndome el “¿cuando vas a terminar?”.

GRACIAS.

Índice

CAPÍTULO 1

INTRODUCCIÓN	1
1.1. SISTEMAS DE RADIOFRECUENCIA	4
1.2. OBJETIVOS	5
1.3. ESTRUCTURA DE LA MEMORIA	5
1.4. PETICIONARIO.....	6

CAPÍTULO 2

EL ESTÁNDAR IEEE 802.11A Y LA ELECCIÓN DE LA ARQUITECTURA	7
2.1. EL ESTÁNDAR IEEE 802.11A.....	8
2.1.1. <i>Introducción</i>	8
2.1.2. <i>Especificaciones del IEEE 802.11a</i>	9
2.1.3. <i>Canalización</i>	9
2.1.4. <i>OFDM</i>	11
2.1.5. <i>Especificaciones relativas a la cabecera de RF</i>	16
2.2. DISTINTAS ARQUITECTURAS PARA LA CADENA DE RECEPCIÓN.....	19
2.2.1. <i>Receptor superheterodino o de doble conversión</i>	19
2.2.2. <i>Receptor de conversión directa o ZERO IF</i>	21
2.2.3. <i>Receptor de conversión a baja frecuencia intermedia o LOW IF</i>	22
2.2.4. <i>Receptor basado en la arquitectura WEAVER</i>	24
2.3. ELECCIÓN DE LA ARQUITECTURA	26
2.4. RESUMEN.....	26

CAPÍTULO 3

CONCEPTOS BÁSICOS DE LOS LAZOS ENGANCHADOS EN FASE	27
3.1. INTRODUCCIÓN.....	28
3.1.1. <i>Aplicaciones</i>	28
3.1.2. <i>Frecuencia y fase instantáneas</i>	29
3.2. ESTUDIO DE UN PLL IDEAL	30
3.2.1. <i>Detector de fase ideal</i>	30
3.2.2. <i>Filtro del bucle</i>	31
3.2.3. <i>VCO ideal</i>	31
3.2.4. <i>Funciones de transferencia del lazo</i>	31
3.3. ESPECIFICACIONES	34
3.3.1. <i>Procesos de enganche</i>	34
3.3.2. <i>Respuesta en régimen permanente</i>	36
3.3.3. <i>Escalón de fase</i>	36
3.3.4. <i>Escalón de frecuencia</i>	37
3.3.5. <i>Respuestas transitorias</i>	37
3.3.6. <i>Filtrado del ruido de fase</i>	38
3.4. INFLUENCIA DEL FILTRO	41
3.4.1. <i>PLL de orden 1</i>	42
3.4.2. <i>PLL de orden 2 tipo 1</i>	44
3.4.3. <i>PLL de orden 2 tipo 2</i>	45
3.5. DETECTORES DE FASE.....	52
3.5.1. <i>Multiplicador analógico</i>	53
3.5.2. <i>Detector digital de onda cuadrada</i>	54

3.5.3. <i>Detector digital biestable</i>	55
3.5.4. <i>Detector digital de fase/frecuencia</i>	56
3.5.5. <i>Bomba de carga</i>	58
3.6. RESUMEN.....	59
CAPÍTULO 4	
SINTETIZADORES DE FRECUENCIA	61
4.1. SINTETIZADOR BÁSICO.....	62
4.2. CONFIGURACIONES DE SINTETIZADORES.....	64
4.2.1. <i>Sintetizador con divisor programable</i>	64
4.2.2. <i>Sintetizador con divisores fijo y programable</i>	65
4.2.3. <i>Sintetizador con divisor de doble módulo</i>	66
4.2.4. <i>Sintetizador con mezclador</i>	68
4.3. RUIDO DE FASE EN SINTETIZADORES	69
4.4. FILTRADO DE LA FRECUENCIA DE REFERENCIA	71
4.5. CIRCUITOS INTEGRADOS SINTETIZADORES.....	72
4.6. OTROS SINTETIZADORES	73
4.7. DISEÑO DEL SINTETIZADOR.....	74
4.7.1. <i>Frecuencias del sintetizador</i>	74
4.7.2. <i>Estructura del sintetizador</i>	75
4.8. RESUMEN.....	76
CAPÍTULO 5	
ESTUDIO DE LOS DISTINTOS BLOQUES QUE CONFORMAN EL SINTETIZADOR.....	77
5.1. COMPARADOR DE FASE.....	77

5.1.1.	<i>XOR</i>	78
5.1.2.	<i>Comparador de fase/frecuencia y bombeo de carga</i>	84
5.2.	FILTRO DE BUCLE	92
5.2.1.	<i>Introducción</i>	92
5.2.2.	<i>Filtro pasivo de tipo 2 y orden 3</i>	93
5.2.3.	<i>Filtro activo de tipo 2 y orden 2</i>	98
5.3.	DIVISOR RÁPIDO	101
5.3.1.	<i>Divisor rápido con dos latch</i>	102
5.3.2.	<i>Divisor rápido basado en HBT</i>	106
5.3.3.	<i>Divisor rápido basado en TSPC</i>	111
5.3.4.	<i>Divisor rápido usando inversores</i>	115
5.4.	DIVISOR PROGRAMABLE.....	121
5.4.1.	<i>Estudio del divisor programable</i>	121
5.4.2.	<i>Diseño y simulación del divisor programable</i>	123
5.5.	DESCRIPCIÓN DEL OSCILADOR CONTROLADO POR TENSIÓN.....	127
5.5.1.	<i>Especificaciones del VCO</i>	127
5.5.2.	<i>Elección de la arquitectura</i>	128
5.5.3.	<i>Diseño del VCO</i>	129
5.5.4.	<i>Medida del VCO</i>	132
5.5.5.	<i>Modelado lineal del VCO</i>	135
5.6.	RESUMEN	135
CAPÍTULO 6		
SIMULACIÓN DEL SINTETIZADOR DE FRECUENCIAS		137

6.1. SIMULACIÓN CON DETECTOR DE FASE/FRECUENCIA+CP PARA FILTRO PASIVO TIPO 2 Y ORDEN 3 ...	139
6.1.1. <i>Simulación de la respuesta del bucle</i>	139
6.1.2. <i>Simulación del ruido de fase</i>	140
6.1.3. <i>Simulación del transitorio</i>	142
6.2. SIMULACIÓN CON DETECTOR DE FASE/FRECUENCIA+CP PARA FILTRO ACTIVO TIPO 2 Y ORDEN 2... 145	
6.2.1. <i>Simulación de la respuesta del bucle</i>	145
6.2.2. <i>Simulación del ruido de fase</i>	146
6.2.3. <i>Simulación del transitorio</i>	148
6.3. SIMULACIÓN CON DETECTOR DIGITAL XOR PARA UN FILTRO ACTIVO DE TIPO 2 Y ORDEN 2	150
6.3.1. <i>Simulación de la respuesta del bucle</i>	150
6.3.2. <i>Simulación del ruido de fase</i>	152
6.3.3. <i>Simulación del transitorio</i>	154
6.4. RESUMEN.....	156
CAPÍTULO 7	
CONCLUSIONES	159
PLIEGO DE CONDICIONES	163
PROTECCIÓN LEGAL	165
PRESUPUESTO	169
BIBLIOGRAFÍA	175

Capítulo 1

Introducción

En la actualidad, el uso de sistemas inalámbricos como desarrollo de las redes representan el siguiente escalón en este tipo de tecnologías, ya que permiten dotar a las redes convencionales de nuevas posibilidades. Para el correcto desarrollo de estas características es necesario que existan terminales móviles, siendo ellos los principales beneficiarios de estas tecnologías, de modo que el desarrollo de las WLAN (*Wireless Local Area Network*) irá ligado al del mercado de dichos terminales. El progresivo abaratamiento de los ordenadores, incluidos los portátiles, y a muchos adeptos que han visto las posibilidades de esta tecnología facilitan la expansión de las redes inalámbricas tanto en hospitales, aeropuertos, universidades, fábricas, tiendas de autoservicio, pequeños negocios, casas, y éstas, en un futuro se convertirán en algo normal debido a la facilidad de instalación y a la capacidad de interconexión con otros dispositivos.



Figura 1.1. Expansión de redes inalámbricas.

La disponibilidad de conexiones inalámbricas y redes WLAN puede ampliar la libertad de los usuarios de la red a la hora de resolver varios problemas asociados a las redes cableadas y, en algunos casos, incluso reducir los gastos de implementación de las redes. Permiten a los usuarios el acceso a información y recursos en tiempo real sin necesidad de estar físicamente en un lugar determinado. Con las redes inalámbricas la red por sí misma es móvil y elimina la necesidad de usar cables, añade flexibilidad para nuevas aplicaciones a la red, por lo que incrementa la productividad y eficiencia en las actividades diarias de la empresa. Un usuario dentro de una red inalámbrica puede transmitir y recibir voz, datos y vídeo dentro de edificios, entre edificios o campus universitarios e inclusive sobre áreas metropolitanas.

Muchos fabricantes de ordenadores y equipos de comunicaciones están introduciendo aplicaciones en soporte a las comunicaciones inalámbricas como en módems, microprocesadores inalámbricos, PDAs (*Personal Digital Assistants*), lectores de punto de venta y otros dispositivos. Estas WLANs permiten incorporarse fácilmente a nuevos usuarios a la red, ofrecer una alternativa de bajo coste a los sistemas cableados, y posibilitar el acceso a cualquier base de datos o cualquier aplicación localizada dentro de la red.

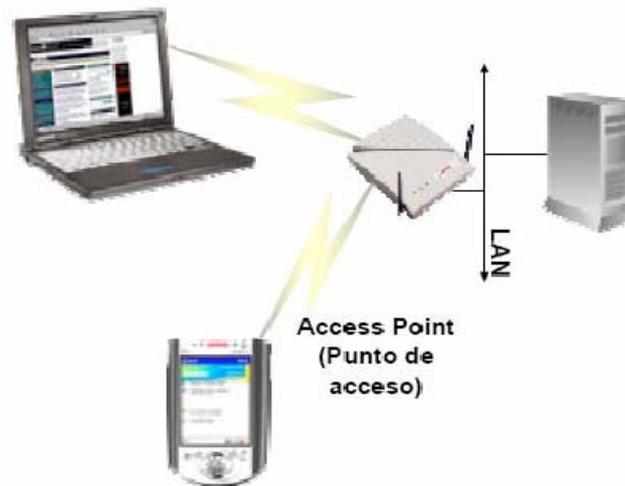


Figura 1.2. Red inalámbrica.

Las redes WLAN de alta velocidad ofrecen las ventajas de la conectividad de red sin las limitaciones que supone estar atado a una ubicación. Se resumen en los términos de:

- **Movilidad:** Las redes inalámbricas pueden proporcionar a los usuarios de una LAN acceso a la información en tiempo real en cualquier lugar dentro de la organización. Esta movilidad incluye oportunidades de productividad y servicio que no es posible con una red cableada.
- **Simplicidad y rapidez en la instalación:** La instalación de una red inalámbrica es rápida y fácil. Además elimina la necesidad de tirar cable a través de paredes y techos.
- **Flexibilidad en la instalación:** La tecnología inalámbrica permite a la red ir donde la cableada no puede ir o es complicado llegar.
- **Coste de propiedad reducido:** Mientras que la inversión inicial requerida para una red inalámbrica puede ser más alta que el coste en *hardware* de una LAN cableada, la inversión de toda la instalación y el coste del ciclo de vida puede ser significativamente inferior. Los beneficios y costes a largo plazo son superiores en ambientes dinámicos que requieren acciones y movimientos frecuentes.
- **Escalabilidad:** Los sistemas de WLANs pueden ser configurados en una variedad de topologías para satisfacer las necesidades de las instalaciones y aplicaciones específicas. Las configuraciones son muy fáciles de cambiar y además es muy fácil la incorporación de nuevos usuarios a la red.

1.1. Sistemas de radiofrecuencia

Un sistema de radiofrecuencia es aquel en el que un transmisor y un receptor se comunican a través del espacio radioeléctrico. El receptor es un equipo de radiocomunicaciones que procesa una determinada señal de entrada en información útil, añadiendo el mínimo de distorsión. Por otro lado, el transmisor genera la señal radioeléctrica a radiar, la varía para que contenga la información y la amplifica, de modo que sea la más adecuada para el canal de comunicación. La integración de una cadena de recepción ofrece numerosas ventajas sobre la conexión discreta de los distintos bloques que la componen, estas ventajas incluyen: la reducción de efectos parásitos, reduciendo la longitud de las pistas metálicas en los circuitos integrados con varios niveles de metalización; una disminución del área, estando los dispositivos fabricados muy juntos y en un mismo chip; una reducción del consumo, debida al propio escalado del nivel de integración; y una disminución del coste de fabricación, necesitando menos intervención humana en el montaje del circuito. Con esto a la industria le favorece moverse hacia mayores niveles de integración.

Un esquema general de receptor es el que se muestra en la Figura 1.3:

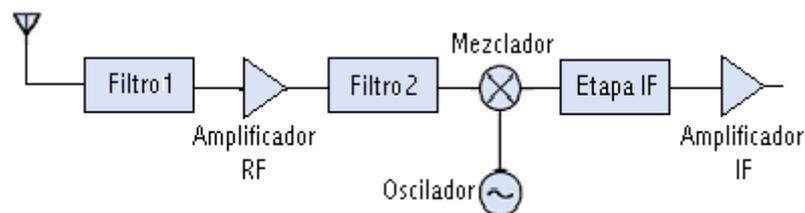


Figura 1.3. Esquema general de un receptor de radiofrecuencia.

En primer lugar se filtra la banda útil (Filtro1), que luego se amplifica (Amplificador RF); además se elimina la frecuencia imagen (Filtro2). Después se produce el cambio de frecuencia, de modo que la frecuencia de salida sea fija, para trabajar más fácilmente con ella. Este cambio de frecuencia se realiza con el mezclador y permite elevar la frecuencia o disminuirla. Al mezclador, además de la señal de entrada, le ataca una señal de frecuencia proporcionada por un oscilador local. La señal de salida del mezclador se le aplica a un nuevo amplificador más selectivo que el de entrada. Este oscilador local en realidad será el sintetizador que vamos a diseñar, por lo que ya sabemos donde va a encontrarse nuestro sintetizador.

1.2. Objetivos

El presente proyecto trata del diseño de un sintetizador basado en la tecnología SiGe 0,35 μm suministrada por la empresa AMS (*Austria Micro System*)[1] para el estándar inalámbrico IEEE 802.11a. Dicho sintetizador formará parte de una cadena de recepción (*Front-End*).

El objetivo, además del diseño, es verificar que la tecnología SiGe 0,35 μm es válida para la implementación de un sintetizador en una aplicación basada en el estándar IEEE 802.11a. A continuación se dará una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.3. Estructura de la memoria

Tras este primer capítulo de introducción, en el segundo se realizará una introducción al estándar IEEE 802.11a, prestando especial atención a la capa física del mismo, y a las principales arquitecturas de receptores existentes actualmente. Este análisis será vital a la hora de justificar la topología de receptor en la que irá integrado nuestro diseño.

En el capítulo 3 nos centraremos en la descripción teórica de los lazos enganchados en fase, estudiando los conceptos básicos y las características de las distintas partes de las que se compone.

Seguidamente, veremos en el capítulo 4 los sintetizadores de frecuencia y sus distintas configuraciones. Se prestará especial atención al estudio del ruido de fase.

En el capítulo 5 profundizaremos en el estudio de la tecnología SiGe de 0,35 μm de AMS. Esto lo lograremos diseñando a nivel de esquemático todos los bloques de los que consta nuestro sintetizador. Para ello nos ayudaremos del *software* ADS (*Advanced Design System*), empleado a la hora de simular nuestro diseño.

En el capítulo 6, tras los estudios anteriores, acometeremos el diseño del sintetizador completo. Esto lo lograremos uniendo las partes anteriormente realizadas y estudiando su funcionamiento conjunto. Para ello se realizarán tres tipos de simulaciones: respuesta del lazo, respuesta transitoria y ruido de fase.

Finalmente en el capítulo 7 se resumen las principales conclusiones de este proyecto.

1.4. Peticionario

Actúa como petionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA).

Capítulo 2

El estándar IEEE 802.11a y la elección de la arquitectura

Este capítulo tiene como objetivo definir el estándar IEEE 802.11a y estudiar las distintas arquitecturas del receptor para un terminal WLAN.

Para ello, primero se realizará una breve introducción al estándar, para finalizar con el análisis del sistema, en el que se realiza un estudio de las distintas arquitecturas existentes para el receptor, exponiendo las ventajas y desventajas de cada una de ellas. Al finalizar este se tomará la arquitectura más adecuada, buscando minimizar el número de componentes para reducir el área total y la obtención del máximo nivel de integración.

2.1. El estándar IEEE 802.11a

Este apartado comienza con una breve introducción al estándar. Se continúa con la descripción de la canalización. Posteriormente se realiza una introducción a la técnica de acceso múltiple utilizada en el estándar, la multiplexación ortogonal en frecuencia u OFDM y la capa física del IEEE 802.11a.

2.1.1. Introducción

Las redes 802.11a fueron definidas por el IEEE en el año 1999 en el estándar Std 802.11a-1999, que posteriormente fue adoptado por la ISO/IEC bajo la denominación ISO/IEC 8802-11:1999/Amd 1:2000(E). El estándar cubre la capa física y la de acceso al medio (MAC) de la OSI (*Open Systems Interconnection*), para la interconectividad de estaciones fijas, portátiles o móviles, en redes locales inalámbricas. Estas redes operan a una frecuencia de 5 GHz y permiten velocidades de transmisión de hasta 54 Mbps. Utilizan un sistema de transmisión OFDM (*Orthogonal Frequency Division Multiplexing*) y modulaciones BPSK (*Binary Phase Shift Keying*), QPSK (*Quadrature Phase Shift Keying*), 16-QAM y 64-QAM (*N-Quadrature Amplitude Modulation*).

El alcance de este tipo de redes es de unos centenares de metros, aunque se puede dar cobertura a áreas más amplias mediante la interconexión de dichas redes. Están pensadas para trabajar tanto en ambientes de interior como en exteriores.

El estándar define dos tipos posibles de arquitecturas de red: redes descentralizadas, también conocidas como “redes *ad-hoc*”, pensadas para la interasociación espontánea de estaciones, y redes centralizadas, con una arquitectura mucho más formalizada.

Debido a las particularidades del interfaz aire como medio de transmisión, este estándar asigna a la capa física y a la de acceso al medio, determinadas funciones que no son habituales en otros tipos de redes.

El objetivo del estándar 802.11 es permitir la conectividad sin cables entre dispositivos, ya sean portátiles o fijos, en un determinado entorno local. El estándar define los protocolos necesarios para la integración en una red de dichos dispositivos.

2.1.2. Especificaciones del IEEE 802.11a

El estándar IEEE 802.11a se define para redes inalámbricas en la banda de 5 GHz. En la Tabla 2.1 se pueden ver las especificaciones para las distintas variaciones del IEEE 802.11. Hay que indicar que aunque con el IEEE 802.11g se consigue una velocidad de transmisión de datos máxima igual a la del IEEE 802.11a, este último posee 12 canales en vez de los 3 del primero, teniendo el estándar que estudiamos la mayor capacidad en cuanto a número de usuarios posibles.

Tabla 2.1. Distintas especificaciones de WLANs

Estándar	Velocidad máxima	Modulación	Ancho de banda del canal	Banda
802.11a	54 Mbps	OFDM	20 MHz	5.0 GHz
802.11b	11 Mbps	DSSS	25 MHz	2.4 GHz
802.11g	54 Mbps	OFDM/DSSS	25 MHz	2.4 GHz
HomeRF2	10 Mbps	FHSS	5 MHz	2.4 GHz
HiperLAN2	54 Mbps	OFDM	25 MHz	5.0 GHz
5-UP	108 Mbps	OFDM	50 MHz	5.0 GHz

Para reducir errores se disminuye la velocidad de información de la capa física, concretamente el estándar 802.11a tiene 7 posibles velocidades: 48, 36, 24, 18, 12, 9 y 6 Mbps. La velocidad máxima permisible de 54 Mbits/s sólo es disponible en un ambiente libre de interferencias y a muy corta distancia.

2.1.3. Canalización

La frecuencia central del canal es múltiplo de 5 MHz. La relación entre la frecuencia central y el número del canal (n_{ch}) viene dada por la siguiente relación:

$$\text{Frecuencia central de cada canal} = 5 \text{ GHz} + 5 \text{ MHz} \cdot n_{ch}$$

El espectro está dividido en doce canales, en comparación con los tres canales de los estándares IEEE 802.11b/g. La frecuencia de cada canal se puede observar en la Tabla 2.2.

Tabla 2.2. Tabla de frecuencias para IEEE 802.11a

Banda (GHz)	Número de canal operativo (n_{ch})	Frecuencia central del cada canal (MHz)
U-NII Banda inferior (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII Banda media (5.25-5.35)	52	5260
	56	5280
	60	5300
	64	5320
U-NII Banda superior (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

El ancho de banda total es de 300 MHz divididos en tres bloques de 100 MHz (5.15 a 5.25 GHz, 5.25 a 5.35 GHz y 5.725 a 5.825 GHz). En la Figura 2.1 se puede observar el plan de frecuencias.

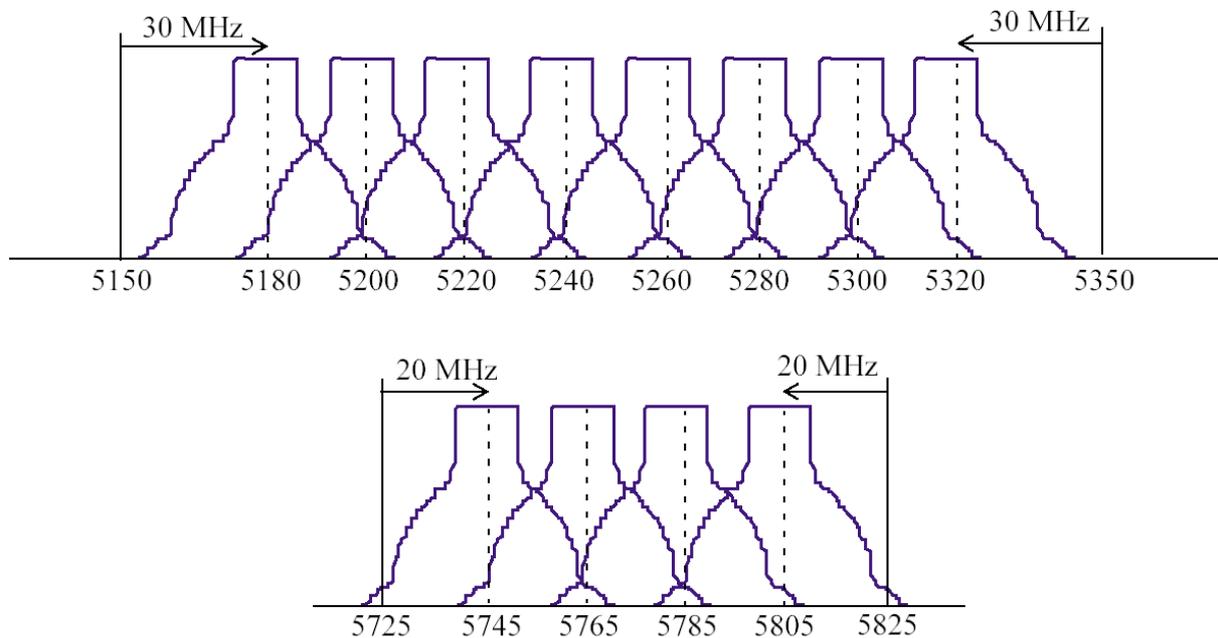


Figura 2.1. Canalización para IEEE 802.11a.

Cada canal tiene un ancho de 20 MHz, y éste a su vez está dividido en 52 subcanales, cada uno de 300 KHz. 48 de esos canales son para datos y 4 son para frecuencias piloto. Esta subdivisión de canales es útil para adaptar diferentes tasas de bits tal como se verá en el siguiente apartado.

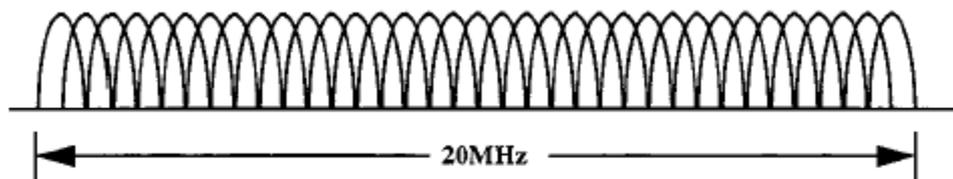


Figura 2.2. 52 sub-portadoras espaciadas 300 KHz del IEEE.802.11a.

2.1.4. OFDM

La versión de OFDM que utiliza 802.11a combina las modulaciones BPSK, QPSK y QAM en función de la tasa de bits elegida tal como se ve en la Tabla 2.3.

Tabla 2.3. Tipos de modulación

Tasa de bits transmitida (Mbits/s)	Tasa de bits transmitida por cada subcanal (kbits/s)	Modulación
6	125	BPSK
9	188	BPSK
12	250	QPSK
18	375	QPSK
24	500	16-QAM
36	750	16-QAM
48	1000	64-QAM
54	1125	64-QAM

OFDM es una FDM (división por multiplexado en frecuencia) en la que los canales contiguos se solapan pero no se interfieren los unos a los otros debido a la ortogonalidad de las portadoras.

OFDM divide una cadena de datos de alta velocidad en 48 sub-cadenas de baja velocidad que se transmiten en paralelo. Cada sub-cadena se modula (BPSK, QPSK, 16-QAM ó 64 QAM) con una sub-portadora con frecuencia diferente. Las frecuencias de las sub-portadoras son elegidas de manera que sean ortogonales, es decir, que en un periodo de

símbolo quepan un número entero de ciclos. En la Figura 2.3 se puede observar este caso para tres sub-portadoras.

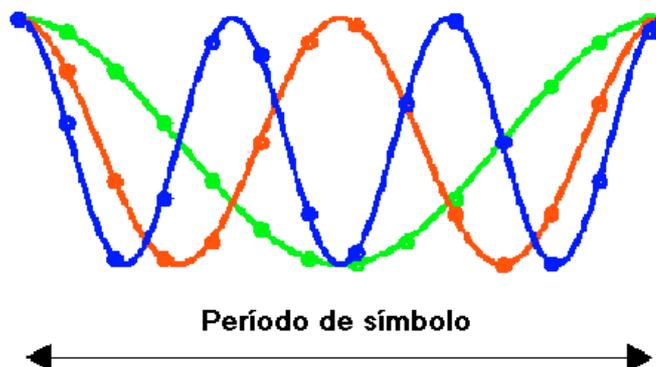


Figura 2.3. Ejemplo de tres portadoras ortogonales.

Las tres señales son ortogonales entre sí, es decir cumplen la siguiente ecuación:

$$\int_0^T \sin\left(\frac{2\pi kt}{T}\right) \sin\left(\frac{-2\pi lt}{T}\right) dt = 0, \quad k \neq l \quad (2.1)$$

Los datos se modulan variando la fase o la amplitud de cada sub-portadora dependiendo del tipo de modulación (BPSQ, QPSK, 4QAM y 16QAM). Cada sub-portadora se puede modular con un tipo de modulación distinta.

En la Figura 2.4 se puede observar un esquema de bloques genérico para el transmisor y para el receptor.

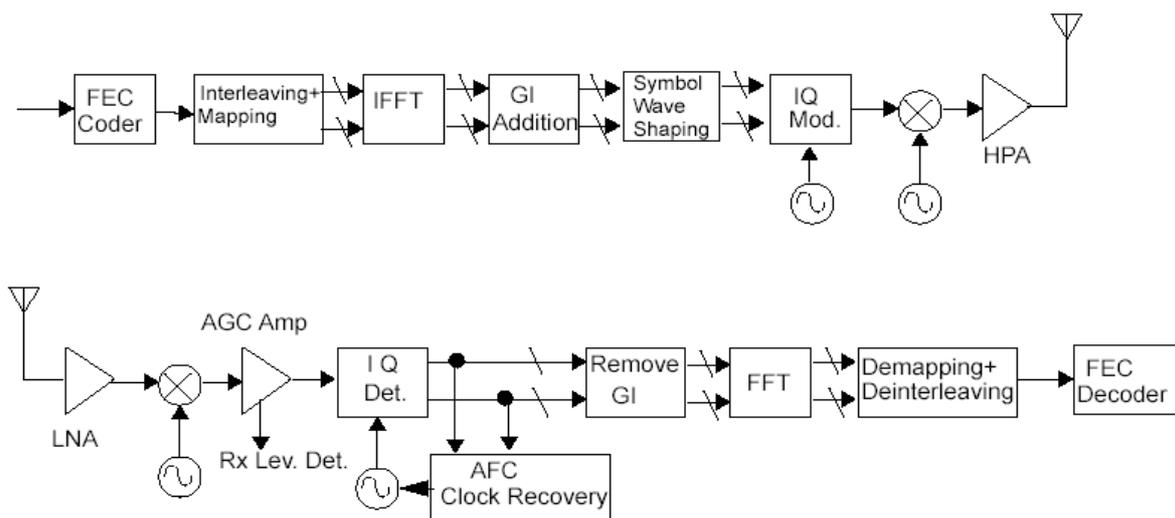


Figura 2.4. Esquema de bloques del transmisor y receptor para la capa física de OFDM.

El codificador FEC (*Forward Error Correction*) expande los bits sobre el ancho de banda del canal y aumenta la redundancia de la información a transmitir para poder corregir errores en el receptor. Se suele utilizar para este propósito un codificador convolucional.

El módulo *interleaving* modifica la cadena de datos para evitar secuencias de “1” o “0” seguidas (evita errores debidos al *burst*), para ello la cadena de datos se divide en grupos de N_{CBPS} bits, dentro de cada grupo se produce un intercambio en los bits en dos permutaciones.

En el mapeo (*mapping*) la cadena de datos se divide en grupos de N_{BPSC} bits (1, 2, 4 o 6) y se convierten en números complejos dependiendo de la tasa de bits elegida. Cada grupo se convierte en un número complejo acorde a la modulación (Tabla 2.3), por ejemplo, si se elige una tasa de bits de 24 Mbits/s se mapean los datos con una constelación 16-QAM. La cadena de números complejos se divide en grupos de 48 números complejos. Cada grupo se mapea a cada una de las subportadoras (48).

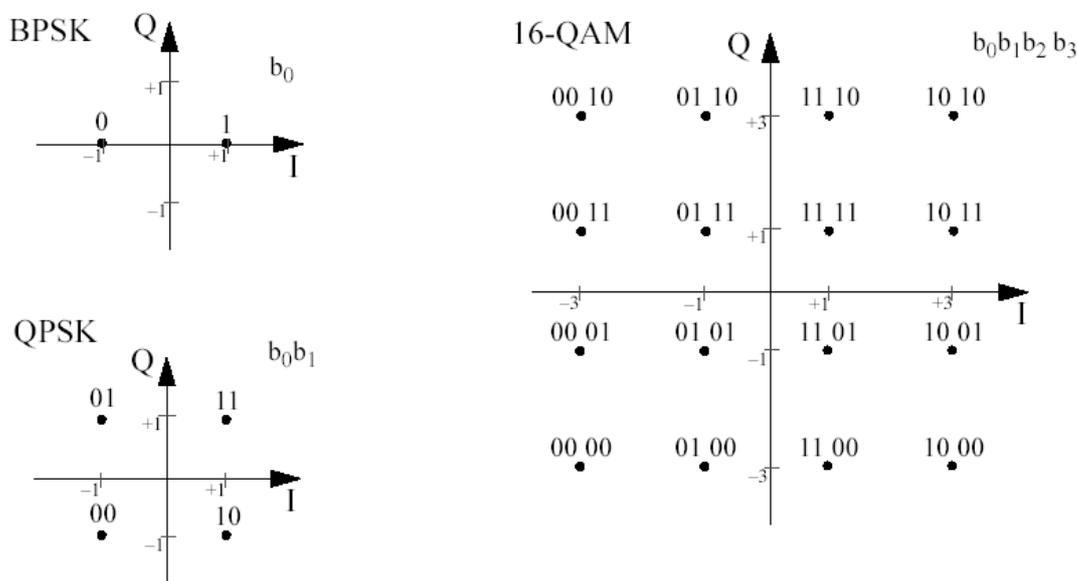


Figura 2.5. Constelaciones para BPSK, QPSK y 16-QAM.

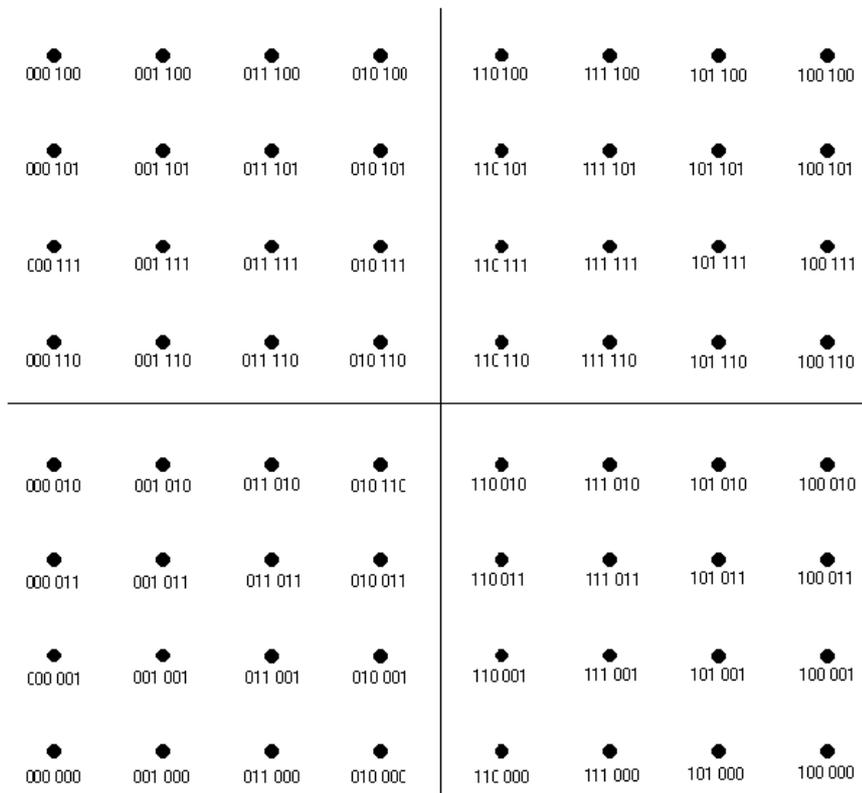


Figura 2.6. Constelación para 64-QAM.

A las 52 (48+4) sub-portadoras se le aplica la IFFT (transformada inversa de Fourier rápida). La IFFT suma todas las cadenas de datos y realiza la modulación y el multiplexado en un paso. Este procesado de señal sustituye los bancos de moduladores I/Q que hubieran sido necesarios de haberlas realizado de forma tradicional. Esta señal pasa por un convertidor paralelo-serie.

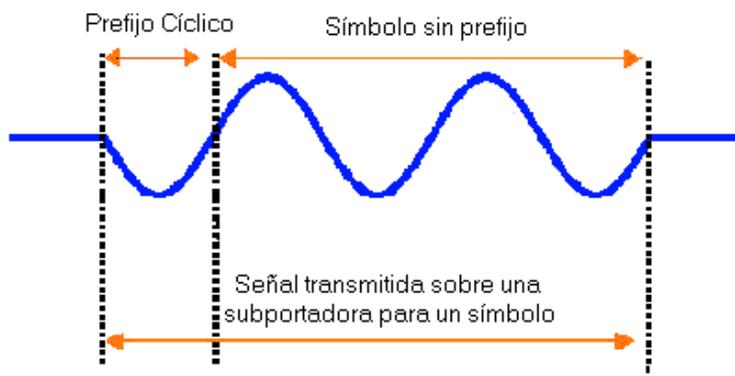


Figura 2.7. Ejemplo de agregación de GI o Cyclic Prefix en cada símbolo.

A la señal anterior se le añade el intervalo de guarda (GI o *guard interval*) o también llamado *cyclic prefix* (ver Figura 2.7). En este paso se añade una banda de guarda sobre cada símbolo para reducir la interferencia entre símbolos (ISI) y entre portadoras (ICI). En la siguiente figura se ve un ejemplo gráfico de ICI.

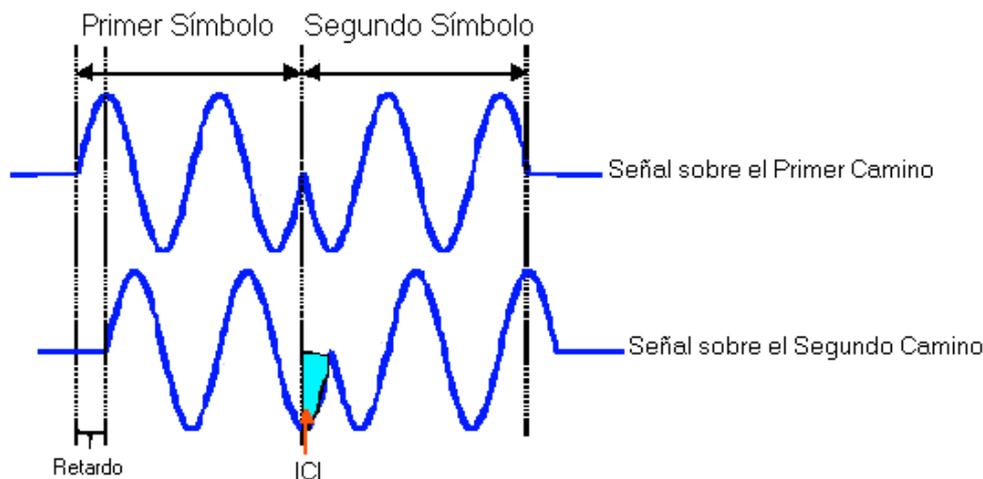


Figura 2.8. Ejemplo de ICI.

Cuando la misma señal llega al receptor por diferentes caminos y el retardo de la señal es menor que el GI no se produce ISI ni ICI tal como se ve en la Figura 2.9.

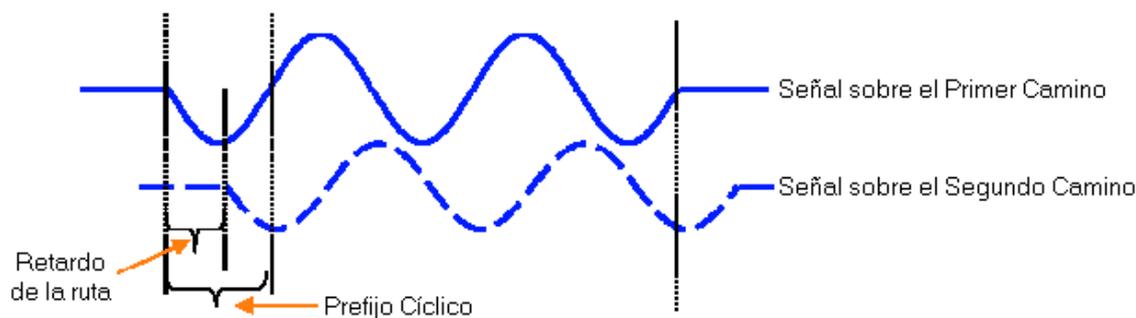


Figura 2.9. Efecto del GI o Cyclic Prefix cuando la señal viene por varios caminos.

Seguidamente hay que realizar a la señal el *symbol wave shaping*. Este paso se realiza para disminuir el ancho de banda de los pulsos filtrando la señal por un filtro de coseno alzado. Este filtro sirve para reducir el nivel de los lóbulos laterales de la señal, reduciendo de esta manera la potencia transmitida.

Esta señal (I/Q) se pasa por un convertidor digital analógico y un filtro para poder ser modulada. El proceso de recepción es el inverso y los bloques realizan la operación inversa que en el proceso de transmisión.

2.1.5. Especificaciones relativas a la cabecera de RF

Seguidamente se van a enumerar las especificaciones relativas a la cabecera de RF para el estándar IEEE 802.11a.

2.1.5.1. Impedancia de la antena y rango de temperatura de emisión y recepción

La impedancia del puerto de la antena de emisión y la de recepción es de 50 Ohmios.

Se han definido tres rangos de temperatura de funcionamiento que se pueden ver en la Tabla 2.4.

Tabla 2.4. Rangos de temperatura de funcionamiento

Tipo 1	0 °C a 40 °C	Entorno doméstico
Tipo 2	-20 °C a 50 °C	Entorno industrial
Tipo 3	-30 °C a 70 °C	Entorno industrial

2.1.5.2. Nivel de potencia en la transmisión

La potencia máxima transmitida de la señal depende de la banda de frecuencias en la que nos encontramos, como se puede ver en la Tabla 2.5.

Tabla 2.5. Potencia de salida

Banda de frecuencias (GHz)	Potencia máxima de salida con antena de 6 dBi de ganancia
5.15 – 5.25	40 mW (2.5 mW/MHz)
5.25 – 5.35	200 mW (12.5 mW/MHz)
5.725 – 5.825	800 mW (50 mW/MHz)

2.1.5.3. Máscara del espectro de salida

El espectro de la señal emitida debe tener 0 dBr (dB relativos a la máxima densidad espectral de la señal) en un ancho de banda no superior a 18 MHz, -20 dBr en una desviación de frecuencia de 20 MHz y -40 dBr en una desviación de frecuencia de 30 MHz. La máscara del espectro de salida se muestra en Figura 2.10.

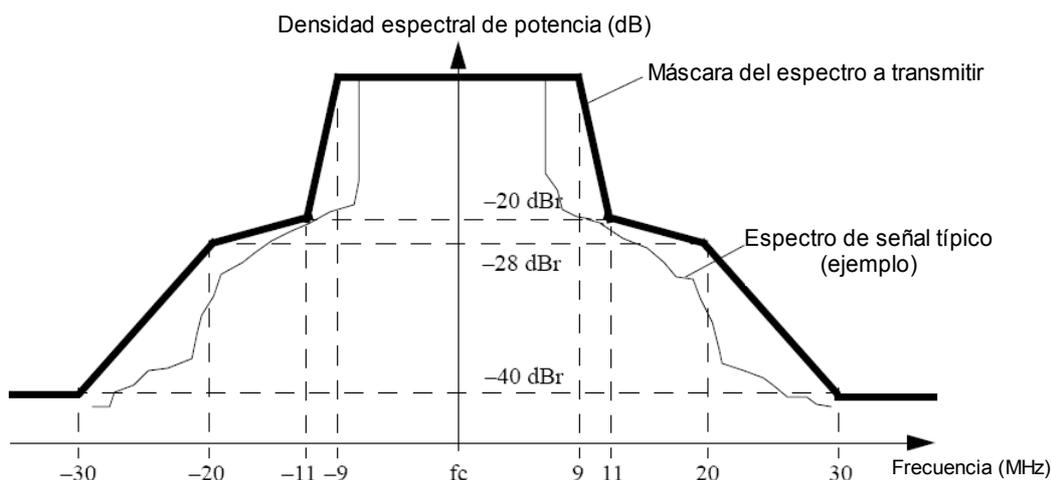


Figura 2.10. Máscara del espectro de salida.

2.1.5.4. Variación de la frecuencia a la salida

La variación máxima de la frecuencia de salida y de los símbolos transmitidos debe ser como máximo de ± 20 ppm.

2.1.5.5. Sensibilidad a la entrada

El PER (tasa de error de paquetes o *packet error rate*) debe ser menor que del 10% para una PSDU (*sublayer service data units*) de 1000 bytes para los valores de sensibilidad mínima según la tasa de bits transmitida. Se supone una NF de 10 dB con 5 dB de margen. En la Tabla 2.6 se observa la sensibilidad mínima a la entrada en función de la tasa de bits, siendo estos datos fundamentales para el diseño del receptor.

Tabla 2.6. Sensibilidad mínima a la entrada

Tasa de bits (Mbits/s)	Sensibilidad mínima (dBm)	Rechazo a canales adyacentes (dB)	Rechazo a canales no adyacentes (dB)
6	-82	16	32
9	-81	15	31
12	-79	13	29
18	-77	11	27
24	-74	8	24
36	-70	4	20
48	-66	0	16
54	-65	-1	15

2.1.5.6. Rechazo al canal adyacente y al no adyacente

El rechazo al canal adyacente (ACR o *adjacent channel rejection*) se debe de medir con el canal deseado y otro contiguo. El canal deseado debe tener una potencia de 3 dB superior al valor de la sensibilidad expresada en la Tabla 2.6. Para la medida se debe de subir la potencia del canal contiguo hasta conseguir en la salida del receptor un PER del 10 % (para un PSDU de 1000 bytes), la diferencia de potencia existente entre ambos canales es el ACR y su valor mínimo está especificado en la tercera columna de la Tabla 2.6.

El caso de la medida del rechazo al canal no adyacente (NACR o *non adjacent channel rejection*) es similar a la medida del ACR, pero en vez de elegir el canal contiguo se elige el canal situado a 2 canales del deseado. El valor mínimo está especificado en la última columna de la Tabla 2.6.

2.1.5.7. Máximo nivel de la señal a la entrada del receptor

El receptor debe tener un PER máximo de un 10 % para una PSDU de 1000 bytes para un nivel máximo de señal a la entrada de la antena de -30 dBm.

2.1.5.8. Figura de ruido

El receptor debe tener una sensibilidad suficiente para detectar señales de -148 dBm/Hz (para un ancho de banda de 24 MHz). Para tener una SNR de 12 dB como mínimo, el ruido total del receptor debe ser:

$$NF = -148 \text{ dBm/Hz} - 12 \text{ dB} - (-174 \text{ dBm/Hz}) = 14 \text{ dB}$$

Donde -174 dBm/Hz (KT) es la potencia de ruido de la fuente debido al ruido térmico para una temperatura de 290°K .

2.2. Distintas arquitecturas para la cadena de recepción

En este apartado se analizan las posibles arquitecturas que se pueden adoptar para implementar la cadena de recepción. Se analizan las arquitecturas superheterodina o de doble conversión, de conversión directa o ZERO IF, conversión a baja frecuencia intermedia o LOW IF y la arquitectura Weaver. De cada una de ellas se estudia su composición y las ventajas e inconvenientes que presentan. Una vez concluido dicho estudio se elige una de ellas justificando dicha elección.

2.2.1. Receptor superheterodino o de doble conversión

En este tipo de receptor la conversión a banda base se realiza en 2 etapas tal como se observa en la Figura 2.11. Primero se traslada el canal deseado a una frecuencia intermedia (FI) que, en nuestro caso, puede variar de 1180 MHz a 1805 MHz según el canal. Mediante el sintetizador se realiza la selección de canal en la siguiente conversión. Se puede observar la traslación en frecuencia del canal de 5180 MHz a banda base.

Una vez que la señal de RF llega a la antena, es filtrada por el filtro de RF y amplificada por el amplificador de bajo nivel de ruido (LNA). En la mayoría de los casos el LNA actúa como filtro de RF, siendo estos dos bloques uno solo. Para evitar que en la primera traslación de frecuencia la frecuencia imagen se mezcle con la señal deseada, ésta se elimina mediante el filtro de rechazo de la frecuencia imagen (filtro RI). Con un oscilador fijo (OL1) y el primer mezclador la señal se traslada a una FI, que en el caso de la figura es de 1180 MHz . Después de la primera traslación la señal pasa por un filtro (filtro FI), que también suele ser externo, y por un amplificador de FI. Dicho amplificador es opcional ya que su ganancia depende de la ganancia del mezclador y del LNA. Si la ganancia de estos elementos es lo suficientemente grande, dicho amplificador no es necesario. A conti-

nuación se realiza la traslación de la señal a banda base y la obtención de las señales en I y Q con ayuda del sintetizador, el desfasador de 90° y los mezcladores.

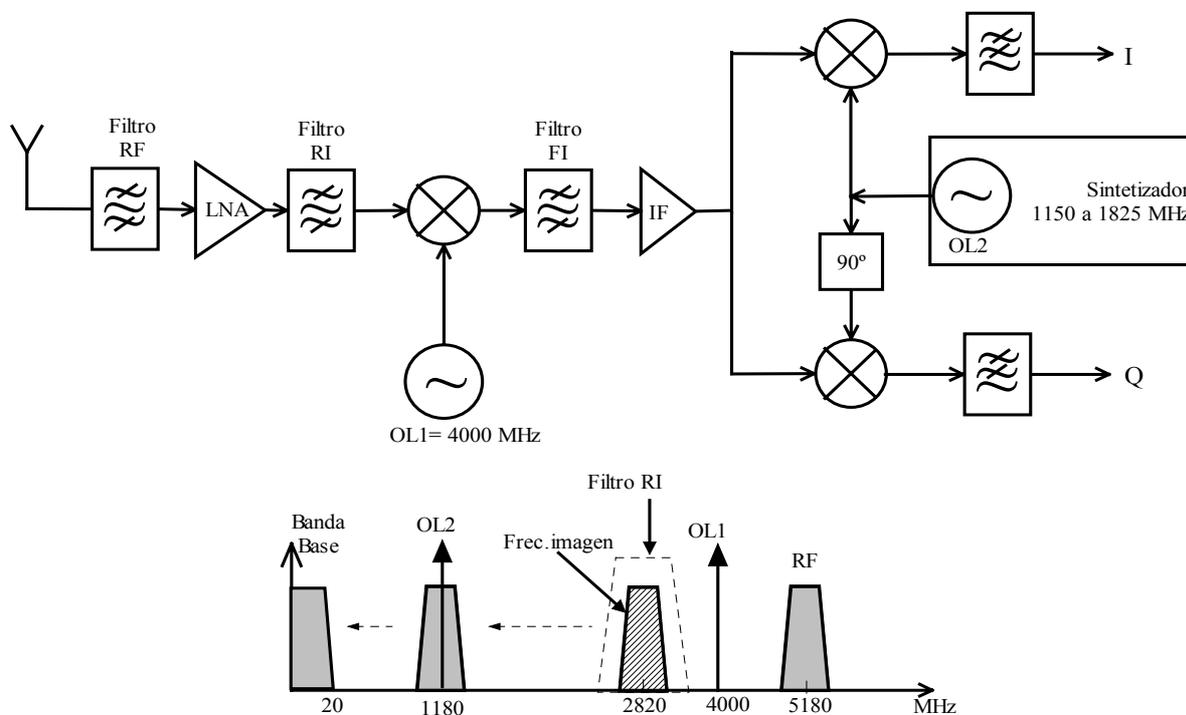


Figura 2.11. Esquema del receptor superheterodino o de doble conversión.

Las ventajas de esta arquitectura son las siguientes:

- Al realizar la traslación de la señal en varias etapas se puede asignar a cada bloque unas especificaciones más relajadas.
- Esta arquitectura presenta una elevada sensibilidad y selectividad, en comparación con otras posibilidades, que han hecho de esta topología la predominante en aplicaciones de RF durante décadas.
- El diseño del sintetizador no se realiza en la banda de 5 GHz sino en una banda más baja, siendo de esta manera más sencillo su diseño.

Como contrapartida, dicha arquitectura presenta las siguientes desventajas:

- Posee un elevado número de componentes a integrar por lo que el consumo y área del receptor es elevado en comparación con otras arquitecturas.
- Es necesario un filtro de rechazo de la frecuencia imagen, el cual no es integrable.

2.2.2. Receptor de conversión directa o ZERO IF

El esquema de bloques de este convertor se puede observar en la Figura 2.12. La conversión a banda base se realiza con una etapa de conversión, solventando el problema de la frecuencia imagen.

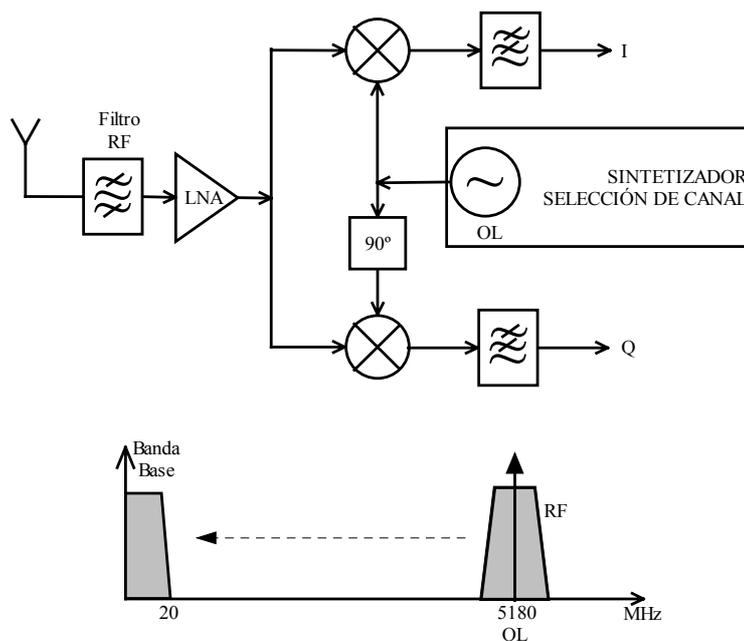


Figura 2.12. Arquitectura de conversión directa o ZERO IF.

Las ventajas de este esquema son las siguientes:

- No hay problemas con la frecuencia imagen ya que la frecuencia intermedia es cero y la frecuencia del oscilador local es igual que la frecuencia de RF. Por tanto no es necesario el filtro de la frecuencia imagen.
- Debido al reducido número de componentes se aumenta la eficiencia. Este tipo de receptor es apto para ser totalmente integrado en un chip.

Por otro lado los inconvenientes de este esquema son:

- Aparece un *offset* en DC a la salida del filtro pasabajo que disminuye el rango dinámico de la señal. Este *offset* aparece porque parte de señal proveniente del oscilador local se cuela al mezclador por la entrada de RF sumándose a la señal proveniente del LNA. Esto se debe a que el aislamiento entre los puertos del mezclador no es infinito. Esta señal se vuelve a mezclar con la del oscilador local la cual, al ser filtrada, aparece como

un nivel de continua a la salida. A este efecto se le conoce como automezclado o *self-mixing*.

- El sintetizador trabaja en la banda que va de 5 a 6 GHz. Realizar un sintetizador a esa frecuencia es más difícil que hacerlo en la banda de 1 a 2 GHz, que es el caso del receptor superheterodino.
- El oscilador local hay que desplazarlo 90° para poder realizar la demodulación I/Q. Este desplazamiento provoca un cambio en la amplitud del oscilador local. Esto se traduce en una variación de amplitud entre el oscilador local utilizado para la señal Q y para la señal I, apareciendo un error en la constelación en la señal demodulada (*I/Q Mismatch*).
- El ruido *flicker* ($1/f$) a baja frecuencia es muy elevado. Debido a que la señal de RF se traslada directamente a frecuencia cero, el ruido *flicker* de baja frecuencia de cada uno de los distintos bloques que conforman la cadena de recepción en la banda base adquirirá importancia. Este ruido degrada considerablemente la relación señal a ruido y cobra especial importancia cuando el terminal de recepción está fabricado con tecnología CMOS.

2.2.3. Receptor de conversión a baja frecuencia intermedia o LOW IF

La arquitectura de conversión a baja frecuencia intermedia conserva las características más favorables de las dos anteriormente analizadas. La conversión se realiza en una etapa a una FI baja, de varios MHz. En el caso de la Figura 2.13, la FI es de 20 MHz.

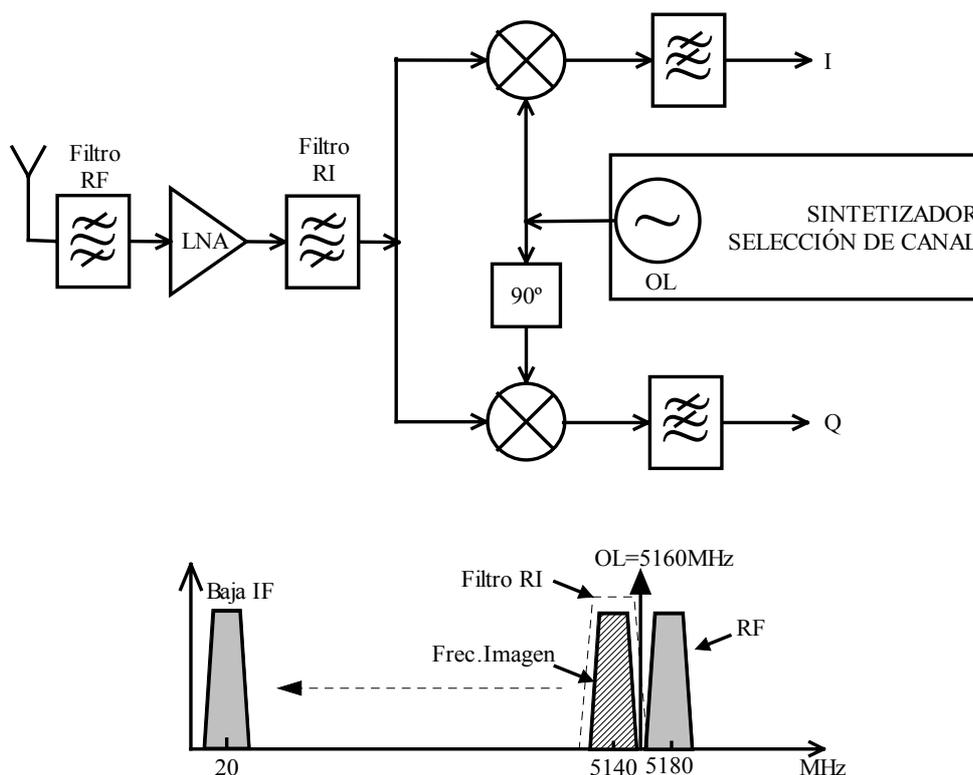


Figura 2.13. Receptor de baja frecuencia intermedia con filtro de rechazo de frecuencia imagen.

Las ventajas de esta arquitectura son:

- Posee un número reducido de componentes, lo que conlleva una mayor eficiencia y abre la posibilidad a integrar todo el sistema en un único encapsulado.
- Se evita el gran inconveniente de la arquitectura de conversión directa, que es la dependencia con el ruido *flicker*. Al ser la FI de varios MHz, dicho ruido ya no afecta al receptor completo.

Las desventajas de este esquema son:

- Al ser la FI del orden de MHz es necesario utilizar conversores ADC más rápidos.
- Es necesario la utilización del filtro de rechazo de la frecuencia imagen, tal como se ve en la Figura 2.13. Dicho filtro es muy dificultoso de diseñar, ya que es diferente para cada uno de los doce canales. Esta desventaja se puede corregir utilizando un filtro polifásico en banda base (ver Figura 2.14). Utilizando dicho filtro, la frecuencia imagen la eliminamos después del mezclado, tal como se observa en la Figura 2.14, mediante un filtro que elimina sólo la parte imaginaria de la señal.

- En cuanto al sintetizador presenta los mismos problemas que en la arquitectura de conversión directa. Realizar un sintetizador en la banda de 5 a 6 GHz es más difícil que hacerlo en la banda de 1 a 2 GHz, que es el caso del receptor superheterodino.

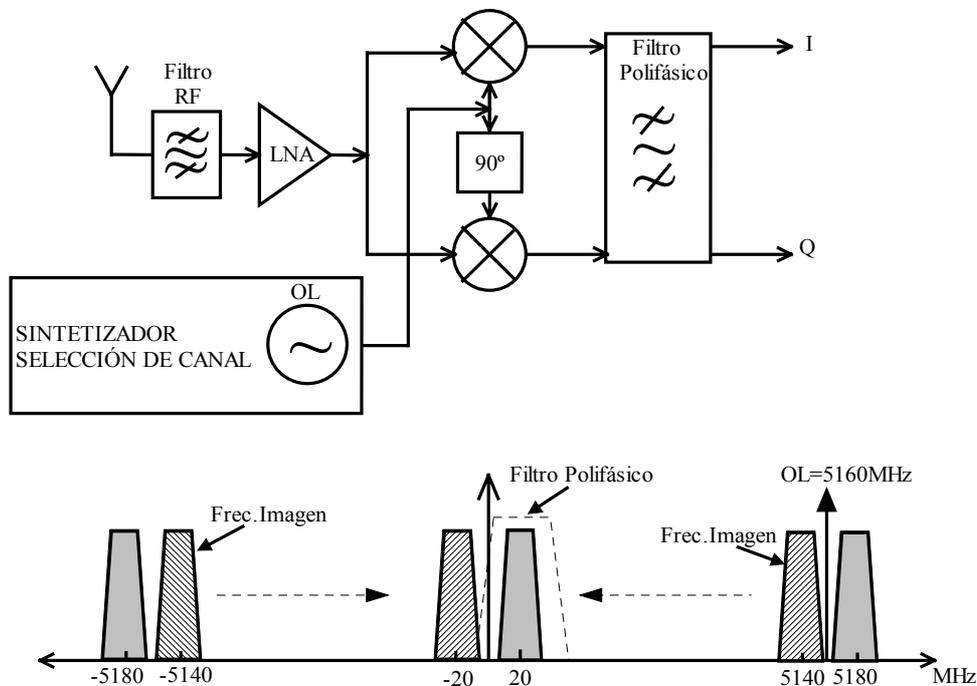


Figura 2.14. Receptor de baja frecuencia intermedia con filtro polifásico.

2.2.4. Receptor basado en la arquitectura Weaver

En esta arquitectura se utilizan las bandas laterales y su traslación para obtener el espectro requerido anulándose la FI sin necesidad del filtro de rechazo de la frecuencia imagen. El esquema de bloques de este conversor se puede observar en la Figura 2.15, y en la Figura 2.16, su homónimo para demodulación I/Q.

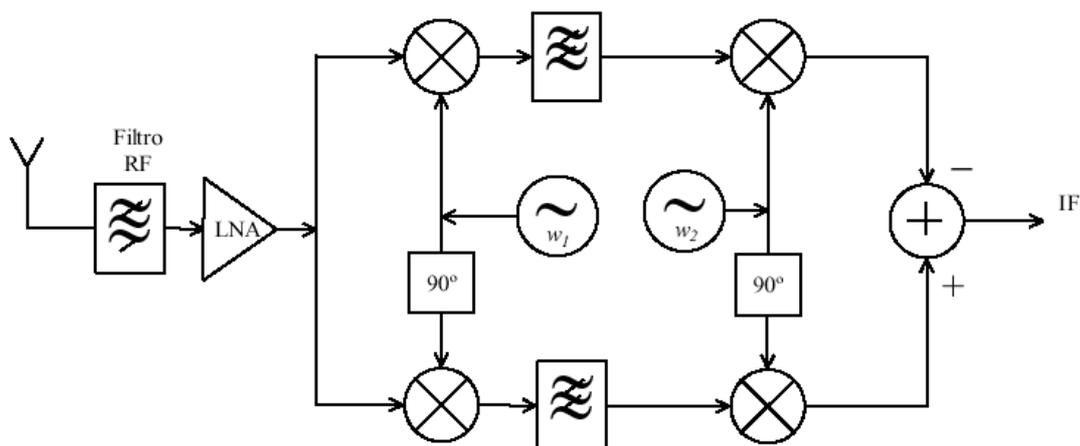


Figura 2.15. Esquema de bloques del receptor Weaver.

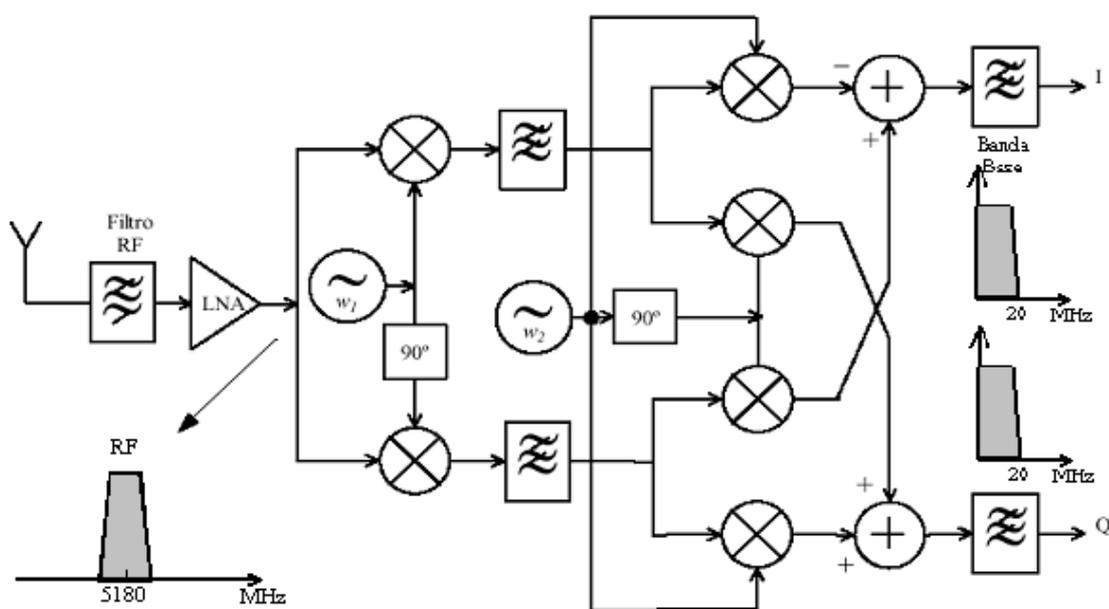


Figura 2.16. Arquitectura del receptor Weaver para demodulación I/Q.

Las principales ventajas de esta arquitectura son:

- Gran selectividad.
- No es necesario utilizar filtros de rechazo de la frecuencia imagen, ya que en esta arquitectura se utilizan las bandas laterales y su traslación para obtener el espectro requerido anulándose dicha frecuencia imagen.

Sin embargo, sus principales desventajas son:

- Elevado número de componentes.
- Pueden aparecer desajustes entre las señales I/Q debido al desfase de 90° de los osciladores.

2.3. Elección de la arquitectura

Dado que el receptor se va a implementar utilizando transistores bipolares, el consumo de potencia juega un papel importante en la elección de la arquitectura. Dichos transistores pertenecen a la tecnología SiGe de 0.35 μm , y consumen más que los transistores CMOS. Por otro lado, los receptores Weaver y superheterodino poseen un elevado número de componentes. Esto dificultará la integración y el obtener bajos consumos de potencia. Además, un receptor superheterodino obliga a implementar filtros de rechazo de la frecuencia imagen, los cuales no son integrables. Sin embargo, un receptor de conversión directa emplea pocos componentes, siendo todos ellos de fácil integración. De la misma forma, los problemas de *self-mixing* que presenta este receptor pueden ser solventados mediante diversas técnicas, tales como el empleo de anillos de guarda, pero el problema del ruido *flicker* ($1/f$) a baja frecuencia es muy elevado y un gran problema. Como se puede apreciar, esta última característica constituye el punto de inflexión que hace que la elección sea el receptor de conversión a baja frecuencia intermedia o LOW IF, evitando el gran inconveniente del ruido *flicker*.

2.4. Resumen

En este capítulo se ha dado una descripción detallada del estándar IEEE 802.11a, prestando especial atención a la capa física. Se ha hecho un estudio de los distintos tipos de receptores más utilizados eligiendo el de baja frecuencia intermedia. Esta elección implica una mayor integración y un menor consumo de área pero, por contra, dificulta la tarea de diseño del sintetizador.

Capítulo 3

Conceptos básicos de los lazos enganchados en fase

Los lazos enganchados en fase, o PLL (*Phase Lock Loop*), constituyen un subsistema de uso muy extendido en los sistemas de telecomunicación. Se trata de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada. Aunque el primer PLL conocido como tal data del año 1932, hubo que esperar hasta la aparición de los primeros circuitos integrados que contenían gran parte de los elementos necesarios, alrededor de 1970, para que se generalizara su uso. Hoy en día es fácil encontrar circuitos integrados que contienen uno o más PLL, solos o combinados con otros elementos para formar subsistemas.

Los PLL que se presentan en este capítulo son analógicos, es decir, implementados sobre señales en forma de tensiones o corrientes eléctricas. También pueden encontrarse

PLL totalmente digitales en los que las señales son series numéricas en un procesador digital.

El estudio realizado en este capítulo es eminentemente teórico y, por ello, se deja a la elección del lector la posibilidad de leerlo al completo o, por el contrario, utilizarlo como referencia cuando se esté leyendo capítulos posteriores.

3.1. Introducción

Comenzaremos nombrando aplicaciones y conceptos de los PLLs antes de estudiarlos.

3.1.1. Aplicaciones

Las aplicaciones de los lazos enganchados en fase se basan en que la señal sinusoidal del oscilador de salida siga en fase al oscilador de entrada, todo ello matizado por su efecto de filtrado. Una aplicación inmediata es la recuperación de portadoras extrayéndolas de la señal y del ruido que las acompañan. En el caso de señales moduladas en fase o frecuencia se puede hacer que el PLL filtre la señal y entregue una señal con la fase media de la señal de entrada, que coincidirá con la portadora si la señal de modulación tiene valor medio nulo. Estas portadoras recuperadas pueden utilizarse en el proceso de demodulación de la señal, aunque en los casos de señales moduladas en fase o frecuencia el propio PLL puede entregar la señal demodulada. En el caso de señales digitales, también se puede recuperar su señal de reloj debido a la propiedad de los PLL de mantener la oscilación de salida en ausencia de pulsos en la señal de entrada.

También es posible modificar el PLL de forma que la señal de salida resulte modulada en fase o frecuencia mientras se mantiene la estabilidad a largo plazo del oscilador de entrada.

Otra aplicación de los PLL son los sintetizadores. En este caso las frecuencias de entrada y salida son diferentes, manteniéndose entre ellas una relación exacta, con lo que el ruido de fase y la estabilidad de la entrada se transfieren a la salida.

3.1.2. Frecuencia y fase instantáneas

Antes de avanzar en el análisis de los PLL conviene repasar los conceptos de fase y frecuencia instantánea. Las señales de banda estrecha en el dominio del tiempo pueden representarse como:

$$v(t) = a(t) \cos(\Phi(t)) = a(t) \cos(\omega_c t + \phi_r(t)) \quad (3.1)$$

donde $a(t)$ es la amplitud de la señal y $\Phi(t)$ su fase absoluta. De esta última se puede extraer una pulsación constante ω_c , que en principio podría ser cualquiera, para definir una fase relativa $\phi_r(t)$. La señal queda definida tanto por el par $a(t)$ y $\Phi(t)$ como por el trío $a(t)$, ω_c y $\phi_r(t)$.

Desde el punto de vista de un PLL la característica fundamental de una señal es su fase absoluta o relativa. Esta fase se puede considerar como una suma de varios términos:

$$\Phi(t) = \omega_0 t + \Delta\phi \cos \omega_m t + \phi_n(t) \quad (3.2)$$

$$\phi_r(t) = \Delta\omega t + \Delta\phi \cos \omega_m t + \phi_n(t) \quad (3.3)$$

donde el primer término da cuenta de la frecuencia media, el segundo de la modulación y el tercero del ruido asociado.

Otro concepto importante en un PLL es el de frecuencia instantánea, definido como:

$$f(t) = \frac{1}{2\pi} \frac{d\Phi(t)}{dt} = f_c + f_r(t) \quad f_r(t) = \frac{1}{2\pi} \frac{d\phi_r(t)}{dt} \quad (3.4)$$

En estas expresiones se ha introducido el concepto de frecuencia relativa como el resultado de restar de la frecuencia instantánea una frecuencia tomada como referencia (f_c). Conviene dejar claro que la elección de esta frecuencia f_c es arbitraria y, por tanto, no tiene que estar relacionada con la señal. Normalmente, en señales de banda estrecha, se puede definir una frecuencia media f_0 , como el valor medio de la frecuencia instantánea, que tomada como frecuencia de referencia lleva a una fase relativa, ϕ_0 , que está acotada:

$$\Phi(t) = 2\pi f_0 t + \phi_0(t) \quad (3.5)$$

Si la frecuencia de referencia no coincide con la frecuencia media, la fase de referencia no estará acotada, pero ello no impide trabajar con ella como una función variable en el tiempo.

3.2. Estudio de un PLL ideal

El esquema de bloques de un PLL es el de la Figura 3.1. La fase de salida (Φ_0) se sincroniza con la de referencia (Φ_r) comparándolas en el detector de fase. La tensión obtenida (V_d), una vez filtrada para eliminar las componentes de alta frecuencia (V_c), se aplica al VCO para corregir la posible diferencia de fases. Obsérvese que la magnitud que se controla es la fase de señal de salida, y que cuando el bucle está enganchado deben coincidir las fases de las señales de referencia y de salida. Dentro de ciertos límites los distintos bloques del PLL se comportan de forma lineal y se pueden describir como elementos ideales.

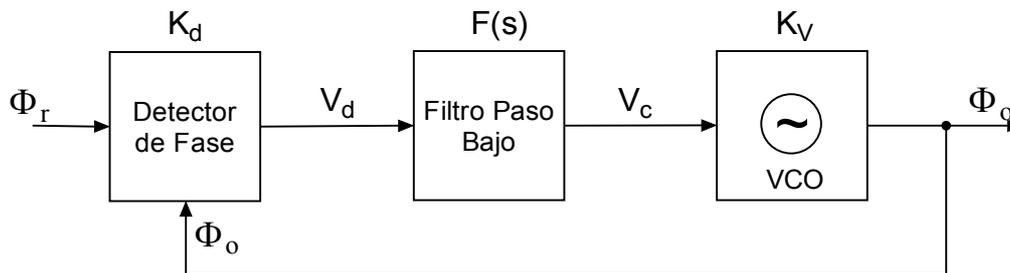


Figura 3.1. Esquema de bloques de un PLL.

3.2.1. Detector de fase ideal

En un detector de fase ideal la tensión a la salida es proporcional a la diferencia de fases de las señales de entrada.

$$V_d(t) = K_d [\Phi_r(t) - \Phi_0(t)] = K_d \Phi_e(t) \quad (3.6)$$

donde $\Phi_r(t)$ y $\Phi_0(t)$ son, respectivamente, las fases de referencia y del VCO, y $\Phi_e(t)$ el error de fase, que se define como diferencia de las dos anteriores. La constante de proporcionalidad K_d , se expresa en (V/rad) y se denomina constante del detector. El valor del

error de fase está limitado por el margen dinámico del detector, a unos pocos radianes a lo sumo, y la máxima excursión de la señal de salida a unos pocos voltios.

3.2.2. Filtro del bucle

El filtro del bucle queda definido por su función de transferencia, que en el espacio de Laplace se puede poner como:

$$F(s) = \frac{V_c(s)}{V_d(s)} \quad (3.7)$$

Es el único elemento del PLL para el que hay libertad de elección de sus características, ganancia, polos y ceros, y así controlar el comportamiento del PLL.

3.2.3. VCO ideal

Está formado por un oscilador en el que su frecuencia de oscilación varía linealmente con la tensión de entrada donde f_c sería la frecuencia a la que oscilaría el VCO con una tensión de control nula.

$$f_0(t) = f_c + K_v v_c(t) \Leftrightarrow \Phi_0(t) = \omega_c t + 2\pi K_v \int_0^t v_c(t) dt \quad (3.8)$$

El valor de la constante K_v , que se expresa en (Hz/V), está condicionada por la excursión de la tensión de control y por la banda de frecuencias que genera. Otro tanto se puede decir de su frecuencia central.

3.2.4. Funciones de transferencia del lazo

Las funciones de transferencia del lazo describen el comportamiento del lazo frente a variaciones de la fase de referencia. El primer paso para su obtención es referir las fases de referencia del VCO a la frecuencia central de este último (f_c):

$$\Phi_0(t) = \omega_c t + \phi_0(t); \Phi_r(t) = \omega_c t + \phi_r(t) \quad (3.9)$$

Sustituyendo en (3.6) se puede obtener la respuesta del detector de fase y su transformada de Laplace:

$$v_d(t) = K_d [\phi_r(t) - \phi_0(t)] \Leftrightarrow V_d(s) = K_d [\phi_r(s) - \phi_0(s)] \quad (3.10)$$

Comparando (3.8) y (3.9) se obtiene la expresión de ϕ_0 y su transformada de Laplace:

$$\phi_0(t) = 2\pi K_v \int_0^t v_c dt \Leftrightarrow \phi_0(s) = 2\pi K_v \frac{V_c(s)}{s} \quad (3.11)$$

Sustituyendo la tensión de control obtenida después del filtrado, la fase de salida queda como:

$$\phi_0(s) = 2\pi K_v \frac{F(s)V_d(s)}{s} = 2\pi K_v K_d \frac{F(s)}{s} [\phi_r(s) - \phi_0(s)] \quad (3.12)$$

Despejando el cociente entre la fase de salida y la de entrada se obtiene la función de transferencia del lazo:

$$H(s) = \frac{\phi_0(s)}{\phi_r(s)} = \frac{KF(s)}{s + KF(s)} \quad (3.13)$$

donde: $K = 2\pi K_v K_d$

Se puede analizar esta función teniendo en cuenta que el filtro del lazo es siempre paso bajo, es decir, toma un valor distinto de cero en el origen de frecuencias. En estas condiciones la función $H(s)$ es siempre una función paso bajo y toma el valor unidad en $s = 0$. Otro aspecto importante a destacar es que la función de transferencia no relaciona tensiones o corrientes de entrada y salida, relaciona fases. Esto significa que una señal de fase continua corresponde a una tensión de entrada de frecuencia fija e igual a la de referencia del lazo.

En frecuencias altas la función de transferencia tiende a cero, ya que el filtro del lazo toma valores finitos o nulos y en cualquier caso la respuesta global tiende a anularse. Para interpretar la respuesta de la función de transferencia se debe considerar una señal de entrada sinusoidal a dicha frecuencia. Pero, como la señal que se considera es la fase, significa que la tensión de entrada es una portadora modulada en fase por un tono puro de modulación a la frecuencia f_m . Así, se puede poner que la relación entre la fase de salida y la de entrada, con señales moduladas en fase por sinusoides, es de la forma siguiente:

$$v_r(t) = V_r \cos(\omega_0 t + \Delta\phi_r \cos(2\pi f_m t + \alpha_r))$$

$$v_o(t) = V_o \cos(\omega_o t + \Delta\phi_o \cos(2\pi f_m t + \alpha_o)) \quad (3.14)$$

La función de transferencia está definida por:

$$H(j2\pi f_m) = \frac{\Delta\phi_o}{\Delta\phi_r} \exp(j(\alpha_o - \alpha_r)) \quad (3.15)$$

El carácter paso bajo de la función de transferencia implica que las modulaciones lentas se transfieren a la salida, mientras que las modulaciones rápidas de fase se ven rechazadas en el proceso de filtrado.

Además de la función de transferencia, también tienen interés otras funciones como la función de transferencia de error:

$$H_e(s) = \frac{\phi_e(s)}{\phi_r(s)} = \frac{\phi_r(s) - \phi_o(s)}{\phi_r(s)} = 1 - H(s) = \frac{s}{s + KF(s)} \quad (3.16)$$

Si se analiza esta otra función con los mismos criterios que la anterior, se puede ver que es complementaria y, por tanto, tiende a anularse en el origen y a tomar el valor unidad para frecuencias altas, en las que el filtro del lazo toma valor finito o nulo. La interpretación es igual a la anterior: si la frecuencia de modulación es baja, la modulación se transfiere de forma completa a la salida, y por tanto el error entre las fases de salida y entrada es muy pequeño. En caso contrario, cuando la frecuencia de modulación es alta, la fase de modulación no se transfiere y el error tiende a tomar exactamente el mismo valor de la fase de entrada.

Una última función utilizada en el análisis del PLL es la de transferencia en lazo abierto dada por:

$$G(s) = \left. \frac{\phi_o(s)}{\phi_r(s)} \right|_{\text{lazoabierto}} = \frac{KF(s)}{s} \quad (3.17)$$

Esta función determina el comportamiento del lazo. Es interesante destacar el carácter integrador de la función de transferencia en lazo abierto, con un polo en el origen, creado por el VCO, cuya tensión de control define la frecuencia de salida y, por tanto, la derivada de la fase. La fase es entonces proporcional a la integral de la tensión de entrada.

La función de transferencia dada por la expresión (3.13) también se puede aplicar directamente a variaciones de frecuencia alrededor de la frecuencia central del VCO:

$$\left. \begin{aligned} \Delta \omega_0(s) &= \frac{\phi_0(s)}{s} \\ \Delta \omega_r(s) &= \frac{\phi_r(s)}{s} \end{aligned} \right\} \Rightarrow H(s) = \frac{\Delta \omega_0(s)}{\Delta \omega_r(s)} \quad (3.18)$$

Todas las conclusiones obtenidas para la respuesta del PLL a una señal modulada en fase son también aplicables a la respuesta a una señal modulada en frecuencia, ya que ambas modulaciones son equivalentes.

3.3. Especificaciones

A las especificaciones de un oscilador hay que añadir las relativas a la adquisición y mantenimiento del enganche y al filtrado que realiza el PLL sobre la señal de entrada. Se considera que el lazo está enganchado cuando la frecuencia del VCO se iguala a la de referencia y sólo resta un cierto desfase entre ambas. La igualdad de frecuencias debe entenderse en término medio, pues puede haber fluctuaciones entre ambas señales debidas al ruido, modulación, etc.

3.3.1. Procesos de enganche

Dentro de este podemos encontrar varias definiciones:

Margen de enganche lineal (*lock-in*): es el margen de frecuencia de entrada en el PLL simétrico respecto a la frecuencia de oscilación libre del VCO, tal que el bucle acaba enganchándose a la señal de entrada, sin superar el margen lineal del detector de fase.

Margen de enganche no lineal (*pull-in*): es un margen más amplio en que el enganche se produce pese a superar el margen lineal del detector de fase. El enganche en este segundo margen es mucho más lento, y se produce después de un proceso no lineal.

Margen de mantenimiento estático (*hold-in*): es el margen de frecuencia de entrada en el que, si el bucle está previamente enganchado, puede moverse lentamente la frecuencia sin que el bucle se desenganche. Se corresponde con el límite físico de frecuencias en las que funcionan los componentes del PLL. En los PLL más habituales es el VCO el que impone este límite.

Margen de mantenimiento dinámico (*pull-out*): estando el PLL enganchado, es el salto instantáneo máximo de la frecuencia de entrada que puede producirse sin que el PLL se desenganche (sin perjuicio de que vuelva a engancharse posteriormente).

Tiempo de adquisición: tiempo que tarda la salida en alcanzar un estado estable, es decir, enganche en fase y frecuencia. Esta condición de estabilidad de la salida se suele materializar como un porcentaje del salto de frecuencia requerido.

Error de fase: diferencia de fases entre la señal de entrada y la de salida en condiciones de enganche. Depende del detector de fase, del tipo de filtro y, en algunos casos, de la frecuencia de entrada.

Modulación por armónicos de la señal de referencia (*Spurious Reference Frequency Sideband*): Bandas laterales espurias que aparecen por la presencia de señales no deseadas en la línea de control del VCO. Normalmente se deben a armónicos de la señal de referencia que aparecen a la salida del detector de fase.

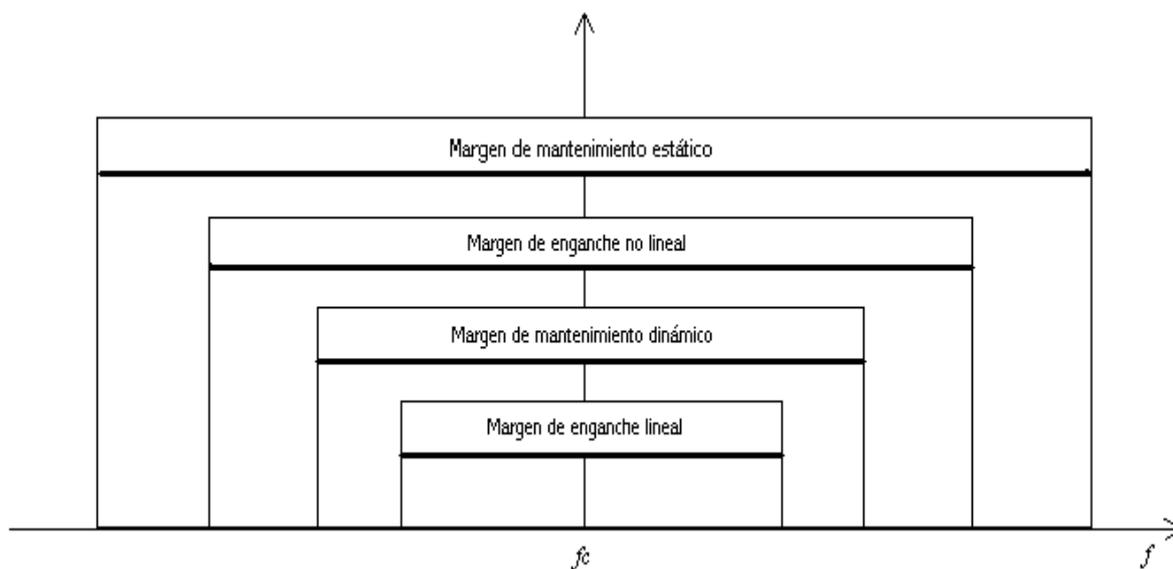


Figura 3.2. Relación de márgenes de enganche y mantenimiento.

3.3.2. Respuesta en régimen permanente

Desde el punto de vista del enganche hay dos situaciones interesantes:

- Cuando la frecuencia de la señal de referencia coincide con la central de VCO.
- Cuando la frecuencia de la señal de referencia no coincide con la del VCO.

Ambas situaciones se pueden estudiar de forma similar: suponiendo que inicialmente el PLL está enganchado a la frecuencia central del VCO y que se produce un salto de fase o de frecuencia. En estas condiciones se puede aplicar el teorema de valor final para obtener el error de fase final. En este modelo ideal basta con conocer si el error de fase está acotado. En un PLL real la condición de enganche viene limitada por el margen lineal del detector de fase.

El teorema del valor final establece que, siendo $x(t)$ una función arbitraria y $X(s)$ su transformada de Laplace, se cumple en el límite que:

$$\lim_{t \rightarrow \infty} x(t) = \lim_{s \rightarrow 0} sX(s) \quad (3.19)$$

Al aplicar este teorema al error de fase ϕ_e , se deduce que el valor final depende de la señal de entrada y de la función de transferencia del filtro.

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} s\phi_e(s) = \lim_{s \rightarrow 0} sH_e(s) \phi_r(s) = \lim_{s \rightarrow 0} \frac{s^2}{s + KF(s)} \phi_r(s) \quad (3.20)$$

3.3.3. Escalón de fase

Al estudiar el valor final de la respuesta del PLL a un escalón de fase se está analizando la influencia de la fase de la señal de referencia en el enganche y el error final de fase tiende a cero salvo que el filtro tenga un cero en el origen. Para el caso $\phi_r(s) = \Delta\phi/s$

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} \frac{s}{s + KF(s)} \Delta\phi = \lim_{s \rightarrow 0} \frac{s\Delta\phi}{KF(s)} \quad (3.21)$$

Este resultado se interpreta de la siguiente forma:

- Para que un PLL pueda mantener el enganche, su filtro debe dejar pasar señales continuas, es decir, no puede tener ceros en el origen del espacio de Laplace.

- Puesto que la elección del origen de fases es siempre arbitraria, el enganche del PLL no puede verse afectado por esa elección, es decir, el error de fase no dependerá de la fase de la señal de referencia.

3.3.4. Escalón de frecuencia

Al estudiar el valor final de la respuesta del PLL a un escalón de frecuencia se está analizando el enganche a una frecuencia distinta de la central del VCO.

En este caso $\phi_r(s) = \Delta\omega / s^2$

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} \frac{\Delta\omega}{s + KF(s)} = \lim_{s \rightarrow 0} \frac{\Delta\omega}{KF(s)} = \frac{\Delta\omega}{KF(0)} \quad (3.22)$$

De este resultado se deduce que, si el filtro tiene un polo en el origen, el error de fase será nulo. En caso contrario, el error de fase será proporcional a la diferencia entre frecuencias. Este resultado admite una interpretación simple: para que el PLL consiga mantener un error de fase nulo a una frecuencia diferente de la frecuencia central del VCO es necesario que el filtro pueda ofrecer la tensión adecuada al VCO con una entrada nula. Esta situación implica que la ganancia en continua debe ser infinita, lo que implica que el filtro se comporte como un integrador.

3.3.5. Respuestas transitorias

Si se produce un cambio en la fase de referencia, el PLL reaccionará intentando que la fase de salida siga ese cambio, lo que conseguirá o no de acuerdo con lo indicado en el apartado anterior. El interés de estudiar la respuesta transitoria radica en conocer el tiempo empleado en alcanzar el estado final y, adelantando acontecimientos, si se supera o no el margen lineal de los elementos del PLL, lo que puede dar lugar a pérdidas de enganche. De nuevo, las situaciones de mayor interés son los escalones de fase y de frecuencia.

Estas respuestas transitorias, dependen fundamentalmente del filtro del PLL, estudiado más adelante.

3.3.6. Filtrado del ruido de fase

El ruido a la salida de un PLL depende tanto del ruido presente en su entrada como del ruido que introducen todos los componentes del bucle. La mayor parte de las situaciones se pueden clasificar en dos categorías, dependiendo de si la contribución del ruido de la señal de referencia es dominante o no. Seguidamente se va a considerar dominante el ruido de la señal de referencia, lo que suele corresponder a receptores en los que se desea extraer una señal de entre el ruido que la acompaña. Moduladores o sintetizadores de frecuencia son situaciones en que no se puede despreciar el ruido introducido por los elementos del PLL, lo que se estudiarán posteriormente.

Si la señal de entrada consta de una portadora y un ruido aditivo paso banda, éste afecta tanto a la amplitud como a la fase de la señal recibida:

$$v_r(t) = V \cos(\omega t) + n(t) = V \cos(\omega t) + n_c(t) \cos(\omega t) + n_s(t) \sin(\omega t)$$

$$v_r(t) = [V + v_n(t)] \cos(\omega t + \phi_n(t)) \quad (3.23)$$

Al tratarse de una señal paso banda las modulaciones parásitas de amplitud y fase son procesos paso bajo. Esto significa que la función que describe la fase en el tiempo, tiene una distribución espectral de potencia que se concentra en las frecuencias bajas.

Asumiendo que el PLL es insensible al ruido de amplitud, se puede despreciar este último frente al ruido de fase. Suponiendo que la densidad de potencia de ruido (N_r) es constante en la banda de entrada (B_i), la relación señal a ruido de entrada puede expresarse como:

$$\left(\frac{S}{N} \right)_i = \frac{P_r}{N_r B_i} \quad (3.24)$$

Para calcular la relación señal a ruido de salida hay que pasar por la distribución espectral de ruido de fase, pues es la que se somete al filtrado de la función de transferencia del PLL. En este caso la distribución espectral de ruido de fase viene dada por una densidad de potencia constante en una banda $B_i/2$ desde el origen de frecuencias, como se indica en la Figura 3.3 y cuyo valor viene dado por la relación entre la densidad de ruido de la señal en RF y la potencia total:

$$S_{\phi_r}(f) = 2 \frac{N_r}{P_r} = \frac{2}{(S/N)_i} \frac{1}{B_i} \quad \text{para } |f| < \frac{B_i}{2} \quad (3.25)$$

La distribución espectral de ruido de fase a la salida será la de entrada multiplicada por el cuadrado de la función de transferencia:

$$S_{\phi_0}(f) = S_{\phi_r}(f) |H(j2\pi f)|^2 \quad (3.26)$$

Para simplificar los cálculos se utiliza el ancho de banda equivalente de ruido de la función de transferencia (B_L), que se define como el ancho de banda que debe tener un filtro rectangular de ganancia igual a la nominal del filtro, la unidad en este caso, para que deje pasar la misma potencia de ruido cuando se conecta a su entrada un generador de ruido blanco:

$$B_L(f) = \frac{1}{H(0)} \int_0^\infty |H(j\omega)|^2 df \quad (3.27)$$

Así, la densidad espectral de ruido de fase de salida es igual que la de entrada:

$$S_{\phi_0}(f) = S_{\phi_r}(f) = 2 \frac{N_r}{P_r} = 2 \frac{N_0}{P_0} \quad \text{para } |f| < B_L \quad (3.28)$$

donde N_0 es la densidad de potencia de ruido a la salida y P_0 es la potencia total de señal a la salida. En el VCO, la modulación parásita que provoca el ruido de fase, genera bandas de ruido de fase simétricas alrededor de la portadora y con un ancho de banda B_L cada una. Si se compara ahora la señal de entrada con la de salida se ve que el efecto global es la reducción del ruido de fase de la señal de referencia a un ancho de banda $2B_L$ de forma perfectamente simétrica respecto a la portadora: aun cuando la frecuencia de esta señal varíe lentamente en el tiempo, el enganche del bucle hará que la frecuencia del VCO se desplace siguiéndola.

La relación señal a ruido de salida puede ponerse en función de la relación señal a ruido de entrada como:

$$(S/N)_0 = \frac{P_0}{2N_0B_L} = (S/N)_i \frac{B_i}{2B_L}; B_L \leq \frac{B_i}{2} \quad (3.29)$$

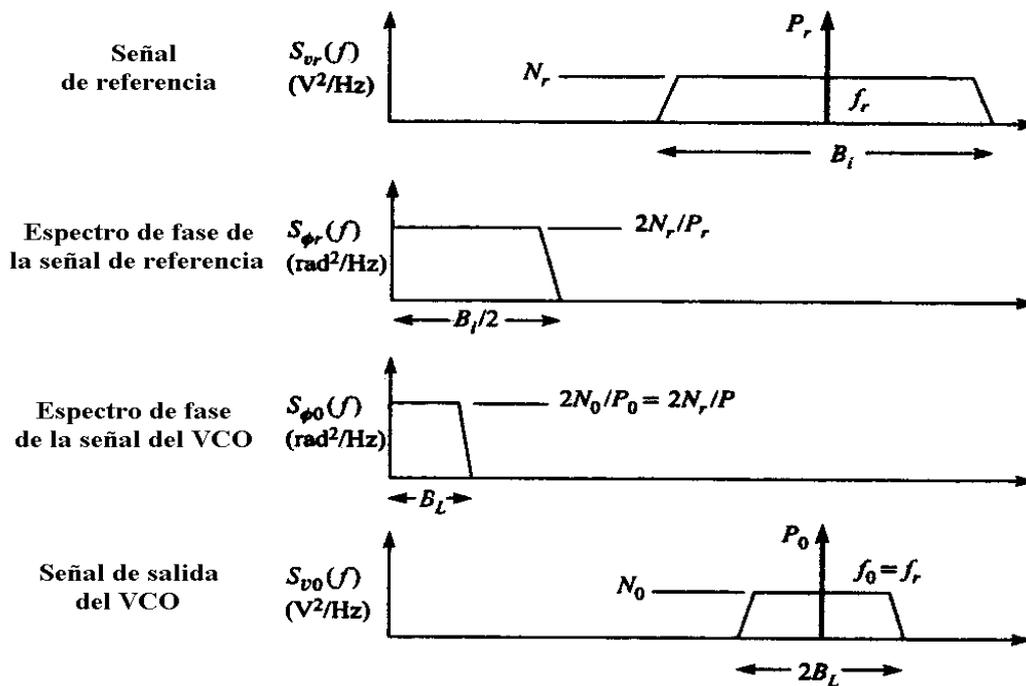


Figura 3.3. Relación espectral del ruido de fase.

En la Figura 3.3 se muestra de forma cualitativa el proceso de filtrado de ruido en el PLL. Como conclusión se pueden recalcar los aspectos siguientes:

- Salvando ciertas constantes de conversión, el ruido aditivo de entrada, N_r , se traduce en ruido de fase equivalente, N_{ϕ_r} . El PLL realiza un filtrado del ruido de fase de entrada en un ancho de banda $2B_L$. La diferencia importante respecto de un filtro convencional es que este filtrado se realiza en un ancho de banda simétrico a la portadora f_r . Es equivalente a un filtro que automáticamente se sintoniza con la señal de entrada.
- El ruido de amplitud, si existe, no afecta al PLL, ya que su función de transferencia no responde a la amplitud. La realidad es que este ruido de amplitud puede trasladarse a ruido de fase si el detector es sensible a la amplitud, problema que se resuelve utilizando circuitos limitadores de amplitud previos a la detección de fase.
- Además, el valor de B_L puede reducirse cuanto se quiera sea cual sea la frecuencia de trabajo ya que está definido por un filtro paso bajo. En un filtro paso banda de RF convencional existe una limitación en el factor de calidad que no afecta al PLL como filtro de ruido de fase.

- Las limitaciones a B_L provienen de otros factores: su reducción supone ralentizar los transitorios, empeorar el margen de enganche y reducir la capacidad de compensación de otros efectos parásitos, en particular el ruido propio del VCO. En general existe un ancho de banda óptimo en que el ruido de salida es mínimo.
- Un valor reducido de la relación señal a ruido a la salida $(S/N)_0$ lleva a que se pierda el enganche. Un valor seguro es $(S/N)_0 > 10$ dB. No obstante, si el bucle está ya enganchado, es capaz de mantener el enganche hasta cerca de $(S/N)_0 \approx 0$ dB, pero no es capaz de engancharse de nuevo hasta que se recupera a niveles del orden de $(S/N)_0 > 6$ dB.
- Tampoco conviene olvidar que este desarrollo se ha realizado suponiendo que el detector de fase trabaja en régimen lineal. Los detectores de fase reales tienen un margen lineal limitado, y además los digitales, que toman como referencia los flancos de las señales, son especialmente sensibles al ruido. Debe garantizarse que el ruido a la entrada del PLL no saque al detector de fase de su régimen lineal.

3.4. Influencia del filtro

Las características del detector de fase y del VCO están muy condicionadas por la tensión de alimentación y la banda de frecuencias que se desea cubrir, así pues, toda la posibilidad de diseño se concentra en el filtro. Con el fin de sistematizar las descripciones conviene hacer las siguientes definiciones:

- **Orden.** Es el número de polos de la función de transferencia $H(s)$. Si ésta se expresa, como es habitual, como el cociente de dos polinomios, es el grado del denominador.
- **Tipo.** Es el número de polos en $s = 0$ de la función de transferencia en lazo abierto $G(s)$. Se corresponde con el número de integradores en el lazo.

De la Expresión (3.17) se deduce que el tipo es igual al número de polos en $s = 0$ de $F(s)$ más uno, que se debe al VCO que se comporta como un integrador. La función de transferencia se puede escribir como:

$$H(s) = \frac{KF(s)}{s + KF(s)} = \frac{KF(s)/s}{1 + KF(s)/s} = \frac{G(s)}{1 + G(s)} \quad (3.30)$$

Cada polo en $s = 0$ de $G(s)$ es un polo de $H(s)$, luego el orden será igual o mayor que el tipo. El orden y el tipo permiten clasificar los PLL. Esta clasificación no es arbitraria pues está relacionada con la estabilidad del lazo y su respuesta a diferentes señales.

3.4.1. PLL de orden 1

Este PLL no tiene filtro propiamente dicho, en él se conecta la salida del detector de fase a la entrada del VCO incluyendo, si fuera necesario, un atenuador o un amplificador de ganancia constante con la frecuencia, como se presenta en la Figura 3.4.

Las expresiones más importantes en la respuesta del lazo son:

$$F(s) = g \quad (3.31)$$

$$H(s) = \frac{\omega_n}{s + \omega_n} \quad \text{y} \quad H_e(s) = \frac{s}{s + \omega_n} \quad (3.32)$$

$$B_L(s) = \frac{\omega_n}{4} \quad \text{y} \quad \omega_n = 2\pi \cdot g \cdot K = 2\pi \cdot g \cdot K_d K_v \quad (3.33)$$

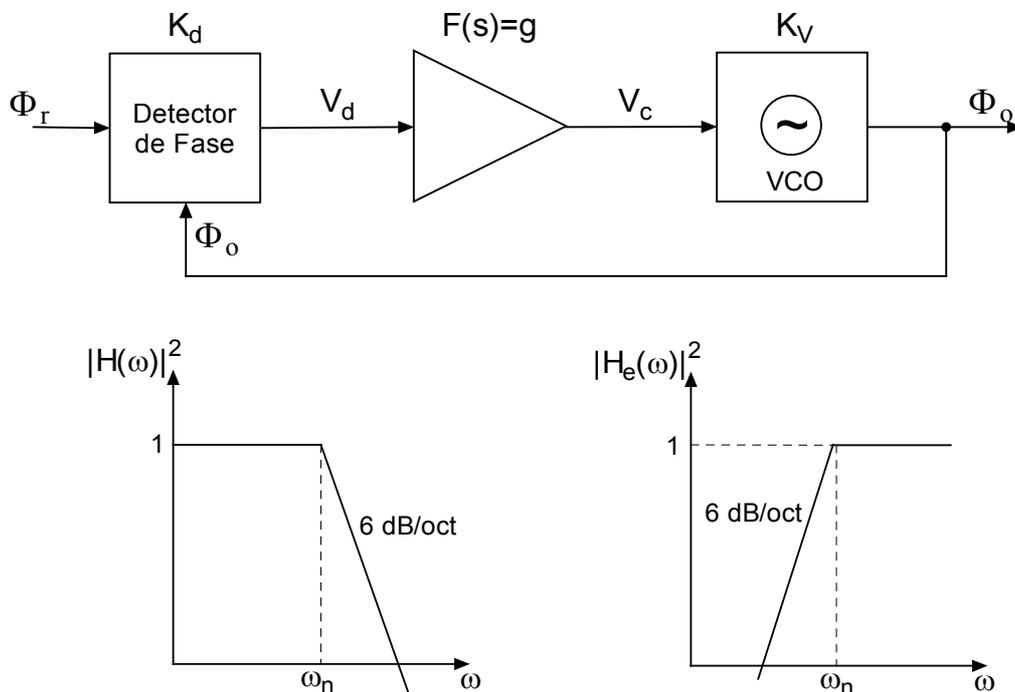


Figura 3.4. PLL de orden 1.

Las funciones de transferencia se representan de forma esquemática en la Figura 3.4. Es interesante observar que las funciones de transferencia son selectivas en frecuencia,

aunque el filtro no lo sea. El elemento que introduce esta dependencia es el VCO. La función de transferencia es tipo paso bajo, con frecuencia de corte en ω_n .

Las respuestas transitoria y permanente a escalones de fase y de frecuencia se pueden observar en la Tabla 3.1:

Tabla 3.1. Respuesta de un PLL de orden 1

Excitación	Error de fase final	Transitorio
Escalón de fase: $\Delta\Phi$	0	$\phi_0(t) = \Delta\phi[1 - \exp(-\omega_n t)]$
Escalón de frecuencia: $\Delta\omega$	$\frac{\Delta\omega}{\omega_n}$	$\Delta\omega_0(t) = \Delta\omega[1 - \exp(-\omega_n t)]$

Si son escalones de fase, el error final es cero y el transitorio es exponencial, con constante de tiempo $\tau = 1/\omega_n$. Para un escalón de frecuencia, el error de fase final depende de la amplitud del escalón, directamente proporcional a la separación entre la frecuencia de referencia y la central del VCO. Este error de fase influye directamente en los márgenes enganche y mantenimiento del PLL.

Desde el punto de vista de diseño el inconveniente de estos PLL proviene de su sencillez: el único parámetro que se puede ajustar, la ganancia “g”, influye en la frecuencia de corte, el ancho de banda de ruido, el tiempo de asentamiento, el error de fase y los márgenes de enganche y mantenimiento: demasiados condicionantes para un único parámetro.

Este PLL es muy poco utilizado en la práctica ya que para conseguir un buen mantenimiento se hace necesaria una ganancia elevada, lo que lleva a un ancho de banda también elevado. Otro inconveniente de este PLL consiste en que en caso de desvanecimiento temporal de la señal de entrada, y si se supone que entonces el detector de fase entrega una tensión nula, el VCO pasa a oscilar a su frecuencia central y el reenganche cuando se restablezca la señal será lento.

3.4.2. PLL de orden 2 tipo 1

En la Figura 3.5 se presenta un PLL tipo 1 y orden 2 junto con una representación esquemática de sus funciones de transferencia de fase y de error.

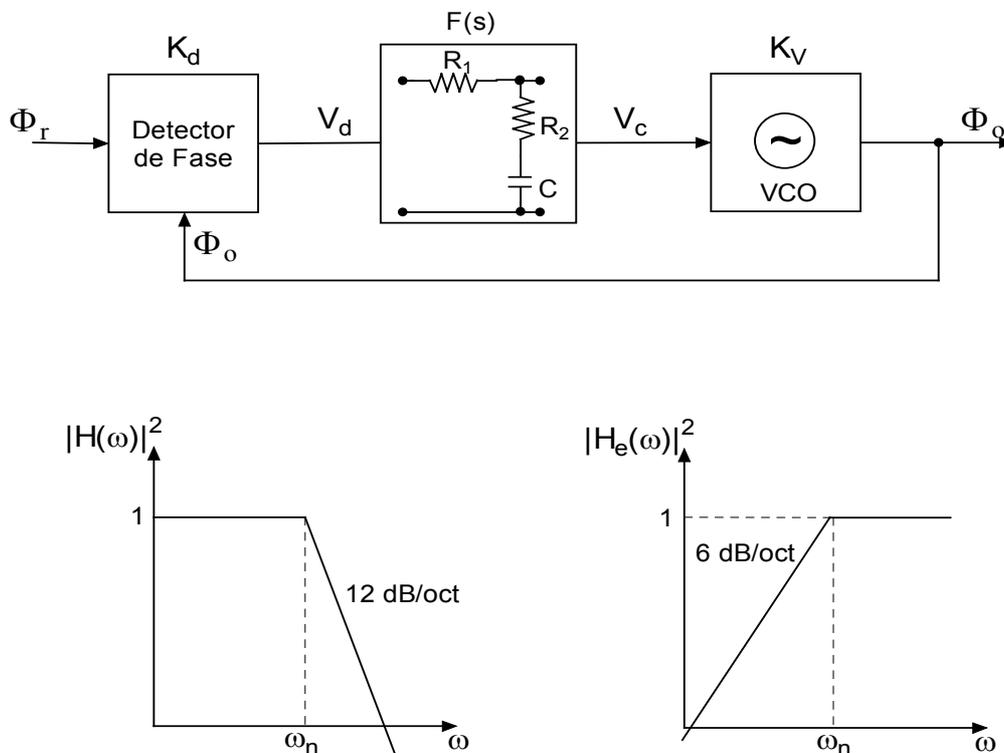


Figura 3.5. PLL de tipo 1 y orden 2.

Las expresiones correspondientes asociadas a este tipo de filtro son:

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \tag{3.34}$$

$$H(s) = \frac{s\omega_n(2 \cdot \xi - \omega_n/K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \tag{3.35}$$

$$H_e(s) = \frac{s^2 + 2\xi\omega_n s}{s^2 + 2\xi\omega_n s + \omega_n^2} \tag{3.36}$$

$$\omega_n = \sqrt{\frac{K}{\tau_1 + \tau_2}} \quad \xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K} \right) \tag{3.37}$$

En estas expresiones los parámetros normalizados del lazo son ω_n y ξ resultantes de expresar la función de transferencia en la forma normalizada anterior, ω_n es la pulsación

natural del lazo y ζ es coeficiente de amortiguamiento. Las respuestas permanentes a escalones de fase y de frecuencia se pueden observar en la Tabla 3.2:

Tabla 3.2. Respuesta de un PLL de orden 2 tipo 1

Excitación	Error de fase final
Escalón de fase: $\Delta\Phi$	0
Escalón de frecuencia: $\Delta\omega$	$\frac{\Delta\omega}{K}$

Con este PLL se dispone de varios elementos de ajuste, pero al necesitar error de fase para mantener el enganche a frecuencia diferente a la central del VCO, hace preferible el uso de PLL de orden 2 tipo 2.

3.4.3. PLL de orden 2 tipo 2

En la Figura 3.6 se muestra un PLL de orden 2 tipo 2 y una representación esquemática de sus funciones de transferencia de fase y error. Las expresiones correspondientes son:

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \tag{3.38}$$

$$H(s) = \frac{2\xi\omega_n + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \tag{3.39}$$

$$H_e(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \tag{3.40}$$

donde:

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \text{ y } \xi = \frac{\omega_n \tau_2}{2} \tag{3.41}$$

$$B_L = \frac{\omega_n}{2} \left(\xi + \frac{1}{4\xi} \right) \tag{3.42}$$

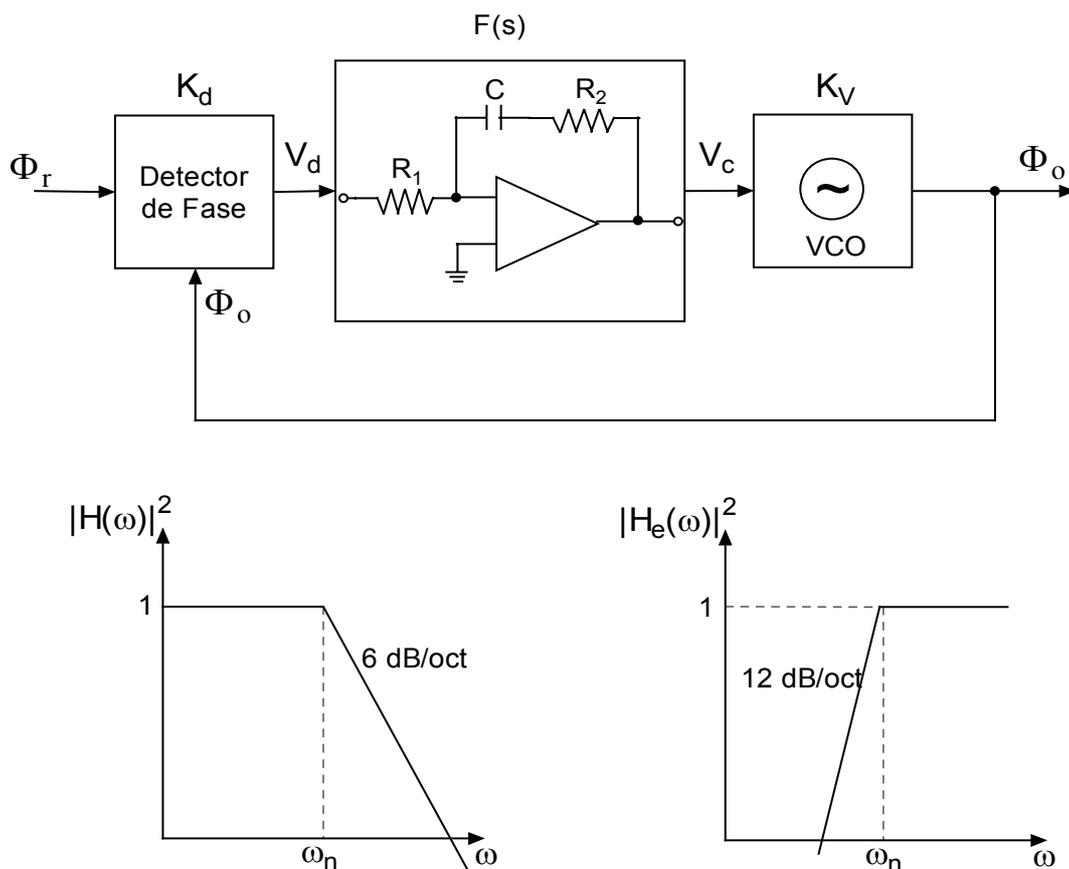


Figura 3.6. PLL tipo 2 orden 2.

En las expresiones anteriores, ω_n y ζ son los parámetros normalizados del lazo que resultan de expresar la función de transferencia en la forma normalizada anterior, ω_n es la pulsación natural del lazo y ζ es el coeficiente de amortiguamiento. Las respuestas permanentes a escalones de fase y de frecuencia se pueden ver en la Tabla 3.3:

Tabla 3.3. Respuesta de un PLL de orden 2 tipo 2

Excitación	Error final de fase
Escalón de fase: $\Delta\Phi$	0
Escalón de frecuencia: $\Delta\omega$	0

Este bucle es el más utilizado porque es el más sencillo que consigue mantener el enganche a una frecuencia con un error de fase nulo. Esto es debido a que el carácter integrador del filtro permite la entrega de una tensión no nula al VCO aunque la salida del detector de fase sea nula. Por esta razón, este PLL hace que el VCO siga oscilando a la mis-

ma frecuencia si se desvanece la señal de referencia, por lo que al restablecimiento de la señal la recuperación del enganche es prácticamente instantánea. También presenta la ventaja de que su comportamiento frente a transitorios no depende de la frecuencia de partida.

La dependencia de la función de transferencia con el factor de amortiguamiento puede verse en la Figura 3.7. Para valores pequeños de este factor, aparece claramente una respuesta mayor que la unidad para frecuencias inferiores a ω_n . A medida que aumenta ξ la respuesta se hace más plana a costa de un aumento del ancho de banda y de la velocidad con que se alcanza la pendiente de 10 dB/octava. En la práctica, el valor $\xi = 1$ se considera un buen compromiso entre planicidad en la banda de paso y transición rápida a la banda eliminada.

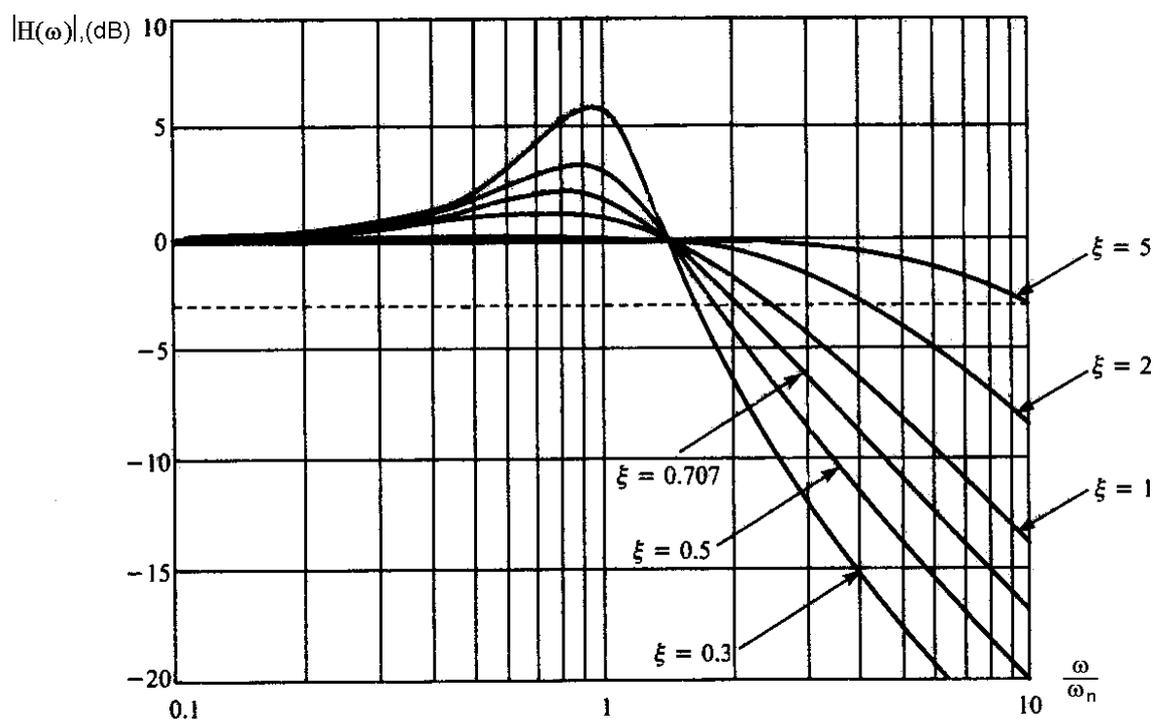


Figura 3.7. Función de transferencia de un PLL tipo 2 orden 2 en función del c. de amortiguamiento.

La dependencia del ancho de banda con el factor de amortiguamiento se puede apreciar en la Figura 3.8. Para un ancho de banda a -3dB se obtiene la expresión:

$$f_{-3\text{dB}} = \frac{\omega_n}{2\pi} \sqrt{2\xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1}} \quad (3.43)$$

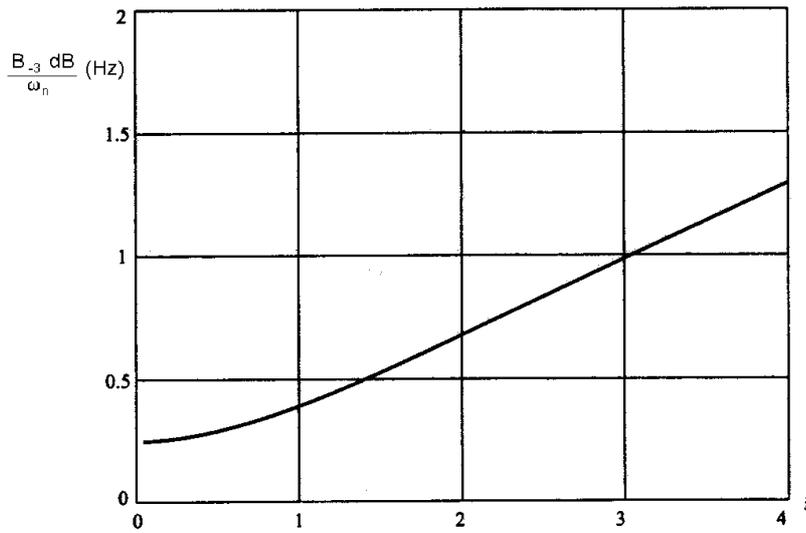


Figura 3.8. Influencia de ξ en el ancho de banda.

El cambio de forma de la respuesta en frecuencia del filtro también se traduce en el ancho de banda equivalente de ruido del lazo; la expresión correspondiente en (3.42) se representa en la Figura 3.9. Puede apreciarse la existencia de un mínimo en $\xi = 0.5$.

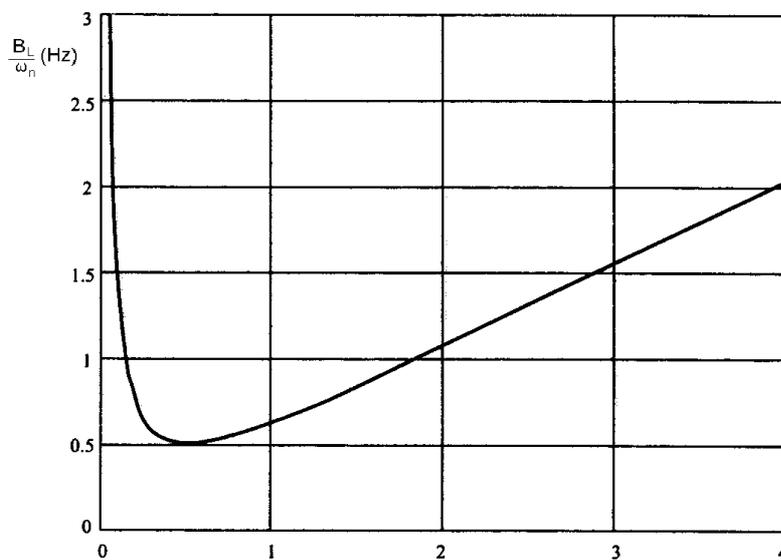


Figura 3.9. Ancho de banda de ruido.

La expresión del ancho de banda equivalente de ruido puede llevar a un error debido a la presencia de ω_n que puede hacer pensar que el resultado esté expresado en rad/s cuando realmente está en Hz. Puede observarse que B_L presenta un mínimo de valor $0.5 \cdot \omega_n$ para $\xi=0.5$.

El comportamiento para valores inferiores de ξ puede considerarse anómalo, especialmente si se compara con el ancho de banda a -3dB. La explicación hay que buscarla en la sobrerrespuesta que presenta la función de transferencia para estos valores de ξ .

La respuesta transitoria del lazo está controlada por ambos parámetros. Las expresiones matemáticas correspondientes para un salto de fase a la entrada $\Delta\phi_r$ son:

$$\Delta\phi_0(t) = \begin{cases} \Delta\phi_r \left[1 - \left(\cos(\sqrt{1-\xi^2} \omega_n t) - \frac{\xi}{\sqrt{1-\xi^2}} \text{sen}(\sqrt{1-\xi^2} \omega_n t) \right) \exp(-\xi \omega_n t) \right] & ; \xi > 1 \\ \Delta\phi_r [1 - (1 - \omega_n t) \exp(-\xi \omega_n t)] & ; \xi = 1 \\ \Delta\phi_r \left[1 - \left(\cosh(\sqrt{\xi^2 - 1} \omega_n t) - \frac{\xi}{\sqrt{\xi^2 - 1}} \text{senh}(\sqrt{\xi^2 - 1} \omega_n t) \right) \exp(-\xi \omega_n t) \right] & ; \xi < 1 \end{cases} \quad (3.44)$$

La fase tiende exponencialmente al valor final, el exponente es en todos los casos $-\xi\omega_n t$, y por ello se ha tomado como eje de abscisas para su representación en Figura 3.10. El coeficiente de amortiguamiento permite controlar la velocidad y la forma en que la fase se aproxima a su valor final. A igualdad del producto $\xi\omega_n$, a medida que el coeficiente de amortiguamiento disminuye aumenta la velocidad inicial de la fase de salida, pero si el coeficiente de amortiguamiento es inferior a la unidad aparecen oscilaciones amortiguadas alrededor de la fase final que retardan el asentamiento. Si el coeficiente de amortiguamiento es superior a la unidad se produce una única oscilación y a continuación la fase tiende a su valor final. En la práctica se acostumbra a considerar el valor, $\xi=0.707$, como compromiso entre una velocidad de subida rápida y unas oscilaciones que se amortiguan rápidamente.

La forma que toma la frecuencia de salida para un salto en frecuencia a la entrada Δf_r es la misma de la Figura 3.10 y viene dada por ecuaciones duales a las (3.44). Es importante hacer notar que aunque en principio la expresión (3.44) sólo se podría generalizar a escalones de frecuencia a partir de la frecuencia central del VCO, en este caso la presencia del integrador desvirtúa la importancia de esta frecuencia central como frecuencia de reposo del lazo y permite que se pueda aplicar a cualquier salto de frecuencia con independencia de la frecuencia de partida. En el caso de escalones de frecuencia tiene interés el

estudio de la evolución del error de fase ya que puede llegar a superarse el límite del comportamiento lineal del detector de fase y producirse desenganches. La expresión de este error de fase es la siguiente:

$$\phi_e(t) = \Delta\omega \frac{\sin \omega_n \sqrt{1 - \xi^2} t}{\omega_n \sqrt{1 - \xi^2}} \exp(-\xi \omega_n t) \quad (3.45)$$

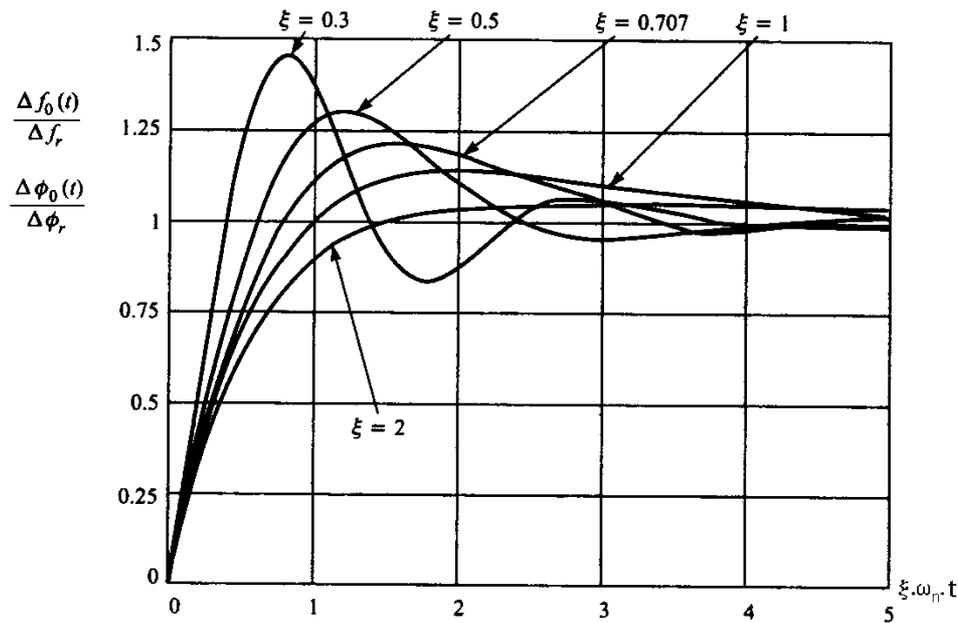


Figura 3.10. Respuesta a un escalón de fase o frecuencia.

El error de fase se comporta como una oscilación amortiguada por una exponencial de exponente $-\xi\omega_n t$, por lo que se ha escogido $\xi\omega_n t$ como abscisa de su representación gráfica de la Figura 3.11. Al tratarse de un salto de frecuencia el error de fase es inicialmente nulo y crece linealmente como $\Delta\omega_n$, como si no existiese realimentación. Este efecto se mantiene en la Figura 3.11, debido a la normalización del eje vertical. La realimentación corrige este error de fase tanto más rápidamente cuanto mayor sea el factor $\xi\omega_n$.

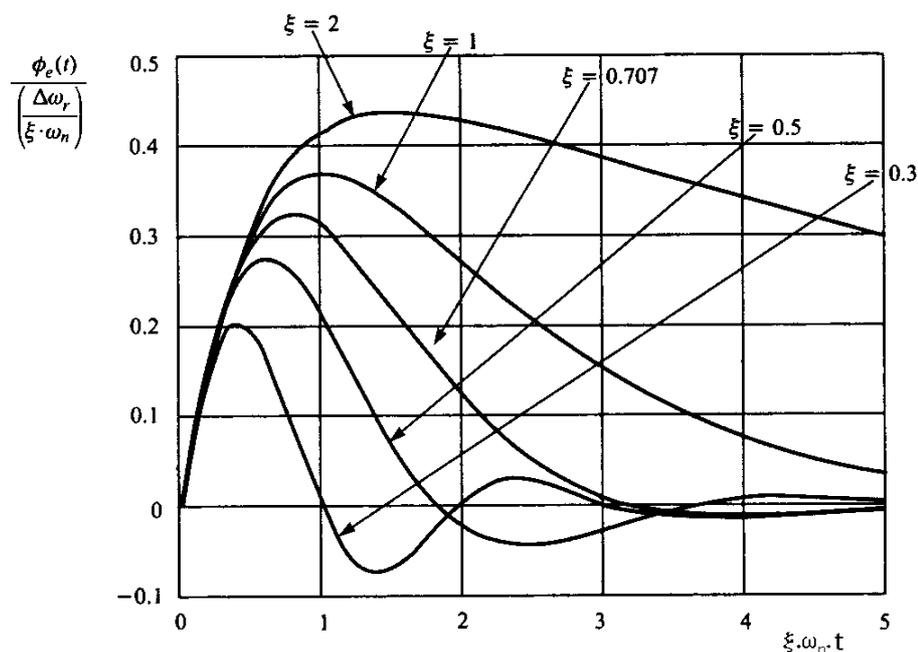


Figura 3.11. Error de fase en respuesta a un escalón de frecuencia.

La amplitud máxima del error de fase es proporcional a la amplitud del salto de frecuencia e inversamente proporcional a ω_n . Más complicada es la dependencia con ξ pero sigue el comportamiento de que el error máximo decrece cuando aumenta este. La Figura 3.11 puede llevar a engaño porque el error de fase está multiplicado por ξ , por lo que para ver esta dependencia nos fijaremos en la Figura 3.12.

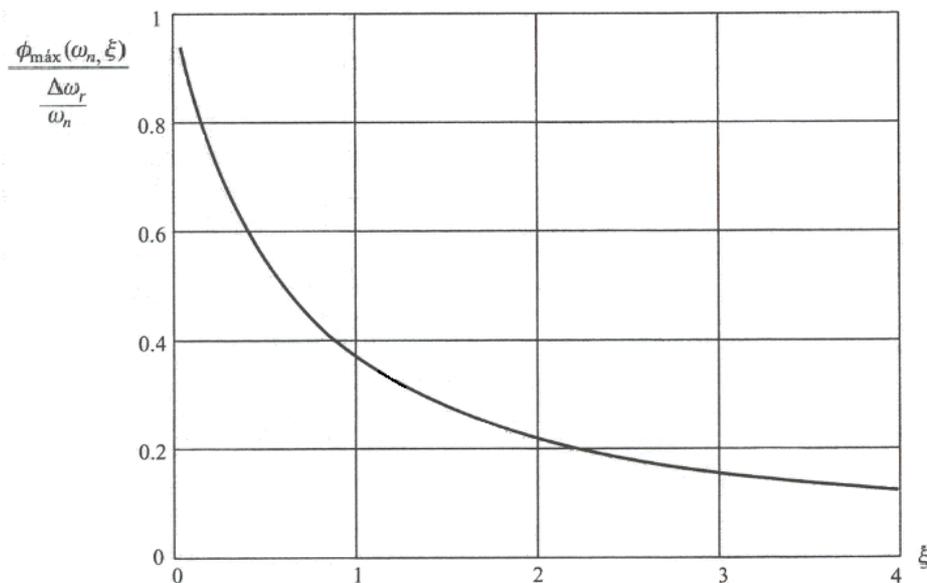


Figura 3.12. Error de fase máximo como respuesta a salto de frecuencia.

3.5. Detectores de fase

Si a un detector de fase con característica ideal, $V_d(t) = K_d\Phi_e(t)$, se le conecta dos señales de frecuencias distintas debería entregar a su salida una señal que crece linealmente de forma indefinida. En la práctica esto no es posible, los detectores de fase tienen un margen lineal limitado, y su característica es periódica, con un período de valor 2π en la mayoría de los casos. En la Figura 3.13 se han representado los principales detectores de fase.

Tipo	Señales	Diagrama	Respuesta fase	Respuesta frecuencia
1. Multiplicador analógico				Indefinida
2. Multiplicador digital				Indefinida
3. Biestable JK				
4. Fase/frecuencia				

Figura 3.13. Distintos detectores de fase.

3.5.1. Multiplicador analógico

Corresponde al primer tipo de la Figura 3.13. Simplemente multiplica las dos señales de entrada. En el caso de referir las dos señales a la misma frecuencia central, se obtiene:

$$u_1(t) = U_1 \cos(\omega_c t + \phi_1(t)) \quad u_2(t) = U_2 \sin(\omega_c t + \phi_2(t))$$

$$V_d(t) = K u_2(t) u_1(t) = \frac{K U_2 U_1}{2} [\sin(2\omega_c t + \phi_2(t) + \phi_1(t)) + \sin(\phi_2(t) - \phi_1(t))] \quad (3.46)$$

A la salida aparecen dos componentes, una continua y otra de frecuencia doble. La componente de frecuencia doble se debe eliminar con el filtro del lazo ya que puede dar lugar a una modulación parásita de fase de la señal de salida del lazo. La componente continua es la que tiene interés: es proporcional al seno de la diferencia de fases y si la diferencia de fases es inferior en valor absoluto a 60° , se puede considerar proporcional a ella, $V_d = K_d(\phi_2 - \phi_1)$. La constante de proporcionalidad, $K_d = K U_2 U_1 / 2$, depende de la amplitud de las señales de entrada, por lo que en la mayor parte de las aplicaciones habrá que incluir circuitos que regulen o limiten su amplitud. Si la diferencia de fase supera los 90° , la pendiente de la función de transferencia se invierte y el PLL perderá el enganche.

Debe tenerse en cuenta que la salida es nula cuando $\phi_2 = \phi_1$, siendo una señal del tipo seno y la otra coseno, luego la salida nula se consigue cuando la diferencia real de fases entre las entradas sea de 90° . La importancia de este hecho dependerá de la aplicación concreta, pero no afecta al desarrollo teórico que se ha realizado.

Si las dos frecuencias de entrada son diferentes, la salida es la suma de dos componentes sinusoidales de igual amplitud y de frecuencias iguales a la suma y a la diferencia de las frecuencias de entrada. La señal de salida variará entre los extremos de su margen dinámico, y en ausencia de realimentación de fase su valor medio sería nulo. Si la componente de frecuencia diferencia consigue mantener un nivel apreciable a la salida del filtro, el PLL tenderá a igualar las frecuencias cuando el error de fase sea menor que 90° en valor absoluto, y a aumentarla en caso contrario. Este efecto, que tiende a enganchar el lazo, quedará enmascarado por el ruido cuando la diferencia de frecuencias sea apreciable, por lo que no se debe confiar el enganche del bucle a este proceso.

La principal ventaja de este detector es que pueden construirse en todas las frecuencias multiplicadores analógicos, pues en definitiva cualquier circuito no lineal funciona como tal. En frecuencias de microondas y ópticas es el único detector de fase existente, construido con diodos.

3.5.2. Detector digital de onda cuadrada

Si las señales de entrada tienen forma de onda cuadrada pueden llevarse a un multiplicador digital a cuya salida se obtendrá una onda rectangular cuyo ciclo de trabajo será proporcional al error de fase.

En el caso 2 de la Figura 3.13 el detector es una puerta OR-EXCLUSIVA, cuya salida es un nivel bajo cuando los niveles de las entradas coinciden, y un nivel alto cuando son diferentes. Así, si las entradas están en fase la salida será siempre un nivel bajo y si están en contrafase será un nivel alto. La señal de salida es una onda de frecuencia doble de la de entrada y cuyo ciclo de trabajo dependerá de la diferencia de fases de las señales de entrada. La parte útil de esta señal es su valor medio, que varía de forma lineal, oscilando entre el valor correspondiente al nivel “0” cuando las señales están en fase y el correspondiente al nivel “1” cuando están en contrafase. El punto central corresponde a una diferencia de fase de $\pi/2$ y el margen lineal se extiende entre 0 y π . Para diferencias de fase entre $-\pi$ y 0 la pendiente de la función de transferencia es negativa y el PLL no es estable. Así pues, la constante de fase toma el valor siguiente, donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

$$K_d = \Delta V / \pi \quad (3.47)$$

Si el ciclo de trabajo de las señales de entrada no es exactamente el 50%, la característica se distorsiona en los extremos, reduciendo su margen dinámico. Los armónicos de la señal de salida del detector pueden perjudicar la pureza espectral del VCO y deben ser eliminados por el filtro del PLL. El primer armónico tiene una frecuencia doble de la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases de 90° , el cual es el centro de su margen lineal, y toma el valor:

$$V_{2fr} = 2\Delta V / \pi \quad (3.48)$$

Frente al detector analógico, este detector presenta la ventaja de un margen lineal algo mayor. Como inconvenientes, el nivel de armónicos a su salida es algo mayor y está limitado en frecuencia por la tecnología usada en su fabricación. La respuesta a señales de frecuencias diferentes es similar a la del multiplicador analógico siendo análogo su proceso de enganche.

3.5.3. Detector digital biestable

Para eliminar la necesidad de trabajar con señales cuadradas y aumentar el margen lineal del detector se puede utilizar un biestable JK como en el caso 3 de la Figura 3.13

Se trata de un circuito biestable JK activado por los flancos de bajada de las señales de entrada, donde los flancos de bajada de la señal U1, conectada a la puerta J, ponen a nivel alto la salida Q; los flancos de bajada de la señal U2, conectada a la puerta K, ponen a nivel alto la salida /Q, que es la negada de la Q. La salida Q es una onda rectangular con ciclo de trabajo dependiente linealmente del desfase de los flancos de bajada de las señales de entrada, de manera que no es necesario que las señales de entrada sean cuadradas. El ciclo de trabajo varía entre casi cero cuando la U2 está ligeramente retrasada respecto de la U1, hasta casi el 100% cuando el retraso de U2 está próximo a 2π . La frecuencia de Q es la misma, que la de las señales de entrada.

La parte útil de esta señal es su valor medio, que varía entre los niveles correspondientes al “0” y al “1”. El punto central corresponde a una diferencia de fase de π y el margen lineal se extiende entre 0 y 2π . Por ello la constante de fase toma el valor siguiente donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

$$K_d = \Delta V / 2\pi \quad (3.49)$$

Esta constante se multiplica por dos si se toma como salida la diferencia entre la salida Q y su negada, /Q.

El primer armónico tiene una frecuencia igual a la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases π , el centro de su margen lineal, y toma el valor:

$$V_{fr} = 2\Delta V / \pi \quad (3.50)$$

Si las frecuencias de las señales de entrada son claramente diferentes, habrá varios flancos de bajada de forma habitual de la señal de frecuencia más alta entre cada dos flancos de la otra señal: el resultado es que la salida tendrá tendencia a esta, en el nivel adecuado para que se produzca el enganche. No obstante, si las frecuencias son muy similares, será extraño que se produzca el fenómeno anterior, y la salida, una vez filtrada, será una señal en forma de dientes de sierra, como corresponde a una diferencia de fase que varía linealmente con el tiempo. En este caso el enganche se realizará de forma lenta.

Frente al multiplicador analógico, este detector presenta la ventaja de un margen lineal doble y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología. El que responda a los flancos de las señales de entrada también es un inconveniente si alguna de ellas, normalmente la referencia, está acompañada de ruido, en estos casos se pueden producir cambios de nivel espurios, que aunque sean de corta duración harán que se dispare el biestable y, dependiendo del instante en que se produzcan, pueden obligar al lazo a deslizamientos de un ciclo completo para recuperar la situación de equilibrio.

3.5.4. Detector digital de fase/frecuencia

El detector de fase frecuencia es un dispositivo que mejora las prestaciones del detector JK al aumentar su margen dinámico, reducir los armónicos de las señales de referencia y mejorar la respuesta a frecuencias diferentes. Sus características corresponden al tipo 4 de la Figura 3.13.

Existen muchas estructuras de dispositivos de este tipo, y la que se va a explicar es la más simple. Se trata de un dispositivo con dos salidas, U y D, capaz de estar en tres estados diferentes, estando controlados los cambios de estado por los flancos de subida de las señales de entrada. Su diagrama de estado y los niveles asociados de las señales de salida se representan en la Figura 3.14.

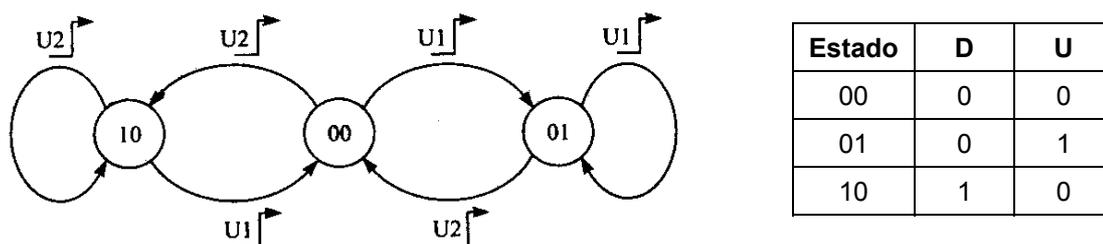


Figura 3.14. Diagrama de estados de un detector de fase/frecuencia.

Su funcionamiento se puede describir con relativa sencillez si se asocia la primera cifra del nombre del estado a la salida D y la segunda a la salida U. Suponiendo el detector en el estado 00, con sus salidas a nivel bajo, el primer flanco de subida de una de las señales de entrada hace que la salida correspondiente se ponga a nivel alto. El dispositivo sólo sale de este estado, retornando al 00, con un flanco de subida de la otra señal. Cuando ambas señales tienen la misma frecuencia y la señal U1 está adelantada respecto de la U2, la salida D se mantiene a nivel bajo, mientras que en la salida U aparecerá una onda rectangular cuyo ciclo de trabajo variará entre el 0% y el 100% para desfases entre 0 y 2π . Si fuera la señal U2 la que estuviera adelantada, sería la salida U la que se mantendría a nivel bajo y la onda rectangular aparecería en la salida D. Así pues, el margen lineal es de 4π radianes y tomando como salida el valor medio de la diferencia U-D la constante del detector valdrá:

$$K_d = 2\Delta V / 4\pi = \Delta V / 2\pi \tag{3.51}$$

donde ΔV es la diferencia entre los valores de tensión correspondientes a los niveles “0” y “1”.

El primer armónico tiene una frecuencia igual a la frecuencia de referencia y su amplitud depende de la diferencia de fases de entrada; su máximo aparece justo para una diferencia de fases $\pm 2\pi$, el extremo de su margen lineal, y toma el valor:

$$V_{fr} = 2\Delta V / \pi \tag{3.52}$$

Si las frecuencias de las señales de entrada son diferentes, una de las salidas se mantendrá a nivel bajo y en la otra aparecerá una onda rectangular de ciclo de trabajo variable que llevará el lazo al enganche.

Este detector presenta, frente a los anteriores la ventaja de un mayor margen lineal y una mayor facilidad para el enganche debido a su respuesta a frecuencias diferentes. Como inconvenientes presenta una menor frecuencia para el primero de los armónicos de salida y su mayor limitación en frecuencia, entre un 50% y un 75% del límite de un multiplicador con la misma tecnología. Otro inconveniente de este detector proviene de que la respuesta de los elementos que lo componen no es instantánea, por lo que cuando la diferencia de fases es inferior a este tiempo de respuesta no se producirá ningún pulso en sus salidas; lo que quiere decir que existe una holgura o zona muerta justo en el punto más importante de su respuesta. Otra forma de resaltar este fenómeno es que la constante de detector, K_d , se anula cuando se alcanza el equilibrio de fases. La importancia de esta holgura depende de su amplitud en comparación con el período de la señal de referencia y de la aplicación concreta. También, las constantes de tiempo asociadas a sus salidas pueden hacer que, dado un pequeño error de fase, la duración del pulso que efectivamente se aplica al VCO sea demasiado larga, con lo que el error cambiaría de signo. Al ser el circuito simétrico, la corrección del nuevo error también sería excesiva, con lo que se generará ruido *flicker* a la salida del VCO.

Ambos efectos se pueden minimizar, además de con diseños más sofisticados, introduciendo un ligero *offset* en algún punto del lazo, de forma que el punto de equilibrio correspondiera a un cierto error de fase. Esto se puede conseguir con una simple resistencia. Su sensibilidad con respecto al ruido es similar a la del detector basado en biestables, por lo que sólo debe usarse con relaciones S/N elevadas.

3.5.5. Bomba de carga

Un detector de fase/frecuencia puede utilizarse en una configuración de PLL, como la estudiada hasta este momento, sin más que utilizar un amplificador diferencial como elemento activo del filtro. No obstante, en la práctica se asocia con un dispositivo conocido como bomba de carga (*charge pump*), que consiste en un par de generadores de corriente que inyectan o extraen corriente de un filtro RC que controla el VCO. El esquema puede verse en la Figura 3.15.

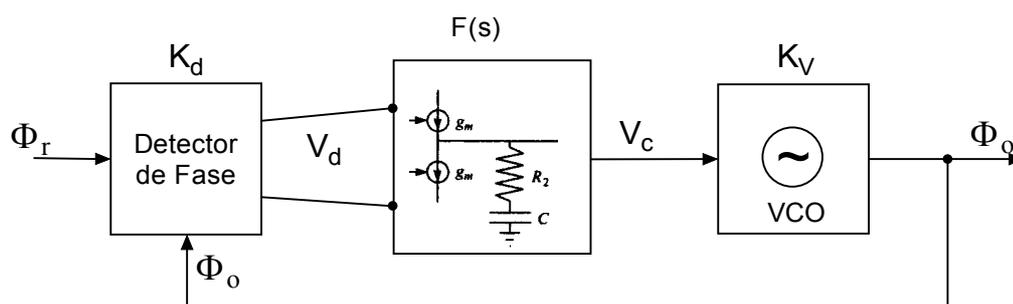


Figura 3.15. PLL con detector de fase/frecuencia y bomba de carga.

Las expresiones correspondientes y su función de transferencia son:

$$\tau_1 = C/gm \quad \text{y} \quad \tau_2 = R_2 \cdot C \quad (3.53)$$

$$F(s) = (1 + s\tau_2) / s\tau_1 \quad (3.54)$$

Su función de transferencia permite identificarlo como un PLL de orden 2 y tipo 2, en el que el efecto memoria se debe a que en ausencia de señales de entrada ambos generadores de corriente están desactivados y se mantiene la carga del condensador. Este montaje tiene varias ventajas: la constante del detector de fase puede ser muy alta, al no estar limitada por la tensión de alimentación; la tensión de control del VCO puede ser muy superior a la de alimentación del resto de los circuitos, pues los generadores pueden ser simples conmutadores CMOS, y el ruido añadido por el filtro es mínimo al no tener componentes activos.

3.6. Resumen

En este capítulo se han visto los conceptos básicos de los PLLs, tratándose de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada. Los distintos bloques del PLL son el detector de fase, el filtro del bucle y el VCO.

En cuanto al detector de fase hemos visto los distintos tipos y en cuanto al filtro del bucle su influencia, puesto que este es el único elemento del PLL para el que hay libertad de elección de sus características (ganancia, polos y ceros), y así controlar el comportamiento del PLL (orden, tipo). El VCO no es más que un oscilador en el que su frecuencia de oscilación varía teóricamente de forma lineal con la tensión de entrada.

En el capítulo siguiente veremos una aplicación de los mismos, los sintetizadores.

Capítulo 4

Sintetizadores de frecuencia

La síntesis de frecuencia es el proceso que permite generar una señal de frecuencia concreta, con un valor que puede escogerse de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores patrones de alta calidad.

La calidad de un sintetizador se mide a través de diversos factores, como son la precisión de la frecuencia sintetizada, que depende fundamentalmente de la precisión de los osciladores patrones, el tiempo de conmutación entre frecuencias, el ruido de fase de la salida y la presencia de otras señales espurias. Estas dos últimas características dependen de la estructura del sintetizador.

El método más utilizado de síntesis de frecuencia es el que trabaja con un PLL y divisores de frecuencia, pues es un sistema muy sencillo y permite obtener alta calidad en las frecuencias originadas.

Existen dos aplicaciones conceptualmente diferentes, aunque utilizan los mismos esquemas:

- **Estabilización de osciladores de alta frecuencia:** se estabiliza un oscilador de frecuencia fija enganchándolo mediante un PLL a otro oscilador de alta calidad (de cuarzo generalmente) de más baja frecuencia. Se habla de un PLO (*Phase Locked Oscillator*).
- **Síntesis de frecuencia:** se pretende generar un conjunto de frecuencias diferentes, en lugar de una sola como en el caso anterior. Se trata del sintetizador propiamente dicho.

Seguidamente veremos la estructura básica de los sintetizadores así como las distintas configuraciones más usadas. Estudiaremos los factores como el ruido de fase y filtrado de señales espurias y también expondremos nuestra estructura a diseñar.

4.1. Sintetizador básico

El esquema más básico de sintetizador con PLL es el de en la Figura 4.1. La diferencia con un PLL simple es la presencia de un divisor de frecuencia que se puede ver como un contador digital entre el VCO y el detector de fase. El enganche se produce, como ya se sabe, cuando las frecuencias en el detector de fase son iguales, por lo tanto en ese caso la frecuencia en el VCO debe ser $f_0 = N \cdot f_r$, y el conjunto actúa como un multiplicador de frecuencia.

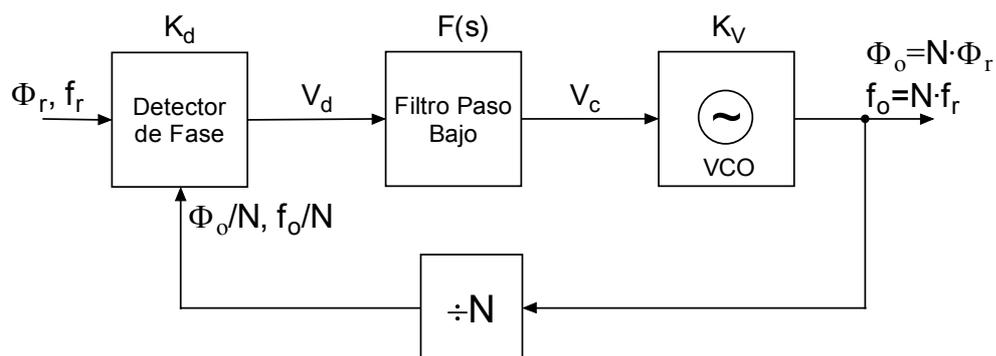


Figura 4.1. Sintetizador básico basado en PLL.

Dado que es fácil realizar divisores de frecuencia con factores muy elevados (basta con conectar en cascada varios divisores de frecuencia), el valor de N puede ser tan grande como se quiera. Así, no son infrecuentes factores del orden de 1000 o superiores. Pueden

utilizarse factores mucho más altos, pero el funcionamiento del sintetizador en cuanto al ruido se degrada mucho. Si además el factor N puede cambiarse con unas entradas de control se puede seleccionar la frecuencia de salida de entre un conjunto de ellas programando el valor de N.

Si se calcula la función de transferencia del bucle de la Figura 4.1, utilizando los mismos desarrollos que se emplearon para calcular la función de transferencia del PLL simple, se obtiene:

$$H(s) = \frac{\Phi_0(s)}{\Phi_r(s)} = \frac{f_0(s)}{f_r(s)} = N \frac{\frac{K}{N}F(s)}{s + \frac{K}{N}F(s)} \quad (4.1)$$

Esta función es equivalente a la de un PLL simple modificando la constante K para incluir el factor N del divisor y multiplicando la función completa por N. Para un bucle de orden 2 tipo 2, con $F(s) = (1 + \tau_2)/\tau_1$, se tendrá:

$$H(s) = N \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.2)$$

El cálculo de ω_n y ξ a partir de las constantes de tiempo del filtro se realiza de la misma manera que se explicó en el PLL básico sustituyendo la constante K del bucle por K/N.

$$\omega_n = \sqrt{\frac{K}{N\tau_1}} \quad \text{y} \quad \xi = \frac{\omega_n \tau_2}{2} \quad (4.3)$$

La función de transferencia de error definida como la relación entre el error de fase y la fase de entrada se obtiene como:

$$H_e(s) = \frac{\Phi_e(s)}{\Phi_r(s)} = 1 - \frac{H(s)}{N} = \frac{s}{s + \frac{K}{N}F(s)} \quad (4.4)$$

Y en el caso de un PLL de tipo 2 orden 2 se obtiene:

$$H_e(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.5)$$

La función de transferencia, (véase la ecuación (4.2)), es la de un PLL multiplicada por N: las fluctuaciones de fase (como el ruido de fase o modulación) que tenga la señal de

referencia dentro del ancho de banda del lazo se transmiten al VCO multiplicadas por el factor N . Por lo demás, el comportamiento de un sintetizador es similar al de los PLL, donde los saltos de frecuencia o fase responden a un transitorio que viene definido por la función de transferencia, al igual que las modulaciones o ruido. La frecuencia y fase vendrán multiplicadas por el factor N de entrada a salida, a tenerse en cuenta en los procesos de modulación o evaluación de transitorios.

La elección de los detectores de fase está condicionada tanto por el ruido que acompaña a la señal de referencia como por el ciclo de trabajo de la señal de salida de los divisores. En primer lugar se dejan a un lado los multiplicadores analógicos por su peor integración con los divisores digitales. Si sólo se atiende al ruido que acompaña a la señal de referencia la elección sería un multiplicador digital si la señal es ruidosa, o un fase/frecuencia si el ruido es bajo.

Los divisores son básicamente contadores digitales, y existen varios tipos: los contadores programables más habituales trasladan a su salida uno de cada N pulsos de entrada, con lo que el ciclo de trabajo de su salida está muy alejado del 50% recomendable para los detectores formados por multiplicadores digitales. Los divisores del tipo *ripple-carry* permiten mantener y regenerar ciclos de trabajo del 50% a costa de permitir sólo factores potencia de 2. Luego para señales de referencia ruidosas habrá que escoger divisores de este tipo o incluir circuitos adicionales para mantener ciclos de trabajo adecuados.

4.2. Configuraciones de sintetizadores

4.2.1. Sintetizador con divisor programable

El esquema de este sintetizador se muestra en la Figura 4.2. El valor de N_p puede modificar mediante una entrada digital de control de unidad en unidad. Puesto que N_p varía de unidad en unidad, el paso del sintetizador, es decir, la diferencia entre las frecuencias consecutivas que pueden generarse, es igual a la frecuencia de referencia: $\Delta f = f_r$.

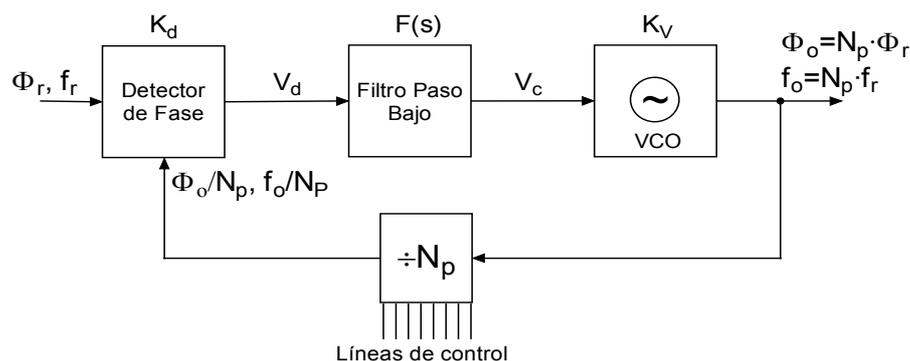


Figura 4.2. Sintetizador con divisor programable.

4.2.2. Sintetizador con divisores fijo y programable

Los divisores programables tienen frecuencias relativamente bajas de utilización (hasta unos 50 MHz). Cuando se desea sintetizar frecuencias más elevadas la alternativa más simple es colocar un predivisor (*prescaler*) de módulo fijo entre el VCO y el divisor programable, tal como se muestra en la Figura 4.3. En la actualidad existen en el mercado divisores fijos con funcionamiento hasta 5 GHz.

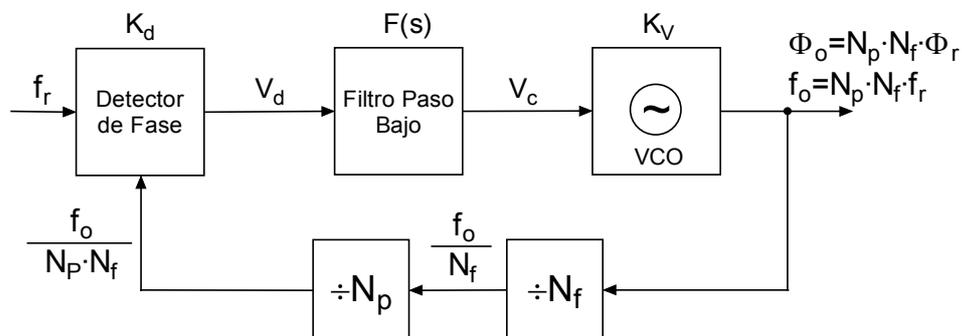


Figura 4.3. Sintetizador con divisores fijo y programable.

En esta estructura el valor de la frecuencia de salida es: $f_0 = N_f N_p f_r$. Puesto que N_p puede variar de uno en uno, el paso del sintetizador es $\Delta f = N_f f_r$.

El inconveniente de este esquema en comparación con el anterior es que para un determinado paso de sintetizador se reduce la frecuencia de referencia en el factor N_f . Si la frecuencia de referencia es muy baja, el ancho de banda del bucle también debe serlo para poder filtrarla correctamente. Se pierde entonces la libertad de ajustarlo en función del ruido de los osciladores y además se ralentizan los transitorios, con lo que el tiempo de cam-

bio de frecuencia de salida se alarga. Este parámetro es importante en determinadas aplicaciones.

4.2.3. Sintetizador con divisor de doble módulo

Una estructura que resuelve en parte el problema de la anterior es la basada en un divisor de doble módulo. Estos divisores son un intermedio entre los fijos y los programables: tienen la posibilidad de dividir por dos factores diferentes (normalmente diferentes en una unidad) bajo el control de una entrada del módulo de división. Pueden funcionar en frecuencias mucho más elevadas que los programables, hasta 2 ó 3 GHz, aunque más bajas que los fijos. En la Figura 4.4 se muestra la estructura en que suelen utilizarse, con dos divisores programables.

El funcionamiento del conjunto es el siguiente: se parte de una situación inicial en que los tres divisores están a cero y el divisor de doble módulo configurado para dividir por el factor $(P+1)$. Para que el divisor de doble módulo pase a dividir por P tiene que recibir un pulso del divisor A , lo que ocurre tras $(P+1) \cdot A$ pulsos o ciclos del VCO. La situación vuelve a su estado inicial cuando el divisor N_p entrega a su salida un pulso y activa las entradas de RESET de los contadores, para esto tiene que recibir N_p pulsos del divisor de doble módulo, siempre que N_p sea mayor o igual que A . Los primeros A pulsos corresponderán a un factor de división $(P+1)$, que equivalen a $(P+1) \cdot A$ ciclos del VCO, y los restantes $(N_p - A)$ al factor P , que equivalen a $P \cdot (N_p - A)$ pulsos del VCO.

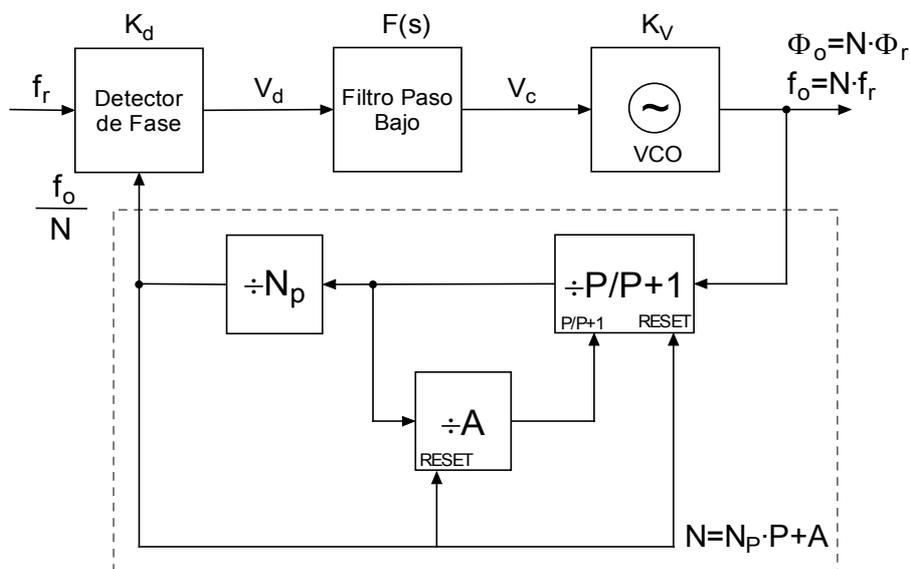


Figura 4.4. Sintetizador con divisor de doble módulo.

En resumen para que el divisor N_p entregue un pulso a su salida hacen falta (N_p+A) pulsos del VCO, lo que quiere decir que el conjunto de los tres divisores se comporta como un único divisor de factor $N = N_p \cdot P + A$.

Si el objetivo es conseguir un factor de división que varíe de unidad en unidad, los divisores N_p y A deben ser programables y $P \leq A_{\text{máx}}$, para ello tenemos el esquema de factores de división de la Tabla 4.1.

Tabla 4.1. Esquema de factores en un sintetizador de doble módulo

A	1	2	...	P-1	P	1
N_p	n	n	...	n	n	n+1
N	nP + 1	nP + 2	...	(n + 1)P-1	(n + 1)P	(n+1)P+1

La combinación de factores $P \leq A_{\text{máx}}$ y $A \leq N_p$ lleva a que el valor mínimo de N sea $N_{\text{min}} = P^2 + 1$, siempre que se desee obtener valores correlativos. Otra restricción es que el factor P debe ser lo suficientemente grande para que los divisores programables operen a frecuencias adecuadas.

Finalmente, es preciso asegurar que los retardos de los divisores no impidan el funcionamiento del conjunto. El caso más crítico es el cambio de módulo de P a $(P+1)$, o viceversa. Los retardos de los divisores involucrados deben ser suficientemente cortos para que el cambio de módulo se realice antes de que el divisor de doble módulo entregue el siguiente pulso en su salida. Este factor limita su funcionamiento si el valor de P es grande y la frecuencia de entrada elevada.

En conclusión, con divisores de doble módulo se consigue construir divisores con factores de división que varían de unidad en unidad y que funcionan a frecuencias más elevadas que los divisores programables; de esta forma se consigue mantener la frecuencia de referencia elevada. Los inconvenientes son una mayor complejidad y no poder alcanzar las mismas frecuencias que los divisores fijos. En la práctica y para frecuencias de algunos GHz es fácil encontrar la combinación de divisores de doble módulo con *prescaler*. No son éstas las únicas configuraciones posibles basadas en divisores de doble módulo; por ejemplo, en los PLO, en que no es necesario cambiar los factores de división, pueden utilizarse

circuitos lógicos o divisores fijos en lugar de los programables. También existen configuraciones con divisores de cuatro módulos.

4.2.4. Sintetizador con mezclador

En frecuencias muy elevadas es posible que ninguna de estas configuraciones sea útil, bien porque no existan divisores de frecuencia, o bien porque los factores de multiplicación necesarios para realizar canalizaciones estrechas sean demasiado elevados, con lo que el ruido en la salida sería demasiado alto. En este caso se recurre a configuraciones más complejas con mezcladores de frecuencia.

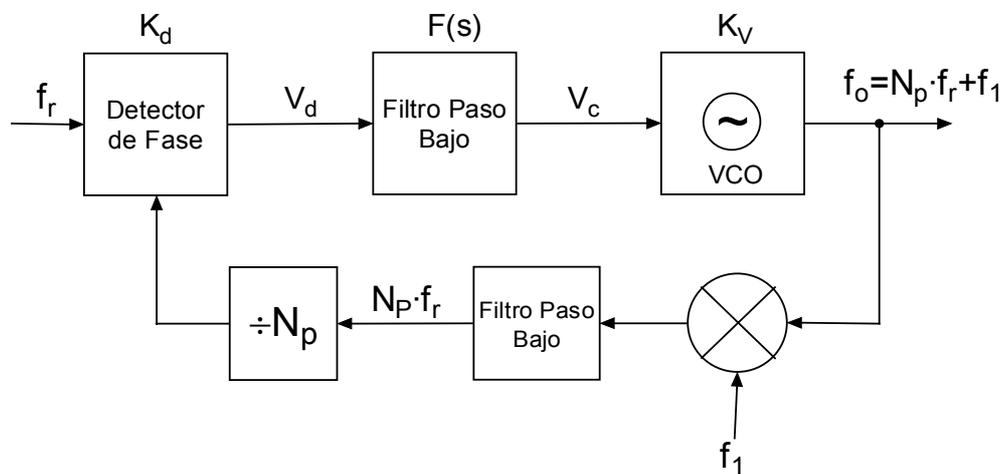


Figura 4.5. Sintetizador con mezclador incluido en el lazo.

En la Figura 4.5 se muestra esta configuración. La señal del VCO se lleva al mezclador donde se traslada con una frecuencia fija, f_1 , dada por un oscilador exterior. Esta frecuencia puede ser a su vez sintetizada en otro PLL y canalizada con un paso diferente. Existen distintas configuraciones implementadas con varios bucles, como por ejemplo la que se muestra en la Figura 4.6. El cálculo de los parámetros de estas configuraciones es complicado, dado que la selección de las frecuencias en cada punto debe tener en cuenta los productos no deseados que se generan en cada mezcla, y evitar que lleguen a la salida frecuencias cercanas a la deseada. En general, las frecuencias alejadas no son un problema pues siempre pueden filtrarse.

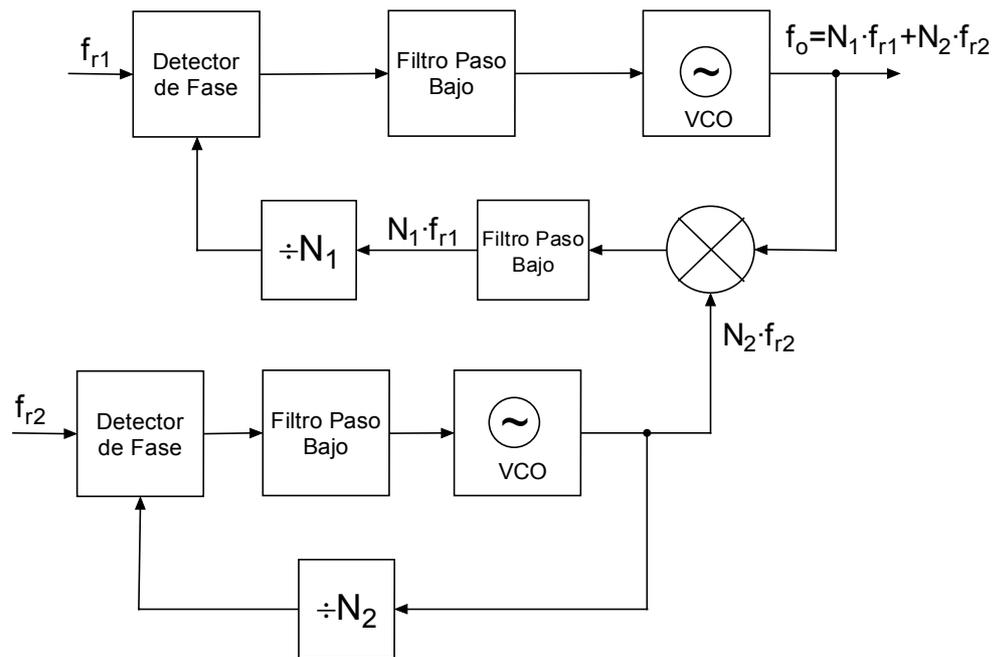


Figura 4.6. Sintetizador con dos lazos y un mezclador.

4.3. Ruido de fase en sintetizadores

En primer lugar, hay que destacar que el ruido de fase generado en los osciladores responde a una distribución espectral no plana. En este sentido, el ruido a la salida de un sintetizador estará compuesto en parte por el ruido del oscilador de referencia, el ruido del VCO y el ruido generado en el detector de fase y divisores de frecuencia.

Un modelo circuital del ruido de fase generado en un lazo PLL sintetizador es el de la Figura 4.7, donde se muestra de forma explícita un conjunto de generadores de ruido correspondientes al ruido de fase aditivo de cada uno de los bloques. Tanto el ruido del oscilador de referencia como el del VCO responderán a un modelo de Leeson [2], el primero de alto Q y el segundo de bajo Q. El ruido generado por el detector de fase y por los divisores de frecuencia se puede modelar mediante un ruido blanco más un ruido *flicker* 1/f, de la forma:

$$S_{\phi}(f) = \frac{KT_0 f}{P_{ent}} \left(1 + \frac{f_c}{f} \right) \quad (4.6)$$

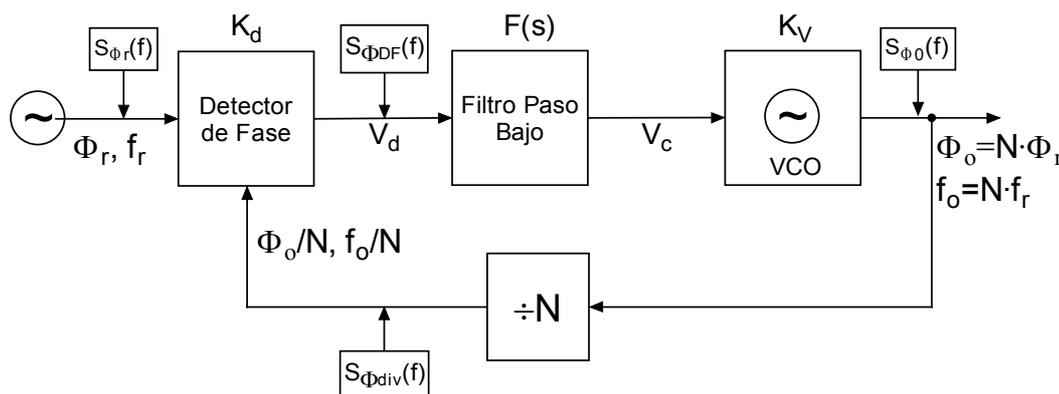


Figura 4.7. Fuentes de ruido en un sintetizador.

Si se calcula la respuesta individual del lazo PLL a cada una de las contribuciones de ruido, se puede obtener una ecuación global del ruido de fase a la salida de la forma:

$$S_{\phi}(f) = \left[S_{\phi_r}(f) + \frac{S_{\phi_{DF}}(f)}{K_d^2} + S_{\phi_{div}}(f) \right] |H(j2\pi f)|^2 + S_{\phi_o}(f) |H_e(j2\pi f)|^2 \quad (4.7)$$

donde $H(s)$ es la función de transferencia del sintetizador y $H_e(s)$ es la función de transferencia de error.

Teniendo en cuenta que la función de transferencia tiene una amplitud N para frecuencias bajas, la potencia de ruido correspondiente al oscilador de referencia y a los circuitos detector y divisor se multiplica por N^2 , es decir, se incrementa en $20 \cdot \log N$ decibelios. Por esta razón no suelen utilizarse factores superiores a 10000, pues este factor ya supone un incremento de 80 dB. Fuera del ancho de banda del bucle apenas existe transmisión de la referencia al VCO y las fluctuaciones son prácticamente las del VCO. Éstas se ven corregidas dentro del ancho de banda del bucle por la función transferencia de error, que es paso alto.

En resumen, en cuanto al ruido de fase se tiene:

- Para frecuencias menores que el ancho de banda de ruido del bucle, el ruido es el de la señal de referencia más los circuitos detector y divisores, multiplicado por el factor N^2 .
- Para frecuencias superiores a B_L el ruido es el del VCO.

En general los osciladores de cuarzo que se utilizan como señal de referencia tienen una estabilidad muy alta y, por tanto, un ruido de fase en frecuencias cercanas a la portado-

ra muy bajo, tanto que, pese a la multiplicación por N^2 , el ruido suele ser menor que el del VCO en esta zona. Sin embargo, en frecuencias alejadas de la portadora el ruido dominante es el ruido térmico, y entonces el del VCO es menor que el de la referencia multiplicado por N^2 .

El ancho de banda óptimo del sintetizador será aquel punto en que se crucen las características de ruido de la señal de referencia multiplicado por N^2 y del VCO, de forma que el ruido resultante en cada zona sea el menor de los dos.

4.4. Filtrado de la frecuencia de referencia

Además del ruido de fase, otro indicador de la calidad de un sintetizador es la presencia de señales espurias en la salida. Se denominan señales espurias las componentes discretas que aparecen en la salida y que no están relacionadas armónicamente con la señal deseada. La ventaja de un sintetizador con PLL es que se comporta de forma casi ideal. Puesto que lo que se hace es sincronizar un oscilador, en lugar de generar una frecuencia por combinación de otras señales, no existen prácticamente espurias en la salida a excepción de las siguientes:

- **La frecuencia de referencia y sus armónicos:** pueden llegar a la salida por mal aislamiento en el circuito. Normalmente no constituyen un problema, pues son frecuencias muy diferentes de las deseadas y pueden eliminarse con un filtro sencillo.
- **Modulación del VCO por la frecuencia de referencia y sus armónicos:** todos los detectores de fase tienen en su salida componentes relacionadas con la frecuencia de referencia, como ya se ha visto en el capítulo anterior. Si estas señales llegan a la entrada de control del VCO provocan una modulación de frecuencia que se traduce en unas componentes discretas en el espectro. Si la frecuencia de referencia es baja estas componentes se sitúan muy cerca de la señal deseada.

Es fácil calcular, a partir de la amplitud de estas componentes en el detector de fase, cuál es la desviación de frecuencia que provocan en el VCO y, por tanto, cuál es la amplitud de las componentes discretas en las bandas laterales de modulación generadas.

Como norma general, es conveniente utilizar frecuencias de referencia lo más altas posible para facilitar el filtrado antes de que lleguen al VCO. Frecuentemente se añaden al filtro del bucle, otros filtros paso bajo RC sencillos, para mejorar el filtrado. En general, la frecuencia de corte de estos filtros debe mantenerse por encima de $5\omega_n$, pues si es más baja pone en peligro la estabilidad del bucle.

En la Figura 4.8 se muestran dos posibles filtros para PLL de orden 2 tipo 2. El de la izquierda está pensado para un detector de fase convencional con una única salida, y el de la derecha incorpora una bomba de carga y se usa con detectores digitales de fase frecuencia.

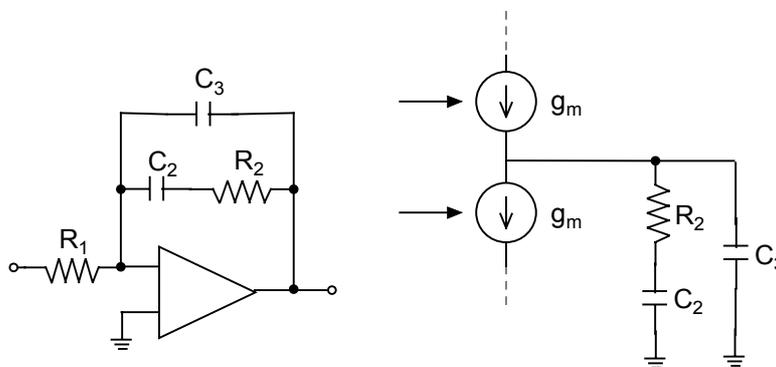


Figura 4.8. Filtros para PLL de orden 2 con eliminación de referencia.

En ambos casos la función de transferencia es de la forma:

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \frac{1}{1 + s\tau_3} \quad (4.8)$$

4.5. Circuitos integrados sintetizadores

En la actualidad existe gran cantidad de circuitos integrados que contienen la mayor parte de los bloques de un sintetizador. Generalmente el VCO suele ser un componente separado, pero existen circuitos integrados que contienen todos los divisores de frecuencia, incluyendo el de doble módulo, un prescaler para la señal del VCO y otro para la frecuencia de referencia además de un detector de fase, y que permiten trabajar en frecuencias de hasta 2.5 GHz. Para frecuencias más elevadas es necesario utilizar divisores de frecuencia separados, que pueden combinarse con los circuitos integrados mencionados. Algunos contienen incluso los elementos, con la excepción de los VCO, para construir dos sinteti-

zadores, uno en la banda entre 900 y 2500 MHz y el otro en VHF o en UHF, con el fin de satisfacer las necesidades de los sistemas de comunicaciones digitales modernos. El factor de división de cada uno de los bloques se selecciona a través de unas entradas digitales de control en paralelo (una entrada por cada bit de las palabras de control) o en serie (una entrada única por la que se introducen secuencialmente los datos, con una señal de reloj).

Algunas empresas aprovechan estos integrados junto con VCO y algunos componentes discretos para construir circuitos híbridos sintetizadores programables con aspecto de integrados. En otros casos desarrollan circuitos integrados o híbridos especializados para aplicaciones concretas que incluyen los sintetizadores necesarios.

4.6. Otros sintetizadores

Si bien no es posible estudiarlos con detalle a este nivel, repasaremos brevemente los demás tipos de sintetizadores que se utilizan actualmente y cuáles son sus aplicaciones:

- **Síntesis directa:** se basa en generar las frecuencias deseadas mediante combinaciones en mezcladores, multiplicadores de frecuencia, etc., de las señales de varios osciladores patrones. Era el método empleado antes del desarrollo de los divisores digitales de frecuencia. Actualmente se utiliza en casos muy particulares en que las frecuencias son muy elevadas y para un número reducido de ellas.
- **Síntesis digital directa:** no debe confundirse con la anterior. Se la conoce en la literatura como DDS (*Direct Digital Synthesis*). Se basa en generar directamente la forma de onda de la señal con circuitos digitales y conversores DAC. Permite canalizaciones muy estrechas (de fracciones de Hz) y cambios de canal casi instantáneos. Su comportamiento en cuanto al ruido de fase es muy bueno, pero genera gran cantidad de espurias.
- **Síntesis por inyección:** se utiliza en frecuencias elevadas. Se basa en inyectar una señal de referencia directamente en el circuito resonante del oscilador. Mediante un proceso no lineal el oscilador inyectado pasa a oscilar a la frecuencia de referencia. Puede utilizarse también como multiplicador o divisor de frecuencias. Permite enganches mu-

cho más rápidos que el PLL, pero su diseño es mucho más complicado y son de banda muy estrecha.

- **Sintetizadores con divisores de frecuencia con módulo fraccionario:** en los esquemas que se han visto, la división de frecuencia se realiza por números enteros. Existe la posibilidad de dividir por números racionales utilizando una circuitería digital relativamente compleja. La canalización es entonces de una fracción de la frecuencia de referencia, por lo que ésta puede ser más elevada. Existen circuitos integrados que implementan este tipo de sintetizadores.

4.7. Diseño del sintetizador

En este apartado se explican las estructuras que probaremos para desarrollar nuestro sintetizador. El estudio de los elementos que los componen y las prestaciones que se obtienen con las estructuras propuestas se llevará a cabo en los capítulos posteriores.

4.7.1. Frecuencias del sintetizador

Las frecuencias a generar por el sintetizador se muestran en la Tabla 4.2. Estas frecuencias son debidas a la elección realizada en el Capítulo 2 de una estructura de receptor de baja frecuencia intermedia.

Tabla 4.2. Frecuencias a generar por el sintetizador con un FI=20 MHz

Banda (GHz)	Frecuencia central de cada canal (MHz)	Frecuencia del Sintetizador $f_{out} = RF - IF$ (MHz)
U-NII Banda inferior (5.15-5.25)	5180	5160
	5200	5180
	5220	5200
	5240	5220
U-NII Banda media (5.25-5.35)	5260	5240
	5280	5260
	5300	5280
	5320	5300
U-NII Banda superior (5.725-5.825)	5745	5725
	5765	5745
	5785	5765
	5805	5785

4.7.2. Estructura del sintetizador

La frecuencia de salida es demasiado elevada para ser dividida por un divisor programable, por lo que la estructura utilizada para el sintetizador combina un divisor fijo rápido y un divisor de doble módulo. La frecuencia de referencia es de 2.5 MHz, con lo que el valor del factor de división tiene que variar de 2314 (para una frecuencia de 5785 MHz) a 2064 (para una frecuencia de 5160 MHz). En este proyecto examinaremos dos posibles estructuras. Una utiliza un detector digital de onda cuadrada (XOR), tal como se observa en la Figura 4.9 y la otra un detector de fase/frecuencia digital más una bomba de carga (ver Figura 4.10).

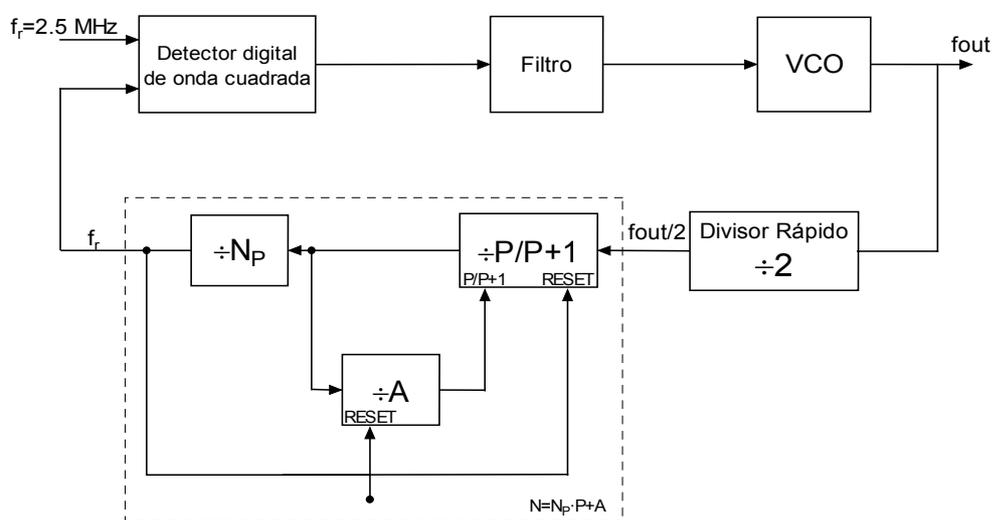


Figura 4.9. Esquema básico del sintetizador utilizando un detector digital de onda cuadrada (XOR).

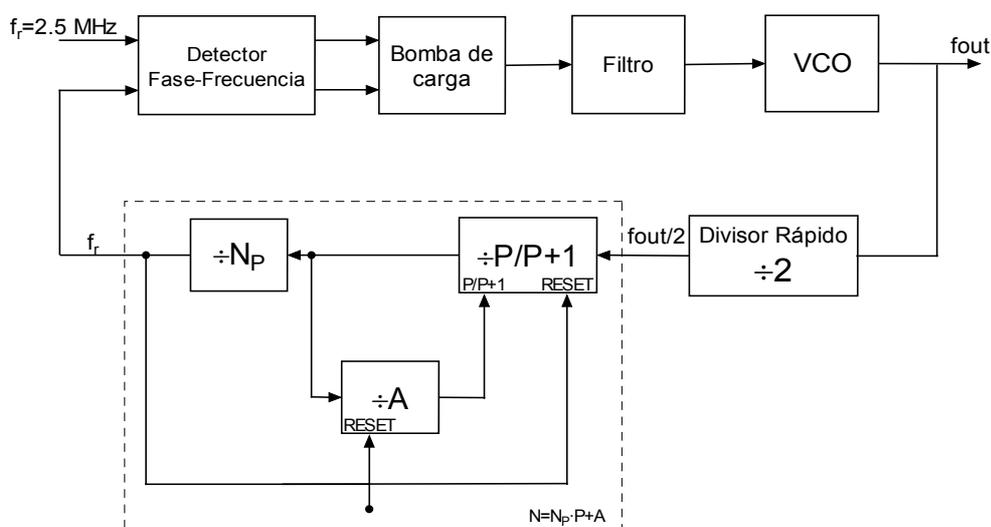


Figura 4.10. Esquema básico del sintetizador utilizando un detector de fase/frecuencia más bomba de carga.

4.8. Resumen

Aparte de ocuparnos de la definición de los sintetizadores y los distintos tipos que podemos encontrarlos, así como algunas de sus características, en este capítulo hemos expuesto las frecuencias a generar por nuestro sintetizador para un receptor de baja frecuencia intermedia y las estructuras que vamos a estudiar. En ambas configuraciones combinamos un divisor fijo rápido y un divisor de doble módulo tanto para un detector digital de onda cuadrada (XOR), como para el caso de un detector de fase/frecuencia digital más bomba de carga.

En el capítulo siguiente se describe el diseño de cada uno de estos bloques, donde se mostrarán los esquemáticos, test de funcionamiento individual y sus simulaciones respectivas. La simulación completa de las estructuras mencionadas se llevará a cabo en el capítulo 6.

Capítulo 5

Estudio de los distintos bloques que conforman el sintetizador

En este capítulo se realiza el estudio, diseño y simulación de cada parte del sintetizador. Comenzamos con el estudio de los comparadores de fase. Se sigue con los filtros y posteriormente los divisores rápidos. Continuamos con el divisor programable para finalizar con la descripción del VCO.

5.1. Comparador de fase

El comparador de fase es el que calcula la diferencia entre las fases de las señales de entrada y da una señal de salida (V_d) proporcional a la ganancia del comparador de fase (K_d).

Estudiaremos dos casos en este apartado: el comparador realizado por una OR exclusiva y el comparador de fase/frecuencia más el bombeo de carga.

5.1.1. XOR

La salida de la puerta OR exclusiva está en estado alto cuando los niveles de entrada son diferentes y en estado bajo cuando esos niveles son iguales tal como se ve en la Tabla 5.1.

Tabla 5.1. Función XOR

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

La XOR se puede implementar de varias maneras. A continuación vamos a divisar algunas de ellas.

Una primera representación está compuesta por puertas AND, OR y NOT, tal como se observa en la Figura 5.1.

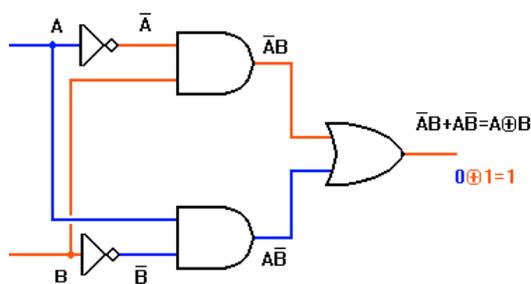


Figura 5.1. XOR usando puertas básicas.

Otra de estas estructuras es la representada en la Figura 5.2 usando solamente puertas NAND2 para su implementación.

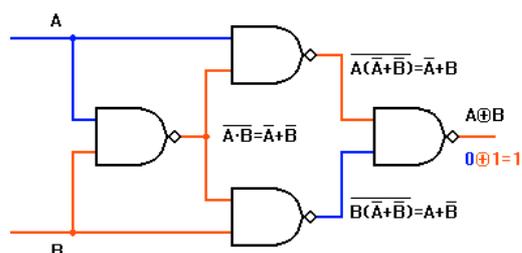


Figura 5.2. XOR usando NAND2.

Una estructura más simplificada que las anteriores, ya que usa menos transistores, es la mostrada en la Figura 5.3, con la que se consigue el mismo funcionamiento pero con un menor número de componentes.

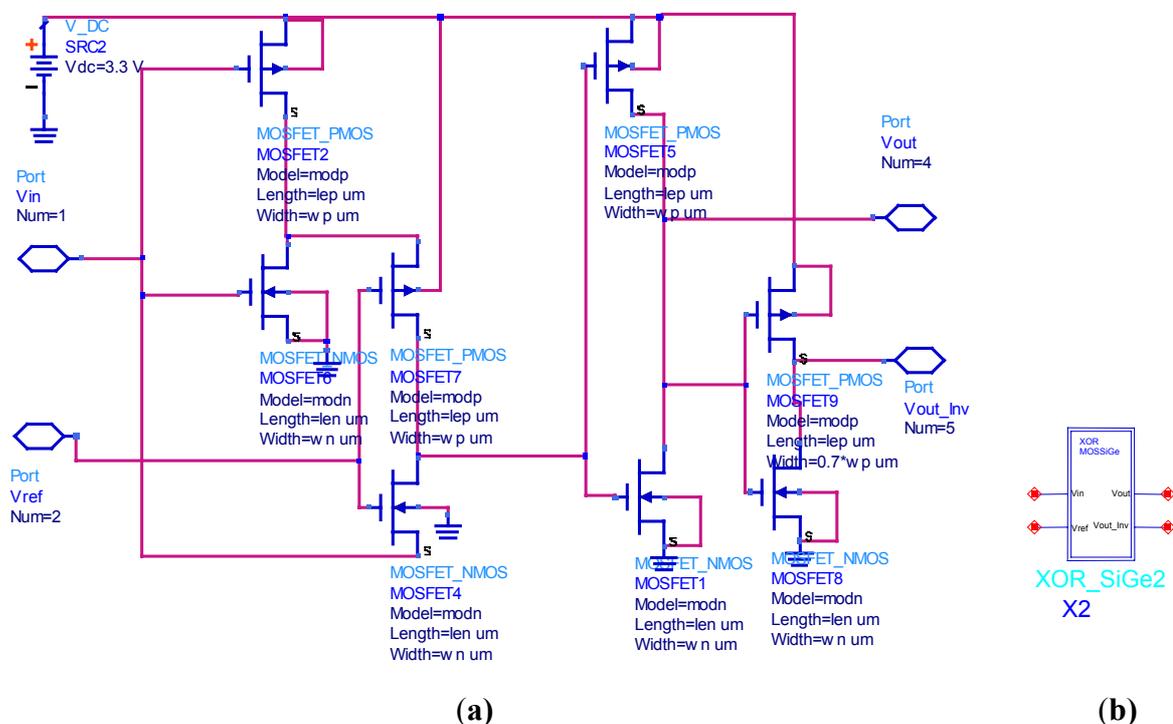


Figura 5.3. (a) Esquemático de XOR con 6 transistores (XOR_SiGe2); (b) Símbolo.

Las dimensiones de los transistores se muestran en la Tabla 5.2.

Tabla 5.2. Dimensiones de los transistores MOSFET utilizados en el diseño de las puertas lógicas que conforman el detector XOR

Ancho del MOSFET tipo N	1 μm
Longitud puerta del MOSFET tipo N	0.5 μm
Ancho del MOSFET tipo P	1 μm
Longitud puerta del MOSFET tipo P	0.5 μm

El valor de la longitud (L) es algo mayor que el ancho mínimo ofrecido por la tecnología, que es de $0.35\mu\text{m}$.

Comprobamos el funcionamiento como XOR variando las entradas según la función de la Tabla 5.1.

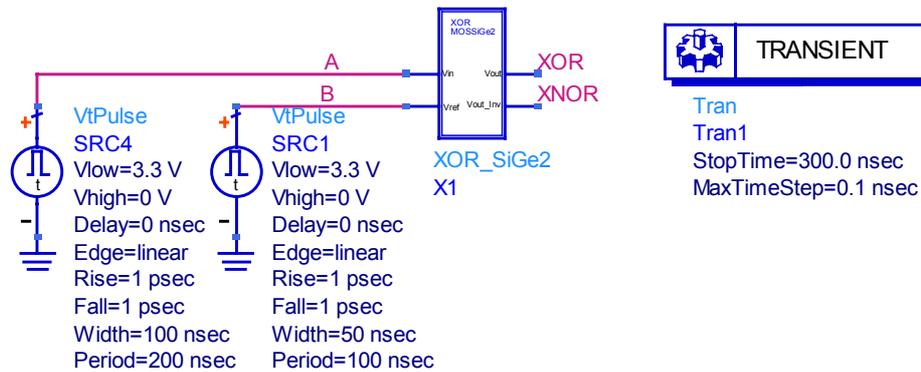


Figura 5.4. Esquemático de funcionamiento para XOR con 6 transistores (XOR_SiGe2funcion).

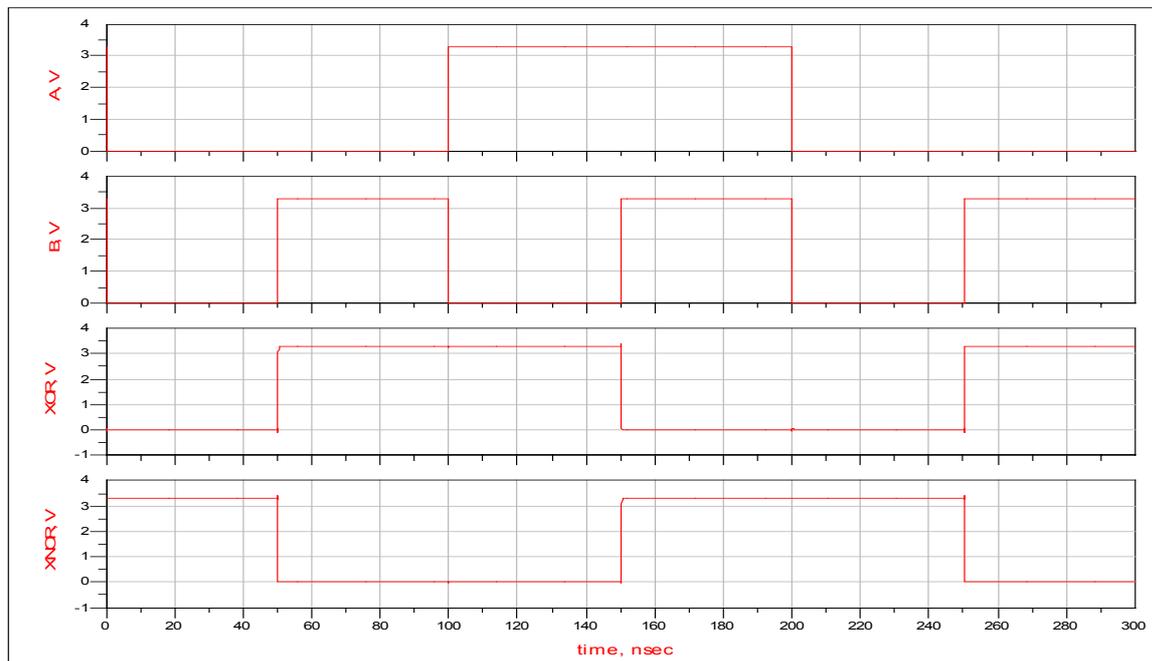


Figura 5.5. Simulación del buen funcionamiento para una XOR-XNOR con 6 transistores.

La salida de la “XOR” al igual que la salida “XNOR” da el resultado requerido, tal como se observa en la Figura 5.5.

En la Figura 5.6 se observa el esquema de simulación de la XOR para conseguir su K_d .

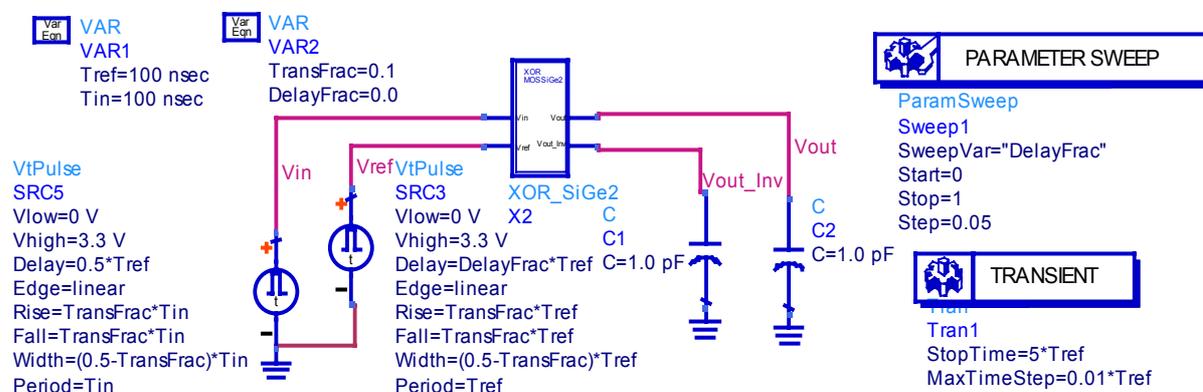


Figura 5.6. Test de XOR como detector de fase (RFIC_XORSiGe2_test).

Se han variado las relaciones de ancho para los dos tipos de transistores hasta optimizar el funcionamiento lineal del detector. Las dimensiones de los transistores obtenidas son las de la Tabla 5.3.

Tabla 5.3. Dimensiones finales de los transistores MOSFET utilizados en el detector XOR con 6 transistores

Ancho del MOSFET tipo N	3 μm
Longitud puerta del MOSFET tipo N	0.5 μm
Ancho del MOSFET tipo P	6 μm
Longitud puerta del MOSFET tipo P	0.5 μm

Para calcular la constante K_d de este comparador de fase se ha hecho un análisis transitorio, viendo las señales de entrada. A cada una de ellas le hacemos un barrido y así poder desplazar una señal respecto a la otra retardándola y comprobar de esta manera que las salidas son correctas. La constante del detector es la señal máxima menos la mínima entre π , como muestra la Figura 5.7. El valor de K_d obtenido es 1(V/rad).

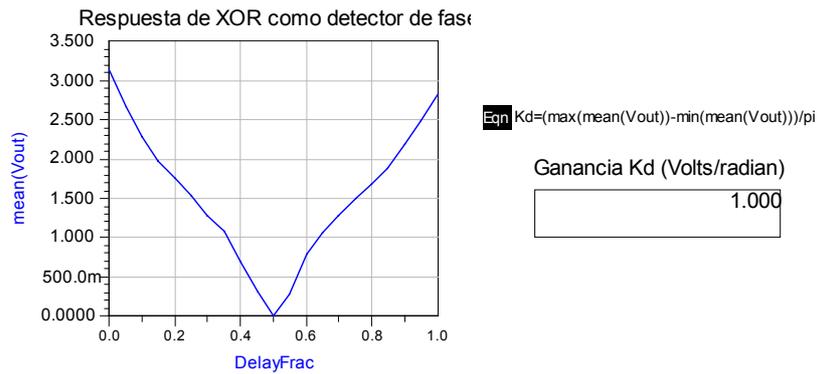


Figura 5.7. Simulación de la Kd y la respuesta de la XOR como detector de fase.

En las Figura 5.8, Figura 5.9 y Figura 5.10 se observa la simulación del esquemático de la Figura 5.6 donde tenemos en la entrada de la XOR dos señales rectangulares de frecuencias y relaciones cíclicas idénticas de valor 1/2. La salida de la puerta está a nivel alto cuando los niveles de entrada son diferentes y, a nivel bajo, cuando estos niveles son iguales. Para comprobar este detector se han simulado todas las posibilidades de desfase entre las dos señales de entrada al detector.

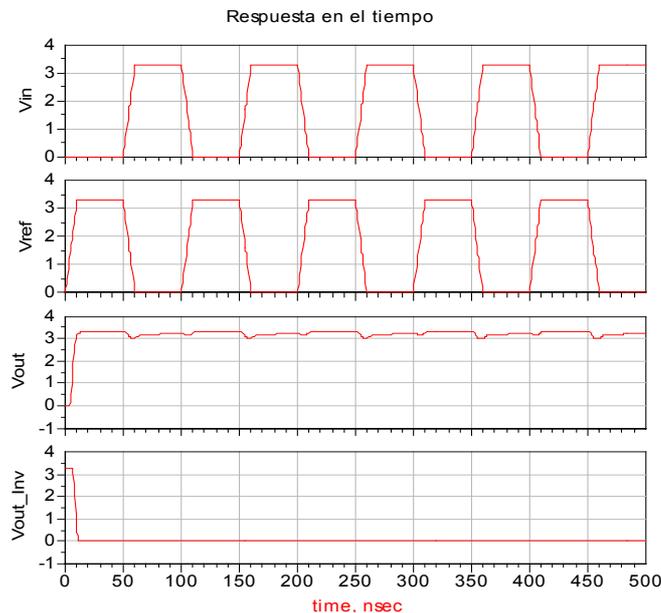


Figura 5.8. Simulación para las señales de entrada inversas.

En la Figura 5.8, el desfase entre las señales de entrada es de π (rad), por lo que la salida de la puerta XOR, llamada “Vout”, está al nivel lógico alto permanentemente.

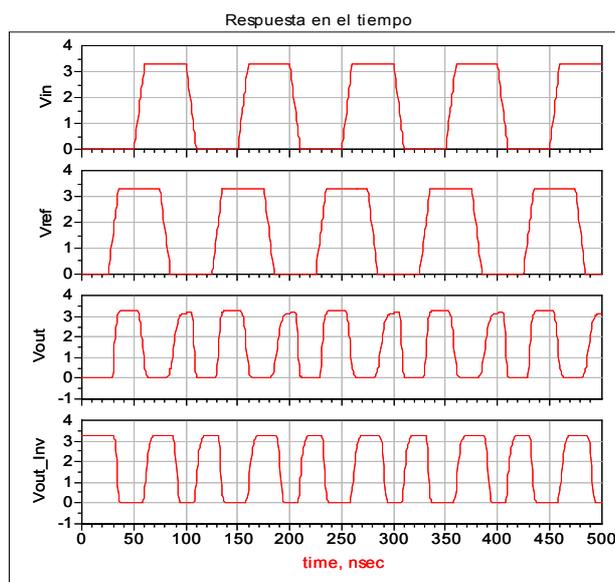


Figura 5.9. Simulación cuando una señal de entrada comienza 1/4 después de la primera.

En la Figura 5.9 el desfase entre las señales es de $\pi/2$ por lo que la salida es una señal rectangular con relación cíclica de 1/2 al doble de frecuencia de la frecuencia de entrada.

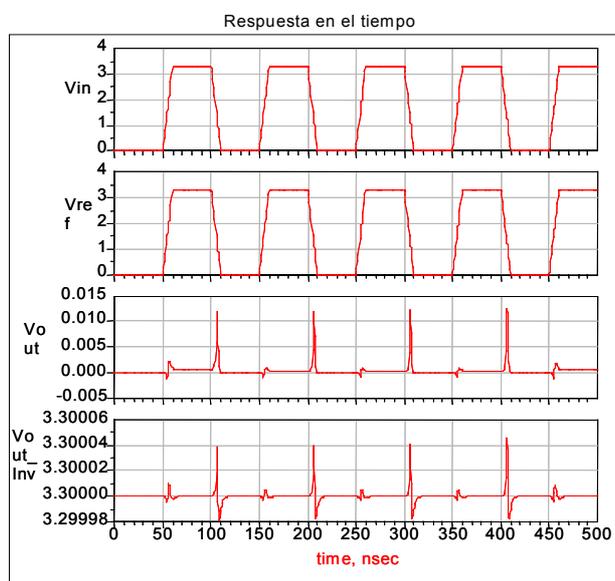


Figura 5.10. Simulación cuando las señales de entrada comienzan al mismo tiempo.

En la Figura 5.10 el desfase entre las señales es nulo por lo que la salida de la puerta XOR está al nivel lógico bajo permanentemente.

Este detector de fase se puede utilizar si las señales de entrada tienen frecuencias idénticas y si las relaciones cíclicas valen $1/2$.

Este tipo de comparador de fase puede utilizarse en un PLL que tenga un divisor por N si se cumple que, en general, a la salida de un divisor por N se recupera un impulso que indica el fin del cómputo, por lo que convendrá prever un dispositivo prolongador de impulsos antes de enviar esta señal al comparador de fase XOR.

Debido a estas características para este tipo de detector y que nuestro diseño va a ser el de un sintetizador y, por lo tanto, va a utilizar distintos valores de división, tendríamos problemas en el diseño del sintetizador. Esto lo veremos con más detalle en la simulación.

5.1.2. Comparador de fase/frecuencia y bombeo de carga

5.1.2.1. Comparador de fase/frecuencia

El comparador de fase/frecuencia se suele encontrar integrado en circuitos sintetizadores de frecuencia como el caso que estamos estudiando. La bomba de carga se puede incluir o no según el diseñador. Vamos a diseñar un comparador de fase/frecuencia (PFD) en tecnología CMOS de $0.35\mu\text{m}$ de AMS, para una única estructura basada en puertas NAND, en la que luego realizaremos la bomba de carga (CP) para finalmente unir las.

El comparador de fase/frecuencia consta de puertas NAND2, NAND3, NAND4 y básculas RS realizadas con NAND2 (ver Figura 5.11). Con esta estructura disponemos de dos salidas que no están activas simultáneamente. Si la entrada es diferente a la de referencia actúa una salida u otra. Cuando alcanzamos el equilibrio y son iguales, las salidas estarán inactivas permaneciendo en estado alto.

Al poseer básculas RS, la característica de transferencia de este comparador es independiente de las relaciones cíclicas de las señales de entrada, pues los estados de salida de la báscula cambian con las transiciones de entrada. Ésta es una característica que nos interesa.

La función de transferencia de este comparador es lineal, entre -2π y $+2\pi$, debido a que entre -2π y 0 actúa la salida Down, y entre 0 y $+2\pi$ la salida Up.

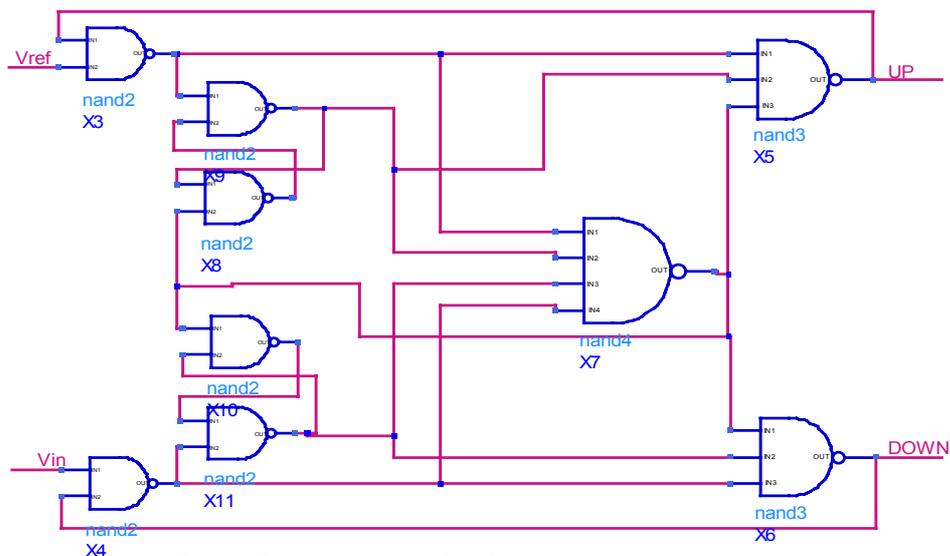


Figura 5.11. Comparador de fase/frecuencia.

En la Figura 5.12 se muestra el esquema del PFD realizado en ADS. Este se diferencia de la Figura 5.11 en que ponemos símbolos a las básculas RS, también tenemos dos salidas U2 y D2 que utilizaremos para hacer pruebas en la fase de diseño.

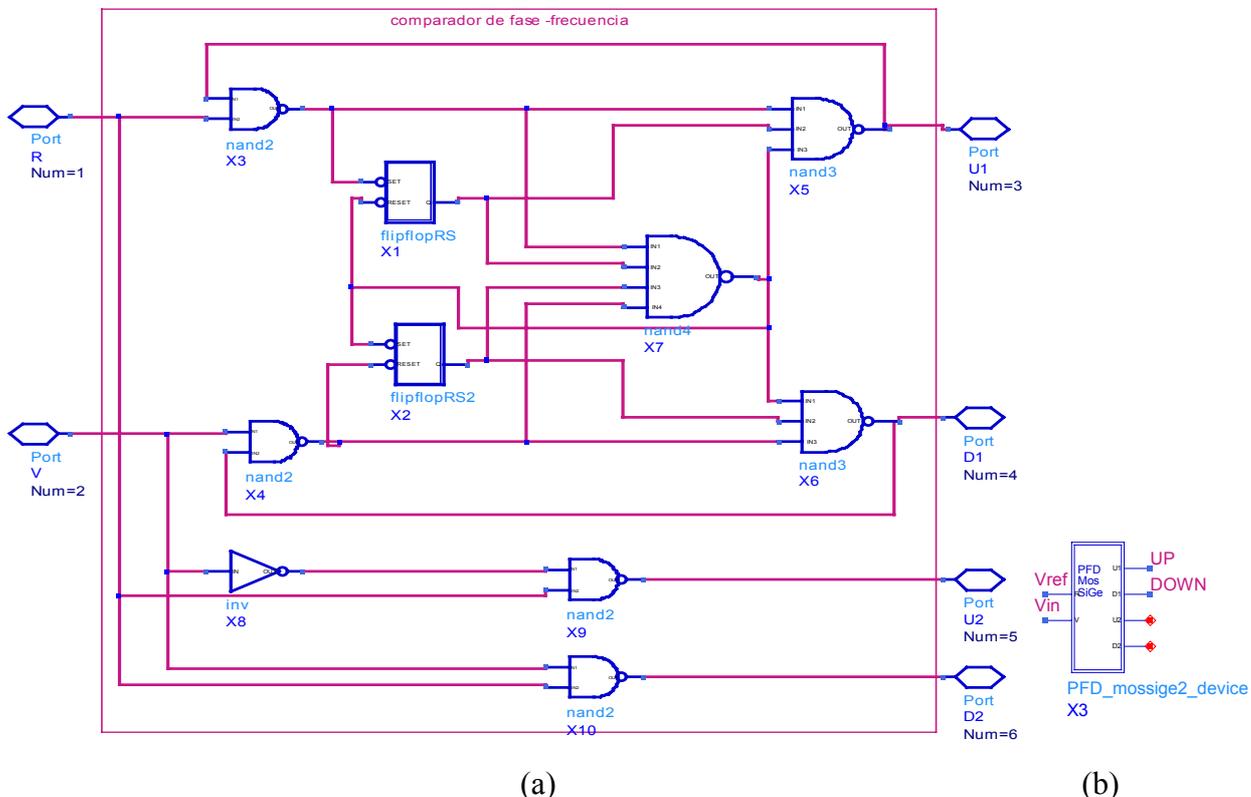


Figura 5.12. (a) Esquemático de PFD (PFD_mossige2_device); (b) Símbolo.

En la Figura 5.13 se observa el esquema de simulación en ADS de un PFD para comprobar su funcionamiento variando las entradas periódicas e iguales, donde a una entrada se le ha hecho un barrido de su fase para poder desplazarla y observar los distintos desfases entre las entradas.

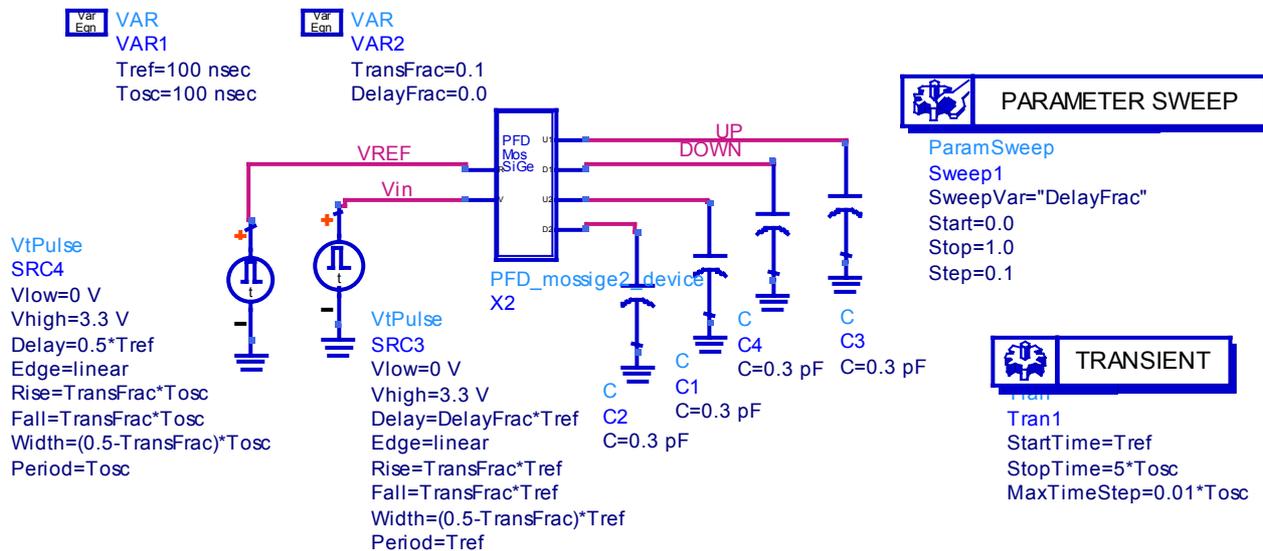


Figura 5.13. Test de PFD como detector de fase (RFIC_PFDSiGe2_test).

En la Figura 5.14 se observa la simulación del esquemático de la Figura 5.13 donde a la entrada tenemos dos señales rectangulares de frecuencias idénticas y de relaciones cíclicas idénticas de valor 1/2 (aunque este tipo de detector no necesita que las señales sean de este tipo para su correcto funcionamiento). Vemos que cuando la entrada proveniente del VCO (“Vin”), está adelantada frente a la señal de referencia (“Vref”), tenemos un pulso del tamaño de la diferencia de fase entre las señales, en la salida “DOWN”. Si fuera al contrario el pulso lo tendríamos en la señal “UP”. Si no estuvieran desfasadas no tendríamos pulso en ninguna de ellas estando las dos en estado alto. El valor de K_d es de 0.955 (V/rad).

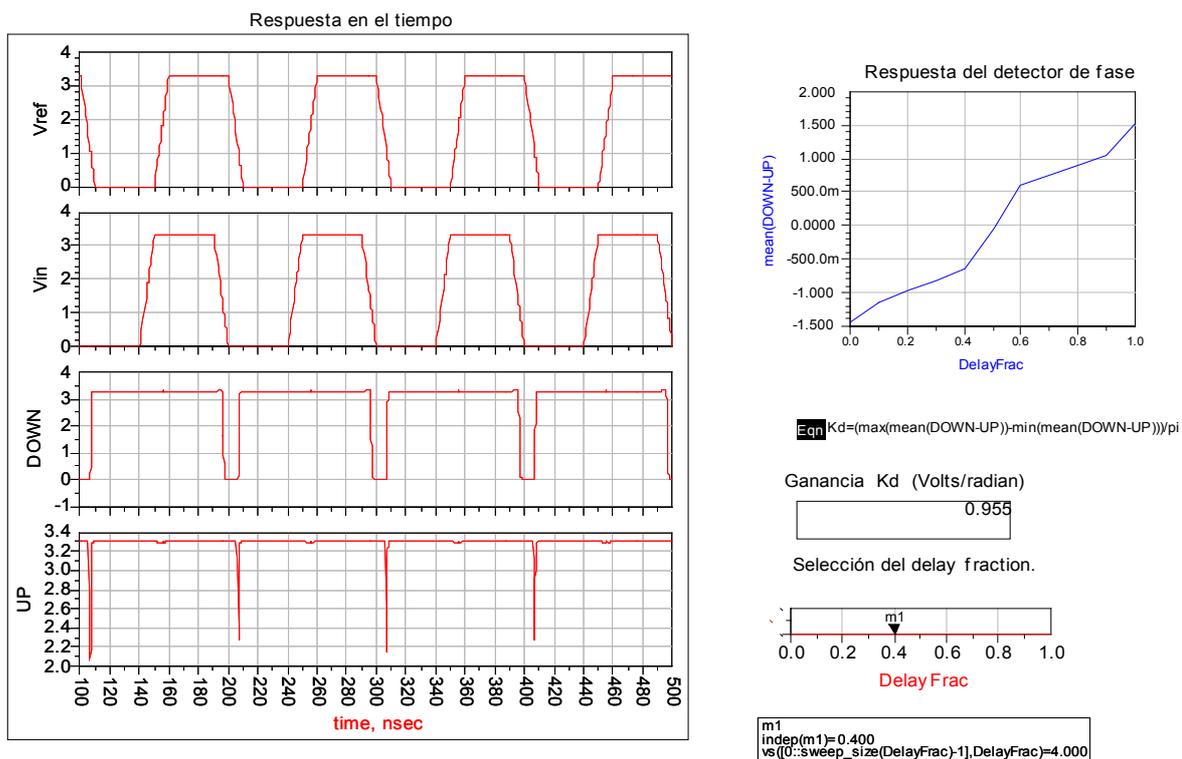


Figura 5.14. Simulación de la respuesta del PFD y la Kd (sin bomba de carga).

Se ha variado las relaciones de los anchos de los transistores para optimizar el detector, intentando que la respuesta sea lo más lineal y que las señales de salida cambien rápida y correctamente. Nos queda una relación de constantes tal como se muestra en la Tabla 5.4.

Tabla 5.4. Dimensiones finales de los transistores MOSFET utilizados en el diseño de las puertas lógicas que conforman el PFD

Ancho del MOSFET tipo N	4 μm
Longitud puerta del MOSFET tipo N	0.5 μm
Ancho del MOSFET tipo P	8 μm
Longitud puerta del MOSFET tipo P	0.5 μm

5.1.2.2. Bomba de carga

La bomba de carga consiste en una pareja de fuentes de corriente con interruptores manejando la carga de un condensador. Ésta proporciona una ganancia para una diferencia de fase en la entrada del dispositivo. Cuando los pulsos se inyectan por “UP”, la fuente de

corriente introducirá carga en el condensador, y la tensión de la salida se incrementará. Si por el contrario los pulsos vienen desde “DOWN”, la carga del condensador fluirá a tierra.

Como vemos en la Figura 5.15(a), ésta consiste en simples conmutadores realizados con transistores, los cuales inyectarán o extraerán corriente a su salida.

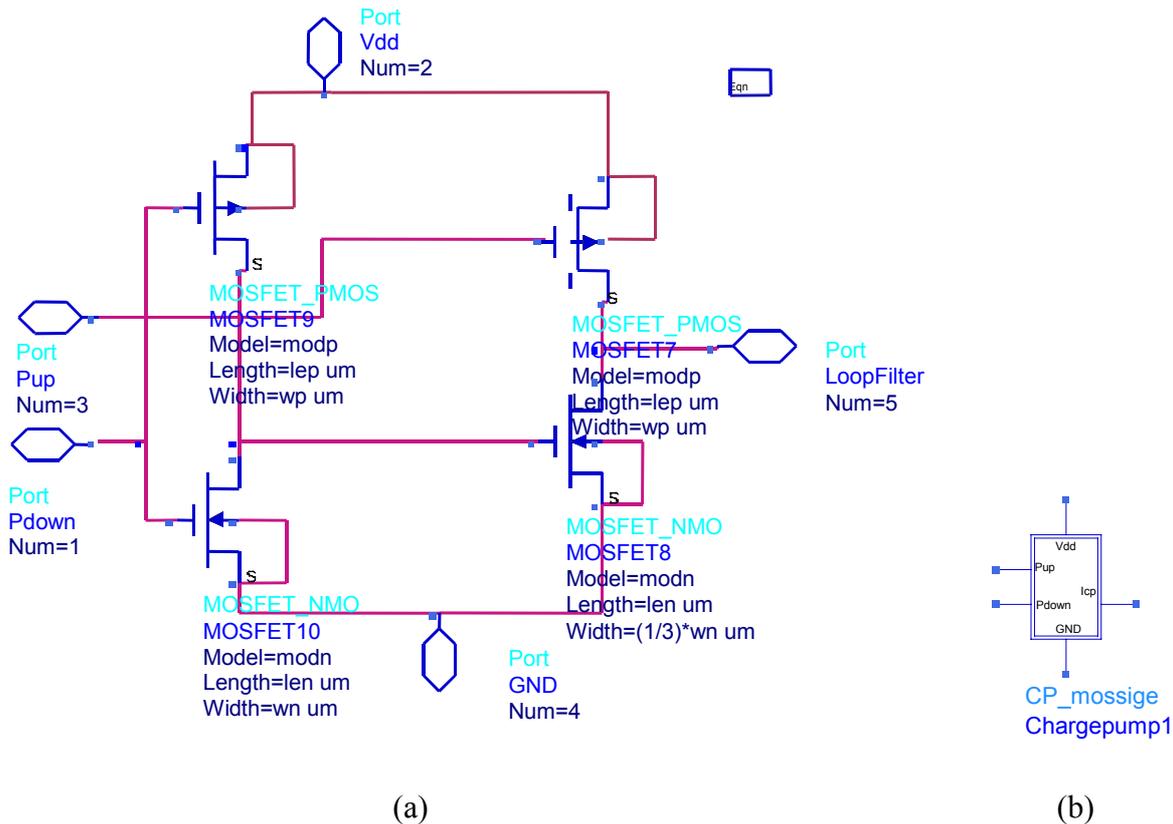


Figura 5.15. (a) Esquemático de la bomba de carga (CP_mossige); (b) Símbolo.

Las dimensiones de los transistores son las de la Tabla 5.5. Con el ancho de los transistores obtenemos la corriente de salida que queremos obtener, aproximadamente de 200 μ A. El transistor tipo N de salida tiene una relación de (1/3) de este ancho, para conseguir equilibrar los 200 μ A positivos y los 200 μ A negativos.

Tabla 5.5. Dimensiones de los MOSFET para la bomba de carga

Ancho del MOSFET tipo N	2 μ m
Longitud puerta del MOSFET tipo N	0.5 μ m
Ancho del MOSFET tipo P	2 μ m
Longitud puerta del MOSFET tipo P	0.5 μ m

5.1.2.3. Unión del comparador de fase/frecuencia y bombeo de carga

Como ya tenemos realizados los dos esquemáticos, sólo nos queda unirlos, tal y como se observa en la Figura 5.16 y calcular la constante para este detector.

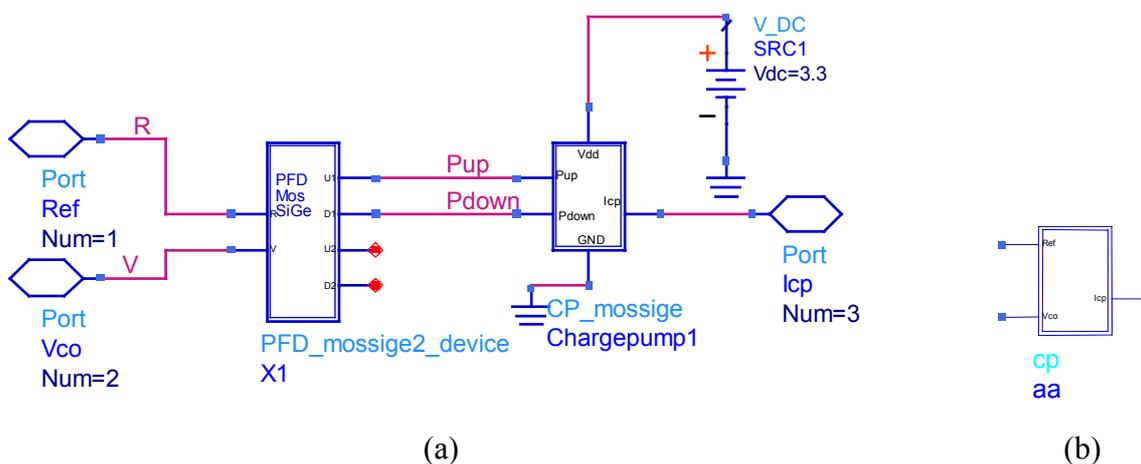


Figura 5.16. (a) Esquemático de la bomba de carga (CP); (b) Símbolo.

Realizamos un test del funcionamiento de este detector de fase junto a la bomba de carga, utilizando el esquema de la Figura 5.17, variando las entradas periódicas e iguales, donde a la señal de entrada “Vin” se le ha hecho un barrido frente al desplazamiento de la entrada Vref.

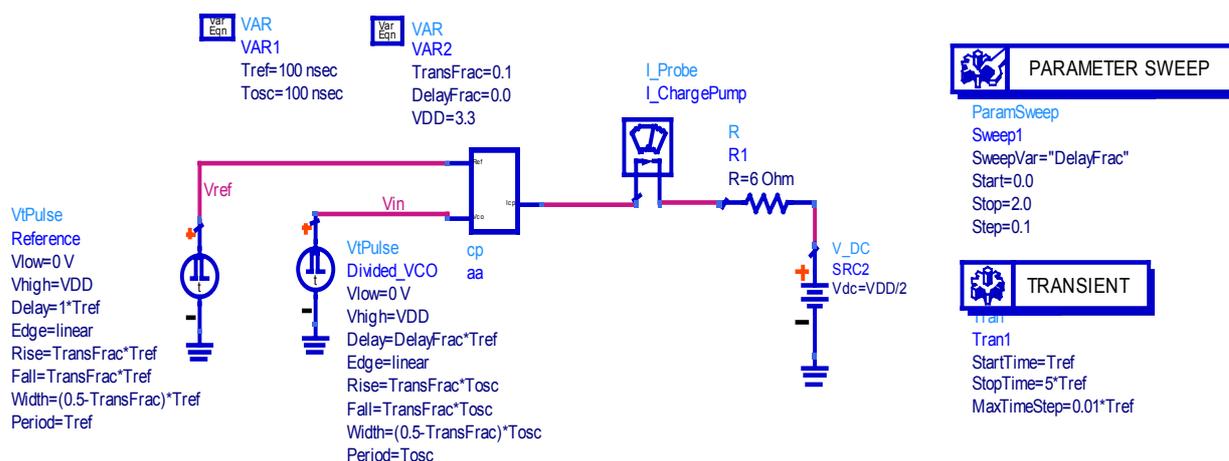


Figura 5.17. Test de PFD+CP como detector de fase (RFIC_PFDwCPreal_test).

En la Figura 5.18 se observa la respuesta de este detector de fase para un desfase de entre -360 grados (0.0), 0 grados (1.0), y 360 grados (2.0). Para estos valores se comprueba que el detector de fase es bastante lineal.

Se ha calculado la constante K_d , la cual es igual a la corriente i_{cp} que suministra la bomba entre $2 \cdot \pi$. El valor de la K_d es de $32.61 \text{ } (\mu\text{A}/\text{rad})$.

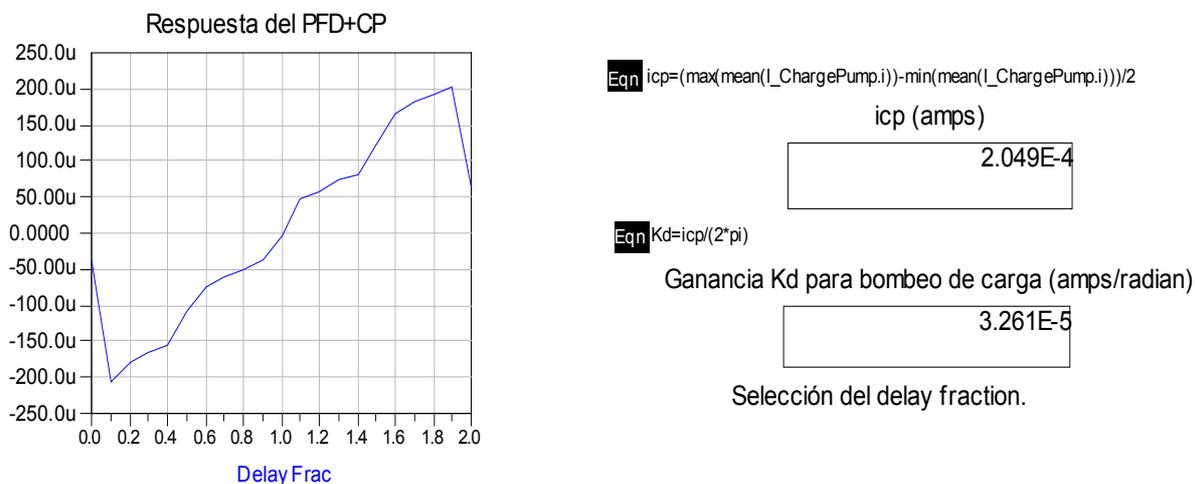


Figura 5.18. Simulación de la respuesta del PFD+CP y valor de K_d .

En la Figura 5.19, Figura 5.20 y Figura 5.21 se comprueba la respuesta en el tiempo del test del detector donde tenemos dos señales rectangulares de frecuencias idénticas.

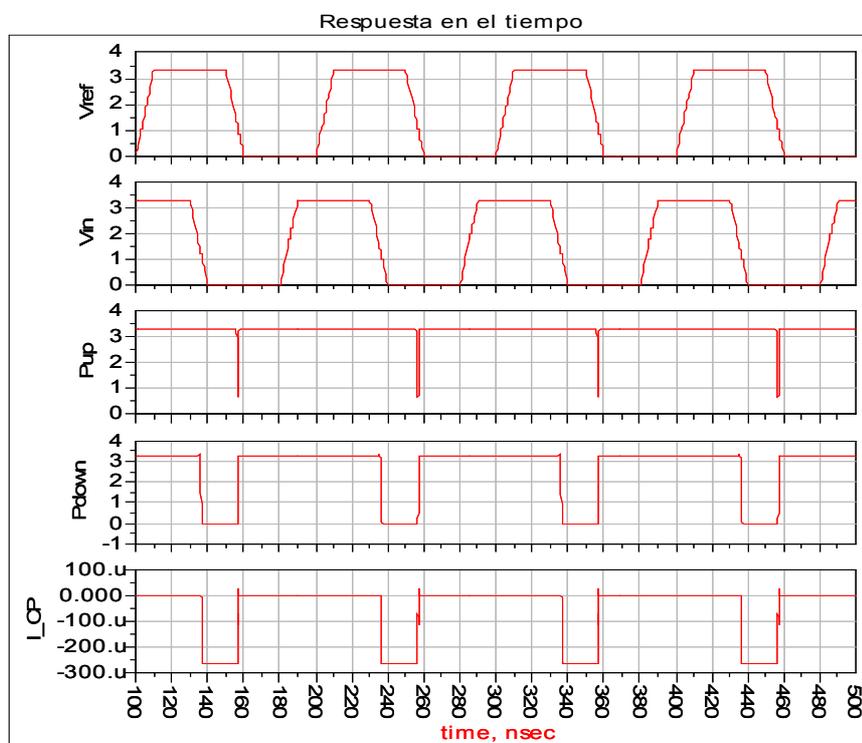


Figura 5.19. Simulación de consumo de corriente $-i_{cp}$.

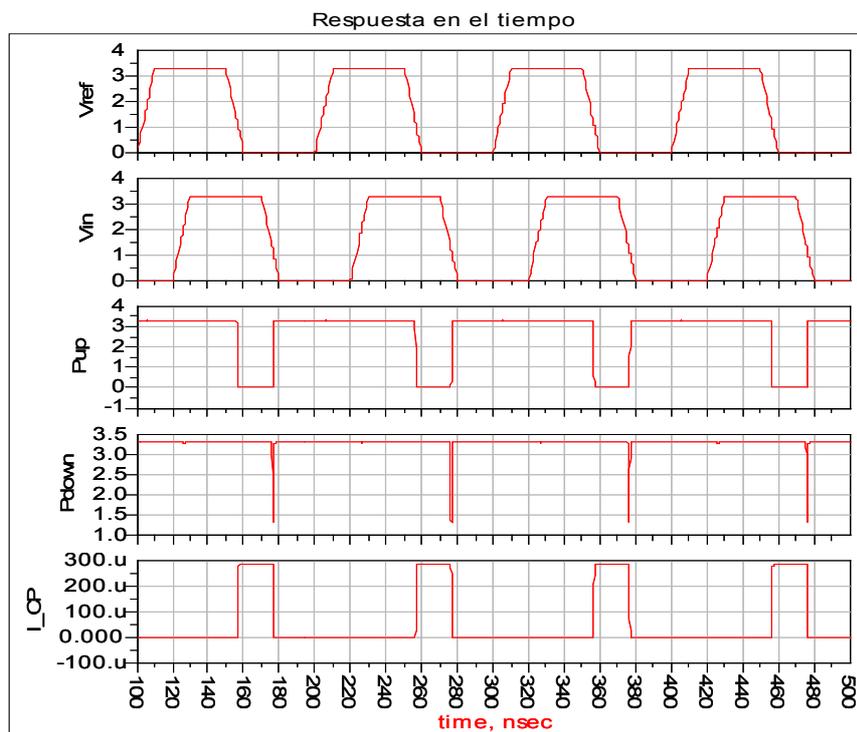


Figura 5.20. Simulación de inyección de corriente icp.

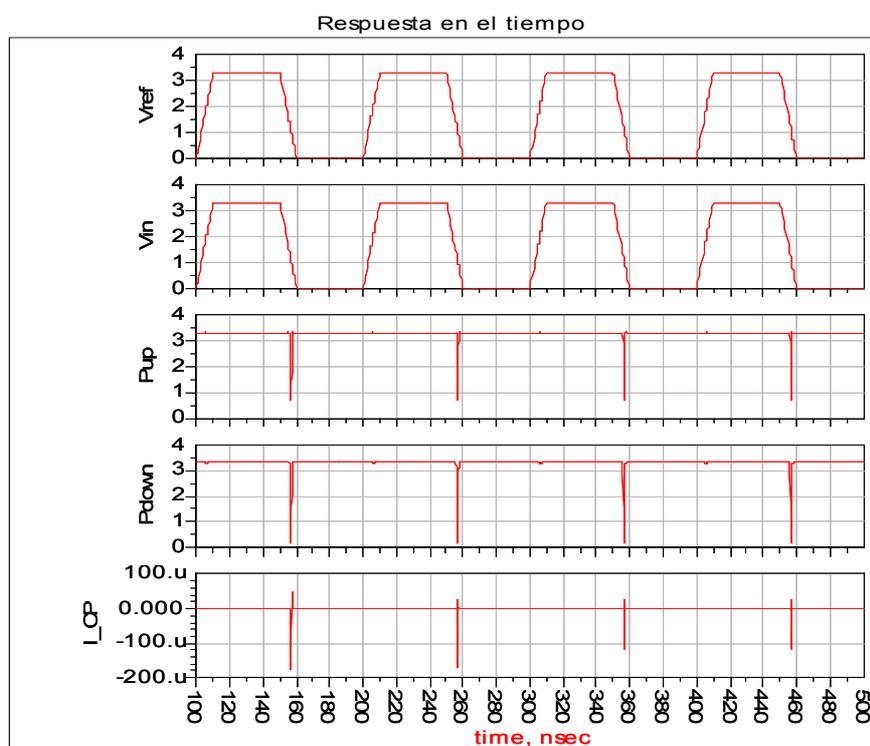


Figura 5.21. Simulación para el caso de no inyección de corriente.

En la Figura 5.19, la entrada proveniente del VCO (“Vin”) está adelantada frente a la señal de referencia (“Vref”), por tanto, tenemos un pulso del tamaño de la diferencia de fase entre las señales en la salida DOWN. Como consecuencia, este pulso se le inyecta a la bomba teniendo un pulso de la misma duración inyectando una corriente negativa de $i_{cp}(A)$. Si fuera al contrario, estuviera retardada como en la Figura 5.20, el pulso lo tendríamos en la señal “UP”, y este pulso se le inyecta a la bomba teniendo un pulso de la misma duración que inyecta una corriente positiva de $i_{cp}(A)$. Si no estuvieran desfasadas (Figura 5.21) no tendríamos pulso en ninguna de ellas estando las dos en estado alto y, por lo tanto, no suministraríamos corriente a la salida de esta.

5.2. Filtro de bucle

En este apartado se realiza una introducción sobre la estabilidad de los filtros. Seguimos con el estudio de los dos tipos de filtros a usar: un filtro pasivo de tipo 2 y orden 3 [15], y un filtro activo de tipo 2 y orden 2 [16].

5.2.1. Introducción

El filtro de bucle es elemento principal a considerar cuando se pretende analizar la estabilidad del lazo. Una vez diseñados los principales elementos del PLL, como el bombeo de carga o el oscilador principalmente, la estabilidad del PLL se puede asegurar sólo con los parámetros del filtro.

El filtro que se va a implementar es para un PLL tipo 2 debido a que dichos PLL poseen un error de fase y de frecuencia igual a cero. Para realizar el diseño se parte de las especificaciones de los demás elementos del sintetizador que son:

- K_v o constante del VCO expresada en MHz/V.
- K_d o constante del detector de fase.
- f_{ref} o frecuencia de referencia.
- N o factor de división.

El método para el diseño de filtros para PLL más generalizado es el método de la ganancia en lazo abierto y el margen de fase.

El margen de fase (Φ_p) se define como la diferencia entre 180° y la fase del bucle en lazo abierto para $\omega = \omega_p$, siendo ω_p es la frecuencia para ganancia 0 dB de la función de transferencia en lazo abierto. Normalmente el margen de fase suele elegirse entre 30° y 70° . Por esta razón el valor elegido para empezar los cálculos ha sido 45° . En la Figura 5.22 se puede ver la representación gráfica de Φ_p y ω_p .

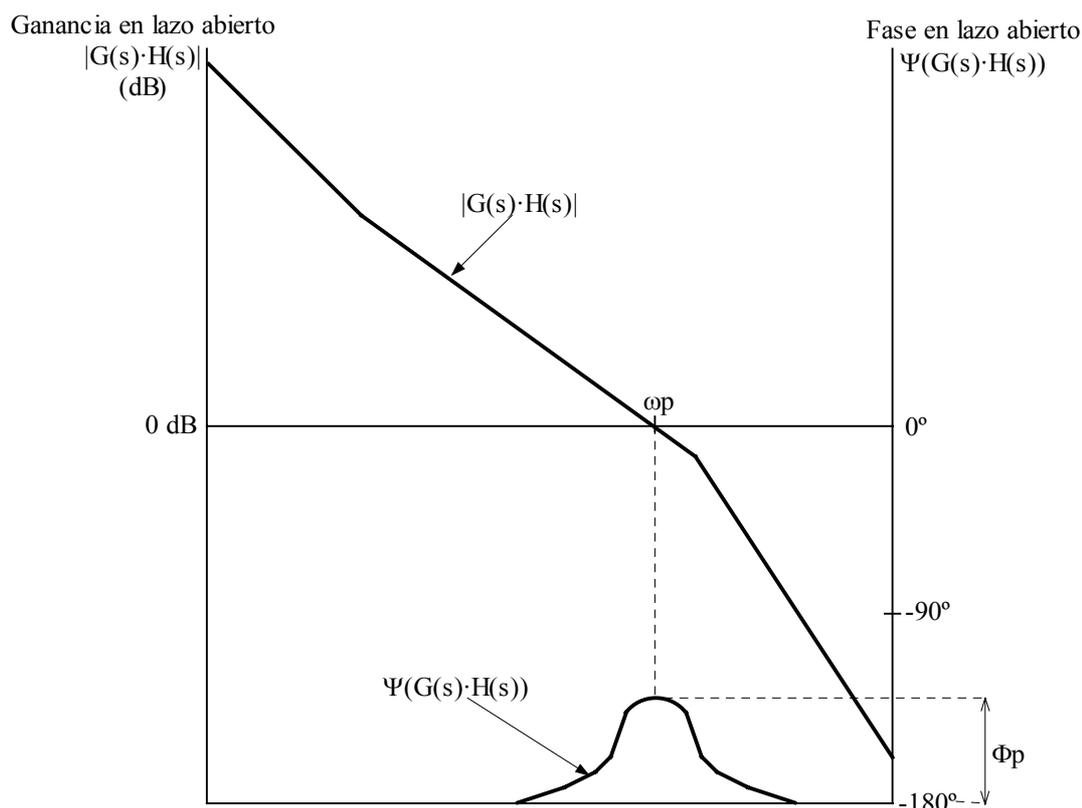


Figura 5.22. Diagrama de bode de la respuesta en lazo abierto del bucle.

A continuación se va a describir, basándonos en el método del margen de fase, el diseño de los filtros para el sintetizador.

5.2.2. Filtro pasivo de tipo 2 y orden 3

El esquema del filtro es el de la Figura 5.23.

Se compone de un filtro de segundo orden ($C1, C2, R2$) y un polo extra ($C3, R3$) para atenuar espurios, que lo convierte en tercer orden.

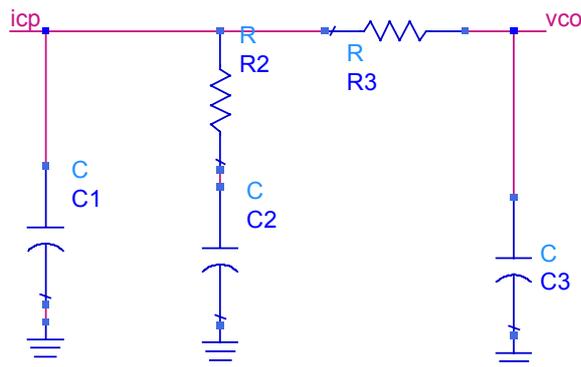


Figura 5.23. Filtro pasivo de tipo 2 y orden 3.

La impedancia del filtro de 2° orden es:

$$F(s) = \frac{s(C2 \cdot R2) + 1}{s^2(C1 \cdot C2 \cdot R2) + sC1 + sC2} \quad (5.1)$$

esta expresión se queda como:

$$F(s) = \frac{sT2 + 1}{s^2T1 + s} \quad (5.2)$$

donde:

$$T1 = R2 \cdot \frac{C1 \cdot C2}{C1 + C2} \quad (5.3)$$

$$T2 = R2 \cdot C2 \quad (5.4)$$

Anadiendo las constantes K_v , K_d y N obtenemos la función de transferencia del lazo cerrado $G(s) \cdot H(s)$ (ecuación (5.5)), donde podemos ver que la fase es dependiente del polo y del cero:

$$G(s) \cdot H(s) \Big|_{s=j\omega} = \frac{-K_v \cdot K_d (1 + j\omega \cdot T2)}{\omega^2 C1 N (1 + j\omega \cdot T1)} \cdot \frac{T1}{T2} \quad (5.5)$$

Entonces el margen de fase se determina con la siguiente ecuación:

$$\phi(\omega) = \tan^{-1}(\omega T2) - \tan^{-1}(\omega T1) + 180^\circ \quad (5.6)$$

Se hace que la derivada del margen de fase sea igual a cero:

$$\frac{d\phi}{d\omega} = \frac{T2}{1 + (\omega T2)^2} - \frac{T1}{1 + (\omega T1)^2} = 0 \quad (5.7)$$

obteniéndose ω_p :

$$\omega_p = \frac{1}{\sqrt{T_2 \cdot T_1}} \quad (5.8)$$

Para asegurar la estabilidad, el margen de fase lo escogemos de 45° cuando la magnitud del lazo abierto sea igual a uno.

$$C_1 = \frac{K_v \cdot K_d \cdot T_1}{\omega_p^2 \cdot N \cdot T_2} \left| \frac{1 + j\omega T_2}{1 + j\omega T_1} \right| \quad (5.9)$$

Dado que el ancho de banda, ω_p , y el margen de fase, ϕ_p , son datos para nuestro problema, se pueden calcular las constantes de tiempo siguientes:

$$T_1 = \frac{\sec \phi_p - \tan \phi_p}{\omega_p} \quad (5.10)$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} \quad (5.11)$$

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_p \cdot K_v}{\omega_p^2 \cdot N} \sqrt{\frac{1 + (\omega_p \cdot T_2)^2}{1 + (\omega_p \cdot T_1)^2}} \quad (5.12)$$

$$C_2 = C_1 \cdot \left(\frac{T_2}{T_1} - 1 \right) \quad (5.13)$$

$$R_2 = \frac{T_2}{C_2} \quad (5.14)$$

El *charge pump* genera ruido en forma de corriente debido a la conmutación que en él se produce a la frecuencia de referencia (F_{ref}). Dicho ruido puede generar bandas laterales moduladas en frecuencia a la salida de RF. Normalmente, en un sistema de RF, F_{ref} es múltiplo del espaciado entre canales. Estas bandas laterales pueden causar ruido en canales adyacentes. Por ello es necesario un filtrado adicional que filtre los espurios ocasionados por la F_{ref} . Este filtrado se hace mediante R_3 y C_3 . El valor de la atenuación y la constante de tiempo del polo adicional es:

$$ATTEN = 20 \text{LOG} \left[(2\pi F_{ref} \cdot R_3 \cdot C_3)^2 + 1 \right] \quad (5.15)$$

$$T_3 = R_3 \cdot C_3 \quad (5.16)$$

$$T_3 = \sqrt{\frac{10^{ATTEN/20} - 1}{(2\pi \cdot F_{ref})^2}} \quad (5.17)$$

El polo adicional debe de estar por debajo de la frecuencia de referencia (Fref), para atenuar los espurios, y debe ser cinco veces mayor que el ancho de banda del bucle, para conseguir que el sistema se mantenga estable. Por lo que los valores de T1 y T2 son de nuevo calculados utilizando esta nueva definición de ω_p , a partir de ahora llamada ω_c , donde $\omega_p < \omega_c$. También se suele poner que $C3 < C1/10$ y $R3 > 2R2$, para que T3 no interfiera en los polos principales.

$$T2 = \frac{1}{\omega_c^2 (T1 \cdot T3)} \quad (5.18)$$

$$\omega_c = \frac{\tan\phi \cdot (T1 + T3)}{(T1 + T3)^2 + T1 \cdot T3} \cdot \left[\sqrt{1 + \frac{(T1 + T3)^2 + T1 \cdot T3}{[\tan\phi \cdot (T1 + T3)]^2}} - 1 \right] \quad (5.19)$$

$$C1 = \frac{T1 \cdot K_p \cdot K_v}{T2 \cdot \omega_c^2 \cdot N} \cdot \left[\frac{(1 + \omega_c^2 \cdot T2^2)}{(1 + \omega_c^2 \cdot T1^2)(1 + \omega_c^2 \cdot T3^2)} \right]^{1/2} \quad (5.20)$$

$$C2 = C1 \left(\frac{T2}{T1} - 1 \right) \quad (5.21)$$

$$R2 = \frac{T2}{C2} \quad (5.22)$$

Una vez explicado el procedimiento de cálculo veamos los resultados que se obtienen para nuestro diseño. Las constantes implicadas para nuestro diseño son:

- Cte. del VCO: $K_v = -2884e+6$; (Hz/V).
 - Cte. del PFD+PC: $K_d = (32.61e-6)$; (A/rad).
 - Frec. de referencia: $F_{ref} = 2.5e+6$; (Hz).
 - Frec. mayor a generar: $F_{mayor} = 5785e+6$; (Hz).
 - Cte. del divisor: $N = F_{mayor}/F_{ref}$.
 - Frecuencia natural: $\omega_0 = 2 \cdot \pi \cdot (25e+3)$; (rad/s).
 - Margen de fase: $T_{ita} = 45$; (grados).
- $T_{itarad} = T_{ita} \cdot \pi / 180$; (rad).

- Atenuación: ATTEN=20; (dB).

Ahora calculamos las variables con las formulas y constantes anteriores para obtener los valores del filtro. Este cálculo se ha realizado en un programa en Matlab. El programa es el siguiente:

```
%FILTRO PASIVO TIPO 2, ORDEN 3:
%obtener los valores de C1,C2,C3,R2 y R3:
%constantes
Kv=-2884e+6;                   %cte. del VCO (Hz/V)
Kd=32.61e-6                   %cte. Kd del PFD+PC (A/rad)
Fref=2.5e+6;                   %frec. de referencia (Hz)
Fmayor=5785e+6;               %frec. mayor a generar (Hz)
N=Fmayor/Fref                 %cte. del divisor
wo=2*pi*(25e+3)               %frecuencia natural (rad/s)
Tita=45;                       %margin de fase (grados)
Titarad=Tita*pi/180            %margin de fase (rad)
ATTEN=20                       %atenuacion (dB)
% fin de ctes.
%
%Cálculo de los componentes:
T1=(sec(Titarad)-tan(Titarad))/wo
T3=[(10^(ATTEN/20)-1)/((2*pi*Fref)^2)]^(1/2)
wc1=[tan(Titarad)*(T1+T3)]/(((T1+T3)^2)+T1*T3);
wc2=(1+(((T1+T3)^2+T1*T3)/[tan(Titarad)*(T1+T3)]^2))^(1/2)-1;
wc=wc1*wc2
T2=1/[wc^2*(T1+T3)]
c11=(T1/T2)*[(Kv*Kd)/(wc^2*N)];
c12=[(1+wc^2*T2^2)/((1+wc^2*T1^2)*(1+wc^2*T3^2))]^(1/2);
C1=-(c11*c12)
C2=C1*((T2/T1)-1)
R2=T2/C2
%condiciones para C3yR3
%R3 > 2*R2 > 1.7kohm
%C3 < C1/10 < 0.45nf
%si por ejemplo R3=8Kohm
R3=8000
C3= T3/R3
%
```

%fin programa.

%

El valor de los componentes obtenidos para el filtro pasivo de tipo 2 y orden 3 son los de la Tabla 5.6.

Tabla 5.6. Valores de los componentes del filtro pasivo de orden 3

C1	4.076 nF
C2	21.89 nF
C3	23.87 nF
R2	766 Ω
R3	8 K Ω

5.2.3. Filtro activo de tipo 2 y orden 2

El esquema del filtro activo es el de la Figura 5.24.

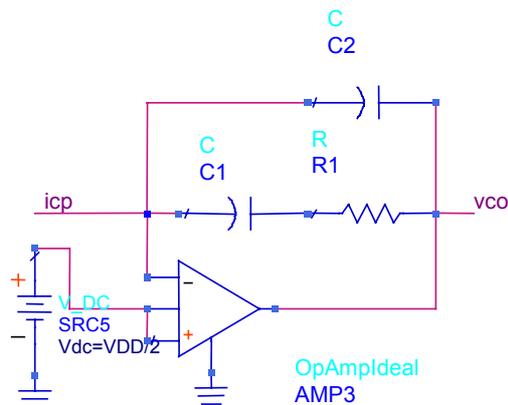


Figura 5.24. Filtro activo de tipo 2 y orden 2.

La función de transferencia del filtro es la siguiente:

$$F(s) = \frac{vco}{icp} = \frac{1 + sT1}{sC1(1 + sT2)} \quad (5.23)$$

Los cálculos para el filtro se realizan con las fórmulas siguientes:

$$T1 = R1 \cdot C1 \quad (5.24)$$

$$T2 = R1 \cdot C2 \quad (5.25)$$

La ganancia del bucle abierto será:

$$G(s) = \frac{K_d \cdot K_v}{N s^2 C_1} \left(\frac{1 + sT_1}{1 + sT_2} \right) \quad (5.26)$$

Como en el caso del filtro pasivo, partimos de K_v , K_d y N . Se hace la función de transferencia del lazo cerrado $G(s) \cdot H(s)$ y se obtiene:

$$G(s) \cdot H(s) \Big|_{s=j\omega} = - \frac{K_d \cdot K_v (1 + j\omega \cdot T_2)}{\omega^2 C_1 N (1 + j\omega \cdot T_1)} \cdot \frac{T_1}{T_2} \quad (5.27)$$

Entonces el margen de fase se determina con la siguiente ecuación:

$$\phi(\omega) = \tan^{-1}(\omega T_2) - \tan^{-1}(\omega T_1) + 180^\circ \quad (5.28)$$

Se hace que la derivada del margen de fase sea igual a cero:

$$\frac{d\phi}{d\omega} = \frac{T_2}{1 + (\omega T_2)^2} - \frac{T_1}{1 + (\omega T_1)^2} = 0 \quad (5.29)$$

obteniéndose el valor de ω_0 :

$$\omega_0 = \frac{1}{\sqrt{T_2 \cdot T_1}} \quad (5.30)$$

Para asegurar la estabilidad, el margen de fase lo escogemos de 45° cuando la magnitud del lazo abierto sea igual a uno.

$$C_1 = \frac{K_d \cdot K_v \cdot T_1}{\omega_0^2 \cdot N \cdot T_2} \left| \frac{1 + j\omega_0 T_2}{1 + j\omega_0 T_1} \right| \quad (5.31)$$

Como el ancho de banda, ω_0 , y el margen de fase, ϕ , son datos del problema, las constantes de tiempo se pueden calcular de la siguiente forma:

$$T_2 = \frac{1 - \tan\phi \cos\phi}{\omega_0 \cdot \cos\phi} \quad (5.32)$$

$$T_1 = \frac{1}{\omega_0^2 T_2} \quad (5.33)$$

$$C_1 = \frac{K_d \cdot K_v}{\omega_0^2 \cdot N} \left(\frac{-\omega_0 T_1 - 1}{\omega_0 T_2 + 1} \right) \quad (5.34)$$

Partimos de los siguientes datos para calcular los valores del filtro:

- Cte. del VCO: $K_{vh} = -2884e+6$; (Hz/V).
 $K_v = K_{vh} \cdot 2 \cdot \pi$; (rad/(s·V)).
- Cte. del PFD+PC: $K_d = (2 \cdot 200e-6)/(4 \cdot \pi)$; (A/rad).
- Frec. mayor a generar: $F_{mayor} = 5785e+6$; (Hz).
- Frec. de referencia: $F_{ref} = 2.5e+6$; (Hz).
- Cte. del divisor: $N = F_{mayor}/F_{ref}$.
- Frecuencia natural: $\omega_0 = 2 \cdot \pi \cdot (25e+3)$; (rad/s).
- Margen de fase: $T_{ita} = 45$; (grados).
 $T_{itarad} = T_{ita} \cdot \pi/180$; (rad).

Realizamos el cálculo de los valores del filtro mediante el siguiente programa de Matlab:

```
%FILTRO ACTIVO TIPO 2, ORDEN 2;
%obtener los valores de C1,C2 y R1.
%constantes:
Kvh=-2884e+6;           %cte. del VCO (Hz/V)
Kv=Kvh*2*pi           %cte. del VCO (rad/(s*V))
Kd=(2*200e-6)/(4*pi)  %cte. del PC (A/rad)
Fmayor=5785e+6;       %frec. mayor a generar (Hz)
Fref=2.5e+6;           %frec. de referencia (Hz)
N=Fmayor/Fref         %cte. del divisor
wo=2*pi*(25e+3)       %frecuencia natural (rad/s)
Tita=45;               %margen de fase (grados)
Titarad=Tita*pi/180   %margen de fase (rad)
% fin de ctes
%
%Cálculo de los componentes:
T2=(1-tan(Titarad)*cos(Titarad))/(wo*cos(Titarad));
```

```

T1=1/(wo*wo*T2);
C1=[(Kd*Kv)/(N*wo*wo)]*[(-wo*T1-1)/(wo*T2+1)]
R1=T1/C1
C2=T2/R1
%
%fin programa
%
```

El valor de los componentes obtenidos para el filtro activo de tipo 2 y orden 2 son los de la Tabla 5.7.

Tabla 5.7. Valores de los componentes del filtro activo de orden 2

C1	25 nF
C2	4.29 nF
R1	640 Ω

5.3. Divisor rápido

Después del VCO, ésta es la parte más difícil de diseñar del sintetizador, ya que aquí la frecuencia de funcionamiento es muy elevada y no lo podemos atacar con simples divisores digitales. Si usáramos celdas estándar CMOS, el retardo de los flip-flops sería el cuello de botella del funcionamiento del sistema. No olvidemos que el objetivo es conseguir un divisor rápido que sea capaz de dividir nuestro rango de frecuencias que van entre los 5 y 6 GHz.

Por otra parte, si la división por dos se realiza antes del divisor digital, se reduce el número de bits del mismo, reduciendo con ello el ruido de cuantización. Las posibilidades que vamos a estudiar son el divisor rápido con dos latch, el basado en HBT, el basado en TSPC y el basado en inversores.

5.3.1. Divisor rápido con dos latch

Consta de dos flip-flops en configuración master-slave. Cada flip-flop está formado de dos etapas. Primero tenemos una etapa de amplificación con un amplificador diferencial, y posteriormente una etapa latch a cargo del mantenimiento de la tensión en el nodo de salida. En la Figura 5.25 vemos esta configuración.

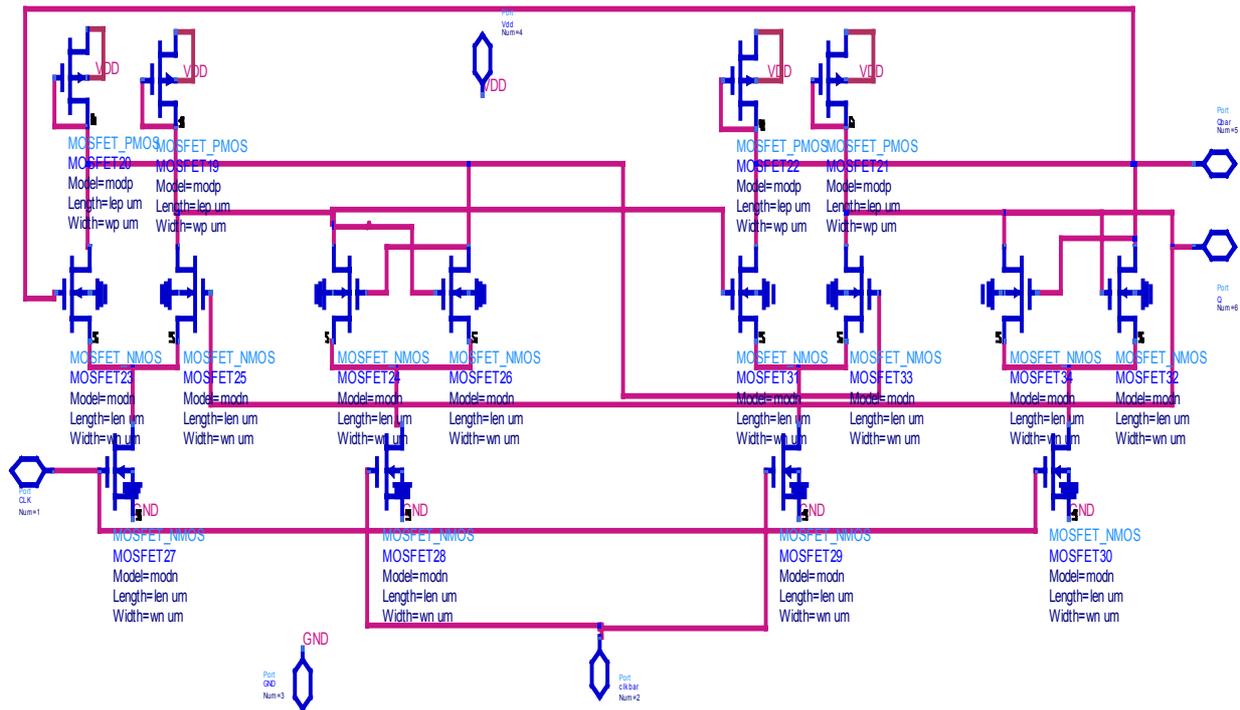


Figura 5.25. Esquemático del divisor rápido con dos latch (prescalarsige_MOSFET).

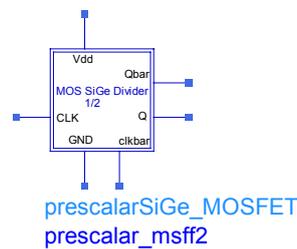


Figura 5.26. Símbolo del divisor rápido con dos latch

Tabla 5.8. Dimensiones de los MOSFET para el divisor rápido con dos latch

Ancho del MOSFET tipo N	1 μm
Longitud puerta del MOSFET tipo N	0.5 μm
Ancho del MOSFET tipo P	1 μm
Longitud puerta del MOSFET tipo P	0.5 μm

Para comprobar el funcionamiento de este divisor hemos puesto dos señales periódicas cuadradas, “clk” y su inversa, (véase la Figura 5.27).

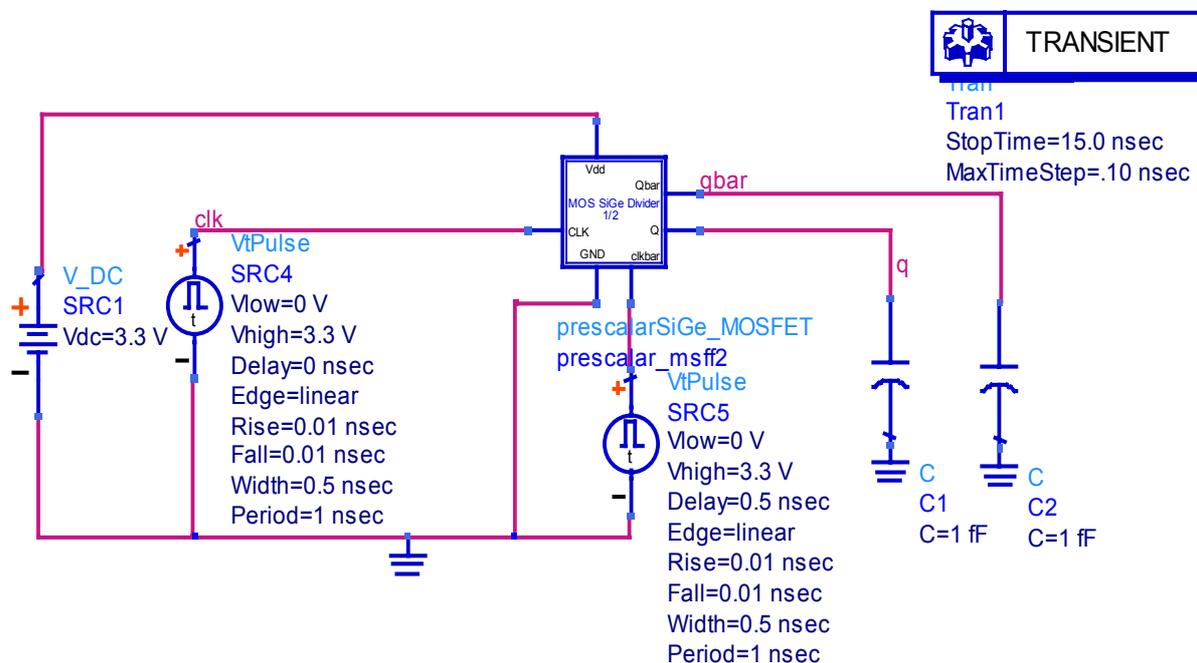


Figura 5.27. Test del divisor rápido con dos latch (RFIC_prescalarSiGe_test).

El divisor debe de funcionar a la frecuencia máxima que es de 5785 MHz.

En una primera simulación hemos puesto el reloj a 1 GHz, por lo que tendrá un periodo de $T=1$ nsec. Como vemos en la Figura 5.28, la estructura aguanta esta frecuencia de funcionamiento.

Vamos a subirla, ponemos el reloj a 4 GHz, por lo que tendrá un periodo de $T=0.25$ nsec. Como vemos en la Figura 5.29, la estructura no puede seguir esta frecuencia de funcionamiento, dando ya evidentes problemas para dividir. Para solucionarlo utilizaremos la tecnología al límite y jugaremos con las relaciones de aspecto W de los transistores para intentar conseguir el propósito.

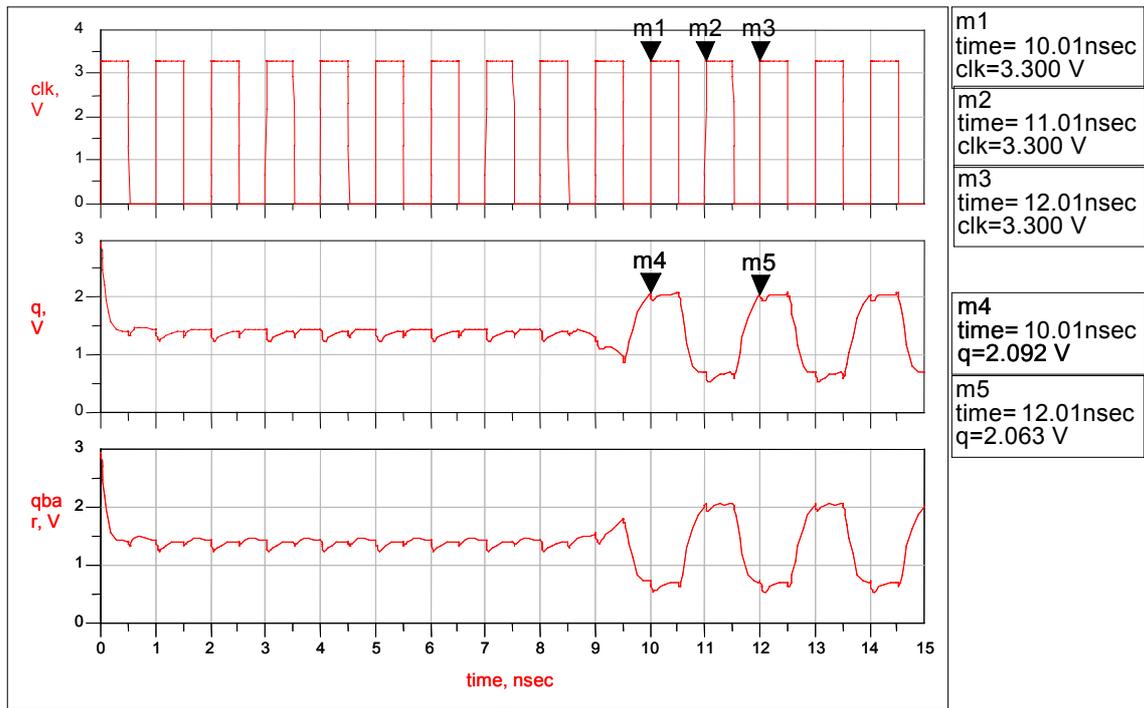


Figura 5.28. Simulación para el caso de 1 GHz, (T=1 nsec).

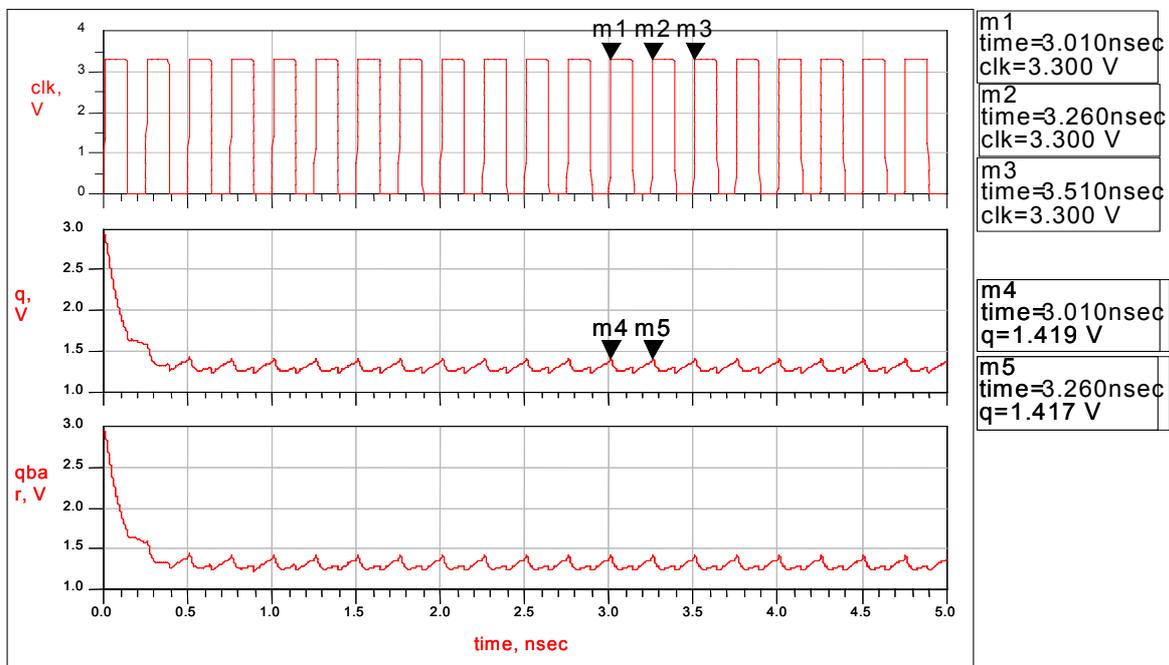


Figura 5.29. Simulación para el caso de 4 GHz, (T=0.25 nsec), con ω_n y $\omega_p=1\mu\text{m}$, y l_n y $l_p=0.5\mu\text{m}$.

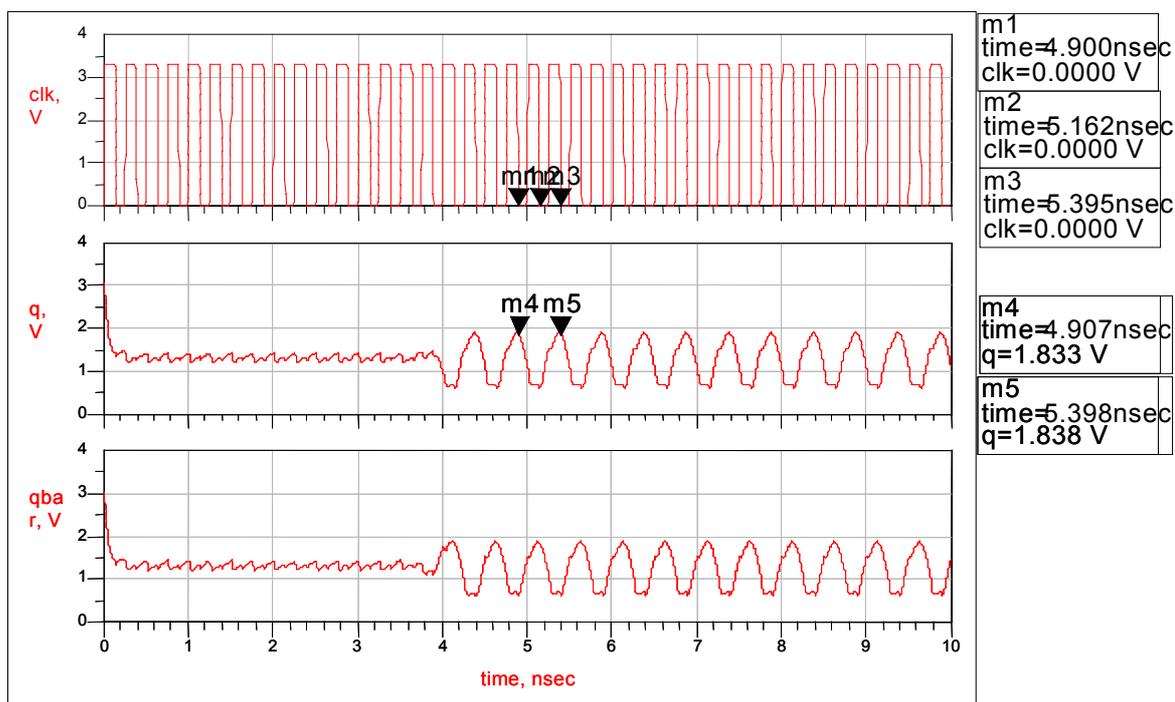


Figura 5.30. Simulación para el caso de 4 GHz, ($T=0.25$ nsec), con $\omega_n=8\mu\text{m}$ y $\omega_p=6.4\mu\text{m}$, y l_n y $l_p=0.35\mu\text{m}$.

Este proceso para llegar a la solución satisfactoria para 4 GHz de la Figura 5.30 ha sido mediante sucesivas simulaciones cambiando las relaciones de aspecto de los transistores. Los resultados de este proceso se muestran en la Tabla 5.9.

Tabla 5.9. Dimensiones finales de los MOSFET para el divisor rápido con dos latch

Ancho del MOSFET tipo N	8 μm
Longitud puerta del MOSFET tipo N	0.35 μm
Ancho del MOSFET tipo P	6.4 μm
Longitud puerta del MOSFET tipo P	0.35 μm

Tenemos que seguir aumentando la frecuencia hasta los 5785 MHz límite del divisor y asegurarnos que responda correctamente. Pondremos el reloj a 5800 MHz, por lo que tendrá un periodo de $T=0.1724$ nsec y $T/2=0.0862$ nsec.

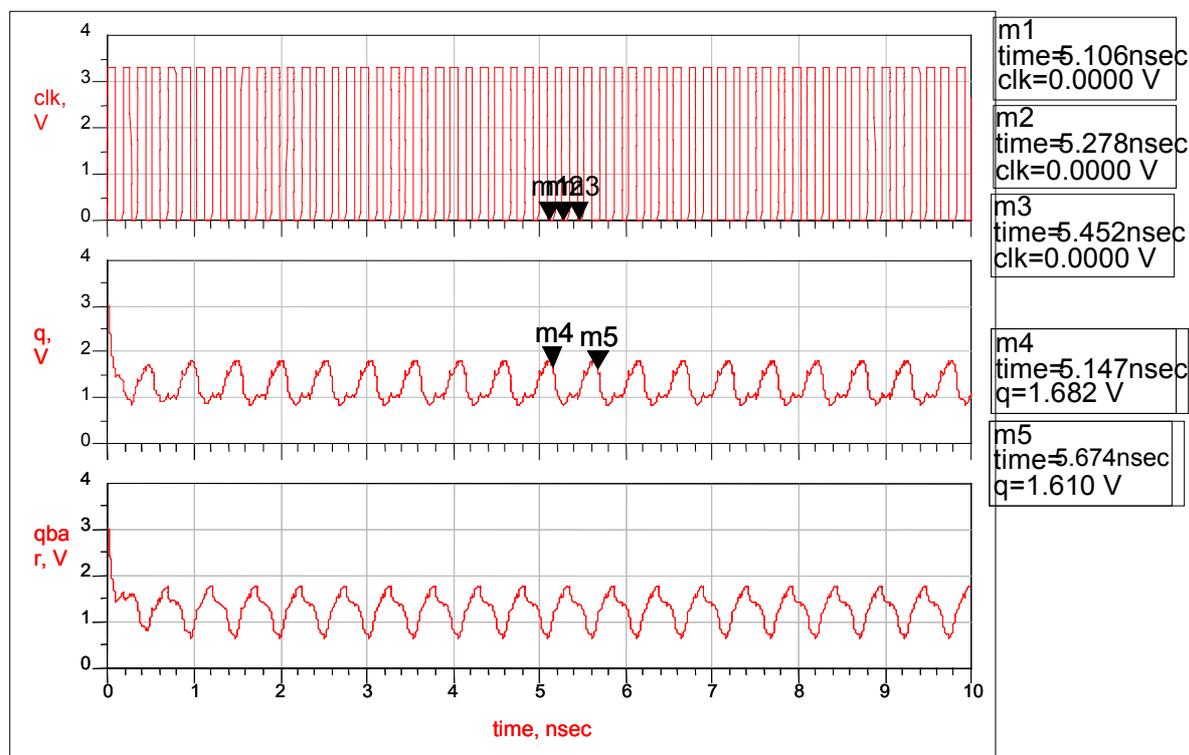


Figura 5.31. Simulación para el caso de 5.8 GHz, ($T=0.21724$ nsec).

Tal y como se muestra en la Figura 5.31, a pesar de haber bajado la tecnología al límite y modificar las relaciones de aspecto de los transistores, no hemos podido conseguir dividir entre dos para esta frecuencia. En la Figura 5.31 la estructura no funciona pues divide entre algo más que por dos.

Como consecuencia de este resultado, se ha optado por seguir estudiando las otras estructuras.

5.3.2. Divisor rápido basado en HBT

Esta estructura se realizará con transistores bipolares de heterounión o HBT de SiGe. Consiste en un circuito formado por flip-flops que divide la frecuencia del par de entrada a la mitad y saca el resultado por el par de salida (ver la Figura 5.32).

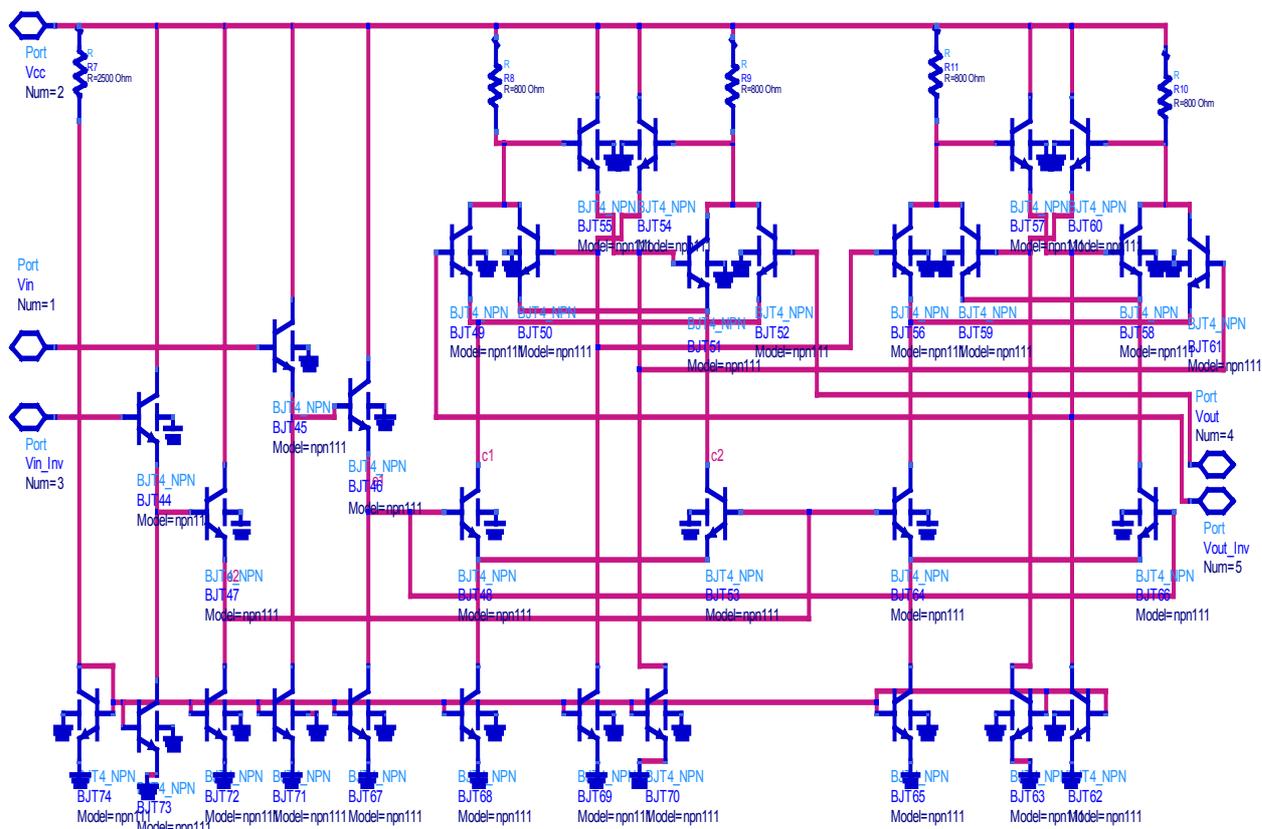


Figura 5.32. Esquemático del divisor rápido basado en HBT.

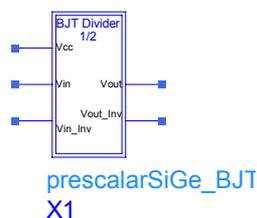


Figura 5.33. Símbolo del divisor rápido basado en HBT.

Las tensiones de entrada “Vin” y “Vin_inv”, pasan por unos desplazadores (BJT44 y BJT47 para “Vin”, y BJT45 y BJT46 para “Vin_inv”), con lo cual la tensión en el último emisor, que es la que entra al par diferencial de entrada, se ha reducido dos veces la tensión de base-emisor que es de 0.9 V por transistor.

Vamos a calcular la resistencia R8, para ello establecemos la entrada “Vin” a 3.3 V y por lo tanto “Vin_inv” a 0 V. Para calcular la tensión que cae en R8 seguimos el camino hasta llegar a “Vin”. Esta resistencia está conectada con la unión de los colectores de BJT49 y BJT50. El emisor de BJT49 está conectado con el colector del BJT48. A partir de

aquí le restamos las tensiones de base-emisor que caen en los desplazadores hasta la señal de entrada, obteniendo la tensión $V(R8)$:

$$V(R8) = 3.3 - (V_{CB} + V_{BE} + V_{CB} - V_{BE} - V_{BE} + V_{in}) = 3.3 - 2V_{CB} - 2.4$$

$$V(R8) = 0.9 - 2V_{CB} \quad (5.35)$$

Ahora podemos calcular la resistencia R8 que se define como la tensión que cae en dicha resistencia entre la corriente que pasa por ella:

$$R8 = \frac{V(R8)}{I} = \frac{0.9 - 2V_{CB}}{I} \quad (5.36)$$

Por tanto tenemos dos variables indefinidas que son la resistencia R8 y la corriente I. El resto de resistencias (R9, R10 y R11) se calculan de manera similar.

Para definir la corriente I hay que fijar los espejos de corriente, aunque primero se ha de diseñar la fuente de corriente compuesta por el transistor BJT74 y la resistencia R7. Las corrientes han de ser mínimas para no excedernos en el consumo de potencia con la precaución de que la estructura funcione. Todo ello se hizo mediante simulación. Se empezó tomando una tensión de prueba para configurar la fuente de corriente y así fijar las bases de los espejos. Si los parámetros no eran los adecuados se volvieron a cambiar. Tras varias simulaciones los valores óptimos fueron los de la Tabla 5.10.

Tabla 5.10. Valores de los componentes para divisor rápido basado en HBT

COMPONENTE	VALOR
R7	2500 Ω
R8, R9	800 Ω
R10, R11	800 Ω

Comprobamos el funcionamiento para la frecuencia máxima de 5800 MHz, introduciéndole una señal cuadrada “Vin” y su inversa, tal como se ve en la Figura 5.34.

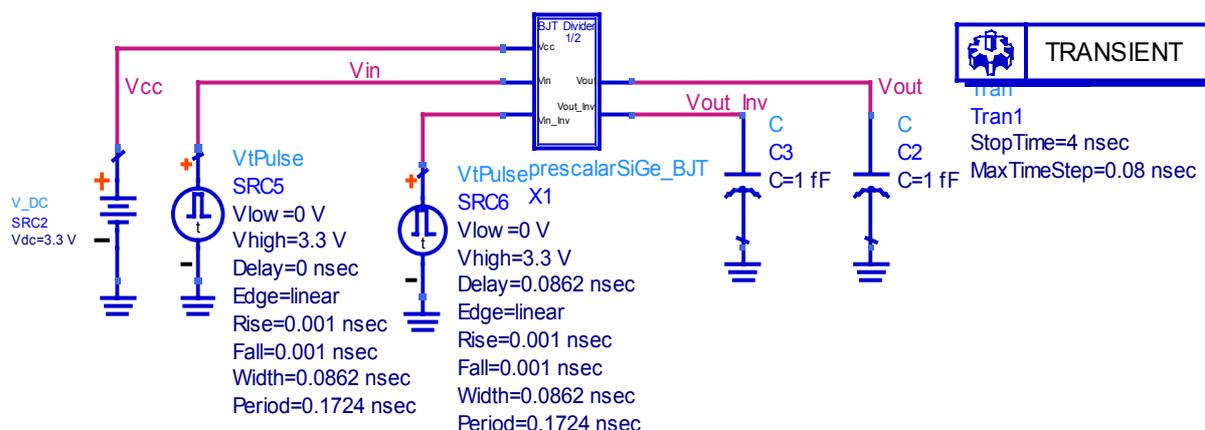


Figura 5.34. Test del divisor rápido basado en HBT para 5800 MHz (RFIC_prescalarsige_BJT_test).

En la Figura 5.35 se observa la simulación del esquemático de la Figura 5.34 donde tenemos la señal de reloj “Vin” y la salida del divisor “Vout”. Se comprueba que la frecuencia de salida es la mitad de la de entrada, por lo que el diseño es correcto.

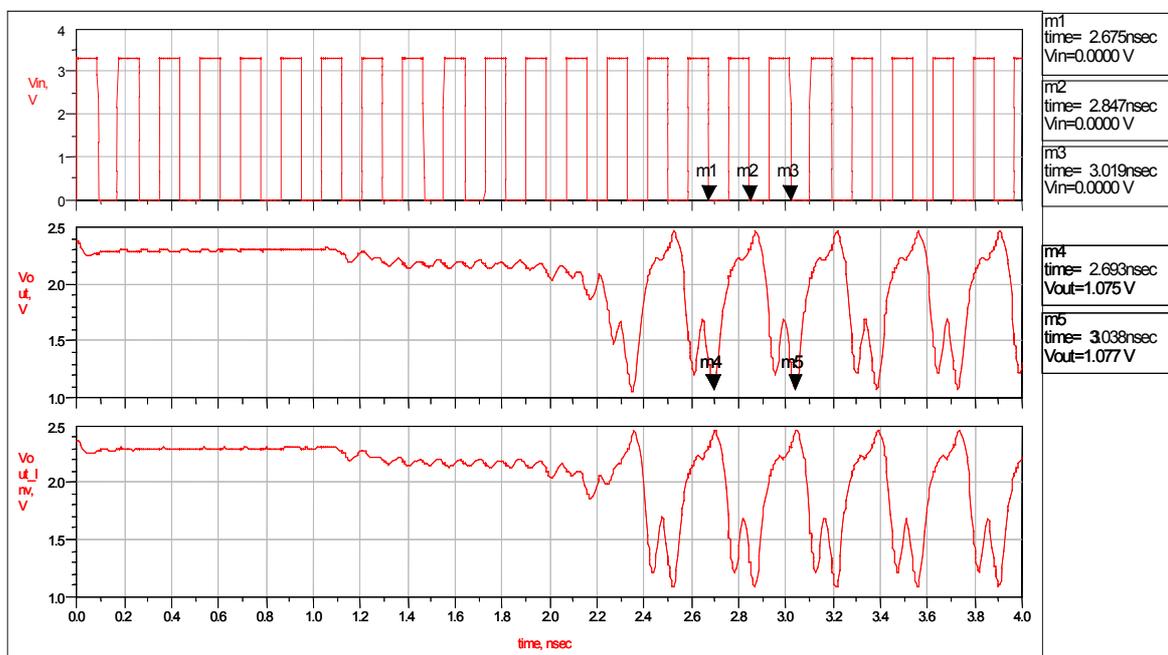


Figura 5.35. Simulación del divisor rápido basado en HBT para 5800 MHz.

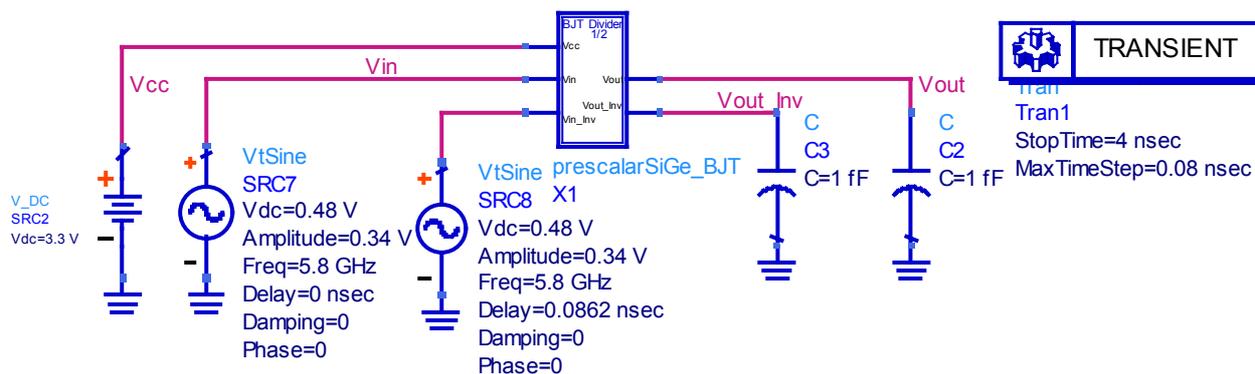


Figura 5.36. Test del divisor rápido basado en HBT para 5800 MHz con reloj ajustado a la salida de VCO (RFIC_prescalarsige_BJT_VCO_test).

En la simulación de la Figura 5.36 tenemos la señal de reloj ajustada como la salida real del VCO, es decir entre 0.15 V y 0.8 V. En este caso no se consigue que la frecuencia de salida sea la mitad de la entrada (ver Figura 5.37), por lo que el diseño ya no es correcto. Para ser correcto tendríamos que buscar una etapa amplificadora de la salida del VCO a la entrada de este divisor, ajustándolo entre los 0 y 3.3 V, donde hemos visto anteriormente que funciona correctamente. La razón del mal funcionamiento de esta etapa para los niveles entregados por el VCO está en la elevada tensión V_{be} de los transistores HBT utilizados (0.9 V) la cual es mayor que el rango dinámico entregado por el oscilador.

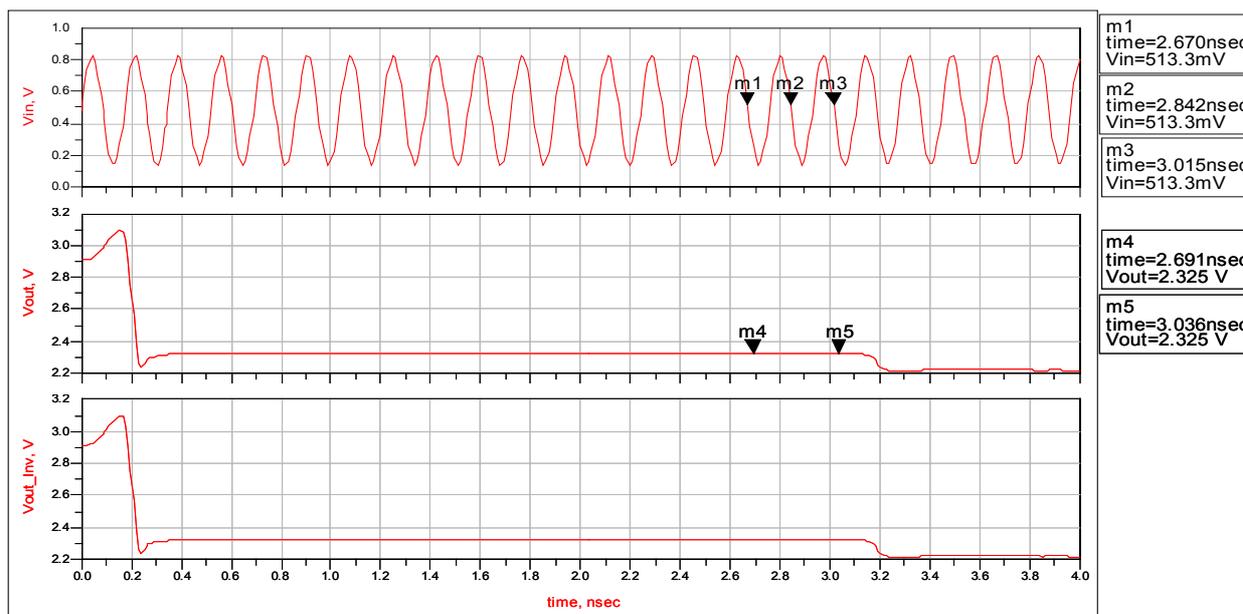


Figura 5.37. Simulación del divisor rápido basado en HBT para 5800 MHz con reloj ajustado a la salida del VCO.

5.3.3. Divisor rápido basado en TSPC

Este divisor está basado en una estructura de única fase de reloj, o TSPC (*true single-phase clocking*). La estructura consiste en un flip-flop tipo D, al cual realimentamos su entrada “D” con la salida negada, en nuestro caso llamado “Q”. Esta configuración realiza la división por dos.

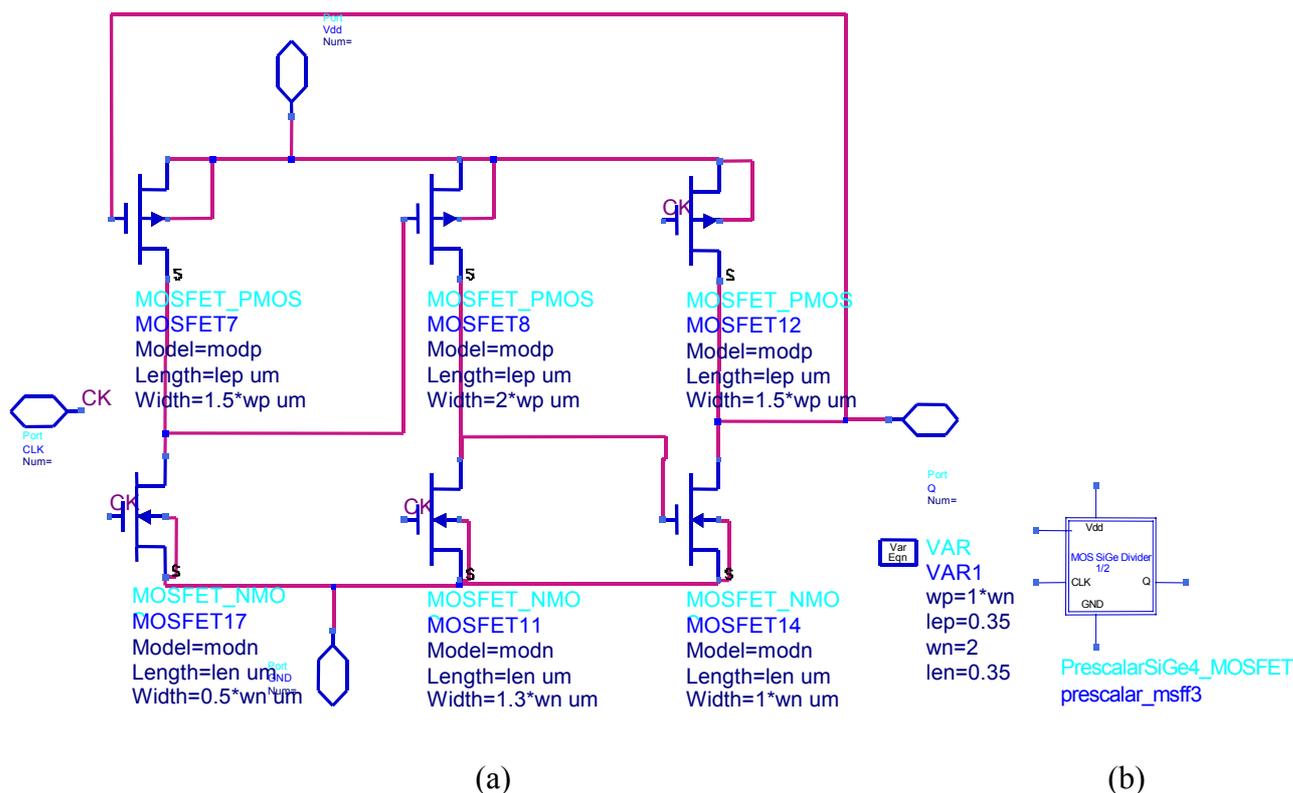


Figura 5.38. (a) Esquemático del divisor rápido basado en TSPC (prescalarsige4_MOSFET), (b) símbolo.

En la Figura 5.38 está el esquema del divisor rápido basado en TSPC con transistores MOSFET de la tecnología de AMS.

Las relaciones de los transistores para adecuar la salida y hacerla lo más cuadrada posible con máximos y mínimos entre los 0 y 3.3 V, se ha obtenido dimensionando cada transistor individualmente mediante sucesivas simulaciones, obteniendo las dimensiones de la Figura 5.38(a).

Comprobamos el funcionamiento para la frecuencia máxima de 5785 MHz introduciéndole una señal cuadrada “clk”.

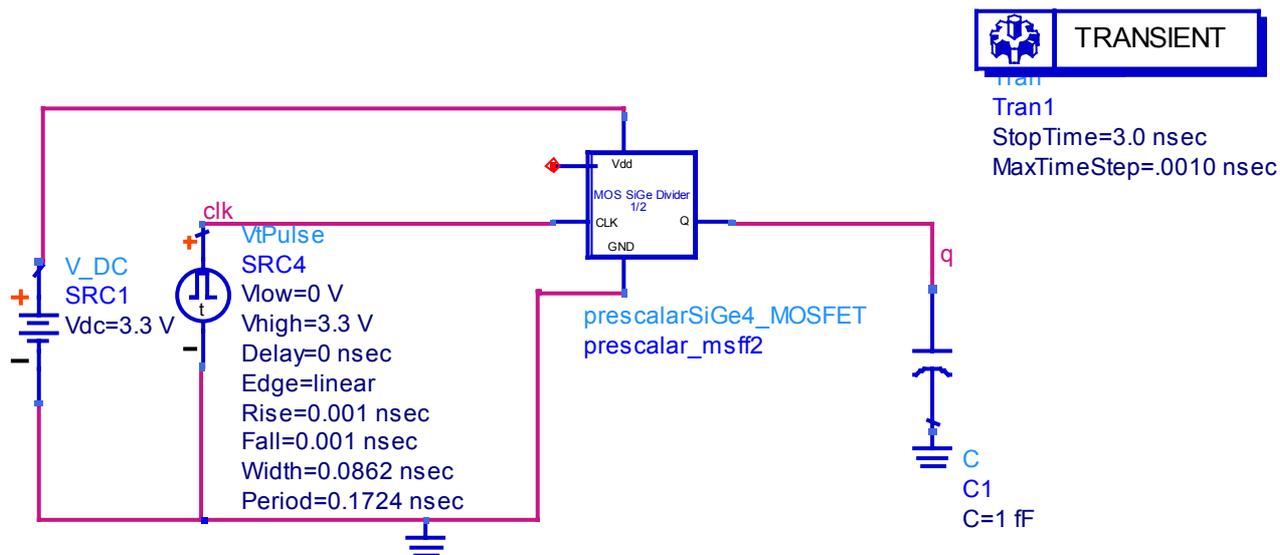


Figura 5.39. Test del divisor rápido basado en TSPC para 5800 MHz (RFIC_prescalarsige4-6g).

En la Figura 5.40 se observa la simulación del esquema visto en la Figura 5.39 donde tenemos la señal de reloj “clk” y la salida del divisor “q”. Se comprueba que la frecuencia de entrada es el doble de la de salida, por lo que el diseño es correcto.

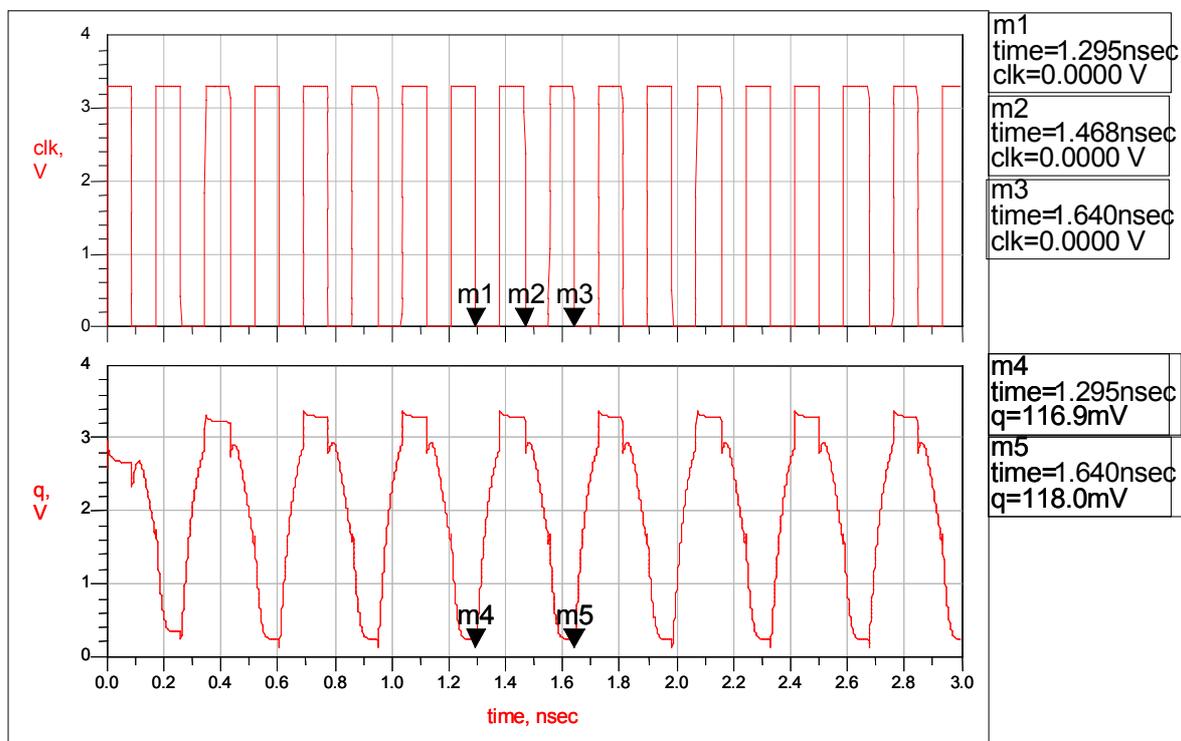


Figura 5.40. Simulación del divisor rápido basado en TSPC para 5800 MHz.

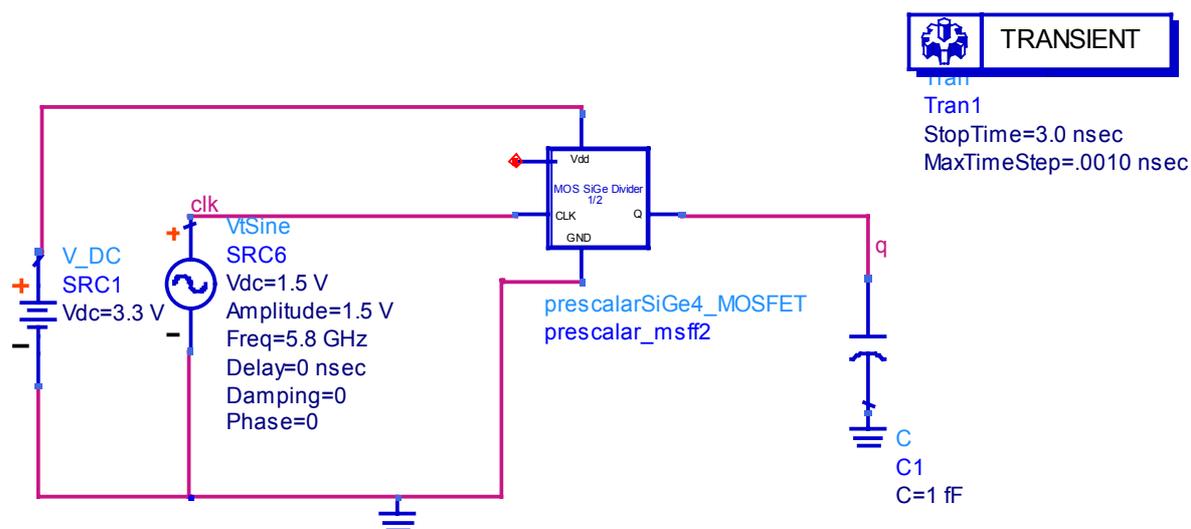


Figura 5.41. Test del divisor rápido basado en TSPC para 5800 MHz con reloj senoidal y V_{pp} de 3V (RFIC_prescalarsige4-6g_seno).

En la Figura 5.42 se observa la simulación del esquemático de la Figura 5.41 donde tenemos una señal “clk” senoidal de tensión de pico a pico de 3V ajustándola a la alimentación del circuito. Se comprueba que la frecuencia de entrada es el doble de la salida, dando un diseño correcto.

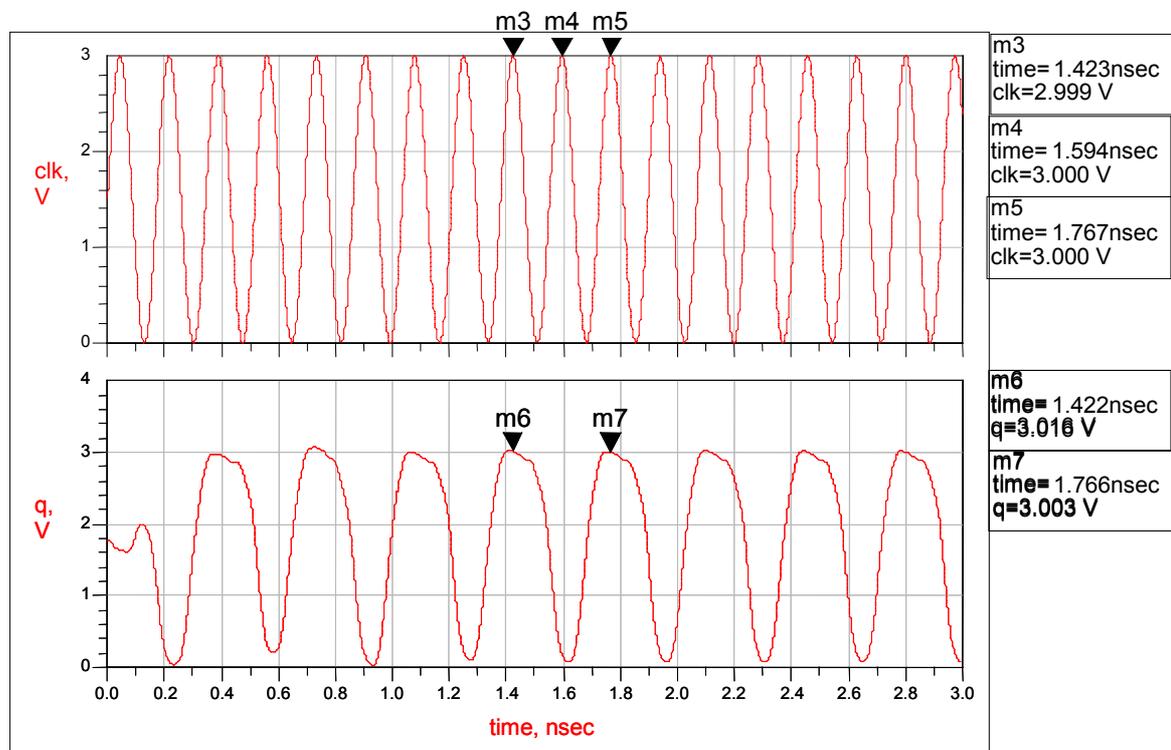


Figura 5.42. Simulación del divisor rápido TSPC para 5800 MHz con reloj senoidal y V_{pp} de 3V.

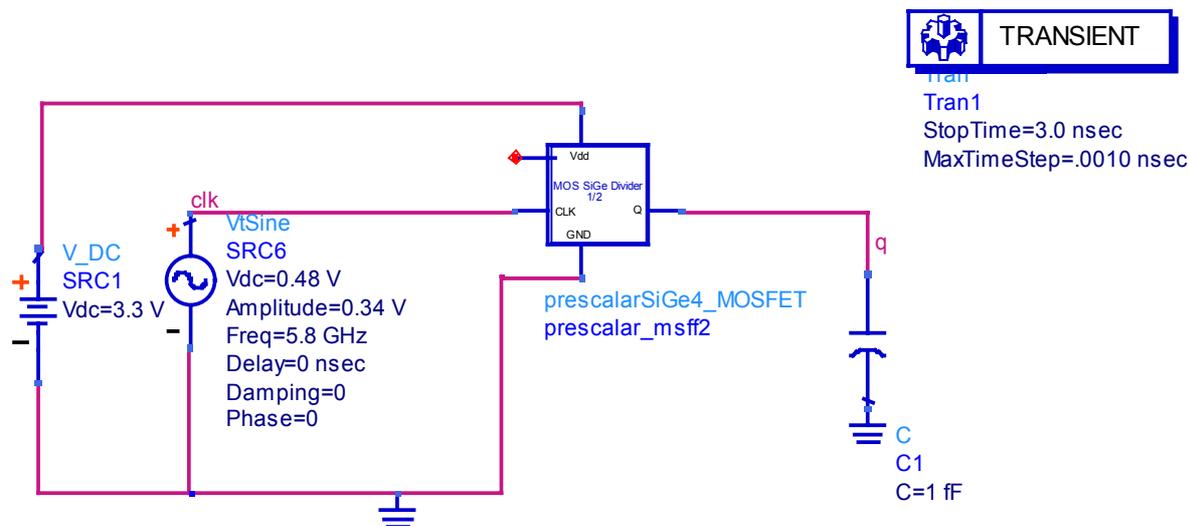


Figura 5.43. Test del divisor rápido basado en TSPC para 5800 MHz con reloj ajustado a salida de VCO (RFIC_prescalarsige4-6g_seno_VCO).

En la Figura 5.50 se observa la simulación del esquemático de la Figura 5.49 donde la señal de reloj es la salida real del VCO, es decir entre 0.15 V y 0.8 V. En este caso no podemos conseguir que la frecuencia de salida sea la mitad de la de entrada, por lo que el diseño ya no es correcto. Para ser correcto tendríamos que buscar una etapa amplificadora de la salida del VCO a la entrada de este divisor, ajustándolo entre los 0 y 3.3 V, donde hemos visto que si funciona.

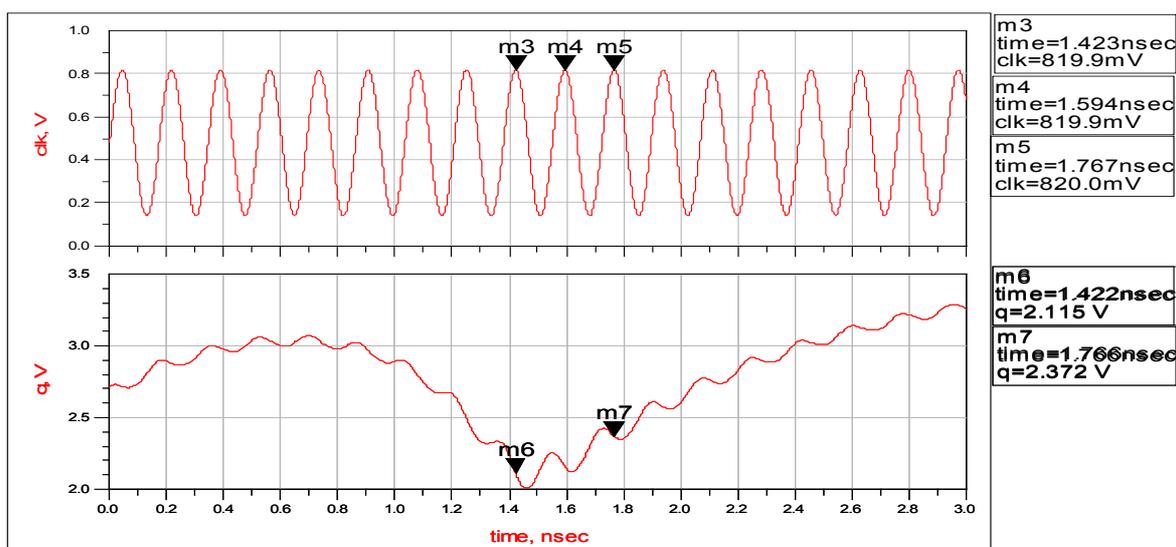


Figura 5.44. Simulación del divisor rápido basado en TSPC para 5800 MHz con reloj ajustado a la salida del VCO.

5.3.4. Divisor rápido usando inversores

Este circuito consta de dos inversores CMOS que operan como latches dinámicos controlados por las señales de entrada “CK” y su inversa “CKinv” provenientes del VCO. El tercer y último inversor realiza una última inversión.

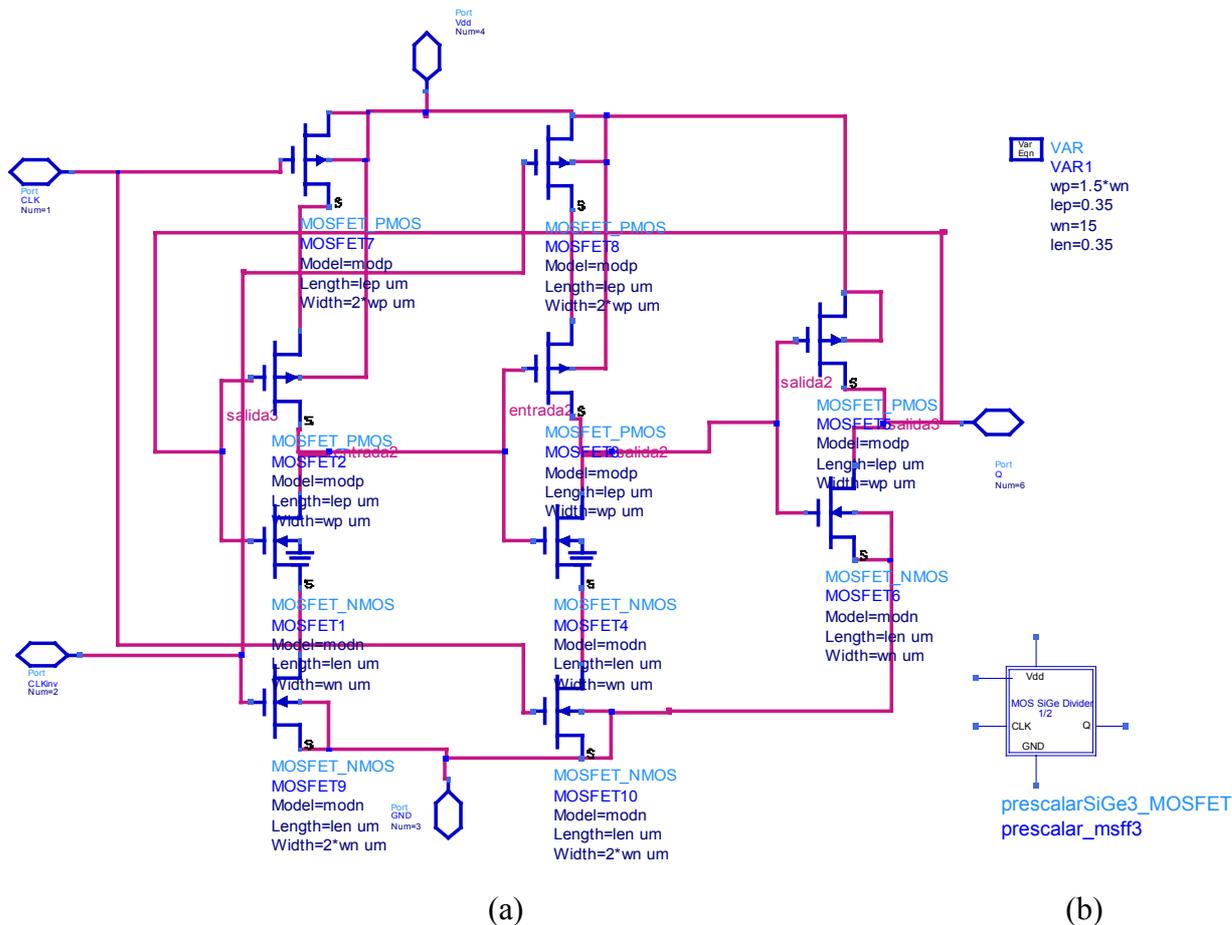


Figura 5.45. (a) Esquemático del divisor rápido con inversores (prescalarSiGe3_MOSFET); (b) Símbolo.

En la Figura 5.45(a) se observa el esquema del divisor rápido basado en inversores con transistores MOSFET.

Las relaciones de los transistores para adecuar la salida y hacer correcta la división entre dos, teniendo niveles entre los 0 y 3.3 V, se han obtenido dimensionando los transistores mediante sucesivas simulaciones. Las dimensiones de los transistores se pueden observar en la Figura 5.45(a). En ella vemos que hemos tenido que aumentar la relación de aspecto de los transistores que controlan las señales de reloj para lograr su funcionalidad.

Comprobamos el funcionamiento de este divisor introduciéndole una señal “clk” y su inversa para las frecuencias de funcionamiento máxima de 5785 MHz, y su frecuencia mínima de 5160 MHz.

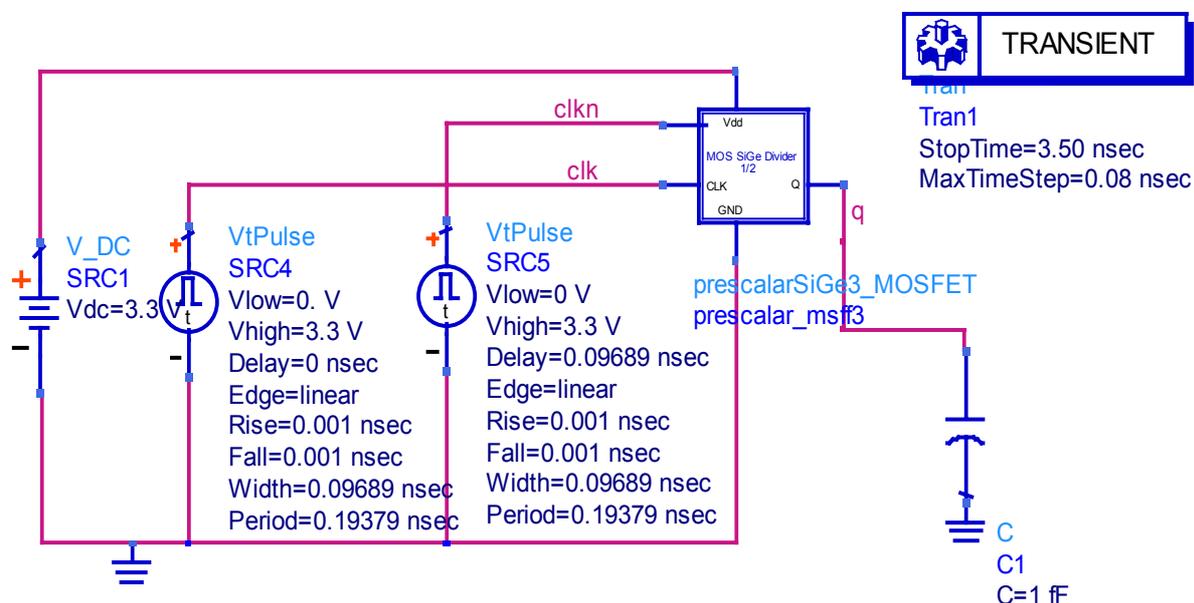


Figura 5.46. Test del divisor rápido con inversores para 5160 MHz (RFIC_prescalarsige3-6g_5160M).

En la Figura 5.47 se observa la simulación del esquema de la Figura 5.46 donde tenemos la señal de reloj “clk” y la salida del divisor “q”. La frecuencia de entrada es el doble de la de salida por lo que el diseño es correcto.

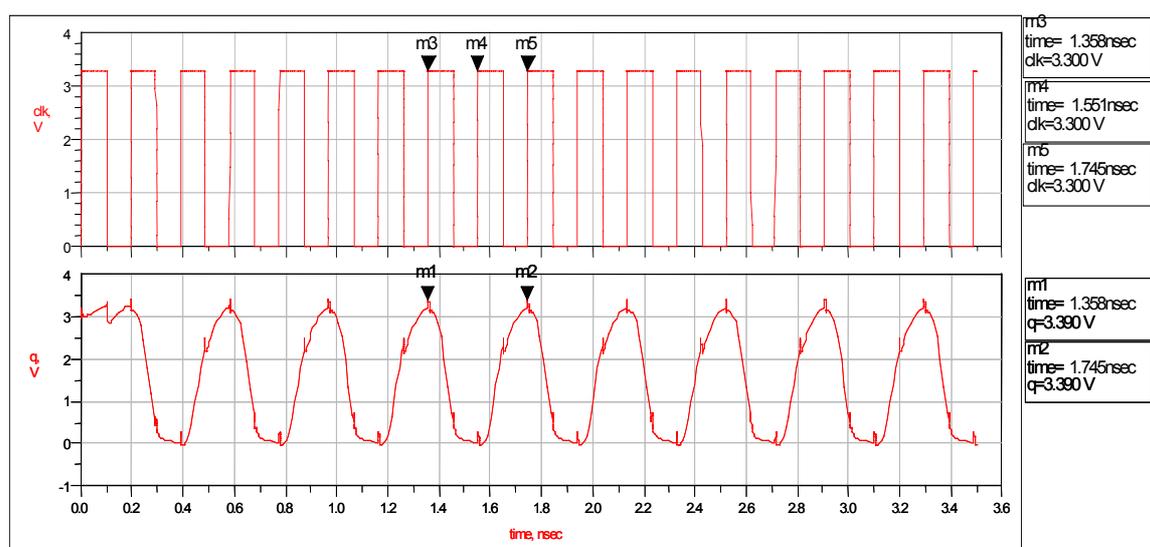


Figura 5.47. Simulación del divisor rápido con inversores para 5160 MHz.

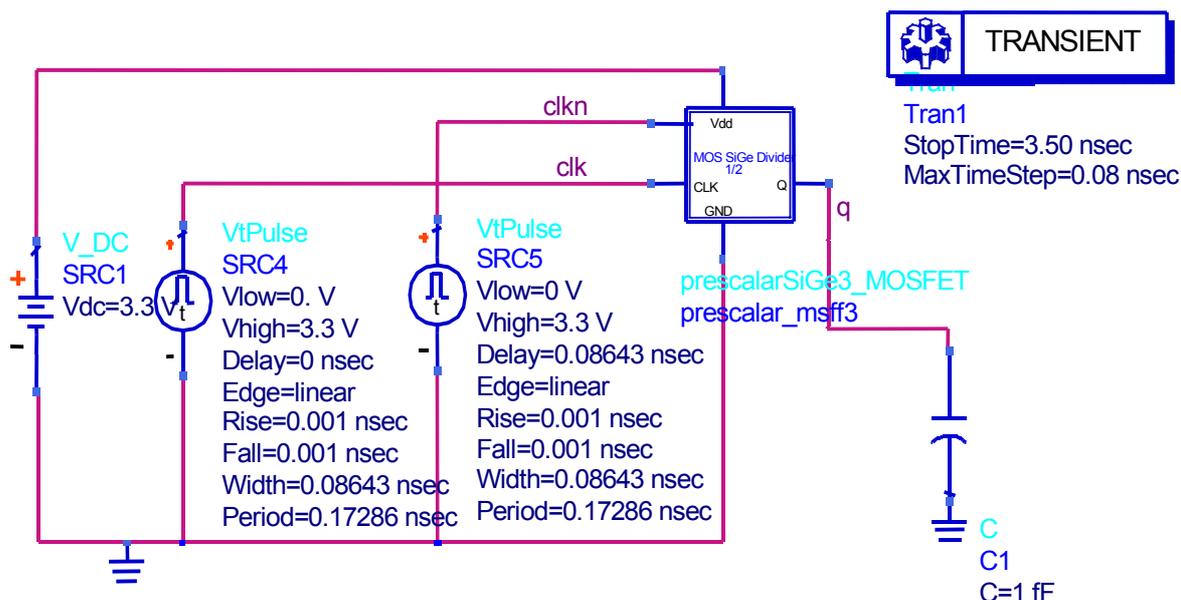


Figura 5.48. Test del divisor rápido con inversores para 5785 MHz (RFIC_prescalarsige3-6g_5785M).

Con el esquema de la Figura 5.48 comprobamos la simulación de la Figura 5.49 donde tenemos la señal de reloj “clk” mayor y la salida del divisor. En este caso la frecuencia de entrada es el doble de la de salida quedando comprobado para los dos casos extremos de división.

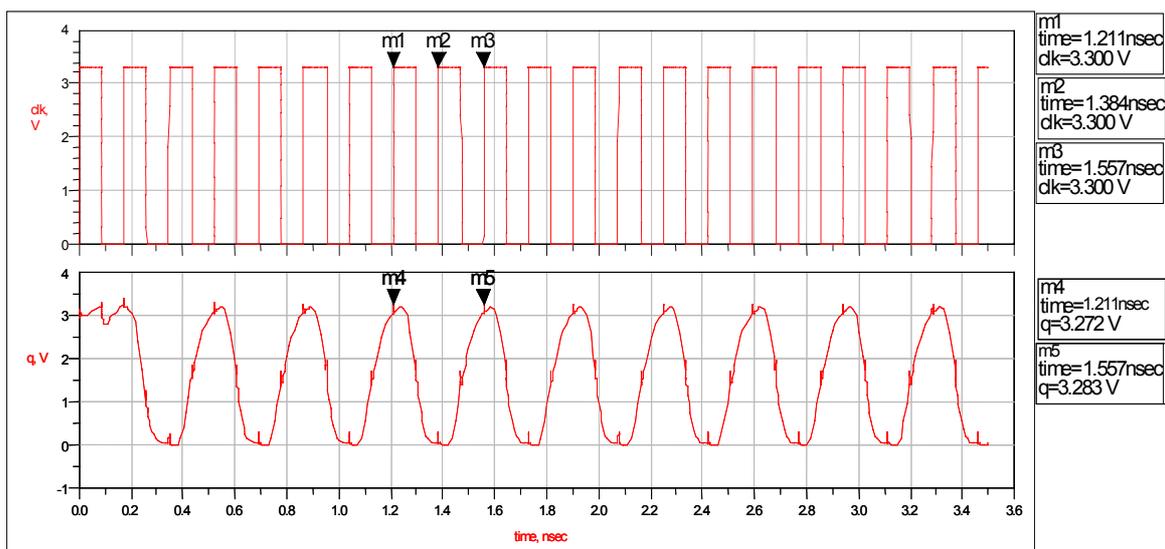


Figura 5.49. Simulación del divisor rápido con inversores para 5785 MHz.

Ahora bien, debemos comprobar el funcionamiento cuando tenemos la señal de reloj ajustada como la salida real del VCO, es decir entre 0.15 V y 0.8 V (ver Figura 5.50).

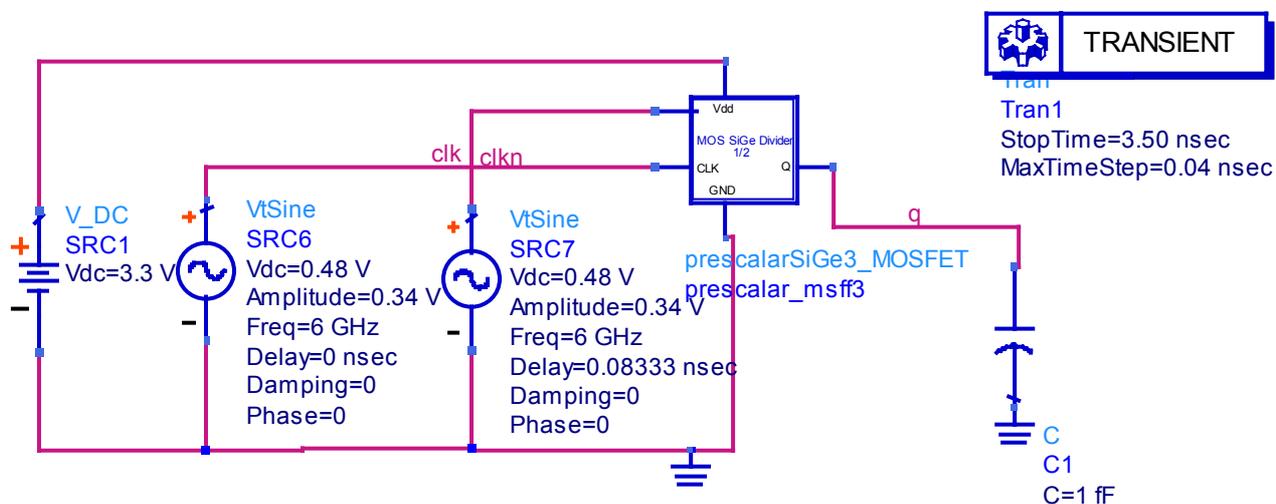


Figura 5.50. Test del divisor rápido con inversores para 6 GHz con reloj ajustado a salida de VCO (RFIC_prescalarsige3-6g_seno_VCO).

Como vemos en la Figura 5.51 la simulación con estos valores no es correcta y, por tanto, hay que volver a rediseñar el circuito.

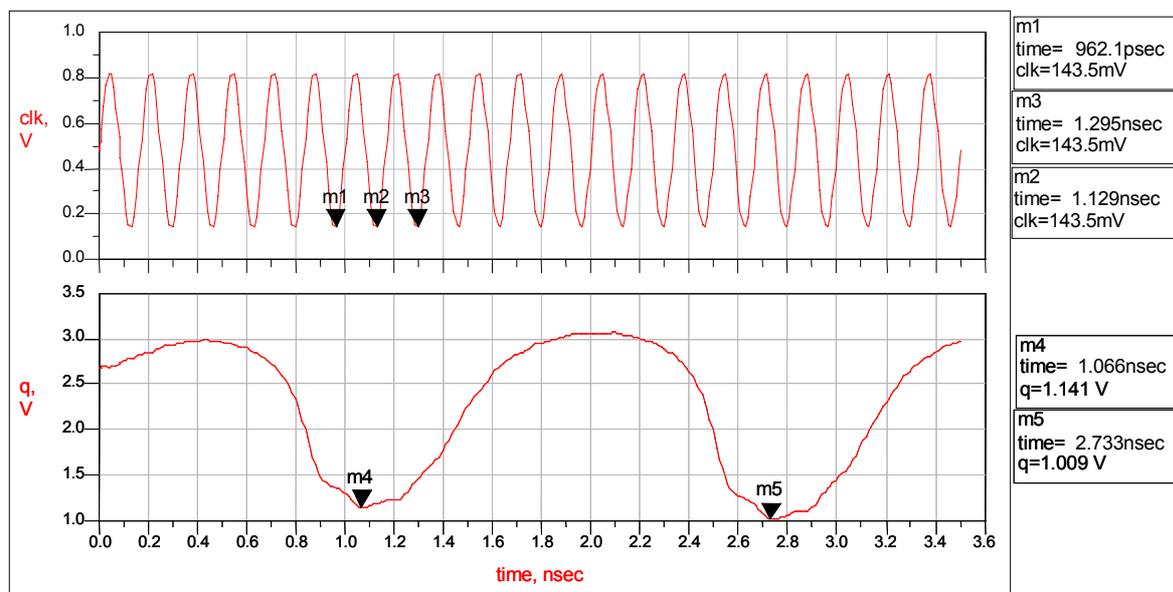


Figura 5.51. Simulación del divisor con inversores para 6 GHz con reloj ajustado a la salida del VCO.

Volviendo a la estructura del divisor con inversores y mediante simulaciones, optamos por cambiar las relaciones de los transistores e intentar que divida correctamente. En ella vemos que hemos tenido que aumentar la relación de aspecto de los transistores que controlan las señales de reloj para obtener su funcionalidad con las salidas de nuestro VCO. El nuevo esquema de este divisor es el de la Figura 5.52.

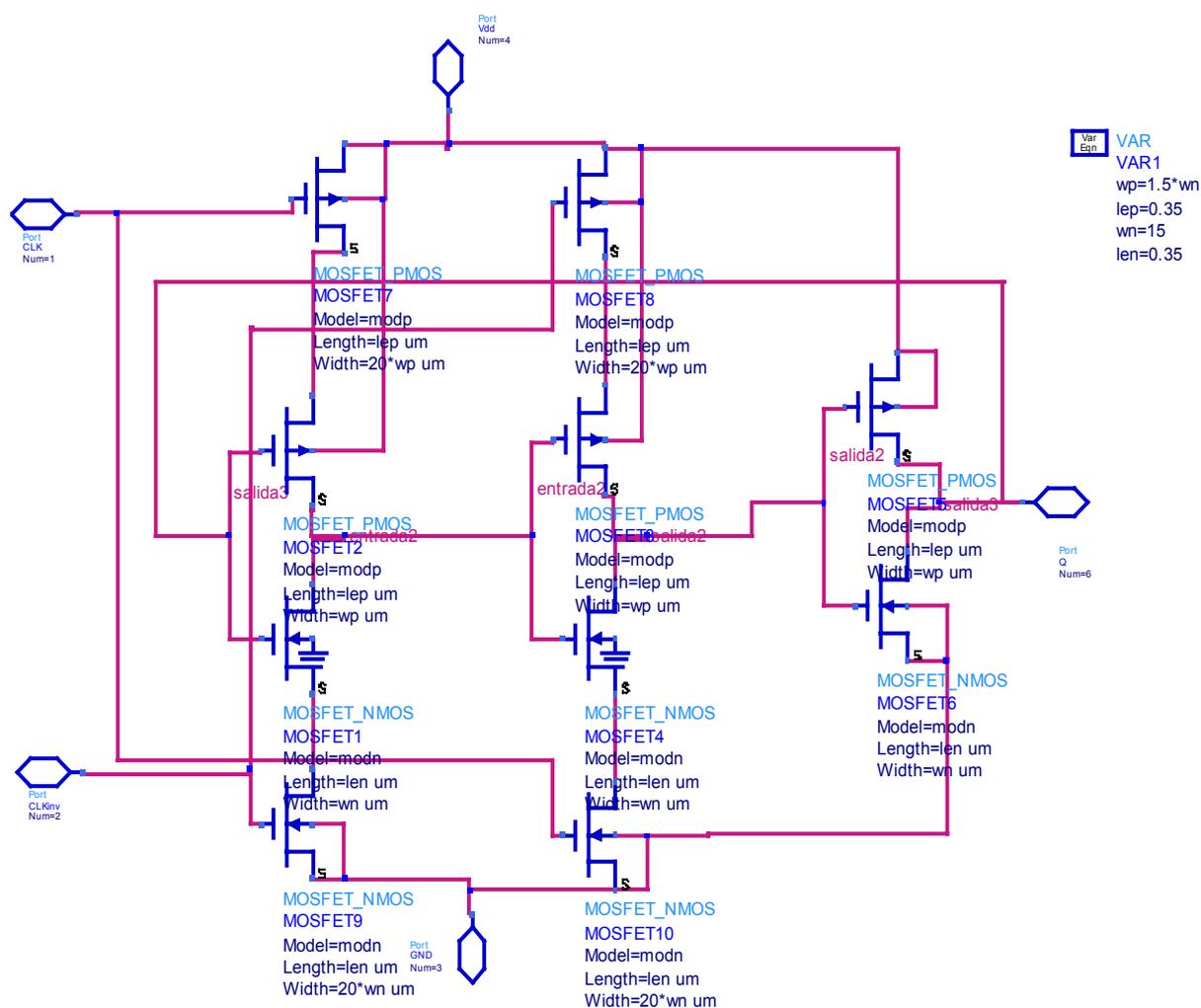


Figura 5.52. Esquemático final del divisor rápido con inversores para adaptar con salida del VCO.

En la siguiente figura se observa la simulación del test de la Figura 5.50 y el esquema de nuestro divisor de la Figura 5.52. Para este caso ya hemos resuelto todos los problemas de adaptar las señales de entrada y salida. Ya podemos enganchar nuestro divisor por dos con las salidas del VCO como se demuestra a continuación.

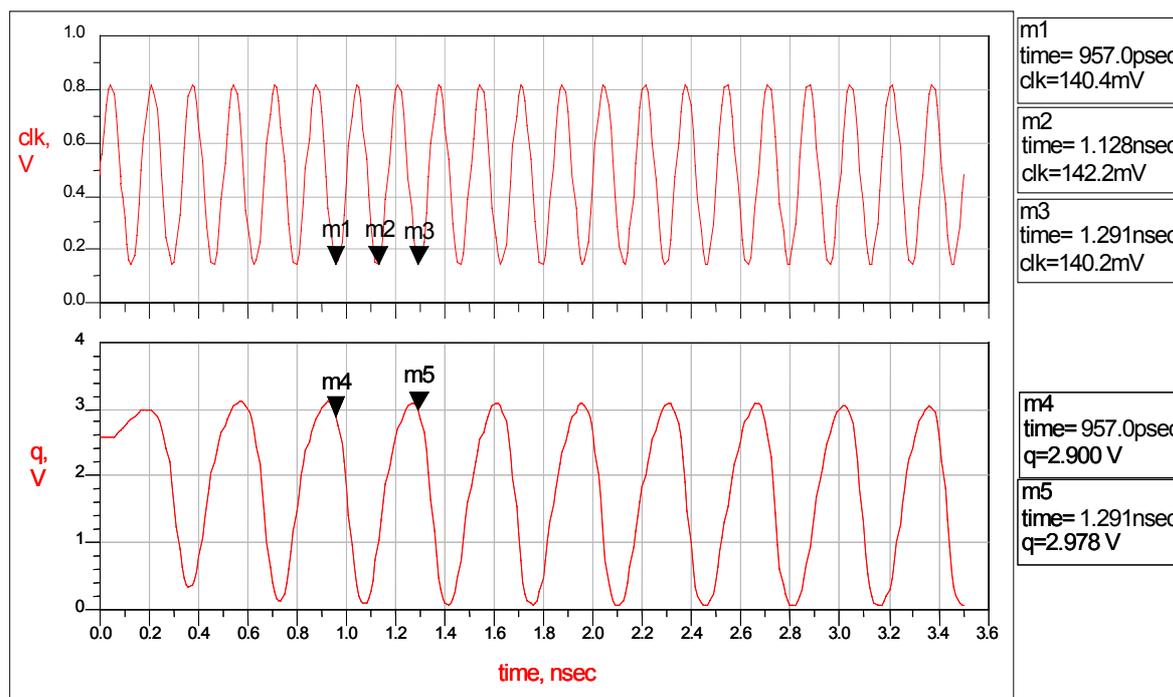


Figura 5.53. Simulación del divisor con inversores para 6 GHz con reloj ajustado a la salida del VCO, ajustado.

Con el test de la Figura 5.54 calculamos tanto la potencia consumida por el divisor como su impedancia de salida, con un análisis en AC para la frecuencia de funcionamiento entre los 5 y 6 GHz. Para ello ponemos unos amperímetros en ADS que calculan las corrientes tanto de entrada como de salida.

Para calcular la potencia consumida basta con multiplicar la tensión de alimentación de 3.3V por la corriente real que le entra.

Para calcular la impedancia de salida se calcula la parte imaginaria de la señal de salida y se divide por la parte imaginaria de la corriente que sale. Una vez calculada esta impedancia se puede calcular el valor de la capacidad.

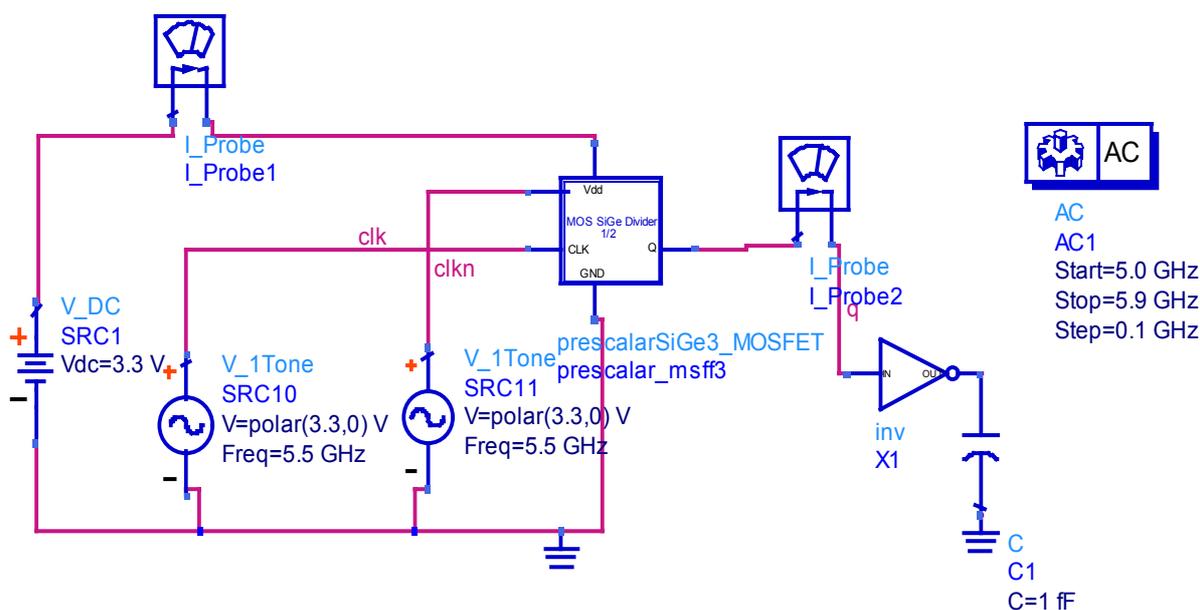


Figura 5.54. Test del divisor rápido con inversores para calcular potencia consumida e impedancia de salida (RFIC_prescalarsige3-6g_mosfet_test_ZO_vseno2).

La potencia media es de 11.28 mW, y la capacidad de salida alrededor de los 12 fF.

Hemos probado varias estructuras de divisores rápidos y esta es la única que nos satisface completamente adaptándose a la salida del VCO que utilizamos sin necesidad de más etapas. Por lo tanto el divisor rápido a utilizar es el divisor rápido con inversores de la Figura 5.52.

5.4. Divisor programable

En este apartado comenzamos con el estudio de la estructura del divisor programable para posteriormente abordar su diseño y simulación.

5.4.1. Estudio del divisor programable

El divisor programable de doble módulo consta de un predivisor (*prescaler*) rápido, que puede dividir por $(P+1)$ y P , y dos contadores programables A y N_p de baja velocidad. N_p es mayor que A de forma que N_p se usa para un ajuste grueso, mientras que A se usa para el ajuste fino.

Inicialmente el predivisor divide por $(P+1)$, y cada vez que entrega un impulso a su salida, los contadores inicializados a N_p y A se decrementan en una unidad. Cuando A llega a cero, el predivisor pasa a dividir por P y así se mantiene hasta que N_p llega a su vez a cero. Seguidamente se reinician todas las variables y vuelve a empezar el proceso.

El número total de impulsos que entran en el predivisor por cada uno que se entrega a la salida de N_p es:

$$N = A(P+1) \left[\text{para poner } A \text{ a cero} \right] + (N_p - A)P \left[\text{para llevar } N_p \text{ a cero} \right]$$

$$N = N_p \cdot P + A \quad (5.37)$$

La frecuencia de salida es:

$$f_{out} = f_{in} / N = f_{in} / (N_p \cdot P + A) \quad (5.38)$$

La estructura del divisor de doble módulo es la de la Figura 5.55.

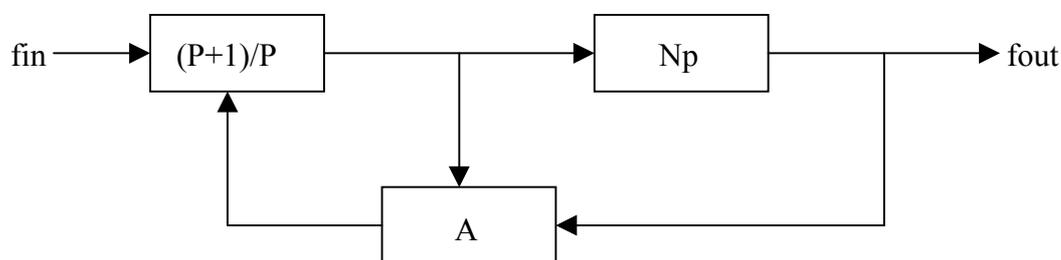


Figura 5.55. Diagrama de bloques del divisor programable.

Para una frecuencia de salida f_{out} igual a 2.5 MHz, los valores de N necesarios para generar las frecuencias del estándar varían entre 1032 y 1157. Si usamos un predivisor de $4/5$ y un divisor A de $4/5$ los valores de N_p deberán variar entre 257 y 288.

En la Tabla 5.11 se muestran los valores que toman N_p y A para conseguir las frecuencias requeridas del sintetizador.

Tabla 5.11. Valores del divisor programable

Frecuencia del sintetizador RF-IF (MHz)	Frecuencia de entrada al divisor programable (MHz)	Valor del div. prog. $4N_p+A$	Valor de N_p	Valor de A
5160	2580	1032	257	4
5180	2590	1036	258	4
5200	2600	1040	259	4
5220	2610	1044	260	4
5240	2620	1048	261	4
5260	2630	1052	262	4
5280	2640	1056	263	4
5300	2650	1060	264	4
5725	2862.5	1145	285	5
5745	2872.5	1149	286	5
5765	2882.5	1153	287	5
5785	2892.5	1157	288	5

La estructura final del divisor de doble módulo es la de la Figura 5.56.

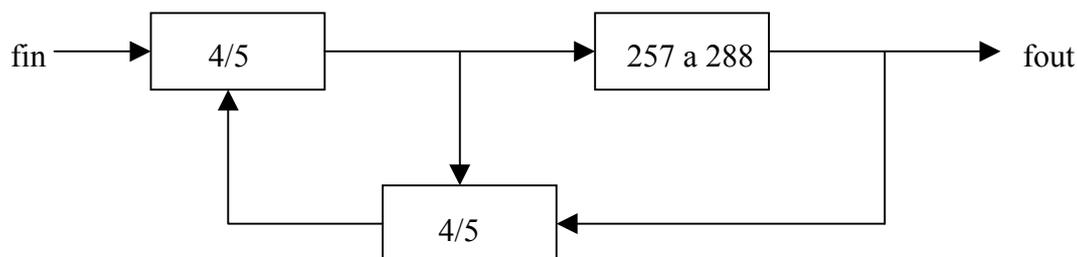


Figura 5.56. Diagrama de bloques para valores reales del divisor programable.

5.4.2. Diseño y simulación del divisor programable

Se realizará el estudio detallado y el diseño del *prescaler* 4/5 ya que es el divisor rápido. El divisor programable de 257 a 288 es un divisor digital de baja velocidad y no se va a estudiar debido a su sencillez, pudiendo ser diseñado con software de diseño digital.

5.4.2.1. Prescaler

En la Figura 5.57(a) se observa el diagrama de bloques del *prescaler*. Está formado por dos flip-flops tipo D y lógica adicional. Posee una entrada de reloj (clock), una entrada para el reseteo (clear), una entrada de control (control) la cual mantiene el estado lógico en que este divide entre 4 o entre 5, y la salida (out).

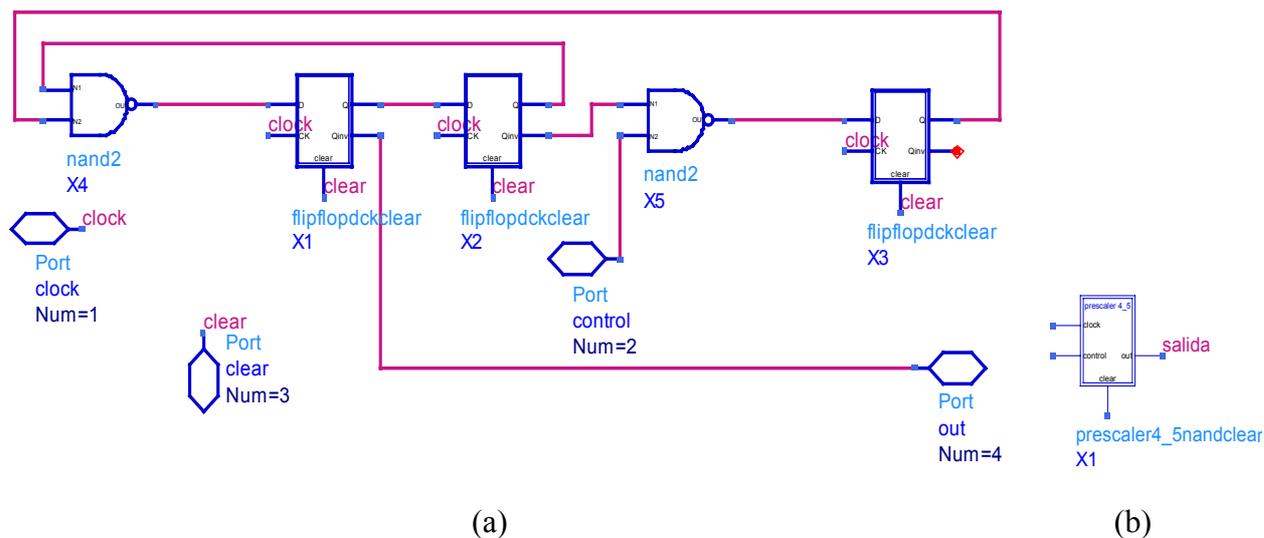


Figura 5.57. (a) Esquemático del prescaler 4/5 (*prescaler4_5nandclear*); (b) Símbolo.

En la Figura 5.57(a) se muestra el esquema del divisor 4/5 y en la Figura 5.57(b) el símbolo equivalente con el que vamos a trabajar. En el esquema hay puertas NAND2 y flip-flops tipo D, por lo que también vamos a exponer los esquemas.

La puerta NAND2 mencionada es la de la Figura 5.58. Una buena relación de aspecto de los transistores para esta puerta es la siguiente:

Tabla 5.12. Dimensiones de los MOSFET para la NAND2

Ancho del MOSFET tipo N	2 μm
Longitud puerta del MOSFET tipo N	0.35 μm
Ancho del MOSFET tipo P	4 μm
Longitud puerta del MOSFET tipo P	0.35 μm

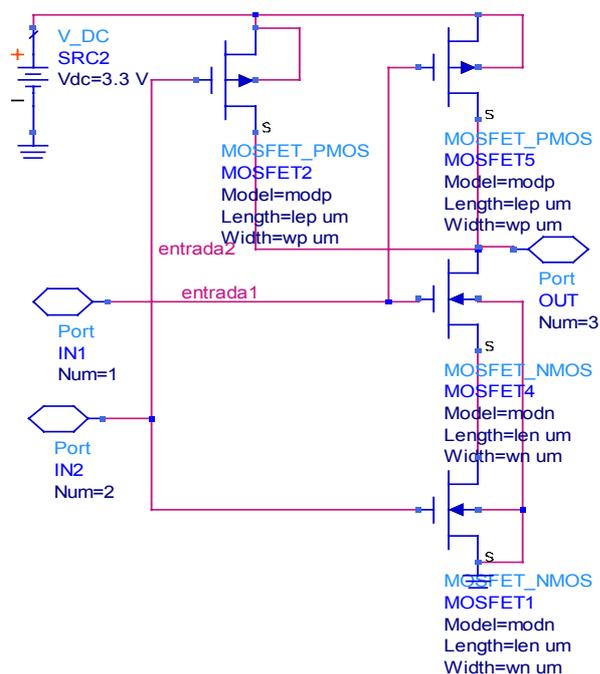


Figura 5.58. Esquemático de NAND2 (nand2).

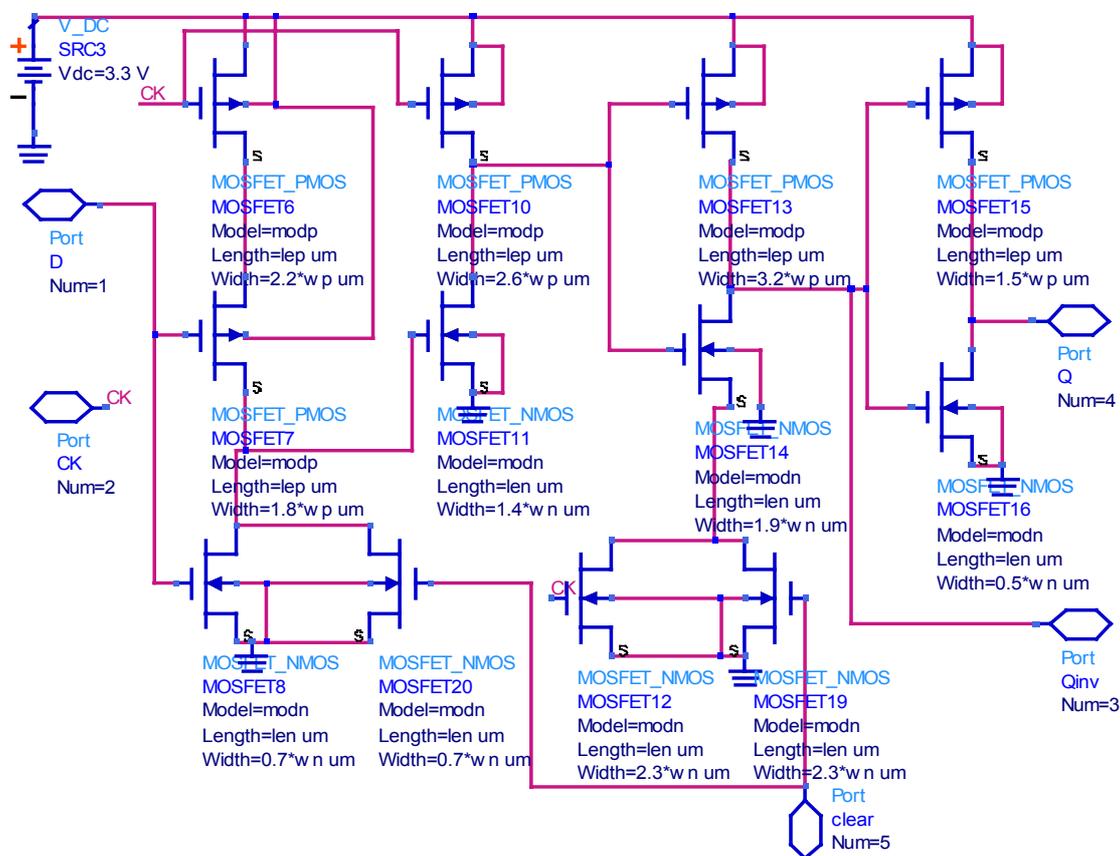


Figura 5.59. Esquemático del flip-flop tipo D (flipflopdkclear).

El flip-flop tipo D está basado en una estructura de única fase de reloj, o TSPC, como ya hemos visto en los divisores rápidos. A la estructura se le han añadido dos transistores tipo N para resetearlos (entrada “clear”), debido a que necesitamos de esta opción en la estructura. Las dimensiones de los transistores se pueden observar en la Figura 5.59 del esquemático donde vienen reflejadas.

El funcionamiento del *prescaler* se realiza introduciendo una señal “clock” para la frecuencia de funcionamiento máxima que entra en él, siendo de 5785/2 MHz, con un periodo de 0.3457 nsec. En primer lugar se hace un reset con la señal “clear” de 0.9 nsec y se vuelve a resetear a los 15 nsec para comprobar que el reset funciona. La señal de control (“control”) divide entre 5 cuando se pone en estado alto y entre 4 para un estado bajo.

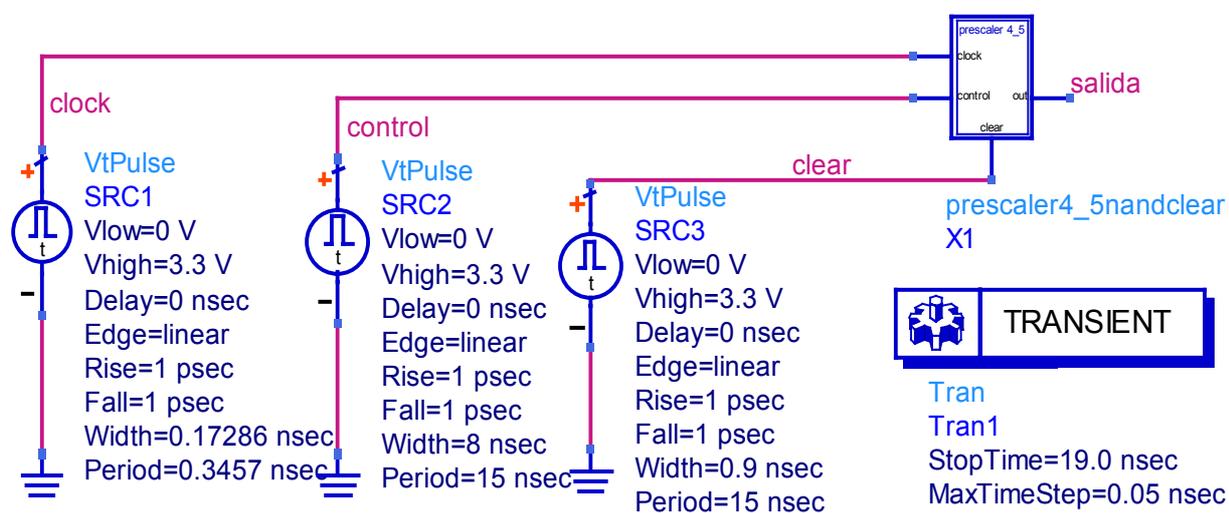


Figura 5.60. Test del prescaler 4/5 (prescaler4_5clearfuncion_control0-1).

En la Figura 5.61 se observa la simulación del esquema de la Figura 5.60. Se observa como realmente cuando “control”=“1” a la salida del *prescaler* obtenemos la división entre 5 y al cambiar “control”=“0” la división de la frecuencia será entre 4. Otro elemento interesante es el de reseteo: según la Figura 5.61 cuando el reset es igual a “1”, la salida baja a “0”, quedando este objetivo resuelto.

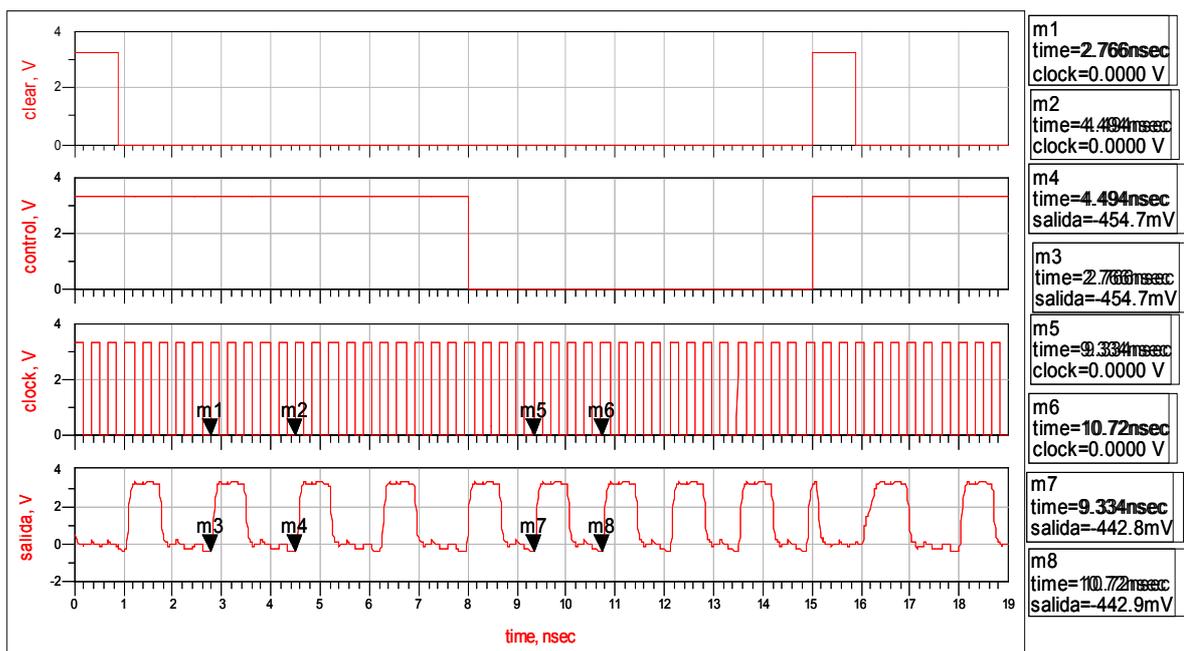


Figura 5.61. Simulación del prescaler 4/5.

5.5. Descripción del oscilador controlado por tensión

En este apartado examinamos el diseño y la medida del oscilador controlado por tensión que ya ha sido implementado [3]. El VCO es la parte más importante del sintetizador y es el encargado de generar las frecuencias del oscilador local. Sólo usaremos el modelado de este para usarlo en la simulación del sintetizador completo, ya que si usamos el real, ésta puede tardar varios meses en terminar.

5.5.1. Especificaciones del VCO

Las especificaciones del VCO se han obtenido a partir de las especificaciones del sintetizador y se encuentran en la Tabla 5.13.

Tabla 5.13. Especificaciones del VCO

Rango de frecuencias a generar	5 a 6 GHz
Potencia de salida	2 dBm
Ruido de fase	-80 dBc para un offset de 100 KHz.

5.5.2. Elección de la arquitectura

La arquitectura elegida ha sido la del oscilador LC, el cual es el más utilizado para aplicaciones de alta frecuencia. Su estructura permite la obtención de un oscilador con ruido de fase mínimo en comparación con otras estructuras que se pueden integrar, como es el caso de los osciladores en anillo, osciladores de relajación, multivibradores y otros osciladores gm-C [18].

Los osciladores LC se basan en la resonancia paralela de una bobina y un condensador. Para contrarrestar las pérdidas ocasionadas en la red LC, debidas a la resistencia asociada a ambos componentes, se utiliza junto con la red una estructura de resistencia negativa. Esta resistencia negativa contrarresta la potencia perdida por las resistencias parásitas del tanque LC.

La frecuencia de corte es mayor para los transistores SiGe (70 GHz) que para los MOS (24 GHz). La frecuencia de oscilación en nuestro VCO tiene que llegar a 6 GHz y utilizando los MOS, el VCO no podría llegar a oscilar de forma “relajada” a esa frecuencia. Por ello, se decidió implementar al amplificador de resistencia negativa con los transistores bipolares de SiGe de la tecnología de AMS de 0,35 μm .

En la Figura 5.62(a) se observa el esquema simplificado del VCO. Está compuesto por el amplificador de resistencia negativa, el cual está compuesto por 2 transistores bipolares en par cruzado, el tanque y un buffer para cada salida. En la Figura 5.62(b) se observa la configuración utilizada para el cálculo de la resistencia negativa del amplificador.

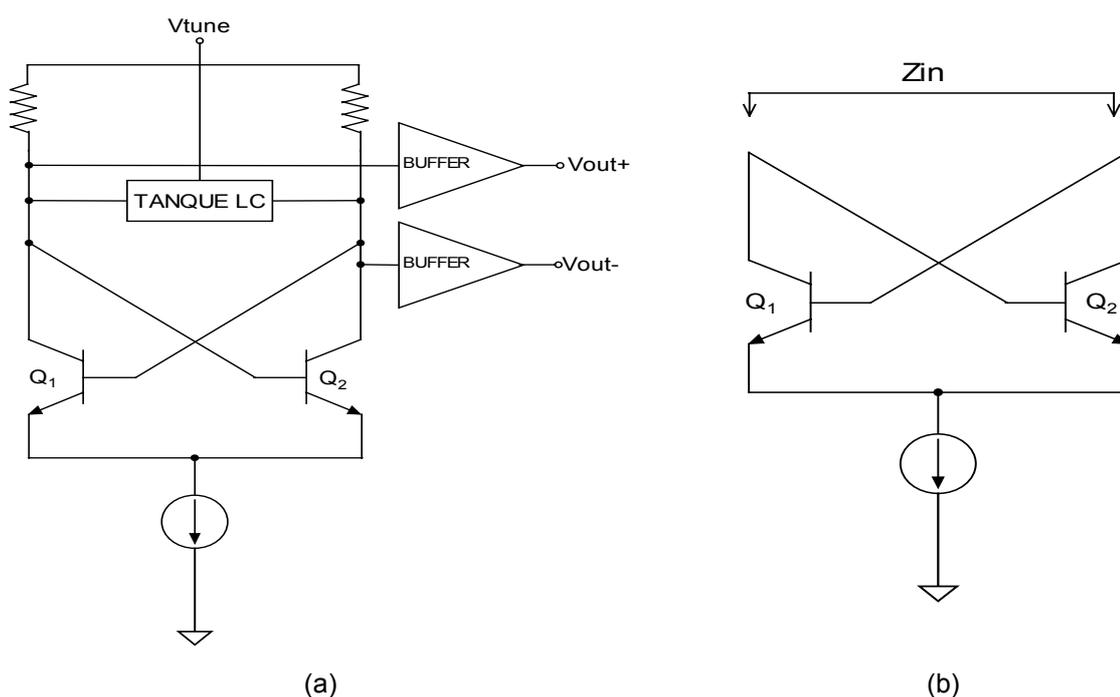


Figura 5.62. (a) Esquema simplificado del VCO; (b) configuración para cálculo de la resistencia negativa.

5.5.3. Diseño del VCO

En este apartado se muestra el diseño a nivel de esquemático y los valores optimizados del VCO. Se sigue con la realización del *layout* y su simulación.

5.5.3.1. Diseño final del VCO

El circuito final, optimizado para una carga de 50Ω en cada salida, es el mostrado en la Figura 5.63. Mediante simulaciones, se varió el área, la multiplicidad y la polarización de los transistores, para mantener la oscilación y el máximo nivel posible de tensión a la salida para todos los valores de tensión de control. En la Figura 5.63 podemos observar el terminal de alimentación (V_{cc}) y las salidas (V_{out+} y V_{out-}). El par cruzado lo forman Q_1 y Q_2 . El tanque es el formado por L , C_1 , C_2 , V_1 y V_2 , siendo $C_1 = C_2$ y $V_1 = V_2$. La etapa de salida del VCO está formada por dos transistores en colector común en cascada (Q_3 - 6), para cada salida. El empleo de este buffer reduce la influencia de la carga en la frecuencia de oscilación. Para la salida positiva tenemos los transistores Q_3 y Q_4 mientras que para la salida negativa tenemos los transistores Q_5 y Q_6 . Las fuentes de corriente están formadas por los transistores Q_7 y Q_{12} y las resistencias R_4 a R_9 .

5.5.3.2. Layout del VCO

El *layout* y la fotografía del VCO se puede observar en la Figura 5.64. Junto con los *pads* de conexión, utilizados para la realización de la medida del circuito sobre la oblea, la bobina es el elemento que más área ocupa. La disposición y conexión de la bobina se ha realizado para que la inductancia y resistencia adicional que introduce debido al conexasiónado con el resto del tanque sea mínima. De esta manera se asegura que la inductancia y calidad finales no difieran del valor considerado inicialmente. Por otra parte, no se pueden situar las bobinas tan cerca entre sí o junto a otros componentes como se desee. En torno a las espiras metálicas integradas se cierran campos electromagnéticos que pueden interactuar con pistas metálicas y otros elementos del *layout*. Esto degradaría las prestaciones de la bobina.

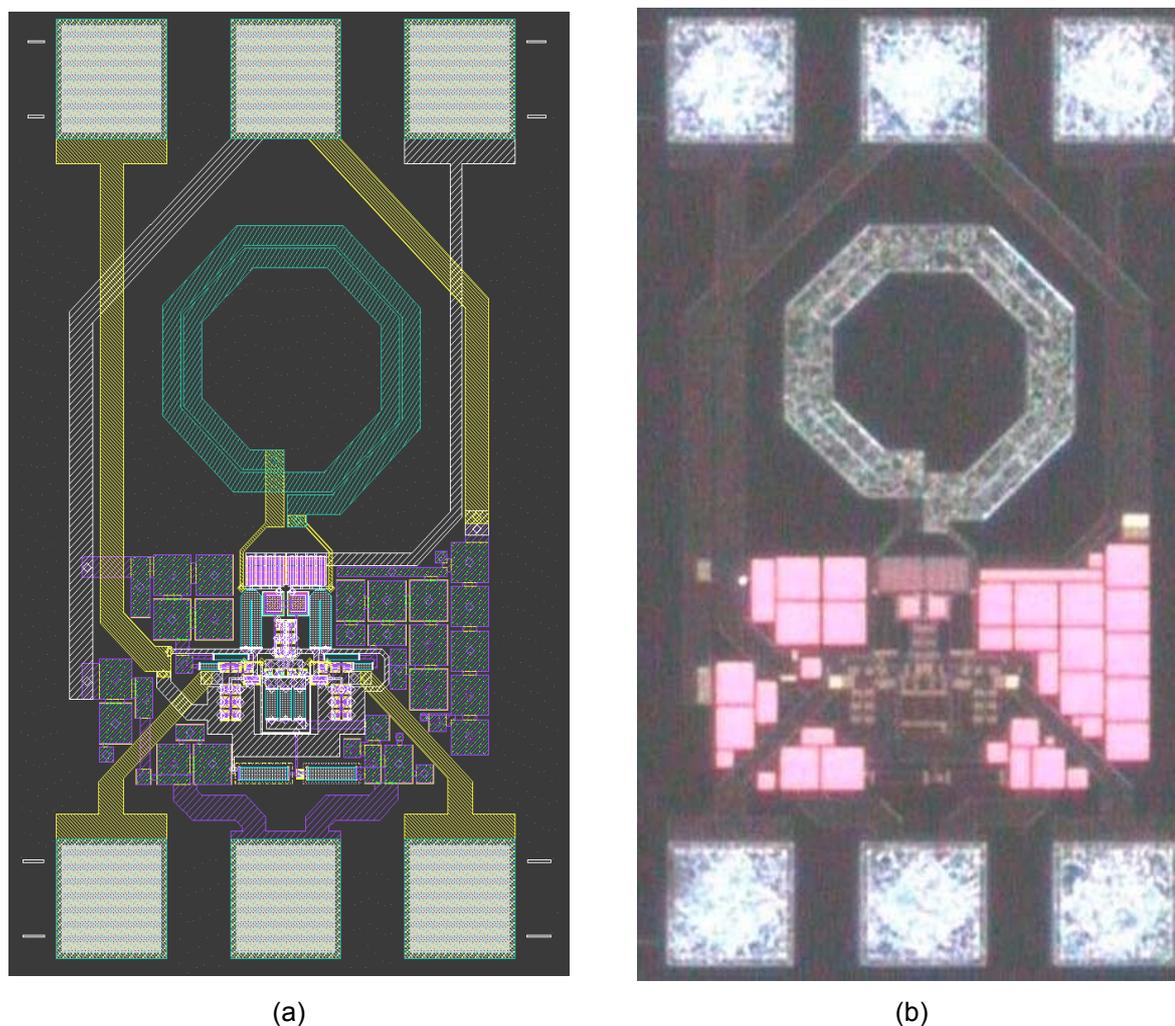


Figura 5.64. (a) *Layout*; (b) fotografía del VCO diseñado.

5.5.4. Medida del VCO

En este apartado se muestran los datos obtenidos de la medida del VCO.

5.5.4.1. Medida de la curva tensión-frecuencia, potencia y armónicos.

Se ha hecho un barrido de la tensión de control de 0 a 3,3 V obteniendo la Tabla 5.15. En ella podemos ver la potencia y frecuencia de salida del VCO así como de sus armónicos de segundo y tercer orden.

Tabla 5.15. Medida de la potencia y frecuencia de salida de VCO y de sus armónicos de segundo y tercer orden

Vtune (V)	Frecuencia Fundamental		Segundo Armónico		Tercer Armónico	
	P (dBm)	Frec (MHz)	P (dBm)	Frec (MHz)	P (dBm)	Frec (MHz)
0	-9,8	6399	-20,61	12800	-39,49	19200
0,5	-9,75	6396	-20,57	12790	-38,75	19190
1	-9,67	6388	-21,93	12780	-39,67	19160
1,2	-9,65	6379	-21,65	12760	-38,15	19140
1,3	-9,65	6372	-22,35	12740	-37,83	19120
1,4	-9,96	6359	-23,96	12720	-40,96	19080
1,5	-10,2	6326	-23,2	12650	-42,2	18980
1,6	-9,9	6298	-21,1	12600	-42	18890
1,7	-10	6239	-21	12480	-46	18720
1,8	-11,4	6139	-22,4	12280	-49,4	18420
1,9	-12,4	5988	-28,2	11980	-48,4	17960
2	-12,8	5806	-25,03	11610	-44,57	17420
2,1	-10,5	5569	-20,17	11140	-41,84	16710
2,2	-10,35	5304	-20,99	10610	-39,35	15900
2,3	-10,52	5035	-19,36	10070	-51,52	15100
2,4	-11,07	4896	-20,81	9793	-40,07	14700
2,5	-10,42	4837	-19,87	9674	-40,42	14500
2,6	-11,13	4791	-20,65	9583	-39,13	14400
2,7	-10,81	4770	-20,17	9540	-41,81	14320
2,8	-10,59	4753	-20,24	9506	-38,59	14270
3	-11,05	4726	-22,2	9451	-37,05	14170
3,2	-11,33	4709	-21,83	9417	-37,33	14120
3,3	-11,34	4702	-21,47	9405	-37,12	14100

En la Tabla 5.15 se observa claramente que los armónicos de segundo y tercer orden están atenuados aproximadamente 20 y 40 dB respectivamente. En la Figura 5.65 podemos ver la frecuencia de salida en función de la tensión de control del VCO.

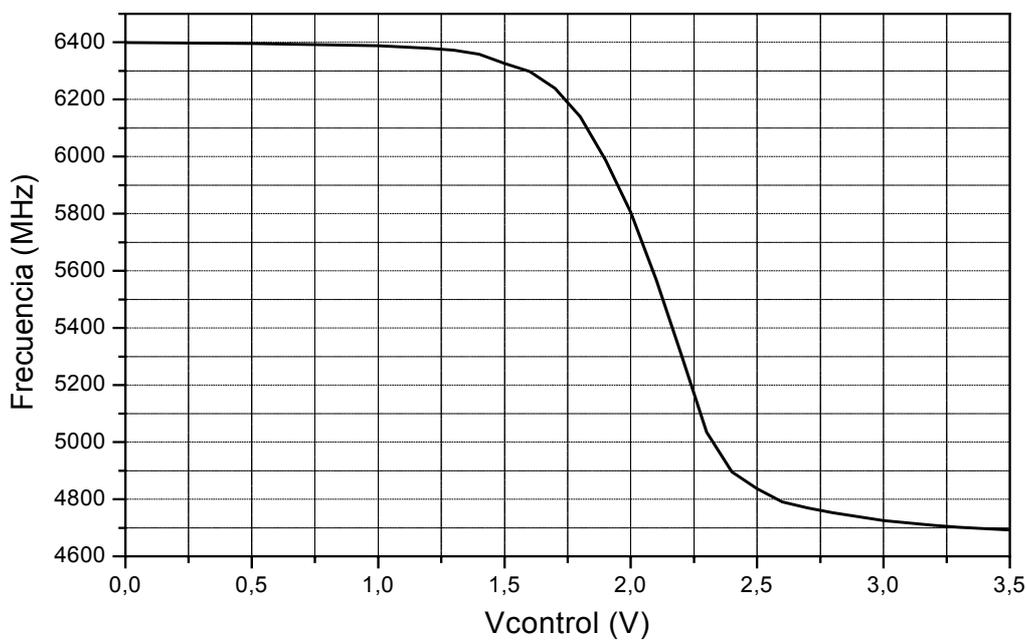


Figura 5.65. Curva medida tensión vs frecuencia del VCO.

Se observa claramente que la curva tensión frecuencia presenta una caída brusca cuando la tensión de control llega a 1.5 V. Dicha caída es menos brusca en la curva obtenida de la simulación, siendo el rango de frecuencias similar.

5.5.4.2. Medida del ruido de fase

El ruido de fase consiste en el cálculo de la diferencia de potencia que existe entre la señal portadora y un *offset* de frecuencia respecto a esa señal. Al fin y al cabo lo que estamos haciendo es ver el ruido que nos está introduciendo nuestro oscilador en la señal que él mismo genera a una distancia frecuencial de la portadora. Dicho ruido de fase suele expresarse en dBc/Hz a un cierto *offset* de la portadora, por ejemplo, a 100 KHz. Es decir, la potencia, respecto a la portadora, que se obtiene a 100 KHz para un ancho de banda de 1 Hz. Esto implica que luego será necesario usar un factor de corrección, ya que nuestras medidas las haremos con un determinado ancho de banda de resolución (RBW), el cual nunca va a ser de 1 Hz, porque el analizador de espectros no tiene tanta resolución.

El ruido de fase se ha medido para una tensión de control de 0 y 2 V. Hemos tenido que seleccionar en el analizador la función promedio (AVERAGE = ON) para obtener medidas más constantes. Se ha bajado al mínimo posible el ancho de banda de resolución para poder realizar la medición más exacta. Al resultado obtenido se le ha restado la cantidad de $10 \cdot \log_{10}(\text{RBW}/1\text{Hz})$ para normalizar el resultado a 1 Hz. El ruido de fase, para los dos valores de la tensión de control, se encuentra en la Tabla 5.16.

Tabla 5.16. Ruido de fase medido del VCO

	Desviación	Ruido de fase(dBc/Hz)
Vtune = 0 V Frec = 6406 MHz	500 kHz	-75
	1 MHz	-77
	3 MHz	-85
	5 MHz	-87
Vtune = 2 V Frec = 5820 MHz	500 kHz	-70
	1 MHz	-73
	3 MHz	-79
	5 MHz	-91
	10 MHz	-116

A partir de 2 MHz de *offset* y con un RBW de 510 KHz se ha obtenido la siguiente gráfica para el ruido de fase.

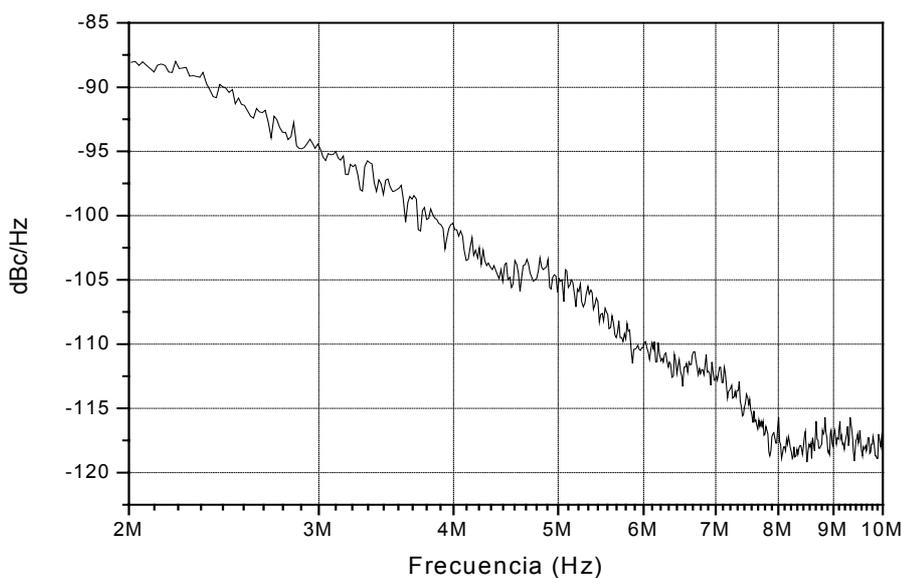


Figura 5.66. Ruido de fase para una tensión de control de 2 V.

5.5.5. Modelado lineal del VCO

Según la curva obtenida del VCO podemos calcular la constante lineal del detector K_v , necesaria para realizar los cálculos de los filtros y para las simulaciones del sintetizador completo. Cogemos el peor caso y para las frecuencias reales:

$$K_v = \frac{\Delta f}{\Delta V} = \frac{(5886 - 5165)\text{MHz}}{(2 - 2.25)\text{V}} = -2884 \text{ MHz/V} \quad (5.39)$$

5.6. Resumen

En este capítulo se ha estudiado, diseñado y simulado los elementos que conforman el sintetizador. Se comenzó con el estudio de los comparadores de fase donde estudiamos la XOR y el PFD. El margen lineal de la XOR se extiende entre 0 y π , y su K_d vale 1(V/rad). Este comparador de fase se puede utilizar si las señales de entrada tienen frecuencias idénticas y si las relaciones cíclicas valen 1/2. Además puede utilizarse en un PLL que tenga un divisor por N , añadiendo un dispositivo prolongador de impulsos. Como los sintetizadores utilizan distintos valores de división, este tipo de detectores no es válido para nuestro diseño. También simulamos el detector de fase/frecuencia junto a la bomba de carga (PFD+CP). Este detector no tiene restricciones en las señales de entrada y su función de transferencia es lineal, entre -2π y $+2\pi$. El valor de la K_d considerada es de $32.61(\mu\text{A/rad})$.

En este capítulo se estudiaron también 2 tipos de filtros basados en el método del margen de fase: el filtro pasivo de tipo 2 y orden 3, y el filtro activo de tipo 2 y orden 2.

Para el divisor rápido estudiamos varias posibilidades. Comenzamos con el divisor rápido con dos latch, a pesar de haber bajado la tecnología al límite y trabajar con las relaciones de aspecto de los transistores para intentar conseguir dividir entre dos, para la frecuencia máxima de trabajo la estructura no funciona. Seguimos con el divisor rápido basado en HBTs y el divisor rápido basado en TSPC, comprobándose que la frecuencia de salida es la mitad de la entrada a la frecuencia máxima, por lo que el diseño es correcto cuando las entradas varían entre 0 y 3.3 V. Cuando la señal de reloj la ajustamos como la salida real del VCO, es decir entre 0.15 V y 0.8 V, ambos circuitos no funcionan por lo que el diseño ya no es correcto. Para corregirlo utilizamos un divisor rápido con inversores, pues

con éste se adapta a la salida del VCO que utilizamos sin necesidad de más etapas. Por lo tanto el divisor rápido con inversores es el utilizado para nuestro sintetizador.

Continuamos con el estudio del divisor programable que consta de un predivisor rápido, que puede dividir por $(P+1)$ y P , y dos contadores programables A y N_p de baja velocidad. El predivisor lo escogemos de $4/5$, la “fout” igual a 2.5 MHz, N varía entre 1032 y 1157 por lo que N_p va de 257 a 288 y A entre 4 y 5. Estudiamos, diseñamos y simulamos el *prescaler* ya que este sigue siendo un divisor rápido y podría suponer un cuello de botella. El divisor programable de 257 a 288 al ser de baja velocidad y de sencillo diseño no se realizó.

Se finalizó con la descripción del oscilador controlado por tensión descrito en [3]. El VCO es la parte más importante del sintetizador y es el encargado de generar las frecuencias del oscilador local. En las simulaciones del siguiente capítulo sólo usaremos el modelado de este, ya que de no ser así, éstas podrían tardar varios meses en terminar.

Una vez realizadas y estudiadas todas las partes de nuestro sintetizador, pasamos a la simulación del sintetizador con todos sus bloques en el capítulo 6.

Capítulo 6

Simulación del sintetizador de frecuencias

Una vez diseñados todos los bloques que conforman el sintetizador, en el presente capítulo se va a simular el sintetizador con todos los bloques diseñados, comprobándose si el sintetizador es estable y si se engancha de forma correcta.

Al sintetizador se le van a hacer tres tipos de simulaciones. La primera consiste en la simulación de la respuesta del bucle, en la cual se comprueba el margen de fase para ver si el sistema es estable. El VCO será modelado por el elemento de librería de ADS llamado LinearVCO_plllib y el divisor por el elemento LinearDivider.

El segundo tipo de simulación realizada es el análisis del ruido de fase. Con este análisis se observa como afecta el ruido de fase de cada bloque al ruido de fase total del sintetizador.

El tercer y último tipo de simulación realizada es la respuesta transitoria. Con este análisis se verifica si el sintetizador se engancha ante un salto de canal. El VCO y los divisores serán modelados mediante el elemento de librería que se encuentra en el ADS llamado VCO_DivideByN.

En la simulación de la respuesta transitoria se ha tenido que modelar la función de transferencia del VCO mediante la siguiente función exponencial:

$$\text{Frecuencia(MHz)} = 1672 \cdot \left(1 + e^{\frac{(\text{Vcontrol}-2.09)}{0.1607}} \right) \quad (6.1)$$

El elemento utilizado para este fin es el VCO_DivideByN. En la Figura 6.1 se representa la ecuación de modelado comprobando que se ajusta perfectamente a la medida del VCO obtenida en el capítulo 5.

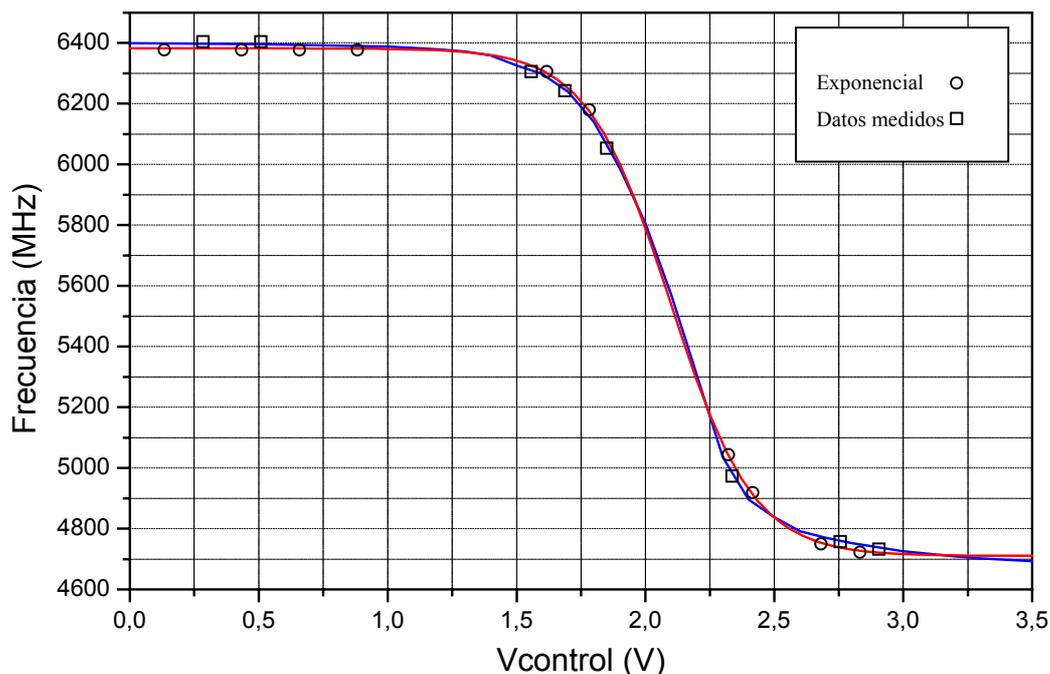


Figura 6.1. Función de transferencia del VCO modelada por una exponencial (círculo) y datos medidos (cuadrado).

Las combinaciones de bloques a las que le realizaremos las distintas simulaciones son el detector de fase/frecuencia más bomba de carga para un filtro pasivo de tipo 2 y orden 3, el detector de fase/frecuencia más CP para un filtro activo de tipo 2 y orden 2, y el detector digital (XOR) para un filtro activo de tipo 2 y orden 2.

6.1. Simulación con detector de fase/frecuencia más CP para un filtro pasivo de tipo 2 y orden 3

6.1.1. Simulación de la respuesta del bucle

Los valores de los parámetros de los bloques empleados son los siguientes:

- El valor de los componentes del filtro son los del apartado 5.2.2.
- El valor de la I_d del elemento LinearPFD_pllib, el cual modela el detector y el bombeo de carga, es la K_d del apartado 5.1.2. ($32.61 \mu\text{A}/\text{rad}$).
- La K_v del VCO, modelado por el elemento LinearVCO_pllib, es la calculada en el apartado 5.5.5. ($-2884 \text{ MHz}/\text{V}$).
- El factor de división del divisor (N_0), el cual está modelado mediante el elemento LinearDivider, es el máximo (2314).

En la Figura 6.2 se muestra el esquema de simulación de la respuesta del sintetizador en bucle abierto y en la Figura 6.3 el correspondiente al bucle cerrado.

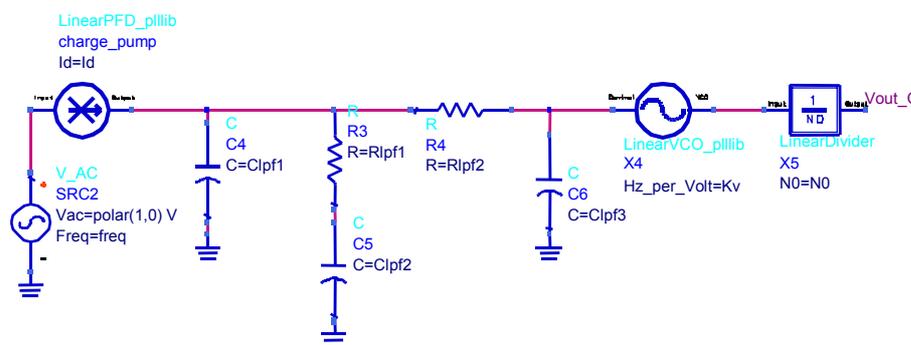


Figura 6.2. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3 para bucle abierto.

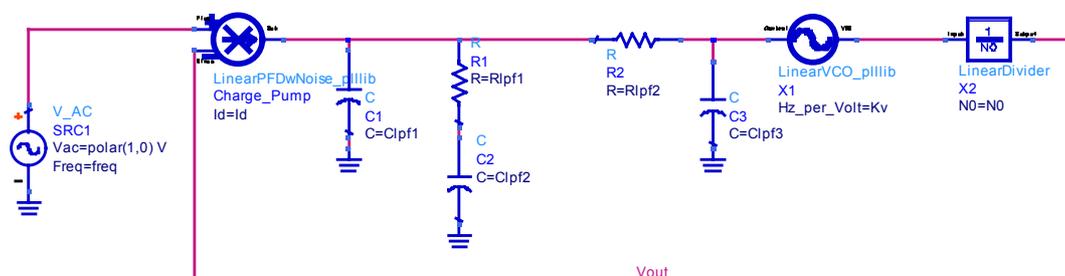


Figura 6.3. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3 para bucle cerrado.

Con los valores anteriores se ha obtenido la respuesta de la magnitud y fase en bucle abierto y cerrado del PLL. Para obtener la condición de los 45° del margen de fase, se ha empleado el optimizador de ADS llamado *optim*, en el cual se ha variado el valor de los componentes del filtro hasta conseguir el margen de fase deseado. Los valores tras el proceso de optimización son los siguientes:

Tabla 6.1. Valores de los componentes optimizados del filtro pasivo de tipo 2 orden 3

C1	4.076 nF
C2	21.89 nF
C3	23.87 nF
R2	1868 Ω (opt)
R3	8 K Ω

En la Figura 6.4(a) se observa que el valor de la frecuencia para ganancia 1 es de 25 KHz. Tal como se muestra en la Figura 6.4(b) el margen de fase, el cual se calcula en bucle abierto, es de 45° , siendo el sistema estable.

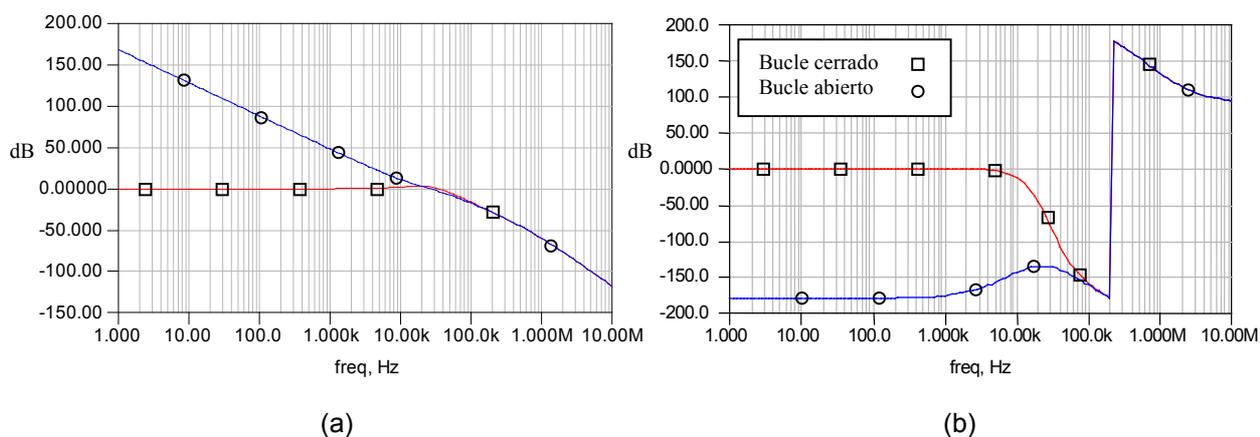


Figura 6.4. Simulación de la respuesta del bucle del sintetizador para el filtro pasivo de orden 3, representación de la magnitud en dB (a) y la fase en grados (b). Con cuadrado en bucle cerrado y con círculo en bucle abierto.

Con esta simulación se ha comprobado que los parámetros calculados en el apartado 5.2.2. son correctos.

6.1.2. Simulación del ruido de fase

Con esta simulación se comprueba el ruido de fase del sintetizador. Para ello se ha utilizado el esquema de la Figura 6.5. A continuación se muestra una breve descripción de cada bloque:

- El filtro pasivo de orden 3 es el calculado optimizado de la Tabla 6.1.
- El bloque LinDiv_wNoiseSlps es el modelo empleado para los divisores.
- El bloque del oscilador es el RefOscSlps.
- El bloque del detector es el LinearPFDwNoise_plllib.
- El ruido en los bloques del oscilador, del divisor y del detector son estimados [17].
- El bloque LinVCOwNoiseSlps es el VCO. El ruido de fase del VCO es el de las medidas reales, siendo este bloque el que más afecta al ruido de fase total.

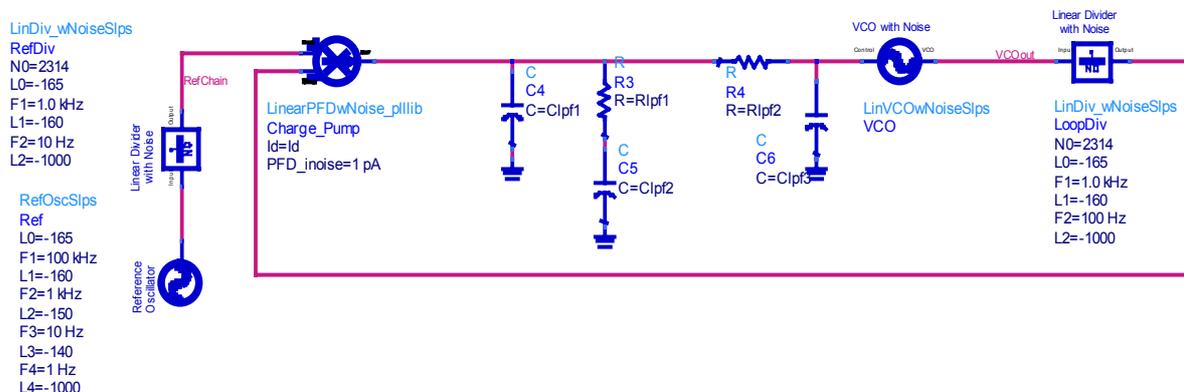


Figura 6.5. Esquema de simulación del ruido de fase del sintetizador para el filtro pasivo de orden 3.

En la Figura 6.6 se observa la contribución del ruido de fase de cada bloque en dBc/Hz.

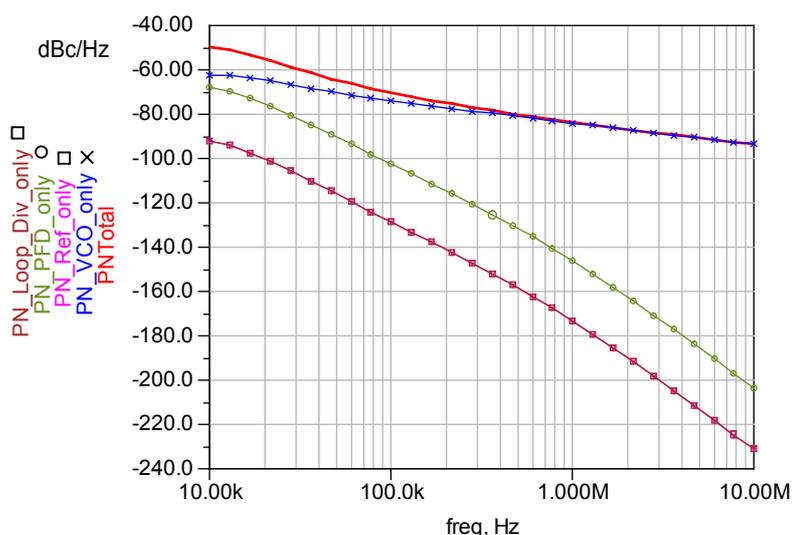


Figura 6.6. Simulación de la respuesta del ruido de fase del sintetizador para el filtro pasivo de orden 3, contribución de cada bloque en dBc/Hz.

Como resultado de la simulación tenemos el ruido de fase total:

Tabla 6.2. Ruido de fase total para el filtro pasivo de orden 3

freq (Hz)	PNTotal (dBc/Hz)
10.00 k	-49.620
16.68 k	-53.047
35.94 k	-61.214
59.95 k	-65.991
100.0 k	-70.040
166.8 k	-73.578
359.4 k	-78.243
599.5 k	-81.028
1.000 M	-83.564
1.668 M	-85.887
3.594 M	-89.153
5.995 M	-91.267
10.00 M	-93.345

Como se puede observar en la Figura 6.2, de 10 KHz a 10 MHz el ruido de fase total está determinado por el ruido de fase del VCO.

6.1.3. Simulación del transitorio

Con esta simulación se comprueba si el sintetizador es capaz de cambiar de una frecuencia de salida a otra. En la Figura 6.7 se muestra el esquema de simulación utilizado en ADS para realizar dicha prueba. A continuación se muestra una breve descripción de cada bloque:

- El bloque PFD_CP corresponde al detector de fase más el bombeo de carga diseñado en el apartado 5.1.2. Este elemento no es modelado, sino real, es decir su descripción está hecha a nivel de transistores.
- El filtro pasivo de orden 3 es el calculado en la Tabla 6.1.
- El bloque VCO_DivideByN es un VCO ideal al cual se le ha puesto como característica tensión de control-frecuencia de salida la del VCO de la gráfica de la Figura 6.1. La salida del VCO elegida para la realimentación corresponde a la que se obtiene dividida dependiendo de la tensión V_{tStep} . De esta manera la salida primero es dividida por 2064 y a los 530 μ s pasa a ser dividida por 2314. Estos factores de división corresponden a

la frecuencia mínima y máxima que debe generar el sintetizador, es decir, 5160 MHz y 5785 MHz respectivamente. Utilizando dicho bloque, en vez del VCO real, se ha reducido el tiempo de simulación del sintetizador de meses a días. Esto es debido a que al utilizar frecuencias del orden de GHz (la del VCO) junto con frecuencias del orden de MHz (frecuencia de referencia), el número de muestras necesarias para conseguir una apreciación digna del comportamiento del sintetizador es muy elevada, necesitando mucho tiempo de simulación si utilizáramos el VCO real.

- SDD2P1 es un elemento que adecua la señal de salida del VCO ideal, la cual es de diente de sierra, a una señal que se asemeja más a la del VCO real dividida entre N, la cual es de forma cuadrada, y así poder atacar al detector con más fiabilidad.
- Vref es la señal que actúa como frecuencia de referencia.

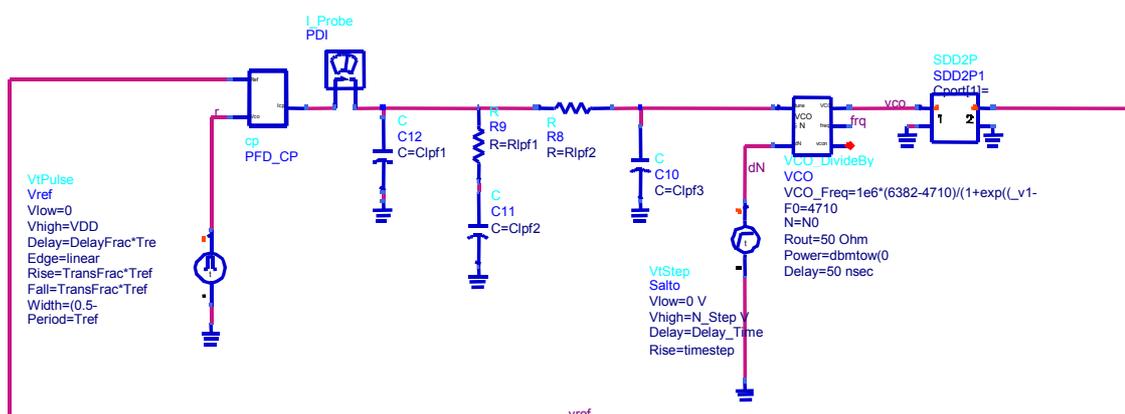


Figura 6.7. Esquema de simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

Se ha simulado el peor caso, que es el salto máximo de frecuencia entre el canal de 5160 MHz a 5785 MHz. El resultado de la simulación se puede ver en la Figura 6.8, observándose como varía la frecuencia de salida del VCO. La frecuencia de salida se obtiene de la salida frq del bloque VCO_DivideByN. frq da una tensión proporcional a la frecuencia de salida del VCO pero en GHz (como ejemplo, 1.2 Voltios en frq significa que el VCO tiene una salida de 1.2 GHz). Se observa que el sintetizador se engancha a 5160 MHz en 0.15 ms. En el instante 0.53 ms se le aplica el cambio en el factor de división y el sintetizador cambia a la frecuencia de 5785 MHz en 0.59 ms. Se comprueba que el error de fase y frecuencia es cero, correspondiente a un PLL tipo 2.

En la Figura 6.9(a) se observa como varía la tensión de salida del filtro. Para una tensión de salida del filtro de 2.26 V el VCO genera la frecuencia de 5160 MHz mientras que para una tensión de salida de 2.01 V el VCO genera la frecuencia de 5785 MHz. En la Figura 6.9(b) se muestra la corriente de salida del bombeo de carga, observándose pulsos de corriente negativos y positivos.

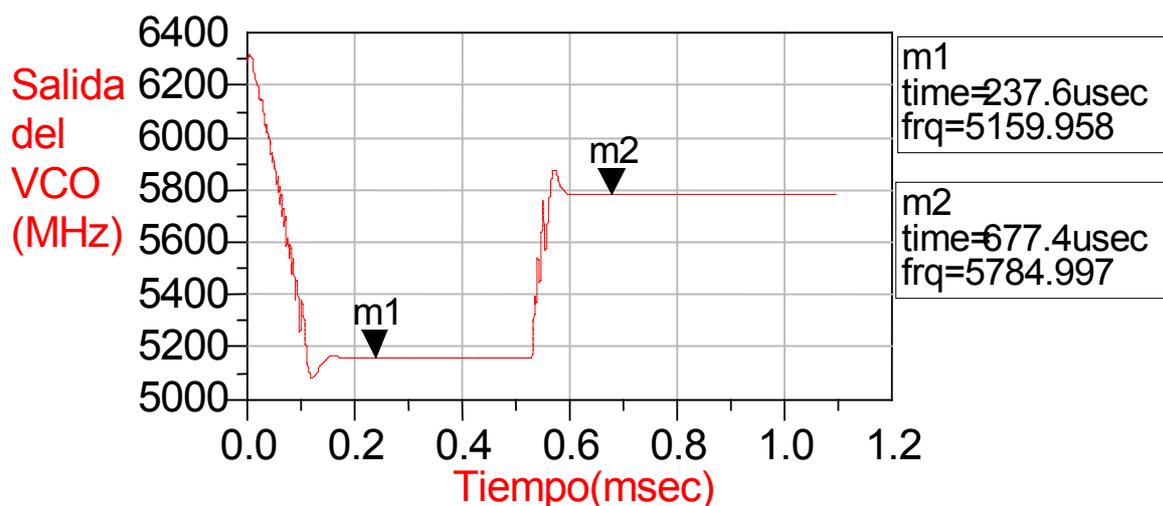


Figura 6.8. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

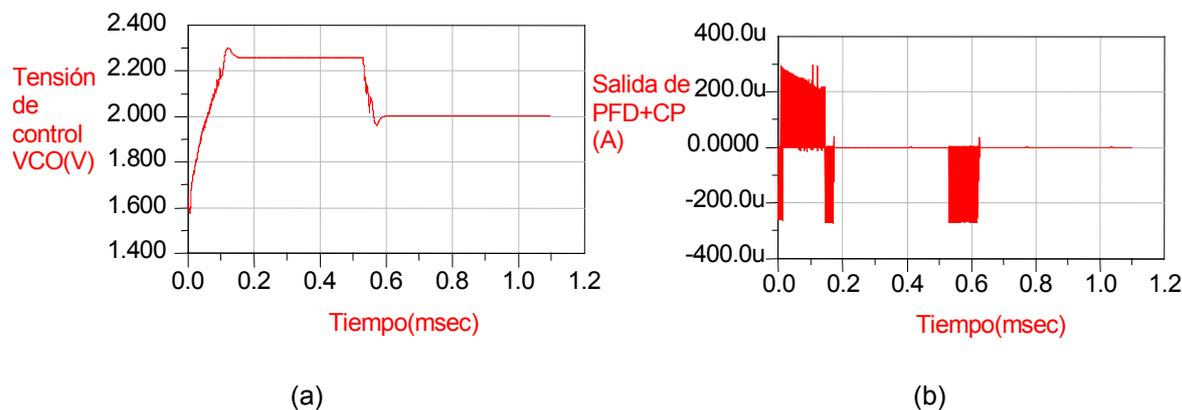


Figura 6.9. Simulación de la respuesta transitoria del sintetizador para el filtro pasivo de orden 3.

6.2. Simulación con detector de fase/frecuencia más CP para un filtro activo de tipo 2 y orden 2

6.2.1. Simulación de la respuesta del bucle

Los valores de los parámetros de los bloques empleados son los siguientes:

- El valor de los componentes del filtro son los del apartado 5.2.3.
- El valor de la I_d del elemento LinearPFD_plllib, el cual modela el detector y el bombeo de carga, es la K_d del apartado 5.1.2. ($32.61 \mu\text{A}/\text{rad}$).
- La K_v del VCO, modelado por el elemento LinearVCO_plllib, es la calculada en el apartado 5.5.5. ($-2884 \text{ MHz}/\text{V}$).
- El factor de división del divisor (N_0), el cual está modelado mediante el elemento LinearDivider, es el máximo (2314).

En la Figura 6.10 se muestra el esquema de simulación de la respuesta del sintetizador en bucle abierto y en la Figura 6.11 el correspondiente al bucle cerrado.

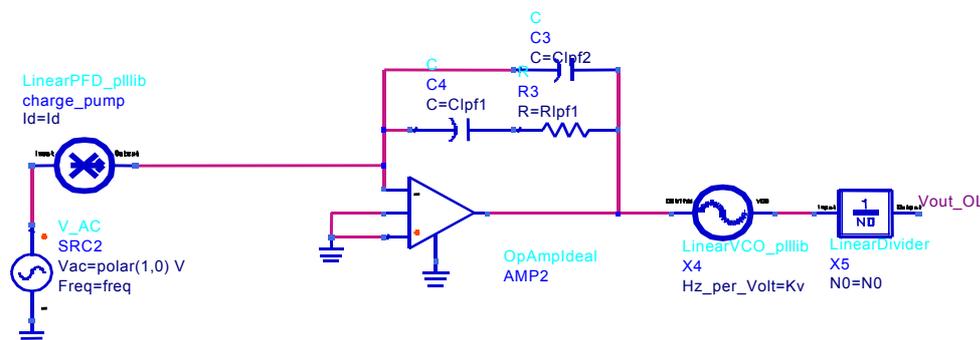


Figura 6.10. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro activo de orden 2 para bucle abierto.

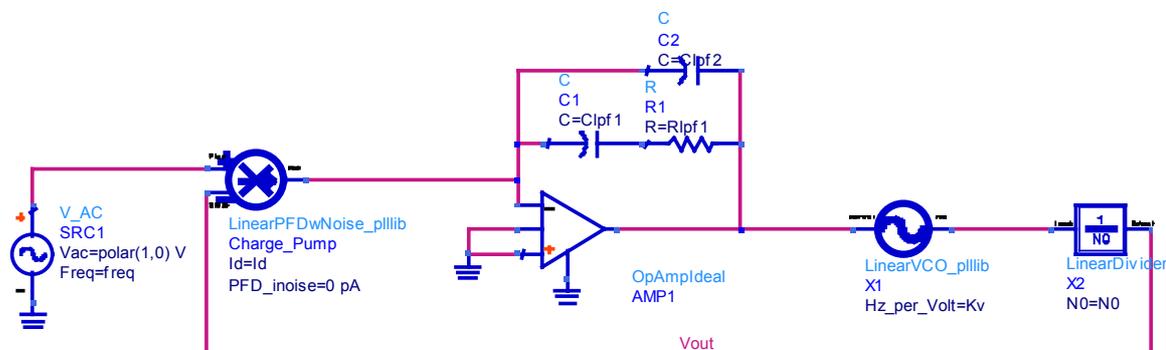


Figura 6.11. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro activo de orden 2 para bucle cerrado.

Con los valores anteriores se ha obtenido la respuesta de la magnitud y fase en bucle abierto y cerrado del PLL. Para obtener la condición de los 45° del margen de fase, usamos el optimizador de ADS para ajustar un componente del filtro como puede ser R1, consiguiendo el margen de fase deseado. Los valores finales del filtro tras la optimización son los siguientes:

Tabla 6.3. Valores de los componentes optimizados del filtro activo de tipo 2 orden 2

C1	25 nF
C2	4.29 nF
R1	2.1 K Ω (opt)

En la Figura 6.12(a) se observa que el valor de la frecuencia para ganancia 1 es de 25 KHz. Tal como se muestra en la Figura 6.12(b) el margen de fase, el cual se calcula en bucle abierto, es de 45° , siendo el sistema estable.

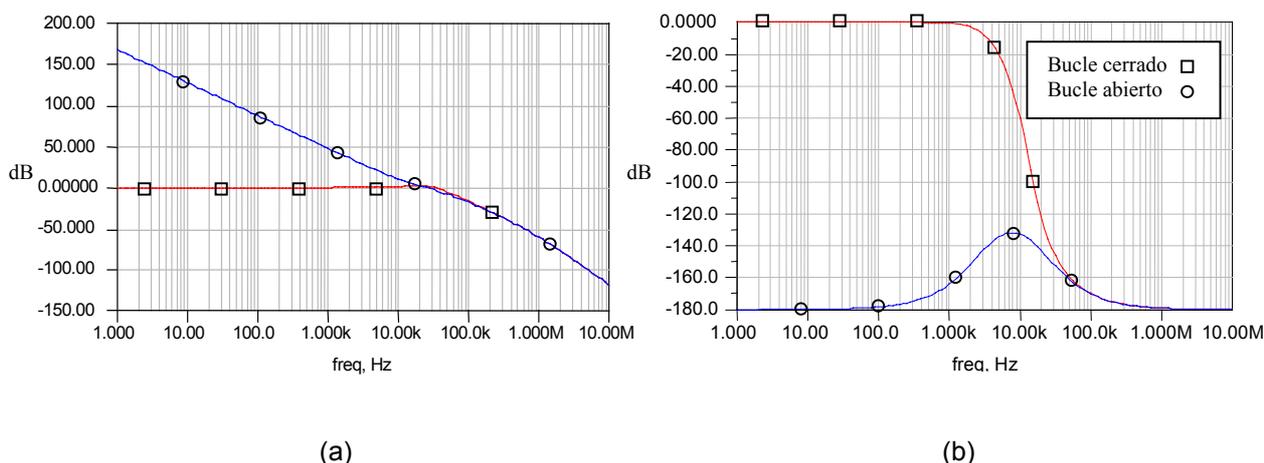


Figura 6.12. Simulación de la respuesta del bucle del sintetizador para el filtro activo de orden 2, representación de la magnitud en dB (a) y la fase en grados (b). Con cuadrado en bucle cerrado y con círculo en bucle abierto.

Con esta simulación se ha comprobado que los parámetros calculados en el apartado 5.2.3. son correctos.

6.2.2. Simulación del ruido de fase

Los bloques utilizados en la simulación son los siguientes:

- El filtro activo de orden 2 es el optimizado en la Tabla 6.3.
- El bloque LinDiv_wNoiseSlps es el modelo empleado para los divisores.
- El RefOscStps el bloque del oscilador.

- El bloque LinearPFDwNoise_pllib es el del detector.
- El ruido en los bloques del oscilador, del divisor y del detector son estimados [17].
- El bloque LinVCOwNoiseSlps es el del VCO. El ruido de fase del VCO es el de las medidas reales.

En la Figura 6.13 se muestra el esquema de simulación del ruido de fase del sintetizador.

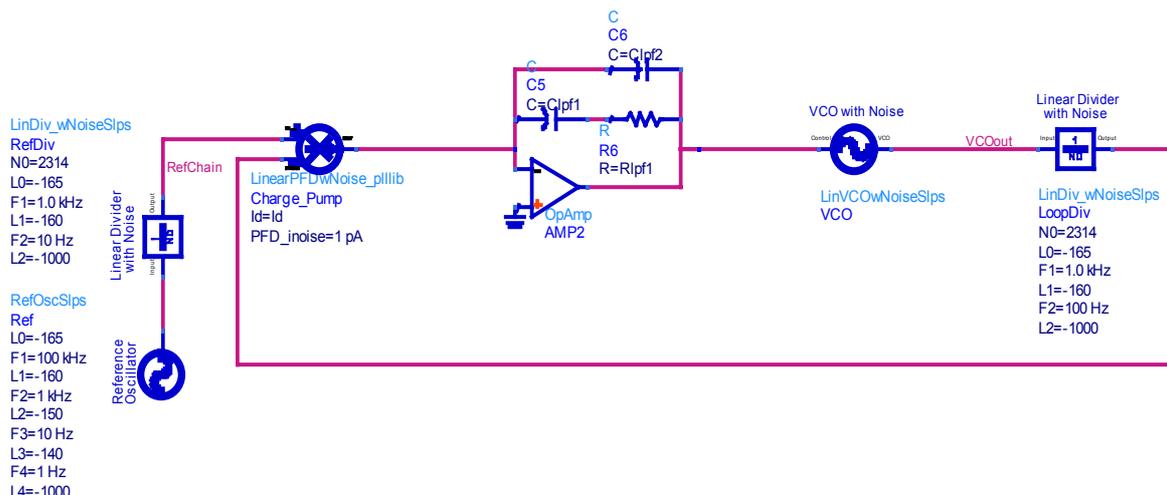


Figura 6.13. Esquema de simulación de la respuesta del bucle del sintetizador para el filtro activo de orden 2 para bucle abierto.

En la Figura 6.14 se observa la contribución de cada bloque en dBc/Hz.

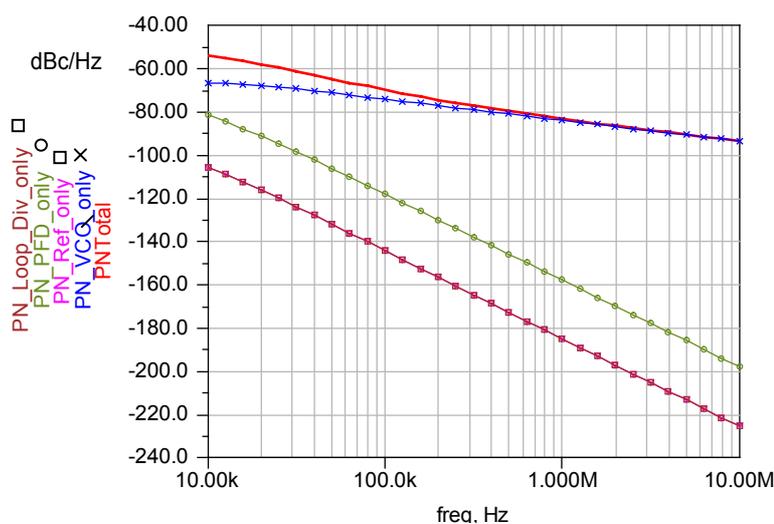


Figura 6.14. Simulación de la respuesta del ruido de fase del sintetizador para el filtro activo de orden 2, contribución de cada bloque en dBc/Hz.

Como resultado de la simulación tenemos el ruido de fase total:

Tabla 6.4. Ruido de fase total para el filtro activo de orden 2

freq (Hz)	PNTotal (dBc/Hz)
10.00 k	-53.961
15.85 k	-56.348
25.12 k	-59.460
39.81 k	-62.853
63.10 k	-66.278
100.0 k	-69.594
158.5 k	-72.725
251.2 k	-75.634
398.1 k	-78.319
631.0 k	-80.801
1.000 M	-83.118
1.585 M	-85.305
2.512 M	-87.396
3.981 M	-89.413
6.310 M	-91.371
10,00 M	-93.280

Al igual que en el caso anterior, de 10 KHz a 10 MHz el ruido de fase total viene determinado por el ruido de fase del VCO.

6.2.3. Simulación del transitorio

A continuación se muestra una breve descripción de cada bloque utilizado en la simulación:

- El bloque PFD_CP corresponde al detector de fase más el bombeo de carga diseñado en el apartado 5.1.2. Este elemento no es modelado, sino real, es decir su descripción está hecha a nivel de transistores.
- El filtro activo de orden 2 es el calculado en Tabla 6.3.
- El bloque VCO_DivideByN es un VCO ideal al cual se le ha puesto como característica tensión de control-frecuencia de salida la del VCO de la gráfica de la Figura 6.1.

- SDD2P1 es un elemento que adecua la señal de salida del VCO ideal, la cual es de diente de sierra, a una señal que se asemeja más a la del VCO real dividida entre N, la cual es de forma cuadrada, y así poder atacar al detector con más fiabilidad.
- Vref es la señal que actúa como frecuencia de referencia.

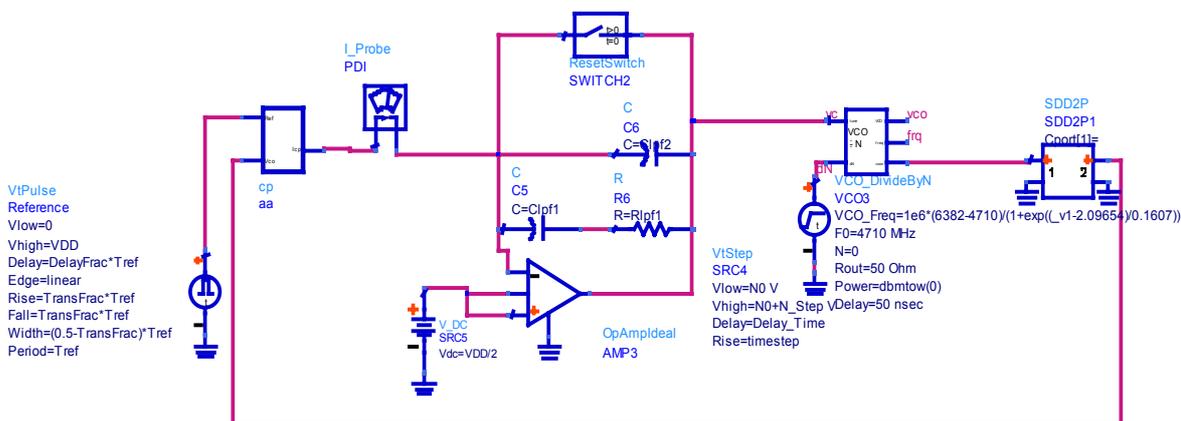


Figura 6.15. Esquema de simulación de la respuesta transitoria del sintetizador para el filtro activo de orden 2.

Se ha simulado el peor caso, que es el salto máximo de frecuencia entre el canal de 5160 MHz a 5785 MHz. El resultado de la simulación se puede ver en la Figura 6.16, observándose como varía la frecuencia de salida del VCO. La frecuencia de salida se obtiene de la salida frq del bloque VCO_DivideByN. Se observa que el sintetizador se engancha a 5160 MHz en 0.2 ms. En el instante 0.53 ms se le aplica el cambio en el factor de división máximo y el sintetizador cambia a la frecuencia de 5785 MHz en 0.7 ms. Se comprueba que el error de fase y frecuencia es cero.

En la Figura 6.17(a) se observa como varía la tensión de salida del filtro. Para una tensión de salida del filtro de 2.26 V el VCO genera la frecuencia de 5160 MHz mientras que para una tensión de salida de 2.01 V el VCO genera la frecuencia de 5785 MHz. En la Figura 6.17(b) se muestra la corriente de salida del bombeo de carga, observándose pulsos de corriente negativos y positivos.

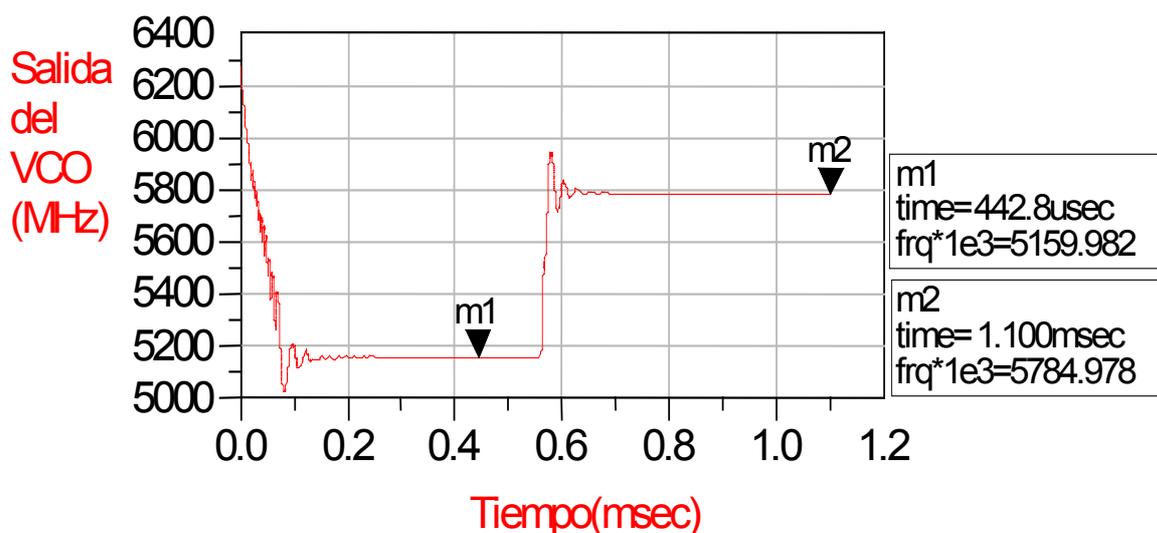


Figura 6.16. Simulación de la respuesta transitoria del sintetizador para el filtro activo de orden 2.

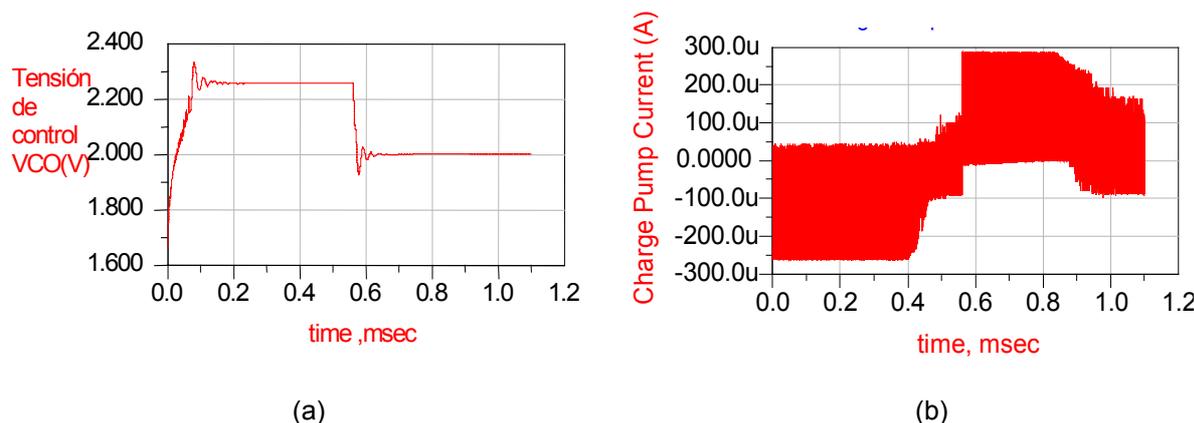


Figura 6.17. Simulación de la respuesta transitoria del sintetizador para el filtro activo de orden 2.

6.3. Simulación con detector digital XOR para un filtro activo de tipo 2 y orden 2

6.3.1. Simulación de la respuesta del bucle

Los valores de los parámetros empleados son los siguientes:

- El valor de los componentes del filtro son los de la Tabla 6.5.
- El elemento LinearXOR_V_pll, modela el detector XOR para un bucle abierto, y el elemento LinearXORwN_V para un bucle cerrado, necesitando este último los valores lógicos de nuestro detector siendo logic0 = 0 V y logic1 = 3.3 V.

- La K_v del VCO, modelado por el elemento `LinearVCO_plllib`, es la calculada en el apartado 5.5.5. (-2884 MHz/V).
- El factor de división del divisor (N_0), el cual está modelado mediante el elemento `LinearDivider`, es el máximo (2314).

En la Figura 6.18 se muestra el esquema de simulación de la respuesta del sintetizador en bucle abierto y en la Figura 6.19 el correspondiente al bucle cerrado.

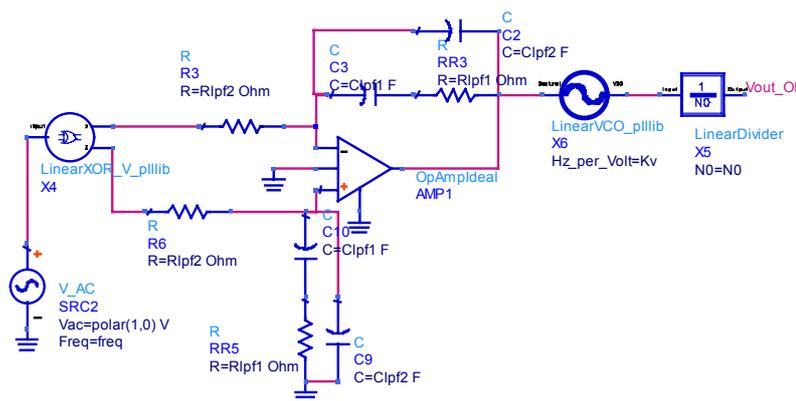


Figura 6.18. Esquema de simulación de la respuesta del bucle del sintetizador con XOR para el filtro activo de orden 2 para bucle abierto.

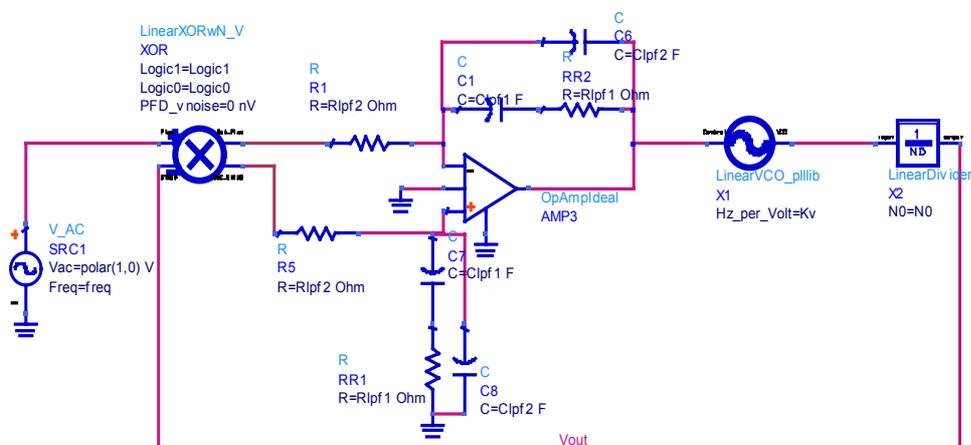


Figura 6.19. Esquema de simulación de la respuesta del bucle del sintetizador con XOR para el filtro activo de orden 2 para bucle cerrado.

Se ha empleado el optimizador para obtener la condición de los 45° del margen de fase. Los valores de C_1 y C_2 los hemos puesto iguales al apartado 5.2.3. pero en el cual se ha ajustado R_1 . Las salidas de este detector son en tensión por lo que hace necesario incorporar unas resistencias (R_2) que pasen esta tensión a corriente. El valor de R_2 también lo optimizamos por lo que los valores finales del filtro serán los de la Tabla 6.5. Con estos

valores se ha obtenido la respuesta de la magnitud y fase en bucle abierto y cerrado del PLL.

Tabla 6.5. Valores de los componentes optimizados del filtro activo de tipo 2 orden 2

C1	25 nF
C2	4.29 nF
R1	1.868 Ω (opt)
R2	370 K Ω (opt)

En la Figura 6.20(a) se observa que el valor de la frecuencia para ganancia 1 es de 25 KHz. Tal como se muestra en la Figura 6.20(b) el margen de fase, el cual se calcula en bucle abierto, es de 45°, siendo el sistema estable.

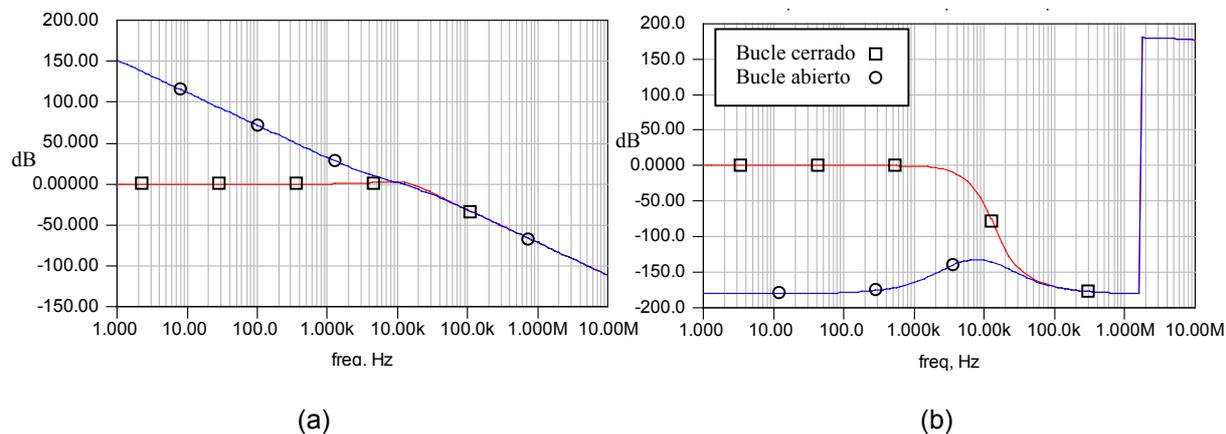


Figura 6.20. Simulación de la respuesta del bucle del sintetizador con XOR para el filtro activo de orden 2, representación de la magnitud en dB (a) y la fase en grados (b). Con cuadrado en bucle cerrado y con círculo en bucle abierto.

Con esta simulación se ha comprobado que los parámetros calculados en el apartado 5.2.3. son correctos.

6.3.2. Simulación del ruido de fase

Con esta simulación se comprueba si el sintetizador tiene una buena respuesta con relación al ruido de fase. A continuación se muestra una breve descripción de cada bloque:

- El filtro activo de orden 2 es el calculado en la Tabla 6.5.
- El bloque LinDiv_wNoiseSlps es el modelo empleado para los divisores.
- El bloque del oscilador es el RefOscStps.
- El bloque del detector es el LinearPFDwNoise_plllib.

- El ruido en los bloques del oscilador, del divisor y del detector son estimados [17].
- El bloque LinVCOwNoiseSteps es el del VCO. El ruido de fase del VCO es el de las medidas reales.

En la Figura 6.5 se muestra el esquema de simulación del ruido de fase.

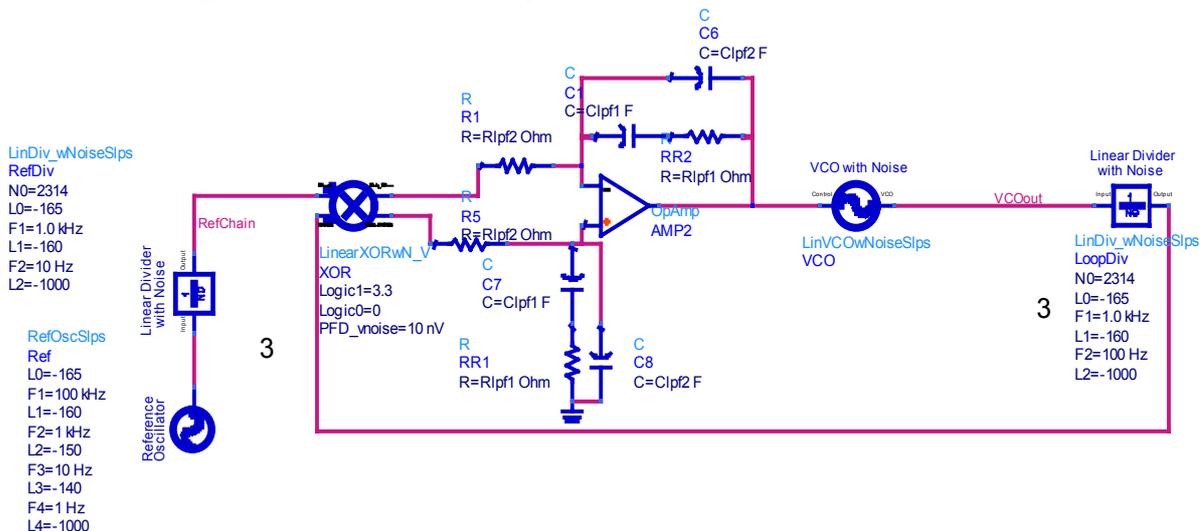


Figura 6.21. Esquema de simulación del ruido de fase del sintetizador con XOR para el filtro activo de orden 2.

En Figura 6.22 se observa la contribución de cada bloque en dBc/Hz.

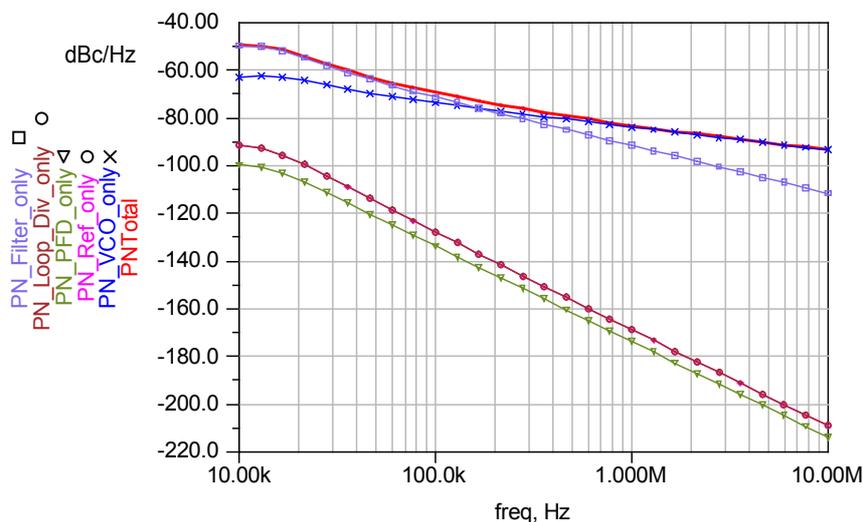


Figura 6.22. Simulación de la respuesta del ruido de fase del sintetizador con XOR para el filtro activo de orden 2, contribución de cada bloque en dBc/Hz (a) y contribución total en dBc/Hz (b).

Como resultado de la simulación tenemos el ruido de fase total.

Tabla 6.6. Ruido de fase total con XOR para el filtro activo de orden 2

freq (Hz)	PNTotal (dBc/Hz)
10.00 k	-49.428
16.68 k	-51.436
27.83 k	-57.185
35.94 k	-60.080
59.95 k	-65.104
100.0 k	-69.302
166.8 k	-72.955
278.3 k	-76.213
359.4 k	-77.719
599.5 k	-80.527
1.000 M	-83.115
1.668 M	-85.541
2.783 M	-87.850
3.594 M	-88.970
5.995 M	-91.156
10.00 M	-93.280

En la Figura 6.22 observamos que el filtro es el bloque que más afecta al comportamiento del sintetizador hasta los 200 KHz. Desde los 200 KHz a los 10 MHz el ruido de fase total viene determinado por el ruido de fase del VCO.

6.3.3. Simulación del transitorio

Con esta simulación se comprueba si el sintetizador es capaz de cambiar de una frecuencia de salida a otra. En la Figura 6.23 se muestra el esquema de simulación utilizado en ADS para realizar dicha prueba. A continuación se muestra una breve descripción de cada bloque:

- El bloque XOR_SiGe2 corresponde al detector de fase de una XOR diseñado en el apartado 5.1.1. Este elemento no es modelado, sino real, es decir su descripción está hecha a nivel de transistores.
- El filtro activo de orden 2 es el de la Tabla 6.5.

- El bloque VCO_DivideByN es un VCO ideal al cual se le ha puesto como característica tensión de control-frecuencia de salida la del VCO de la gráfica de la Figura 6.1.
- SDD2P1 es un elemento que adecua la señal de salida del VCO ideal a la del VCO real dividida entre N.
- Vref es la señal que actúa como frecuencia de referencia.

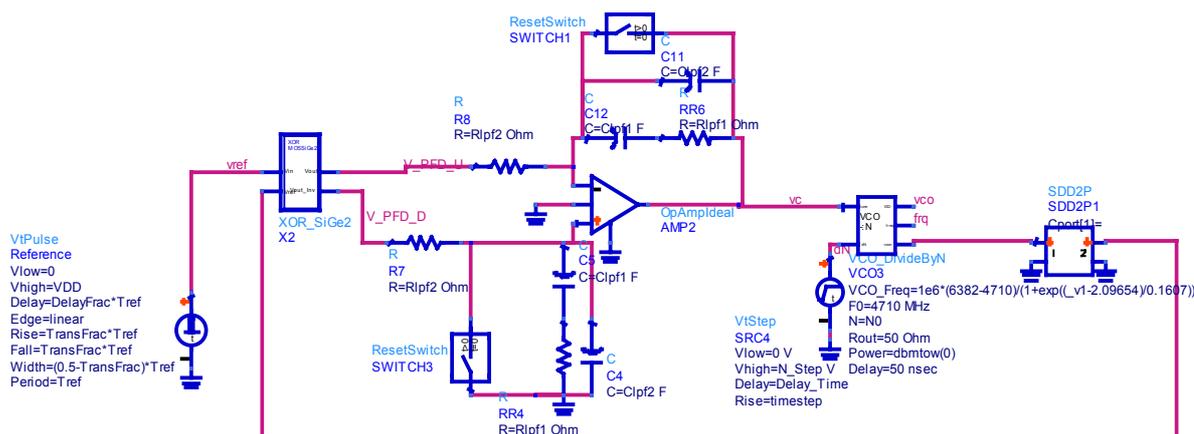


Figura 6.23. Esquema de simulación de la respuesta transitoria del sintetizador con XOR para el filtro activo de orden 2.

Se ha simulado el enganche y el resultado de la simulación se puede ver en la Figura 6.24, observándose que no se puede enganchar. En la Figura 6.25(a) se observa que la señal de salida de los divisores después del VCO es cuadrada pero la frecuencia de esa señal no es igual que la de referencia, implicando un importante problema, ya que con este tipo de detector, las señales de entrada han de tener frecuencias idénticas y relaciones cíclicas de 1/2.

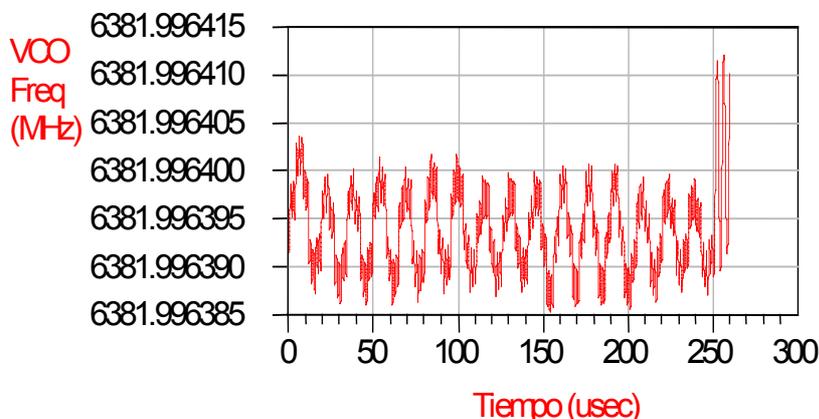


Figura 6.24. Simulación de la respuesta transitoria del sintetizador con XOR para el filtro activo de orden 2.

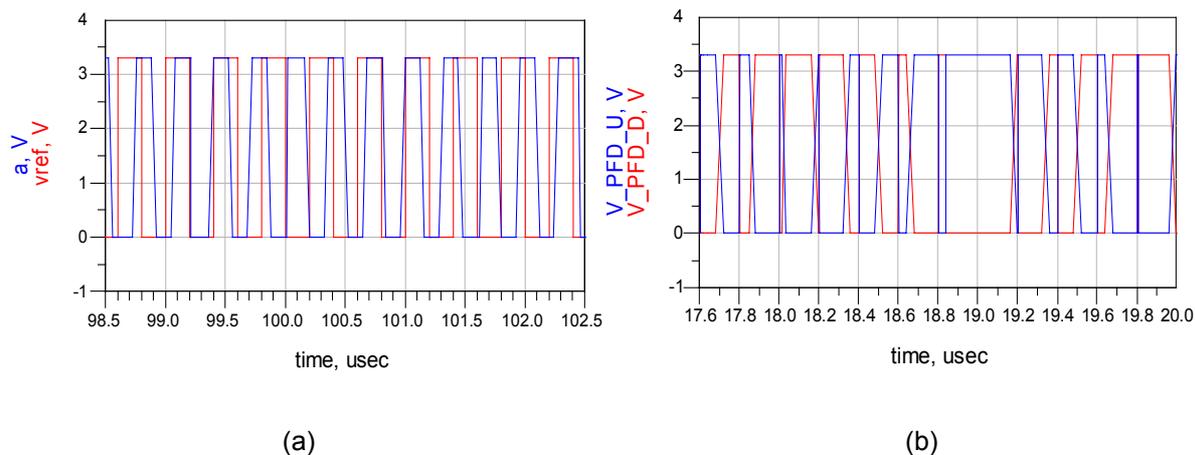


Figura 6.25. Simulación de la respuesta transitoria del sintetizador con XOR para el filtro activo de orden 2. (a) frecuencia de referencia vs salida de divisores, (b) salidas del detector de fases.

Con este tipo de detector, el sintetizador no funciona, ya que si llegamos a engancharlo, se desengancharía para un salto grande como el de nuestro caso.

6.4. Resumen

En este capítulo se ha simulado el sintetizador para el receptor de baja frecuencia intermedia según el estándar IEEE 802.11a.

Se realizaron tres tipos de simulaciones: la primera fue la respuesta del bucle, la segunda el análisis del ruido de fase y la tercera la respuesta transitoria. Con estos análisis se verificó el margen de fase y, por tanto, la estabilidad del sistema, el ruido de fase de salida y, por último, si el sintetizador se enganchara ante un salto de canal. Para el VCO y los divisores se han utilizado modelos de comportamiento con objeto de reducir el tiempo de simulación del sintetizador.

Las combinaciones de bloques estudiadas fueron el detector de fase/frecuencia más bomba de carga para un filtro pasivo de tipo 2 y orden 3, el detector de fase/frecuencia más CP para un filtro activo de tipo 2 y orden 2, y el detector digital (XOR) para un filtro activo de tipo 2 y orden 2.

En cuanto a la simulación de la respuesta del bucle se verificó que en los tres casos el sintetizador es estable con un MF de 45° . Respecto al análisis del ruido de fase, para una desviación de 10KHz se obtienen valores alrededor de -49 y -53 dBc/Hz y para 10MHz el

ruido de fase es -93dBc/Hz . Utilizando el detector XOR, el sintetizador no se enganchaba mientras que utilizando el detector fase/frecuencia más la bomba de carga el sintetizador sí lo hacía, tanto con un filtro pasivo como uno activo. El tiempo de enganche entre la frecuencia máxima y mínima fue de 0.09 ms en el caso del filtro pasivo y de 0.17 ms en el caso del activo, comprobándose que el sistema es estable y que el error de fase y frecuencia es cero, como corresponde a un PLL tipo 2.

Capítulo 7

Conclusiones

En el presente proyecto se ha diseñado un sintetizador usando la tecnología SiGe de 0.35 μm suministrada por AMS (*Austria Micro Systems*) para un receptor de radiofrecuencia según el estándar para WLAN IEEE 802.11a, en la banda de 5 GHz. El sintetizador actúa como oscilador local del receptor de baja frecuencia intermedia, el cual fue elegido para nuestro diseño evitando inconvenientes como el de tener muchos componentes o ruido *flicker*.

Una vez realizado el estudio teórico de los PLL y de los sintetizadores de frecuencia, se pasó a la elección de la configuración a utilizar, la de doble módulo con divisor fijo entre dos.

Se diseñaron y simularon los principales componentes que forman el sintetizador. Comenzamos con los comparadores de fase donde diseñamos un detector de fase con una

XOR y un detector de fase/frecuencia más bomba de carga. En la Tabla 7.1 se muestran las principales características de los mismos.

Tabla 7.1. Características de los diseñados

Comparadores de fase	Margen lineal	Kd	Señales de entrada	Puede utilizarse cuando tenga un divisor por N
XOR	0 y π	1(V/rad)	de frecuencias idénticas y si las relaciones cíclicas valen $\frac{1}{2}$	con la prevención de un dispositivo prolongador de impulsos
PFD+CP	-2π y $+2\pi$	32.61(μ A/rad)	no tiene restricciones	no tiene restricciones

Al no tener las señales de entrada al detector relaciones cíclicas de $1/2$, el detector más apropiado para nuestro sintetizador es el detector de fase/frecuencia más bomba de carga. Para este último utilizamos una única estructura basada en puertas NOR donde analizamos su correcto funcionamiento junto a la bomba de carga.

Los filtros fueron analizados según el método del margen de fase, donde elegimos el filtro pasivo de tipo 2 y orden 3, y el filtro activo de tipo 2 y orden 2.

Para el divisor rápido estudiamos varias posibilidades, las cuales están descritas en la Tabla 7.2.

Tabla 7.2. Comparación de los divisores rápidos diseñados

	Para la frecuencia máxima de trabajo, con entradas entre 0V y 3.3V	Para la frecuencia máxima de trabajo, con entradas entre 0.15V y 0.8V (salida real del VCO)
Para dos latch	no funciona	no funciona
Basado en HBT	funciona	no funciona
Basado en TSPC	funciona	no funciona
Usando inversores	funciona	funciona

Después de realizar varios diseños (ver Tabla 7.2) el divisor que funciona correctamente, con los valores de tensión y frecuencia del VCO, es el divisor rápido utilizando inversores, sin necesidad de ningún circuito para adecuar la señal entre ambos.

Se realizó un estudio del divisor programable. Éste consta de un predivisor rápido que puede dividir por $(P+1)$ y P , y dos contadores programables A y N_p de baja velocidad.

También describimos el oscilador controlado por tensión. En la simulación del sintetizador completo sólo usamos el modelado de este pues si usamos el real, la simulación tardaría varios meses.

Una vez visto cada elemento por separado, se realizaron simulaciones conjuntas de todos los componentes del sintetizador. La primera consistió en la simulación de la respuesta del bucle, el segundo tipo de simulación realizada fue el análisis del ruido de fase y la tercera la respuesta transitoria. Las combinaciones de bloques estudiadas son el detector de fase/frecuencia más bomba de carga para un filtro pasivo de tipo 2 y orden 3, el detector de fase/frecuencia más CP para un filtro activo de tipo 2 y orden 2, y el detector digital (XOR) para un filtro activo de tipo 2 y orden 2. El resultado de las simulaciones se puede encontrar resumido en la Tabla 7.3.

Tabla 7.3. Comparación de distintos sintetizadores

Tipos de Filtro	Tipos de Detector	MF	Ruido (dBc/Hz)				Tiempo enganche (ms)	Tiempo entre f_{max} y f_{min} (ms)
			10KHz	100KHz	1MHz	10MHz		
Pasivo tipo 2 orden 3	PFD+CP	45°	-49.620	-70.040	-83.564	-93.345	0.15	0.06
Activo tipo 2 orden 2	PFD+CP	45°	-53.961	-69.594	-83.118	-93.280	0.2	0.17
	XOR	45°	-49.428	-69.302	-83.115	-93.280	No se engancha	No se engancha

Comprobamos que utilizando la XOR el sintetizador no se engancha. Da problemas debido a que las señales de entrada deben poseer el mismo periodo y relaciones cíclicas de $1/2$, el cual no es nuestro caso. Para el caso del detector de fase/frecuencia más bomba de carga estas particularidades no afectan ya que se rigen por estados, dando igual que las señales sean asimétricas.

En cuanto a los dos tipos de filtros utilizados, los dos desempeñaron individualmente su labor acertadamente según las simulaciones realizadas. Para el detector de fase/frecuencia más bomba de carga con un filtro pasivo de tipo 2 y orden 3 tanto los tiem-

pos de enganche como de cambio de canales máximos son menores que para el filtro activo de tipo 2 y orden 2. Aunque el ruido de fase a baja desviación de frecuencia en el caso del primer filtro es algo mayor que para el filtro activo (-49.620 dBc/Hz frente a -53.961 dBc/Hz), a medida que sube la frecuencia no encontramos variaciones bruscas, mejorando levemente en el caso del filtro pasivo. Cabe destacar que el filtro activo consta de un amplificador operacional el cual tendríamos que insertar, ocupando un mayor área y consumiendo potencia adicional junto a otros inconvenientes como el de diseñarlo. Se concluye que la opción del sintetizador con detector de fase/frecuencia más bomba de carga y filtro pasivo de tipo 2 y orden 3 es finalmente la elegida.

Se ha comprobado que con la tecnología SiGe 0.35 μm se pueden realizar diseños aceptables de sintetizadores para la banda de 5 GHz. De esta manera podemos integrar en un mismo chip la parte analógica y digital del terminal receptor. Con ello conseguimos una mayor integrabilidad del circuito y una reducción de los costes.

Los objetivos inicialmente planteados se han logrado de forma satisfactoria.

Pliego de Condiciones

Condiciones generales

Los requisitos necesarios para evaluar el funcionamiento del diseño es el siguiente:

- Estación de trabajo con Sistema Operativo SunOs 4.1.3
- Entorno de diseño y simulación Advanced Design System
- Tecnología SiGe 0.35 μ m de AMS (S35D4)

Condiciones particulares

El objetivo del proyecto es el diseño de un sintetizador integrado en la tecnología S35D4 de *Austria Mikro System (AMS)* de 0.35 μ m. Dicho sintetizador está basado en las especificaciones recogidas en el estándar IEEE 802.11a para conexiones inalámbricas.

Protección legal

Propiedad intelectual

La propiedad intelectual comprende las creaciones literarias, científicas, artísticas, programas de ordenador, etc., se diferencia de la industrial en que aquella el derecho surge por la creación, sin ser necesario acudir a ningún registro para poseer el derecho, la Ley regula la existencia de un Registro Intelectual en el que inscribir este tipo de creaciones.

La propiedad intelectual se regula en España por el Real Decreto Legislativo 1/1996, por el que se aprueba el texto refundido de la Ley de Propiedad Intelectual, regularizando, aclarando y armonizando las disposiciones legales vigentes sobre la materia. La Ley de Propiedad Intelectual de 11 de Noviembre de 1987 (BOE 7/11/1987), y en el artículo 10 recoge las materias de que es objeto:

1. Son objeto de propiedad intelectual todas las creaciones originales literarias, artísticas o científicas expresadas por cualquier medio o soporte, tangible o intangible, actualmente conocido o que se invente en el futuro, comprendiéndose entre ellas:
 - a) Los libros, folletos, impresos, epistolarios, escritos, discursos y alocuciones, conferencias, informes forenses, explicaciones de cátedra y cualquiera otras obras de la misma naturaleza.
 - b) Las composiciones musicales con o sin letra.
 - c) Las obras dramáticas y dramático musicales, las coreografías, las pantomimas y, en general, las obras teatrales.
 - d) Las obras cinematográficas y cualesquiera otras obras audiovisuales.

- e) Las esculturas y las obras de pintura, dibujo, grabado, litografía, y las historietas gráficas, tebeos o cómics, así como sus ensayos o bocetos y demás obras plásticas, sean o no aplicadas.
 - f) Los proyectos, planos, maquetas y diseños de obras arquitectónicas y de ingeniería.
 - g) Los gráficos, mapas y diseños relativos a la topografía, la geografía y, en general, a la ciencia.
 - h) Las obras fotográficas y las expresadas por procedimiento análogo a la fotografía.
 - i) Los programas de ordenador.
2. El título de una obra, cuando sea original, quedará protegido como parte de ella.

Titularidad del proyecto

Sobre este tema no existe hasta el momento una normativa a que atenerse, por lo tanto, tenemos que ajustarnos a alguna publicación específica sobre el tema, cuyo contenido indique, o del que pueda inferirse la titularidad del proyecto.

En concreto, en el capítulo 7 de la “La política y la gestión de la propiedad intelectual de un centro público de investigación” de Ignacio Fernández de Lucio y Domingo Represa Sánchez, aparecen una serie de documentaciones, que sin referirse concretamente a la situación que nos ocupa (proyecto fin de carrera), así podemos extrapolar de alguna manera el estado legal del mismo, en cuanto a su titularidad, y participación de su explotación, si la hubiera.

En este sentido, podemos destacar de dicha obra lo siguiente:

“Titularidad de los resultados”

En la actualidad, teniendo en cuenta la complejidad y los costes de las investigaciones, la mayor parte de las invenciones se llevan a cabo en el seno de las empresas, univer-

sidades u OPIS; ya casi no existe el inventor solitario que, a través de su ingenio y por su cuenta, tiene una idea genial y la plasma en una invención. Esto hace que se tenga que regular a quién y en que condiciones pertenecen los resultados de la investigación realizada por los trabajadores en las empresas. En los casos en que la titularidad pertenezca a la empresa, será sin perjuicio del derecho que tiene el trabajador o trabajadores a parecer como inventores de la misma (Véase el artículo 14 de la Ley de Patentes y el artículo 4º. Ter. del Acta de Estocolmo de 14 de julio de 1967 modificativa del Convenio de París para la Protección de la Propiedad Industrial, publicado en el BOE de 1 de febrero de 1974) y los artículos 14 a 20 de la Ley española de patentes, Ley 11, de 20 de Marzo de 1986, de patentes, J.M: Oter Lastres et al (1987).

Inventiones universitarias y de organismos públicos de investigación

El artículo 20 de la Ley de Patentes regula esta materia y remite a los Estatutos de las Universidades el desarrollo de la misma (más información en M. Pérez de 1984).

El artículo 20.1 dice:

“Las normas del presente Título serán aplicables a los funcionarios y trabajadores del estado, Comunidades Autónomas, Provincias, Municipios y demás Entes públicos sin perjuicio de los previstos en los párrafos siguientes”.

Los párrafos siguientes regulan esta materia para las invenciones realizadas por profesores e investigadores de la Universidad, así como su posible aplicación a los investigadores OPIS.

La titularidad de las invenciones realizadas por los profesores pertenece a la Universidad, si esta invención es producto de la investigación realizada dentro de su función o actividad de profesor, permitiendo, sin embargo, el Art. 11 de LRU sobre contratación con terceros, que se determine en el contrato la titularidad de los resultados, A. Bercovitz (1986)

El artículo 20, en su apartado 2, atribuye a la Universidad la titularidad de las patentes creadas como consecuencia de la función de investigación, sin perjuicio del artículo 14 de la Propia Ley en el que se dice:

El inventor tiene frente al titular de la solicitud de la patente el derecho a ser mencionado como tal inventor en la patente.

La titularidad económica corresponde a la Universidad aunque, como se verá más adelante, el profesor tenga derecho a una participación en los beneficios. También, pertenece al profesor el derecho moral a aparecer como creador, considerándose éste un derecho personalísimo al que no le pueden obligar a renunciar.

La participación de los profesores en los beneficios de las invenciones se recoge en el apartado 4 del mismo artículo, que se regula el derecho de los inventores a participar en los beneficios que obtenga la Universidad con estas invenciones.

La regularización de esta materia se tiene que realizar en los distintos estatutos de las Universidades, como se señala en el mencionado artículo 20 de la ley de patentes. En la práctica pocos son los Estatutos de Universidad que recogen esta regulación y si lo hacen es de forma incompleta ya que, al ser en muchos casos posteriores a la Ley de Patentes, no contemplan las situaciones previstas en ella, a lo que cabe añadir la dificultad que supone la modificación de los Estatutos.

Presupuesto

El cálculo del presupuesto de este proyecto se ha seguido según la “**Propuesta de baremos orientativos para el cálculo de honorarios**” establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2004.

Esta propuesta establece que para “**Trabajos tarifados por tiempo empleado**” se aplique la siguiente ecuación:

$$H = H_n \times 65 + H_e \times 78$$

Siendo:

- H = Honorarios a percibir.
- H_n = Horas contabilizadas en jornada normal.
- H_e = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por la aplicación de la clave “H” se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a la siguiente escala:

	horas		COEFICIENTE
Hasta	36		C=1
Exceso de	36	hasta 72	C=0.9
Exceso de	72	hasta 108	C=0.8
Exceso de	108	hasta 144	C=0.7
Exceso de	144	hasta 180	C=0.65
Exceso de	180	hasta 360	C=0.60
Exceso de	360	hasta 510	C=0.55
Exceso de	510	hasta 720	C=0.50
Exceso de	720	hasta 1080	C=0.45
Exceso de	1080		C=0.40

1 CÁLCULO DEL PRESUPUESTO

1.1 Costes debidos a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, establecemos una tabla indicativa a cerca del tiempo parcial empleado en cada fase del mismo.

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	160
Estudio de la herramienta de diseño	120
Análisis y diseño del circuito	1060
Realización de la memoria	320
TOTAL de horas	1660

En definitiva, se necesitaron un total de 1660 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal. Aplicando los coeficientes correctivos, dados por el COITT, a los tramos correspondientes resultan unos honorarios de:

$$H = H_n \times 65 + H_e \times 78$$

$$H = 65 \cdot 36 + (65 \cdot 36 \cdot 0.9) + (65 \cdot 36 \cdot 0.8) + (65 \cdot 36 \cdot 0.7) + (65 \cdot 36 \cdot 0.65) + (65 \cdot 180 \cdot 0.6) + (65 \cdot 150 \cdot 0.55) + (65 \cdot 210 \cdot 0.50) + (65 \cdot 360 \cdot 0.45) + (65 \cdot 580 \cdot 0.40) = 54294 \text{ €}$$

Costes debidos a los recursos humanos		
COSTES DE RECURSOS HUMANOS	TOTAL(euros)	54294

1.2 Costes de amortización de los equipos informáticos y herramientas software

A continuación se detallan los costes relacionados a la utilización de equipos y herramientas software empleados en la elaboración del presente proyecto. Los costes están divididos entre el número de usuarios que acceden a ellos los cuáles se han estimado en un número de 50.

Costes debidos a la utilización de equipos informáticos				
Descripción	Tiempo de uso (meses)	Coste anual (euros)		Total (euros)
		Total	Usuario	
Estación de trabajo SUN Sparc modelo Sparc Station 10				
Amortización 3 años	9	5228.80	104.57	78.42
Mantenimiento	9	1274.65	31.49	23.62
Servidor para simulación SUN Sparc Station 10				
Amortización 3 años	9	5068.53	101.37	76.02
Mantenimiento	9	1547.65	31.49	23.62
Impresora Hewlett Packard Laserjet 4L				
Amortización 3 años	9	360	7.20	5.40
Mantenimiento	9	120.20	2.40	1.80
Ordenador Personal Pentium III 800 MHz				
Amortización 3 años	9	360	7.20	5.40
Mantenimiento	9	120.20	2.40	1.80
COSTES DE EQUIPOS INFORMÁTICOS		TOTAL		216.08

Costes debidos a la utilización de herramientas software				
Descripción	Tiempo de uso (meses)	Coste anual (euros)		Total (euros)
		Total	Usuario	
Sistema operativo SunOs Release 4.1.3, Openwindows y aplicaciones x11	9	903.32	18.06	13.54
Entorno y diseño de simulación Advanced Design System				
Amortización 3 años	9	2208.11	44.16	33.12
Mantenimiento	9	1445.31	28.90	21.67
Entorno Windows NT	9	306.21	6.12	4.6
Microsoft Office 2000	9	448.95	8.97	6.73
COSTES DE HERRAMIENTAS SOFTWARE		TOTAL		79.66

1.3 Otros costes

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y la elaboración del documento final.

Otros costes			
Descripción	Nº de unidades	Coste unidad	Total (euros)
Horas de uso de Internet	200 horas	1.13 €/hora	226
Paquetes papel DIN_A4 80 gr/m ²	3	4.52 €	13.56
Fotocopias	1000	0,04 €	40
Otros			100
OTROS COSTES		TOTAL	379.56

1.4 Presupuesto total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Costes	Total (euros)
Costes de herramientas software	79.66
Costes de equipos informáticos	216.08
Costes de recursos humanos	54294.00
Otros costes	379.56
Subtotal	54969.30
IGIC (5%)	1649.07
PRESUPUESTO TOTAL	56618.38

D. Dailos Ramos Valido declara que el proyecto “Diseño de un Sintetizador para el estándar IEEE 802.11a” asciende a un total de **cincuenta y seis mil seiscientos dieciocho con treinta y ocho euros**.

Fdo.

DNI:54075476-S.

Las Palmas de Gran Canaria, adede 2005

Bibliografía

- [1] AMS Austria Micro Systems, “0.35 μm BiCMOS Design Rules”, Rev. 2.0. 2000.
- [2] Behzad Razavi, “RF Microelectronics”, University of California: Prentice Hall PTR, 1998.
- [3] Sunil Lalchand Khemchandani, Amaya Goñi Iturri, Francisco Javier del Pino Suárez, Antonio Hernández Ballester, “A Fully Integrated VCO for 5 GHz WLAN band in 0,35 μm SiGe Technology”, Microelectronics Journal, Elsevier's. Pendiente de aprobación.
- [4] Paraninfo, “Electrónica aplicada a las altas frecuencias”, Thomson Learning.
- [5] J.B.Encinas, “Phase Locked Loops”, Chapman & Hall.
- [6] Ulrich L. Rohde, “Digital PLL frequency Synthesizers”, Theory and Desing.
- [7] Manuel Sierra Pérez, Belén Galocha Iragüen, José Luis Fernández Jambrina, Manuel Sierra Castañer, Universidad politécnica de Madrid; “Electrónica de comunicaciones”, Pearson/Prentice Hall.
- [8] Roberto Díaz Ortega, “Diseño de un mezclador en CMOS 0.35 μm para un receptor basado en el estándar IEE802.11a.”, Proyecto Fin de Carrera, abril de 2004.
- [9] Jesús Rubén Pulido Medina, “Diseño de un amplificador de bajo ruido en CMOS 0.35 μm para un receptor basado en el estándar IEE802.11a.”, Proyecto Fin de Carrera, abril de 2004.
- [10] Francisco Javier Muñoz Ledesma, “Diseño y simulación de circuitos empleando HBTs orientado a fibra óptica”, Proyecto Fin de Carrera, abril de 2000.
- [11] S. L. Khemchandani, “Sintetizador para aplicaciones LMDS en la banda de 27.5 a 29.5 GHz”, Informe interno, Instituto de Microelectrónica Aplicada, 2002.
- [12] Tutoriales de ADS, (DesignGuide), mayo 2003.

- [13] Libro de microelectrónica de 3º EUITT.
- [14] S. Perellano, C. Samori, S. Levantino and A. L. Lacaita, “13.5-mW 5-GHz WLAN CMOS Frequency Synthesizer Using a True Single Clock Divider”, Politecnico di milano, Dipartimento di Elettronica e Informazione.
- [15] W. O. Keese, “An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loop”, National Semiconductor Application Note 1001, May 1996.
- [16] Craig Davis Tom Mills Keith Mueller, “Digital PLL Synthesis”, National Semiconductor Application Note 335, April 1983.
- [17] Advanced Design System, <http://eesof.tm.agilent.com/>.
- [18] Alexander Krall, “A 2.4 GHz CMOS Frequency Synthesizer”, Integrated Circuits & Systems Laboratory UCLA, 1998.
- [19] R. Jacob Baker, Harry W. Li and David E. Boyce, “CMOS Circuit Design, Layout, and Simulation”, IEEE Press, 1998.