

DISEÑO DE UN SINTETIZADOR PARA EL ESTÁNDAR IEEE 802.11a

AUTOR: DAILOS RAMOS VALIDO

TUTORES: SUNIL LALCHAND KHEMCHANDANI

ESPECIALIDAD: SISTEMAS ELECTRÓNICOS

FRANCISCO JAVIER DEL PINO SUÁREZ

EUITT

ULPGC

OCTUBRE 2005

Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Bloque I	<ul style="list-style-type: none"><u>Introducción</u>Estándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Introducción

WLAN (Wireless Local Area Network)

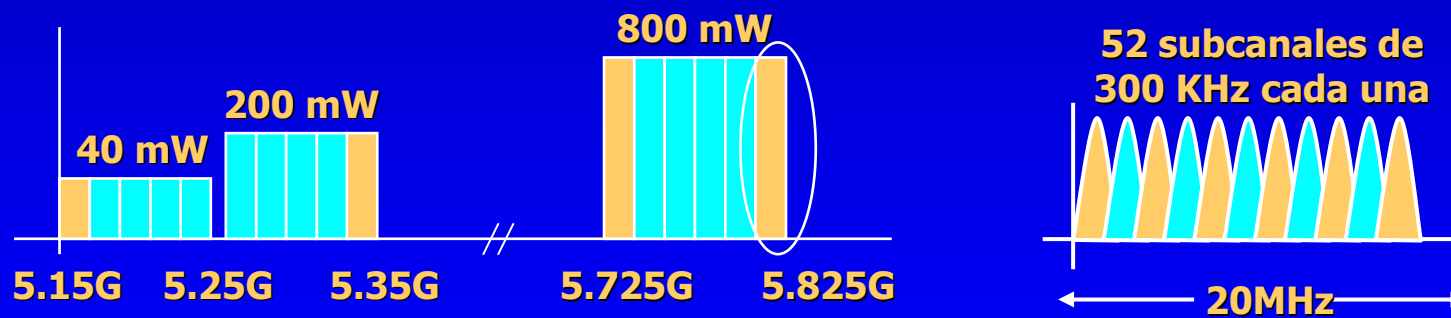


Bloque I	<ul style="list-style-type: none">Introducción<u>Estándar IEEE 802.11a</u>Sistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Estándar IEEE 802.11a

- Para redes inalámbricas en la banda de 5GHz
- Tasa de transferencia máxima de 54 Mbps

Canalización



Estándar IEEE 802.11a

- **Impedancia de antena en transmisión y recepción: 50 Ohmios**

- **Temperatura de funcionamiento**

}	Tipo 1 0 °C a 40 °C
	Tipo 2 -20 °C a 50 °C
	Tipo 3 -30 °C a 70 °C

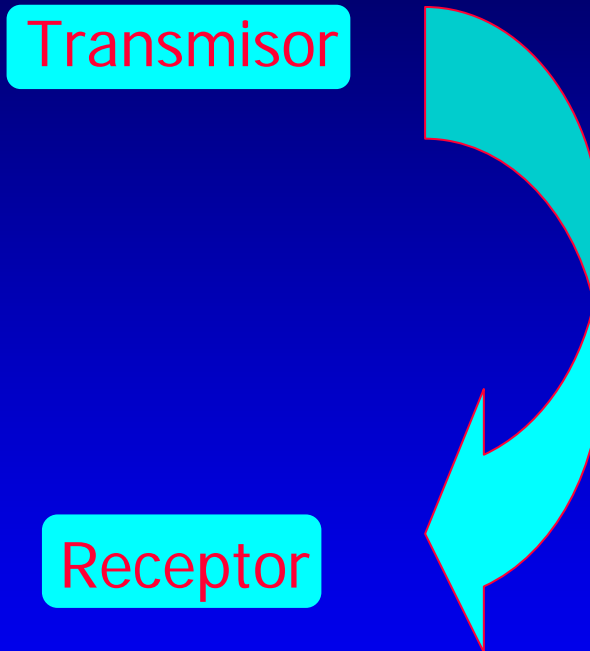
- **Potencia de transmisión**

}	5.15-5.25 (GHz) -> 40mW
	5.25-5.35 (GHz) -> 200mW
	5.725-5.825 (GHz) -> 800mW

- **Variación máxima de frecuencia en la salida de ± 20 ppm**
- **Sensibilidad mínima de -82 dBm para una tasa de 6 Mbits/s**
- **Figura de ruido máxima en recepción de 14 dB**

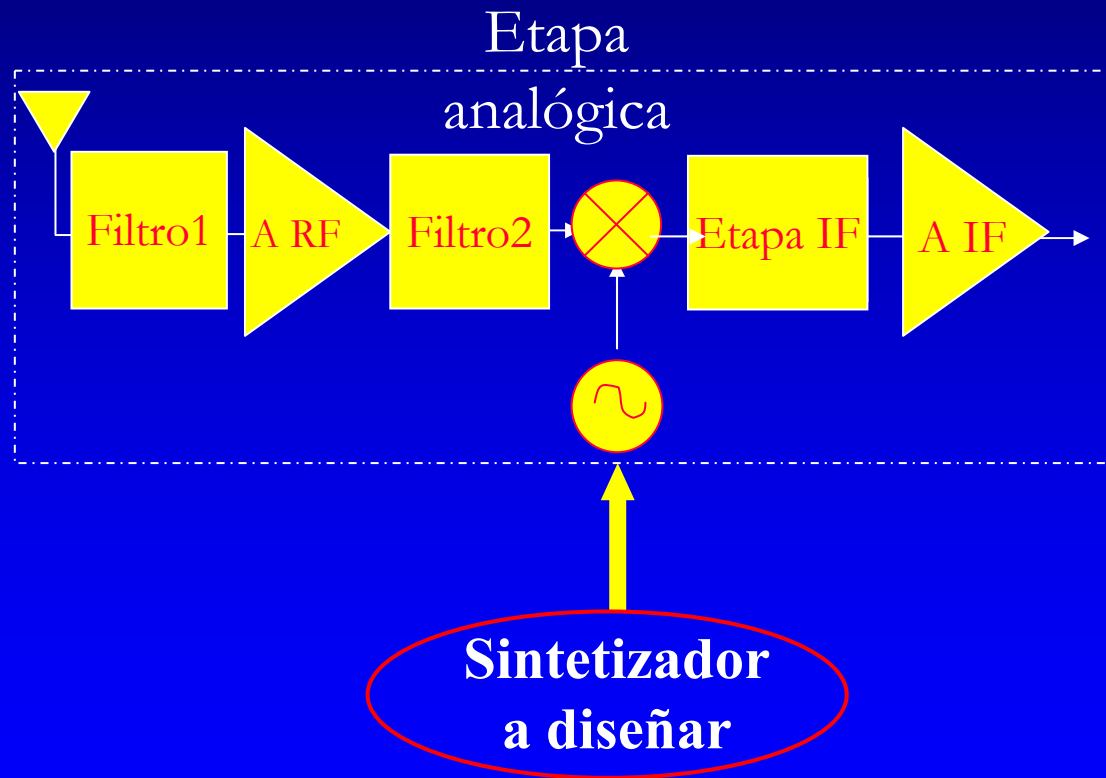
Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11a<u>Sistemas de radiofrecuencia</u>Tipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Sistemas de radiofrecuencia



Sistemas de radiofrecuencia

Receptor



Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuencia<u>Tipos de receptores</u>Estudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Tipos de receptores

Conversión directa



Ventajas

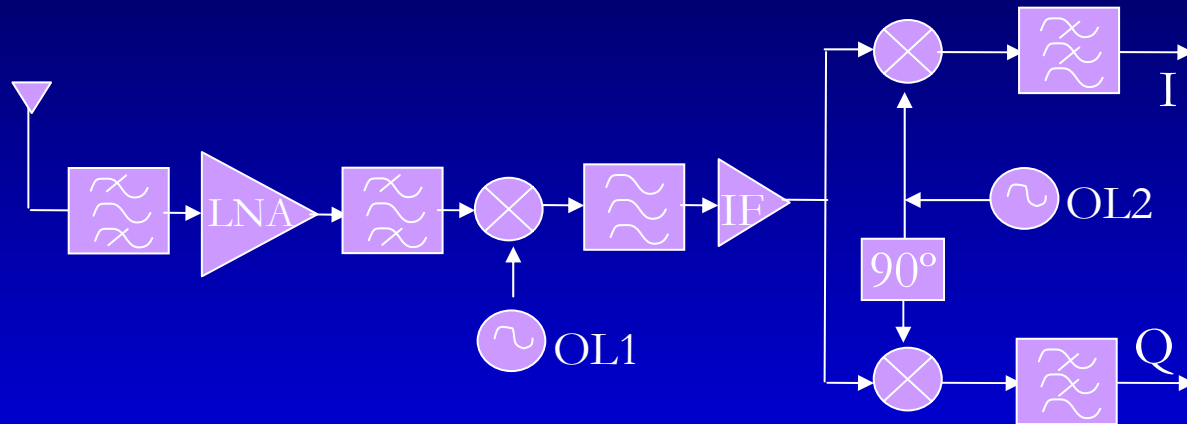
- No hay problemas con la frecuencia imagen
- Reducido número de componentes

Inconvenientes

- Aparece un Offset en la salida (Self Mixing)
- Aparece error de constelación
- Implementación del sintetizador
- Ruido *flicker*

Tipos de receptores

Doble conversión o conversión superheterodino

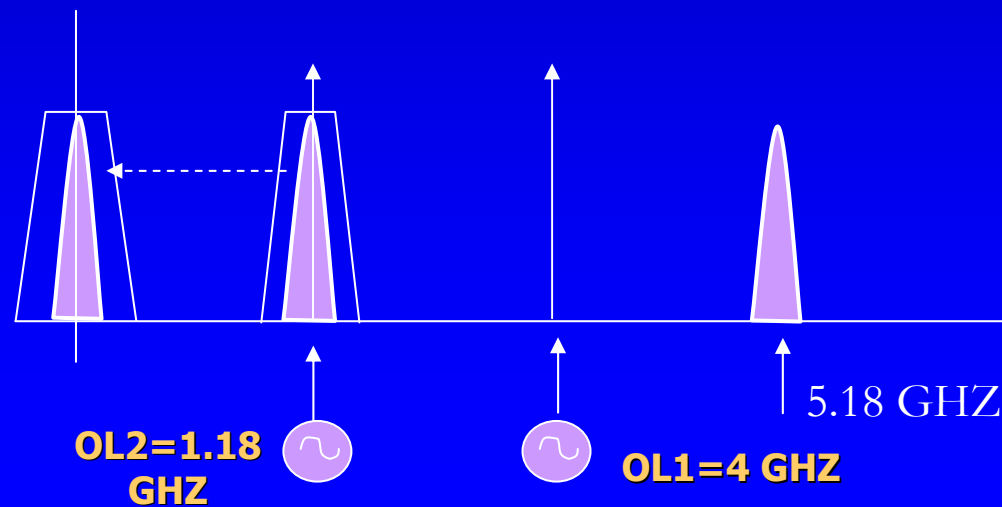


Ventajas

- **Elimina Self Mixing**
- **Mejora selectividad**
- **Sintetizador de baja frecuencia**

Inconvenientes

- **Elevado número de componentes**
- **Filtro de Frecuencia intermedia no integrable**

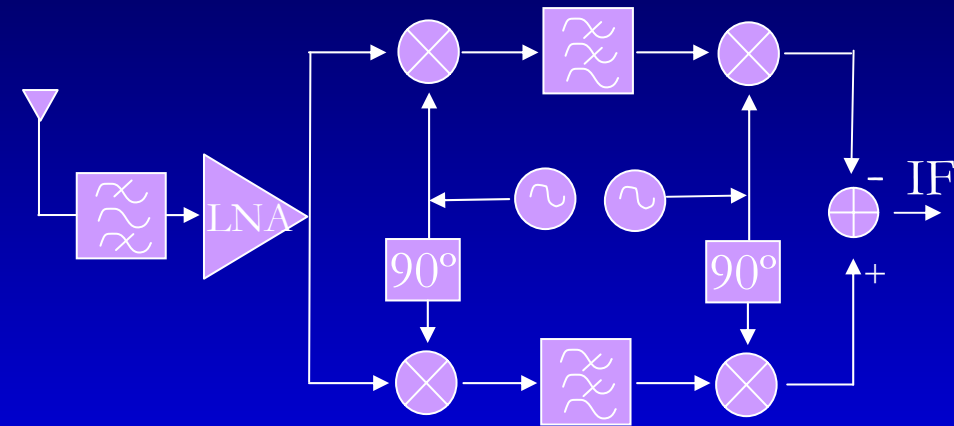
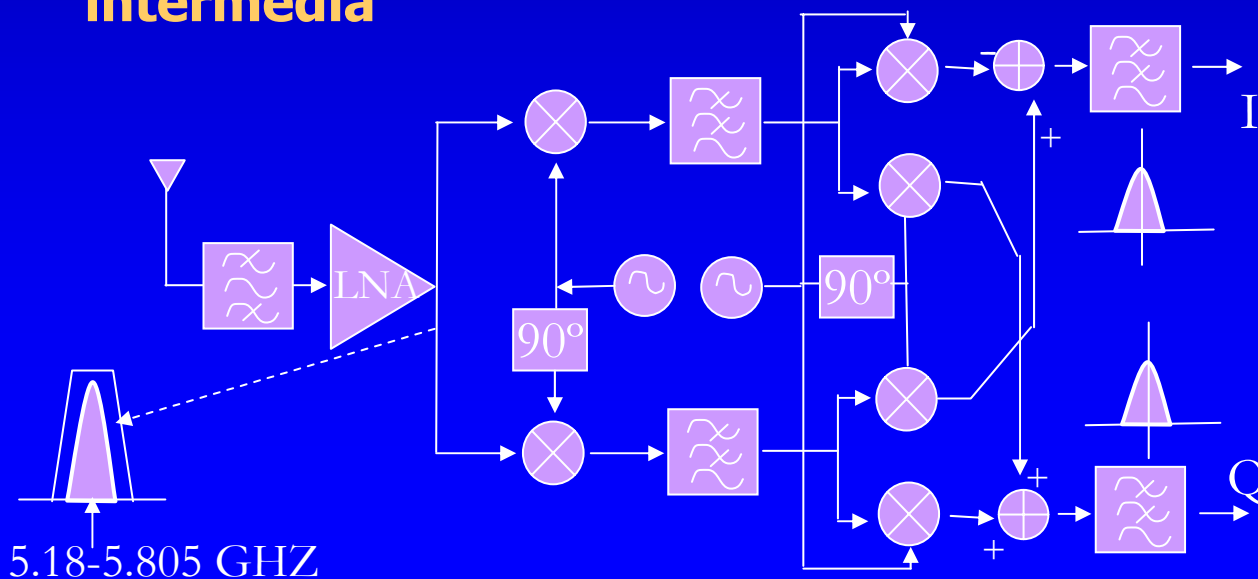


Tipos de receptores

Arquitectura *Weaver*

Ventajas

- Gran selectividad
- No es necesario el uso de filtros de frecuencia intermedia

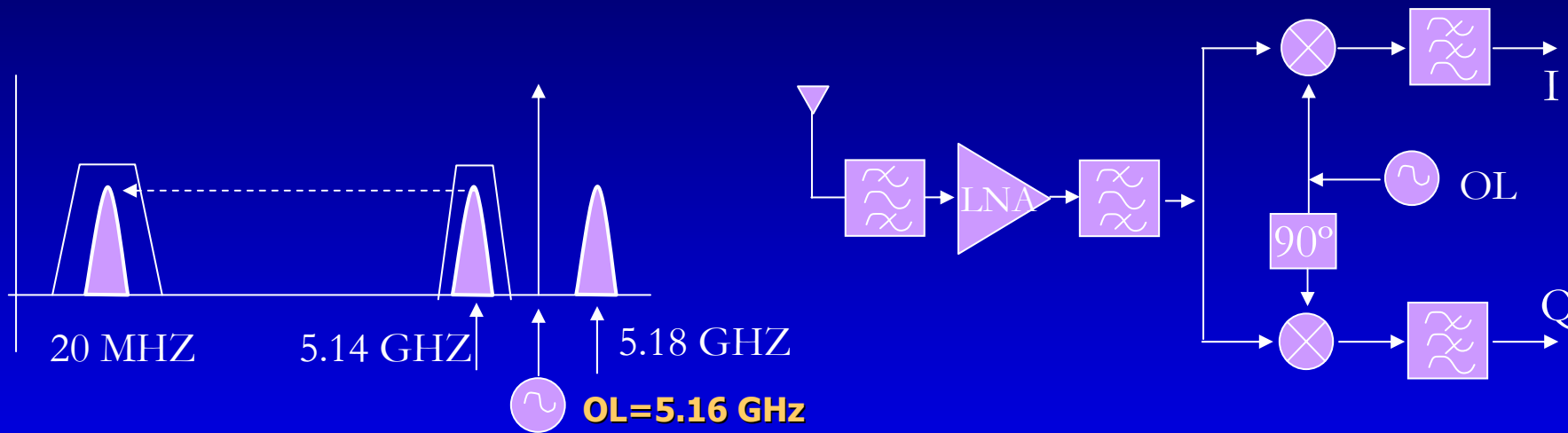


Inconvenientes

- Elevado número de componentes
- Pueden aparecer errores de constelación

Tipos de receptores

Conversión a baja frecuencia intermedia



Ventajas

- Reducido número de componentes
- No depende del ruido *flicker*

Inconvenientes

- Utilizar ADC más rápidos
- Necesario filtro de FI
- Implementación del sintetizador

Tipos de receptores

Elección de la arquitectura

Reducido número de componentes

No depende del ruido *flicker*

CONVERSIÓN A BAJA FRECUENCIA INTERMEDIA

Evitar Self Mixing



Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptores<u>Estudio de los sintetizadores</u>Objetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

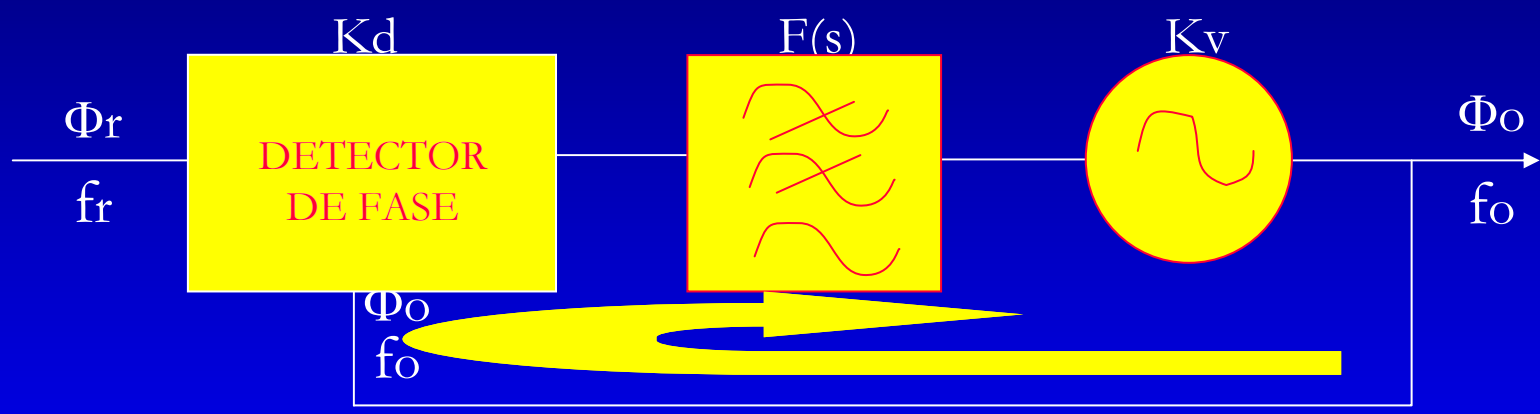
Estudio de los sintetizadores

Síntesis de frecuencia

- **El método más utilizado es trabajar con un PLL y divisores de frecuencia**

Estudio de los sintetizadores

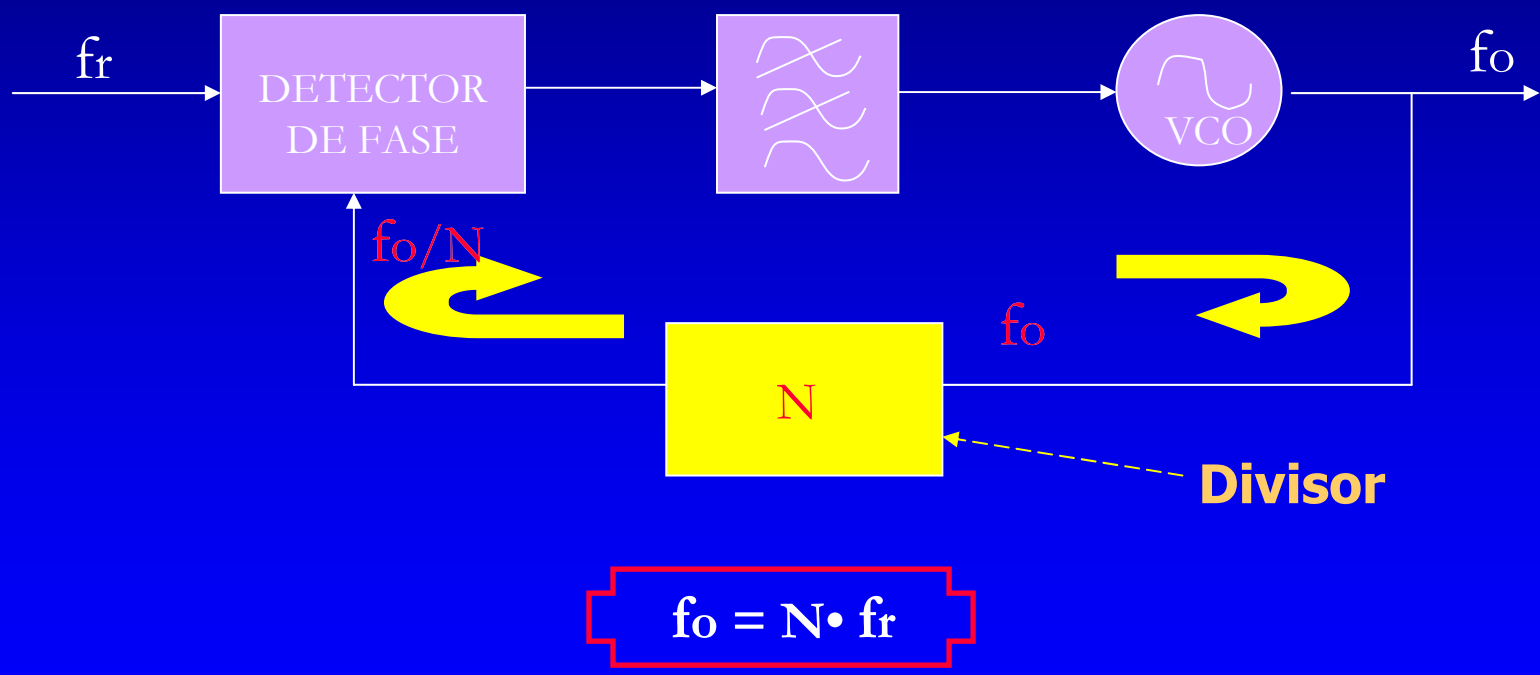
PLL (Lazos enganchados en fase)



$$\Phi_o = \Phi_r$$
$$f_o = f_r$$

Estudio de los sintetizadores

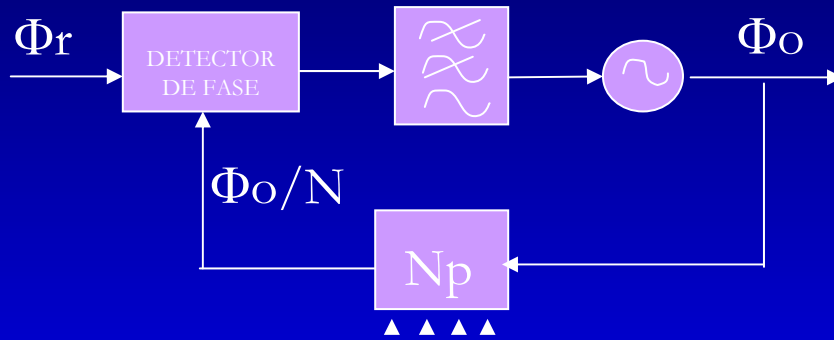
Sintetizador \neq PLL



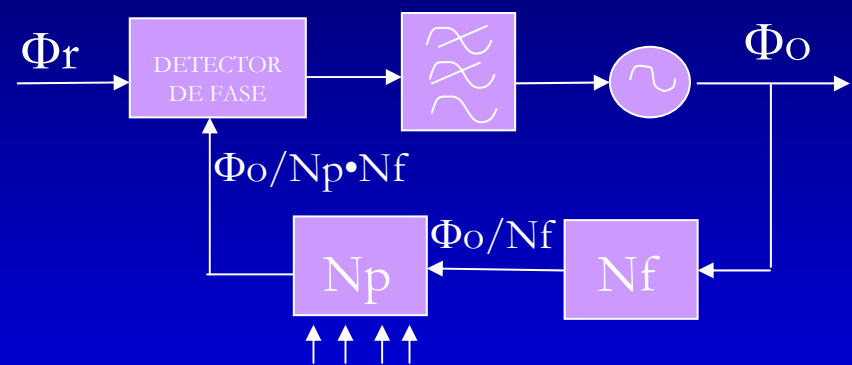
Estudio de los sintetizadores

Distintas estructuras

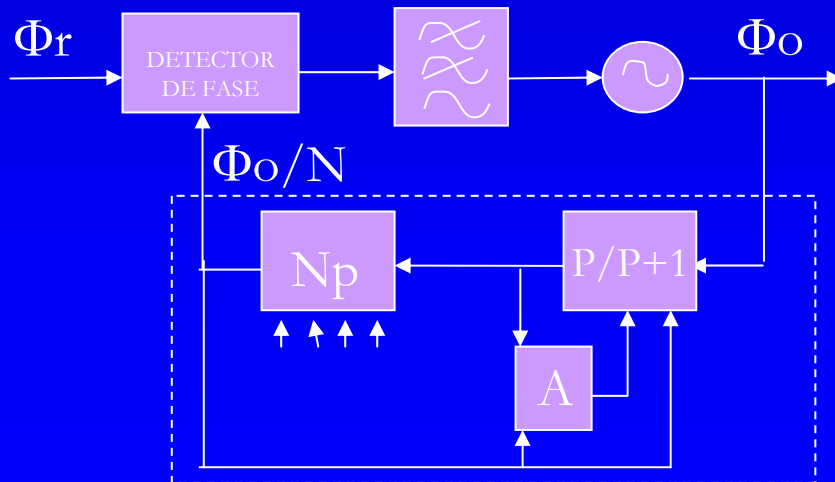
con divisor programable



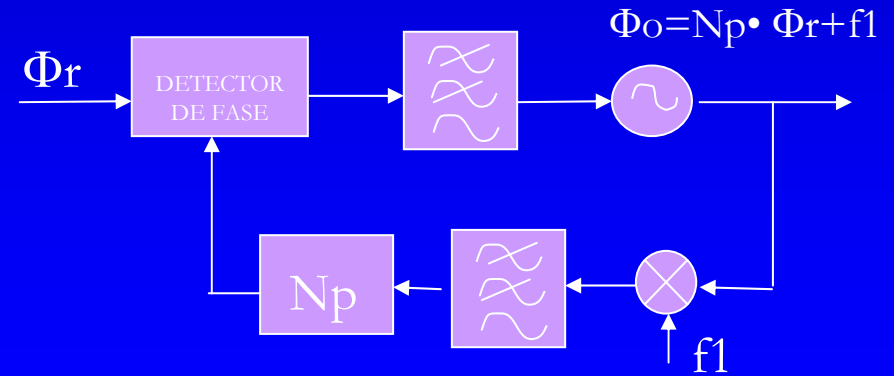
con divisor fijo y programable



con divisor de doble módulo



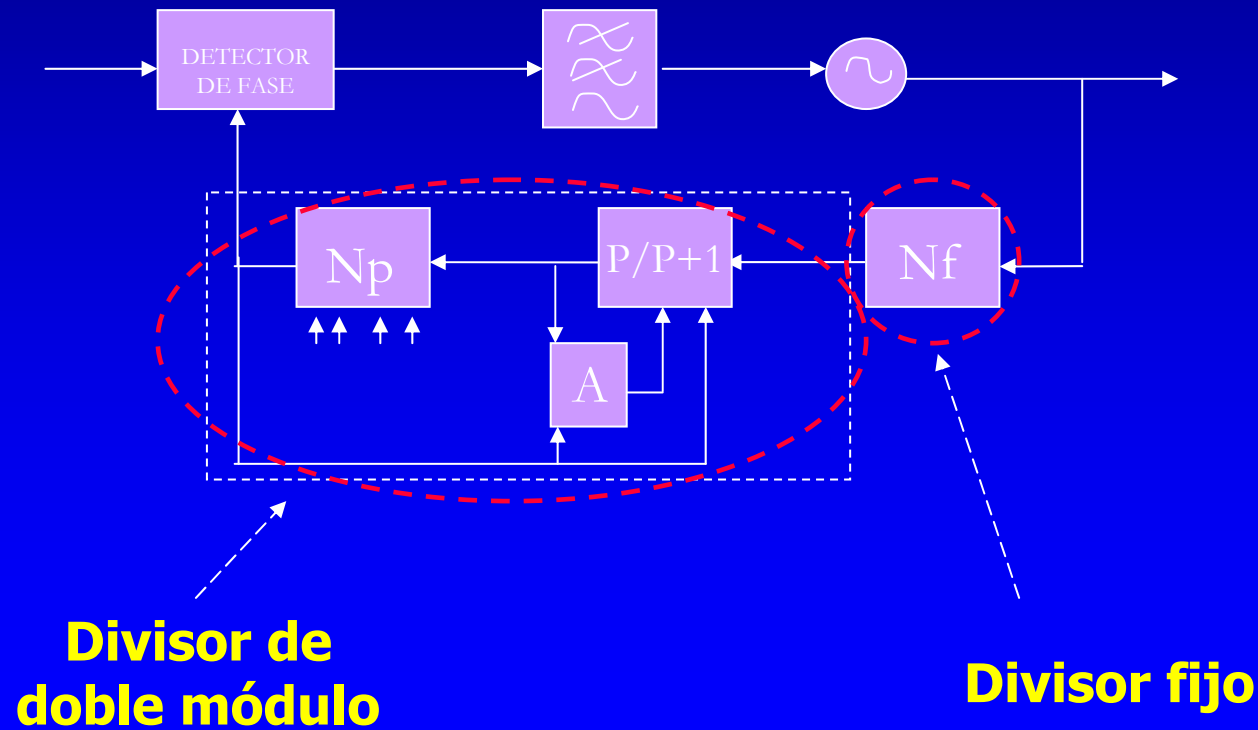
con mezclador



Estudio de los sintetizadores

Estructura elegida

SINTETIZADOR CON DIVISOR FIJO RÁPIDO Y DIVISOR DE DOBLE MÓDULO



Estudio de los sintetizadores

Frecuencias del sintetizador

Banda(GHz)	Frecuencia central de cada canal (MHZ)	Frecuencia del sintetizador $F_{out}=RF-IF$ (MHz)
U-NII Banda inferior (5.15-5.25)	5180	5160
	5200	5180
	5220	5200
	5240	5220
U-NII Banda media (5.25-5.35)	5260	5240
	5280	5260
	5300	5280
	5320	5300
U-NII Banda superior (5.725-5.825)	5745	5725
	5765	5745
	5785	5765
	5805	5785

Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadores<u>Objetivos</u>
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Objetivos

Diseñar un sintetizador integrado en tecnología SiGe de 0.35 μ m de AMS para estándar inalámbrico IEEE 802.11a

- **Elementos a diseñar:**
 - **Detector de fase.**
 - **Filtro paso bajo.**
 - **Divisor rápido.**
 - **Divisor programable.**
- **Elemento diseñado:**
 - **VCO.**

Bloque I

Introducción
Estándar IEEE 802.11a
Sistemas de radiofrecuencia
Tipos de receptores
Estudio de los sintetizadores
Objetivos

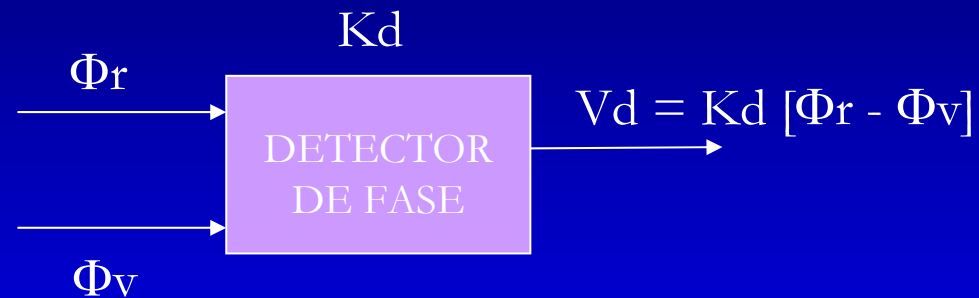
Bloque II

Diseño del comparador de fase
Diseño del filtro
Diseño del divisor rápido
Diseño del divisor programable
Estudio del VCO
Diseño del sintetizador de frecuencias

Bloque III

Conclusiones
Presupuesto

Diseño del comparador de fase



- **Tipos :**

- *OR exclusiva*
- *Comparador de fase/frecuencia más bombeo de carga*

Diseño del comparador de fase

OR exclusiva

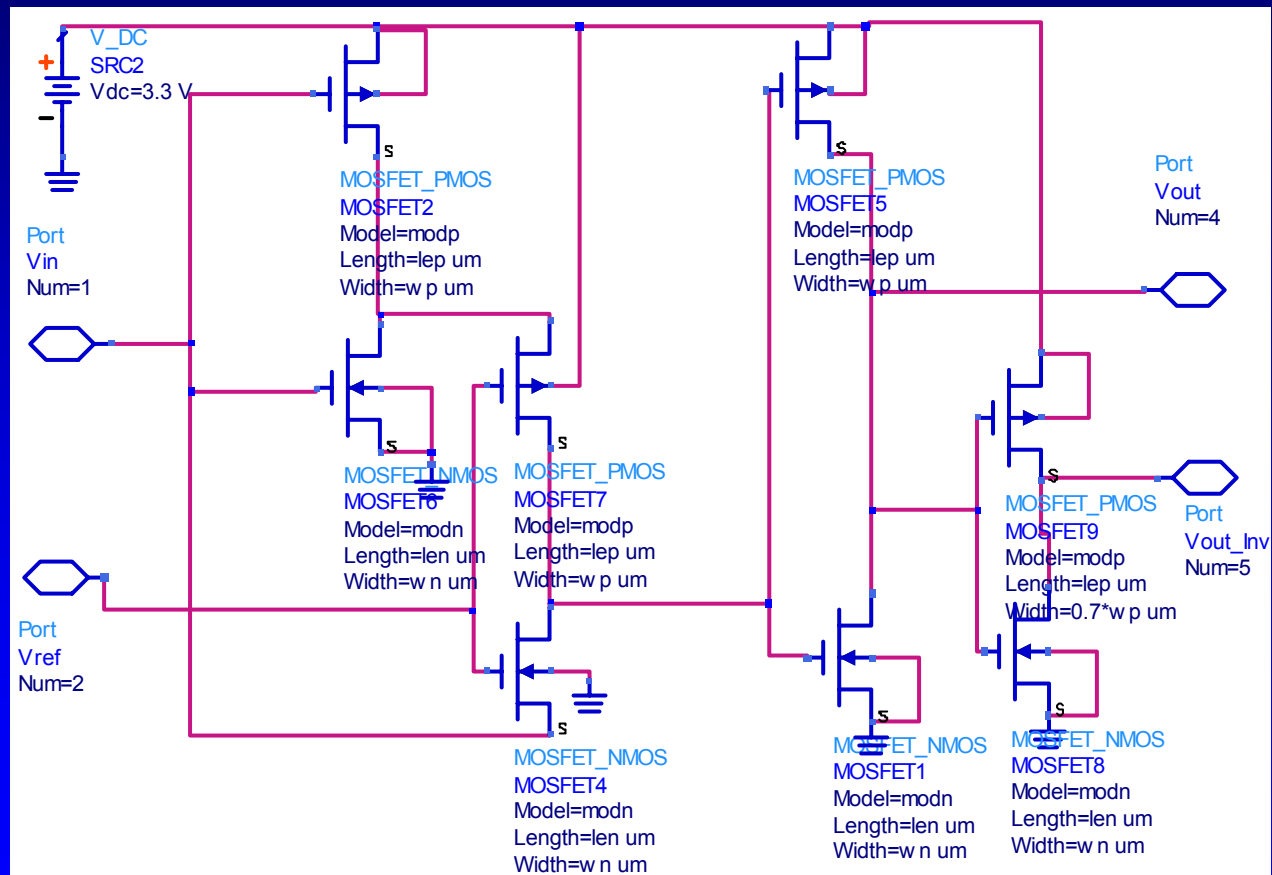
A	B	X O R
0	0	0
0	1	1
1	0	1
1	1	0

Niveles de entrada = \Rightarrow Estado bajo

Niveles de entrada \neq \Rightarrow Estado alto

Diseño del comparador de fase

OR exclusiva

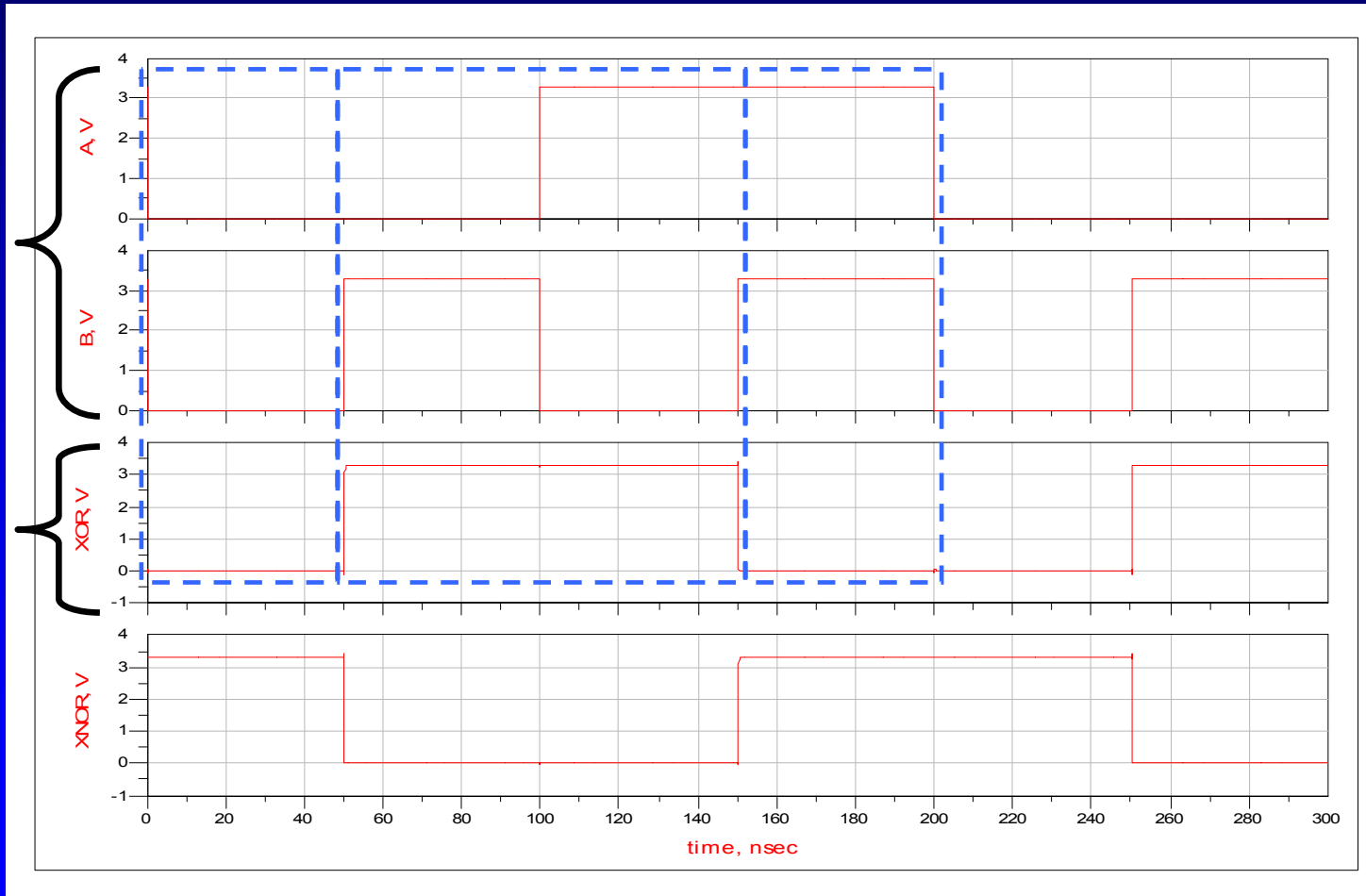


Diseño del comparador de fase

OR exclusiva

entradas

salida



Diseño del comparador de fase

Comparador de fase/frecuencia + bombeo de carga

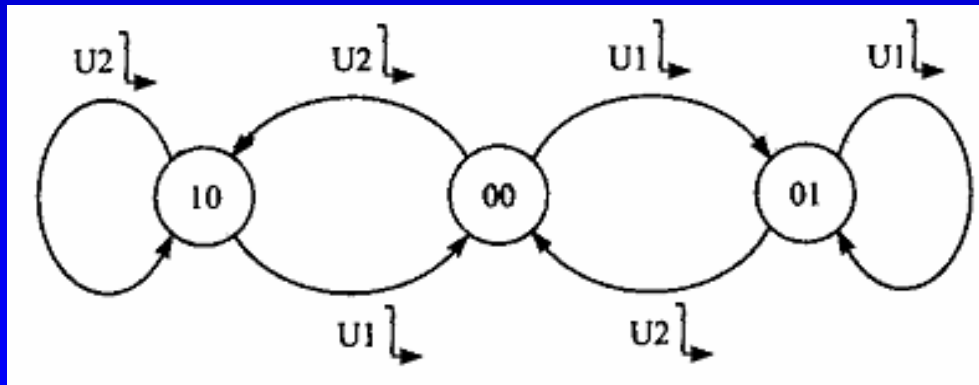
- **Diseño :**
 - *Comparador de fase/frecuencia*
 - *Bomba de carga*

Diseño del comparador de fase

Comparador de fase/frecuencia

Flanco de bajada de una señal { (Estado 10 ⇒ D)
(Estado 01 ⇒ U) }

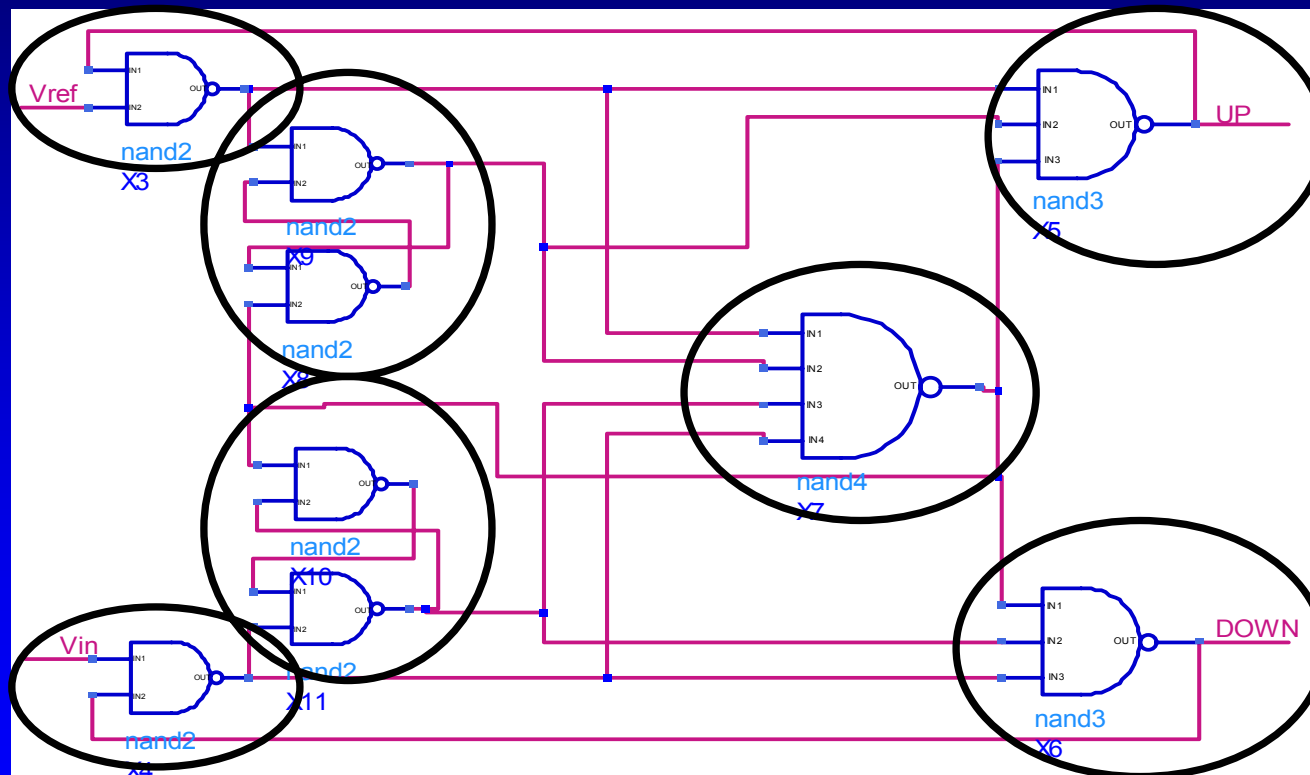
Flanco de bajada de la otra señal ⇒ Estado 00



ESTADO	D	U
00	0	0
01	0	1
10	1	0

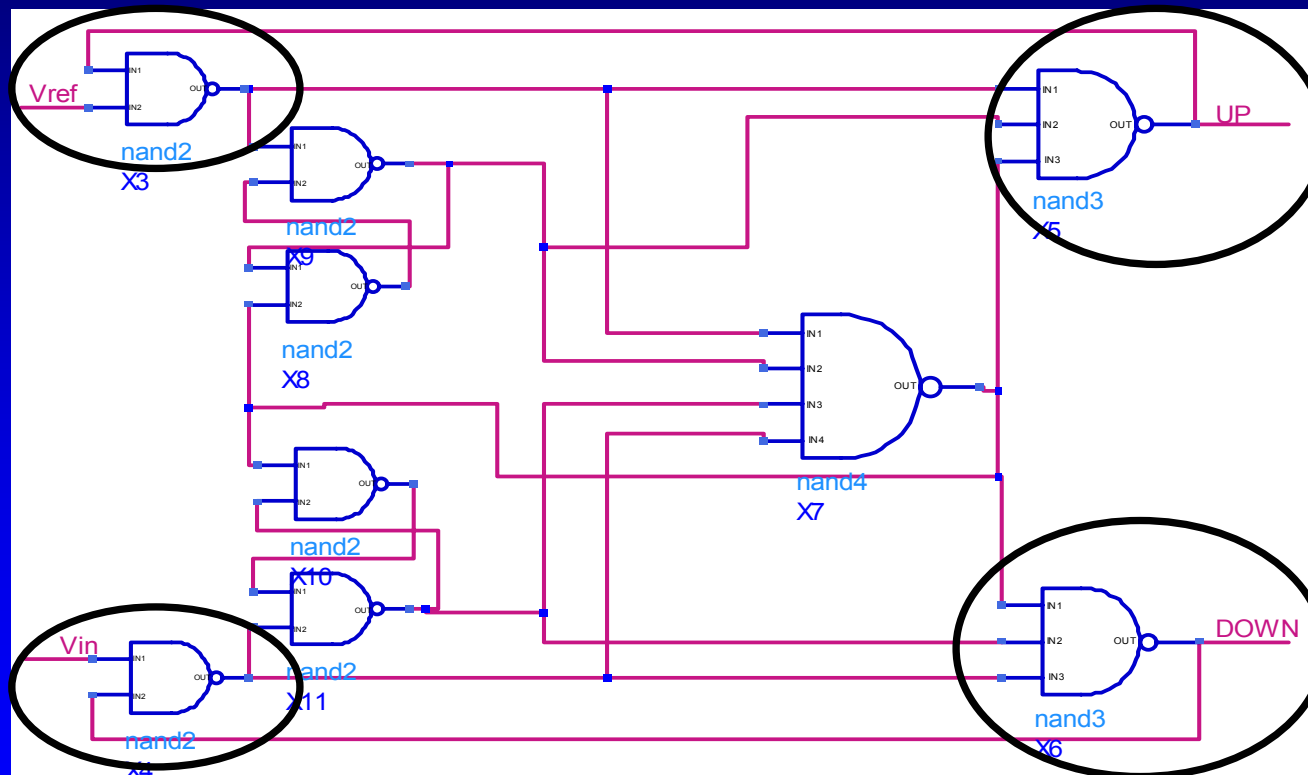
Diseño del comparador de fase

Comparador de fase/frecuencia



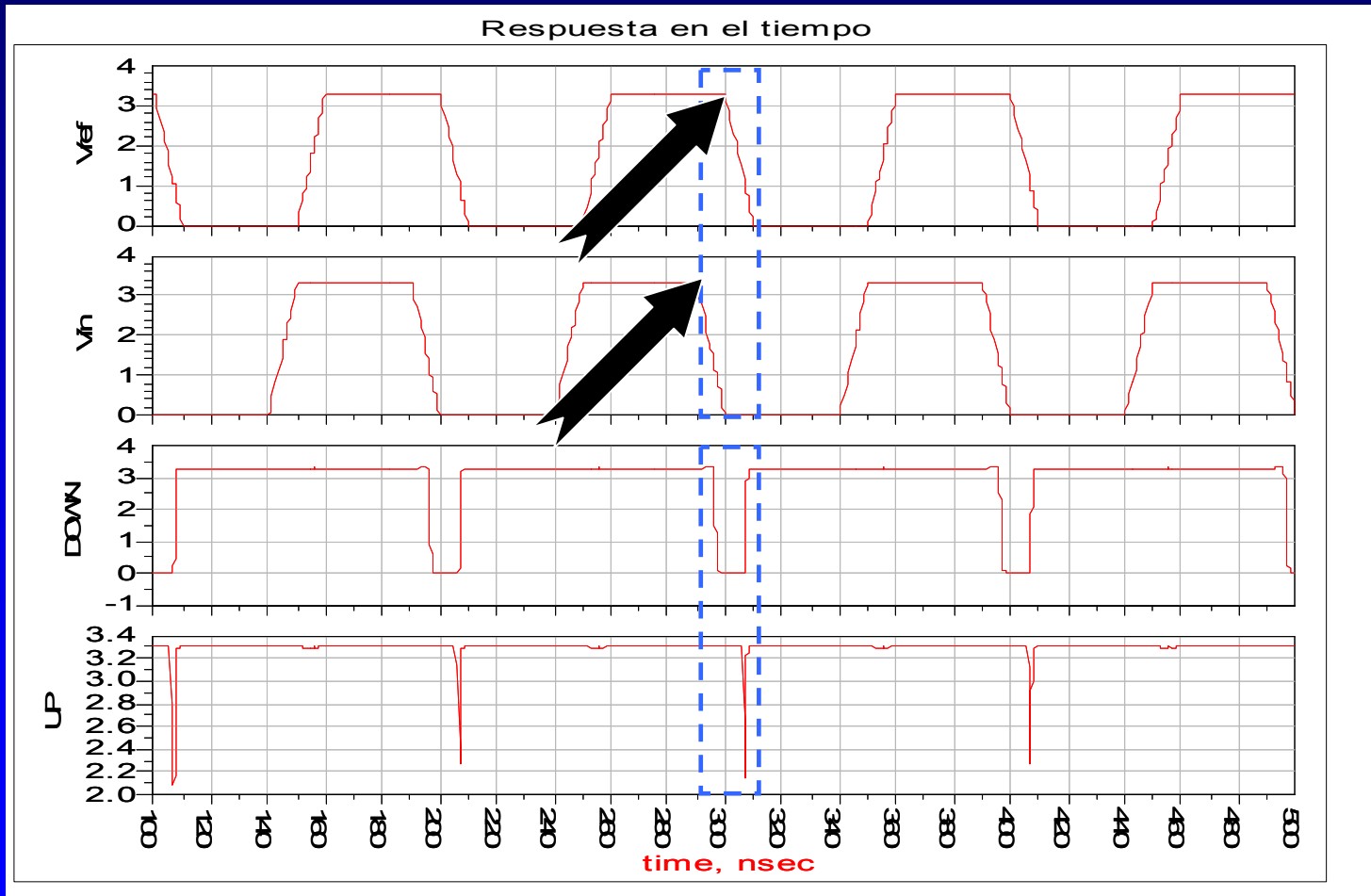
Diseño del comparador de fase

Comparador de fase/frecuencia



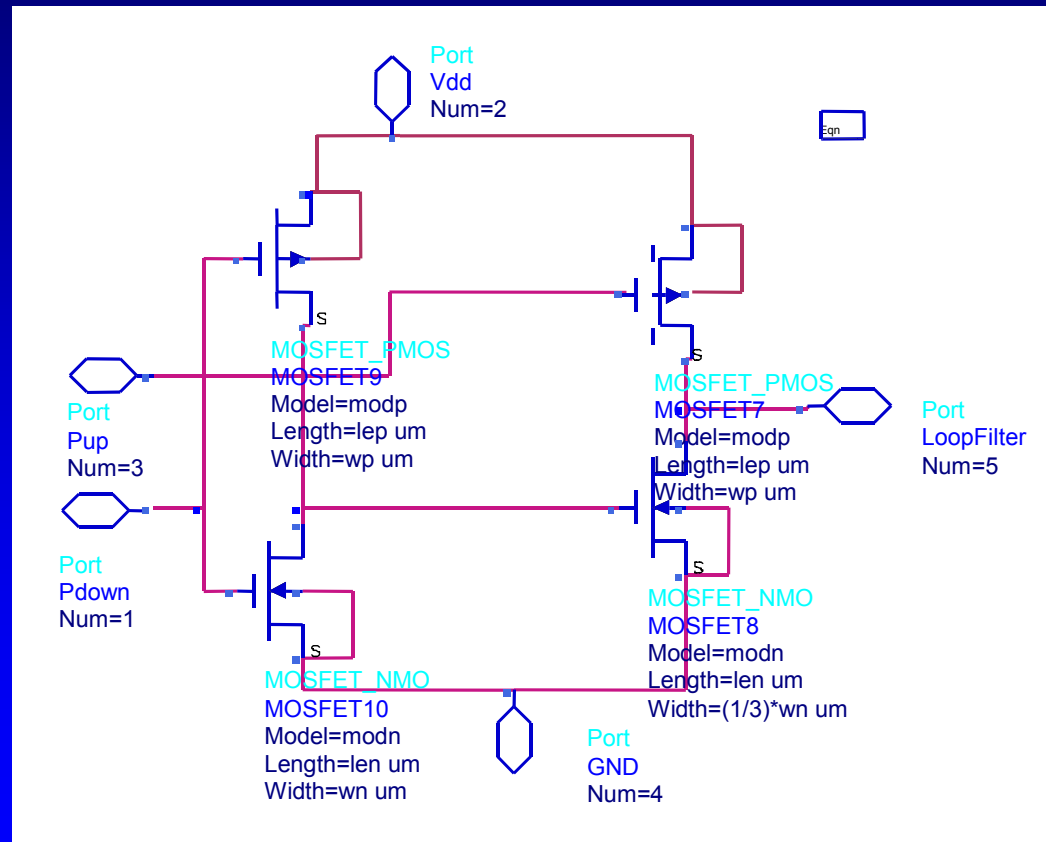
Diseño del comparador de fase

Comparador de fase/frecuencia



Diseño del comparador de fase

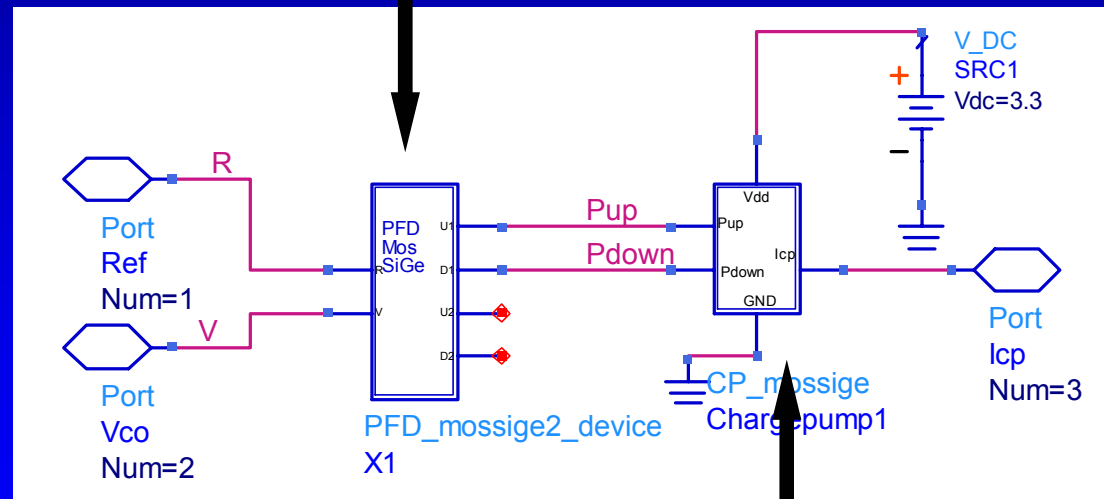
Bomba de carga



Diseño del comparador de fase

Comparador de fase/frecuencia + Bomba de carga

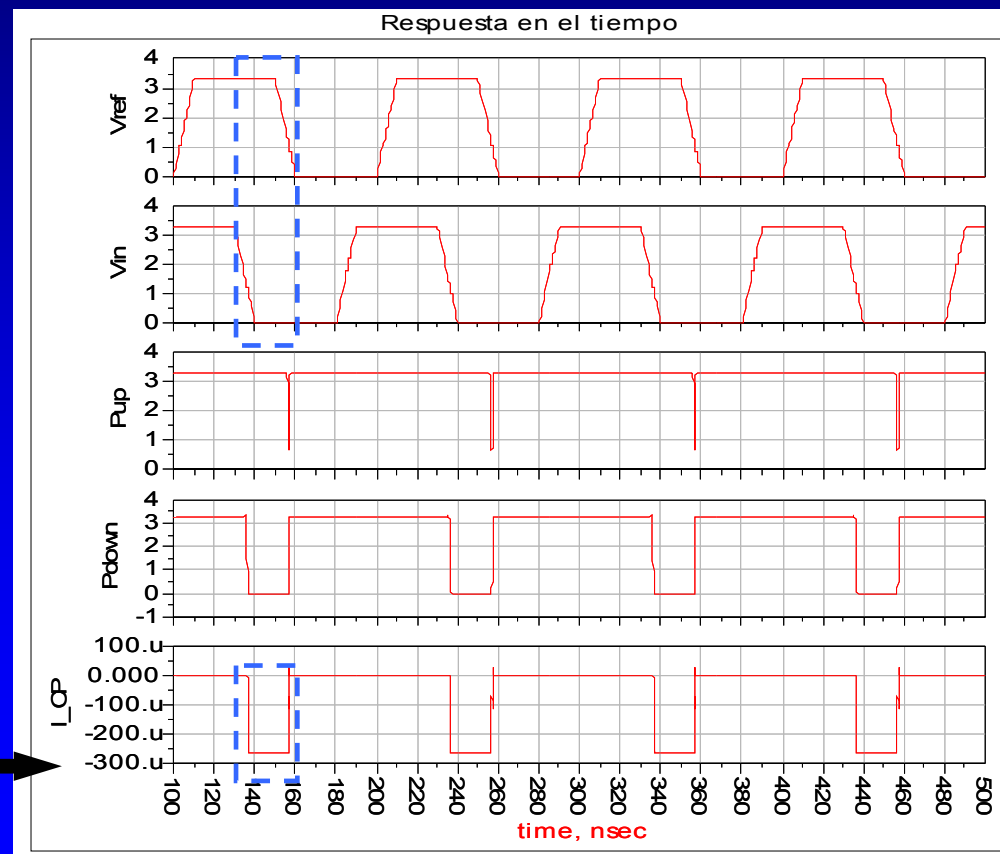
Comparador de fase/frecuencia



Bomba de carga

Diseño del comparador de fase

Comparador de fase/frecuencia + Bomba de carga

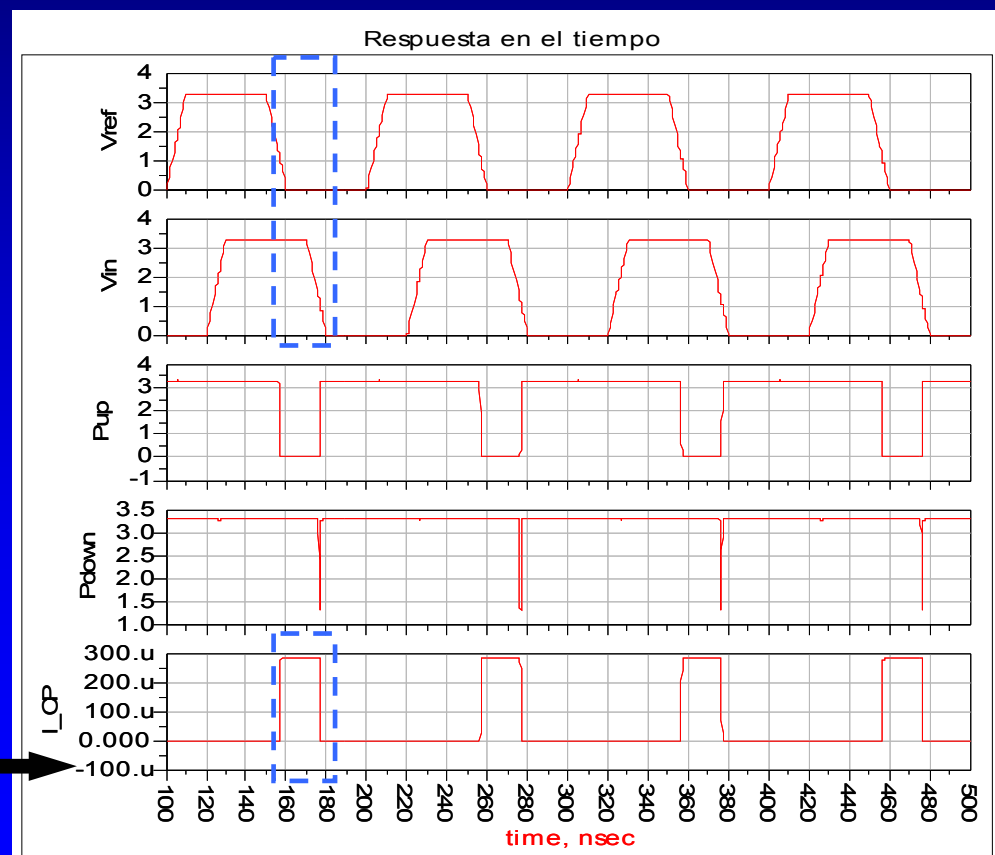


Corriente -icp



Diseño del comparador de fase

Comparador de fase/frecuencia + Bomba de carga

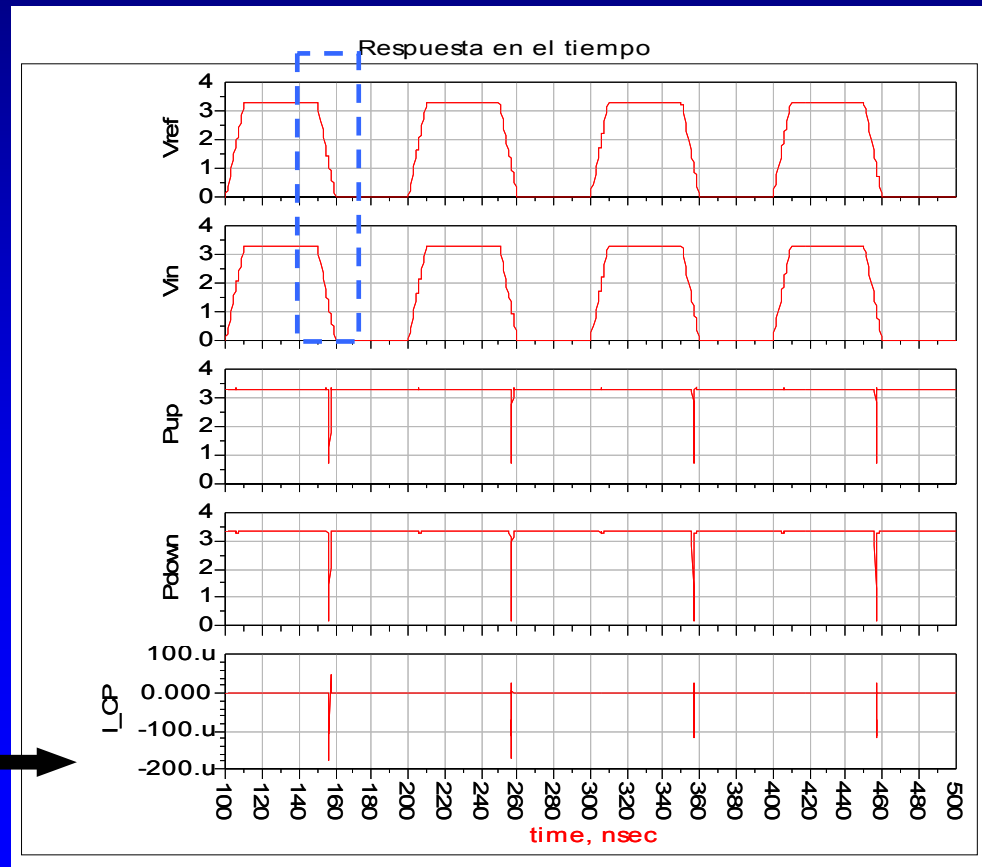


Corriente icp



Diseño del comparador de fase

Comparador de fase/frecuencia + Bomba de carga



Corriente $i_{cp}=0$



Diseño del comparador de fase

Conclusiones

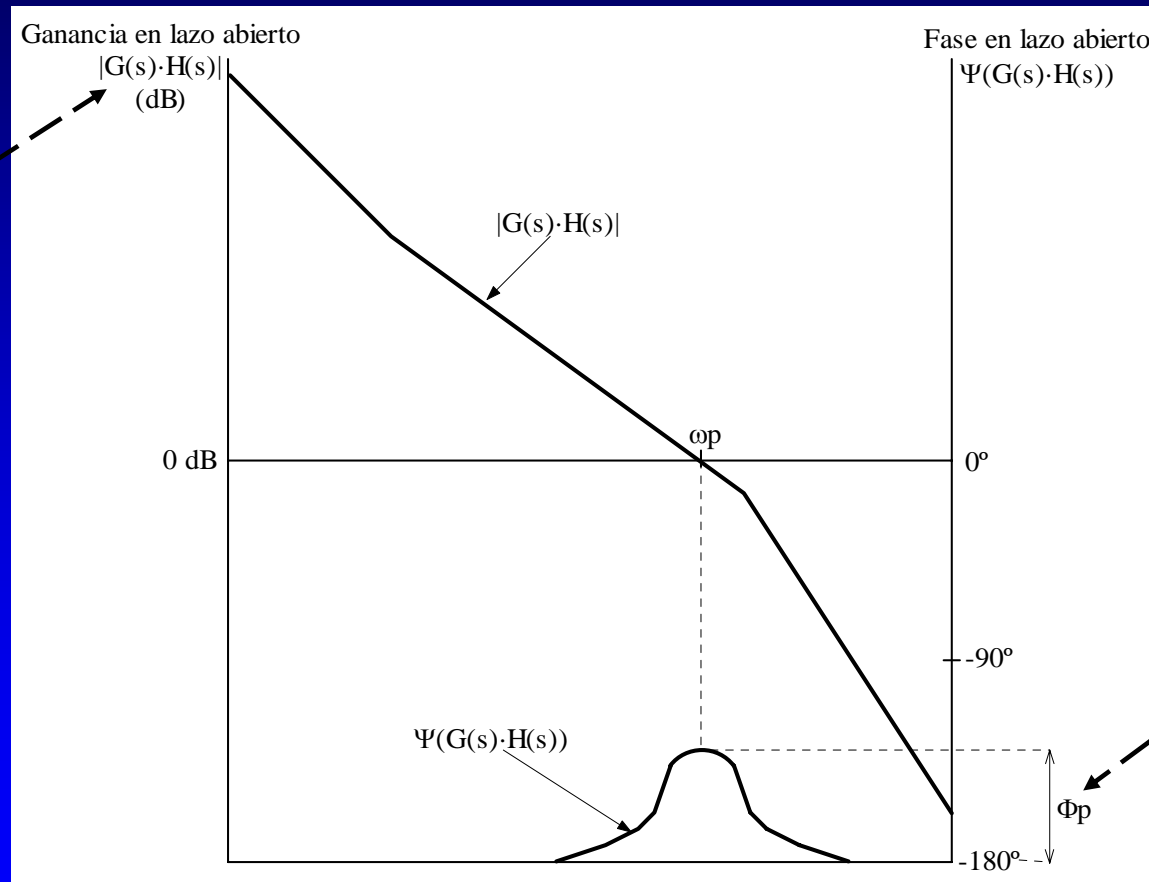
<i>Comparadores de fase</i>	<i>Margen lineal</i>	<i>Kd</i>	<i>Señales de entrada</i>	<i>Puede utilizarse cuando tenga un divisor por N</i>
XOR	0 y π	1(V/rad)	de frecuencias idénticas y si las relaciones cíclicas valen $\frac{1}{2}$	con la prevención de un dispositivo prolongador de impulsos
PFD+CP	-2π y $+2\pi$	32.61(μ A/rad)	no tiene restricciones	no tiene restricciones

Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de fase<u>Diseño del filtro</u>Diseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Diseño del filtro

- **Elemento principal para analizar la estabilidad del lazo**
- **Implementamos Tipo 2** $\left\{ \begin{array}{l} \Rightarrow \text{error de fase}=0 \\ \Rightarrow \text{error de frecuencia}=0 \end{array} \right.$
- **Método de la ganancia en lazo abierto y el margen de fase**
- **Estructuras:**
 - *Filtro pasivo de tipo 2 y orden 3 para PFD+CP*
 - *Filtro activo de tipo 2 y orden 2 para PFD+CP*
 - *Filtro activo de tipo 2 y orden 2 para XOR*

Diseño del filtro

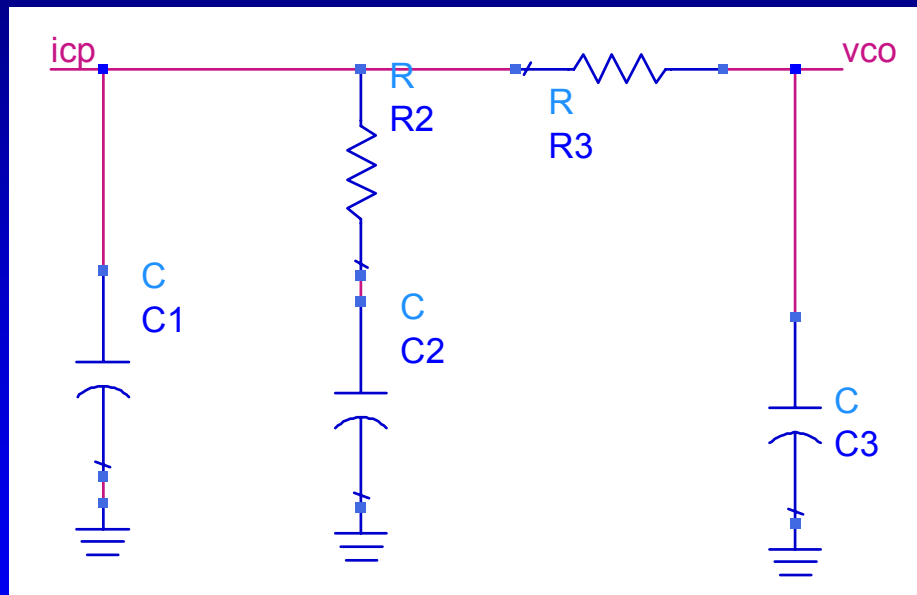


**Ganancia en
lazo abierto**

**Margen
de fase**

Diseño del filtro

Filtro pasivo de tipo 2 y orden 3 para PFD+CP

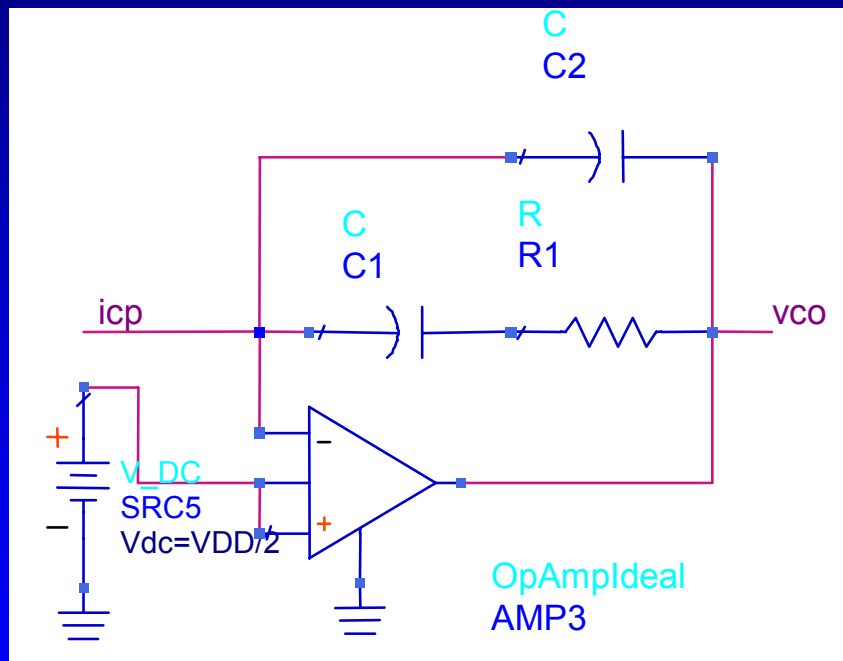


$K_v = -2884e+6$ (Hz/V)
 $K_d = 32.61e-6$ (A/rad)
 $F_{ref} = 2.5e+6$ (Hz)
 $F_{mayor} = 5785e+6$ (Hz)
 $N = F_{mayor}/F_{ref}$
 $\omega_0 = 2 * \pi * (25e+3)$ (rad/s)
 $T_{ita} = 45$ (grados)
 $ATTEN = 20$

C 1	4.076 nF
C 2	21.89 nF
C 3	23.87 nF
R 2	1868 Ω
R 3	8 K Ω

Diseño del filtro

Filtro activo de tipo 2 y orden 2 para PFD+CP

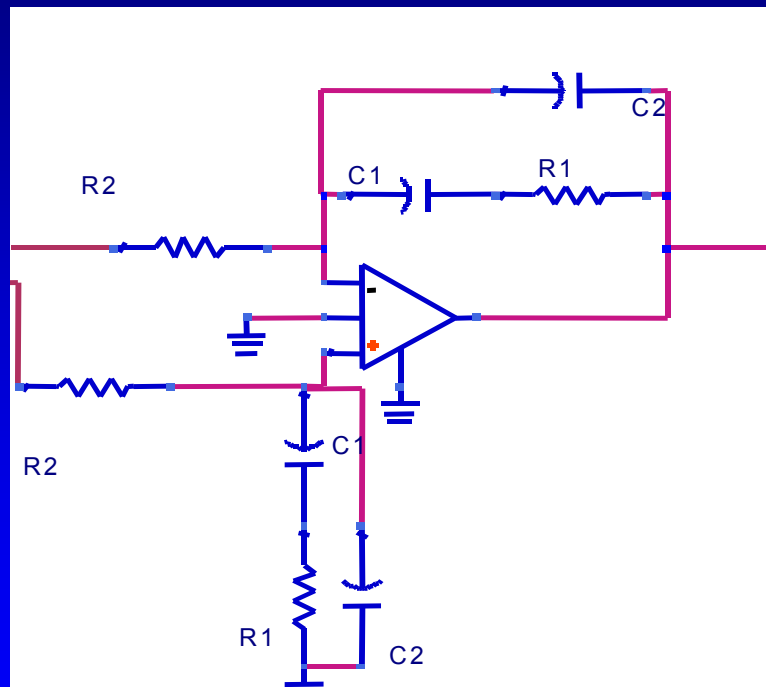


$K_v = -2884e+6$ (Hz/V)
 $K_d = 32.61e-6$ (A/rad)
 $F_{ref} = 2.5e+6$ (Hz)
 $F_{mayor} = 5785e+6$ (Hz)
 $N = F_{mayor}/F_{ref}$
 $\omega_0 = 2 * \pi * (25e+3)$ (rad/s)
 $Tita = 45$ (grados)

C1	25 nF
C2	4.29 nF
R1	2.1 KΩ

Diseño del filtro

Filtro activo de tipo 2 y orden 2 para XOR



$K_v = -2884e+6$ (Hz/V)
 $K_d = 1$ (V/rad)
 $F_{ref} = 2.5e+6$ (Hz)
 $F_{mayor} = 5785e+6$ (Hz)
 $N = F_{mayor}/F_{ref}$
 $\omega_0 = 2 * \pi * (25e+3)$ (rad/s)
 $Tita = 45$ (grados)

C1	25 nF
C2	4.29 nF
R1	1.868 KΩ
R2	370 KΩ

Bloque I

Introducción
Estándar IEEE 802.11a
Sistemas de radiofrecuencia
Tipos de receptores
Estudio de los sintetizadores
Objetivos

Bloque II

Diseño del comparador de fase
Diseño del filtro
Diseño del divisor rápido
Diseño del divisor programable
Estudio del VCO
Diseño del sintetizador de frecuencias

Bloque III

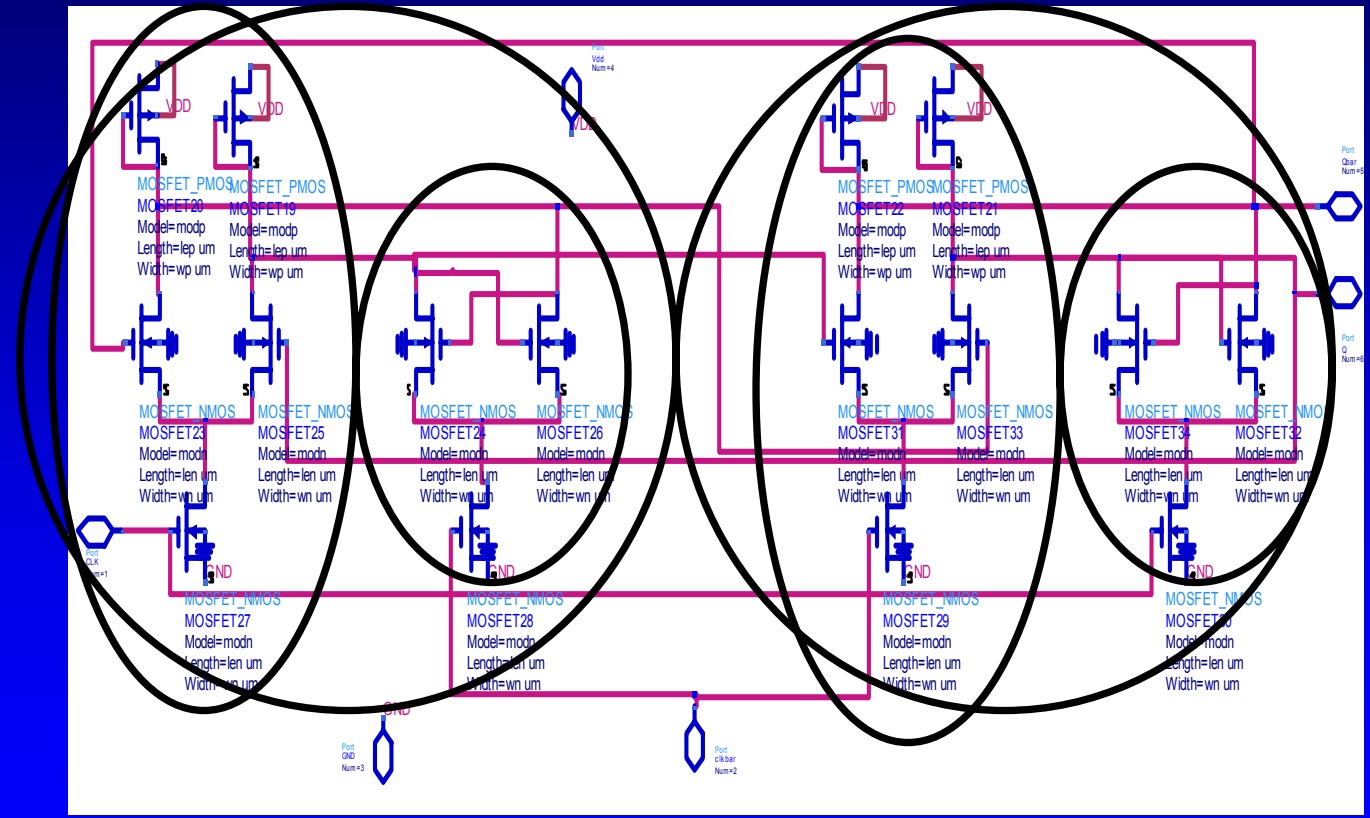
Conclusiones
Presupuesto

Diseño del divisor rápido

- **Frecuencia de funcionamiento muy elevada**
- **Capaz de dividir rango de frecuencias de 6 GHz**
- **Estructuras:**
 - *Basado en dos latch*
 - *Basado en HBT*
 - *Basado en TSPC*
 - *Basado en inversores*

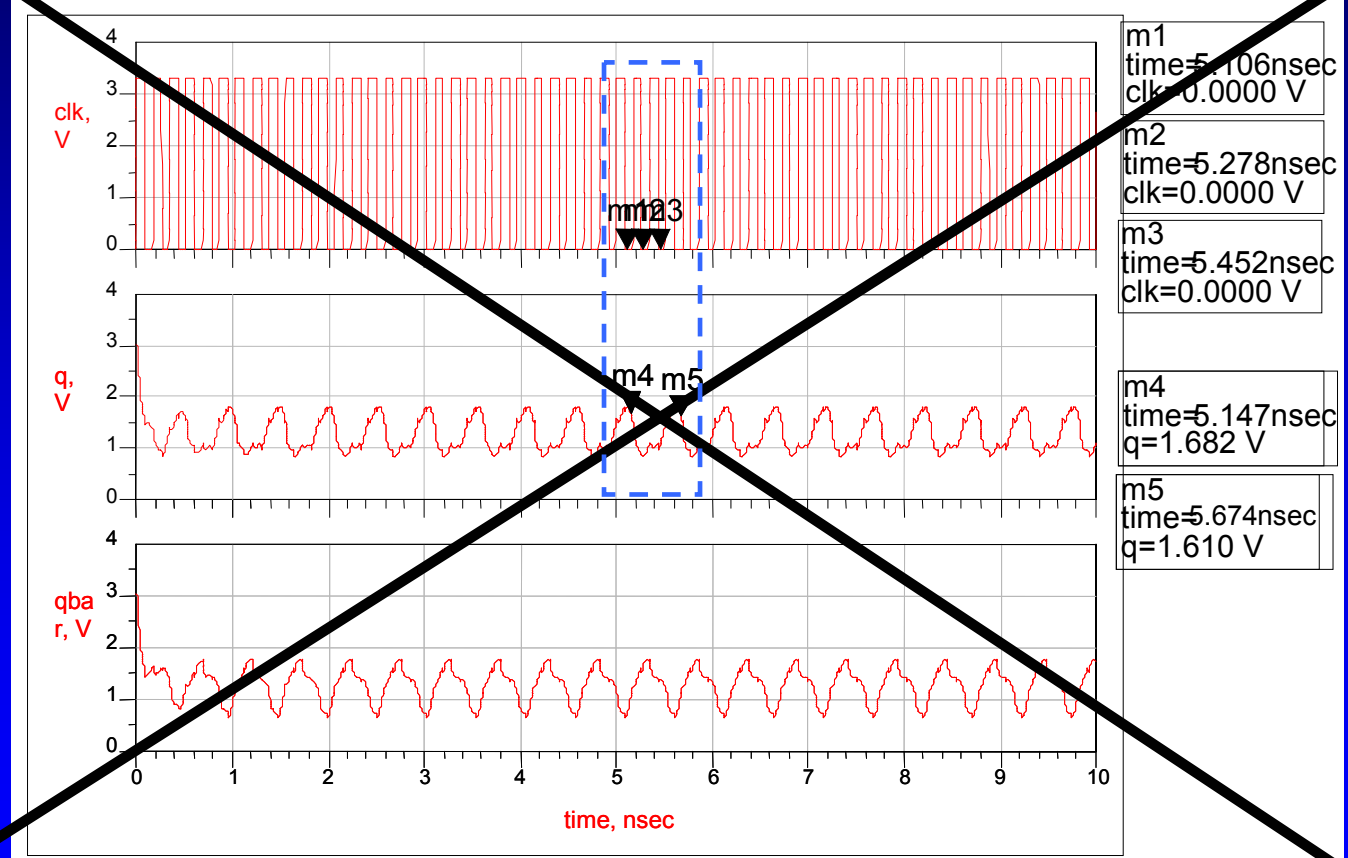
Diseño del divisor rápido

Basado en dos latch



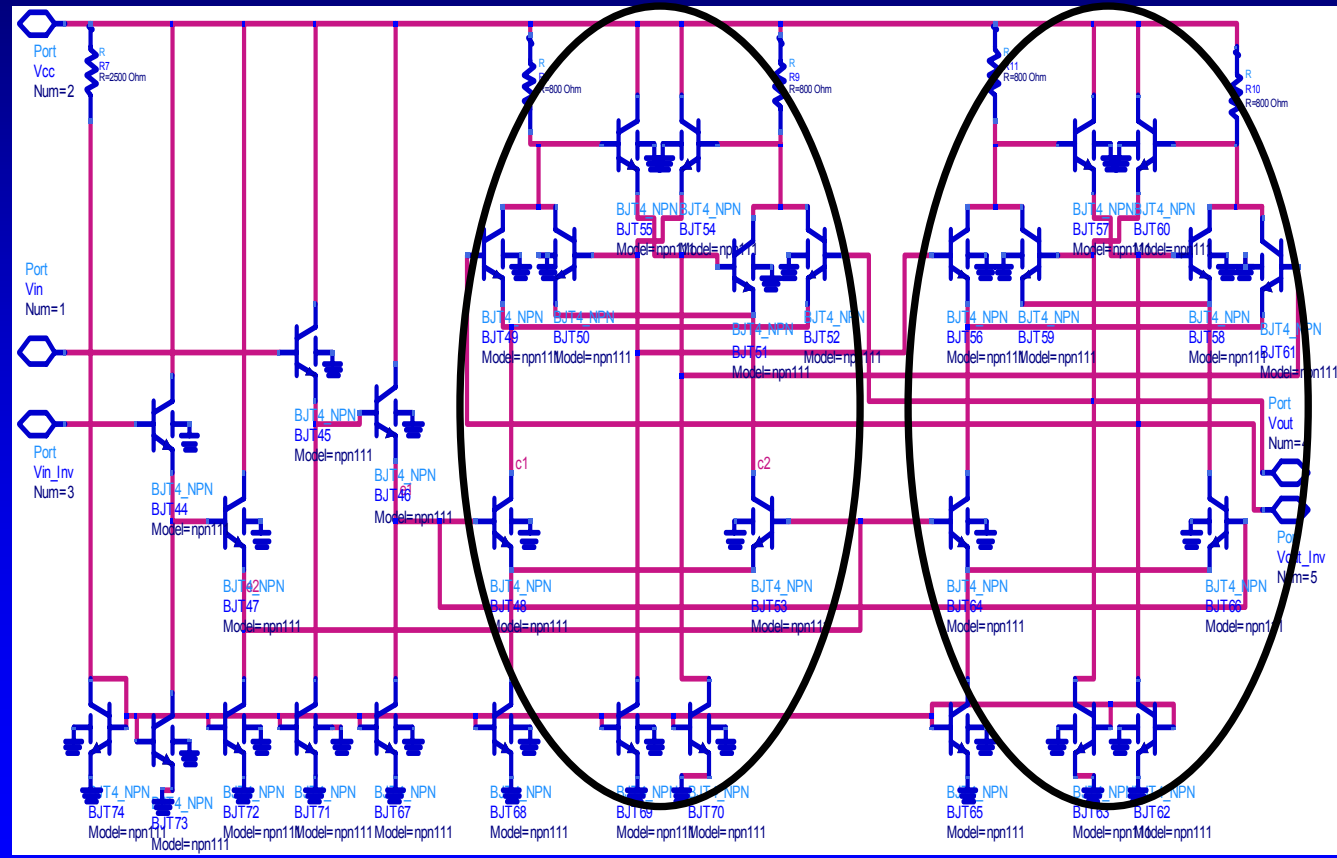
Diseño del divisor rápido

Basado en dos latch



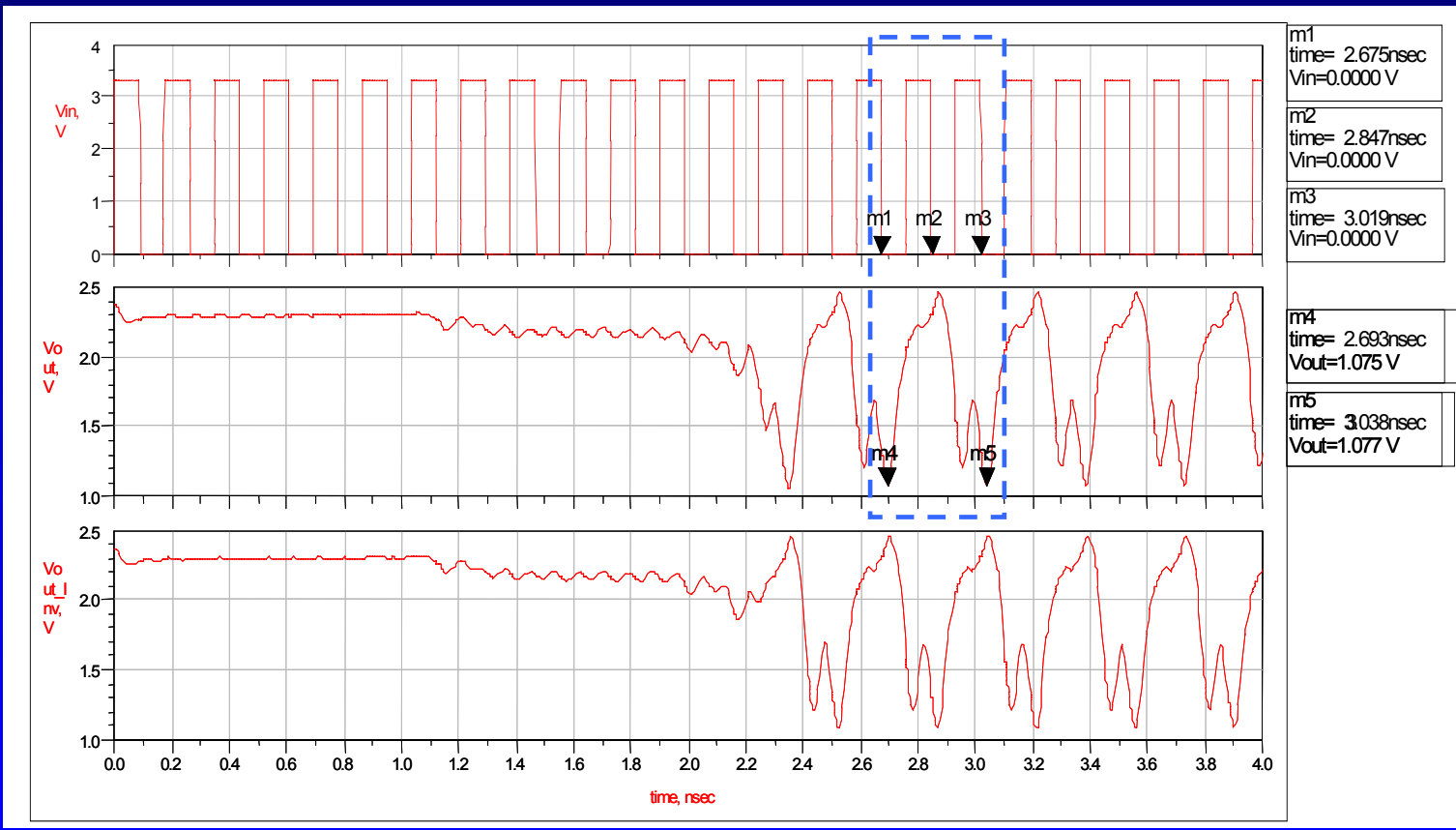
Diseño del divisor rápido

Basado en HBT



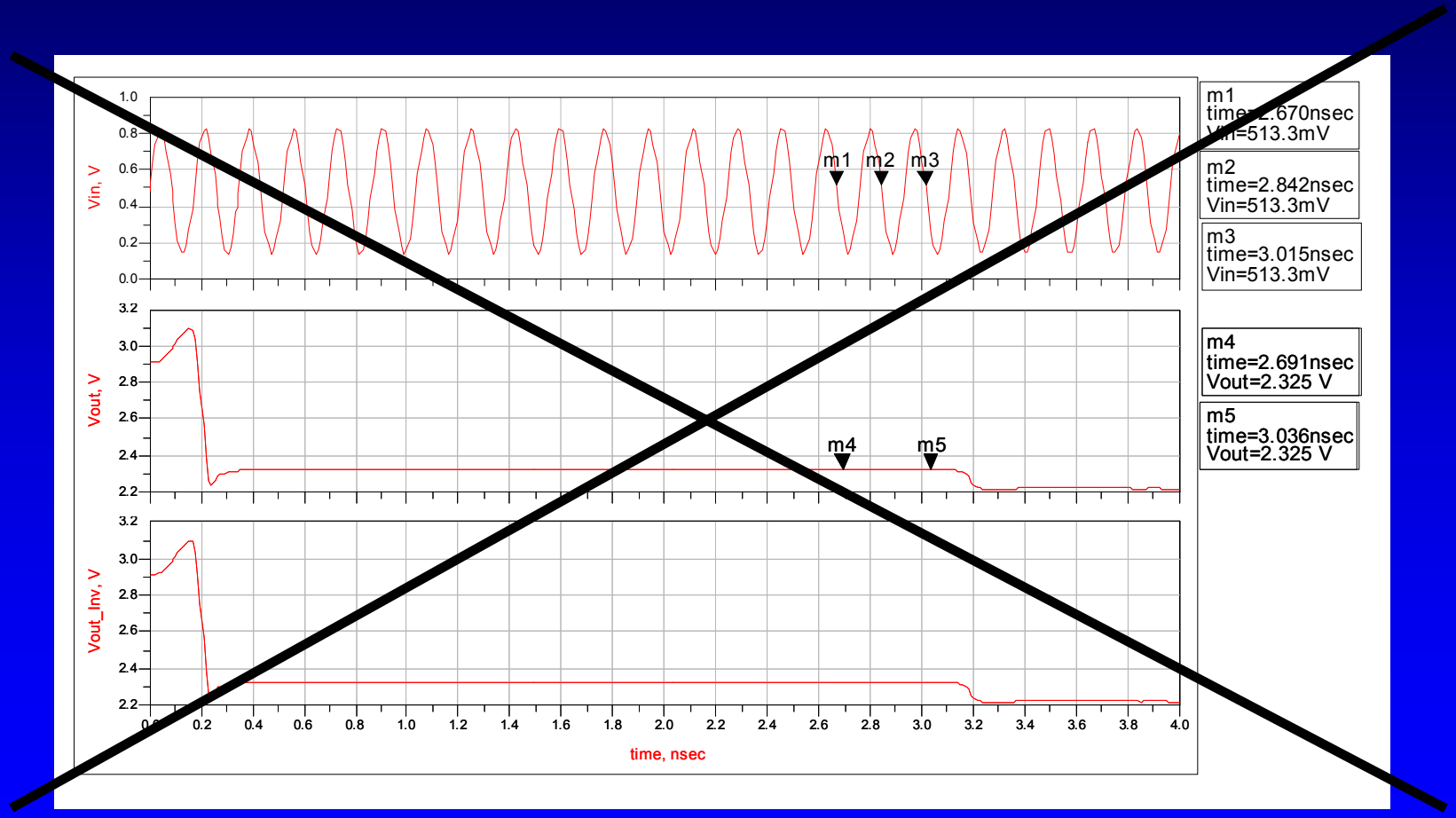
Diseño del divisor rápido

Basado en HBT



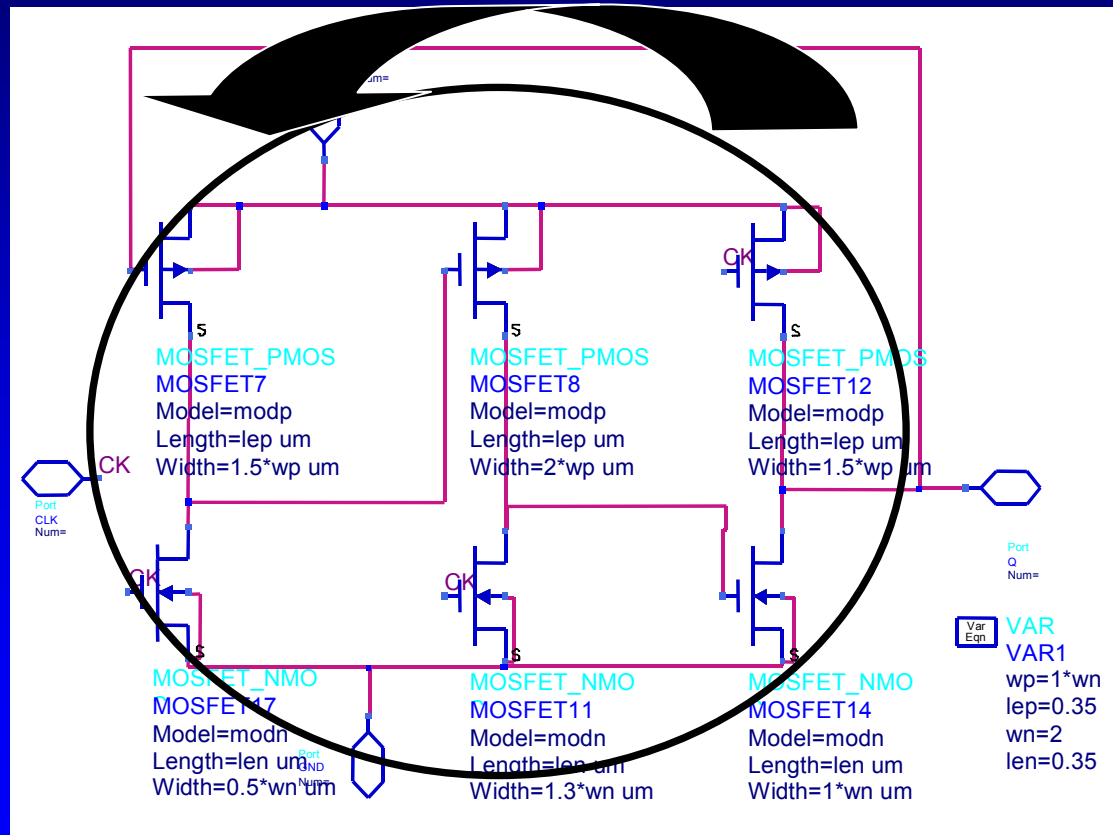
Diseño del divisor rápido

Basado en HBT



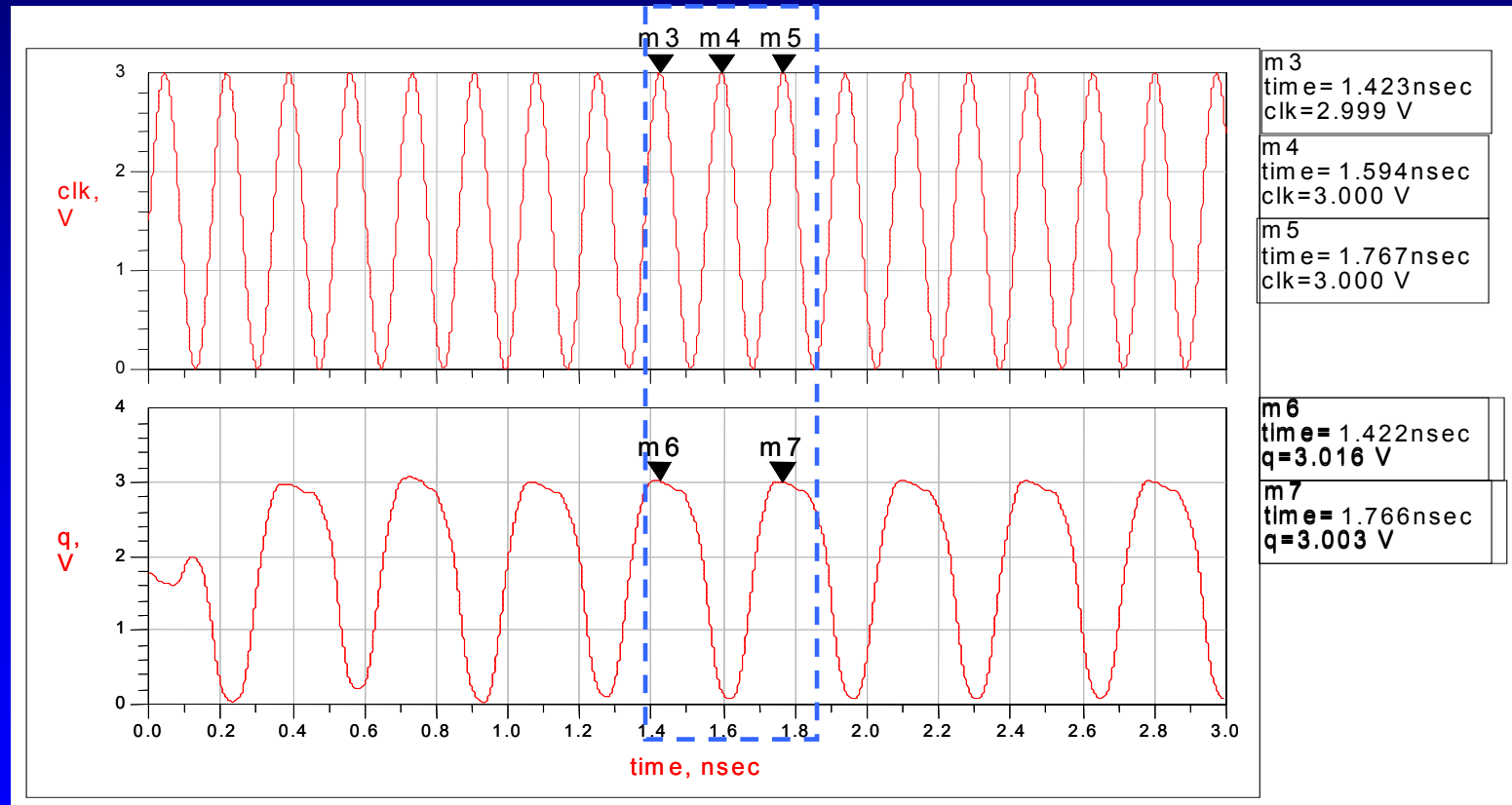
Diseño del divisor rápido

Basado en TSPC (true single-phase clocking)



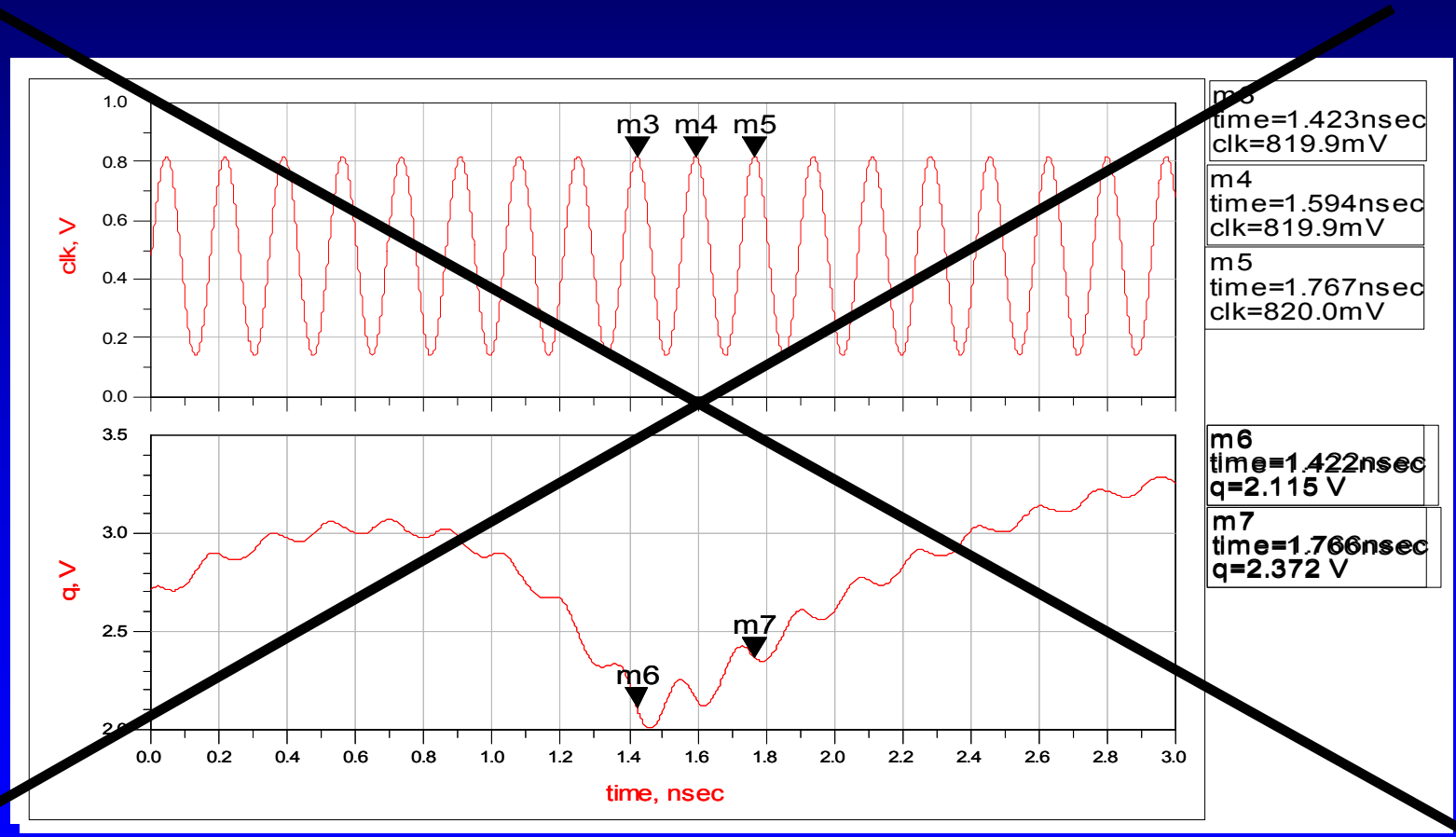
Diseño del divisor rápido

Basado en TSPC



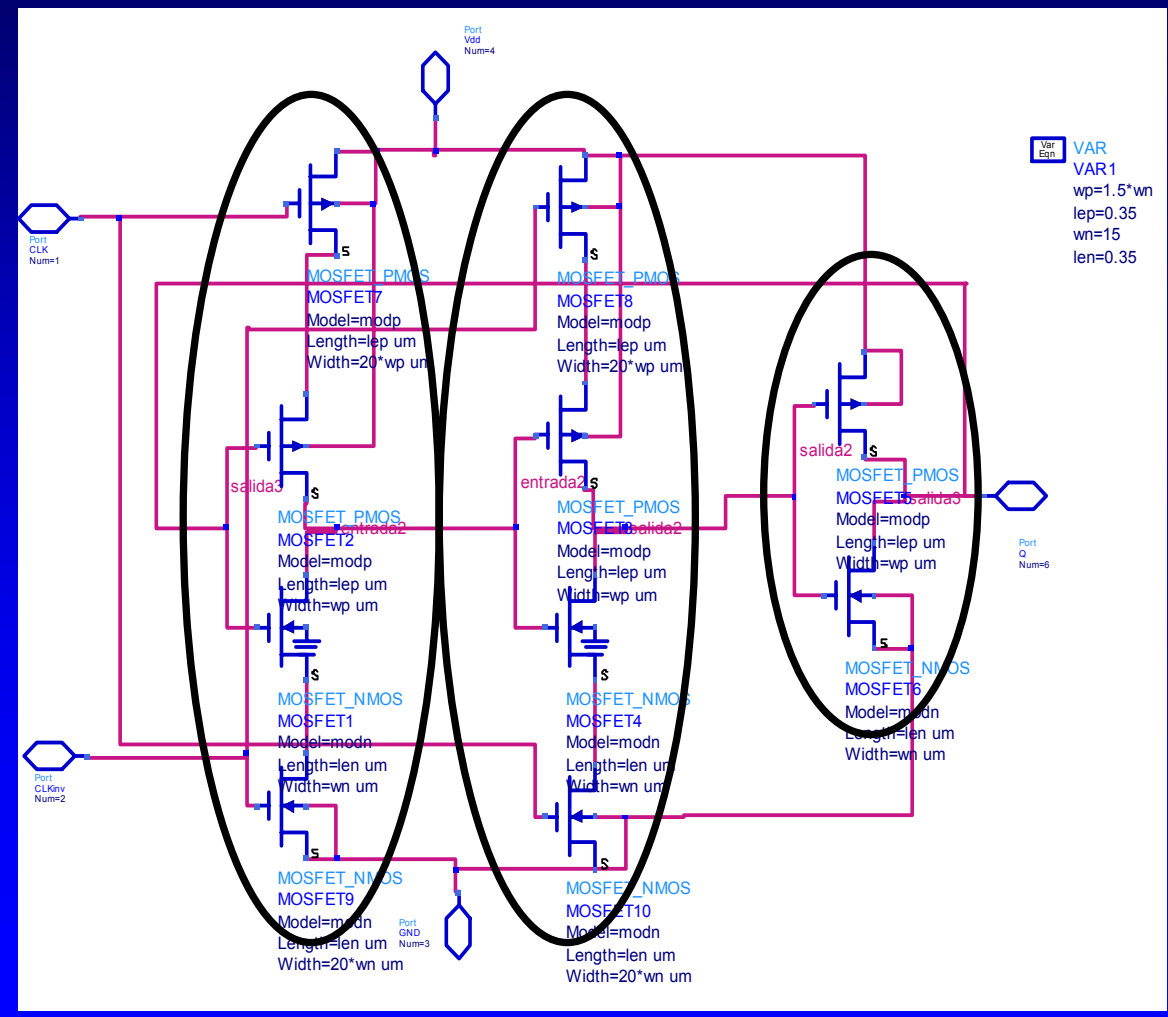
Diseño del divisor rápido

Basado en TSPC



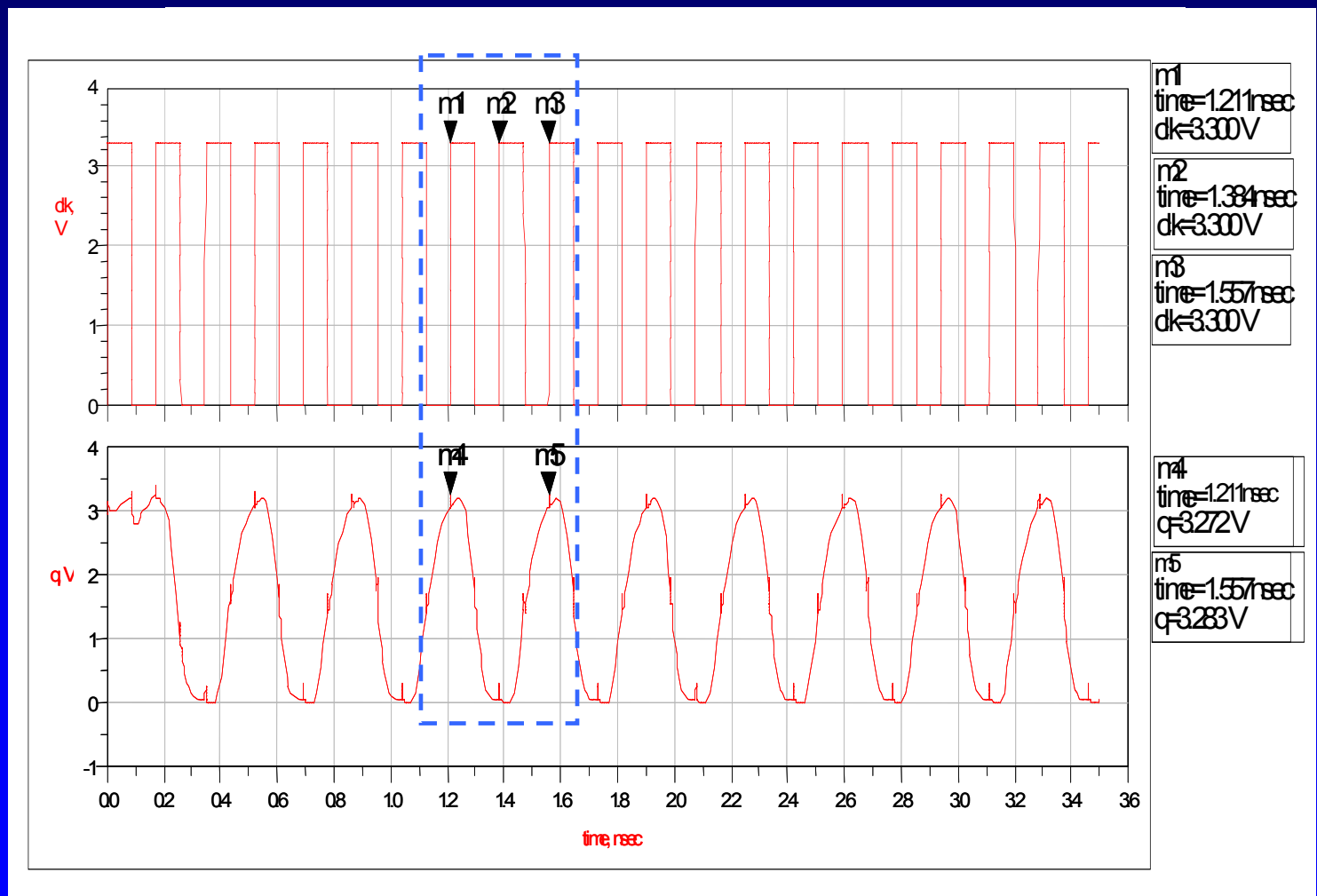
Diseño del divisor rápido

Basado en inversores



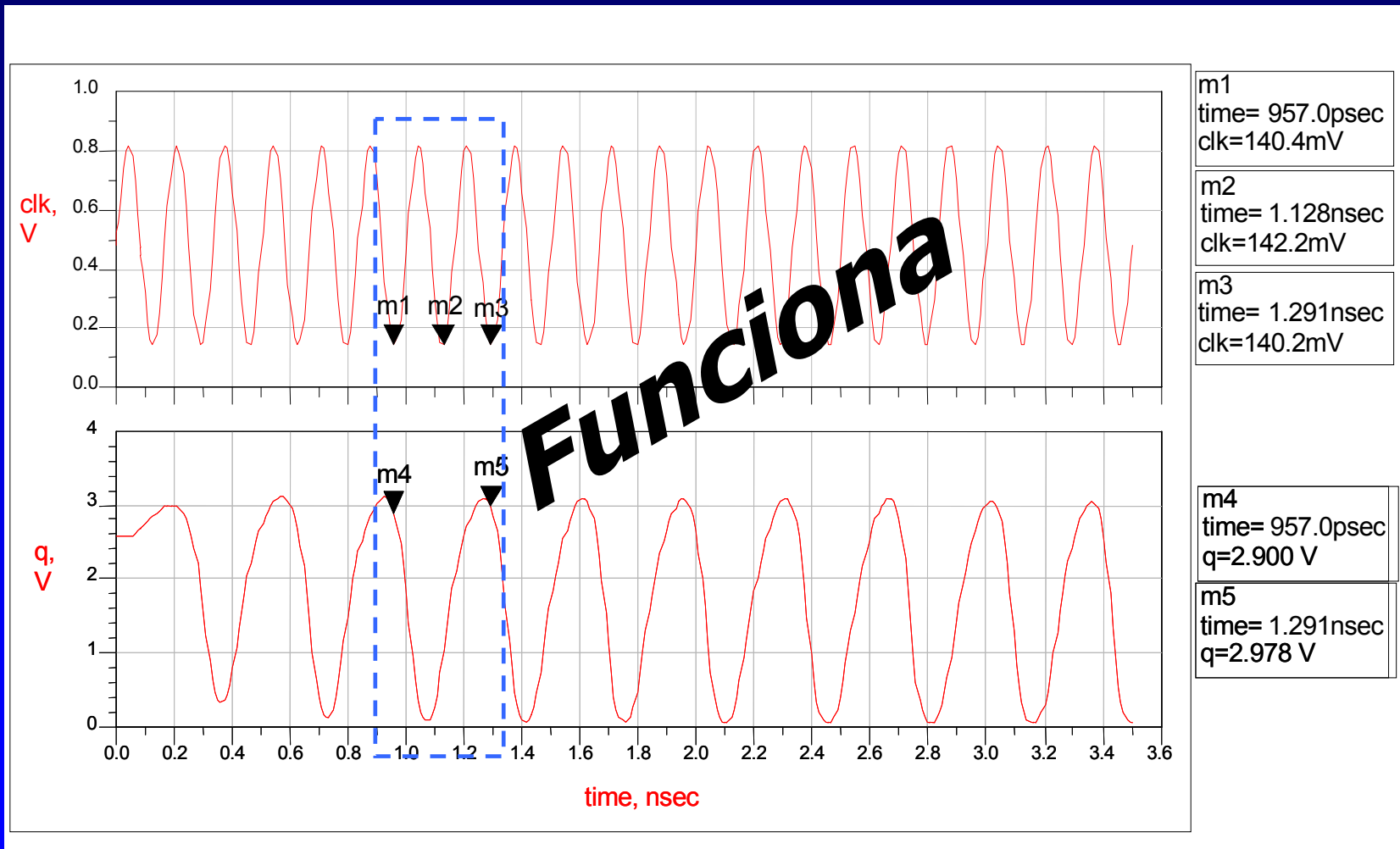
Diseño del divisor rápido

Basado en inversores



Diseño del divisor rápido

Basado en inversores



Diseño del divisor rápido

Conclusiones

	<i>Para frecuencia máxima de trabajo, con entradas entre 0V y 3.3V</i>	<i>Para frecuencia máxima de trabajo, con entradas entre 0.15V y 0.8V (salida real del VCO)</i>
Basado en dos latch	<i>no funciona</i>	<i>no funciona</i>
Basado en HBT	<i>funciona</i>	<i>no funciona</i>
Basado en TSPC	<i>funciona</i>	<i>no funciona</i>
Basado en inversores	<i>funciona</i>	<i>funciona</i>

divisor rápido basado en inversores

Bloque I

Introducción
Estándar IEEE 802.11a
Sistemas de radiofrecuencia
Tipos de receptores
Estudio de los sintetizadores
Objetivos

Bloque II

Diseño del comparador de fase
Diseño del filtro
Diseño del divisor rápido
Diseño del divisor programable
Estudio del VCO
Diseño del sintetizador de frecuencias

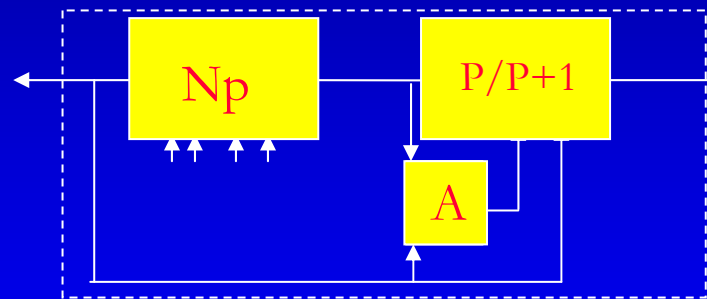
Bloque III

Conclusiones
Presupuesto

Diseño del divisor programable

Divisor programable de doble módulo:

- *Prescaler* rápido: $(P+1) / P$
- Contadores programables: A y N_p



- Partiendo de:
 - $f_{out} = 2.5 \text{ MHz}$
 - Canales a generar

Diseño del divisor programable

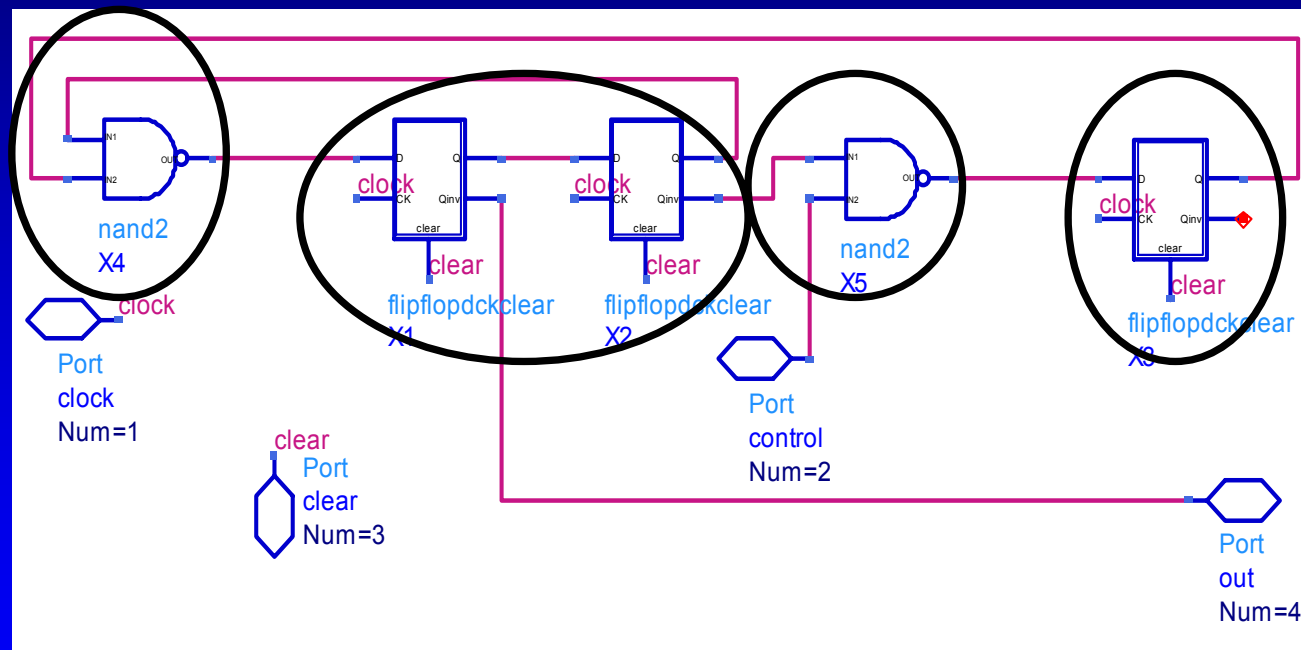
Divisor programable de doble módulo:

Frecuencia del sintetizador $F_{out}=RF-IF(\text{MHz})$	Frecuencia de entrada al divisor programable (MHz)	Valor del divisor programable $4N_p+A$	Valor de N_p	Valor de A
5160	2580	1032	257	4
5180	2590	1036	258	4
5200	2600	1040	259	4
5220	2610	1044	260	4
5240	2620	1048	261	4
5260	2630	1052	262	4
5280	2640	1056	263	4
5300	2650	1060	264	4
5725	2862.5	1145	285	5
5745	2872.5	1149	286	5
5765	2882.5	1153	287	5
5785	2892.5	1157	288	5

- *Prescaler* rápido $\left\{ \begin{array}{l} (P+1) / P \Rightarrow 4/5 \end{array} \right.$
- Contadores programables $\left\{ \begin{array}{l} A \Rightarrow 4/5 \\ N_p \Rightarrow 257 \text{ a } 288 \end{array} \right.$

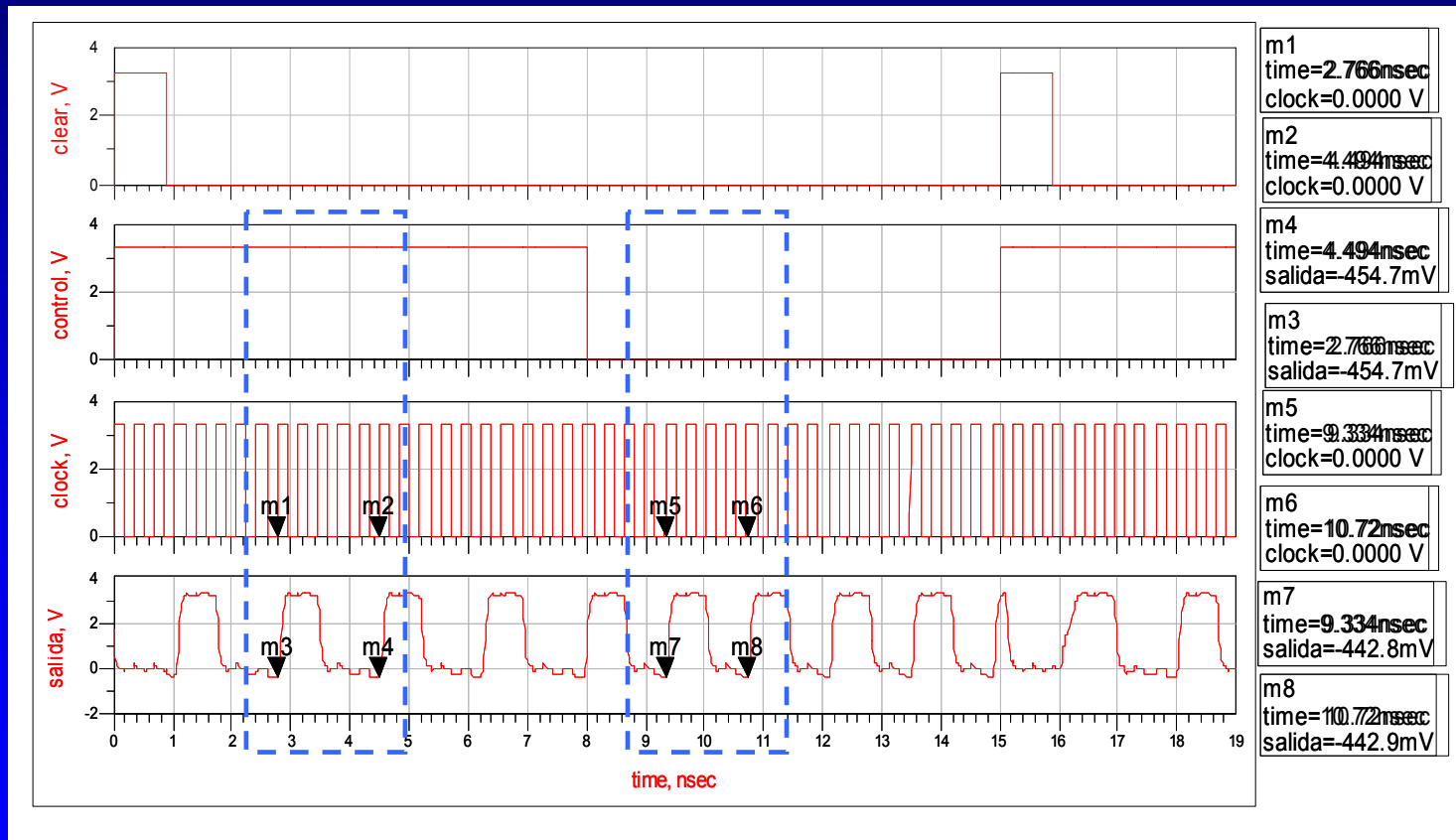
Diseño del divisor programable

Prescaler rápido 4/5



Diseño del divisor programable

Prescaler rápido 4/5



Bloque I

Introducción
Estándar IEEE 802.11a
Sistemas de radiofrecuencia
Tipos de receptores
Estudio de los sintetizadores
Objetivos

Bloque II

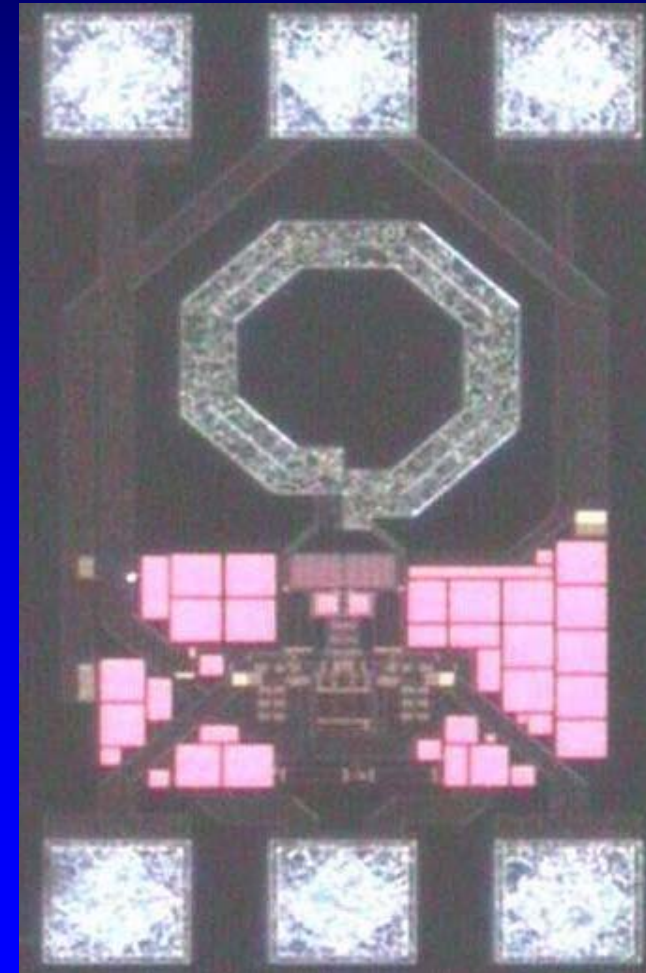
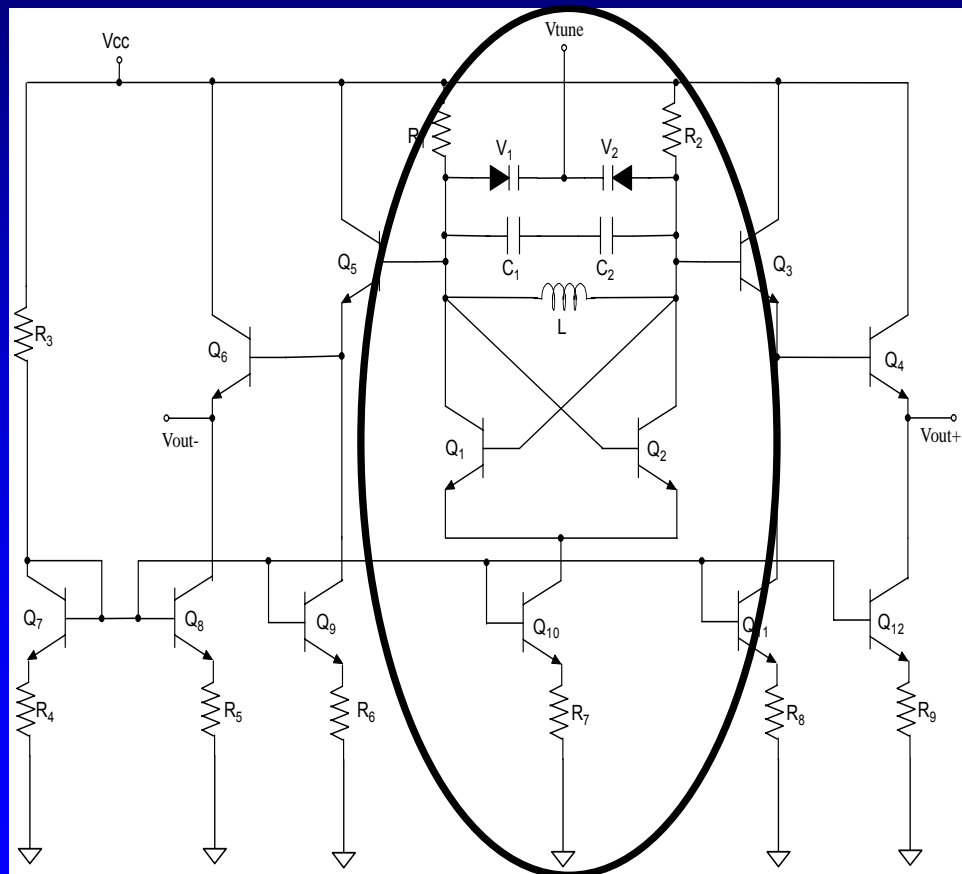
Diseño del comparador de fase
Diseño del filtro
Diseño del divisor rápido
Diseño del divisor programable
Estudio del VCO
Diseño del sintetizador de frecuencias

Bloque III

Conclusiones
Presupuesto

Estudio del VCO

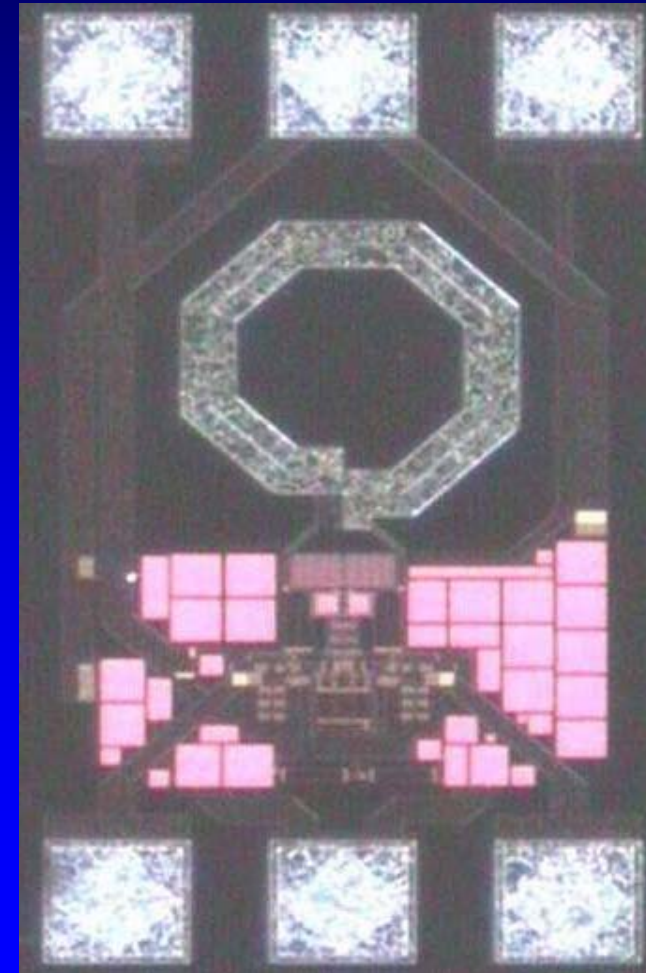
- Encargado de generar las frecuencias del oscilador local



Estudio del VCO

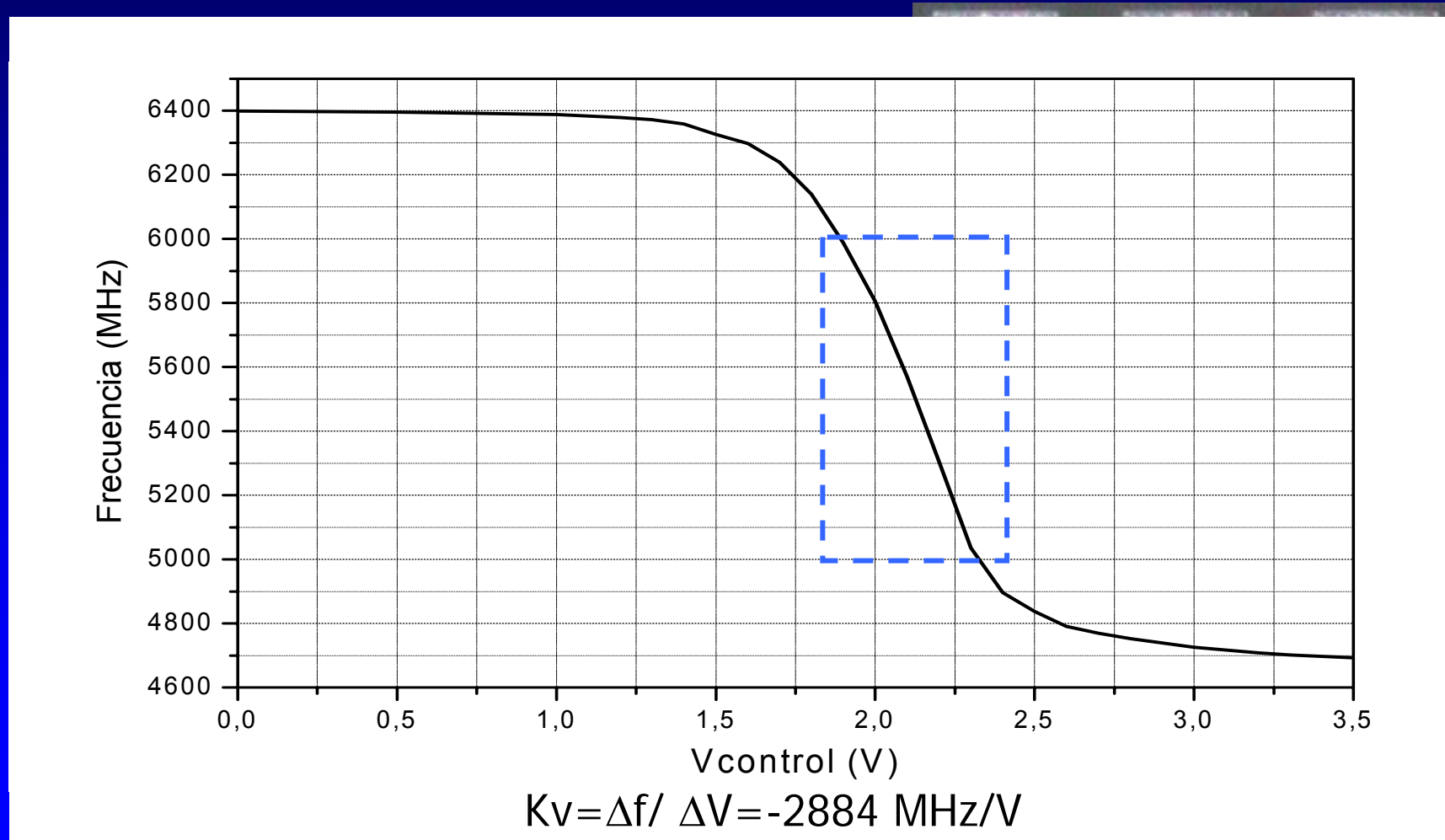
- Encargado de generar las frecuencias del oscilador local

	Desviación	Ruido de fase(dBc/Hz)
Vtune = 0 V Frec = 6406 MHz	500 kHz	-75
	1 MHz	-77
	3 MHz	-85
	5 MHz	-87
Vtune = 2 V Frec = 5820 MHz	500 kHz	-70
	1 MHz	-73
	3 MHz	-79
	5 MHz	-91
	10 MHz	-116



Estudio del VCO

- Encargado de generar las frecuencias del oscilador local



Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCO<u>Diseño del sintetizador de frecuencias</u>
Bloque III	<ul style="list-style-type: none">ConclusionesPresupuesto

Diseño del sintetizador de frecuencias

- **Combinaciones de bloques:**

- **PFD + CP + filtro pasivo orden 3**
- **PFD + CP + filtro activo orden 2**
- **XOR + filtro activo orden 2**

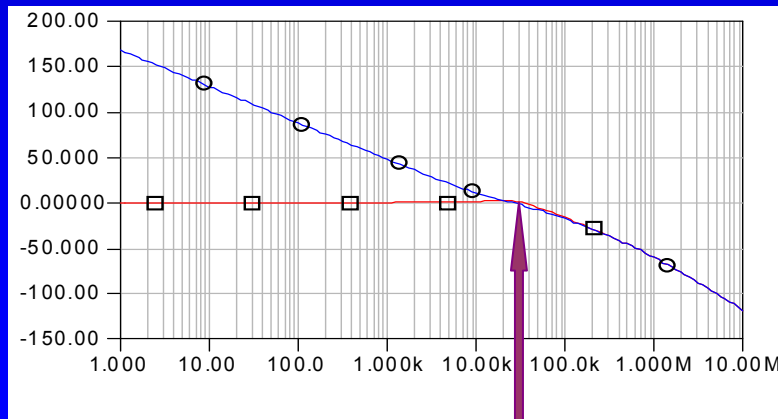
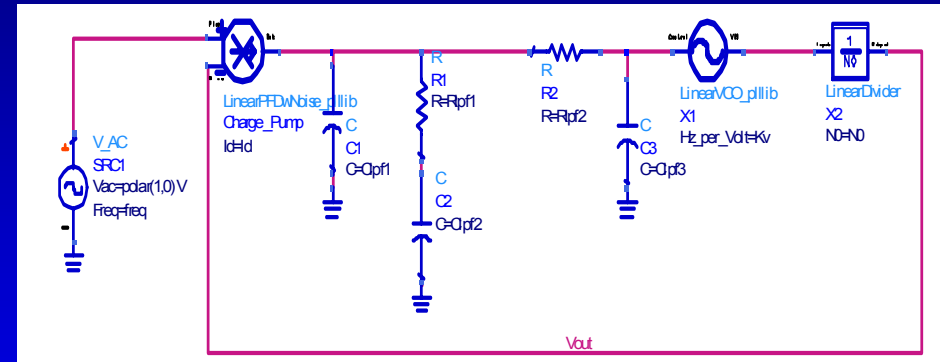
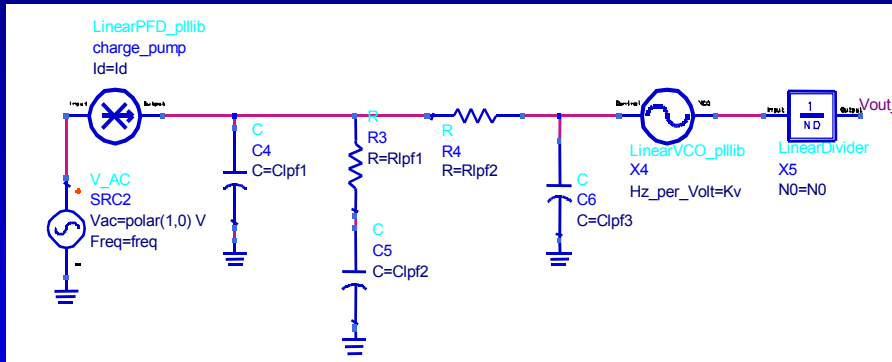
- **Simulaciones:**

- **Respuesta del bucle**
- **Análisis del ruido de fase**
- **Respuesta transitoria**

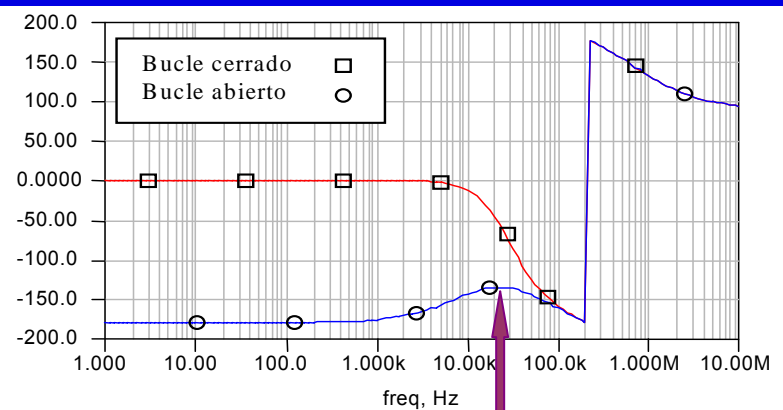
Diseño del sintetizador de frecuencias

PFD + CP + filtro pasivo orden 3

• Respuesta del bucle



0 Db

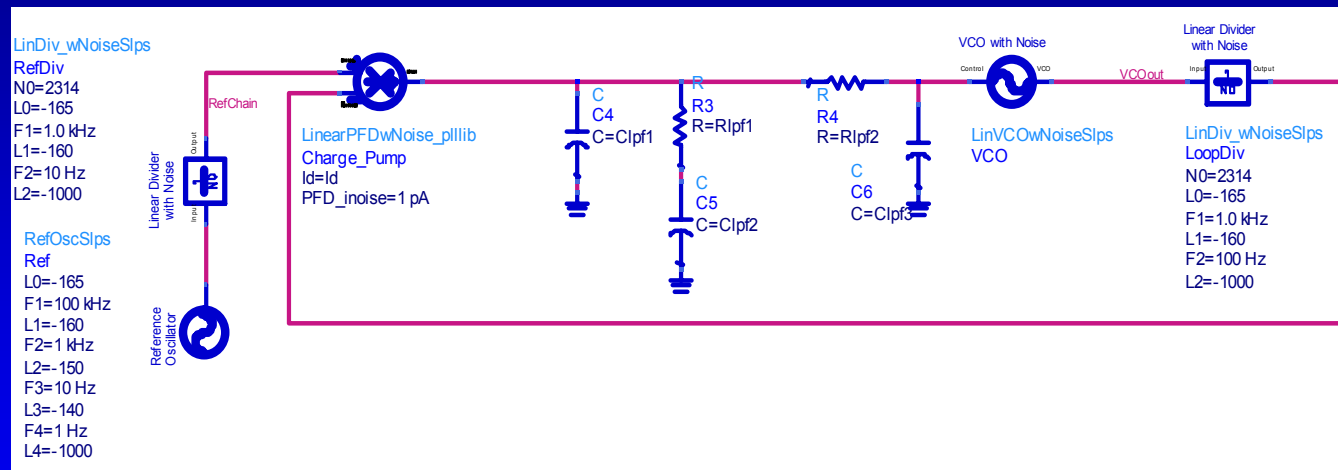


45°

Diseño del sintetizador de frecuencias

PFD + CP + filtro pasivo orden 3

- Análisis del ruido de fase



Diseño del sintetizador de frecuencias

PFD + CP + filtro pasivo orden 3

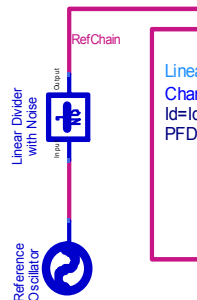
- Análisis del ruido de fase

LinDiv_wNoiseSlps

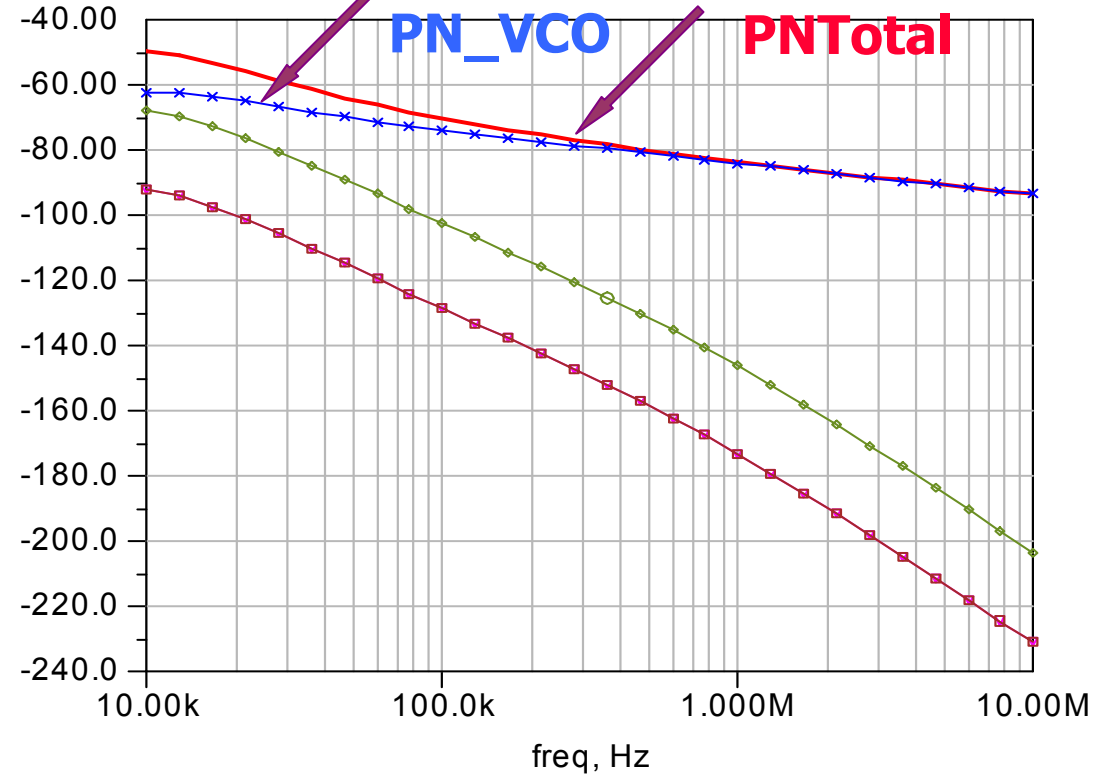
RefDiv
 N0=2314
 L0=-165
 F1=1.0 kHz
 L1=-160
 F2=10 Hz
 L2=-1000

RefOscSlps

Ref
 L0=-165
 F1=100 kHz
 L1=-160
 F2=1 kHz
 L2=-150
 F3=10 Hz
 L3=-140
 F4=1 Hz
 L4=-1000



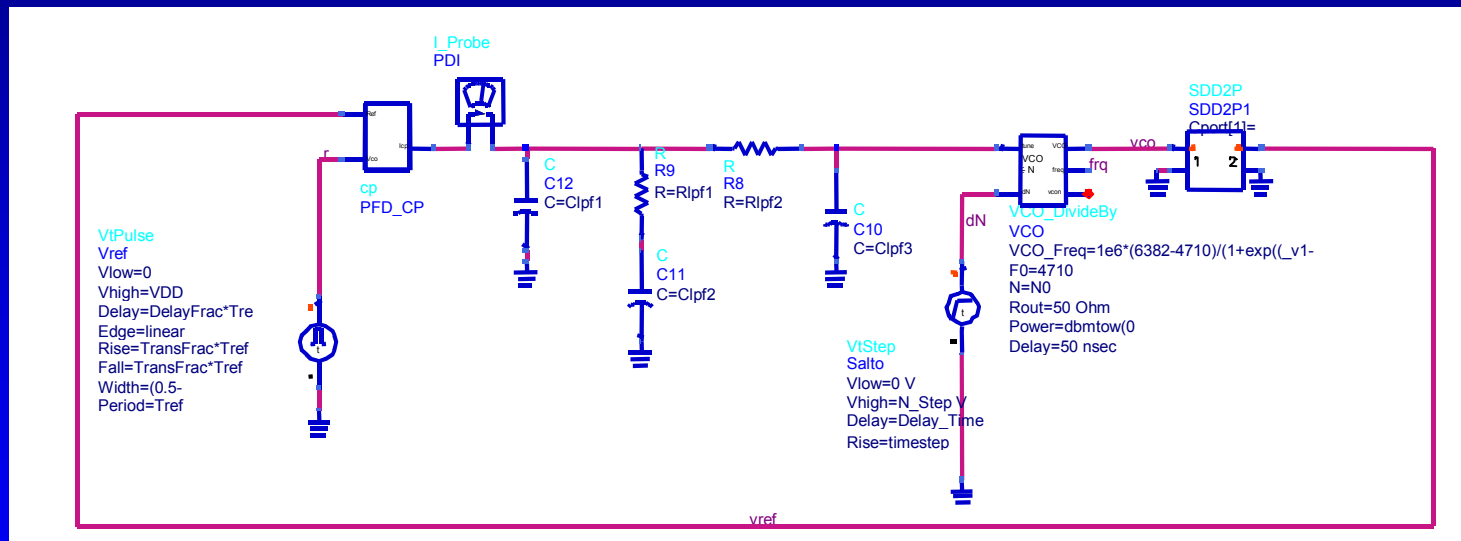
PN_Loop_Div_only
 PN_PFD_only
 PN_Ref_only
 PN_VCO_only
 PNTotal



Diseño del sintetizador de frecuencias

PFD + CP + filtro pasivo orden 3

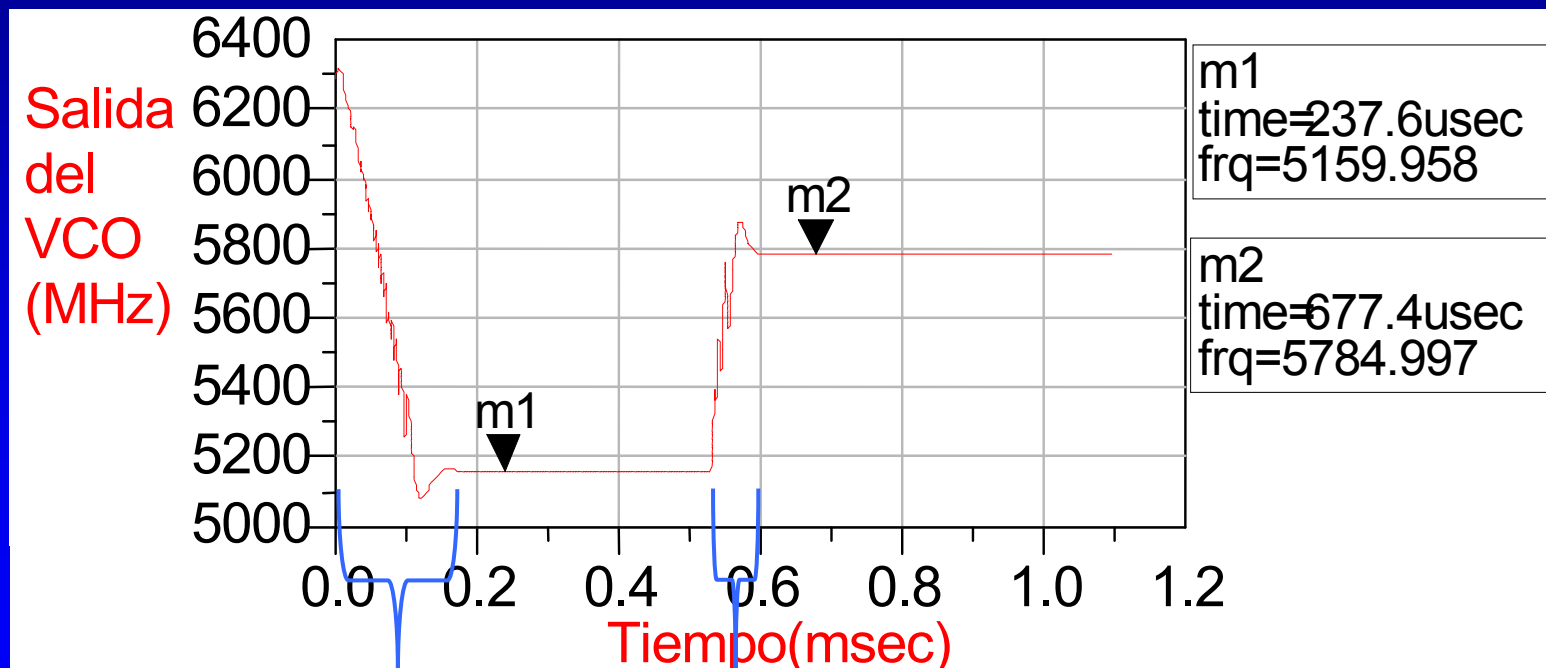
- Respuesta transitoria



Diseño del sintetizador de frecuencias

PFD + CP + filtro pasivo orden 3

- Respuesta transitoria



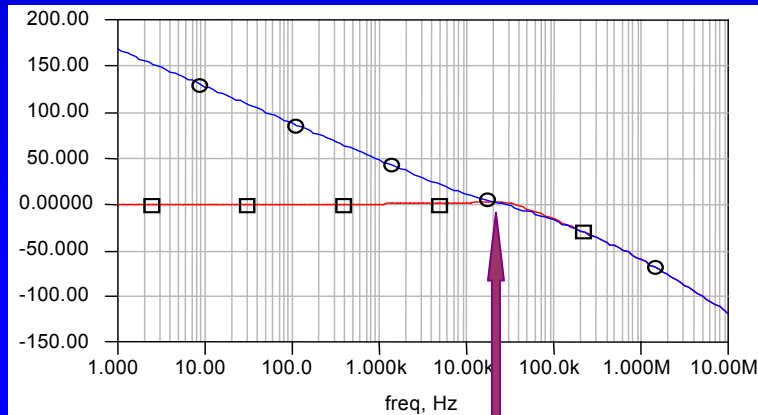
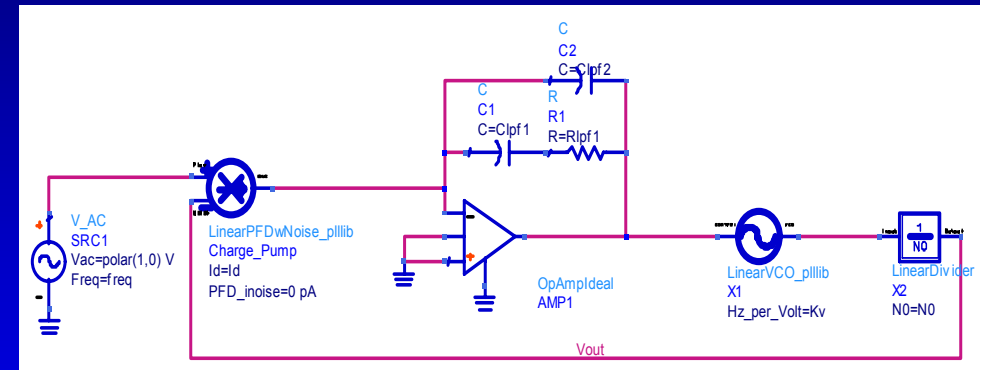
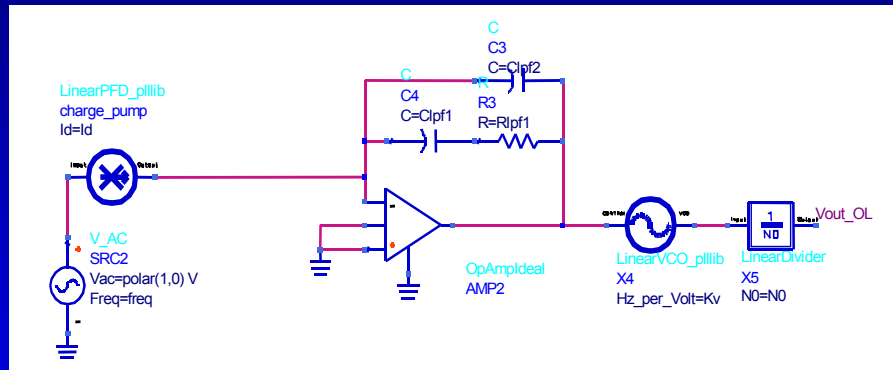
Tengan=0.15

Tsalto=0.06

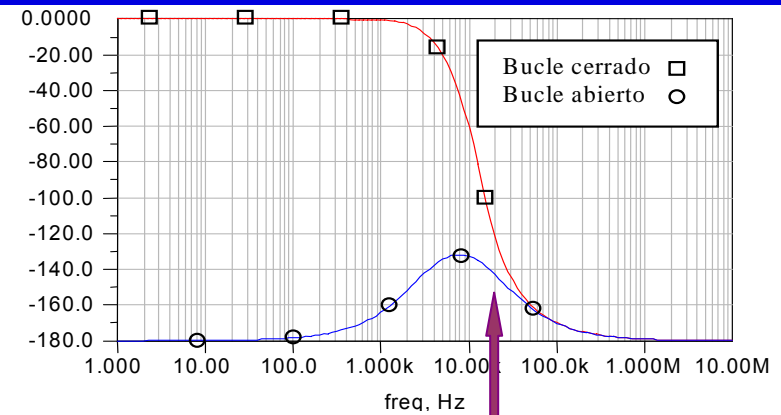
Diseño del sintetizador de frecuencias

PFD + CP + filtro activo orden 2

• Respuesta del bucle



0 Db

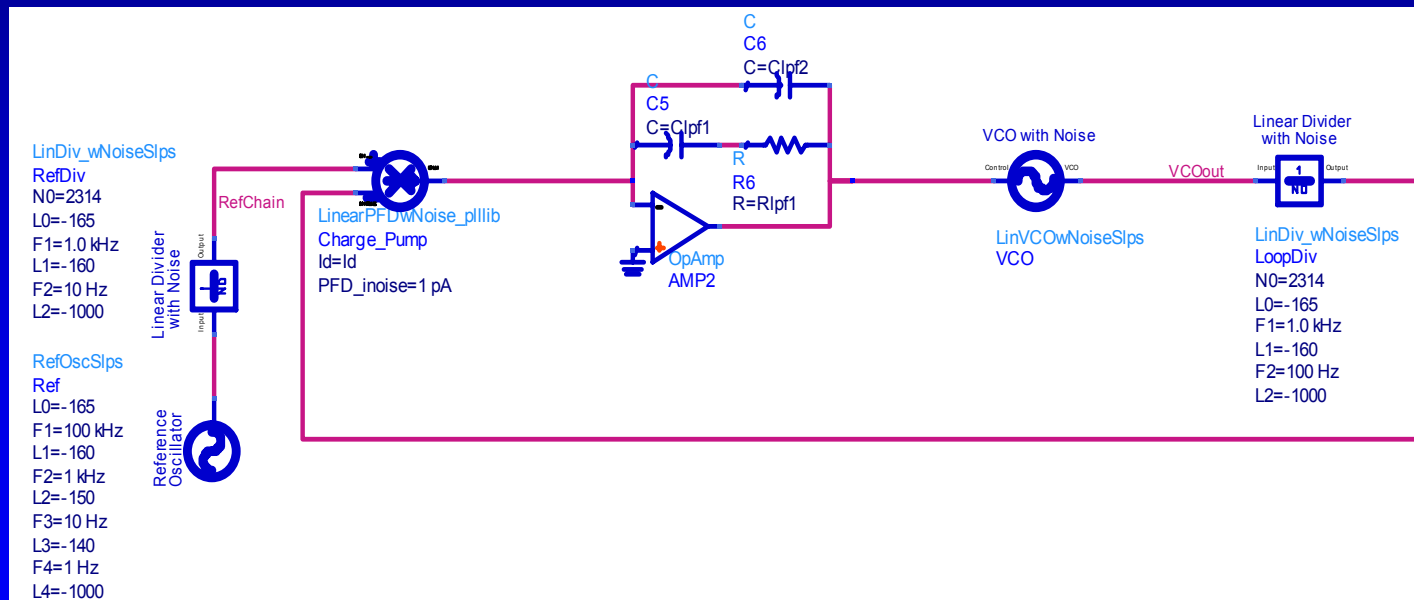


45°

Diseño del sintetizador de frecuencias

PFD + CP + filtro activo orden 2

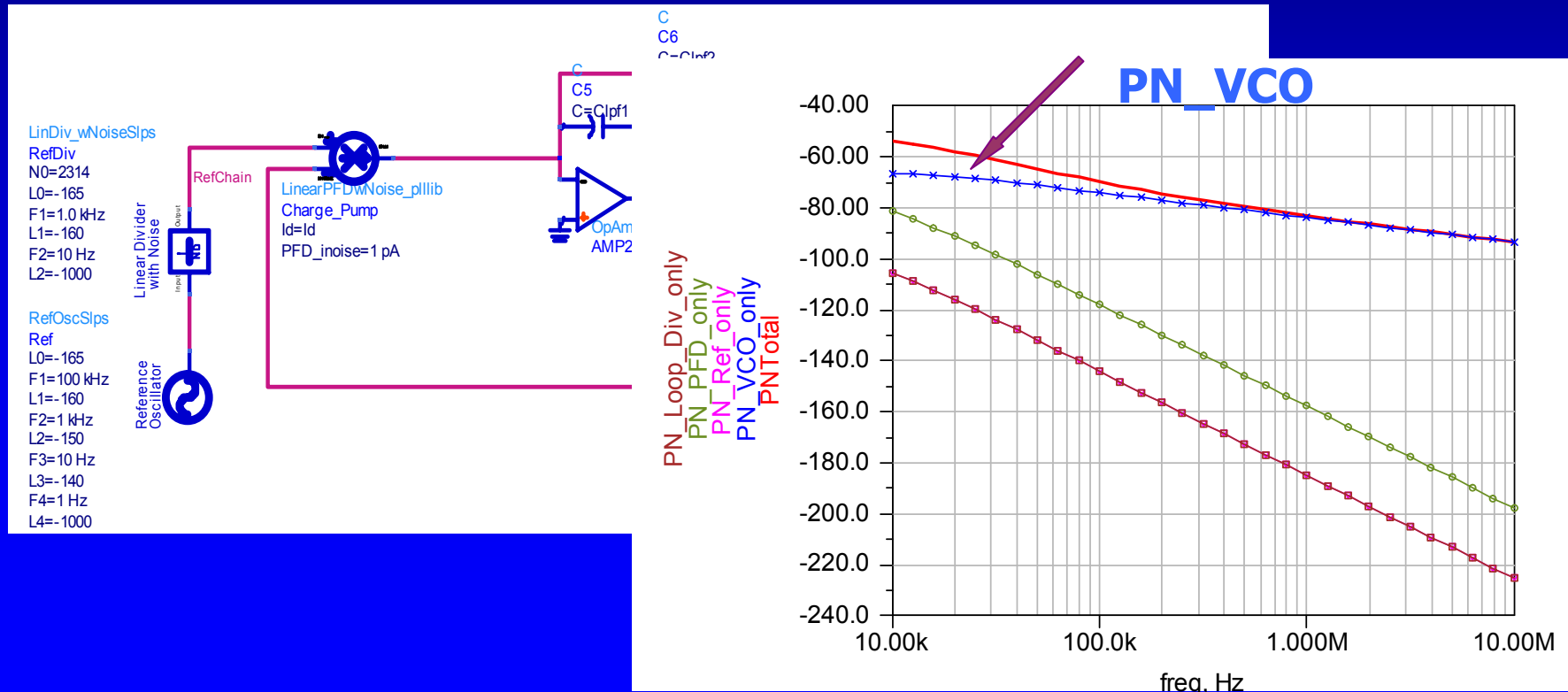
- Análisis del ruido de fase



Diseño del sintetizador de frecuencias

PFD + CP + filtro activo orden 2

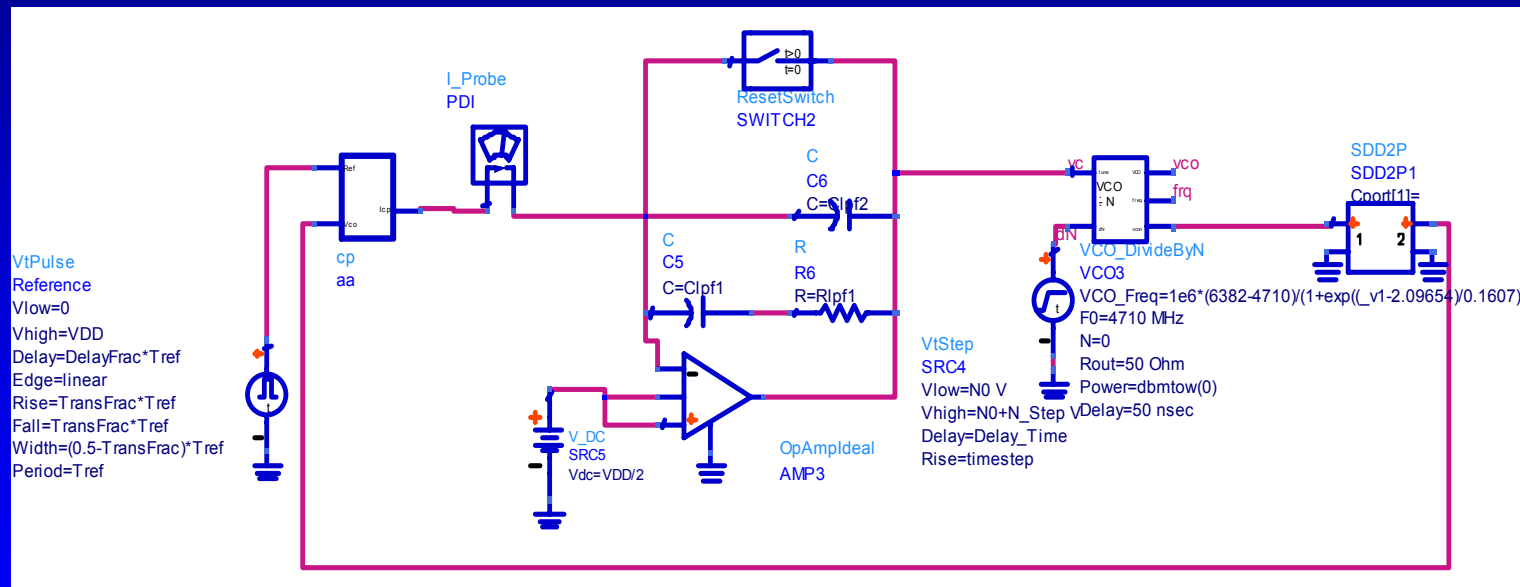
- Análisis del ruido de fase



Diseño del sintetizador de frecuencias

PFD + CP + filtro activo orden 2

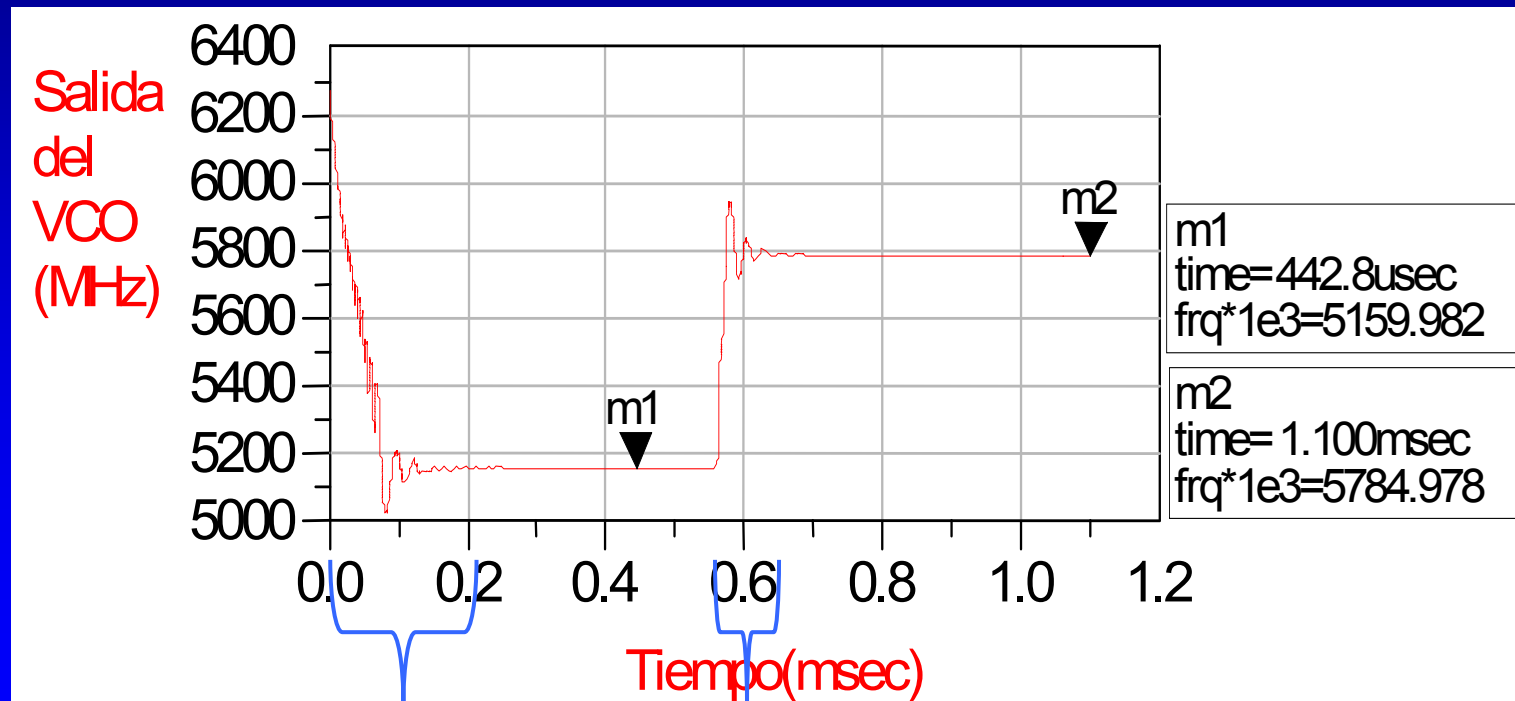
- Respuesta transitoria



Diseño del sintetizador de frecuencias

PFD + CP + filtro activo orden 2

- Respuesta transitoria

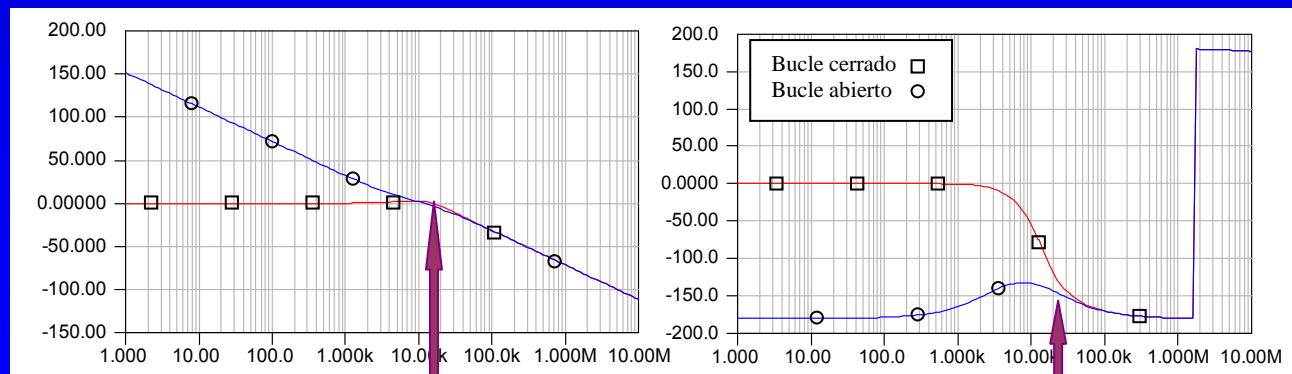
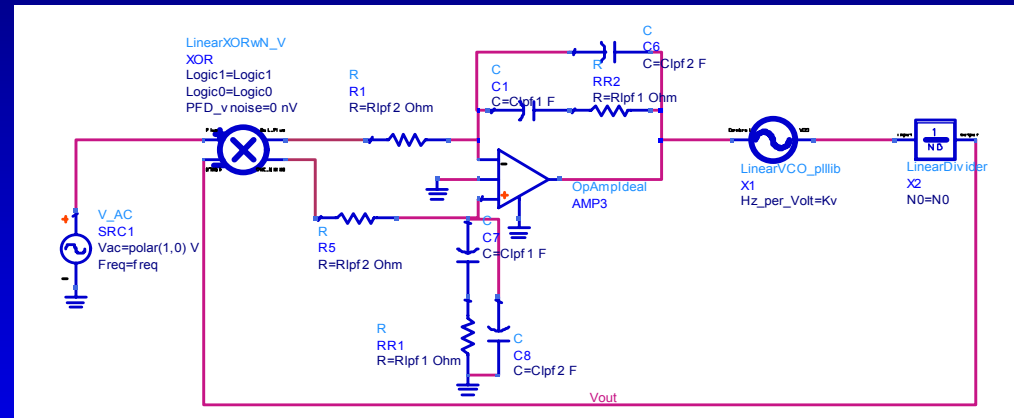
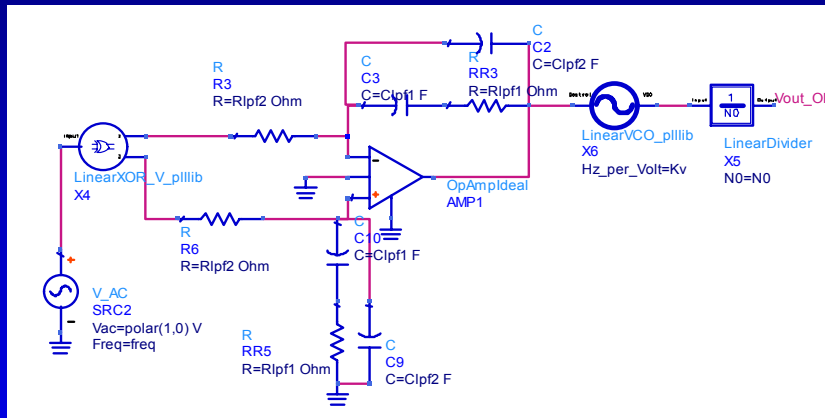


Tengan=0.20 Tsalto=0.17

Diseño del sintetizador de frecuencias

XOR + filtro activo orden 2

• Respuesta del bucle



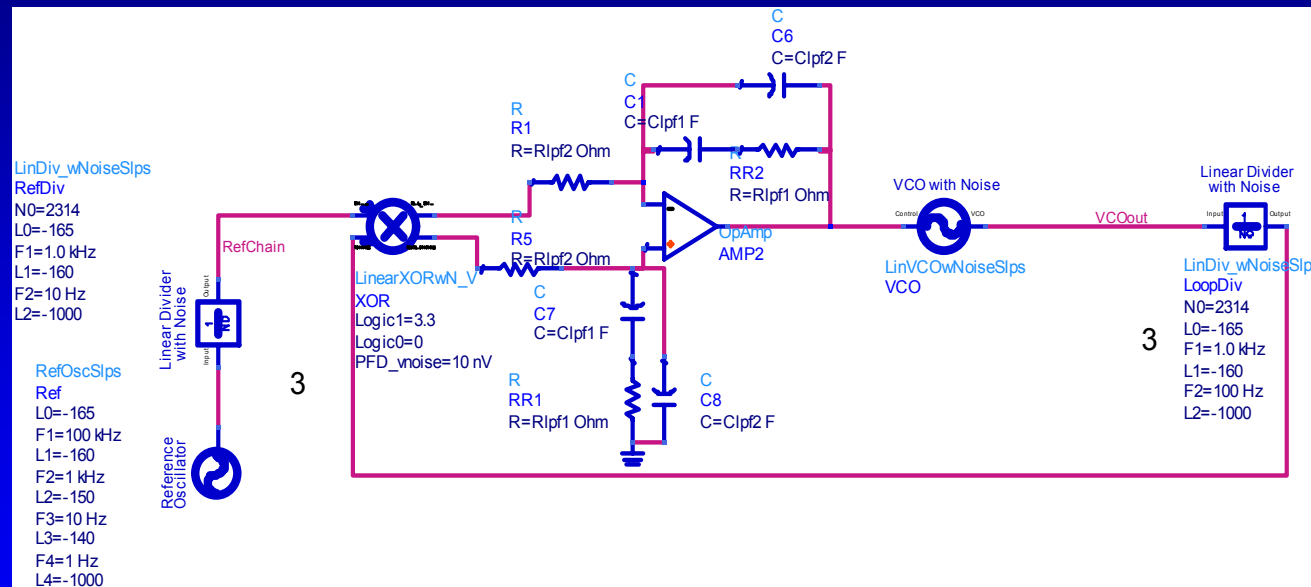
0 Db

45°

Diseño del sintetizador de frecuencias

XOR + filtro activo orden 2

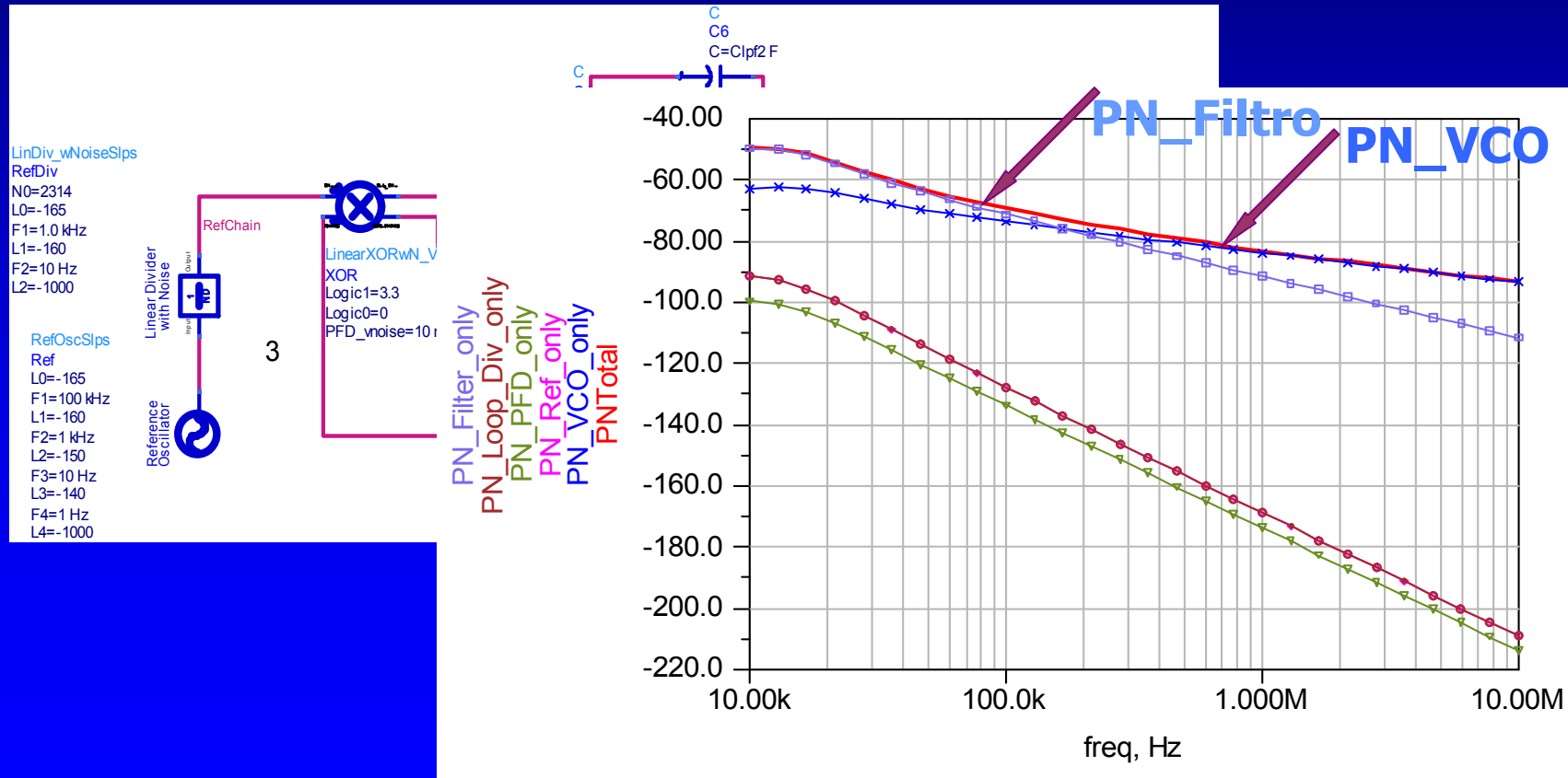
• Análisis del ruido de fase



Diseño del sintetizador de frecuencias

XOR + filtro activo orden 2

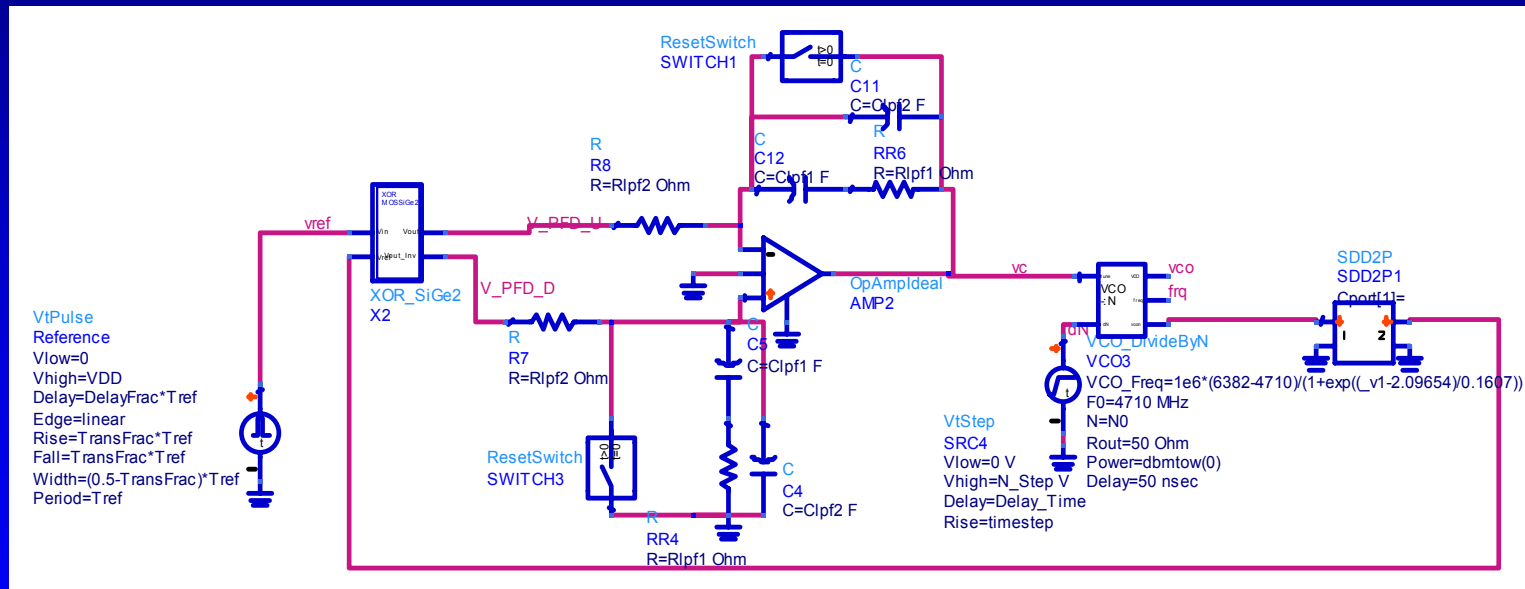
• Análisis del ruido de fase



Diseño del sintetizador de frecuencias

XOR + filtro activo orden 2

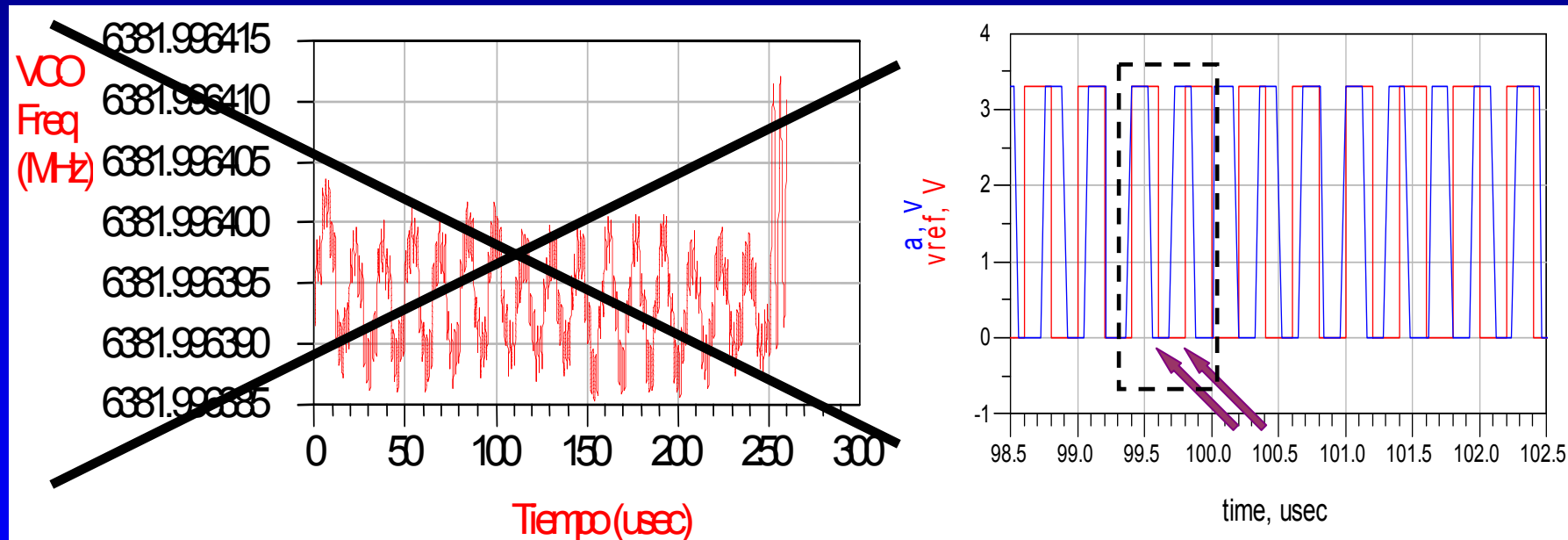
- Respuesta transitoria



Diseño del sintetizador de frecuencias

XOR + filtro activo orden 2

- Respuesta transitoria



Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none"><u>Conclusiones</u>Presupuesto

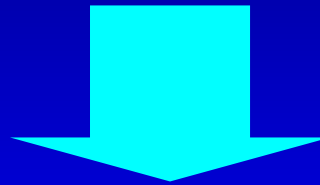
Conclusiones

Comparación de los sintetizadores

Tipos de Filtro	Tipos de Detector	MF	Ruido (dBc/Hz)				Tiempo enganche (ms)	Tiempo entre f _{máx} y f _{mín} (ms)
			10KHz	100KHz	1MHz	10MHz		
Pasivo tipo 2 orden 3	PFD+CP	45°	-49.620	-70.040	-83.564	-93.345	0.15	0.06
Activo tipo 2 orden 2	PFD+CP	45°	-53.961	-69.594	-83.118	-93.280	0.2	0.17
	XOR	45°	-49.428	-69.302	-83.115	-93.280	No se engancha	No se engancha

Conclusiones

Elección:



**SINTETIZADOR
CON DETECTOR DE FASE/FRECUENCIA + BOMBA DE CARGA
+ FILTRO PASIVO ORDEN 3**

Conclusiones

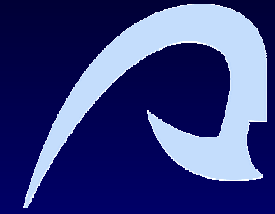
Se puede construir un sintetizador usando tecnología SiGe de 0.35 μm de AMS para un receptor de baja frecuencia intermedia según el estándar WLAN IEEE 802.11a, en la banda de 5 GHz.

Bloque I	<ul style="list-style-type: none">IntroducciónEstándar IEEE 802.11aSistemas de radiofrecuenciaTipos de receptoresEstudio de los sintetizadoresObjetivos
Bloque II	<ul style="list-style-type: none">Diseño del comparador de faseDiseño del filtroDiseño del divisor rápidoDiseño del divisor programableEstudio del VCODiseño del sintetizador de frecuencias
Bloque III	<ul style="list-style-type: none">Conclusiones<u>Presupuesto</u>

Presupuesto

Costes	Total (euros)
Costes de herramientas software	79.66
Costes de equipos informáticos	216.08
Costes de recursos humanos	54294.00
Otros costes	379.56
Subtotal	54969.30
IGIC (5%)	1649.07
PRESUPUESTO TOTAL	56618.38

Cincuenta y seis mil seiscientos dieciocho con treinta y ocho euros.



DISEÑO DE UN SINTETIZADOR PARA EL ESTÁNDAR IEEE 802.11a

AUTOR: DAILOS RAMOS VALIDO

TUTORES: SUNIL LALCHAND KHEMCHANDANI

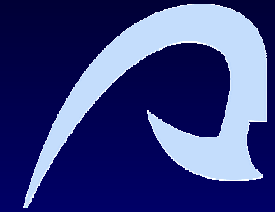
ESPECIALIDAD: SISTEMAS ELECTRÓNICOS

FRANCISCO JAVIER DEL PINO SUÁREZ

EUITT

ULPGC

OCTUBRE 2005



DISEÑO DE UN SINTETIZADOR PARA EL ESTÁNDAR IEEE 802.11a

AUTOR: DAILOS RAMOS VALIDO

TUTORES: SUNIL LALCHAND KHEMCHANDANI

ESPECIALIDAD: SISTEMAS ELECTRÓNICOS

FRANCISCO JAVIER DEL PINO SUÁREZ

EUITT

ULPGC

OCTUBRE 2005