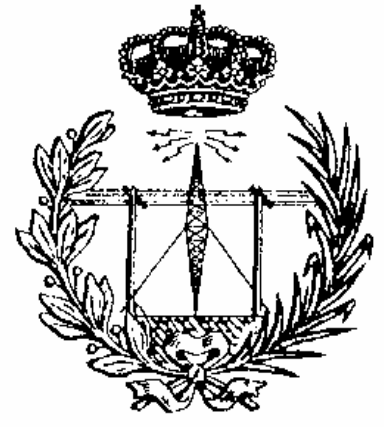
UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

ANÁLISIS DE VIABILIDAD DE UTILIZAR CONVERTIDORES DE CORRIENTE PARA EL DISEÑO DE LNAS INTEGRADOS

ESPECIALIDAD: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.
SUNIL LALCHAND KHEMCHANDANI.

AUTOR: JONATHAN ARIAS PÉREZ.

FECHA: JUNIO 2008

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN

PROYECTO FIN DE CARRERA

ANÁLISIS DE VIABILIDAD DE UTILIZAR CONVERTIDORES DE CORRIENTE PARA EL DISEÑO DE LNAS INTEGRADOS

Presidente: Secretario: Vocal:

Tutores: Autor:

NOTA:……

ESPECIALIDAD: SISTEMAS ELECTRÓNICOS.
TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.
SUNIL LALCHAND KHEMCHANDANI.
AUTOR: JONATHAN ARIAS PÉREZ.
FECHA: JUNIO 2008

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Índice

1. Introducción 1

1.1 Mezclado de la señal 2

1.2 Arquitecturas de receptores 5

1.2.1 El receptor heterodino convencional 5

1.2.2 Arquitectura de receptor de conversión directa 7

1.2.3 Arquitectura del receptor de doble conversión con IF de banda ancha 10

1.2.4 Arquitectura de receptor con baja IF 12

1.3 Objetivos 14

1.4 Estructura de la memoria 14

1.5 Peticionario 15

2. Convertidores de Corriente: Teoría y Práctica 16

2.1 Introducción 17

2.2 Convertidores de Corriente de Primera Generación (CCI) 17

2.3 Aplicaciones de los CCI 20

2.4 Convertidores de Corriente de Segunda Generación (CCII) 20

2.5 Aplicaciones de los CCII 22

2.6 Convertidores de Corriente de Segunda Generación Controlable (CCCII) 26

2.7 Ejemplos de implementaciones hechas con CCCIIs 29

2.8 Conclusiones 36

3. Características de los LNAs 37

3.1 Topologías de LNA 38

3.1.1 Amplificador en configuración emisor común 38

3.1.1 LNA de dos etapas 43

3.1.3 LNA con realimentación negativa por transformador 44

3.1.4 Configuración en base común 45

3.1.5 LNA Cascado 46

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.2 Amplificador de bajo ruido usando convertidores de corriente 48
3.3 Conclusiones 52

4. Estudio de la Tecnología 53
4.1 Resistencias 54
4.1.1 Construcción 54
4.1.2 Resistencias en la tecnología S35D4 de AMS 55
4.2 Condensadores 58
4.2.1 Construcción 58
4.2.2 Condensadores en la tecnología S35D4 de AMS 59
4.3 Bobinas 61
4.3.1 Construcción 61
4.3.2 Funcionamiento 61
4.3.3 Modelo de la bobina 63
4.3.4 Bobinas en la tecnología S35D4 de AMS 64
4.4 El Transistor MOSFET 66
4.4.1 Construcción 66
4.4.2 Funcionamiento 66
4.4.3 Modelo de Baja Frecuencia 69
4.4.4 Modelo de Alta Frecuencia 70
4.4.5 Transistores MOSFET en la tecnología S35D4 de AMS 72
4.5 HBTs de SIGE 75
4.5.1 Construcción 75
4.5.2 Funcionamiento 75
4.5.3 Modelo de Baja Frecuencia 79
4.5.4 Modelo de Alta Frecuencia 80
4.5.5 HBTs en la tecnología S35D4 de AMS 82
4.6 Conclusiones 83

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5. Diseño a nivel de esquemático 84

5.1 Descripción del diseño 85

5.1.1 Análisis del circuito usando fuentes de corrientes ideales 85

5.1.2 Valores de Io1(μA) para Zin próxima a 50 Ohm 86

5.1.3 Ganancia y Ancho de Banda en función del área de los transistores bipolares para distintos valores de Io2 88

5.1.4 Análisis del ruido en función del área de los transistores bipolares para distintos valores de Io2 91

5.2 Descripción del diseño con fuentes de corriente reales 95

5.2.1 Análisis del circuito usando fuentes de corrientes ideales 95

5.2.2 Ganancia y Ancho de Banda en función del área de los transistores bipolares para distintos valores de Io2 96

5.2.3 Estudio del ruido en función de los distintos parámetros del circuito 98

5.3 Análisis de los resultados 102

5.4 Conclusiones 104

6. Diseño a nivel de layout 108

6.1 Proceso de diseño 109

6.2 Layout del LNA 110

6.3 Simulación *post-layout* con CADENCE 114

6.4 Conclusiones 120

7. Medidas 121

7.1 Componentes de medidas 122

7.2 Resultados de medidas 124

7.2.1 Medida de los parámetros S 124

7.2.2 Medida del ruido 129

7.2.3 Medida del punto de compresión a 1 dB 131

7.2.4 Consumo del circuito 132

7.3 Conclusiones 132

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

8. Conclusiones 133

Presupuesto 137

Bibliografía 145

Anexo 151

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 1

Introducción

Son muchos las necesidades que tienen los fabricantes y los usuarios para el surgimiento de los nuevos modelos de receptores/transmisores (*transceivers*). El coste, la disipación de potencia así como las velocidades de transmisión son algunas de las características a optimizar en este tipo de sistemas. Además, el cumplimiento de estas necesidades debe ser compatible con una portabilidad y realizabilidad razonables. Todo esto, junto con los límites existentes en el ancho de banda de la señal en todo tipo de comunicaciones sin hilos, ha llevado al desarrollo de las tradicionales arquitecturas hasta las actuales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

1.1.- Mezclado de la señal

No está de más el recordar ciertos aspectos teóricos relacionados con el mezclado de la señal antes de abordar el estudio de los diferentes sistemas que vamos a abordar. En particular el caso del problema de la banda imagen relacionado con la translación en frecuencia que se suele realizar en los receptores de RF. Normalmente, la translación en frecuencia se realiza (ver figura 1.1) en este tipo de sistemas mediante una multiplicación (mezclado) de la señal con una sinusoide tal como $\cos(\omega_0 t)$. Para el caso de una señal real sabemos, de las propiedades de la transformada de Fourier, que las componentes del espectro positivo y negativo son complejos conjugados el uno del otro. De hecho se habla de una reflexión especular respecto al eje de ordenadas.

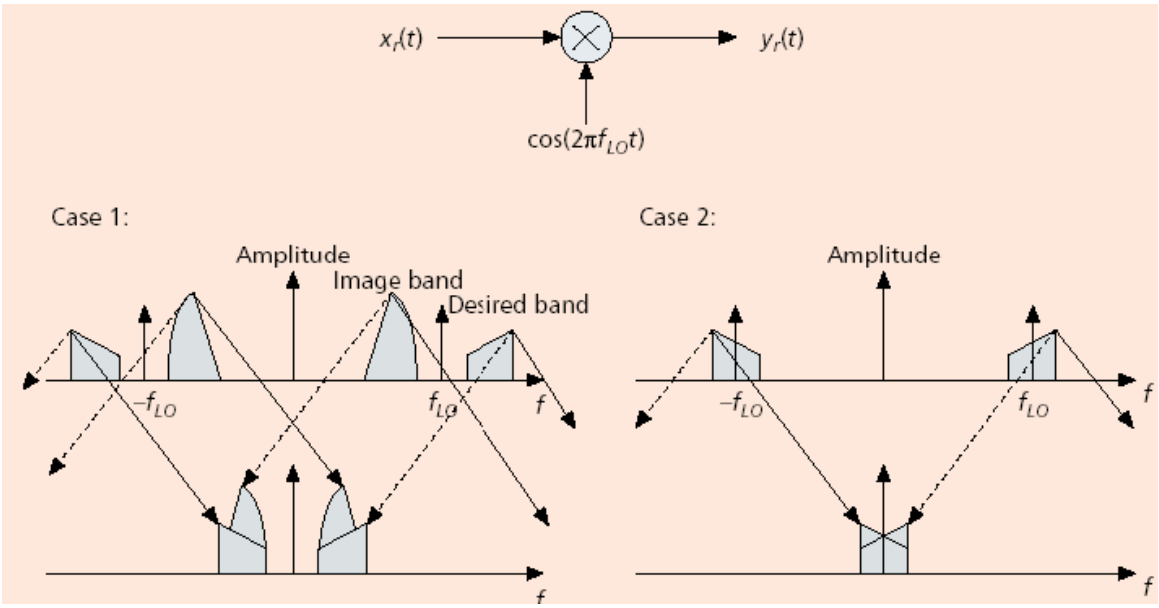


Figura 1.1: Translación en frecuencia de una señal x(t).

También sabemos que una multiplicación en el tiempo se convierte en una convolución en el dominio de la frecuencia. Por tanto, cuando se hace el mezclado de la señal x(t) con la sinusoide lo que realmente estamos haciendo en el dominio de la frecuencia es convolucionar la transformada de la señal (X(ω)) con la transformada de la sinusoide. Como sabemos, la transformada de una sinusoide es igual a dos deltas centradas en las frecuencias +ωo y –ωo multiplicadas por una constante. Al convolucionar esas dos deltas con la señal de entrada, se producirá un desplazamiento del espectro de X(ω) de forma que la señal de salida del mezclador será la suma de $X(\omega-\omega_o)$ y $X(\omega+\omega_o)$ multiplicados por una constante. Obviamente, tal como se observa en la figura 1.1, esto supone que se superpongan las bandas, distorsionando el espectro

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

y haciendo inviable la recuperación de la señal. La parte de la señal que no deseamos es la llamada banda imagen. Para suprimir cualquier señal en la banda imagen es necesario el uso de un filtro previo al mezclador. Esta es la tarea del filtro de rechazo de imagen que usualmente precede al mezclador. En el caso especial de que la frecuencia ω_o es igual a la frecuencia central de la señal de entrada, no podemos filtrar para eliminar la banda imagen.

Además, también debemos recordar que al realizar el mezclado, también generamos otras componentes del espectro más allá del ancho de banda natural de la señal de entrada. Esas componentes se pueden eliminar sin ningún problema empleando un filtro paso baja.

Centrémonos ahora en cómo se soluciona el problema de la superposición. Una forma, la más común, de evitar el problema es mediante el uso de una señal de mezclado que sea una exponencial compleja ($e^{j\omega_o t}$), la cual tiene una única componente en frecuencia (en este caso en $-\omega_o$). Como sabemos su transformada es una delta centrada en esa frecuencia y la convolución sólo nos lleva una parte del espectro a frecuencias entorno a cero. El problema radica en que tendremos que usar una señal compleja. Pero como sabemos, una señal compleja, $m(t) = mr(t) + j \cdot mi(t)$, consiste en una parte real y en una parte imaginaria.

De hecho, parte real y parte imaginaria pueden ser señales reales por sí mismas con componentes de frecuencia diferentes pero al combinarlas para originar la señal compleja pueden cancelarse ciertas componentes de frecuencia. Así, se puede demostrar que para implementar la exponencial de la que hablábamos ($e^{-j\omega_o t}$) basta con realizar la suma compleja siguiente que es totalmente equivalente:

$$e^{-j\omega_o t} = \cos(\omega_0 t) - j\ \mathrm{sen}(\omega_0 t) \qquad (1.1)$$

Por tanto, mezclando una señal real con esta señal compleja conseguimos una señal de salida de tipo complejo con su espectro desplazado de la forma deseada sin superposición alguna.

Obviamente, cuando trabajamos con señales reales las multiplicaciones que se realizan son reales, de ahí que lo que realmente obtengamos sean las componentes real (en fase) e imaginaria (en cuadratura) de la señal de salida que buscamos, como se puede observar en la figura 1.2. Para el caso de una señal paso banda que se hace pasar por un mezclador de este tipo centrado en la misma frecuencia central de esa señal de entrada, la salida del mezclador carece

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

del problema de la banda imagen que habíamos comentado. Esto es el fundamento de los receptores homodinos que veremos próximamente.

En la actualidad, no sólo se realiza el mezclado de señales reales sino también de señales complejas. En estos casos, si suponemos que la señal de entrada x(t) es compleja [xr(t) + j xi(t)], la señal del mezclador m(t) también será compleja, x(t)*m(t) = [xr(t) mr(t)- xi(t) mi(t)]+j[xr(t) zi(t)+xi(t) zr(t)].

Este tipo de mezclado complejo es usado en mezcladores de rechazo de imagen (IR). Estos mezcladores se emplean en algunas arquitecturas de receptores que más adelante discutiremos.

En ciertos casos, sólo la parte real o imaginaria de la salida de un mezclador es de interés (un ejemplo típico es el sistema de modulación en amplitud en cuadratura).

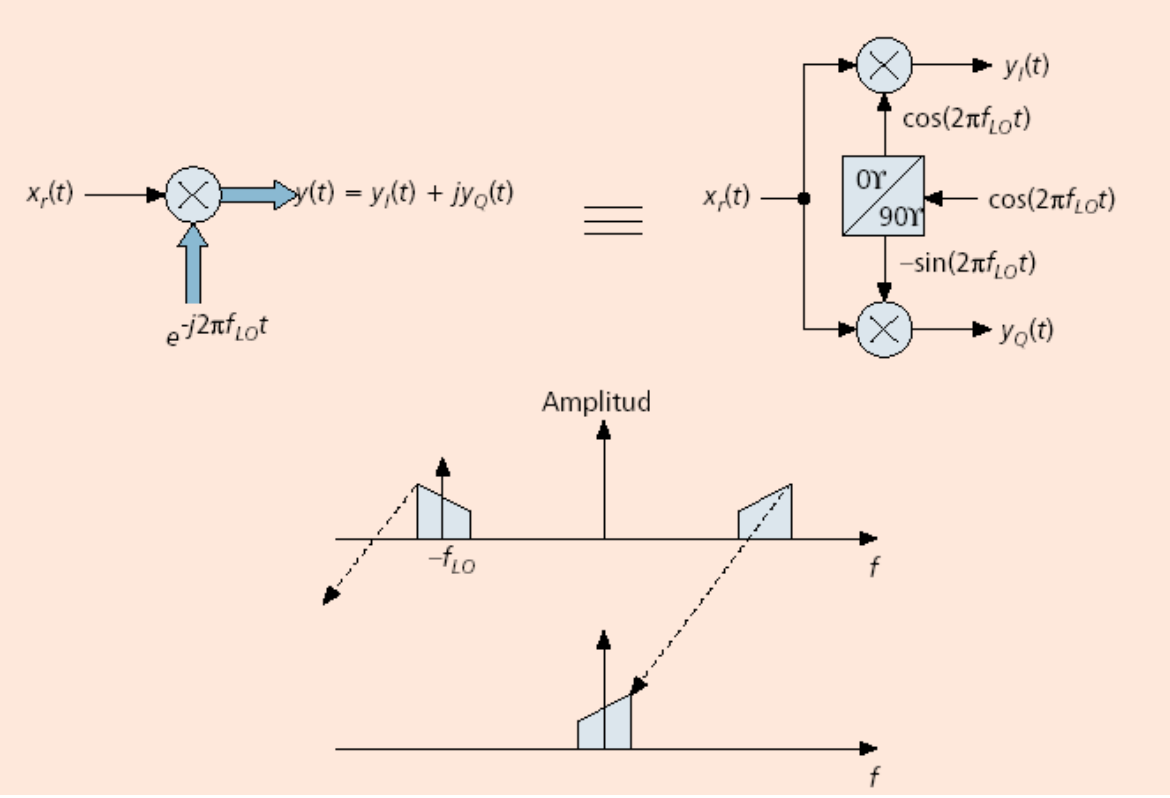


Figura 1.2: Modulación en amplitud y cuadratura.

Por último, debemos comentar que en ciertas aplicaciones es necesario aislar las componentes negativas y positivas de frecuencia de la señal recibida. Para ello se suele emplear

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

dentro del sistema una transformador *Hilbert* que desplaza la fase de la señal de entrada en –90º para frecuencias positivas y +90º para frecuencias negativas.

1.2.- Arquitecturas de receptores

La mayoría de los *transceivers* usados hasta ahora se basan en la arquitectura del receptor heterodino. Estos *transceivers* tienen buen rendimiento pero sufren de altos costes de producción y requiere un factor de forma relativamente elevado debido a los filtros de radiofrecuencia y de frecuencias intermedias no integrables y caros. Ahora vamos a ver la topología del receptor heterodino tradicional junto con otras arquitecturas de receptores desarrolladas últimamente y trataremos de ver las ventajas y desventajas de cada modelo. Para cada arquitectura de receptor existe un transmisor correspondiente con los mismos bloques constitutivos, fundamentalmente, salvo por la existencia del amplificador de potencia necesario en el transmisor.

1.2.1.- El receptor heterodino convencional

La mayoría de los *transceivers* de radiofrecuencia comerciales hoy día, utilizan alguna variante de la arquitectura tradicional heterodina (figura 1.3). En un receptor heterodino el filtro de RF de preselección sirve tanto para quitar la energía de la señal fuera de la banda útil como para rechazar parcialmente las señales de la banda imagen no deseadas. Tras el prefiltrado, la señal recibida es amplificada por un amplificador de bajo ruido (LNA). El filtro de frecuencias intermedias (IR) que se encuentra a continuación del LNA atenúa las señales no deseadas en las frecuencias de la banda imagen. La señal deseada a la salida del filtro IR es entonces trasladada en frecuencia desde la frecuencia portadora a una frecuencia determinada mediante la multiplicación (el mezclado) de la salida de un oscilador local con la señal de salida del filtro IR. Generalmente, en los receptores heterodinos de altas prestaciones, los osciladores controlados por voltaje de bajo ruido empleados como osciladores locales se realizan con componentes discretos tales como inductores con alto factor de calidad o diodos varactores.

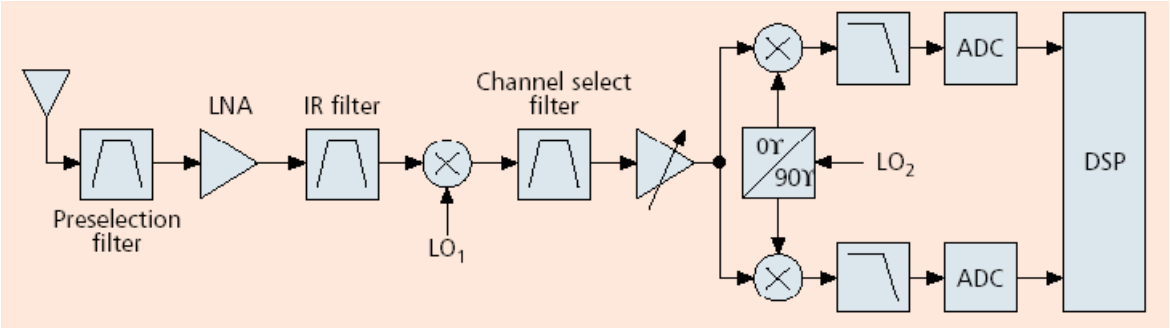


Figura 1.3: Receptor heterodino genérico.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A la salida del mezclador un filtro a frecuencia IF, seguido normalmente por un amplificador de ganancia programable, selecciona el canal deseado y reduce la distorsión así como los requerimientos de rango dinámico de los bloques subsiguientes del receptor. La señal puede ser ya desplazada a la banda base y demodula de la forma adecuada, o de forma alternativa desplazar a otra frecuencia inferior, y luego desplazar a banda base y demodularla.

Puesto que, en la frecuencia portadora, la banda deseada y la banda imagen están separadas por dos veces la frecuencia IF, es deseable elegir una frecuencia IF elevada para reducir los requisitos del filtro IR. De hecho, si la frecuencia IF es elegida lo suficientemente elevada de forma que el filtro de preselección de RF pueda atenuar suficientemente la banda imagen, puede ser posible prescindir del filtro IR y conectar directamente el LNA al mezclador sin necesidad del mismo. Por otro lado, puesto que la selección de canal se hace en el sistema heterodino en el filtro IF, una baja frecuencia IF permite el empleo de filtros de selección de canal de mayor calidad. Por tanto, la elección de IF depende de un compromiso entre el rechazo de la imagen y la selección del canal. Otros factores que influencian en la elección de IF son la disponibilidad y el tamaño físico de los filtros comerciales para las distintas frecuencias.

Tradicionalmente, todos los filtros usados en los sistemas heterodinos son filtros con componentes discretos con alto factor de calidad, tales como filtros cerámicos. Comparados a otras arquitecturas de receptor más integrables, el receptor heterodino tiene mayores prestaciones en cuanto a la selectividad (una medida de la capacidad del receptor para separar la señal deseada alrededor de la portadora de señales recibidas en otras frecuencias) y sensibilidad (la señal mínima en la entrada del receptor para la cual hay a la salida del receptor una relación señal a ruido (SNR) adecuada). Esto se consigue con el uso de componentes discretos con alto factor de calidad.

Sin embargo, el empleo de elementos con un alto factor de calidad también tiene ciertos inconvenientes. Una limitación importante es que los filtros IR tienen una impedancia de entrada baja. Esto requiere que el LNA tenga una elevada capacidad de carga, lo que nos lleva a compromisos más severos respecto a la ganancia, la figura de ruido, la estabilidad y la disipación de potencia en el amplificador. Además, estos filtros con elevado factor de calidad son difíciles de implementar cuando se emplean para elevadas frecuencias en una solución integrada, principalmente por el hecho de que los inductores integrados tienen un factor de calidad bastante bajo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

1.2.2.- Arquitectura de receptor de conversión directa

La conversión directa, también conocida como homodina o conversión con IF cero, es una aproximación natural a desplazar la señal RF de forma directa a banda base (figura 1.4). Alternativamente, uno puede pensar en elegir IF como cero. Esta arquitectura emplea filtrado paso bajo en la banda base para eliminar interferencias cercanas y seleccionar el canal deseado.

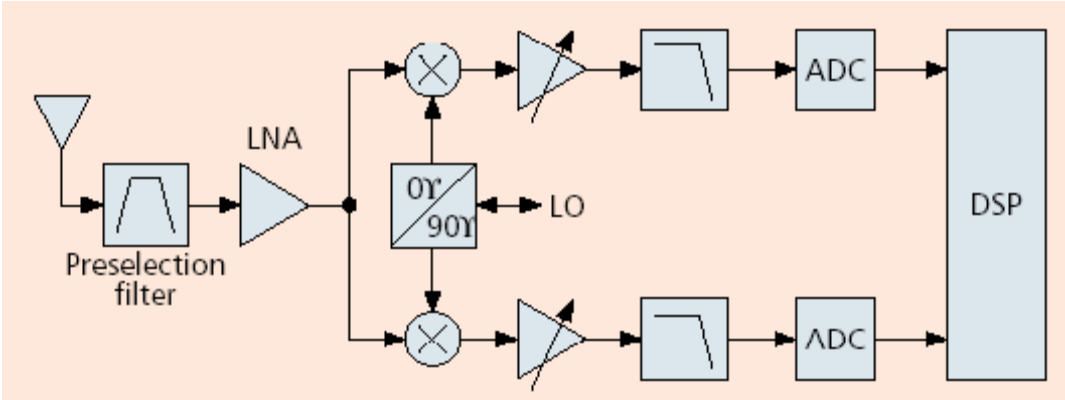


Figura 1.4: Receptor homodino genérico.

La translación en cuadratura (canales I y Q) es necesaria en señales moduladas en amplitud y frecuencia o fase porque en general los dos lados del espectro radio son diferentes. Mezclando con una sinusoide real resultaría en una corrupción irreversible de la información transmitida. La translación en cuadratura es equivalente al mezclado complejo que vimos con anterioridad.

La arquitectura homodina tiene ciertas ventajas fundamentales sobre la heterodina. Obviamente, la primera es la eliminación de la etapa intermedia de filtrado IF y, además, la necesidad del filtro de frecuencias intermedias IR se elimina. Además de esto, la ausencia del filtro IR elimina el requisito de poseer un LNA para manejar una carga con baja impedancia. Las funciones de selección de canal y la amplificación subsiguiente en una frecuencia IF son sustituidas por un filtrado paso bajo y una amplificación en banda base, realizable en la integración monolítica.

A pesar de ser apropiado para altos niveles de integración, un receptor homodino agrava varios aspectos que o no existían en el heterodino o no son tan serios como en un receptor heterodino. Vamos a ver brevemente algunos de estos problemas que aparecen o se agravan.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

• **DC-*offsets*.** Tal vez el problema más serio es este del *offset* en DC en la sección bandabase del receptor homodino. Estos voltajes de *offset* pueden corromper la señal deseada y/o saturar las etapas posteriores. Aparecen debido al fenómeno de automezclado del oscilador local o la interferencia dentro de la banda, además de los usuales emparejamientos erróneos en el camino de señal del circuito.

Para comprender mejor el origen de estos *offsets*, podemos imaginar el siguiente camino de señal. Primero, el aislamiento entre el puerto para el oscilador local y las entradas del mezclador así como del LNA no son perfectas, y una cantidad finita de realimentación existe desde el oscilador local a la otra entrada del mezclador y a la entrada del LNA. Esta filtración de la señal del oscilador local aparece debido al acoplamiento capacitivo y de sustrato y, si la señal del oscilador local se suministra externamente, por el acoplamiento con los cables de unión al oscilador. La señal que así procede del oscilador local apareciendo en las entradas del LNA y del mezclador es ahora mezclada con la señal original del oscilador local, produciendo por tanto una componente continua a la salida del mezclador. Este automezclado puede ser bastante importante. Existen otras fuentes de componentes de continua que no nos vamos a centrar. Basta decir que este problema, que potencialmente existe en el heterodino, no afecta debido a la acción del filtro paso banda IF.

Por tanto, los receptores de conversión directa requieren métodos apropiados para eliminar las componentes de continua. Una aproximación simple es usa acoplamiento AC en el camino de la señal trasladada en frecuencia. Sin embargo, puesto que el espectro de todos los esquemas de modulación espectralmente eficientes utilizan una energía significativa en DC, estas señales son corrompidas por el empleo de filtros acoplados en AC. Un método mejor es emplear técnicas banda base analógicas o procesamiento digital de la señal para la estimación del *offset* y la cancelación. Sin embargo, estas técnicas añaden complejidad y no resuelven los problemas asociados con el ruido a bajas frecuencias en implementaciones con CMOS.

Una solución natural al problema del *offset*-DC en receptores con conversión directa es minimizar la energía de la señal banda base cerca de la componente DC eligiendo una modulación libre de componente DC y emplear un acople AC para la eliminación del *offset*. Esta aproximación ha sido utilizada de forma exitosa en sistemas de paginación con modulación FSK, pese a la ineficiencia espectral de la modulación FSK.

• **Fugas en el oscilador local.** Además de introducir una señal de *offset*, el hecho de que la señal del oscilador local coja otro camino distinto al que se ideó para el inicialmente y llegue a la antena y se irradie desde ahí crea una interferencia en la banda para otros receptores que usen el

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

mismo esquema. Este problema llega a ser menos severo cuantos más bloques del receptor de radiofrecuencia se fabriquen en el mismo chip. Con osciladores locales diferenciales, el acoplamiento neto a la antena puede alcanzar de forma aceptable bajos niveles.

• **Desajuste I/Q.** Como se ha mencionado con anterioridad, para los esquemas de modulación más usados, un receptor homodino debe incorporar una translación en cuadratura. Esto requiere desplazar o la señal de radiofrecuencia o la salida del oscilador local 90º. Puesto que el desplazamiento de la fase de señales de radio frecuencia generalmente conlleva compromisos importantes de ruido, potencia y ganancia y es especialmente difícil para señales de banda ancha empleadas en sistemas de alta tasa de datos, es preferible desplazar la salida del oscilador local. En cualquier caso, los errores en el desplazamiento de 90º en la fase y los desajustes entre las amplitudes de los caminos de las señales Q e I corrompen la constelación de la señal desplazada, incrementando la tasa de error por bit por esa razón.

Con el fin de comprender mejor el efecto del desajuste entre I y Q, y mostrar la versatilidad y conveniencia de usar formulación compleja, consideremos el caso práctico donde el oscilador local general la señal compleja $x_{LO}(t) = \cos(\omega_{LO}t) - j(1+\varepsilon)\mathrm{sen}(\omega_{LO}t + \theta)$. Aquí, ε y θ representan los errores en el oscilador local en ganancia y en fase respectivamente. Se puede reescribir la salida en cuadratura del oscilador como:

$$X_{LO}(t) = \frac{1}{2}\left[1 - (1+\varepsilon)\, e^{j\theta}\right]e^{jw_{LO}\, t} + \frac{1}{2}\left[1 + (1+\varepsilon)\, e^{-j\theta}\right]e^{-jw_{LO}\, t} \qquad (1.2)$$

De forma ideal, la salida compleja del oscilador local debería contener sólo la frecuencia negativa. Sin embargo, de la anterior expresión se observa que, debido a los errores de fase y de ganancia, existe una componente de frecuencia positiva de magnitud no nula. Esta componente es la causante de la interferencia debida a las imágenes y, si no son compensadas, pueden causar el deterioro del funcionamiento del receptor.

Por consiguiente, de los problemas mencionados, los receptores con conversión directa son sensibles a las distorsiones de orden constante. Además, puesto que el espectro desplazado se localiza en torno a la frecuencia cero, el ruido flicker (1/f) de los dispositivos tiene un profundo efecto en el SNR, un problema importante en las implementaciones con CMOS. Además, integrar el sintetizador de frecuencia selector de canal es complicado lograrlo con elementos de bajo factor de calidad como los disponibles en los circuitos integrados.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A pesar de todos estos problemas, los transceivers de conversión directa para teléfonos móviles usando tecnología bipolar de silicio han estado en completa producción en Alcatel desde 1991. La misma compañía introdujo recientemente un transceiver de conversión directa en un proceso de silicio germanio BICMOS para GSM. En estos transceivers, con el fin de manejar los problemas asociados con el offest de continua tanto dinámico como estático, algoritmos de procesamiento digital de la señal son usados. Estos algoritmos se apoyan en la propiedad de la envolvente constante del esquema de modulación usado en GSM.

1.2.3.- Arquitectura del receptor de doble conversión con IF de banda ancha

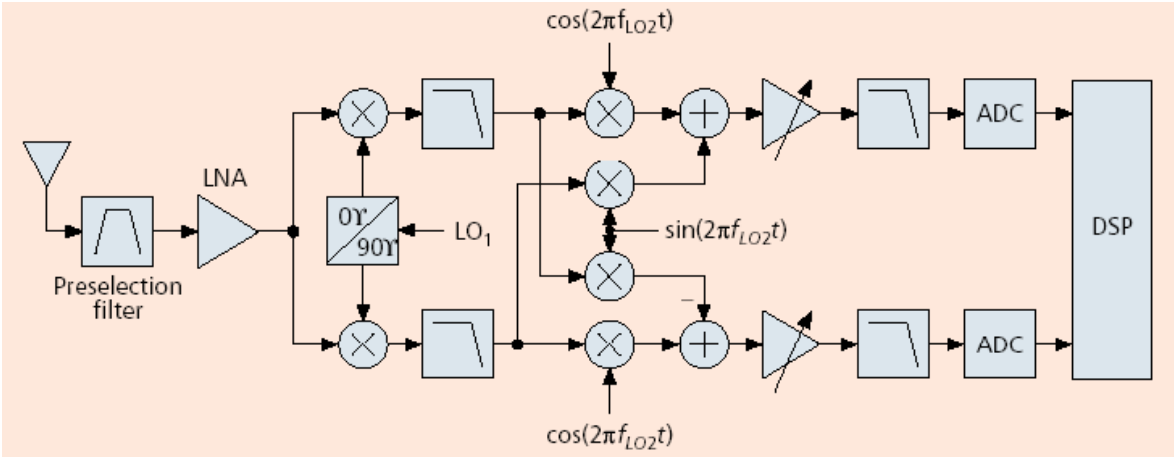


Figura 1.5: Receptor IF de banda ancha y conversión doble.

Esta arquitectura alternativa es bastante apropiada para la integración completa (figura 1.5). En este receptor, tras el filtrado de preselección y amplificación, todos los canales de radiofrecuencia potenciales son mezclados de forma compleja y trasladados a la frecuencia IF. Como ya hemos comentado, para este caso no existe ningún tipo de problema debido a la banda imagen. Mediante un segundo mezclado complejo trasladamos de la frecuencia IF a banda base, usando un sintetizador de frecuencias selector de canal ajustable. En este mezclador complejo, añadiendo correctamente las salidas de los multiplicadores reales en pares, las frecuencias imágenes son canceladas mientras que los canales deseados se añaden de forma constructiva. Si elegimos una frecuencia IF lo suficientemente alta, podemos obtener un rechazo a la banda imagen adicional del filtro de preselección.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Comparando las dos soluciones integradas mostradas hasta el momento, en ambas arquitecturas el canal de selección actúa en bandabase, permitiendo la posibilidad de un filtro integrado programable para la selección de canal para aplicaciones de receptores multiestandar. Sin embargo, la arquitectura del receptor con filtro IF de banda ancha tiene algunas ventajas sobre el receptor homodino estudiado, las cuales serán discutidas ahora. Debido al hecho de que el ajuste del canal se realiza sin usar el primer sintetizador (RF) sino en el oscilador local de frecuencias bajas (IF), el oscilador de RF puede ser implementado como un oscilador de frecuencia fija. La ventaja es que es más fácil implementar este oscilador local fijo de bajo ruido de fase con componentes *on chip* con factor de calidad reducido que si fuese variable. También, puesto que el ajuste es realizado con el oscilador local de frecuencia IF trabajando a una menor frecuencia, la característica de ruido de fase de este oscilador puede ser significativamente mejor que la del oscilador de RF ajustable empleado en el receptor homodino. Además, puesto que en el sistema IF de banda ancha no hay ningún oscilador local trabajando a la misma frecuencia que la portadora RF de entrada, los potenciales problemas asociados con la realimentación del oscilador local y los *offsets* de continua se minimizan. Aunque en el sistema IF de banda ancha el segundo oscilador local trabaja a la misma frecuencia que el canal deseado de frecuencia IF, el *offset* de continua que resulta en la banda base debido al auto mezclado es relativamente constante y puede ser cancelado usando métodos de procesamiento adaptativo de señal.

El particular mezclador de IR usado en esta arquitectura tiene varias ventajas. Primero, ya no son necesarios los filtros de desplazamiento de fase pasivos en el camino de la señal para generar el desplazamiento de fase correcto entre la banda imagen y la deseada. Segundo, suponiendo de nuevo que los términos sobreconvertidos se eliminan, el rechazo de la imagen es de banda ancha. Fijémonos en que la estructura de este mezclador IR (consistente en 4 multiplicadores y 2 sumadores) es la misma que la del mezclador complejo estudiado con anterioridad.

Las limitaciones de los receptores con IF de banda ancha y conversión doble son las siguientes. Puesto que el oscilador local primero está fijado en frecuencia, todos los canales deben pasar a través de la etapa IF (el canal deseado es seleccionado usando un segundo oscilador local). Esto conlleva dos problemas: primero, como resultado de mover la selección de canal a una frecuencia inferior, el sintetizador IF requiere un VCO con un rango de sintonía relativo mucho más elevado; segundo, el eliminar el filtro de selección de canal en IF hace que las interferencias de canal adyacente sean ahora incumbencia de la segunda etapa mezcladora así

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

como de los bloques paso de banda. Esto implica un requisito del rango dinámico más alto para estas etapas finales del receptor. También, igual que ocurría con los mezcladores IR convencionales, cualquier desajuste de la ganancia o la fase de I o Q degradaría el funcionamiento del receptor.

1.2.4.- Arquitectura de receptor con baja IF

La idea detrás de las topologías de IF baja es similar a la de conversión doble con IF de banda ancha, y el objetivo es combinar las ventajas de ambos receptores heterodinos y homodinos. Igual que en los sistemas de IF de banda ancha, si uno emplea dos caminos para la translación en cuadratura en un receptor heterodino, toda la información necesaria para la separación de la señal deseada de la no deseada, tales como imágenes, es disponible en las dos señales IF.

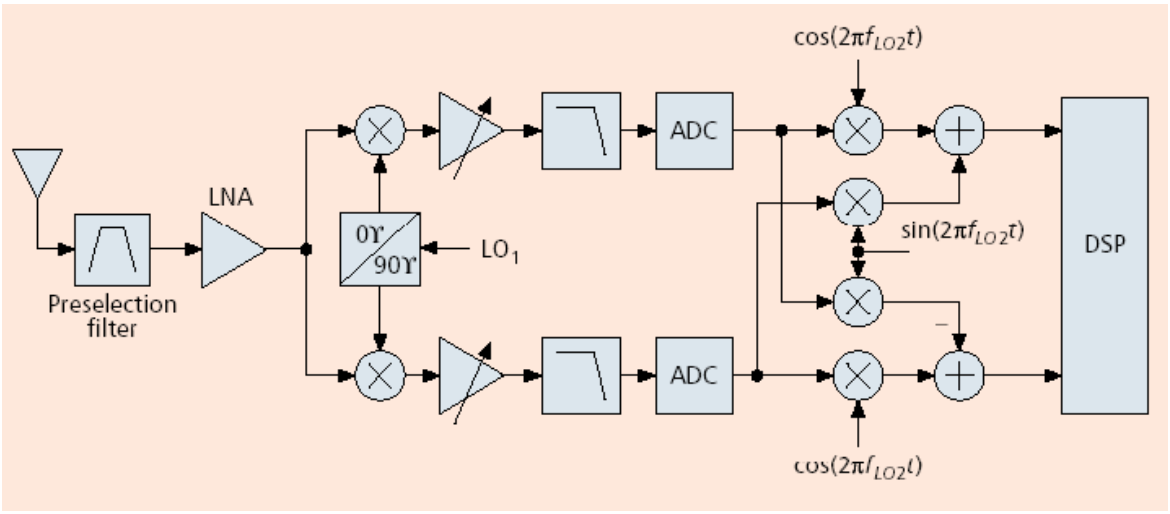


Figura 1.6: Receptor con baja IF.

En la figura 1.6 se muestran un ejemplo de receptor con IF baja. Esta arquitectura es bastante similar a la de IF de banda ancha aunque hay pequeñas diferencias. La primera es la elección de la frecuencia IF. Mientras que la IF en la arquitectura de IF de banda ancha es típicamente alta, en el caso de los sistemas de IF baja, la IF es una o dos veces el ancho de banda del canal. Esto alivia el problema del *offset* de continua en estas dos arquitecturas comparado con sus homólogos homodinos, simplemente porque tras la primera translación la señal deseada no está localizada en torno a la componente de continua. En segundo lugar, en la topología de IF baja es más factible el muestrear la señal de baja IF tras la primera etapa mezcladora con un conversor analógico a digital. El muestreo en este punto requiere un conversor analógico digital

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

con mayor resolución que el requerido tras el mezclador de IR en los receptores con IF de banda ancha porque en este caso estamos muestreando tanto la señal deseada como la imagen no deseada. Debemos tener en cuenta que tras la primera etapa mezcladora, la imagen no deseada puede ser mucho mayor que la señal deseada.

Aunque la arquitectura de IF baja requiera convertidores Analógico/Digital de alto rendimiento, esta arquitectura tiene la ventaja de que podemos usar un condensador para acoplar la señal de entrada al conversor, lo cual elimina la necesidad de la compleja circuitería de cancelación del *offset* de continua. Otra ventaja de esta topología es que parte del mezclador complejo IR es implementado en el dominio digital sin ningún problema de desajuste entre ganancias y fase de I o Q. Por tanto, esta estrategia desplaza las especificaciones hardware de la parte analógica al conversor analógico a digital. Puesto que el rendimiento de los *CAD*s está mejorando rápidamente, esta arquitectura está siendo cada vez más empleada.

Finalmente, debe notarse que el digitalizado de la señal en la etapa IF puede ser también empleado en sistemas receptores heterodinos convencionales. Esta aproximación es llamada algunas veces IF digital. En esta arquitectura, los requerimientos de alto rendimiento del CAD son más complicados de lograr con una disipación de potencia razonable. A pesar de la ventaja de evitar los desajustes de las componentes en fase y cuadratura en los receptores heterodinos, esta técnica requiere un CAD prohibitivamente rápido, con alta linealidad y elevado rango dinámico, limitando actualmente su uso únicamente a estaciones base.

Podemos decir que todas las alternativas mostradas con anterioridad son válidas pero aplicables en determinados casos con mayor garantía. Cada alternativa tiene sus propias ventajas e inconvenientes y será al final las necesidades del producto final las que forzarán la decisión del fabricante para elegir uno u otro modelo.

Una vez expuestas las diferentes estructuras usadas en la actualidad para realizar los receptores, podemos observar que hay un bloque que siempre se repite y que es muy importante, el filtro de RF y el amplificador de bajo ruido o LNA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

1.3 Objetivos

Una vez vistas las estructuras de receptores, el objetivo principal de este proyecto consiste en el estudio de la posibilidad de emplear los convertidores de corriente (*current conveyors*) para la realización de un amplificador de bajo ruido. Este estudio intenta comprobar la posibilidad de realizar estos amplificadores utilizando un elemento como es el convertidores de corriente, un circuito que hasta la actualidad no ha sido muy explotado y que se pretende analizar y comprobar si es factible o no y comprobar las ventajas e inconvenientes que presentaría el LNA con respecto a otras estructuras en caso de poder llevarse a cabo. Como implementación práctica se diseñará un LNA basado en un convertidor de corriente usando la tecnología *SiGe* 0.35 μm suministrada por la empresa fundidora AMS (*Austria Micro System*).

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.4 Estructura de la memoria

En este primer capítulo se han presentado las principales características de los receptores de radiofrecuencia. Se han visto diferentes estructuras y los elementos de que consta cada unas de ellas. Por último, se ha fijado los objetivos del proyecto.

En el capítulo 2 se pretende estudiar más profundamente los dispositivos mencionados anteriormente, los convertidores de corriente. Se pretende analizar su evolución histórica, su comportamiento y presentar algunas estructuras que se pueden realizar basándonos en ellos.

En el capítulo 3 nos centraremos en las características de los *LNAs*. Para ello primero estudiaremos las arquitecturas de LNA más comúnmente utilizadas y luego se presentara la arquitectura de amplificador de bajo ruido empleando los convertidores de corriente que se pretende estudiar.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En el capítulo 4 profundizaremos en el estudio de la tecnología *SiGe* de 0.35 *μm* de *AMS*. Como parte de este estudio, se analizarán los componentes de dicha tecnología que forman parte de un *LNA*.

Una vez estudiada la tecnología, en el capítulo 5 nos centraremos en el diseño a nivel de esquemático. Para simularlo se utilizará el *software ADS* (*Advanced Design System)*.

En el capítulo 6 pasaremos a la implementación física del diseño obtenidos en el capítulo anterior haciendo uso del *software Cadence*. Una vez generado nuestro *layout*, se realizan una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño.

En el capítulo 7 nos centraremos en las medidas obtenidas del circuito diseñado una vez fabricado por la fundidora *AMS*. Para ello haremos uso de una comparativa entre los resultados obtenidos *post layout* y dichas medidas.

Finalmente, en el capítulo 8 se resumen las principales conclusiones y resultados obtenidos a raíz de este proyecto.

1.5 Peticionario

Actúa como peticionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (*TME*) del Instituto Universitario de Microelectrónica Aplicada (*IUMA*).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 2

Convertidores de Corriente: Teoría y Práctica

En el capítulo anterior hemos visto una pequeña introducción sobre los sistemas de radiofrecuencia. Se han visto diferentes estructuras usadas, así como las diferentes partes que componen dichas estructuras.

Por otro lado, en este capítulo lo que se pretende estudiar son las diferentes posibilidades que nos ofrecen los convertidores de corriente en la actualidad. Se estudiará las características de los convertidores de corriente y veremos diferentes aplicaciones que se pueden realizar usando estos dispositivos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

2.1 Introducción

Un convertidor de corriente es un dispositivo de cuatro terminales (aunque pueden ser cinco) que al ser introducido o conectado con otros elementos electrónicos en un diseño pueden cumplir numerosos procesos de señal analógica [1],[2],[3]. Por ejemplo los convertidores de corriente pueden usarse para simplificar circuitos en los que se emplean los amplificadores operacionales. Por tanto, el estudio de los convertidores de corriente es una alternativa para simplificar circuitos complejos y para la creación de nuevas implementaciones.

Al mismo tiempo que introducimos el concepto de convertidores de corriente se podrá observar las ventajas que éstos ofrecen sobre los amplificadores operacionales. En un principio la industria electrónica centró sus esfuerzos en la creación y aplicación de la primera generación de amplificadores operacionales. Este hecho hizo que se dejara de lado la motivación por desarrollar estructuras con convertidores de corriente. Después de todo, el concepto de amplificador operacional fue introducido en la mente de la mayoría de diseñadores de circuitos analógicos desde 1940 ya que era por lo que estaban interesadas la mayoría de empresas de diseño y provocó una rápida expansión en el mercado. Ahora es cuando la mayoría de diseñadores se están dando cuenta de las ventajas que ofrecen los convertidores de corriente frente a los amplificadores operacionales convencionales; especialmente un convertidor de corriente puede proporcionar una mayor ganancia en tensión que un amplificador operacional [4].

2.2 Convertidores de Corriente de Primera Generación (CCI)

En la figura 2.1 se muestra el diagrama de bloques de un convertidor de corriente de primera generación (CCI). El funcionamiento de este circuito es como sigue. Si al terminal de entrada Y aplicamos una tensión V_y, en el otro terminal de entrada X aparecerá una tensión similar. De la misma forma, si forzamos una corriente I por el terminal X, esa misma corriente entrará por la rama Y. Además esta corriente será convertida al terminal de salida Z de forma que dicho terminal funciona como una fuente de corriente con una impedancia de salida elevada. Como se puede observar, la tensión en X la fija la tensión que hay en Y y es independiente de la corriente que forzamos en X. Asimismo, la corriente que fluye por la entrada Y, la fija la corriente que introducimos por X, la cual es independiente de la tensión en

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Y. Esto es equivalente a decir que los convertidores de corriente presentan un cortocircuito virtual en la entrada X y un circuito abierto virtual en el puerto Y [1].

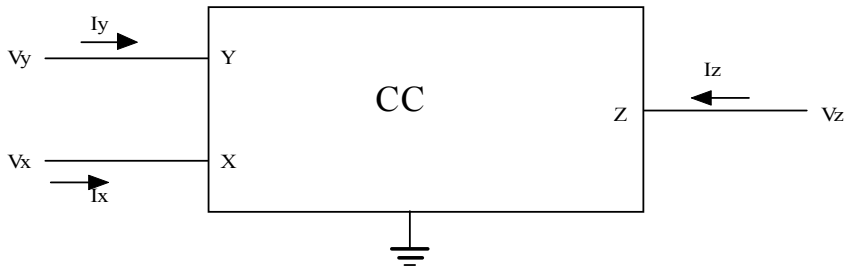


Figura 2.1: Caja negra de un convertidor de corriente.

En términos matemáticos, la característica de entrada-salida de los CCI puede ser descrita mediante la siguiente ecuación:

$$\begin{bmatrix} \dot{I}y \\ Vx \\ \dot{I}z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} Vy \\ \dot{I}x \\ Vz \end{bmatrix} \tag{2.1}$$

donde las variables representan cantidades totales instantáneas.

Para ver mejor la interacción de las corrientes y tensiones de los puertos descritos en la anterior ecuación vamos a ver una representación [5] en la figura 2.2 que nos puede ayudar. Vemos que en la representación hay un círculo para representar el cortocircuito virtual entre los terminales X e Y y un doble círculo para representar el circuito abierto. También se puede ver en este circuito equivalente dos fuentes de corriente dependientes. Éstas son usadas para convertir las corrientes del puerto X a los puertos Y y Z.

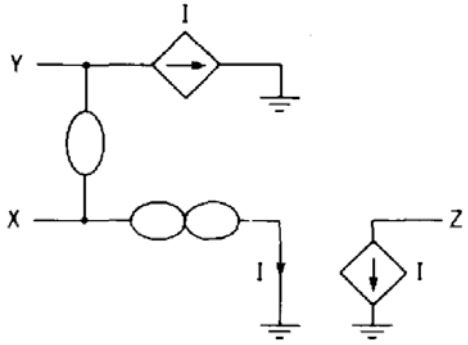


Figura 2.2: Representación del funcionamiento interno de los "*current conveyors*".

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la figura 2.3 se muestra un ejemplo de implementación de un convertidor de corriente de primera generación de clase AB [6].

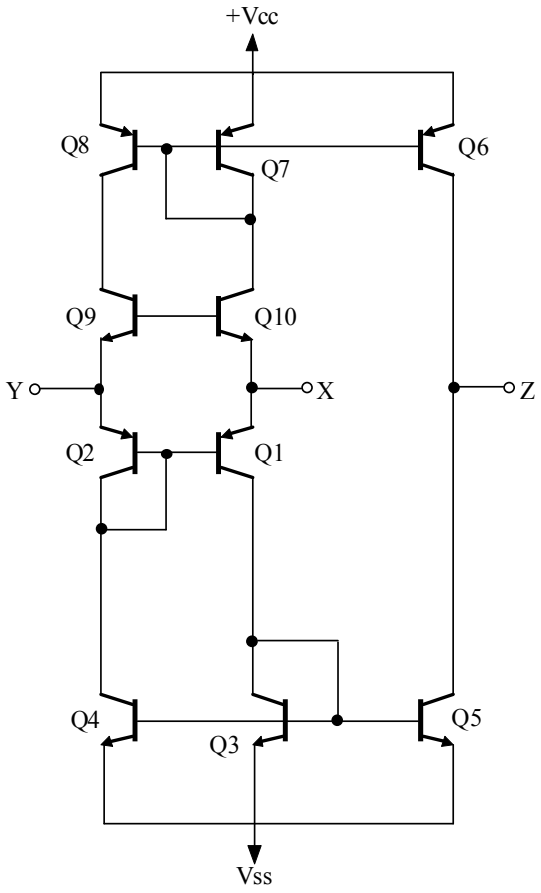


Figura 2.3: Implementación de un convertidor de corriente de primera generación clase AB.

También lo podemos hacer con transistores CMOS, quedando el modelo de la figura 2.4 [7].

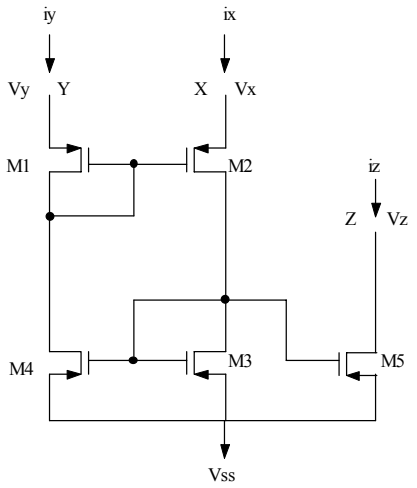


Figura 2.4: Convertidor de corriente realizado con transistores CMOS.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

2.3 Aplicaciones de los CCI

Una primera aplicación que podemos hacer con los convertidor de corriente de primera generación es un dispositivo de medida de corriente de banda ancha [8]. La impedancia de entrada es menor de un ohmio y el rango de operación se extiende desde DC a 100 MHz.

Otra fácil aplicación de los CCI es un convertidor de impedancia negativa (NIC) [9]. Para esta aplicación el terminal Z se conecta a tierra y la resistencia que queremos convertir estará conectada entre X y tierra o entre el puerto Y y tierra.

Por último, una estructura que también se puede llevar a cabo utilizando estos convertidores de corriente es un buffer de corriente de alta velocidad [6].

2.4 Convertidores de corriente de Segunda Generación (CCII)

Para incrementar la versatilidad de los convertidores de corriente, una segunda versión en la cual en el puerto Y no aparezca corriente fue introducida en 1968 [2]. Utilizando el mismo diagrama de bloques de la Figura 2.1, el CCII está descrito por la siguiente matriz:

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \tag{2.2}$$

El terminal Y presenta una impedancia de entrada infinita y el terminal X tiene impedancia de entrada cero. La corriente en el terminal Z (alta impedancia de salida) es la misma que la de X con polaridad positiva (CCII+) o negativa (CCII-). En la figura 2.5 podemos observar la representación del circuito equivalente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

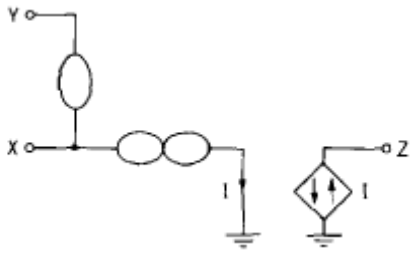


Figura 2.5: Circuito equivalente de un convertidor de corriente de segunda generación.

Un ejemplo de realización de convertidores de corriente de segunda generación es el que se presenta en la figura 2.6 [2].

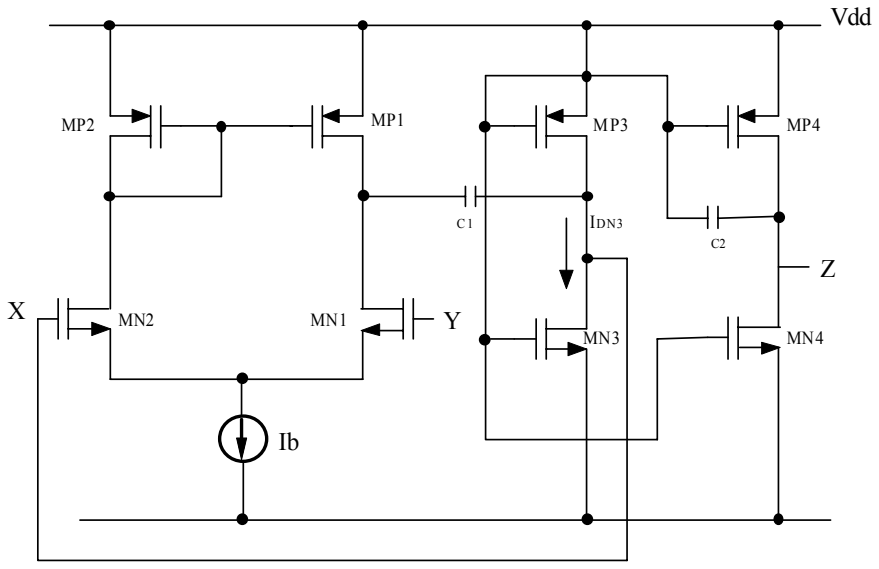


Figura 2.6: Ejemplo de convertidor de corriente de segunda generación.

Otra estructura válida es la de la figura siguiente (figura 2.7) [2].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

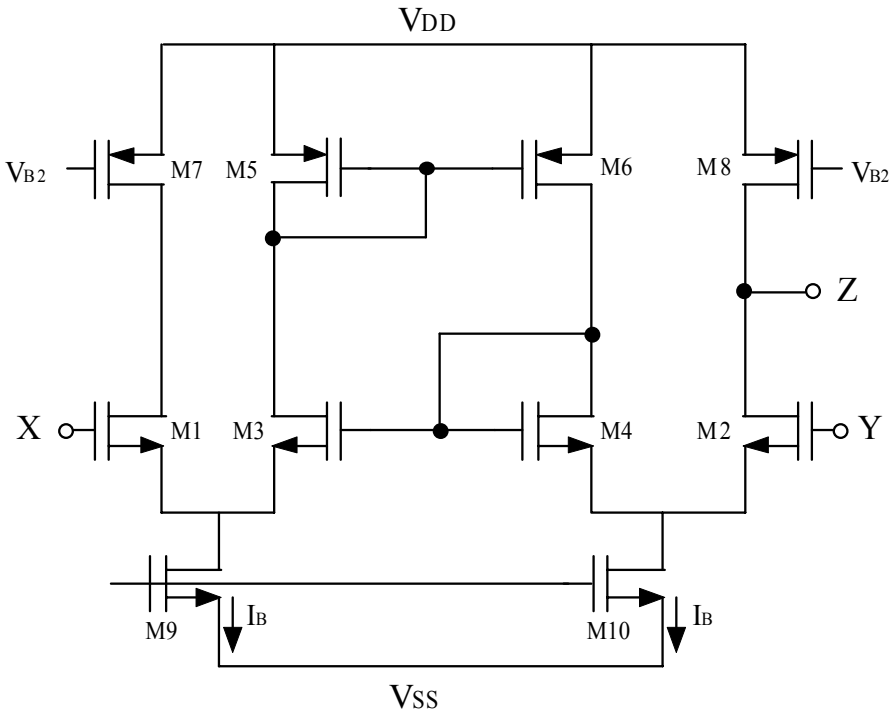


Figura 2.7: Otra posible implementación de un convertidor de corriente de segunda generación.

2.5 Aplicaciones de los CCII

Como ya se vio en el caso anterior, las aplicaciones posibles con esta estructura son varias como pueden ser fuentes controlables, convertidores de impedancia, giradores, etc [24]. En la tabla de la figura 2.8 se muestra las diferentes aplicaciones así como los diagramas de conexión.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

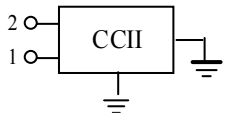
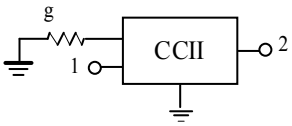
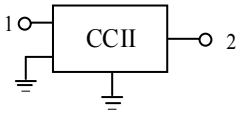
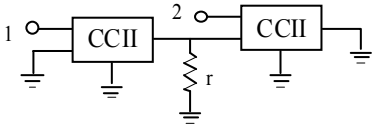
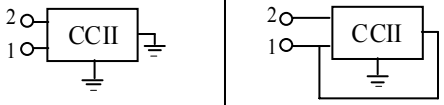
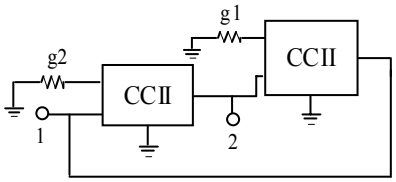
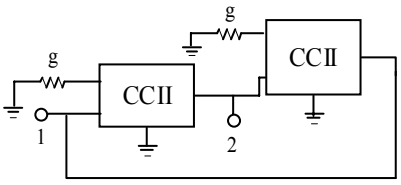
	Caracterización	Realización usando convertidores de corriente
Fuente de Tensión controlada por tensión	$G=\begin{bmatrix} 0 & 0 \\ 1 & 0 \end{bmatrix}$	
Fuente de Corriente controlada por tensión	$Y=\begin{bmatrix} 0 & 0 \\ g & 0 \end{bmatrix}$	
Fuente de Corriente controlada por corriente	$H=\begin{bmatrix} 0 & 0 \\ 1 & 0 \end{bmatrix}$	
Fuente de Tensión controlada por corriente	$Y=\begin{bmatrix} U & 0 \\ r & 0 \end{bmatrix}$	
NIC	$G=\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$	
NIV	$Y=\begin{bmatrix} 0 & g1 \\ g2 & 0 \end{bmatrix}$	
Girador	$Y=\begin{bmatrix} 0 & -g \\ g & 0 \end{bmatrix}$	

Figura 2.8: Diferentes aplicaciones realizadas con CCII.

También podemos ver la realización de algunas estructuras en las que sustituimos los amplificadores operacionales por convertidores de corriente.

En la figura 2.9 vemos la realización de un filtro paso-bajo Sallen-Key [16].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

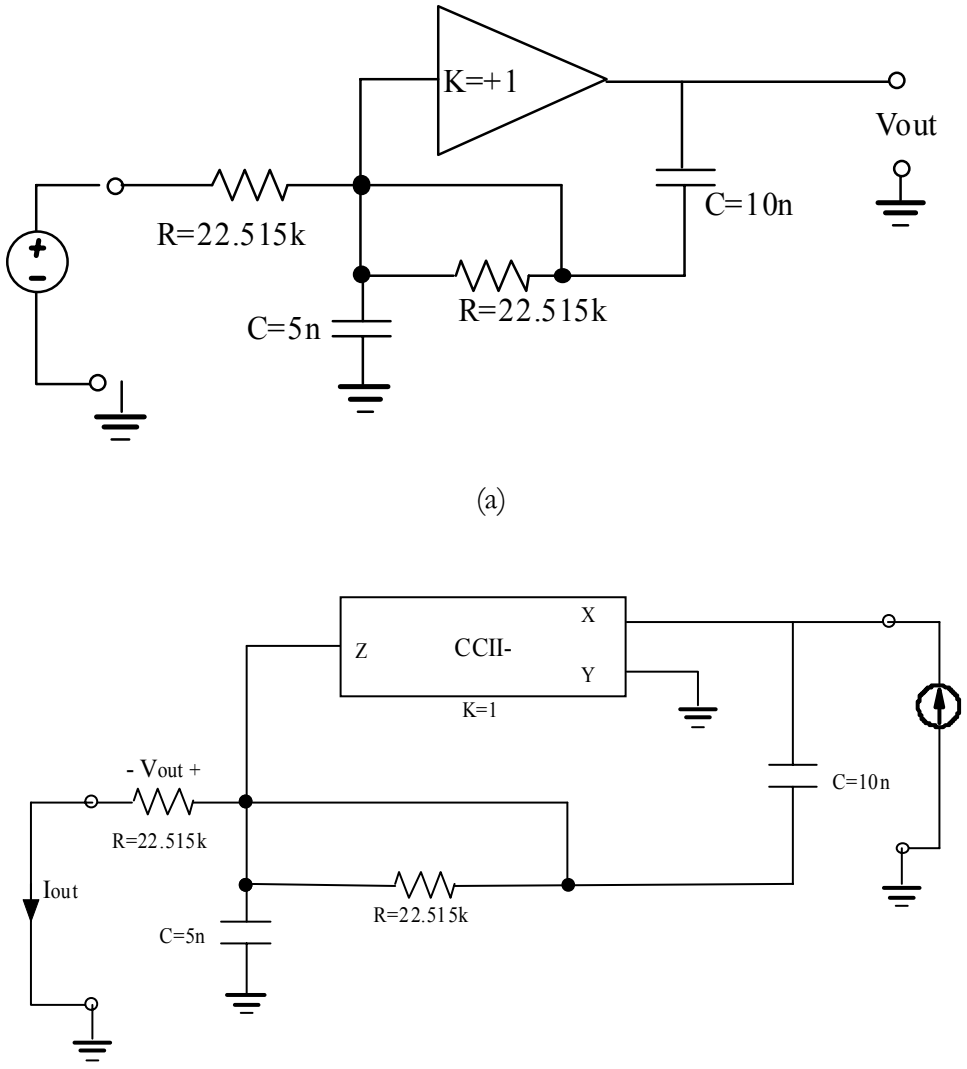


Figura 2.9: Filtro Sallen-Key realizado con amplificadores operacionales (a) y realizado con convertidores de corriente (b).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Otra estructura que podemos analizar es el amplificador de la Figura 2.10 [25].

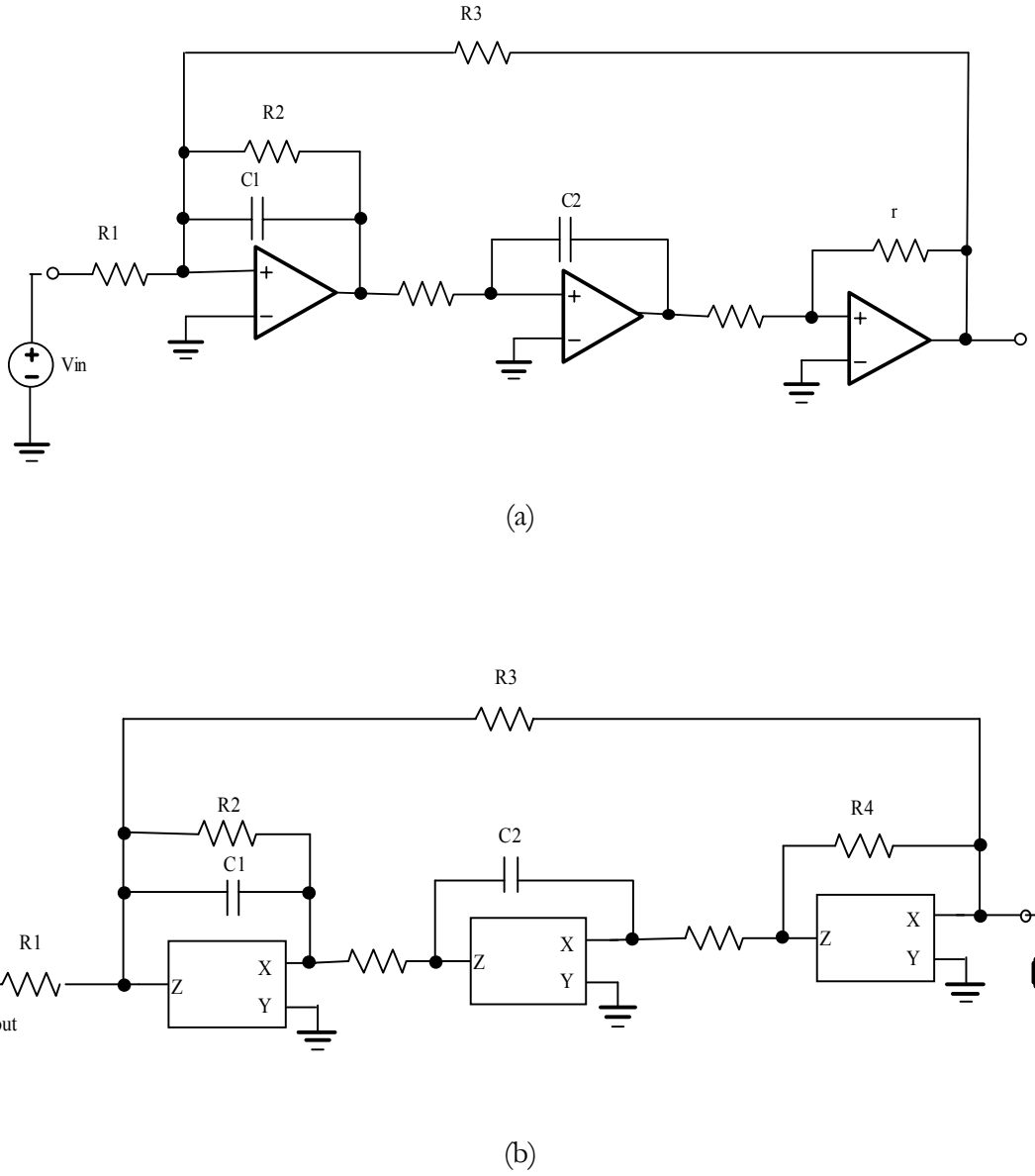


Figura 2.10: Realización de un amplificador Tow-Thomas con amplificadores operacionales (a) y con convertidores de corriente (b).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

2.6 Convertidores de Corriente de Segunda Generación Controlables (CCCII)

Para aumentar las posibilidades de los convertidores de corriente se introdujo una resistencia variable que nos dará la posibilidad de controlar la corriente suministrada al convertidor de corriente. En la figura 2.11 se muestra el circuito equivalente del CCCII ideal [36],[37],[38],[39].

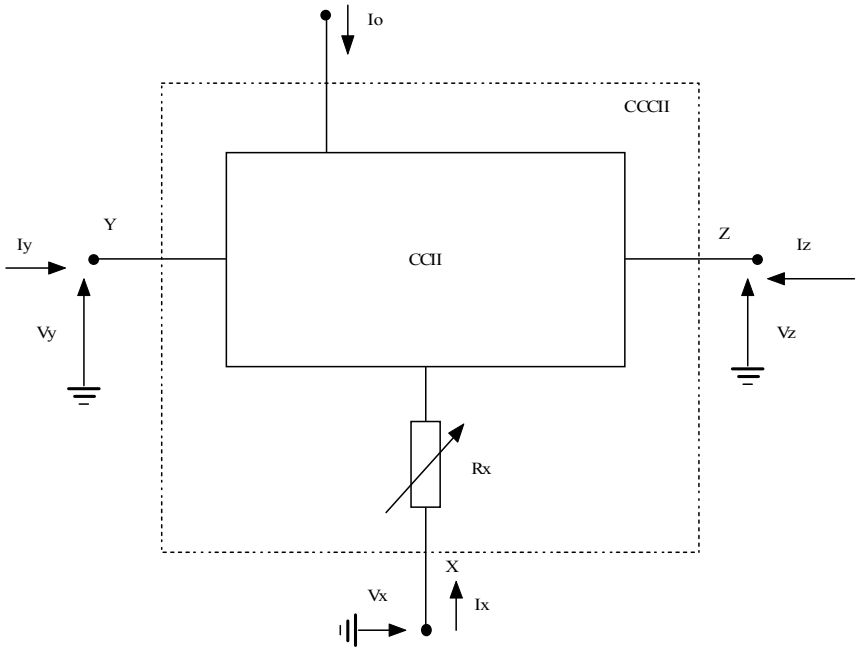


Figura 2.11: Circuito equivalente ideal de la segunda generación de convertidores de corriente controlada.

Matemáticamente las ecuaciones que describen al circuito son las siguientes:

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & Rx & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \tag{2.3}$$

Vemos que en la matriz que describe el funcionamiento de este circuito aparece el valor de la resistencia.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Sabemos que los circuitos reales tienen parásitos asociados. Por eso, vamos a ver un poco mejor el comportamiento del convertidor de corriente controlable de segunda generación viendo el circuito equivalente real en la figura 2.12.

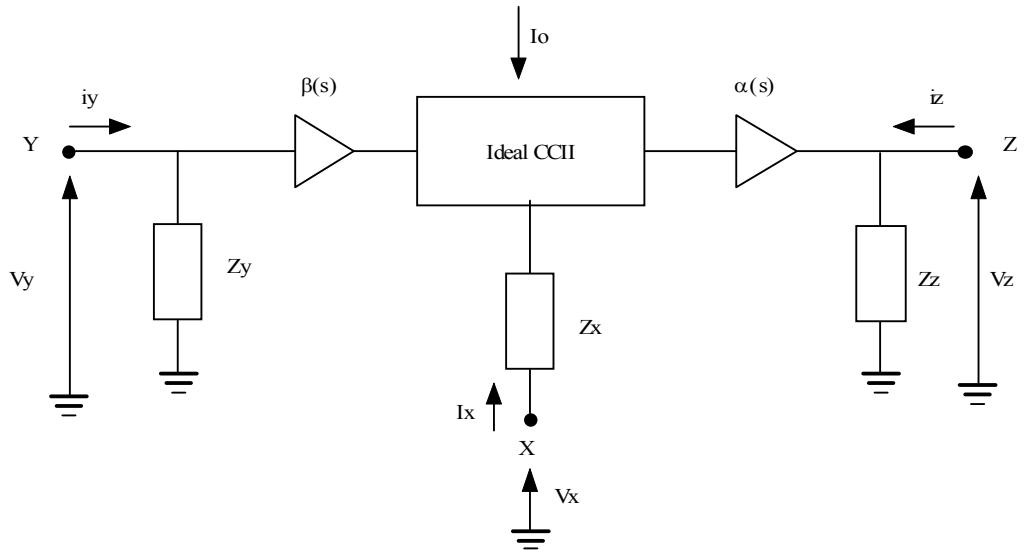


Figura 2.12: Circuito equivalente de un CCCII real.

El circuito ha cambiado por lo que la matriz que define su comportamiento también tendrá que cambiar. Por tanto, la matriz que describe el funcionamiento del circuito equivalente real será:

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta & R_x & 0 \\ 0 & \pm\alpha & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \tag{2.4}$$

Donde los parámetros α y β son las características de transferencia de corriente y tensión. Estos parámetros son próximos a la unidad.

En la figura 2.13 se muestra un ejemplo de implementación de un CCCII que emplea transistores bipolares y CMOS [42].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

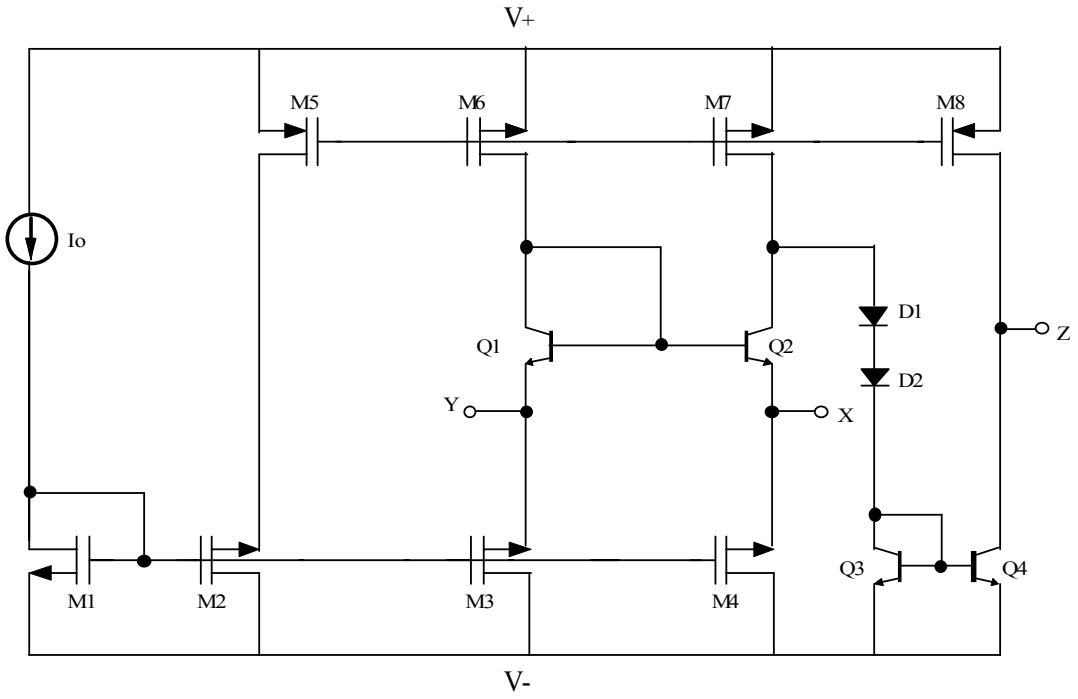


Figura 2.13: CCCII realizado con transistores bipolares y CMOS.

Otra alternativa que podemos usar puede ser la que vemos en la figura 2.14.

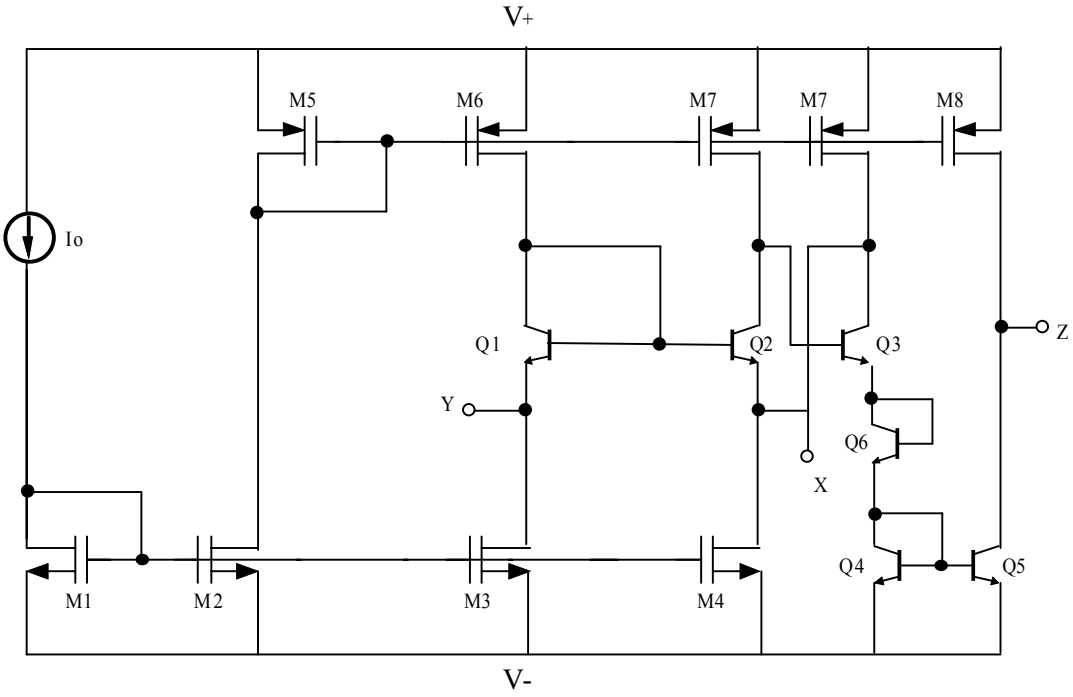


Figura 2.14: Otra posibilidad para realizar un CCCII.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

2.7 Ejemplos de implementaciones hechas con CCCIIs

Siguiendo la misma metodología que usamos en los casos anteriores, en este apartado presentamos algunos ejemplos de diseños hechos con CCCIIs.

En primer lugar veremos un amplificador de tensión y otro de corriente cuyas ganancias son controladas por corriente y, posteriormente, veremos la implementación de un filtro paso banda de segundo orden. El circuito del convertidor de corriente utilizado para los tres ejemplos es el de la figura 2.15 [42].

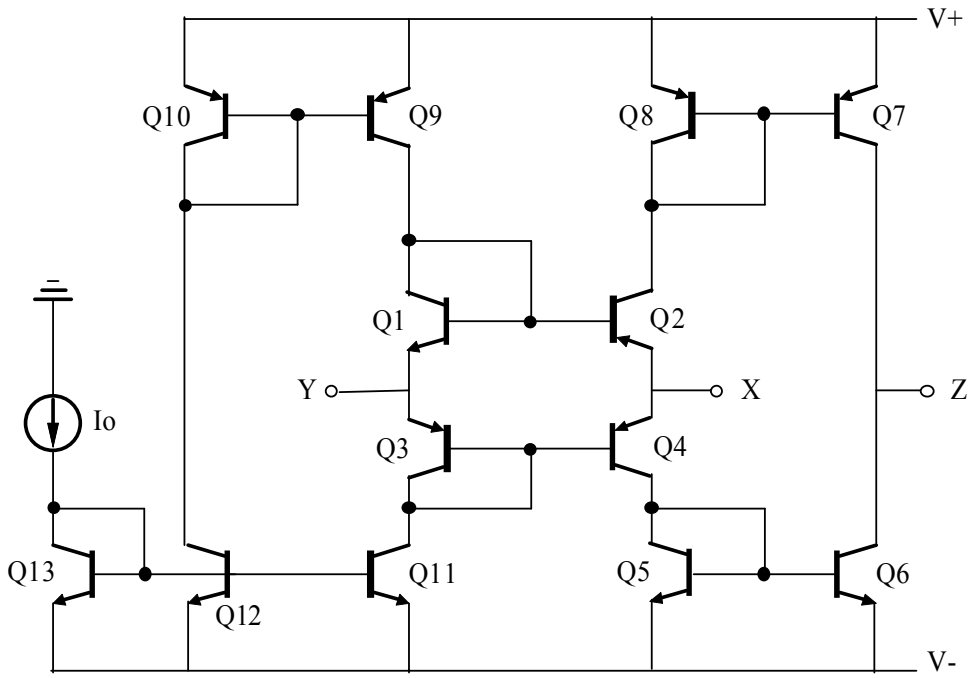


Figura 2.15: Circuito de convertidor de corriente usado para implementar diferentes circuitos como puede ser amplificadores y filtros.

El esquema utilizado para implementar el amplificador de tensión es el de la figura 2.16.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

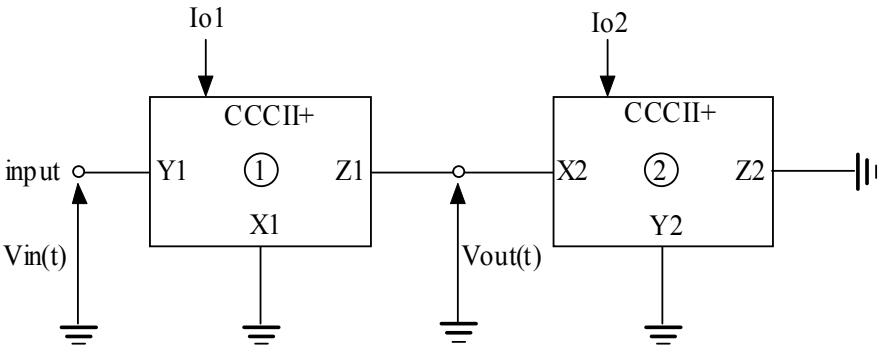


Figura 2.16: Amplificador de tensión realizado con CCCII+.

La función de transferencia del amplificador es:

$$G_V = \frac{V_{out}}{V_{in}} = \frac{R_{x2}}{R_{x1}} = \frac{I_{o1}}{I_{o2}} \tag{2.5}$$

Los resultados obtenidos en ganancia y ancho de banda a 3dB son los que se muestran en la figura 2.17

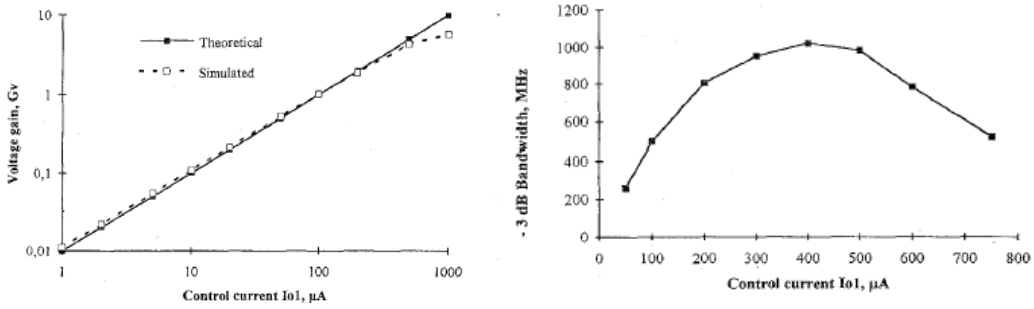


Figura 2.17: Ganancia de tensión y Ancho de Banda a 3dB.

También se puede hacer un amplificador, pero de corriente. En este caso, la estructura empleada es la de la figura 2.18.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

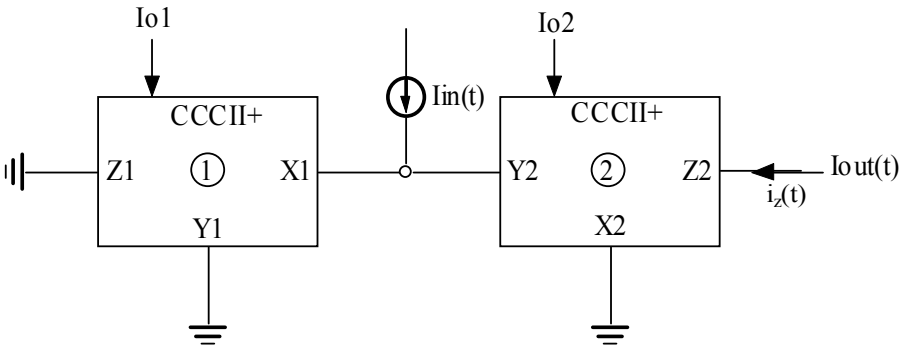


Figura 2.18: Amplificador de corriente realizado con CCCII+.

La función de transferencia que define su comportamiento es:

$$G_i = \frac{I_{out}}{I_{in}} = \frac{R_{x1}}{R_{x2}} = -\frac{I_{o2}}{I_{o1}} \tag{2.6}$$

Los resultados de ganancia y ancho de banda se muestran en la figura 2.19

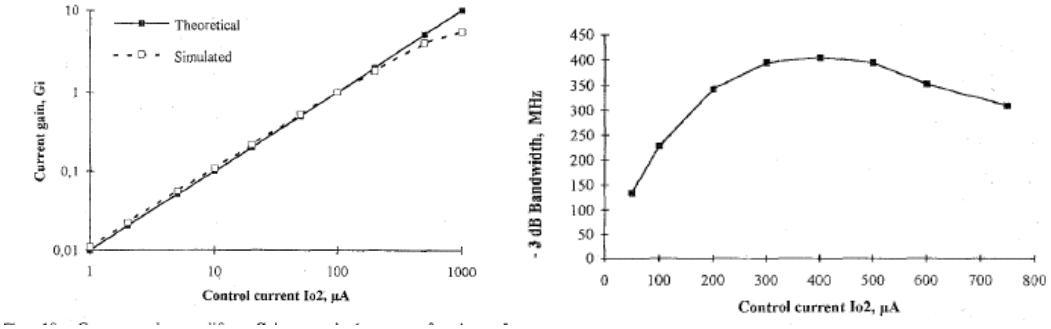


Figura 2.19: Ganancia y Ancho de Banda a 3 dB.

Para la realización de un filtro paso-banda de segundo orden la implementación usada es la de la figura 2.20.

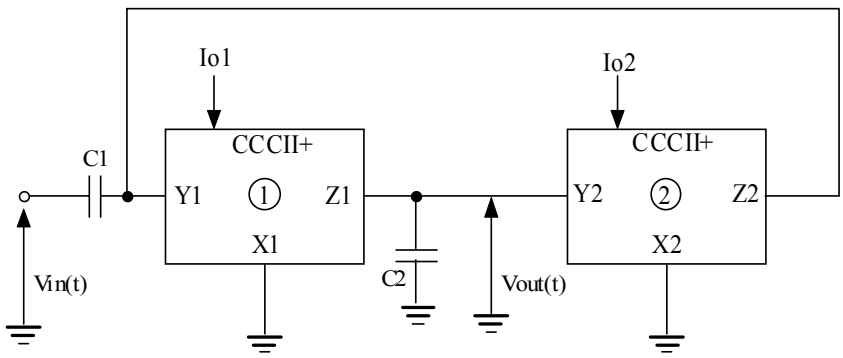


Figura 2.20: Realización de un filtro empleando CCCII+.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Donde la función de transferencia viene definida por la siguiente expresión

$$F(s) = \frac{V_{out}}{V_{in}}(s) = \frac{R_x C_1 s}{1 + R_x C_1 s + R_x{}^2 C_1 C_2 s^2}$$

$$\omega_0 = \left\{ R_x \left(C_1 C_2 \right)^{1/2} \right\}^{-1} \tag{2.7}$$

$$Q = \left(C_2 / C_1 \right)^{1/2}$$

Los resultados de la simulación se muestran en la figura 2.21.

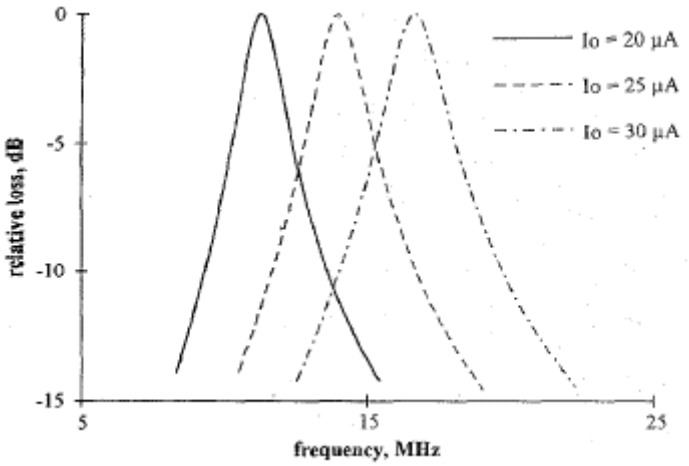


Figura 2.21: Resultados de la respuesta en frecuencia del filtro para varios valores de corriente y con un valor de condensador C1=4pFy C2=100pF. Además se emplea una tensión V+=-V-=2.5v.

Otro tipo de estructura que también se puede realizar es un oscilador senoidal multifase implementado con CCCII translineales basados en transistores bipolares. En este caso, el diseño usado para implementar el convertidor de corriente es el propuesto en la figura 2.22 [42].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

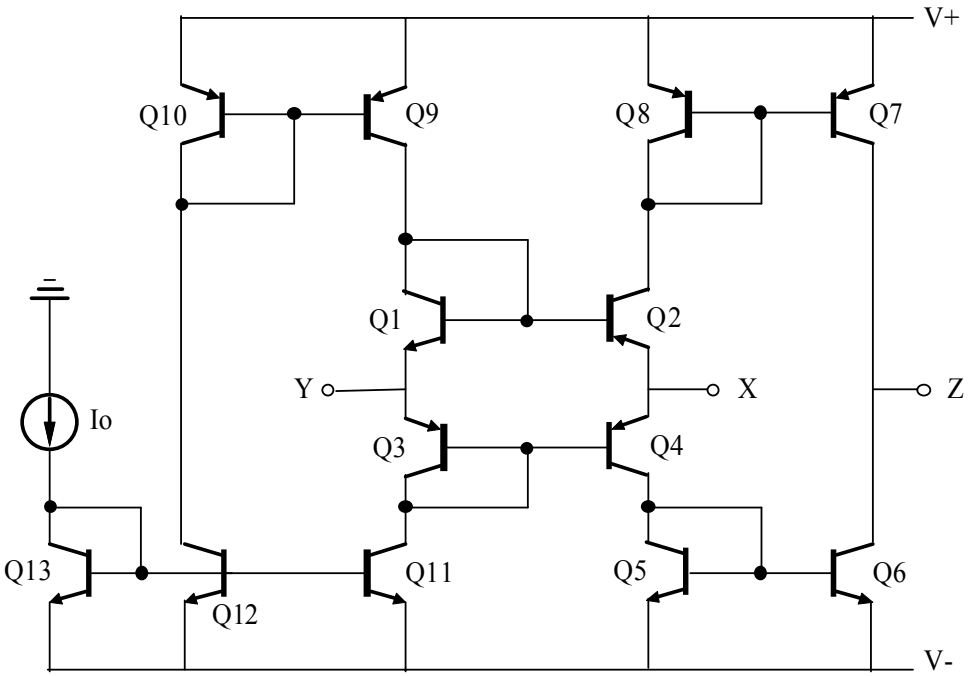


Figura 2.22: Realización de un CCCII.

Este circuito lo podemos hacer con múltiples salidas añadiendo espejos de corriente. La estructura queda de la siguiente manera (figura 2.23).

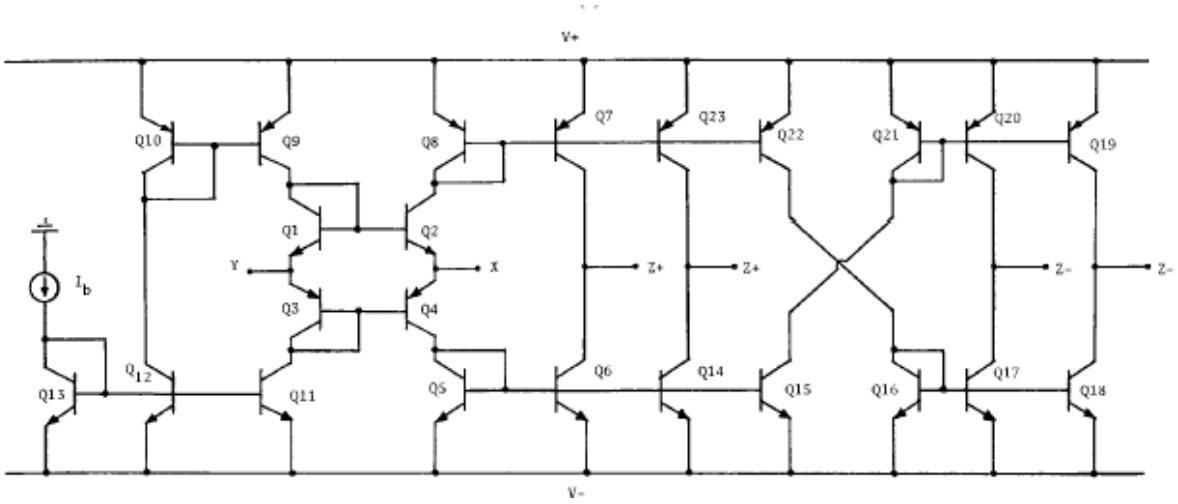


Figura 2.23: Realización de un CCCII con múltiples salidas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El oscilador realizado con convertidores de corriente tendrá la forma mostrada en la figura 2.24.

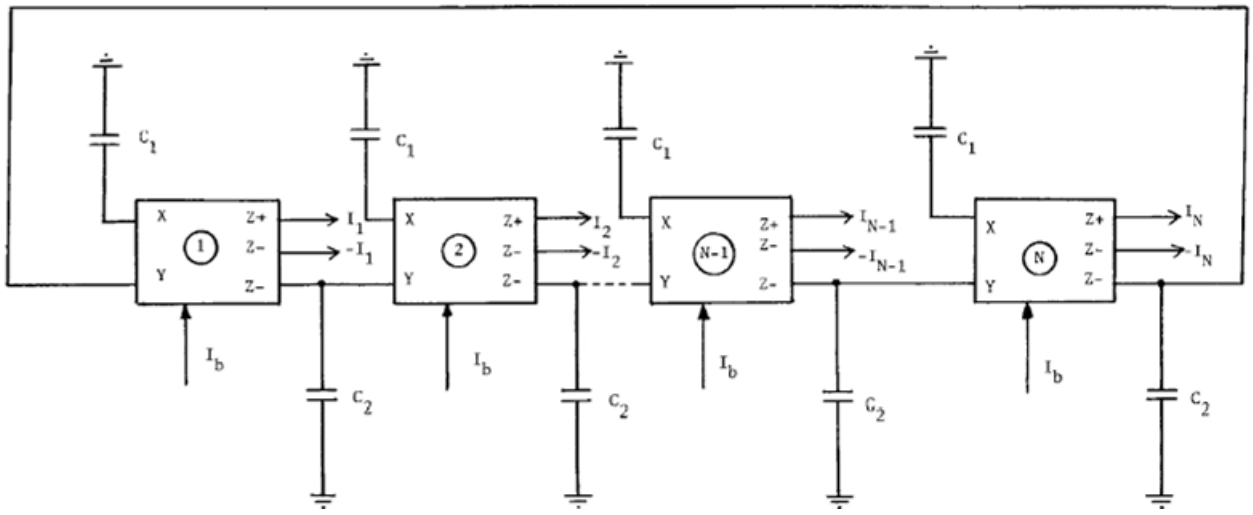


Figura 2.24: Implementación de un oscilador usando convertidores de corriente de segunda generación.

Este oscilador presentará la siguiente función de transferencia:

$$L(s) = -\left(\frac{\alpha\beta \dfrac{C_1}{C_2}}{1 + sC_1R_x} \right)^N \tag{2.8}$$

Donde, dependiendo del valor de las variables tendremos las diferentes frecuencias y condiciones de oscilación. Éstas vienen definidas por la siguiente tabla:

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 2.1: Frecuencia y condición de oscilación del oscilador presentando en la figura 2.24

Número de fases (N)	Condición del oscilación	Frecuencia de oscilación (ω_0)
3	$\alpha\beta C_1=2C_2$	$1.732/C_1R_x$
4	$\alpha\beta C_1=1.414C_2$	$1/C_1R_x$
5	$\alpha\beta C_1=1.237C_2$	$0.728/C_1R_x$
6	$\alpha\beta C_1=1.154C_2$	$0.577/C_1R_x$
7	$\alpha\beta C_1=1.11C_2$	$0.482/C_1R_x$
8	$\alpha\beta C_1=1.082C_2$	$0.414/C_1R_x$
9	$\alpha\beta C_1=1.063C_2$	$0.364/C_1R_x$

Y si se simula este circuito se obtendrán los resultados mostrados en la figura 2.25.

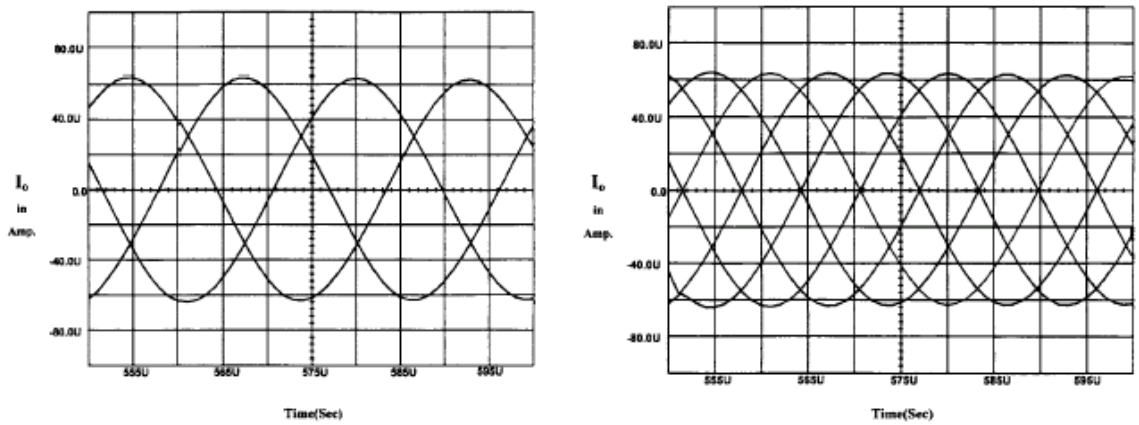


Figura 2.25: Resultados de las simulaciones usando C1=41.5 nF, C2=20nF y Ib=50μA. En la primera imagen se observa un oscilador de tres fases y en la siguiente una oscilación de seis fases.

Se pueden realizar muchas más estructuras pero hemos puesto sólo unos ejemplos para no extendernos mucho ya que la idea que se pretendía era demostrar la versatilidad de estos dispositivos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

2.8 Conclusiones

Como se ha visto a lo largo de este capítulo los convertidores de corriente son estructuras muy válidas y que hasta ahora no han sido lo suficientemente estudiadas. Su empleo puede simplificar muchos circuitos y nos abre un abanico muy amplio de posibilidades. Se ha podido observar que los diseños que se pueden realizar son varios y de diferentes tipos. Para este proyecto se tratará de utilizar estos convertidores de corriente para realizar una de las partes más importantes de los sistemas de recepción vistos en el capítulo anterior, los amplificadores de bajo ruido (LNA).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 3

Características de los LNAs

En el capítulo anterior se ha analizado los convertidores de corriente y se han expuesto diferentes estructuras que se pueden realizar con estos dispositivos.

Lo que se pretende realizar en este capítulo es ver en primer lugar diferentes estructuras utilizadas en la actualidad para llevar a cabo los amplificadores de bajo ruido (LNA) y después se presentará la alternativa propuesta en este proyecto para realizar los amplificadores usando los convertidores de corriente en lugar de las configuraciones tradicionales.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.1 Topologías de LNA

3.1.1 Amplificador en configuración emisor común

La configuración más básica de LNA es la denominada emisor-común, tal y como se ve en la figura 3.1.

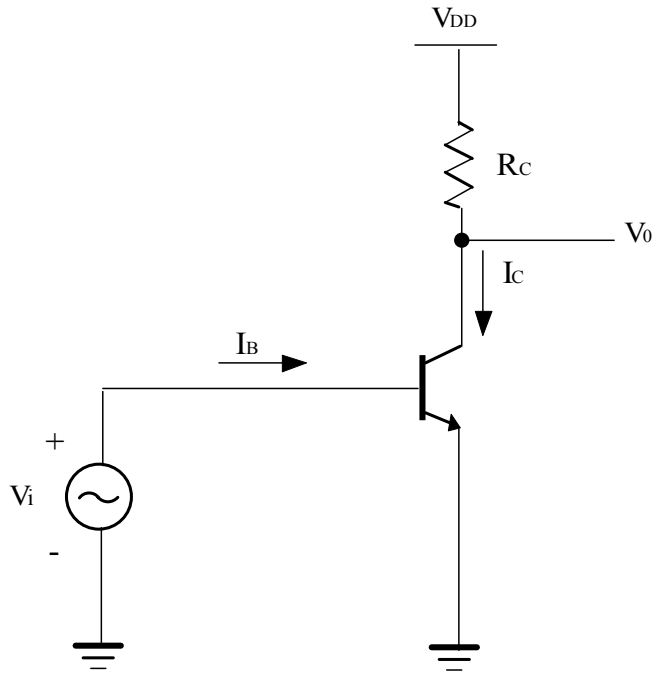


Figura 3.1 Amplificador en configuración emisor común.

Si aplicamos una corriente de polarización I_B, la ganancia de tensión aproximada de este amplificador está dada por la ecuación (3.1):

$$A_{VS} = \frac{V_o}{V_i} \approx -\frac{R_C}{r'_e} \tag{3.1}$$

Como ya comentamos en anteriores capítulos, la contribución de ruido de un LNA debe ser la menor posible, por lo que el diseño de todos sus componentes y de la etapa de polarización debe seguir una metodología apropiada para minimizarlo [26], [27], [28], [29].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la figura 3.2 podemos observar nuestro amplificador emisor común con el circuito de polarización comúnmente empleado en RF. En ella se puede apreciar que Q_2 e I_{BIAS} generan la corriente de alimentación del transistor Q_1. La resistencia R_1 aísla la señal entrante de RF del ruido generado por Q_2. Por otro lado, la resistencia R_2 mantiene la misma caída de voltaje que R_1, dando por resultado una corriente de base fija y finita en Q_1.

Si R_1 es suficientemente más grande que R_S, el efecto del circuito de polarización puede despreciarse sobre el funcionamiento del LNA. De acuerdo con esta premisa, podemos hacer un estudio del ruido que afecta a nuestro amplificador. Para ello, nos basaremos en el esquema mostrado en las figuras 3.3a y 3.3b.

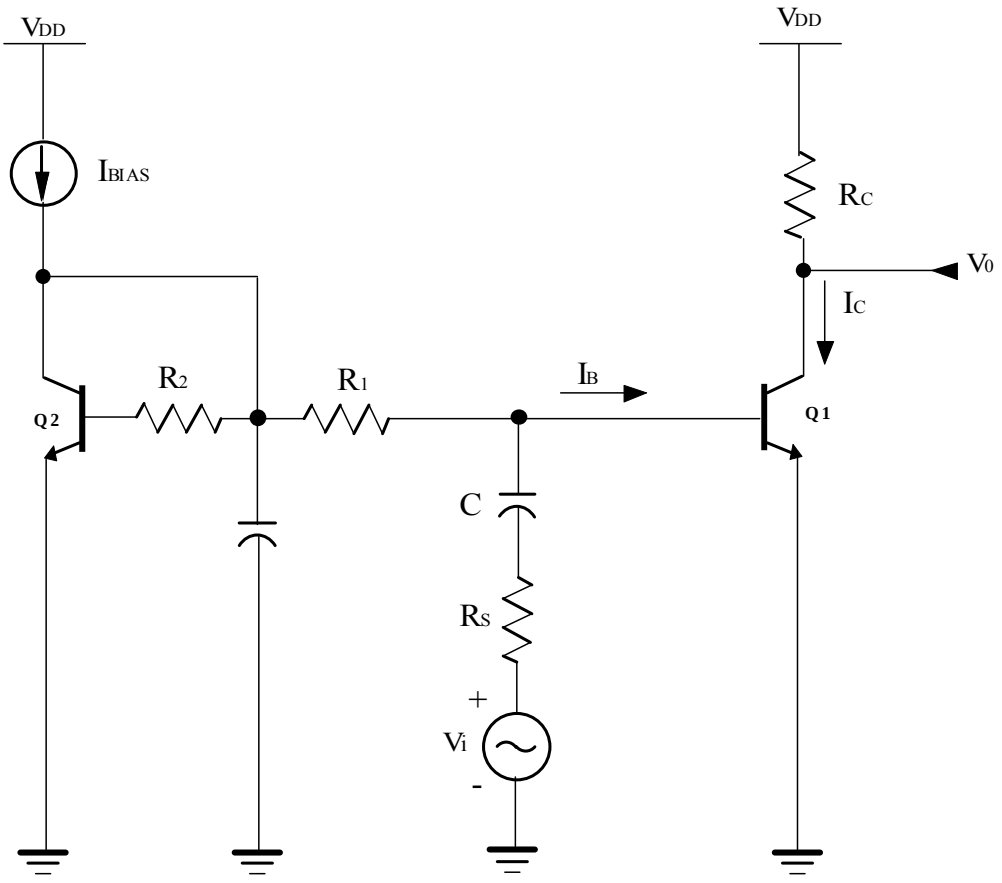


Figura 3.2 LNA en configuración emisor común con circuito de polarización.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

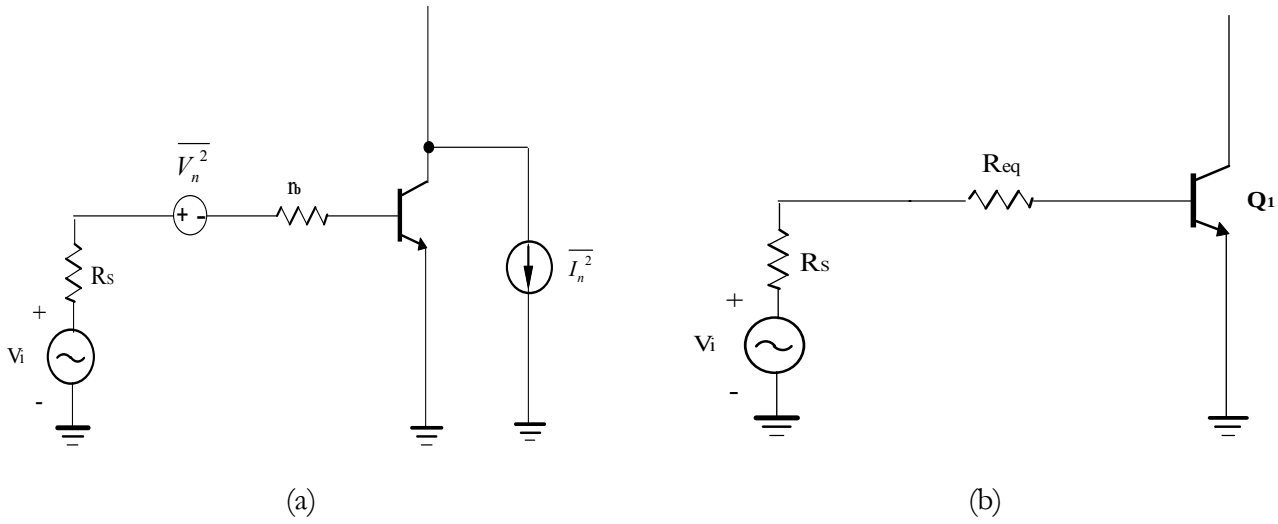


Figura 3.3 a) Modelo exhaustivo del ruido. b) Modelo equivalente.

Se puede apreciar (véase Fig. 3.3b) que el ruido existente en nuestro amplificador lo hemos sustituido por una resistencia serie R_{eq}, despreciando capacidades parásitas y otras resistencias.

Con esto, podemos ver que la NF del LNA viene dada por la expresión 3.2.

$$NF = 1 + \frac{R_{eq}}{R_S} \tag{3.2}$$

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión $\left(\overline{V_n^2}\right)$ referida a la entrada como:

$$\overline{V_n^2} = 4kT\left(r_b + \frac{1}{2g_m}\right)$$
$$\overline{V_n^2} = 4kT\left(r_b + \frac{V_T}{2I_C}\right) \tag{3.3}$$

Donde T es la temperatura, g_m es la ganancia de transconductancia del transistor, V_T es la tensión térmica (25mV para T=25ºC) e Ic la corriente de colector. Observando las ecuaciones 3.2 y 3.3 se comprueba la relación dada por la ecuación 3.4.

Se aprecia que para reducir la resistencia equivalente (R_{eq}) y por tanto el ruido, el transistor Q_1 debe tener un tamaño grande (r_b pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la R_{eq}.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

$$R_{eq} = r_b + \frac{V_T}{2Ic} \tag{3.4}$$

Sin embargo, el aumentar el tamaño del transistor para reducir la r_b, trae una serie de desventajas. La primera viene dada por el aumento de la capacidad de entrada (tanto la C_{je} como la C_{jc}), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por Q_1 y R_C se haga más patente.

Otra desventaja añadida es debida a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido *shot* de base (*base shot noise*).

Debido a estas dos características, la figura de ruido presenta un mínimo para un determinado tamaño de Q_1 y una determinada corriente de polarización.

Con objeto de obtener una estimación de la figura de ruido mínima y de para qué condiciones se da esta, el siguiente paso que daremos será añadir a nuestro modelo el ruido *shot* de base, tal y como muestra la figura 3.4. Con esto mejoraremos la precisión de la ecuación 3.3. De acuerdo con la mencionada figura, obtenemos la expresión 3.5.

$$\overline{I_n^{\,2}} = 4kT\,\frac{Ic/\beta}{2V_T} \tag{3.5}$$

Para una resistencia de fuente R_S, el ruido total referido a la entrada incluyendo la contribución de dicha resistencia es el dado por la ecuación 3.6

$$\overline{V_{tot}^{\,2}} = 4kT\left(R_S + r_b + \frac{1}{2g_m} + \frac{g_m R_S^{\,2}}{2\beta}\right) \tag{3.6}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

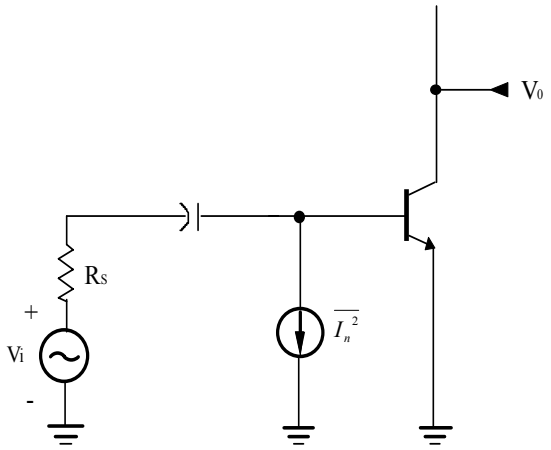


Figura 3.4 Modelo incluyendo el ruido metralla de la base.

donde la correlación entre el ruido *shot* del colector y el ruido *shot* de la base ha sido despreciada. La figura de ruido es por tanto igual a la expresión (3.7).

$$NF = \frac{V_{tot}^{\ 2}}{4kTR_S} = 1 + \frac{r_b}{R_S} + \frac{1}{2g_m R_S} + \frac{g_m R_S}{2\beta} \tag{3.7}$$

Analizando esta expresión, obtenemos que la figura de ruido alcanzará un mínimo para:

$$NF_{\min} = 1 + \sqrt{\left(\frac{1 + 2g_m r_b}{\beta}\right)} \tag{3.8}$$

Siendo la R_S óptima:

$$R_{Sopt} = \sqrt{\frac{\beta(1 + 2g_m r_b)}{g_m}} \tag{3.9}$$

La ecuación 3.9 no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a β el valor dado por la frecuencia de operación, es decir:

$$|\beta| \approx f_T / f \tag{3.10}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

La relación obtenida para R_{Sopt} (ecuación 3.10) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena (R_S) a R_{Sopt}.

3.1.2 LNA de dos etapas

En la figura 3.5 se muestra una topología de LNA basada en la anterior, es decir, el emisor común. En este caso está formada por dos etapas, una de ellas con degeneración inductiva. El uso de la bobina L_e nos permite adaptar la impedancia de entrada a un valor deseado, generalmente 50 **Ω**. Por otro lado, nos ayuda en la linealización del circuito, es decir, en obtener un IIP3 mayor.

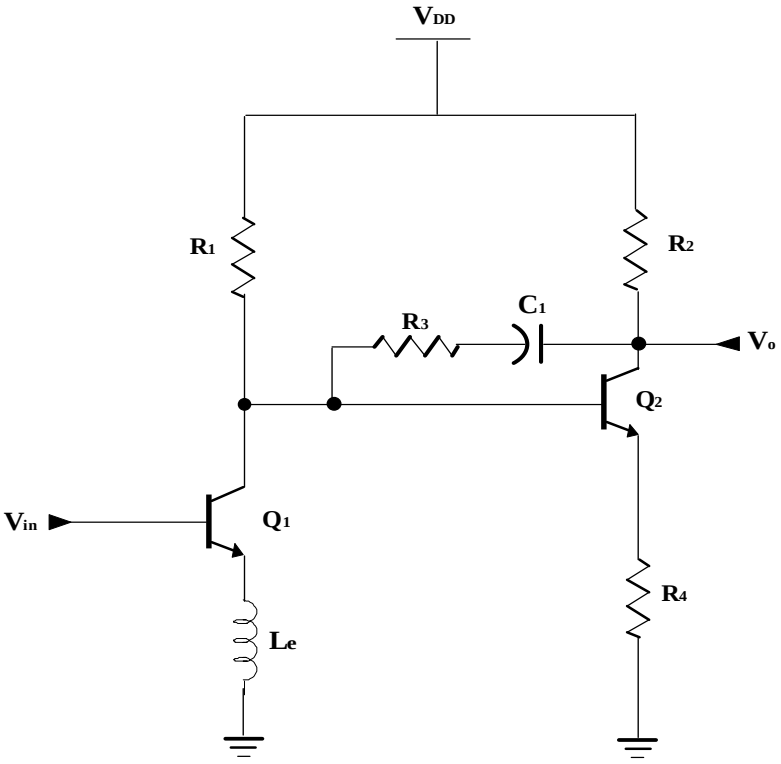


Figura 3.5 LNA de dos etapas.

Podemos escribir la impedancia de entrada del dispositivo tal y como muestra la expresión 3.11.

$$Z_{in} = r_b + \frac{g_m \cdot L_e}{C_\pi} + L_e s + \frac{1}{C_\pi \cdot s} \tag{3.11}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Donde C_π es la capacidad base-emisor. En la ecuación 3.11 hemos despreciado el efecto de C_μ (Capacidad de unión de colector) y R_π (Resistencia base-emisor) debido al pequeño valor que presentan.

Observando nuevamente la ecuación 3.11 se comprueba que con un valor determinado de r_b, g_m, L_e y C_π, podemos hacer que los dos primeros miembros de la ecuación sean igual a 50 **Ω**. Igualmente, podemos hacer que los dos últimos miembros se anulen.

La realimentación en la segunda etapa es utilizada para linealizar el amplificador, así como para obtener una baja impedancia de salida. Sin embargo, esto se consigue introduciendo un alto nivel de ruido. La interacción entre las dos etapas es un ejemplo de un problema común: el nivel apropiado de ganancia de la primera etapa y el ruido y la no linealidad de la segunda. De aquí se deduce que la ganancia introducida por la primera etapa debe ser lo suficientemente grande para minimizar el ruido introducido por la segunda. Sin embargo, podemos empeorar la linealidad del circuito (IIP3), ya que está limitado por la contribución de Q_2.

3.1.3 LNA con realimentación negativa por transformador

Otra topología empleada en el diseño de LNAs es la que se muestra en la figura 3.6. En ella se puede observar que emplea realimentación negativa con un transformador integrado para linealizar el circuito. Con esta configuración el LNA puede operar con tensiones de alimentación inferiores a V_{BE}.

Como ya hemos comentado, el transformador ayuda a linealizar el circuito, ya sea a altas frecuencias como a bajas, así como a estabilizarlo. Sin embargo, esto lo logra reduciendo la ganancia del amplificador.

La adaptación a la entrada se logra con la red formada por la bobina L_1 y el condensador C_1.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

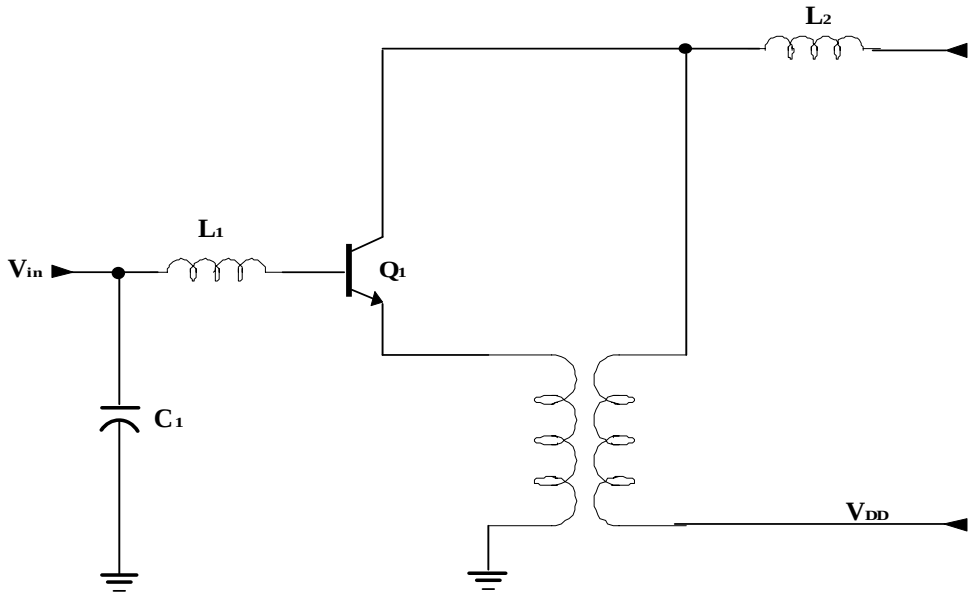


Figura 3.6 LNA con transformador.

3.1.4 Configuración en base común

Esta topología la podemos ver en la figura 3.7. Este circuito ofrece tres grandes ventajas con respecto a la configuración en emisor común: sencilla adaptación a la entrada, gran linealidad y elevado aislamiento inverso. Despreciando la resistencia de base y de emisor, podemos escribir la impedancia de entrada como:

$$Z_{in} = \frac{1}{g_m + C_\pi \cdot s} \tag{3.12}$$

Podemos hacer que la Z_{in} sea 50 Ω simplemente con una I_C=0.5 mA. El efecto de C_π lo podemos eliminar con un inductor externo.

En esta topología, la resistencia de fuente R_S linealiza el funcionamiento del circuito. Esto lo logra reduciendo la excursión de corriente en el emisor. Aquí podemos ver que pasa lo contrario a la configuración emisor común. Esto se debe a que en dicho circuito la resistencia R_S sólo afecta a variaciones de la corriente de base.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

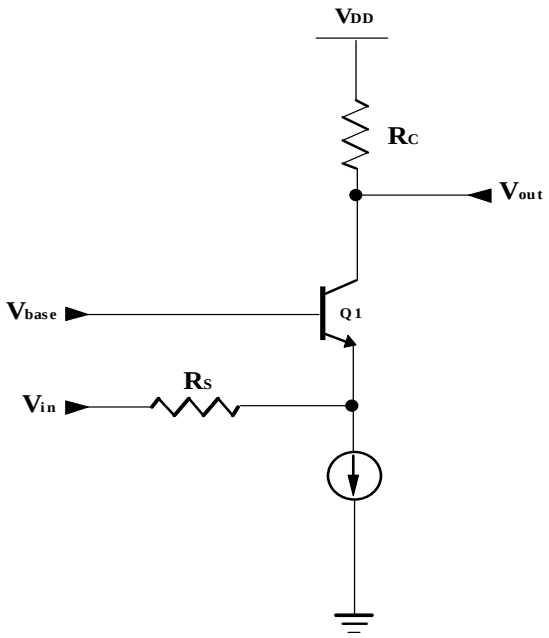


Figura 3.7 Configuración en base común.

Si logramos un nivel de corriente en la base adecuado, podemos obtener un gran aislamiento inverso. Esto se presenta como una opción interesante en sistemas que exijan esta característica, como los receptores homodinos.

A pesar de las ventajas anteriores, el principal problema que exhibe la configuración en base común es la alta figura de ruido que ofrece.

3.1.5 LNA cascodo

Basándose en las configuraciones anteriores, existen otras topologías que añaden diversos componentes para mejorar el rendimiento de los amplificadores. Una de estas configuraciones es la denominada "LNA cascodo", tal y como muestra la figura 3.8.

Esta arquitectura está caracterizada por utilizar una configuración cascodo, la cual consiste en añadir un transistor (Q_2) en configuración base común que nos permitirá aislar la salida de la entrada del circuito. Esto evitará posibles interacciones no deseadas. Otro de los beneficios que presenta es el de reducir la capacidad parásita del transistor Q_1.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

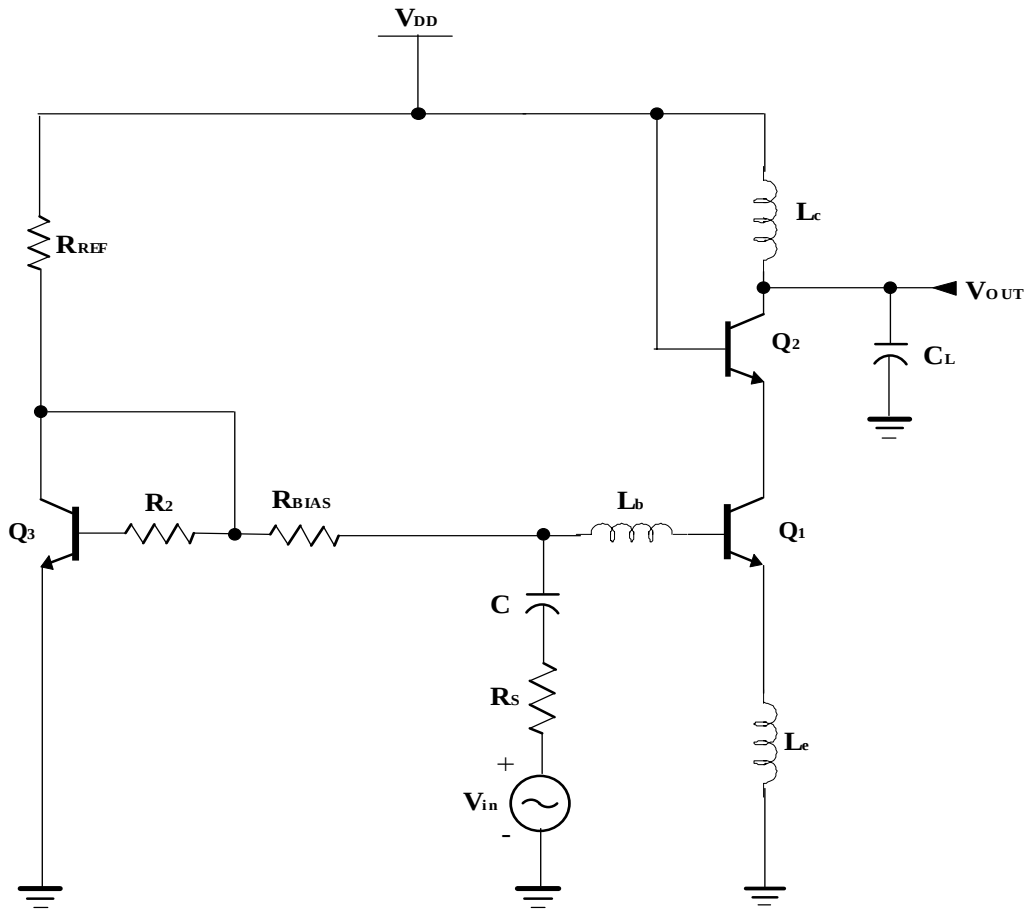


Figura 3.8 LNA Cascodo.

En este circuito, e igual que sucedía con la configuración emisor común, el transistor Q_3 forma una fuente de corriente con Q_1 y tiene una dimensión mucho menor que este último. Con esto logramos reducir el consumo de potencia del circuito. La corriente a través de Q_3 está fijada mediante la resistencia R_{REF}.

La resistencia R_{BIAS} debe ser lo suficientemente grande como para no afectar a la figura de ruido del amplificador. En sistemas donde se requiera una Z_{in} de 50 **Ω**, valores de cientos de Ohms a kOhms son los adecuados para R_{BIAS}.

La bobina L_c y el condensador C_L forman parte de la carga y de la red de adaptación a la salida. Por último, la adaptación a la entrada lo logramos con las bobinas L_b y L_e.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3.2 Amplificador de bajo ruido usando convertidores de corriente

Para la implementación del LNA se han utilizado dos CCCII de transistores BJT conectados de la siguiente manera (figura 3.9). Con ello se consigue una amplificación en tensión como se vio en el capítulo anterior [40],[41],[42].

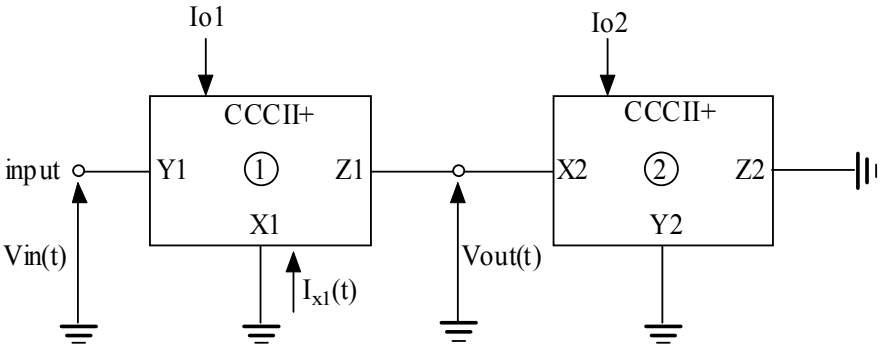


Figura 3.9 Conexión de dos bloques CCCII para que proporcionen una amplificación de tensión.

Con esta conexión de los bloques y teniendo en cuenta las relaciones entre los puertos de los CCCII se tiene que [35],[42],[43]:

$$I_{x1}(t) = -\frac{V_{IN}(t)}{R_{x1}}$$
$$V_{OUT}(t) = -R_{x2} \cdot I_{x1}(t) = \frac{R_{x2}}{R_{x1}} V_{IN}(t) \tag{3.13}$$

La ganancia del circuito quedará en función de la resistencia de salida de ambos bloques y, por tanto, de las corrientes de polarización Io_1 e Io_2.

$$G_V = \frac{V_{out}(t)}{V_{in}(t)} = \frac{I_{o1}}{I_{o2}} \tag{3.14}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El esquema base del CCCII de clase A usado para realizar el amplificador es el siguiente [42] (figura 3.10):

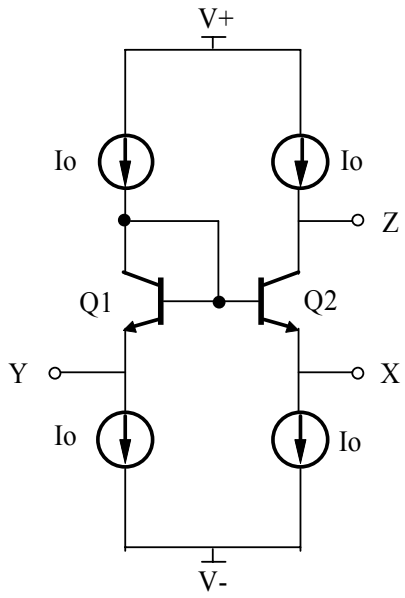


Figura 3.10 Esquema base del CCCII de clase A.

Si unimos los convertidores de corriente como se muestran en la figura 3.9 se obtienen el esquema de la figura 3.11.

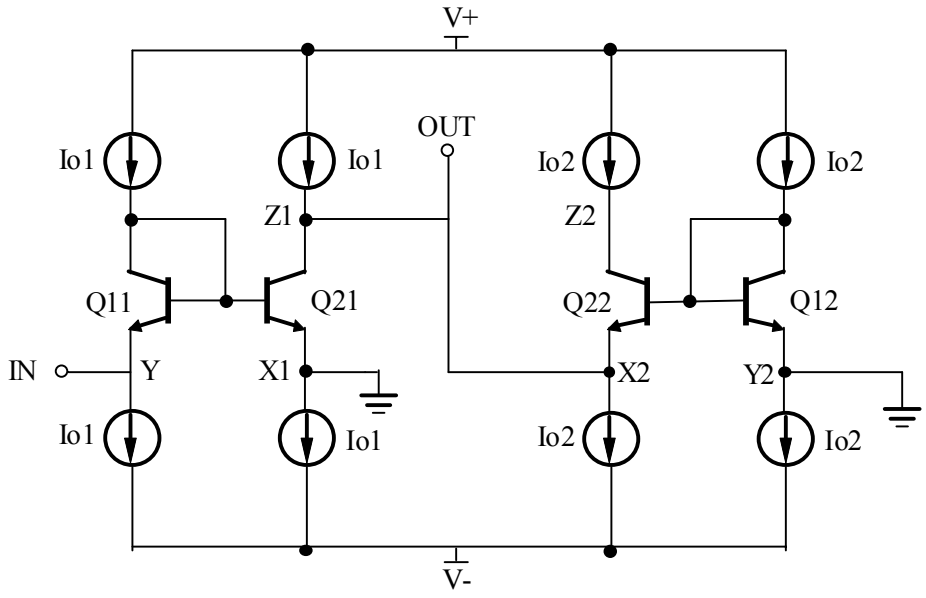


Figura 3.11: Topología de un amplificador de tensión usando dos bloques de convertidores de corriente clase A.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Algunos de los componentes del esquema de la figura 3.11 se pueden eliminar sin que esto suponga una disminución de las prestaciones del circuito [42]. Por ejemplo, la impedancia de entrada se puede disminuir suprimiendo el transistor Q_{11} y sus fuentes asociadas. De esta forma se consigue una mejor adaptación de entrada. El esquema del LNA final se compone de sólo tres transistores bipolares, dos fuentes de corriente para las dos corrientes de polarización Io_1 e Io_2, y 4 espejos de corriente que hacen que se cumplan las relaciones entre los puertos de los CCCII [36].

El esquema del LNA realizado con convertidores de corriente lo podemos observar en la figura 3.12.

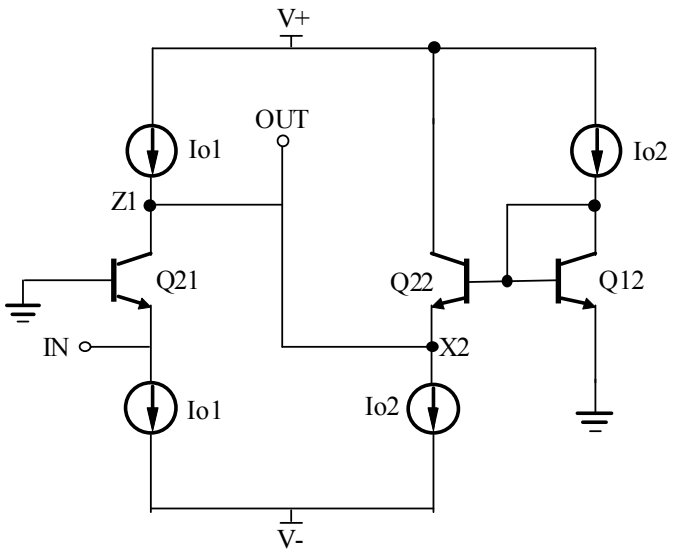


Figura 3.12 Esquema del LNA con las fuentes de corriente ideales.

Una vez vista la estructura de un amplificador de bajo ruido realizado con convertidores de corriente pasamos a sustituir las fuentes de corriente ideales por fuentes reales basadas en espejos de corriente. El esquema del LNA quedará como se ve reflejado en la figura 3.13.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

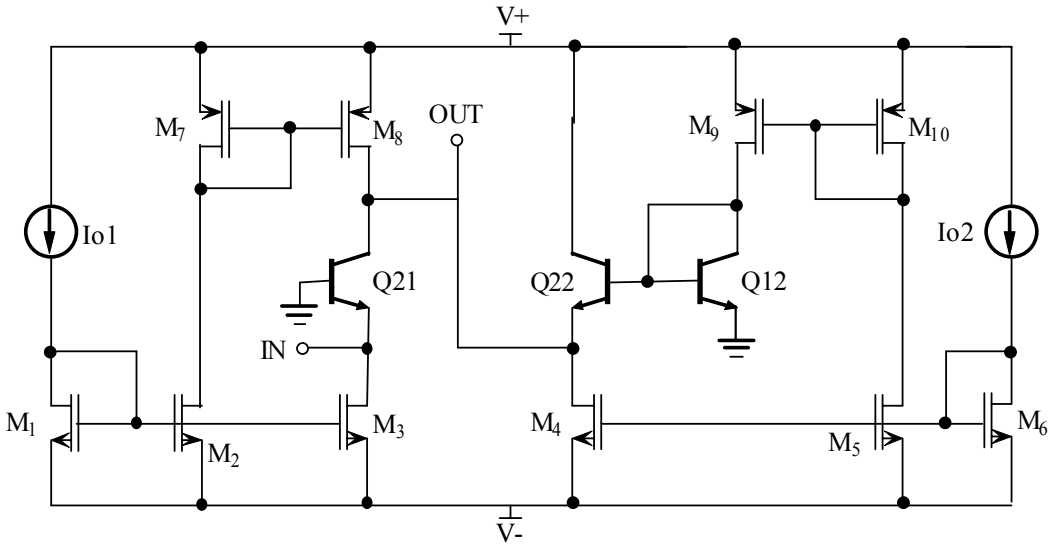


Figura 3.13 Esquema del LNA con las fuentes de corriente reales.

El circuito equivalente del LNA en pequeña señal se muestra en la figura 3.14, donde C_T representa la capacidad total resultante de la conexión en paralelo de C_{SUB21}, C_{DS9} y C_{DS4} de Q_{21}, M_9 y M_4 respectivamente.

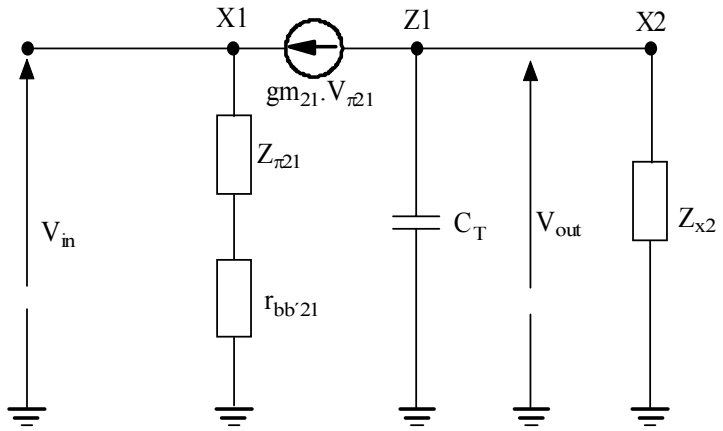


Figura 3.14 Esquema equivalente en pequeña señal del LNA.

La impedancia de entrada del amplificador vendrá dada por la combinación en serie de $Z_{\pi 21}$ y $Rbb_{'21}$. Asumiendo que las resistencias de base de Q_{22} y Q_{12} son lo suficientemente bajas como para no mostrar elementos inductivos, la expresión para la ganancia (3.15) queda de la siguiente manera:

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

$$G(s) = \frac{V_{OUT}}{V_{IN}}(s) = \frac{gm_{21}}{gm_{22} + \left(C_T + 2C\pi_{22} + Csub_{21}\right) \cdot s} \tag{3.15}$$

donde gm_{21} y gm_{22} son las transconductancias de Q_{21} y Q_{22}.

3.3 Conclusiones

Este capítulo ha servido para introducir un pequeño resumen de diferentes diseños que son utilizadas en la actualidad para realizar los amplificadores de bajo ruido (LNA) y para presentar la estructura que se pretende analizar. Se ha expuesto el diseño de LNA realizado con convertidores de corriente con el que se pretende trabajar.

En el siguiente capítulo veremos las características de la tecnología empleada para nuestro trabajo. Esta tecnología es la denominada SiGe 0.35 μm de AMS (*Austria Micro System*). Para ello, estudiaremos uno a uno todos los componentes suministrados por este proceso que entran en juego en el diseño de un LNA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 4

Estudio de la tecnología

En el capítulo anterior, estudiamos las principales características y topologías de los *LNAs*. Este paso será de gran utilidad a la hora de realizar nuestro diseño. Sin embargo, antes de comenzar con él debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología *S35D4* de la fundidora *AMS*. Esta tecnología consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores bipolares de heteroestructura (*HBT*) y *MOSFET*, siendo la longitud de puerta mínima de 0.35 μm. Así mismo la tecnología *S35D4* ofrece librerías de componentes pasivos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.1 Resistencias

4.1.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

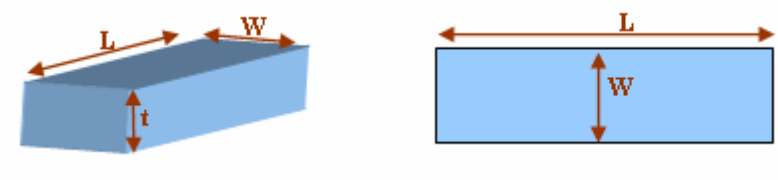


Figura 4.1 Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación (4.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \tag{4.1}$$

Donde los parámetros que intervienen son:

- ρ es la resistividad del material
- t es el espesor del material
- L es la longitud de la pista
- W es la anchura de la pista

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (4.2).

$$R = R_{square} \cdot \frac{W}{L} \tag{4.2}$$

En la ecuación 4.2 R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.1.2 Resistencias en la tecnología S35D4 de AMS

La tecnología *S35D4* de *AMS* presenta dos tipos de resistencias, *RPOLY2* y *RPOLYH*, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la tabla 4.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 4.1 Resistencias incluidas en la tecnología.

RPOLY2				
Parámetro	**Mínimo**	**Típico**	**Máximo**	**Unidad**
Resistencia	40	50	60	$\Omega/\mu m$
Coef. temperatura		0.6		$10^{-3}/K$
Resist. Contacto		20	40	Ω /cnt
Den. Corriente			0.3	$mA/\mu m$

RPOLYH				
Parámetro	**Mínimo**	**Típico**	**Máximo**	**Unidad**
Resistencia	0.9	1.2	1.5	$k\Omega$ /μm
Coef. temperatura		-1.2		$10^{-3}/K$
Resist. Contacto		60	200	Ω /cnt
Den. Corriente			0.3	$mA/\mu m$

En la figura 4.2 se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros de las resistencias.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

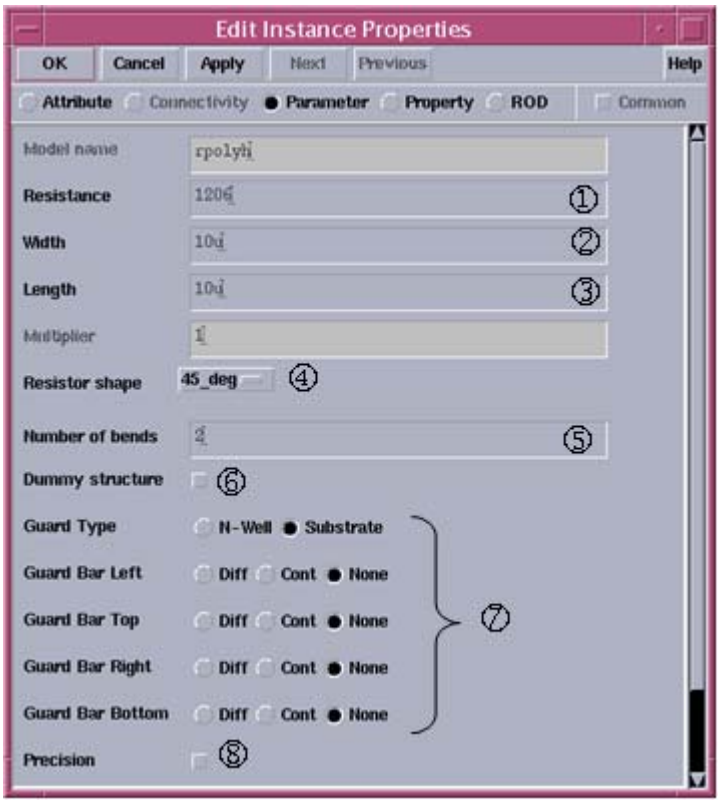


Figura 4.2 Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.

② Ancho de la pista: variando el ancho el *software* determina la longitud para mantener el valor de resistencia establecido.

③ Longitud de la pista.

④ Ángulo de giro.

⑤ Número de dedos empleado para reducir el tamaño de la resistencia.

⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.

⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.

⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

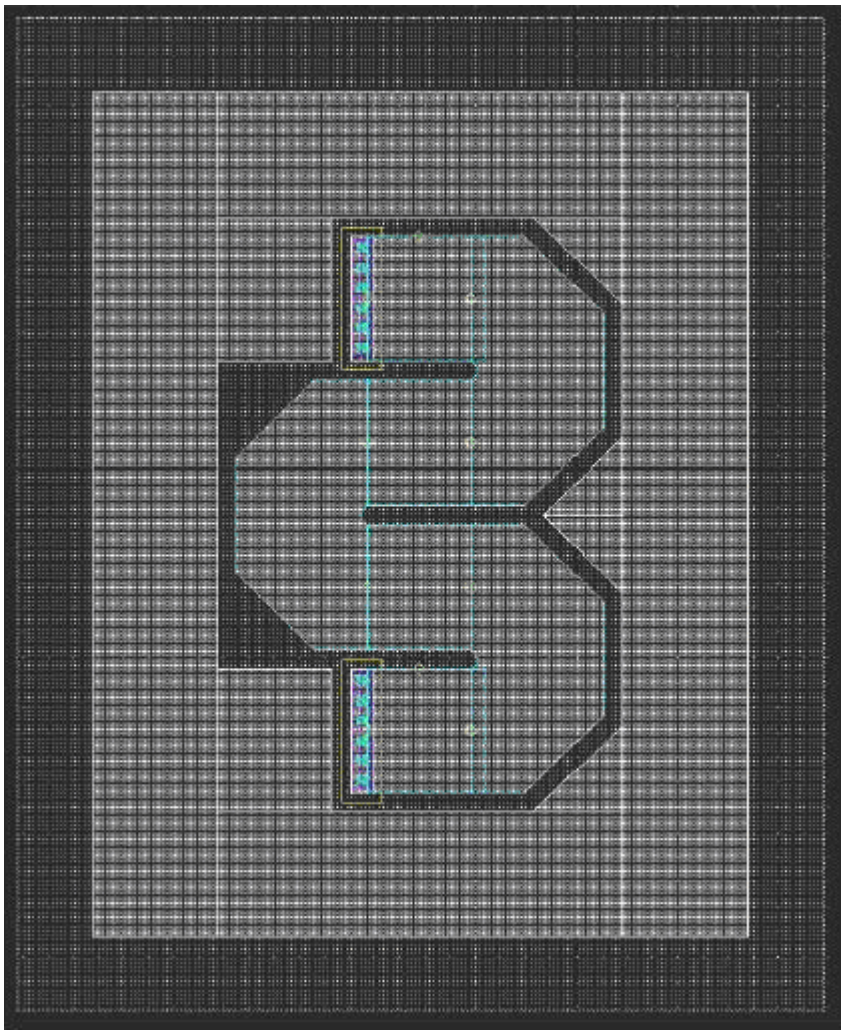


Figura 4.3 Resistencia con estructura Dummies.

En la figura 4.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.2 Condensadores

4.2.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la figura 4.4 se muestra un esquema donde esto queda reflejado.

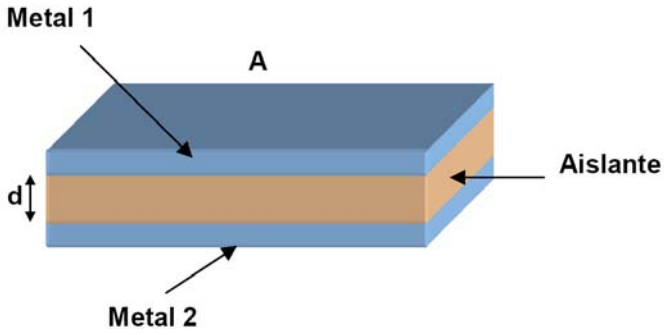


Figura 4.4 Corte de un condensador.

Partiendo de la figura 4.4 el valor de la capacidad del condensador viene dado por la ecuación (4.3).

$$C = \frac{\varepsilon' . \varepsilon_o . A}{d} \tag{4.3}$$

Donde los parámetros que intervienen son:

- ε' es la permitividad relativa del material
- ε_o es la permitividad del vacío
- A es el área de las placas del condensador
- d es la distancia ente las placas del condensador

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.2.2 Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el *CPOLY*, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro lado está el *CMIM*, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor

En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores.

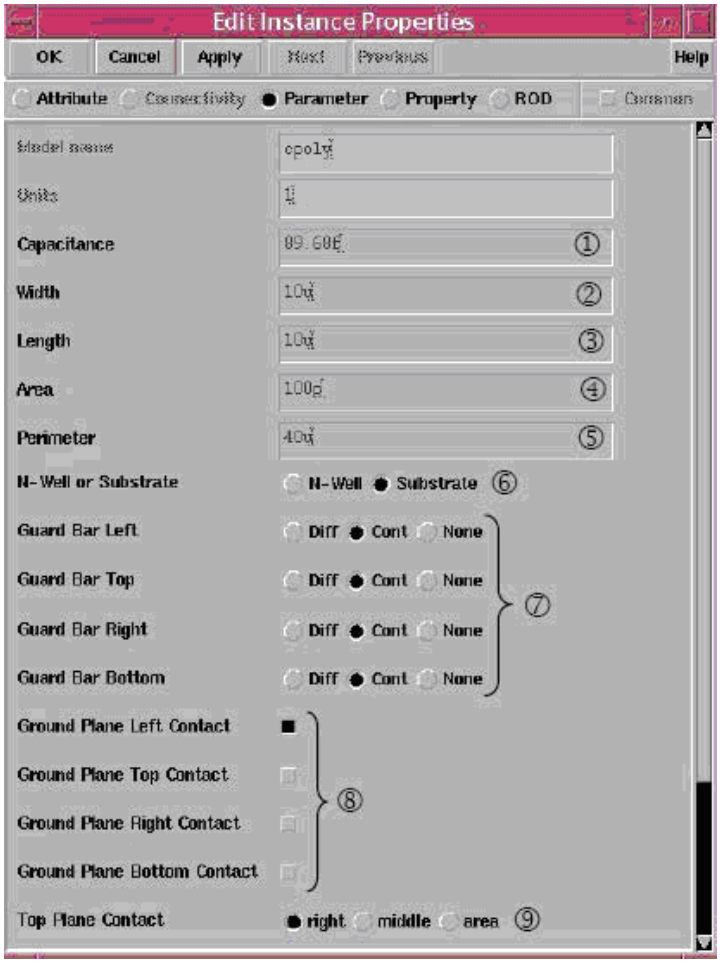


Figura 4.5 Parámetros ajustables en los condensadores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A continuación se detallan los parámetros mostrados en la figura 4.5.

① Valor de la capacidad.

② Ancho del condensador.

③ Longitud del condensador.

④ Área total del condensador.

⑤ Perímetro del condensador.

⑥ Conexión al sustrato o a un pozo tipo N.

⑦ Colocación de anillos de guarda mediante contactos o difusiones.

⑧ Colocación de los contactos de la capa inferior.

⑨ Colocación de los contactos de la capa superior.

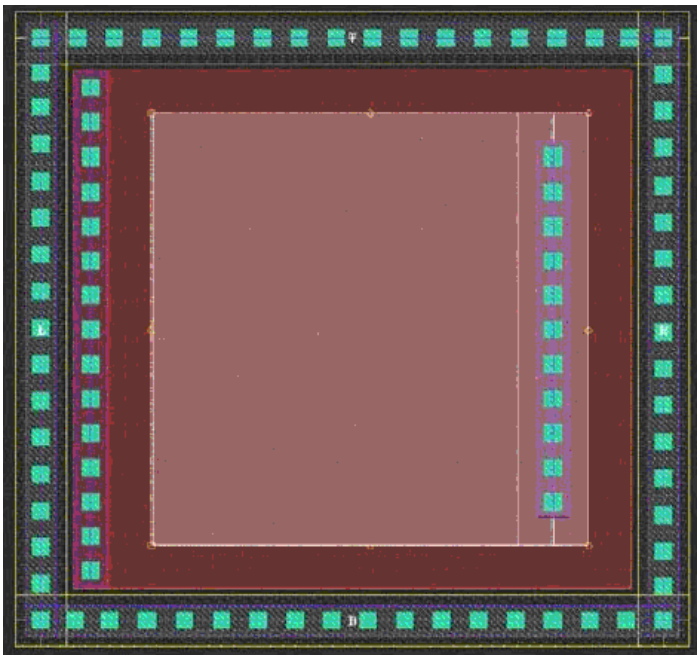


Figura 4.6 Layout de un condensador.

A modo de ejemplo en la figura 4.6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.3 Bobinas

4.3.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio *r*, anchura *w*, separación de las pistas *s* y número de vueltas *n*).

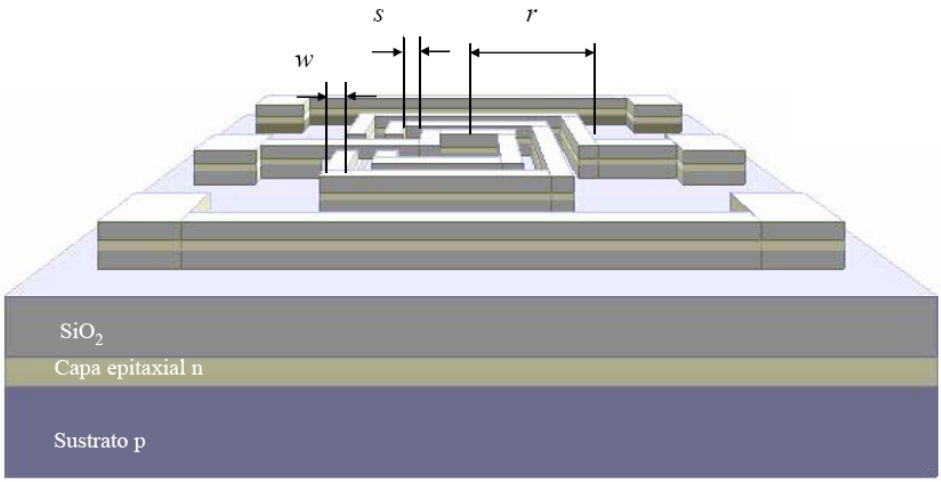


Figura 4.7 Layout de una bobina cuadrada simple.

4.3.2 Funcionamiento

Un inductor se caracteriza por su factor de calidad (ecuación 4.4), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\mathrm{Im}(Y_{11})}{\mathrm{Re}(Y_{11})} \tag{4.4}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) [30] [31] y por las corrientes de torbellino (*eddy currents*) [30] [31] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar. Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la figura 4.8.

- El campo magnético *B(t)* está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como *B(t)* atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.

- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.

- $E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.

- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

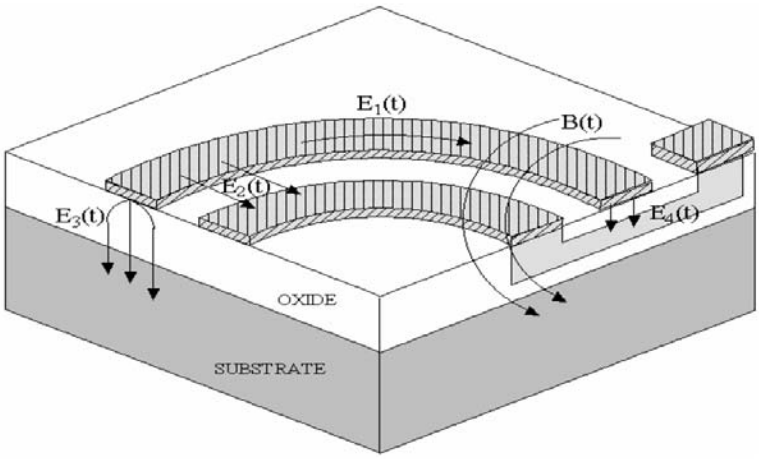


Figura 4.8 Campos eléctricos y magnéticos en un inductor integrado.

4.3.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la figura 4.9. En serie con la inductancia deseada, *Ls*, aparece una resistencia, *Rs*, que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver figura 4.8). El condensador *Cp* da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato.

En particular, los condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. Por último R_{SUB1} y R_{SUB2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la figura 4.9 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{OX1}, C_{SUB1} y R_{SUB1} ligeramente diferentes a los de C_{OX2}, C_{SUB2} y R_{SUB2}.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

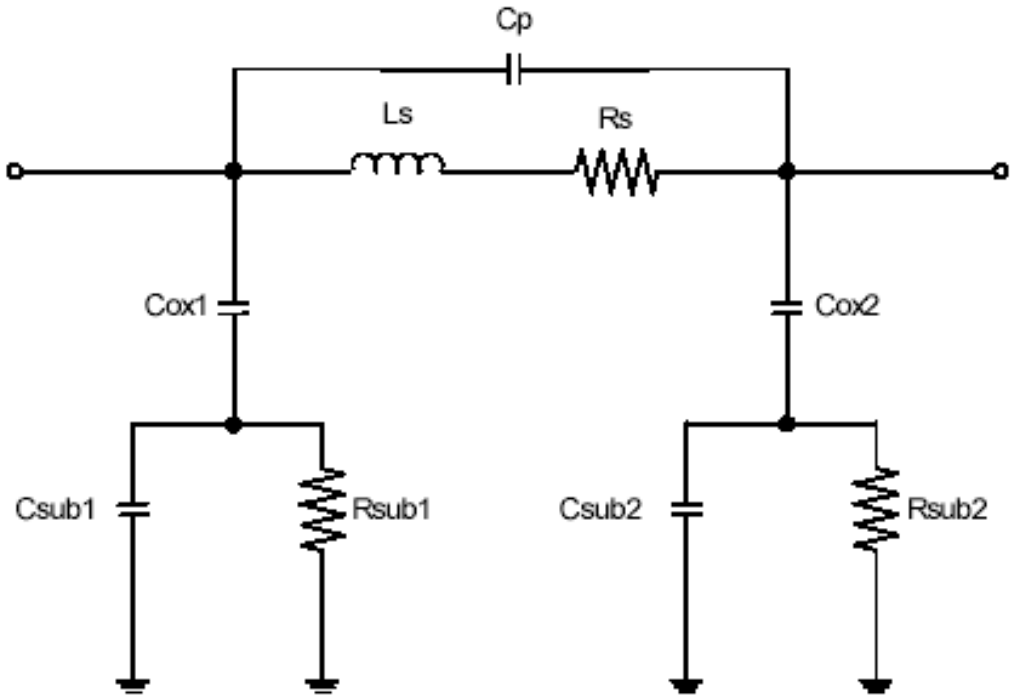


Figura 4.9 Modelo clásico de dos puertos de inductores espirales integrados.

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente.

Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [30].

4.3.4 Bobinas en la tecnología S35D4 de AMS

La tecnología de *AMS* presenta bobinas, pero se optó por usar las bobinas desarrolladas por el *IUMA* ya que presentan factores de calidad mayores que las de *AMS*, alcanzando valores de hasta 13.5 a una frecuencia central de 5.5 GHz [32].

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la figura 4.10 se muestra un ejemplo de las bobinas creadas por el *IUMA*. En este caso se trata de una bobina de ocho lados de 2 *nH* con un factor de calidad de 10.3.

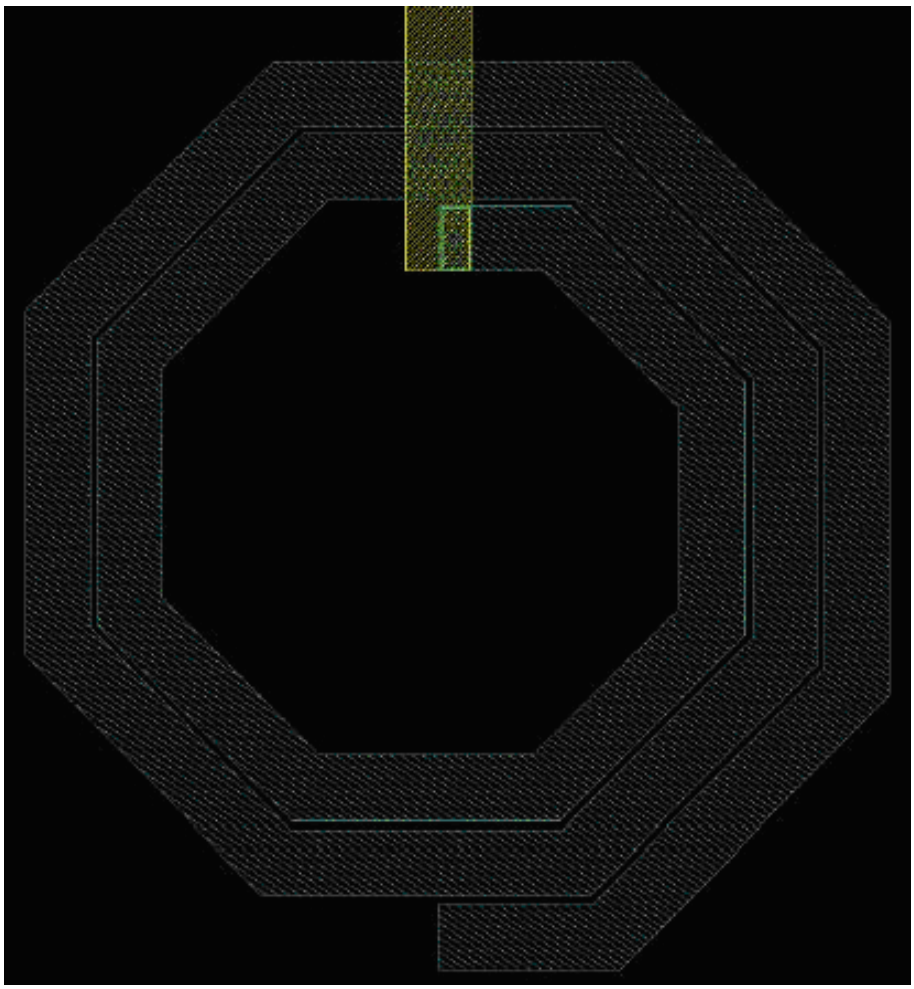


Figura 4.10 Layout de una bobina.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.4 El Transistor MOSFET

4.4.1 Construcción

En la figura 4.11 se muestra un corte esquemático de dos transistores *MOS* tipo n y tipo p respectivamente. En el caso del transistor tipo n, la fuente y el drenador están formados por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el *MOSFET* tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2.

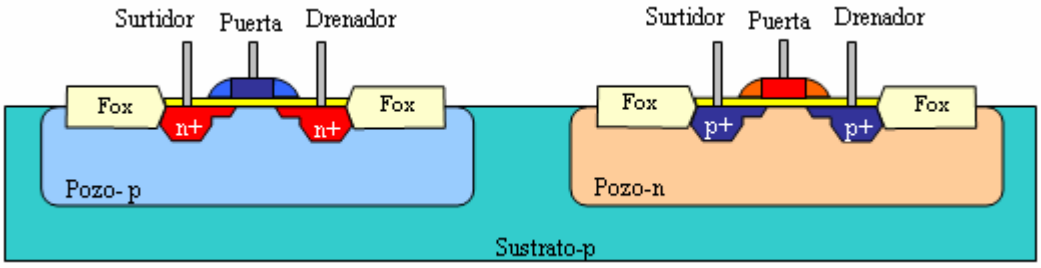


Figura 4.11 Corte esquemático de transistores MOS.

4.4.2 Funcionamiento

Como se muestra en la figura 4.12, si en un *MOSFET* tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor (V_{DS}), no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor *MOSFET* se encuentra en corte.

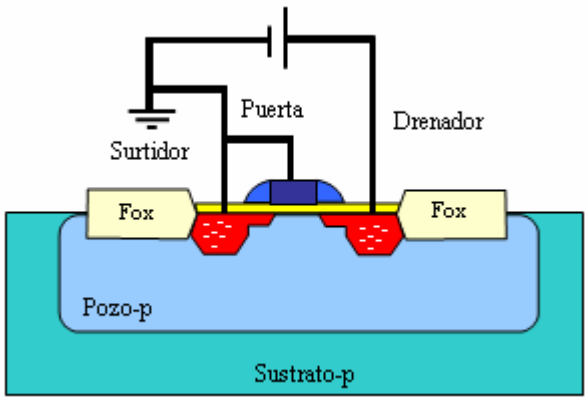


Figura 4.12 MOSFET tipo n en Corte.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Si se aumenta la tensión V_{GS}, este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacía la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS}, se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el *MOSFET* se encuentra en la región de tríodo o zona óhmica.

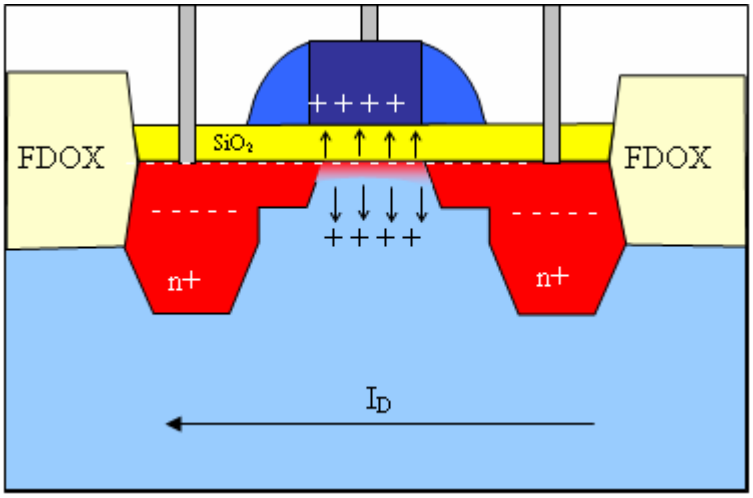


Figura 4.13 Detalle del MOSFET tipo n en zona óhmica.

En la región de tríodo la ecuación 4.5 determina la corriente de drenador del *MOSFET*.

$$I_D = \mu_n . C_{OX} . \frac{W}{L} . \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \qquad (4.5)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (µm)
- W es el ancho del canal del transistor (µm)

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de Drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS}, la corriente de Drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

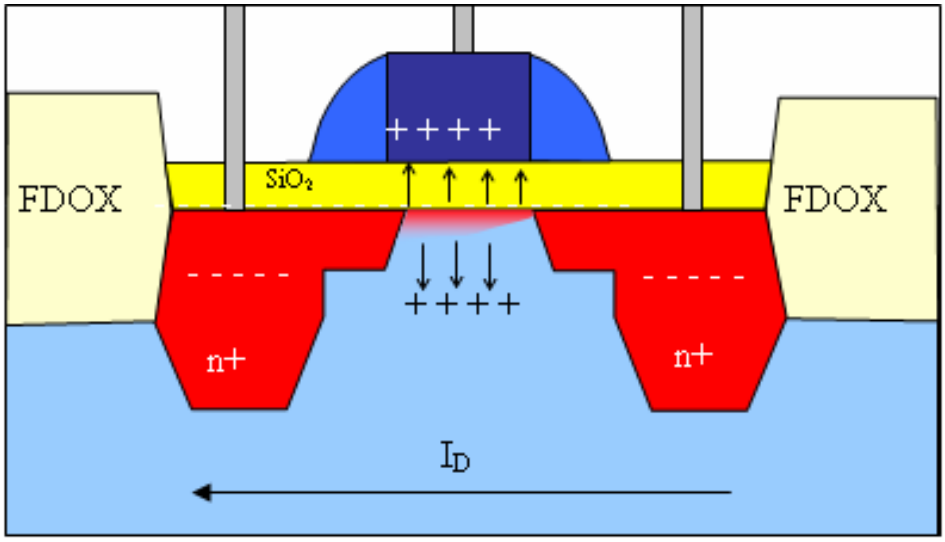


Figura 4.14 Detalle del MOSFET tipo n en zona de saturación.

La tensión de Drenador a Puerta (V_{DG}) viene dado por la ecuación 4.6.

$$V_{DG} = V_{DS} - V_{GS} \tag{4.6}$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación 4.6 el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación (4.7), diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n . C_{OX}}{2} . \frac{W}{L} (V_{GS} - V_T)^2 \tag{4.7}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)
- Al coeficiente μ_n .*Cox* se le denomina factor de ganancia y se denota con K_n.

A pesar de que el desarrollo anterior se refiere a un transistor *MOSFET* tipo n, en el caso del transistor *MOSFET* tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el *MOSFET* tipo p es contrario del *MOSFET* tipo n.

4.4.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor *MOSFET*.

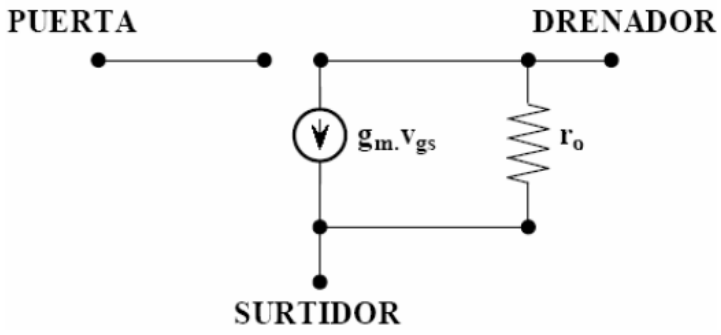


Figura 4.15 Modelo del MOSFET de Baja Frecuencia.

Donde:

- r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.
- *gm* es la transconductancia del transistor y viene dada por la ecuación (4.8).

$$g_m = \sqrt{\frac{2.C_{OX}.\mu_n.W}{L_{eff}}}.\sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX}.\mu_n.W.I_D}{L_{eff}}} \qquad (4.8)$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Donde:

- L_{eff} es la longitud efectiva del canal (μm)
- C_{OX} es la capacidad de puerta por unidad de área
- μ_n es la movilidad de los electrones
- W es el ancho del canal del transistor
- I_D es la corriente de drenador

4.4.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor *MOSFET*, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

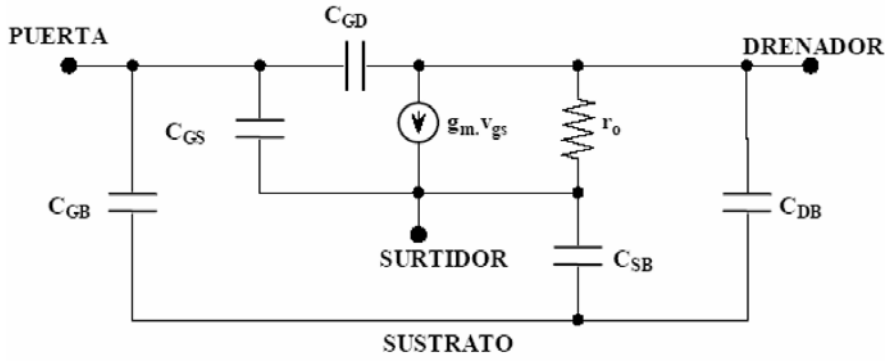


Figura 4.16 Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

- **Capacidades de la zona de carga espacial**: Se producen en las uniones *PN*, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones 4.9 y 4.10:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \tag{4.9}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \tag{4.10}$$

Donde:

- C_o es la densidad de la capacidad de la unión cuando la polarización de esta es nula.
- V es la tensión directa de la unión.
- ψ_o es la barrera de potencial.
- m es la constante dependiente del tipo de unión.

- **Capacidades en la zona de óxido**: Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades dependen de las variables de diseño y de las dispersiones en el proceso de fabricación.

  Las principales capacidades de óxido son:

  - C_{GB} = Capacidad de óxido entre puerta y sustrato
  - C_{SG} = Capacidad de óxido entre surtidor y puerta
  - C_{GD} = Capacidad de óxido entre Puerta y drenador

  Los valores de las capacidades de óxido dependen de la región de trabajo del transistor.

En la tabla 4.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor *MOSFET*.

Tabla 4.2 Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_dw+0.5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_dw+0.5C_{OX}LW$	$C_{OX}L_dw+0.66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la tabla 4.2 los parámetros implicados en las expresiones son:

- *Cox* = capacidad de puerta por unidad de área.
- L_d = Distancia de difusión lateral que se produce bajo la puerta.
- *L* = Longitud del canal del transistor (μm).
- *W* = Ancho del canal del transistor (μm).

4.4.5 Transistores MOSFET en la tecnología S35D4 de AMS

En la tabla 4.3 aparecen los parámetros más importantes de los transistores *MOSFE*T suministrados por *AMS* dentro del *Kit* de diseño.

Tabla 4.3 Parámetros más importantes de los MOSFET

NMOS				
Parámetro	**Mínimo**	**Típico**	**Máximo**	**Unidad**
Tensión Umbral (V_{th})	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu A/V^2$
Den. Corriente Saturación	450	540	630	μA/μm

PMOS				
Parámetro	**Mínimo**	**Típico**	**Máximo**	**Unidad**
Tensión Umbral (V_{th})	-0.50	-0.60	-0.70	V
Factor de Ganancia (K_p)	48	58	68	$\mu A/V^2$
Den. Corriente Saturación	-180	-240	-300	μA/μm

En la figura 4.17 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor *MOSFET*. A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en dicha figura.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

① Ajuste del ancho del transistor.

② Ajuste de la longitud del canal del transistor.

③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.

④ Selección de un transistor normal o un transistor tipo *Snake* [33].

⑤ Selección del número de dedos para los transistores tipo *Snake*.

⑥ Colocación de contactos a ambos lados del transistor.

⑦ Unión de las puertas, drenadores y surtidores.

⑧ Creación de anillos de guarda alrededor del transistor.

⑨ Colocación de contactos al sustrato para evitar el efecto *latch –up* [34] en el transistor.

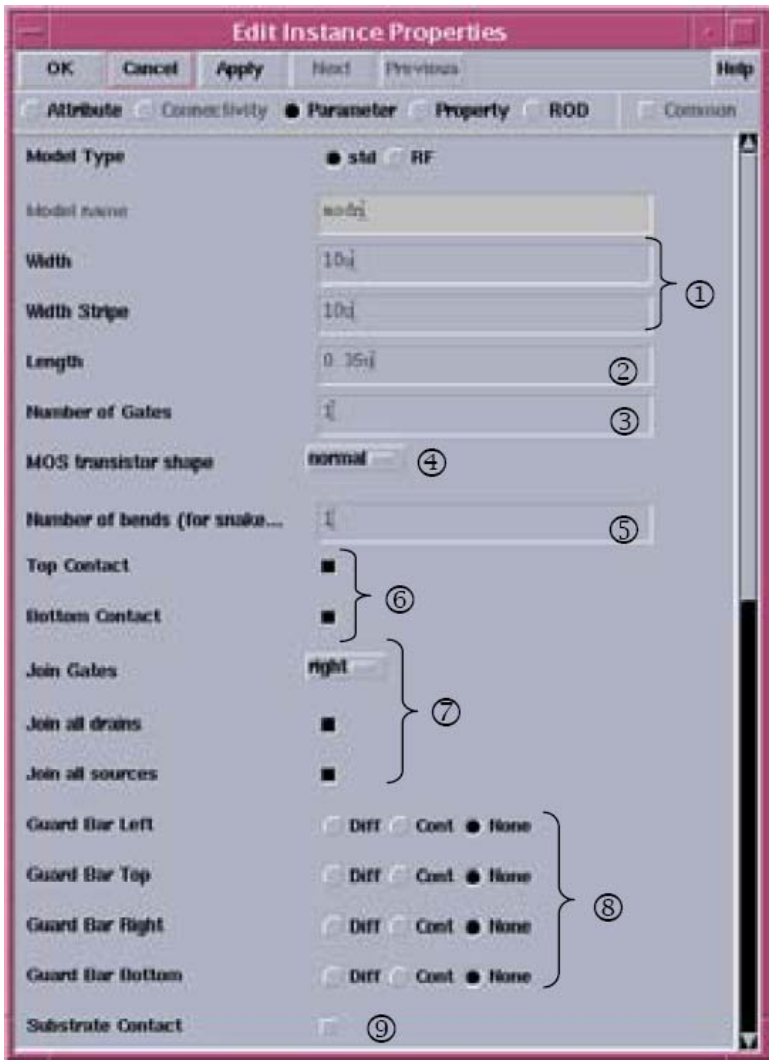


Figura 4.17 Parámetros en los MOSFET.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

A modo de ejemplo en la figura 4.18 se muestra un transistor *MOSFET* tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el *Kit* de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

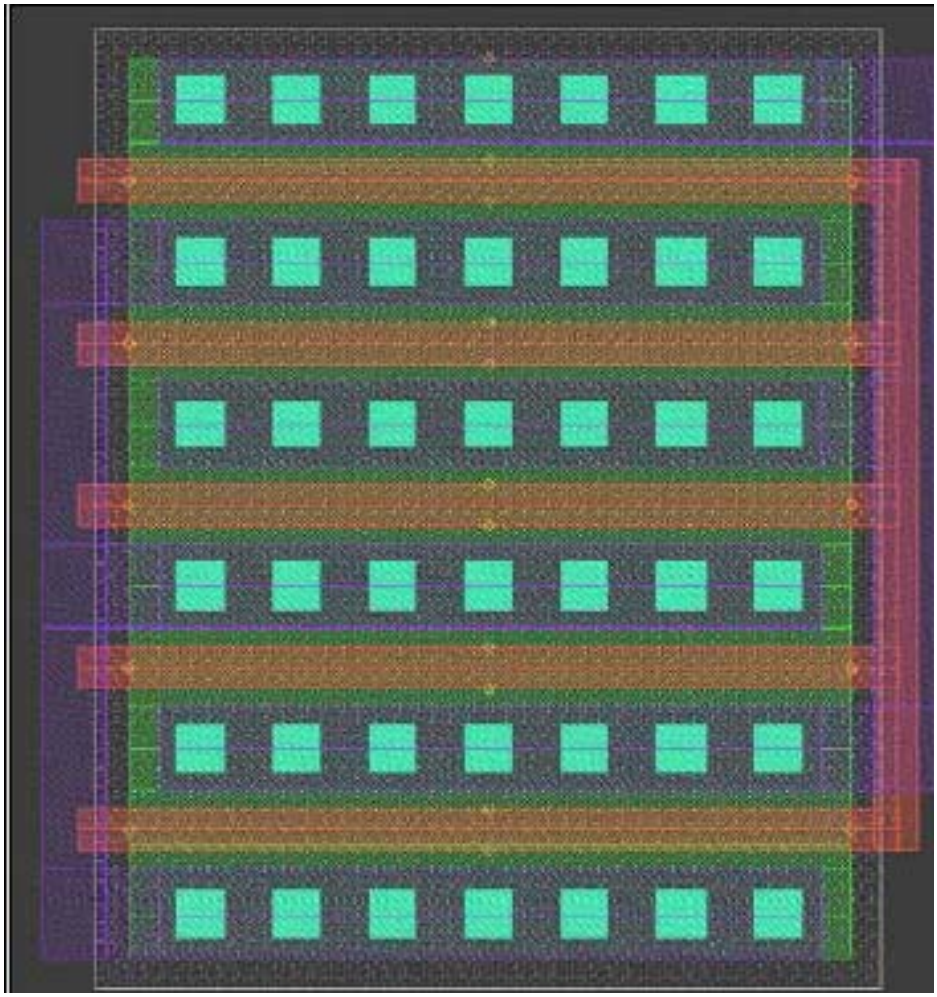


Figura 4.18 Ejemplo de transistor MOSFET.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.5 HBTs de SIGE

4.5.1 Construcción

Los transistores bipolares de heteroestructura *HBTs* de *SiGe* son transistores npn bipolares en los que la base está formada por una capa muy estrecha (<50*nm*) de Si_{1-x} Ge_x crecida de forma seudomórfica. La concentración de *Ge* puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 *nm*. En la figura 4.19 se muestra la estructura típica de un *HBT* de *SiGe* gradual.

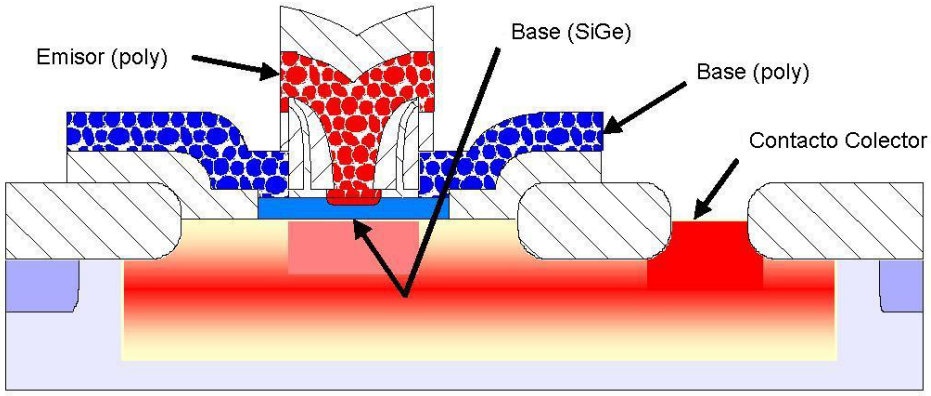


Figura 4.19 Estructura típica de un HBT de SiGe gradual.

4.5.2 Funcionamiento

El funcionamiento de los *HBTs* es exactamente igual al de los transistores bipolares de homounión (*BJTs*), con la salvedad de que sus prestaciones son muy superiores a las de éstos últimos. Para ayudar a entender los beneficios de los *HBT*, se comparan en la figura 4.20 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la figura 4.21, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n, menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p, inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de deplexión de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los *HBTs* es

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

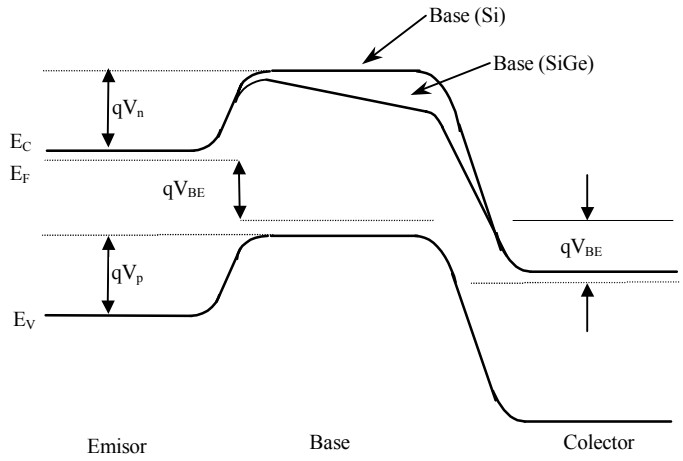


Figura 4.20 Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/SiGe.

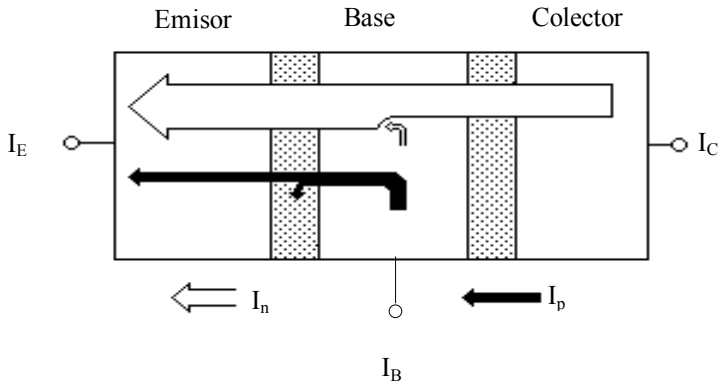


Figura 4.21 Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los *BJTs* para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b, el ancho de emisor W_e, y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de *Boltzmann* ofrece las concentraciones de portadores minoritarios que se muestran en las ecuaciones 4.11 y 4.12.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \tag{4.11}$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \tag{4.12}$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión *BJT*. V_{BE} es la tensión aplicada a la unión *B-E*. La concentración de dopaje en el emisor de Si tipo n es N_e, y en la base de Si tipo *p* es P_b. D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones 4.11 y 4.12 resulta la ecuación 4.13.

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \tag{4.13}$$

Esta ecuación representa una cota superior del valor de β. Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el *Si*. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la figura 4.20 se muestra también el diagrama de bandas correspondiente a un *HBT*. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta E_{G0}- ΔE_G cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G / W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los *HBTs* la ganancia en corriente tendrá un término adicional que refleja este fenómeno como se muestra en la ecuación 4.14.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot t}\right)} \tag{4.14}$$

Debido a que es posible obtener decenas de *meV* para Δ_{EG} variando la concentración de *Ge*, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias.

Por otro lado, para conseguir valores de corriente elevados en los *BJTs*, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de *HBTs* en vez de *BJTs* ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3}.

Desde el punto de vista circuital, la elevada ganancia que presentan los *HBTs* trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los *HBTs* de *SiGe* es mayor que para los *BJTs* de *Si*, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de *LNAs* respecto al ruido. Por último, debido a la elevada ganancia que presentan los HBTs de SiGe a frecuencias por encima de 2 *GHz*, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y *LNAs*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presentan, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del *Si*Ge, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

4.5.3 Modelo de baja frecuencia

En la figura 4.22 se muestra el modelo en baja frecuencia de un transistor bipolar npn cuando el transistor está operando en configuración de emisor-común (*EC*).

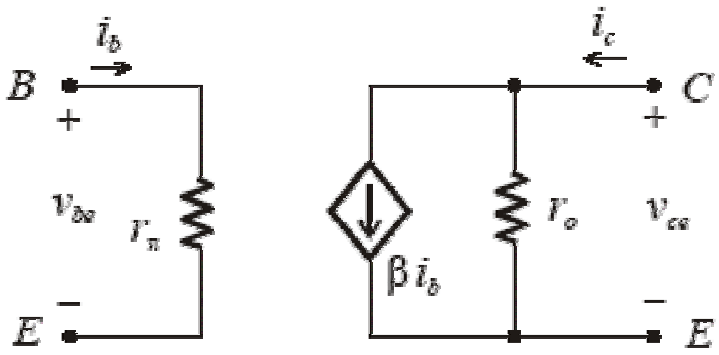


Figura 4.22 Modelo híbrido en π en baja frecuencia.

Del circuito anterior se obtienen las ecuaciones 4.15 y 4.16.

$$V_{be} = r_\pi \cdot i_b \tag{4.15}$$

$$i_c = \beta \cdot i_b + \frac{1}{r_0} \cdot V_{ce} \tag{4.16}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.5.4 Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la β con la frecuencia y las capacidades internas. En la figura 4.23 se observa esta dependencia y se definen dos frecuencias: f_{β}, frecuencia de corte superior que es la frecuencia a la cual decae en $1/\sqrt{2} = 0.707$, la β a frecuencias medias especificada por β_o, y f_T, frecuencia de transición definida como la frecuencia a la cual la β vale 1. El fabricante proporciona el valor de f_T en función de la corriente de colector, siendo éste un parámetro importante que fija el ancho de banda del transistor.

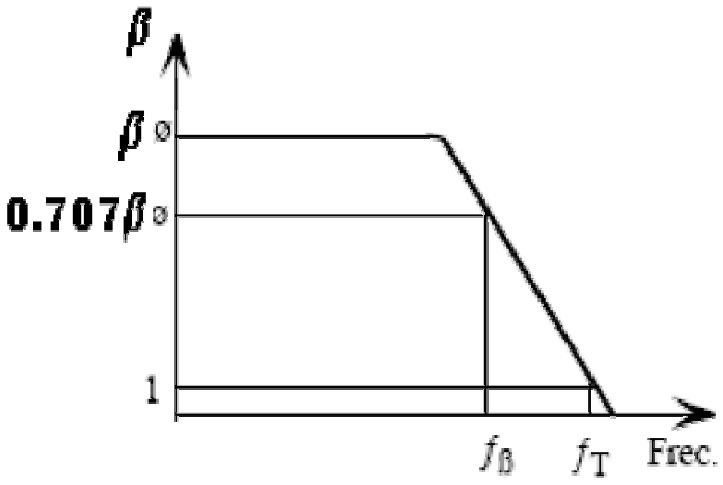


Figura 4.23 Variación de la β de un transistor bipolar con la frecuencia.

En la figura 4.24 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes: $C_{b'c}$, y $C_{b'e}$, las cuales varían con la tensión inversa (*reverse voltage*). $C_{b'c}$ se obtiene gráficamente calculando la $V_{B'C}$ del transistor (tensión inversa de la unión colector-base). $C_{b'e}$ tiene asociada dos capacidades, difusión del emisor y de unión emisor-base. Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como se muestra en la ecuación 4.17.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

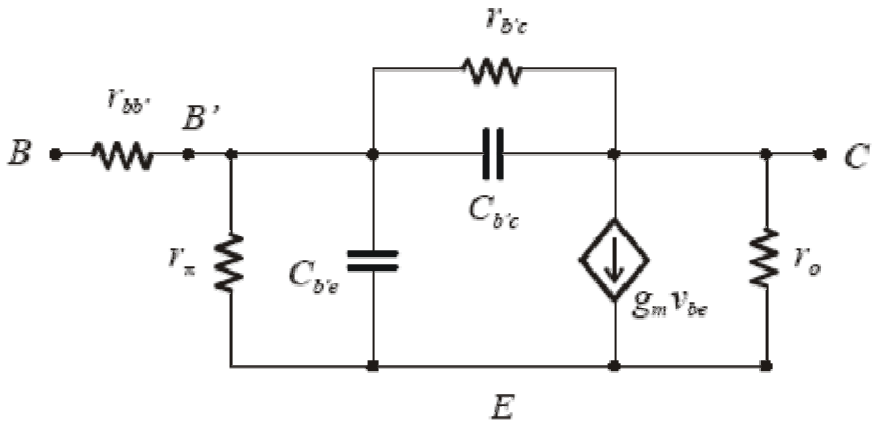


Figura 4.24 Modelo en alta frecuencia de un transistor bipolar..

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \tag{4.17}$$

Siendo V_T el potencial térmico, que vale 25 mV a 25 ºC. La relación entre f_T y $f_ß$ y esas capacidades es la que se muestra en la ecuación (4.18).

$$f_T = f_O \cdot \beta' \tag{4.18}$$

Siendo f_O y β los mostrados en las ecuaciones 4.19 y 4.20 respectivamente.

$$f_O \cong \frac{1}{2\pi \cdot (rbb'+r\pi)(C_{b'e} + C_{b'c})} \tag{4.19}$$

$$\beta = \frac{\beta'}{1 + j \cdot \frac{f}{f_O}} \tag{4.20}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

4.5.5 HBTs en la tecnología S35D4 de AMS

Los *HBTs* de *SiGe* utilizados para la realización de este diseño son los suministrados en el proceso *S35D4* (0.35 *μm HBT BiCMOS*) de la empresa *AMS*. Su producción se basa en un proceso de bajo coste de fabricación de *BJTs*. El material de partida es una oblea de silicio tipo p poco dopada de resistividad 19 *Ω.cm*. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *chanel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (*CVD*) la cual se separa mediante un proceso de recesión LOCOS. El siguiente paso es el crecimiento selectivo de la base de *SiGe* mediante *CVD*. La concentración de germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de base y emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la figura 4.25 se muestra el cuadro de diálogo de los transistores disponible en el kit de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

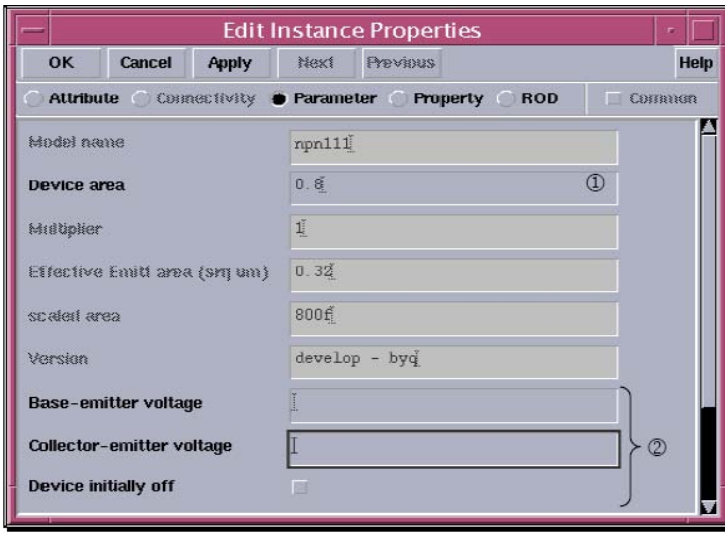


Figura 4.25 Parámetros ajustables de los transistores.

① Selección del área del transistor

② Selección de los ajustes para simulación

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la figura 4.26 se muestra el layout de un transistor *HBT*. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

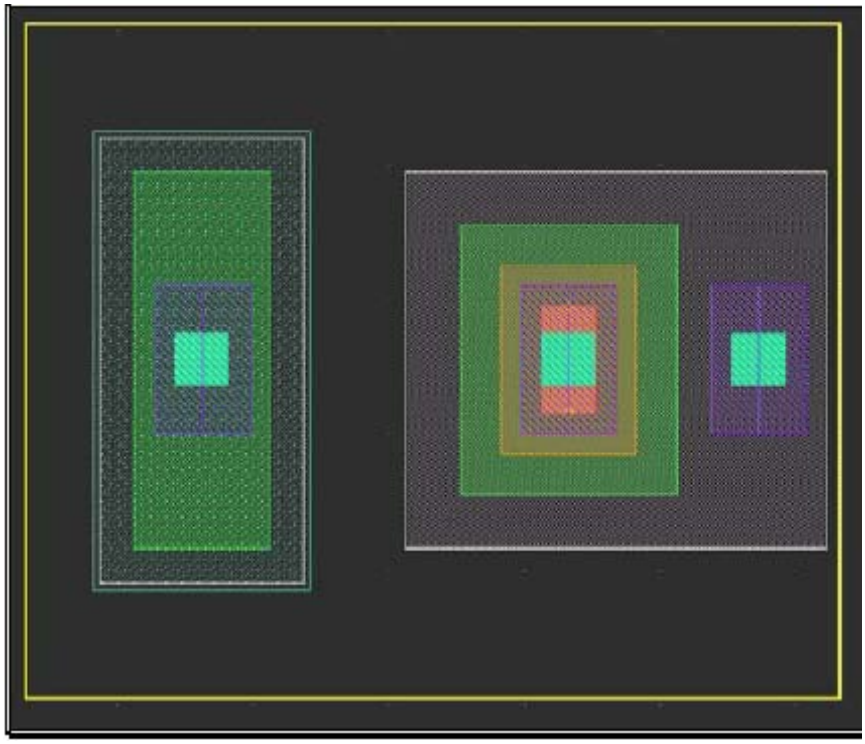


Figura 4.26 Layout de un Transistor HBT.

4.6 Conclusiones

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología *S35D4* de *AMS* para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los convertidores de corriente y de las topologías de los *LNAs* y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño de los *LNAs* en sí, gracias a la información aportada en el presente capítulo y los anteriores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 5

Diseño a nivel de esquemático

En el capítulo anterior se pudieron estudiar las características principales de la tecnología empleada. En la presente sección nos centraremos en el diseño a nivel de esquemático de un amplificador de bajo ruido (LNA) utilizando convertidores de corriente. Primero se implementó y se simuló el circuito con fuentes de corrientes ideales y luego se sustituyeron las fuentes de corriente ideales por fuentes de corrientes reales a base de espejos de corriente con transistores CMOS.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.1 Descripción del diseño

5.1.1. Análisis del circuito usando fuentes de corrientes ideales

En primer lugar se analiza el circuito utilizando las fuentes de corrientes ideales (Figura 5.1).

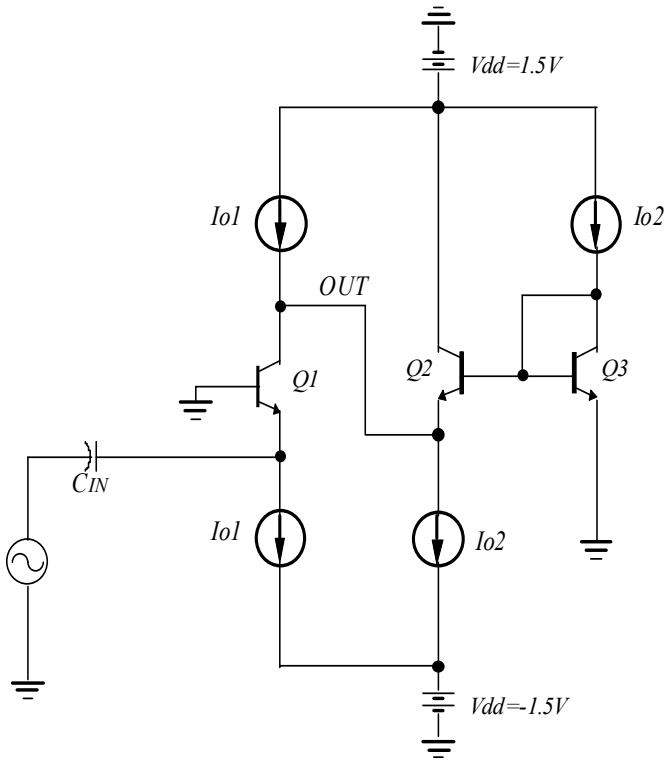


Figura 5.1: Implementación de un amplificador de bajo ruido realizado con convertidores de corriente.

La simulación se ha realizado en corriente continua y en corriente alterna. La simulación en continua deja claro la necesidad de meter un condensador a la entrada del circuito para que el transistor BJT Q1 trabaje en la zona activa. Con la simulación en alterna se obtienen los valores de impedancia de entrada, ganancia, ancho de banda y ruido en función de las corrientes de polarización Io_1 e Io_2, área de los transistores BJT y la W y L para los transistores CMOS.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Los objetos utilizados para realizar los barridos en alterna son:

- Para la obtención de los parámetros S y, por tanto, la impedancia de entrada y salida al circuito, se sustituye la fuente de tensión de la entrada por un terminal de Z=50. Los objetos utilizados para la simulación de los parámetros S se han obtenido de la librería *Simulation –S_Param* de ADS.
- Para la simulación en alterna se ha sustituido el terminal de Z=50 por la fuente de tensión.

5.1.2. Valores de Io1 (μA) para Zin próxima a 50 Ohm

Se realiza un barrido fijando la Io_2 a 50 μA y variando Io_1 para ver qué valor de corriente Io_1 hace que la impedancia de entrada al circuito sea lo más próxima a 50 Ohm. El barrido se hizo para distintas áreas de los transistores BJT.

El resultado se ha obtenido mirando en la carta de Smith que valor de Io1 hace que la impedancia de entrada sea de 50 Ohm (Figura 5.2).

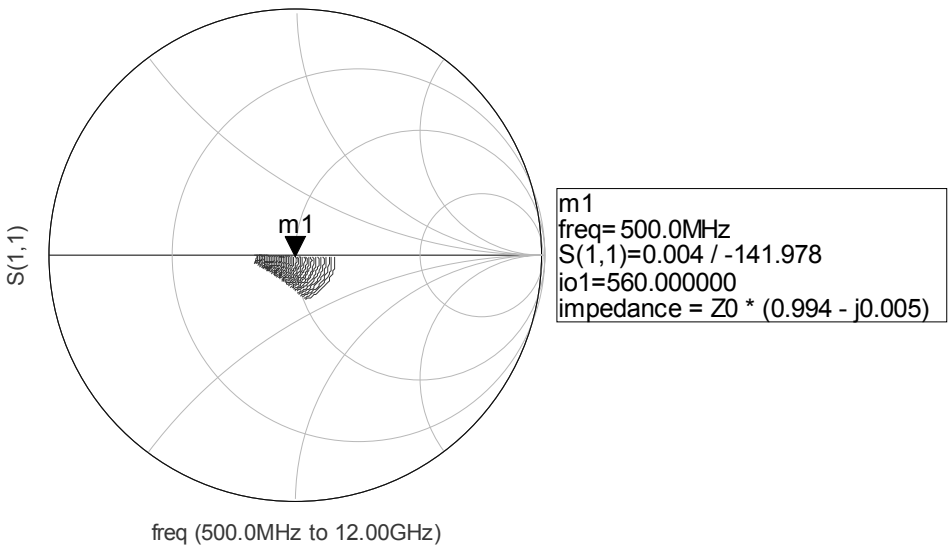


Figura 5.2: Carta de Smith usada para calcular valor de Io1 usando un área de transistores de 24 μm².

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Si se realiza este proceso para diferentes tamaños de los transitotes bipolares se obtiene los valores de la tabla 5.1:

Tabla 5.1 : Valores de corriente $I_0$1 para conseguir una adaptación de entrada a 50 Ω

Área Transistor (μm²)	**Corriente Io1 (μA)**
24	560
20	560
15	580
10	580
5	620
4	650
3	700
2	800

Representado gráficamente se obtiene la figura 5.3.

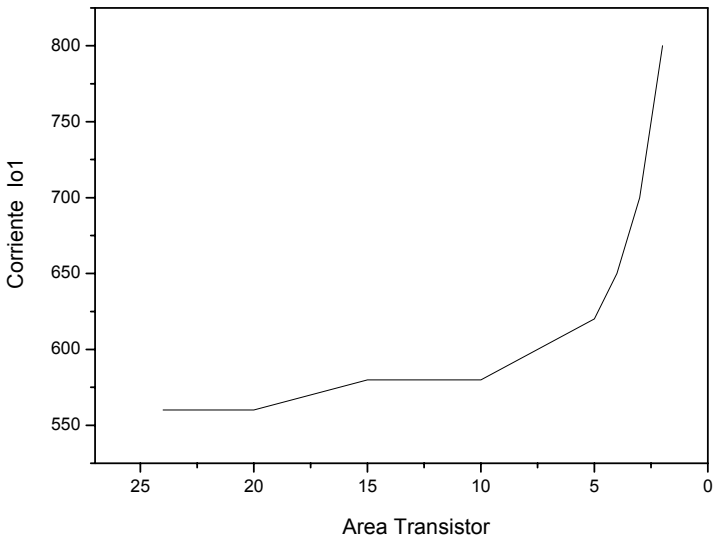


Figura 5.3: Representación de la corriente Io1 para obtener una impedancia de de entrada de 50Ω para distintas áreas de transistores.

Se observa en la gráfica que para mantener una impedancia de entrada cercana a los 50 Ω hay que ir aumentando la corriente de polarización Io1 a medida que el área de los transistores va disminuyendo.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.1.3. Ganancia y Ancho de Banda en función del área de los transistores bipolares para distintos valores de Io2

Una vez fijado los valores de corriente de Io1 para que la impedancia de entrada sea la más próxima a 50 Ω para las distintas áreas de los transistores se procederá al estudio de la ganancia y el ancho de banda del circuito para los distintos valores de corriente de Io2.

Esto se calcula simulando el circuito para los distintos valores de área de transistores. Para el caso particular en el que el área de los transistores es de 24 μm^2 se obtiene la figura 5.4.

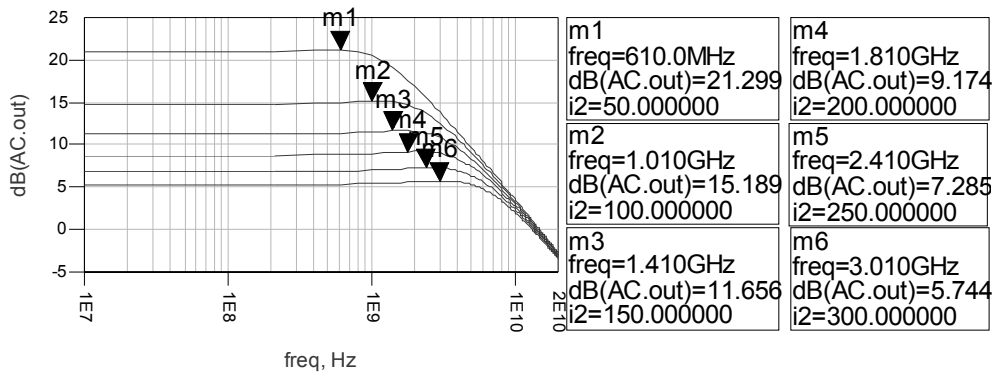


Figura 5.4: Representación de la ganancia obtenida para distintos valores de corriente Io2 empleando un área de transistor de 24 μm^2.

Si se representa gráficamente los valores de ganancia para las distintas áreas de transistores obtenemos la figura 5.5.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

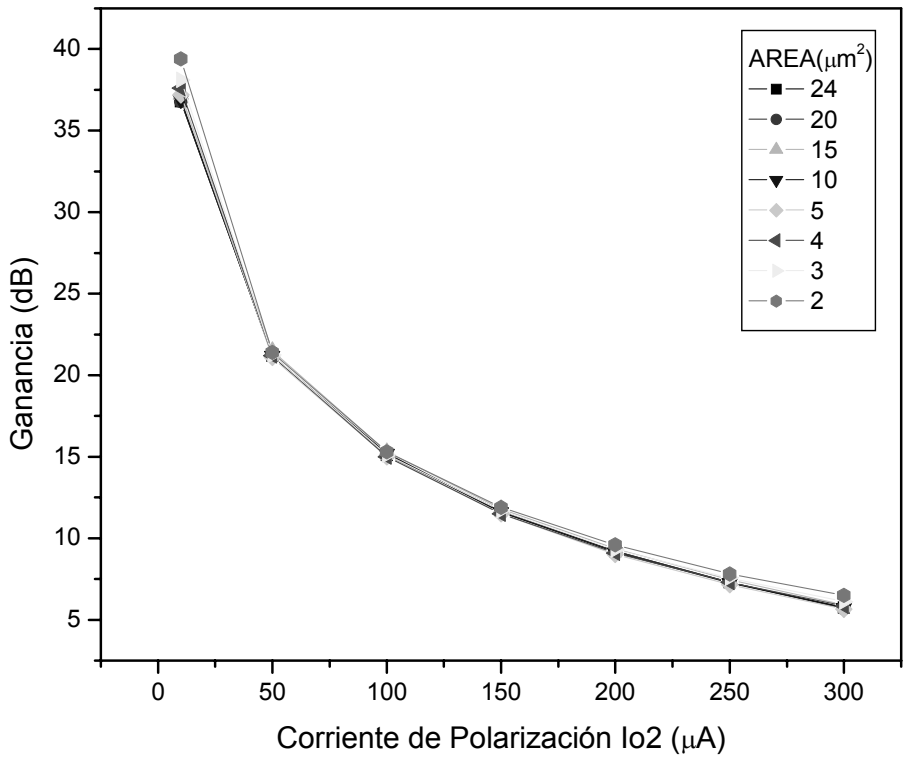


Figura 5.5: Ganancia del circuito usando fuentes de corrientes ideales para distintos valores de Io2 y para las distintas áreas de transistores.

Vemos que la ganancia no presenta variaciones bruscas con el área pero si presenta un aumento considerable con la disminución de la corriente Io2.

Los valores de los diferentes anchos de banda aparecen representados en la figura 5.6.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

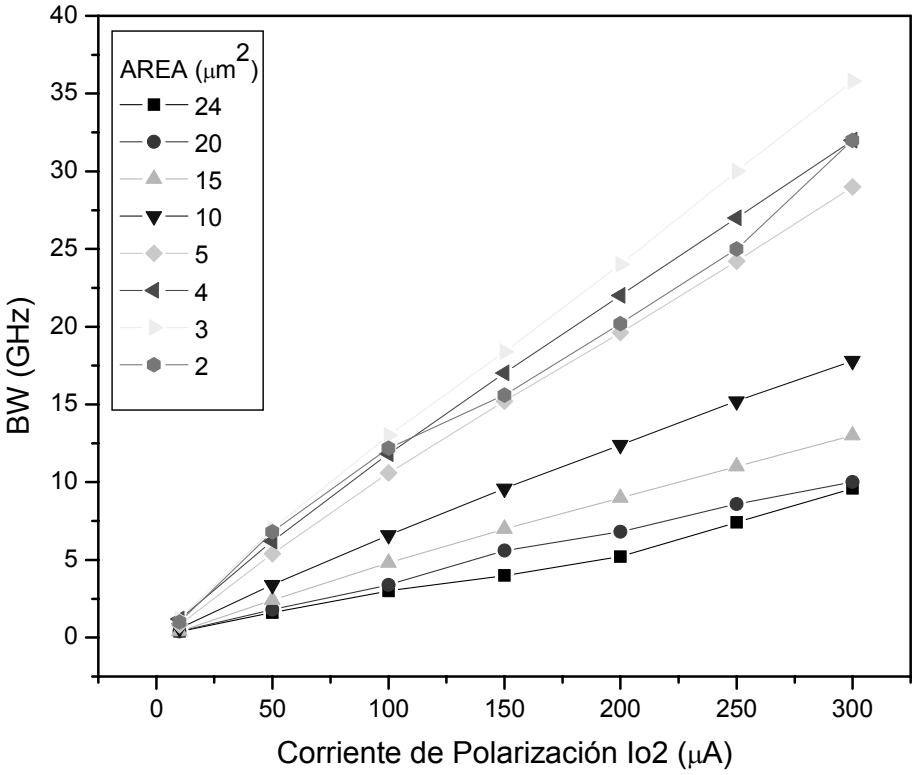


Figura 5.6: Ancho de Banda del circuito usando fuentes de corrientes ideales para distintos valores de Io2 y para las distintas áreas de transistores.

Se observa que el ancho de banda aumenta a medida que disminuimos el área de los transistores y aumentamos la corriente de polarización Io2.

Para poder realizar mejor la comparativa se representa las dos gráficas conjuntamente en la figura 5.7. Esta figura nos es útil para determinar la combinación de área y corriente Io2 del transistor para unas necesidades de ganancia y ancho de banda determinadas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

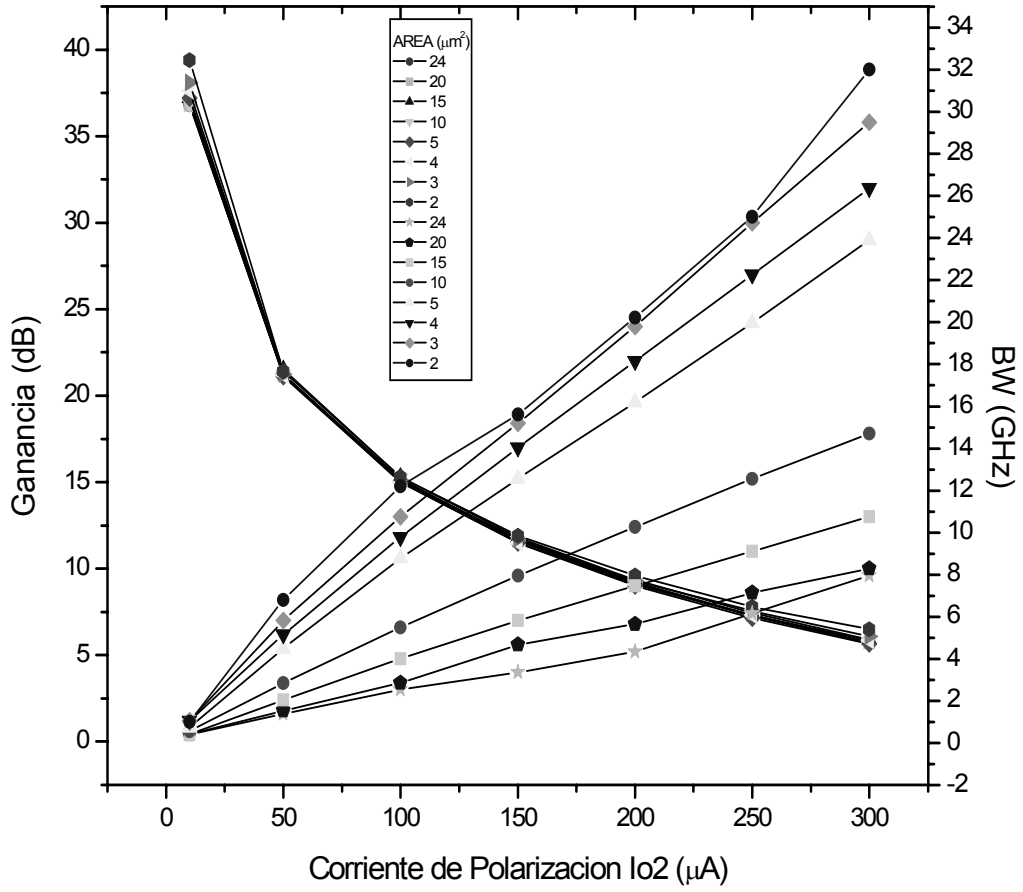


Figura 5.7: Ancho de Banda del circuito usando fuentes de corrientes ideales para distintos valores de Io2 y para las distintas áreas de transistores.

5.1.4. Análisis del ruido en función del área de los transistores bipolares para distintos valores de Io2

Otro dato que se analiza es el ruido introducido por el circuito. Para ello se introducen terminales a la entrada y salida del circuito y analizaremos el ruido.

El ruido del circuito para un área de transistor de 24 μm^2 y una corriente Io2 de 50 μA es el que se muestra en la figura 5.8.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

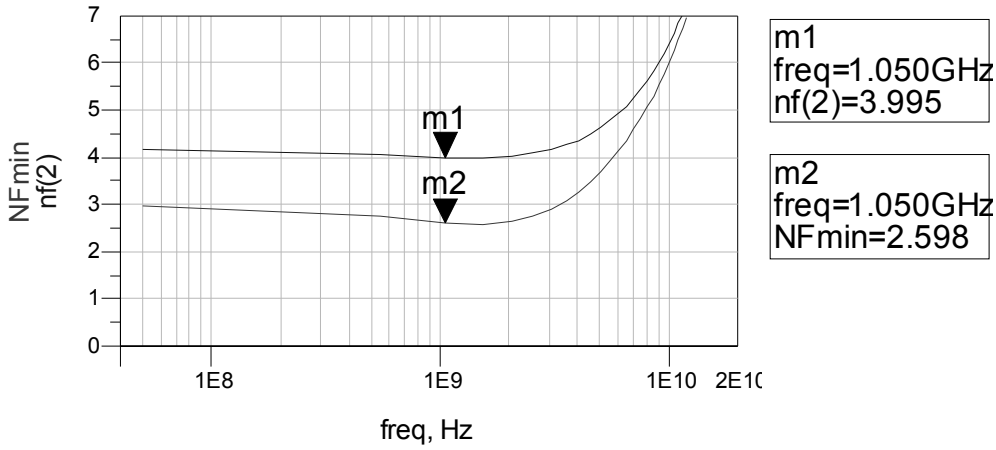


Figura 5.8: Evolución del ruido del circuito con un área de transistor de 24 μm^2 y una corriente de Io2 de 50μA.

La variación con el área de transistor es la representación que vemos en la figura 5.9.

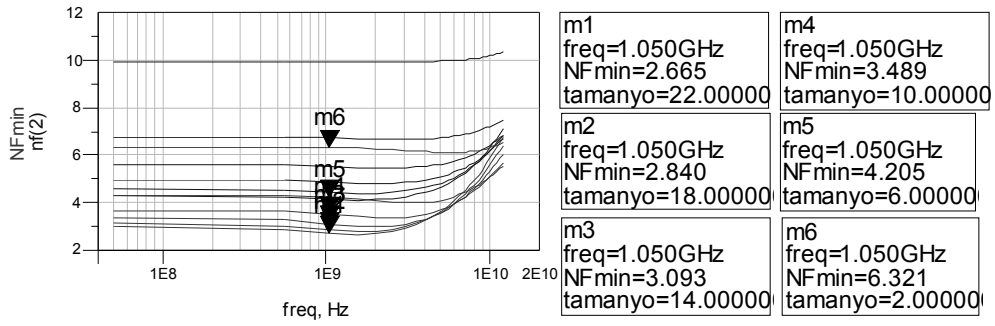


Figura 5.9: Evolución del ruido del circuito al variar el tamaño de los transistores.

Vemos que la figura de ruido aumenta según se disminuye el área de los transistores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Si analizamos la evolución del ruido con la variación de Io1 obtenemos la figura 5.11.

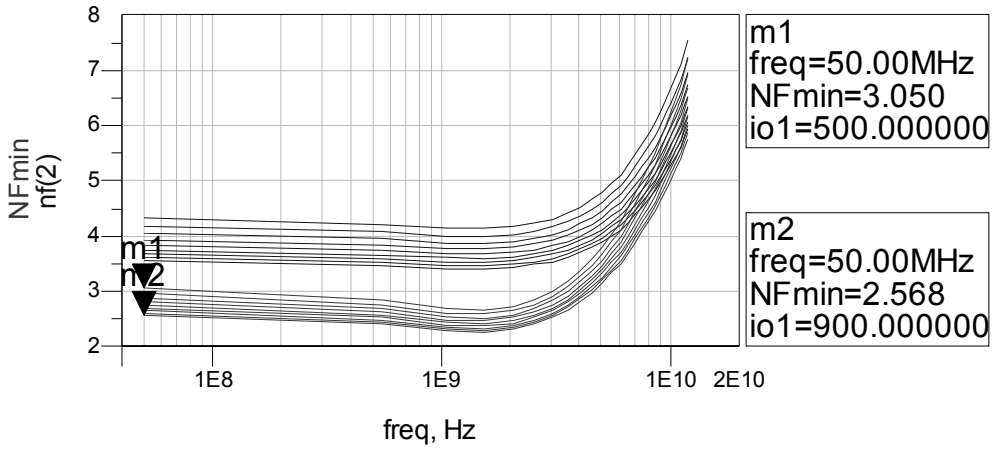


Figura 5.10: Variación de la figura de ruido al modificar la corriente Io1.

Se puede comprobar que la figura de ruido disminuye con el aumento de la corriente Io1. El siguiente paso es el análisis del ruido con la variación de corriente Io2. Para ello primero analizamos la figura de ruido con una corriente de polarización de 50 μA (Figura 5.11) y luego lo hacemos con 300 μA (Figura 5.12).

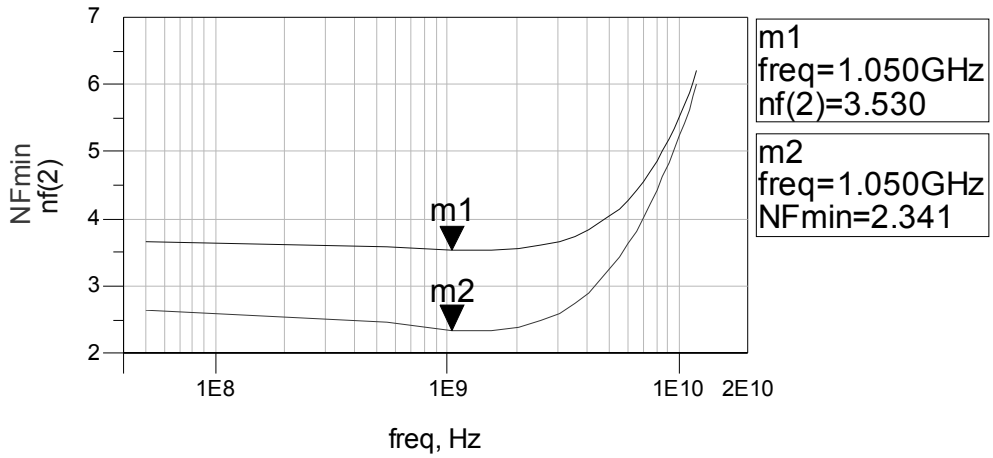


Figura 5.11: Figura de ruido del circuito con fuentes de corriente ideales, con un área de transistor de 24 μm^2 y una corriente Io2 de 50μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

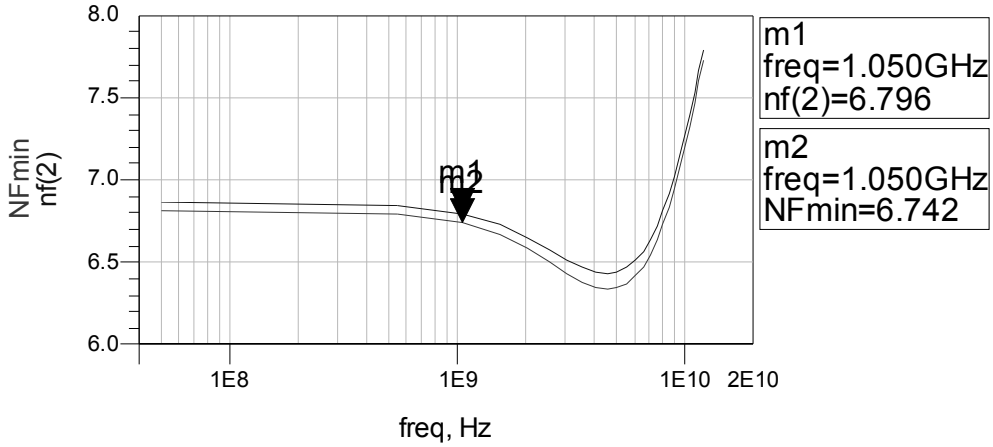


Figura 5.12: Figura de ruido del circuito con fuentes de corriente ideales, con un área de transistor de 24 μm^2 y una corriente Io2 de 300 μA.

En resumen, se puede ver que el aumento de Io1 y la disminución de Io2 contribuyen a una disminución de la figura de ruido así como el aumento del área de los transistores.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.2 Descripción del diseño con fuentes de corriente reales

5.2.1. Análisis del circuito usando fuentes de corrientes reales

El siguiente paso consiste en analizar el circuito utilizando las fuentes de corriente reales.

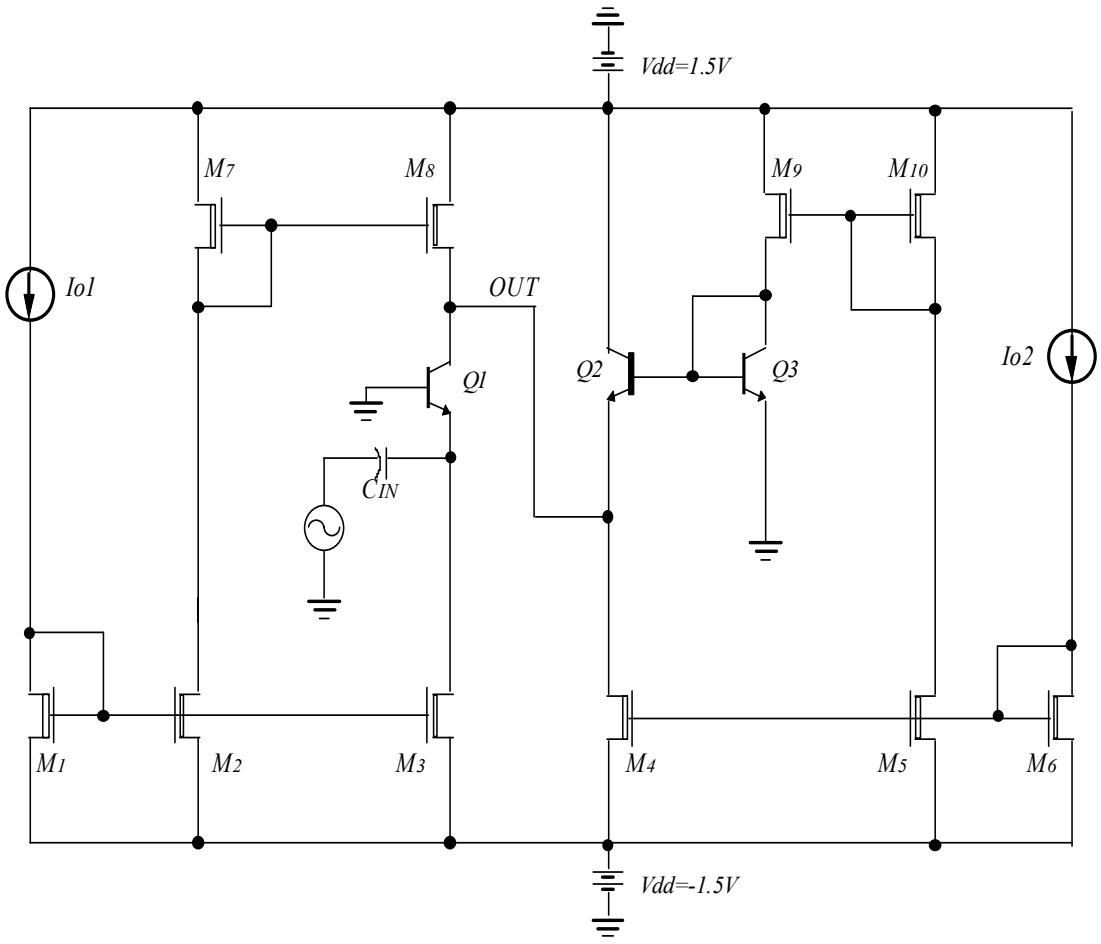


Figura 5.13: Circuito que nos queda al sustituir las fuentes de corriente ideales por espejos de corriente.

El circuito a simular es el de la Figura 5.13. Se ha sustituido las fuentes de corriente ideales por fuentes de corriente reales implementadas con transistores NMOS situados en la parte inferior del circuito y transistores PMOS situados en la parte superior del circuito. Estos transistores implementan lo que se llaman espejos de corriente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.2.2. Ganancia y Ancho de Banda en función del área de los transistores bipolares para distintos valores de Io2

El análisis de la ganancia del circuito se ha realizado variando los parámetros W y L de los transistores CMOS de las fuentes de corriente Io1 e Io2 y variando el área de los transistores bipolares y los valores de la corriente de polarización Io2. Los valores de Io1 se fijan a aquellos que hacen que la impedancia de entrada sea lo más próxima a 50 Ω.

El primer estudio será ver la ganancia y el ancho de banda variando la W de los transistores MOS. Fijamos el valor del área de los transistores bipolares en 10 μm^2 y L en 1 μm. Vemos la variación en la figura 5.14.

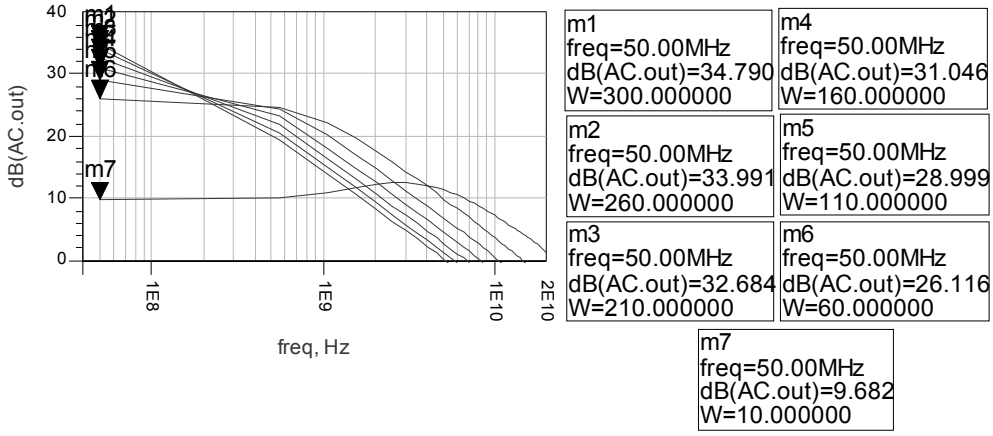


Figura 5.14: Análisis de la ganancia y el ancho de banda para distintos valores de la W de los transistores CMOS de los espejos de corriente (área transistores bipolares =10 μm^2, L_{MOS}=1 μm).

Se puede apreciar que la ganancia aumenta según se aumenta la W de los transistores MOS mientras que el ancho de banda se va reduciendo.

Otro parámetro a analizar es la variación con respecto a la L de los transistores MOS. Para esto se fija el área de los transistores bipolares en 10 μm^2 y W en 100 μm obteniéndose la figura 5.15.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

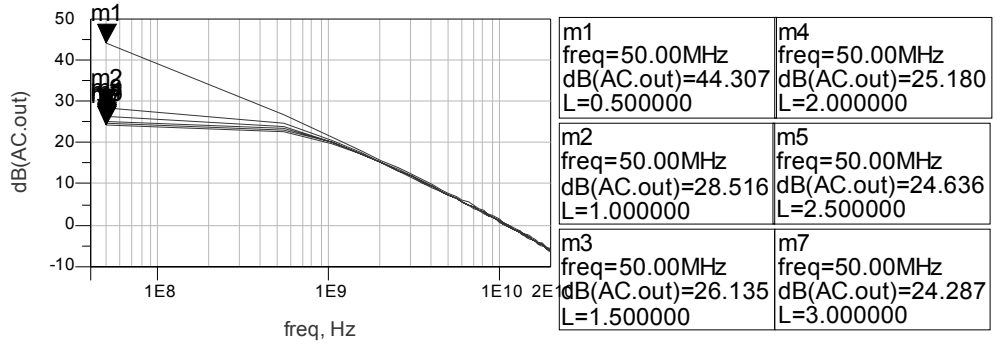


Figura 5.15: Variación de la ganancia y el ancho de banda del circuito empleando fuentes de corriente reales y variando la L de los transistores MOS (área transistores bipolares =10 μm^2, W_{MOS}=100 μm).

Se comprueba que la ganancia disminuye al aumentar la L de los transistores MOS mientras que el ancho de banda va aumentando.

Se debe tener en cuenta que la W y la L de los transistores MOS están estrechamente relacionadas a la hora de realizar el diseño.

También se va a comprobar la variación con respecto a la corriente de polarización Io2 (figura 5.16).

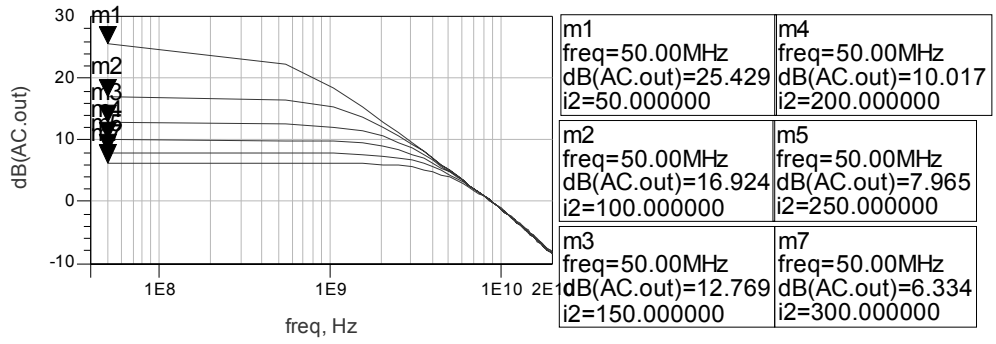


Figura 5.16: Simulación de la ganancia del circuito con espejos de corriente con W=100 μm y L=1 μm para distintos valores de Io2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Se aprecia que la ganancia aumenta mientras la corriente de polarización Io2 se hace más pequeña mientras que el ancho de banda se va reduciendo.

Por último, se analiza el efecto que tiene sobre la ganancia y el ancho de banda la variación del área de los transistores BJT. En la Figura 5.17 vemos el resultado obtenido.

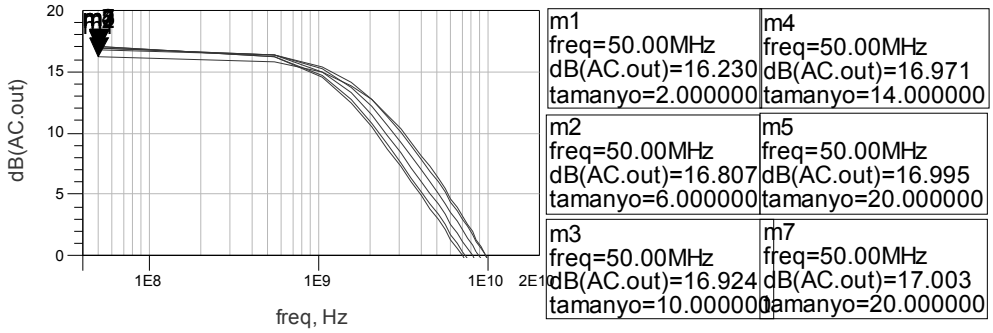


Figura 5.17: Simulación de la ganancia del circuito al variar el área de los transistores BJT usando una W de los transistores MOS de 100 μm y una L de 1 μm para una corriente Io2 de 100 μA.

Se observa que la ganancia aumenta según se aumenta el área de los transistores BJT.

5.2.3. Estudio del ruido en función de los distintos parámetros del circuito

Otro dato que se analiza del circuito es la figura de ruido obtenida al variar los distintos parámetros del circuito como son las áreas de los transistores y las corrientes de polarización. Para ello se sustituye la fuente de tensión de la entrada por un terminal (Z=50Ω) y ponemos otro a la salida.

En primer lugar, se analiza la figura de ruido haciendo un barrido de la corriente de polarización Io1 (figura 5.18).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

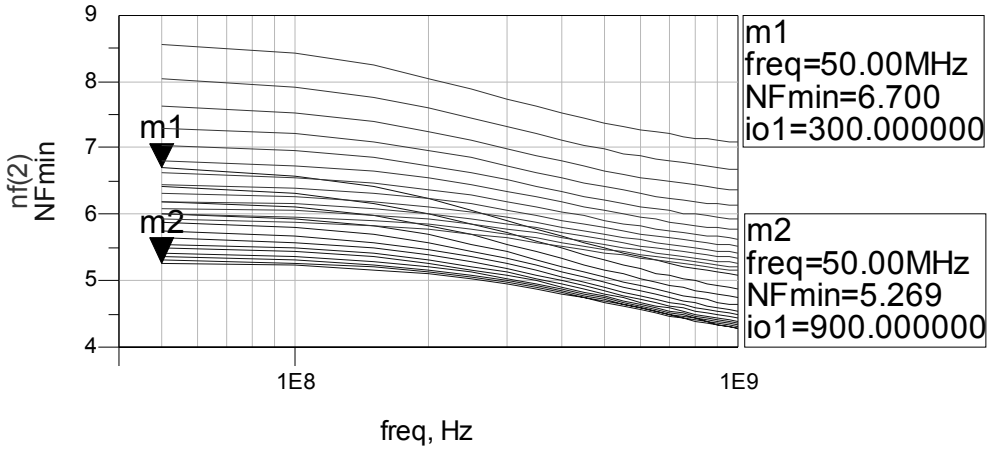


Figura 5.18: Análisis del ruido del circuito resultante al variar la corriente de polarización Io1. El área de los transistores BJT es de 10 μm² y el de los espejos de corriente de W=100 μm y L=1 μm y una corriente Io2 de 50 μA.

Vemos que la figura de ruido es menor al aumentar la corriente de polarización Io1.

Otro dato a analizar es el comportamiento del ruido en función de la otra corriente de polarización, o sea, de Io2. Para ello fijamos el resto de parámetros del circuito y comprobamos el comportamiento del ruido en función de la intensidad de Io2. Si se simula en el ADS se obtiene la figura 5.19.

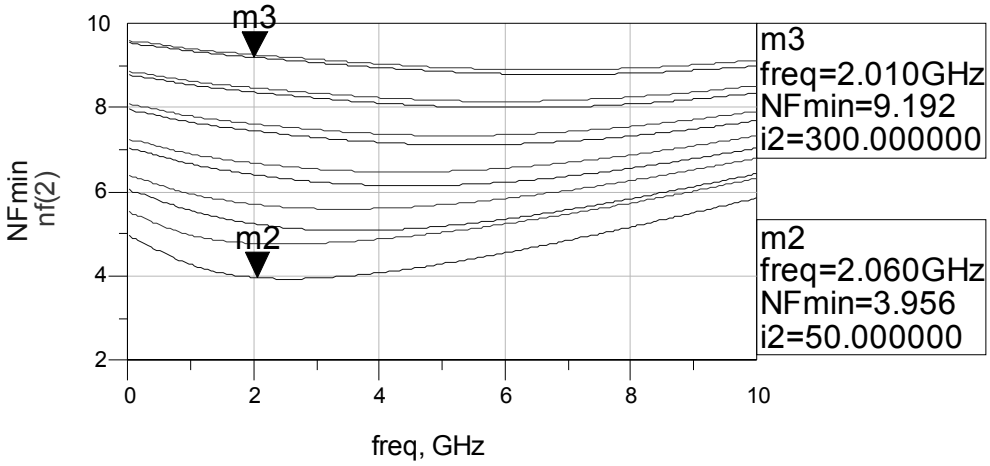


Figura 5.19: Análisis del ruido del circuito en función de la corriente de polarización Io2 fijando el área de los transistores BJT en 10 μm² y la de los espejos de corriente en W=20 μm y L=1 μm con una corriente de polarización Io1 de 600 μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

De esta gráfica se puede ver que la figura de ruido se ve incrementada al incrementar el valor de la corriente Io2.

Otro parámetro a analizar es el efecto que produce en la figura de ruido los distintos valores de área de los transistores BJT. Si fijamos el resto de valores del circuito y simulamos haciendo un barrido de áreas de transistores obtendremos los resultados que se ven en la Figura 5.20.

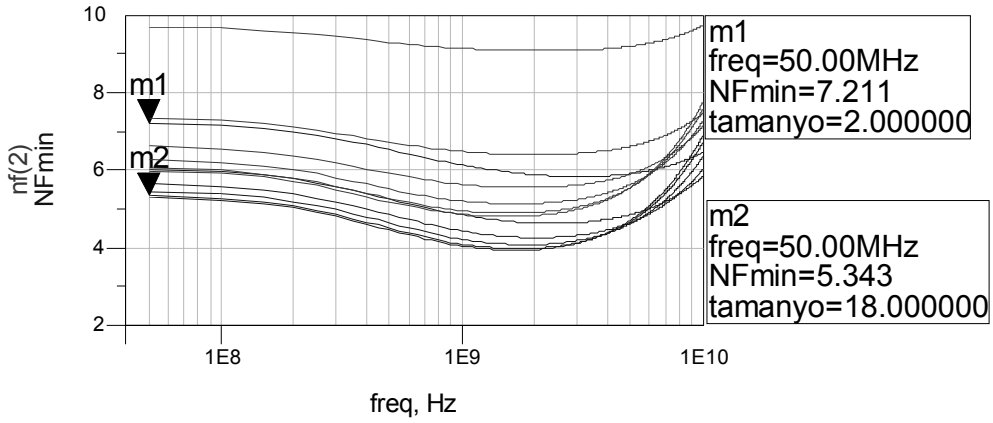


Figura 5.20: Comportamiento de la figura de ruido del circuito al variar el área de los transistores BJT, utilizando una Io1 de 600 μA y una Io2 de 50 μA, además de una W de 100 μm y una L de 1 μm.

Observando la gráfica obtenida se puede ver que la figura de ruido se hace menor cuanto mayor es el área de los transistores BJT.

El último análisis que se va a hacer es ver que efecto produce en la figura de ruido la modificación de los distintos valores de área de los transistores que forman las fuentes de corriente. Para hacer esto primero modificamos la W y dejamos el valor de L constante y después se hace lo contrario.

Si se hace esto se obtiene que el comportamiento de la figura de ruido ante una variación de W es el mostrado en la figura 5.21.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

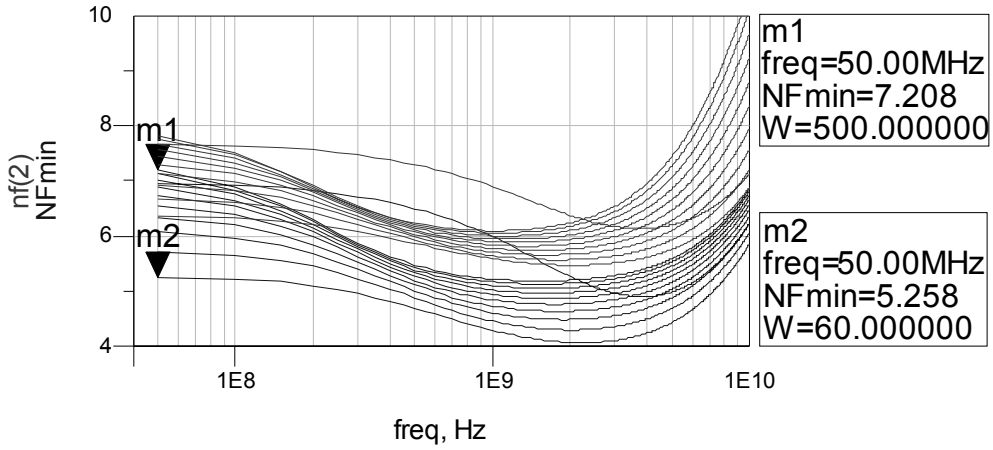


Figura 5.21: Análisis de la figura de ruido del circuito al variar la W de los espejos de corriente usando una L de 1 μm y unas corrientes de polarización de Io1=600 μA e Io2=50 μA.

El resultado que se ve es que la W de los transistores que forman el espejo de corriente es proporcional a la figura de ruido, o sea, al disminuir la W también se hace menor el ruido del circuito.

Ahora se hace el mismo procedimiento pero variando el valor de la L de los transistores y lo que se deja fija será la W. Simulando en ADS se obtiene la figura 5.22.

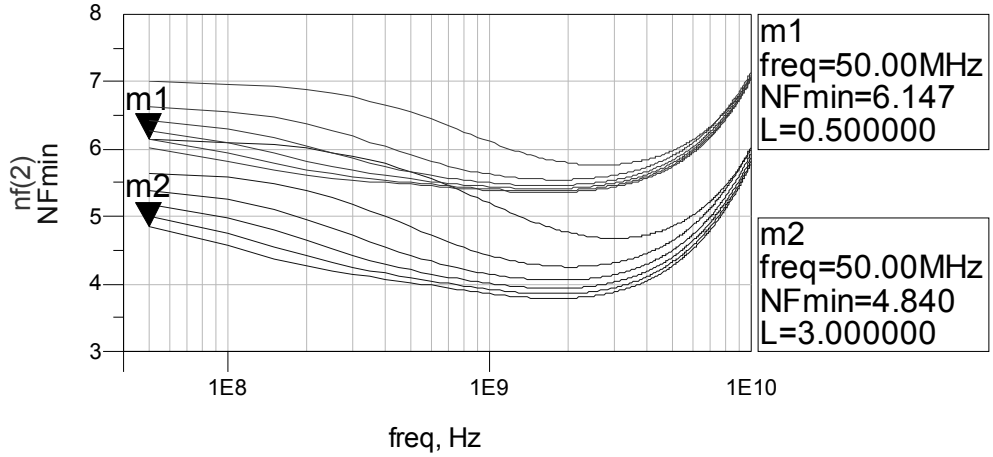


Figura 5.22: Resultado de la simulación del circuito con diferentes valores de L de los transistores de los espejos de corriente, usando una W de 50 μm y unas corrientes de polarización Io1=600μA e Io2=50μA.

Se puede ver que el ruido es menor cuanto mayor sea el valor de L.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En resumen, para que la figura de ruido del circuito sea lo menor posible nos interesa que la corriente de polarización Io1 sea elevada, que Io2 sea pequeña, que los transistores MOS tengan una W pequeña y una L elevada y que el área de los transistores bipolares sea elevada.

5.3. Análisis de los resultados

Según los resultados obtenidos de la simulación y reforzados dichos resultados con el estudio del circuito en pequeña señal y las características de los transistores dadas por el fabricante se pueden sacar las siguientes conclusiones:

1. La disminución del área de los transistores bipolares implica una disminución de las capacidades de los transistores afectando de la siguiente manera al circuito:
    - La impedancia de entrada al circuito depende de la impedancia que presenta el transistor Q_{21} y, por tanto, para mantener la impedancia de entrada próxima a 50 Ohm hay que aumentar la corriente de entrada Io_1.
    - El aumento de la corriente de polarización Io_1 implica un aumento de la transconductancia del transistor Q_{21} lo que se traduce, según la ecuación de la ganancia del circuito en pequeña señal, en un aumento de la ganancia del circuito.
    - Una disminución de las capacidades de los transistores se traduce en un aumento de la frecuencia de corte y, por tanto, un aumento del ancho de banda del circuito.
    - Pero a partir de un área de 1 μm^2 el ancho de banda no sólo no aumenta sino que disminuye considerablemente. Esto es debido a que la relación entre Io_1/área es del orden de 10^{-3} y, como se puede observar en las gráficas proporcionadas por el fabricante, la frecuencia máxima de oscilación del transistor cae fuertemente.
2. El aumento de la corriente Io_2 conlleva:
    - Un aumento de la transconductancia del transistor Q_{22} y, según la ecuación de la ganancia del circuito, una disminución de la ganancia.
    - Además, la relación Ic/área es mayor por lo que, según se puede observar en las gráficas proporcionadas por el fabricante [44], la frecuencia máxima de oscilación es mayor y, por tanto, aumenta el ancho de banda.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

3. El aumento de la W de los transistores MOS implica:

   - Un aumento de la corriente de drenador, tal como se ve de los resultados de la simulación y se corrobora con las gráficas de las características de los MOS dadas por el fabricante.

   - Este aumento en la corriente de drenador se traduce en un aumento de la corriente de colector del transistor BJT Q_{21} y, como la ganancia es directamente proporcional a la corriente de colector de Q_{21}, se produce un aumento de la ganancia.

   - Por otra parte, este aumento de la corriente de colector también produce una disminución de la frecuencia máxima de oscilación del transistor, como se ve en la gráfica de Fmax en función de Ic/área, y, por tanto, en una disminución del ancho de banda del circuito.

4. El aumento de la L de los transistores MOS implica:

   - Una disminución de la corriente de drenador, tal como se ve de los resultados de la simulación y se corrobora con las gráficas dadas por el fabricante.

   - Además, esta disminución de la corriente produce la disminución de la ganancia, según se explicó la relación de la corriente con la ganancia en el punto anterior.

   - Así mismo, se producirá un aumento del ancho de banda.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

5.4. Conclusiones

Se puede apreciar que el circuito diseñado presenta multitud de variaciones. Dependiendo de lo que se pretenda podemos hacer que la ganancia sea mayor o menor, tener mejor ancho de banda o quizás se necesite que la figura de ruido sea muy pequeña. Teniendo en cuenta estos factores, el diseño del amplificador será distinto en cada caso.

Otro factor muy importante y que hay que destacar es que la adaptación del circuito se realiza mediante la variación de las corrientes de polarización por lo que no hacen falta bobinas para adaptar. Este hecho hace que, el área de nuestro circuito tenga un valor muy reducido en comparación con otros diseños de amplificadores de bajo ruido convencionales.

También se puede apreciar que el resultado de las simulaciones concuerda con el estudio teórico hecho del circuito, así como con las características de los transistores dadas por el fabricante. Los resultados de ancho de banda obtenidos con las fuentes de corriente reales son mucho peores que los obtenidos con las fuentes de corriente ideales debido, principalmente, a los efectos parásitos de los transistores MOS. Con lo que respecta al ruido introducido por el circuito vemos que, el comportamiento del circuito con fuentes de corrientes reales e ideales es similar en cuanto a su tendencia aunque, como era de esperar, con las fuentes de corrientes reales ha empeorado mucho el ruido del circuito.

El circuito que se ha tomado finalmente es el que se muestra en la figura 5.23.

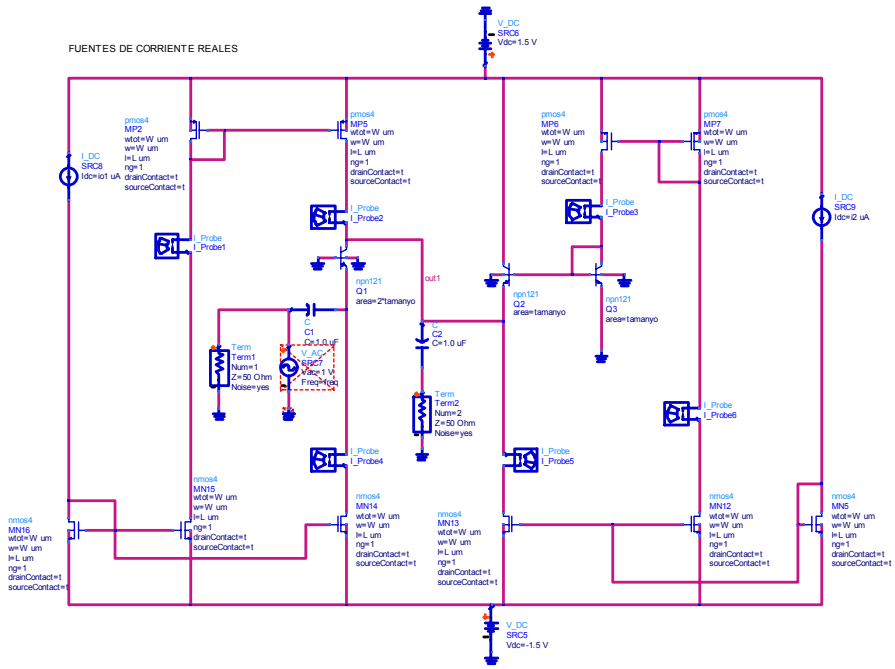


Figura 5.23: Esquemático final que se ha diseñado en CADENCE.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

donde el tamaño de los transistores BJT es de 10 μm^2, excepto el Q_{21} que es de 20 μm^2, la W de los transistores MOS es de 20 μm y la L tiene un valor de 1 μm. En la figura 5.24 se muestran los valores de la ganancia obtenida para estos valores.

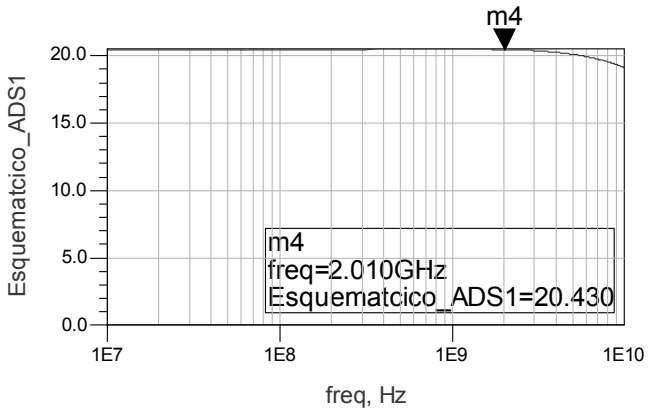


Figura 5.24: Ganancia obtenida con una corriente de polarización Io1 de 600 μA y una corriente Io2 de 50 μA.

Se puede observar que la ganancia es bastante elevada y que llega a un gran margen de frecuencias.

Otro parámetro importante es la figura de ruido. Si la analizamos para los valores de transistores seleccionados obtenemos la figura 5.25.

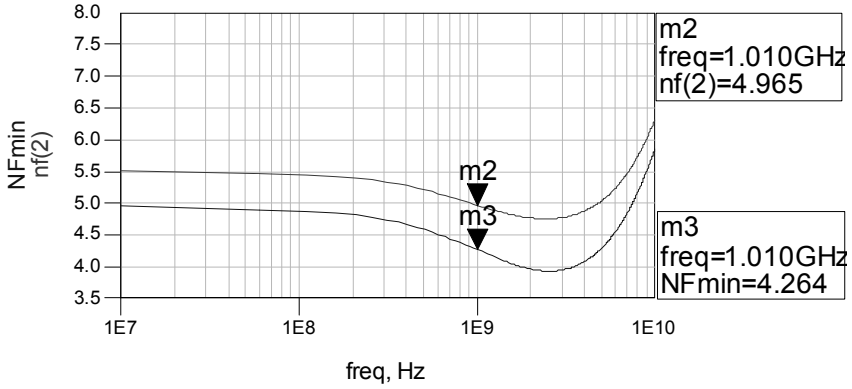


Figura 5.25: Figura de ruido para una corriente de polarización Io1 de 600 μA y una corriente Io2 de 50 μA.

La figura de ruido va de 4 a 6 dB en un margen de frecuencias comprendido entre 1 y 10 GHz.

También se ha observado la adaptación de entrada y salida del circuito como se puede ver en la figura 5.26.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

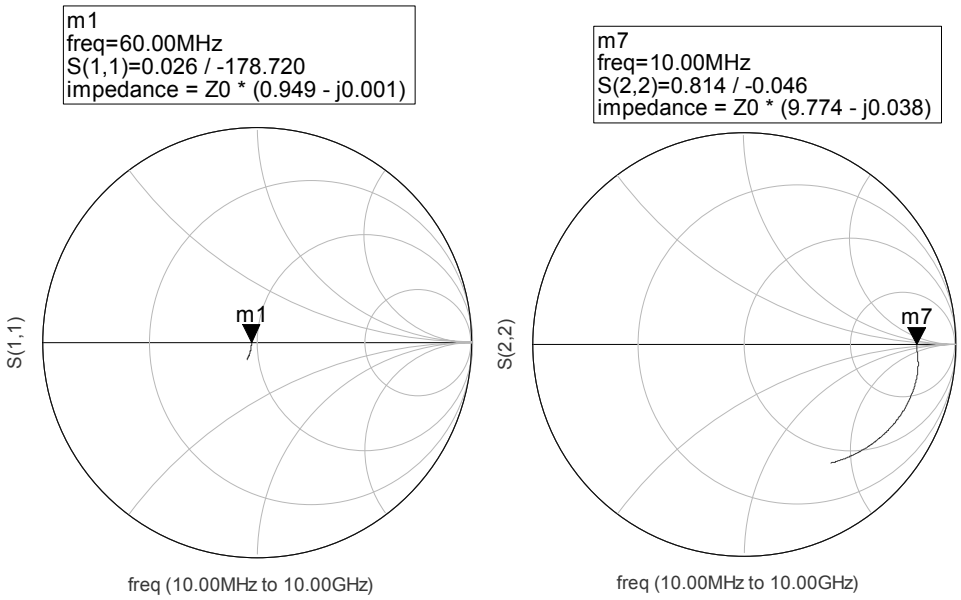


Figura 5.26: Adaptación de entrada y adaptación de salida para una corriente de polarización Io1 de 600 μA y una corriente Io2 de 50 μA.

Se puede observar que la entrada del circuito está correctamente adaptada a 50Ω, variando la adaptación de salida en función de la corriente de polarización Io2.

Un último estudio realizado es el correspondiente a la linealidad del circuito. Para realizarlo se ha calculado el punto de compresión a 1dB. En la figura 5.27 se puede observar el resultado obtenido.

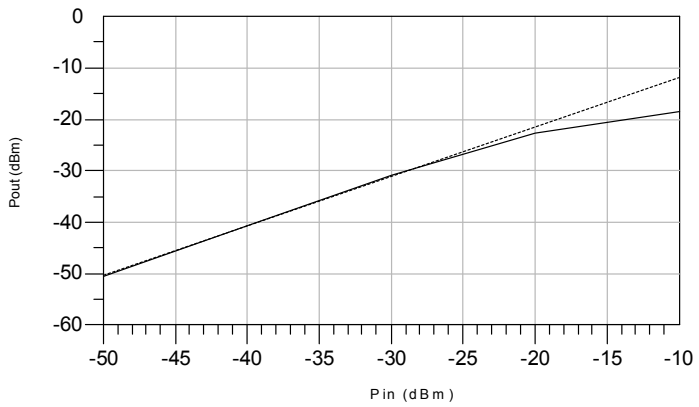


Figura 5.27: Cálculo de la potencia a 1dB para una corriente de polarización Io1 de 600 μA y una corriente Io2 de 50 μA.

Vemos que tenemos un valor de -19 dBm. A partir de este dato también podemos realizar el cálculo del IIP3. Para obtenerlo debemos aplicar la siguiente ecuación (5.1) [27]:

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

$$P_{1dB} - IIP3 = -9.6dB \tag{5.1}$$

Despejando obtenemos que el IIP3 es igual a la potencia donde la ganancia cae 1 dB menos 9.6 dB. Si realizamos esta operación se obtiene que el IIP3 de este amplificador es de -9.4 dBm.

Vemos que los resultados concuerdan con lo estudiado, donde tenemos un circuito con una ganancia bastante alta y una figura de ruido media de 5 dB. La adaptación de entrada se ha conseguido centrar en 50Ω sin necesidad de usar bobinas y la adaptación de salida la controlamos según se varíe la corriente de polarización Io2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 6

Diseño a nivel de *layout*

En el capítulo anterior se realizó uno de los pasos más importantes, el diseño a nivel de esquemático. Una vez hecho esto, seguimos con el siguiente paso: el diseño a nivel de *layout* y simulación *post-layout*.

El *layout* consiste en definir los planos de fabricación del circuito integrado. Para desarrollarlo se han utilizado los resultados obtenidos en el capítulo anterior, la tecnología con sus reglas de diseño y la herramienta de diseño *CADENCE*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

6.1 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc.

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común *Vdd* o tierra.

- El sustrato se ha conectado al potencial más negativo, en este caso, a -1.5 v.

- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos.

Otro de los aspectos importantes es el referido al consumo de potencia del circuito. Éstos toman especial relevancia en el dimensionado de las pistas de interconexionado de los componentes. Así, hemos de saber que cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo. Para asegurarnos de que no se destruya ninguna parte del circuito, se han sobredimensionado las anchuras mínimas. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

6.2 *Layout* del LNA

En la Figura 6.1 se muestra el *layout* del LNA. El área total ocupada incluyendo los *pads* de medida es de 800 x 430 μm^2. Sin embargo el área del circuito es de tan solo 62 x 44 μm^2. Este área es muy inferior al normalmente empleado por otras estructuras de LNA que utilizan bobinas para las adaptaciones y circuitos de carga.

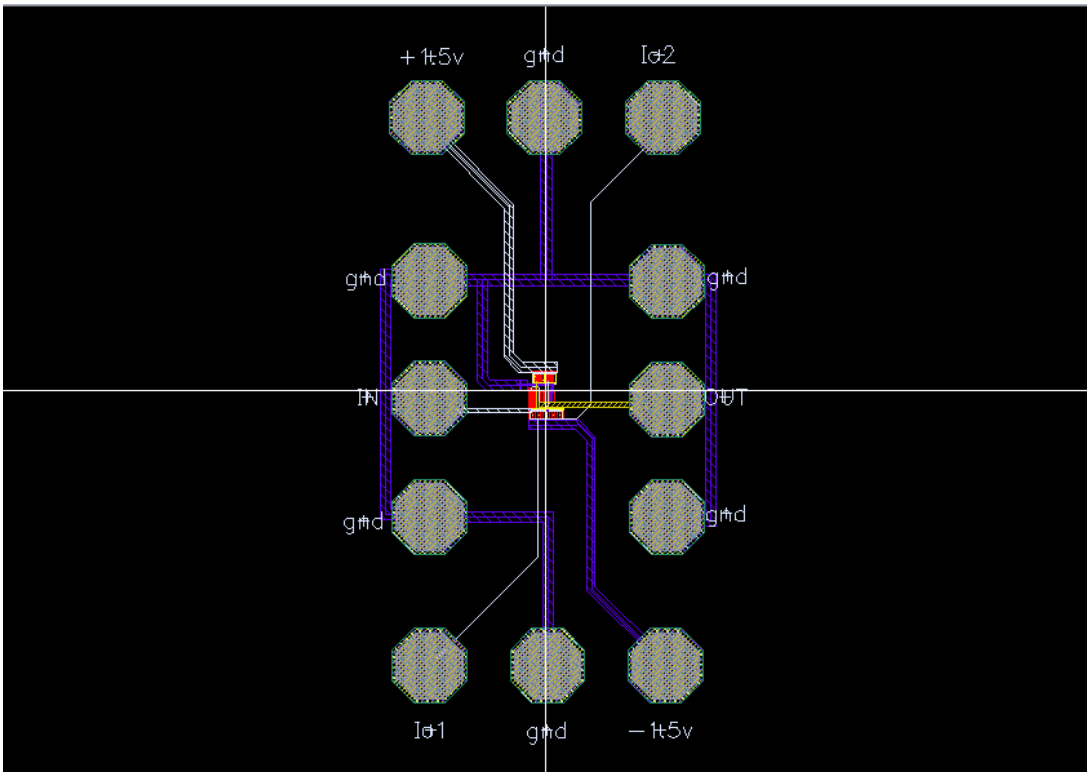


Figura 6.1: Layout del amplificador de bajo ruido realizado con convertidores de corriente.

La disposición de los transistores de los espejos de corriente así como de los otros transistores que forman el circuito se ha hecho intentando conseguir la mayor simetría posible. En primer lugar se han colocado los transistores que forman los espejos de corriente, los transistores PMOS y los transistores NMOS. Se realizaron las conexiones entre ellos aprovechando las diferentes capas de metal y luego se ha rodeado con un anillo de guarda. Esto lo podemos ver en las figuras 6.2 y 6.3.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

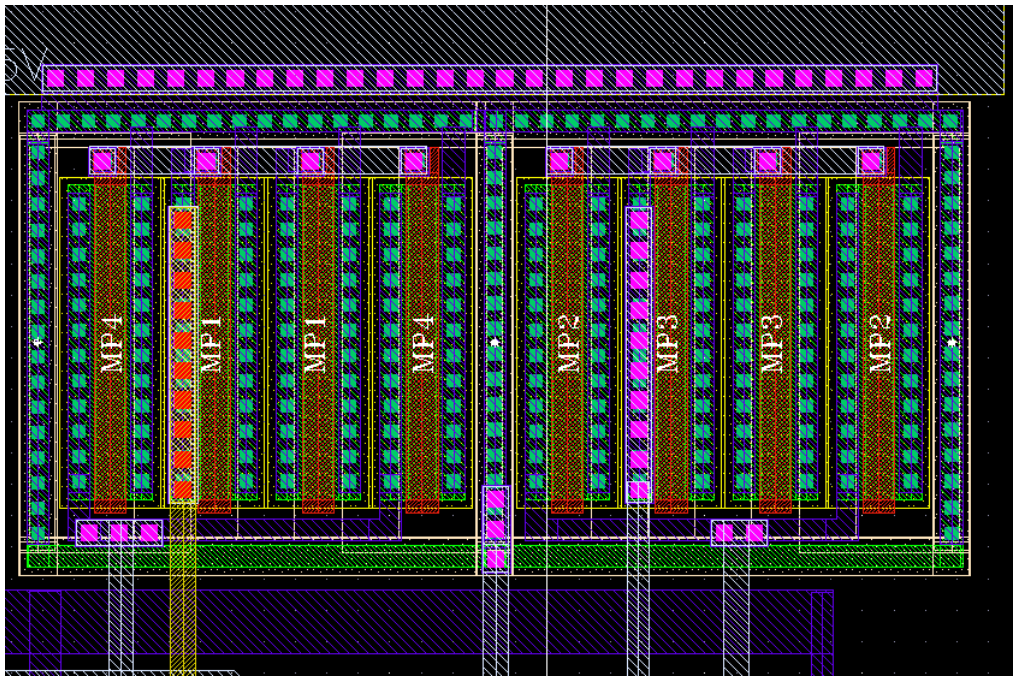


Figura 6.2: Transistores que forman los espejos de corriente, en este caso los transistores PMOS.

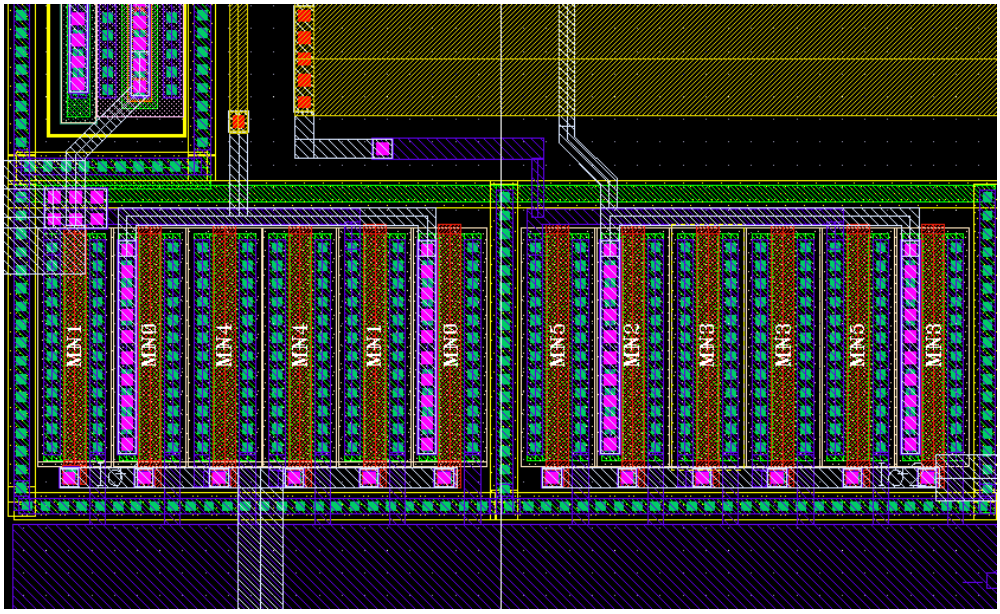


Figura 6.3: Transistores que forman los espejos de corriente, en este caso los transistores NMOS.

El siguiente paso es colocar los transistores BJT en el layout con el área calculada en capítulos anteriores (Figura 6.4). Una vez colocados se realiza el interconexionado de pistas que conectará a los transistores BJT entre si y con los que forman los espejos de corriente.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

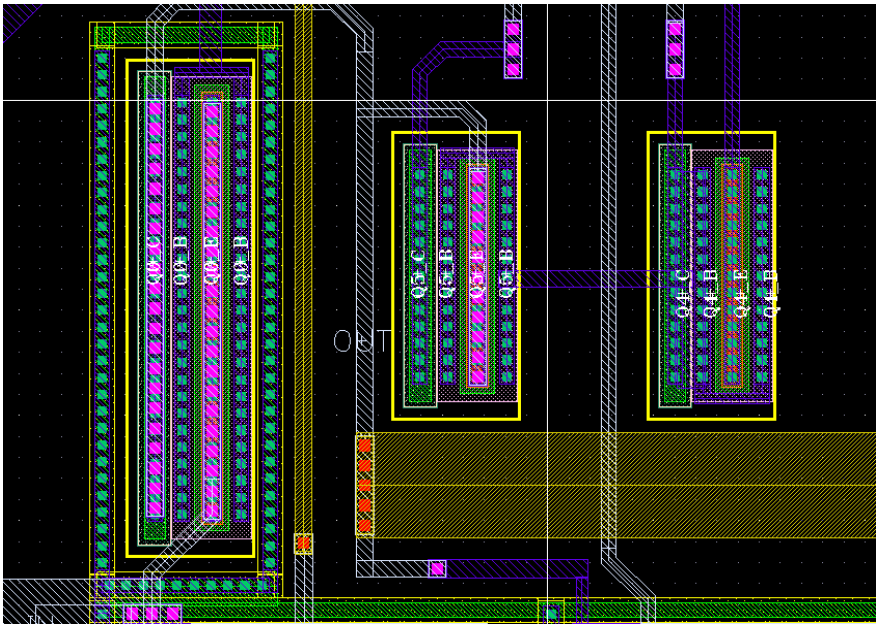


Figura 6.4: Transistores BJT que forman parte del layout.

La imagen del layout completo, en el que vemos todos los transistores que forman el espejo de corriente y los transistores BJT se ve en la figura 6.5 en el que se puede observar el pequeño área que ocupa el diseño realizado.

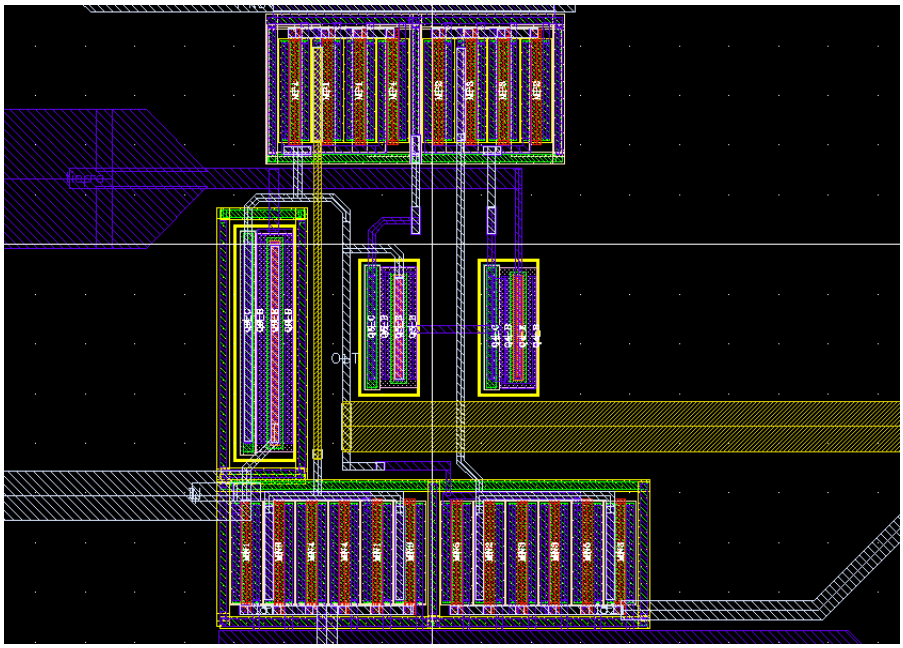


Figura 6.5: Imagen completa del layout realizado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Una vez realizado el layout, el siguiente paso es colocar los pads para la conexión del circuito con el exterior. Para la construcción del circuito se han puesto 4 terminales (12 pads). Se han usado dos terminales *Signal-Ground-Signal (SGS)* para introducir las tensiones de alimentación ±1.5 V y para introducir las corrientes de polarización Io1 e Io2 y dos terminales *Ground-Signal-Ground (GSG)* para las señales de entrada y salida del circuito. El layout completo lo podemos ver en la imagen de la Figura 6.6.

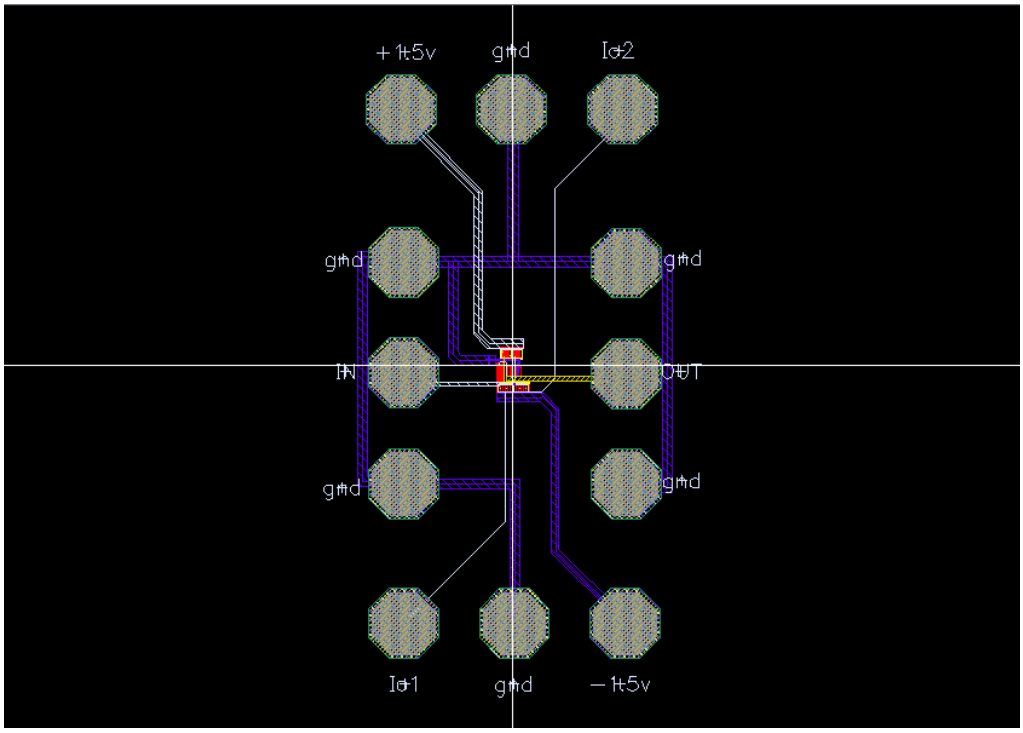


Figura 6.6: Layout completo.

En el siguiente apartado se mostrarán los resultados de la simulación *post-layout*.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

6.3 Simulación *post-layout* con CADENCE

A la hora de implementar físicamente el LNA aparecen una serie de parásitos que modifican el comportamiento del circuito, lo que nos obliga a reajustar de nuevo el diseño. Para ello, se ha seguido el procedimiento visto en el capítulo anterior. Se puede apreciar que se muestran tres tipos de simulaciones: esquemático (ver capítulo anterior), *typical case layout*, y *worst case layout*. Dichas simulaciones fueron realizadas con el *software* de extracción de parásitos ASSURA. El realizar las simulaciones *post-layout* con los modelos *typical case* y *worst case* nos permite asegurar el correcto funcionamiento del diseño ante posibles fluctuaciones que se puedan producir en la fabricación. Esto se debe a que la fundidora posee la parametrización de dichas variaciones mediante ecuaciones matemáticas, las cuales se incluyen en los modelos comentados.

Las simulaciones *typical case* se refieren a los modelos de los transistores que suministra la tecnología en los que su rendimiento se encuentra dentro de la media. Por otro lado, las simulaciones *worst case* se refieren a las desviaciones máximas que se producen en el proceso de fabricación de los transistores. Este tipo de simulaciones es vital para predecir el funcionamiento del circuito una vez fabricado.

La ganancia en potencia del circuito es la que se muestra en la figura 6.7.

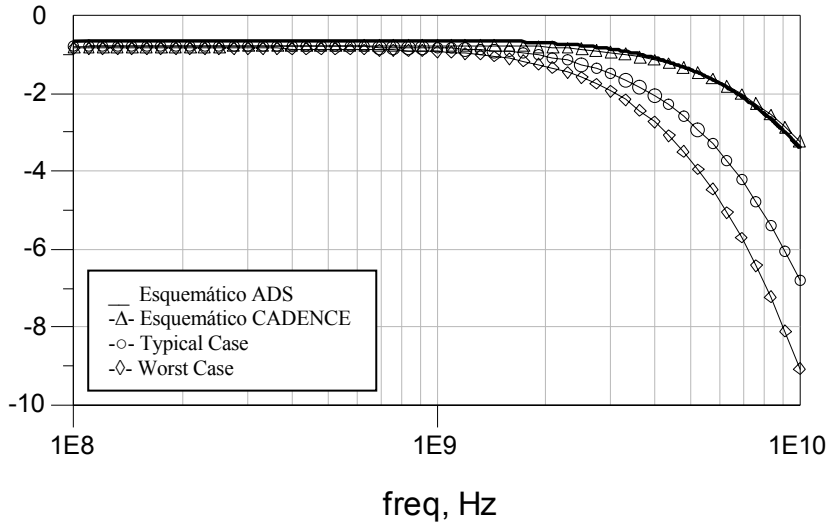


Figura 6.7: Ganancia del circuito simulando el esquemático, el caso típico y el peor de los casos para una corriente de polarización Io2 de 50 μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Aquí se observa la ganancia en potencia del circuito (parámetro S_{21}). Esta ganancia no coincide con la ganancia en tensión ya que el circuito no está adaptado a 50 Ω a la salida. Por tanto, para saber la ganancia en tensión se debe ir a la fórmula de la ganancia en potencia de un circuito genérico (figura 6.8).

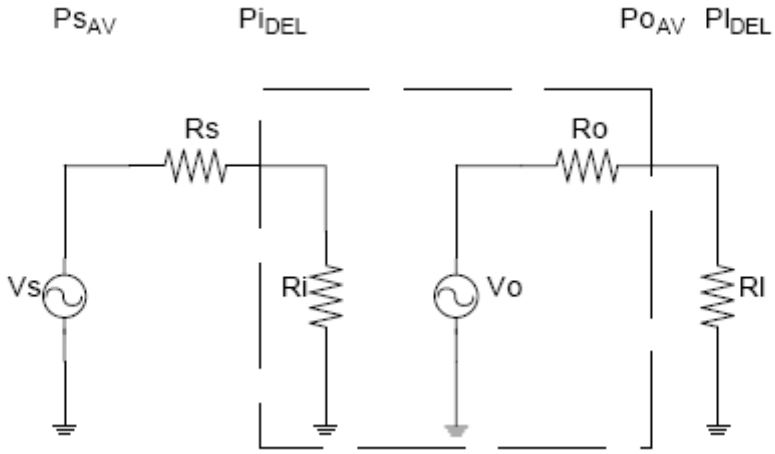


Figura 6.8: Caja negra de un circuito donde se refleja impedancias y potencias.

La ganancia en potencia del circuito viene dada por la fórmula 5.1.

$$G_T = \frac{Pl_{DEL}}{Ps_{AV}} = Av^2 \left(\frac{Ri}{Rs + Ri} \right)^2 \frac{4RsRl}{(Ro + Rl)^2} \tag{5.1}$$

Donde Pl_{DEL} es la potencia entregada a la carga y Ps_{AV} es la potencia disponible a la salida de la fuente. Si el circuito estuviera adaptado a 50 ohmios a la entrada y a la salida la ganancia en tensión es igual a la ganancia en potencia. Esto se comprueba sustituyendo los datos en la ecuación 5.1. En nuestro caso Rs=Ri=50 ohmios pero Ro≠Rl=50 por lo que la ganancia en tensión la deducimos despejando de la ecuación 5.1. Si lo sustituimos obtenemos que la ganancia en tensión es la que vemos en la ecuación 5.2.

$$G_T = Av^2 \frac{50^2}{(Ro + 50)^2} \tag{5.2}$$

$$Av = \sqrt{\frac{G_T (Ro + 50)^2}{50^2}} = \sqrt{G_T} \frac{(Ro + 50)}{50}$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Despejando la ganancia en tensión obtenemos la gráfica de la figura 6.9.

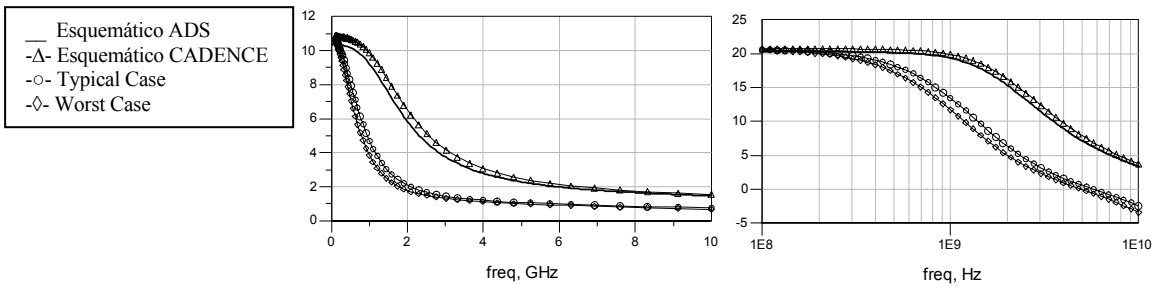


Figura 6.9: Ganancia en tensión del circuito en lineal y en dB para una corriente de polarización Io2=50 µA.

Si realizamos este proceso para diferentes corrientes obtenemos las ganancias de la figura 6.10.

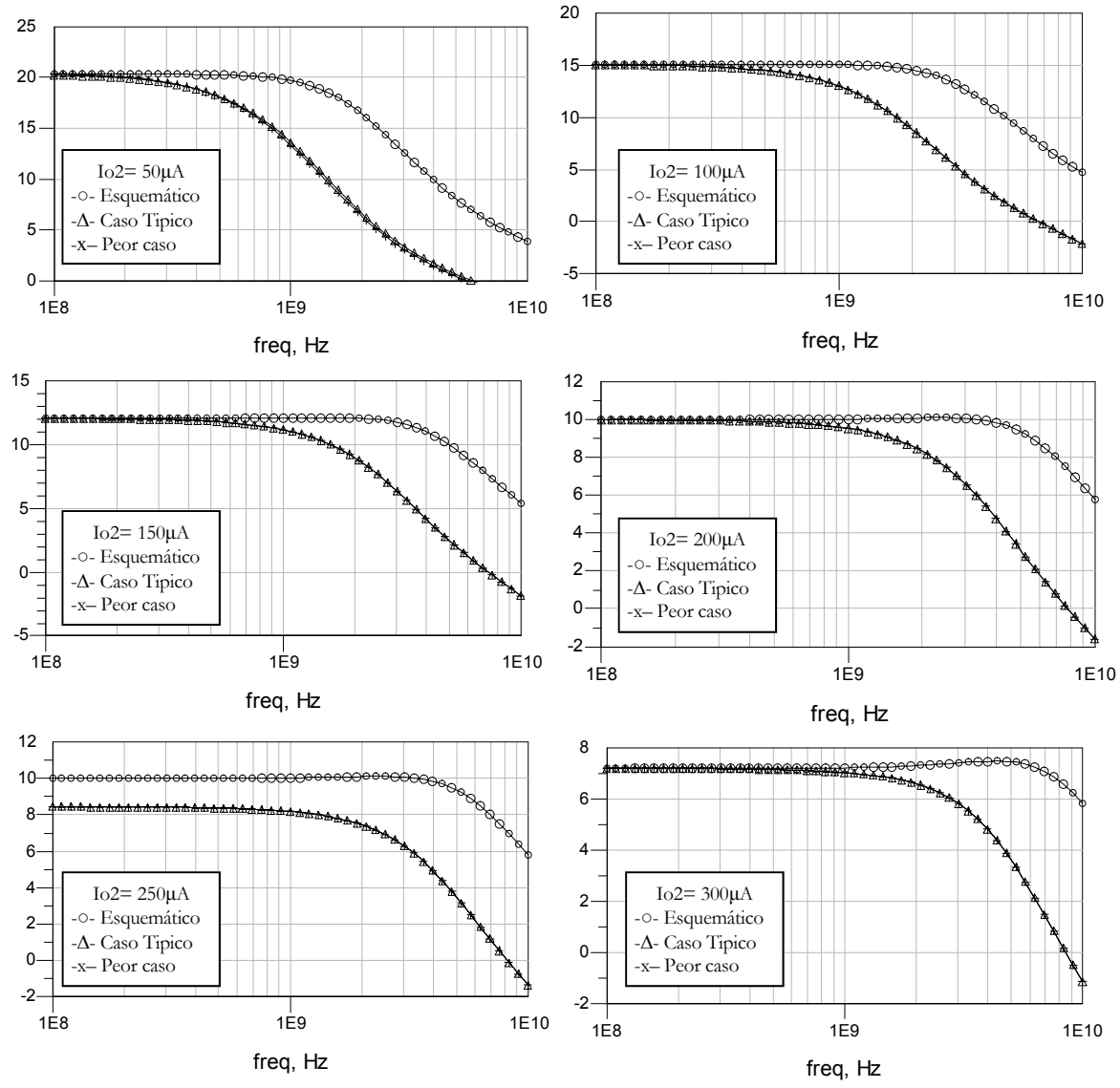


Figura 6.10: Ganancia en tensión del circuito para una diferentes corriente de polarización Io2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Se ve que la ganancia en tensión es prácticamente igual en todos los casos simulados, aunque el ancho de banda se va reduciendo considerablemente para el caso típico y para el *worst case*. Además se comprueba que las diferentes ganancias concuerdan con los resultados obtenidos en la simulación del circuito en ADS, teniendo mayor ganancia para una corriente de polarización Io2 menor y, a medida que aumentamos el valor de la corriente de polarización, se disminuye la ganancia y aumenta el ancho de banda.

Otros datos que también se han simulado y que se puede comparar es la adaptación de entrada del circuito y la figura de ruido. Lo primero que vemos es la adaptación de entrada en la imagen 6.11.

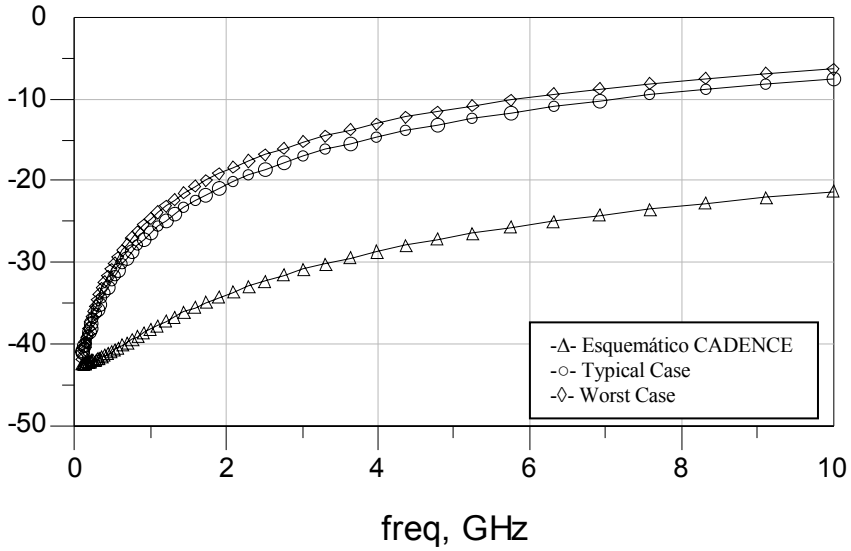


Figura 6.11: Adaptación de entrada.

Se ve que la adaptación de entrada es algo peor en el caso típico y en el peor de los casos que en el esquemático.

El siguiente parámetro a analizar es la figura de ruido introducida por el circuito. Si usamos las herramientas del CADENCE para simular el circuito se obtiene el resultado de la figura 6.12.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

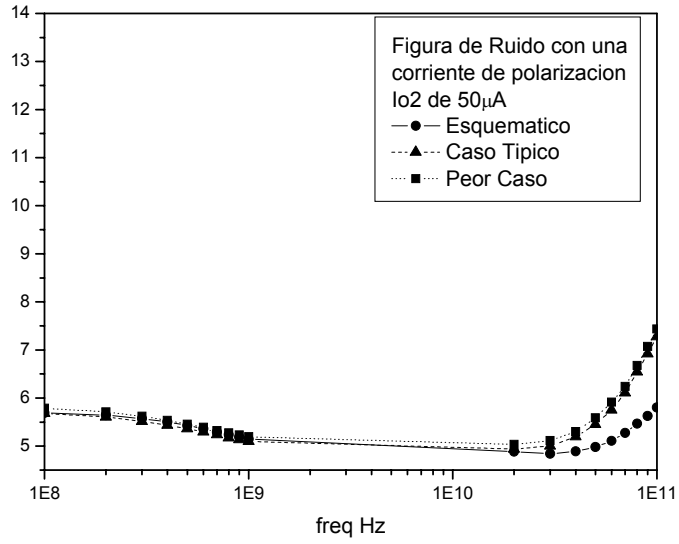


Figura 6.12: Figura de ruido para una corriente de polarización Io2 de 50 μA..

Se observa que la figura de ruido presenta un valor de alrededor 5.5 dB y después crece de manera exponencial, ocurriendo el crecimiento antes en la simulación del peor de los casos (*worst case*) y en el caso típico que en la simulación del esquemático hecho en el CADENCE.

Si hacemos el cálculo para diferentes corrientes de polarización Io2 se obtienen las figuras de ruido de la figura 6.13.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

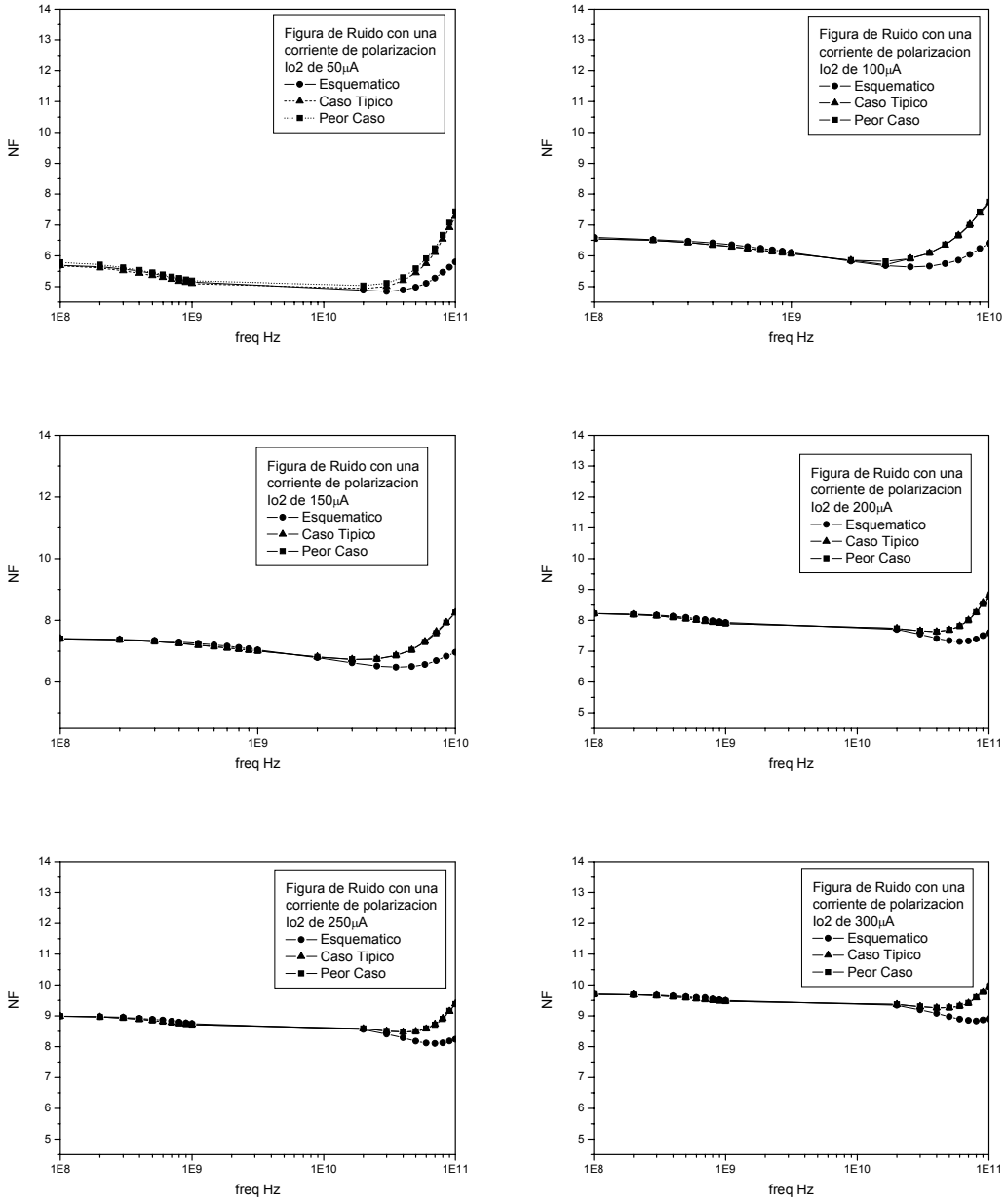


Figura 6.13: Figura de ruido para una diferentes corriente de polarización Io2.

Se observa que, como se esperaba, la figura de ruido va aumentando según aumenta el valor de la corriente de polarización Io2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

6.4 Conclusiones

En este capítulo se ha descrito como se ha realizado el diseño a nivel de *layout* de nuestro circuito. Esto se ha logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento.

Seguidamente se ha comprobado que el sistema se ha comportado como se esperaba, o sea, que los datos obtenidos al simular el layout sean coherentes con los resultados obtenidos en la simulación del esquemático.

En el siguiente capítulo se presentan los resultados obtenidos de las medidas de nuestro circuito, tras ser implementado por la fundidora AMS.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 7

Medidas

En el capítulo anterior se profundizó en el diseño del layout de nuestro circuito. Una vez realizado este paso, se llevo a cabo al envío del *layout* generado a la *foundry* AMS para su implementación física. En este capítulo se procederá a la evaluación del rendimiento de nuestros diseños a través de medidas en una estación de puntas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En la figura 7.1 podemos observar una fotografía del circuito final, realizada con el microscopio de la estación de puntas.

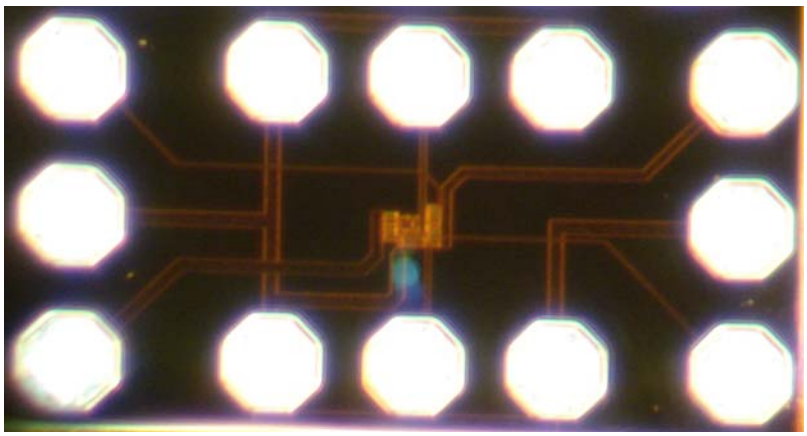


Figura 7.1: Fotografía del chip.

7.1 Componentes de medidas

En primer lugar se va a detallar los componentes usados, que son suministrados por el IUMA [48], para tomar las medidas correspondientes de nuestro circuito.

- 2 fuentes de alimentación *Hewlett Packard E3620A*.
- 2 fuentes de corriente.
- 1 Analizador de redes (VNA) *Hewlett Packard 8720E*.
- 2 puntas de prueba SGS (*Signal-Ground-Signal*) *Cascade Microtech ACP40D-W SGS-150*.
- 2 puntas de prueba GSG (*Ground-Signal-Ground*) *Cascade Microtech ACP40D-W GSG-150*.
- 2 *DC-blocks* *BLK-18*.
- Sustrato de Calibración *Cascade Microtech P/N 101-190*.
- Cables de RF *Sucoflex* 104A 150cm.
- Cables de alimentación y adaptadores SMA-BNC.
- Codos de interconexionado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

En primer lugar, antes de llevar el circuito a medir hubo que fabricar dos fuentes de corriente necesarias como se ha visto en capítulos anteriores. Para su fabricación se ha conectado en una placa PCB una fuente de tensión a dos cargas a las cuales hemos calculado el valor necesario para obtener la intensidad deseada para conseguir las dos corrientes de polarización. La carga está compuesta por una resistencia y un potenciómetro que nos ayudará a ajustar con más precisión la corriente deseada. Entre la carga y la salida hemos colocado un amperímetro para asegurarnos que la corriente es la que se pretende. Esta estructura se muestra en la figura 7.2.

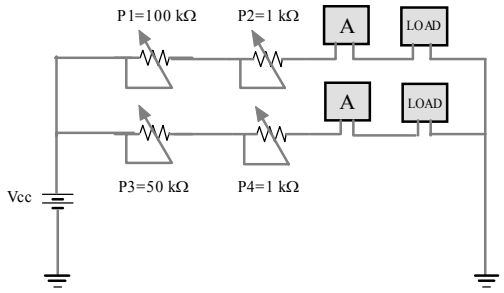


Figura 7.2 Fuentes de corriente.

El siguiente paso a realizar previo a la medida del amplificador es la calibración de los aparatos de medida (VNA, Analizador de Espectros,…). Con esto parametrizamos las pérdidas de dichos dispositivos, y su influencia en las medidas. Para ello debemos utilizar el Sustrato de Calibración. Durante este proceso se utilizan tres tipos de sustrato: *load* (carga de 50 Ω), *short* (abierto) y *thru* (corto). Esto nos permitirá caracterizar la respuesta del *set-up* de medidas, y diferenciarla de la medida real. Dicho procedimiento [52] se muestra en la figura 7.3.

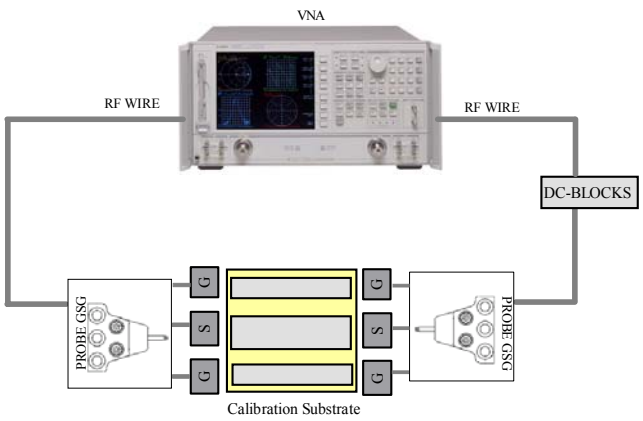


Figura 7.3 Calibración del VNA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

7.1 Resultados de medidas

7.2.1 Medida de los parámetros S

Como ya comentamos, para la medida de los parámetros S de un circuito de RF es necesario establecer el plano de referencia a la entrada de dicho circuito, es decir se necesita eliminar o sustraer de la medida el efecto de todos aquellos errores sistemáticos como pueden ser las pérdidas en cables, conectores, etc. Mediante el proceso de calibración se suministra al VNA toda la información necesaria para que después pueda sustraerse de la medida del circuito los efectos debidos a los errores sistemáticos mencionados. De esta manera se obtienen los parámetros S justo a la entrada del circuito que se quiere caracterizar.

La manera de calibrar el VNA es ir conectando al cable que se va a utilizar en las medidas una serie de terminaciones: un cortocircuito, un circuito abierto y una carga de 50 Ω, que es la impedancia característica del aparato.

El VNA puede calibrarse de dos maneras diferentes, según se quieran medir sólo los parámetros de reflexión: S_{11} y S_{22} o incluir también los de transmisión: S_{21} y S_{12}.

Antes de comenzar cualquier calibración, es bueno cerciorarse del rango de frecuencias en el que vamos a calibrar el aparato, para ello basta con pulsar FREQ y a continuación establecer el rango START-STOP. La potencia de la señal empleada para realizar la calibración es también un parámetro importante y antes de calibrar el VNA siempre habrá que considerar cual es el valor adecuado de potencia a emplear.

Para comprobar que la calibración es suficientemente buena como para poder calcular los parámetros S de un circuito con precisión, y que las medidas que realicemos sean repetibles, es necesario comprobar, una vez calibrado el aparato, el comportamiento del circuito abierto, del cortocircuito y la carga del kit en formato logarítmico (dB) y en la carta de Smith dentro del rango de frecuencias que nos interesa. Para que la calibración sea suficientemente buena, el parámetro S_{11} debe estar dentro del rango ±0.1 dB para el cortocircuito y circuito abierto; e inferior a –40dB para la carga.

Una vez realizada la calibración del VNA como se ha explicado anteriormente, el siguiente paso es realizar la medida del amplificador. Para ello debemos interconectar el VNA

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

tal y como muestra la figura 7.4. En ella se pueden apreciar los diferentes instrumentos utilizados, así como las puntas *SGS, GSG* y los *DC-BLOCK*.

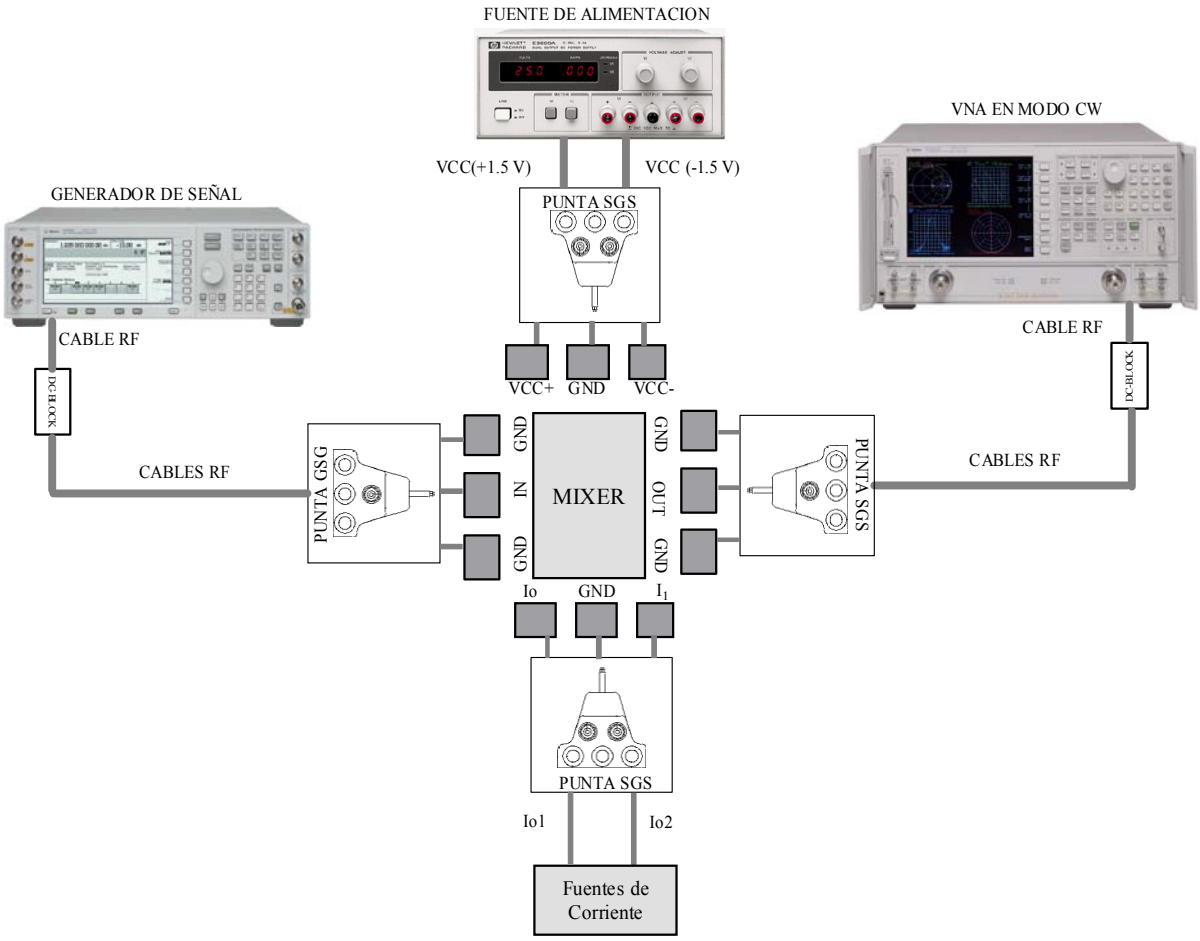
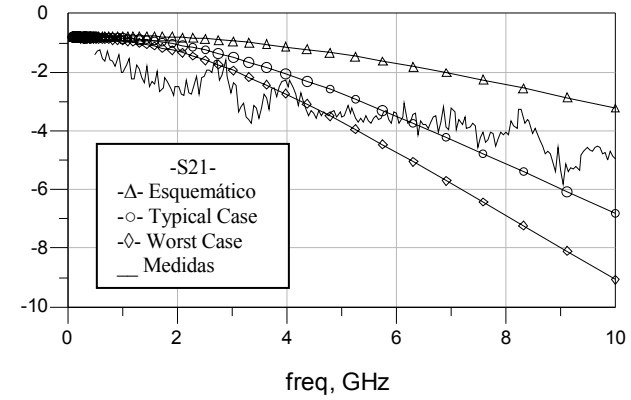


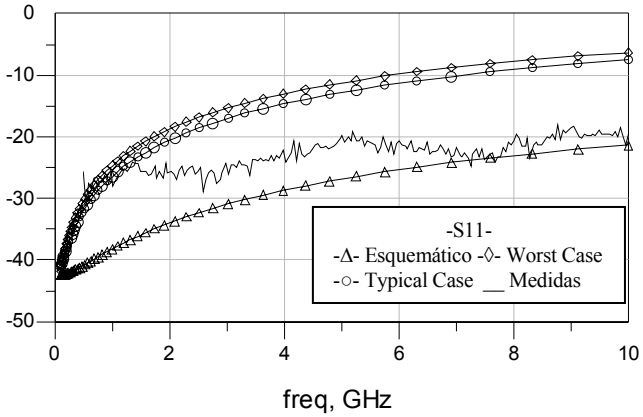
Figura 7.4 *Set-up* de Medidas (ver fotografía en el anexo).

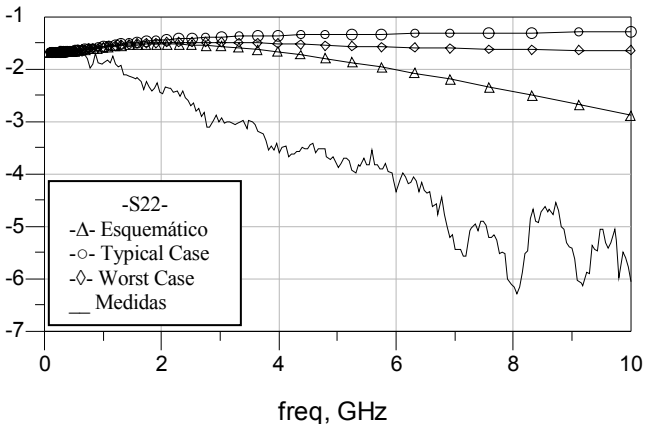
A continuación se muestran los resultados obtenidos de las medidas realizadas utilizando el *set-up* anterior.

En la figura 7.5 se comparan los resultados medidos con los obtenidos en la simulación para una corriente de polarización Io1 de 600 μA y una corriente de polarización Io2 de 50 μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012







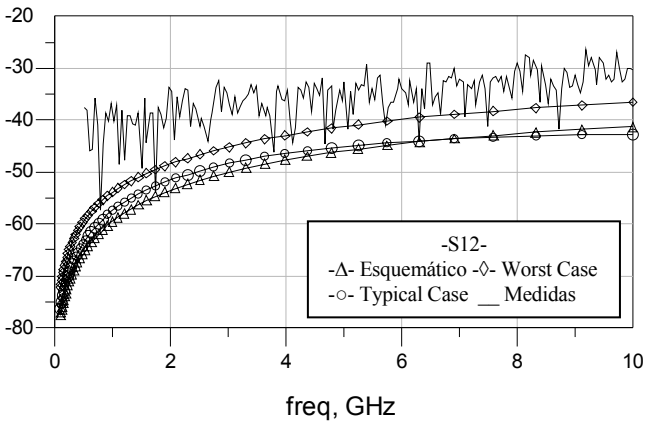
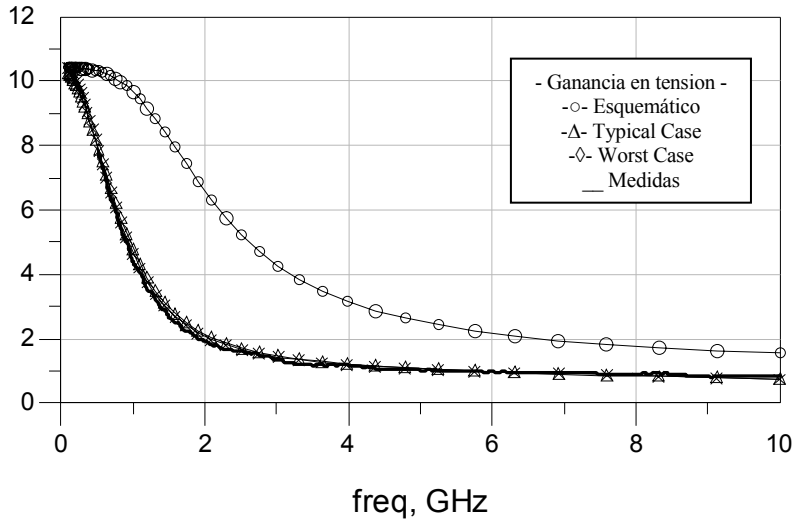


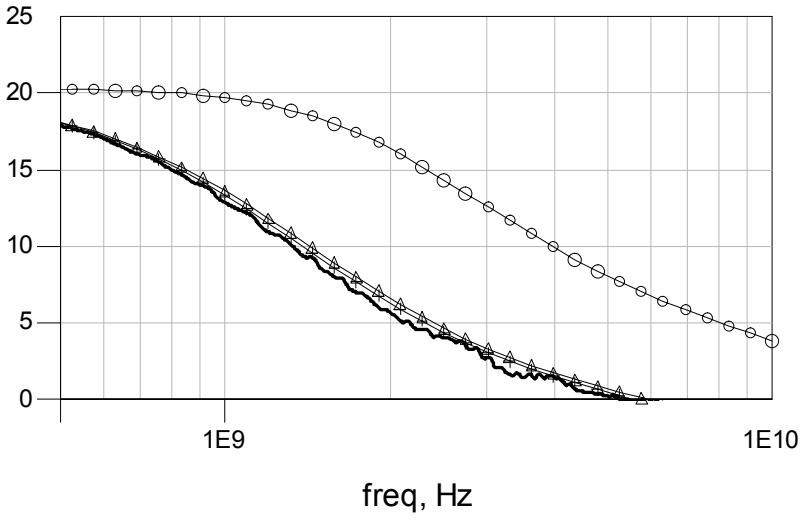
Figura 7.5 Medidas frente a simulaciones para Io2=50 μA e Io1=600μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Una vez visto los parámetros S del circuito, hay que recordar que la ganancia no corresponde con la ganancia real del circuito debido a que la salida del amplificador no está adaptada a 50Ω y el VNA disponible presenta una impedancia característica de 50Ω. Por tanto, para ver la ganancia en tensión del circuito tenemos que irnos a la ecuación de la ganancia de un amplificador como ya se ha hecho y explicado en capítulos anteriores. En la figura 7.6 se puede observar la ganancia en tensión obtenida tras los cálculos pertinentes.



(a)



(b)

Figura 7.6: Ganancia en tensión en lineal (a) y en dB (b) medida frente a simulaciones para Io2=50 μA e Io1=600μA.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Si modificamos la corriente de polarización Io2 tendremos las diferentes ganancias que se muestran en la figura 7.7.

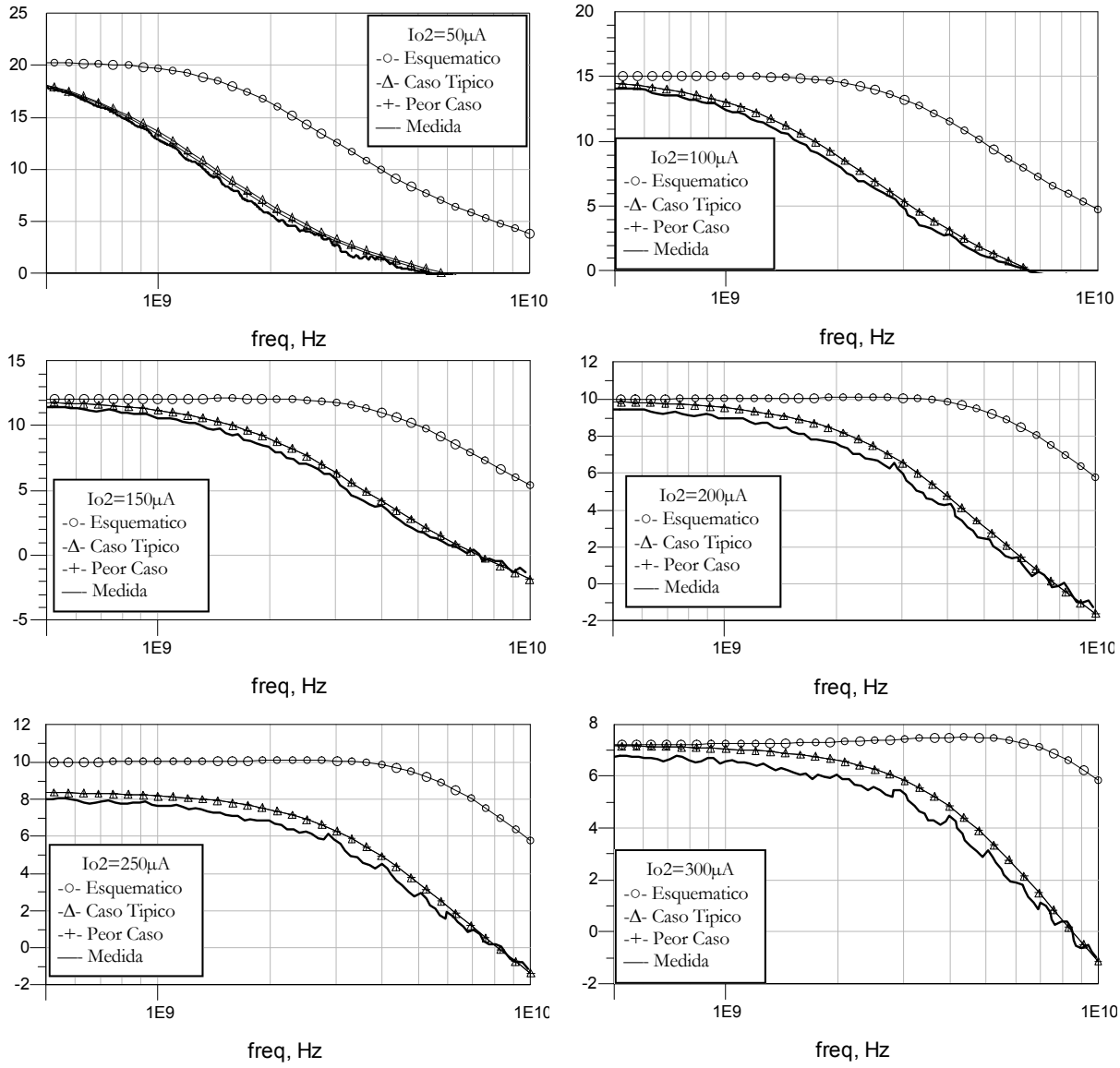


Figura 7.7: Ganancia en tensión medida frente a simulaciones para diferentes corrientes de polarización Io2.

En la medida de la ganancia (S_{21}) se observa que tiene un valor muy similar al valor obtenido en las simulaciones del caso típico y el peor caso, viendo, que, como se esperaba, el valor de la ganancia va disminuyendo a medida que aumentando la corriente de polarización Io2.

Como se observa en la figura 7.4 la adaptación de entrada (S_{11}) es bastante similar a la obtenida en las simulaciones, comprobando que el circuito está bien adaptado sin usar bobinas. En cuanto a la adaptación de salida (S_{22}) vemos que su valor en magnitud difiere

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

ligeramente de las simulaciones. Hemos comprobado que debido a la fase introducida por el *DC-block*, la fase del parámetro S_{22} no coincide de forma exacta con la simulación. Por último, el aislamiento (S_{12}) del circuito es bastante bueno con un valor un poco superior al obtenido en la simulación del *worst case* del *post layout*.

7.2.2 Medida del ruido

Una vez medidos los parámetros S de nuestro circuito, pasamos a medir la figura de ruido. Para ello usaremos el analizador de espectros. Destacar que el analizador de espectros nos dará valores de ruido y ganancia del circuito. Si introducimos un nivel de ruido R_1 a la entrada del circuito, a la salida obtendremos un ruido igual a $GR_1 + N_A$, donde G es la ganancia del LNA, y N_A es el ruido que introduce el circuito.

Para realizar la medida del ruido debemos, en primer lugar, calibrar el analizador de espectros para así eliminar su influencia en la medida del ruido. La forma de hacer esto es conectar un cable BNC a la salida que se encuentra en el panel trasero del analizador de espectros. A continuación conectamos la fuente de ruido a dicho cable, conectamos un cable a la entrada del analizador de espectros, y unimos este cable con la fuente de ruido mediante un corto (*through*). El esquema de conexión se muestra en la figura 7.8.

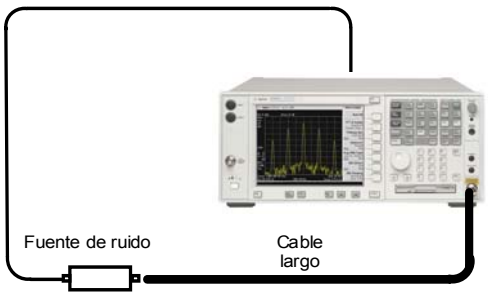


Figura 7.8: Calibración del analizador de espectros.

Una vez calibrado el analizador de espectros, y eliminado la influencia de todos los cables y elementos necesarios para la medida del ruido, sustituimos el *through* por nuestro circuito a medir (*DUT= Device Under Test*), como se puede observar en la figura 7.9 y realizamos la medida del ruido.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

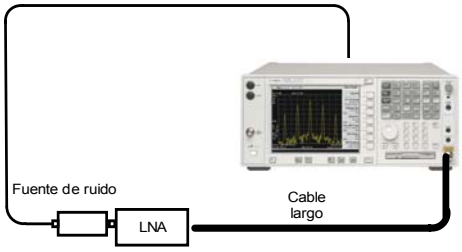


Figura 7.9: *Set-up* de medida del ruido.

En la figura 7.11 se muestran los resultados obtenidos del cálculo de la figura de ruido utilizando diferentes valores de corriente de polarización Io2.

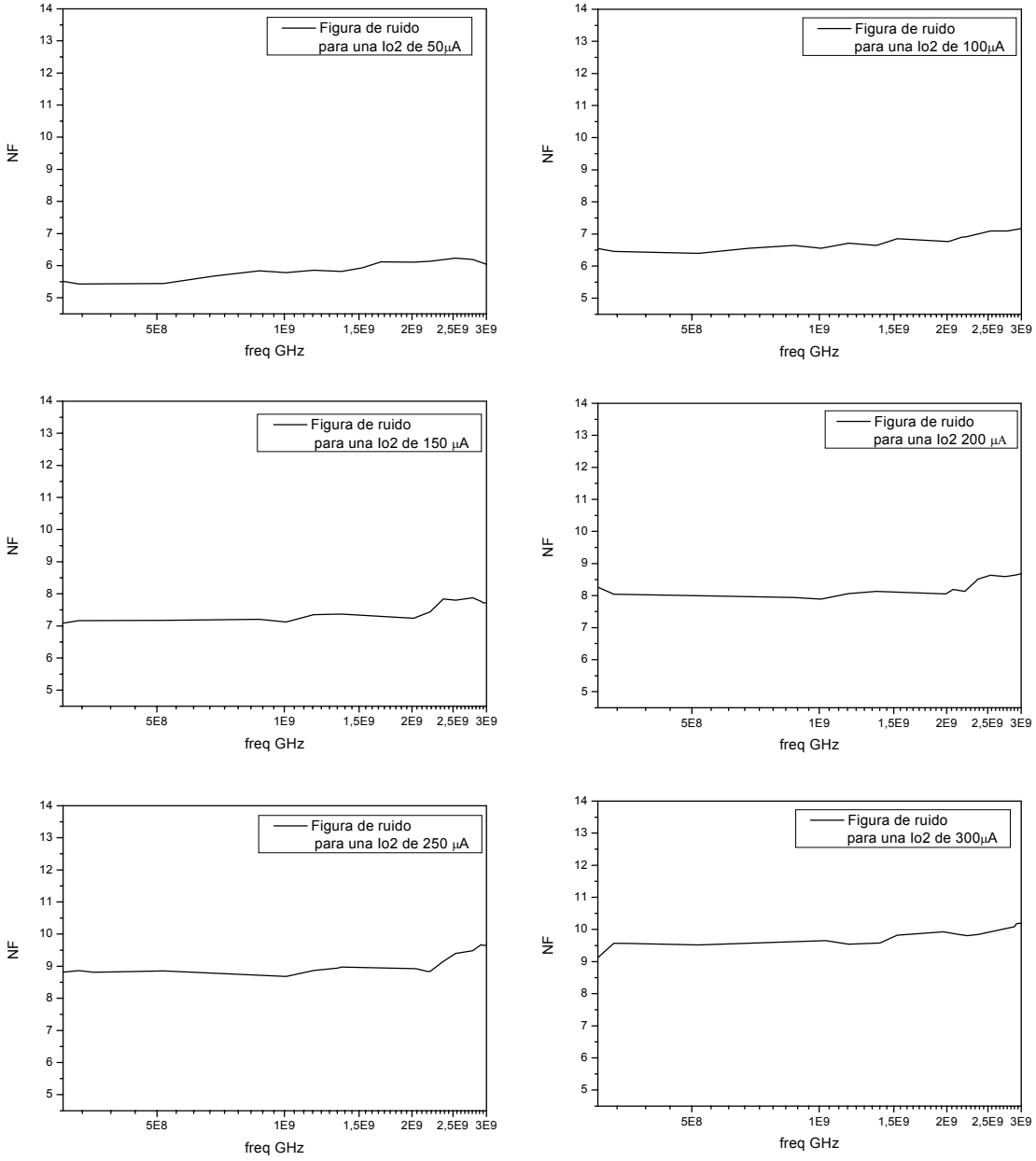


Figura 7.11: Medida del ruido para diferentes valores de Io2.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Vemos que la figura de ruido del circuito es similar que la que se obtuvo en la simulación, con un valor muy alto para una corriente de polarización Io2 alta y a medida que vamos disminuyendo el valor de la corriente de polarización, la figura de ruido va disminuyendo.

7.2.3 Medida del punto de compresión a 1dB

En este apartado abordamos la medida de la medida de la linealidad de nuestro circuito a partir del punto de compresión a 1 dB. Esta medida se hace aumentando la potencia de la señal de entrada y viendo cómo se comporta la señal de salida, de forma que, cuando ésta caiga 1 dB por debajo de la salida ideal, decimos que hemos alcanzado el punto de compresión a 1 dB. En la figura 7.12 se muestra el resultado obtenido para una frecuencia de la señal de entrada de 666 MHz, y unas corrientes de polarización de Io1=600 μA e Io2=50μA. El P_{1dB} obtenido es de -20.18 dBm.

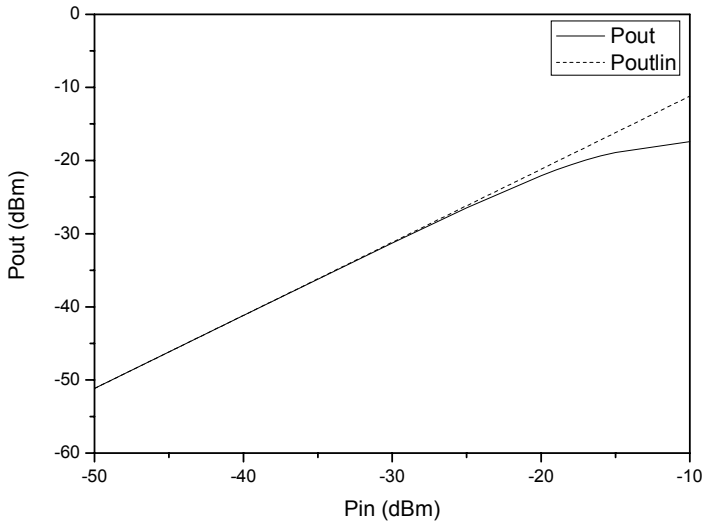


Figura 7.12: Punto de compresión a 1 dB del circuito usando una corriente de polarización Io2 de 50μA e Io1 de 600 μA y un pulso centrado en 666 MHz.

A partir de este dato también podemos realizar el cálculo del IIP3 como se realizó anteriormente. Para obtenerlo aplicamos la siguiente ecuación (5.1) [27]:

$$P_{1dB} - IIP3 = -9.6dB \tag{5.1}$$

Realizando esta operación se obtiene que el IIP3 del amplificador es de -10.58 dBm.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

7.2.3 Consumo del circuito

Por último, en este análisis que hemos hecho de los parámetros del amplificador realizado con convertidores de corriente hay que destacar que el consumo del chip es de 1.7 mA.

7.3 Conclusiones

En el presente capítulo hemos podido comprobar el correcto funcionamiento de nuestro diseño. Para ello hemos presentado las técnicas empleadas para su correcta verificación. Del mismo modo, hemos constatado las diferencias existentes entre la medida y las simulaciones *post- layout*.

Se ha comprobado el comportamiento del circuito para los diferentes parámetros de los amplificadores y se ha comprobado otro aspecto que se considera muy importante en este circuito, su consumo es de 1.7 mA, un consumo muy inferior a otras estructuras de LNAs.

En el próximo capítulo estableceremos un balance del desarrollo del proyecto, lo que nos conducirá a una serie de conclusiones, válidas para el desarrollo de futuros trabajos y diseños.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Capítulo 8

Conclusiones

El objetivo de este proyecto es analizar la viabilidad de los convertidores de corriente para la fabricación de un LNA, usando la tecnología SiGe de 0.35 μm suministrada por AMS.

Para la realización de este análisis el primer paso que se llevó a cabo fue el estudio de diferentes arquitecturas de receptores. Se analizó las ventajas e inconvenientes de las diferentes arquitecturas así como las partes de que constan.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

El siguiente paso fue el estudio de los convertidores de corriente para analizar las ventajas que presentaban frente a otro tipo de estructuras. Se analizó la evolución de los convertidores de corriente, mostrando diferentes estructuras para su realización y se vieron diferentes topologías, como filtros, amplificadores, etc., realizadas con estos dispositivos.

Una vez visto los convertidores de corriente, el siguiente paso fue el estudio de los LNAs. Lo que pretendimos fue mostrar diferentes tipos de amplificadores de bajo ruido usados en la actualidad y sus principales características. Una vez estudiado, se presentó la estructura alternativa de LNA empleando convertidores de corriente, para posteriormente analizar y comprobar la viabilidad para ver las ventajas e inconvenientes que presenta frente a las arquitecturas tradicionales.

Partiendo de estas arquitecturas y teniendo en cuenta el análisis de la tecnología a emplear, la denominada SiGe 0.35 de AMS, se procedió al diseño y estudio del LNA a nivel de esquemático. Lo primero que se planteó fue el estudio del amplificador de bajo ruido con fuentes de corriente ideales. Se analizaron los diferentes parámetros que definen un amplificador como son la ganancia, figura de ruido e impedancias de entrada y de salida y como afectaban las variaciones de las variables del circuito, como pueden ser corrientes de polarización y áreas de los transistores, en estos parámetros.

Una vez visto el comportamiento, el siguiente paso fue sustituir las fuentes de corriente ideales por fuentes de corriente reales. Se sustituyeron las fuentes de corriente ideales por espejos de corriente y realizamos un análisis del circuito como se hizo en el caso anterior. Se mostraron las incidencias que provocan en los parámetros del amplificador las diferentes variables que forman nuestro amplificador.

A la hora de simular hubo que prestar atención a la adaptación de salida. Al no estar el circuito correctamente adaptado a 50 Ω, la medida de la ganancia usando los parámetros S no fue la correcta por lo que hubo que emplear la fórmula de la ganancia en potencia para comprobar su funcionamiento.

Analizado los resultados obtenidos y observando las diferentes parámetros del amplificador, nos decantamos por unos valores de parámetros del circuito que nos parecieron los más indicados.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Una vez analizado el circuito, y calculado los diferentes parámetros del amplificador, el siguiente paso fue el diseño a nivel de *layout,* utilizándose las reglas comunes en este tipo de trabajos, así como las técnicas que nos permiten prever posibles errores de funcionamiento.

Por último, se procedió a la medida de los diseños, para comprobar el buen funcionamiento del circuito, además de poder realizar una comparación entre el diseño a nivel de esquemático, *layout* y la medida realizada.

Se observó que los resultados medidos concordaron con lo estudiado teóricamente y que el circuito medido tenía un comportamiento similar al presentado en la simulación del caso típico y *worst case*. En la tabla 8.1 se puede observar algunos de los datos del amplificador para diferentes corrientes de polarización.

Tabla 8.1: Resultados obtenidos

Io2	***50μA***	***100μA***	***150μA***	***200μA***	***250μA***	***300μA***
Ganancia	18 dB	14 dB	11.44 dB	9.4 dB	8 dB	6.7 dB
Ancho de Banda (-3dB)	820 MHz	1.3 GHz	1.9 GHz	2.7 GHz	3.26 GHz	4.3 GHz
NF	5.5 dB	6.5 dB	7.2 dB	8 dB	8.9 dB	9.6 dB
|Zout|	500 Ω	256 Ω	175 Ω	133 Ω	105 Ω	90 Ω

Una vez analizado este amplificador se pueden ver las diferentes ventajas que ofrece respecto a otros modelos de LNA que hay en la actualidad.

En primer lugar hay que destacar que es un amplificador de ganancia variable, con unos posibles valores de ganancia bastante altos, donde éste adquiere diferentes valores con sólo modificar la corriente de polarización. Esto es una ventaja que no presentan otras estructuras.

También creemos que otro factor elemental es el tamaño. Es un circuito que, al no usar bobinas para realizar los procesos de adaptación, el área que ocupa es mucho más pequeña que la de cualquier otro LNA convencional.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Ya mencionamos antes que la adaptación de entrada y de salida se realiza sólo cambiando las corrientes de polarización. Hemos visto como con sólo poner la corriente al valor calculado hemos conseguido que el circuito esté correctamente adaptado a 50 Ω a la entrada. El valor de la adaptación de salida cambiaba según la ganancia deseada en el circuito, pero creemos que no es un *handicap* muy importante ya que lo más importante es que la entrada, que va conectada a la antena, esté correctamente adaptada y para la adaptación de salida podemos realizar un diseño de la siguiente etapa que esté adaptado a la impedancia de salida que tengamos.

Otro aspecto es el ruido del circuito. Se observa que el ruido calculado es algo mayor en las medidas que el obtenido en las simulaciones, pero es un valor variable con la corriente de polarización, así que también podemos adaptarnos a diferentes posibilidades, dependiendo de si lo que necesitamos es tener el menor ruido posible o si por el contrario el ruido no es un factor tan restrictivo y necesitamos más ancho de banda, por ejemplo.

Un último factor a destacar del circuito estudiado, es su mínimo consumo. Al ser un circuito formado por transistores y no utilizar las bobinas, el consumo es de sólo 1,7 mA. Este es un valor que está muy por debajo de otros modelos de LNA que hay en la actualidad.

Para concluir, decir que el proyecto ha cumplido las expectativas creadas, el estudio de los convertidores de corriente como alternativa a los LNAs convencionales presentes en la actualidad. Creemos que es una alternativa válida y que presenta varias ventajas que no tienen otras alternativas en la actualidad. También opinamos que se pueden abrir futuras investigaciones como utilizar otro tipo de fuentes de corriente para ver si el circuito se puede optimizar aun más.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Presupuesto

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el estudio, en este capítulo se realizará un análisis económico con los costes tanto parciales como totales del proyecto.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Baremos utilizados

El cálculo del presupuesto de este proyecto se ha seguido según la **"Propuesta de baremos orientativos para el cálculo de honorarios"** establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2006.

Esta propuesta establece que para **"Trabajos tarifados por tiempo empleado"** se aplique la siguiente ecuación:

$$\mathbf{H = Hn \times 65 + He \times 78} \qquad (8.1)$$

Siendo:

- H = Honorarios a percibir.
- Hn = Horas contabilizadas en jornada normal.
- He = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por la aplicación de la clave "H" se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a lo detallado en la Tabla 8. 1.

Tabla 8. 1 Coeficientes reductores

Horas			**COEFICIENTE**
Hasta	36 horas		C=1
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	hasta 72 horas	hasta 108 horas	C=0,8
Exceso de	hasta 108 horas	hasta 144 horas	C=0,7
Exceso de	hasta 144 horas	hasta 180 horas	C=0,65
Exceso de	hasta 180 horas	hasta 360 horas	C=0,60
Exceso de	hasta 360 horas	hasta 510 horas	C=0,55
Exceso de	hasta 510 horas	hasta 720 horas	C=0,50
Exceso de	hasta 720 horas	hasta 1.080 horas	C=0,45
Exceso de	hasta 1.080 horas		C=0,40

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Cálculo del presupuesto

Costes debidos a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el ingeniero técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, en la **Tabla 8.2** establecemos unos valores indicativos del tiempo parcial empleado en cada fase del mismo.

Tabla 8. 2 Tiempo empleado

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	140
Estudio de la herramienta de diseño	65
Análisis y diseño del circuito	550
Medida de los diseños	200
Realización de la memoria	220

En definitiva, se necesitaron un total de 1175 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal, con lo que el cálculo "H" resulta:

$$H = 1175x65 = 76375 \quad (8.2)$$

Aplicando los coeficientes correctivos, dados por el COITT, a los tramos correspondientes resultan unos honorarios de:

$$H = 76375 \times 0.40 = 30.550\ € \quad (8.3)$$

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Costes de amortización de los equipos informáticos y herramientas software

A continuación se detallan, en las tablas 8.3 y 8.4, los costes relacionados a la utilización de equipos y herramientas software empleados en la elaboración del presente proyecto. Los costes están divididos entre el número de usuarios que acceden a ellos los cuáles se han estimado en un número de 50.

Tabla 8. 3 Costes debidos a la utilización de herramientas software

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Sistema operativo SunOs Release 4.1.3, Openwindows y aplicaciones x11	12	903,32	18,06	18,06
Entorno y diseño de simulación Advanced Design System				
Amortización 3 años	12	2.208,11	44.162	44,16
Mantenimiento	12	1.445,31	28,90	28,90
Entorno Windows NT	12	306,21	6,12	6,12
Microsoft Office 2003	12	448,95	8,97	8,97
COSTES DE HERRAMIENTAS SOFTWARE	**TOTAL**			106,21

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 8. 4 Costes debidos a la utilización de equipos informáticos

Descripción	**Tiempo de uso (meses)**	**Coste anual (€)**		**Total (€)**
		Total	**Usuario**	
Estación de trabajo SUN Sparc modelo Sparc Station 10				
Amortización 3 años	12	5.228,80	104,57	104,57
Mantenimiento	12	1.274,65	31,49	31,49
Servidor para simulación SUN Sparc Station 10				
Amortización 3 años	12	5.068,53	101,37	101,37
Mantenimiento	12	1.547,65	31,49	31,49
Impresora Hewlett Packard Laserjet 4L				
Amortización 3 años	12	360	7,20	7,20
Mantenimiento	12	120,20	2,40	2,40
Ordenador Personal Pentium III 1 GHz				
Amortización 3 años	12	360	7,20	7,20
Mantenimiento	12	120,20	2,40	2,40
COSTES DE EQUIPOS INFORMÁTICOS	**TOTAL**			288,12

Costes de medidas

En este apartado realizaremos un análisis económico de los gastos derivados del uso del laboratorio para la medida de los circuitos. Para la elaboración del estudio se ha tenido en cuenta que el laboratorio está siendo usado por una media de 10 personas a lo largo del año y la amortización de los equipos es a 10 años. Por otro lado el material fungible del laboratorio tales como puntas de medidas, cables, etc…se ha supuesto un periodo de amortización de 3 años.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 8. 5 Costes de medida

Descripción	Tiempo de uso	Coste anual (€)		Total (€)
		Total	Usuario	
Equipamiento del laboratorio de medida y estación del puntas	1 mes	30.477	3.047,7	253,97
Material fungible del laboratorio	1 mes	5.000	500	41,66
COSTES DE MEDIDAS	**TOTAL**			295,63

Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación

Descripción	mm^2	Precio mm^2 (€)	Gastos(€)
Amplificador con Convertidores de Corriente	0.344	1.000	344
COSTES DE FABRICACIÓN	**TOTAL**		344

Otros costes

En este apartado se incluyen los costes debidos al uso de Internet, material fungible y la elaboración del documento final.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Tabla 8. 6 Otros costes

Descripción	Nº de unidades	Coste unidad	Total (€)
Horas de uso de Internet	300 horas	1,2 €/hora	360
Paquetes papel DIN_A4 80 gr/m^2	4	4,55 €	18,2
Fotocopias	900	0,04 €	36
Otros			100
OTROS COSTES	**TOTAL**		514,2

Presupuesto total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla 8.2 Presupuesto total

Costes	Total(€)
Costes de herramientas software	106,21
Costes de equipos informáticos	288,12
Costes de medida	295,63
Costes de fabricación	344
Costes de recursos humanos	30550
Otros costes	514,2
Subtotal	32098,16
IGIC (5%)	1604,90
PRESUPUESTO TOTAL	**33703,06**

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

D. Jonathan Arias Pérez declara que el proyecto "**Análisis de viabilidad de utilizar Convertidores de Corriente en la implantación de LNAs**" asciende a un total de **treinta y tres mil setecientos tres euros con seis céntimos.**

Fdo. Jonathan Arias Pérez

DNI:78474445-D

Las Palmas de Gran Canaria, a de de 2008

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Bibliografía

[1] K.C. Smith, A.S. Sedra, "The current conveyor—a new circuit building block" Proc. IEEE, Vol 56, pp. 1368-1369, Proc. 1968.

[2] A.S.Sedra, K.C. Smith, "A second generation current conveyor and its applications" IEEE Transactions on Circuit Theory, Vol. CT 17, pp. 132-134, Feb 1970.

[3] A.S. Sedra, "A New Approach to active Network Synthesis" Ph.D. Thesis, University of Toronto, 1969.

[4] B. Wilson, "Constant bandwith voltage amplification using current conveyors" International Journal On Electronics, Vol. 65, No. 5, pp. 59-64, Feb 1977.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[5] L.T. Bruton, "RC-Active Circuits", Prentice-Hall, New Jersey, 1980.

[6] G.C. Temes, W.H. Ki, "Fast CMOS current amplifier and buffer stage", Electron. Lett. 1987, 23, (13), pp. 696-697

[7] R. Gray, R.G. Meyer, "Analysis and design of analog integrated circuits", Wiley, New York, 1984, 2nd edn.

[8] K.C. Smith, A.S. Sedra, "A new simple wide-band current-measuring device", IEEE Trans. 1969, IM-18, pp. 125-128.

[9] B.L. Brennan, T.R. Viswanathan, J.V. Hanson, "The CMOS negative impedance converter" IEEE J. 1988, SC-23, (5), pp. 1273-1275.

[10] K.Pal, R.Singh, "Inductorless current conveyor allpass filter using grounded capacitors", Electronics Letters, Vol. 18, pp. 47, Jan. 1982.

[11] U. Kumar, S.K. Shukla, "Recent developments in current conveyors and their applications", Microelectronics Journal, Vol. 16, pp. 47-52, Jan. 1985.

[12] F.W. Stephenson, J. Dunning-Davies, "Simplified design procedures for a third-order system using current conveyors", Electronics Letters, Vol. 17, No. 7, pp. 21-22, March 1979.

[13] R. Senani, "Novel higher-order active filter design using current conveyors", Electronics Letters, Vol. 21, No, 22, pp. 1055-1056, Oct. 1985.

[14] C.P. Chong, K.C. Smith, "Biquadratic filter sections employing a single current conveyor", Electronics Letters, Vol. 22, No 22, pp. 1162-1164, Oct. 1986.

[15] P. Aronhime, "Transfer function synthesis using a current conveyor", IEEE Transactions on Circuits and Systems, CAS 21, pp. 312-313, Marzo 1974.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[16] G.W. Roberts, A.S. Sedra, "All-current-mode frequency selective circuits", Electronics Letters, Vol. 25, No 12, pp.759-761, Junio 1989.

[17] G.G.A. Black, R.T. Friedmann, A.S. Sedra, "Gyrator implementations with integrable current conveyors", IEEE Journal of Solid State Circuits, Vol. SC-6, pp. 395-399, Diciembre 1971.

[18] B. Wilson, "High Perfomance current conveyor implementations", Electronics Letters, Vol. 20, pp. 990-991, Nov. 1984.

[19] F.J. Lidgey, C. Toumazou, "Accurate current follower", Electron. and Wireless World, Vol. 991, No. 1590, pp. 17-19, Abril 1985.

[20] C. Toumazou, F.J. Lidgey , "Floating-impedance converters using ccurrent converyors", Electronics Letters, Vol. 21, No. 15, pp. 640-642, Julio 1985.

[21] J.L. Huertas, "Circuit implementation of current conveyor", Electronics Letters, Vol. 16, pp. 225-227, Marzo 1980 .

[22] M. Nishio, H. Sato, T. Suzuki, "A gyrator constructed by CCII with variable current transfer ratio", IEEE Internacional Symposium on Circuits and Systems Proceedings, pp. 93-96, Mayo 1985.

[23] F. Gohh, "CMOS Current Conveyors, M.A.Sc", Tesis, Universidad de Toronto, 1988.

[24] A.S.Sedra, G.W.Roberts, "Current Conveyor: Theory andPractice"

[25] A.S. Sedra, P.O. Brackett, "Filter Theory and Design: Active and Passive", Matrix Publishers, Inc., Portland, OR, 1978.

[26] T.H. Lee, "The Design of CMOS RF Integrated Circuits" Cambridge University Press, pp. 34-57, 1998.

[27] F. Javier del Pino, "Diseño de Circuitos Integrados de Radiofrecuencia" apuntes de la asignatura: Electrónica Aplicada a las Comunicaciones, ULPGC.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[28] Behzad Razavi,"Design of Analog CMOS Integrated Circuits" Mc Graw Hill, 2001.

[29] J. R. Barrios, "Diseño de un amplificador de bajo ruido para un receptor GPS", Proyecto Final de Carrera, ULPGC, 2001.

[30] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.

[31] J. del Pino, S.L. Khemchandani, A. Hernández, J.R. Sendra, J. García, B. González, and A. Nunez, "The Impact of Integrated Inductors on Low Noise Amplifiers" XVIII Design of Integrated Circuits and Systems Conference, 2003.

[32] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz" desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.

[33] AMS Austria Micro Systems, "0.35 μm BiCMOS Design Rules" Rev. 2.0. 2003.

[34] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, 1998.

[35] A.S. Sedra, G.W. Roberts, F. Gohn, "The current conveyor: history, progress and new resuts", IEE Proceedings, Vol. 137, Pt. G, No. 2, Abril 1990.

[36] F. Seguin, B.Godara, F. Alicalapa, A. Fabre, "A Gain-Controllable Wide-Band Low-Noise Amplifier in Low-Cost 0.8-μm Si BiCMOS Technology", IEEE Transactions on microwave theory and techniques, Vol. 52, No. 1, Enero 2004.

[37] C.Toumazou, F.J. Lidgey, D.G. Haigh, "Analog IC Design: The Current Mode Approach", London, U.K., Peregrinus, 1990.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[38] A. Fabre, "Intensitive voltage mode and current mode filters from commercially available transimpedance operational amplifiers", Proc. Inst. Elect. Eng., Vol. 140, pp. 319-321, Oct. 1993.

[39] A.Fabre, O. Saiid, F. Wiest, C. Boucheron, "High-frequency, high Q BiCMOS current mode bandpass filter and mobile communications applications", IEEE J. Solid-State Circuits, Vol. 33, pp. 614-625, Abril 1998.

[40] -----, "High-frequency applications based on a new currentcontolled conveyor", IEEE Trans. Circuits Syst. I, Vol. 43, pp.82-91, Feb.1996.

[41] O. Oliaei, J. Porte, "Compound current conveyor (CCII+ and CCII-)", Electron Lett., Vol. 33, pp. 253-254, Feb. 1997.

[42] F. Seguin, A. Fabre, "2-GHz controlled current conveyor in standard 0.8 μm BiCMOS technology", Electron Lett., Vol. 37, No. 6, pp. 329-330, 2001.

[43] ---, "New second generation current conveyorwith reduced parasitic resistance and bandpass filter applications", IEEE Trans. Circuits Syst. I, Vol. 48, pp. 781-785, Junio 2001.

[44] J. Lopez-Hernandez, J.A. Diaz-Mendez, A. Diaz-Sanchez, "Current Conveyor de Segunda Generación y Bajo-Voltage", II Congreso Nacional de Electronica, Mexico, 2002.

[44] AMS Austria Micro Systems, "0.35 μm BiCMOS Design Rules" Rev. 2.0. 2003.

[45] AMS Austria Micro Systems, "0.35 μm BiCMOS Process Parameters" Rev. 1.0. 2002.

[46] T.H. Lee, "The Design of CMOS RF Integrated Circuits" Cambridge University Press, pp. 34-57, 1998.

[47] Página web de circuitos de RF: http://www.circuitstage.com

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

[48] Página web del IUMA: http://www.iuma.ulpgc.es

[49] Manuales Spectre RF, Cadence: http://www.cadence.com

[50] Página web del COITT: http://www.coitt.es

[51] Software y manuales ADS: http://www.agilent.com

[52] Página web: http://eesof.tm.agilent.com/products/momentum_main.html

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

Anexo

Una vez concluido el proyecto "Análisis de viabilidad de utilizar Convertidores de Corriente en la implantación de LNAs", a continuación se muestra una galería fotográfica del chip diseñado y del instrumental utilizado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

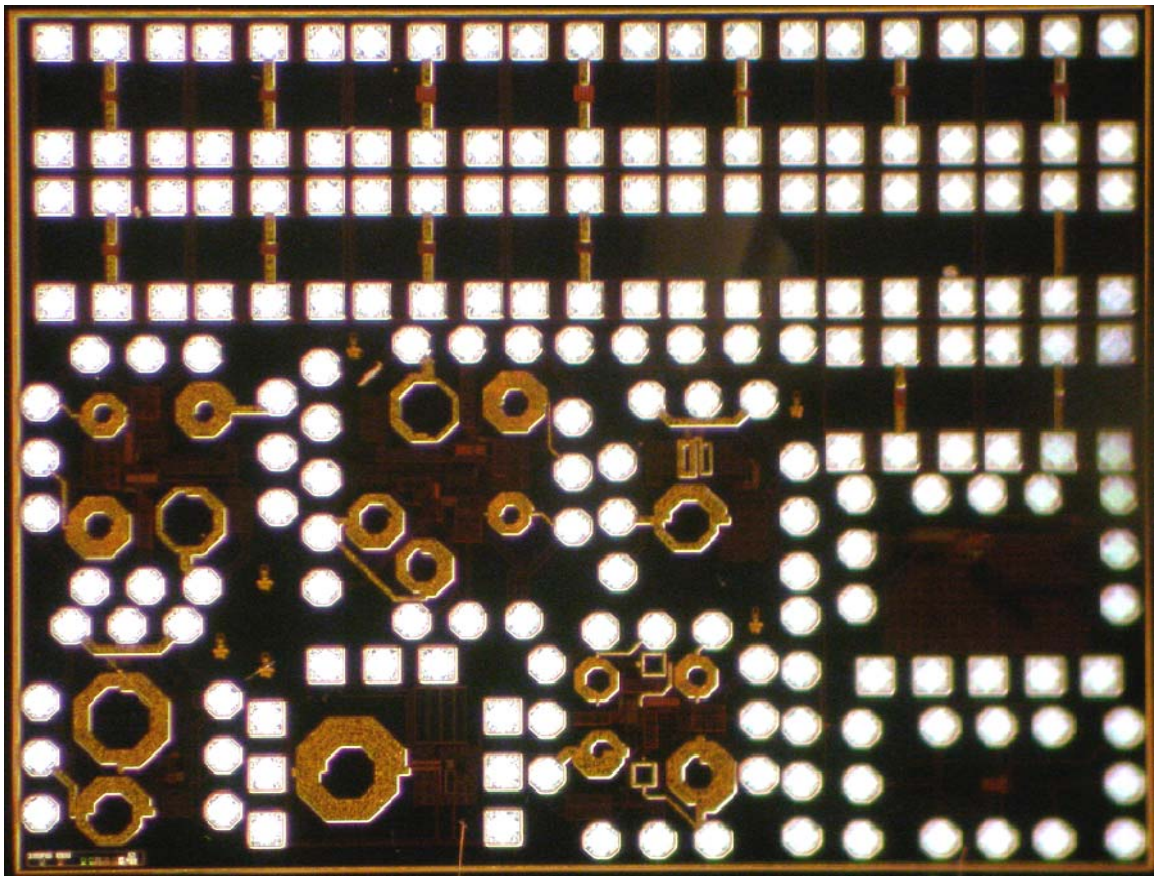


Figura A.1: Fotografía del RUN de fabricación. (Se pueden observar los otros diseños incluidos en el proceso de fabricación).

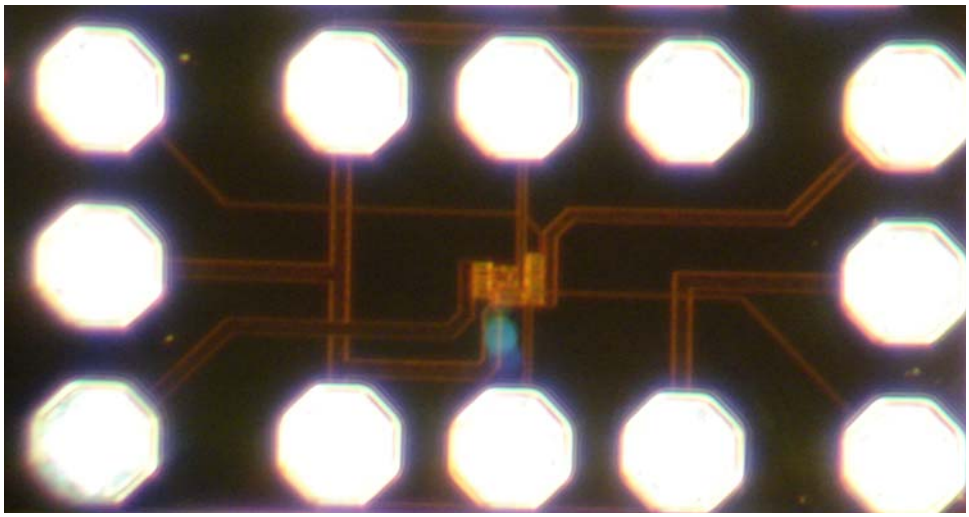


Figura A.2: Fotografía del chip diseñado.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

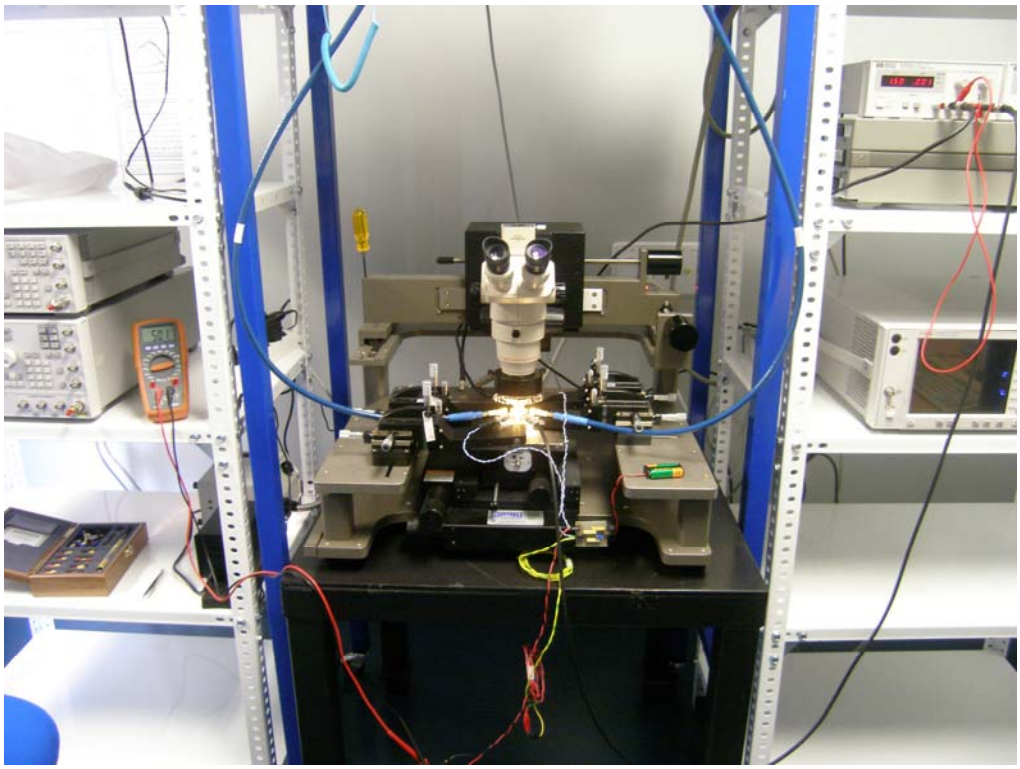


Figura A.3 Fotografía del instrumental utilizado para la medida de los parámetros S.

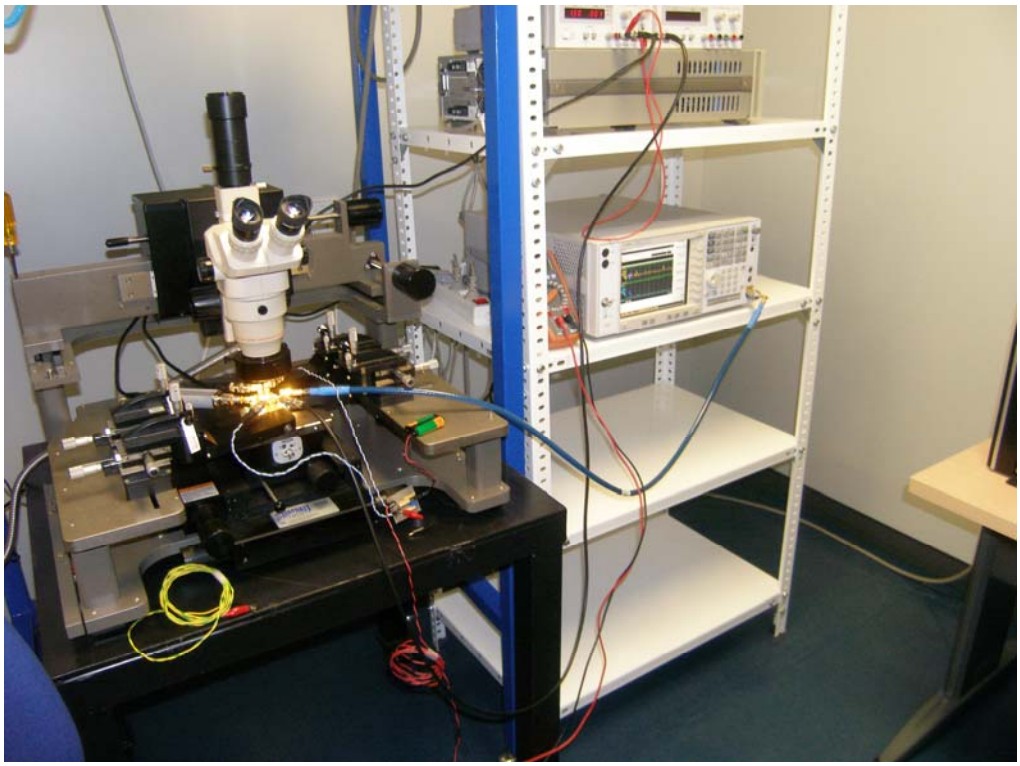


Figura A.4 Fotografía del instrumental utilizado para la medida de la figura de ruido.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

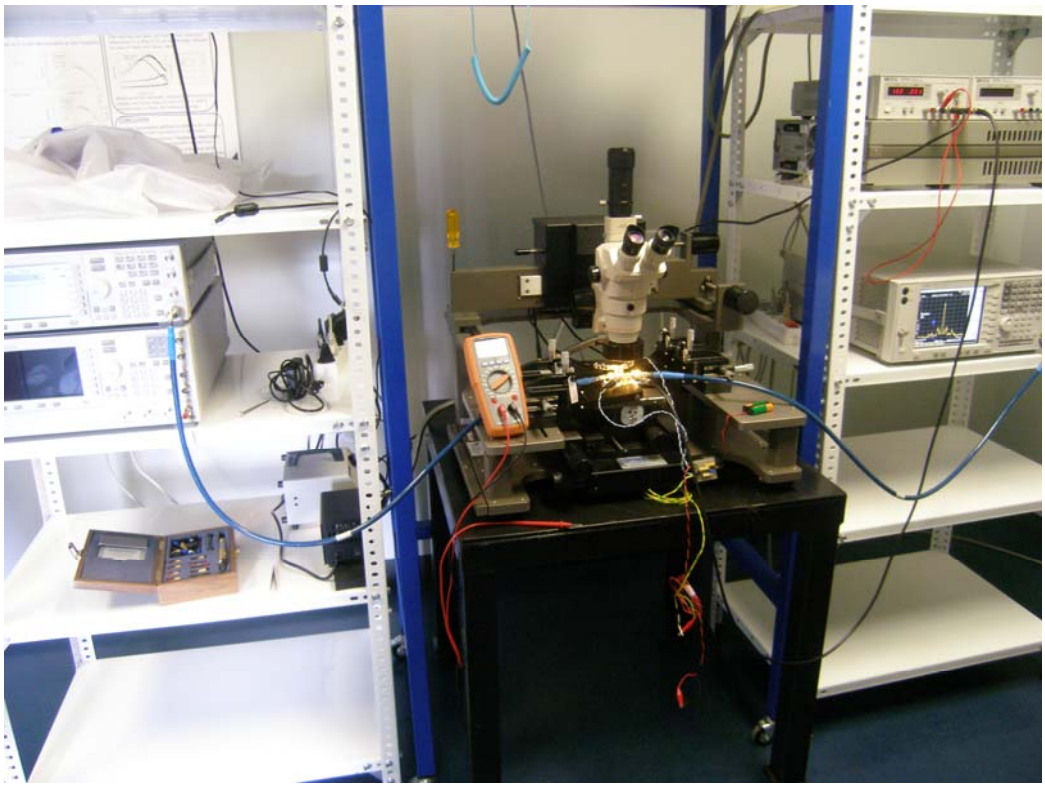


Figura A.5 Fotografía del instrumental utilizado para la medida la potencia a 1 dB.

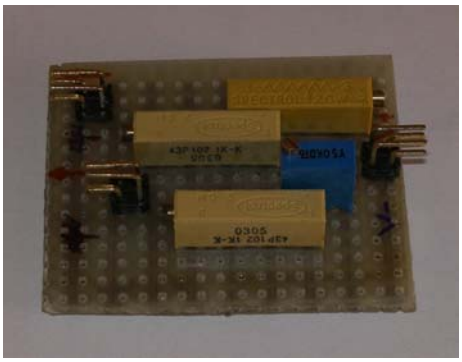


Figura A.6 Fotografía de las fuentes de corrientes utilizadas.

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012

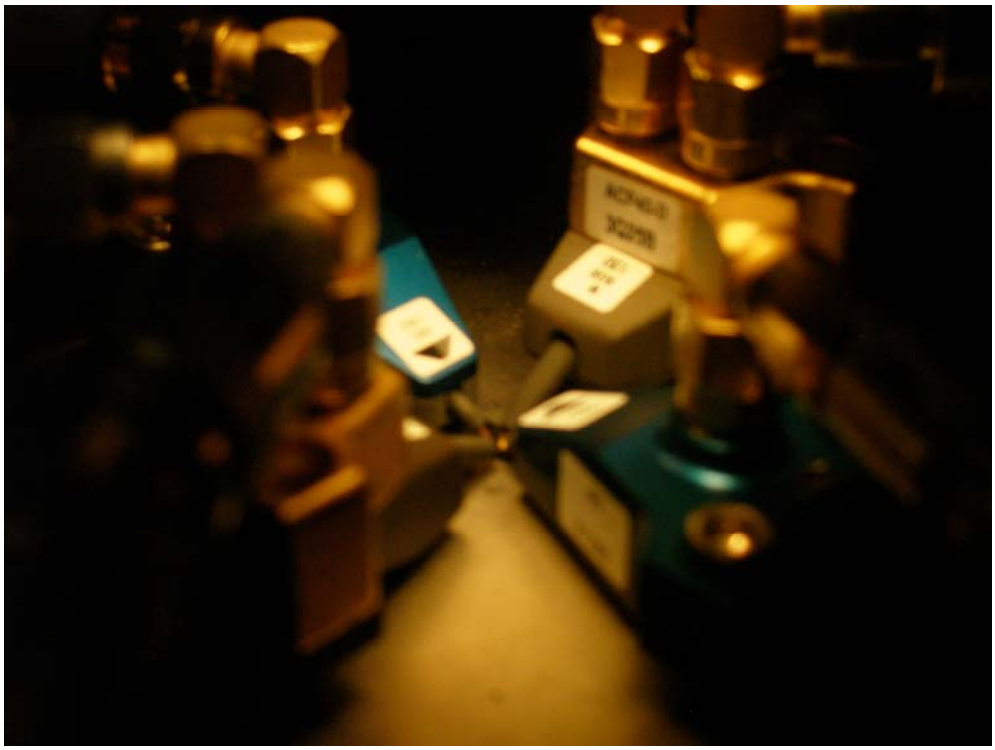


Figura A.7 Fotografía de las puntas de medida sobre el chip.

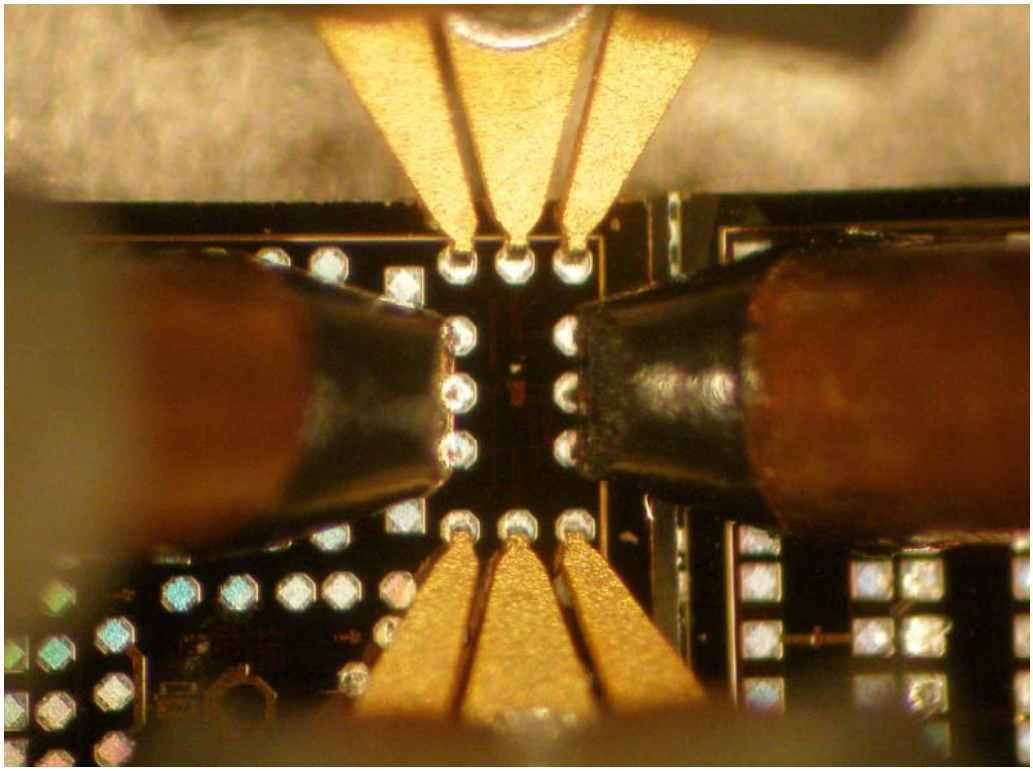


Figura A.8 Fotografía de las puntas de medida sobre el chip (Zoom).

© Del documento, de los autores. Digitalización realizada por ULPGC. Biblioteca universitaria, 2012