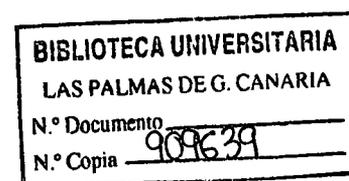
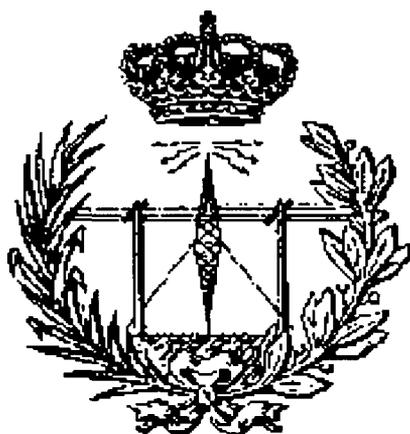


UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIONES



PROYECTO FIN DE CARRERA

DISEÑO DE UN MEZCLADOR EN TECNOLOGÍA SiGe 0.35 μ m PARA UN RECEPTOR BASADO EN EL ESTÁNDAR DVB-H

AUTOR: NÉSTOR BARRERA ARBELAIZ
TUTOR: DR. D. FRANCISCO JAVIER DEL PINO SUÁREZ
COTUTOR: DR. D. SUNIL LALCHAND KHEMCHANDANI
FECHA: Junio de 2008

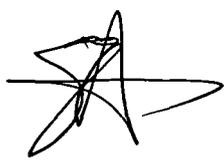
UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIONES



PROYECTO FIN DE CARRERA

DISEÑO DE UN MEZCLADOR EN TECNOLOGÍA SiGe 0.35 μ m PARA UN RECEPTOR BASADO EN EL ESTÁNDAR DVB-H

Alumno	Tutor/a	Tutor/a
 Fdo.: NÉSTOR BARRERA ARBELAIZ	 Fdo.: DR. D. FRANCISCO JAVIER DEL PINO SUÁREZ	 Fdo.: DR. D. SUNIL LALCHAND KHEMCHANDANI

FECHA: Junio de 2008

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA TÉCNICA SUPERIOR DE
INGENIEROS DE TELECOMUNICACIONES**

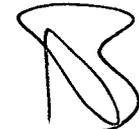


PROYECTO FIN DE CARRERA

**DISEÑO DE UN MEZCLADOR EN TECNOLOGÍA SiGe
0.35µm PARA UN RECEPTOR BASADO EN EL
ESTÁNDAR DVB-H**

HOJA DE EVALUACIÓN

Calificación: Sobresaliente, 10 (MH)

Presidente  Fdo. D. JUAN ANTONIO MONTIEL-NELSON	Vocal  Fdo.: D. ANTONIO HERNÁNDEZ BALLESTER	Secretario/a  Fdo.: D. LUIS HERNÁNDEZ ACOSTA
---	---	--

FECHA: Junio de 2008

Agradecimientos

Aunque venir a la Facultad de Telecomunicaciones no deja de ser algo agradable, emocionante e increíblemente divertido, he tomado la durísima decisión de ceder mi puesto a cualquier otro valiente con suerte.

Y bueno, como todo en la vida ha dado momentos malos, momentos buenos y momentos para el recuerdo; no deja de ser una experiencia inolvidable y enriquecedora, haces grandes amigos y te preparas para el futuro, ya que has aprendido a sufrir como ningún otro.

Muchos me han acompañado durante este largo camino, algunos se quedaron atrás y otros... amablemente dejé que me adelantasen, pero el final ha sido lo más duro, cuando te ves ya saliendo todavía falta poner un broche y final a todo el trayecto. Agradezco a todos aquellos profesores, amigos y compañeros que me apoyaron durante esta etapa.

En primer lugar me gustaría agradecer a mis padres y mi hermana por la inmensa paciencia que han demostrado al tener que aguantarme durante todos estos años y su apoyo incondicional y constante.

También quiero agradecer a Javier, Sunil, Roberto, Rubén, Adrián... y a todo el equipo por su asesoramiento y dedicación para ayudarme a llevar a cabo este trabajo. Siempre han

dejado la puerta abierta para poder acudir a solucionar problemas y dudas, o mantener conversaciones divertidas. Toda distracción siempre es buena.

Como no, muchas gracias a todos aquellos profesores que han puesto su granito de arena en mi formación recibida durante esta etapa, con mayor o menor dificultad.

Cuando la gente dice que una de las mejores etapas de la vida es la etapa universitaria, no se equivocan. Me he llevado una buena dosis de conocimientos, sí, pero nada comparable con el crecimiento personal que supone conocer muchísima gente nueva, unos quedan como amigos/as para siempre, otros como compañeros o colegas, que muy probablemente se volverán a cruzar en mi camino. Han sido muchos y pocas, es lo que tiene Teleco, pero si pudiese volver a elegir y escoger un grupo de compañeros y amigos que viajasen conmigo durante estos años, no dudaría en escoger los mismos. A todos ellos, muchísimas gracias por estar ahí y por darme momentos para el recuerdo.

Finalmente, no me puedo olvidar de mis amigos externos a la Universidad, que también han estado ahí presentes y me han ayudado a llevar esta etapa de un modo más... llevadero.

Muchas gracias a Caro también, que, aunque haya llegado al final, ha resultado ser un importante apoyo y distracción al mismo tiempo.

A todos, a todas, MUCHAS GRACIAS.

Índice

INTRODUCCIÓN

CAPÍTULO 1

1.1. Introducción.....	1
1.2. Objetivo.....	2
1.3. Estructura de la memoria	3

EL ESTÁNDAR DVB-H

CAPÍTULO 2

2.1. Introducción.....	5
2.2. Banda de frecuencias	7
2.3. Modos de funcionamiento	8
2.4. Relación portadora/ruido (C/N).....	8
2.5. Figura de ruido, sensibilidad y máxima señal	10
2.6. Inmunidad del receptor ante señales de TV analógicas y digitales.....	12
2.7. IIP3.....	15
2.7.1. Estimación del IIP3 a partir de la máxima señal a la entrada.....	15
2.7.2. Estimación del IIP3 a partir de la inmunidad del receptor ante señales de TV analógicas y digitales.....	16
2.8. Ruido de fase.....	20
2.9. Resumen	21

ESTUDIO DE LA TECNOLOGÍA	CAPÍTULO 3
3.1. Introducción.....	23
3.2. Resistencias.....	25
3.2.1. Construcción.....	25
3.2.2. Resistencias en la tecnología S35D4 de AMS.....	26
3.3. Condensadores.....	29
3.3.1. Construcción.....	29
3.3.2. Condensadores en la tecnología S35D4 de AMS.....	30
3.4. Bobinas.....	32
3.4.1. Construcción.....	32
3.4.2. Funcionamiento.....	32
3.4.3. Modelo de la bobina.....	34
3.4.4. Bobinas en la tecnología S35D4 de AMS.....	35
3.5. El transistor MOSFET.....	36
3.5.1. Construcción.....	36
3.5.2. Funcionamiento.....	37
3.5.3. Modelo de baja frecuencia.....	40
3.5.4. Modelo de alta frecuencia.....	41
3.5.5. Transistores MOSFET en la tecnología S35D4 de AMS.....	43
3.6. HBTs de SiGe.....	46
3.6.1. Construcción.....	46
3.6.2. Funcionamiento.....	46
3.6.3. Modelo de baja frecuencia.....	50
3.6.4. Modelo de alta frecuencia.....	50
3.6.5. HBTs en la tecnología S35D4 de AMS.....	52
3.7. Resumen.....	53

MEZCLADOR DE FRECUENCIAS	CAPÍTULO 4
4.1. Introducción.....	55
4.2. Teoría básica.....	55
4.3. Parámetros del mezclador.....	59
4.3.1. Ganancia de conversión.....	59
4.3.1.1. Ganancia de conversión de un mezclador.....	60
4.3.2. Figura de ruido.....	60
4.3.2.1. Figura de ruido en etapas en cascada.....	62
4.3.2.2. Figura de ruido de un mezclador.....	63
4.3.3. Linealidad.....	64
4.3.3.1. Rango dinámico.....	64
4.3.3.2. Punto de compresión.....	64
4.3.3.3. Distorsión de intermodulación de tercer orden.....	64
4.3.3.3.1. Distorsión de intermodulación de tercer orden de un mezclador.....	67
4.3.4. Aislamiento.....	68
4.4. Sistemas no lineales como mezcladores lineales.....	68
4.4.1. Mezclador de dos puertos: dispositivo de ley cuadrática.....	69
4.4.2. Ganancia de conversión de un mezclador de un sólo transistor bipolar.....	72
4.5. Mezcladores basados en multiplicadores.....	73

4.5.1. Mezclador simple balanceado	74
4.5.2. Mezclador activo doble balanceado: célula de Gilbert.....	77
4.6. Características y ecuaciones básicas de la célula de Gilbert	82
4.6.1. Ganancia.....	82
4.6.2. Ruido.....	83
4.6.3. Linealidad.....	84
4.7. Resumen	85

DISEÑO DEL MEZCLADOR PARA DVΒ-H

CAPÍTULO 5

5.1. Introducción.....	87
5.2. Flujo de diseño.....	88
5.3. Especificaciones del mezclador.....	90
5.4. Elección de la arquitectura del mezclador	92
5.5. La célula de Gilbert.....	93
5.5.1. Etapa de entrada.....	94
5.5.2. Etapa de conmutación.....	95
5.6. Diseño del mezclador.....	95
5.6.1. Polarización del circuito	97
5.6.1.1. Corriente de polarización.....	97
5.6.1.2. Polarización de las entradas.....	98
5.6.1.3. Espejo de corriente.....	99
5.6.2. Simulación de la célula de Gilbert.....	101
5.6.3. Problemas en el diseño.....	104
5.6.3.1. Problemas referidos a la herramienta y la librería	104
5.6.3.2. Problemas referidos a la herramienta y la topología diferencial.....	106
5.7. Mezclador con entrada asimétrica y salida diferencial	108
5.7.1. Adaptación.....	109
5.7.1.1. Adaptación de los puertos de entrada	110
5.7.1.2. Adaptación de los puertos de salida.....	113
5.7.2. Ganancia y linealidad	114
5.7.2.1. Ajustes previos en el diseño.....	114
5.7.2.1.1. Debido a las corrientes y las tolerancias de las resistencias	114
5.7.2.1.2. Debido a las puntas de medida de la estación.....	115
5.7.2.1.3. En el <i>buffer</i> de salida.....	117
5.7.2.1.4. Circuito final.....	119
5.7.2.2. Ganancia de conversión en función de la potencia del oscilador local	120
5.7.2.3. Ganancia de conversión en función de la corriente de polarización	121
5.7.2.4. Ganancia de conversión y linealidad en función de la resistencia de colector (R_C).....	121
5.7.2.5. Ganancia de conversión y linealidad en función de la resistencia de degeneración de emisor (R_E).....	123
5.7.2.6. Cambios en el <i>buffer</i> de salida para aumentar la linealidad	125
5.7.2.7. Ganancia de conversión y linealidad en función de la señal RF.....	127
5.7.3. Figura de ruido.....	129
5.7.4. Variación del área de los transistores	131
5.7.5. Resultados.....	134
5.8. Mezclador con entrada diferencial y salida diferencial.....	136
5.9. Resumen	140

DISEÑO DEL LAYOUT	CAPÍTULO 6
6.1. Introducción.....	141
6.2. Diseño.....	142
6.3. Simulaciones <i>post-layout</i>	145
6.4. Análisis de <i>corners</i>	148
6.5. Resumen.....	155

MEDIDAS DEL MEZCLADOR	CAPÍTULO 7
7.1. Introducción.....	157
7.2. Pérdidas en los elementos de medida.....	158
7.2.1. Pérdidas desde el generador a la entrada de RF.....	158
7.2.2. Pérdidas desde la salida de IF al analizador de espectros.....	159
7.2.3. Pérdidas desde el generador a la entrada de OL.....	159
7.3. Error en el <i>layout</i>	160
7.4. Medida de la ganancia de conversión.....	161
7.5. Medida de la figura de ruido.....	163
7.6. Medida de la linealidad.....	165
7.7. Tabla comparativa.....	166
7.8. Resumen.....	167

CONCLUSIONES	CAPÍTULO 8
8.1. Introducción.....	169
8.2. Comparativa.....	171
8.3. Conclusiones.....	173
8.4. Resumen.....	175

PRESUPUESTO	CAPÍTULO 9
9.1. Introducción.....	177
9.2. Costes debido a los recursos humanos.....	177
9.3. Costes de amortización.....	179
9.4. Costes de medida.....	180
9.5. Costes de fabricación.....	181
9.6. Costes de redacción.....	181
9.7. Costes totales.....	182

ANEXO A 189

ANEXO B 197

Capítulo 1

Introducción

1.1. Introducción

DVB-H (*Digital Video Broadcasting Handheld*) es un estándar abierto desarrollado por DVB, una industria liderada por un consorcio de más de 260 emisoras, fabricantes, operadores de redes, desarrolladores de *software*, normas reguladoras... de más de 35 países comisionados para diseñar un estándar global para la distribución de televisión digital y otros servicios de información.

La tecnología DVB-H [1] constituye una plataforma de difusión IP orientada a terminales portátiles, que combina la compresión de video y el sistema de transmisión de DVB-T [1], estándar utilizado por la TDT (*Televisión Digital Terrestre*). DVB-H hace compatible la recepción de la TV terrestre en receptores portátiles alimentados con baterías. Es decir, DVB-H es una adaptación del estándar DVB-T a las exigencias de los terminales móviles (muy bajo consumo) y con posibilidades del TCP-IP [3].

Debido a las especificaciones técnicas de los dispositivos para los que se ha creado el estándar, DVB-H ha debido someterse a algunos cambios con respecto al de su estándar

predecesor DVB-T. Entre los cambios más destacables encontramos la necesidad de un bajo consumo, ya que al ser un dispositivo alimentado por batería debe de optimizar el consumo de energía. También es importante mejorar la recepción, ya que los terminales portátiles al que se dirige este estándar poseen reducidas dimensiones de las antenas.

Hoy en día la tecnología DVB-H ha sido respaldada por la Comisión Europea como estándar único europeo para la televisión por móvil con el objetivo de que la UE logre el “liderazgo” mundial en esta tecnología. Actualmente, la tecnología DVB-H es la mejor situada de cara a la televisión móvil del futuro.

El mercado de la telefonía móvil está en constante crecimiento y produce una gran rentabilidad. Se estima que el año 2008 será crucial para la asimilación de la tecnología DVB-H debido a, entre otras, la celebración de los Juegos Olímpicos de Beijing o la Eurocopa.

Por ello se ha solicitado a los Estados miembros que pongan espectro radioeléctrico a disposición de la radiodifusión móvil lo antes posible, y en particular la banda UHF (470-862 Mhz) en cuanto quede libre tras el apagón analógico.

En esta banda trabaja DVB-H y para ello se diseñan transceptores encargados de enviar y recibir la señal para estas frecuencias. Los receptores tienen una parte analógica, encargada de recibir, amplificar, mezclar y filtrar la señal para ser tratada en banda base por la parte digital del receptor. Nosotros nos centraremos en la parte analógica del receptor DVB-H, y más concretamente en el mezclador, objeto de este proyecto.

1.2. Objetivo

El objetivo de este proyecto fin de carrera es el desarrollo de un mezclador en tecnología SiGe 0.35 μm para un receptor basado en el estándar DVB-H. Este proyecto se engloba dentro de otro proyecto de mayor envergadura desarrollado por el Instituto Universitario de Microelectrónica Aplicada (IUMA), en el que se pretende integrar dentro de un solo chip un receptor completo para el estándar DVB-H. Dicho proyecto de investigación está denominado “RECITAL” (Receptor de televisión digital DVB-H para aplicaciones wireless de bajo consumo), código TEC 2005-08091-C03-02.

Para la realización de este proyecto se definen una serie de tareas, que comienzan con un estudio teórico previo de la tecnología, del estándar y del dispositivo a diseñar, el mezclador, derivando en un análisis de las posibilidades de diseño. Posteriormente se pasa al diseño esquemático utilizando la herramienta ADS (*Advanced Design System*), así como su implementación a nivel de *layout* en *Cadence*. Se concluirá con la verificación y comprobación del mismo y se enviará a fabricar para poderlo medir con la estación de puntas Summit 9000.

1.3. Estructura de la memoria

Esta memoria ha sido dividida en ocho capítulos. En este **capítulo** se ha intentado dar una visión general sobre qué es el DVB-H, así como su estado e impacto en la sociedad actual. También se ha tratado de dejar claro el objetivo de este proyecto fin de carrera.

En el **capítulo 2** se describe el estándar DVB-H, así como los parámetros más importantes que lo caracterizan (banda de frecuencias en las que trabaja, C/N, IP3...).

Una vez conocido el estándar para el que se va a desarrollar el mezclador, en el **capítulo 3** se procede al estudio de la tecnología a usar, SiGe 0,35 μm de la fundidora AMS [3][4]. Para ello se realiza un pequeño estudio a nivel tanto de construcción como de funcionamiento de cada uno de los componentes que proporciona la tecnología. Así mismo se analizan las diferentes opciones que proporciona el *kit* de diseño de la tecnología en la herramienta de diseño *Cadence*.

Con el fin de completar la base teórica, en el **capítulo 4** se realiza un estudio en profundidad de los mezcladores. Se describe su funcionamiento y se definen sus parámetros (ganancia, linealidad, ruido...), para finalmente hacer un estudio de las diferentes topologías básicas que podemos encontrar.

Presentados los conceptos teóricos, en el **capítulo 5** se comienza el diseño del mezclador mediante la herramienta ADS [5]. Se muestra el desarrollo seguido hasta obtener un diseño final, exponiendo las dificultades encontradas con sus soluciones, ilustrando finalmente mediante gráficas y tablas los resultados obtenidos.

Tras el diseño a nivel esquemático, en el **capítulo 6** se realiza su *layout* en *Cadence* [6]. Durante este capítulo se podrán ver ilustrados los resultados obtenidos en las simulaciones

post-layout, así como el análisis de *corners* del diseño, que reflejan el comportamiento en condiciones límites en las que se puede ver sometido el dispositivo.

El **capítulo 7** está dedicado a la medida de los parámetros del mezclador una vez fabricado, donde se describe la herramienta utilizada y los procedimientos seguidos para realizar estas medidas. Finalmente se muestra una tabla comparativa de dichos parámetros de la cual se pueden extraer conclusiones.

En el **capítulo 8** se recogen los resultados obtenidos en la tabla mostrada en el capítulo anterior y se extraen conclusiones, así como también se plantean posibles líneas de desarrollo en un futuro.

Tras la implementación, resultados y conclusiones del diseño, se realiza un balance del presupuesto, donde se detallan los gastos que conllevan la realización del mezclador.

Finalmente se presentan dos anexos: el ANEXO A contiene los diseños de los circuitos que se simularon en ADS y *Cadence*, así como un análisis en continua y el layout del mismo.

El ANEXO B contiene un artículo que ha sido publicado en la “*XXII Conference on Design of Circuits and Integrated Systems*” celebrada en Sevilla en Noviembre de 2007.

Capítulo 2

El estándar DVB-H

2.1. Introducción

La televisión en el móvil o DVB-H es una tecnología que está despegando actualmente. El DVB-H es una adaptación a un entorno móvil del DVB-T, lo que en España se conoce popularmente como TDT.

Una de las razones más importantes por la que es necesario adaptar la TDT y crear la DVB-H es regular el consumo de energía en los receptores. No es lo mismo tener la televisión conectada a la red eléctrica que ir con un teléfono móvil consumiendo energía de la batería. Para ello, se utilizan técnicas de *time-slicing* lo que permite ahorrar hasta un 90% de energía.

También es necesario adaptar la calidad de la señal recibida a la que se puede visualizar en la pantalla de un móvil, que suele tener mucha menos resolución que una televisión estándar. Una de las grandes ventajas por la cual DVB-H es compatible con DVB-T es que se puede utilizar la misma banda de frecuencias para emitir las dos, de modo que para las cadenas no será necesario un cambio de infraestructura tan elevado como cuando se pasa de televisión analógica a televisión digital.

La calidad que ofrece DVB-H puede ser, en teoría, toda la que queramos y/o necesitemos. En realidad, la calidad vendrá limitada por lo que sean capaces de hacer los receptores existentes en el mercado. Mientras más calidad queramos (más resolución, más *frames* por segundo,...), mayor será el consumo de batería.

Una cosa importante que debemos saber es que, debido al funcionamiento de esta tecnología, puede ser un poco lento el cambiar de canal, tardando entre 1 ó 2 segundos. Aunque no es un tiempo muy elevado, sí es más grande al de una televisión convencional.

También es necesario aumentar el número de emisores, que deberá ser mayor que el que se utiliza actualmente para la TDT, sobre todo para poder dar una buena cobertura dentro de edificios o en vehículos.

A continuación se van a enumerar las principales características del estándar DVB-H [1][7].

- Al estar alimentado el receptor DVB-H por baterías, el emisor debe tener la posibilidad de mandar alguna señal al receptor para que se apague total o parcialmente, de forma que se pueda aumentar la vida de la batería.
- Un receptor DVB-H, al estar en movimiento, debe ser capaz de cambiar de emisor automáticamente y de forma transparente al usuario cuando entre en la celda de cobertura de otro emisor.
- Al poder ser integrado en dispositivos con distintas velocidades de recepción, el transmisor debe tener la escalabilidad y la flexibilidad suficiente para dar cobertura a todos los tipos de receptores.
- El sistema DVB-H debe estar preparado para disminuir los efectos de las interferencias producidas por el cuerpo humano.
- Un receptor DVB-H debe poder ser utilizado en varias partes del mundo por lo que los equipos han de poder adaptarse para trabajar en diferentes canales y anchos de banda.

En la Figura 2.1 se muestra el diagrama simplificado de un demodulador DVB-H, el cual incluye un demodulador DVB-T. Además de los modos de transmisión (número de portadoras OFDM) 2K y 8K, este demodulador ofrece el modo 4K como solución para conseguir más robustez en la recepción en terminales móviles.

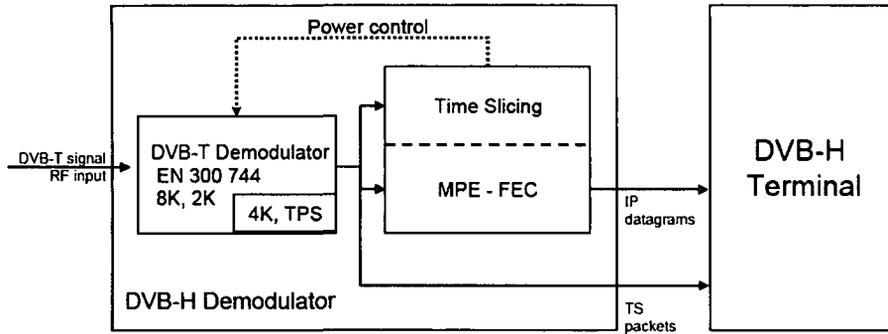


Figura 2.1: Diagrama de un demodulador DVB-H.

2.2. Banda de frecuencias

DVB-H trabaja en las bandas IV y V de UHF (470 MHz a 862 MHz). La frecuencia central (f_c) de cada canal viene dada por la relación (2.1).

$$f_c = 470\text{MHz} + 4\text{MHz} + (N - 21) \cdot 8\text{MHz},$$

$$N = 21, \dots, 69 \quad (2.1)$$

En el caso de que se utilice el mismo terminal para DVB-H y GSM 900, la banda de frecuencia se limita de 470 MHz a 702 MHz ($N = 21, \dots, 49$), en otro caso no existirá dicha limitación [3].

Los canales están separados 8 MHz y el ancho de banda de cada uno es de 7.61 MHz.

2.3. Modos de funcionamiento

El receptor DVB-H debe poder demodular correctamente todos los modos especificados en [1], es decir, cualquier combinación de:

- Constelación: QPSK, 16-QAM, 64-QAM, 16-QAM jerárquica, 64-QAM jerárquica¹.
- Code rate: 1/2, 2/3, 3/4, 5/6, 7/8.
- Intervalo de guarda: 1/4, 1/8, 1/16 ó 1/32.
- Modo de transmisión: 2K, 4K o 8K.
- α : 1, 2 ó 4².

El receptor debe ser capaz de detectar el modo de transmisión automáticamente.

2.4. Relación portadora/ruido (C/N)

El esquema de bloques general del receptor DVB-H es el de la Figura 2.2.

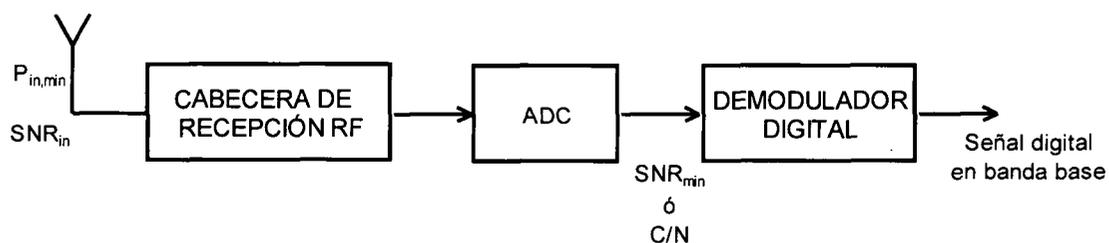


Figura 2.2: Esquema de bloques general de un receptor DVB-H.

¹ Modulaciones jerárquicas: en estándares como DVB, aparte de poder emplear modulaciones de tasa binaria variable entre QPSK, 16QAM y 64QAM, ofrecen la posibilidad de emplear modulación con multirresolución, 64-MRQAM. En dicha modulación, la información se codifica con 6 bits de modo que la constelación resultante quede concentrada en “nubes” de puntos. A mayor SNR el receptor será capaz de distinguir o sólo la posición de las nubes (QPSK) o puntos dentro de las mismas.

² $\alpha = \text{Constellation ratio}$: determina la posición de los puntos de la constelación QAM. Para transmisiones no jerárquicas $\alpha = 1$.

En el anexo A de [1] se encuentran los valores de C/N para los diferentes modos de funcionamiento (2K, 4K y 8K), canal de 8 MHz y para tres modelos de canales de transmisión: Gaussian, Ricean y Rayleigh. Para todos ellos, se da el valor de C/N requerido para obtener un $\text{BER} = 2 \cdot 10^{-4}$ a partir de un decodificador Viterbi.

Añadiendo un margen de 2.5 dB³, los valores de C/N se pueden ver en la siguiente tabla:

Tabla 2.1 : C/N requerido para un $\text{BER} = 2 \cdot 10^{-4}$ de un decodificador Viterbi

Modulación	Code Rate	Canal Gaussiano	Canal Ricean (recepción fija)	Canal Rayleigh (recepción móvil)
QPSK	1/2	3,1 + 2,5 = 5,6	3,6 + 2,5 = 6,1	5,4 + 2,5 = 7,9
QPSK	2/3	4,9 + 2,5 = 7,4	5,7 + 2,5 = 8,2	8,4 + 2,5 = 10,9
QPSK	3/4	5,9 + 2,5 = 8,4	6,8 + 2,5 = 9,3	10,7 + 2,5 = 13,2
QPSK	5/6	6,9 + 2,5 = 9,4	8,0 + 2,5 = 10,5	13,1 + 2,5 = 15,6
QPSK	7/8	7,7 + 2,5 = 10,2	8,7 + 2,5 = 11,2	16,3 + 2,5 = 18,8
16-QAM	1/2	8,8 + 2,5 = 11,3	9,6 + 2,5 = 12,1	11,2 + 2,5 = 13,7
16-QAM	2/3	11,1 + 2,5 = 13,6	11,6 + 2,5 = 14,1	14,2 + 2,5 = 16,7
16-QAM	3/4	12,5 + 2,5 = 15,0	13,0 + 2,5 = 15,5	16,7 + 2,5 = 19,2
16-QAM	5/6	13,5 + 2,5 = 16,0	14,4 + 2,5 = 16,9	19,3 + 2,5 = 21,8
16-QAM	7/8	13,9 + 2,5 = 16,4	15,0 + 2,5 = 17,5	22,8 + 2,5 = 25,3
64-QAM	1/2	14,4 + 2,5 = 16,9	14,7 + 2,5 = 17,2	16,0 + 2,5 = 18,5
64-QAM	2/3	16,5 + 2,5 = 19,0	17,1 + 2,5 = 19,6	19,3 + 2,5 = 21,8
64-QAM	3/4	18,0 + 2,5 = 20,5	18,6 + 2,5 = 21,1	21,7 + 2,5 = 24,2
64-QAM	5/6	19,3 + 2,5 = 21,8	20,0 + 2,5 = 22,5	25,3 + 2,5 = 27,8
64-QAM	7/8	20,1 + 2,5 = 22,6	21,0 + 2,5 = 23,5	27,9 + 2,5 = 30,4

En el anexo A de [1] también se encuentra la misma tabla para las modulaciones jerárquicas.

³ El valor de 2.5 dB está tomado de [29].

2.5. Figura de ruido, sensibilidad y máxima señal

En un sistema de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación (2.2),

$$NF = \frac{P_{No}}{P_{Ni} \cdot G_A} \quad (2.2)$$

donde P_{No} es la potencia total de ruido disponible a la salida del sistema, $P_{Ni} = k \cdot T \cdot B$ es la potencia de ruido disponible en un ancho de banda B (k y T son respectivamente la constante de Boltzmann y la temperatura absoluta) y G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{sd}) y la potencia de señal disponible a la entrada (P_{si}) [9].

Respecto a la sensibilidad, ésta se define como la señal (potencia disponible) mínima a la entrada del sistema para tener una relación señal a ruido (SNR o C/N) a la salida determinada (SNS_{oMIN}).

La sensibilidad del receptor DVB-H se puede obtener a partir de la ecuación (2.3)⁴ [9].

$$\begin{aligned} P_{in,min\ dBm} &= -174_{dBm} + 10 \log B + NF + C/N \\ &= \text{Noise floor} + C/N \end{aligned} \quad (2.3)$$

Donde:

- $P_{in,min}$: es la sensibilidad.

⁴ En la ecuación, C/N es la SNR tomando como señal la portadora.

- -174 dBm : es la potencia de ruido térmico para un ancho de banda de 1 Hz a 290° K .
- B : es el ancho de banda de la señal, en nuestro caso es de 7.61 MHz (para una separación entre canales de 8 MHz).
- NF : es la figura de ruido del receptor, según las publicaciones consultadas varía de 5 a 7 dB [3][10][11][12]. Para el cálculo de la sensibilidad se supondrá de 5 dB para obtener el peor caso (sensibilidad mínima).
- C/N (SNR): es la relación señal a ruido definida en el estándar. Depende de varios factores como el tipo de modulación (QPSK, 16 QAM, etc.), tipo de modelo de canal (Gaussiano, Ricean), BER requerido, etc. tal como se muestra en [1].
- El “noise floor”, en nuestro caso, viene dado por la ecuación (2.4).

$$\text{Noise floor} = -174_{dBm} + 10 \log(7.61MHz) + 5dB = -100.19_{dBm} \quad (2.4)$$

En la Tabla 2.2 se muestra la sensibilidad calculada a partir de la ecuación (2.4) y los valores de la Tabla 2.1.

Tabla 2.2 : Sensibilidad de un receptor DVB-H para una NF del receptor de 5dB

Modulación	Code Rate	Canal Gaussiano		Canal Ricean (recepción fija)		Canal Rayleigh (recepción móvil)	
		C/N (db)	Sensibilidad (dBm)	C/N (db)	Sensibilidad (dBm)	C/N (db)	Sensibilidad (dBm)
QPSK	1/2	5,6	-94,59	6,1	-94,09	7,9	-92,29
QPSK	2/3	7,4	-92,79	8,2	-91,99	10,9	-89,29
QPSK	3/4	8,4	-91,79	9,3	-90,89	13,2	-86,99
QPSK	5/6	9,4	-90,79	10,5	-89,69	15,6	-84,59
QPSK	7/8	10,2	-89,99	11,2	-88,99	18,8	-81,39
16-QAM	1/2	11,3	-88,89	12,1	-88,09	13,7	-86,49
16-QAM	2/3	13,6	-86,59	14,1	-86,09	16,7	-83,49
16-QAM	3/4	15,0	-85,19	15,5	-84,69	19,2	-80,99
16-QAM	5/6	16,0	-84,19	16,9	-83,29	21,8	-78,39

16-QAM	7/8	16,4	-83,79	17,5	-82,69	25,3	-74,89
64-QAM	1/2	16,9	-83,29	17,2	-82,99	18,5	-81,69
64-QAM	2/3	19,0	-81,19	19,6	-80,59	21,8	-78,39
64-QAM	3/4	20,5	-79,69	21,1	-79,09	24,2	-75,99
64-QAM	5/6	21,8	-78,39	22,5	-77,69	27,8	-72,39
64-QAM	7/8	22,6	-77,59	23,5	-76,69	30,4	-69,79

El mismo cálculo se puede hacer para las modulaciones jerárquicas.

Según [3] el valor máximo de señal admisible a la entrada de la antena es de -28 dBm. La mínima señal posible a la entrada es de -94.59 dBm (ver tabla) por lo que el rango dinámico del receptor debe ser de 66.59 dB.

2.6. Inmunidad del receptor ante señales de TV analógicas y digitales

En [3] realizan un estudio de la inmunidad del receptor a señales de TV analógicas y digitales. Para ello establecen las siguientes señales interferentes:

- Canal de televisión analógica con sistema PAL B/G/I1.
- Canal de televisión analógica con sistema SECAM L.
- Canal de televisión digital DVB-T.

Tomando como base dichas señales, se han creado dos tipos de patrones.

- El primer tipo es utilizado para medir la selectividad, S1 y S2:
 - Patrón S1: Un canal analógico en $N\pm 1$, $N\pm m$ o en la frecuencia imagen ($m = 9$).
 - Patrón S2: Un canal DVB-T en $N\pm 1$, $N\pm m$ o en la frecuencia imagen ($m = 9$).

- El segundo tipo es para medir la linealidad, L1, L2 y L3:
 - Patrón L1: Un canal DVB-T en N+2 y otro analógico en N+4.
 - Patrón L2: Un canal analógico en N+2 y otro analógico en N+4.
 - Patrón L3: Un canal analógico en N+2 y otro digital en N+4.

Para cada patrón se ha realizado el cálculo de la diferencia máxima “a” entre la señal deseada y la no deseada, para la obtención de un BER de $2 \cdot 10^{-4}$. En la Figura 2.3 se da muestra de ello.

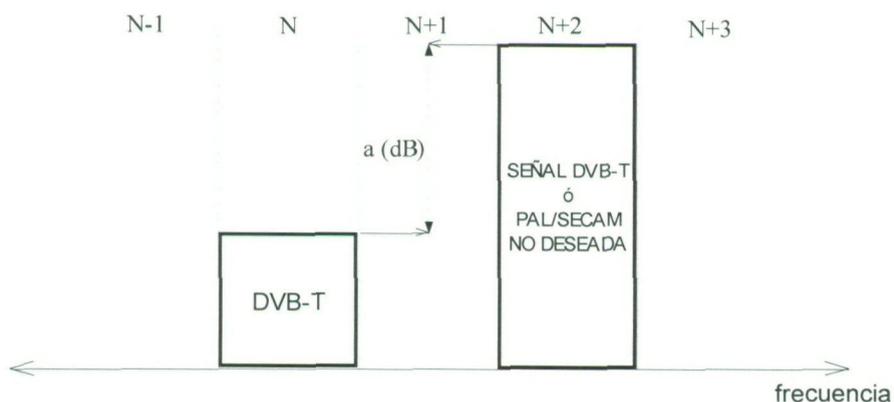


Figura 2.3: Diferencia “a” en dB entre la señal deseada y la no deseada

Tabla 2.3 : Inmunidad a SI

Mode	a [N±1] PALG or I1	a [N±1] PALB *	a [N-1] SECAM L	a [N+1] SECAM L	a [Image] SECAM L	a [N±m] (m≠1) and Image for PAL B/G/I1
2k/8k 64QAM CR=2/3 GI=All	35 dB	33 dB	30 dB	33 dB	45 dB	46 dB
2k/8k 64QAM CR=3/4 GI=All	35 dB	33 dB	30 dB	33 dB	42 dB	43 dB
2k/8k 16QAM CR=1/2 GI=All	38 dB	36 dB	30 dB	36 dB	55 dB	56 dB
2k/8k 16QAM CR=2/3 GI=All	38 dB	36 dB	30 dB	36 dB	50 dB	51 dB
2k/8k 16QAM CR=3/4 GI=All	37 dB	35 dB	29 dB	35 dB	49 dB	50 dB



Tabla 2.4 : Inmunidad a S2

Mode	a [N \pm 1]	a [N \pm m (m \neq 1) except Image]	a [Image]
2k/8k 64QAM CR=2/3 GI=All	27 dB	40 dB	31 dB
2k/8k 64QAM CR=3/4 GI=All	27 dB	40 dB	29 dB
2k/8k 16QAM CR=1/2 GI=All	29 dB	40 dB	39 dB
2k/8k 16QAM CR=2/3 GI=All	29 dB	40 dB	36 dB
2k/8k 16QAM CR=3/4 GI=All	29 dB	40 dB	35 dB

Tabla 2.5 : Inmunidad a L1

Mode	a [N+2]	B [N+4]
2k/8k 16QAM CR=1/2 GI=All	40 dB	45 dB
2k/8k 16QAM CR=2/3 GI=All	40 dB	45 dB

Tabla 2.6 : Inmunidad a L2

Mode	a [N+2 and N+4]
2k/8k 16QAM CR=1/2 GI=All	45 dB
2k/8k 16QAM CR=2/3 GI=All	45 dB

Tabla 2.7 : Inmunidad a L3

Mode	a [N+2 and N+4]
2k/8k 16QAM CR=1/2 GI=All	40 dB
2k/8k 16QAM CR=2/3 GI=All	40 dB

2.7. IIP3

Se ha estimado el IIP3 del receptor de dos maneras:

- A partir de la máxima señal de entrada.
- A partir de la inmunidad del receptor ante señales de TV analógicas y digitales.

2.7.1. Estimación del IIP3 a partir de la máxima señal a la entrada.

El punto de compresión a 1 db (P_{1dB}) se puede estimar a partir de la máxima señal a la entrada del receptor, tal como se ve en la Figura 2.4, como:

$$P_{1dB} > -28dBm \quad (2.5)$$

El P_{1dB} debe ser mayor que la máxima potencia de canal de entrada, que es -28 dBm. Se puede estimar el IIP3 de la siguiente manera:

$$IIP3 - P_{1dB} = 9.6dB \quad (2.6)$$

$$IIP3 > -28dBm + 9.6 = -18.4dBm \quad (2.7)$$

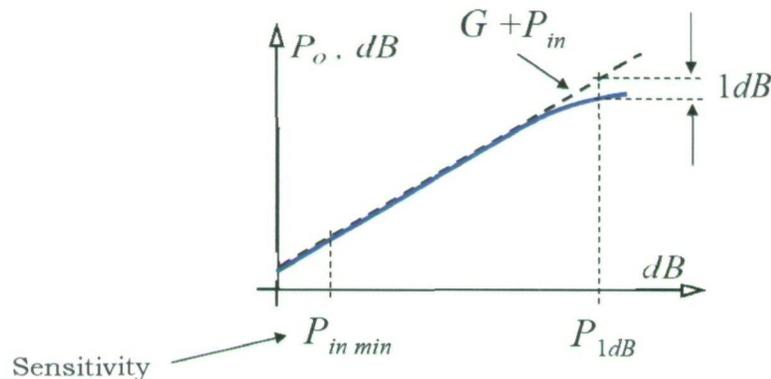


Figura 2.4: Estimación del punto de compresión 1dB

2.7.2. Estimación del IIP3 a partir de la inmunidad del receptor ante señales de TV analógicas y digitales.

Como se observa en la Figura 2.5, si el canal deseado tiene una potencia pequeña y viene acompañado de dos de mayor potencia de valor P_{in} (situados en ω_1 y ω_2), a la salida del sistema se produce una degeneración del canal deseado debido a la intermodulación de las señales interferentes ($2 \cdot \omega_2 - \omega_1$).

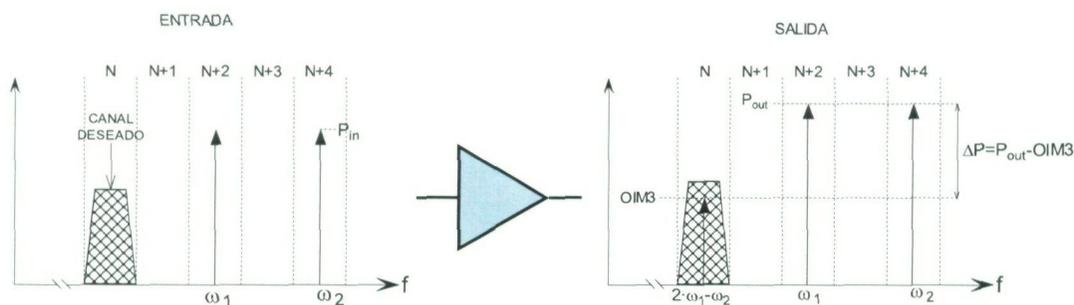


Figura 2.5: Degeneración del canal deseado debido a la intermodulación de las señales interferentes (ω_1 y ω_2).

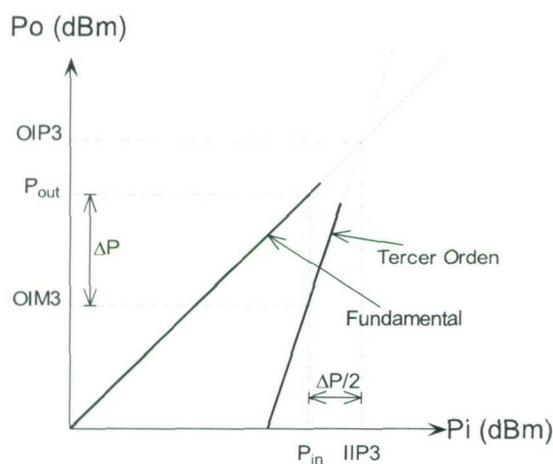


Figura 2.6: Representación gráfica de los parámetros característicos de linealidad.

Observando la Figura 2.6, el IIP3 se puede calcular como:

$$\begin{aligned}
 IIP3 &= P_{in} + \frac{\Delta P}{2} = P_{in} + \frac{P_{out} - OIM3}{2} \\
 &= P_{in} + \frac{(P_{in} + G) - (IIM3 + G)}{2} \\
 &= P_{in} + \frac{P_{in} + IIM3}{2} = \frac{1}{2}(3 \cdot P_{in} - IIM3)
 \end{aligned}
 \tag{2.8}$$

Para estimar al IIP3 necesitamos 2 señales situadas en ω_1 y ω_2 . Dichas señales corresponden a los patrones L1, L2 y L3 (ver Tabla 2.5, Tabla 2.6 y Tabla 2.7). Dichos patrones especifican la diferencia en dB sobre la potencia del canal deseado. Como potencia del canal deseado vamos a suponer la sensibilidad más 3 dB⁵. En la Tabla 2.8 se muestran los valores de Pin para la estimación de la linealidad.

Tabla 2.8 : Valores de Pin para la estimación de la linealidad

Patrón	Modo	Sensibilidad (C/N)	Pin (ω_1 y ω_2)
Patrón L1: Canal DVB-T en N+2 y analógico en N+4	2k/8k 16QAM CR=1/2 GI=ALL	-88.89 dBm 11.3 dB	Pin $_{\omega_1=(N+2)}$ = -88.89dBm + 3dB + 40dB = -45.89 dBm Pin $_{\omega_2=(N+4)}$ = -88.89dBm + 3dB + 45dB = -40.89 dBm
	2k/8k 16QAM CR=2/3 GI=ALL	-86.59 dBm 13.6 dB	Pin $_{\omega_1=(N+2)}$ = -86.59dBm + 3dB + 40dB = -43.59 dBm Pin $_{\omega_2=(N+4)}$ = -86.59dBm + 3dB + 45dB = -38.59 dBm
Patrón L2: Canal analógico en N+2 y en N+4	2k/8k 16QAM CR=1/2 GI=ALL	-88.89 dBm 11.3 dB	Pin $_{\omega_1=(N+2)}$ = -88.89dBm + 3dB + 45dB = -40.89 dBm Pin $_{\omega_2=(N+4)}$ = -88.89dBm + 3dB + 45dB = -40.89 dBm
	2k/8k 16QAM CR=2/3 GI=ALL	-86.59 dBm 13.6 dB	Pin $_{\omega_1=(N+2)}$ = -86.59dBm + 3dB + 45dB = -38.59 dBm Pin $_{\omega_2=(N+4)}$ = -86.59dBm + 3dB + 45dB = -38.59 dBm
Patrón L3: Canal	2k/8k 16QAM CR=1/2 GI=ALL	-88.89 dBm 11.3 dB	Pin $_{\omega_1=(N+2)}$ = -88.89dBm + 3dB + 40dB = -45.89 dBm Pin $_{\omega_2=(N+4)}$ = -88.89dBm + 3dB + 40dB = -45.89 dBm

⁵ En realidad se puede suponer como potencia del canal deseado como cualquier nivel de señal por encima de la sensibilidad, pero dicho valor debe ser el mismo que el que utilizemos en el cálculo de la Pin en la Tabla 2.8.

analógico en N+2 y DVB-T en N+4.	2k/8k 16QAM CR=2/3 GI=ALL	-86.59 dBm 13.6 dB	$P_{in_{\omega_1=(N+2)}} = -86.59\text{dBm} + 3\text{dB} + 40\text{dB} = -43.59\text{ dBm}$ $P_{in_{\omega_2=(N+4)}} = -86.59\text{dBm} + 3\text{dB} + 40\text{dB} = -43.59\text{ dBm}$
---	---------------------------------	-----------------------	--

Si tomamos como ejemplo el patrón L2 para el modo 2k/8k 16QAM CR=1/2 y GI=ALL (ver Tabla 2.8). A la entrada del receptor tenemos 2 canales interferentes en N+2 y N+4 (ω_1 y ω_2), cada uno con -40.89 dBm y el canal deseado en N con -85.89 dBm de potencia. Ante estas condiciones debemos calcular el IIP3 del receptor para el BER se mantenga a $2 \cdot 10^{-4}$ a la salida de un decodificador Viterbi (suponiendo canal gaussiano). Este BER se corresponde con una C/N de 11.3 dB.

Tal como se observa en la Figura 2.7, el *noise floor* es -100.19 dBm. Ahora, referido a la entrada, tenemos otra fuente de ruido debido al producto de intermodulación ($2 \cdot \omega_1 - \omega_2$), que es el IIM3. Con esta señal interferente a la entrada se debe mantener a la salida el mismo C/N. De esta manera se tiene un IIM3 de -97.19 dBm.

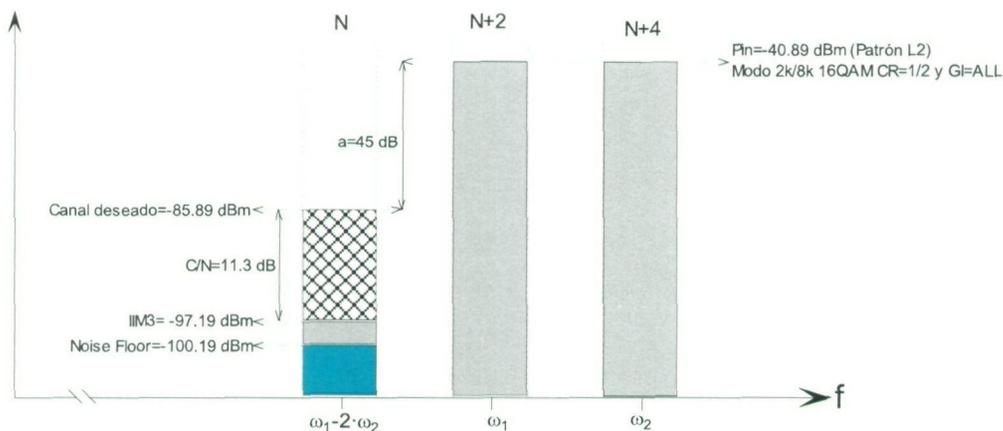


Figura 2.7: Gráfica de ayuda para las estimación de la linealidad para el patrón L2.

Con la siguiente ecuación ya se puede calcular el IIP3:

$$\begin{aligned}
 IIP3 &= \frac{1}{2}(3 \cdot P_{in} - IIM3) = \frac{1}{2}(3 \cdot (-40.89\text{dBm}) - (-97.19\text{dBm})) \\
 &= -12.47\text{dBm}
 \end{aligned}
 \tag{2.9}$$

De igual manera podemos calcular el IIP3 para todos los patrones (ver Tabla 2.9).

Tabla 2.9 : Estimación del IIP3 para los distintos patrones de medida de la linealidad

Patrón	Modo	Pin (ω_1 y ω_2)	IIP3 (IIM3=-97.19) $IIP3 = \frac{1}{2}(3 \cdot P_m - IIM3)$
Patrón L1: Canal DVB-T en N+2 y analógico en N+4	2k/8k 16QAM CR=1/2 GI=ALL	Pin $_{\omega_1=(N+2)} = -45.89$ dBm	-20.24 dBm
		Pin $_{\omega_2=(N+4)} = -40.89$ dBm	-12.74 dBm
	2k/8k 16QAM CR=2/3 GI=ALL	Pin $_{\omega_1=(N+2)} = -43.59$ dBm	-16.79 dBm
		Pin $_{\omega_2=(N+4)} = -38.59$ dBm	-9.29 dBm
Patrón L2: Canal analógico en N+2 y en N+4	2k/8k 16QAM CR=1/2 GI=ALL	Pin $_{\omega_1=(N+2)} = -40.89$ dBm	-12.74 dBm
		Pin $_{\omega_2=(N+4)} = -40.89$ dBm	
	2k/8k 16QAM CR=2/3 GI=ALL	Pin $_{\omega_1=(N+2)} = -38.59$ dBm	-9.29 dBm
		Pin $_{\omega_2=(N+4)} = -38.59$ dBm	
Patrón L3: Canal analógico en N+2 y DVB-T en N+4.	2k/8k 16QAM CR=1/2 GI=ALL	Pin $_{\omega_1=(N+2)} = -45.89$ dBm	-20.24 dBm
		Pin $_{\omega_2=(N+4)} = -45.89$ dBm	
	2k/8k 16QAM CR=2/3 GI=ALL	Pin $_{\omega_1=(N+2)} = -43.59$ dBm	-16.79 dBm
		Pin $_{\omega_2=(N+4)} = -43.59$ dBm	

Poniéndonos en el peor caso, se va suponer que el receptor tenga un IIP3 > -9 dBm.

2.8. Ruido de fase

El ruido de fase del oscilador local limita la selectividad del receptor [13]. El ruido de fase máximo se puede estimar a partir de la señal interferente máxima en el canal adyacente permitida para el peor caso, es decir, para una señal PAL-G no deseada en $N \pm 1$ operando en modo 2K/8K, 16QAM, $C/R = 2/3$ y $GI = All$ (ver Tabla 2.3 para el patrón S1). En la Figura 2.8 se puede observar una representación gráfica con los correspondientes valores de sensibilidad y nivel del canal deseado para el patrón S2.

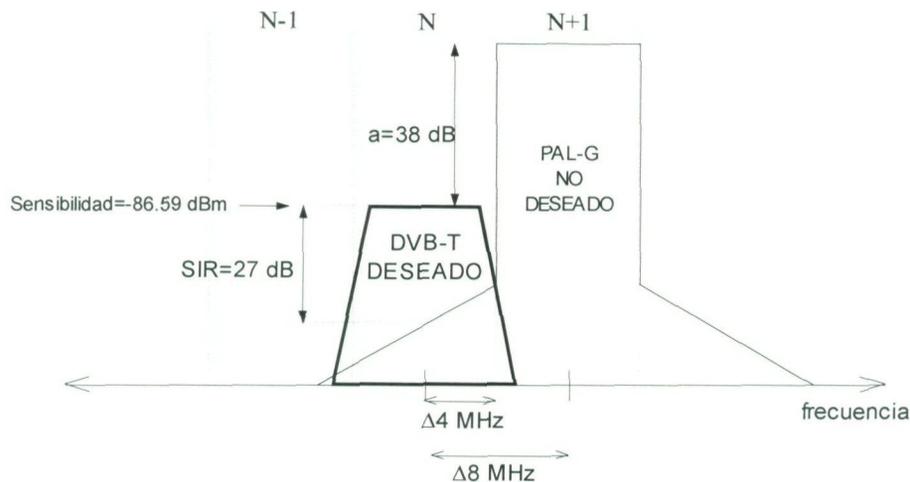


Figura 2.8: Representación gráfica del canal deseado y del no deseado (patrón S2) para el cálculo del ruido de fase.

Se ha elegido un SIR (*signal to interferer ratio*) de 27 dB (5 dB mayor que el peor caso de C/N que es 21.8 dB, ver la Tabla 2.2).

Según [13] el ruido de fase máximo permitido es:

$$PN(4MHz) = P_{señal} - P_{interferente} - SIR - 10 \log(B) \quad (2.10)$$

Para nuestro caso:

$$PN(4MHz) = -86.59dBm - (-86.59dBm + 38dB) - 27 - 10 \log(7.61MHz) = -133.8dBc \quad (2.11)$$

Asumiendo que estamos en la parte $1/f^2$ de la curva del ruido de fase según *Leesson*, tenemos una pendiente de -20 dB/dec, lo cual indica que el ruido de fase máximo debe ser:

$$PN(40 \text{ kHz}) = -94 \text{ dBc/Hz} \rightarrow PN(100 \text{ kHz}) = -103 \text{ dBc/Hz} \quad (2.12)$$

$$PN(400 \text{ kHz}) = -114 \text{ dBc/Hz} \rightarrow PN(1 \text{ MHz}) = -123 \text{ dBc/Hz} \quad (2.13)$$

$$PN(4 \text{ MHz}) = -134 \text{ dBc/Hz} \rightarrow PN(10 \text{ MHz}) = -143 \text{ dBc/Hz} \quad (2.14)$$

Se decidió tomar un margen de seguridad prudente y proponer así una especificación de ruido de fase de -107 dBc/Hz para un *offset* de 100 KHz.

2.9. Resumen

En este capítulo se ha tratado de plasmar lo más claro y sintetizado posible las características técnicas del estándar DVB-H.

Se procederá en el siguiente capítulo a explicar la tecnología utilizada para la realización del proyecto.

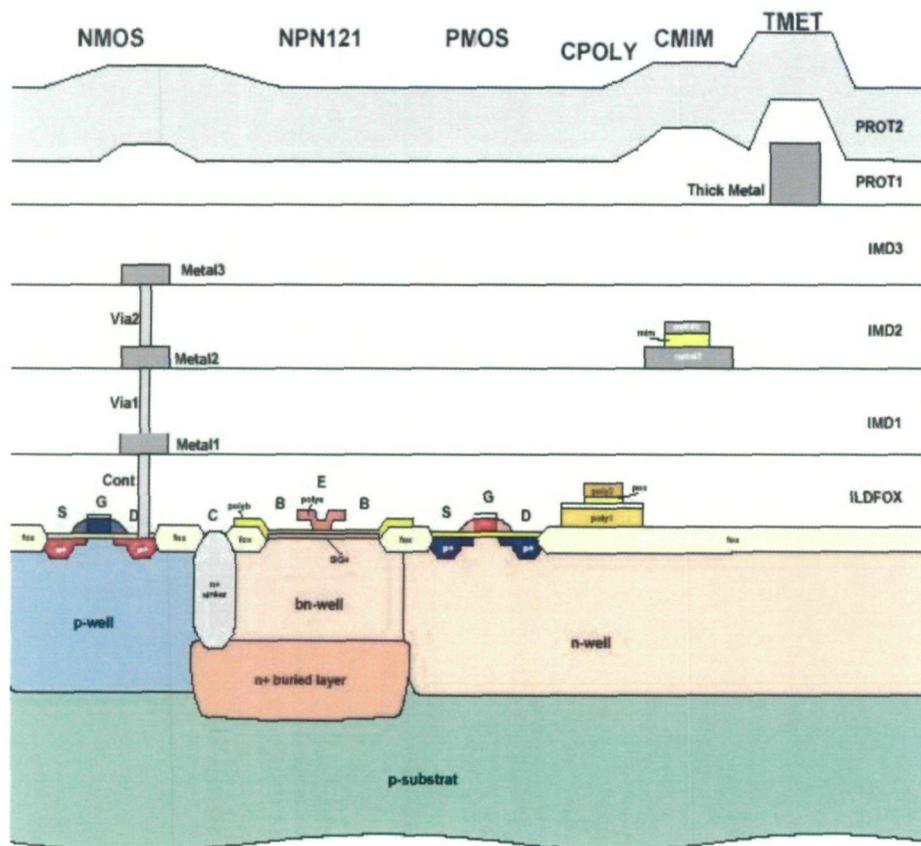


Figura 3.1: Capas de la tecnología S35D4 de AMS

El presente capítulo está estructurado de la siguiente manera. El primer lugar se describe los componentes pasivos proporcionados por la tecnología (resistencias, condensadores) o desarrollados por el IUMA (bobinas), para posteriormente estudiar los dispositivos activos (transistores MOSFET y HBTs de SiGe).

Capítulo 3

Estudio de la tecnología

3.1. Introducción

Antes de comenzar con el diseño se debe realizar un estudio de la tecnología que se va a utilizar. Por esta razón se ha realizado este pequeño capítulo, con el que se pretende dar una visión general de la tecnología S35D4 de la fundidora AMS. Esta tecnología consta de cuatro niveles de metal, siendo el último nivel de un espesor mayor con la finalidad de mejorar el factor de calidad de los inductores integrados. En cuanto a dispositivos activos, consta de transistores bipolares de heteroestructura (HBT) y MOSFET, siendo la longitud mínima de puerta de 0,35 μ m. Asimismo la tecnología S35D4 ofrece librerías de componentes pasivos.

En la Figura 3.1 podemos ver las distintas capas de las que se compone la tecnología S35D4 de AMS.

3.2. Resistencias

3.2.1. Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la Figura 3.2 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

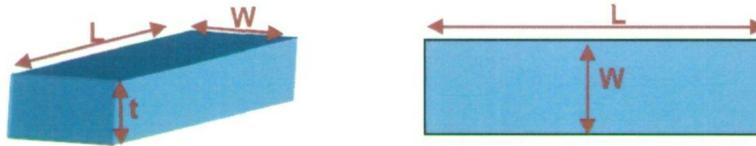


Figura 3.2: Parámetros de una resistencia

Partiendo de la Figura 3.2, el valor de la resistencia se obtiene a partir de la ecuación (3.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (3.1)$$

Donde los parámetros que intervienen son:

- ρ = Resistividad del material.
- t = Espesor del material.
- L = Longitud de la resistencia.
- W = Anchura de la resistencia.

En procesos de semiconductores, el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (3.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (3.2)$$

En la ecuación (3.2), R_{square} representa al cociente entre la resistividad y el espesor de la resistencia.

3.2.2. Resistencias en la tecnología S35D4 de AMS

La tecnología S35D4 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que se quiera integrar. En la Tabla 3.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 3.1 : Resistencias incluidas en la tecnología S35D4

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	$\Omega/\mu\text{m}$
Coefficiente de temperatura		0.6		$10^{-3}/\text{K}$
Resistencia de contacto		20	40	Ω/cnt
Densidad de corriente			0.3	$\text{mA}/\mu\text{m}$
RPOLYh				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	$\text{K}\Omega/\mu\text{m}$
Coefficiente de temperatura		-1.2		$10^{-3}/\text{K}$
Resistencia de contacto		60	200	Ω/cnt
Densidad de corriente			0.3	$\text{mA}/\mu\text{m}$

En la Figura 3.3 se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros de las resistencias.

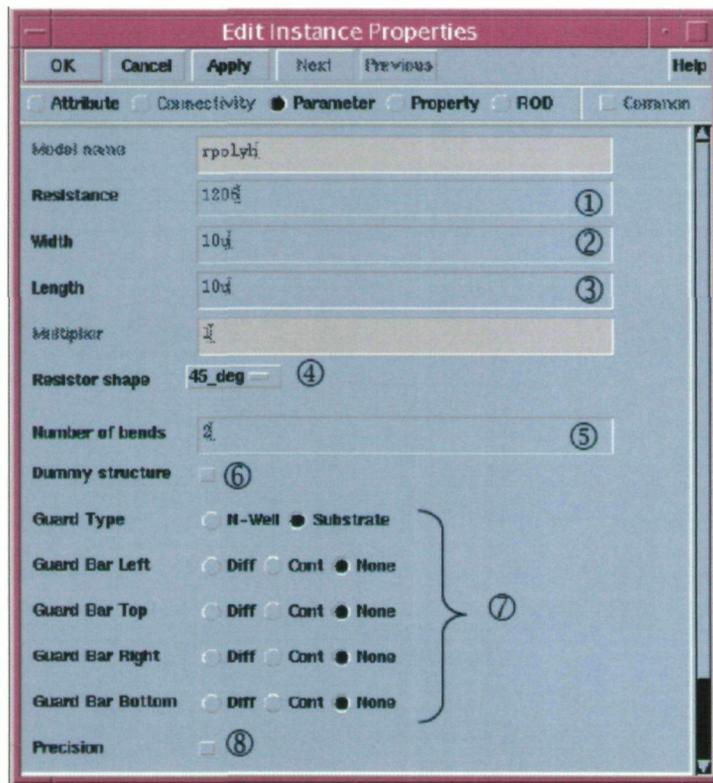


Figura 3.3: Parámetros en las resistencias

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura anterior.

- ① Valor de la resistencia: ajustando el valor óhmico de la resistencia, el *software* calcula la longitud de la misma.
- ② Ancho de la pista: variando el ancho, el *software* determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos: empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.

- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

En la Figura 3.4 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

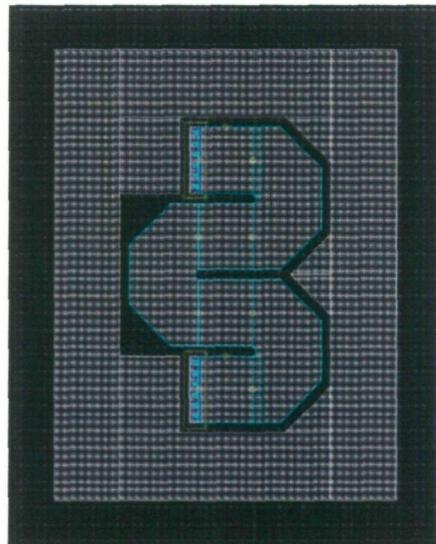


Figura 3.4: Resistencia con estructura *dummies*.

3.3. Condensadores

3.3.1. Construcción

En sistemas integrados, la implementación de condensadores se reduce a la construcción de un condensador plano empleando 2 capas de metal separadas por una capa de material aislante. En la Figura 3.5 se muestra un esquema donde esto queda reflejado.

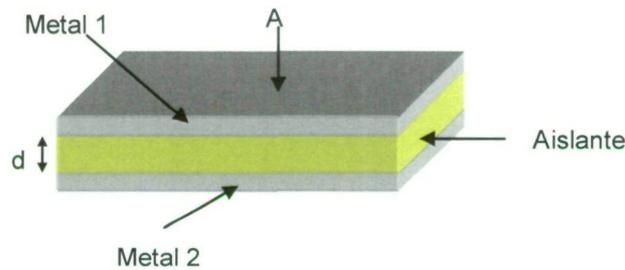


Figura 3.5: Corte de un condensador.

Partiendo de la Figura 3.5, el valor de la capacidad del condensador viene dado por la ecuación (3.3)

$$C = \frac{\epsilon' \epsilon_0 \cdot A}{d} \quad (3.3)$$

donde los parámetros que intervienen son:

- ϵ' = Permitividad relativa del material.
- ϵ_0 = Permitividad del vacío.
- A = Área de las placas del condensador.
- d = Distancia ente las placas del condensador.

3.3.2. Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el CMIN, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro lado está el CPOLY, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor.

En la Figura 3.6 se muestra el cuadro de diálogo donde se pueden ajustar los diversos parámetros de los condensadores.

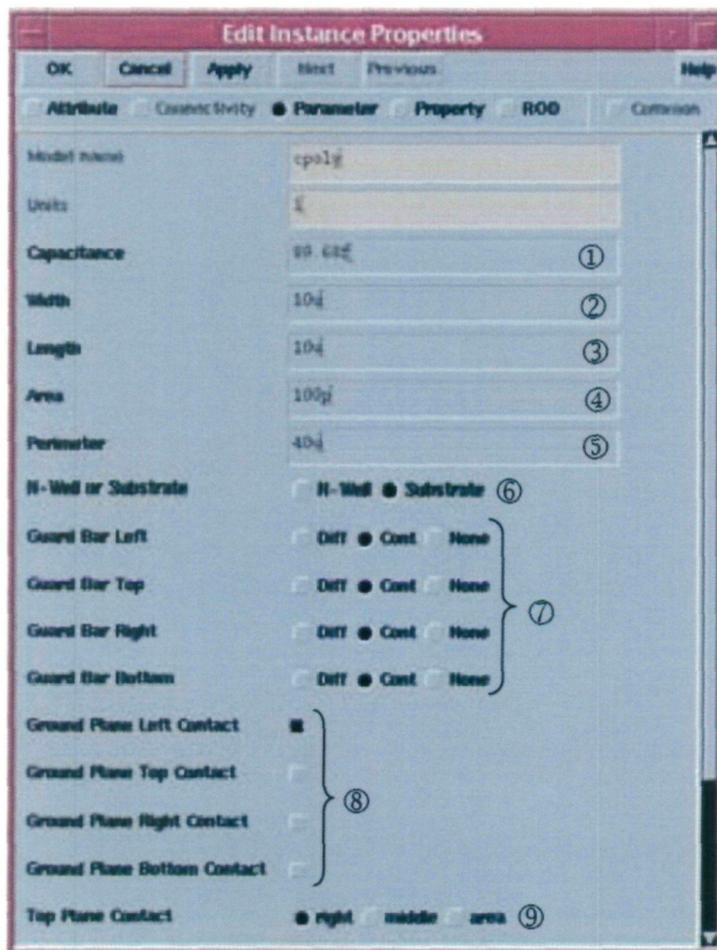


Figura 3.6: Parámetros ajustables en los condensadores.

A continuación se detallan los parámetros mostrados en la figura anterior.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.
- ⑥ Conexión al sustrato o a un pozo tipo N.
- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.
- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

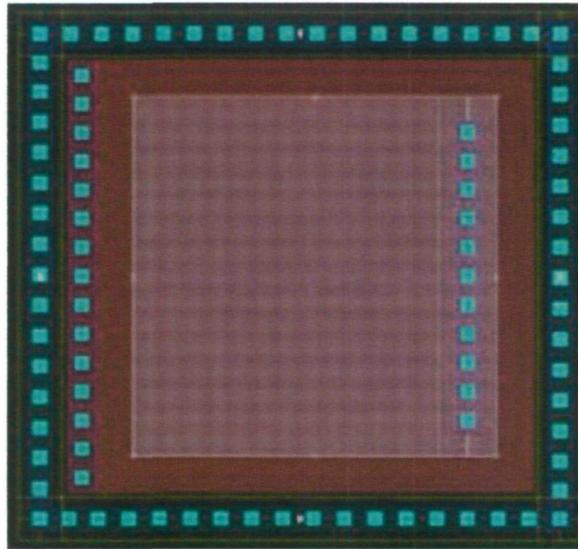


Figura 3.7: *Layout* de un condensador.

A modo de ejemplo, en la Figura 3.7 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior esta a la derecha.

3.4. Bobinas

3.4.1. Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, es necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la Figura 3.8 se muestra el *layout* de una bobina espiral cuadrada simple, donde se puede apreciar la disposición del *underpass*, así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

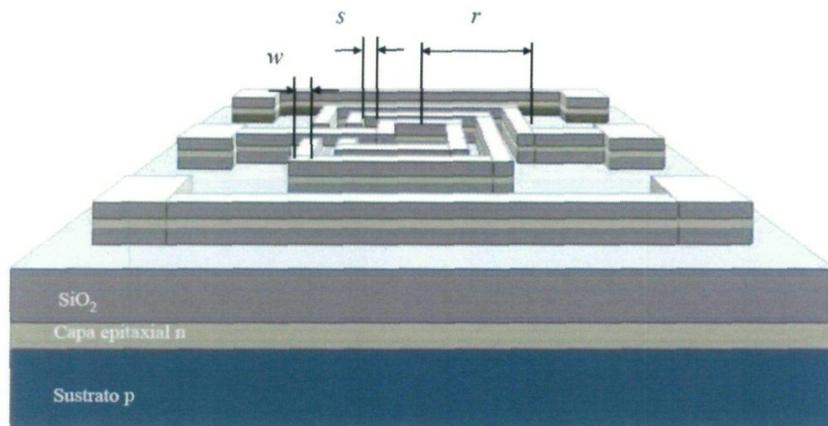


Figura 3.8: *Layout* de una bobina cuadrada simple.

3.4.2. Funcionamiento

El inductor se caracteriza por su factor de calidad (ecuación (3.4)), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3.4)$$

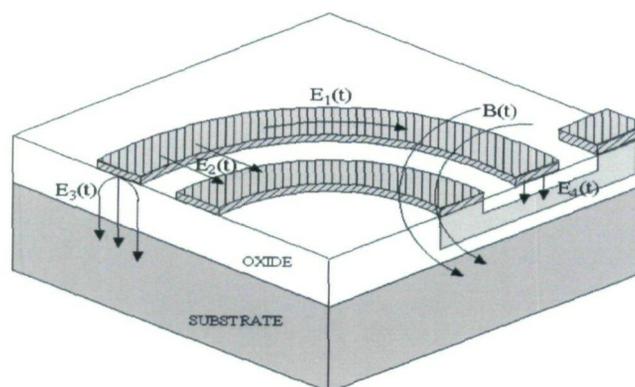


Figura 3.9: Campos eléctricos y magnéticos en un inductor integrado.

3.4.3. Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la Figura 3.10. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver Figura 3.9). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. Por último R_{SUB1} y R_{SUB2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la Figura 3.10 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporciona valores de C_{OX1} , C_{SUB1} y R_{SUB1} ligeramente diferentes a los de C_{OX2} , C_{SUB2} y R_{SUB2} .

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente. Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad y a las causadas por el Efecto Pelicular (*Skin Effect*) [13] y por las Corrientes de Torbellino (*Eddy Currents*) [13] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la Figura 3.9.

El campo magnético $B(t)$, está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$ es el campo eléctrico entre la espira y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [13].

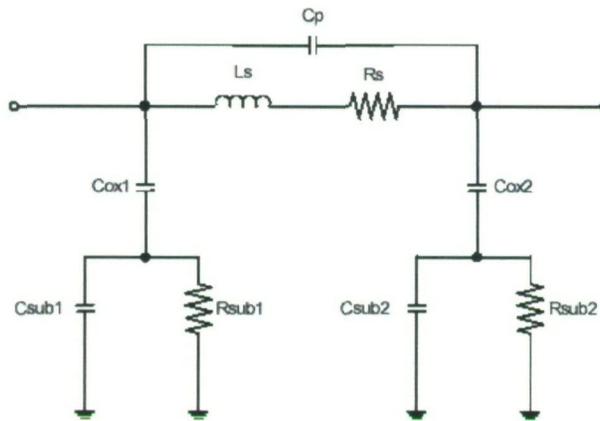


Figura 3.10 : Modelo clásico de dos puertos de inductores espirales integrados.

3.4.4. Bobinas en la tecnología S35D4 de AMS

La tecnología de AMS presenta bobinas, pero se optó por usar las bobinas desarrolladas por el IUMA ya que éstas presentan factores de calidad mayores que las de AMS. En la Figura 3.11 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10,3.

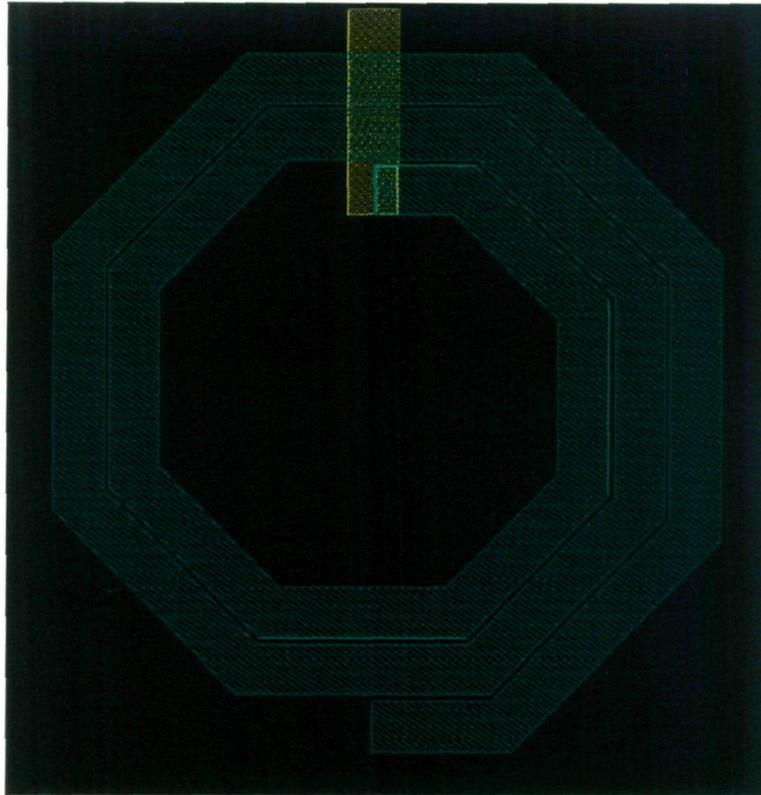


Figura 3.11 : *Layout* de una bobina.

3.5. El transistor MOSFET

3.5.1. Construcción

En la Figura 3.12 se muestra un corte esquemático de 2 transistores MOS tipo n y tipo p respectivamente. En el caso del transistor tipo n, el surtidor (fuente) y el drenador están formados por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO₂.

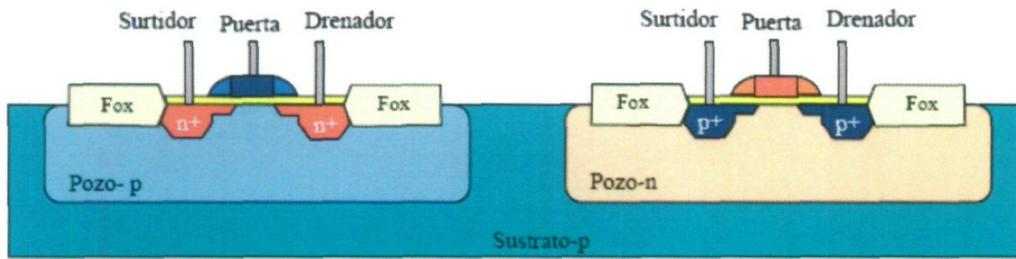


Figura 3.12 :Corte esquemático de transistores MOS.

3.5.2. Funcionamiento

Como se muestra en la Figura 3.13, si en un MOSFET tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor, no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor MOSFET se encuentra en corte.

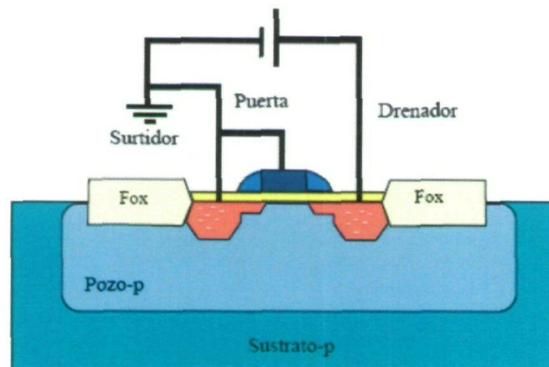


Figura 3.13 : MOSFET tipo n en corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la Figura 3.14. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral

(V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el MOSFET se encuentra en la región de triodo o zona óhmica.

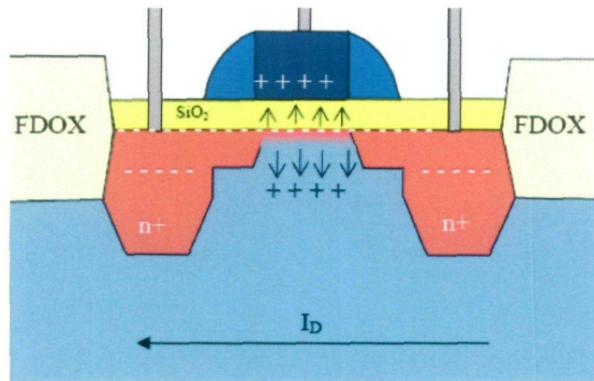


Figura 3.14 : Detalle del MOSFET tipo n en zona óhmica.

En la región de triodo la expresión que determina la corriente de drenador del MOSFET viene dada como:

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.5)$$

Donde:

- μ_n = Movilidad de los electrones
- C_{OX} = Capacidad de puerta por unidad de área
- L = Longitud del canal del transistor (μm)
- W = Ancho del canal del transistor (μm)

Como ya se ha comentado, cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra Figura 3.15.

3.5.3. Modelo de baja frecuencia

En la Figura 3.16 se muestra el modelo en baja frecuencia del transistor MOSFET,

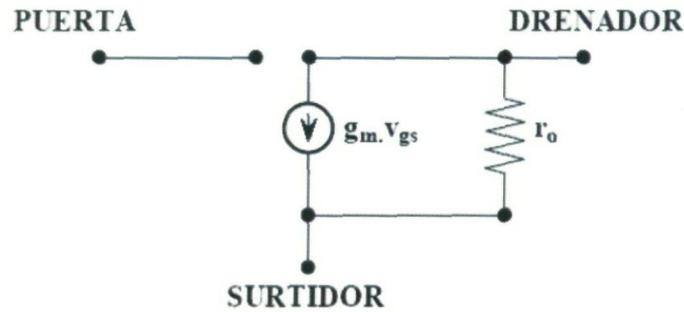


Figura 3.16 : Modelo del MOSFET en baja frecuencia.

donde r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal; y g_m es la transconductancia del transistor, que viene dada por la ecuación (3.8).

$$g_m = \sqrt{\frac{2 \cdot \mu_n \cdot C_{OX} \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{\mu_n \cdot C_{OX} \cdot W \cdot I_D}{L_{eff}}} \quad (3.8)$$

En la que:

- L_{eff} = Longitud efectiva del canal (μm)

3.5.4. Modelo de alta frecuencia

En la Figura 3.17 se muestra el modelo de alta frecuencia del transistor MOSFET. Donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

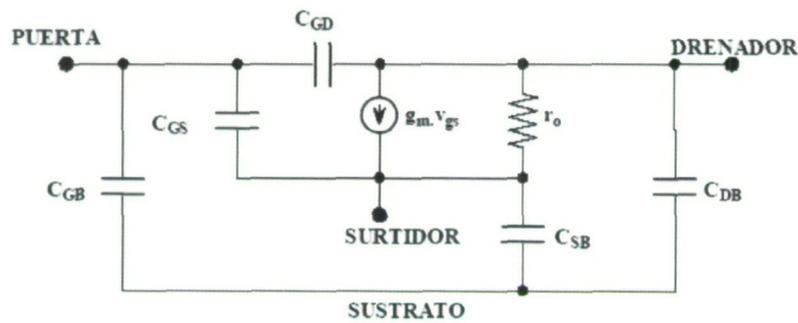


Figura 3.17 : Modelo del MOSFET en alta frecuencia.

Las capacidades parásitas que aparecen a altas frecuencias son de dos tipos:

- Capacidades de la zona de carga espacial: Se producen en las uniones PN, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones (3.9) y (3.10).

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\Psi_0}\right)^m} \quad (3.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\Psi_0}\right)^m} \quad (3.10)$$

Donde:

- C_{DB0} = Densidad de la capacidad de la unión Drenador-Sustrato cuando la polarización de esta es nula.
- C_{SB0} = Densidad de la capacidad de la unión surtidor-Sustrato cuando la polarización de esta es nula.

- V = Tensión directa de la unión.
- ψ_o = Barrera de potencial.
- m = Constante dependiente del tipo de unión.
- Capacidades en la zona de óxido: Aparecen capacidades entre 2 zonas conductoras separadas por óxido, sometidas a distintas tensiones. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación. Las principales capacidades de óxido son:
 - C_{GB} = Capacidad de óxido entre puerta y Sustrato.
 - C_{SG} = Capacidad de óxido entre surtidor y puerta.
 - C_{GD} = Capacidad de óxido entre puerta y drenador.

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor. En la Tabla 3.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

Tabla 3.2 Capacidades de la zona de óxido de un transistor MOSFET

Capacidad	Corte	Óhmica	Saturación
C_{GD}	$C_{OX} \frac{L}{d} W$	$C_{OX} \frac{L}{d} W + 0.5 C_{OX} \frac{L}{d} W$	$C_{OX} \frac{L}{d} W$
C_{GS}	$C_{OX} \frac{L}{d} W$	$C_{OX} \frac{L}{d} W + 0.5 C_{OX} \frac{L}{d} W$	$C_{OX} \frac{L}{d} W + 0.66 C_{OX} \frac{L}{d} W$
C_{GB}	$C_{OX} \frac{L}{d} W$	0	0

En la Tabla 3.2, el parámetro L_d es la distancia de difusión lateral que se produce bajo la puerta.

3.5.5. Transistores MOSFET en la tecnología S35D4 de AMS

En la Tabla 3.3 y Tabla 3.4 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del *kit* de diseño.

Tabla 3.3 : Parámetros más importantes de los MOSFET NMOS

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_T)	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu\text{A}/\text{V}$
Den. Corriente Saturación	450	540	630	$\mu\text{A} / \mu\text{m}$

Tabla 3.4 : Parámetros más importantes de los MOSFET PMOS

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_T)	-0.5	-0.6	-0.7	V
Factor de Ganancia (K_n)	48	58	68	$\mu\text{A}/\text{V}$
Den. Corriente Saturación	-180	-240	-300	$\mu\text{A} / \mu\text{m}$

En la Figura 3.18 se muestra el cuadro de diálogo mediante el cual se ajustan los parámetros del transistor MOSFET.

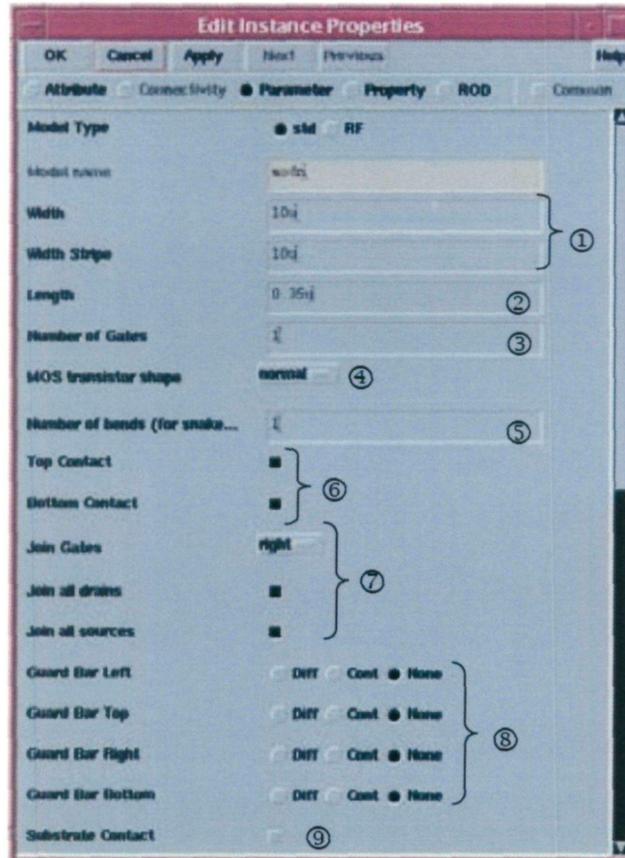


Figura 3.18 : Parámetros en los MOSFET.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la Figura 3.18.

- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo *Snake* [3].
- ⑤ Selección del número de dedos para los transistores tipo *Snake*.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las puertas, drenadores y surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.

- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [14] en el transistor

A modo de ejemplo, en la Figura 3.19 se muestra un transistor MOSFET tipo n con 5 puertas, generado a partir de las diferentes opciones que presenta el *kit* de la tecnología. Se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

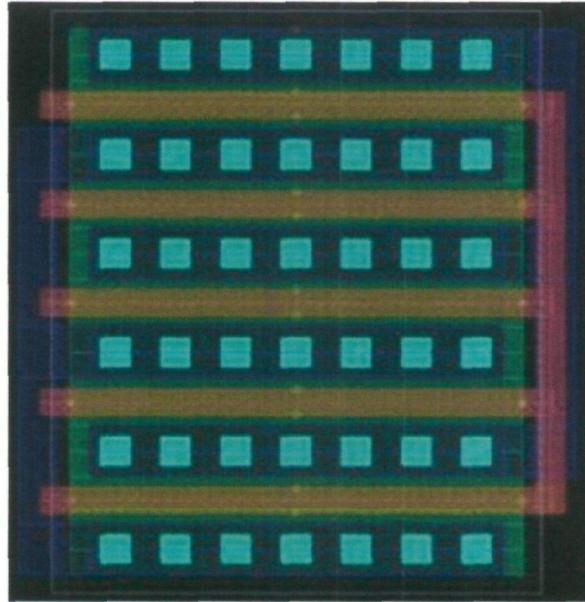


Figura 3.19 : Ejemplo de transistor MOSFET.

3.6. HBTs de SiGe

3.6.1. Construcción

Los transistores bipolares de heteroestructura HBTs de SiGe son transistores npn bipolares en los que la base está formada por una capa muy estrecha ($<50\text{nm}$) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma pseudomórfica. La concentración de Ge puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la Figura 3.20 se muestra la estructura típica de un HBT de SiGe gradual.

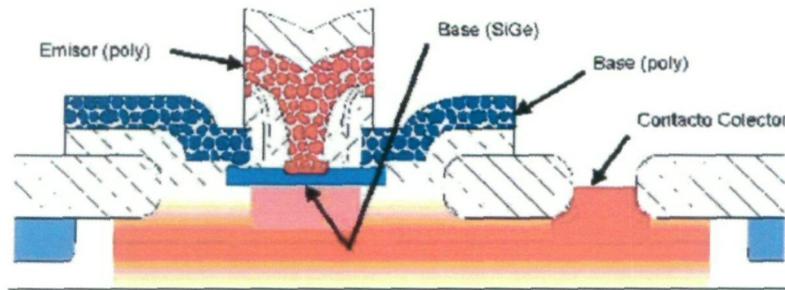


Figura 3.20 : Estructura típica de un HBT de SiGe gradual.

3.6.2. Funcionamiento

El funcionamiento de los HBTs es exactamente igual al de los transistores bipolares de homounión (BJTs), con la salvedad de que sus prestaciones son muy superiores a las de estos últimos.

Para ayudar a entender los beneficios de los HBT, se comparan en la Figura 3.21 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la Figura 3.22, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de depleción de la unión emisor-base (que deberían ser pequeñas). Para entender el

funcionamiento de los HBTs es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

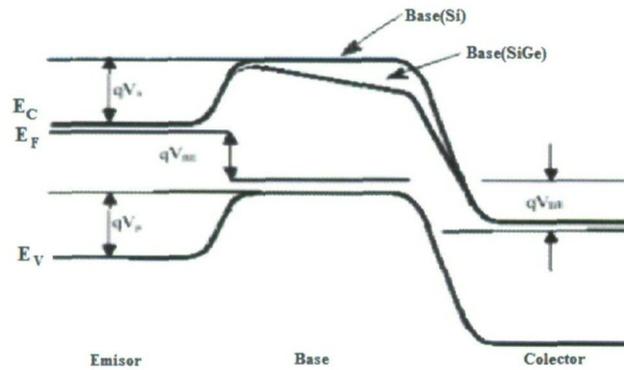


Figura 3.21 : Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/SiGe.

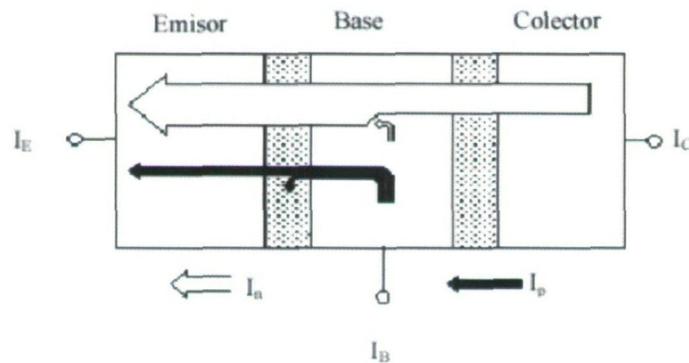


Figura 3.22 : Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los BJT's para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de Boltzmann ofrece las concentraciones de portadores minoritarios:

$$I_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.11)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (3.12)$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión BJT. V_{BE} es la tensión aplicada a la unión B-E. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es N_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (3.11) y (3.12) se obtiene la ganancia en corriente del transistor:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{N_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (3.13)$$

La ecuación (3.13) representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{\max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la Figura 3.21 se muestra el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G / W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{N_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\frac{\Delta E_G}{K \cdot T}} \quad (3.14)$$

Debido a que es posible obtener decenas de mV para Δ_{EG} variando la concentración de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados [15] y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias [15].

Por otro lado, para conseguir valores de corriente elevados en los BJT's, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como se ha mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BCs} bajos para poder operar a frecuencias elevadas. El uso de HBT's en vez de BJT's ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los HBT's trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los HBT's de SiGe es mayor que para los BJT's de Si, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Por último, debido a la elevada ganancia que presentan los HBT's de SiGe a frecuencias por encima de 2 GHz, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y LNAs.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presenta, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del SiGe, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector [15]. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

3.6.3. Modelo de baja frecuencia

En la Figura 3.23 se muestra el modelo en baja frecuencia de un transistor bipolar NPN cuando el transistor está operando en configuración de emisor-común (EC).

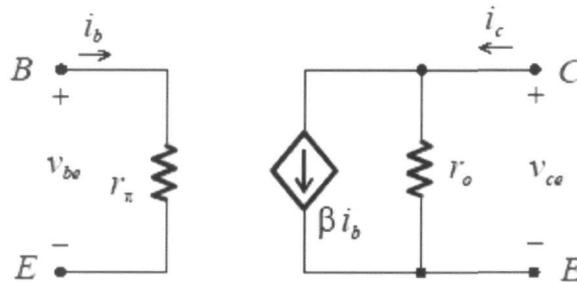


Figura 3.23 : Modelo híbrido en π e baja frecuencia.

En la figura anterior:

$$v_{be} = r_{\pi} \cdot i_b \quad (3.15)$$

$$i_c = \beta \cdot i_b + \frac{1}{r_o} \cdot v_{ce} \quad (3.16)$$

3.6.4. Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la β con la frecuencia y las capacidades internas. En la Figura 3.24(a) se observa esta dependencia y se definen dos frecuencias: f_{β} , frecuencia de corte superior que es la frecuencia a la cual decae en $1/\sqrt{2} = 0.707$, la β a frecuencias medias especificada por β_o , y f_T , frecuencia de transición definida como la frecuencia a la cual la β vale 1. El fabricante proporciona el valor de f_T en función de la corriente de colector (Figura 3.24(b)), siendo éste un parámetro importante que fija el ancho de banda del transistor.

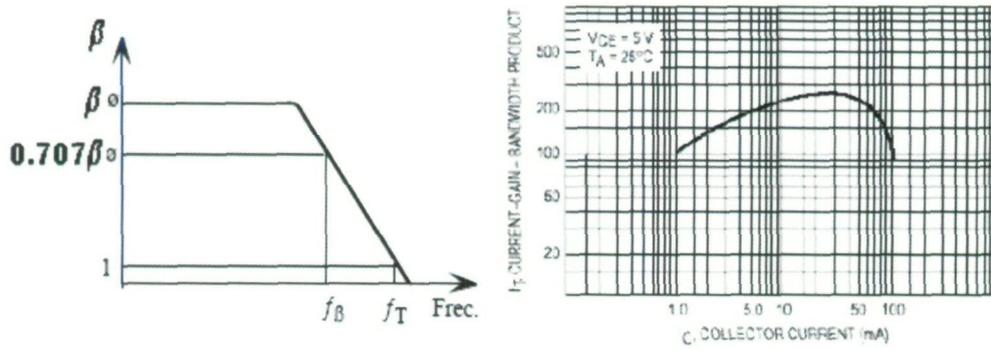


Figura 3.24 : (a)Variación de la β de un transistor bipolar con la frecuencia (b)Variación de f_T con I_C .

En la Figura 3.25 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes: $C_{b'c}$, y $C_{b'e}$, las cuales varían con la tensión inversa (*reverse voltage*). $C_{b'c}$ se obtiene gráficamente calculando la $V_{B'C}$ del transistor (tensión inversa de la unión colector-base). $C_{b'e}$ tiene asociada dos capacidades, difusión del emisor y de unión emisor-base. Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como

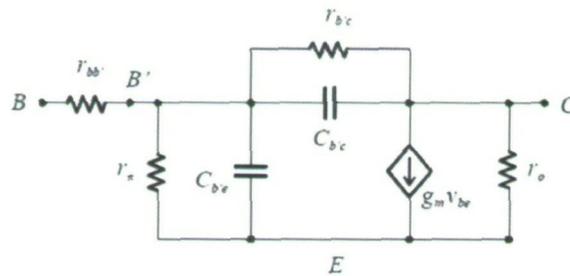


Figura 3.25 : Modelo en alta frecuencia de un transistor bipolar.

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \quad (3.17)$$

siendo V_T el potencial térmico, que vale 25 mV a 25 °C. La relación entre f_T y f_B y esas capacidades es la siguiente:

$$f_T = f_0 \cdot \beta' \text{ siendo } f_0 \cong \frac{1}{2\pi \cdot (r_{bb'} + r_{\pi})(C_{b'e} + C_{b'c})} \text{ y } \beta = \frac{\beta'}{1 + j \frac{f}{f_0}} \quad (3.18)$$

3.6.5. HBTs en la tecnología S35D4 de AMS

Los HBTs de SiGe utilizados para la realización de este diseño son los suministrados en el proceso S35D4 (0.35 μm HBT BiCMOS) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo p poco dopada de resistividad $19\Omega\cdot\text{cm}$. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD) [16] la cual se separa mediante un proceso de recesión LOCOS [16]. El siguiente paso es el crecimiento selectivo de la base de SiGe mediante CVD. La concentración de Germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de Base y Emisor. Finalmente el proceso termina con las metalizaciones de los contactos de Emisor, Base y Colector.

En la Figura 3.26 se muestra el cuadro de diálogo de los transistores disponible en el *kit* de la tecnología, así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

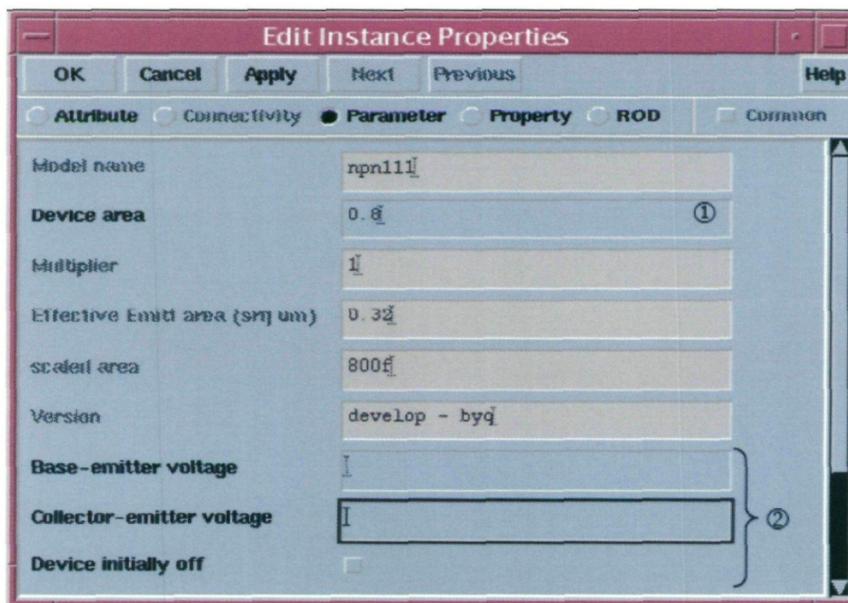


Figura 3.26 : Parámetros ajustables de los transistores.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la Figura 3.26.

- ① Selección del área del transistor.
- ② Selección de los ajustes para simulación.

En la Figura 3.27 se muestra el *layout* de un transistor HBT. Pueden observarse claramente las conexiones de Emisor, Base y Colector del mismo de izquierda a derecha.

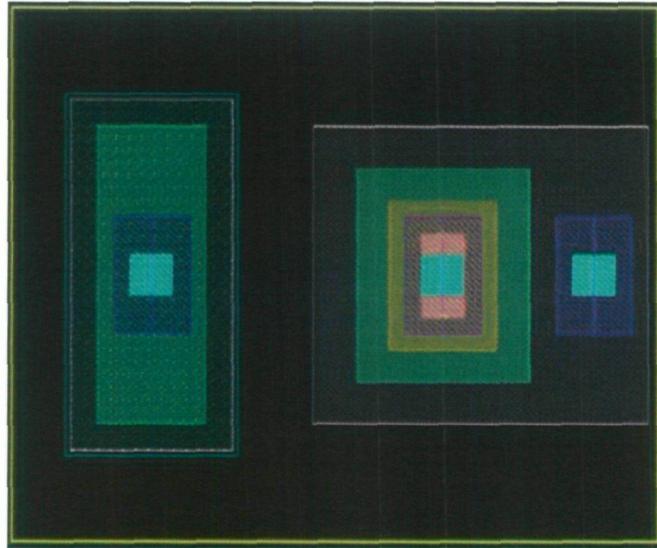


Figura 3.27 : *Layout* de un transistor HBT.

3.7. Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología S35D4 de AMS para la implementación de sistemas integrados para radiofrecuencia.

Una vez conocida la tecnología a emplear, en el próximo capítulo se dará una explicación teórica sobre los mezcladores a fin de poder comenzar con el desarrollo de nuestro diseño.

Capítulo 4

Mezclador de frecuencias

4.1. Introducción

Una vez conocidos tanto el estándar como la tecnología utilizada y las características básicas de los sistemas de radiofrecuencia [9][17], en este capítulo se profundizará un poco más dentro del campo de los mezcladores. Para ello se realizará un estudio teórico de la función de los mezcladores dentro de los sistemas de comunicaciones, así como un estudio de las topologías más empleadas.

4.2. Teoría básica

Un mezclador de frecuencias tiene la función de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.).

Un mezclador de frecuencias le suma o le resta a la banda de frecuencias de la señal de entrada V_{RF} , centrada en la frecuencia f_{RF} , un valor de frecuencia constante de valor f_{LO} denominado frecuencia del oscilador local, para obtener una señal centrada en la frecuencia f_{IF} , denominada frecuencia intermedia. Un diagrama básico sería el mostrado en la Figura 4.1.

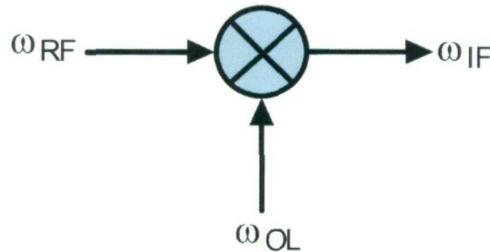


Figura 4.1: Diagrama básico de un mezclador.

La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, ser una señal en banda base o una señal paso-banda, y el mezclado puede realizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*).

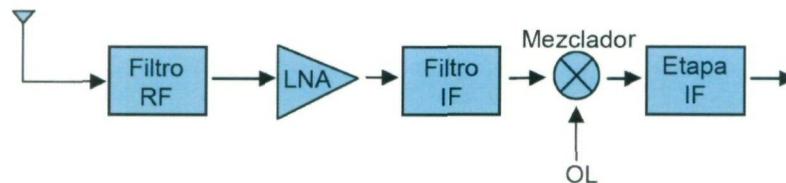


Figura 4.2: Esquema de un receptor.

La Figura 4.2 representa el esquema de un receptor que utiliza un mezclador *down-conversion* para convertir la señal RF en una señal intermedia IF, mezclando la señal RF con la señal LO procedente de un oscilador local. La Figura 4.3 muestra un transmisor, en el que se convierte una señal de baja frecuencia en una de alta frecuencia.

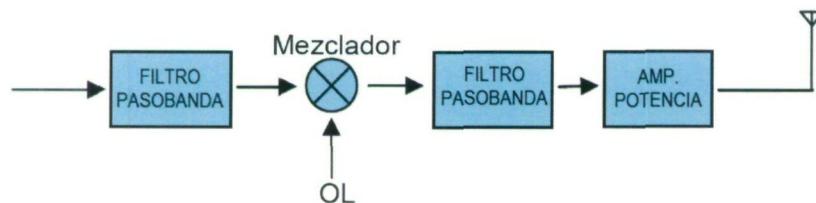


Figura 4.3: Esquema de un transmisor.

La Figura 4.4 ilustra un mezclador sencillo formado por un dispositivo no lineal con una tensión de entrada V_1 . Si el dispositivo fuese perfectamente lineal, la tensión o corriente de salida contendría sólo las frecuencias f_1 . La naturaleza no lineal del mismo determina que se generen otras frecuencias.

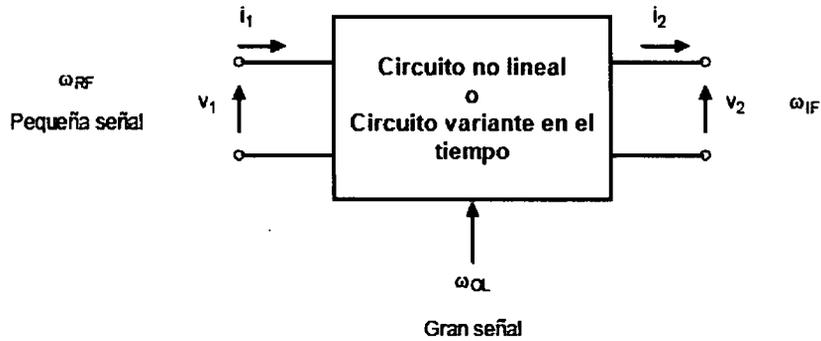


Figura 4.4: Dispositivo no lineal usado como mezclador.

En general, la relación entrada – salida en el dominio del tiempo se puede expresar por la serie de Taylor de la ecuación (4.1).

$$i_2(t) = I_2 + a \cdot v_1(t) + b[v_1(t)]^2 + c[v_1(t)]^3 + \dots \quad (4.1)$$

En esta expresión, I_2 es la corriente de salida en reposo y $v_1(t)$ representa la suma de los efectos de todas las señales de entrada. Si la entrada contiene sólo una frecuencia, la no-linealidad generará armónicos de esta frecuencia y alterará la componente continua.

Si se tienen varias frecuencias de entrada, se generarán frecuencias suma y diferencia, así como armónicas. Las frecuencias de suma y diferencia generadas por el término cuadrático en ecuación (4.1) se llaman productos de intermodulación de segundo orden; las originadas por el término cúbico, productos de tercer orden.

Un dispositivo de ley cuadrática es ideal para ser utilizado como de mezclador, pues se produce el número mínimo de frecuencias indeseables. Si el dispositivo tiene la característica de transferencia

$$i_2(t) = a \cdot v_1(t) + b[v_1(t)]^2 + \dots \quad (4.2)$$

y la entrada es

$$v_1(t) = V_{RF} \cdot \cos(\omega_{RF}t) + V_{LO} \cos(\omega_{LO}t) \quad (4.3)$$

La corriente de salida se hace

$$i_2(t) = a(V_{RF} \cdot \cos(\omega_{RF}t) + V_{LO} \cos(\omega_{LO}t)) + b(V_{RF} \cdot \cos(\omega_{RF}t) + V_{LO} \cos(\omega_{LO}t))^2 \quad (4.4)$$

$$i_2(t) = aV_{RF} \cos(\omega_{RF}t) + aV_{LO} \cos(\omega_{LO}t) + bV_{RF} \cos(\omega_{RF}t) + bV_{LO} \cos(\omega_{LO}t) + 2bV_{RF} V_{LO} \cos(\omega_{RF}t) \cos(\omega_{LO}t) \quad (4.5)$$

Los dos primeros términos en la ecuación (4.5) carecen de interés para la acción del mezclador, salvo que en un circuito práctico puede ser necesario filtrarlos. Mediante la igualdad trigonométrica expresada en la ecuación (4.6) se llega a la conclusión de que los términos tercero y cuarto representan una componente continua y segundos armónicos de las frecuencias de entrada. El término final de la ecuación (4.5) determina el producto deseado, tal y como se refleja en la ecuación (4.7).

$$aV^2 \cos^2 \omega t = \frac{a}{2} V^2 (1 + \cos^2 \omega t) \quad (4.6)$$

$$2bV_{RF} V_{LO} \cos(\omega_{RF}t) \cos(\omega_{LO}t) = bV_{RF} V_{LO} [\cos(\omega_{LO} - \omega_{RF})t \cos(\omega_{LO} + \omega_{RF})t] \quad (4.7)$$

Obsérvese que las amplitudes de las componentes de frecuencias suma y diferencia son proporcionales al producto de las amplitudes de las señales de entrada.

Por lo general, en mezcladores de recepción, sólo se desea la componente de salida de frecuencia diferencia, por lo que deben eliminarse las frecuencias originales, las armónicas y su suma, mediante filtrado o por otros medios.

4.3. Parámetros del mezclador

En los siguientes apartados se definen los parámetros más importantes que describen el funcionamiento de un mezclador.

4.3.1. Ganancia de conversión

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación (4.8),

$$G = \frac{V_{salida}}{V_{entrada}} \quad (4.8)$$

siendo su valor en decibelios el mostrado en la ecuación (4.9).

$$G(dB) = 20 \log \left(\frac{V_{salida}}{V_{entrada}} \right) \quad (4.9)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión, sino en términos de potencia. Por tanto, de ahora en adelante se hablará de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S, más concretamente el parámetro S_{21} .

4.3.1.1. Ganancia de conversión de un mezclador

Una característica importante de un mezclador es la ganancia (o pérdida) de conversión, que se define como la relación entre la señal de salida (IF) y el valor de la señal de entrada (RF). Para un mezclador caracterizado con la ecuación (4.10),

$$(A \cos \omega_1 t)(B \cos \omega_1 t) = \frac{AB}{2} [\cos(\omega_1 - \omega_2)t + \cos(\omega_1 + \omega_2)t] \quad (4.10)$$

la ganancia de conversión es la salida (IF) $AB/2$, dividida entre la amplitud de la señal de entrada (RF) A , por lo que en este ejemplo, la ganancia de conversión sería $B/2$, es decir, la mitad de la amplitud del LO.

La ganancia de conversión, si se expresa como una relación de potencia, puede ser mayor que la unidad en mezcladores activos, mientras que los mezcladores pasivos sólo son capaces de lograr ganancias superiores a la unidad en tensión o corriente.

Normalmente es conveniente obtener una ganancia de conversión alta, ya que esto implica que los mezcladores proporcionan amplificación a la frecuencia de traslación.

4.3.2. Figura de ruido

La figura de ruido de un circuito nos da una medida de la cantidad de ruido que introduce el propio circuito sin tener en cuenta el ruido exterior.

Cualquier etapa de una cadena de recepción puede considerarse como un cuadripolo, es decir, una caja negra con un puerto de entrada y otro de salida.

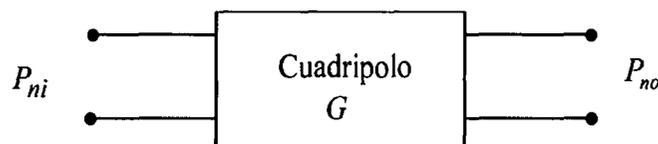


Figura 4.5: Representación de un sistema mediante un cuadripolo.

En la Figura 4.5 se muestra el diagrama de bloques de un cuadripolo en donde:

- P_{no} es la potencia de ruido a la salida del cuadripolo.
- P_{ni} es la potencia de ruido a la entrada del cuadripolo.

- G es la ganancia en potencia del cuadripolo.
- P_{nc} es la potencia de ruido aportada por el cuadripolo.

A la salida de un cuadripolo la potencia de ruido se puede expresar como

$$P_{no} = P_{ni} G + P_{nc} \quad (4.11)$$

El factor de ruido de una etapa o de un sistema se define como la relación entre la potencia total de ruido a la salida del componente y la potencia total de ruido a la salida del mismo elemento si no fuese ruidoso. Así, para el cuadripolo de la Figura 4.5 el factor de ruido viene dado por:

$$F(f) = \frac{P_{no}}{P_{ni} G} \quad (4.12)$$

Desde otro punto de vista, podemos expresar el factor de ruido como el cociente entre la relación señal a ruido a la entrada del cuadripolo y la relación señal a ruido a la salida del mismo, es decir:

$$F(f) = \frac{P_{no}}{P_{ni} G} \cdot \frac{P_{si}}{P_{si}} = \frac{P_{si}/P_{ni}}{P_{si} G/P_{no}} = \frac{SNR_{entrada}}{SNR_{salida}} \quad (4.13)$$

donde:

- P_{si} es la potencia de la señal de entrada al cuadripolo.
- SNR (*Signal Noise Ratio*) es la relación señal a ruido.

La figura de ruido es el factor de ruido expresado en decibelios (dB).

$$NF = 10 \log(F) dB \quad (4.14)$$

$$NF = 10 \log \left(\frac{SNR_{entrada}}{SNR_{salida}} \right) \quad (4.15)$$

La figura de ruido mide cuánto se degrada la relación señal a ruido cuando la señal pasa a través de un sistema. Si el sistema no presenta ruido, se cumple que $SNR_{entrada} = SNR_{salida}$ independientemente del valor de la ganancia del mismo. Por lo tanto, la figura de ruido de un sistema sin ruido es igual a la unidad. Lo que ocurre en la realidad es que el ruido finito de un sistema degrada la SNR, por lo que $NF > 1$.

La figura de ruido de una etapa no sólo depende del ruido introducido por dicha etapa sino también de la relación señal a ruido de la etapa precedente. De hecho, si la señal de entrada no contiene ruido, la $SNR_{entrada}$ sería infinita y por consiguiente la figura de ruido también. Para un caso así, la NF no es un parámetro significativo. En el diseño de RF esto no ocurre porque la señal que llega a la primera etapa de la cadena de recepción ya está degradada debido al ruido producido por la resistencia de radiación de la antena. Por lo tanto en este caso la figura de ruido que presenta un componente si es un parámetro de medida importante ya que nos define la calidad del mismo en cuanto a su inmunidad al ruido.

4.3.2.1. Figura de ruido en etapas en cascada

La figura de ruido de un sistema de etapas conectadas en cascada se determina mediante la ecuación de Friis (4.16). Según esta ecuación la figura de ruido total del sistema está en función de la F y la ganancia de cada etapa.

$$F_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_n - 1}{G_1 \cdot \dots \cdot G_{n-1}} \quad (4.16)$$

$$NF = 10 \cdot \log(F) \quad (4.17)$$

Como se puede observar en la ecuación (4.16), la figura de ruido de la primera etapa se suma directamente a la figura de ruido total del sistema, mientras que la figura de ruido de las subsiguientes etapas está dividida por la ganancia total de todas las etapas anteriores.

Lógicamente, tanto la figura de ruido como la ganancia de la primera etapa del terminal influyen de manera fundamental en la figura de ruido del sistema. Si la amplificación de la primera etapa es suficientemente grande se puede aproximar la figura de ruido del sistema por la figura de ruido de la primera etapa. Por tanto interesa que la primera etapa amplifique lo máximo posible introduciendo el mínimo ruido posible.

Recíprocamente, si una etapa no tiene ganancia sino atenuación, entonces la figura de ruido del siguiente circuito está “amplificada” cuando está referida a la entrada de la etapa. Esto ocurre, por ejemplo, cuando se interpone un filtro de atenuación de banda estrecha entre la antena y el amplificador de bajo ruido en el bloque receptor para rechazar las interferencias fuera de la banda deseada.

4.3.2.2. Figura de ruido de un mezclador

La figura de ruido se define como la relación la SNR en el puerto de entrada RF y la SNR a la salida IF.

En un mezclador existen dos frecuencias de entrada que generan una frecuencia intermedia, una es la señal RF y la otra se denomina señal imagen. Estas dos señales se denominan bandas laterales.

La razón de la existencia de estas dos frecuencias es que la señal IF es la magnitud de la diferencia entre las frecuencias RF y LO. Por lo tanto, señales que están por debajo y por encima de RF, con una diferencia igual ($2\omega_{IF}$), producirán salidas IF de la misma frecuencia. Por ejemplo, si la frecuencia IF es 20 MHz y se quiere sintonizar una señal a 5.5 GHz seleccionando una frecuencia LO de 5.48 GHz, además de la señal de entrada RF deseada a 20 MHz, la señal imagen de 5.46 GHz también producirá una señal de salida IF de 20 MHz.

La existencia de una frecuencia imagen empeora la figura de ruido debido a que el ruido originado en la frecuencia deseada RF y en la frecuencia imagen se convierten en ruido IF.

En el caso en que la señal deseada exista sólo a una frecuencia, la figura de ruido que se mide se denomina figura de ruido de banda lateral única (SSB NF). En el caso de que ambas señales, RF y la señal imagen, contengan información útil, se utiliza la figura de ruido de doble banda lateral (DSB NF).

Obviamente, la SSB NF será mayor que la DSB NF, debido a que ambas tienen el mismo ruido IF, pero la SSB NF tiene potencia de señal sólo en una banda lateral. Por lo tanto, la SSB NF será normalmente 3dB mayor que la DSB NF.

4.3.3. Linealidad

Existen diferentes formas de definir la linealidad de un mezclador. En los siguientes apartados se verán las más utilizadas.

4.3.3.1. Rango dinámico

El rango dinámico se define como la diferencia entre los valores mínimos y máximos de señal que se pueden aplicar a un circuito.

El valor mínimo del rango dinámico se establece con la figura de ruido, que indica la mínima señal que se puede procesar. El máximo se establece en el principio de las no-linealidades que acompañan a las grandes señales.

4.3.3.2. Punto de compresión

Como en los amplificadores y, prácticamente en todos los dispositivos físicos, los mezcladores reales tienen un límite por encima del cual la salida no es lineal con la entrada. El punto de compresión es el valor de la señal RF en el que se produce una desviación de la curva lineal ideal. Normalmente se especifica un valor de compresión de 1 dB (o más raramente 3 dB). Sobre este nivel, un aumento adicional en el nivel de entrada RF no se traduce en un aumento proporcional en el nivel de salida. Cuantitativamente, la compresión de ganancia es la reducción del nivel de salida en decibelios por debajo de la característica lineal.

4.3.3.3. Distorsión de intermodulación de tercer orden

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1 \pm n\omega_2$ los cuales se producen por mezcla de los anteriores. A estos se les denomina productos de intermodulación (IM^k). Se define el orden de cada producto como la suma de $m+n$. Los productos de intermodulación se pueden dar referidos a la salida (OIM) o a la entrada (IIM) y se suelen expresar en dBm. Ambos valores están relacionados a través de la

ganancia del circuito ($OIM = IIM + G$ dB). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1 - \omega_2$ y $2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la Figura 4.6 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

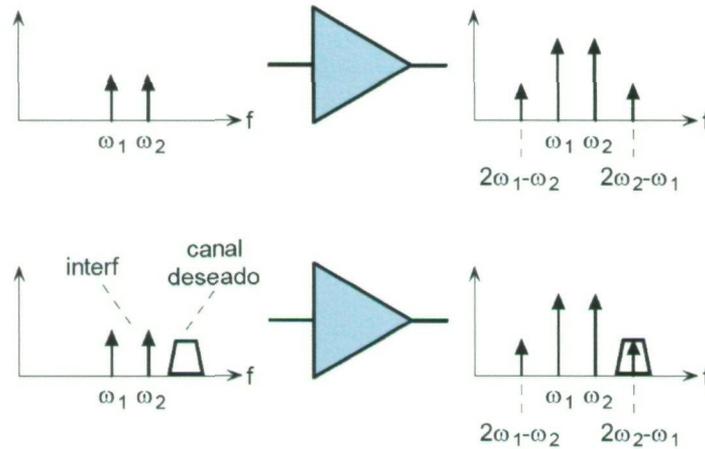


Figura 4.6: Efectos de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden $IP3$ (*third intercept point*) el cual se puede dar referido a la entrada ($IIP3$) o a la salida ($OIP3$). El $IIP3$ se calcula como:

$$IIP3_{dbm} = \frac{(\Delta P_{db})}{2} + Pin_{dbm} \quad (4.18)$$

donde P_{in} es la potencia de la señal interferente (tono) y $(\Delta P_{db})^K$ es la diferencia de potencia entre la señal interferente y el $IIM3$. En la Figura 4.7 se muestra la interpretación gráfica de ambas cantidades, así como del $IP3$. Para determinar gráficamente el $IP3$ se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel RF a la entrada. El $IP3$ es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el $IP3$ más lineal será el circuito.

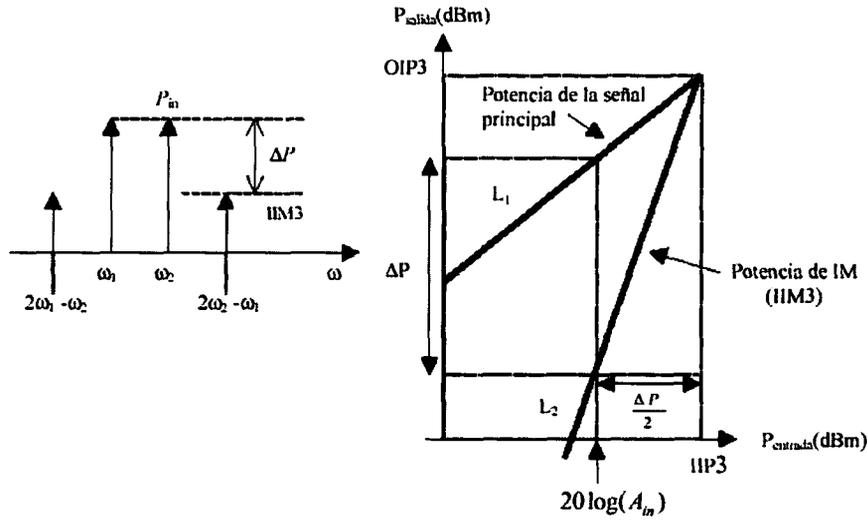


Figura 4.7: Medida del IP3 referido a la entrada.

Así, el IIP3 se puede determinar a partir de la ecuación (4.17) mediante la ecuación (4.18).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \quad (4.19)$$

Por lo que el IIM3 viene dado por la ecuación (4.19).

$$IIM3_{dBm} = Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \quad (4.20)$$

$$IIM3_{dBm} = 3Pin_{dBm} - 2IIP3_{dBm}$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del $IM3$ presenta el inconveniente de que debe ser especificada la potencia de entrada. Con el $IP3$ se salva este problema. El $IIM3$ y el $OIM3$ son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el $IIP3$ y el $OIP3$ son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del $IIP3$ o el $OIP3$ se pueden comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello es la forma más habitual de caracterizar los efectos de la intermodulación.

4.3.3.3.1. Distorsión de intermodulación de tercer orden de un mezclador

Un test de intermodulación de tercer orden es una forma eficaz para evaluar el rendimiento de un mezclador debido a que imita un escenario real en el que hay presente a la entrada una señal deseada RF y una potencial interferencia.

Idealmente, ambas señales presentes en la entrada RF serían trasladadas en frecuencia sin interactuar unas con otras. Un mezclador real muestra algunos efectos de intermodulación y, por lo tanto, la salida contendrá versiones trasladadas en frecuencia de los componentes de intermodulación de tercer orden cuyas frecuencias serán $2\omega_{RF1} \pm \omega_{RF2}$ y $2\omega_{RF2} \pm \omega_{RF1}$.

La distorsión de intermodulación de tercer orden en dos tonos es la cantidad de distorsión de tercer orden causada por la presencia de una señal secundaria recibida en el puerto de RF. Matemáticamente, la distorsión de tercer orden se define en términos de la componente de frecuencia en $2f_2 - f_1$, donde f es la señal de entrada deseada y f_2 es la señal de entrada secundaria. Por lo general, mientras más alto sea el punto de intercepción del mezclador, más baja será la amplitud de este producto.

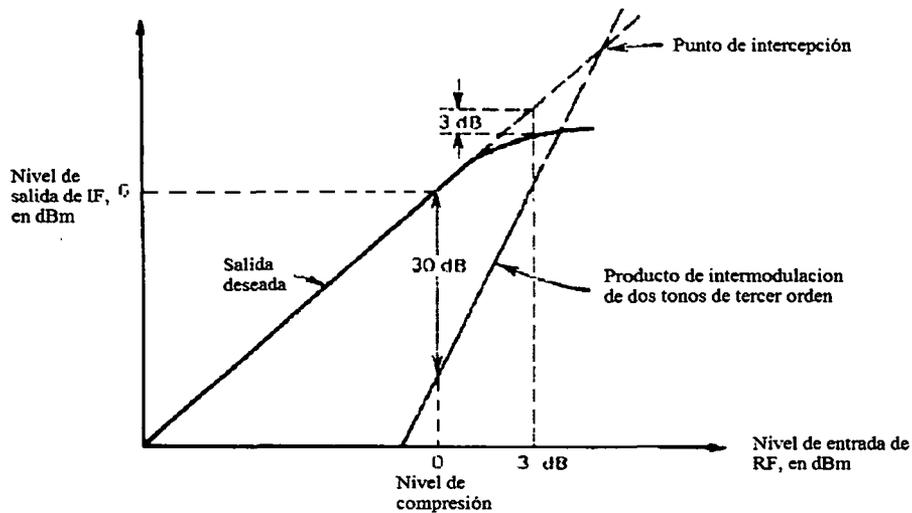


Figura 4.8: Definiciones de terminología de operación de mezcladores.

En la Figura 4.8 se muestra la característica de un mezclador hipotético, así como la representación gráfica de las definiciones anteriores. Para una entrada de 0 dBm la salida es de 6 dBm, indicando una ganancia de conversión de 6 dB. En este nivel de entrada, el producto

de intermodulación de dos tonos y tercer orden está 30 dB por debajo de la salida deseada. En un valor de entrada más alto aparece el punto de compresión de 3 dB (3 dB de salida deseada abajo del valor de línea recta); y a un nivel de entrada aun más alto se encuentra el punto de intercepción que es donde se interceptan las curvas proyectadas de la salida deseada y las del producto de intermodulación de tercer orden.

4.3.4. Aislamiento

El aislamiento representa la cantidad de "fuga" o "paso de señal" entre los puertos del mezclador. Se supone que en cada terminal debe estar presente únicamente la señal correspondiente al puerto. Si el aislamiento es grande esto ocurre, si no lo es, aparecerá en el puerto parte de señal que pertenece al otro puerto. Por ejemplo, el aislamiento en el puerto de RF de la señal LO, es la cantidad en que se atenúa la señal LO en el puerto de RF, respecto del nivel que ésta tenía en su propio puerto. El aislamiento depende de la configuración física del mezclador.

4.4. Sistemas no lineales como mezcladores lineales

Algunos mezcladores implementan directamente una multiplicación, mientras que otros la producen mediante una no-linealidad.

Primero se estudiará un sistema no-lineal de 2 puertos, debido a que los mezcladores de este tipo preceden a los diseñados específicamente para actuar como multiplicadores. Si la no-linealidad está bien definida (en sentido matemático), se puede describir la relación entrada/salida como:

$$V_{OUT} = \sum_{n=0}^n C_n (v_{IN})^n \quad (4.21)$$

El uso de una no-linealidad de orden N^K requiere que la señal V_{IN}^K sea la suma de la entrada RF y la señal del oscilador local. En general, la salida se compondrá de 3 tipos de productos: términos DC, armónicos de las entradas y productos de intermodulación (IM^K) de

esos armónicos. No todos esos componentes espectrales son deseables, por lo que parte de la labor de diseño consistirá en el uso de topologías que generen los mínimos términos posibles.

Los factores no-lineales de orden par de la ecuación (4.20) forman los términos DC, los cuales, si fuese necesario, serían fácilmente filtrables mediante un acople AC, si es necesario. Los términos armónicos ($m\omega_{LO}$ y $m\omega_{RF}$), que van desde $m>1$ hasta N , también se pueden filtrar de forma sencilla debido a que sus frecuencias suelen estar lo suficientemente separadas de la frecuencia IF. Los productos de intermodulación tienen frecuencias de la forma $p\omega_{RF} \pm q\omega_{LO}$, donde p y q son enteros entre 0 y N . Sólo el término de intermodulación de 2º orden ($p=q=1$) es el que normalmente se desea obtener. Desgraciadamente, otros productos *IM* pueden tener frecuencias cercanas a la IF, haciendo que sean más difíciles de eliminar.

Debido a que los sistemas no-lineales de alto orden tienden a generar un mayor número de términos no-deseados, los mezcladores deberían aproximar un comportamiento de ley cuadrática (la no-linealidad de orden menor) si sólo tienen un puerto de entrada, como en la Figura 4.9.

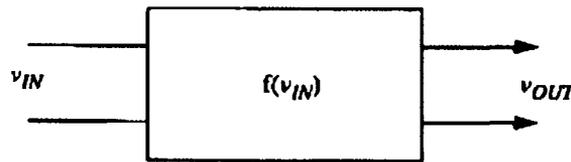


Figura 4.9: Sistema general de dos puertos no – lineal.

4.4.1. Mezclador de dos puertos: dispositivo de ley cuadrática

Consideremos las propiedades específicas de un mezclador de ley cuadrática para poder mostrar sus ventajas sobre los mezcladores no-lineales de órdenes mayores.

Para ver cómo aparece la multiplicación en un mezclador de ley cuadrática hay que observar que los únicos términos distintos de cero en la serie son los términos C_1 , C_2 y C_0 , pero éste último se elimina fácilmente ya que es la componente DC, por lo que se ignorará para simplificar la ecuación.

Si V_{IN} es la suma de 2 sinusoides,

$$v_{IN} = v_{RF} \cos(\omega_{RF}t) + v_{LO} \cos(\omega_{LO}t) \quad (4.22)$$

entonces la salida de este mezclador se puede expresar como suma de 3 componentes,

$$v_{OUT} = v_{FUN} + v_{SQUARE} + v_{CROSS} \quad (4.23)$$

donde,

$$v_{FUN} = C_1(v_{RF} \cos(\omega_{RF}t) + v_{LO} \cos(\omega_{LO}t)) \quad (4.24)$$

$$v_{SQUARE} = C_2(v_{RF} \cos(\omega_{RF}t))^2 + v_{LO} \cos(\omega_{LO}t)^2 \quad (4.25)$$

$$v_{CROSS} = 2C_2v_{RF}v_{LO}(\cos(\omega_{RF}t) \cdot \cos(\omega_{LO}t)) \quad (4.26)$$

Los términos fundamentales son versiones escaladas de las entradas originales y no representan una salida útil para el mezclador. Estos términos pueden ser eliminados mediante filtrado. Los componentes V_{SQUARE} tampoco proporcionan información útil, como se observa en el siguiente caso obtenido de la ecuación (4.6).

$$(\cos \omega t)^2 = \frac{1}{2}(1 + \cos 2\omega t) \quad (4.27)$$

Obsérvese como los componentes V_{SQUARE} producen un *offset* DC, así como segundos armónicos de las señales de entrada. Esto también se puede eliminar mediante filtrado.

La salida útil la forman los componentes V_{CROSS} debido a que se observa una multiplicación en la ecuación (4.25). Usando la ecuación (4.26), se puede reescribir V_{CROSS} de forma que muestre la acción del mezclador más claramente.

$$v_{CROSS} = C_2v_{RF}v_{LO}(\cos(\omega_{RF} - \omega_{LO})t \cdot \cos(\omega_{RF} + \omega_{LO})t) \quad (4.28)$$

Para una amplitud de LO fijada, la salida IF es linealmente proporcional a la amplitud de la entrada RF. Esta no-linealidad implementa un mezclador lineal, debido a que la salida es proporcional a la entrada.

La ganancia de conversión de este circuito se obtiene a partir de la ecuación (4.27).

$$G_C = \frac{C_2 v_{RF} v_{LO}}{v_{RF}} = C_2 v_{LO} \quad (4.29)$$

Como cualquier otro parámetro de ganancia, la ganancia de conversión es adimensional. En diseños discretos se debe expresar como relación de potencia (o su equivalente en dB), pero a veces, los distintos niveles de impedancia en los mezcladores integrados hacen apropiado el uso de la ganancia de conversión de tensión o corriente.

La ventaja del mezclador de ley cuadrática es que los componentes espectrales no deseados normalmente están en una frecuencia bastante separada de IF, por lo que se pueden eliminar fácilmente.

En la Figura 4.10 se muestra un mezclador de ley cuadrática realizado con MOSFETs. En este esquemático simplificado, las tensiones de polarización, RF y LO se representan en serie con la Puerta del transistor. La suma de las señales RF y LO puede realizarse en circuitos prácticos con sumadores resistivos o reactivos. Debido a que estas señales están en serie, existe poco aislamiento entre ellas.

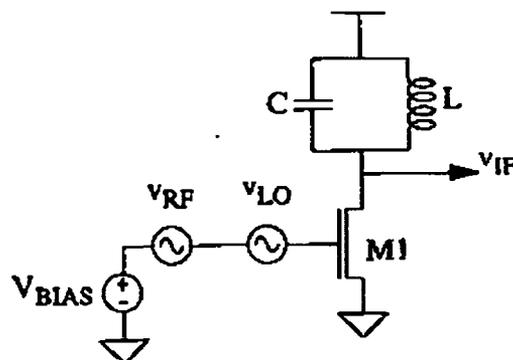


Figura 4.10 : Mezclador MOSFET de ley cuadrática (simplificado)

En la Figura 4.11 se muestra una solución alternativa (pero funcionalmente equivalente) que reduce el efecto de la señal LO relativamente grande en el puerto RF.

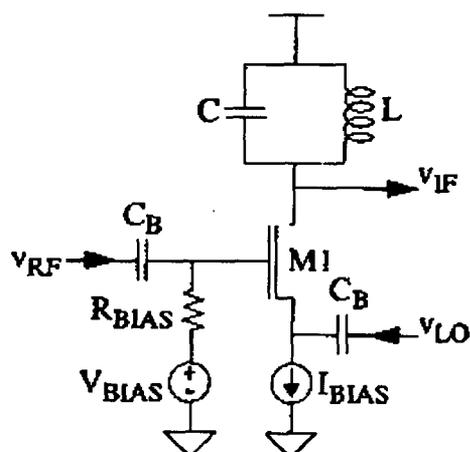


Figura 4.11 : Mezclador MOSFET de ley cuadrática (configuración alternativa)

La señal RF ataca directamente a la Puerta (a través de un condensador para el bloqueo DC), mientras que la señal LO ataca al Surtidor. De esta manera, la tensión Puerta-Surtidor (V_{GS}) es la suma de las señales LO y RF referenciadas a tierra.

4.4.2. Ganancia de conversión de un mezclador de un sólo transistor bipolar

Debido a que en un mezclador no es necesario un perfecto comportamiento de ley cuadrática, M_1 puede ser un transistor bipolar. En este caso el efecto cuadrático en la representación en serie para la relación exponencial $i_C - V_{BE}$, domina en un rango limitado de amplitudes de entrada. Ignorando los efectos dinámicos, esta relación viene dada por:

$$i_C = I_S \cdot e^{\frac{V_{BE}}{V_T}} \quad (4.30)$$

Expandiendo esta relación a un sistema de segundo orden,

$$i_C = I_C \left[1 + \frac{V_{BE}}{V_T} + \frac{1}{2} \left(\frac{V_{BE}}{V_T} \right)^2 \right] \quad (4.31)$$

haciendo que

$$C_2 = \frac{gm}{2V_T} \quad (4.32)$$

donde $gm = I_C/V_T$

Se obtiene que la ganancia de conversión viene dada por,

$$G_C = C_2 v_{LO} = gm \frac{v_{LO}}{2V_T} \quad (4.33)$$

Se observa como la ganancia de conversión es proporcional a la transconductancia y a la relación entre la amplitud del oscilador local y la V_T . En otras palabras, la ganancia de conversión en un transistor bipolar depende de la corriente de polarización, de la amplitud del oscilador local y de la temperatura.

En este análisis se han ignorado las resistencias parásitas de Base y Emisor. Estas resistencias pueden linealizar el transistor y, por lo tanto, empeorar la acción del mezclador.

4.5. Mezcladores basados en multiplicadores

Los mezcladores basados en sistemas no-lineales generan un número elevado de componentes espectrales. Además, debido a que los mezcladores de dos puertos tienen una sola entrada, las señales de RF y LO no suelen estar lo suficientemente aisladas entre ellas. Esta falta de aislamiento puede provocar la aparición de *offset* de DC en la etapa de IF o la radiación de la señal de LO (o sus armónicos) a través de la antena.

Los mezcladores basados en multiplicadores presentan por lo general un rendimiento mayor debido a que (idealmente) sólo generan el producto de intermodulación deseado. Además, debido a que las entradas del multiplicador se encuentran en puertos separados, puede haber un alto grado de aislamiento entre las tres señales (RF, LO, IF).

Los mezcladores basados en multiplicadores se catalogan como simple balanceado y doble balanceado. A continuación se presenta cada uno de ellos, empezando por las topologías más simples hasta llegar al doble balanceado.

4.5.1. Mezclador simple balanceado

Este tipo de multiplicadores primero convierte la tensión de entrada RF en una corriente y después realiza la multiplicación en el dominio de la corriente. La célula más sencilla de este tipo se representa en la Figura 4.12.

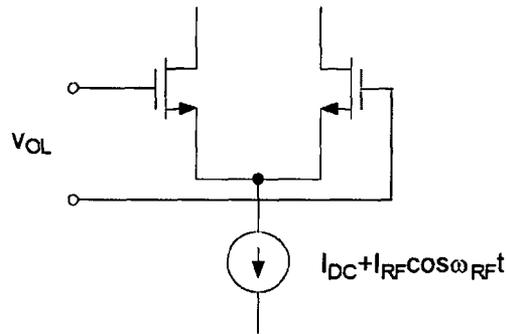


Figura 4.12 : Mezclador simple – balanceado.

En este mezclador, V_{LO} se elige lo suficientemente grande para que los transistores puedan conmutar alternativamente la corriente de polarización de un lado al otro a la frecuencia LO. De esta forma la corriente de polarización se multiplica por una onda cuadrada cuya frecuencia es la del oscilador local.

$$i_{out}(t) = \text{sgn}\{\cos(\omega_{LO}t)(I_{BIAS} + I_{RF} \cos \omega_{RF}t)\} \quad (4.34)$$

Debido a que una onda cuadrada consiste en los armónicos impares del fundamental, la multiplicación de la corriente de polarización por una onda cuadrada produce un espectro de salida como el mostrado en la Figura 4.13 (ω_{RF} se ha tomado muy pequeño para una representación más clara).

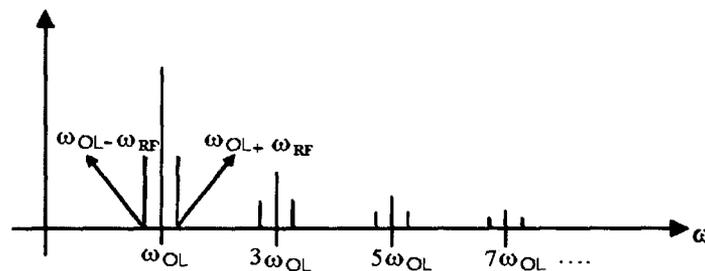


Figura 4.13 : Espectro de salida de un mezclador simple balanceado.

La salida consiste en componentes suma y resta, cada uno resultado de un armónico impar del LO mezclado con la señal RF. Los armónicos impares del LO aparecen directamente a la salida como consecuencia de la multiplicación de la señal de polarización (DC) con la señal LO. Debido a la presencia del LO en el espectro de salida, este tipo de mezcladores se denominan simple-balanceados. Los mezcladores doble-balanceados aprovechan la simetría para eliminar la salida no deseada del LO.

A pesar de que la fuente de corriente de la Figura 4.12 incluye un componente que es perfectamente proporcional a la señal de entrada RF, los convertidores V-I de los mezcladores reales son imperfectos. Un importante reto de diseño es maximizar la linealidad de la transconductancia RF. Ésta se puede mejorar mediante degeneración del Surtidor, tanto para Puerta como para Surtidor común (ver Figura 4.14).

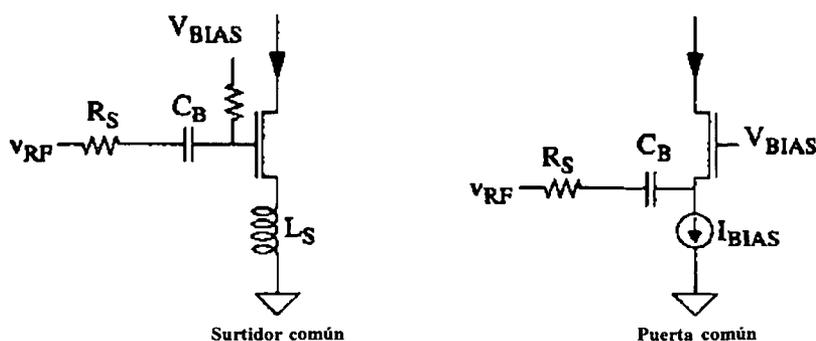


Figura 4.14 : Transconductores RF para mezcladores.

Ambos circuitos usan una resistencia R_S para linealizar la característica de transferencia. Para el caso del circuito Puerta común, esta linealización es más efectiva si la admitancia desde el terminal de Surtidor del transistor es mucho mayor que la conductancia de R_S . En este caso, la transconductancia de la etapa se aproxima a $1/R_S$.

Normalmente se prefiere una degeneración inductiva a una resistiva debido a varios motivos. Una inductancia no introduce ruido térmico que degrade la figura de ruido ni caída de tensión que disminuya el nivel de alimentación. Esta última consideración es particularmente importante para aplicaciones de baja tensión y baja potencia. Finalmente, un aumento de la reactancia ayuda a atenuar los armónicos de alta frecuencia y los componentes de intermodulación.

En la Figura 4.15 se muestra un mezclador simple-balanceado de forma más completa, que incorpora una transconductancia linealizada.

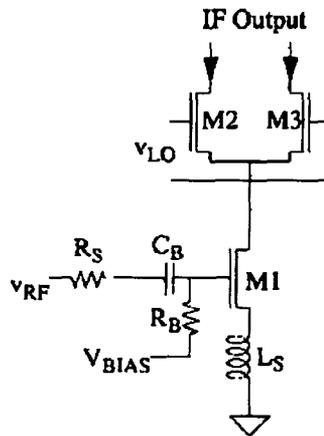


Figura 4.15 : Mezclador simple – balanceado con transconductancia linealizada.

El valor de V_{BIAS} establece la polarización, R_B se escoge lo suficientemente grande para no despolarizar la puerta del circuito y reducir su contribución al ruido. La señal RF se aplica a la puerta a través de un condensador de bloqueo DC (C_B). En la práctica se usa un filtro para eliminar los componentes espectrales de LO de la salida.

La ganancia de conversión de un mezclador se puede calcular sabiendo que los transistores de LO se comportan como interruptores perfectos. Entonces, la corriente de salida diferencial puede ser considerada como el resultado de multiplicar la corriente de drenador de M1 por una onda cuadrada de amplitud unitaria. Debido a que el componente fundamental de la onda cuadrada es $4/\pi$ veces la amplitud de la onda cuadrada, se puede escribir:

$$G_C = \frac{2}{\pi} gm \quad (4.35)$$

$$gm = \frac{di_c}{dv_{be}} = \frac{i_c}{V_T} \quad (4.36)$$

donde g_m es la transconductancia del convertor V-I y G_C es una transconductancia. El coeficiente es $2/\pi$ en vez de $4/\pi$ debido a que la señal IF se divide entre los componentes suma y diferencia.

4.5.2. Mezclador activo doble balanceado: célula de Gilbert.

Para evitar la llegada de productos de LO a la salida, se pueden combinar dos circuitos simple-balanceados para conseguir un mezclador doble balanceado (Figura 4.16).

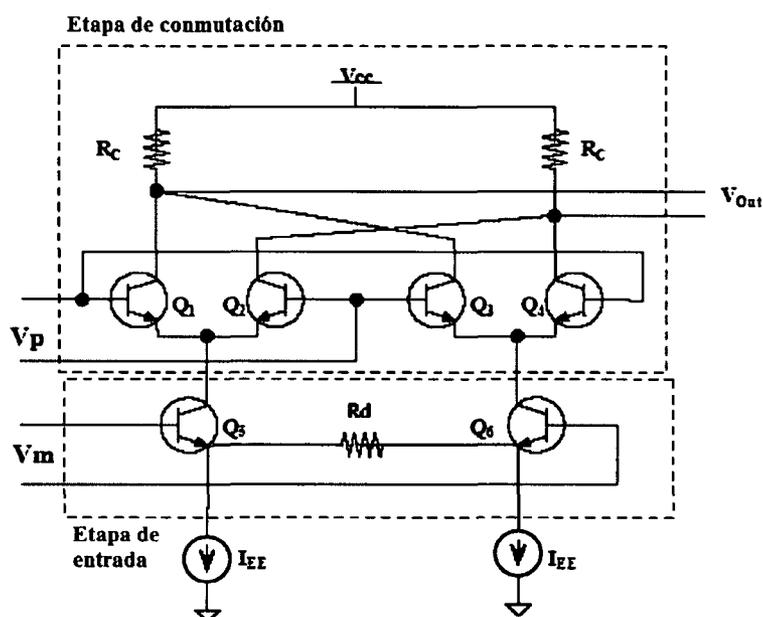


Figura 4.16 : Mezclador activo doble balanceado.

La célula de Gilbert está compuesta por dos etapas: la etapa de entrada o de radio-frecuencia y la etapa de conmutación. La etapa de entrada compuesta por un par diferencial, es un amplificador de transconductancia. Su función es la de conversión de tensión a corriente con ganancia. La etapa de conmutación, compuesta por dos pares diferenciales con salidas cruzadas, es el núcleo del mezclador ya que se encarga de la realización de la multiplicación.

Para el análisis del circuito se supone que todos los transistores son idénticos y que la resistencia de salida de los transistores y de la fuente de corriente de polarización, así como las corrientes de base se pueden despreciar. Además, se supondrá que los transistores están bien polarizados.

Del modelo de *Ebers-Moll* y suponiendo $V_{BE1}, V_{BE2} \gg V_T$:



$$V_{BE_x} = V_T \ln \frac{I_{C_x}}{I_{S_x}} \quad (4.37)$$

$$I_{C1} = \frac{I_{C5}}{1 + e^{-\frac{V_P}{V_T}}} \quad (4.38)$$

$$I_{C2} = \frac{I_{C5}}{1 + e^{\frac{V_P}{V_T}}} \quad (4.39)$$

$$I_{C3} = \frac{I_{C6}}{1 + e^{-\frac{V_P}{V_T}}} \quad (4.40)$$

$$I_{C4} = \frac{I_{C6}}{1 + e^{\frac{V_P}{V_T}}} \quad (4.41)$$

$$I_{C5} = I_{EE} + \frac{V_m}{R_d} \quad (4.42)$$

$$I_{C6} = I_{EE} - \frac{V_m}{R_d} \quad (4.43)$$

Combinando las expresiones anteriores:

$$I_1 = \frac{I_{EE} + \frac{V_m}{R_d}}{1 + e^{-\frac{V_P}{V_T}}} + \frac{I_{EE} - \frac{V_m}{R_d}}{1 + e^{\frac{V_P}{V_T}}} \quad (4.44)$$

$$I_2 = \frac{I_{EE} + \frac{V_m}{R_d}}{1 + e^{\frac{V_P}{V_T}}} + \frac{I_{EE} - \frac{V_m}{R_d}}{1 + e^{-\frac{V_P}{V_T}}} \quad (4.45)$$

Por lo que la salida en corriente diferencial es:

$$\Delta I \equiv I_2 - I_1 = \frac{\frac{I'}{2} \frac{V_m}{R_d}}{1 + e^{\frac{V_P}{V_T}}} + \frac{\frac{-I'}{2} \frac{V_m}{R_d}}{1 + e^{-\frac{V_P}{V_T}}} \quad (4.46)$$

$$\begin{aligned} \Delta I \equiv I_2 - I_1 &= \frac{I'}{1 + e^{\frac{V_P}{V_T}}} - \frac{I'}{1 + e^{-\frac{V_P}{V_T}}} = I' \frac{e^{\frac{V_P}{V_T}} - e^{-\frac{V_P}{V_T}}}{2 + e^{\frac{V_P}{V_T}} - e^{-\frac{V_P}{V_T}}} \\ &= I' \cdot \tanh\left(-\frac{V_P}{2V_T}\right) \end{aligned} \quad (4.47)$$

La salida en tensión es:

$$V_{O1} = V_{CC} - I_1 R_C \quad (4.48)$$

$$V_{O2} = V_{CC} - I_2 R_C$$

$$V_O = V_{O1} - V_{O2} = R_C (I_2 - I_1) \quad (4.49)$$

$$V_O = -R_C \frac{2V_m}{R_d} \tanh\left(\frac{V_P}{2V_T}\right) \quad (4.50)$$

Para valores de x en el intervalo $(-0.5 < x < 0.5)$ se puede hacer la aproximación: $\tanh(x) \approx x$.

Es decir, si $|V_P| < 2V_T$, la salida en tensión de la célula de Gilbert se puede expresar como se muestra en la siguiente expresión:

$$V_O \approx -R_C \frac{2V_m V_P}{R_d 2V_T} \approx -\frac{R_C}{\underbrace{R_d R_T}_{cte}} V_m V_P \quad (4.51)$$

Es decir, la característica de transferencia en continua, es el producto de las dos tensiones de entrada.

Esta célula multiplicadora se puede usar en diferentes aplicaciones dependiendo de la magnitud de V_m y V_p con respecto a V_T :

- V_m y $V_p \ll V_T$: En este caso, la tangente hiperbólica se puede considerar como una recta, con lo que se obtiene el producto lineal $V_m \cdot V_p$.
- V_m o $V_p > V_T$: Con estos niveles, el transistor al que se le aplica dicha señal se comporta como un conmutador antes que como un dispositivo lineal. Es como multiplicar una pequeña señal por un tren de pulsos.
- V_m y $V_p > V_T$: Este modo de operación es útil para la detección de diferencia de fases entre dos señales de amplitud limitada. Ambos transistores se comportan como conmutadores.

En un mezclador se requiere una respuesta lineal sólo con respecto a una de las entradas, a la que se le conoce como entrada moduladora (V_m). A la segunda entrada, que es controlada por una señal alterna de amplitud constante, se le denomina entrada de portadora (V_p). Debido a esto, se asume la segunda opción, " V_m o $V_p > V_T$ ", de forma que la amplitud de la señal LO es lo suficientemente grande para hacer actuar al par diferencial como interruptores controlados por tensión. Los dos mezcladores simple balaceados están conectados en antiparalelo para la señal LO, pero en paralelo para la señal RF. Por lo tanto, los términos de LO se anulan a la salida y la señal de RF se dobla.

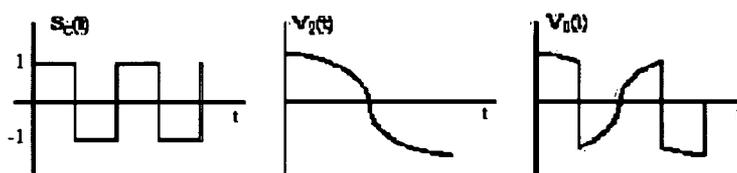


Figura 4.17 : Efecto del muestreo de una señal.

Físicamente, esto significa que para un nivel de alterna alto, los pares $Q_3 - Q_4$ y $Q_5 - Q_6$ funcionan como dos conmutadores dobles síncronos, de forma que cuando un par está cortado, el otro está conduciendo.

Como resultado, la entrada moduladora es “chopeada” por la portadora y produce una salida.

$$v_O(t) = \frac{R_L}{R_E} v_m(t) S_C(t) \quad (4.52)$$

Este mezclador tiene un alto grado de aislamiento $LO-IF$. De hecho, si se tiene cuidado en el *layout*, se puede conseguir un aislamiento de entre 40 dB y 60 dB.

Al igual que en el mezclador simple-balanceado, el rango dinámico está limitado en parte por la linealidad del convertor V-I en el puerto IF. Por lo tanto, parte del proceso de diseño será conseguir una mejor conversión V-I. Las técnicas básicas de linealización usadas en el mezclador simple-balanceado deben ser adaptadas al caso del mezclador doble-balanceado, como se muestra en la Figura 4.18.

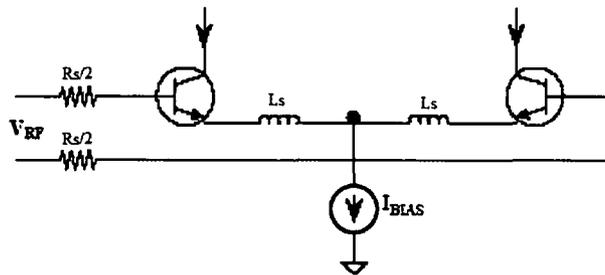


Figura 4.18 : Transconductor RF diferencial linealizado en mezclador doble balanceado.

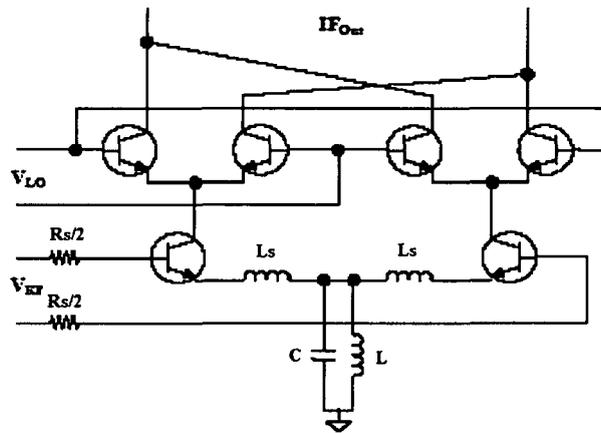


Figura 4.19 : Mezclador doble balanceado con mínimo consumo DC.

En aplicaciones de baja tensión, la fuente de corriente DC se puede reemplazar por un tanque paralelo LC para crear una fuente de corriente que no consuma tensión DC. La frecuencia de resonancia del tanque debe elegirse para proporcionar rechazo del componente en modo común. Si existen varios componentes en modo común, se deben usar varios tanques LC en serie. En la Figura 4.19 se muestra un circuito de un mezclador doble-balanceado en el que se utiliza un tanque LC.

4.6. Características y ecuaciones básicas de la célula de Gilbert

4.6.1. Ganancia

La ganancia es la característica principal que diferencia los mezcladores activos de los pasivos. En la célula de Gilbert la ecuación de la ganancia se puede expresar de la forma:

$$G_V = \left(\frac{2}{\pi}\right) G_{MRF} Z_L \quad (4.53)$$

siendo $2/\pi$ la atenuación que introduce la etapa conmutadora, G_{MRF} la ganancia de transconductancia, y Z_L la impedancia de carga. Ésta es una expresión muy sencilla, pero que puede ser útil para identificar las características del circuito:

- El valor $2/\pi$ es un mínimo teórico, como se vio anteriormente, pero en la práctica, la etapa conmutadora introduce una atenuación mayor debido a que los transistores no son exactamente iguales o a que no conmuten instantáneamente.
- Como era de esperar, para tener una ganancia elevada, la transconductancia debe ser elevada. Dicha transconductancia, depende linealmente de la corriente de colector del transistor $gm \cong I_C/V_T$.
- Lo mismo ocurre con la impedancia de carga, debe tener un valor grande, pero hay que tener cuidado con la polarización, ya que si esta impedancia tiene un valor muy alto, puede hacer que el circuito deje de estar bien polarizado.

4.6.2. Ruido

La variación en el tiempo y la traslación de frecuencia en los mezcladores hace difícil el cálculo de la figura de ruido, aunque se puede hacer un análisis cualitativo que marque unas pautas a la hora de realizar el diseño. Las contribuciones más claras del ruido provienen de tres elementos:

- El ruido *shot* de los transistores de entrada. Es bien conocido que este ruido en amplificadores diferenciales es inversamente proporcional a la corriente de polarización. Por tanto, para mejorar las prestaciones en cuanto a este ruido, interesa aumentar la corriente de polarización. Pero hay que tener en cuenta que, por un lado, para disminuir a la mitad la densidad espectral de la tensión de ruido hay que cuadruplicar la corriente de polarización y, por otro lado, un aumento de la corriente de colector hace que se aumente la corriente de base, y que no sea despreciable el ruido producido por la resistencia de base.
- Ruido térmico de las impedancias de emisor y de colector. En especial el de las primeras, ya que se encuentran en la etapa previa a la amplificación. Este ruido es sencillo de predecir, ya que se basa en el ruido producido por las resistencias asociadas ($4KTR\Delta f$).

- El ruido introducido por los transistores de conmutación, en el instante en que conducen los cuatro, ya que en ese momento, el ruido de base y el *shot* de cada uno de ellos se suma al total.

También hay que nombrar el ruido *flicker*, pero esto sólo es apreciable a baja frecuencia. De estos elementos, los que corresponden a la etapa de entrada son los más influyentes, ya que si simplificamos la célula de *Gilbert* como dos etapas consecutivas, por la fórmula de *Friis* (ecuación (4.16)) se observa que las etapas que se encuentren hasta el bloque amplificador, y en especial si su ganancia es elevada, influyen más en el ruido, que las posteriores.

4.6.3. Linealidad

La linealidad es el punto débil de este circuito, ya que es bastante pobre. Se ve afectada por múltiples motivos y exigirá casi siempre que se establezcan compromisos entre ella y la ganancia o el ruido.

Como se vio en el desarrollo de las expresiones de las corrientes, para que el circuito funcione correctamente, el par diferencial debe trabajar en zona lineal, de forma que el nivel de la señal de entrada se encuentre dentro de este rango lineal. Para asegurarlo, se suele establecer la condición de $v_1 \ll 5V_T$. Para conseguir este objetivo, se utiliza la degeneración de emisor de forma que $V_{in} + R_E I_{EE}/2 \cong 5V_T$.

Otro problema que presenta el circuito con respecto a la linealidad es la conmutación de los dos pares cruzados. Si la corriente en los emisores comunes del cuarteto de transistores a través de la capacidad de unión base-emisor es excesiva, genera intermodulación de tercer orden adicional, lo cual produce degeneración en la linealidad.

En el ámbito de fabricación, variaciones en la beta, también hacen que empeore la linealidad.

4.7. Resumen

En este capítulo se han estudiado las principales características de los mezcladores. De la misma forma, se han visto cuales son las principales topologías empleadas. La información de este capítulo será vital para el siguiente capítulo, en el que se comenzará con el diseño del mezclador mediante la herramienta ADS.

Capítulo 5

Diseño del mezclador para DVB-H

5.1. Introducción

En este capítulo se lleva a cabo el diseño a nivel esquemático del mezclador objeto de este proyecto. Este circuito, como se explicó ya anteriormente en el capítulo 4, es el encargado de trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc).

Para llevar a cabo este diseño se utilizó la herramienta ADS (Advanced Design System) 2005, que permite, mediante simulaciones, ir afinando los valores de los parámetros hasta conseguir un diseño óptimo.

Este capítulo se presenta de la siguiente manera. En primer lugar se establece el flujo de diseño que se siguió para realizar el diseño del componente y, posteriormente, se presentan las especificaciones a cumplir, la arquitectura elegida y las simulaciones y resultados obtenidos a partir de dicha arquitectura.

5.2. Flujo de diseño

El flujo de diseño que se ha seguido para implementar el mezclador se presenta en la Figura 5.1 y comprende los siguientes pasos:

Análisis de las especificaciones

Primeramente se llevó a cabo un análisis de las especificaciones referidas en el informe [18], que fueron obtenidas a partir de un análisis a nivel de sistema del receptor de DVB-H.

Elección de la arquitectura

Seguidamente se estudiaron los distintos tipos de arquitecturas que se pueden usar en el diseño del mezclador y que puedan cumplir las especificaciones impuestas. La arquitectura que se ha elegido para esta tarea ha sido el mezclador de Gilbert doblemente balanceado. Esta arquitectura es ampliamente utilizada en aplicaciones RFIC debido a su compacto *layout* y su buen funcionamiento. Se ha escogido esta topología debido a su razonable ganancia de conversión, al buen aislamiento de los puertos RF y LO, y a su salida diferencial.

Diseño a nivel esquemático en ADS

Una vez elegida la arquitectura se procedió a su implementación a nivel esquemático mediante la herramienta ADS. Como se puede suponer el diseño principal sufrió múltiples cambios ya que mediante simulaciones se fueron afinando los valores de los parámetros (resistencias, condensadores, bobinas, transistores, fuentes de corriente y de tensión) con el fin de obtener un diseño óptimo.

Simulación del diseño

Para cada esquema diseñado en el paso anterior se realizaron diversas simulaciones con el fin de obtener unos resultados que cumplieran las especificaciones pedidas.

Diseño a nivel *layout* mediante Cadence

Finalmente se pasó a la implementación a nivel de *layout* mediante la herramienta Cadence. Esto se explicará mejor en el capítulo 6.

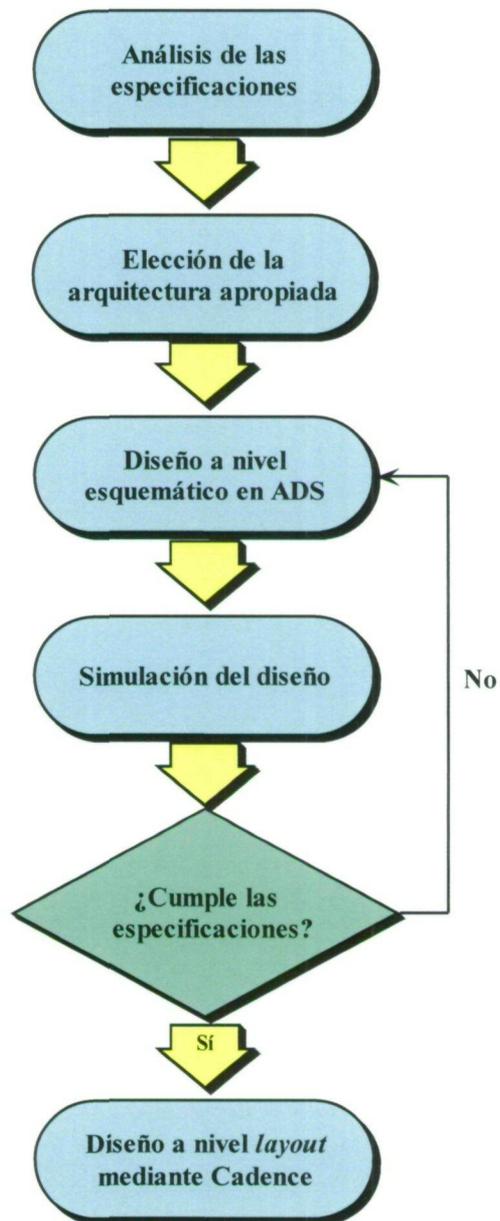


Figura 5.1: Flujo de diseño del mezclador.

5.3. Especificaciones del mezclador

Como se ha comentado, el mezclador es un componente perteneciente a un receptor de DVB-H. Por tanto se presentan dos tablas de especificaciones, una concerniente al receptor (Tabla 5.1) y otra al mezclador (Tabla 5.2).

Tabla 5.1 : Resumen de las especificaciones del receptor

ESPECIFICACIONES DEL RECEPTOR	
Banda de frecuencia	470 MHz – 862 MHz
Frecuencia central de cada canal	$f_c = 470\text{MHz} + 4\text{MHz} + (N-21) \times 8\text{MHz}$ $N=21, \dots, 69$
Separación entre canales	8 MHz
Ancho de banda del canal	7.61 MHz
Ganancia	41 dB
Sensibilidad	-94.59 dBm
Máxima señal	-28 dBm
NF	5-7 dB
IIP3	>-9 dBm
Ruido de Fase del Sintetizador	-107 dBc/Hz para $\Delta 100$ kHz
ADC	$V_{FS}=1$ V, $N=16$ bits, $NF=20$ dB, $f_s=16\text{MSPS}$
Filtrado BB	Filtro 2º orden (12 dB/oct)

Tabla 5.2 : Resumen de las especificaciones del mezclador

ESPECIFICACIONES DEL MEZCLADOR	
Frecuencia de RF (MHz)	470 MHz – 862 MHz
Frecuencia de LO (MHz)	470 MHz – 862 MHz
Frecuencia de IF (MHz)	0 (se toma 4MHz, que es el límite superior del canal)
Ganancia (dB)	12

IIP3 (dBm)	8
Figura de ruido (dB)	13
Tensión de alimentación (V)	3.3

El esquema de bloques que se ha propuesto para el receptor se muestra en la Figura 5.2. Se ha escogido una conversión directa a zero-IF debido a su simplicidad de diseño, reducido número de componentes y el no necesitar filtro de rechazo de frecuencia imagen ya que esta no existe. Otra importante consecuencia es la baja potencia consumida (se espera alrededor de 200mW), ya que es indispensable un bajo consumo para dispositivos portables.

Se han diseñado dos mezcladores, el primero de entrada asimétrica y salida diferencial y el segundo de entrada diferencial y salida diferencial. Sin embargo, como el LNA que precede al mezclador tiene salida asimétrica, sólo se ha realizado el *layout* para el primer diseño.

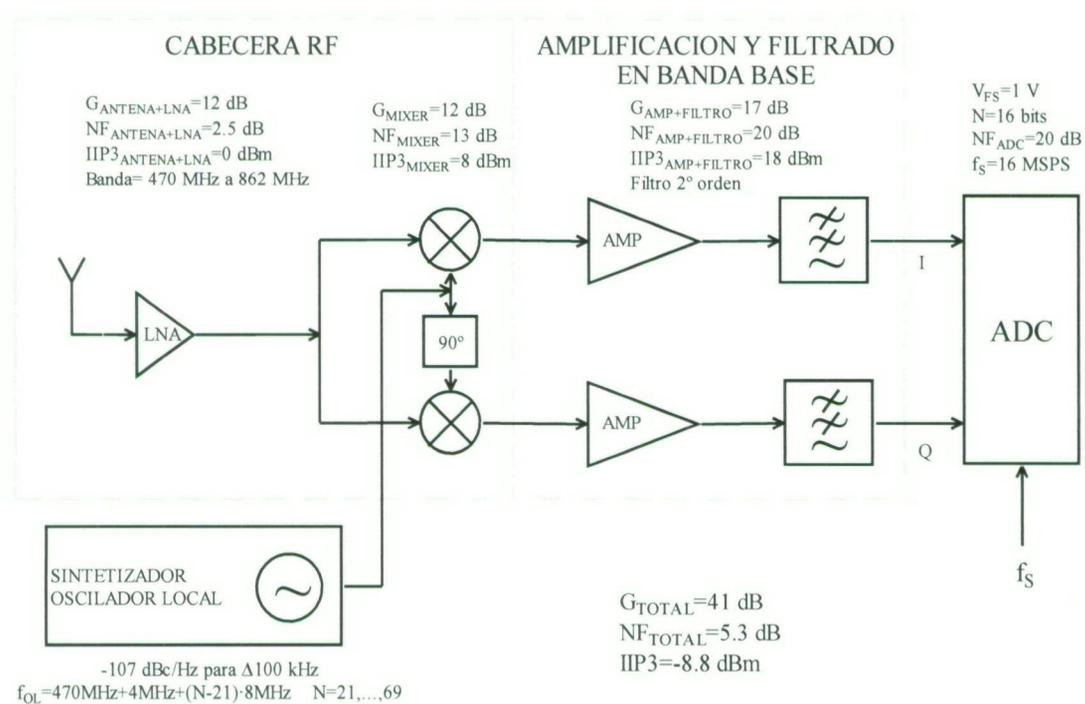


Figura 5.2: Esquema de bloques propuesto.

5.4. Elección de la arquitectura del mezclador

Para poder elegir una arquitectura apropiada se ha tenido en cuenta el esquema de bloques del receptor. Al tratarse de una conversión directa a zero-IF [10][19][20][21], hay que elegir una arquitectura que minimice los problemas que ésta ocasiona. Cuando la señal es convertida a frecuencia cero, las tensiones de *offset* que aparecen pueden corromper la señal y saturar las siguientes etapas del receptor. Las razones más comunes que hacen que suceda esto son las siguientes:

- Realimentación entre el puerto LO hacia las entradas del mezclador y del LNA debido a que sus aislamientos no son infinitos. Por tanto esta señal acaba mezclándose consigo misma produciendo una componente DC no deseada a la salida del mezclador. Este fenómeno, que se observa en la Figura 5.3(a) se conoce como automezclado (*self-mixing*). Algo parecido ocurre cuando una fuga interferente desde el LNA o desde la entrada del mezclador se mezcla con el puerto LO y se mezcla consigo misma (Figura 5.3(b)). Se requiere entonces un fuerte aislamiento entre puertos LO y RF.

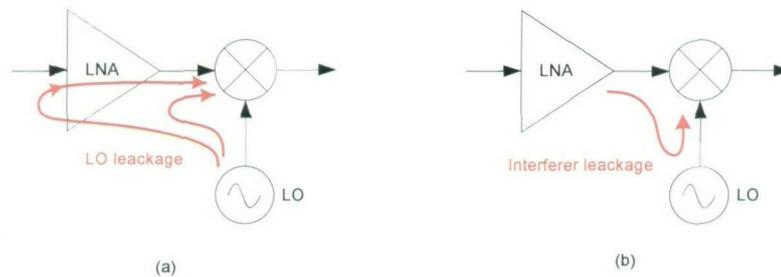


Figura 5.3: Automezclados de (a) señal LO (b) señal interferente.

- Distorsión de segundo orden, que puede llegar a suprimirse si se implementa un mezclador de tipo diferencial.
- Ruido *flicker* debido a que la conversión se realiza a frecuencias bajas (cero) y éste es inversamente proporcional a la frecuencia. Por lo tanto, a menor frecuencia mayor ruido *flicker*, lo que corrompe substancialmente la señal, produciendo un serio problema sobre todo en implementaciones MOS. Para mitigar en parte el ruido *flicker* hay que conseguir una alta ganancia en RF.

- Fuga de la señal LO hacia la antena. Esto crea interferencias en la banda de otros usuarios, necesiéndose como se comentó anteriormente un fuerte aislamiento entre puertos LO y RF.
- Desajustes entre las amplitudes de las señales I y Q. Esto podría corromper la constelación de la señal en banda base (Figura 5.4), repercutiendo en errores de ganancia y de fase. Para solventar este problema se requiere tener un cuidado especial a la hora de la implementación del *layout*, haciéndolo lo más simétrico posible.

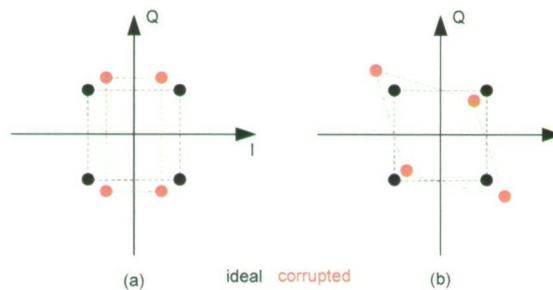


Figura 5.4: Desajustes de las señales I/Q en constelaciones QPSK: (a) error de ganancia (b) error de fase.

Por todo lo expuesto anteriormente se ha escogido basar el diseño del mezclador en una arquitectura activa doblemente balanceada, **la célula de Gilbert**.

5.5. La célula de Gilbert

El mezclador Gilbert es ampliamente utilizado en aplicaciones RFIC debido a su compacto *layout* y su buen funcionamiento. Como se explicó anteriormente, se ha elegido esta topología doblemente balanceada debido a su razonable ganancia de conversión, al buen aislamiento de los puertos RF y LO, y a su salida diferencial.

La implementación elegida es la que se muestra en la Figura 5.5 [22]. Delimitada mediante el cuadro azul se puede observar la etapa de entrada, compuesta por un par diferencial, que no es más que un amplificador de transconductancia. En el cuadro rojo se encierra la etapa de conmutación, compuesta por dos pares diferenciales con salidas cruzadas. Éste es el núcleo del mezclador, ya que se encarga de realizar la multiplicación.

También podemos ver una bobina en ambas entradas, utilizada para la adaptación de impedancias, precedida por un condensador de acoplo de continua denominado DC-BLOCK.

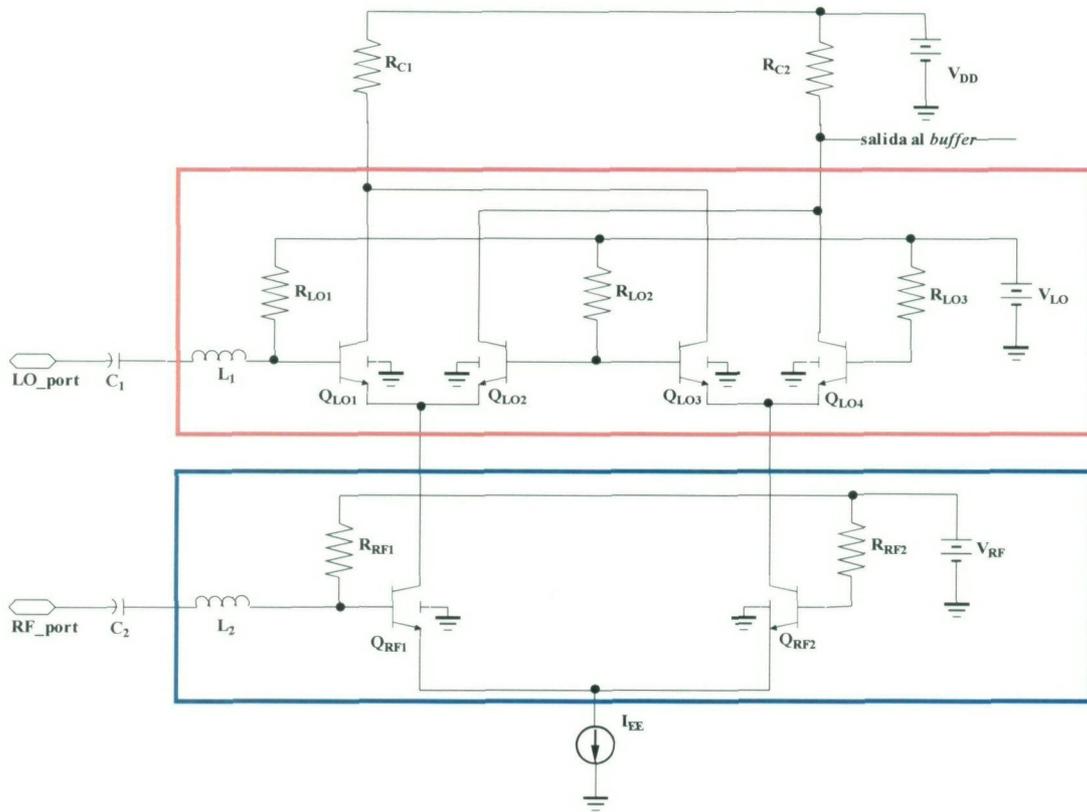


Figura 5.5: Célula de Gilbert.

A continuación, se van a extraer conclusiones útiles para el diseño de este tipo de circuitos a partir del estudio de las etapas básicas que componen la célula de Gilbert.

5.5.1. Etapa de entrada

Esta etapa está compuesta por un par diferencial formado por los transistores Q_{RF1} y Q_{RF2} . En ella interesa una ganancia lo más elevada posible para compensar la atenuación inherente de la etapa de conmutación (idealmente $\pi/2$) y el ruido introducido por ésta.

Para mejorar la linealidad del par de transistores bipolares de entrada se puede utilizar una resistencia de degeneración de emisor. Para fijar el valor de esta resistencia hay que establecer un compromiso entre las siguientes prestaciones. Debe ser lo suficientemente grande para obtener una linealidad adecuada, pero sin que aumente demasiado el ruido. También hay que tener en cuenta que la ganancia se ve afectada negativamente por esta

resistencia, por lo que ésta no debe ser muy grande para que la ganancia no se vea demasiado mermada.

5.5.2. Etapa de conmutación

La conmutación de los pares $Q_{LO1}-Q_{LO2}$ y $Q_{LO3}-Q_{LO4}$ debe ser instantánea, es decir, no se deben solapar. Si se solapan, el ruido aumenta debido a que hay un instante en que todos los transistores conducen. Para evitarlo, se puede aumentar la amplitud de la señal del oscilador, pero teniendo como límite la degradación de las prestaciones de linealidad y consumo. Una amplitud del oscilador demasiado grande, introduce una corriente excesiva en los emisores comunes del cuarteto de transistores a través de la capacidad de unión base-emisor, generando intermodulación de tercer orden adicional. También interesa que los transistores sean pequeños para que se comporten como buenos conmutadores.

La impedancia de carga (R_C) debe ser grande para obtener la mayor ganancia de tensión posible, pero hay que tener en cuenta que se debe mantener una correcta polarización. Debido a que esta impedancia no contribuye demasiado al ruido total, ya que no se encuentra en el camino de la señal, se descarta el uso de una inductancia, ya que una bobina ocupa un área mucho mayor. El uso de una carga activa no es aconsejable ya que se suelen usar para valores grandes de resistencias, y aquí estará en torno a pocos $k\Omega$ y, además, la frecuencia de corte de los transistores tipo p (componentes de las cargas activas) es pequeña en comparación con la de los de tipo n.

5.6. Diseño del mezclador

El procedimiento para el diseño del mezclador comienza con la realización de unos cálculos teóricos para hallar los valores iniciales de los distintos componentes integrantes del circuito. Una vez hecho esto, se ajusta el diseño mediante la ejecución de múltiples simulaciones, hasta alcanzar el rendimiento deseado.

Existen muchos factores que afectan al rendimiento de un mezclador, como la polarización, ganancia, linealidad, aislamiento, potencia, área y figura de ruido. Ajustar un determinado parámetro para obtener un mejor funcionamiento puede, y normalmente lo hará,

degradar el resto. Por esto, es importante tener en cuenta todos los parámetros durante el proceso de diseño, para así poder llegar a un compromiso entre ellos.

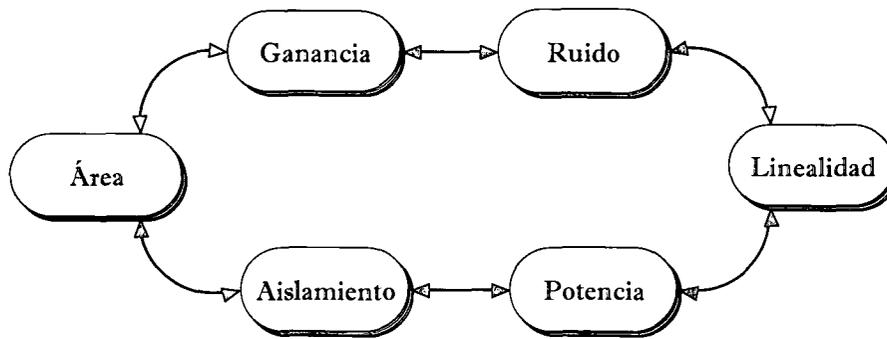


Figura 5.6: Compromiso entre parámetros.

El circuito se ha simulado utilizando el *software Advanced Design System (ADS)* de *Agilent Technologies*. Las frecuencias de las señales de entrada utilizadas son 666 MHz para la señal de radiofrecuencia (f_{RF}) por encontrarse justo en mitad de la banda y 662 MHz como señal del oscilador local (f_{LO}), obteniéndose una señal *down-conversion* de frecuencia 4 MHz para IF. Esta frecuencia corresponde al límite superior del canal. No se hace una conversión directa a cero debido a que la herramienta en este caso puede no funcionar correctamente.

A partir de aquí se ha optimizado el mezclador atendiendo a los siguientes aspectos:

Polarización → Se establecen las condiciones apropiadas de polarización para los dispositivos utilizados en el mezclador.

Adaptación de impedancias → Se adaptan las impedancias de los puertos de entrada y salida para evitar reflexiones en los mismos y asegurar una máxima transferencia de potencia.

Ganancia de conversión y linealidad. → Se estudian los distintos parámetros que influyen en la linealidad y la ganancia, como la resistencia de colector, corriente de polarización, resistencia de degeneración de emisor, etc. y optimización de estos para conseguir el mejor resultado.

Figura de ruido. → Dependencia de la figura de ruido con la corriente de polarización y con las resistencias R_c y de degeneración de emisor (R_e). El ruido añadido por el mezclador afectará al nivel mínimo de señal y limitará el rango dinámico. Es necesario establecer un compromiso entre ruido, ganancia y linealidad.

Área y multiplicidad. → Se estudia la posible influencia del área y la multiplicidad de los transistores en el sistema.

La filosofía seguida en este diseño ha sido optimizar al máximo la ganancia y la linealidad y dejar el ruido como consecuencia de éstos, analizando posteriormente la posibilidad de con una pequeña variación en los dos primeros parámetros, conseguir una mejora considerable en el tercero.

Por otro lado, para conseguir llegar al diseño final se han realizado varios diseños previos con múltiples simulaciones y cambios en los valores de sus parámetros. No es objetivo de esta memoria mostrar cada una de las variaciones realizadas, así que simplemente se nombrarán aquellas que se consideren más importantes aterrizando finalmente en el diseño final, ilustrándose los resultados por medio de gráficas y tablas.

Así pues, se hará una explicación secuencial en el tiempo del desarrollo del proyecto, comentando los problemas que han ido surgiendo y la manera en que se han solventado.

Por tanto, se comienza con el análisis del circuito básico de la célula de Gilbert, se establecen unos valores teóricos de los parámetros y se realizan simulaciones para ver si a partir de ese circuito, optimizado para los valores de frecuencia especificados, se consiguen buenos resultados o, al menos, próximos a los que se buscan.

5.6.1. Polarización del circuito

El primer paso en el diseño de un mezclador es el análisis DC. El propósito de este análisis es establecer las condiciones apropiadas de polarización de los dispositivos utilizados en el mezclador.

5.6.1.1. Corriente de polarización

La corriente en este tipo de redes desempeña un papel fundamental al introducir limitaciones en la ganancia, la linealidad y el ruido. Una correcta polarización es clave de cara a obtener los valores de las impedancias de colector y, por lo tanto, mantener los transistores en las regiones de trabajo deseadas.

Para el diseño del mezclador se emplearán transistores bipolares HBT de 0.35 μm de doble base de la empresa fundidora AMS. Para polarizar el circuito se ha tenido en cuenta el

funcionamiento que presenta este tipo de transistores para diferentes corrientes. Se ha comprobado que exhiben un mejor comportamiento en cuanto al ruido para corrientes pequeñas. Esto provoca un menor consumo y repercute en la mejora de la figura de ruido, a costa de una pequeña pérdida en la ganancia. Las simulaciones efectuadas apuntan a que con la disminución de la corriente mejora la respuesta general del dispositivo, algo que es achacable a las propiedades de estos transistores.

5.6.1.2. Polarización de las entradas

Para conseguir una ganancia adecuada los transistores de la etapa de transconductancia deben trabajar en la zona activa. Fijando la tensión de polarización en la base de los transistores de la etapa de transconductancia (V_{RF}) a 1.4 V se conseguirá una razonable variación de la señal de entrada RF, así como también que los transistores permanezcan siempre en la zona activa. Además, es necesario polarizar los transistores de los pares superiores, teniendo en cuenta que van a operar en un estado de conmutación de corte a zona activa, ya que así el tiempo de conmutación es menor y se conseguirá que la atenuación inherente a esta etapa sea lo más próxima posible a su valor ideal ($\pi/2$). Manteniendo la tensión $V_{B(1-4)}$ a 2.4 V se asegurará que los transistores $Q_{LO(1-4)}$, cuando conducen, estén en zona activa. Por último, $V_{C(1-4)}$ debe ser aproximadamente 2.5 V, lo que permite una caída de tensión en la resistencia R_C de 0.8 V ($V_{DD} - V_{C(1-4)}$).

Se ha elegido una corriente inicial de polarización de $I_{EE} = 600 \mu A$, de manera que por cada rama del par de interruptores de conmutación circule una corriente de 300 μA .

En la ecuación (5.1) se muestra el valor de la resistencia de colector R_C

$$R_C = \frac{3.3V - 2.5V}{600\mu A} \approx 1350\Omega \quad (5.1)$$

Esta corriente de polarización se ha generado a partir de un espejo de corriente, el cual se utiliza para hacer una “copia” de una corriente de referencia.

5.6.1.3. Espejo de corriente

En principio todas las simulaciones se hicieron mediante una fuente de corriente ideal y luego se sustituyeron por un espejo de corriente. Por eso se cree conveniente aprovechar y explicarlo en este apartado.

En la Figura 5.7 se observa la configuración básica del espejo de corriente con transistores bipolares.

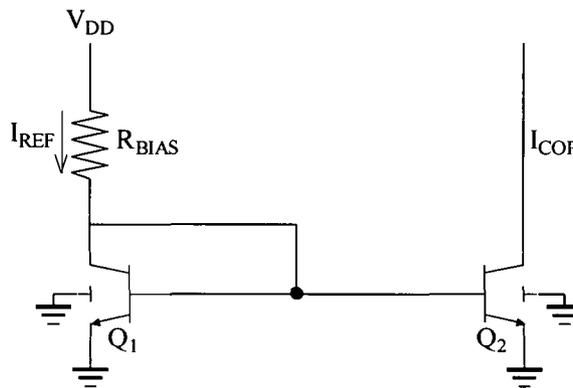


Figura 5.7: Espejo de corrientes con transistores bipolares.

Este esquema permite construir fuentes de corriente de valores controlados de forma sencilla y con buena precisión. La corriente I_{REF} que se quiere generar se hace mediante una resistencia (R_{BIAS}), que variándola proporciona diferentes valores de I_{REF} , tal y como se expresa en la ecuación (5.2). En dicha ecuación se puede apreciar que la I_C es prácticamente igual a la I_{REF} .

$$I_{REF} = \frac{(V_{DD} - V_{BE})}{R_{BIAS}} \approx I_{C1} = I_{C2} = I_C \quad (5.2)$$

Si se suponen ambos transistores iguales (Q_1 y Q_2), como $V_{BE1} = V_{BE2}$, se deduce que las corrientes de emisor, y por tanto de colector de ambos transistores son iguales. Esta deducción está basada en el hecho de que la corriente de emisor está fijada por la tensión V_{BE} según la relación de la ecuación (5.3).

$$I_E = I_{ES} \cdot e^{\frac{V_{BE}}{V_T}} \quad (5.3)$$

La resistencia R_{BIAS} se obtiene de la ecuación (5.2). Como se vio anteriormente, por las ramas de la etapa de conmutación circulan 300μA y en las de la etapa de transconductancia el doble de la cantidad anterior. Se calcula la resistencia R_{BIAS} para este caso, en el que queremos una corriente de 600μA, y se muestra en la ecuación (5.4).

$$R_{BIAS} = \frac{(V_{DD} - V_{BE})}{I_{REF}} = \frac{3.3 - 0.8}{600\mu A} = 4.2k\Omega \quad (5.4)$$

De todos modos esto es simplemente una aproximación teórica, ya que después, tras las simulaciones realizadas, todos estos valores cambiarán.

El problema de la ecuación (5.4) es el gasto de potencia que conlleva, debido a que por la rama de referencia circula también 600μA. Esto tiene una fácil solución, hay que disminuir la corriente de referencia. En el esquema del espejo de corriente, si lo que se quiere obtener son corrientes proporcionales una a otra se hará uso de resistencias como se muestra en las Figuras 5.8 y 5.9.

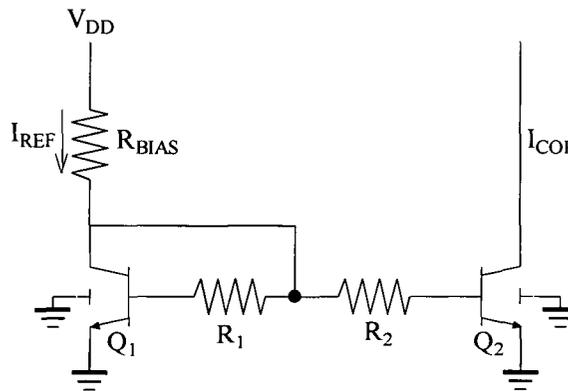


Figura 5.8: Espejo de corriente con transistores bipolares y resistencias.

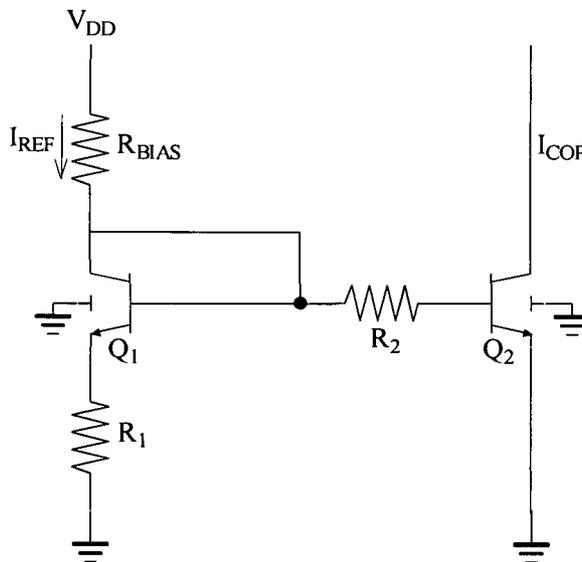


Figura 5.9: Espejo de corriente con transistores bipolares y resistencias.

Así por ejemplo, referidos a la Figura 5.8, si se quiere que por la rama de salida circule 10 veces más corriente que por la rama de referencia, la resistencia R_1 debe ser 10 veces mayor que la resistencia R_2 . El problema a veces puede ser que se quiera no 10 veces, sino 100 veces la corriente I_{REF} , lo que conllevaría un valor elevado de la resistencia R_1 , lo cual tampoco es interesante. Para solucionarlo se utiliza el esquema Figura 5.9, que lo que consigue es reducir la resistencia R_1 un valor de β veces menos del valor anterior, siendo β la ganancia en corriente del transistor Q_1 .

Durante el proceso de diseño de nuestro mezclador se han utilizado estos dos espejos de corriente, quedando finalmente para el circuito implementado el de la Figura 5.8.

5.6.2. Simulación de la célula de Gilbert

El circuito de célula de Gilbert inicial que se va a utilizar queda ilustrado en la Figura 5.10, donde se aprecia, como se explicó anteriormente, la etapa de entrada, la etapa de conmutación, los condensadores y bobinas para realizar la adaptación a las entradas de las señales y un *buffer* para la adaptación de la impedancia de salida.

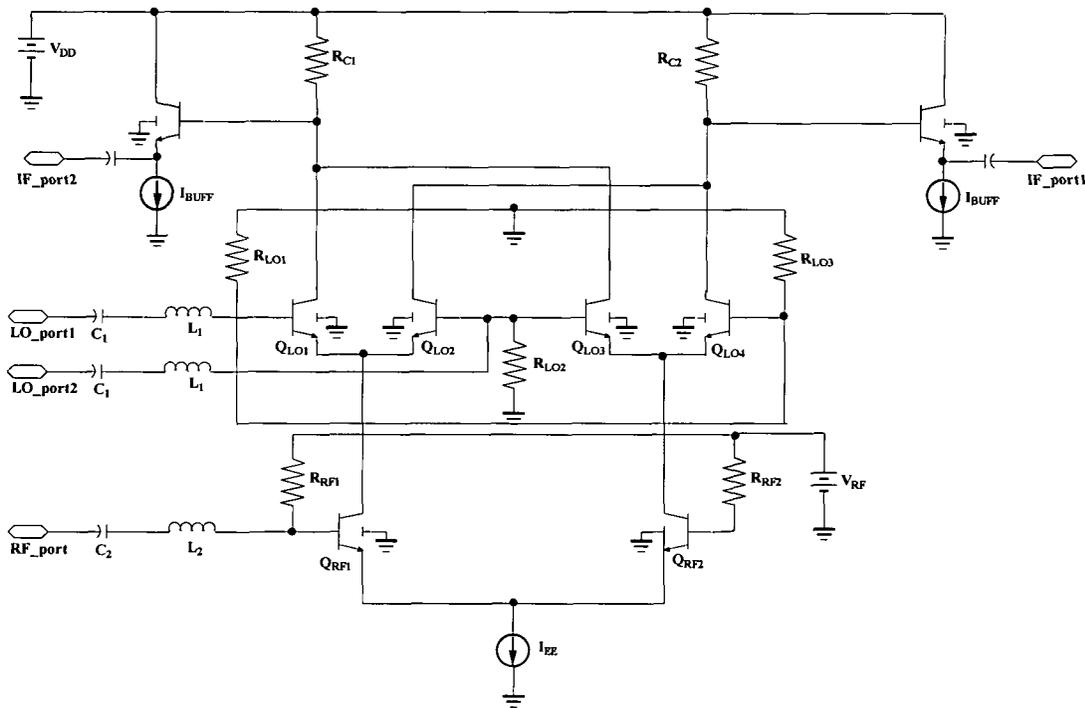


Figura 5.10 : Célula de Gilbert de entrada asimétrica y salida diferencial.

Se puede ver que el esquema no posee una fuente de alimentación para generar V_{LO} . La etapa de conmutación viene alimentada externamente desde el simulador por medio de un *biasteer*, que no es más que una red que separa la señal de continua de la alterna como se ilustra en la Figura 5.11

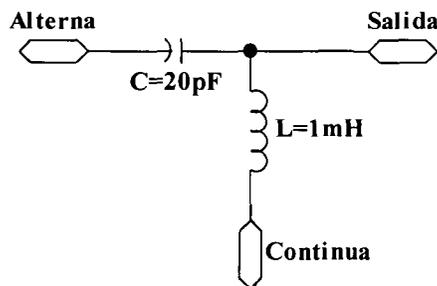
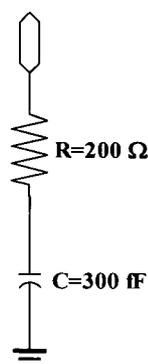


Figura 5.11 : Esquema del *biasteer*.

También se añaden en el esquema de simulación unos circuitos que simularán los *pads*. Esto es, a cada salida y entrada del circuito se le asocia una pequeña resistencia y condensador simulando las resistencias y capacidades parásitas asociadas a los *pads*. Se puede ver su esquema en la Figura 5.12.

Figura 5.12 : Esquema del *pad*.

Una vez definidos los valores teóricos de corriente, tensiones de polarización y resistencias, se introdujeron en el esquemático junto con las frecuencias a las que trabaja el mezclador, y se realizaron diversas simulaciones con la finalidad de optimizar, como se comentó anteriormente, tanto la ganancia como la linealidad (IP3).

Sin embargo, tras múltiples simulaciones los mejores resultados rondaron una **ganancia de 15.5dB** y un **IP3 de entrada de -11dBm**.

Con estos resultados se puede concluir que el diseño requiere de algún tipo de modificación que aumente la linealidad. Existen dos fenómenos que afectan a la linealidad de un mezclador, el primero y más importante se produce en la etapa de entrada, mientras que el segundo se origina en la etapa de conmutación.

Si la señal aplicada a la etapa de entrada es mayor que la máxima entrada diferencial (sobrecarga) aparecerá compresión de la señal. En este caso, la linealidad se puede mejorar aumentando la corriente de polarización y/o degenerando el emisor mediante una resistencia o una bobina. Como contrapartida la disipación de potencia aumenta y la ganancia disminuye. El hecho de usar una resistencia o una bobina para degenerar el emisor implica la desventaja adicional de aumentar el ruido o el área, respectivamente.

Si la resistencia de carga es demasiado grande, la tensión V_{CE} de los transistores de conmutación disminuye, forzando a los transistores de la etapa de conmutación a salir de la zona activa y pasar a la zona de saturación, con lo que aumentará el tiempo de conmutación. Por tanto, si se disminuye el valor de la resistencia de carga mejoramos la linealidad, pero disminuye la ganancia del sistema. Reducir la corriente de polarización resolverá este problema sin afectar demasiado a la ganancia, ya que permitirá aumentar el valor de esta resistencia sin afectar a la polarización de los transistores de conmutación.

En caso de que las alternativas mencionadas no surtiesen el efecto esperado y no se alcanzasen las especificaciones impuestas no quedaría más remedio que probar otras topologías como por ejemplo la célula de Gilbert doblada que separa la etapa de transconductancia de la de conmutación con lo que se podría optimizar ambas por separado. El precio a pagar sería un aumento de la complejidad del circuito y de la potencia consumida.

En este punto se realizaron algunas variaciones en el circuito y se probaron diversas topologías, entre ellas el mezclador de Gilbert doblado, pero finalmente se optó por un diseño obtenido a partir de [23], que se explicará en el apartado 5.7.

5.6.3. Problemas en el diseño

Antes de comenzar el diseño del mezclador de entrada asimétrica y salida diferencial se explican ciertos aspectos que constituyeron un problema a la hora de la simulación.

5.6.3.1. Problemas referidos a la herramienta y la librería

La herramienta ADS funciona por jerarquías, esto es, en los niveles más bajos están los diseños y en el nivel superior se encuentra la ventana de simulación. Cada diseño puede ser agrupado en un paquete e instanciado en otro. Se muestra un ejemplo en la siguiente figura (Figura 5.13).

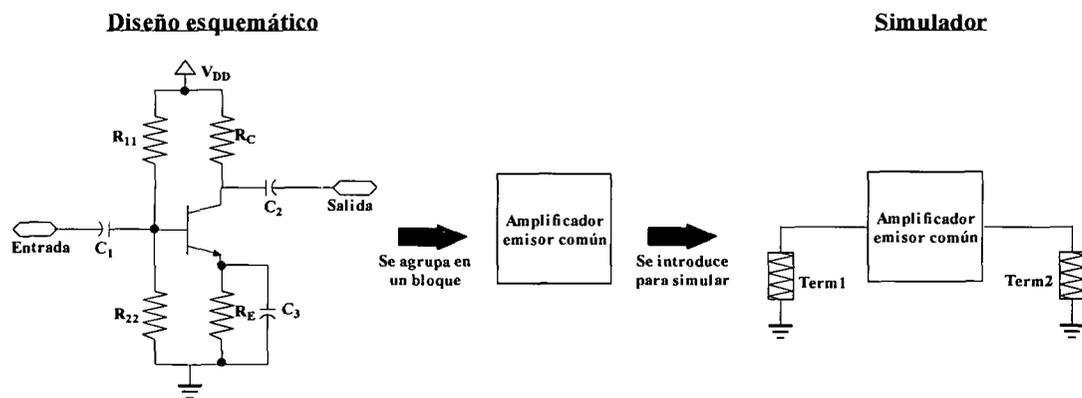


Figura 5.13 : Ejemplo de simulador ADS.

Los componentes utilizados de la librería de la fundidora AMS (PRIMLIB) simulan un comportamiento real, así que aparece un problema con la herramienta. Por ejemplo, las resistencias tienen tres parámetros: longitud, anchura y resistencia. Con resistencias ideales se pasaba su valor por parámetro al simulador y desde ahí se podía realizar un barrido. En

cambio, con resistencias reales si sólo se pasa su valor resistivo no se obtienen resultados satisfactorios pues su longitud lo limita. Como el diseño que se realizó se basa en escoger buenos valores de resistencias, era inviable la opción de entrar al esquema en cada simulación y variar manualmente las resistencias por no poder generar barridos. Por tanto era necesario y fundamental encontrar un sistema que permita, variando el valor de la resistencia, variar proporcionalmente su longitud o anchura ya que la herramienta por si sola no realiza la conversión.

Se puede observar que la variación del valor de la resistencia en el ADS implica una variación proporcional de su longitud, pudiendo quedar su anchura con un valor fijo. La proporción es exactamente 17Ω por cada $1\mu\text{m}$ de longitud. Se buscaron varios métodos para conseguir que la herramienta varíe su longitud cuando se varía externamente su resistencia, pero o bien no lo permitía o bien extraía resultados incorrectos. Se optó entonces por pasar todos los valores del diseño como parámetros a un “circuito puente” para posteriormente insertar éste en el simulador. Esto se realizó sólo con las resistencias, mientras que la variación de los condensadores se prefirió hacerlo manualmente en el diseño, debido a que una variación en su capacidad varía en consecuencia tanto su perímetro como su área. Funciona de la siguiente manera: en el simulador se pasan los valores de resistencias al “circuito puente”, que se encarga de calcular las longitudes de las resistencias mediante la relación anteriormente expuesta. Seguidamente este circuito puente pasa los valores de resistencia y longitudes al esquema.

Para que se comprenda lo anteriormente expuesto, se muestra en la Figura 5.14 un ejemplo de cómo funcionaría el circuito puente.

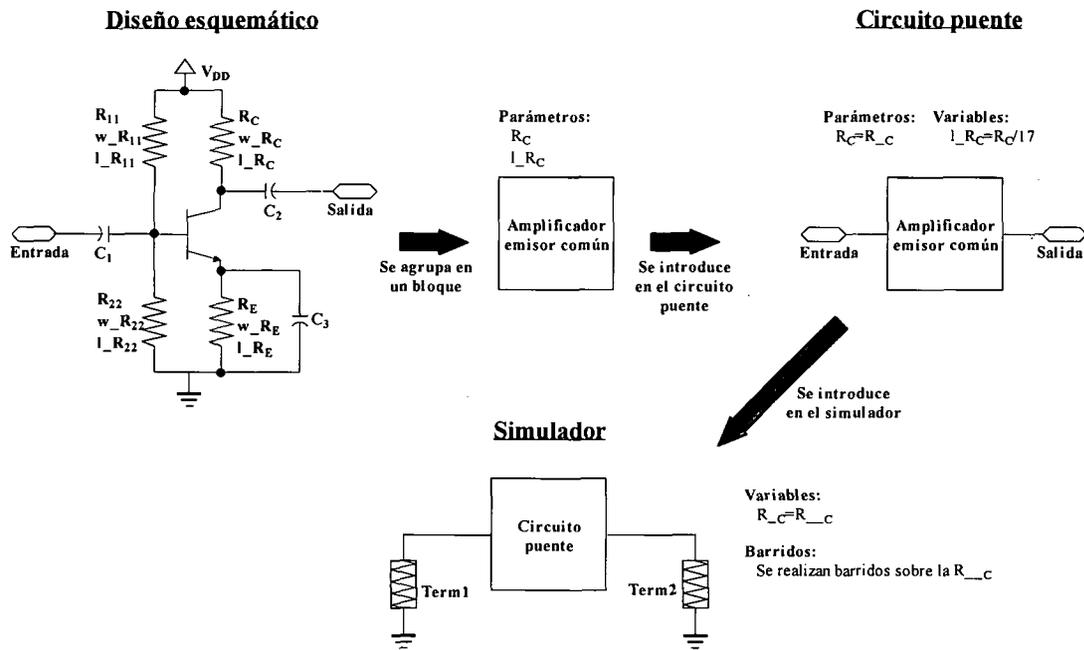


Figura 5.14 : Ejemplo de simulador ADS con circuito puente.

5.6.3.2. Problemas referidos a la herramienta y la topología diferencial

El mezclador se ha diseñado con una topología diferencial, por lo que para realizar las medidas se necesita algún dispositivo que nos convierta una señal asimétrica a simétrica a la entrada, tanto para la señal LO como para la señal RF. Este elemento es el *power splitter* (PwrSplit2), que para comprobar su funcionamiento se ha realizado una simulación en transitorio (Figura 5.15) y se ve como divide una señal de entrada proporcionando la mitad de la potencia a cada una de las salidas desfasadas 180° entre sí (Figura 5.16).

Para configurarlo en ADS se hace uso de su nomenclatura, que es la siguiente:

$$S21=\text{dBpolar}(-3,0)$$

$$S31=\text{dBpolar}(-3,180)$$

El primer elemento de la función significa la potencia que se pierde en dB (3-potencia mitad) y el segundo, el desfase con respecto a la señal original (0°-180°).

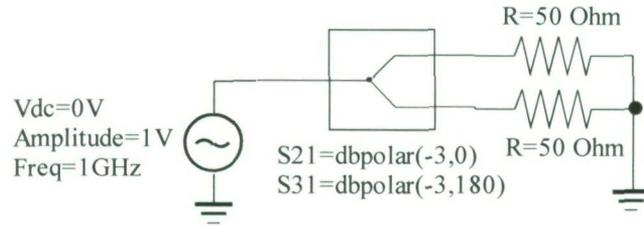


Figura 5.15 : Esquema de la simulación en transitorio de un *power splitter*.

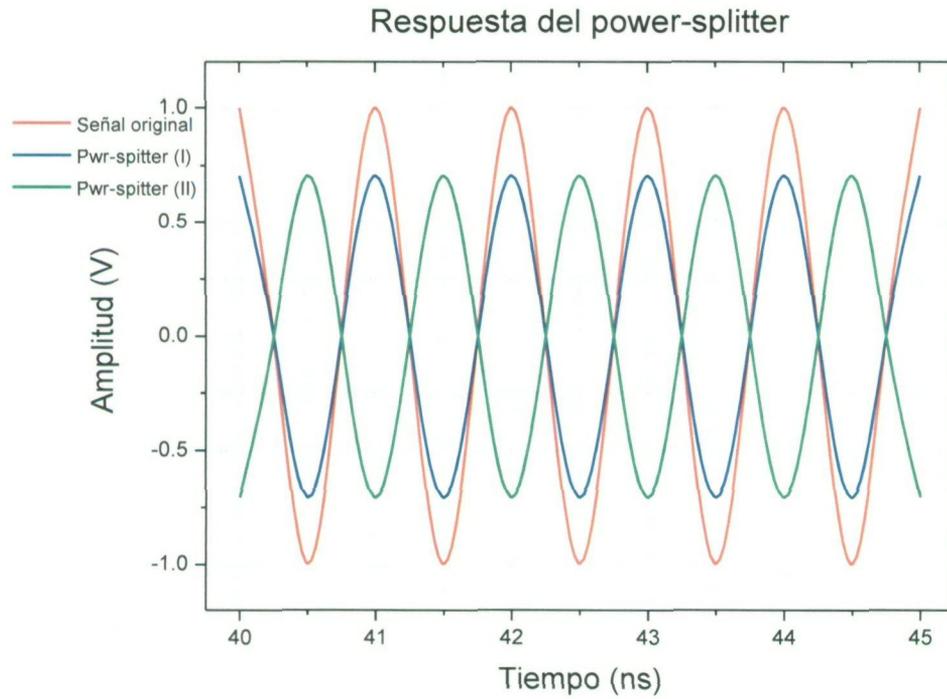


Figura 5.16 : Funcionamiento del *power splitter*.

Para la señal IF no se hace uso del *power splitter*, sino que se toma la salida en uno de los cables de salida y se mide. Teóricamente, al ser diferencial la ganancia y linealidad aumenta en 3dB con respecto a la señal medida.

5.7. Mezclador con entrada asimétrica y salida diferencial

Como se comentó en el apartado 5.6.2 se necesitaba aumentar la linealidad, así que se realizó un cambio en la topología del diseño. Se cambió la polarización en corriente que se tenía anteriormente por una conexión directa al espejo de corriente como se puede ver en la Figura 5.17.

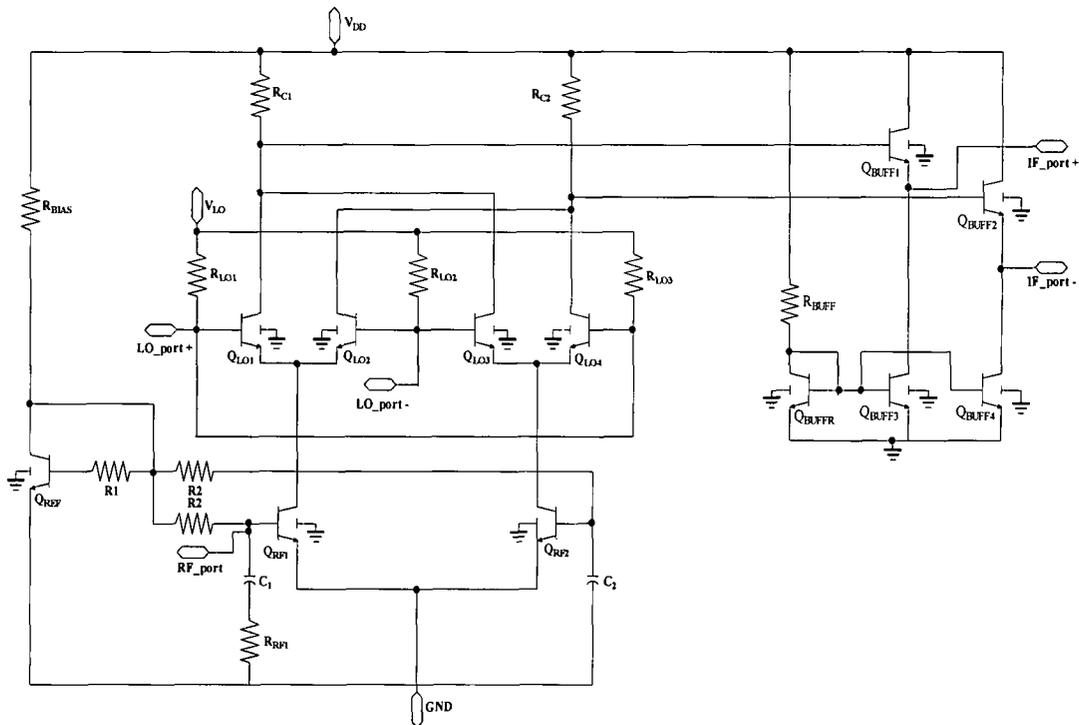


Figura 5.17 : Mezclador con entrada asimétrica y salida diferencial.

Por lo tanto se elimina la fuente de corriente I_{EE} y se conectan directamente las bases de los transistores Q_{RF1} y Q_{RF2} al espejo de corriente, que viene controlado por las resistencias R_{BIAS} , R_1 y R_2 . Así, como se explicó anteriormente, la resistencia R_{BIAS} es la encargada de determinar la corriente que baja por la rama de referencia y las resistencias R_1 y R_2 de formar la proporción adecuada para obtener la corriente deseada por las ramas del mezclador.

5.7.1. Adaptación

Debido a que tanto la entrada como la salida del mezclador van conectadas a un componente de medida externo con una impedancia característica de 50Ω , el circuito debe estar adaptado para evitar reflexiones en ambos puertos, por lo que se ha insertado una red adaptadora a la entrada y a la salida del mezclador. Hay que tener en cuenta que el mezclador está integrado en una cadena de recepción, por lo que si tanto la impedancia de salida del LNA (anterior) como la impedancia de entrada de los amplificadores de banda base (posterior) tienen una impedancia parecida a la del mezclador sin redes de adaptación, no hará falta adaptar.

Para medir la adaptación de los diferentes puertos se hace uso de los parámetros S. Para la entrada se utiliza el coeficiente de reflexión de entrada S_{11} , el cual se define como la relación entre la potencia reflejada y la que incide a la entrada del mezclador cuando el resto de los puertos están perfectamente adaptados. Este coeficiente se puede calcular mediante las ecuaciones (5.5) y (5.6).

$$S_{11}(dB) = 20 \cdot \log|S_{11}| \quad (5.5)$$

$$S_{11} = \frac{Z_{in} - Z_o}{Z_{in} + Z_o} \quad (5.6)$$

Para una perfecta adaptación de la entrada se necesita que $Z_{in} = Z_o = 50\Omega$, es decir, $S_{11} = 0$. Para medir la adaptación a la salida se usa el coeficiente S_{22} , el cual se define de manera similar al S_{11} .

Probablemente la adaptación variará en cierto grado cuando se hagan los análisis de ganancia y linealidad, así que posteriormente se valorarán esos cambios y se intentará llegar a un compromiso entre adaptación, ganancia, IP3 y ruido.

5.7.1.1. Adaptación de los puertos de entrada

Con la configuración de los puertos de entrada se busca una adaptación a 50 Ω que a la vez permita aplicar la tensión de polarización. En las Figuras 5.18 y 5.20 se muestran en detalle las configuraciones de los puertos de entrada LO y RF respectivamente. Se observa que no hay ninguna bobina; esto es debido a que a la frecuencia a la que trabaja el mezclador y con estas redes de adaptación no se requerían, lo cual es perfecto, ya que la bobina es un elemento que ocupa muchísimo área en el *layout*.

Primero se estudia la adaptación para el puerto de RF, se muestran las resistencias y condensadores que afectan a nuestra adaptación.

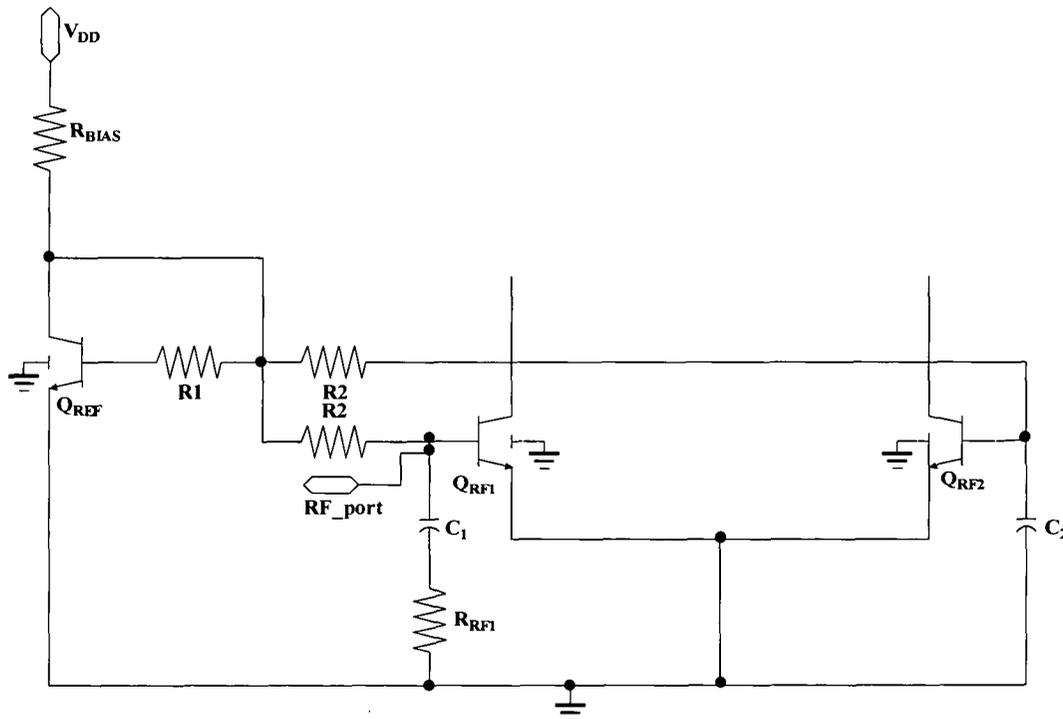


Figura 5.18 : Adaptación del puerto de entrada RF.

Hay que adaptar la entrada para AC y en DC. En DC hay que polarizar los transistores para que trabajen en zona activa, mientras que en AC queremos adaptar a 50 Ω . Para AC los condensadores C_1 y C_2 se comportan como cortocircuitos y la impedancia de entrada que ve el puerto RF es igual al paralelo entre la resistencia R_{RF1} con la impedancia de entrada del transistor Q_{RF1} y a su vez con la resistencia equivalente de la rama de referencia, quedando finalmente algo menos de R_{RF1} por su reducido valor (poco menos de 40 Ω). Los condensadores C_1 y C_2 toman el valor de 20pF y 200fF respectivamente.

Se puede observar que las impedancias equivalentes no son 50Ω , sino 35Ω aproximadamente. La explicación que se da es que los componentes utilizados no son ideales, sino reales, así que llevan asociados modelos que intentan simular la realidad. En el caso de la resistencia *rpolhb*, si se mira su modelo se puede encontrar que $R = 240 \cdot l/m \cdot w$, por tanto una resistencia de 35Ω tendrá un valor equivalente a 50Ω .

En la Figura 5.19 se muestra la adaptación por carta de Smith y su respectivo VSWR (relación de onda estacionaria de voltaje) para el puerto de RF. Se ve que es menor de 2, concretamente 1.337 para la frecuencia medida y varía entre 1.29 y 1.447 para la banda de frecuencias a cubrir, así que está bastante bien adaptado.

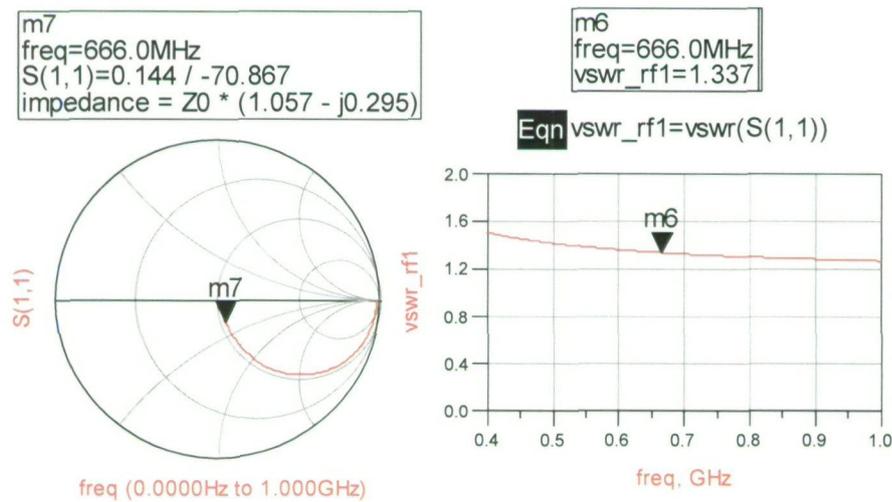


Figura 5.19 : Carta de Smith y VSWR para el puerto de entrada RF.

Posteriormente, y debido a que en el *layout* la implementación de un condensador de valor 20pF ocupa mucho área, se decide reducir su capacidad a 10pF, ya que el área es mucho menor y la adaptación de entrada no sufre una gran modificación, aumenta un poco su VSWR (a 1.6 aproximadamente).

Los puertos de LO también hay que adaptarlos a 50Ω (ver Figura 5.20). Según el esquema propuesto, el LO_port+ se adapta mediante las resistencias R_{LO1} y R_{LO3} (70Ω cada una), formando un paralelo con un valor de 35Ω , mientras que la resistencia R_{LO2} toma un valor de 35Ω para adaptar el LO_port-. Como se comentó anteriormente una resistencia *rpolhb* de 35Ω equivale a una real de 50Ω . La tensión aplicada en V_{LO} tiene que ser suficiente para que los transistores trabajen en zona activa, en este caso su valor es de 2.65V.

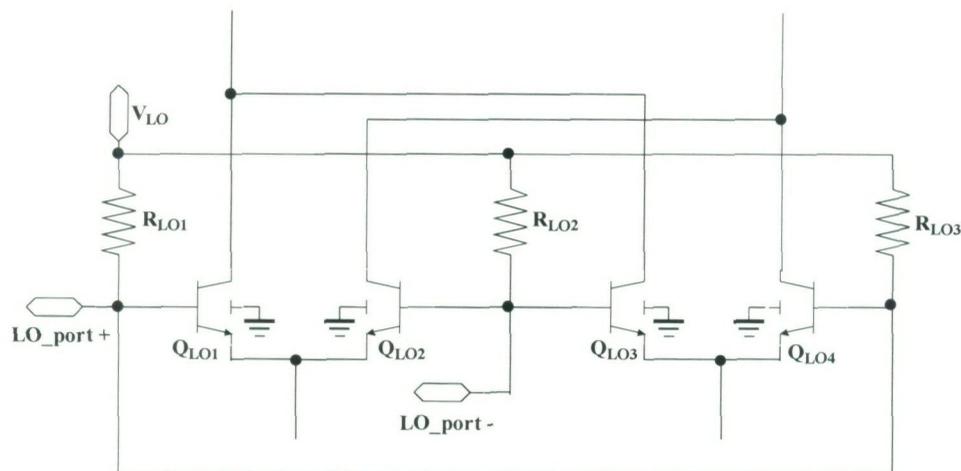


Figura 5.20 : Adaptación los puertos de entradas LO.

En la Figura 5.21 se muestra la adaptación por carta de Smith y su respectivo VSWR para el puerto de LO. Se ve que es muy cercano a 1, concretamente 1.036 para la frecuencia medida y varía entre 1.025 y 1.047 para la banda de frecuencias a cubrir, así que está perfectamente adaptado. Al ser simétrico, se comporta de la misma manera para los dos puertos de LO.

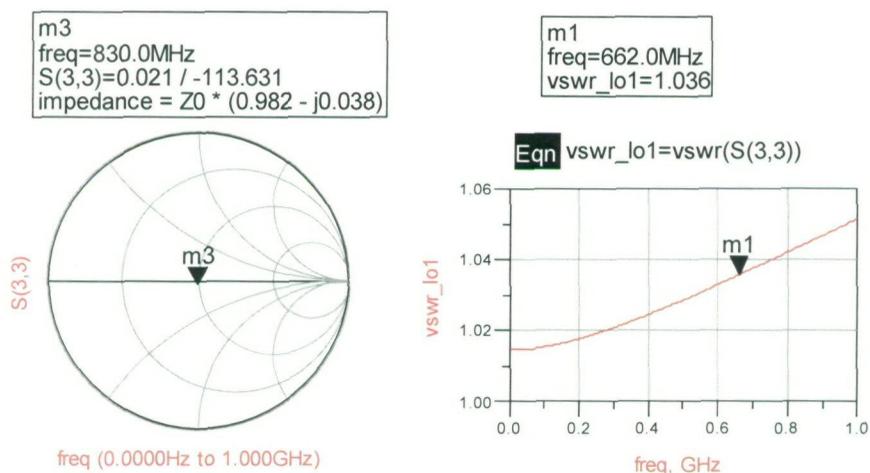


Figura 5.21 : Carta de Smith y VSWR para los puertos de entrada LO.

5.7.1.2. Adaptación de los puertos de salida

La salida, al trabajar con frecuencias bajas no requiere adaptación. No obstante, se ha introducido un *buffer* para bajar la elevada impedancia que presenta el circuito a la salida a 50Ω para poder hacer medidas en el laboratorio (Figura 5.22). La configuración es la de un seguidor de emisor. Ésta se emplea por poseer una impedancia de entrada alta, lo que es interesante dada la alta impedancia vista a la salida del mezclador (1700Ω), y de salida muy baja, permitiendo una fácil adaptación con impedancias de carga pequeña.

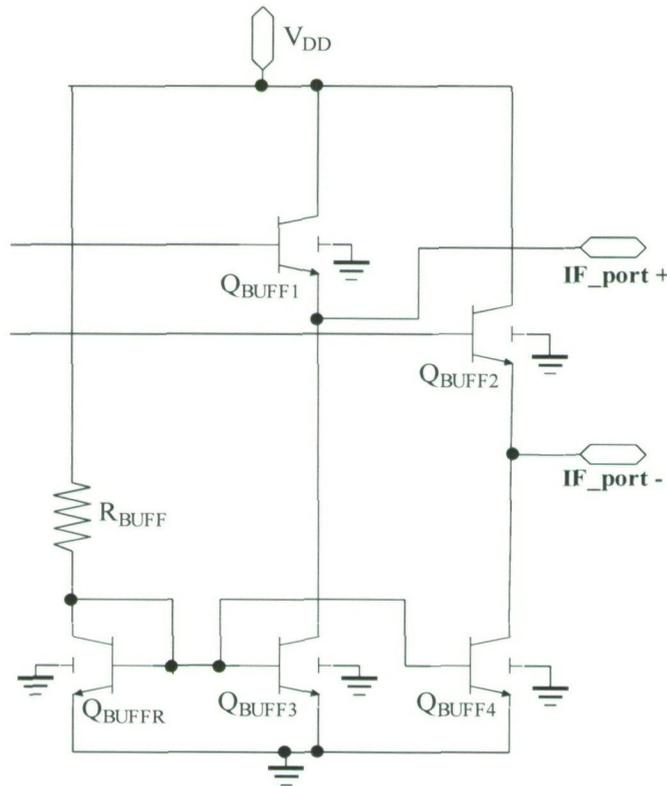


Figura 5.22 : Adaptación los puertos de salida IF mediante el uso de un *buffer*.

La adaptación de salida depende tanto de la resistencia R_{BUFF} (la cual fija la corriente del *buffer*) como del área de los transistores. Tras varias simulaciones, se ha escogido un resistencia $R_{\text{BUFF}}=250\Omega$ y transistores de área 5.

En la Figura 5.23 se muestra la adaptación por carta de Smith y su respectivo VSWR para el puerto de IF. Se ve que es muy cercano a 1, concretamente 1.021 para la frecuencia medida (4MHz), así que está perfectamente adaptado. Al ser simétrico, se comporta de la misma manera para los dos puertos de IF.

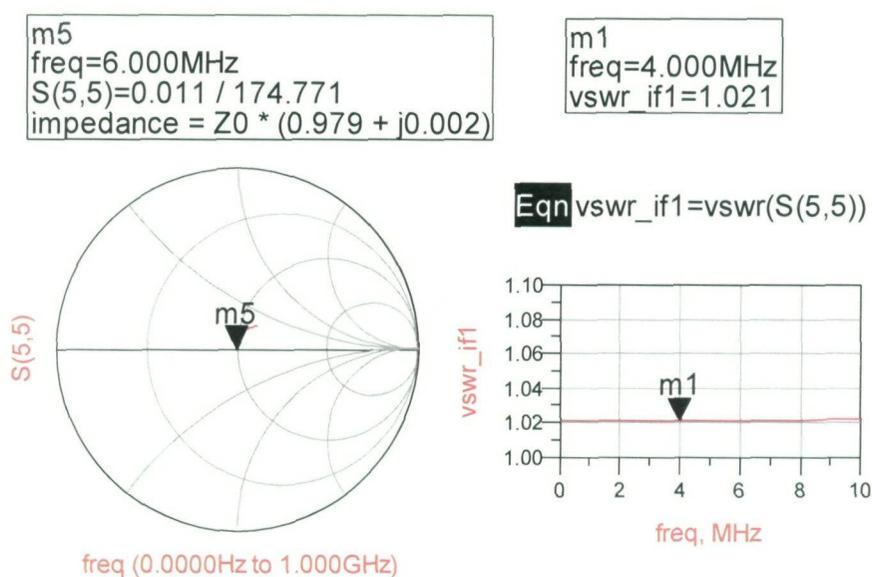


Figura 5.23 : Carta de Smith y VSWR para los puertos de salida IF.

5.7.2. Ganancia y linealidad

Hay varios factores que afectan a la ganancia y a la linealidad de un mezclador, estos factores son comunes a ambos y normalmente están inversamente relacionados, por esta razón se tendrá que llegar a un compromiso entre ellos. Como se comentó al inicio del diseño, se dará gran importancia a la linealidad y a la ganancia, dejando el ruido como consecuencia de ellos.

Se realizaron varios ajustes en el diseño antes de dar con el definitivo, se comentarán los de mayor trascendencia.

5.7.2.1. Ajustes previos en el diseño

5.7.2.1.1. Debido a las corrientes y las tolerancias de las resistencias

La corriente de referencia, como se dijo anteriormente, viene controlada por las tres resistencias del espejo de corriente. El problema radica en su tolerancia; a la hora de su fabricación, las resistencias han de soportar una tolerancia del 20%.

Surge entonces un problema con la resistencia R_{BIAS} , ya que la corriente de referencia presenta variaciones importantes dentro de los límites de su tolerancia. Se comprobó esto

mediante varias simulaciones enlazadas en las que se variaban los valores de las resistencias R_{BIAS} , R_1 y R_2 .

Se plantea una primera solución, esto es dejar la corriente de referencia fija instanciando una fuente de corriente de $11.5\mu A$ proporcionada por la tecnología, variando las resistencias R_1 y R_2 con el fin de obtener la corriente de polarización necesaria. Pero surge un problema, ya que con las herramientas de las que disponemos en el laboratorio resulta imposible medir la corriente I_{REF} debido a su pequeño valor.

Al no ser medible el circuito anterior se plantea otra solución. La idea es dejar la resistencia R_{BIAS} como estaba inicialmente y cambiar la tensión de alimentación V_{DD} por una fuente de alimentación variable que se controlará externamente a la hora de las mediciones (V_{REF}). En la Figura 5.24 se muestra el desarrollo anteriormente explicado, primero se cambió la R_{BIAS} por una fuente de corriente de la tecnología para posteriormente volver a implementar R_{BIAS} y cambiar la tensión de alimentación por una fuente de alimentación variable V_{REF} .

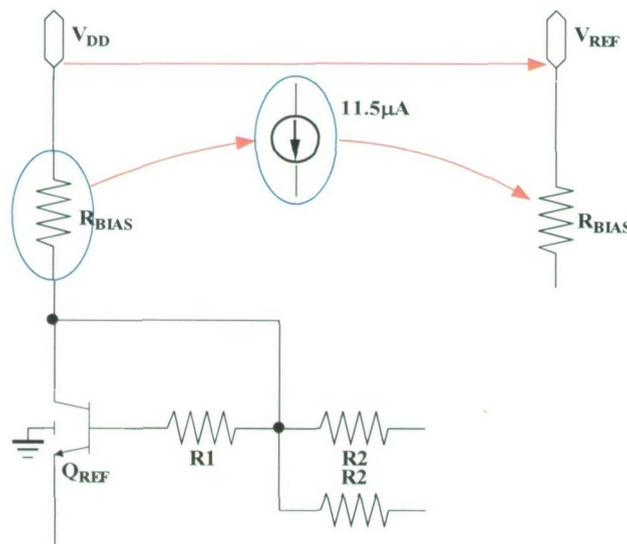


Figura 5.24 : Cambios en la etapa de referencia.

Las resistencias R_1 y R_2 tomarán el mismo valor y éste deberá ser lo suficientemente elevado como para aislar las entradas. Se les ha dado el valor de $3k\Omega$.

5.7.2.1.2. Debido a las puntas de medida de la estación

Surge otro problema relacionado con el anterior, al introducir una entrada de alimentación extra, se tendrá ahora V_{DD} , V_{REF} y V_{LO} , mientras que las estaciones disponen sólo de dos puntas de señal (SGS). Hay que buscar entonces una forma de generar V_{LO} a partir de

V_{DD} . Como primera idea aparece el típico divisor de tensión, pero teniendo en cuenta que la tensión V_{LO} tiene que ser 2.65V y permitir muy poca variación, vuelve a surgir el problema de las tolerancias del 20% en las resistencias. La solución final es emplear la estructura mostrada en la Figura 5.25.

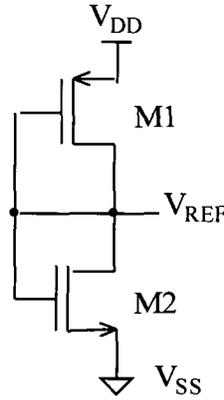


Figura 5.25 : Tensión de referencia usando mosfets.

A partir del esquema mostrado en la figura anterior y teniendo en cuenta que la corriente a través de ambos transistores es la misma, se obtiene la ecuación (5.7).

$$\frac{K_p}{2} \cdot \frac{W_p}{L_p} \cdot (V_{DD} - V_{REF} - V_T)^2 = \frac{K_n}{2} \cdot \frac{W_n}{L_n} \cdot (V_{REF} - V_{SS} - V_T)^2 \quad (5.7)$$

Despejando en la ecuación anterior el valor de V_{REF} se obtiene que:

$$V_{REF} = \frac{V_{DD} - V_T + \sqrt{\frac{K_p \cdot (W_p/L_p)}{K_n \cdot (W_n/L_n)} \cdot (V_{SS} + V_T)}}{\sqrt{\frac{K_p \cdot (W_p/L_p)}{K_n \cdot (W_n/L_n)} + 1}} \quad (5.8)$$

A partir de la ecuación (5.8), despejando la relación entre los transistores se obtiene la expresión (5.9). Mediante esta expresión, fijando la relación de aspecto de un transistor se puede obtener el dimensionado del otro transistor para un nivel de tensión de referencia determinado.

$$\frac{K_p \cdot (W_p/L_p)}{K_n \cdot (W_n/L_n)} = \left[\frac{V_{DD} - V_{REF} - V_T}{V_{REF} - V_{SS} - V_T} \right]^2 \quad (5.9)$$

Básicamente los dos transistores MOS deben de trabajar en zona óhmica, por lo que se pensó lo siguiente: V_{DD} es la tensión de alimentación de 3.3V, V_{REF} la tensión necesaria de 2.65V, el transistor M2 puede imaginarse que es igual a la resistencia equivalente que se ve del circuito en ese punto. Variando sólo las dimensiones del transistor M1 se debería poder conseguir la tensión V_{REF} querida. Así fue.

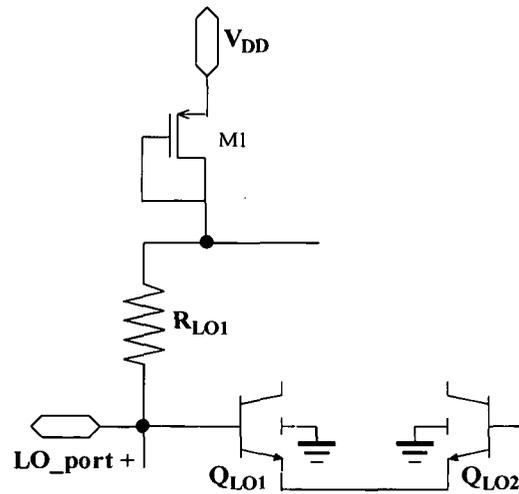


Figura 5.26 : Limitación de tensión usando un MOS.

Se colocó por tanto el MOS como se muestra en la Figura 5.26, y se consiguió la tensión de 2.65 que se buscaba, así que se arregló el problema de las puntas de tensión. Una vez solucionado, se nos informó que se iba a adquirir para el laboratorio unas puntas de medida de 5 conexiones (SSGSS), por lo que se volvió a la configuración que se tenía anteriormente, en la que se alimentaba mediante fuente de tensión externa.

5.7.2.1.3. En el *buffer* de salida

Se procede a comentar cambios realizados en el *buffer* de salida, que en realidad son consecuencias del estudio de la linealidad y del diseño del *layout* en *Cadence*. Primeramente, se introduce en la entrada del *buffer* una red paralela de una resistencia en serie con un condensador de valores bajos, que realice un filtrado, aumentando así significativamente la linealidad del circuito. Su nomenclatura en la Figura 5.27 será R_{DEG} y C_{DEG} .

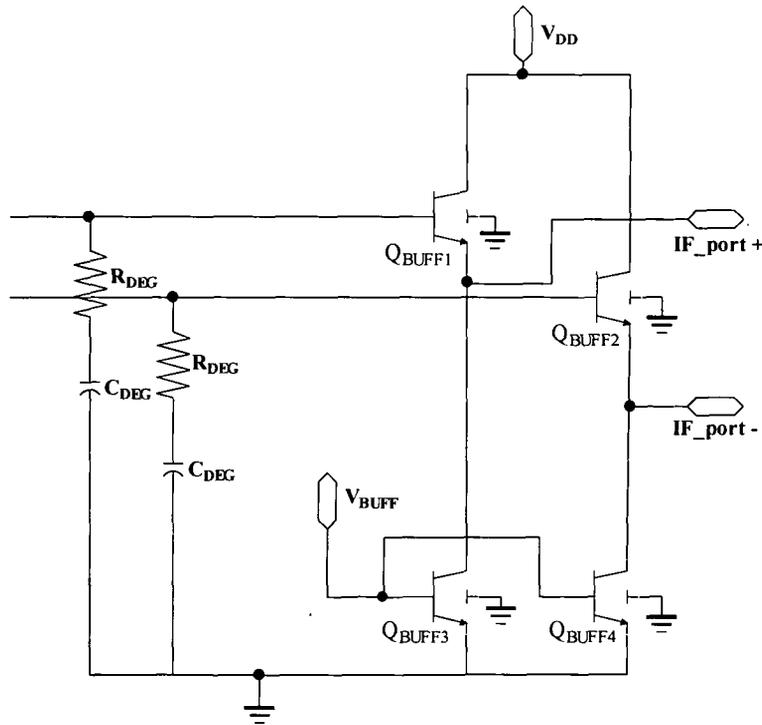


Figura 5.27 : *Buffer* de salida modificado.

Por otro lado, a la hora de realizar el *layout* del circuito, aparece un problema con la resistencia R_{BUFF} , debido a que, por un lado, debe de soportar una corriente demasiado elevada, y por otro lado, con el nuevo *kit* de diseño de *Cadence* hay que respetar ciertas proporciones en la implantación de las resistencias que complicaba la implementación del diseño. Por tanto se sustituye el espejo de corriente por una fuente de tensión V_{BUFF} que se encarga de alimentar directamente los transistores Q_{BUFF3} y Q_{BUFF4} . Hay que tener sumo cuidado a la hora de la medida, ya que una muy pequeña variación de esta tensión produce grandes cambios en la corriente. Como se comentó en el apartado anterior, con la adquisición de una nueva punta de medida, se habilitan 4 puntas de alimentación, así que es practicable añadir una nueva fuente de tensión.

5.7.2.1.4. Circuito final

Se muestra en la Figura 5.28 el circuito final, con todos los cambios y ajustes realizados. El estudio que se hará de aquí en adelante es referido a dicho circuito.

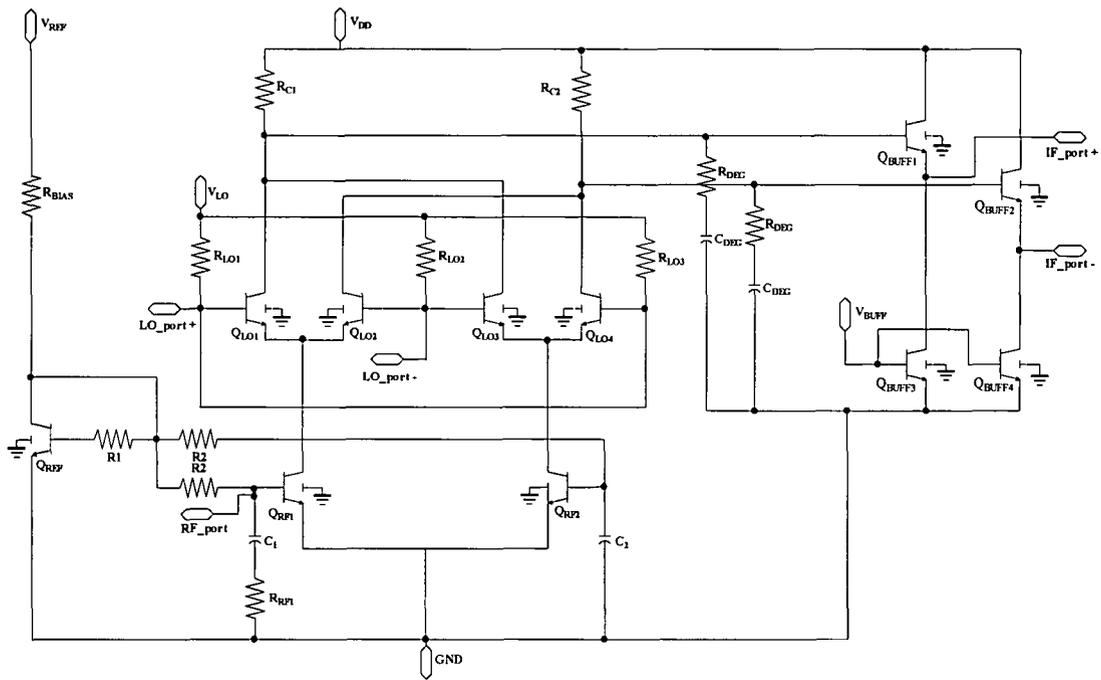


Figura 5.28 : Diseño final del mezclador.

En la Figura 5.29 se ilustra el diagrama de conexiones del mezclador, por arriba se colocaron todas las fuentes de tensión continua, a la izquierda las entradas de las señales de LO, por debajo la entrada de la señal de RF y por la derecha las salidas diferenciales IF. Así se tiene una buena organización de las señales y se disminuyen posibles acoplamientos.

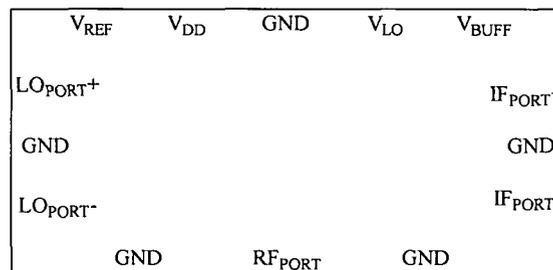


Figura 5.29 : Diagrama de conexiones.

5.7.2.2. Ganancia de conversión en función de la potencia del oscilador local

El primer paso es determinar la potencia del oscilador local (P_{LO}), que debe ser adecuada para que produzca un valor razonable de ganancia de conversión. También ha de ser suficiente para que los transistores que forman el interruptor de conmutación (par superior) presenten una impedancia serie baja y conmuten a la mayor velocidad posible.

En la Figura 5.30 se muestra la variación de la ganancia de conversión con respecto a la potencia del oscilador local. Se puede observar que a partir de un valor de potencia de 0dBm la ganancia permanece estable. Por consiguiente el valor que se ha tomado es de $P_{LO}=0$ dBm.

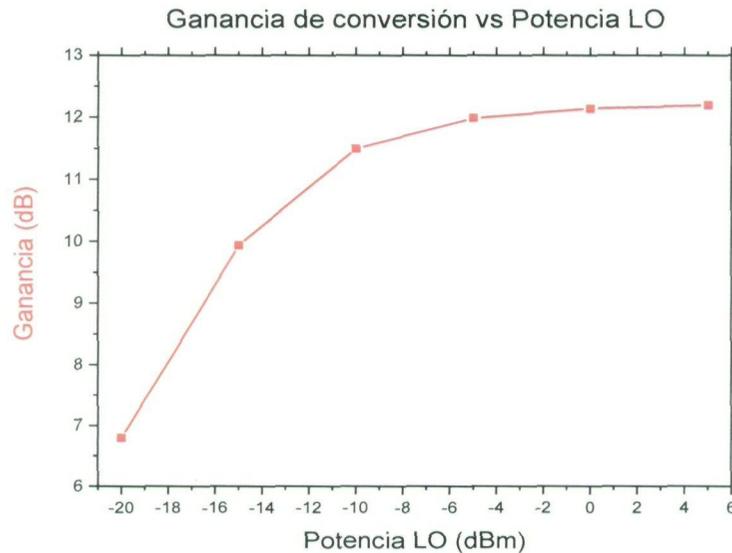


Figura 5.30 : Ganancia de conversión en función de la potencia del oscilador local.

5.7.2.3. Ganancia de conversión en función de la corriente de polarización

Debido a que la corriente de polarización en nuestro diseño la genera R_{BIAS} , se mostrará la influencia de ésta en la ganancia de conversión.

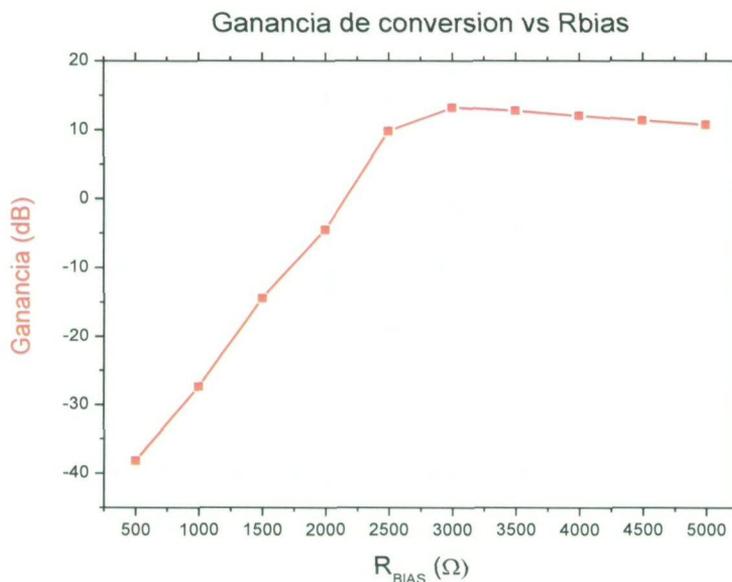


Figura 5.31 : Ganancia de conversión en función de la corriente de polarización.

Según la Figura 5.31 se obtiene una ganancia más o menos estable a partir de los 2600Ω . Se ha escogido 3950Ω debido a que con esa resistencia el IP3 es el óptimo, y compensa perder un poco de ganancia con el fin de aumentar sustancialmente la linealidad.

Una R_{BIAS} de ese valor implica que por el espejo de corriente circulan $435\mu A$, siendo aproximadamente reflejado dicho valor en cada rama de la etapa diferencial ya que la proporción de corriente es igual a 1.

5.7.2.4. Ganancia de conversión y linealidad en función de la resistencia de colector (R_C)

Una vez fijada la corriente de referencia se pasa a calcular la resistencia de carga R_C , que juega un papel muy importante a la hora de establecer la ganancia y linealidad. En la Figuras 5.32 y 5.33 se puede ver su influencia. Hay que tener en cuenta que en este punto aún no se han añadido las ramas de degeneración en el *buffer*.

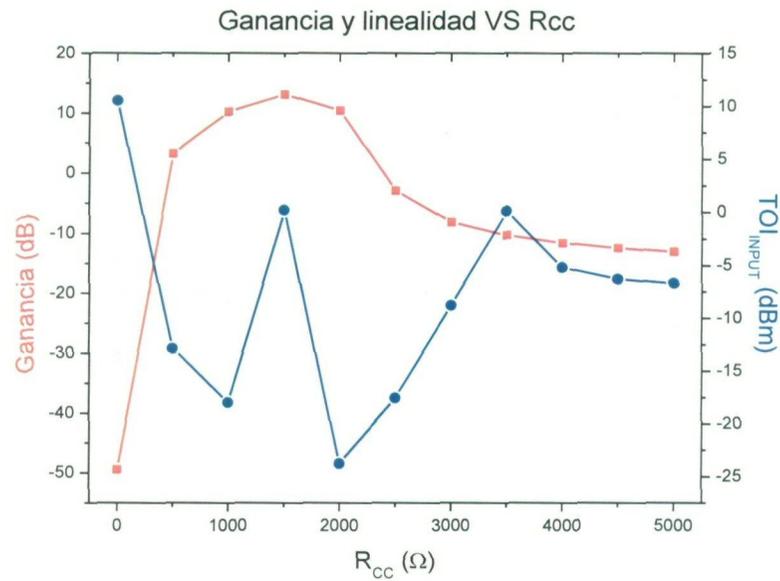


Figura 5.32 : Ganancia de conversión y linealidad en función de la R_C (1).

Como se observa en la figura anterior cuando la linealidad sube la ganancia baja y viceversa, excepto para una resistencia de colector que ronde entre 1K y 2K Ω , en la que tanto la ganancia como la linealidad presentan máximos. Por ello realizamos otra simulación ampliada en los alrededores de 1.5K Ω , que se puede ver en la Figura 5.33.

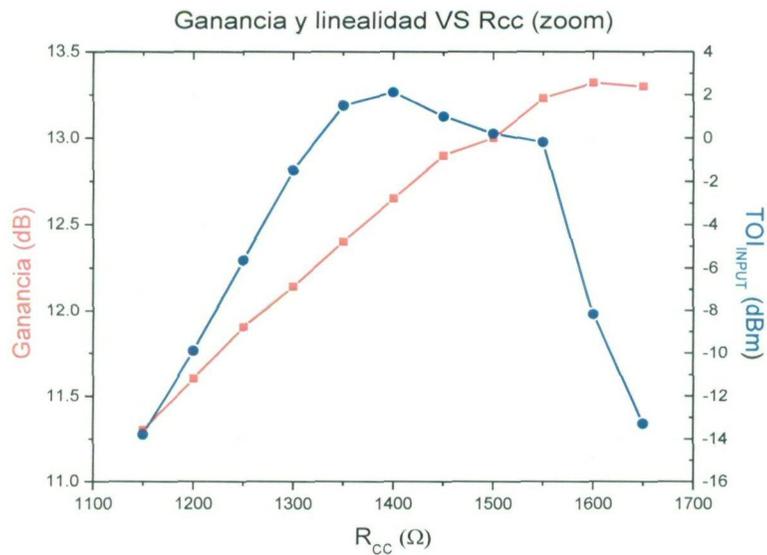


Figura 5.33 : Ganancia de conversión y linealidad en función de la R_C (2).

En vista de esta gráfica se establece una resistencia $R_C=1350\Omega$.

5.7.2.5. Ganancia de conversión y linealidad en función de la resistencia de degeneración de emisor (R_E)

Debido a que la linealidad obtenida es muy pobre, en torno a los 2dBm y con poca tolerancia a fallos, se incluye una red de degeneración de emisor, con lo que la linealidad se verá incrementada a costa, eso sí, de una reducción de la ganancia de conversión. La degeneración mencionada se suele realizar mediante dos resistencias tal y como se muestra en la Figura 5.34a, o, para corregir el problema de apareamiento de las dos resistencias de emisor (un fallo en la tolerancia de una creará un nivel de *offset* a la salida), también se opta por un diseño como el de la Figura 5.34b, con una sola resistencia.

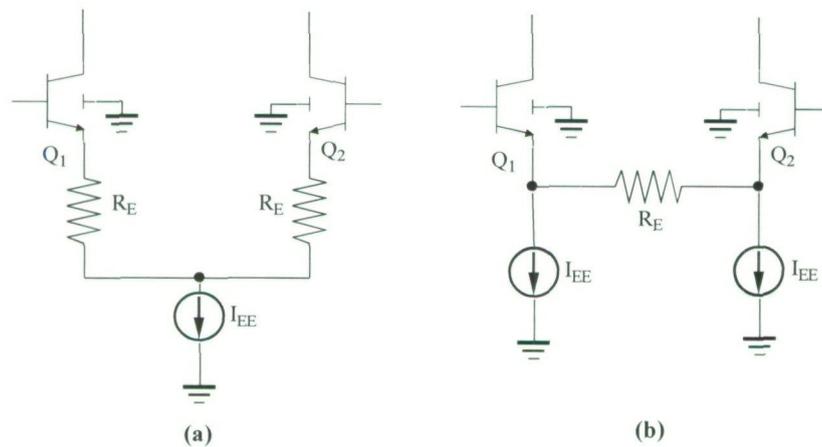


Figura 5.34 : Inclusión de resistencias de degeneración de emisor (a) y (b).

El problema en nuestro diseño es que se ha cambiado la fuente de corriente I_{EE} por una conexión directa del espejo de corriente a la base de los transistores de entrada, así que estas configuraciones no se pueden realizar tal y como se muestran. No obstante se intentan dos tipos de degeneración partiendo de dichos esquemas.

La primera es añadir una única resistencia en los emisores de los transistores de entrada como se muestra en la Figura 5.35. En la siguiente gráfica (Figura 5.36) se puede ver en qué grado afecta a la ganancia y linealidad.

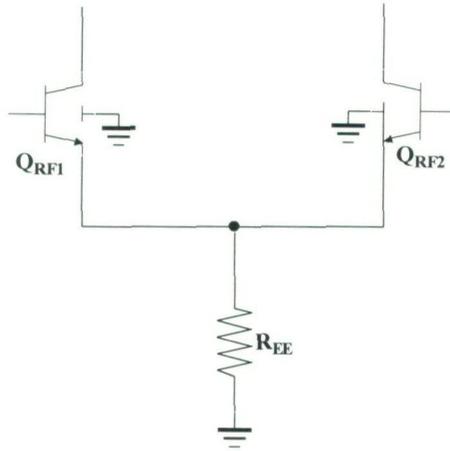


Figura 5.35 : Primera degeneración de emisor.

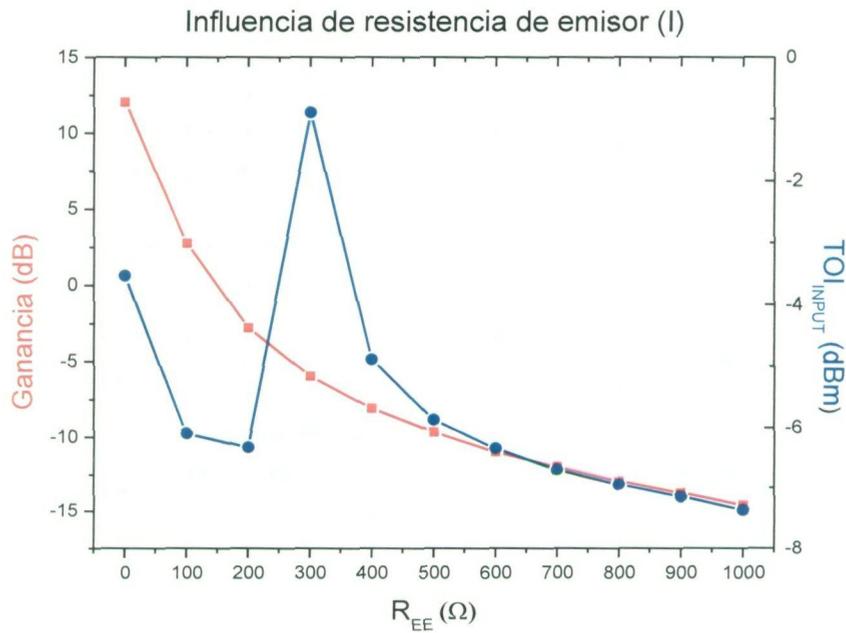


Figura 5.36 : Resultados del primer tipo de degeneración de emisor.

En la gráfica se puede observar que la linealidad disminuye al igual que la ganancia, antes se tenía un IP3 cercano a los 2dBm y ahora no llegamos ni a 0. Por tanto se descarta esta configuración.

Se prueba una segunda configuración, mostrada en la Figura 5.37, con el fin de conseguir aumentar el IP3 sin afectar mucho a la ganancia.

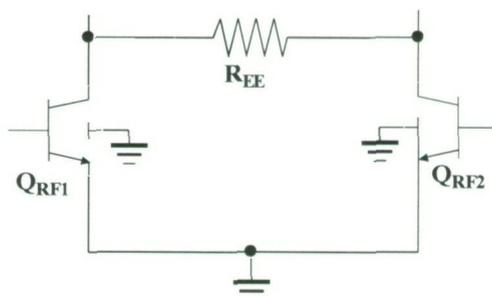


Figura 5.37 : Segunda degeneración de emisor.

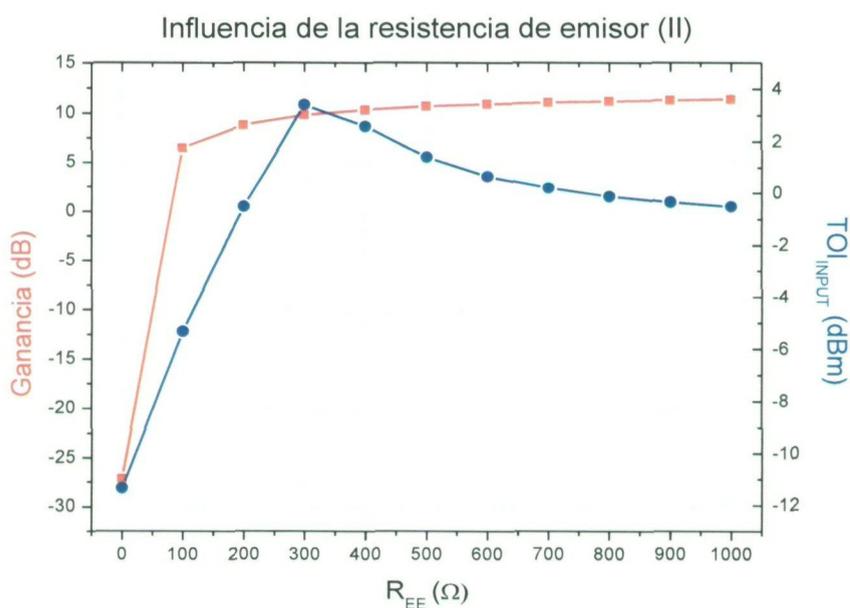


Figura 5.38 : Resultados del segundo tipo de degeneración de emisor.

En la figura anterior (Figura 5.38) se ve como con esta configuración se mejora en parte el IP3 sin detrimento de la ganancia. Se consigue una linealidad de casi 4dBm para una ganancia de aproximadamente 10dB.

No obstante, aún queda mucho para cumplir las especificaciones, por lo que se debe de realizar algún cambio en el diseño.

5.7.2.6. Cambios en el *buffer* de salida para aumentar la linealidad

Para aumentar la linealidad se realizaron dos cambios en el *buffer* de salida. Por un lado se aumentó la tensión V_{BUFF} y por otro lado se introdujo una red en paralelo con la salida, formada por una resistencia en serie a un condensador. Obviamente esto tendrá consecuencias

en la adaptación de salida, que se volverá a calcular, pero como se trabaja a frecuencias bajas no será trascendental. Esta red ya se comentó y se ilustró en el apartado 5.7.2.1.3.

En la siguiente figura (Figura 5.39) se muestra la influencia de la resistencia R_{DEG} y el condensador C_{DEG} en la linealidad. La influencia en la ganancia no se muestra debido a que no produce ninguna variación importante.

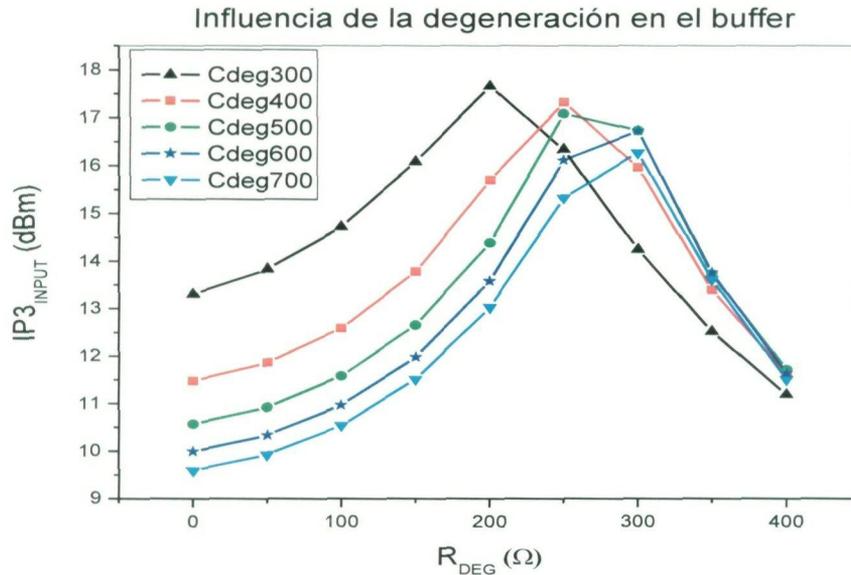


Figura 5.39 : Resultados de la degeneración en la salida.

Para la combinación de $R_{DEG}=200\Omega$ y $C_{DEG}=300fF$ se obtienen los valores óptimos de ganancia y linealidad, **12dB** y **17.5dBm** respectivamente. Sin embargo, se introdujo un condensador de 500fF en lugar de 300fF, que a pesar de bajar la linealidad a **14dBm** presentaba un mejor comportamiento a lo largo de toda la banda.

La influencia de este cambio en la adaptación de salida se muestra a continuación, en la Figura 5.40. Aunque la salida está mucho menos adaptada que antes, no es preocupante debido a que se está trabajando a frecuencias bajas. Se tiene una $VSWR=1.676$.

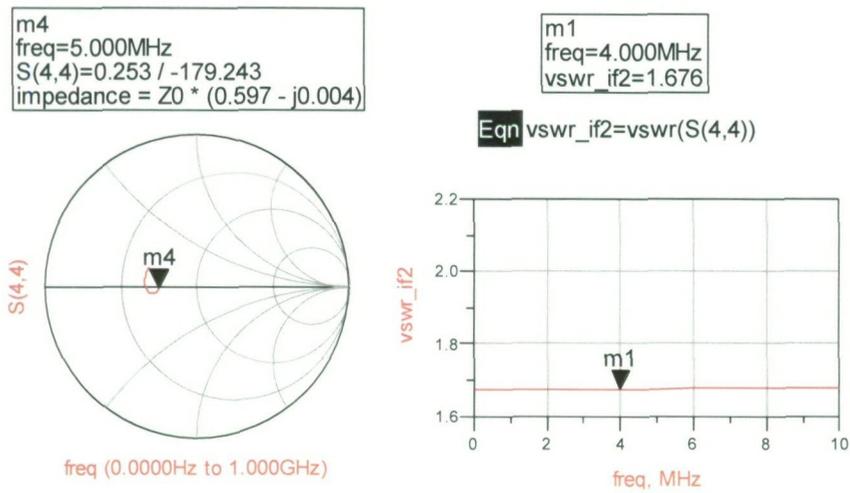


Figura 5.40 : Adaptación de salida después del cambio en el *buffer*.

5.7.2.7. Ganancia de conversión y linealidad en función de la señal RF

En este apartado se presentan dos gráficas muy importantes. Primeramente se muestra la linealidad en función de la potencia de entrada en la Figura 5.41.

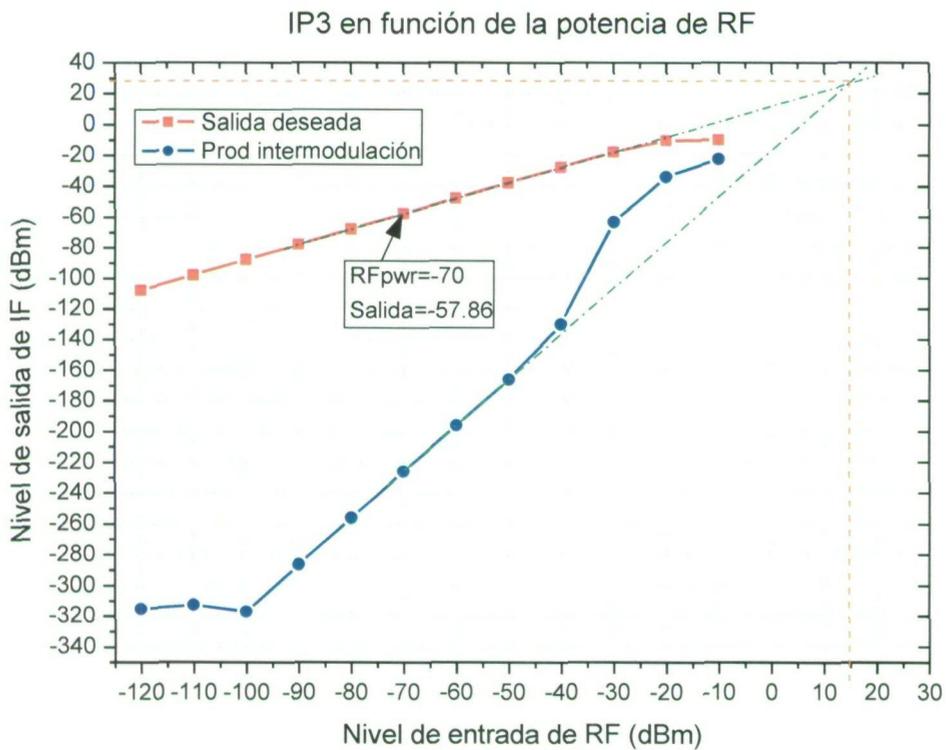


Figura 5.41 : IIP3 en función de la potencia de RF.

En la figura anterior se pueden observar varios parámetros significativos del mezclador. Por un lado, la ganancia se puede calcular como la diferencia entre la potencia de entrada y la potencia de salida del tono en IF. Se puede comprobar viendo el *marker* situado a -70dBm, que da un valor de -58 aproximadamente; esto se traduce como 12dB de ganancia. Por otro lado, la linealidad, obtenida a partir del punto de intersección de tercer orden (IP3), se encuentra en la intersección que se obtiene de la prolongación de la gráfica de la potencia del tono IF y de la gráfica del tono de intermodulación. A partir de este punto se puede saber el IIP3 (eje X) y el OIP3 (eje Y), que son 14.2dBm y 26.2dBm respectivamente.

Por otro lado se observa que tanto la ganancia como la linealidad empiezan a decaer a partir de los -40dBm de entrada, así que cualquier potencia de entrada que supere dicho valor hará que el mezclador no trabaje adecuadamente.

Otro aspecto importante es saber si los valores que se ha escogido cumplen las especificaciones de ganancia y linealidad para toda la banda de frecuencias que se quiere que trabaje el dispositivo. Se muestra en la Figura 5.42 el comportamiento del mezclador desde 450MHz hasta 850MHz, que es aproximadamente la banda de trabajo.

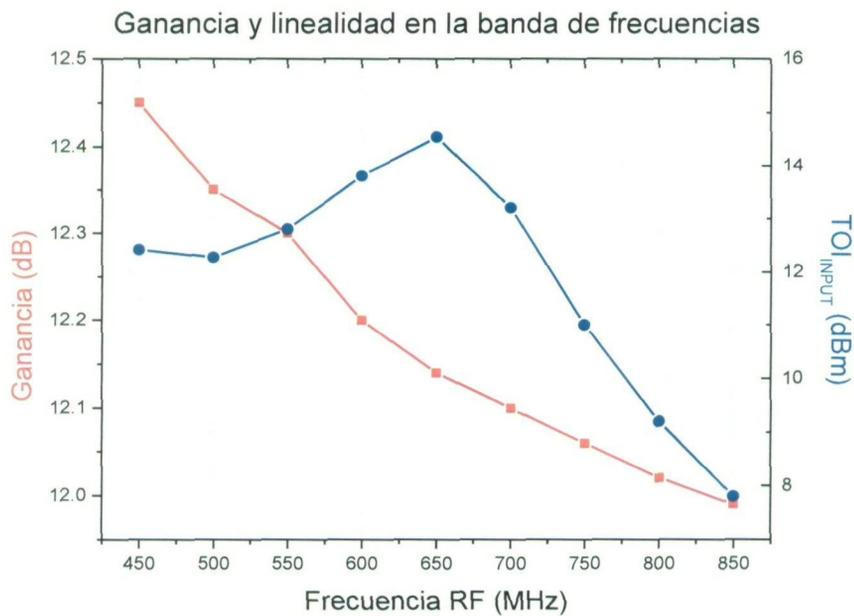


Figura 5.42 : Ganancia y linealidad en toda la banda de frecuencia.

Se nos había pedido una ganancia de 12dB y una linealidad de 8dBm para toda la banda. Para los valores escogidos el mezclador cumple perfectamente las especificaciones

mencionadas, según la figura arriba mostrada se encuentra en el límite, pero hay que tener en cuenta que se ha medido la ganancia y linealidad en un cable de salida y no para el diferencial, por lo que hay que aumentar en 3dB todos estos valores.

5.7.3. Figura de ruido

Los principales tipos de ruido que afectan a este mezclador son el ruido térmico y el ruido *shot*.

El ruido térmico es dependiente de la temperatura, aumentando la potencia del mismo con ella. Las fuentes más comunes de ruido térmico en los circuitos de RF son las resistencias y los transistores, siendo este ruido independiente de la corriente que circula por dichos componentes.

El ruido *shot* está asociado al mecanismo físico de salto de una barrera potencial por un portador de carga. Como consecuencia, el ruido *shot* dependerá de la carga del electrón, del valor medio de la corriente y, como en el caso del ruido térmico, del ancho de banda.

Por lo tanto, se deduce que los únicos factores modificables para disminuir el ruido son los valores de las resistencias, el área de los transistores y la corriente de polarización, ya que el ancho de banda o la temperatura no se pueden ajustar por el diseñador.

Como se ha comentado previamente en varios puntos del capítulo, se ha optimizado el circuito para conseguir máxima ganancia y linealidad y posteriormente se ha calculado el ruido en función de éstos. La corriente de polarización influye en el ruido, pero mayormente lo hace en la ganancia y la linealidad, por tanto no se modificará. Con respecto a las resistencias, no tenemos resistencia de degeneración de emisor R_E , y las demás resistencias como son R_C , R_{DEG} , o las correspondientes al espejo de corrientes no se encuentran en el camino de la señal, por lo que no influyen en gran medida en el ruido del sistema.

El ruido final que se obtuvo es el siguiente:

Tabla 5.3 : Figura de Ruido: NFdsb y NFssb

Frecuencia	NFdsb	NFssb
4 MHz	20.269	23.709



En la Figura 5.43 se puede observar la variación del ruido con respecto a la potencia de entrada.

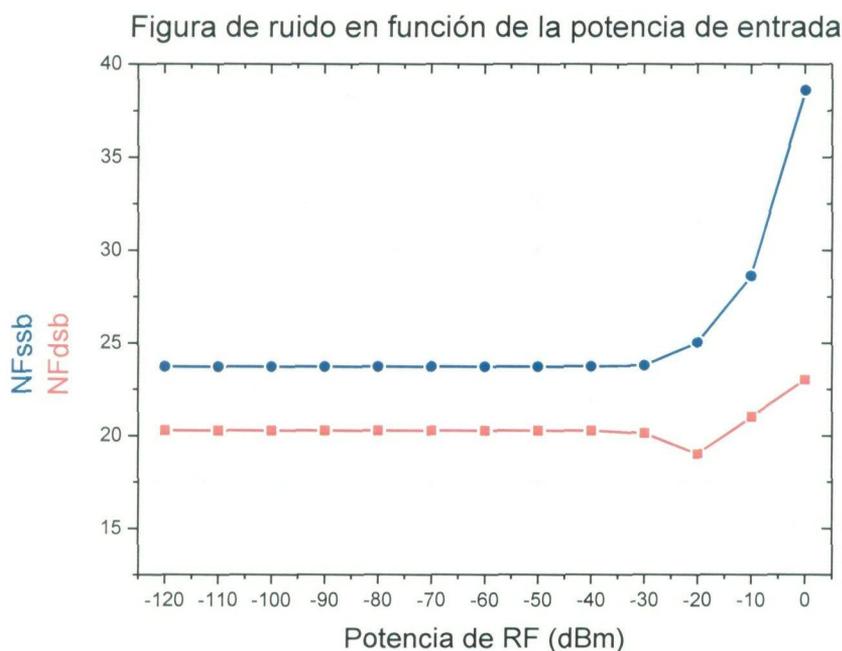


Figura 5.43 : Figura de ruido en función de la potencia de entrada.

Se ve que éste es totalmente constante hasta una potencia de entrada de -15dBm, a partir de la cual comienza a aumentar exponencialmente.

Se presenta también la variación del ruido en toda la banda de frecuencia de trabajo, y como se ve en la Figura 5.44, el ruido se mantiene constante desde 450MHz hasta 850MHz.

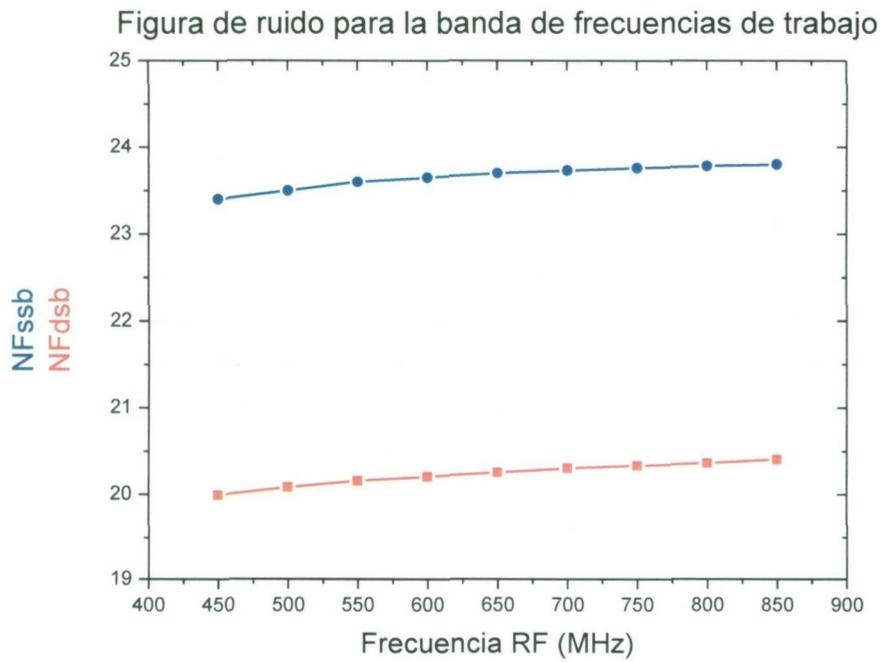


Figura 5.44 : Figura de ruido en toda la banda de frecuencia.

5.7.4. Variación del área de los transistores

Un aspecto importante es la optimización del diseño mediante la variación del factor de escalado (área) presente en los transistores. Esta variable permite regular la mayor o menor cantidad de corriente que circula por las bases de los HBT.

Se realizan por tanto simulaciones para ver como afecta el área de los transistores a los parámetros de ganancia, linealidad y ruido.

Para los transistores de entrada Q_{RF} obtenemos los valores que se muestran en la Tabla 5.4.

Tabla 5.4 : Variación del área de de los transistores de entrada Q_{RF}

AREA Q_{RF}	GANANCIA	NFdsb	NFssb	IP3
1	12.012	20.269	23.709	14.327
2	13.694	17.862	21.311	-4.815
3	14.391	16.480	19.931	-7.419
4	14.778	15.533	18.984	-8.677
5	15.027	14.827	18.277	-9.428
6	15.200	14.273	17.722	-9.929
7	15.329	13.823	17.270	-10.285
8	15.429	13.448	16.894	-10.552
9	15.508	13.130	16.573	-10.758
10	15.573	12.855	16.297	-10.922
11	15.627	12.615	16.055	-11.055
12	15.673	12.404	15.842	-11.164
13	15.713	12.216	15.652	-11.255
14	15.747	12.048	15.481	-11.332
15	15.778	11.896	15.327	-11.397
16	15.804	11.758	15.187	-11.452
17	15.828	11.633	15.059	-11.500
18	15.850	11.518	14.942	-11.541
19	15.869	11.413	14.834	-11.576
20	15.887	11.315	14.734	-11.607
21	15.903	11.225	14.641	-11.633
22	15.918	11.142	14.555	-11.656
23	15.931	11.064	14.475	-11.675
24	15.943	10.991	14.399	-11.691

Aunque la ganancia aumente y el ruido disminuya, la linealidad sufre una caída muy brusca para un cambio de área del transistor, por tanto se ha escogido que el área de los transistores de entrada y del espejo de corrientes sea 1. No obstante también se dejó fijo el área del espejo de corriente en 1 variando los transistores de entrada y se obtuvo un valor similar para la linealidad.

Para los transistores de conmutación Q_{LO} obtenemos los valores que se muestran en la Tabla 5.5.

Tabla 5.5 : Variación del área de de los transistores de conmutación Q_{LO}

ÁREA	GANANCIA	NFdsb	NFssb	IP3
1	11.755	20.463	23.884	-11.910
2	11.986	20.359	23.799	1.267
3	12.005	20.324	23.773	6.619
4	12.011	20.306	23.758	7.736
5	12.015	20.295	23.748	8.327
6	12.016	20.288	23.740	8.921
7	12.017	20.282	23.733	9.592
8	12.017	20.278	23.727	10.396
9	12.016	20.274	23.721	11.418
10	12.014	20.271	23.715	12.780
11	12.012	20.269	23.709	14.321
12	12.010	20.267	23.703	14.052
13	12.006	20.265	23.697	11.870
14	12.003	20.263	23.690	9.856
15	11.999	20.262	23.683	8.226
16	11.994	20.260	23.676	6.872
17	11.989	20.259	23.668	5.711

18	11.983	20.258	23.660	4.691
19	11.977	20.256	23.652	3.780
20	11.970	20.255	23.644	2.957
21	11.962	20.254	23.635	2.204
22	11.954	20.253	23.626	1.511
23	11.944	20.252	23.616	0.870
24	11.935	20.252	23.606	0.274

Seguendo la tabla, el valor que se ha escogido para el área de los transistores de conmutación es 11.

5.7.5. Resultados

Después de varias simulaciones y de ajustar y afinar parámetros, se obtienen los resultados mostrados en la Tabla 5.6.

Tabla 5.6 : Variación del área de de los transistores de conmutación Q_{LO}

Parámetro	Resultado obtenido
Ganancia de conversión (dB)	12.012
IIP3 (dBm)	14.321
OIP3 (dBm)	26.333
Figura de ruido (SSB)	23.709
Figura de ruido (DSB)	20.269
Corriente de polarización (μ A)	463
Potencia consumida (mW)	4.5 (mix) + 33 (buffer)

Se cumplen las especificaciones para todo excepto para el ruido. También hay que resaltar que conseguir una figura de ruido de 13dB es muy complicado para la arquitectura escogida. De todos modos, como el mezclador se encuentra situado inmediatamente después del LNA, con una buena ganancia de este último, el ruido del mezclador afectará en menor medida al sistema.

Con respecto a los valores de ganancia y linealidad, al haberse tomado la salida de forma asimétrica y no diferencial, los valores reales son 3dB superior a los marcados en la tabla anterior.

El valor de los componentes se muestra en la Tabla 5.7:

Tabla 5.7 Listado de componentes para el mezclador asimétrico – diferencial

Componente	Valor final
Área Transistores	
$Q_{RF1}, Q_{RF2}, Q_{REF}$	$1 \mu\text{m}^2$
$Q_{LO1}, Q_{LO2}, Q_{LO3}, Q_{LO4}$	$11 \mu\text{m}^2$
$Q_{BUFF1}, Q_{BUFF2}, Q_{BUFF3}, Q_{BUFF4}$	$5 \mu\text{m}^2$
Valor de Resistencias	
R_{BIAS}	$3.95 \text{ K}\Omega$
R_1, R_2	$3 \text{ K}\Omega$
R_{RF1}	40Ω
R_{LO1}, R_{LO3}	70Ω
R_{LO2}	35Ω
R_{C1}, R_{C2}	$1.3 \text{ K}\Omega$
R_{DEG}	200Ω
Valor de Condensadores	
C_1	10 pF
C_2	200 fF
C_{DEG}	500 fF
Fuentes de tensión	
V_{REF}, V_{DD}	3.3 V
V_{BUFF}	0.91 V
V_{LO}	2.65 V

5.8. Mezclador con entrada diferencial y salida diferencial

En este capítulo se realiza el diseño del mezclador de entrada diferencial y salida diferencial. Básicamente se siguieron los pasos indicados en el capítulo del mezclador de entrada asimétrica – salida diferencial y para no repetir el proceso simplemente se presentan los resultados finales y las gráficas más importantes.

Se comienza con la presentación del esquemático en la Figura 5.45, en la cual se puede apreciar dos cambios significativos con respecto al esquemático del diseño asimétrico – diferencial. Por un lado, como se puede suponer, la entrada del puerto de RF es simétrica, y, por otro lado, no hizo falta la red de degeneración que se había colocado en el *buffer*, compuesta por una resistencia en serie con un condensador.

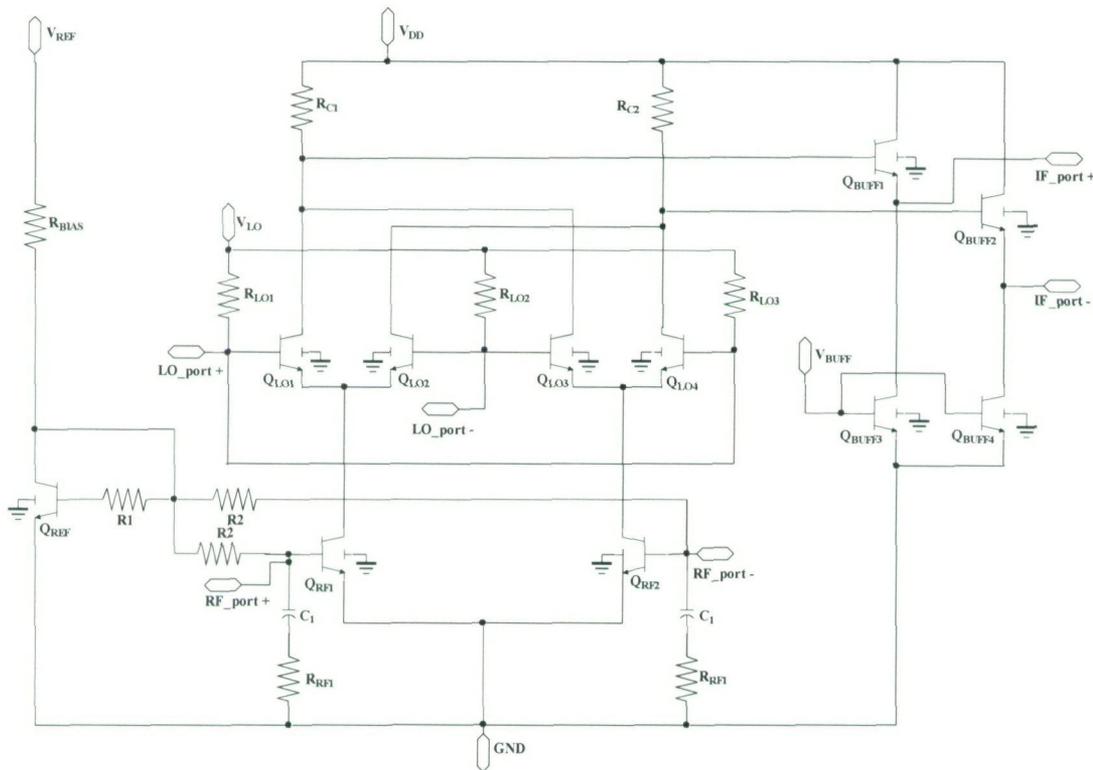


Figura 5.45 : Diseño esquemático del mezclador diferencial – diferencial.

Después de realizar varias simulaciones en la Figura 5.46 se presentan la ganancia y la linealidad en función de la potencia de RF. En las siguientes figuras se puede ver la variación

de la ganancia, IP3 (Figura 5.47) y ruido (Figura 5.48) en función de la frecuencia de RF para toda la banda a mezclar.

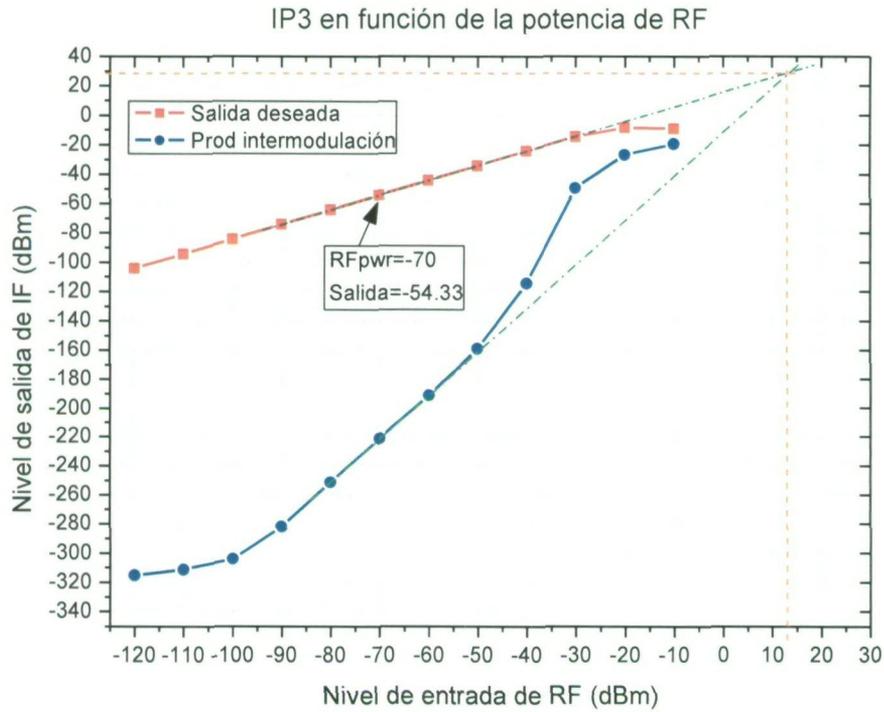


Figura 5.46 : IIP3 en función de la potencia de RF.

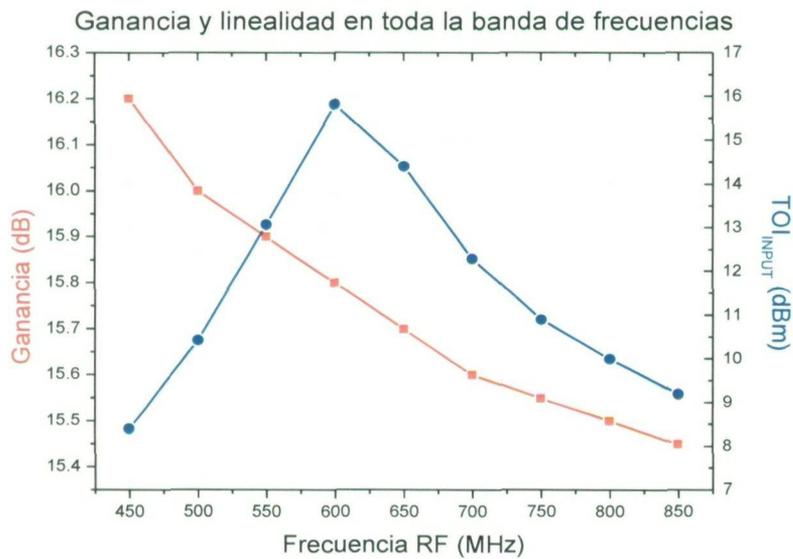


Figura 5.47 : Ganancia y linealidad en toda la banda de frecuencias.

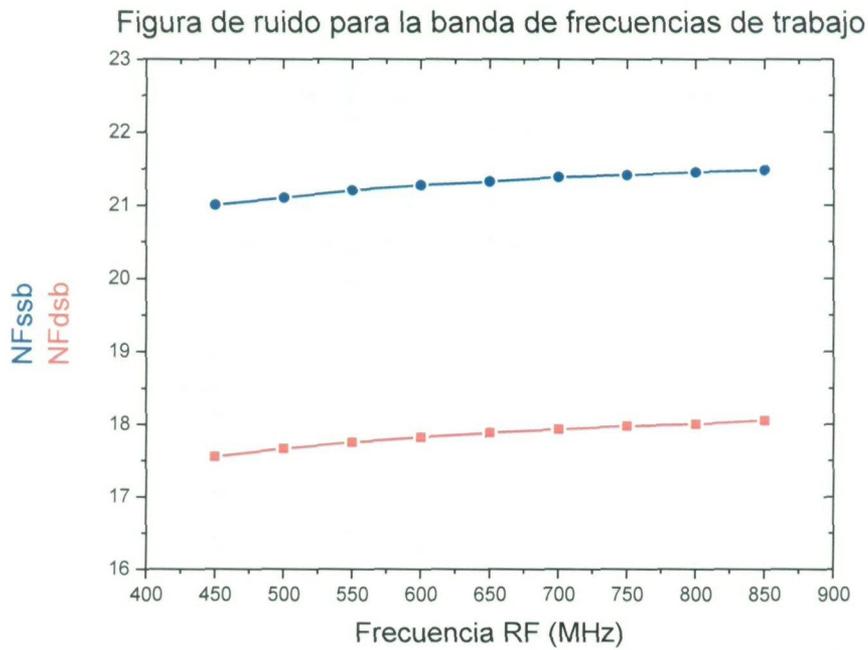


Figura 5.48 : Ruido en toda la banda de frecuencias.

Por último, en la Tabla 5.8 se presentan los resultados obtenidos.

Tabla 5.8 Variación del área de de los transistores de conmutación $Q_{1,0}$

Parámetro	Resultado obtenido
Ganancia de conversión (dB)	15.666
IIP3 (dBm)	13.579
OIP3 (dBm)	29.245
Figura de ruido (SSB)	21.346
Figura de ruido (DSB)	17.893
Corriente de polarización (μA)	429
Potencia consumida (mW)	4.15 (mix) + 33 (buffer)

A estos valores de ganancia e IP3 hay que sumarle 3dB debido a que la señal de salida se está midiendo de forma asimétrica y no diferencial.

Como en el diseño anterior, se cumplen todas las especificaciones menos la de figura de ruido, que ya se comentó que era muy difícil conseguir 13dB de ruido para la arquitectura escogida. Se vuelve a confiar en el LNA para cumplir las especificaciones de sistema.

Los valores de los componentes finales utilizados se muestran en la Tabla 5.9.

Tabla 5.9 Listado de componentes para el mezclador diferencial – diferencial

Componente	Valor final
Área Transistores	
$Q_{RF1}, Q_{RF2}, Q_{REF}$	$1 \mu\text{m}^2$
$Q_{LO1}, Q_{LO2}, Q_{LO3}, Q_{LO4}$	$4 \mu\text{m}^2$
$Q_{BUFF1}, Q_{BUFF2}, Q_{BUFF3}, Q_{BUFF4}$	$5 \mu\text{m}^2$
Valor de Resistencias	
R_{BIAS}	$4.3 \text{ K}\Omega$
R_1, R_2	$3 \text{ K}\Omega$
R_{RF1}	40Ω
R_{LO1}, R_{LO3}	70Ω
R_{LO2}	35Ω
R_{C1}, R_{C2}	$1.45 \text{ K}\Omega$
Valor de Condensadores	
C_1	10pF
Fuentes de tensión	
V_{REF}, V_{DD}	3.3 V
V_{BUFF}	0.912 V
V_{LO}	2.65 V

5.9. Resumen

En este capítulo se ha descrito el proceso seguido para realizar el diseño a nivel esquemático del mezclador. Se han mostrado dos diseños, el primero de un mezclador de entrada asimétrica y salida diferencial, y el segundo, de entrada diferencial con salida diferencial. En los dos se ha conseguido buenos niveles de ganancia y linealidad, superando holgadamente los valores de las especificaciones. Aunque no se ha conseguido el nivel de ruido pedido (13dB), se ha estado bastante cerca en el segundo caso sobre todo. En el compromiso entre ruido – ganancia – linealidad se ha dado prioridad a las dos últimas, ya que el ruido se puede intentar corregir con la etapa del LNA, que precede al mezclador, si se consigue en dicha etapa una ganancia considerable.

En el siguiente capítulo se realizará el *layout* del esquemático mediante la herramienta *Cadence*, y se compararán los resultados obtenidos a nivel de simulación con los *post-layout*, con la finalidad de mandar el diseño a fabricar.

Capítulo 6

Diseño del *layout*

6.1. Introducción

En el capítulo anterior se realizó uno de los pasos más importantes dentro del desarrollo de cualquier circuito: el diseño a nivel de esquemático. Una vez finalizada la etapa de diseño y ajuste del mezclador, se ha implementado el *layout* del circuito, haciendo uso de la tecnología S35D4 de la fundidora AMS y el *software* de diseño *Cadence Virtuoso Design Editor* [24].

La finalidad del *layout* es proporcionar al fabricante un mapa físico del dispositivo que muestre las dimensiones y posición de todos los componentes eléctricos que forman parte del mezclador. El *layout* también es útil para comprobar el comportamiento del diseño físico del circuito, ya que, al igual que la simulación a nivel de esquemático puede aproximar el comportamiento de los dispositivos, la simulación a nivel de *layout* aproxima el comportamiento físico (incluyendo efectos parásitos).

La herramienta *Virtuoso* cuenta con un DRC (chequeador de reglas de diseño). Esta función comprueba los posibles errores de diseño, asegurando que el comportamiento del sistema fabricado se adaptará al del *layout*.

Algunas consideraciones a tener en cuenta respecto al diseño del mezclador realizado son:

- Todos los componentes del mezclador serán simétricos respecto a otros componentes de la misma etapa (etapa de conmutación, etapa de transconductancia, fuentes de corriente, resistencias de carga y *buffer* de salida).
- Todas las etapas y componentes del sistema serán diseñados y comprobados por separado, con lo que el diseño podrá ser fácilmente adaptable a otras especificaciones. Este diseño modular también permite la optimización del mezclador sin tener que rediseñar todo el circuito.

Como se comentó en el capítulo anterior, sólo se ha realizado el *layout* del mezclador asimétrico – diferencial.

6.2. Diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc. Para realizar el diseño en *Cadence* se ha utilizado la versión 3.70 de *kit* de diseño de AMS, que incluye una regla nueva en las resistencias: la longitud ha de ser 5 veces mayor que la anchura, lo cual obligaba a colocar un gran número de resistencias en paralelo para poder obtener la resistencia buscada, cuando la herramienta no permitía introducir en el circuito la resistencia deseada debido a dicha restricción.

El proceso de diseño se dividió en tres pasos. Primero se diseñó el núcleo del mezclador, luego se le añadió todas las resistencias menos el *buffer*, y por último se añadió el *buffer* de salida. Cada parte se simuló independientemente para comprobar su correcto funcionamiento.

En la Figura 6.1 se muestra una vista general del *layout* del mezclador asimétrico – diferencial.

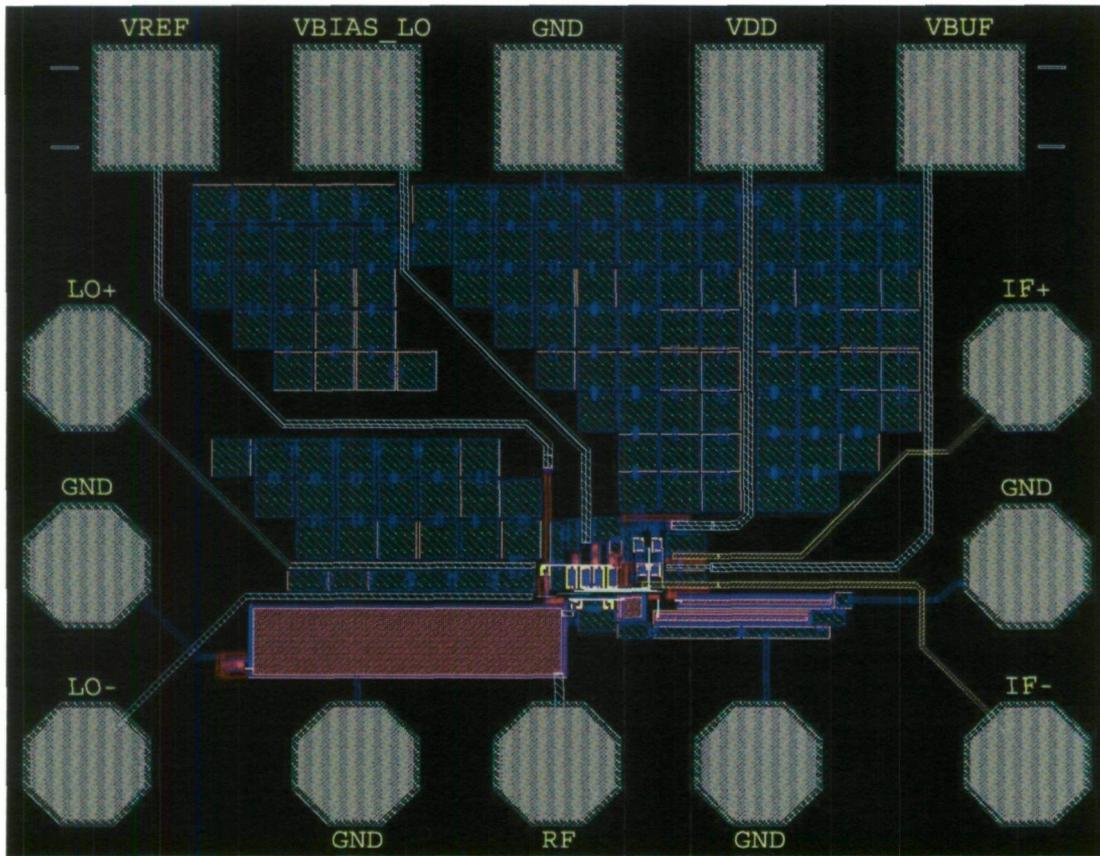


Figura 6.1: *Layout* del mezclador de Gilbert.

El *layout* mostrado en la anterior figura tiene unas dimensiones aproximadas de $800\mu\text{m}$ x $600\mu\text{m}$, pero se puede observar que es debido a los *pads*. El núcleo del mezclador es de aproximadamente $460\mu\text{m}$ x $95\mu\text{m}$ y, como no hay ninguna bobina, se desperdicia muchísima área sólo para que el circuito sea medible. Sólo hay un condensador de un tamaño significativo, pero ni siquiera supone un 10% del espacio que se pierde.

Las estructuras cuadradas que rellenan la mayor parte del chip son contactos al sustrato (PD_C); con ellas se evita que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

Se observa como en la zona superior del diseño se localizan las señales de alimentación de las distintas partes del circuito ($SSGS \rightarrow V_{REF}, V_{BIAS_LO}, GND, V_{DD}, V_{BUF}$), por la izquierda las señales del oscilador local ($SGS \rightarrow LO+, GND, LO-$), por la derecha tenemos la salida ($SGS \rightarrow IF+, GND, IF-$) y por la parte inferior se presenta la señal de entrada RF

(GSG). Como esta señal se recibe con muy baja potencia, se ha decidido colocar su entrada al circuito lo más próxima posible a su *pad*, con el fin de minimizar las pérdidas por la pista. Como se puede ver, se han separado todos los grupos de señales con la finalidad de evitar posibles acoplamientos entre ellas, sobre todo teniendo en cuenta la diferencia de potencia que presentan. Las pistas que llevan las señales del oscilador local LO y de la salida IF se han implementado con igual longitud, para cumplir el principio de simetría.

En la Figura 6.2 se ilustra el núcleo del mezclador, ya que en la anterior no era posible distinguirse.

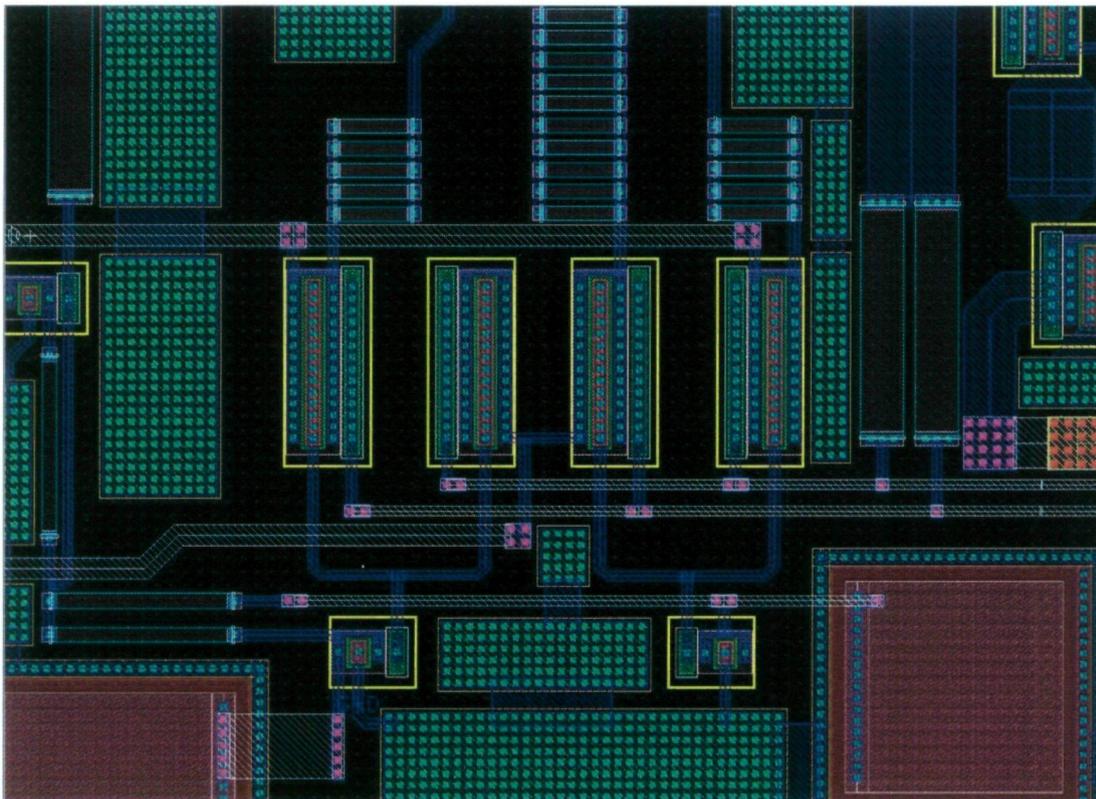


Figura 6.2: *Layout* del núcleo del mezclador.

Se observa en el centro de la figura los cuatro transistores encargados de la conmutación y un poco más abajo los dos de la etapa de entrada. Encima de la etapa de conmutación se distinguen tres grupos de resistencias que componen la parte de polarización de LO. Se puede comprobar lo que comentaba anteriormente, han de colocarse varias resistencias en paralelo con el fin de obtener el valor buscado.

6.3. Simulaciones *post-layout*

Una vez realizado el *layout* del mezclador se procede a comprobar el correcto funcionamiento del mismo. Para ello se extraen los parámetros del circuito y se realizan simulaciones *post-layout* con el fin de ser comparadas con las obtenidas a partir del esquemático.

En el ANEXO A se puede ver el circuito que se simuló, así como sus valores de DC. Así en la Figura 6.3 se muestra una simulación de parámetros S teniendo como entradas los puertos de RF y LO y como salida el puerto de IF.

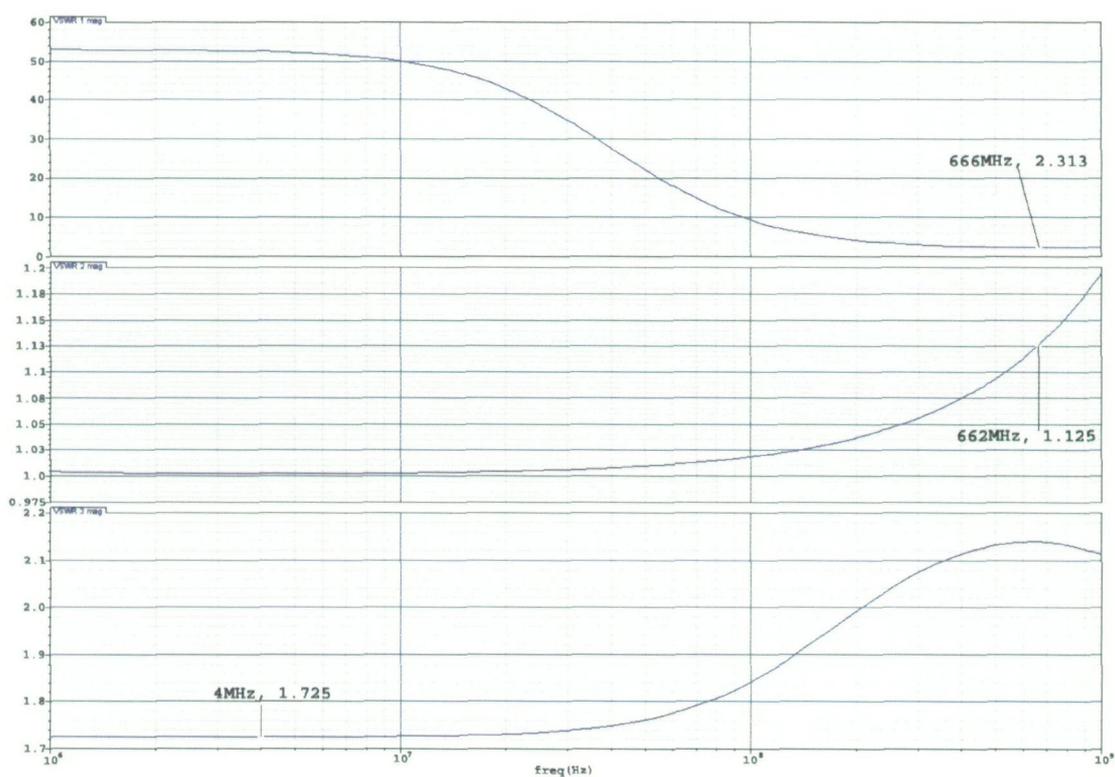


Figura 6.3: Simulación de parámetros S.

Se obtienen los siguientes valores: para el puerto de RF (666 MHz) el VSWR es de 2.313, siendo para el puerto LO (662 MHz) de 1.125 y para la salida IF (4 MHz) de 1.725.

En la Figura 6.4 se muestra la ganancia mediante una simulación PAC. Se puede ver como la diferencia entre las señales a 666 MHz (entrada) y a 4 MHz (salida) es de 15.4 dB. De esta forma también se comprueba como el circuito mezcla obteniéndose la señal deseada a la salida en 4 MHz.

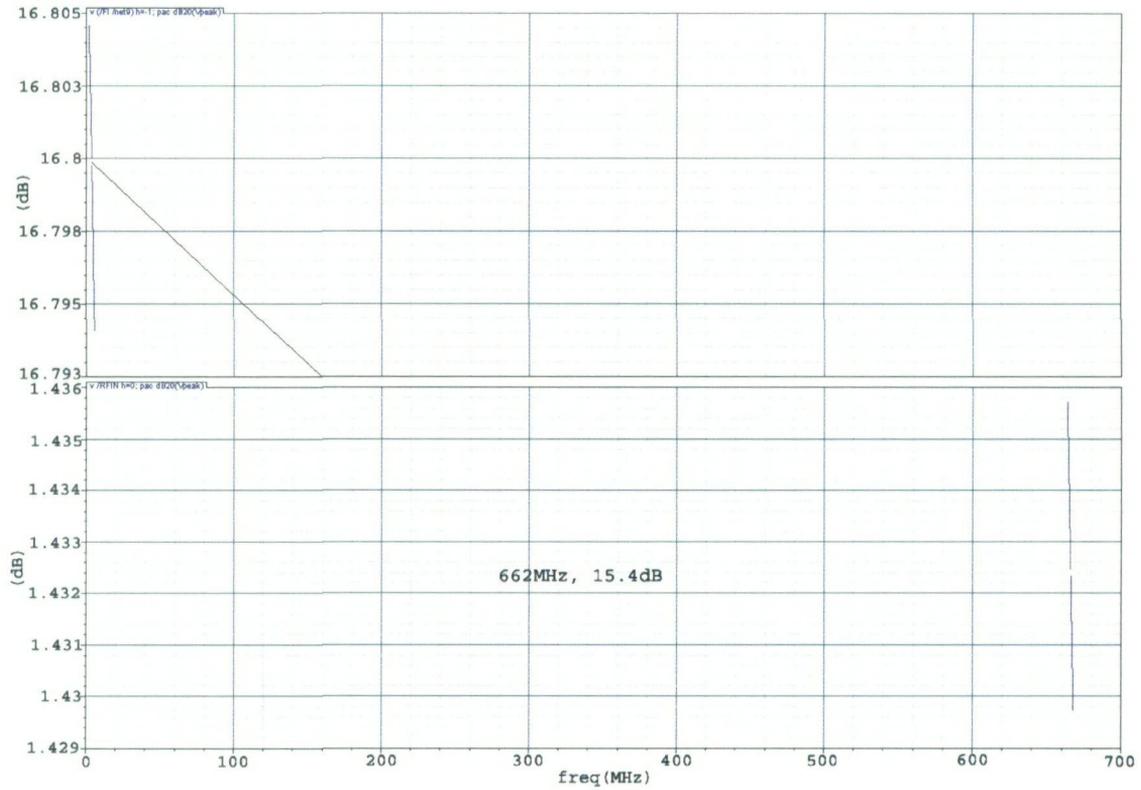


Figura 6.4: Ganancia del circuito.

Así mismo, se comprobó que la ganancia fuese estable en toda la banda (desde 470 a 860 MHz), teniendo aproximadamente un valor de 15.4 dB para toda ella.

Por último, en la siguiente figura se muestra la figura de ruido, que también se comprobó que fuese estable en toda la banda, teniendo una variación en ésta desde 23.8 dB para 860 MHz y 24.6 dB para 470 MHz.

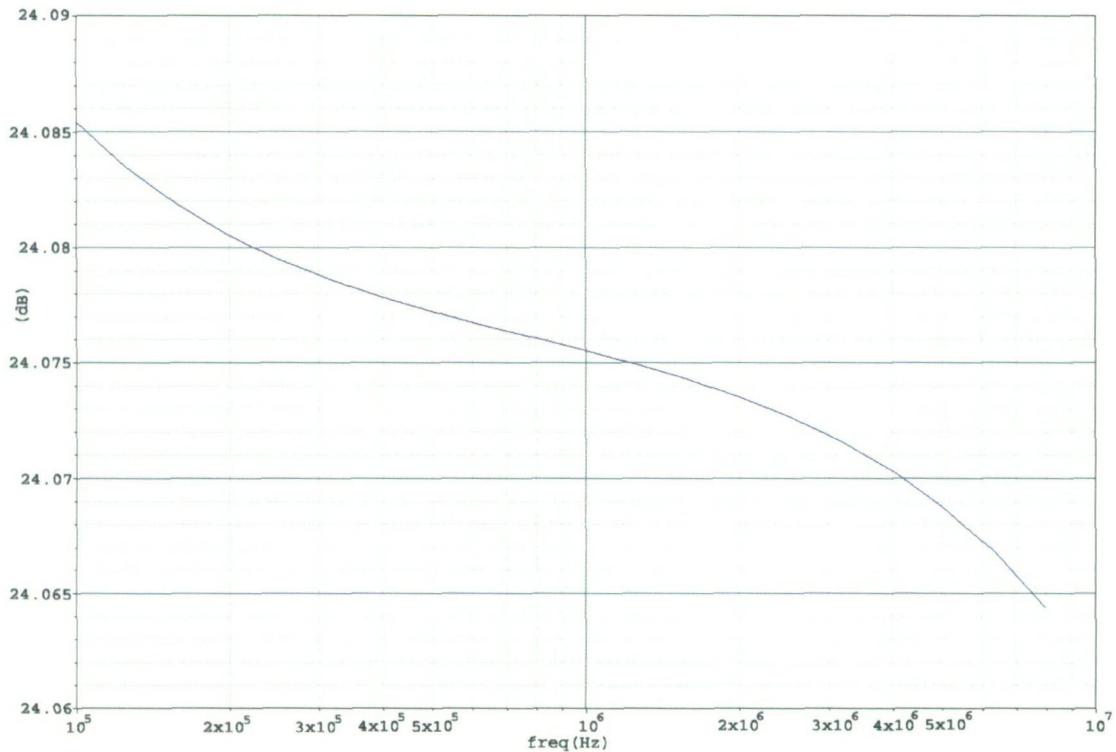


Figura 6.5: Figura de ruido del circuito.

Al medir el IP3 surgió un problema de convergencia que no permitió su cálculo, por lo que no se presenta. De todos modos, teniendo en cuenta que el diseño en *layout* tiene las mismas corrientes y tensiones que el diseño a nivel esquemático y que sus simulaciones salieron muy parecidas, se puede suponer una linealidad próxima a la obtenida en el capítulo anterior.

En la siguiente tabla se muestra las comparaciones entre las simulaciones a nivel esquemático y las *post-layout*.

Tabla 6.1 Comparativa entre las simulaciones de esquemático y *layout*

Parámetro	Esquemático	<i>Post-layout</i>
Ganancia (dB)	15.012	15.4
IP3 (dBm)	17.321	----
Figura de ruido SSB (dB)	23.709	24.08

6.4. Análisis de *corners*

En este apartado lo que se persigue es exponer al circuito a condiciones límites de tolerancias en resistencias y condensadores, temperatura, y transistores.

Para estas simulaciones se varían los siguientes parámetros, que se muestran en una captura realizada del *Cadence*:

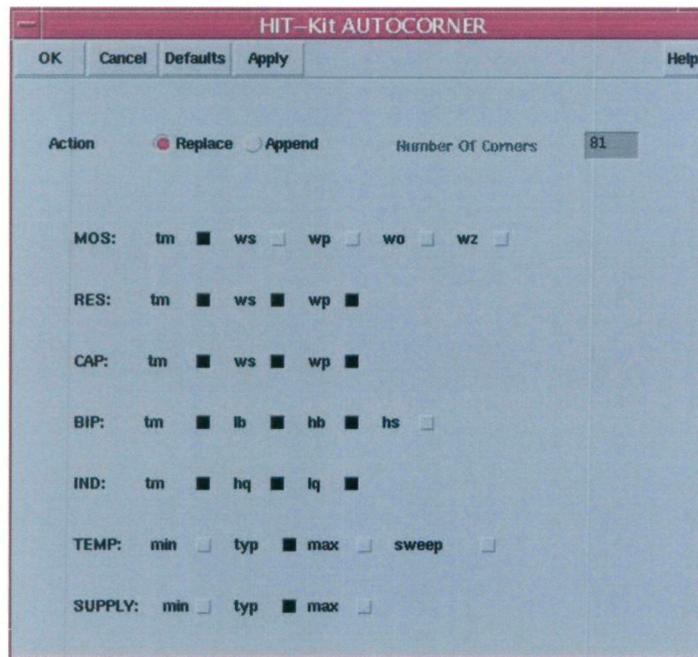


Figura 6.6: Análisis de *corners*.

Como se puede observar en la figura anterior la herramienta genera 81 análisis del circuito, entre los cuales destacan los relacionados con la temperatura por ser el parámetro más influyente en los cambios. Los valores que toma la temperatura son tres: 0° de mínimo, 25° con el análisis típico y 85° con el máximo.

En primer lugar se muestran las gráficas referidas al VSWR de las entradas y salidas del circuito. En las siguientes imágenes (Figura 6.7 y Figura 6.8) se ilustra el coeficiente de onda estacionario para la entrada RF.

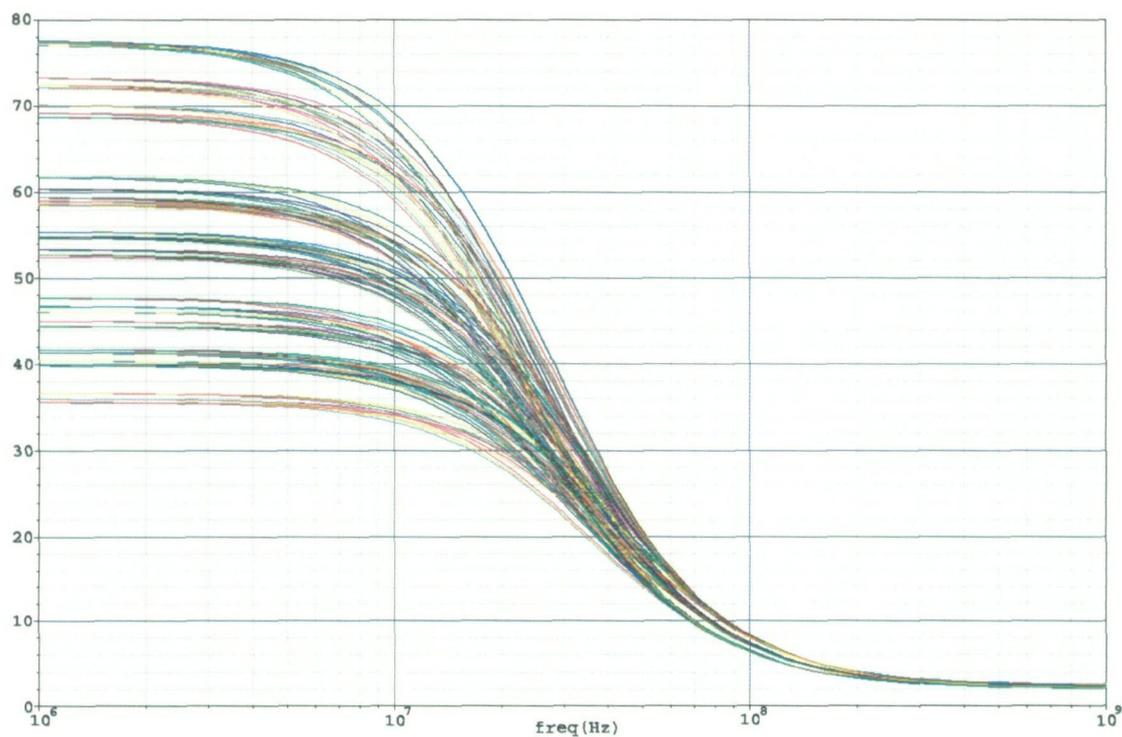


Figura 6.7: VSWR para la señal de entrada RF.

Se observa como el VSWR presenta una respuesta muy variable para valores de frecuencia bajas, pero interesa saber cómo se comporta en la banda de frecuencias de entrada, eso es, de 470 a 862 MHz, por ello se realiza otra simulación que clarifique lo anteriormente expuesto.

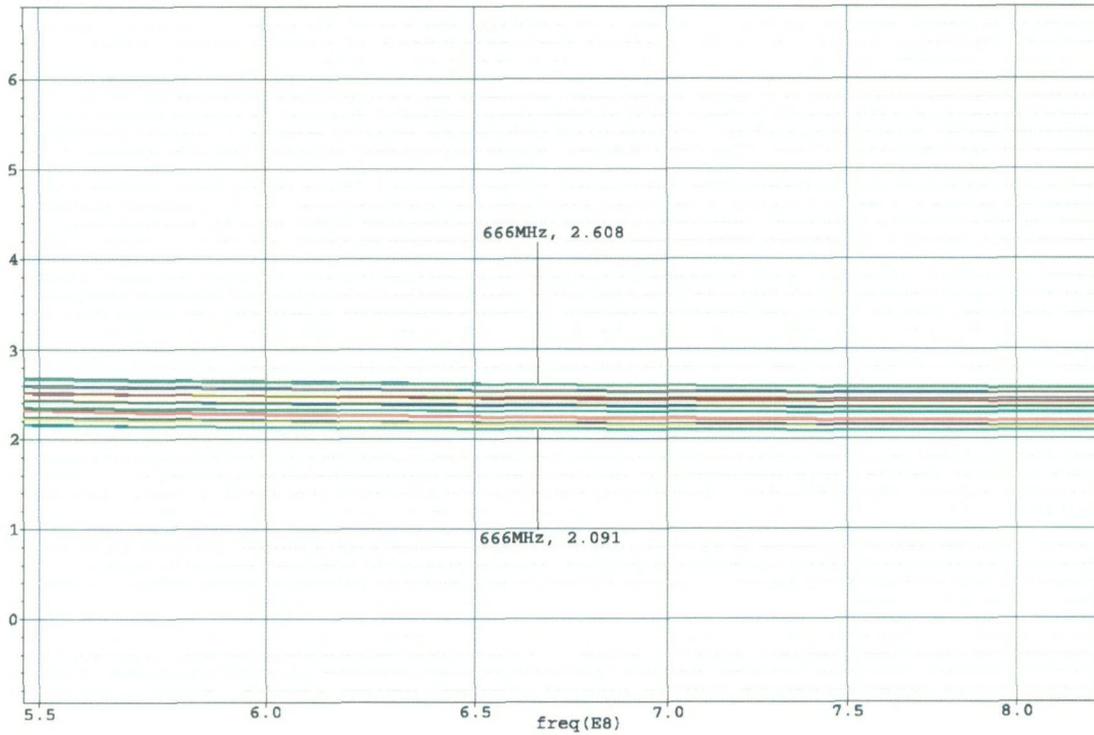


Figura 6.8: VSWR para la señal de entrada RF (2).

A 666 MHz, aún con la variación de los parámetros del circuito en la mayor medida posible, el coeficiente de onda estacionaria no sufre grandes variaciones, vemos que tenemos una mínima de 2.091 y una máxima de 2.508.

En las siguientes figuras (Figura 6.9 y Figura 6.10) se puede ver el VSWR para la etapa de conmutación, donde tenemos la señal de oscilador local. Se observan tres grupos de líneas, que representan las tres temperaturas que se establecieron. El VSWR está muy bien, centrándonos en la frecuencia de 662 MHz (frecuencia central de entrada del oscilador local), varía entre 1.099 y 1.297.

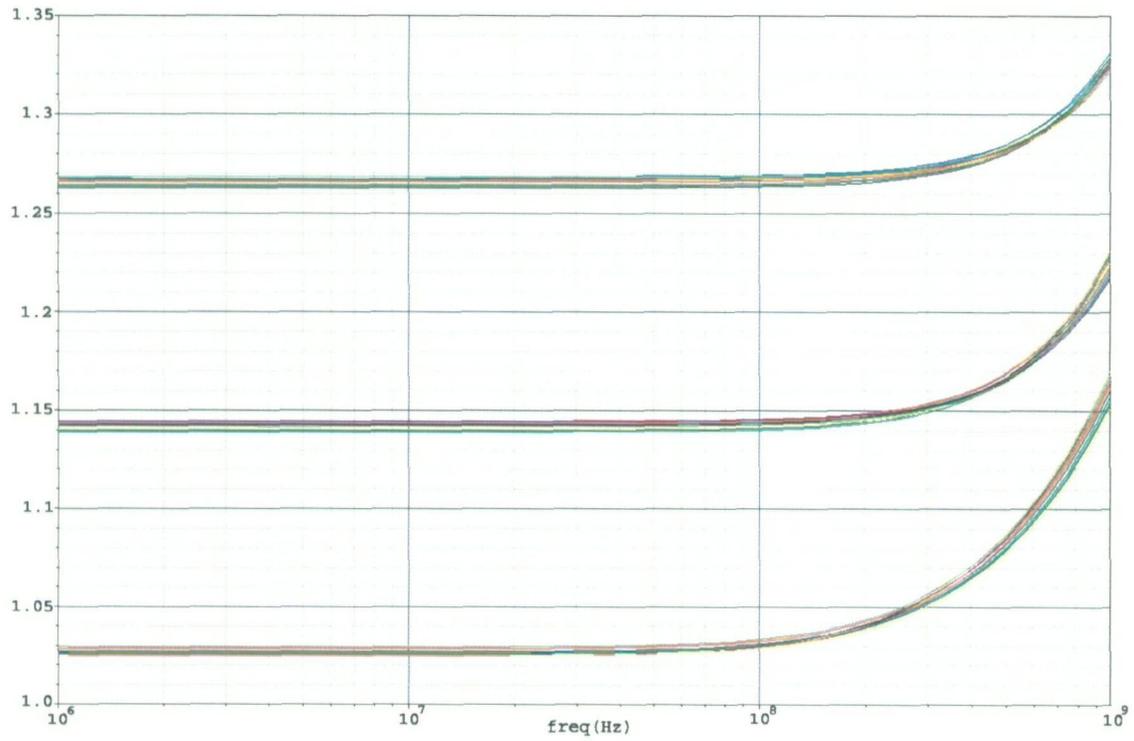


Figura 6.9: VSWR para la señal de la etapa de conmutación LO.

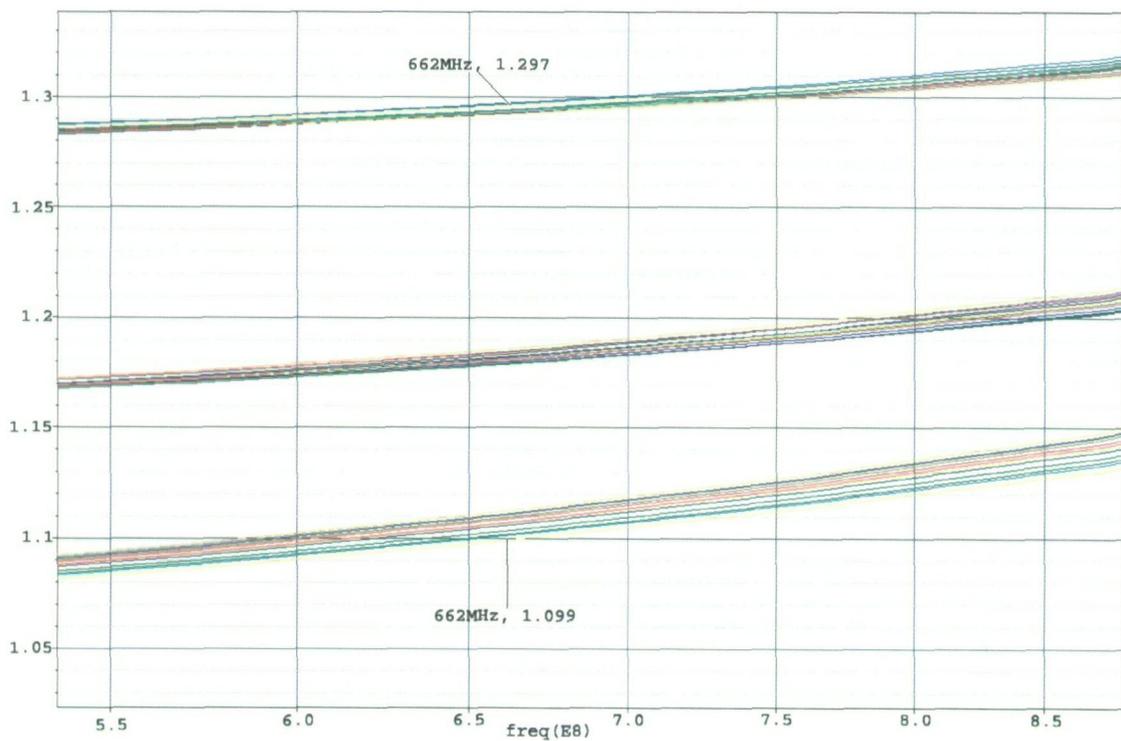


Figura 6.10 : VSWR para la señal de la etapa de conmutación LO (2).

Por último se analiza la variación del VSWR para la señal de salida IF, mostrada en la Figura 6.11 y Figura 6.12. Centrándonos en 4 MHz (frecuencia de salida), se observa una variación del coeficiente de onda estacionario entre 1.086 y 1.966.

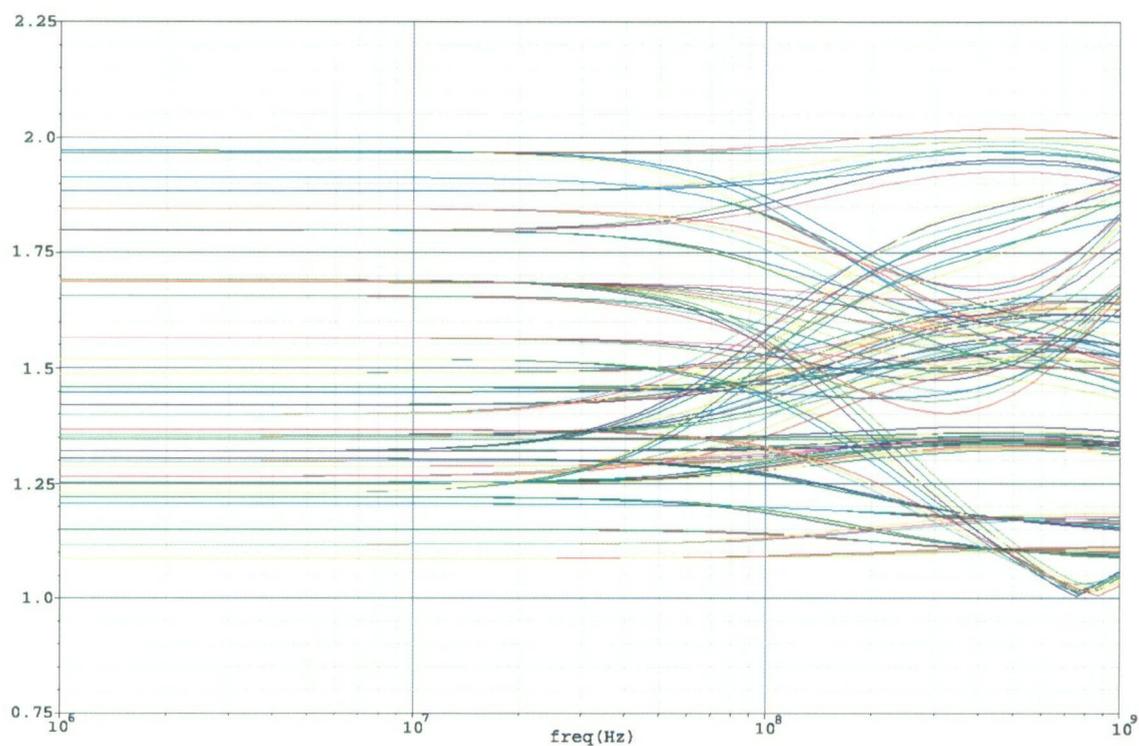


Figura 6.11 : VSWR para la señal de salida IF.

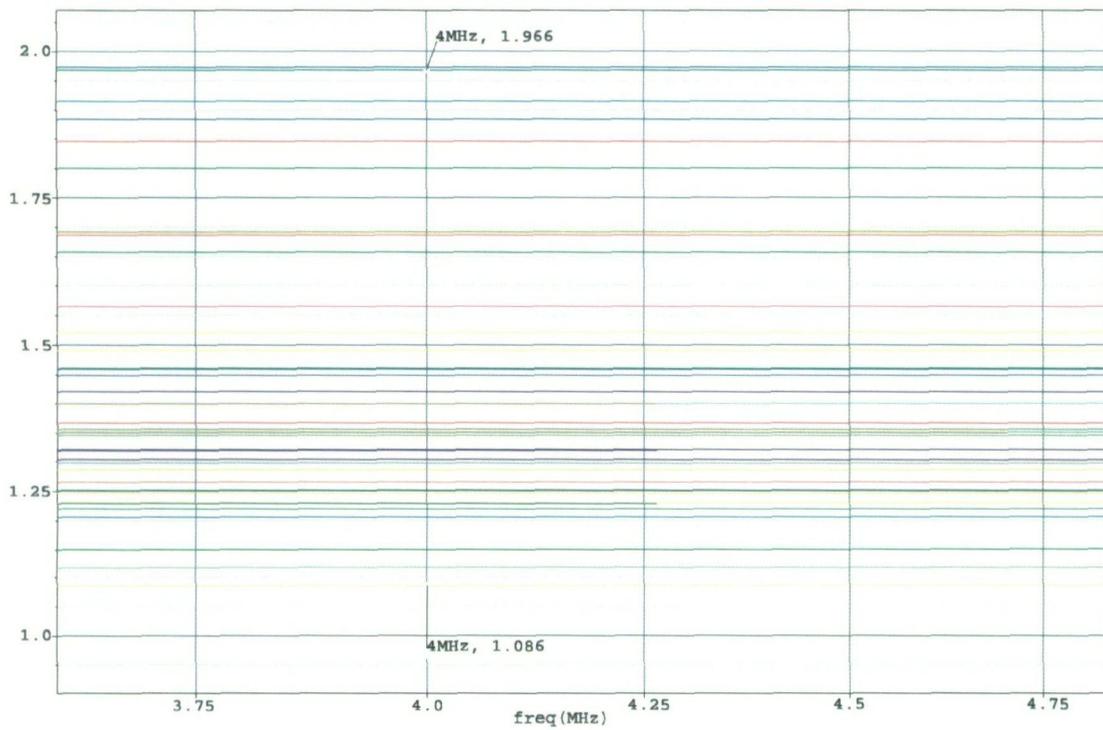


Figura 6.12 : VSWR para la señal de salida IF (2).

Lo siguiente que se analizó fue la ganancia, en la siguiente figura se muestra las variaciones en la ganancia producidas por las variaciones en los parámetros del circuito.

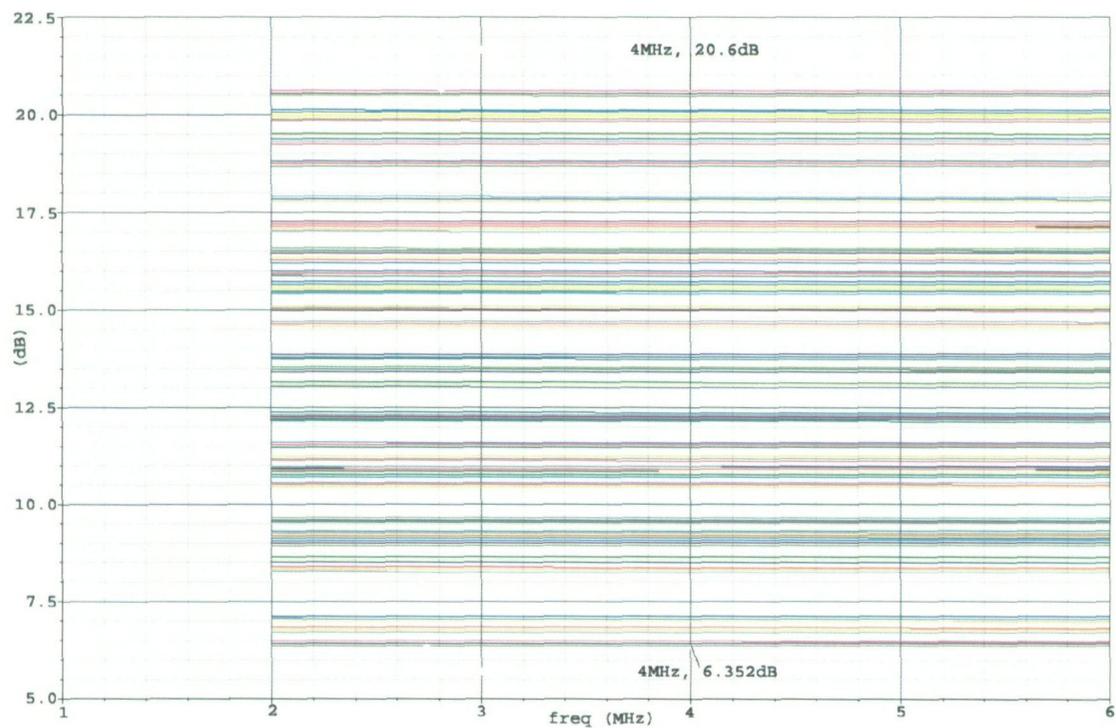


Figura 6.13 : Ganancia del circuito.

En esta gráfica se puede ver como la ganancia va desde 6.352 dB hasta 20.6 dB, pero hay que resaltar que no se cumple una ganancia mayor a 12 dB para los casos en los que la temperatura es extrema. Esto es, cuando sometemos el dispositivo a una temperatura de 0°C o de 85°C la ganancia sufre un descenso importante. De los 81 *corners*, no se tiene una ganancia mayor a 12 dB en 38 casos (47%), 35 de los cuales se dan debido a temperaturas extremas (43%), dejando sólo 3 casos en debidos a los demás parámetros (4%).

Por último, en la Figura 6.14 se muestra cómo responde la figura de ruido del dispositivo frente a la variación de los parámetros del circuito. Esta varía desde 20.84 dB hasta 25.95 dB, teniéndose otra vez los valores más altos para las temperaturas extremas.

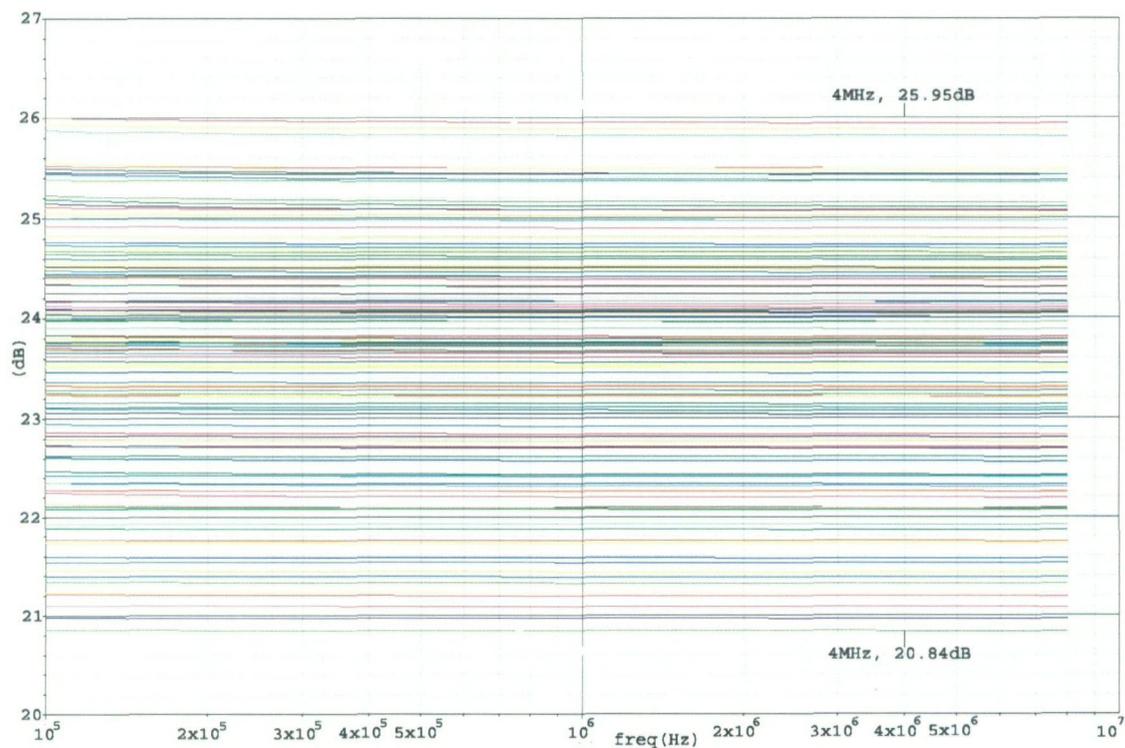


Figura 6.14 : Figura de ruido del circuito.

Como conclusión, se puede decir que el dispositivo responde bastante bien ante variaciones extremas de sus parámetros, teniendo en cuenta que sólo para temperaturas extremas presenta respuestas indeseadas.

6.5. Resumen

En este capítulo se ha comentado como se llevó a cabo la realización del *layout* del mezclador y las reglas utilizadas para el mismo. También se han presentado los resultados *post-layout* de los coeficientes de onda estacionarios, la ganancia y el ruido, y se han comparado con los obtenidos en la simulación del esquemático.

Ya por último se ha sometido al circuito a condiciones extremas (análisis de *corners*) y se han sacado las conclusiones pertinentes sobre los parámetros que afectan en mayor o menor medida al diseño.

En el siguiente capítulo se expondrán las conclusiones que se pueden obtener a partir de los capítulos anteriores, se mostrarán los resultados, posibles cambios en el diseño, líneas de futuro y comparativas.

Capítulo 7

Medida del mezclador

7.1. Introducción

En los capítulos anteriores se ha descrito el diseño a nivel esquemático y *layout* del mezclador, tras lo cual fue enviado a fábrica. Este capítulo ocupa la medida de sus parámetros más importantes, ganancia, ruido y linealidad, realizada mediante una estación de puntas. Se irá describiendo el proceso de medida y finalmente se presentarán los resultados obtenidos.

Para la medida de mezclador se necesitan los siguientes elementos:

- Estación de puntas *Analytical Probe Station SUMMIT 9000* de *Cascade Microtech* con un microscopio óptico *OLYMPUS SZ-CTV*.
- 2 Fuentes de alimentación *Hewlett Packard, Dual Output Power Supply, E3620A*.
- 1 Analizador de espectros *Agilent, PSA Series Spectrum Analyzer, E4440A*.
- 1 Generador de señal *Agilent, ESG Vector Signal Generator, E4438C*.
- 1 Generador de señal *Agilent, PSG Analog Signal Generator, E8257D*.
- 2 puntas de medida *SGS* de *Cascade Microtech ACP40-DW SGS-150*.
- 1 punta de medida *SSGS* de *Cascade Microtech WPH-905-150*.

- 1 punta de medida GSG de Cascade Microtech ACP40W GSG-150.
- DC-blocks BLK-18.
- Kit de Calibración 3,5mm Agilent 85052D
- Cables para señales de RF tipo Sucoflex 104A.
- Cables DC y adaptadores SMA-BNC.
- Codos de conexión.
- 1 Power Splitter Mini-circuits ZFSCJ-2-4 de 50-1000MHz

7.2. Pérdidas en los elementos de medida

Antes de comenzar con la medida de los parámetros de ganancia, linealidad y ruido, conviene calcular las pérdidas que se originan en los cables, codos, acopladores y otros elementos de conexión, a fin de tenerlas en cuenta a la hora de introducir una determinada potencia en el generador o la lectura en el analizador. Por tanto se calculan las pérdidas de señal en el camino desde el generador a la entrada de RF del mezclador, desde el generador a la entrada de OL y de la salida de IF al analizador.

7.2.1. Pérdidas desde el generador a la entrada de RF

Para calcular las pérdidas en el recorrido de la señal desde que sale del generador de señales hasta que llega a la entrada de RF del mezclador se realiza un circuito equivalente como el mostrado en la Figura 7.1.



Figura 7.1: Circuito equivalente de medida para RF.

Se genera una señal a 666MHz con una potencia conocida y se visualiza la señal en el analizador de espectros. Se observa que el circuito tiene unas pérdidas iguales a 0.8dB en su recorrido. Como se utilizan los mismos elementos tanto a la derecha como la izquierda del substrato de calibración, tenemos que las pérdidas producidas entre el generador de señales y la entrada de RF del mezclador son de 0.4dB.

7.2.2. Pérdidas desde la salida de IF al analizador de espectros

Utilizando el mismo esquema de la Figura 7.1 y trabajando a 4MHz, se observan unas pérdidas de 3.34dB en todo el recorrido, por tanto para el tramo que va desde la salida de IF del mezclador a la entrada del analizador de espectros se tendrán unas pérdidas por valor de 1.67dB.

Hay que recordar que se está midiendo en modo asimétrico, por lo que la ganancia y linealidad en modo diferencial aumentarán su valor en 3dB.

7.2.3. Pérdidas desde el generador a la entrada de OL

Para calcular las pérdidas desde el generador a la entrada de OL del mezclador se hará uso de un esquema muy parecido al de la Figura 7.1. Se calcula también para una frecuencia de señal de 666MHz y se representa en la Figura 7.2.

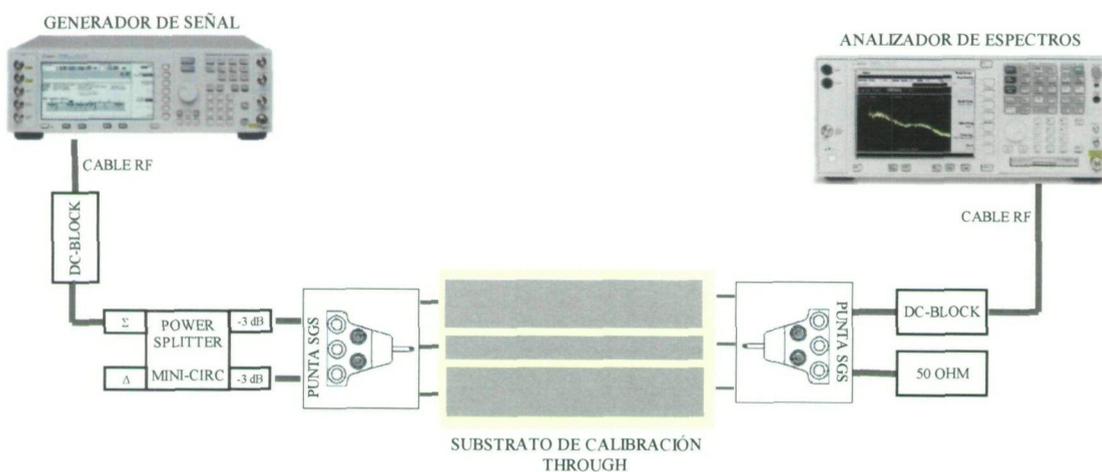


Figura 7.2: Circuito equivalente de medida para OL.

Conocidas las pérdidas en el tramo de IF, se tiene que las pérdidas desde el generador a la entrada de OL del mezclador son de 1.86dB.

7.3. Error en el *layout*

Durante las medidas realizadas se detectó que la linealidad del circuito era muy inferior a la calculada teóricamente, mientras que la ganancia y el ruido daban valores parecidos a los que se preveía. Esto es debido a que por error en el diseño del *layout* del mezclador no se conectaron los sustratos de los emisores de los transistores del *buffer* de salida a masa. Este error no fue detectado por el *Cadence* cuando se chequeó el circuito.

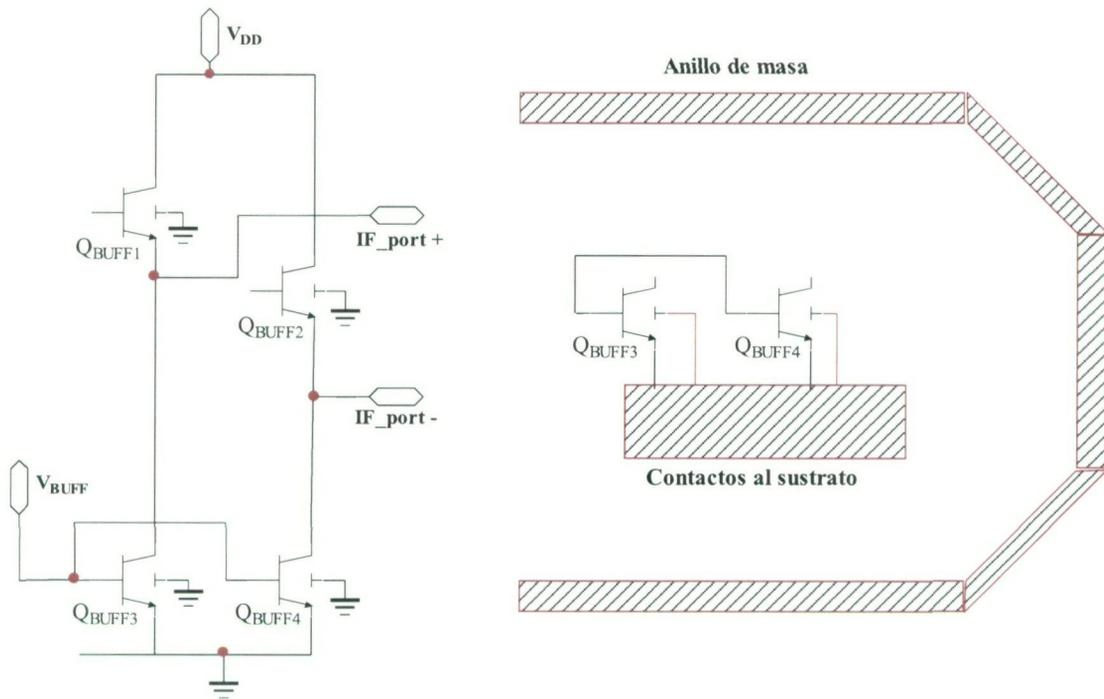


Figura 7.3: Error de conexión del sustrato al anillo de masas.

En la Figura 7.3 se muestra como se conectaron los emisores de los transistores $Q_{\text{BUFF}3}$ y $Q_{\text{BUFF}4}$ al sustrato, pero éste no se llegó a conectar al anillo de masas.

Para simular el error en *Cadence*, se estimó que la resistencia entre los sustratos de los emisores y masa era aproximadamente de 300Ω , se introdujo y se volvió a simular el circuito para volver a calcular los parámetros de ganancia, ruido y linealidad.

Tal y como se comprobará en los siguientes apartados, para la ganancia y el ruido se obtuvieron unos valores muy parecidos a los que se tenían anteriormente, pero el IP_3 sufrió un descenso hasta -16.44dBm , que, como veremos, coincide con la medida.

7.4. Medida de la ganancia de conversión

Para la medida de la ganancia de conversión se hizo uso de los dos generadores de señales, para generar RF y OL. Se barrió toda la banda de frecuencia de interés, haciendo que la señal de RF sea superior en 4MHz a la señal de OL. Con el analizador de espectros se analizó la salida de frecuencia intermedia del mezclador. En la Figura 7.4 se muestra el diagrama de montaje para realizar la medida de la ganancia de conversión.

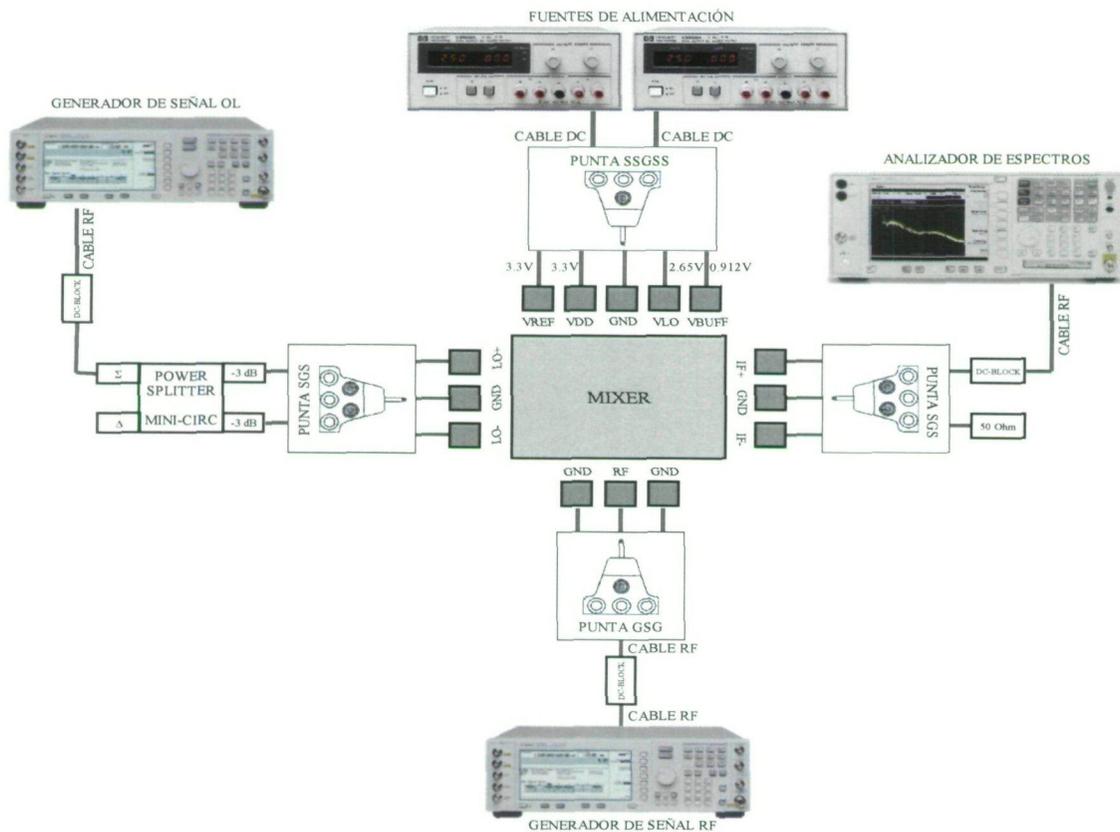


Figura 7.4: Diagrama del montaje para la medida de la ganancia.

En la Figura 7.5 se muestra la conexión entre las puntas de medida y los *pads* del circuito y en la Figura 7.6 cómo se realizó el *setup* para la medida de la ganancia.

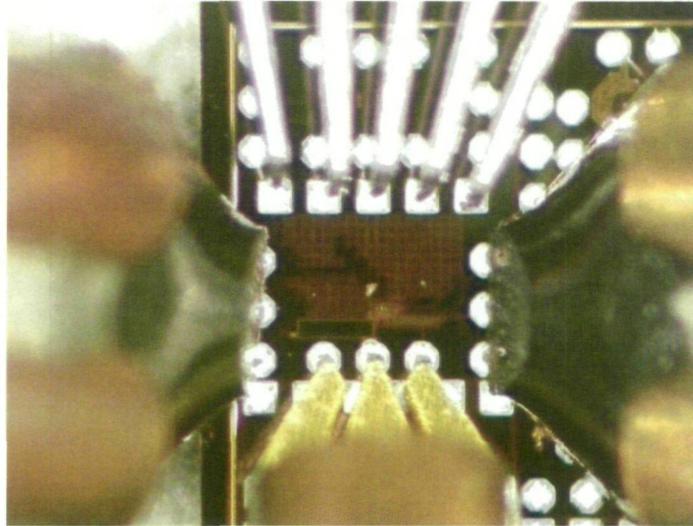


Figura 7.5: Conexión entre las puntas y los *pads*.

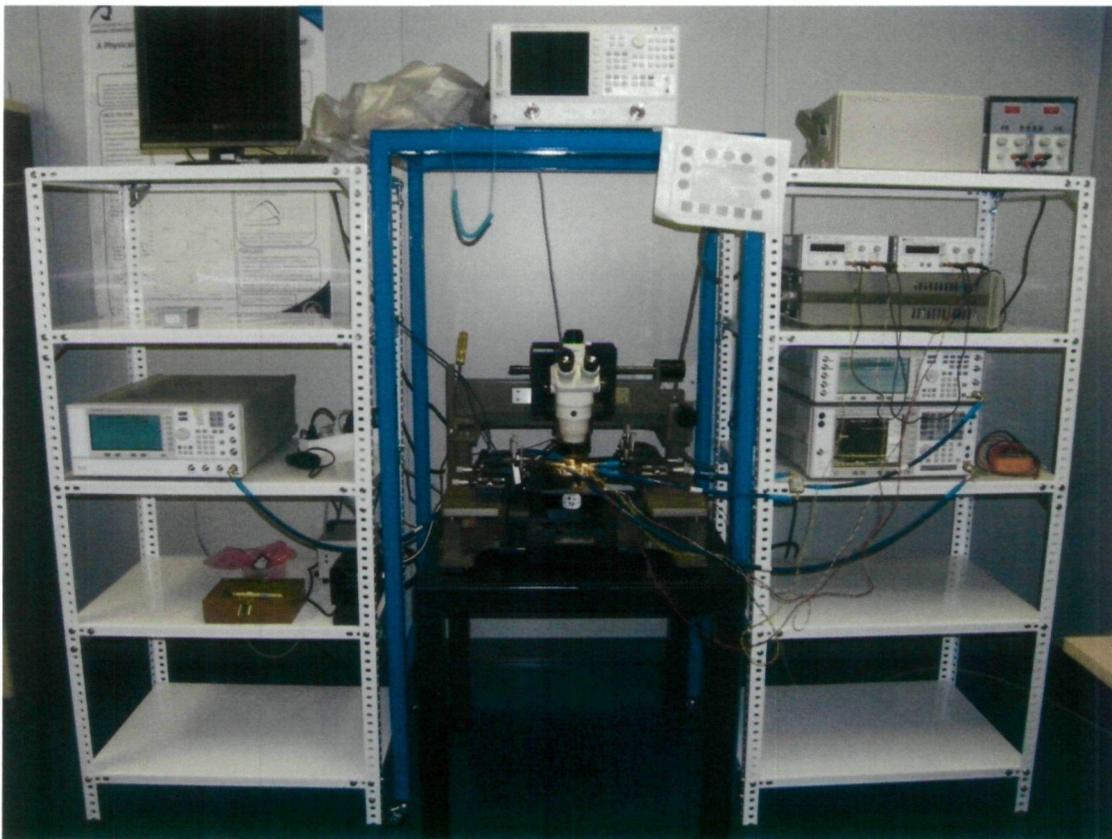


Figura 7.6: *Setup* de medida para la ganancia.

Los resultados de la ganancia se representan conjuntamente con los del ruido en la Figura 7.7.

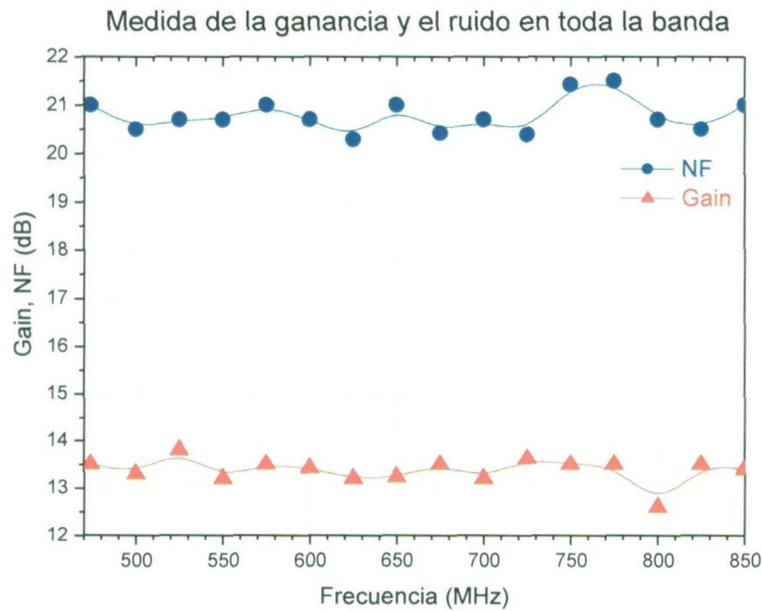


Figura 7.7: Medida de la ganancia y ruido en toda la banda.

Se puede observar como la ganancia se mantiene constante en torno a un valor de 13.5dB en la banda e interés (470MHz – 862MHz), teniendo un pico mínimo de 13dB a 800MHz.

7.5. Medida de la figura de ruido

Para la medida de la figura de ruido se hace uso de una fuente generadora de ruido. El primer paso es calibrarla, así que se conecta al analizador de espectros para establecer un nivel de ruido base que luego se restará a la medida una vez se introduzca el mezclador.



Figura 7.8: Calibración del ruido.

Una vez se tiene el equipo calibrado para la medida del ruido, se conecta la salida de la fuente de ruido con la entrada de RF del mezclador, procurando que el cable de conexión sea lo más corto posible. Por lo demás el *setup* de medida se deja igual que para la medida de la ganancia. Esto se puede ver en la Figura 7.9.

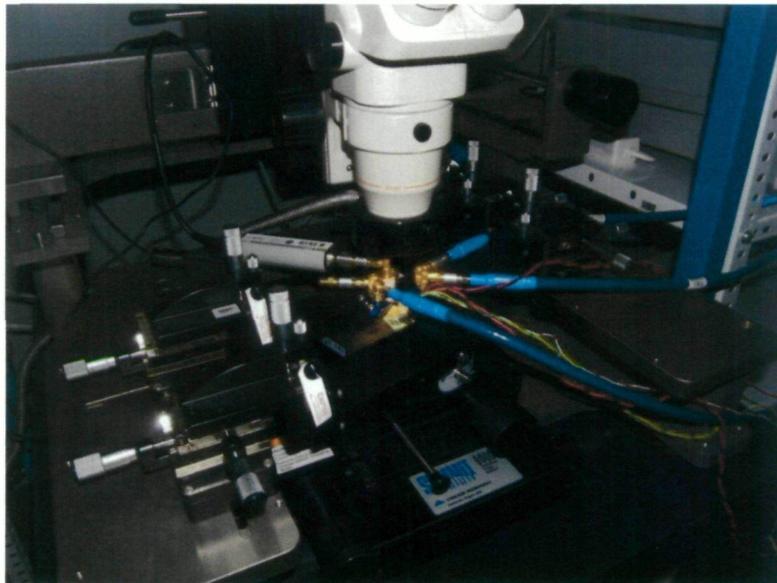


Figura 7.9: *Setup* para la medida del ruido.

Ahora se barre la frecuencia de entrada con el analizador de espectros, dejando el OL fijo y se calcula el ruido. En la Figura 7.10 se puede ver como quedaría la configuración del analizador para el caso de las frecuencias entre 566MHz y 666MHz.

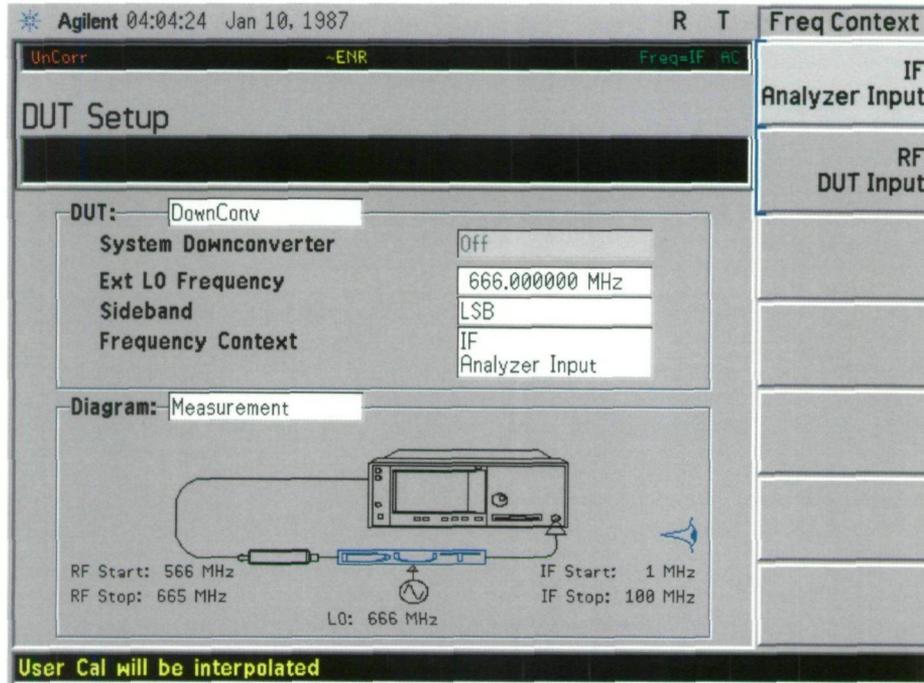


Figura 7.10 : Configuración de la frecuencia de entrada en el analizador.

De esta forma se puede medir el ruido para la banda deseada, que quedó representado anteriormente en la Figura 7.7. Se puede observar un valor de ruido que oscila entre 20.5dB y 21dB, produciéndose unos picos de 21.5dB para frecuencias en torno a 760MHz.

7.6. Medida de la linealidad

Para la obtención de la linealidad lo que se ha hecho es obtener el punto de compresión a 1 dB. Para ello se ha ido variando la potencia en la entrada de RF hasta saturar la salida del mezclador, todo ello para una frecuencia de RF y OL fija. La medida se ha hecho para una frecuencia del OL de 662MHz y una potencia de 0dBm. La frecuencia de la señal de RF se ha fijado a 666MHz. La curva potencia de salida (IF) en función de la potencia de entrada (RF), así como su extrapolación para la obtención del punto de compresión a 1 dB se puede observar en la Figura 7.11.

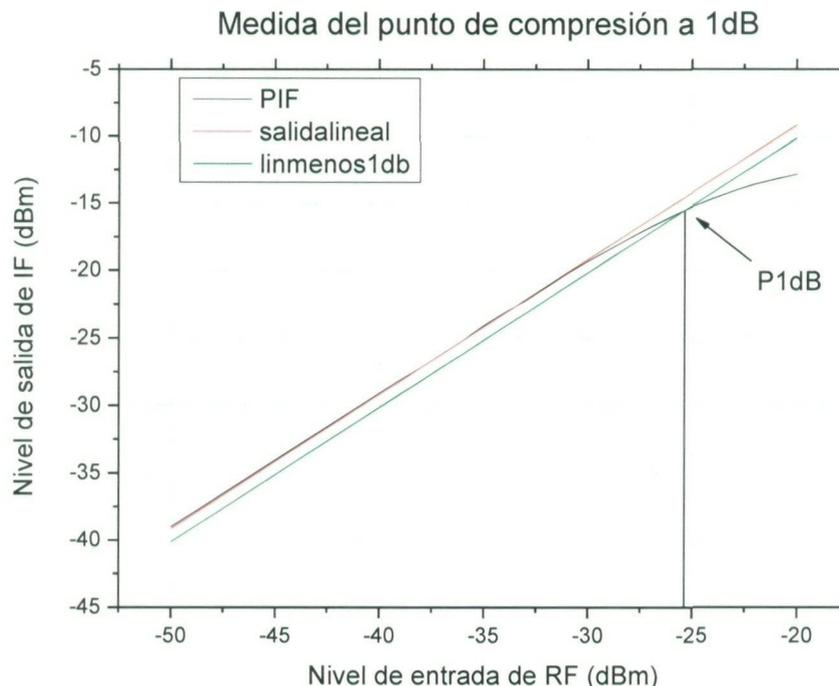


Figura 7.11 : Medida del punto de compresión a 1dB.

El punto de compresión a 1dB se ha obtenido gráficamente y es igual a -25.45dBm. A partir de este valor se obtiene el IIP3, que es igual a -15.89dBm.

7.7. Tabla comparativa

En la Tabla 7.1 se recoge una comparativa entre lo simulado en ADS y en *Cadence* y lo medido.

Tabla 7.1 : Comparativa de la ganancia, ruido y linealidad, simulados y medidos.

Parámetro	Sim ADS	Sim <i>Cadence</i>	Sim <i>Cadence</i> modificada	Medido
Ganancia (dB)	15.012	15.4	13.9	13.5
IIP3 (dBm)	17.321	----	-16.44	-15.89
NF SSB _[DSB] (dB)	23.709 [20.269]	24.08	22.35	20.6

La columna de “Sim ADS” representa los valores obtenidos a partir de la simulación en ADS realizados en el capítulo 5. La segunda columna, “Sim *Cadence*”, representa la ganancia y figura de ruido obtenidos en el capítulo 6. La columna “Sim *Cadence* modificado” se ha calculado a partir de simular el error de la conexión entre sustratos.

Viendo esta tabla se puede concluir que si no se hubiese cometido el pequeño error de no unir los sustratos de los emisores de los transistores del *buffer* de salida, se obtendrían los valores esperados de ganancia, ruido y linealidad, esto es aproximadamente igual a lo que se simuló con el ADS. Por tanto se concluye que se siguen cumpliendo las especificaciones de ganancia y linealidad, no pudiendo alcanzar los 13dB para el ruido.

También se puede observar como ahora sí se pudo simular el IP3 cuando en el capítulo 6 se tenían graves problemas de convergencia a la hora de obtenerlo. Posiblemente esto sea debido a que con el circuito extraído el *Cadence* no podía converger a una solución y por ello tardaba muchísimo tiempo en calcular su valor, saltando finalmente un error.

7.8. Resumen

Este capítulo se ha dedicado a la descripción de las medidas de ganancia, ruido y linealidad del mezclador tras su fabricación, así como la descripción de la herramienta utilizada, *setup* de las medidas y una tabla comparativa de resultados.

En el siguiente capítulo se expondrán las conclusiones que se pueden obtener a partir de los capítulos anteriores, se mostrarán los resultados, posibles cambios en el diseño, líneas de futuro y comparativas.

Capítulo 8

Conclusiones

8.1. Introducción

Una vez terminado el diseño del mezclador y medido, se procede a extraer algunas conclusiones sobre el mismo. Conviene recordar los aspectos más importantes que se han tratado a lo largo de esta memoria.

El objetivo que se perseguía en este proyecto fin de carrera era el desarrollo de un mezclador en tecnología SiGe 0.35 μm de la fundidora AMS para un receptor basado en el estándar DVB-H. Recordamos que se engloba dentro de otro proyecto de mayor envergadura desarrollado por el Instituto Universitario de Microelectrónica Aplicada (IUMA), en el que se pretende integrar dentro de un solo chip un receptor completo para el estándar DVB-H.

Inicialmente se intentó dar una visión general sobre qué es el DVB-H, así como su estado e impacto en la sociedad hoy día. Posteriormente se describió el estándar DVB-H y los parámetros que lo caracterizan. También se procedió al estudio de la tecnología que iba a ser utilizada en el diseño del mezclador y se profundizó en las características de los componentes que ofrece.

Seguidamente se realizó un estudio de los mezcladores, donde se detalló los tipos de mezcladores activos y su funcionamiento. Se dio mayor importancia a la estructura de Gilbert y por ello se profundizó en su estudio. También se comentaron las figuras de mérito más importantes que describen el funcionamiento del mezclador.

Una vez conocidos la tecnología y la arquitectura que se iba a utilizar, se comenzó con el diseño a nivel esquemático del mezclador mediante la herramienta ADS. Durante el proceso de diseño aparecieron varios problemas que fuimos solventando a medida que avanzábamos en el mismo, concluyendo finalmente en el circuito mostrado en el capítulo 5.

El siguiente paso fue la realización de su *layout* mediante la herramienta *Cadence*, en el que hubo que adaptar el circuito a la versión 3.70 de la tecnología, ya que su esquemático se hizo en la versión anterior. Con el *layout* completo, se extrajeron las simulaciones *post-layout* y se compararon sus resultados con los obtenidos en el esquemático, siendo éstos muy parecidos entre sí. Por último se realizó un análisis de *corners* para ver la influencia de las tolerancias y condiciones externas en el componente.

Después del diseño se fabricó el componente y se midió obteniendo los valores de los distintos parámetros, con los que se pudo concluir que el diseño fue satisfactorio, cumpliendo para la banda de frecuencias deseadas los valores de ganancia y linealidad, pero no de ruido. En la Tabla 8.1 se muestra una comparativa entre las simulaciones en ADS, *Cadence* y los resultados obtenidos tras la medida.

Tabla 8.1 : Comparativa entre las simulaciones de esquemático y *layout*

Parámetro	Sim ADS	Sim <i>Cadence</i>	Sim <i>Cadence</i> modificada	Medido
Ganancia (dB)	15.012	15.4	13.9	13.5
IIP3 (dBm)	17.321	-----	-16.44	-15.89
NF SSB _[DSB] (dB)	23.709 [20.269]	24.08	22.35	20.6

Como se comentó en el capítulo anterior, la columna de “Sim ADS” representa los valores obtenidos a partir de la simulación en ADS realizados en el capítulo 5. La segunda columna, “Sim *Cadence*”, representa la ganancia y figura de ruido obtenidos en el capítulo 6. La columna “Sim *Cadence* modificado” se ha calculado a partir de simular el error de la conexión entre sustratos.

Tabla 8.2 : Comparación de los mezcladores desarrollados con otros

Mezclador	Tecnología	Vdd (V)	Consumo (mW)	Freq RF (GHz)	Freq IF (MHz)	Ganancia (dB)	IP3 (dBm)	NF (dB)
Este proyecto (A – D)	SiGe 0.35 μ m	3.3	4.5	0.666	4	15.01	17.32	20.2
Este proyecto (D – D)	SiGe 0.35 μ m	3.3	4.15	0.666	4	18.67	16.58	17.9
Vincent Karam 2003	0.18 μ m CMOS	3.3	33	1.9	50	10	3	15
Vojkan Vidojkovic 2004	0.18 μ m CMOS	1.8	5.4	2.4	1	11.9	-3	13.9
Sang Heung Lee 2005	SiGe 0.35 μ m	3.0	42	5.81	315	5.5	1.8	-
Steve Long 1999	0.35 μ m CMOS	3.3	20	0.9	40	13	-6	6

El diseño realizado por Vincent Karam utiliza una tecnología de 0.18 μ m y coincide con los mezcladores expuestos en este proyecto en que son *down-conversion* y que la tensión de alimentación es de 3.3V. Las frecuencias de trabajo son de 1.9 GHz para la frecuencia de RF y de 50 MHz para la IF. Vincent Karam consigue una ganancia de conversión de 10 dB y una linealidad de 3 dBm a costa de consumir una potencia de 33 mW. En los mezcladores que se han diseñado, estos valores se ven superados con creces a excepción de la figura de ruido, que para nuestro caso es 7 dB superior. Además la potencia consumida por nuestro mezclador es ocho veces menor.

El diseño de Vojkan Vidojkovic al igual que el de Vincent Karam está fabricado en la tecnología de 0.18 μ m. La particularidad de este diseño es su baja tensión de alimentación, de tan solo 1.8 V y con un consumo bastante bajo, de 5.4 mW. En este diseño se puede apreciar que se primó la ganancia de conversión frente a la linealidad, puesto que se consiguió una ganancia de 11.9 dB a costa de una linealidad de tan solo -3 dBm. Una vez más la figura de ruido de los diseños realizados se vio superada, en este caso la figura de ruido que muestra el mezclador de Vojkan Vidojkovic es de 13.9 dB.

Viendo esta tabla se puede concluir que si no se hubiese cometido el pequeño error de no unir los sustratos de los emisores de los transistores del *buffer* de salida, se obtendrían los valores esperados de ganancia, ruido y linealidad, esto es aproximadamente igual a lo que se simuló con el ADS. Por tanto se concluye que se siguen cumpliendo las especificaciones de ganancia y linealidad, no pudiendo alcanzar los 13dB para el ruido.

8.2. Comparativa

Finalmente, en la Tabla 8.2 se muestra un cuadro resumen donde se comparan los dos mezcladores desarrollados en este proyecto con otros mezcladores de características similares. No se añade la columna referida al área porque no se tiene el área de los mezcladores de los distintos proyectos. Se recuerda que el área del mezclador es de $460\mu\text{m} \times 95\mu\text{m}$, definida por los *pads* de medida en $800\mu\text{m} \times 600\mu\text{m}$. El diseñado por Vincent Karam [25] es un mezclador con una estructura similar al mezclador Gilbert doblado. El mezclador diseñado por Vojkan Vidojkovic [26] se puede asemejar al doblado puesto que está compuesto por una etapa de conmutación y otra que hace una conversión de tensión a corriente. Por último, los mezcladores de Sang Heung Lee [27] y de Steve Long, que tienen también una estructura de Gilbert.



El diseño de Sang Heung Lee está construido en la misma tecnología que los diseñados en este proyecto, con una tensión de alimentación que tan solo difiere en 0.3 V y la banda de frecuencias en los 5GHz frente al nuestro, que apenas se acerca a 1GHz. Este diseño presenta una ganancia de tan solo 5.5 dB y una linealidad bastante baja, de 1.8 dBm y por último, consume una potencia de 42 mW.

Por último, el diseño de Steve Long, fabricado con tecnología CMOS 0.18 μ m, es el que más se asemeja al nuestro en cuanto a frecuencia de trabajo se refiere, con una frecuencia de RF de 900MHz. Podemos observar un consumo del diseño de 20mW, frente a los 4.5mW del nuestro. La ganancia también se encuentra por debajo y la diferencia de linealidad es de 23dB. Esta linealidad tan baja tiene su repercusión en una figura ruido también muy baja, hablamos de 6dB, un ruido muy por debajo del nuestro.

8.3. Conclusiones

Viendo los resultados obtenidos del diseño y las medidas, comparándolos con las especificaciones pedidas se puede concluir que se ha conseguido parte del objetivo, la ganancia y la linealidad se cumplen para toda la banda, mientras que el ruido es algo superior al esperado, pero hay que tener en cuenta que finalmente optamos por un circuito medible y no óptimo en los parámetros pedidos. No obstante se pueden extraer algunos resultados.

En primer lugar diremos que las especificaciones pedidas eran bastante complicadas de conseguir, ya que, aunque los requerimientos de ganancia y linealidad se podían cumplir para toda la banda, conseguir un ruido de 13 dB era difícil teniendo en cuenta el compromiso que hay siempre entre todos los parámetros. Una forma de solucionarlo es compensar el ruido extra en esta etapa con la etapa anterior, un LNA con una ganancia suficientemente elevada para cumplir las especificaciones de ruido del sistema. Recordar sólo que el ruido conseguido en el mezclador de entrada asimétrica y salida diferencial es de unos 20 dB y en el mezclador de entrada diferencial y salida diferencial de unos 18 dB. Obligamos al LNA a tener una ganancia demasiado grande para conseguir el objetivo. Pero hay una forma de rebajar el ruido, que se explicará más adelante.

Otro problema del diseño ha sido el consumo: teniendo en cuenta que se está trabajando para una tecnología portable, el consumo ha de ser mínimo y en nuestro diseño

aún se puede rebajar un poco más. Esto se explicará a continuación, junto al problema del ruido.

Ante todo hay que tener en cuenta que el diseño se ha realizado tal que se puedan obtener medidas a partir de él, medidas que garanticen su funcionamiento para posteriormente con unas ligeras variaciones poder generar un diseño que se amolde mejor a la cadena de recepción, optimizando realmente todos sus parámetros.

Por un lado el problema del consumo se soluciona quitando el *buffer* de salida y la resistencia de corriente de referencia R_{BIAS} . El *buffer* viene a consumir alrededor de 33mW debido a la elevada corriente que circula a través de él (del orden de mA). Cabe comentar que este consumo no se añadió en los resultados del capítulo 5. Por otro lado, quitando la resistencia R_{BIAS} e instanciando una fuente de corriente de 11.5 μA de la tecnología se consigue una reducción de potencia de 1.43 mW a 38 μW, dando un consumo total del mezclador de 3.087 mW, consiguiendo rebajar la potencia disipada al 66% de la anterior. Obviamente, como se comentó en el apartado 5.7.2.1.1 del capítulo 5, las resistencias que establecen la corriente del espejo de corriente serían modificadas con el fin de obtener la corriente de polarización que se necesita. Con este cambio solventamos dos problemas: primero, el consumo del dispositivo mejora notablemente y segundo, eliminamos la resistencia R_{BIAS} , conflictiva debido a que es la resistencia que mayores problemas de tolerancia presenta.

El ruido se puede solucionar eliminando el *buffer* de salida. El problema del *buffer* es que introduce ruido debido a su elevado número de transistores. Como se comentó anteriormente el circuito ha incluido un *buffer* interno para poder ser medido con la estación de puntas, pero en la práctica este *buffer* puede llegar a ser innecesario debido a que el mezclador va conectado a otros elementos en la cadena de recepción. Si conociésemos la impedancia de entrada del elemento conectado al mezclador, quizá no haría falta bajar la impedancia de salida de éste a 50Ω y quizá se podría conectar directamente. Otra opción de *buffer* de salida podrían ser los mostrados en [28] y [29], donde en el primero incluye una estructura diferencial que adapta a 50Ω, y en el segundo simplemente introduce un *buffer* externo al circuito (*max4146*) que se encarga de la adaptación. Una buena solución podría ser esta última, añadiendo un *buffer* externo al circuito mejoraríamos por un lado el ruido del mezclador y rebajaríamos aún más su área.

Como curiosidad, comentar que en unos diseños previos al mostrado durante este proyecto, se consiguieron, en un diseño de entrada diferencial y salida diferencial, valores de

ganancia, linealidad y ruido de 17.5 dB, 22 dBm y 16 dB respectivamente a la frecuencia de 666MHz. Esto fue sin *buffer* de salida y contemplando unos posibles valores de impedancias de salida y de entrada de los componentes a ambos lados del mezclador. Cabe destacar que la medida se realizó de manera asimétrica, por lo que los valores de ganancia y linealidad aumentan en 3 dB. No obstante, en ninguno de los diseños realizados se consiguió un ruido menor a 13 dB manteniendo altos los valores de ganancia y linealidad.

Existen también otras posibles variaciones en el circuito. Por un lado se podría doblar, opción que descartamos debido a que conllevaría un aumento del consumo, del área y del ruido, aumentando también la ganancia y linealidad. Esto no nos interesa, pero quizá para otra aplicación se podría necesitar y estudiar. Otra opción es realizar el diseño con transistores MOS en lugar de bipolares y ver cómo afecta el cambio de transistores en los resultados obtenidos.

Por último nos gustaría comentar que parte del trabajo aquí presentado ha sido publicado en la “*XXII Conference on Design of Circuits and Integrated Systems*” celebrada en Sevilla en Noviembre de 2007. El artículo completo aparece en el Anexo B de este proyecto.

8.4. Resumen

En este capítulo se ha recordado de forma breve los pasos seguidos en la memoria, terminando con una tabla que muestra los resultados del trabajo realizado. Se han comparado con resultados obtenidos en otros diseños parecidos y finalmente se han extraído una serie de conclusiones para poder conseguir una mejora del mismo.

En este punto ya sólo queda presentar el presupuesto del proyecto, que se mostrará en el siguiente capítulo.

Capítulo 9

Presupuesto

9.1. Introducción

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento, para concluir con el estudio, en este capítulo se realizará un análisis económico con los costes tanto parciales como totales del proyecto.

Entre los costes parciales encontraremos los relativos a recursos humanos, amortización, fabricación, medida y redacción del proyecto.

9.2. Costes debido a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el ingeniero en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo. Se presenta una tabla indicativa de las partes en que se ha dividido el Proyecto y el tiempo parcial empleado para cada una de estas fases. Estas fases están constituidas por:

documentación y formación, desarrollo, implementación y análisis de resultados, medida del dispositivo y realización de la memoria. Se muestran en la tabla siguiente.

Tabla 9.1 : Horas de trabajo invertidas en la realización del Proyecto

Fase	Tiempo invertido (horas)
Búsqueda y estudio de la información	150
Familiarización con las herramientas de trabajo	40
Desarrollo del diseño, implementación y análisis	650
Medida del diseño	180
Redacción de la memoria	170
TOTAL	1190

Para el cálculo de honorarios, se ha seguido la propuesta de baremos establecida por el Colegio Oficial de Ingenieros de Telecomunicación a partir del 1-01-2005 [30].

$$H = H_n \cdot 72 + H_e \cdot 93 \quad (9.1)$$

Donde:

- H : Honorarios a percibir.
- H_n : Horas en jornada normal de trabajo.
- H_e : Horas fuera de la jornada de trabajo.

Una vez calculadas las horas totales, según el COIT se debe aplicar el coeficiente de corrección por tramos como muestra la tabla a continuación

Tabla 9.2 : Factor de corrección

Coste (horas)	Factor de corrección (C)
Hasta 36	1
Exceso de 36 hasta 72	0,9
Exceso de 72 hasta 108	0,8
Exceso de 108 hasta 144	0,7
Exceso de 144 hasta 180	0,65
Exceso de 180 hasta 360	0,6
Exceso de 360 hasta 512	0,55
Exceso de 512 hasta 720	0,5
Exceso de 720 hasta 1080	0,45
Exceso de 1080	0,4

Una vez estimadas las horas de trabajo invertidas en la realización del Proyecto, y teniendo en cuenta el factor de corrección y la fórmula propuesta por el COIT, se tiene que los costes referidos a recursos humanos asciende a un total de:

$$H = 0,4 \cdot 1190 \cdot 72 = 34272 \text{ euros} \quad (9.2)$$

9.3. Costes de amortización

Para el cálculo de los costes de amortización hay que tener en cuenta tanto el *hardware* como el *software* utilizado, así como su mantenimiento. El coste de amortización de tanto los equipos como los paquetes utilizados lo calcularemos en base al tiempo utilizado y a los usuarios que acceden a ellos, estipulados en 50 usuarios, excepto para el material personal. Estimamos un tiempo de amortización a tres años. Las siguientes tablas reflejan los costes de amortización.

Tabla 9.3 : Costes debidos a la amortización del *hardware*

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Estación de trabajo SUN Sparc Station 10	2	6800	136	22,66
Servidor para simulación SUN Sparc Station 10	2	7000	140	23,33
Impresora Hewlett Packard Laserjet 4L	1	500	10	0,83
Ordenador Personal Acer Aspire 1692LMi	8	300	300	200,00
TOTAL				246,83

Tabla 9.4 : Costes debidos a la amortización del *software*

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Sistema operativo Solaris X, Open Windows y aplicaciones X11	2	1000	20	3,33
Windows XP Home Edition	8	87	87	58,00
Microsoft Office XP	8	113	113	75,33
Advance Design System 2005 (ADS)	4	2.200	44	14,66
<i>Cadence con Kit de diseño</i>	2	1.500	30	5,00
TOTAL				156,32

9.4. Costes de medida

En este apartado realizaremos un análisis económico de los gastos derivados del uso del laboratorio para la medida de los circuitos. Para la elaboración del estudio se ha tenido en cuenta que el laboratorio está siendo usado por una media de 10 personas a lo largo del año y la amortización de los equipos es a 10 años. Por otro lado el material fungible del laboratorio tales como puntas de medidas, cables, etc... se ha supuesto un periodo de amortización de 3 años.

Tabla 9.5 : Costes de medida

Descripción	Tiempo de uso (meses)	Coste anual (€)		Total (€)
		Total	Usuario	
Equipamiento del laboratorio de medidas y estación de puntas	1	30500	3050	254,16
Material fungible del laboratorio	1	5000	500	41,66
TOTAL				295,82

9.5. Costes de fabricación

En este apartado se incluyen los costos derivados de la fabricación.

Tabla 9.6 : Costes de fabricación

Descripción	mm ²	Precio mm ² (€)	Total (€)
Mezclador	0,48	1000	480,00
TOTAL			480,00

9.6. Costes de redacción

Para obtener el coste asociado a la redacción de la memoria del proyecto, el COIT recomienda utilizar la siguiente fórmula

$$R = 0,07 \cdot P \cdot C \quad (9.3)$$

Donde P es el presupuesto y C el coeficiente reductor de honorarios en función del presupuesto. El valor de P se obtiene al sumar los costes correspondientes al trabajo tarifado por tiempo empleado y a la amortización del inmovilizado material.

Aplicando la fórmula tendremos

$$R = 0,07 \cdot 34675,15 \cdot 0,65 = 1577,72 \text{ euros} \quad (9.4)$$

Al importe obtenido en la expresión anterior se le añade otra serie de gastos relacionadas con la impresión y encuadernación del documento.

Tabla 9.7 : Costes de redacción

Descripcion	Coste (€)
Redacción del documento	1577,72
Tinta de impresión color	46,00
Tinta de impresión negra	37,00
Papel de impresión	10,00
Encuadernación	140,00
TOTAL	1810,72

9.7. Costes totales

Una vez definidos y calculados los costes parciales del Proyecto en cuestión, se muestra a continuación un cuadro resumen donde se recogen dichos costes parciales y el total.

Tabla 9.8 : Costes totales

Descripcion	Coste (€)	
Cotes de recursos humanos	34272,00	
Costes de amortización	<i>Hardware</i>	246,83
	<i>Software</i>	156,32
Costes de medida	295,82	
Costes de fabricación	480,00	
Costes de redacción	1810,72	

SUBTOTAL	37261,69
IGIC (5%)	1863,08
TOTAL	39124,77

D. Néstor Barrera Arbelaiz declara que el proyecto “Diseño de un mezclador en tecnología SiGe 0.35 μ m para un receptor basado en el estándar DVB-H” asciende a un total de treinta y nueve mil ciento veinticuatro euros con setenta y siete céntimos.



Fdo.: Néstor Barrera Arbelaiz

DNI: 78 491 552 – G

Las Palmas de Gran Canaria, a 28 de octubre de 2007

Bibliografía

Bibliografía

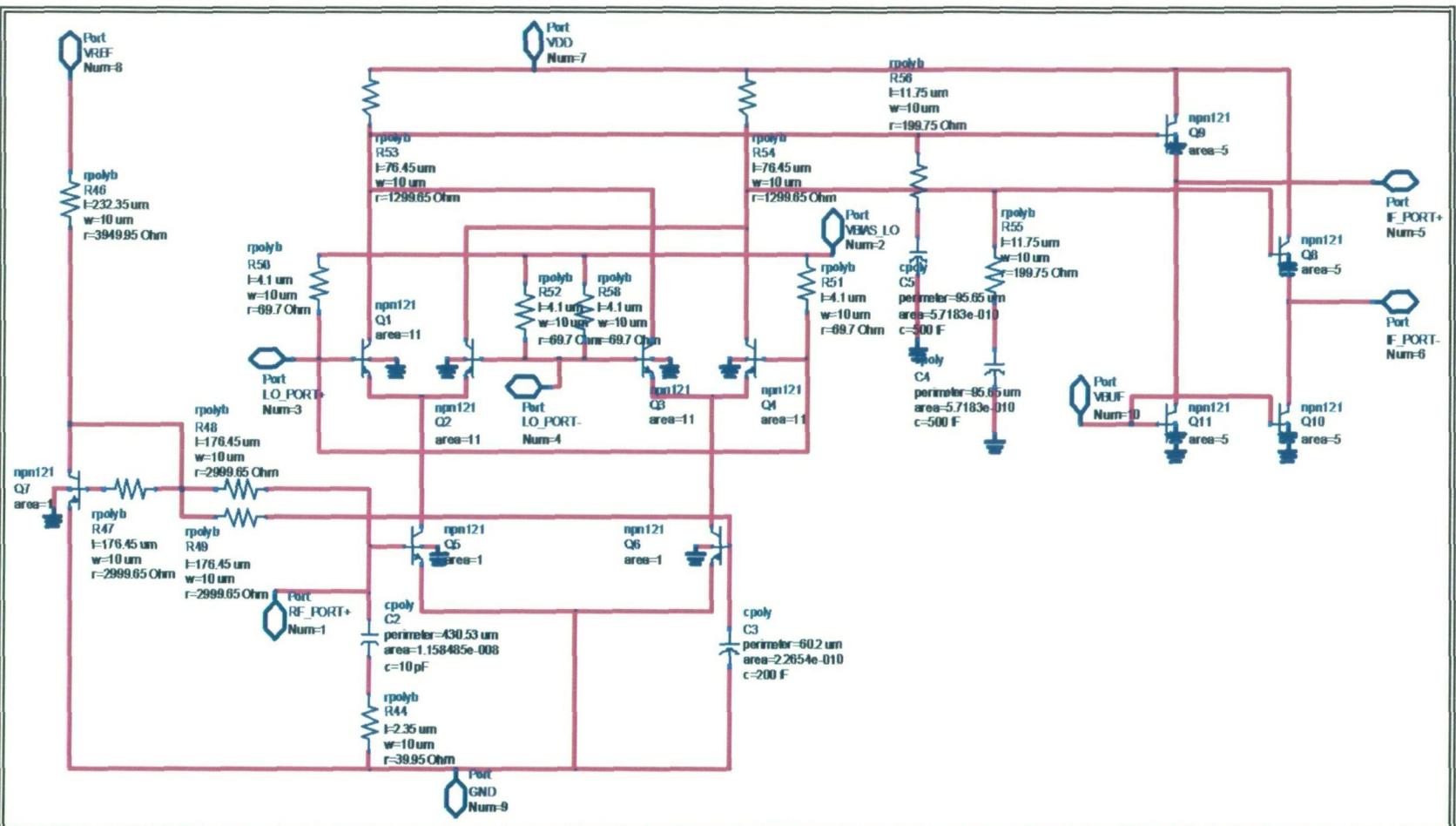
- [1] ETSI EN 302 304 V1.1.1 (2004-11). Digital Video Broadcasting (DVB); Transmission System for Handheld Terminals (DVB-H).
- [2] ETSI EN 300 744 V1.5.1 (2004-11). Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television.
- [3] WP4 / D4.1 deliverable. "Front-end and Antennas External Specification", Based on "Mobile and Portable DVB-T Radio Access Interface Specification, EICTA / TAC / MBRAI-02-16, Version 1.0 (1.1.2004)".
- [4] AMS, Austria Micro Systems, "0.35 μm BiCMOS Process Parameters," Rev. 1.0. 2002.
- [5] AMS, Austria Micro Systems, "0.35 μm BiCMOS Design Rules," Rev. 2.0. 2003.
- [6] Agilent Technologies "Advanced Design System 2003a Documentation", 2003
- [7] Cadence Design Systems "Affirma RF Simulator User Guide", Ver:4.4.6, April 2001.
- [8] Unai Alvarado. "DVB-H RF front-end: system requirements". Noviembre 2005.
- [9] Behzad Razavi. "RF microelectronics". Prentice Hall, 1998.
- [10] Patrick Antoine. "A Direct-Conversion Receiver for DVB-H". IEEE Journal of Solid-State Circuits, vol. 40, No. 12, diciembre 2005.
- [11] Digital Television Group (DTG), Digital Terrestrial Television: Requirements for Interoperability, January 2000.

- [12] Andreas Kämpe, Håkan Olsson. "A DVB-H receiver architecture". Radio Electronics LECS, Department of Microelectronics and Information Technology Royal Institute of Technology (KTH), noviembre 2005.
- [13] Radio-Electronics TSEK 26, 4 P, RF CMOS Transceiver Design, <http://www.ek.isy.liu.se/courses/tsek26/>, System Design.
- [14] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [15] Alan Hastings "The art of analog layout", Prentice Hall, 2001.
- [16] J.S. Yuan, "SiGe, GaAs, and InP Heterojunction Bipolar Transistors," John Wiley & Sons, 1999.
- [17] Ben G. Streetman, "Solid state electronic devices", Prentice Hall, Fourth Edition 1995.
- [18] Francisco Javier del Pino Suárez. "Diseño de circuitos integrados para radiofrecuencias", Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2005.
- [19] Sunil Lalchand Khemchandani, "Estandar DVB-H. Análisis del sistema", Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2006.
- [20] Asad a.Abidi, "Direct-Conversion Radio Transceivers for Digital Communications", IEEE Journal of Solid-State Circuits, Vol.30, NO.12, December 1995.
- [21] Behzad Razavi, "Design Considerations for Direct-Conversion Receivers", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol.44, NO.6, June 1997.
- [22] Aravind Loke and Fazal Ali, "Direct Conversion Radio for Digital Mobile Phones – Desing Issues, Status, and Trends", IEEE Transactions on Microwave Theory and Techniques, Vol. 11, NO.11, November 2002.
- [23] Francisco Javier del Pino Suárez. "Práctica de un mezclador usando célula de Gilbert", Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2005.
- [24] A.A.Moneim, K.Sharaf, H.F.Ragaie, M.Marzouk Ibrahim, "Design of a 950MHz CMOS Integrated Image. Reject Frond-End Receiver", Integrated Circuit Laboratory, Ain Shams University.
- [25] Manual Cadence, "Virtuoso Spectre RF Simulation Option User Guide" ver. 5.1.4.1, July 2005.

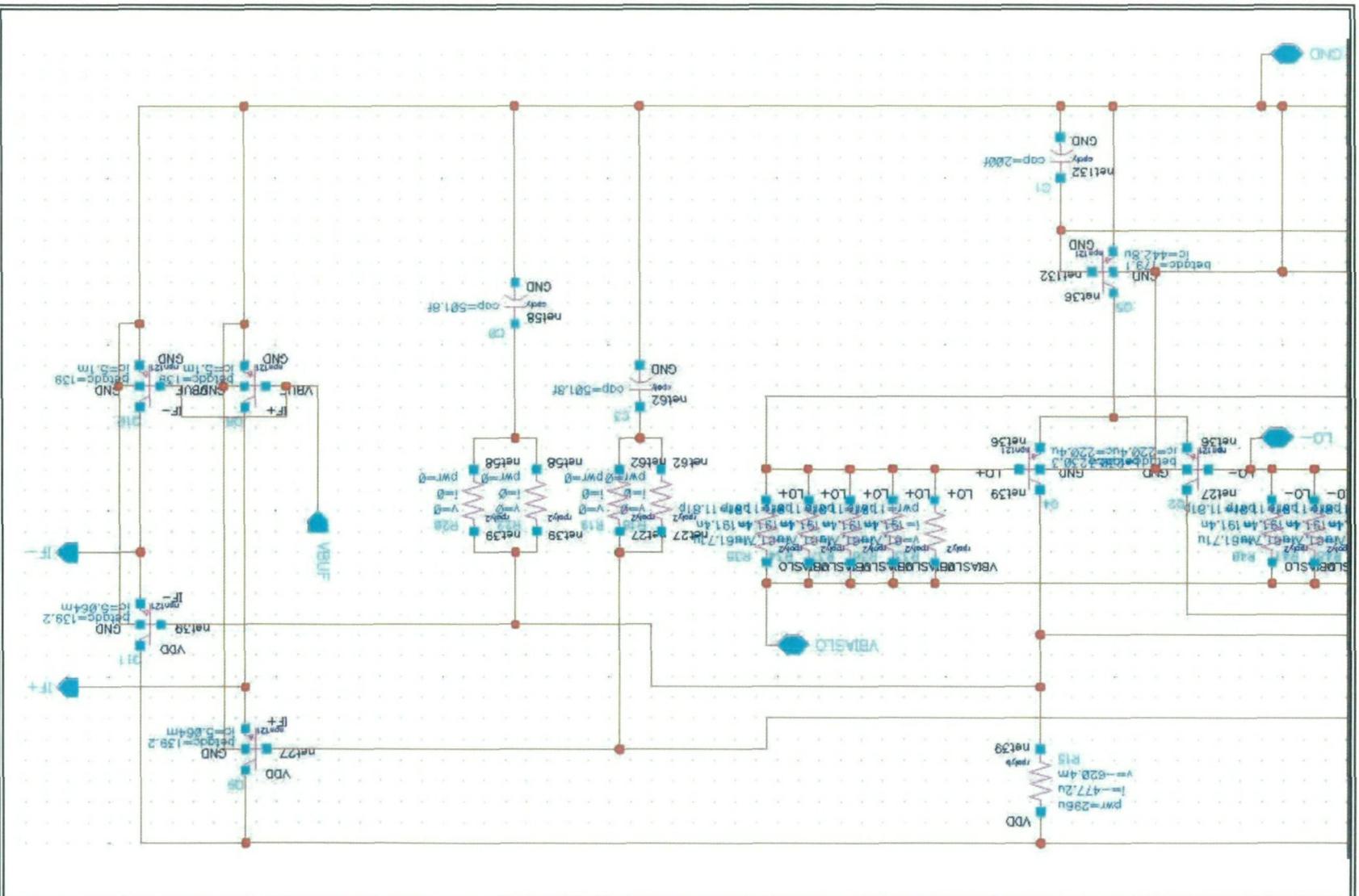
- [26] Vincent Karam “A Current Folded Down Conversion Mixer in 0.18 μ CMOS”, Carleton University, 2003.
- [27] Vojkan Vidojkovic, “A high gain, low voltage folded-switching mixer with current-reuse in 0.18 μ m CMOS”, Eindhoven University of Technology, 2004.
- [28] Sang-Heung Lee, “Charateristics of SiGe device fabricated by SiGe BiCMOS technology and its application to a 5.8 GHz MMIC down-conversion mixer”, Electronic and Telecommunications Research Institute, 2005
- [29] Michael William Lynch, “Silicon Germanium Radio Frequency Integrated Circuits for a 17GHz Wireless Network”, Department of Electrical and Computer Engineering, University of Calgary.
- [30] Paolo Rossi, “RF Building Blocks for Universal Mobile Terminals”, Università degli studi di Pavia.
- [31] Colegio Oficial de Ingenieros de Telecomunicación y la Asociación Española de Ingenieros de Telecomunicación, “Baremos de Honorarios Orientativos para Trabajos Profesionales 2005”.
- [32] M. Nuria Rodríguez Martínez “Mezcladores Integrados en Tecnologías SiGe y Bicmos para frecuencias inferiores a 1.8 GHz.”. Campus Tecnológico de la Universidad de Navarra. 2002
- [33] T.H. Lee. “The design of CMOS Radio-Frequency Integrated Circuits”. Cambridge University Press, 1998.
- [34] R. Jacob Barker. “CMOS circuits design, layout, and simulation”. IEEE Press series on Microelectronics Systems, 1997.
- [35] Stephen Long. “RFIC Mixer design with ADS”. Agilent Technology Abril 2001
- [36] Mohamed Kawekgy, “Low – Power, Low – Voltage CMOS RF Mixers”

ANEXO A

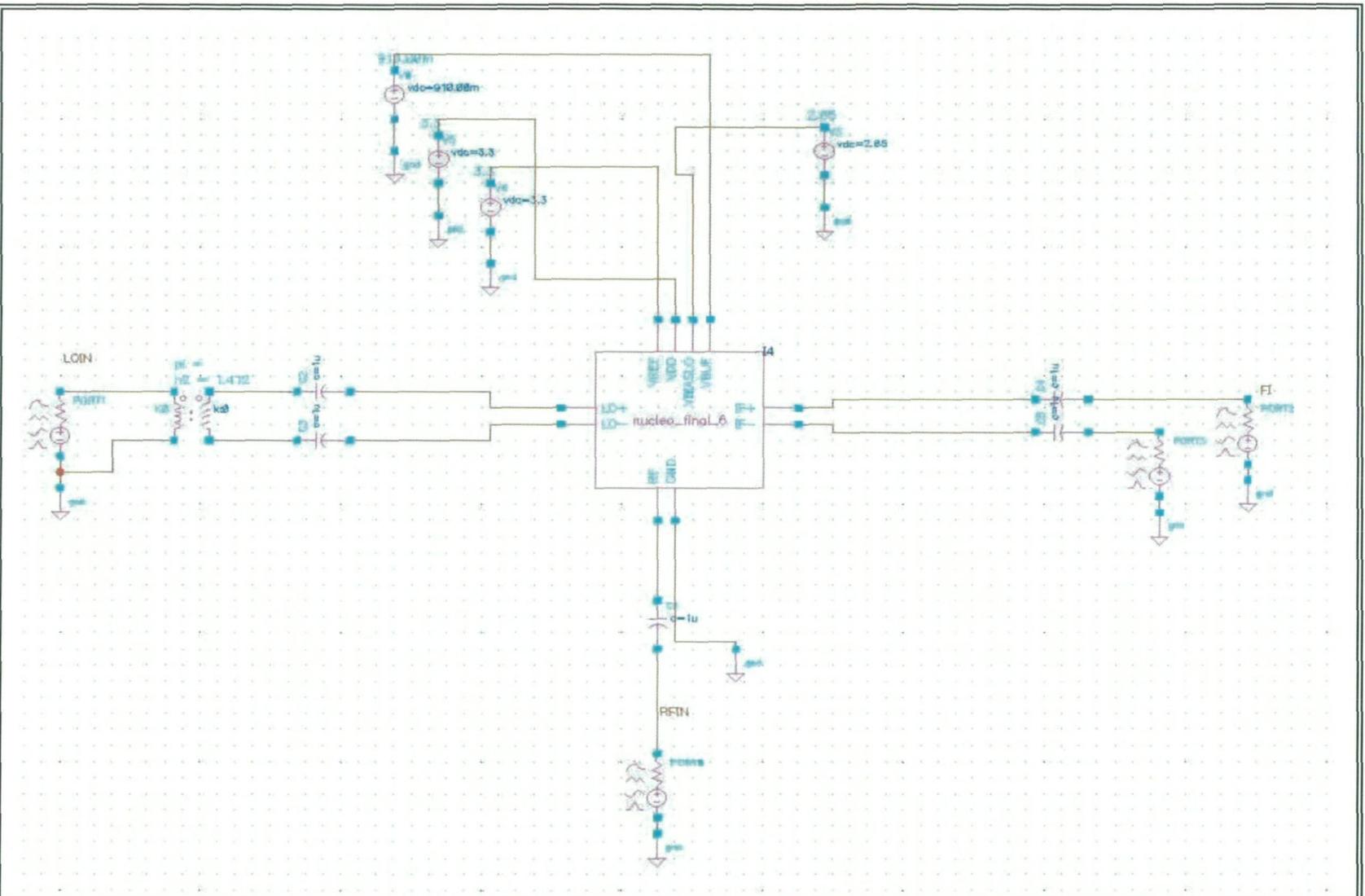
Esquemático en ADS



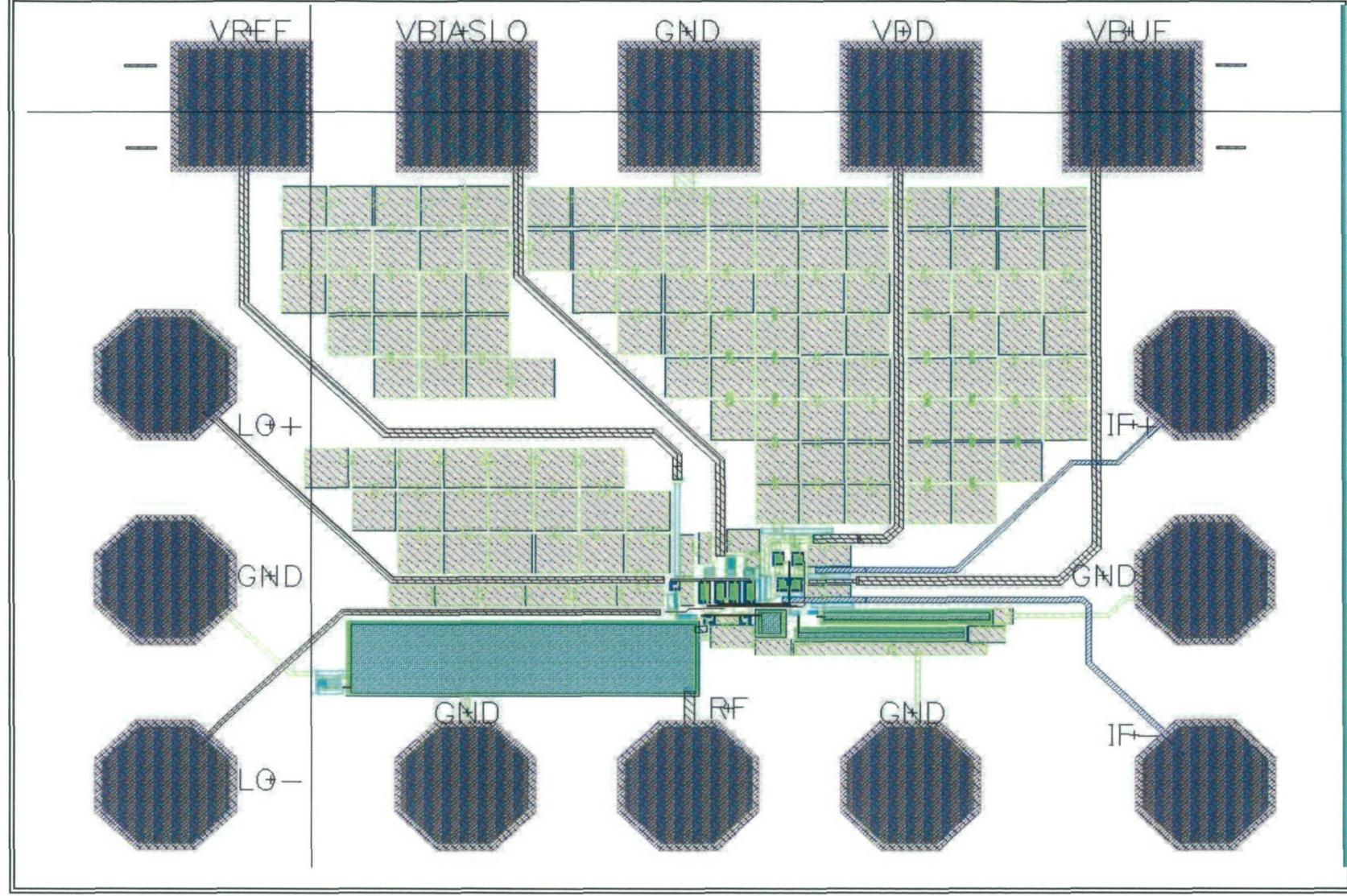
Niveles de DC en Cadence (II)



Esquemas de simulación en Cadence



Layout en Cadence



ANEXO B

A SiGe Front-End for a portable DVB-H Receiver

J. Pérez, N. Barrera, R. Díaz, R. Pulido, J. del Pino, S. L. Khemchandani and A. Hernández

Abstract—This paper describes a low-noise amplifier and mixer intended for use in the front-end of a Digital Video Broadcasting–Handheld receiver. A direct conversion receiver is chosen over classical digital video broadcasting–terrestrial architectures. Both blocks are implemented in a standard 0.35 μm BiCMOS process, with two polys and four metal layers. The LNA has a forward gain of 13 dB and a noise figure of 2.6 dB. The mixer has a conversion gain of 18 dB and an input referred third-order intermodulation intercept point of 16 dBm. The combination draws 5.15 mA from a 3.3 V supply excluding the output buffer which is added to perform the measurements.

Index Terms—Low-Noise Amplifier (LNA), Mixer, Digital Video Broadcasting–Handheld (DVB-H).

I. INTRODUCTION

There is large enthusiasm in the consumer market for the capabilities of the Digital Video Broadcasting–Handheld (DVB-H). Manufacturers of cellular telephones, portable computers, and other mobile devices are looking for ways to incorporate DVB-H receivers into their products. For many of these hand-held devices, one of the primary concerns is battery life. Thus, there is strong motivation to provide good performance at very low power [1]–[3].

In this paper, a receiver system for DVB-H is presented. The integrated circuit (IC) includes a low noise amplifier (LNA) and dual quadrature mixers, implementing direct conversion architecture. According to [4] the complete front-end must have a gain and a noise figure around 30 dB and 10 dB respectively. The design is implemented in a 0.35 μm SiGe technology. Section II and III give details of the LNA and mixer design, addressing the topics of conversion gain, linearity and noise. Simulated results are presented in Section IV, including system-level simulations and circuit implementation issues. Finally, the authors' conclusions are drawn in Section V.

This work is partially supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TEC2005-08091-C03-02)

Authors are with the Institute for Applied Microelectronics (IUMA) and Department of Electronic and Automatic Engineering (DIEA) University of Las Palmas de Gran Canaria, Spain.
(e-mail: rdiaz@iuma.ulpgc.es).

II. LNA

A. LNA Description

Recently, a new topology of a wideband amplifier for UWB system, which adopts a band-pass filter at the input of the cascode low-noise amplifier (LNA) for wideband input matching, has been reported [5]–[6]. The band-pass filter-based topology incorporates the input impedance of the cascode amplifier as a part of the filter, and shows a good performance while dissipating small amounts of dc power.

However, the adoption of the LC filter at the input mandates a number of reactive elements, which could lead to a larger chip area and noise figure degradation in the case of on-chip implementation. In addition, it is worth noting that as the frequency band for DVB-H extends over the 4 and 5 UHF TV bands, going from 470 MHz to 862 MHz, the inductors would require high inductance values ($\sim 10\text{nH}$), not available in typical Silicon technologies with reasonable quality factors.

This paper proposes to combine a resistive loaded LNA, with the conventional resistive shunt-feedback, in order to achieve a low power, low noise and wideband amplifier for the DVB-H band. Fig. 1 shows the proposed topology. As it can be seen, this circuit uses only one inductor reducing the required chip area.

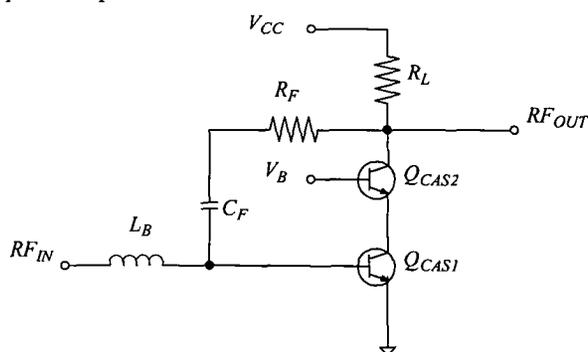


Fig. 1. LNA circuit diagram.

The LNA consists of two stages: the input stage, composed by two transistors (Q_{CAS1} and Q_{CAS2}) and one inductor (L_B), and the output stage, which is the load resistance, R_L .

The input stage is cascoded for a number of reasons. The first one is to reduce the influence of the base-to-collector capacitance on the LNA's input impedance. Specifically, the Miller effect tends to substantially decrease the input



impedance, making difficult to match the input. In addition to mitigating the Miller effect, the use of a cascode improves the LNA's reverse isolation, which is important in the present application in order to allow suppressing local oscillator (LO) feed-through from the mixer back to the LNA's RF input. Finally, the inclusion of the cascode device Q_{CAS2} allows the gain variation through the external bias voltage V_B . It should be noted, however, that a noise penalty is incurred when using a cascode, but with proper attention to the layout of the devices, the additional noise can be minimized.

The design principles of the implemented 470–862 MHz LNA are described in the following section.

B. LNA Design

Having established the LNA's topology, we now discuss the selection of current values and transistor sizes. The noise figure of the LNA depends directly on the emitter area and on the bias current of Q_{CAS1} , and it will reach a minimum for a particular combination of those parameters. We have simulated various combinations of bias currents, transistors areas and transistors multiplicity. The circuit has been simulated using the software Advanced Design System (ADS) from Agilent and power constraints has been taken into account in order to achieve a low power design.

The next step in minimizing the noise is matching the LNA input impedance. Through resistive shunt-feedback it is possible to match the input and the output having an excellent trade-off between conjugate matching and minimum noise. The first step to do this is to select the values of R_L and R_F in order to match the real part of the input and output impedances. The imaginary part of the input impedance is then matched using the inductor L_B .

Following the procedure outlined above, transistor dimensions of Q_{CAS1} and Q_{CAS2} were selected to be $96 \mu\text{m}^2$. Also, a value of 300Ω has been selected for R_L and R_F in order to guarantee wideband operation. Finally, the input matching is achieved with a L_B of 3.5nH . In our implementation, the dc biasing nodes V_B and V_{CC} are biased separately through external voltage sources. The feed-back capacitor C_F value is 1pF .

III. MIXER

A. Mixer Description

The basic of mixing relies on the multiplication of two signals, the LO signal and an incoming information signal, the RF signal. The voltage of the RF signal is amplified and converted into a current by a driver stage. The LO signal is used to steer all of the current from one transistor to the other at the LO switching stage. Finally, the IF output voltage is created due to the current through the load resistors. Refer to Fig 2 for a diagram of a double balanced mixer [7].

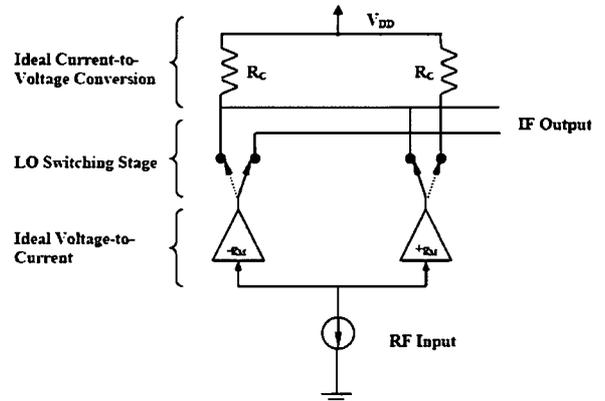


Fig. 2. Ideal Double Balanced Mixer.

The most common mixer topology is the double balanced configuration known as the Gilbert Cell (see Fig 3)[8]. This design is often chosen over the simpler single balanced configuration due to its LO feedthrough isolation properties. Double balanced mixers use symmetry to cancel the unwanted LO components while enhancing desired mixing components at the output.

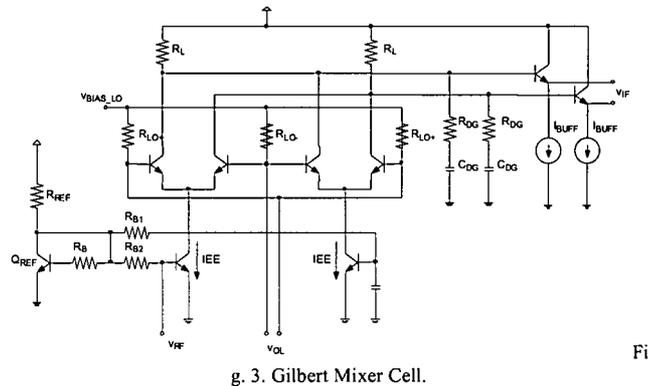


Fig. 3. Gilbert Mixer Cell.

In our case, the driver stage has been biased with the current source composed by Q_{REF} , R_{REF} , R_B , R_{B1} and R_{B2} . The switching stage is biased directly through V_{BIAS_LO} . For measurement purposes, an emitter follower buffer is inserted in order to drive an external 50Ω load.

B. Mixer Design

The mixer design begins with a theoretical study of the approximate values for each circuit element. The rest of the process is basically comprised of executing several simulations until a desired result of mixer performance is achieved. There are several factors which affect mixer performance, such as gain, linearity, power and noise. Adjusting circuitry for the purpose of optimizing a particular performance parameter may serve to unintentionally degrade the performance of the other parameters. It is important to monitor all of the performance parameters throughout the design process. The following

discussion will outline how the approximations for each circuit element in the mixer were achieved. We have focused on providing high gain and linearity with a low power consumption.

An approximation of the mixer gain is as follows:

$$Av = \left(\frac{2}{\pi}\right) \cdot gm_{RF} \cdot R_L \quad (1)$$

Where the $2/\pi$ factor is the attenuation introduced by the switching stage, gm_{RF} is the transconductance of the driver stage and R_L is the load impedance. This approximation is valid if the switching stage transistors are considered to act as perfect switches.

Since the gain is a strong function of R_L , one may consider increasing this parameter. However, this would have a degrading effect on the mixer's linearity because the load resistors could cause gain compression if the voltage swing at the collectors is large enough to cause the output to clip under large signal drive conditions. On the other hand, one may also consider increasing the transconductance of the driver stage transistors, gm , increasing the transistor current IEE . This, in addition to a power consumption increasing, would cause a deterioration of the linearity due to the third order intermodulation increase produced in the switching quad through the emitter-base junction capacitance.

So, there is a combination of the load resistance and bias current in order to achieve a good trade off between gain and linearity with convenient power consumption.

Fig. 4 shows the conversion gain and linearity (measured as the third order intercept point, IIP3) as a function of the driving current reference resistance (R_{REF}). As shown in the figure, for R_{REF} higher than 2.5 k Ω the gain is practically constant and the current is chosen in order to maximize the IIP3. This leads to a R_{REF} of 4 k Ω , i.e. an IEE of 450 μ A.

The value of R_L was chosen following the same procedure. Fig. 5 shows the gain and IIP3 as a function of R_L . Taking a R_L of 1.3 k Ω , the IIP3 is maximum while the gain keeps an acceptable value (12dB).

The mixer linearity can be increased by source degeneration [8]. This technique consists on introducing a resistance (or inductance) in the emitters of the driver stage in order to maximize the linear input voltage range. However, this implies a deterioration of the gain and noise figure and, as a consequence, was not used in our design. Instead of this, a degeneration network composed by C_{DG} and R_{DG} has been introduced at the buffer input to improve the linearity.

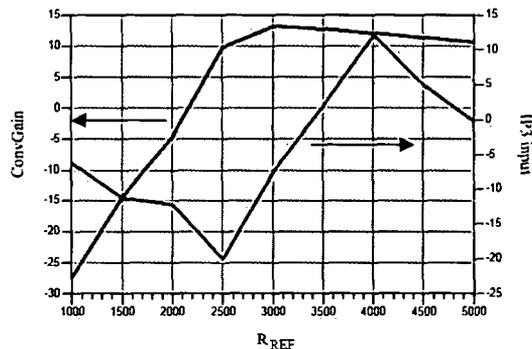


Fig. 4. Gain and IIP3 as a function of R_{REF} .

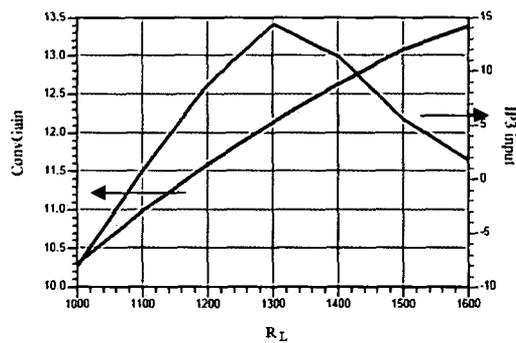


Fig. 5. Gain and IIP3 as a function of R_L .

A further improvement of mixer performance can be achieved optimizing the transistor areas and multiplicities. In general, the gain and NF depend on the transconductor transistors area and the IIP3 depends more on the switching transistor area, reaching a maximum at a given value. Taking this into account, a transconductor and a switching quad transistor areas of 1 and 11 μ m² was chosen, respectively.

IV. RESULTS

The LNA and mixer were integrated in a 0.35 μ m BiCMOS technology with four metal layers. The circuits were designed to be measured on wafer with a probe station and most of the chip area is occupied by the probe pads. The layouts are shown in Fig. 6 and 7. Note that the circuits (excluding the patterns for testing) occupy a very small area of 452 μ m x 600 μ m and 120 μ m x 460 μ m, respectively, because only an inductor L_B is used at the input of the LNA. The results of post-layout simulations are summarized in Table I and discussed in detail below.

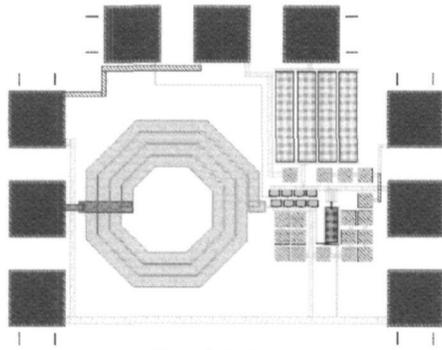


Fig. 6. LNA layout.

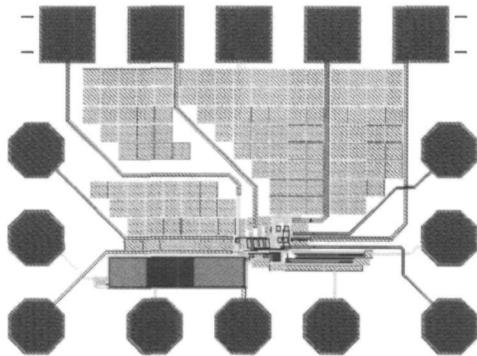


Fig. 7. Mixer layout.

A. LNA

The LNA was simulated separately from the mixer to determine its characteristics. The layout verification and parasitic extraction were made with ASSURA and the worst case extraction mode was used. Fig 8 shows the simulations results. Considering the above conditions, a flat gain of approximately 13 dB (± 0.5 dB) has been obtained for the DVB-H band. From 470 to 862 MHz, S_{11} and S_{22} are less than -8 dB, and the noise figure varies from 2.2 to 2.6 dB.

The linearity of the LNA was evaluated with a two-tone IP3 test with tones at different frequencies on the DVB-H band. The result is plotted in Fig. 9. The IP3 is about -4.3 (± 1) dBm, input-referred.

As stated above, in Fig 10 it is shown how varying the bias voltage V_B , a gain variation of 12 dB can be achieved.

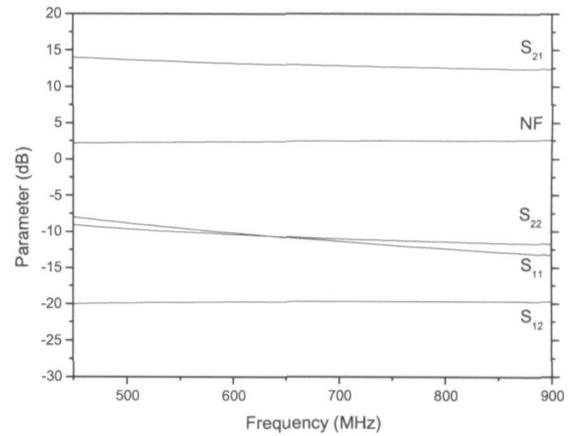


Fig. 8. LNA Scattering parameters and NF.

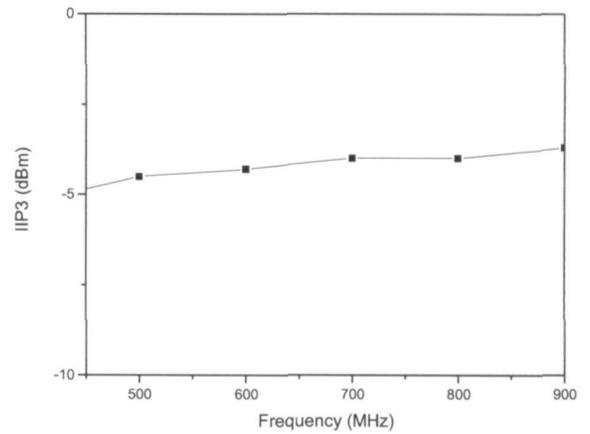


Fig. 9. LNA IIP3 (dBm) at different frequencies.

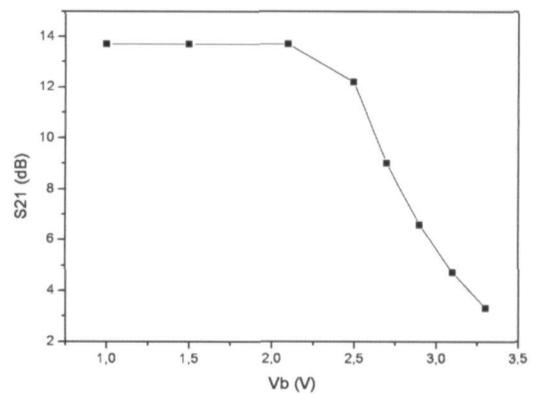


Fig 10. S_{21} with different voltages of V_b

B. Mixer

As the LNA, the mixer was simulated independently to determine its characteristics. Considering the worst case conditions, a flat gain of 15 dB taken from a single ended output has been obtained for the DVB-H band (see Fig 11). As long as the mixer output is differential, 3dB should be added to this quantity.

The single-sideband (SSB) noise figure of the mixer is 24 dB based on noise figure simulations of the mixer/buffer combination.

As the LNA, the linearity of the mixer was evaluated with a two-tone IP3 test with tones at different frequencies on the band of interest. The result is plotted in Fig. 12. At the centre of the band the IIP3 is about 16dBm. This figure degrades as we move to the edges of the band.

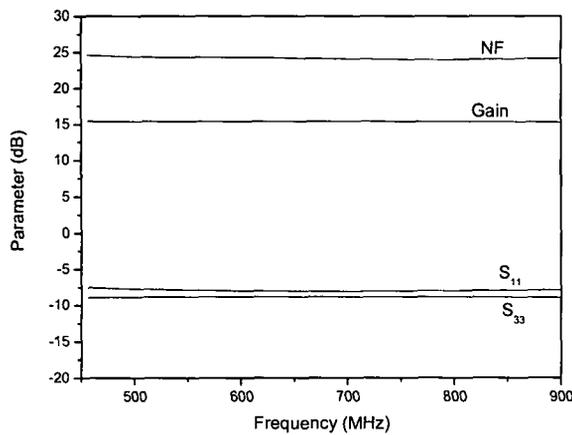


Fig. 11. Mixer Scattering parameters and noise figure.

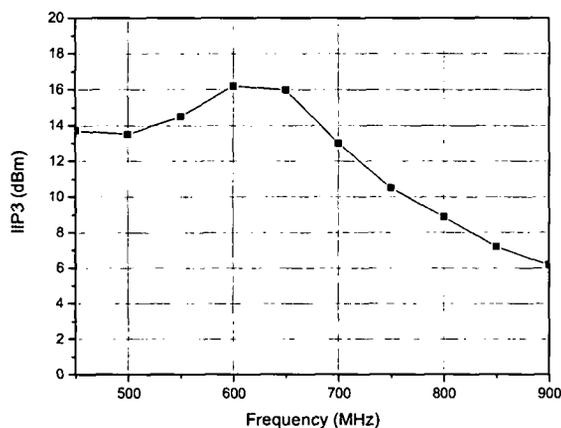


Fig. 12. Mixer IIP3 (dBm) at different frequencies.

C. Front-End

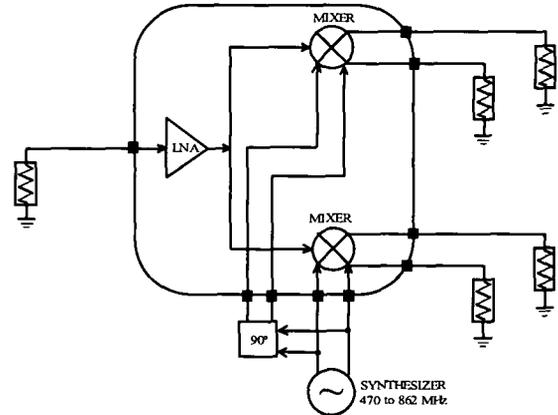


Fig 13. Block diagram of the DVB front-end test setup.

Fig.13 shows the test Set-Up used for simulating the front-end where two mixers in quadrature are integrated with the LNA.

A summary of the DVB-H front end performance is shown in Table I. These results have been obtained at the centre of the band. It can be observed that the front-end gain and noise figure are 31.6 dB and 11.5 dB, respectively. As the single-sideband (SSB) noise figure of the mixer is 24.7 dB and given the gain of the preceding LNA, the mixer contributes 9 dB to the noise figure of the LNA/mixer combination. The IP3 of the combination is approximately -5.4 dBm, input-referred. Comparing the obtained specifications with the proposed specifications, it can be observed how the gain specification has been achieved. On the other hand the noise specification has not been achieved because the mixer has a high noise figure due to the output stage employed.

Table I. Front end performance summary

	LNA	Mixer	Front-End
NF (dB)	2.6	24.7	11.5
Gain (dB)	13	18.4	31.6
IIP3 (dBm)	-4.3	16	-5.4
Consumption (mW)	13.41	3.5	17
Area (mm ²)	0.27	0.05	0.32

V. CONCLUSIONS

A functional LNA/mixer combination for a DVB-H receiver has been presented. The front-end uses only one inductor, located in the LNA input matching network, and the load is not LC resonant in order to obtain the large RF bandwidth required by DVB-H (470 MHz to 862 MHz). The down-conversion is performed with a quadrature mixer.

Both, LNA and mixer present a suitable balance between linearity and noise figure, at a very low power cost. The simulated conversion gain (S_{21}) of the LNA/Mixer combination is 31.6 dB and it can be adjusted through the bias voltage V_B .

REFERENCES

- [1] Guido Retz, Phil Burton, "A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications," in ISSCC 2003.
- [2] Patrick Antoine, Philippe Bauser, Hugues Beaulaton, Martin Buchholz, Declan Carey, Thierry Cassagnes, T. K. Chan, Stephane Colomines, Fionn Hurley, David T. Jobling, Niall Kearney, Aidan C. Murphy, James Rock, Didier Salle, and Cao-Thong Tu, "A Direct-Conversion Receiver for DVB-H," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, December 2005.
- [3] Mark Dawkins, Alison Payne Burdett and Nick Cowley, "A Single-Chip Tuner for DVB-T," in IEEE Journal of Solid-State Circuits, Vol. 38, No. 8, August 2003.
- [4] P. Antoine, P. Bauser, H. Beaulaton, M. Buchholz, D. Carey, T. Cassagnes, T. K. Chan, S. Colomines, F. Hurley, D. T. Jobling, N. Kearney, A. C. Murphy, J. Rock, D. Salle and C.-T. Tu, "A Direct-Conversion Receiver for DVB-H", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, December 2005
- [5] Yunseo Park, Chang-Ho Lee, John D. Cressler, and Joy Laskar, "Theoretical Analysis of a Low Dispersion SiGe LNA for Ultra-Wideband Applications," in IEEE Microwave and Wireless Components Letters, Vol. 16, No. 9, September 2006.
- [6] Chang-Wan Kim, Min-Suk Kang, Phan Tuan Anh, Hoon-Tae Kim, and Sang-Gug Lee, "An Ultra-Wideband CMOS Low Noise Amplifier for 3–5-GHz UWB System," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 2, February 2005.
- [7] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, 1998.
- [8] Behzad Razavi, "RF Microelectronics", Prentice Hall, 1998.