

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



Proyecto Fin de Carrera

DISEÑO DE UN AMPLIFICADOR DISTRIBUIDO PARA *ULTRA*
***WIDE BAND* BASADO EN *HBT* DE LA TECNOLOGÍA SIGE $0.35 \mu m$**
DE AMS

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.

ROBERTO DÍAZ ORTEGA.

AUTOR: VICTOR DÉNIZ GONZÁLEZ.

FECHA: MAYO 2008.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN



Proyecto Fin de Carrera

DISEÑO DE UN AMPLIFICADOR DISTRIBUIDO PARA *ULTRA WIDE BAND* BASADO EN *HBT* DE LA TECNOLOGÍA SIGE $0.35 \mu\text{m}$ DE AMS

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:.....

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.

ROBERTO DÍAZ ORTEGA.

AUTOR: VICTOR DÉNIZ GONZÁLEZ.

FECHA: MAYO 2008.

AGRADECIMIENTOS

Son varios los años que han pasado, son muchas las horas de estudio, pero al fin, ha llegado el día en el que me siento a escribir estas palabras, ha llegado el momento en que el que el proyecto toca su fin y con él quedan atrás unos años, por qué no decirlo, que han sido bastante duros. Este día no habría llegado sin la ayuda, en primer lugar, de mis padres que siempre han estado ahí. Debo agradecer de forma muy especial y dedicar este proyecto fin de carrera a mi novia, ya que sin ella, nada de esto tendría sentido.

No sería justo por mi parte el no dar las gracias a mi compañero y amigo Adrián Jordán, compañero de tantos días de estudio, compañero de alegrías y compañero de decepciones, de una forma u otra él siempre ha estado ahí y por ello parte de este proyecto le pertenece.

No quiero dejar pasar la ocasión para también agradecer la inestimable ayuda de mi tutor Javier del Pino y de mi cotutor Roberto Díaz que siempre me han ayudado cuando lo he necesitado. A todos ellos, un millón de **GRACIAS**.

CAPÍTULO 1

INTRODUCCIÓN

Introducción	1
1.1 Objetivos	5
1.2 Estructura de la memoria	5
1.3 Peticionario	6

CAPÍTULO 2

ESTANDARI EEE 802.15.3a

2.1 Características de los sistemas de RF	7
2.1.1 Ganancia	8
2.1.2 Ruido	8
2.1.2.1 Tipos de ruido en circuitos integrados	9
- Ruido térmico	9
- Ruido Shot	9
- Ruido flicker	10
2.1.2.2 Factor de ruido (F) y figura de ruido (NF)	11
2.1.2.3 Fuentes de ruido en circuitos integrados de RF	12
- Ruido térmico en resistencias integradas	12
- Ruido térmico en transistores bipolares de heteroestructura (HBT)	14
2.1.3 Punto de intercepción de tercer orden (IP3)	17
2.1.4 Coeficiente de onda estacionaria	20
2.2 Estándar IEEE 802.15.3^a	20
2.2.1 Canalización	21
2.2.2 Desafíos en el diseño de MB-OFDM	22
2.3 Especificaciones del receptor para UWB-MBOA	23
2.3.1 Panorama de interferencia	24
2.3.2 Sensibilidad	24
2.3.3 Requisitos de linealidad	25
2.3.4 Requisitos de ruido	25
2.3.5 Requisitos del filtro	26

2.3.6 Requisitos del sintetizador	26
2.3.7 Especificaciones del receptor propuesto	27
2.4 Resumen	27

CAPÍTULO 3

AMPLIFICADORES DISTRIBUIDOS

3.1 Historia de los amplificadores distribuidos	29
3.2 Estructura y funcionamiento de los amplificadores distribuidos	30
3.3 Figura de mérito de los amplificadores distribuidos	33
3.4 Cálculo de los componentes en los amplificadores distribuidos	34
3.4.1 Cálculo de las semisecciones derivadas (<i>Derived half-sections</i>)	36
3.5 Conclusiones	38

CAPÍTULO 4

ESTUDIO DE LA TECNOLOGÍA

4.1 Resistencias	39
4.1.1 Construcción	39
4.1.2 Resistencias en la tecnología S35D4 de AMS	40
4.2 Condensadores	43
4.2.1 Construcción	43
4.2.2 Condensadores en la tecnología S35D4 de AMS	44
4.3 Bobinas	45
4.3.1 Construcción	45
4.3.2 Funcionamiento	46
4.3.3 Modelo de la bobina	48
4.3.4 Bobinas en la tecnología S35D4 de AMS	49
4.4 El transistor Mosfet	50
4.4.1 Construcción	50
4.4.2 Funcionamiento	50
4.4.3 Modelo de baja frecuencia	53
4.4.4 Modelo de alta frecuencia	54
4.4.5 Transistores Mosfet en la tecnología S35D4 de AMS	56
4.5 HBTs de SiGe	58

4.5.1 Construcción	58
4.5.2 Funcionamiento	58
4.5.3 Modelo de baja frecuencia	61
4.5.4 Modelo de alta frecuencia	62
4.5.5 HBTs en la tecnología S35D4 de AMS	64
4.6 Resumen	65

CAPÍTULO 5

DISEÑO A NIVEL DE ESQUEMÁTICO

5.1 Descripción del diseño	67
5.2 Especificaciones del diseño	68
5.3 Cálculo de los componentes del diseño	69
5.4 Realización y simulación del esquemático	72
5.4.1 Simulación esquemático sin pads ni bobinas reales	73
5.4.2 Simulación esquemático final con pads y bobinas reales	74
5.5 Conclusiones	78

CAPÍTULO 6

DISEÑO A NIVEL DE *LAYOUT*

6.1 Proceso de diseño	79
6.2 <i>Layout</i> LNA distribuido	80
6.3 Simulaciones post-<i>layout</i> del LNA distribuido	82
6.3.1 Simulaciones <i>Typical mean</i>	82
6.3.2 Simulación <i>Worst case</i>	85
6.3.2.1 Resultados de la ganancia para las diferentes simulaciones	85
6.3.2.2 Resultados de la figura de ruido para las diferentes simulaciones	86
6.4 Conclusiones	87

CAPÍTULO 7

CONCLUSIONES

Conclusiones	89
7.1 Líneas futuras	92

CAPÍTULO 8

PRESUPUESTO

8.1 Introducción	95
8.2 Baremos utilizados	95
8.3 Cálculo del presupuesto	96
8.3.1 Costes debidos a los recursos humanos	96
8.3.2 Costes de amortización de equipos informáticos y software	97
8.3.3 Costes de fabricación	98
8.3.4 Presupuesto total	98

BIBLIOGRAFÍA	101
---------------------	------------

CAPÍTULO 1

INTRODUCCIÓN

En la actualidad, las redes inalámbricas van desde redes de voz y datos globales, que permiten a los usuarios establecer conexiones inalámbricas a través de largas distancias, hasta las tecnologías de luz infrarroja y radiofrecuencia que están optimizadas para conexiones inalámbricas a distancias cortas. Entre los dispositivos comúnmente utilizados para la interconexión inalámbrica se encuentran los equipos portátiles, equipos de escritorio, asistentes digitales personales (*PDA*), teléfonos móviles, localizadores, etc.

Las tecnologías inalámbricas tienen muchos usos prácticos. Por ejemplo, los usuarios de móviles pueden usar su teléfono móvil para tener acceso al correo electrónico. Las personas que viajan con equipos portátiles pueden conectarse a Internet a través de estaciones base instaladas en aeropuertos, estaciones de ferrocarril y otros lugares públicos. En casa, los usuarios pueden conectar dispositivos a su equipo de escritorio para sincronizar datos, transferir archivos, etc.

Las redes inalámbricas se pueden dividir en dos grupos: las fijas y las móviles. Las redes inalámbricas fijas son aquellas en las que tanto el emisor como el receptor están situados en enclaves físicos permanentes, mientras que las redes inalámbricas móviles son aquellas en las que no existe esta restricción, al menos en parte de los equipos que intervienen en la comunicación.

Dentro de las redes inalámbricas fijas nos podemos encontrar con:

- *MMDS* del inglés *Multichannel Multipoint Distribution Service*
- *LMDS* del inglés *Local Multipoint Distribution Service*
- Microondas punto a punto
- Enlaces ópticos

Las redes inalámbricas móviles se pueden clasificar en diferentes tipos en función de las distancias a través de las que se pueden transmitir los datos:

- Redes inalámbricas de área extensa (*WWAN*)
- Redes inalámbricas de área metropolitana (*WMAN*)
- Redes inalámbricas de área local (*WLAN*)
- Redes inalámbricas de área personal (*WPAN*)

Las *WWAN* permiten a los usuarios establecer conexiones inalámbricas a través de redes remotas públicas o privadas. Estas conexiones pueden mantenerse a través de áreas geográficas extensas, como ciudades o países, mediante el uso de antenas en varias ubicaciones o sistemas satélite que mantienen los proveedores de servicios inalámbricos.

Las tecnologías *WMAN* permiten a los usuarios establecer conexiones inalámbricas entre varias ubicaciones dentro de un área metropolitana (por ejemplo, entre varios edificios de oficinas de una ciudad o en un campus universitario), sin el alto coste que supone la instalación de cables de fibra o cobre y el alquiler de las líneas. Además las *WMAN* pueden servir como copia de seguridad para las redes con cable, en caso de que las líneas alquiladas principales para las redes con cable no estén disponibles.

Las *WLAN* permiten a los usuarios establecer conexiones inalámbricas dentro de un área local (por ejemplo, un edificio corporativo o campus empresarial, o en un espacio público como un aeropuerto). Las *WLAN* se pueden utilizar en oficinas temporales u otros espacios donde la instalación de cableado sería prohibitiva, o para complementar una *LAN* existente. En las *WLAN* de infraestructura, las estaciones inalámbricas (dispositivos con radio tarjetas de red o módems externos) se conectan a puntos de acceso inalámbrico que funcionan como puentes entre las estaciones y la red troncal existente. En las *WLAN* de igual a igual (*ad hoc*), varios usuarios dentro de un área limitada, como una sala de conferencias, pueden formar una red temporal sin utilizar puntos de acceso, si no necesitan obtener acceso a recursos de red.

Las tecnologías *WPAN* permiten a los usuarios establecer comunicaciones inalámbricas *ad hoc* para dispositivos (como *PDA*, teléfonos móviles y equipos portátiles) que se utilizan dentro de un espacio operativo personal (*POS*). Un *POS* es el espacio que rodea a una persona, hasta una distancia de 10 metros.

En la figura 1.1 se muestra una gráfica que enfrenta la movilidad con la tasa binaria de las redes inalámbricas.

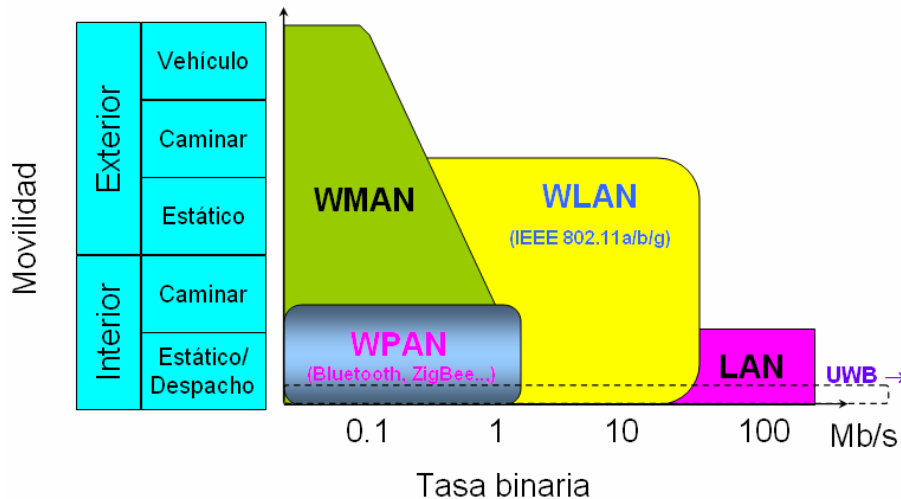


Figura1 Redes inalámbricas: Movilidad frente a la tasa binaria.

Actualmente, el mercado demanda tecnologías *WPAN* con velocidades similares a las ofrecidas por las tecnologías de conexión física, que ofrezcan por ejemplo transmisiones de video de alta definición en tiempo real. Hasta el momento *Bluetooth* era la tecnología dominante en el mercado debido a sus ventajas. Dispone de un protocolo de comunicaciones de área personal que integra a una amplia variedad de dispositivos, y permite una rápida interconexión y facilidad de uso de tecnologías de diversos fabricantes. Hasta la fecha ésta sigue siendo la principal ventaja de *Bluetooth* sobre otras tecnologías. En el aspecto técnico, *Bluetooth* opera en la llamada banda de aplicaciones industriales, científicas y médicas (*ISM*), con una frecuencia de 2.45 GHz, dividiendo esta banda en 79 canales de 1 MHz. En cuanto a la velocidad de transmisión, este protocolo permite transmisiones de hasta 2.1 Mbps, en su versión 2.0 [1].

Esta velocidad de transmisión es suficiente para muchas aplicaciones, sin embargo, no lo es para lo que actualmente demanda el mercado. De aquí surge la tecnología *UWB* (*Ultra Wide Band*, ultra banda ancha), la cual tiene un ancho de banda de 3.1-10.6 GHz y velocidades de transmisión de hasta 400-500 Mbps [2], [3].

Existen dos grandes métodos para la generación de las señales de *UWB*:

- *IR-UWB (Impulse Radio-UWB)*: en este caso se utiliza señales de radio de pulsos cortos del orden de picosegundos en banda base y se transmiten sin una portadora que lo sustente.
- *CB-UWB (Carrier Based-UWB)*: el segundo método de generación de señales de *UWB* es a través de técnicas con portadora (*DSSS* del inglés *Direct Sequence Spread Spectrum* o *FHSS* del inglés *Frequency Hopping Spread Spectrum*), técnicas de multi-portadora (*OFDM* del inglés *Orthogonal Frequency Division Multiplexing*) o la combinación de ambos. La *FCC (Federal Communications Commission)* indicó que los sistemas *UWB* para propósitos comerciales, tales como *802.15.3a*, se basarán probablemente en *CB-UWB* [2].

Se han hecho varias propuestas para el estándar *802.15.3a*, pero nosotros nos centraremos en la propuesta por la *MBOA (Multiband OFDM Alliance)* [3]. La *MBOA* dividió el espectro de 3 a 10 GHz, en bandas de 528 MHz empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM 128*, permitiendo tasas de datos de 53.3 Mb/s a 480 Mb/s (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mb/s).

En la figura 1.2 se muestra el esquema de un transmisor-receptor para *UWB* basado en este estándar. Como se muestra, la parte del receptor está compuesta por diferentes bloques de entre los que destaca el amplificador de bajo nivel de ruido (*LNA, Low Noise Amplifier*) por ser el primer elemento activo con el que se encuentra la señal. Este proyecto en sí, trata del diseño de dicho amplificador.

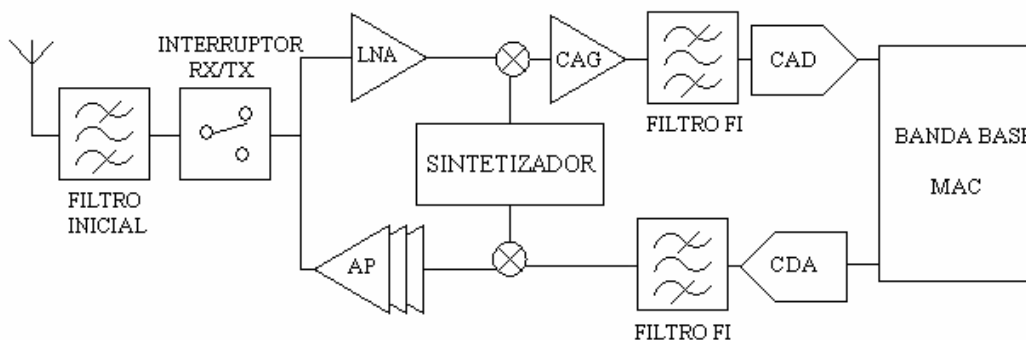


Figura 1.2 Esquema de un transmisor-receptor para *UWB*.

1.1 Objetivos

El objetivo principal de este proyecto es el diseño de un *LNA* distribuido de ultra banda ancha utilizando transistores bipolares de heteroestructura (*HBT*) para un receptor de *UWB* (estándar 802.15.3a). Para ello se hará uso de la tecnología *SiGe* 0.35 μm suministrada por la empresa *AMS* (*Austria Micro System*) [4]-[5].

Dicho amplificador forma parte de una línea de investigación de más envergadura “*Wireless Technologies for small area Networks with Embedded Security and Safety WITNESS*” en la que se desarrollan varios proyectos encaminados a estudiar las posibilidades de integración de terminales inalámbricos basados en los estándares de última generación, así como las aplicaciones de las mismas. En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.2 Estructura de la memoria

En este primer capítulo se han presentado las principales redes inalámbricas, centrándonos en las *WPAN*. Se ha estudiado qué motiva la aparición de *UWB* y las distintas propuestas para su estándar. Por último, hemos fijado los objetivos del proyecto.

En el **capítulo 2** abordaremos el estudio de las características del estándar *IEEE 802.15.3a*. Se comenzará con una explicación general de las características comunes a cualquier sistema de radiofrecuencia (*RF*). A continuación, se estudiará en detalle los aspectos más importantes del estándar. Este proyecto es parte de una cadena de recepción de *UWB*, por lo que se presentará finalmente la estructura general de dicho receptor.

En el **capítulo 3** nos centraremos en las características de los *LNAs* de ultra banda ancha. Para ello estudiaremos primero la arquitectura simple, para posteriormente pasar a estudiar el amplificador cascodo y finalmente abordar las estructuras de nuestros diseños.

En el **capítulo 4** profundizaremos en el estudio de la tecnología *SiGe* de 0.35 μm de *AMS*. Como parte de este estudio, se analizarán los componentes de dicha tecnología que forman parte de un *LNA*.

Una vez estudiada la tecnología, en el **capítulo 5** nos centraremos en el diseño a nivel de esquemático. Para simularlo se utilizará el *software ADS* (*Advanced Design System*) [6].

En el **capítulo 6** pasaremos a la implementación física de los diseños obtenidos en el capítulo anterior haciendo uso del *software Cadence* [7]. Una vez generados nuestros *layouts*, se realizan una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño.

Finalmente, en el **capítulo 7** se resumen las principales conclusiones y resultados obtenidos.

1.3 Peticionario

Actúa como petionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (*TME*) del Instituto Universitario de Microelectrónica Aplicada (*IUMA*).

CAPÍTULO 2

ESTANDAR IEEE 802.15.3a

En el capítulo anterior hemos visto una introducción general de cómo se ha desarrollado nuestro proyecto y se estableció el estándar sobre el que íbamos a trabajar. En nuestro caso se trata del denominado *IEEE 802.15.3a* propuesto por el *MBOA*.

En este capítulo analizaremos los parámetros característicos de este estándar, ya que protagonizan un importante papel dentro de nuestro estudio.

Para ello, comenzaremos con una introducción de las características de los sistemas de radiofrecuencia (*RF*) en general [8], [9]. Con esta información, nos encontraremos capacitados para desarrollar en profundidad el estándar *IEEE 802.15.3a*.

2.1 Características de los sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de *RF*, por esta razón serán de utilidad más adelante para el estudio del sistema donde irán incluidos nuestros amplificadores.

2.1.1 Ganancia (G)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación (2.1).

$$G = \frac{V_{salida}}{V_{entrada}} \quad (2.1)$$

Siendo su valor en decibelios el mostrado en la ecuación (2.2).

$$G(dB) = 20 \cdot \log \left(\frac{V_{salida}}{V_{entrada}} \right) \quad (2.2)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S, más concretamente el parámetro S_{21} .

2.1.2 Ruido

El ruido se define como cualquier interferencia aleatoria no relacionada con la señal de interés. La inevitable presencia del ruido en un sistema de comunicación causa que la transmisión de señales eléctricas a través del mismo no sea segura. Hay muchas fuentes potenciales de ruido. Éstas pueden ser externas al sistema (ruido atmosférico, ruido galáctico, ruido producido por el hombre) o propias del mismo sistema. En este apartado sólo se estudiará las fuentes de ruido generadas por el propio sistema.

El ruido interno está muy unido a los fenómenos físicos que caracterizan el comportamiento de los componentes de los circuitos empleados en *RF*. Estos fenómenos consisten en variaciones espontáneas de tensiones o corrientes causadas por la agitación temporal de las cargas en los conductores o por la estructura granular de dichas cargas. Por tanto, podemos deducir que el ruido producido por un circuito electrónico no puede ser eliminado por completo, puesto que es intrínseco al propio funcionamiento del circuito. Sin embargo, si es posible minimizar sus efectos mediante un diseño adecuado del mismo.

2.1.2.1 Tipos de ruido en circuitos integrados

En este subapartado se explicará brevemente los tipos de ruido que se encuentran en los circuitos integrados, así como el motivo de su aparición.

Ruido Térmico

Es una perturbación de carácter aleatorio que aparece de forma natural en los conductores debido a la agitación térmica de los electrones. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las fluctuaciones de energía en torno al valor más probable son muy pequeñas pero suficientes para producir la agitación de las cargas dentro del conductor. Estas fluctuaciones de las cargas crean una diferencia de tensión que se mezcla con la señal transmitida por el conductor, produciendo interferencias en la misma y degradando la calidad de la señal.

Como la causa de este tipo de ruido es el movimiento térmico de los electrones, es lógico esperar que esté relacionado con la temperatura y de hecho aumenta directamente con la misma. La potencia media de ruido térmico está definida por la ecuación (2.3):

$$\eta = 4 \cdot K \cdot T \cdot \Delta f \quad (2.3)$$

Donde:

- η es la potencia media de ruido media medida en vatios.
- K es la constante de *Boltzmann*, $K = 1.381 \times 10^{-23} \text{ Jul/}^\circ K$.
- T es la temperatura absoluta.
- Δf es el ancho de banda de la señal.

Como se puede observar en la ecuación (2.3) el valor del ruido térmico también aumenta de forma proporcional con el ancho de banda de la señal. Las fuentes de ruido térmico más comunes en los circuitos integrados son las resistencias y los transistores *MOS*.

Ruido Shot

La base fundamental del ruido *Shot* es la naturaleza granular de la carga eléctrica. El ruido *Shot* se origina solamente cuando hay un flujo de corriente a través de una barrera de potencial y está asociado al mecanismo físico de salto de una barrera de potencial por un transporte de carga.

Estos procesos físicos asumen la existencia de un promedio de flujo de corriente que se manifiesta en forma de huecos y electrones fluyendo en los semiconductores. En particular, en un semiconductor, la causa de este ruido es la dispersión aleatoria de los electrones o a la recombinación aleatoria de los huecos. Como consecuencia, el ruido *Shot* dependerá de la carga del electrón, del valor medio de la corriente y, como en el ruido térmico, del ancho de banda. Este tipo de ruido está caracterizado, al igual que el ruido térmico, por una función de densidad gaussiana.

Ruido Flicker

Este tipo de ruido aparece en todos los dispositivos activos, así como en algunos elementos pasivos. Está caracterizado por una densidad espectral de potencia que aumenta cuando la frecuencia decrece. Por esta propiedad, éste ruido es muy diferente del ruido térmico y del ruido *Shot*, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

En los dispositivos electrónicos, la aparición del ruido *flicker* está más marcada en dispositivos que son sensibles a los fenómenos de superficie, ya que los defectos e impurezas en la superficie del material del dispositivo pueden atrapar y liberar cargas aleatoriamente.

La corriente I generada por el ruido *flicker* presenta, en general, una densidad espectral de potencia como se muestra en la ecuación (2.4).

$$S_{i(f)} = K_1 \cdot \frac{I^a}{f^b} \quad (2.4)$$

Donde:

- I el flujo de corriente directa del dispositivo.
- K_1 una constante particular para cada dispositivo.
- a una constante en el rango de 0.5 a 2.
- b una constante aproximada a la unidad.

Debemos considerar que al trabajar con circuitos de *RF* estamos tratando con altas frecuencias por lo que el ruido *flicker* no tiene un efecto considerable.

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

2.1.2.2 Factor de ruido (F) y Figura de ruido (NF)

En un sistema de RF , incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se le denomina potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. El factor de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. El factor de ruido se expresa como muestra la ecuación (2.5).

$$F = \frac{P_{N0}}{P_{Ni} \cdot G_A} \quad (2.5)$$

Donde:

- P_{N0} es la potencia total de ruido disponible a la salida del sistema.
- P_{Ni} es la potencia de ruido disponible en un ancho de banda B ,
 $P_{Ni} = k \cdot T \cdot B$ (k y T son respectivamente la constante de Boltzmann y la temperatura absoluta).
- G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{S0}) y la potencia de señal disponible a la entrada (P_{Si}).

Sustituyendo G_A por dicha relación obtenemos que el factor de ruido es el mostrado en la ecuación (2.6).

$$F = \frac{P_{Si} / P_{Ni}}{P_{S0} / P_{N0}} = \frac{SNR_i}{SNR_0} \quad (2.6)$$

Donde SNR_i y SNR_0 son las relaciones señal a ruido medidas a la entrada y a la salida respectivamente.

De esta forma, el factor de ruido es una medida que nos permite averiguar cuánto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_0$, independientemente del valor de la ganancia del mismo. Esto se debe a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por tanto, el factor de ruido de un circuito sin ruido es igual a 1 aunque por lo general el factor de ruido suele ser mayor que la unidad.

Para dos etapas en cascada la figura de ruido viene dada por la ecuación (2.7).

$$F = F_1 + \frac{F_2 - 1}{G_{A1}} \quad (2.7)$$

Donde:

- F_1 y F_2 son las figuras de ruido de ambas etapas por separado.
- G_{A1} es la ganancia de la primera etapa.

La ecuación (2.7) muestra que la primera etapa es la que más contribuye al ruido total, ya que su factor de ruido se suma directamente al del sistema. La segunda etapa es atenuada por la ganancia de la primera etapa.

En consecuencia, la primera etapa de un sistema de radiofrecuencia (*LNA*) debe tener un bajo factor de ruido y una alta ganancia.

Normalmente no se suele hablar de factor de ruido (F) sino de figura de ruido (NF), la cual no es más que la representación en decibelios del primero:

$$NF = 10 \log(F) \quad (2.8)$$

2.1.2.3 Fuentes de ruido en circuitos integrados de RF

El ruido que genera los circuitos integrados se debe a los componentes que han sido integrados en el mismo. Aunque las resistencias y los transistores *MOS* son las fuentes de ruido principales en los circuitos integrados, existen otros dispositivos que también añaden ruido. Estos dispositivos pueden ser los condensadores y las bobinas. Idealmente los componentes de carácter reactivo no son ruidosos, pero al integrarse, aparecen una serie de efectos parásitos que si contribuyen a la aparición de algún tipo de ruido.

Ruido térmico en resistencias integradas

En una resistencia R el ruido térmico que se origina puede ser modelado por una fuente de tensión en serie con la resistencia con un valor cuadrático medio o por un generador de corriente en paralelo con R de valor cuadrático medio como se representa en la figura 2.1.

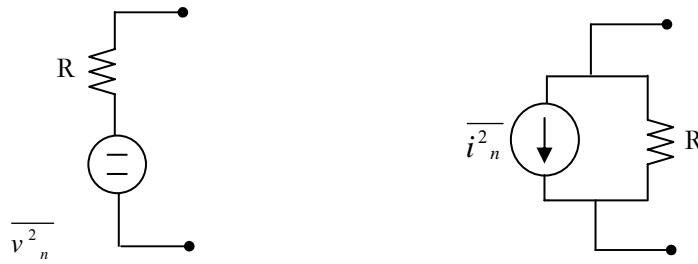


Figura 2.1 Fuentes de ruido equivalente en un resistencia.

La densidad espectral de potencia de la fuente de tensión serie y la del generador de corriente equivalente de ruido se muestra en las ecuaciones (2.9) y (2.10) respectivamente.

$$S_{v(t)} = 4 \cdot K \cdot T \cdot R \quad (2.9)$$

$$S_{i(t)} = \frac{4 \cdot K \cdot T}{R} \quad (2.10)$$

Como se puede observar en estas ecuaciones, la densidad espectral de potencia del ruido térmico es independiente de la frecuencia. Es decir, el ruido térmico generado por una resistencia a baja frecuencia es el mismo que el introducido a alta frecuencia.

El ruido térmico y en general todos los tipos de ruido que presentan esta característica se le conoce como ruido blanco.

El valor cuadrático medio de ruido para la fuente de tensión y para la fuente de corriente equivalente de ruido se representa en las ecuaciones (2.11) y (2.12) respectivamente.

$$\overline{V_n^2(t)} = 4 \cdot K \cdot T \cdot R \cdot \Delta f \quad (2.11)$$

$$\overline{i_n^2(t)} = 4 \cdot K \cdot T \cdot \frac{1}{R} \cdot \Delta f \quad (2.12)$$

De las ecuaciones anteriores se puede deducir que el valor del ruido térmico generado en una resistencia es directamente proporcional al ancho de banda de la señal.

Ruido térmico en los transistores bipolares de heteroestructura (HBT)

La configuración más básica de un LNA es la denominada emisor-común, tal y como se ve en la figura 2.2.

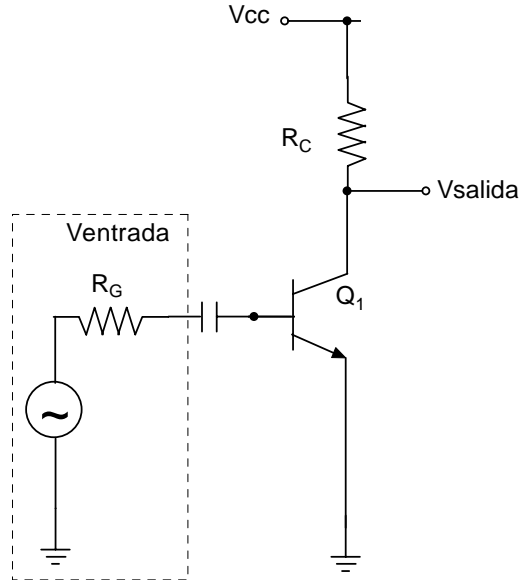


Figura 2.2 LNA en emisor común.

Podemos hacer un estudio del ruido que afecta a nuestro amplificador. Basándonos en los esquemas mostrados en la figuras 2.3 (a) y 2.3 (b)

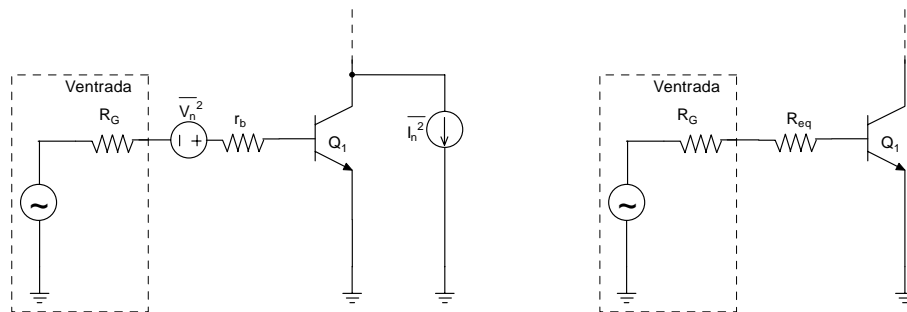


Figura 2.3 Modelo exhaustivo del ruido a la entrada del circuito (a) y modelo equivalente (b).

Se aprecia que el ruido existente a la entrada de nuestro amplificador lo hemos sustituido por una resistencia serie equivalente (R_{eq}) despreciando capacidades parásitas y otras resistencias. Con esto, podemos ver que la NF del LNA viene dada por la expresión.

$$NF = 1 + \frac{R_{eq}}{R_G} \tag{2.13}$$

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión continua ($\overline{V_n^2}$) referida a la entrada como:

$$\overline{V_n^2} = 4 \cdot k \cdot T \cdot \left(r_b + \frac{1}{2 \cdot g_m} \right) \quad \overline{V_n^2} = 4 \cdot k \cdot T \cdot \left(r_b + \frac{V_T}{2 \cdot I_C} \right) \quad (2.14)$$

Donde "T" es la temperatura, "gm" es la ganancia de transconductancia del transistor, V_T es la tensión térmica (25 mV para $T = 25^\circ \text{C}$), r_b es la resistencia de base de transistor e I_C la corriente de colector. Observando las ecuaciones (2.9) y (2.10) se comprueba que:

$$R_{eq} = r_b + \frac{V_T}{2 \cdot I_C} \quad (2.15)$$

Se observa que para reducir la R_{eq} y por tanto el ruido, el transistor Q_1 debe tener un tamaño grande (r_b pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la R_{eq} .

Sin embargo, el aumentar el tamaño del transistor para reducir la r_b , trae una serie de desventajas.

La primera desventaja la determina el aumento de la capacidad de entrada (tanto la C_{je} como la C_{jc}), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por Q_1 y R_C se haga más patente.

La segunda desventaja se debe a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido metralla de base (*base shot noise*).

La consecuencia de estas dos características es que la figura de ruido presenta un mínimo para un determinado tamaño de Q_1 y una determinada corriente de polarización.

El siguiente paso que daremos será el añadir a nuestro modelo el ruido metralla de base, tal y como muestra la figura (2.4).

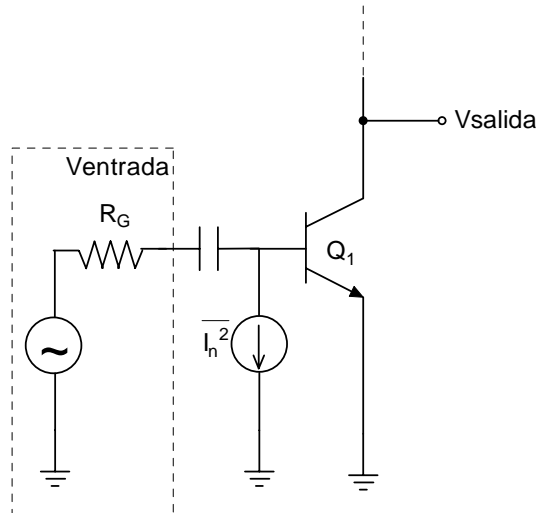


Figura 2.4 Circuito resultante de añadir el ruido metralla.

Con la introducción del ruido metralla de base hemos mejorado la precisión de la ecuación (2.13) De acuerdo con la mencionada figura, obtenemos la expresión (2.16)

$$\overline{I_n^2} = 4 \cdot k \cdot T \cdot \frac{I_C / \beta}{2 \cdot V_T} \quad (2.16)$$

Para una resistencia de fuente R_G , el ruido total referido a la entrada incluyendo la contribución de dicha resistencia se representa en la siguiente ecuación:

$$\overline{V_{tot}^2} = 4 \cdot k \cdot T \left(R_G + r_b + \frac{1}{2 \cdot g_m} + \frac{g_m \cdot R_G^2}{2 \cdot \beta} \right) \quad (2.17)$$

En esta ecuación se desprecia la correlación entre el ruido de metralla del colector y el ruido de metralla de la base. La figura de ruido es por tanto igual a la expresión (2.18).

$$NF = \frac{V_{tot}^2}{4 \cdot k \cdot T \cdot R_G} = 1 + \frac{r_b}{R_G} + \frac{1}{2 \cdot g_m \cdot R_G} + \frac{g_m \cdot R_G}{2 \cdot \beta} \quad (2.18)$$

La figura de ruido alcanzará un mínimo para:

$$NF_{min} = 1 + \sqrt{\left(\frac{1 + 2 \cdot g_m \cdot r_b}{\beta} \right)} \quad (2.19)$$

Siendo la R_G óptima (R_{Gopt}) para que se produzca ese mínimo:

$$R_{Gopt} = \sqrt{\frac{\beta \cdot (1 + 2 \cdot gm \cdot r_b)}{gm}} \quad (2.20)$$

La ecuación (2.20) no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a β el valor obtenido por la frecuencia de operación, es decir:

$$|\beta| \approx f_T/f \quad (2.21)$$

La relación alcanzada para R_{Gopt} (2.20) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena (Z_{out}) a R_{Gopt} .

2.1.3 Punto de Intercepción de Tercer orden (IP3)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1 \pm n\omega_2$ que se producen por mezcla de los anteriores. A éstos se les denomina productos de intermodulación (*IM*). Se define el orden de cada producto como la suma de $m+n$. Los productos de intermodulación se pueden dar referidos a la salida (*OIM*) o a la entrada (*IIM*) y se suelen expresar en *dBm*. Ambos valores están relacionados a través de la ganancia del circuito ($OIM = IIM + G$ dB). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1 - \omega_2$ y $2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la figura 2.5 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

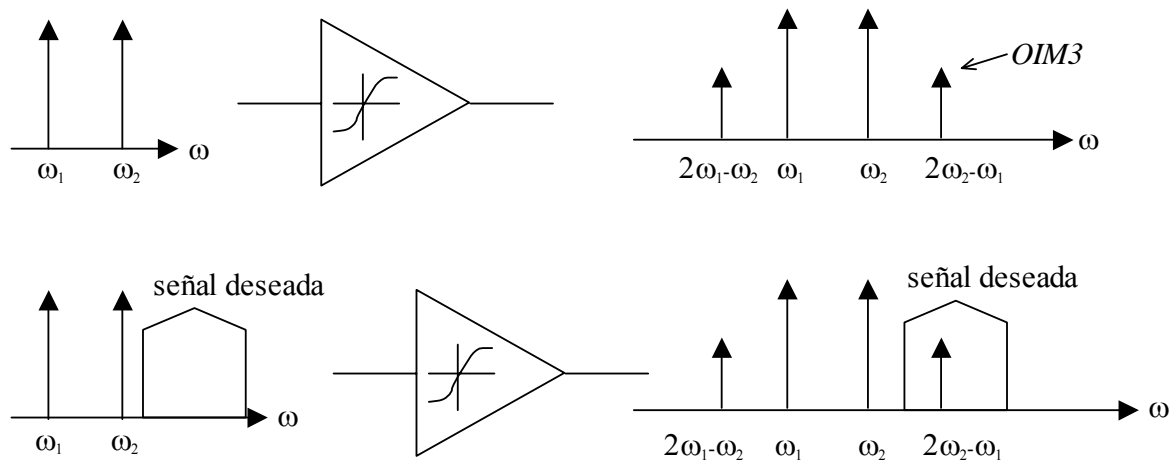


Figura 2.5 Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden *IP3* (*third intercept point*) el cual se puede dar referido a la entrada (*IIP3*) o a la salida (*OIP3*). Por medio de la ecuación (2.22) se puede calcular el *IIP3*.

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + Pin_{dBm} \quad (2.22)$$

Donde:

- P_{in} es la potencia de la señal interferente (tono).
- ΔP_{dB} es la diferencia de potencia entre la señal interferente y el *IIM3*.

En la Figura 2.6 se muestra la interpretación gráfica de ambas cantidades así como del *IP3*. Para determinar gráficamente el *IP3* se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel *RF* a la entrada. El *IP3* es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el *IP3* más lineal será nuestro circuito.

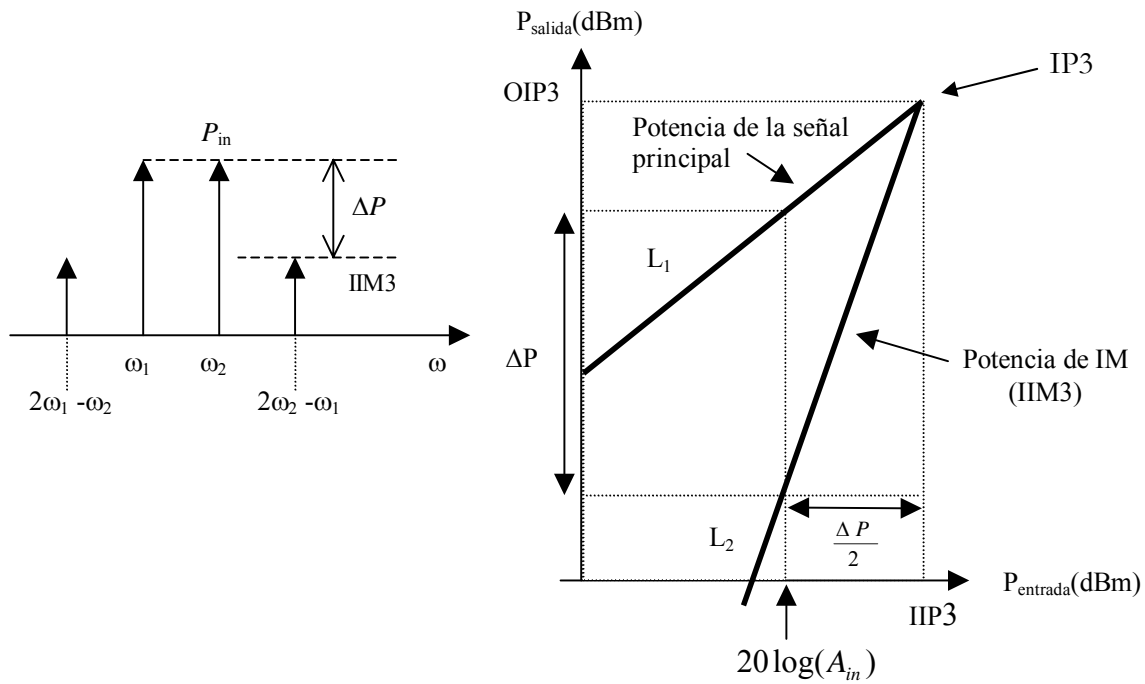


Figura 2.6 Medida del IP3.

Así, el $IIP3$ se puede determinar a partir de la ecuación (2.22) como se muestra en la ecuación (2.23).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \quad (2.23)$$

El $IIM3$ viene dado por la ecuación (2.24).

$$\begin{aligned} IIM3_{dBm} &= Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \\ IIM3_{dBm} &= 3Pin_{dBm} - 2IIP3_{dBm} \end{aligned} \quad (2.24)$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del $IIM3$ presenta el inconveniente que debe ser especificada la potencia de entrada. Con el $IP3$ se salva este problema. El $IIM3$ y el $OIM3$ son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el $IIP3$ y el $OIP3$ son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del $IIP3$ o el $OIP3$ podemos comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello son la forma más habitual de caracterizar los efectos de la intermodulación.

2.1.4 Coeficiente de onda estacionario (VSWR)

Está relacionado con el coeficiente de reflexión (Γ_L , relación entre la onda incidente y la reflejada) según la ecuación (2.25), e indica una medida cuantitativa de la adaptación del circuito a la entrada (VSWR1) o a la salida (VSWR2). En la ecuación (2.25), Z_0 es la impedancia característica de la línea de transmisión y Z_L es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un VSWR de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (2.25)$$

2.2 Estándar IEEE 802.15.3a

En 2002, la FCC (*Federal Communications Commission*) con el informe 02-48 establece el reglamento para UWB. La FCC aprueba el sistema de UWB para un rango de frecuencias de 3.1-10.6 GHz [2]. Para definir un dispositivo como de UWB, éste debe tener un ancho de banda fraccional de 0.2 u ocupar 0.5 GHz:

$$BW_{\text{Fraccional}} = \frac{2(fs - fi)}{fs + fi} \quad (2.26)$$

donde fs es la frecuencia superior y fi la frecuencia inferior.

Basándose en esta asignación, UWB no se considera como una tecnología, sino un espectro libre para su uso. La FCC propuso para su comercialización de usos civiles las siguientes aplicaciones:

- Sistemas de proyección de imagen, médicos y de vigilancia.
- Radares de vehículos.
- Sistemas de comunicaciones y de medidas.

Un inconveniente importante es que *UWB* tiene que coexistir con un nivel de interferencias relativamente alto debido a los dispositivos de 2.4 GHz y de 5 GHz de las bandas *ISM*.

2.2.1 Canalización

Como parte del *IEEE 802.15*, la *MBOA (Multiband OFDM Alliance)* dividió el espectro para el estándar de *UWB* de 3 a 10 GHz, en bandas de 528 MHz empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM 128*, permitiendo tasas de datos de 53.3 Mb/s a 480 Mb/s (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mb/s) [3].

En la figura 2.7 se muestra como se ha dividido en 5 grupos de bandas. El primer grupo de bandas es utilizado para la primera generación de dispositivos (modo 1 de 3.1 a 4.9 GHz). Los grupos de bandas del 2 al 5 son reservados para usarlos en el futuro.

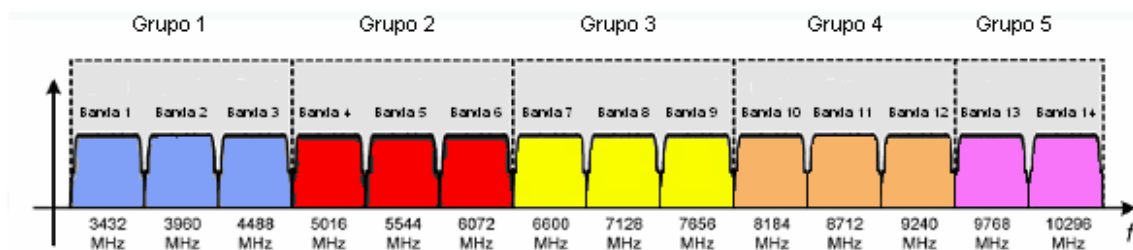


Figura 2.7 Bandas de frecuencia.

Usando únicamente las 3 bandas inferiores se puede usar un filtro pasobanda que reduce el nivel de interferencias de las bandas *ISM* de 5 GHz.

Para proporcionar robustez a la multitrayectoria y a las interferencias, se utiliza la técnica de *frequency hopping* (saltos de frecuencia) entre las bandas de cada grupo de bandas. El receptor debe tener por tanto una alta linealidad y un oscilador local de banda ancha con saltos de frecuencias de menos de 9.5 ns de duración (ver figura 2.8).

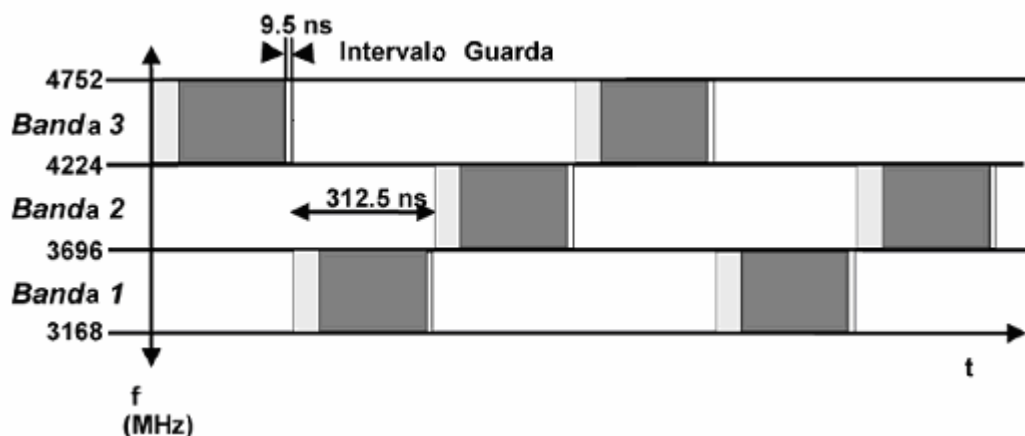


Figura 2.8 Frequency hopping.

En la tabla 2.1 se muestra la distribución de frecuencias de cada grupo de bandas *MB-OFDM*.

Tabla 2.1 Plan de frecuencias de *MB-OFDM*

GRUPO DE BANDAS	Nº DE LAS BANDAS	FRECUENCIA INFERIOR	FRECUENCIA CENTRAL	FRECUENCIA SUPERIOR
1	1	3168 MHz	3432 MHz	3696 MHz
	2	3696 MHz	3960 MHz	4224 MHz
	3	4224 MHz	4488 MHz	4752 MHz
2	4	4752 MHz	5016 MHz	5280 MHz
	5	5280 MHz	5544 MHz	5808 MHz
	6	5808 MHz	6072 MHz	6336 MHz
3	7	6336 MHz	6600 MHz	6864 MHz
	8	6864 MHz	7128 MHz	7392 MHz
	9	7392 MHz	7656 MHz	7920 MHz
4	10	7920 MHz	8184 MHz	8448 MHz
	11	8448 MHz	8712 MHz	8976 MHz
	12	8976 MHz	9240 MHz	9504 MHz
5	13	9504 MHz	9768 MHz	10032 MHz
	14	10032 MHz	10296 MHz	10560 MHz

$$\text{Frecuencia central de la banda} = 2904 + 528 \times n_b, n_b = 1 \dots 14 \text{ (MHz)}$$

2.2.2 Desafíos en el diseño de *MB-OFDM*

Los receptores *MB-OFDM* comparado con los receptores de banda estrecha, tienen una serie de nuevos desafíos [10], [11], [12], los cuales se resumen en:

- Necesidad de una adaptación de la impedancia de entrada de banda ancha, de 3.1 a 10.6 GHz. Se necesita un *LNA* en el receptor capaz de proporcionar una figura de ruido razonablemente baja, una alta ganancia y un consumo de corriente bajo. Esto es muy difícil usando *LNAs* convencionales de banda estrecha o amplificadores realimentados resistivamente [13].
- Cuando estamos recibiendo en un canal, la señal de los otros canales entran en el receptor y aparecen señales bloqueantes. Como consecuencia, aparecen restricciones a la linealidad dentro de la banda.
- Necesita una mejor linealidad al coexistir con otras bandas de 3.4-10.3 GHz, esto no ocurría con los receptores de banda estrecha. Por ejemplo, en los sistemas de banda

estrecha la distorsión o la no linealidad debida a los armónicos de 2º orden no son importantes porque están fuera de la banda. Sin embargo, en los receptores de *UWB*, la distorsión de 2º orden del canal 1 cae dentro del canal 5.

- Los receptores necesitan filtros para seleccionar los canales en banda base con un alto rechazo a la frecuencia de corte de 264 MHz. Es particularmente difícil realizar filtros activos con polos en este rango de frecuencias, y satisfacer rigurosamente el rango dinámico sin un consumo alto de corriente.
- Los receptores necesitan un sintetizador de frecuencia de banda ancha ágil, para toda la banda 3.4 a 10.3 GHz.
- Los sistemas de banda ancha usan esquemas complejos de modulación. Debido a la aglomeración en la constelación se necesita una ganancia equilibrada entre los canales *I* y *Q* y eficiencia en las fases en cuadratura del oscilador local (*LO*).
- Al tener *UWB* un ancho de banda grande, los armónicos del *LO* pueden enviar algún canal no deseado de *UWB* a la *FI* e interferir el canal deseado.

2.3 Especificaciones del receptor para *UWB-MBOA*

Para alcanzar una solución de bajo coste, se requiere una alta integración de la arquitectura del receptor, con un mínimo número de componentes externos. En la figura 2.9 se muestra una arquitectura *zero-IF* (frecuencia intermedia nula) que satisface bien esta aplicación de *UWB*. Este esquema se ha puesto en práctica para aplicaciones radio de *UWB* anteriormente publicadas [10], [11], [12]. La señal de la antena es filtrada por un filtro pasivo inicial, el cual reduce el nivel de las interferencias fuera de la banda. Lo siguiente es un *LNA* de ultra banda ancha y un mezclador en cuadratura que convierte a frecuencias intermedias nulas. El sintetizador proporciona las señales en cuadratura y los saltos de frecuencia del oscilador local. El filtro en banda base proporciona filtrados y ganancias variables. La señal en banda base es digitalizada por un conversor analógico digital (*ADC*), que precede a un procesador digital en banda base.

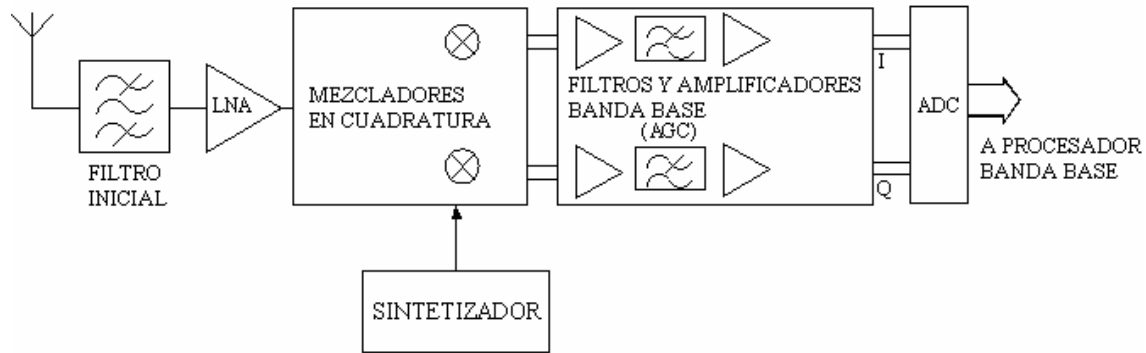


Figura 2.9 Receptor para UWB.

2.3.1 Panorama de interferencia

Por el corto alcance y la alta tasa de datos de los sistemas inalámbricos de *UWB* se integrará dentro de varios dispositivos incluidos: ordenadores, impresoras, *HDTVs*, cámaras digitales, grabadores de *DVD*, *PDA*, etc. Para que puedan coexistir junto a otras tecnologías inalámbricas como *WLAN 802.11* y *Bluetooth*, se necesita de un receptor robusto a las interferencias. Se ha propuesto como distancia máxima 10 metros, lo que quiere decir, que la mínima potencia de la señal recibida será del orden de -74 dBm. A la hora de analizar la robustez de un sistema de *UWB* es necesario considerar varios tipos de interferencias: interferencias dentro de la banda, tales como *UWB* no deseadas, e interferencias fuera de la banda, como *WLAN* e interferencias de los móviles. Para demostrar que las interferencias pueden producir problemas de linealidad, se considera un caso típico en el que tenemos una señal interferente *IEEE 802.11.a* en la banda superior *UNII*. Con 30 dBm y 0.2 metros de distancia, la potencia recibida de esta interferencia puede alcanzar 5 dBm, aproximadamente 80 dB mayor que la potencia recibida de la señal de *UWB* deseada.

2.3.2 Sensibilidad

En la tabla 2.2 se muestra la sensibilidad mínima del receptor para las distintas tasas de datos disponibles. El *PER* (*packet error rate*, error en la tasa de paquetes) debe ser menor que el 8 % con un *PSDU* (*PHY payload*) de 1024 bytes [3].

Tabla 2.2 Sensibilidad mínima para las diferentes tasas de datos

Tasa de datos (Mbps)	Sensibilidad mínima para el modo 1 (dBm)
53.3	-83.6
80	-81.6
110	-80.5
160	-78.6
200	-77.2
320	-75.5
400	-74.2
480	-72.6

2.3.3 Requisitos de linealidad

Los niveles de interferencias esperados determinan los requisitos de linealidad tanto de 2º orden como de 3º orden. La propuesta de estándar de *UWB* define un sistema con una figura de ruido de 6.6 dB, obteniendo una potencia de ruido dentro de la banda de -80.2 dBm. Los criterios para definir las interferencias, asumen que el receptor está funcionando 6 dB por encima de la sensibilidad. Al sumarle estos 6 dB al margen, la potencia de ruido e interferencias máxima permitida es igual a -74.2 dBm. Siendo el nivel de interferencias permitido inferior -75 dBm.

Primero se considera el requisito de no linealidad de 2º orden, es decir, el *IIP2*. En el caso extremo se relaciona con el 2º tono, donde el producto de 2º orden cae dentro de la banda del receptor de *RF*, por ejemplo, la combinación de las interferencias de una primera señal *IEEE 802.11.a* a 0.2 metros y las interferencias de una segunda señal *PCS/GSM1900* a 1 metro de distancia.

Asumiendo que la potencia recibida es de 30 dBm para ambos sistemas, el nivel de potencia de las interferencias recibidas es de -4 dBm y -8 dBm respectivamente. Por tanto, conduce a un requisito del *IIP2* de 20 dBm, teniendo en cuenta los 20 dB del filtro inicial. Para la no linealidad de 3º orden, el *IIP3*, la banda *ISM* de 5 GHz da lugar a 2 interferencias en el peor escenario. Si se asume que los dos tonos de las banda *ISM* de 5 GHz a 0.2 metros y 1 metro, y otra vez el nivel de interferencias del filtro inicial es de 20 dB, el nivel potencia de interferencias es del orden -24 dBm y -44 dBm respectivamente. Se obtiene un requisito del *IIP3* del orden de -9 dBm.

2.3.4 Requisitos de ruido

Dependiendo de la tasa de bit, la *MBOA* especifica una sensibilidad en la recepción que va de -84 dBm (para 55 Mb/s) a -73 dBm (para 480 Mb/s). Requiere una *SNR* de unos 8 dB, estas especificaciones se trasladan a una *NF* de 6-7 dB.

$$\begin{aligned}
 \text{Sensibilidad} &= -174\text{dBm} + 10 \cdot \log(B) + NF + SNR \\
 NF &= 174\text{dBm} - 10 \cdot \log(B) - SNR - \text{Sensibilidad} \\
 NF &= 174\text{dBm} - 10 \cdot \log(528\text{MHz}) - 8\text{dB} - 73\text{dBm} = 6.13\text{dB}
 \end{aligned}
 \tag{2.27}$$

Para un sistema de 3 bandas, la MBOA propone que la NF es igual a 6.6 dB, teniendo en cuenta que el filtro a la entrada tiene unas pérdidas reales de 2 dB, se necesita una NF de 4.6 dB.

2.3.5 Requisitos del filtro

El receptor debe tener un filtro inicial que elimine el ruido y las interferencias fuera de la banda. Para el modo 1 la banda del paso del filtro inicial está entre 3168 MHz y 4752 MHz. La salida del filtro inicial es amplificada usando un LNA, a continuación se pasa a banda base usando una frecuencia central apropiada. La señal en banda base se filtra usando un filtro paso bajo de 3° orden.

En la tabla 2.3 se muestran las atenuaciones correspondientes al filtro inicial y al filtro en banda base.

Tabla 2.3 Atenuaciones del filtro inicial y del filtro en banda base

	Micro ondas	Interferencias de Bluetooth & IEEE 802.15.1	Interferencias de IEEE 802.11b & IEEE 802.15.3	Interferencias de IEEE 802.11a	Interferencias de IEEE 802.15.4 (2.45GHz)
Mínima atenuación filtro banda base	35.4 dB	36.9 dB	36.9 dB	30.7 dB	35.6 dB
Atenuación del filtro inicial	35 dB	35 dB	35 dB	30 dB	35 dB

2.3.6 Requisitos del sintetizador

Como la señal tiene que cubrir las 3 bandas inferiores definidas en la MBOA y como se ha propuesto la arquitectura *zero-IF*, el sintetizador necesita proporcionar las frecuencias centrales de las bandas que se muestran en la tabla 2.1. En la propuesta del MBOA, el salto de frecuencias entre sub-bandas ocurre para cada símbolo con un periodo de 321.5 ns. Este periodo contiene un sufijo de 60.6 ns, seguido por un intervalo de seguridad de 9.5 ns como se muestra en la tabla 2.4. El generador de frecuencias usado para la conmutación del mezclador, tanto para el emisor como para el

receptor tiene que cambiar dentro de los 9.5 ns, para lograr la frecuencia de salto. La portadora generada debe tener una gran pureza, ya que existen fuertes interferencias en la señal. Por ejemplo, operando en el modo 1 los tonos de 5 GHz deben de estar por debajo de 50 dBc para evitar en la recepción las fuertes interferencias de WLAN fuera de banda. Por esta misma razón, los tonos en el rango de 2 GHz deberían estar por debajo de 45 dBc para poder coexistir con los sistemas que operan en la banda ISM de 2.4 GHz, como por ejemplo 802.11 b/g y Bluetooth. Finalmente, para asegurar que la SNR del sistema no se degradará más de 0.1 dB por la generación del oscilador local, la especificación del ruido de fase del VCO se fija en 100 dBc/Hz a 1 MHz de desviación y el ruido de fase integrado total no debe exceder 3.5 grados rms [13], [11].

2.3.7 Especificaciones del receptor propuesto

En la siguiente tabla se muestran las especificaciones del receptor propuesto.

Tabla 2.4 Requisitos del receptor

Sensibilidad	-83.6 a -72.6 dBm
NF	6-7 dB
Ganancia de compresión a 1dB/IIP3	-18.56 dBm/-9 dBm
Ruido de fase	-100 dBc/Hz a 1 MHz
Ganancia tensión	84 dB
Total CAG	60 dB

2.4 Resumen

En este capítulo hemos explicado las principales características de los sistemas de RF. Igualmente, se ha mostrado una descripción detallada del estándar IEEE 802.15.3a propuesto por la MBOA. Tras analizar los principales desafíos del diseño del receptor, se ha estudiado la arquitectura zero-IF, altamente integrable. Además, para esta arquitectura se ha especificado el panorama de interferencias, sensibilidad, linealidad, figura de ruido y los requisitos del sintetizador y de los filtros.

CAPÍTULO 3

AMPLIFICADORES DISTRIBUIDOS

En este capítulo haremos una introducción a los amplificadores distribuidos, empezando con una pequeña reseña histórica desde sus inicios hasta la actualidad, continuando con el estudio de las diferentes estructuras con las que nos podemos encontrar. En este apartado estudiaremos los amplificadores distribuidos basados en transistores *CMOS* para posteriormente explicar nuestra estructura basada en transistores bipolares de heteroestructura (*HBT*), así como las distintas Figuras de Mérito (*FOM: Figure of Merit*) que lo caracterizan y la utilizada en este proyecto.

3.1 Historia de los amplificadores distribuidos

El concepto de Amplificación Distribuida tiene alrededor de 50 años, fue Ginzton en 1948 [14] el que utilizó por primera vez el término de amplificador distribuido en un artículo, sin embargo, dicho término se encontró unos años atrás en una patente por Percival en el año 1937 [15]. Desde entonces se extendieron numerosas investigaciones sobre distintas arquitecturas y topologías de amplificadores distribuidos, primeramente utilizando MESFETs de silicio debido a sus atractivas propiedades como pueden ser su bajo ruido, alta ganancia y frecuencia de corte. Recientemente las investigaciones han comenzado a utilizar CMOS (MOSFETs) para la implementación de amplificadores distribuidos,

convirtiéndose ésta en una buena metodología para el diseño de circuitos de radiofrecuencia y de ancho de banda elevados a un coste relativamente bajo.

3.2 Estructura y funcionamiento de los Amplificadores Distribuidos

Conceptualmente un amplificador distribuido consiste en un par de líneas de transmisión (una de entrada y una de salida) acopladas mediante la transconductancia de los elementos activos. Este tipo de amplificadores usa una estructura en la que las etapas de ganancia están conectadas de forma que sus capacidades se encuentran separadas, pero las corrientes de salida se combinan de una manera aditiva. Para separar sus capacidades se utilizan elementos inductivos en serie en las entradas y en las salidas de las etapas de ganancia. Si utilizamos transistores *MOS* como elementos activos, a la línea de entrada se le conoce como línea de puerta y a la de salida como línea de drenador. Si utilizamos transistores *HBT* se les denomina línea de base y línea de colector respectivamente.

En el caso de la línea de puerta aprovechamos la capacidad puerta-surtidor del transistor *MOS* para generar el elemento capacitivo de la línea, en este proyecto esto no es así, ya que la capacidad de nuestros transistores *HBT* es insuficiente y debemos añadir una capacidad adicional, este proceso se verá con mayor detalle en el estudio del esquemático.

A medida que la señal de *RF* viaja por la línea de puerta, cada transistor es excitado por la onda de tensión y transfiere la señal al drenador a través de su transconductancia. Si la velocidad de fase en las líneas de puerta y drenador (base y colector) son iguales, entonces las señales en la línea de drenador se van sumando en cuanto la señal se vaya desplazando hacia la salida. Las ondas que circulan en sentido contrario serán absorbidas por la terminación de la línea de drenador.

La naturaleza distribuida de las capacidades hace que el amplificador consiga un gran ancho de banda. Sin embargo debido al número de etapas de transconductancia usadas, el consumo de potencia de los amplificadores distribuidos suele ser más alto que cualquier *LNA* de una o dos etapas. Otra desventaja de estos diseños es el área consumida por los componentes pasivos que componen dicho amplificador.

Una de las mayores dificultades que se nos presenta a la hora de implementar este tipo de amplificadores está en el diseño de las bobinas. Las bobinas integradas sobre silicio poseen un factor de calidad (*Q*) muy bajo. Esto hace que las pérdidas asociadas a las líneas de puerta y surtidor sean considerables y que, por tanto, debamos tenerlas en cuenta a la hora de diseñar el circuito. En este proyecto hemos usado las bobinas del *IUMA*, que tienen unas características

adecuadas para este tipo de diseños, ya que poseen una Q considerablemente mejor que las bobinas ofrecidas por la tecnología.

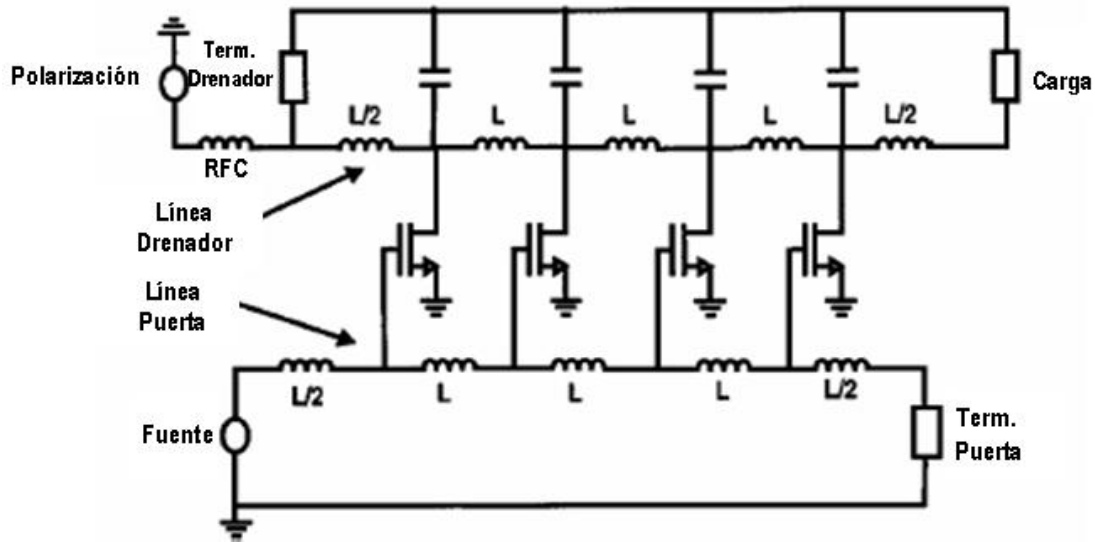


Figura 3.1 Amplificador distribuido ideal de 4 etapas.

En la literatura nos podemos encontrar con tres tipos básicos de arquitectura de amplificadores distribuidos:

- A.D. en el que las etapas de ganancia son un simple transistor (Figura 3.2.) [16]
- A.D. en el que las etapas de ganancia son un par cascode (Figura 3.3) [17]
- A.D. compuesto por la unión en cascada de etapas independientes (Figura 3.4) [18]

Los dos primeros tipos descritos anteriormente, se corresponden con el modo de funcionamiento explicado hasta ahora, y la única diferencia se basa en la estructura adoptada para la etapa de ganancia. El uso de amplificadores cascode en lugar de etapas simples mejora el aislamiento entre las líneas de drenador y puerta a la vez que aumenta la ganancia. El tercer tipo de estructura, consiste en la unión en cascada de amplificadores distribuidos de una sola etapa. La ventaja de este tipo de diseño frente a los A.D. convencionales es que las cargas asociadas a las líneas de drenador y puerta de los A.D. intermedios no tienen por que ser iguales a las cargas del primero y último (generalmente 50Ω) con lo que la ganancia se podría mejorar considerablemente.

Por supuesto, alternativamente a estos tipos básicos de estructuras mencionadas nos podemos encontrar modificaciones de las mismas con sus correspondientes ventajas e inconvenientes asociados.

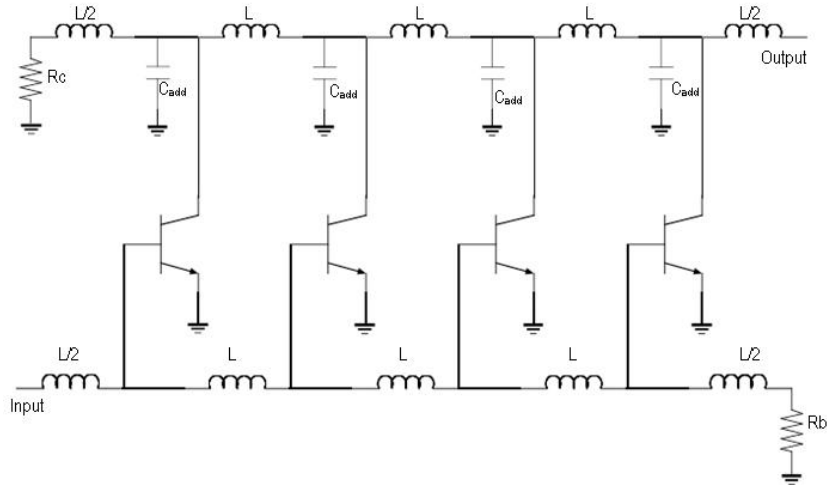


Figura 3.2 Amplificador distribuido con 4 etapas básicas.

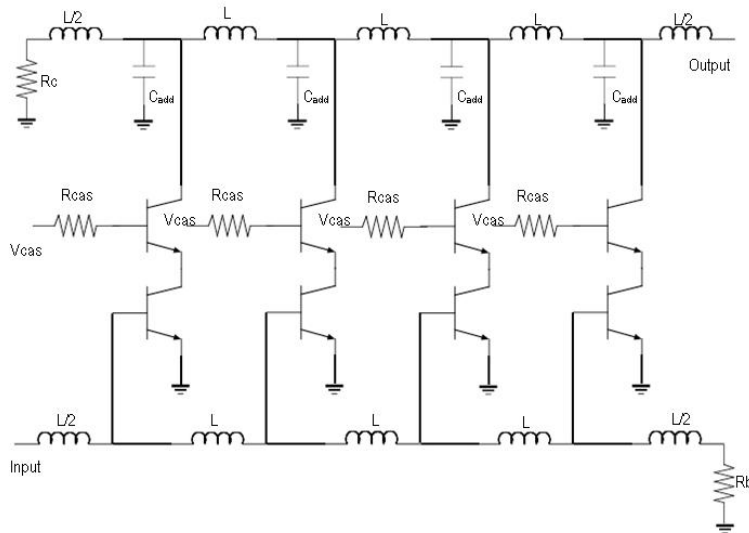


Figura 3.3 Amplificador distribuido de cuatro etapas cascode.

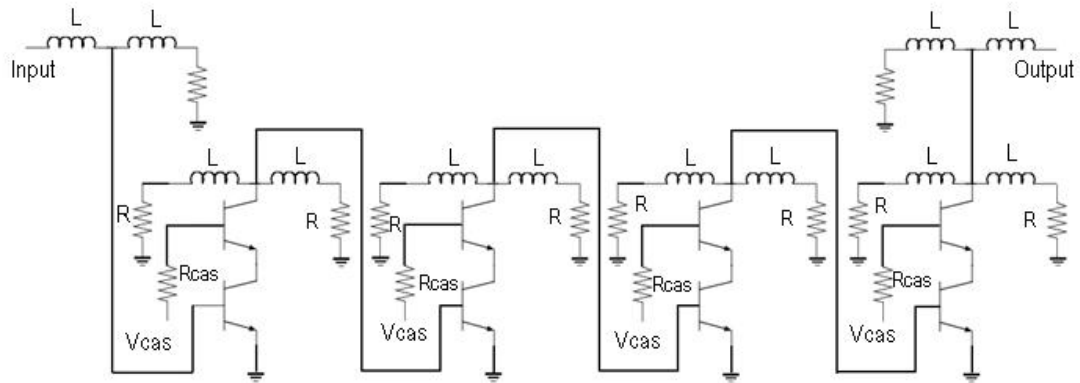


Figura 3.4 Amplificador distribuido con 4 etapas en cascada.

3.3 Figura de Mérito en los Amplificadores Distribuidos

Las figuras de mérito (*FOM*) nos permiten comparar diversos diseños teniendo en cuenta factores como la ganancia, linealidad, ancho de banda, número de etapas, etc.

Para el diseño de los *LNAs* se han sugerido muchas figuras de mérito, como por ejemplo la medida del ruido.

$$NM = \frac{(F - 1)}{(1 - (1/G))} \quad (3.1)$$

Donde *F* es el factor de ruido y *G* es la ganancia del amplificador. Esta figura de mérito no incluye información acerca del consumo de potencia, ancho de banda ni linealidad.

En nuestro amplificador hemos implementado una figura de mérito teniendo en cuenta los siguientes parámetros: Potencia consumida en DC (*P_{dc}*), Planitud (*Flatness*) de la ganancia, Factor de ruido (*F*), Ganancia (*G*) y Ancho de Banda (*BW*). La Planitud (*flatness*) es un parámetro muy a tener en cuenta en este tipo de diseños ya que en la transmisión de datos a alta velocidad es fundamental que la ganancia sea lo más plana posible para que no existan errores en la transmisión. El *flatness* se define como la diferencia entre la ganancia máxima (*G_{max}*) y la ganancia mínima (*G_{min}*) en la banda de interés (3.1– 10.6 GHz). En la figura 3.5 se muestra un ejemplo de la medida de la planitud.

$$Flatness(db) = G_{max}(db) - G_{min}(db) \quad (3.3)$$

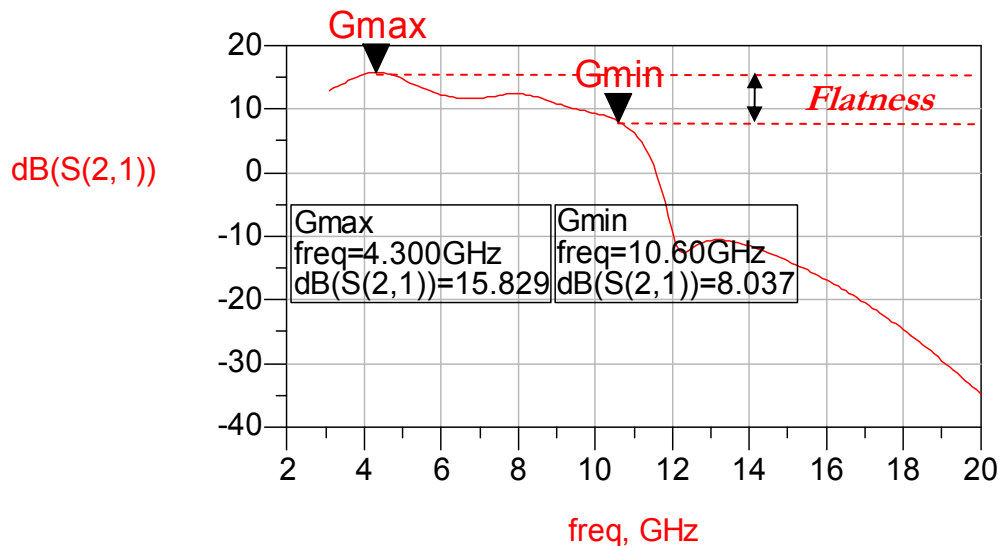


Figura 3.5 Medida de la planitud (*flatness*).

Teniendo en cuenta la definición del *flatness* nuestra figura de mérito quedaría de la siguiente manera

$$FOM = \frac{G \cdot BW}{F \cdot Pdc \cdot Flatness} \quad (3.4)$$

Obsérvese como aquellos elementos que son positivos para el funcionamiento del circuito aparecen en el numerador mientras que los elementos negativos están situados en el denominador.

3.4 Cálculo de los componentes en los amplificadores Distribuidos

Para el cálculo de los componentes de un diseño básico de cuatro etapas como el mostrado en la figura 3.1 tendríamos que conseguir que las bobinas de la línea de puerta y colector estén adaptadas y que la capacidad de la línea de colector sea igual a la de la línea de puerta. En estas condiciones podríamos afirmar que las corrientes de entrada y salida estarán sincronizadas en fase. Si tenemos en cuenta estas condiciones y además usamos terminaciones adaptadas en impedancia, la ganancia en tensión vendría dada por [16]:

$$\frac{V_{out}}{V_{in}} = \frac{-N \cdot gm}{2 \cdot \sqrt{1 - \omega^2 / \omega_c^2}} \sqrt{\frac{L}{C}} e^{N\theta} \quad (3.5)$$

donde :

N número de etapas

g_m transconductancia de la etapa

ω_c frecuencia de corte de las líneas definida como $2 / \sqrt{LC}$

θ constante de propagación de las líneas

En la expresión 3.5 es evidente que existe una dependencia de la frecuencia, la cual podría causar un pico en la ganancia cerca de la frecuencia de corte, siendo este efecto indeseable.

Existen varios métodos para reducir este pico. Uno de ellos es el denominado Método de Staggering descrito por Sarma [19], basado en hacer que la línea de colector tenga una frecuencia de corte menor que la de la línea de base. Se define, por tanto, el valor de Staggering como la relación entre la frecuencia de la línea de colector y la de la línea de base, mostrándose como valor óptimo 0.7. Asumiendo terminaciones adaptadas y diferentes frecuencias de corte para las líneas de base y colector, la ganancia en tensión quedará definida con la siguiente expresión:

$$A_v \cong \frac{-gm}{2\sqrt{1-(\omega/\omega_{cb})^2}} \sqrt{\frac{L_c}{C_c}} \cdot \frac{\sinh\left[\frac{N(\theta_b - \theta_c)}{2}\right]}{\sinh\left[\frac{(\theta_b - \theta_c)}{2}\right]} e^{-N(\theta_b - \theta_c)/2} \quad (3.6)$$

Usando la topología obtenida, y conociendo las especificaciones del diseño, podremos calcular los parámetros del circuito. Las ecuaciones para el cálculo de la frecuencia de corte y la impedancia de las líneas son:

$$f_c = \frac{1}{\pi \sqrt{LC}} \quad (3.7)$$

$$Z_0 = \sqrt{\frac{L}{C}} \quad (3.8)$$

Para obtener los valores de la inductancia y capacidad de la línea de colector (L_c y C_c) bastaría con usar las expresiones 3.9 y 3.10.

$$L_c = \frac{1}{C_c (\pi \cdot f_c)^2} \quad (3.9)$$

$$C_c = \frac{L_c}{Z_0^2} \quad (3.10)$$

Si hacemos que las impedancias de las líneas sean iguales y aplicamos la técnica de *staggering* con un factor de 0.7, calcularemos la inductancia y capacidad de la línea de base con las siguientes expresiones:

$$L_b = 0.7 \cdot L_c \quad (3.11)$$

$$C_b = 0.7 \cdot C_c \quad (3.12)$$

Otra modificación en el circuito básico implicaría la modificación de las terminaciones de las líneas de base y colector. La impedancia vista hacia las líneas de transmisión L-C presenta una gran desviación con respecto a la impedancia nominal cerca de la frecuencia de corte de la línea. Esto implica que aunque idealmente todos los puertos deberían estar adaptados en impedancia para eliminar algún tipo de señal reflejada, sin embargo, no es práctico realizar una adaptación en impedancia directamente. De este modo, el método usado será insertar semisecciones derivadas (*derived half sections*) para unir las líneas, el puerto de entrada, el puerto de salida y las terminaciones. Estas semisecciones (*half sections*) mejorarán considerablemente la adaptación de

impedancias, a la vez que nos permite usar terminaciones resistivas simples. En el siguiente subapartado explicaremos como se calculan dichas semisecciones.

3.4.1 Cálculo de las Semisecciones derivadas (Derived Half-sections)

Una vez calculados todos los componentes del amplificador pasaremos a calcular los componentes de las semisecciones derivadas (*derived half sections*).

Como hemos explicado anteriormente, estas estructuras sirven para mejorar la adaptación en las líneas de transmisión artificiales compuestas por redes LC. A las redes LC básicas se las suele denominar semisecciones (*half-sections*) y a las redes compuestas por la unión de varias semisecciones se las suele denominar filtros de constante K.

En la figura 3.6 se muestra una de estas redes LC básicas o semisecciones. Para la frecuencia de corte, es decir, para la frecuencia en la que el comportamiento de la red pasa de ser capacitivo a ser inductivo, se cumple que:

$$\omega_c L = \frac{1}{\omega_c C} = R \quad (3.13)$$

donde R es la impedancia característica de la línea. Esta red básica tiene 2 polos y por ello se dice que constituye un filtro de orden 2.

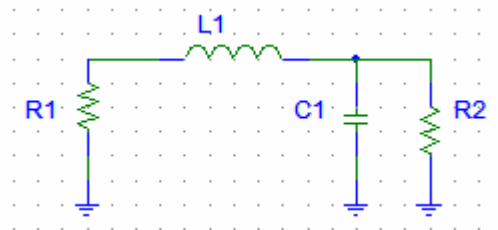


Figura 3.6 Filtro de orden 2.

Si quisiéramos diseñar un filtro de orden superior para la misma frecuencia de corte, lo único que deberíamos hacer es unir varias semisecciones. Por ejemplo, para el caso de un filtro de orden 7 deberíamos unir 6 redes LC básicas, tal y como se muestra en la figura 3.7. De esta forma obtendríamos el circuito de la figura 3.8, como se puede observar, tiene orden 7.

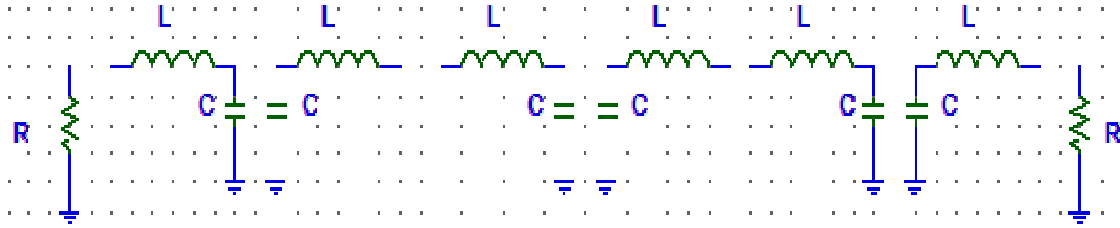


Figura 3.7 Conjunto de 6 redes LC básicas.

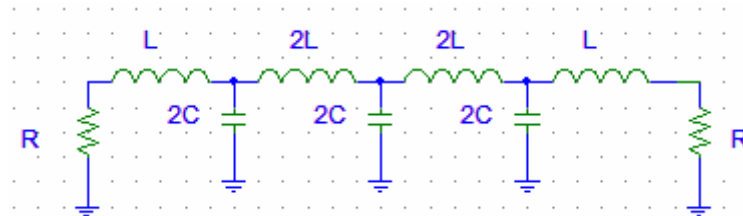


Figura 3.8 Filtro de orden 7.

El filtro así diseñado presenta una respuesta como la de la figura 3.9 donde se compara la mejora obtenida con respecto al filtro de orden 2.

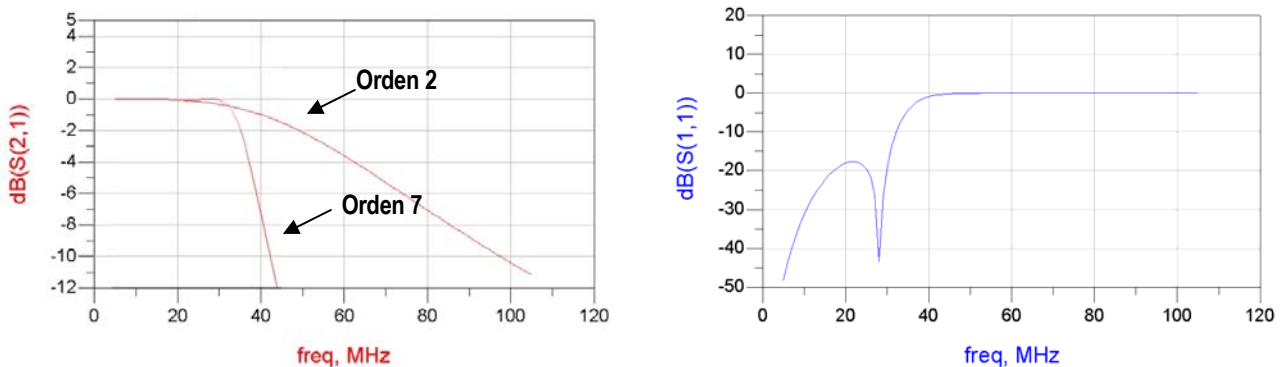


Fig 3.9 Comparativa filtros orden 2 y orden 7.

Una forma de mejorar estos filtros sería añadiendo semisecciones derivadas (*derived half-sections*) tanto a la entrada como a la salida del circuito (figura 3.10). Gracias al uso de estas estructuras se consigue que aparezca un pico negativo en la respuesta en amplitud del filtro a 1.25 de la frecuencia de corte que mejora la caída del filtro. Además el ancho de banda para el cual existe adaptación con los puertos de entrada y salida aumenta considerablemente. Esto se puede observar en la figura 3.11 donde se compara el filtro de orden 7 con y sin semisecciones derivadas. El valor del factor de derivación usado es $m=0.6$ que es el que mejor respuesta proporciona.

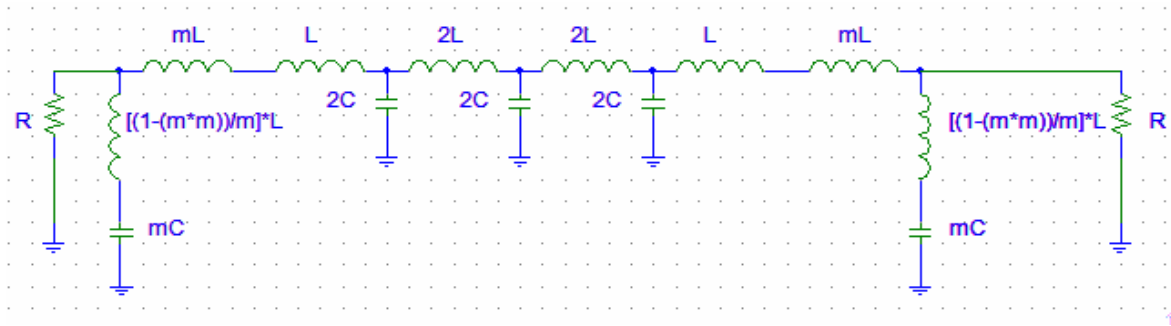


Figura 3.10 Filtro de orden 7 con semisecciones derivadas.

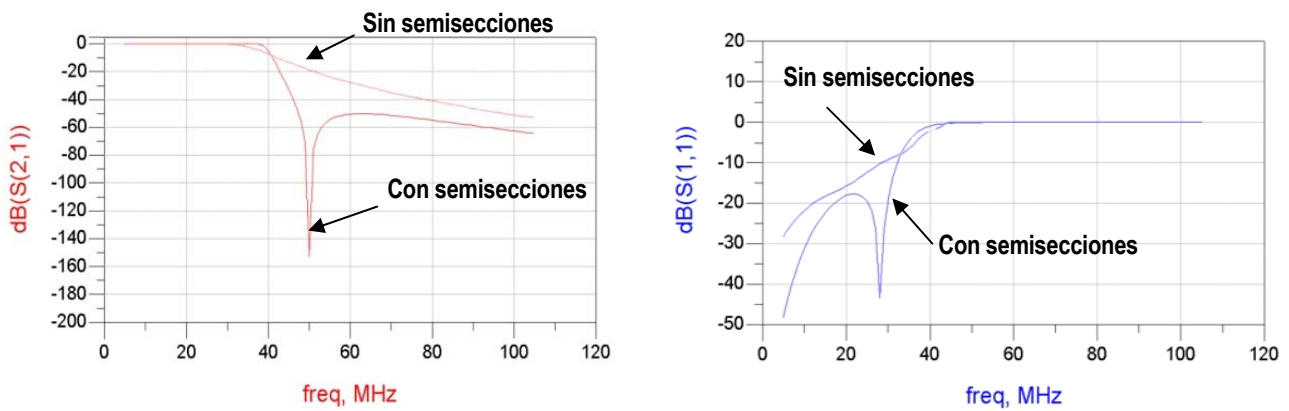


Figura 3.11 Comparativa filtro de orden 7 con y sin semisecciones derivadas.

3.5 Conclusiones

En este capítulo hemos mostrado los orígenes y evolución de los amplificadores distribuidos a lo largo de la historia, posteriormente se han mostrado sus diferentes estructuras y funcionamiento.

Hemos pasado a estudiar y desarrollar una figura de mérito teniendo en cuenta algunos de los parámetros más característicos y relevantes en este tipo de diseños, para finalizar analizando el cálculo de los diversos componentes que conforman el circuito, así como el de las semisecciones derivadas.

CAPÍTULO 4

ESTUDIO DE LA TECNOLOGÍA

En el capítulo anterior, estudiamos las principales características y topologías de los *LNAs* para *UWB*. Este paso será de gran utilidad a la hora de realizar nuestro diseño. Sin embargo, antes de comenzar con él debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología *S35D4* de la fundidora *AMS*. Esta tecnología consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados.

En cuanto a los dispositivos activos, consta de transistores bipolares de heteroestructura (*HBT*) y *MOSFET*, siendo la longitud de puerta mínima de $0.35 \mu m$. Así mismo, la tecnología *S35D4* ofrece librerías de componentes pasivos.

4.1 Resistencias

4.1.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

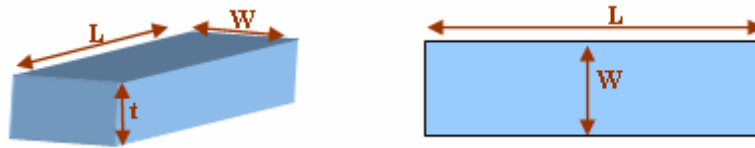


Figura 4.1 Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación (4.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (4.1)$$

Donde los parámetros que intervienen son:

- ρ es la resistividad del material
- t es el espesor del material
- L es la longitud de la pista
- W es la anchura de la pista

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (4.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (4.2)$$

En la ecuación (4.2) R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

4.1.2 Resistencias en la tecnología S35D4 de AMS

La tecnología S35D4 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la tabla 4.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 4.1 Resistencias incluidas en la tecnología

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	$\Omega/\mu m$
Coef. temperatura		0.6		$10^3/K$
Resist. Contacto		20	40	Ω / cnt
Den. Corriente			0.3	$mA/\mu m$

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	$k\Omega/\mu m$
Coef. temperatura		-1.2		$10^3/K$
Resist. Contacto		60	200	Ω / cnt
Den. Corriente			0.3	$mA/\mu m$

En la figura 4.2 se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros de las resistencias.



Figura 4.2 Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

- ① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.
- ② Ancho de la pista: variando el ancho, el *software* determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.
- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

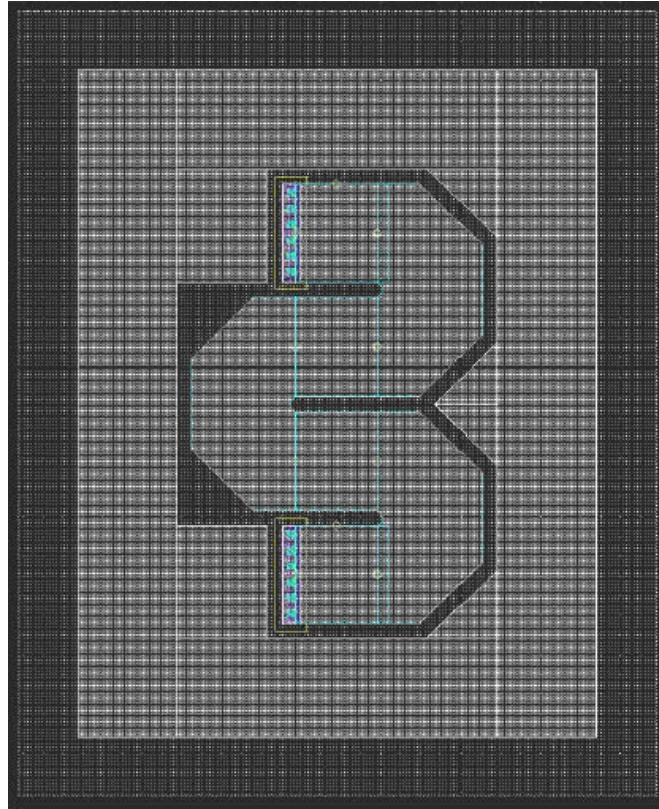


Figura 4.3 Resistencia con estructura Dummies.

En la figura 4.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

4.2 Condensadores

4.2.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la figura 4.4 se muestra un esquema donde esto queda reflejado.

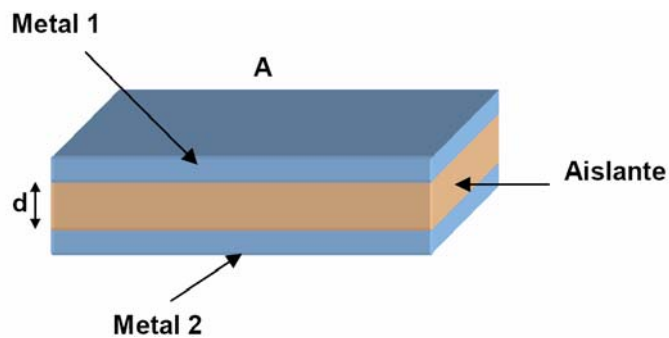


Figura 4.4 Corte de un condensador.

Partiendo de la figura 4.4 el valor de la capacidad del condensador viene dado por la ecuación (4.3).

$$C = \frac{\varepsilon' \cdot \varepsilon_o \cdot A}{d} \quad (4.3)$$

Donde los parámetros que intervienen son:

- ε' es la permitividad relativa del material
- ε_o es la permitividad del vacío
- A es el área de las placas del condensador
- d es la distancia ente las placas del condensador

4.2.2 Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el *CPOLY*, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro lado está el *CMIM*, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor

En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores.

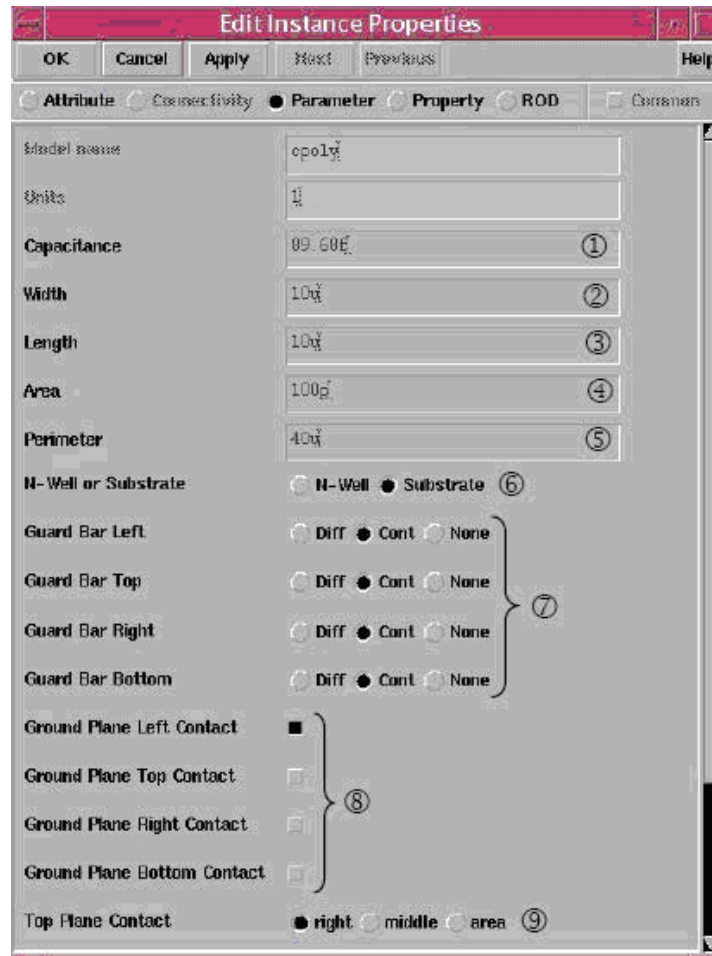


Figura 4.5 Parámetros ajustables en los condensadores.

A continuación se detallan los parámetros mostrados en la figura 4.5.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.
- ⑥ Conexión al sustrato o a un pozo tipo N.
- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.
- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

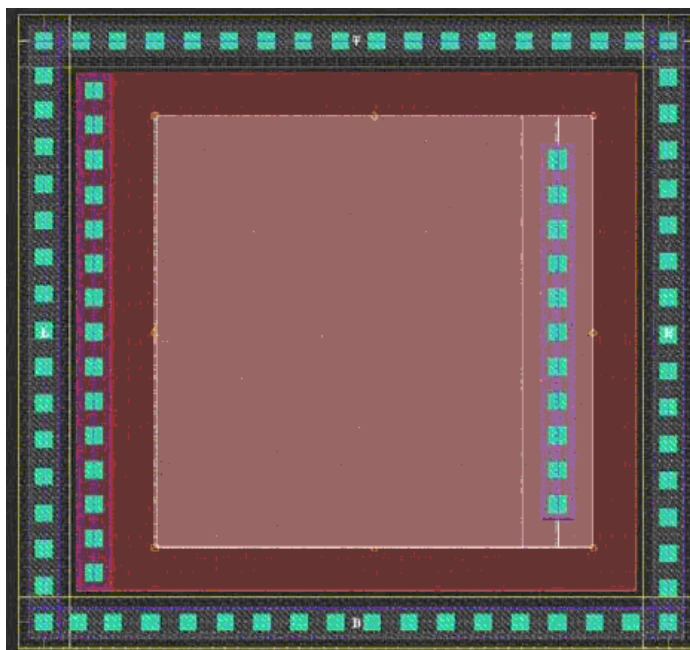


Figura 4.6 Layout de un condensador.

A modo de ejemplo, en la figura 4.6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

4.3 Bobinas

4.3.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

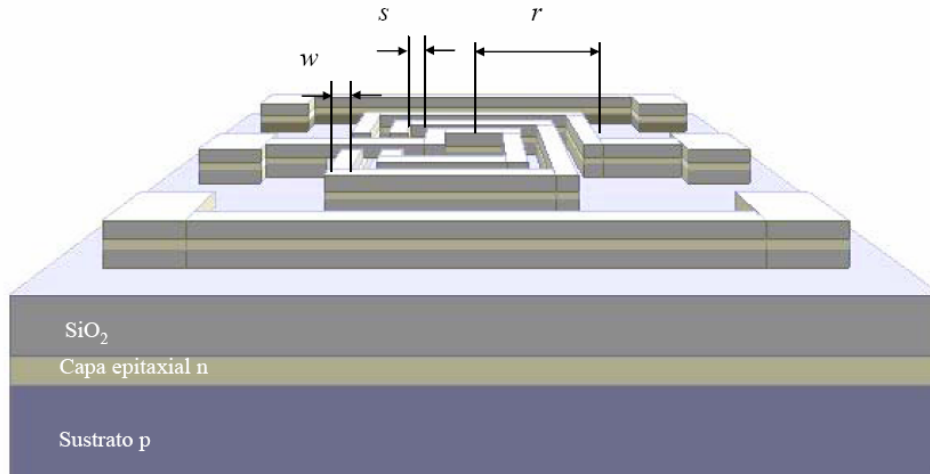


Figura 4.7 Layout de una bobina cuadrada simple.

4.3.2 Funcionamiento

Un inductor se caracteriza por su factor de calidad (ecuación (4.4)), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (4.4)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) [7] y por las corrientes de torbellino (*eddy currents*) [7] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la figura 4.8.

- El campo magnético $B(t)$ está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

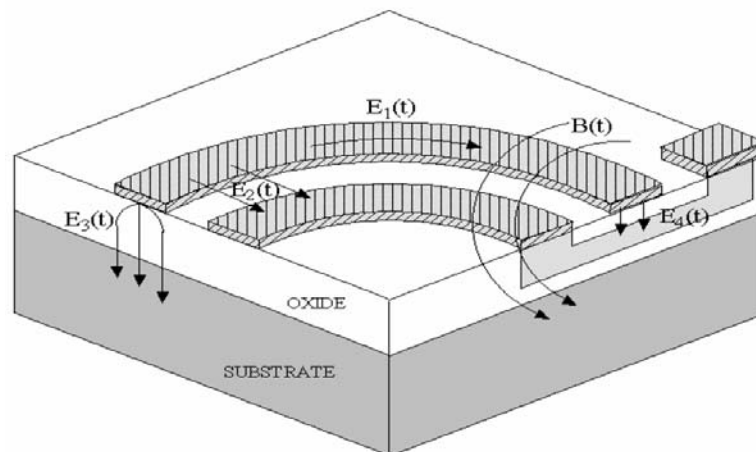


Figura 4.8 Campos eléctricos y magnéticos en un inductor integrado.

4.3.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la figura 4.9. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver figura 4.8). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato.

En particular, los condensadores $COX1$ y $COX2$ modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que $CSUB1$ y $CSUB2$ dan cuenta de la capacidad del sustrato. Por último $RSUB1$ y $RSUB2$ modelan las pérdidas óhmicas del sustrato. El circuito equivalente de la figura 4.9 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de $COX1$, $CSUB1$ y $RSUB1$ ligeramente diferentes a los de $COX2$, $CSUB2$ y $RSUB2$.

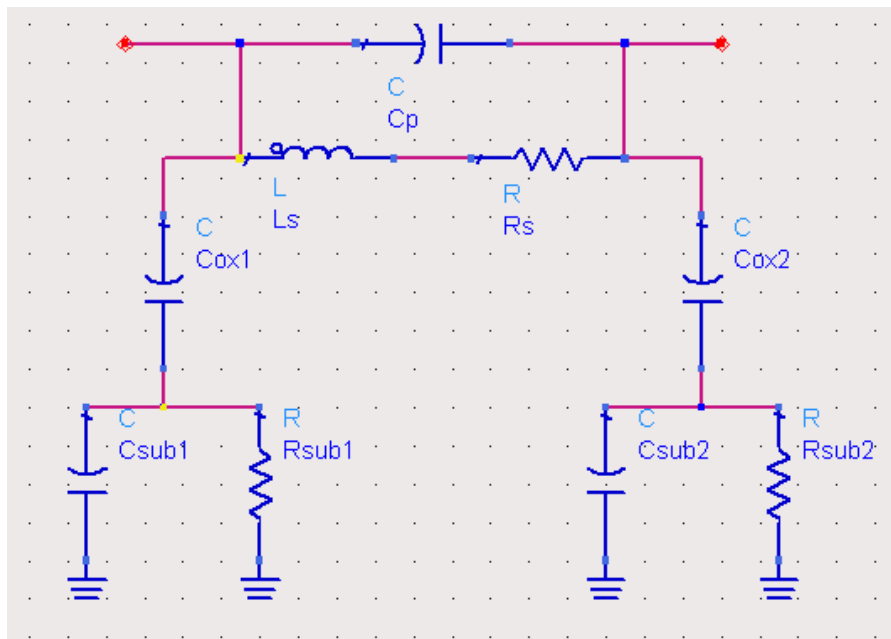


Figura 4.9 Modelo clásico de dos puertos de inductores espirales integrados.

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente.

Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [7].

4.3.4 Bobinas en la tecnología S35D4 de AMS

La tecnología de AMS presenta bobinas, pero se optó por usar las bobinas desarrolladas por el IUMA ya que presentan factores de calidad mayores que las de AMS, alcanzando factores de calidad de hasta 13.5 a una frecuencia central de 5.5 GHz [20].

En la figura 4.10 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10.3.

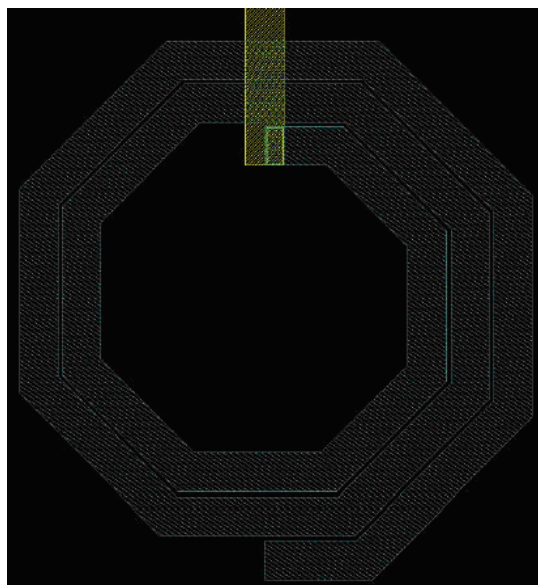


Figura 4.10 Layout de una bobina.

4.4 El Transistor MOSFET

4.4.1 Construcción

En la figura 4.11 se muestra un corte esquemático de dos transistores MOS tipo n y tipo p respectivamente. En el caso del transistor tipo n, la fuente y el drenador están formados por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO₂.

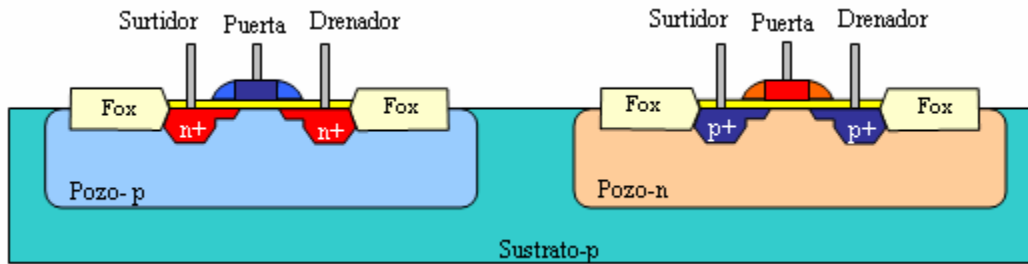


Figura 4.11 Corte esquemático de transistores MOS.

4.4.2 Funcionamiento

Como se muestra en la figura 4.12, si en un *MOSFET* tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor (V_{DS}), no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor *MOSFET* se encuentra en corte.

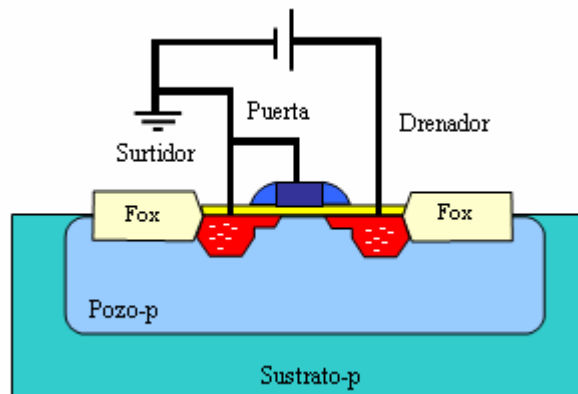


Figura 4.12 MOSFET tipo n en Corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el *MOSFET* se encuentra en la región de triodo o zona óhmica.

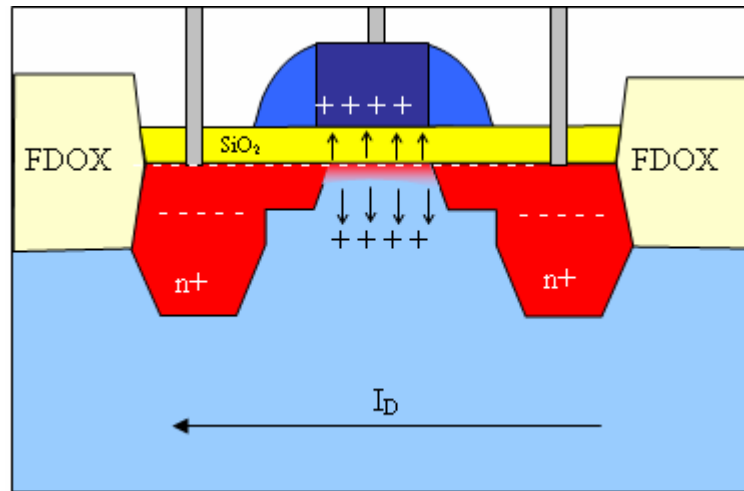


Figura 4.13 Detalle del MOSFET tipo n en zona óhmica.

En la región de triodo la ecuación (4.5) determina la corriente de drenador del *MOSFET*.

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.5)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de Drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de Drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

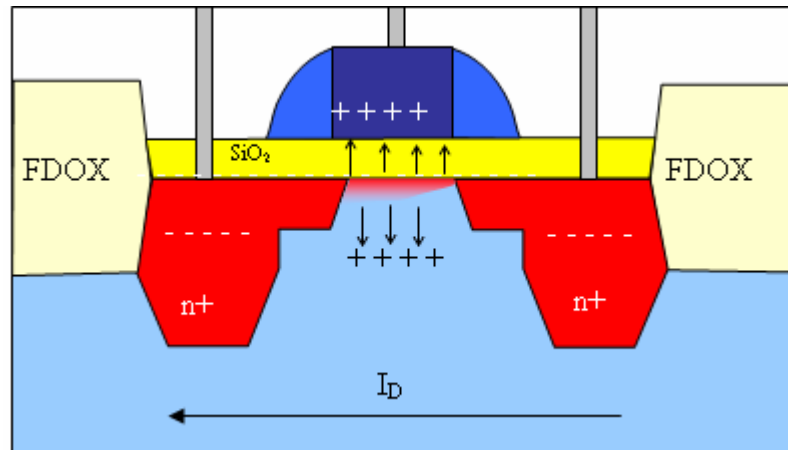


Figura 4.14 Detalle del MOSFET tipo n en zona de saturación.

La tensión de drenador a puerta (V_{DG}) se calcula mediante la ecuación (4.6).

$$V_{DG} = V_{DS} - V_{GS} \quad (4.6)$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación (4.6) el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación, la corriente de drenador se calcula mediante la ecuación (4.7), por ello, el transistor se considera en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (4.7)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)
- Al coeficiente $\mu_n \cdot C_{OX}$ se le denomina factor de ganancia y se denota con K_n .

A pesar de que el desarrollo anterior se refiere a un transistor *MOSFET* tipo n, en el caso del transistor *MOSFET* tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el *MOSFET* tipo p es contrario del *MOSFET* tipo n.

4.4.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor *MOSFET*.

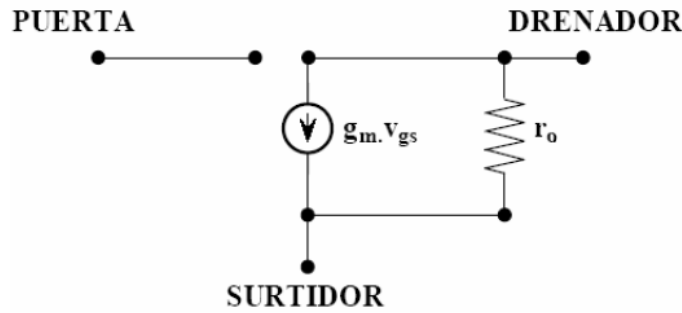


Figura 4.15 Modelo del MOSFET de Baja Frecuencia.

Donde:

- r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.
- g_m es la transconductancia del transistor y es definida por la ecuación (4.8).

$$g_m = \sqrt{\frac{2 \cdot C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (4.8)$$

Donde:

- L_{eff} es la longitud efectiva del canal (μm)
- C_{OX} es la capacidad de puerta por unidad de área
- μ_n es la movilidad de los electrones
- W es el ancho del canal del transistor
- I_D es la corriente de drenador

4.4.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor *MOSFET*, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

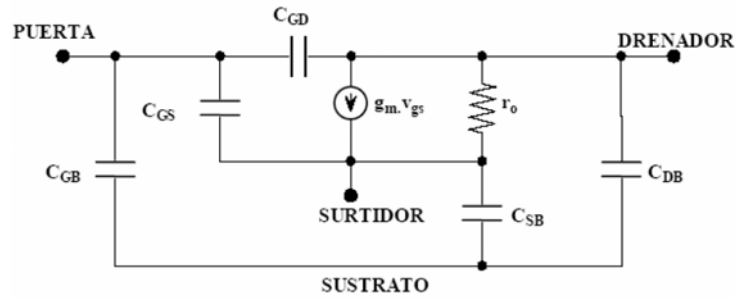


Figura 4.16 Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

- **Capacidades de la zona de carga espacial:** Se producen en las uniones *PN*, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial se calculan con las ecuaciones (4.9) y (4.10):

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (4.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (4.10)$$

Donde:

- C_o es la densidad de la capacidad de la unión cuando la polarización de esta es nula.
- V es la tensión directa de la unión.
- ψ_o es la barrera de potencial.
- m es la constante dependiente del tipo de unión.

- **Capacidades en la zona de óxido:** Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades dependen de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- C_{GB} = Capacidad de óxido entre puerta y sustrato
- C_{SG} = Capacidad de óxido entre surtidor y puerta
- C_{GD} = Capacidad de óxido entre Puerta y drenador

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor.

En la tabla 4.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor *MOSFET*.

Tabla 4.2 Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_dw+0.5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_dw+0.5C_{OX}LW$	$C_{OX}L_dw+0.66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

En la tabla 4.2 los parámetros implicados en las expresiones son:

- C_{ox} = capacidad de puerta por unidad de área.
- L_d = Distancia de difusión lateral que se produce bajo la puerta.
- L = Longitud del canal del transistor (μm).
- W = Ancho del canal del transistor (μm).

4.4.5 Transistores MOSFET en la tecnología S35D4 de AMS

En la tabla 4.3 se muestran los parámetros más importantes de los transistores *MOSFET* suministrados por *AMS* dentro del *Kit* de diseño.

Tabla 4.3 Parámetros más importantes de los MOSFET

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu A/V^2$
Den. Corriente Saturación	450	540	630	$\mu A/\mu m$

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	-0.50	-0.60	-0.70	V
Factor de Ganancia (K_p)	48	58	68	$\mu A/V^2$
Den. Corriente Saturación	-180	-240	-300	$\mu A/\mu m$

En la figura 4.17 se muestra el cuadro de diálogo donde se ajustan los parámetros del transistor *MOSFET*. A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.17.

- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo *Snake* [5].
- ⑤ Selección del número de dedos para los transistores tipo *Snake*.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las puertas, drenadores y surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.
- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [21] en el transistor

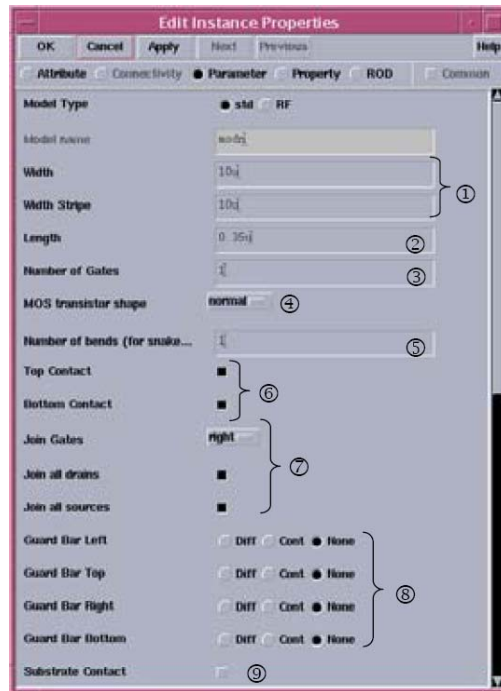


Figura 4.17 Parámetros en los MOSFET.

A modo de ejemplo en la figura 4.18 se muestra un transistor MOSFET tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el Kit de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

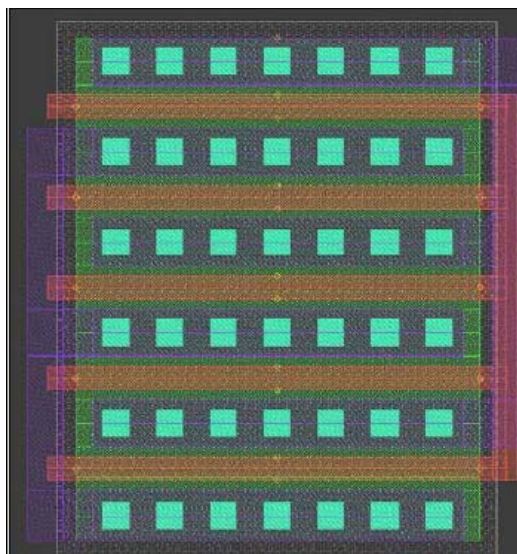


Figura 4.18 Ejemplo de transistor MOSFET.

4.5 HBTs de SiGe

4.5.1 Construcción

Los transistores bipolares de heteroestructura HBTs de SiGe son transistores npn bipolares en los que la base está formada por una capa muy estrecha (<50nm) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma pseudomórfica. La concentración de Ge puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la figura 4.19 se muestra la estructura típica de un HBT de SiGe gradual.

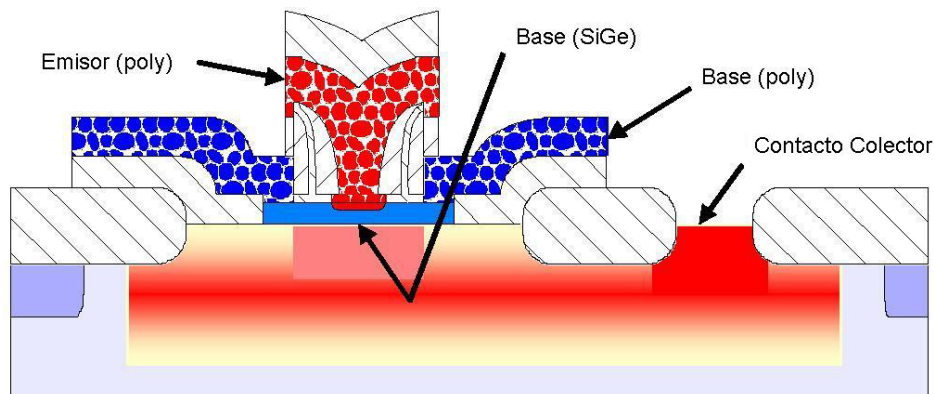


Figura 4.19 Estructura típica de un HBT de SiGe gradual.

4.5.2 Funcionamiento

El funcionamiento de los *HBTs* es exactamente igual al de los transistores bipolares de homounión (*BJTs*), con la salvedad de que sus prestaciones son muy superiores a las de éstos últimos. Para ayudar a entender los beneficios de los *HBT*, se comparan en la figura 4.20 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la figura 4.21, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de deplexión de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los *HBTs* es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

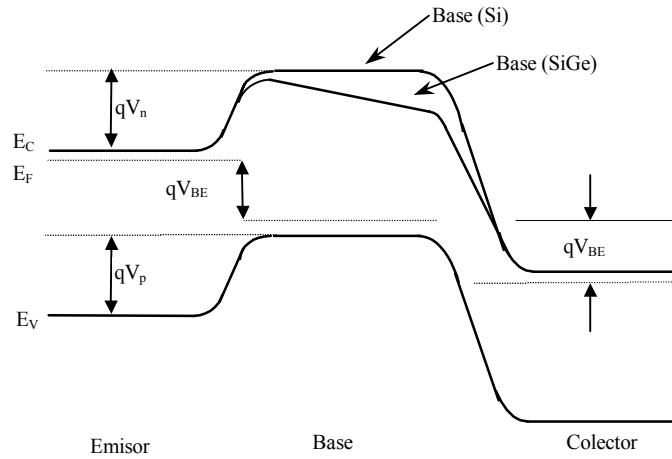


Figura 4.20 Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/SiGe.

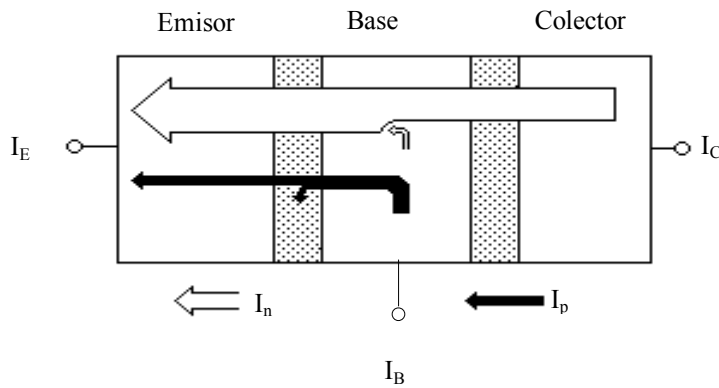


Figura 4.21 Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los *BJTs* para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de *Boltzmann* ofrece las concentraciones de portadores minoritarios que se muestran en las ecuaciones (4.11) y (4.12).

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.11)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.12)$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión *BJT*. V_{BE} es la tensión aplicada a la unión *B-E*. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es P_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (4.11) y (4.12) resulta la ecuación (4.13).

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (4.13)$$

Esta ecuación representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, la β_{max} vendría dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la figura 4.20 se muestra también el diagrama de bandas correspondiente a un *HBT*. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G / W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los *HBTs* la ganancia en corriente tendrá un término adicional que refleja este fenómeno como se muestra en la ecuación (4.14).

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot t} \right)} \quad (4.14)$$

Es posible obtener decenas de meV para Δ_{EG} variando la concentración de Ge , la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado, y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias.

Por otro lado, para conseguir valores de corriente elevados en los $BJTs$, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de $HBTs$ en vez de $BJTs$ ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los $HBTs$ trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los $HBTs$ de $SiGe$ es mayor que para los $BJTs$ de Si , con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de $LNAs$ respecto al ruido. Por último, debido a la elevada ganancia que presentan los $HBTs$ de $SiGe$ a frecuencias por encima de 2 GHz , es posible el uso de técnicas de linealización por realimentación, lo que conlleva a una buena respuesta respecto a la intermodulación en amplificadores de potencia y $LNAs$.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presentan, haciendo que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del $SiGe$, sino de todos los procesos bipolares basados en Si , donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

4.5.3 Modelo de baja frecuencia

En la figura 4.22 se muestra el modelo en baja frecuencia de un transistor bipolar npn cuando el transistor está operando en configuración de emisor-común (EC).

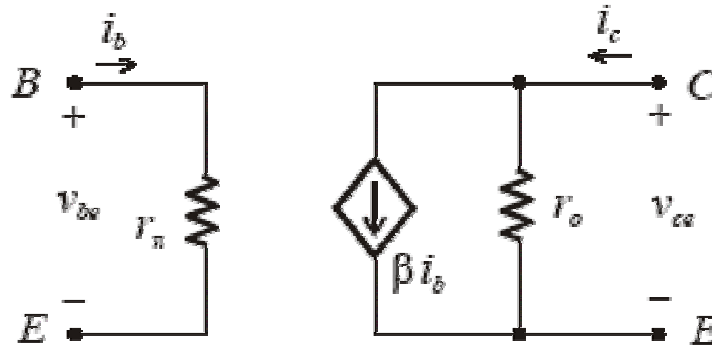


Figura 4.22 Modelo híbrido en π en baja frecuencia.

Del circuito anterior se obtienen las ecuaciones (4.15) y (4.16).

$$V_{be} = r_{\pi} \cdot i_b \quad (4.15)$$

$$i_c = \beta \cdot i_b + \frac{1}{r_o} \cdot V_{ce} \quad (4.16)$$

4.5.4 Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la β con la frecuencia y las capacidades internas. En la figura 4.23 se observa esta dependencia y se definen dos frecuencias: f_{β} , frecuencia de corte superior que es la frecuencia a la cual decae en $\frac{1}{\sqrt{2}} = 0.707$, la β a frecuencias medias especificada por β_o , y f_T , frecuencia de transición definida como la frecuencia a la cual la β vale 1. El fabricante proporciona el valor de f_T en función de la corriente de colector, siendo éste un parámetro importante que fija el ancho de banda del transistor.

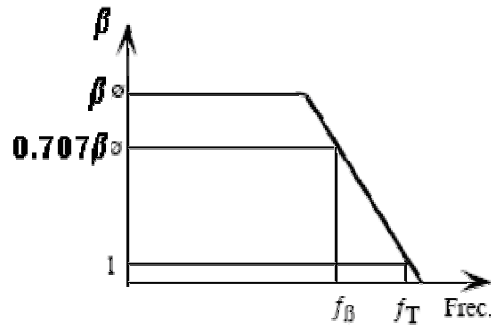


Figura 4.23 Variación de la β de un transistor bipolar con la frecuencia.

En la figura 4.24 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes: $C_{b'c}$ y $C_{b'e}$, que varían con la tensión inversa (*reverse voltage*). $C_{b'c}$ se obtiene gráficamente calculando la V_{BC} del transistor (tensión inversa de la unión colector-base). $C_{b'e}$ tiene asociada dos capacidades, difusión del emisor y de unión emisor-base. Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como se muestra en la ecuación (4.17).

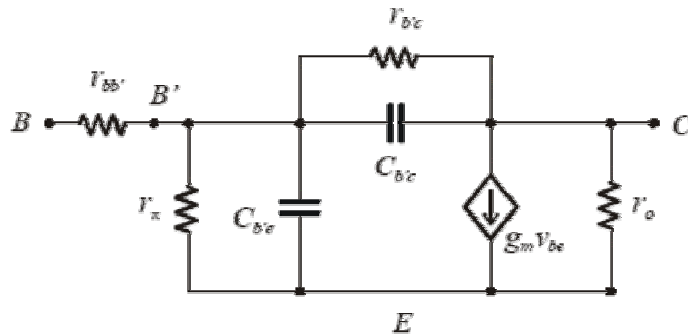


Figura 4.24 Modelo en alta frecuencia de un transistor bipolar..

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \tag{4.17}$$

Siendo V_T el potencial térmico, que vale 25 mV a 25 °C. La relación entre f_T y f_β y esas capacidades es la que se muestra en la ecuación (4.18).

$$f_T = f_\beta \cdot \beta' \tag{4.18}$$

Siendo f_β y β los mostrados en las ecuaciones (4.19) y (4.20) respectivamente.

$$f_\beta \cong \frac{1}{2\pi \cdot (r_{bb'} + r_\pi)(C_{b'e} + C_{b'c})} \tag{4.19}$$

$$\beta = \frac{\beta'}{1 + j \cdot \frac{f}{f_o}} \quad (4.20)$$

4.5.5 HBTs en la tecnología S35D4 de AMS

Los HBTs de SiGe utilizados para la realización de este diseño son los suministrados en el proceso S35D4 (0.35 μm HBT BiCMOS) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJT. El material de partida es una oblea de silicio tipo p poco dopada de resistividad 19 $\Omega \cdot \text{cm}$. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forma la capa del colector mediante deposición química (CVD) que se separa mediante un proceso de recesión LOCOS. El siguiente paso es el crecimiento selectivo de la base de SiGe mediante CVD. La concentración de germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de base y emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la figura 4.25 se muestra el cuadro de diálogo de los transistores disponible en el kit de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

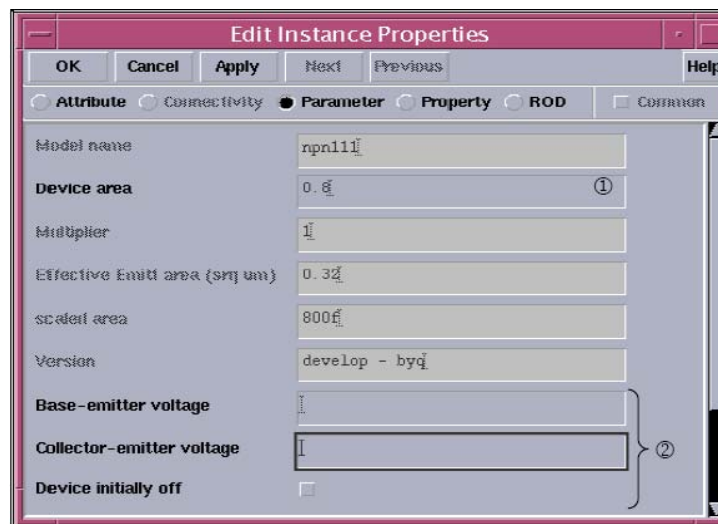


Figura 4.25 Parámetros ajustables de los transistores.

- ① Selección del área del transistor
- ② Selección de los ajustes para simulación

En la figura 4.26 se muestra el layout de un transistor *HBT*. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

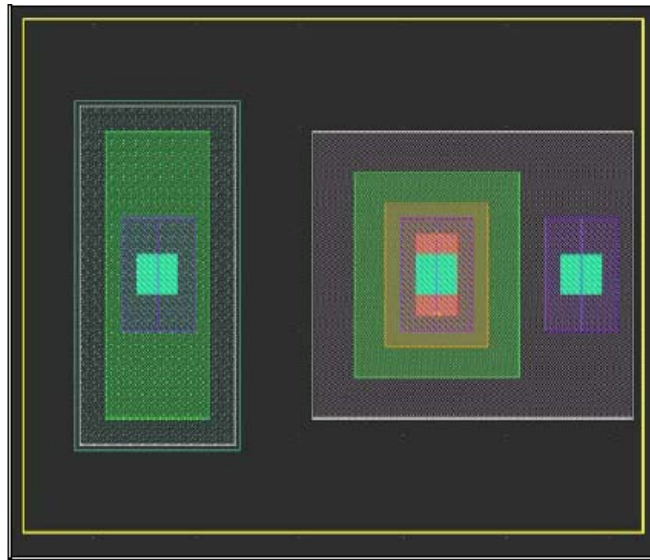


Figura 4.26 Layout de un Transistor HBT.

4.6 Conclusiones

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología *S35D4* de *AMS* para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los *LNAs* y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño de los *LNAs* en sí, gracias a la información aportada en el presente capítulo y el anterior.

CAPÍTULO 5

DISEÑO A NIVEL DE ESQUEMÁTICO

En el capítulo cuatro se estudió las características principales de la tecnología empleada. En la presente sección se mostrará el proceso de diseño de un amplificador distribuido. Para ello, partiendo del esquemático de la figura 5.1, se empezará con el cálculo de todos los componentes del circuito. Una vez se hayan obtenido todos los valores necesarios para el diseño, se procederá a la simulación del amplificador. Posteriormente se sustituirán las bobinas ideales por bobinas reales (circuito equivalente) y se harán las mismas simulaciones que en los apartados anteriores.

5.1 Descripción del diseño

En la figura 5.1 se puede apreciar el esquemático del amplificador distribuido en cuestión. Para ello debemos tener presente donde se encuentra la línea de colector (cuadro rojo) y la línea de base (cuadro verde). Como se ha comentado en capítulos anteriores, la función de cada línea es diferente, siendo la línea de base la línea de entrada del circuito y la línea de colector la de salida.

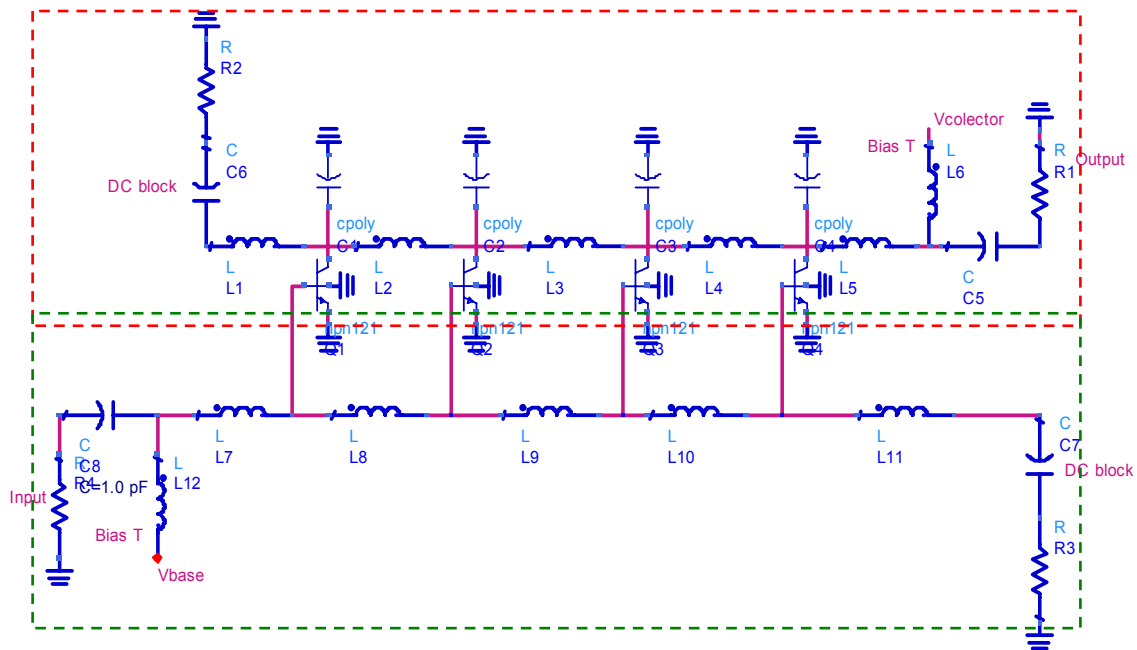


Figura 5.1 Amplificador distribuido de 4 etapas.

Se puede apreciar que la línea de base carece de elementos capacitivos, para ello se aprovecha la capacidad existente entre la base y el emisor del transistor, pero debido a que dicha capacidad en los transistores bipolares es muy baja, añadiremos una capacidad (C_b) adicional de un valor que determinaremos posteriormente mediante simulaciones.

5.2 Especificaciones del diseño

Cualquier dispositivo electrónico que se vaya a diseñar tiene que tener de antemano unas especificaciones iniciales que servirán como referencia a lo largo del diseño. Posteriormente, estas especificaciones podrán variar en menor o mayor medida. Este diseño se ha planteado con las siguientes especificaciones: amplificador distribuido de 4 etapas con una ganancia de 10 dB y un ancho de banda de 11 GHz. Aunque se inicia el diseño con estas características, finalmente y debido a los resultados obtenidos tras las simulaciones, estas se verán modificadas en los resultados finales.

En la Tabla 5.1 se refleja las especificaciones iniciales así como todos los datos necesarios para el cálculo de los componentes del diseño.

Tabla 5.1 Datos del amplificador distribuido

Parámetro	Valor
Número de etapas	4
Frecuencia de corte	11 GHz
Ganancia	10 dB
Tensión de colector	3.3 v
Tensión de base	1v
Z_0	50Ω

5.3 Cálculo de los componentes del diseño

En el capítulo tres, se ha explicado genéricamente cómo es el cálculo de los componentes necesarios para diseñar un amplificador distribuido. En esta sección particularizaremos lo explicado anteriormente con este diseño. Para ello se ha utilizado los datos y especificaciones mostrados en la Tabla 5.1

Inicialmente se calculan los elementos inductivos de las dos líneas de transmisión (colector y base). Para ello se han utilizado las expresiones 3.7 y 3.8. La siguiente expresión es la resultante de las anteriores.

$$L_c = \frac{50}{\pi \cdot fc} = 1.59nH \quad (5.1)$$

Aunque teóricamente se obtiene un valor de 1.59 nH, éste no será el valor final que se tomará para el diseño. Para el ajuste de este valor se ha utilizado un simulador comercial específico (Momentum ©), mediante el cual podemos predecir la respuesta de los elementos inductivos en un sustrato de silicio con pérdidas. En la simulación se comprobó que una bobina de 1.465 nH era el valor que más se ajustaba a las características del diseño. Este elemento inductivo presenta una Q de 9.28, un valor bastante bueno considerando que las bobinas integradas presentan una Q baja.

Tras realizar diversas pruebas comprobamos que la técnica de *staggering* no ofrece los resultados deseados al no mejorar las prestaciones de nuestro diseño. Por ello, tanto la línea de colector como la de base presentarán la misma Z_0 y f_c con lo que la capacidad y la inductancia en ambas líneas tendrán el mismo valor.

Para calcular las bobinas de entrada y la terminación de las líneas de transmisión utilizamos la siguiente expresión:

$$\frac{L_c}{2} = \frac{L_b}{2} \quad (5.2)$$

Sustituyendo valores se obtiene un resultado de 0.73 nH, este valor es muy pequeño para una bobina integrada, por lo que utilizando de nuevo el Momentum © se obtuvo una bobina con unas características adecuadas a nuestro diseño. El valor de esta bobina es de 1.15 nH y aunque el valor no coincide con la mitad de L_c , podemos asegurar que a nivel de *Layout* (capítulo 6) la bobina se acopla perfectamente al resto de componentes del diseño.

Una vez calculados todos los elementos inductivos pasamos a calcular los elementos capacitivos. En el caso de los transistores *MOSFET* la C_{db} normalmente es menor que la C_{gs} , así que es preciso añadir una capacidad adicional en la línea de drenador. En nuestro caso esta capacidad llamada capacidad de colector (C_c) la determinamos mediante simulaciones y dependerá del área de los transistores. Además en los transistores bipolares es necesario también insertar otra capacidad adicional llamada capacidad de base (C_b), ya que la impedancia de entrada en los transistores bipolares tiene poco carácter capacitivo.

En la figura 5.2 se muestra el barrido mediante el cual se determinará el valor apropiado de C_c que corresponde a cada área tras haber analizado una a una todas ellas. Se observa que el valor que mejores resultados proporciona es $C_c=200$ fF. De manera análoga determinamos C_b , que tiene menos influencia en la respuesta del circuito. El valor que finalmente obtenemos es $C_b=100$ fF.

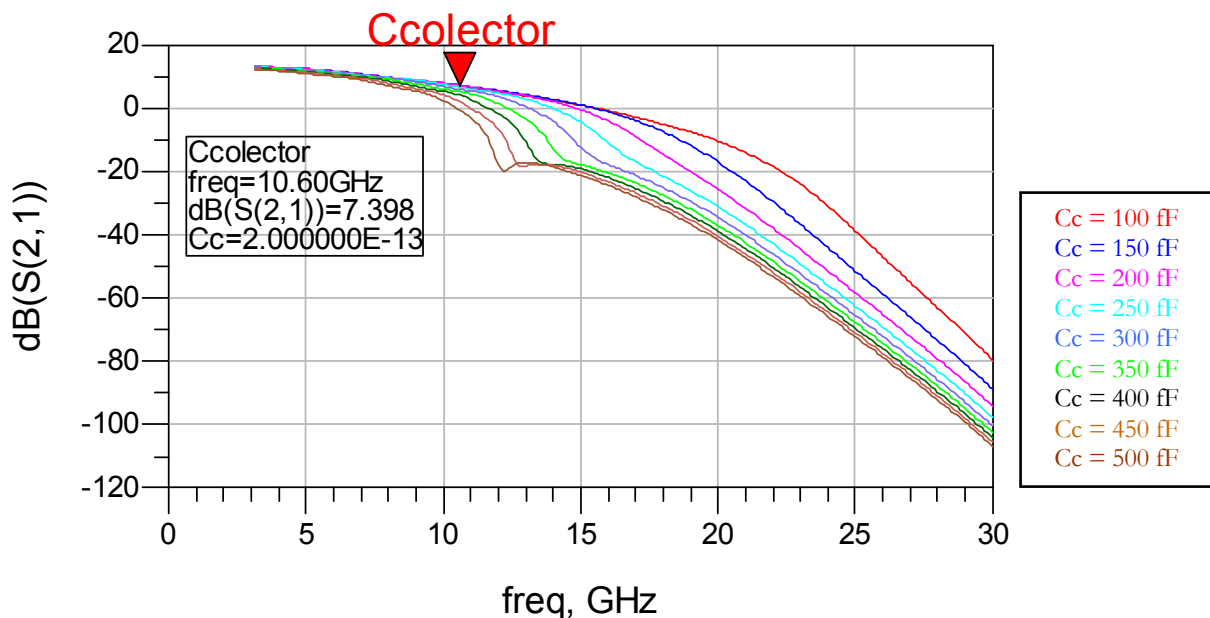


Figura 5.2 Barrido del condensador C_c de 100 a 500 fF.

Únicamente nos faltaría por determinar el área apropiada de los transistores. Para ello, variando el área, estudiaremos la respuesta de nuestro circuito en función de los siguientes parámetros: figura de ruido (NF_{max} y NF_{min}), consumo de corriente (I_{dc}) y ganancia máxima del circuito (G_{fmax}).

En la tabla 5.2 se muestran los resultados obtenidos de las simulaciones iniciales, obteniendo una orientación de cuál va a ser nuestro valor de área apropiado.

Tabla 5.2 Resultados obtenidos del barrido de áreas

Área (μm^2)	Cc (fF)	NF_{max} (dB)	NF_{min} (dB)	I_{dc} (mA)	G_{fmax} (dB)
4	200	10.13	8.085	13.6	6.749
5	200	9.871	7.670	16.8	7.397
6	200	9.812	7.341	19.90	7.717
7	200	9.908	7.058	22.80	7.835
8	150	10.13	6.747	25.70	7.819
9	150	11.034	6.44	28.50	7.710
10	150	11.44	6.225	31.1	7.601
11	150	11.91	6.037	33.7	7.375
12	200	12.44	5.873	36.20	7.031
13	300	13	5.727	38.6	6.571
14	300	13.607	5.597	41	6
15	300	14.242	5.481	43.2	5.348
16	300	14.912	5.377	45.4	4.618
17	250	15.621	5.284	47.6	3.833
18	250	16.378	5.21	49.7	3.011

Para precisar más en nuestra elección, haremos el barrido anterior teniendo en cuenta esta vez otros parámetros como son: figura de ruido media (NF_{med}), planitud de la figura de ruido ($Flatness NF$), Ganancia media (G_{med}) y planitud de la ganancia media ($Flatness Gain$). En la Tabla 5.3 podemos apreciar que el valor que mejor se ajusta a las especificaciones de nuestro diseño es el de $5 \mu\text{m}^2$.

Tabla 5.3 Resultados del barrido de área en función de otros parámetros

Área	(3.1 GHz - 10.6 GHz)				
	NF _{med}	Flatness NF	Gmed	Flatness Gain	Consumo (mA)
4	8.801	2.04	9.708	4.991	13.6
5	8.404	2.201	10.809	5.828	16.8
6	8.152	2.472	11.587	6.632	19.9
7	7.996	2.859	12.151	7.393	22.8
8	7.911	3.383	12.565	8.112	25.7
9	8.022	4.593	12.876	8.725	28.5
10	8.023	5.22	13.136	9.301	31.1
11	8.059	5.88	13.330	9.916	33.7
12	8.125	6.568	13.470	10.588	36.2
13	8.216	7.279	13.565	11.325	38.6
14	8.327	8.010	13.622	12.128	41
15	8.454	8.761	13.646	12.99	43.2
16	8.595	9.535	13.643	13.897	45.4
17	8.748	10.337	13.616	14.837	47.6
18	8.910	11.178	13.57	15.797	49.7

En la tabla 5.4 se muestra los valores de todos los componentes necesarios para la implementación del circuito.

Tabla 5.4 Valores de los componentes

Componente	Valor
$L_b=L_c$	1.465 nH
$L_b/2=L_c/2$	1.15 nH
C_c	200 fF
C_b	100 fF
Área	5 μm^2

En esta sección no se han incluido los cálculos de las semisecciones derivadas, ya que finalmente hemos decidido no implementarlas debido a que supondría un aumento considerable en el área de nuestro circuito.

5.4 Realización y simulación del esquemático

Para la implementación de este diseño se ha utilizado el ADS (Advanced Design System). Para ello, tomando como guía la estructura de la Figura 5.1 se han estudiado diversos esquemáticos. Inicialmente se implementará un esquemático básico para luego posteriormente implementar el mismo esquemático pero esta vez utilizando bobinas reales e insertando los pads. Los valores de los

componentes tanto en el primer diseño como en el segundo son los mostrados anteriormente en la tabla 5.4.

5.4.1 Simulación del esquemático sin pads ni bobinas reales

El esquemático sobre el que vamos a realizar las simulaciones es el que se muestra en la Figura 5.3. En este primer diseño se han utilizado bobinas ideales para la simulación.

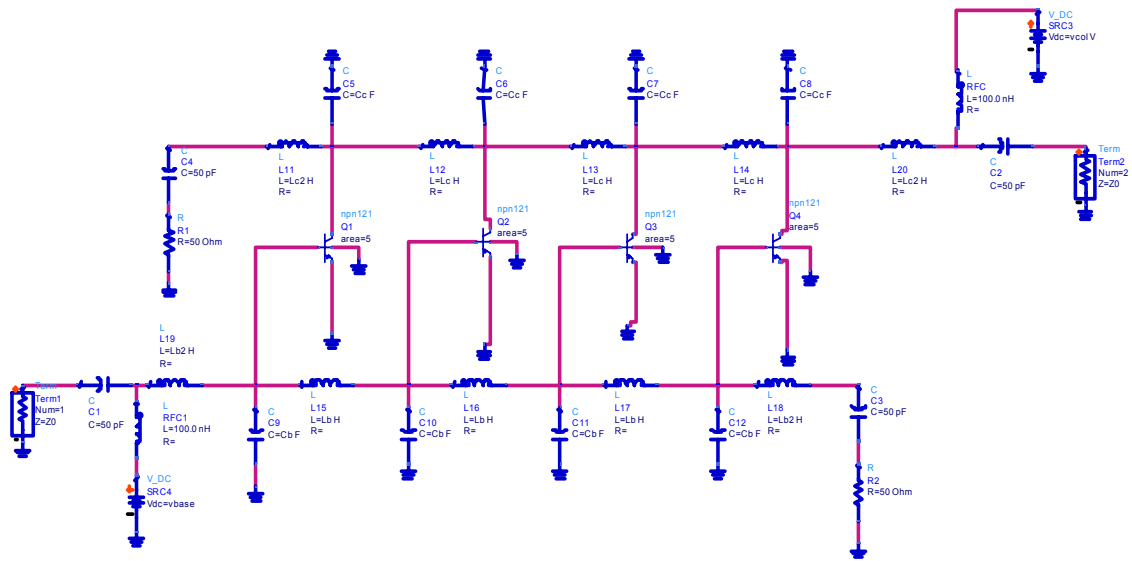


Figura 5.3 Amplificador distribuido con bobinas ideales y sin pads.

La primera medida que se ha estudiado es la del parámetro S_{21} (ganancia directa) mostrada en la figura 5.4, en la cual se puede apreciar que tenemos un ancho de banda y un valor de ganancia que cumple con las especificaciones iniciales, superando este último los 10 dB en toda la banda de interés (3.1 a 10.6 GHz).

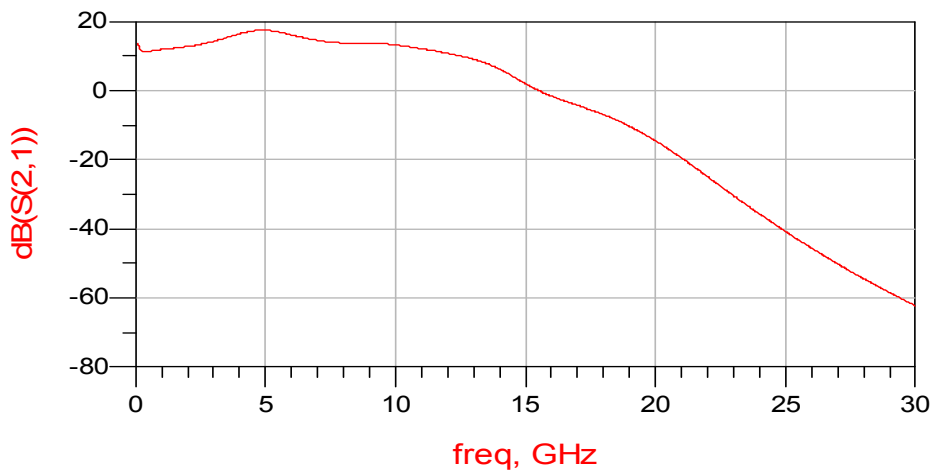


Figura 5.4 Parámetro S_{21} del esquemático con bobinas ideales y sin pads.

Otro parámetro que tenemos que tener en cuenta en este tipo de dispositivos es la figura de ruido (NF) ya que para la transmisión de datos a alta frecuencia necesitamos que éste sea lo más bajo posible. En la figura 5.5 se muestra la figura de ruido simulada.

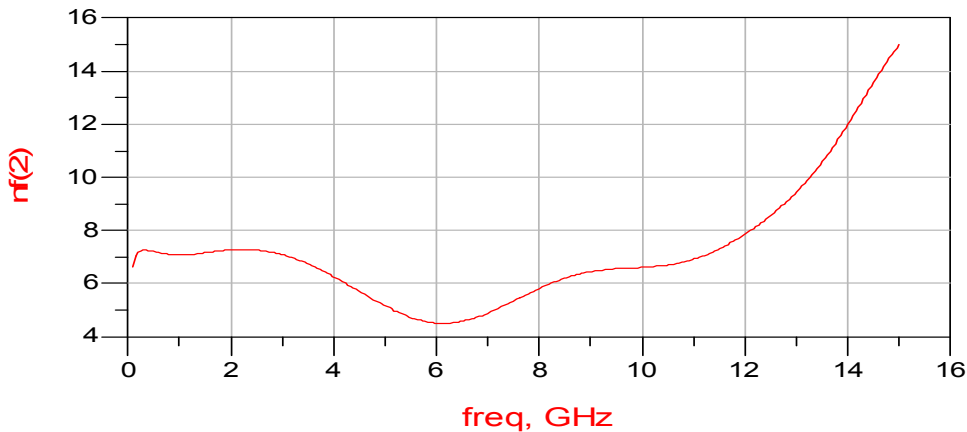


Figura 5.5 Figura de ruido del esquemático con bobinas ideales y sin pads.

En la figura 5.5 se puede apreciar que la figura de ruido conseguida está entre 4 y 7 dB en toda nuestra banda de interés de 3.1 a 10.6 GHz. En vista de los resultados se puede considerar que se ha conseguido una figura de ruido aceptable en este primer diseño.

5.4.2 Simulación del esquemático final con pads y bobinas reales

A continuación sustituiremos en el esquemático anterior (Figura 5.3) las bobinas ideales por su modelo equivalente real. En la Figura 5.6 se muestra el circuito equivalente de las bobinas utilizadas, y el símbolo que usaremos en los esquemáticos.

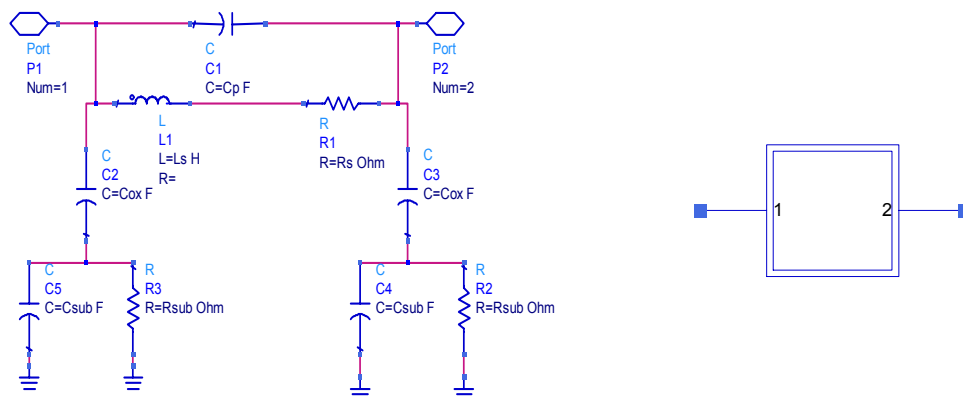


Figura 5.6 Circuito equivalente y símbolo de la bobina real.

Para la bobina de valor 1.15 nH tenemos los siguientes valores:

Tabla 5.5 Valores de bobina 1.15 nH

L_s	R_s	C_p	C_{ox}	C_{sub}	R_{sub}
948 pH	1.7 Ω	22.2 fF	61.4 fF	20.6 fF	883 Ω

Mientras que para la bobina de valor 1.447 nH los valores a sustituir son:

Tabla 5.6 Valores de bobina 1.447 nH

L_s	R_s	C_p	C_{ox}	C_{sub}	R_{sub}
1.129 nH	1.8 Ω	7.13 fF	69 fF	19.88 fF	904 Ω

En la figura 5.8 se muestra el circuito equivalente de los pads así como su símbolo correspondiente.

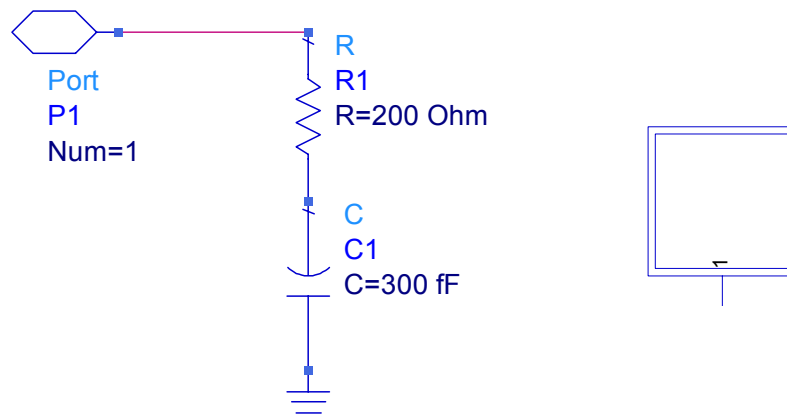


Figura 5.8 Circuito equivalente y símbolo del pad.

Una vez sustituidas las bobinas ideales y añadidos los pads el siguiente paso es simular el circuito. El circuito resultante es el mostrado en la figura 5.7.

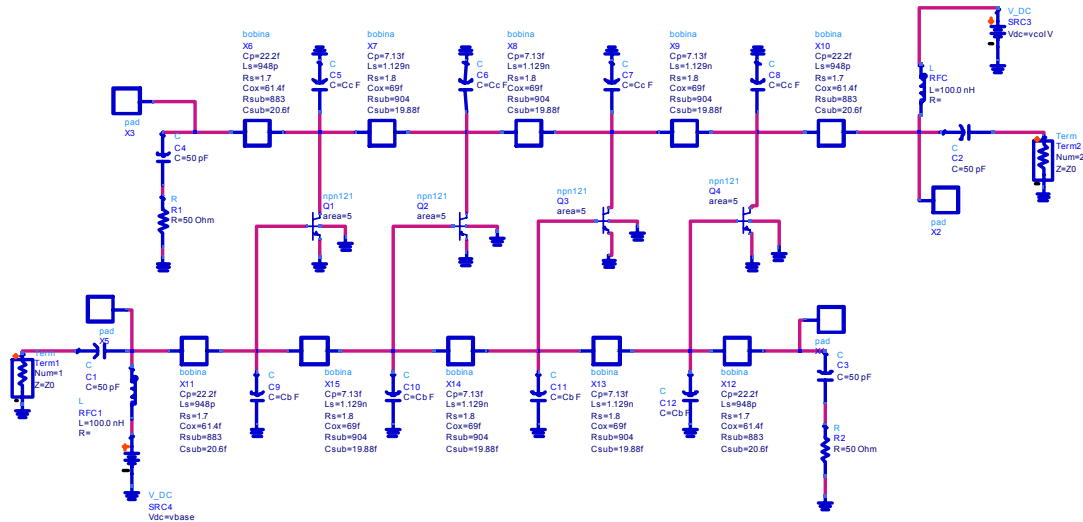


Figura 5.7 Amplificador distribuido con bobinas reales y pads.

Con la finalidad de estudiar el efecto de los pads de medida en el funcionamiento del circuito hemos analizado dos simulaciones diferentes, una con ellos y otra sin ellos. El haber introducido los pads hace que la respuesta del circuito sea muy diferente, ya que estos presentan unos parásitos que hay que tener en cuenta una vez se haya fabricado el circuito. En la siguiente figura se muestra la simulación del parámetro S_{21} del circuito sin los pads.

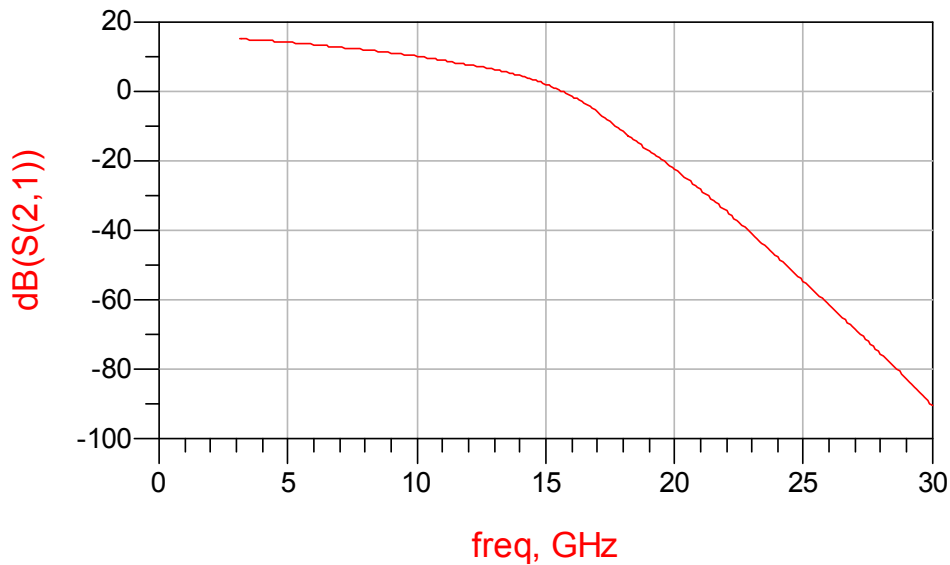


Figura 5.9 Parámetro S_{21} (esquemático sin pads).

Se puede apreciar en la gráfica que la ganancia se ha visto afectada viéndose ésta disminuida por la introducción de las bobinas reales. No obstante, se observa que seguimos teniendo una ganancia por encima de los 10 dB en toda nuestra banda de interés y una planitud aceptable en ella,

aunque también se ha visto afectada por la introducción de las bobinas reales. En la siguiente figura se muestra la misma medida del parámetro S_{21} pero esta vez tras haber insertado los pads.

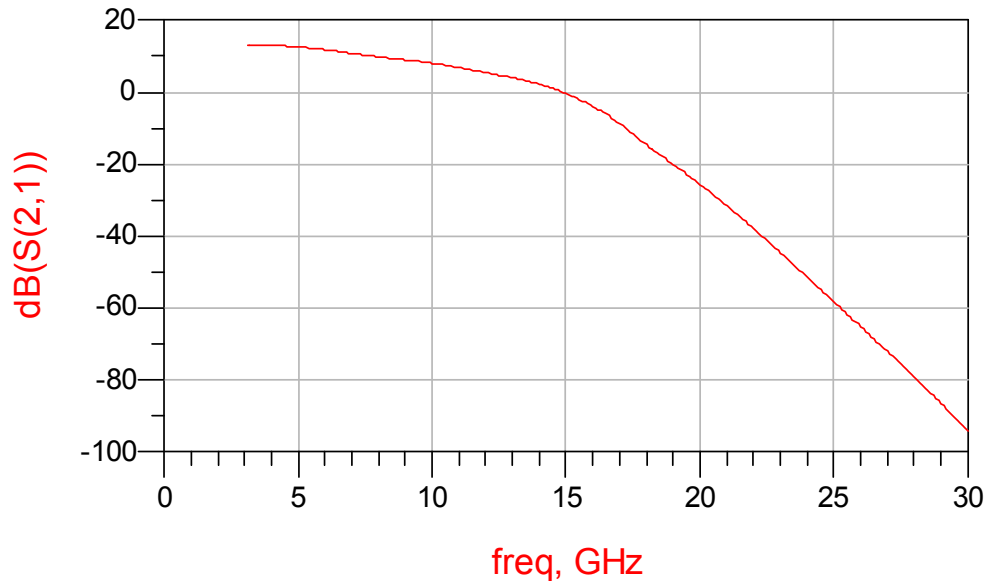


Figura 5.10 Parámetro S_{21} (esquemático con pads).

Esta vez el cambio que se origina no es tan evidente, pero también se ha producido una disminución en la ganancia. El ancho de banda se mantiene a un valor similar al anterior. Tampoco la planitud ha sufrido cambios relevantes y ha permanecido similar a los casos anteriores. Si nos fijamos en la figura de ruido podemos realizar la misma comparación que anteriormente. En las figuras 5.11a y 5.11b se muestran respectivamente las figuras de ruido resultantes con y sin pads.

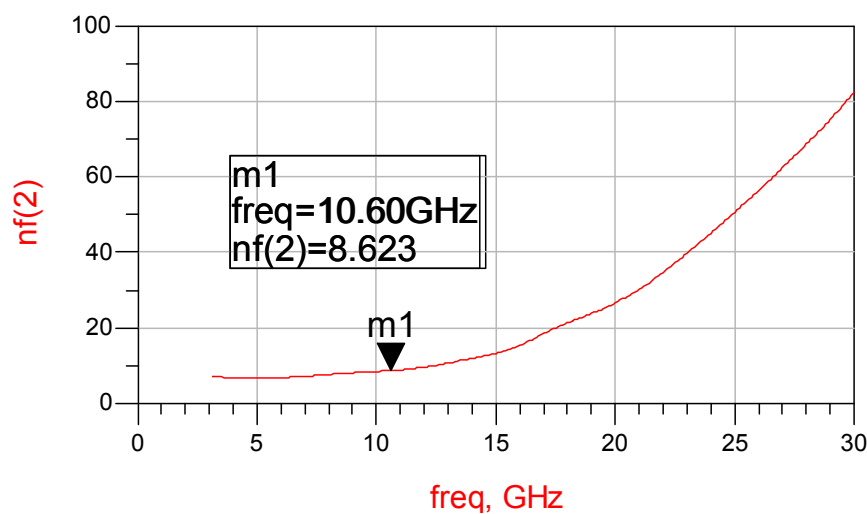


Figura 5.11a Figura de ruido (esquemático sin pads).

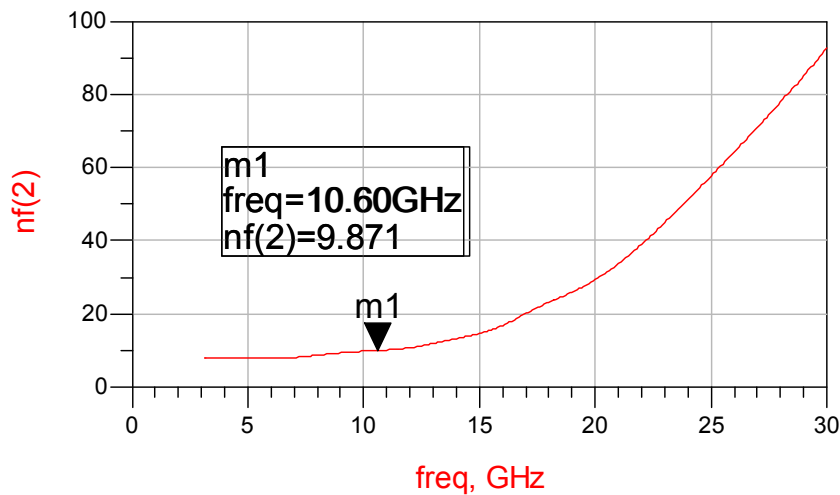


Figura 5.11b Figura de ruido (esquemático con pads).

En la figura 5.11b se aprecia que al introducir los pads, la figura de ruido se ve afectada de manera significativa quedando su valor más crítico por debajo de los 10 dB a 10.6 GHz.

5.5 Conclusiones

En este capítulo se ha mostrado cómo se calculan todos los componentes de un amplificador distribuido, así como el estudio de las gráficas características de este tipo de diseños. Finalmente se han reemplazado las bobinas reales por su equivalente real, simulando de esta forma el circuito resultante.

Los resultados obtenidos en este capítulo aún no son definitivos, no obstante estos resultados son de gran relevancia ya que sirven de punto de partida para la optimización posterior a nivel de *layout*.

CAPÍTULO 6

DISEÑO A NIVEL DE *LAYOUT*

En el capítulo anterior se mostraron los cálculos de los componentes de un amplificador distribuido a nivel de esquemático. De esta manera, a lo largo del capítulo se establecieron las pautas de diseño de las líneas de colector y base. Este trabajo se completó con las simulaciones finales de los diferentes esquemáticos presentados.

En este capítulo se mostrará todo el proceso de diseño a nivel de *layout* hasta llegar al diseño final que ofrece mejores prestaciones y mayor optimización del área ocupada.

6.1 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc...

De la misma manera, hay que tener en cuenta una serie de reglas que nos permitan obtener el comportamiento óptimo del diseño realizado, centrándose dichas reglas, en minimizar la influencia

de las posibles dispersiones de los parámetros de los componentes del circuito. Aunque en nuestro diseño no se aplican todos los aspectos debido a la sencillez que este presenta, las reglas más importantes se enumeran a continuación:

- Simetría: En nuestro diseño no afecta en demasía la simetría, pero si es de vital importancia en otros circuitos integrados, ya que presenta ventajas con respecto al rechazo al modo común.
- Técnica del centro-común: Esta técnica es empleada para que a dos elementos iguales les afecte del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación.
- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común Vdd o tierra.
- El sustrato debe estar conectado a tierra.
- En la medida de lo posible, debemos usar, estructuras *dummies* en las resistencias, para lograr una reducción en la tolerancia presentada en dichos dispositivos. En nuestro diseño no existen estructuras de este tipo ya que el amplificador distribuido que aquí se presenta carece de ellas.

6.2 *Layout* del LNA distribuido

El *layout* del LNA distribuido se muestra en la Figura 6.1. En ella se puede apreciar la disposición de los distintos componentes, destacando la colocación de las bobinas. Se ha perseguido el obtener la mayor simetría posible a pesar de tener un número considerable de elementos inductivos.

Las estructuras rectangulares situadas en la parte superior de las bobinas centrales así como en la parte inferior son contactos a tierra. Con ello evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip cuyo potencial es cero.

El tipo de terminales empleado es el denominado *Ground-Signal-Ground (GSG)*. Con ellos alimentamos al circuito, le introducimos la señal de *RF* y obtenemos la señal que atacará al dispositivo que sigue al LNA (generalmente suele ser un mezclador).

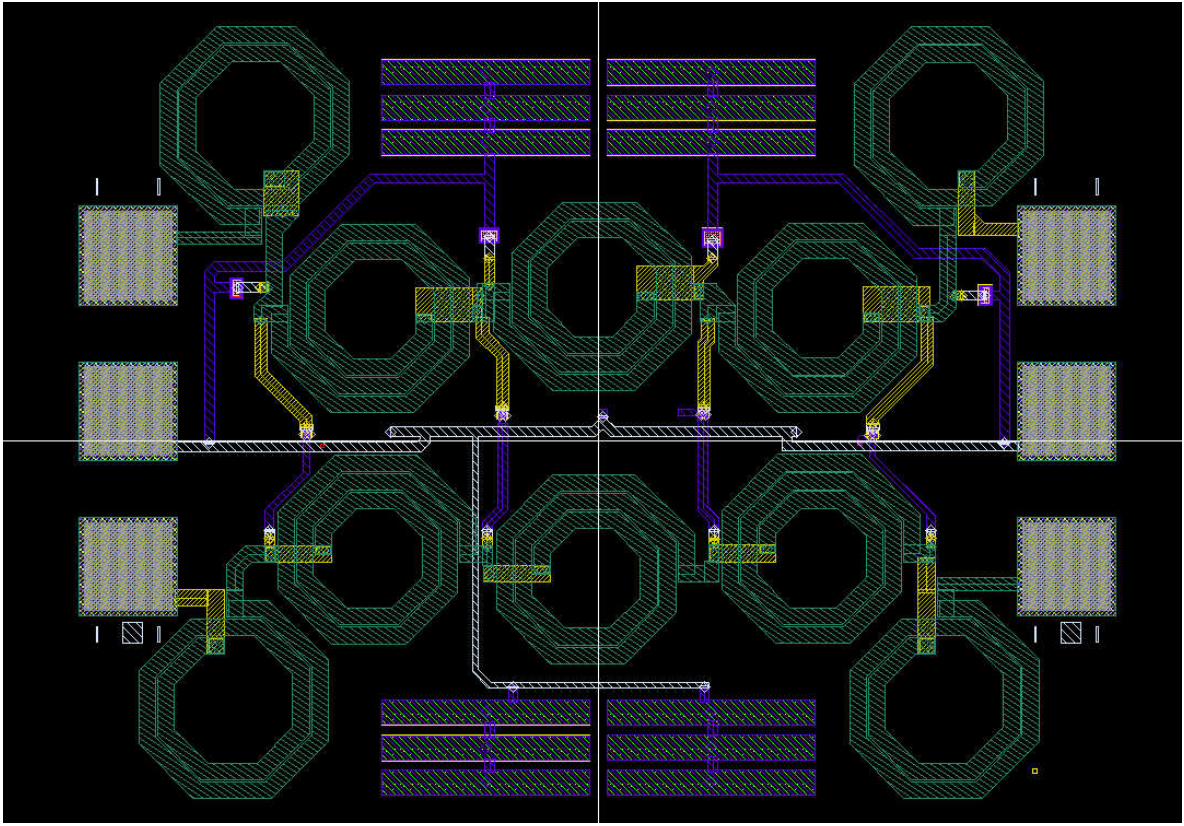


Figura 6.1 *Layout* LNA distribuido.

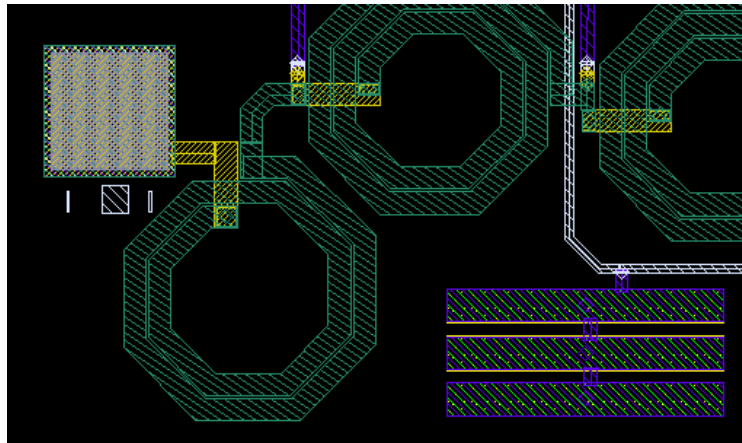


Figura 6.2 Entrada del circuito.

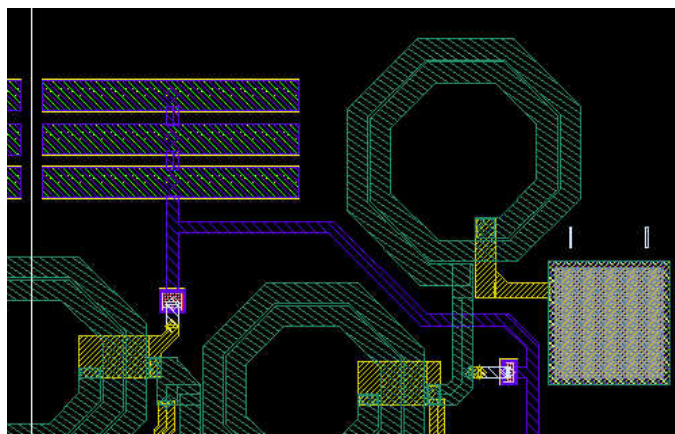


Figura 6.3 Salida del circuito.

La línea de colector está situada en la parte superior del circuito estando la línea de base situada en la parte inferior. Los elementos inductivos de inicio y de terminación, situados en las esquinas del circuito son los que tienen valor de 1.15 nH , sin embargo, las bobinas centrales son las de valor 1.465 nH . La entrada del circuito se realiza por la línea de base (Figura 6.2) y la salida por la línea de colector (Figura 6.3).

6.3 Simulaciones *post-layout* del LNA distribuido

En este apartado se muestran los resultados obtenidos de las diversas simulaciones que se han realizado para valores típicos (*typical mean*) y para casos más desfavorables (*worst case*). En este segundo caso se varía la beta y velocidad de los transistores de tres maneras diferentes como son: alta velocidad alta beta (*high speed high beta*), baja velocidad alta beta (*low speed high beta*) y baja velocidad baja beta (*low speed low beta*) para posteriormente ser comparadas con los resultados obtenidos en la simulación *typical mean*.

6.3.1 Simulaciones *Typical mean*

A continuación se muestran los resultados de esta primera simulación utilizando valores típicos. En la figura 6.3 podemos ver la ganancia del LNA resultante, así como la figura de ruido (NF) en la figura 6.4

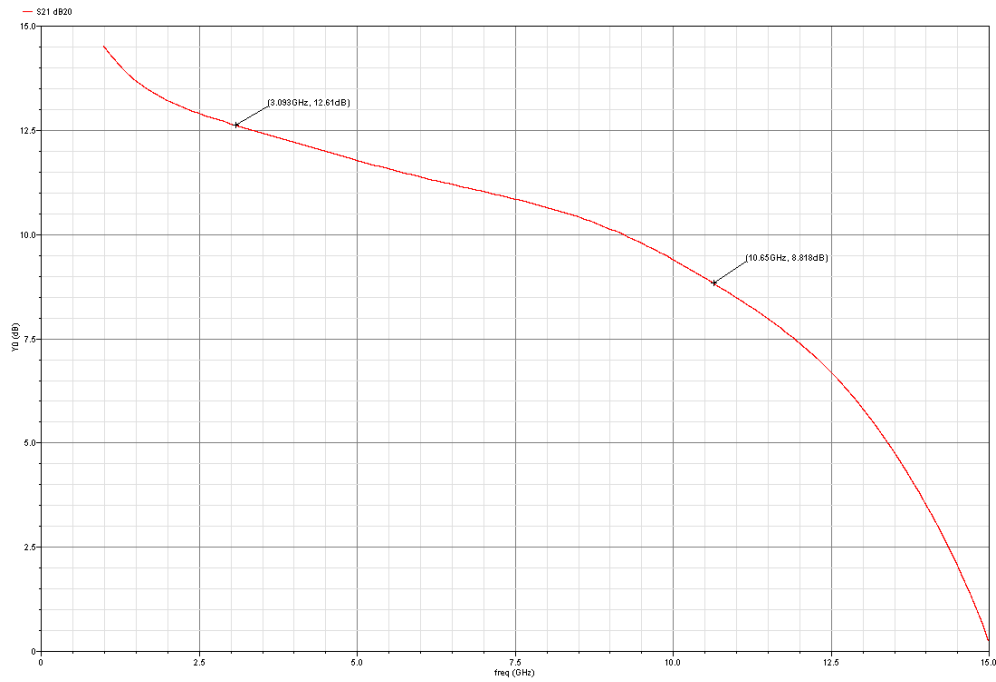


Figura 6.3 Simulación *typical mean* de la ganancia del LNA.

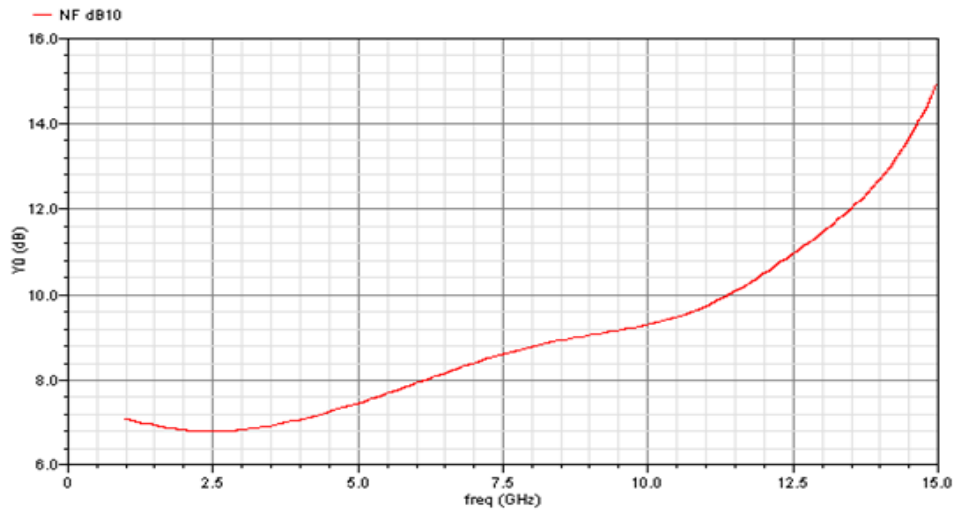


Figura 6.4 Simulación *typical mean* de la figura de ruido (NF).

En la Figura 6.5 se aprecian las correspondientes simulaciones para los parámetros S.

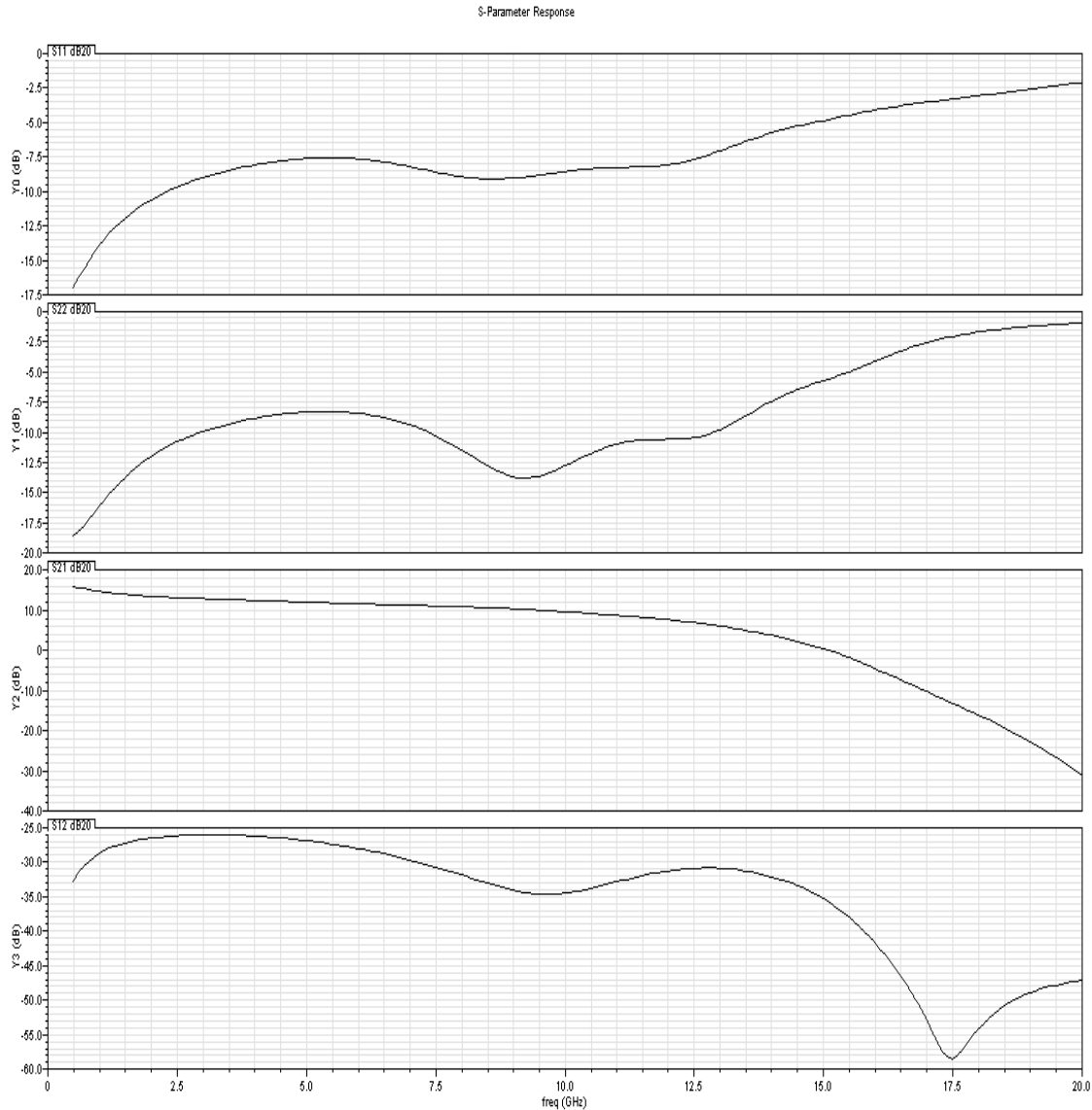


Figura 6.5 Simulaciones *post-layout* de los parámetros S donde se puede observar la ganancia (S21), aislamiento (S12), adaptación a la entrada (S11) y a la salida (S22).

Contrastando los resultados de las simulaciones *post-layout* con los obtenidos a nivel de esquemático vemos que no existen diferencias significativas. Se puede apreciar que la ganancia se ha visto disminuida levemente en comparación con los resultados obtenidos del esquemático. Aun así, se obtienen unos valores por encima de los 10 dB en toda nuestra banda de interés. Por el contrario, observamos que el valor de la figura de ruido mejora considerablemente lo cual es importante a la hora de una implementación física real.

A continuación se estudian los cambios que sufren la ganancia y la figura de ruido en las diferentes simulaciones de *worst case*.

6.3.2 Simulación Worst Case

A continuación se muestran los resultados obtenidos tras realizar los diferentes tipos de simulaciones anteriormente descritas.

6.3.2.1 Resultados de la ganancia para las diferentes simulaciones

En la figura 6.6 se representan las variaciones que sufre la ganancia en las diferentes simulaciones. Observamos que obtenemos una mayor ganancia para un modelo de transistor con características de alta velocidad y alta beta (*high speed high beta*) en detrimento de unos 500 MHz en su ancho de banda con respecto al resto de simulaciones.

Por el contrario vemos que el mayor ancho de banda se nos presenta para la simulación con valores típicos (*typical mean*) ofreciendo valores de ganancia por encima de 10 dB hasta 9.2 GHz y una ganancia media en toda la banda (3.1- 10.6 GHz) de 10.7 dB.

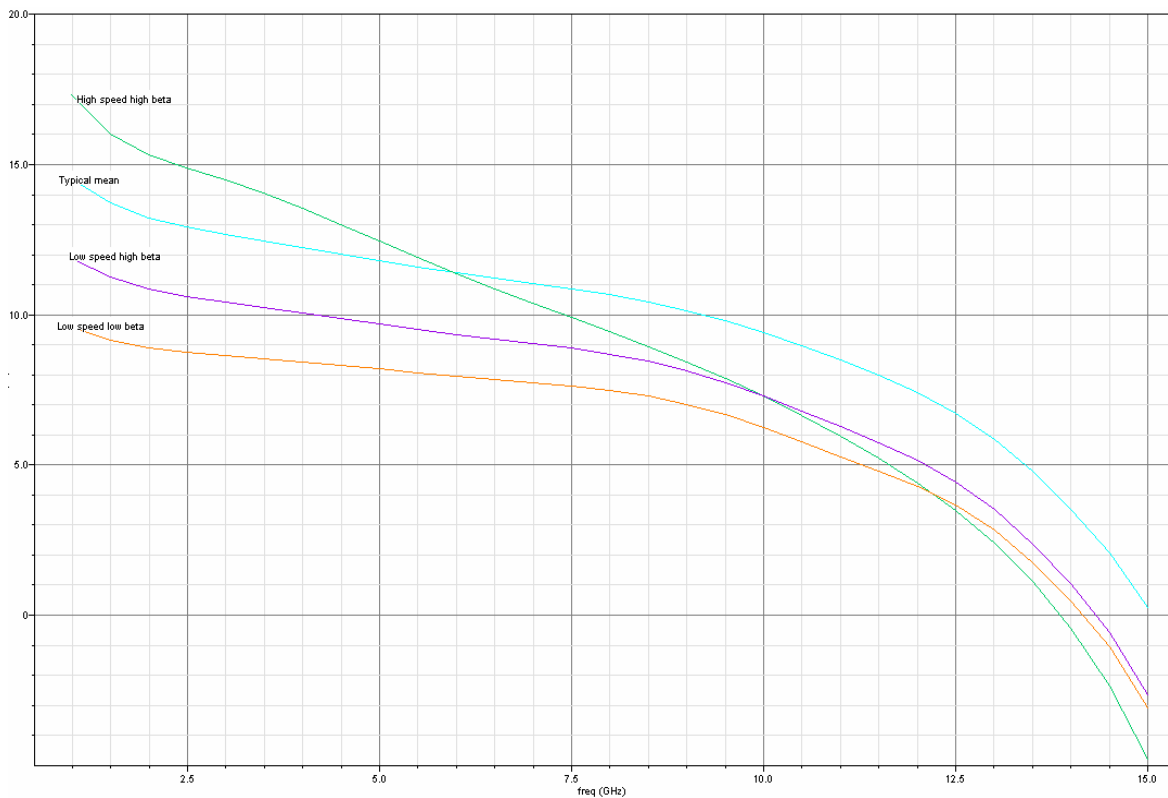


Figura 6.6 Evolución de la ganancia en las diferentes simulaciones.

6.3.2.2 Resultados de la figura de ruido para las diferentes simulaciones

En la figura 6.7 se representan las variaciones que sufre la figura de ruido (NF) en las diferentes simulaciones. En este caso se aprecia que ambas presentan curvas similares en toda la banda, ofreciendo la simulación con valores típicos (*typical mean*) mejores resultados, excepto a frecuencias por debajo de 4 GHz en donde la simulación realizada con valores de alta velocidad y alta beta (*high speed high beta*) ofrece una figura de ruido por debajo de 5 dB. En la tabla 6.1 se resumen los resultados obtenidos en ambas simulaciones.

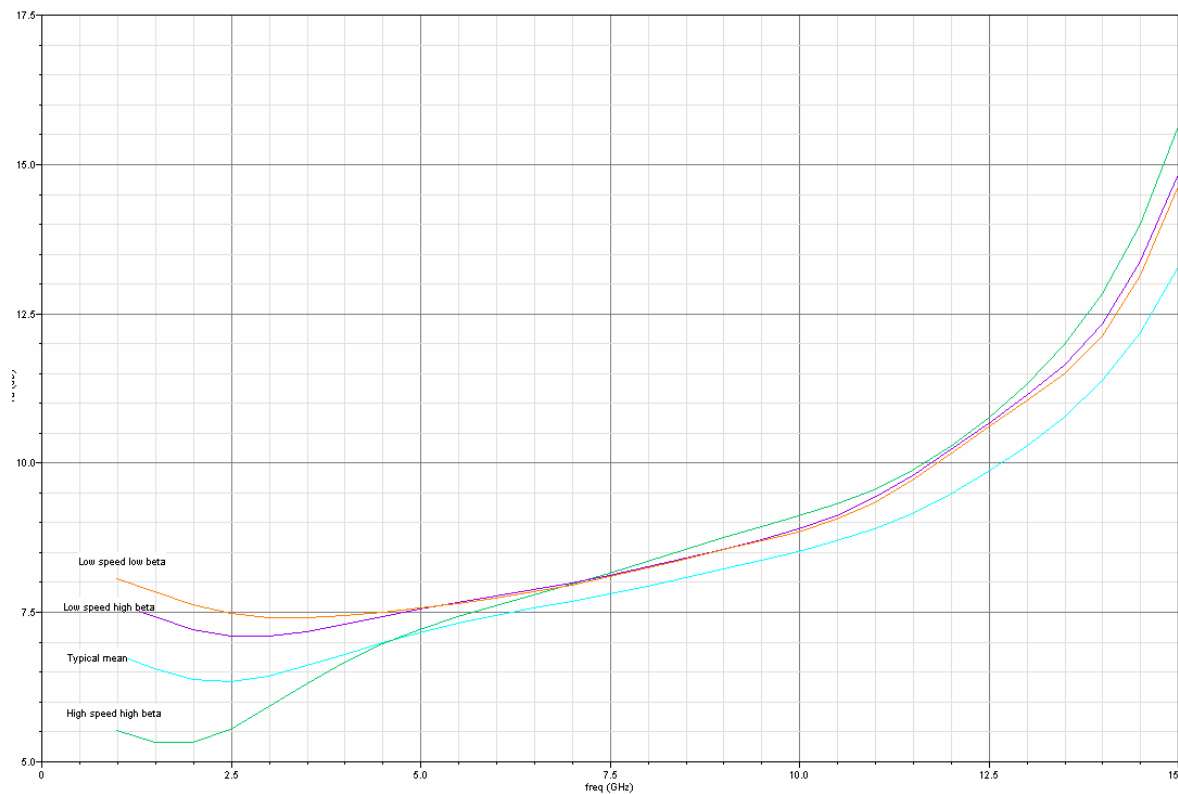


Figura 6.7 Evolución de la figura de ruido en las diferentes simulaciones.

Tabla 6.1 Resultados de las diferentes simulaciones

SIMULACIÓN	GANANCIA		FIGURA DE RUIDO (NF)	
	@ 3.1 GHz	@ 10.6 GHz	@ 3.1 GHz	@ 10.6 GHz
<i>Typical mean</i>	12.61 dB	8.818 dB	6.8 dB	< 10 dB
<i>High speed High beta</i>	14.39 dB	6.495 dB	5.6 dB	>10 dB
<i>Low speed high beta</i>	10.35 dB	6.669 dB	7.6 dB	< 10 dB
<i>Low speed low beta</i>	8.594 dB	5.655 dB	7.5 dB	< 10 dB

6.4 Conclusiones

En este capítulo se han enumerado diversas reglas de diseño que han de tenerse en cuenta en el proceso de elaboración de una *LNA* a nivel de *layout*, así como las diferentes partes que lo conforman para posteriormente mostrar el resultado final. A continuación hemos realizado diferentes simulaciones. Estas se han hecho para valores típicos (*typical mean*), así como para los casos más desfavorables (*worst case*), analizando diversas señales características de este tipo de dispositivos, como son, la ganancia directa (S_{21}), figura de ruido mínima (NF_{\min}) y las adaptaciones tanto a la entrada como a la salida del circuito.

CAPÍTULO 7

CONCLUSIONES

En este capítulo haremos un recorrido por todo lo explicado en esta memoria mostrando los resultados obtenidos, así como las conclusiones a las que hemos llegado para finalizar con posibles líneas de trabajo futuras.

En este proyecto se plantea diseñar un amplificador distribuido para *Ultra Wide Band* basado en tecnología *SiGe* de $0.35 \mu\text{m}$ suministrada por AMS (*Austria Micro Systems*). En el primer capítulo se hizo una introducción a los sistemas inalámbricos de comunicación entre dispositivos que actualmente están en vanguardia.

En el siguiente capítulo analizamos en profundidad el estándar *IEEE 802.15.3a* propuesto por la *MBOA*.

En el capítulo tres se hizo una pequeña introducción teórica a los amplificadores distribuidos, analizando seguidamente las diferentes estructuras existentes, así como el proceso para el cálculo de los componentes de un amplificador distribuido.

En el siguiente capítulo se estudió la tecnología que íbamos a emplear para diseñar nuestro circuito.

Una vez realizado el estudio del diseño de los amplificadores distribuidos, así como el de la tecnología empleada en el mismo, pasamos al capítulo cinco, donde se realiza el diseño del amplificador distribuido a nivel de esquemático. En este capítulo se calculan los diversos elementos que componen nuestro circuito y se muestran los resultados obtenidos de las simulaciones iniciales.

En el capítulo seis se estudió la implementación a nivel de *layout*. En este capítulo (capítulo 6) se estudiaron diversas reglas a tener en cuenta en el diseño de un amplificador, se mostraron las diferentes figuras del circuito resultante destacando las bobinas empleadas, así como las diferentes líneas de transmisión y se analizaron las diversas formas de onda de las simulaciones *post-layout*. En la Tabla 7.1 se muestran los resultados obtenidos a nivel de esquemático frente a los obtenidos a nivel de *layout*.

Tabla 7.1 Resultados esquemático frente *layout*

	LNA ESQUEMÁTICO	LNA LAYOUT
Ganancia max	13.225 dB	12.61 dB
Ganancia media	12.086 dB	10.714 dB
NF min	8.404 dB	7.6 dB
P_{dc}	55.44 mW	57.09 mW

En la Tabla 7.2 se resume el funcionamiento de nuestro amplificador distribuido y se muestra una comparación, mediante su figura de mérito (*FOM*) con otros diseños de características similares.

Tabla 7.2 Figura de Mérito

Referencia	Tecnología	Ancho de banda (GHz)	Ganancia (dB)	Figura de ruido (dB)	P _{dc} (mW)	Flatness (dB)	Figura de Mérito
[22]	(CMOS 0.6)	8.5	5.5	10.85	216	3	6.65
[16]	(CMOS 0.6)	5.5	6.1	6.8	83.4	2.4	24.65
[23]	(CMOS 0.35)	10.6	7	5	90	4	41.22
Nuestro diseño	(SiGe 0.35)	10.6	10.714	7.6	57.09	3.79	69.06
[24]	(CMOS 0.18)	11	16	4.6	100	5.4	70.85
[25]	(CMOS 0.18)	27	6	6	68	4	99.26

En el primer diseño mostrado [22], obtenemos un valor de figura de mérito de 6.65 ($GHz/dBmW$), el cual se entiende ya que se trata de un amplificador distribuido en configuración diferencial. Debido a ello se produce un aumento en el número de transistores lo que supone un incremento en el consumo de potencia, llegando éste a alcanzar los 216 mW . Por otro lado también se aprecia que posee un valor de figura de ruido de 10.85 dB , valor que unido al del consumo de potencia da como resultado una figura de mérito bastante pobre en comparación con los casos que veremos posteriormente. En el siguiente diseño [16], estos dos factores se mejoran notablemente, obteniendo 6.8 dB de figura de ruido y 83.4 mW de consumo de potencia, los cuales se reflejan en un valor de figura de mérito de 24.65 ($GHz/dBmW$).

En el tercer diseño presentado [23] se muestra una figura de mérito de 41.22 ($GHz/dBmW$). Dicho valor es fruto de un ancho de banda superior, en comparación con los casos anteriores, siendo éste un factor relevante en el resultado final obtenido. También se puede observar que en este diseño se ha reducido la figura de ruido considerablemente, llegando a alcanzar los 5 dB con una ganancia de 7 dB .

En el siguiente caso se presentan los resultados obtenidos en este proyecto, vemos que se han alcanzado 69.06 ($GHz/dBmW$) de figura de mérito. Esto se debe a que se trata de un diseño implementado con transistores *HBT*, donde una de sus principales características es la de poseer una mayor ganancia en comparación con los transistores *CMOS*. Debido a ello obtenemos una ganancia final en el circuito de 10.6 dB en toda la banda con un *flatness* de 3.79 dB , estos valores dan como resultado una mejor figura de mérito que en casos anteriores.

En el siguiente ejemplo presentado [24] se obtienen resultados similares al de este proyecto, a pesar de poseer un mayor consumo, éste se ve compensado por un bajo valor de figura de ruido y una mayor ganancia, llegando hasta 16 dB . La obtención de una ganancia superior se debe a que este diseño se ha realizado con una tecnología *CMOS* 0.18 μm , siendo esta notablemente mejor a la empleada en los casos anteriores.

Para finalizar se muestra un diseño [25] con 99.26 ($GHz/dBmW$) de figura de mérito. Este circuito presenta unos valores de ganancia y figura de ruido bastante discretos de 6 dB en ambos casos, pero al poseer un ancho de banda de 27 GHz , un bajo consumo de potencia y, al igual que en el caso anterior, una tecnología *CMOS* 0.18 μm , se ve incrementado su valor de figura de mérito considerablemente.

En la Tabla 7.3 se resumen los resultados obtenidos en el diseño de nuestro amplificador distribuido.

Tabla 7.3 Resumen de resultados

	Amplificador distribuido <i>HBT</i>
Tecnología	<i>SiGe 0.35 μm</i>
Ancho de banda	<i>3.1-10.6 GHz</i>
Ganancia	<i>10.174 dB</i>
Figura de ruido (<i>NF</i>)	<i>7.6 dB</i>
Área del chip	<i>0.734 mm²</i>
Consumo de potencia	<i>57.09 mW</i>

7.1 Líneas futuras

Este proyecto fin de carrera posee un marcado contenido científico-tecnológico, por ello es oportuno indicar posibles líneas de trabajo futuras abiertas a partir del mismo:

- A. D. con etapas cascodo, con este diseño mejoramos el aislamiento entre las líneas de colector y base a la vez que aumenta la ganancia. (Figura 7.1)
- A. D. con etapas en cascada. Este tipo de diseño permite que las cargas asociadas a las líneas de colector y base de los A.D. intermedios no tengan que ser iguales a las cargas del primero y el último, con lo que obtenemos de forma considerable, una mejora en la ganancia . (Figura 7.2)
- A. D. con una etapa simple. La ventaja de este amplificador, principalmente, es su bajo consumo y su reducida área, ya que posee pocos elementos inductivos.(Figura 7.3)

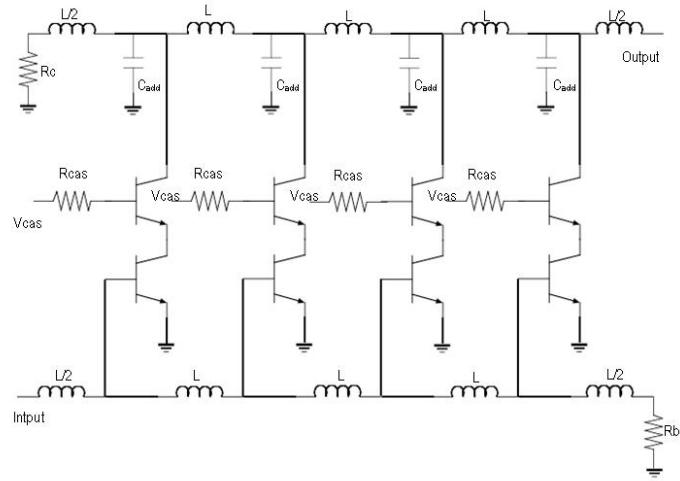


Figura 7.1 Amplificador distribuido de cuatro etapas cascode.

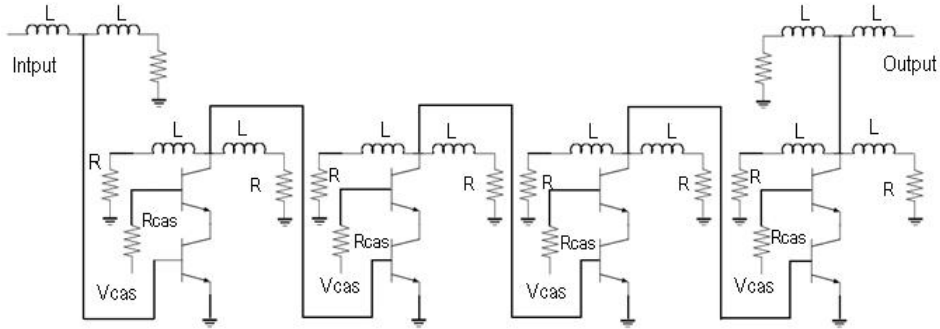


Figura 7.2 Amplificador distribuido con 4 etapas en cascada.

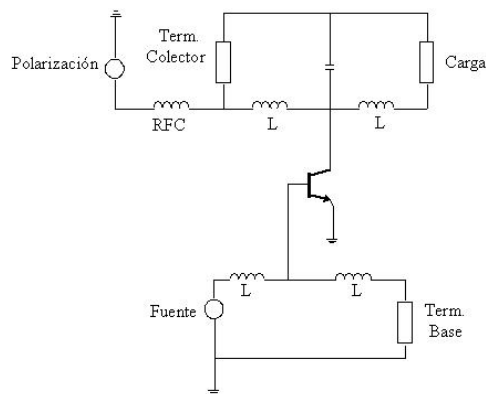


Figura 7.3 Amplificador distribuido con etapa simple.

CAPÍTULO 8

PRESUPUESTO

8.1 Introducción

Para concluir con el estudio, una vez completado el diseño del circuito y comprobado su correcto funcionamiento, en este capítulo se realizará un análisis económico con los costes tanto parciales como totales del proyecto.

8.2 Baremos utilizados

El cálculo del presupuesto de este proyecto se ha seguido según la “Propuesta de baremos orientativos para el cálculo de honorarios” establecido por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir de 1-01-2006.

La propuesta establece que para “Trabajos tarifados por tiempo empleado” se aplique:

$$H = Hn \cdot 65 + He \cdot 78 \quad (8.1)$$

Siendo:

H = Honorarios a percibir.

Hn = Horas contabilizadas en jornada normal.

He = Horas contabilizadas fuera de la jornada normal de trabajo.

Los honorarios que se obtengan por la aplicación de la clave “H” se reducirán a medida que aumente el número de horas, a cuyo efecto serán multiplicados por los coeficientes reductores con arreglo a lo detallado en la Tabla 8.1

8.1 Coeficientes reductores

HORAS			COEFICIENTE
Hasta	36 horas		C=1
Exceso de	36 horas	hasta 72 horas	C=0,9
Exceso de	72 horas	hasta 108 horas	C=0,8
Exceso de	108 horas	hasta 144 horas	C=0,7
Exceso de	144 horas	hasta 180 horas	C=0,65
Exceso de	180 horas	hasta 360 horas	C=0,60
Exceso de	360 horas	hasta 510 horas	C=0,55
Exceso de	510 horas	hasta 720 horas	C=0,50
Exceso de	720 horas	hasta 1.080 horas	C=0,45
Exceso de	1.080 horas		C=0,40

8.3 Cálculo del presupuesto

8.3.1 Costes debidos a los recursos humanos

En este apartado se incluyen los honorarios a percibir por el Ingeniero Técnico en el desarrollo del proyecto en función de las horas de trabajo que se ha empleado en la realización del mismo.

Particularizando para el proyecto que aquí se dispone, en la Tabla 8.2 establecemos unos valores indicativos del tiempo parcial empleado en cada fase del mismo.

Tabla 8.2 Tiempo empleado

DESCRIPCIÓN TIEMPO	PARCIAL (horas)
Búsqueda y estudio de la documentación	200
Estudio de la herramienta de diseño	105
Análisis y diseño del circuito	800
Realización de la memoria	220

En definitiva, se necesitaron un total de 1325 horas para la realización de este proyecto, consideradas en su totalidad del tipo de jornada normal, con lo que el cálculo "H" resulta:

$$H = 1325 \cdot 65 = 86125 \quad (8.2)$$

Aplicando los coeficientes correctivos, dados por el COITT, a los tramos correspondientes resultan unos honorarios de:

$$H = 86125 \cdot 0.4 = 34450 \text{ €} \quad (8.3)$$

8.3.2 Costes de amortización de los equipos y herramientas de software

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes software, material hardware y el mantenimiento de estos. Estos equipos hardware y paquetes software presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se han estimado en 50.

Tabla 8.3 Costes debidos a la utilización de herramientas software

Descripción	Tiempo de uso	Coste anual (€)		Total (€)
		Total (€)	Usuario (€)	
Sistema operativo SunOs Release 4.1.3, Openwindows y aplicaciones x11	12	903.32	18.06	18.06
Entorno y diseño de simulación Advanced Design System Amortización 3 años Mantenimiento	12	2208.11	44.162	44.16
	12	1445.32	28.90	28.90
Entorno Windows NT	12	306.21	6.12	6.12
Microsoft Office 2000	12	448.95	8.97	8.97
COSTES DE HERRAMIENTAS SOFTWARE		TOTAL		106.21

Tabla 8.4 Costes debidos a la utilización de equipos informáticos

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Estación de trabajo SUN Sparc modelo Sparc Station 10	12	5.228,80	104,57	104,57
Amortización 3 años	12	1.274,65	31,49	31,49
Mantenimiento				
Servidor para simulación SUN Sparc Station 10	12	5.068,53	101,37	101,37
Amortización 3 años	12	1.547,65	31,49	31,49
Mantenimiento				
Impresora Hewlett Packard Laserjet 4L	12	360	7,20	7,20
Amortización 3 años	12	120,20	2,40	2,40
Mantenimiento				
Ordenador Personal Intel Centrino 1.5 GHz	12	360	7,20	7,20
Amortización 3 años	12	120,20	2,40	2,40
Mantenimiento				
COSTES DE EQUIPOS INFORMÁTICOS		TOTAL		288,12

8.3.3 Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación de los circuitos desarrollados.

Tabla 8.5 Costes de Fabricación

Descripción	mm ²	Precio mm ² (€)	Gastos (€)
Amplificador distribuido	0.734	1000	734

8.3.4 Presupuesto total

Para finalizar, en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales en las secciones anteriores.

Tabla 8.6 Presupuesto total

Costes	Total (€)
Costes de herramientas software	106.21
Costes de equipos informáticos	288,12
Costes de fabricación	734
Costes de recursos humanos	34450
Subtotal	35578.33
IGIC (5%)	1778.91
PRESUPUESTO TOTAL	37357.24

D. Víctor Déniz González declara que el proyecto " **Diseño de un amplificador distribuido para ultra wide band (UWB) basado en HBT de la tecnología SiGe 0.35 μ m de AMS**" asciende a un total de **treinta y siete mil trescientos cincuenta y siete con veinticuatro céntimos**.

Fdo. Víctor Déniz González

DNI: 54076932-E

Las Palmas de Gran Canaria, a 23 de mayo de 2008.

BIBLIOGRAFÍA

- [1] Página web Bluetooth: <http://www.bluetooth.com/>
- [2] FCC, "Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission Systems" FCC 02-48, First Report and order, 2002.
- [3] MB OFDM Alliance-SIG, "Multiband OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a", Sept, 2004.
- [4] AMS Austria Micro Systems, "0.35 μm BiCMOS Design Rules" Rev. 2.0. 2003.
- [5] AMS Austria Micro Systems, "0.35 μm BiCMOS Process Parameters" Rev. 1.0. 2002.
- [6] Software y manuales ADS: "http://www.agilent.com"
- [7] Manuals Spectre RF, Cadence: <http://www.cadence.com>

- [8] Francisco Javier del Pino Suárez, dep. de ign. Electrónica y automática, "Diseño de circuitos integrados de radio frecuencia", ETSIT 2005.
- [9] Razavi Behzad, "RF Microelectronics", Prentice Hall Communications Engineering, University of California, Los Angeles 1998.
- [10] A. Ismail and A. Abidi, "A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communication," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 208–209.
- [11] B. Razavi et al., "A 0.13 μ m CMOS UWB transceiver," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 216–217.
- [12] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek, G. van der Weide, H. Waite, Y Zhang, S. Aggarwal, and C. Razzell, "An Interference-Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, 2005.
- [13] A. Bellomo, "Gain and noise considerations in RF feedback amplifier," IEEE J. Solid-State Circuits, vol. 3, no. 3, pp. 290–294, Sep. 1968.
- [14] E.L. Ginzton, W.R. Hewlet, J. H. Jasberg, and J.D. Noe "Distributed Amplification" Proc. IRE, vol.36 pp.956-969, Aug. 1948.
- [15] W.S. Percival, "Thermic value circuits" British Patent 460 562, Jan. 25, 1937.
- [16] B. M. Ballweber, R. Gupta, D. J. Allstot, "A Fully Integrated 0.5–5.5-GHz CMOS Distributed Amplifier" IEEE Transactions on Solid-State Circuits, Vol. 35, N° 2, 2000.
- [17] A. Worapishet, M. Chongcheawchamnan and S. Srisathit, "Broadband Amplification in CMOS Technology using Cascaded Single-Stage Distributed Amplifier," Electronics Letters, vol. 38, pp. 675–676, July 2002.

- [18] R.-C. Liu, K.-L. Deng and H. Wang, "A 0.6-22-GHz Broadband CMOS Distributed Amplifier," in RFIC Symp. Dig., pp. 103–106, Jun 2003.
- [19] D. G. Sarma, "On distributed amplification," Proc. Inst. Elect. Eng., vol.102B, pp.689–697, 1954.
- [20] A. Goñi, S. Khemchandani, J. del Pino, B. González y A. Hernández "A 5GHz SiGe VCO for WLAN Using Optimized Spiral Inductors", XIX Conference on Design.
- [21] Alan Hastings "The art of analog layout", Prentice Hall, 2001.
- [22] H. Ahn, and D.J. Allstot, "A 0.5-8.5 GHz Fully Differential CMOS Distributed Amplifiers" IEEE Journal of Solid-State Circuits, vol. 37, pp.985-993, Aug. 2000.
- [23] G. Martin, R. Díaz, J. del Pino, S.L. Khemchandani, A. Goñi, A. Hernández, "Design of a Fully Integrated DC to 8.5 GHz Distributed Amplifier in CMOS 0.35".
- [24] X. Guan and C. Nguyen, "Low-Power-Consumption and High-Gain Cmos distributed Amplifiers Using Cascade of Inductively Coupled Common-Source Gain Cells for UWB Systems" IEEE Transaction on Microwave Theory and Techniques, vol 54, pp.3278-3283, Aug 2006.
- [25] R.E. Amaya, N. G. Tarr, and C. Plett, "A 27 GHz fully Integrated CMOS Distributed Amplifier using coplanar waveguide" in Proc. IEEE RFIC Symp., pp. 193-196, Jun. 2004.