

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO
(LNA) PARA UN RECEPTOR BASADO EN EL
ESTÁNDAR DVB-H**

**TITULACIÓN: SISTEMAS ELECTRÓNICOS.
TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.
HUGO GARCÍA VÁZQUEZ.
AUTOR: JONÁS PÉREZ QUINTANA.
FECHA: JUNIO 2009.**

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO
(LNA) PARA UN RECEPTOR BASADO EN EL
ESTÁNDAR DVB-H**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:.....

**TITULACIÓN: SISTEMAS ELECTRÓNICOS.
TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.
HUGO GARCÍA VÁZQUEZ.
AUTOR: JONÁS PÉREZ QUINTANA.
FECHA: JUNIO 2009.**

Agradecimientos

Llegamos al final, aunque parezca mentira ya se termina esta etapa de mi vida. Aún recuerdo el momento en el que decidí hacerme universitario y del que no me arrepiento pues he vivido muchas experiencias, unas buenas y otras menos buenas. Pero todas ellas igual de importantes en la aportación a mi madurez y a mi forma de ser.

Me gustaría agradecer en primer lugar a mi tutor, Javier Del Pino que me ha dado la oportunidad de participar en este gran trabajo, y me ha ayudado en todo momento. A parte de Javier también me gustaría dar las gracias a todo el equipo que le rodea. Roberto, Hugo, Rubén, Suníl, Gustavo, Jonathan, Dailos ya que todos me han ayudado mucho y han conseguido que esto sea más ameno pasando muy buenos ratos.

Otra parte importante de esta etapa es la que he vivido junto a los amigos, genial, maravillosa, divertida, no hay palabras que describan lo que he vivido y disfrutado junto a ellos en estos años. Algunos estaban desde el comienzo, otros los he ido conociendo y otros se han quedado por el camino pero sin duda cada uno de ellos ha dejado alguna experiencia inolvidable en mi vida. GRACIAS A TODOS.

A pesar de todo, esto no hubiera sido posible sin mi familia, mis hermanos que siempre me han apoyado y que me han inculcado lo mejor, mis cuñados y cuñadas que siempre me han animado, mis sobrinos... Lo de estos pequeñajos no tiene nombre, son capaces de hacerte reír cuando peor lo estás pasando y lo más increíble de todo es que no se dan cuenta de lo que están dando. Los quiero a todos, Pablo, Iván, Inés, Víctor y Hugo.

Domi, he vivido prácticamente esta etapa paralelamente a la nuestra ya que nos conocimos al poco de comenzar la carrera. Te agradezco tanto, me has dado: estabilidad, felicidad, has dejado que crezca y madure a tu lado y muchas otras cosas que no podría

agradecerte en la vida. Espero vivir todas las etapas venideras a tu lado y seguir compartiendo mi vida contigo. Te quiero.

Para finalizar me gustaría dedicar este proyecto a mis padres, es tan mío como suyo. Ellos me lo han dado todo, la posibilidad de tener estudios y de hacerme una persona de provecho. Todo esto sin pedirme nada a cambio, sólo piensan en darme lo mejor tanto a mí como a todos los suyos, nunca podré devolverles lo que han hecho por mí. Aunque suene a tópico, son los mejores padres que se pueden tener. Gracias PAPÁ, gracias MAMÁ.

MEMORIA

Índice

1	Introducción	1
1.1	Introducción	1
1.2	Estándar DVB-H	2
1.3	Objetivos	5
2	El estándar DVB-H	7
2.1	Introducción	8
2.2	Banda de frecuencias	9
2.3	Modos de funcionamiento	10
2.4	Relación portadora/ruido (C/N)	11
2.5	Figura de ruido, sensibilidad y máxima señal	12
2.6	Inmunidad del receptor ante señales de TV analógicas y digitales	15
2.7	Estimación del IIP3 a partir de la máxima señal a la entrada	16
2.8	Ruido de fase	17
2.9	Resumen	18

3	Características de los LNAs	19
3.1	Topologías de LNA	20
3.1.1	Amplificador en configuración emisor común	20
3.1.2	LNA cascode	25
3.1.2.1	Red de adaptación de banda ancha	29
3.1.2.2	Carga de banda ancha	34
3.1.2.3	Propuesta de LNA cascode con adaptación de entrada de banda ancha y carga de banda ancha	37
3.1.3	LNA con realimentación resistiva	38
3.1.3.1	Propuesta de LNA cascode realimentado de banda ancha	41
3.2	Resumen	41
4	Estudio de la tecnología	43
4.1	Resistencias	44
4.1.1	Construcción	44
4.1.2	Resistencias en la tecnología S35D4 de AMS	45

4.2	Condensadores	48
4.2.1	Construcción	48
4.2.2	Condensadores en la tecnología S35D4 de AMS	49
4.3	Bobinas	51
4.3.1	Construcción	51
4.3.2	Funcionamiento	51
4.3.3	Modelo de la bobina	53
4.3.4	Bobinas en la tecnología S35D4 de AMS	55
4.4	El Transistor MOSFET	56
4.4.1	Construcción	56
4.4.2	Funcionamiento	56
4.4.3	Modelo de Baja Frecuencia	60
4.4.4	Modelo de Alta Frecuencia	61
4.4.5	Transistores MOSFET en la tecnología S35D4 de AMS	63
4.5	HBTs de SiGe	65
4.5.1	Construcción	65
4.5.2	Funcionamiento	66
4.5.3	Modelo de baja frecuencia	70
4.5.4	Modelo de alta frecuencia	70

4.5.5	HBTs en la tecnología S35D4 de AMS	72
4.6	Resumen	74
5	Diseño a nivel de esquemático	75
5.1	LNA cascode con adaptación de entrada de banda ancha y carga de banda ancha	76
5.1.1	Configuración de la polarización del LNA	77
5.1.2	Adaptación de entrada y salida	79
5.2	LNA cascode realimentado de banda ancha	82
5.2.1	Configuración de la polarización del LNA	83
6	Diseño a nivel de <i>Layout</i>	97
6.1	Proceso de diseño	98
6.2	<i>Layout</i> del LNA	99
6.3	Simulación <i>post-layout</i> con CADENCE	101
6.5	Resumen	106
7	Medidas del diseño	107

7.1	Equipos de medidas	108
7.2	Medida de los parámetros S	109
7.2.1	<i>Set-up</i> de medida de los parámetros S	109
7.2.2	Resultado de la medida de los parámetros S	111
7.3	Medida de la figura de ruido	114
7.3.1	Equipo de medida de la figura de ruido	114
7.3.2	Errores de medida evitables	117
7.3.3	<i>Set-up</i> de medida de la figura de ruido	120
7.3.4	Resultado de la medida de la figura de ruido	122
7.4	Medida de la linealidad del circuito	125
7.4.1	Métodos para el cálculo de la linealidad	125
7.4.2	Montaje para la medida de la linealidad	127
7.4.3	Resultado de medidas de la linealidad	129
7.5	Resumen	130
8	Conclusiones	131
9	Presupuesto	135
9.1	Costes debidos a los recursos humanos	136

9.2	Costes de Ingeniería	<u>136</u>
9.3	Costes de amortización	<u>138</u>
9.4	Costes de medida	<u>138</u>
9.5	Costes de fabricación	<u>139</u>
9.6	Otros costes	<u>139</u>
9.7	Coste Total	<u>140</u>
	Bibliografía	<u>141</u>
	Anexo	<u>145</u>

Capítulo 1

Introducción

1.1 Introducción

TDT (Televisión Digital Terrestre) es el nombre popular con el que se conoce en España al estándar DVB-T (*Digital Video Broadcasting - Terrestrial*), diseñado para la transmisión de emisiones de televisión mediante técnicas de modulación y codificación digitales, frente a la televisión tradicional donde la imagen y el sonido analógicos se transmiten mediante modulación analógica.

Las emisiones de televisión digitales cuentan con numerosas e importantes ventajas frente a las actuales emisiones en analógico. La calidad de las imágenes es comparable a la de un DVD, y la señal es mucho más inmune a interferencias que la analógica (factor especialmente importante en áreas urbanas). La tecnología digital permite un mayor número de emisoras en el mismo espacio radioeléctrico, pues se pueden transmitir entre tres y cinco programas por cada canal UHF. Además, gracias al diseño de la red de distribución de señal es posible usar todos los canales de la banda, sin necesidad de dejar

canales de guarda para reducir las interferencias. Finalmente, al tratarse de transmisiones de información digital es posible una gran flexibilidad en los contenidos emitidos, siendo posible mezclar un número arbitrario de canales de vídeo, audio y datos en una sola señal.

El estándar DVB-T forma parte de toda una familia de estándares de la industria para la transmisión de emisiones de televisión digital según diversas tecnologías: emisiones mediante la red de distribución terrestre de señal usada en la televisión analógica tradicional (DVB-T), emisiones desde satélites geoestacionarios (DVB-S), por redes de cable (DVB-C), e incluso para emisiones destinadas a dispositivos móviles con reducida capacidad de proceso y alimentados por baterías (DVB-H).

1.2 Estándar DVB-H

Mientras los hogares españoles se preparan para el apagón analógico en sus televisores, la televisión digital se lanza a la conquista de los dispositivos móviles, siendo el sector de la telefonía móvil donde mayor interés despierta el lanzamiento de forma comercial de esta tecnología al ser un valor estratégico de futuro para la creación de nuevos modelos de negocio por parte de las operadoras.

El lanzamiento de esta tecnología de TV móvil (figura 1.1) es diferente a los actuales servicios de televisión en el móvil ofrecidos por algunos operadores, ya que actualmente esta señal de televisión llega a los teléfonos móviles de los usuarios mediante un *streaming* de vídeo desde los servidores de los operadores de telefonía.



Figura 1.1 Ejemplo de televisión en el móvil.

Los principales problemas de la sintonización de la televisión en dispositivos portátiles son las baterías del dispositivo, la pérdida en la recepción de la señal y la compatibilidad con el estándar europeo DVB-H, bajo el cual opera la señal conocida como TDT.

Con la adaptación del estándar denominado DVB-H se solucionan los problemas de compatibilidad mediante diferentes mecanismos. Este estándar, aprobado en Europa es diferente a los utilizados en Japón y Corea y actualmente otros países están estudiando el incorporarlo a sus normativas en esta materia.

El estándar europeo DVB-H hace compatible la recepción de la señal de televisión terrestre en dispositivos alimentados con baterías, al introducir el '*time-slicing*', un mecanismo de silencio en la recepción de la señal para ahorrar energía. Según cálculos de la industria, con este sistema se puede ahorrar hasta un 90% de energía respecto a un sistema DVB-T.

DVB-H funciona en el mismo rango de frecuencia que la TDT convencional, no siendo necesario un cambio de infraestructura elevado para las actuales televisiones. Por otra parte, será necesaria la instalación de un mayor número de emisores de DVB-H para dotar de mayor cobertura a diferentes zonas. La calidad de la señal dependerá de la cobertura de la zona donde se esté y de la resolución que los dispositivos portátiles sean capaces de obtener, aunque los primeros dispositivos que existen en el mercado consiguen una resolución óptima en condiciones normales. El principal escollo es la escasez de frecuencias disponibles actualmente, que hará que inicialmente tenga una cobertura limitada.

DVB-H trabaja en las bandas IV y V de UHF y en el margen de frecuencia que va desde los 470 MHz hasta los 862 MHz. Dado que los receptores DVB-H van a ser usados en varias partes del mundo, estos deben tener la posibilidad de adaptarse a diferentes canales y anchos de banda.

En la figura 1.2 se muestra el diagrama simplificado de un receptor DVB-H, el cual incluye un demodulador DVB-T. Ofrece, además de los modos de transmisión (número de

portadoras OFDM) 2K y 8K, el modo 4K como solución para conseguir una robustez en la recepción en terminales móviles.

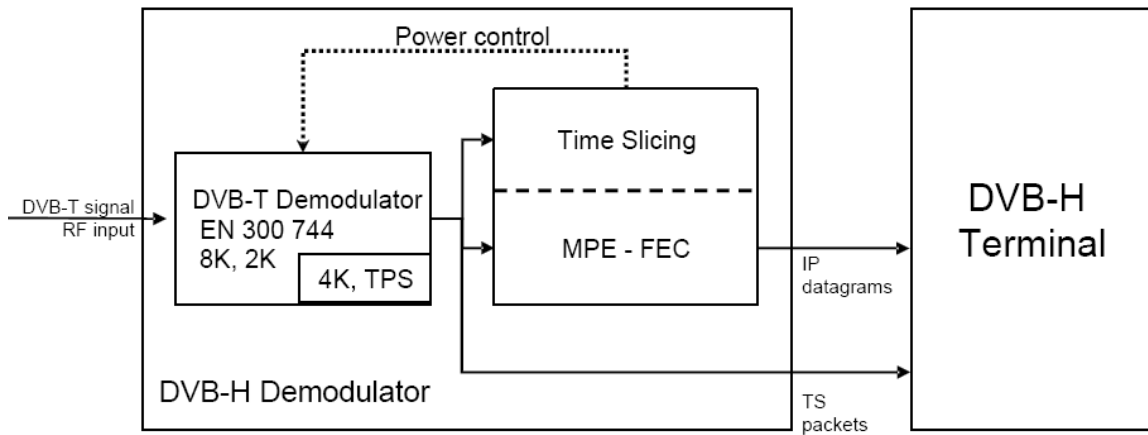


Figura 1.2 Diagrama de un receptor DVB-H.

En la figura 1.3 vemos el esquema de bloques de un receptor de TDT para conocer las etapas que lo componen. Una de ellas es el LNA, el cual será el primer elemento activo con el que se encuentra la señal y se caracteriza por tener un bajo nivel de ruido y ofrecer una buena ganancia. Este proyecto en sí, trata del diseño de dicho amplificador.

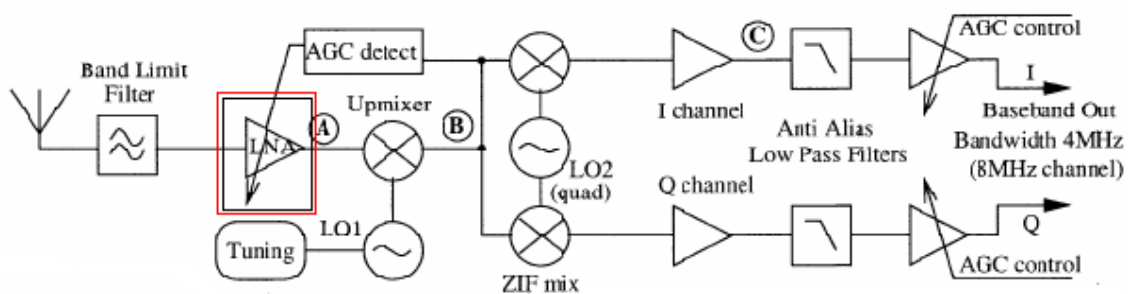


Figura 1.3 Ejemplo de un receptor de TDT.

1.3 Objetivos

La intención es la de diseñar un amplificador de bajo ruido (LNA) completamente integrado que cumpla con las especificaciones necesarias para formar parte de un receptor DVB-H. Estas especificaciones se detallan en la tabla 1.1.

Tabla 1.1 Especificaciones para el diseño

Ganancia de potencia (dB)	20
IIP3 (dBm)	0
Figura de ruido (dB)	2.5
Consumo (mW)	Menor posible
Impedancia de entrada (Ohm)	50
Impedancia de salida (Ohm)	50

Para obtener los objetivos seguiremos una serie de pasos descritos en los diferentes capítulos de la memoria.

Capítulo 2: El estándar DVB-H. En este capítulo haremos un estudio sobre el estándar que vamos a utilizar, el DVB-H. De esta manera conoceremos las frecuencias a las que vamos a trabajar, canales, etc.

Capítulo 3: Características de los LNAs. Este capítulo servirá para elegir la estructura más adecuada para la creación de nuestro circuito.

Capítulo 4: Estudio de la tecnología. El capítulo 4 lo dedicaremos a estudiar la tecnología que vamos a utilizar: La S35D4 de AMS (*Austria Micro Systems*).

Capítulo 5: Diseño a nivel de esquemático. Después de haber estudiado el estándar, la tecnología y las estructuras posibles, ya estamos capacitados para diseñar a nivel de esquemático nuestro amplificador de bajo ruido.

Capítulo 6: Diseño a nivel de *Layout*. Una vez finalizado el trabajo a nivel de esquemático, el siguiente paso es comenzar con el diseño a nivel de *layout*. De esta forma podremos enviar el circuito a fabricar.

Capítulo 7: Medidas del diseño. Una vez fabricado, haremos todo tipo de medidas en las que veremos en primer lugar si el circuito funciona y posteriormente haremos una comparativa con los valores teóricos que hemos ido recopilando.

Capítulo 8: Conclusiones. En este capítulo se analizan los resultados obtenidos a lo largo del proyecto, haciendo comparaciones con otros sistemas de características similares y comentando cómo y porqué se han tomado diferentes decisiones para alcanzar los objetivos.

Capítulo 9: Presupuesto. Por último pasamos a hacer el presupuesto del proyecto, detallando todos los costes tanto de material como de mano de obra, etc.

Anexo: Publicaciones. En este apartado se muestran las publicaciones generadas a raíz de este proyecto.

Para comenzar con un proyecto, lo primero que hay que hacer es conocer todos los datos que lo rodean, frecuencias, canales, ruido, etc. Por ello en el siguiente capítulo nos vamos a familiarizar con el estándar DVB-H.

Capítulo 2

El estándar DVB-H

2.1 Introducción

La televisión en el móvil o DVB-H es una tecnología que está despegando actualmente. El DVB-H es una adaptación a un entorno móvil del DVB-T, lo que en España se conoce popularmente como TDT.

Una de las razones más importantes por la que es necesario adaptar la TDT y crear la DVB-H es regular el consumo de energía en los receptores. No es lo mismo tener la televisión conectada a la red eléctrica que ir con un teléfono móvil consumiendo energía de la batería. Para ello, se utilizan técnicas de *time-slicing* lo que permite ahorrar hasta un 90% de energía.

También es necesario adaptar la calidad de la señal recibida a la que se puede visualizar en la pantalla de un móvil, que suele tener mucha menos resolución que una televisión estándar. Una de las grandes ventajas por la cual DVB-H es compatible con DVB-T es que se puede utilizar la misma banda de frecuencias para emitir las dos, de modo

que para las cadenas no será necesario un cambio de infraestructura tan elevado como cuando se pasa de televisión analógica a televisión digital.

La calidad que ofrece DVB-H puede ser, en teoría, toda la que queramos y/o necesitemos. En realidad, la calidad vendrá limitada por lo que sean capaces de hacer los receptores existentes en el mercado. Cuanto más calidad necesitemos (más resolución, más *frames* por segundo,...), mayor será el consumo de batería.

Una cosa importante que debemos saber es que, debido al funcionamiento de esta tecnología, puede ser un poco lento el cambiar de canal, tardando entre 1 ó 2 segundos. Aunque no es un tiempo muy elevado, sí es más grande al de una televisión convencional.

También es necesario aumentar el número de emisores, que deberá ser mayor que el que se utiliza actualmente para la TDT, sobre todo para poder dar una buena cobertura dentro de edificios o en vehículos.

A continuación se van a enumerar las principales características del estándar DVB-H [1] [2].

- Al estar alimentado el receptor DVB-H por baterías, el emisor debe tener la posibilidad de mandar alguna señal al receptor para que se apague total o parcialmente, de forma que se pueda aumentar la vida de la batería.
- Un receptor DVB-H, al estar en movimiento, debe ser capaz de cambiar de emisor automáticamente y de forma transparente al usuario cuando entre en la celda de cobertura de otro emisor.
- Al poder ser integrado en dispositivos con distintas velocidades de recepción, el transmisor debe tener la escalabilidad y la flexibilidad suficiente para dar cobertura a todos los tipos de receptores.
- El sistema DVB-H debe estar preparado para disminuir los efectos de las interferencias producidas por el cuerpo humano.

Un receptor DVB-H debe poder ser utilizado en varias partes del mundo por lo que los equipos han de poder adaptarse para trabajar en diferentes canales y anchos de banda.

En la Figura 2.1 se muestra el diagrama simplificado de un demodulador DVB-H, el cual incluye un demodulador DVB-T. Además de los modos de transmisión (número de portadoras OFDM) 2K y 8K, este demodulador ofrece el modo 4K como solución para conseguir más robustez en la recepción en terminales móviles.

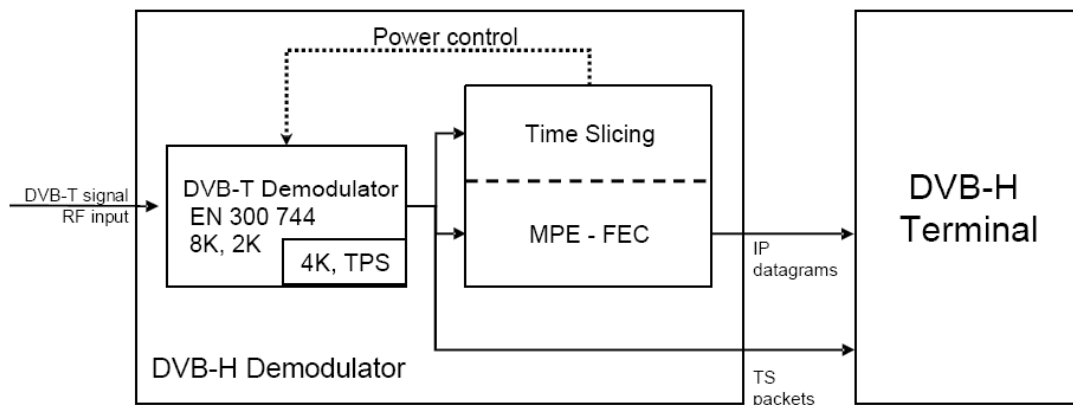


Figura 2.1 Diagrama de un demodulador DVB-H.

2.2 Banda de frecuencias

DVB-H trabaja en las bandas IV y V de UHF (470 MHz a 862 MHz). La frecuencia central (f_c) de cada canal viene dada por la relación (2.1).

En el caso de que se utilice el mismo terminal para DVB-H y GSM 900, la banda de frecuencia se limita de 470 MHz a 702 MHz ($N = 21, \dots, 49$), en otro caso no existirá dicha limitación [3].

Los canales están separados 8 MHz y el ancho de banda de cada uno es de 7.61 MHz.

$$f_c = 470\text{MHz} + 4\text{MHz} + (N - 21) \cdot 8\text{MHz},$$
$$N = 21, \dots, 69 \quad (2.1)$$

2.3 Modos de funcionamiento

El receptor DVB-H debe poder demodular correctamente todos los modos especificados en [1], es decir, cualquier combinación de:

- Constelación: QPSK, 16-QAM, 64-QAM, 16-QAM jerárquica, 64-QAM jerárquica¹.
- *Code rate*: 1/2, 2/3, 3/4, 5/6, 7/8.
- Intervalo de guarda: 1/4, 1/8, 1/16 ó 1/32.
- Modo de transmisión: 2K, 4K o 8K.
- α : 1, 2 ó 4².

El receptor debe ser capaz de detectar el modo de transmisión automáticamente.

¹ Modulaciones jerárquicas: En estándares como DVB, aparte de poder emplear modulaciones de *rate* variable entre QPSK, 16QAM y 64QAM, ofrecen la posibilidad de emplear modulación con multiresolución, 64-MRQAM. En dicha modulación, la información se codifica con 6 bits de modo que la constelación resultante quede concentrada en “nubes” de puntos. A mayor SNR el receptor será capaz de distinguir o sólo la posición de las nubes (QPSK) o puntos dentro de las mismas.

² $\alpha = \textit{Constellation ratio}$: Determina la posición de los puntos de la constelación QAM. Para transmisiones no jerárquicas $\alpha = 1$.

2.4 Relación portadora/ruido (C/N)

El esquema de bloques general del receptor DVB-H es el de la Figura 2.2.

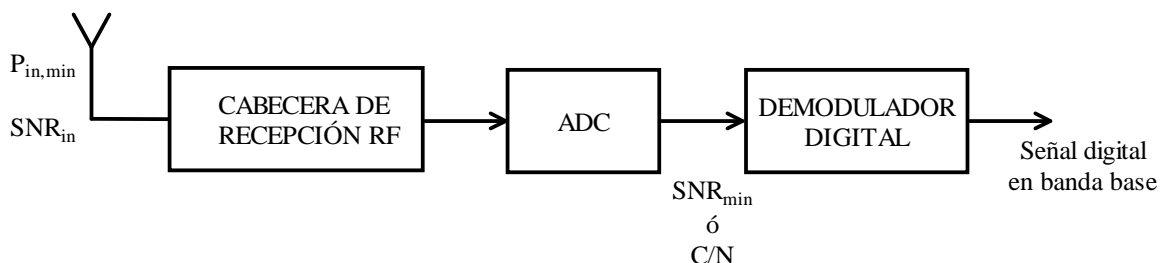


Figura 2.2 Esquema de bloques general de un receptor DVB-H.

En el anexo A de [1] se encuentran los valores de C/N para los diferentes modos de funcionamiento (2K, 4K y 8K), canal de 8 MHz y para tres modelos de canales de transmisión: Gaussian, Ricean y Rayleigh. Para todos ellos, se da el valor de C/N requerido para obtener un BER = $2 \cdot 10^{-4}$ a partir de un decodificador Viterbi.

Añadiendo un margen de 2.5dB, los valores de C/N se pueden ver en la siguiente tabla:

Tabla 2.1 C/N requerido para un VER = $2 \cdot 10^{-4}$ de un decodificador Viterbi

Modulación	Code Rate	Canal Gaussiano	Canal Ricean (recepción fija)	Canal Rayleigh (recepción móvil)
QPSK	1/2	3,1 + 2,5 = 5,6	3,6 + 2,5 = 6,1	5,4 + 2,5 = 7,9
QPSK	2/3	4,9 + 2,5 = 7,4	5,7 + 2,5 = 8,2	8,4 + 2,5 = 10,9
QPSK	3/4	5,9 + 2,5 = 8,4	6,8 + 2,5 = 9,3	10,7 + 2,5 = 13,2
QPSK	5/6	6,9 + 2,5 = 9,4	8,0 + 2,5 = 10,5	13,1 + 2,5 = 15,6
QPSK	7/8	7,7 + 2,5 = 10,2	8,7 + 2,5 = 11,2	16,3 + 2,5 = 18,8
16-QAM	1/2	8,8 + 2,5 = 11,3	9,6 + 2,5 = 12,1	11,2 + 2,5 = 13,7
16-QAM	2/3	11,1 + 2,5 = 13,6	11,6 + 2,5 = 14,1	14,2 + 2,5 = 16,7
16-QAM	3/4	12,5 + 2,5 = 15,0	13,0 + 2,5 = 15,5	16,7 + 2,5 = 19,2
16-QAM	5/6	13,5 + 2,5 = 16,0	14,4 + 2,5 = 16,9	19,3 + 2,5 = 21,8
16-QAM	7/8	13,9 + 2,5 = 16,4	15,0 + 2,5 = 17,5	22,8 + 2,5 = 25,3

64-QAM	1/2	14,4 + 2,5 = 16,9	14,7 + 2,5 = 17,2	16,0 + 2,5 = 18,5
64-QAM	2/3	16,5 + 2,5 = 19,0	17,1 + 2,5 = 19,6	19,3 + 2,5 = 21,8
64-QAM	3/4	18,0 + 2,5 = 20,5	18,6 + 2,5 = 21,1	21,7 + 2,5 = 24,2
64-QAM	5/6	19,3 + 2,5 = 21,8	20,0 + 2,5 = 22,5	25,3 + 2,5 = 27,8
64-QAM	7/8	20,1 + 2,5 = 22,6	21,0 + 2,5 = 23,5	27,9 + 2,5 = 30,4

En el anexo A de [4] también se encuentra la misma tabla para las modulaciones jerárquicas.

2.5 Figura de ruido, sensibilidad y máxima señal

En un sistema de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación (2.2),

$$NF = \frac{P_{N0}}{P_{N1} \cdot G_A} \quad (2.2)$$

donde P_{N0} es la potencia total de ruido disponible a la salida del sistema, $P_{N1} = k \cdot T \cdot B$ es la potencia de ruido disponible en un ancho de banda B (k y T son respectivamente la constante de *Boltzmann* y la temperatura absoluta) y G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{S0}) y la potencia de señal disponible a la entrada (P_{S1}) [5].

Respecto a la sensibilidad, ésta se define como la señal (potencia disponible) mínima a la entrada del sistema para tener una relación señal a ruido (SNR o C/N) a la salida determinada (SNS_{oMIN}).

La sensibilidad del receptor DVB-H se puede obtener a partir de la ecuación (2.3)¹[5].

$$P_{in,min\ dBm} = -174_{dBm} + 10 \log B + NF + C / N = Noise\ floor + C / N \quad (2.3)$$

Donde:

- $P_{in,min}$: es la sensibilidad.
- $-174\ dBm$: es la potencia de ruido térmico para un ancho de banda de 1 Hz a $290^\circ\ K$.
- B : es el ancho de banda de la señal, en nuestro caso es de 7.61 MHz (para una separación entre canales de 8 MHz).
- NF : es la figura de ruido del receptor, según las publicaciones consultadas varía de 5 a 7 dB. Para el cálculo de la sensibilidad se supondrá de 5 dB para obtener el peor caso.
- SNR : es la relación señal a ruido definida en el estándar. Depende de varios factores como el tipo de modulación (QPSK, 16 QAM, etc.), tipo de modelo de canal (Gaussiano, Ricean), BER requerido,... tal como se muestra en las páginas 40-41 de [3].

El “*noise floor*”, en nuestro caso, viene dado por la ecuación (2.4)

$$Noise\ floor = -174_{dBm} + 10 \log(7.61\ MHz) + 5\ dB = -100.19_{dBm} \quad (2.4)$$

En la tabla 2.2 se muestra la sensibilidad calculada a partir de la ecuación 0 y los valores de la tabla 2.1.

¹ En la ecuación (2.3), C/N es la SNR tomando como señal la portadora.

Tabla 2.2 Sensibilidad de un receptor DVB-H para una NF del receptor de 5dB

Modulación	Code Rate	Canal Gaussiano		Canal Ricean (recepción fija)		Canal Rayleigh (recepción móvil)	
		C/N (dB)	Sensibilidad (dBm)	C/N (dB)	Sensibilidad (dBm)	C/N (dB)	Sensibilidad (dBm)
QPSK	1/2	5,6	-94,59	6,1	-94,09	7,9	-92,29
QPSK	2/3	7,4	-92,79	8,2	-91,99	10,9	-89,29
QPSK	3/4	8,4	-91,79	9,3	-90,89	13,2	-86,99
QPSK	5/6	9,4	-90,79	10,5	-89,69	15,6	-84,59
QPSK	7/8	10,2	-89,99	11,2	-88,99	18,8	-81,39
16-QAM	1/2	11,3	-88,89	12,1	-88,09	13,7	-86,49
16-QAM	2/3	13,6	-86,59	14,1	-86,09	16,7	-83,49
16-QAM	3/4	15,0	-85,19	15,5	-84,69	19,2	-80,99
16-QAM	5/6	16,0	-84,19	16,9	-83,29	21,8	-78,39
16-QAM	7/8	16,4	-83,79	17,5	-82,69	25,3	-74,89
64-QAM	1/2	16,9	-83,29	17,2	-82,99	18,5	-81,69
64-QAM	2/3	19,0	-81,19	19,6	-80,59	21,8	-78,39
64-QAM	3/4	20,5	-79,69	21,1	-79,09	24,2	-75,99
64-QAM	5/6	21,8	-78,39	22,5	-77,69	27,8	-72,39
64-QAM	7/8	22,6	-77,59	23,5	-76,69	30,4	-69,79

El mismo cálculo se puede hacer para las modulaciones jerárquicas.

Según [3] el valor máximo de señal admisible a la entrada de la antena es de -28 dBm. La mínima señal posible a la entrada es de -94.59 dBm (ver tabla) por lo que el rango dinámico del receptor debe ser de 66.59 dB.

2.6 Inmunidad del receptor ante señales de TV analógicas y digitales

En [4] realizan un estudio de la inmunidad del receptor a señales de TV analógicas y digitales. Para ello establecen las siguientes señales interferentes:

- Canal de televisión analógica con sistema PAL B/G/I1.
- Canal de televisión analógica con sistema SECAM L.
- Canal de televisión digital DVB-T.

Tomando como base dichas señales, se han creado dos tipos de patrones.

- El primer tipo es utilizado para medir la selectividad, S1 y S2:
 - Patrón S1: Un canal analógico en $N \pm 1$, $N \pm m$ o en la frecuencia imagen ($m=9$).
 - Patrón S2: Un canal DVB-T en $N \pm 1$, $N \pm m$ o en la frecuencia imagen ($m=9$).
- El segundo tipo es para medir la linealidad, L1, L2 y L3:
 - Patrón L1: Un canal DVB-T en $N+2$ y otro analógico en $N+4$.
 - Patrón L2: Un canal analógico en $N+2$ y otro analógico en $N+4$.
 - Patrón L3: Un canal analógico en $N+2$ y otro digital en $N+4$.

Para cada patrón se ha realizado el cálculo de la diferencia máxima “a” entre la señal deseada y la no deseada, para la obtención de un BER de $2 \cdot 10^{-4}$. En la figura 2.3 se da muestra de ello.

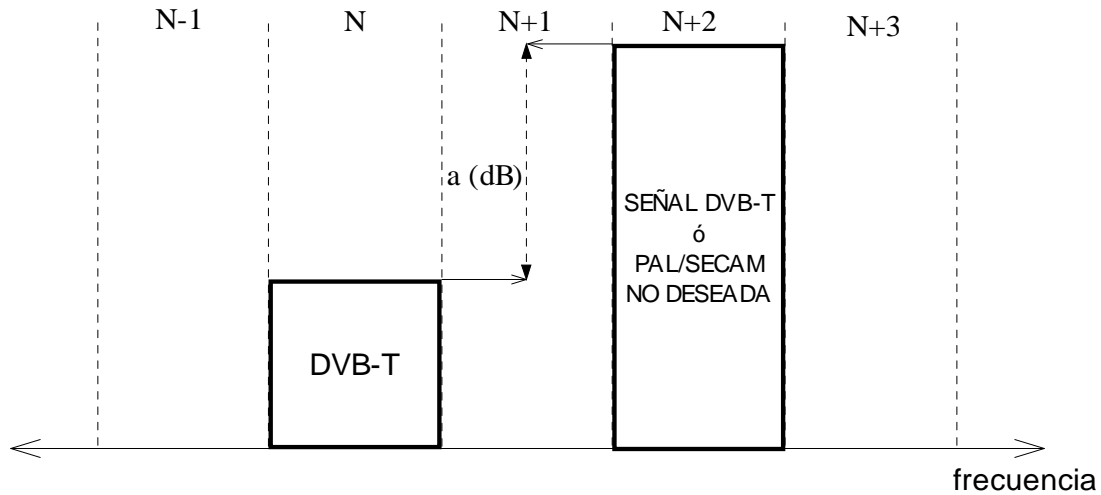


Figura 2.3 Esquema de bloques general de un receptor DVB-H.

2.7 Estimación del IIP3 a partir de la máxima señal a la entrada

El punto de compresión a 1 dB (P_{1dB}) se puede estimar a partir de la máxima señal a la entrada del receptor tal como se ve en la Figura 2.4, en nuestro caso el valor que usaremos será el que se muestra a continuación:

$$P_{1dB} > -28 \text{ dBm} \quad (2.5)$$

El P_{1dB} debe ser mayor que la máxima potencia de canal de entrada, que es -28 dBm. Se puede estimar el IIP3 de la siguiente manera:

$$IIP3 - P_{1dB} = 9.6 \text{ dB} \quad (2.6)$$

$$IIP3 > -28 \text{ dBm} + 9.6 = -18.4 \text{ dBm} \quad (2.7)$$

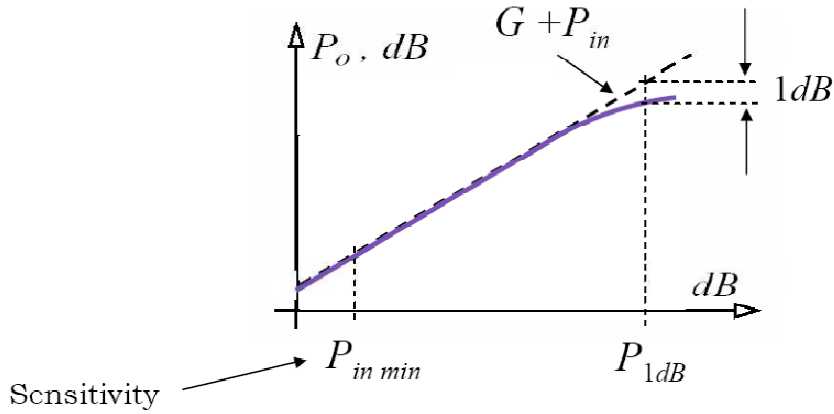


Figura 2.4 Estimación del punto de compresión 1dB.

2.8 Ruido de fase

El ruido de fase del oscilador local limita la selectividad del receptor [6]. El ruido de fase máximo se puede estimar a partir de la señal interferente máxima en el canal adyacente permitida para el peor caso, es decir, para una señal PAL-G no deseada en $N \pm 1$ operando en modo 2K/8K, 16QAM, $C/R = 2/3$ y $GI = All$ (ver Tabla 2.3 para el patrón S1). En la Figura 2.8 se puede observar una representación gráfica con los correspondientes valores de sensibilidad y nivel del canal deseado para el patrón S2.

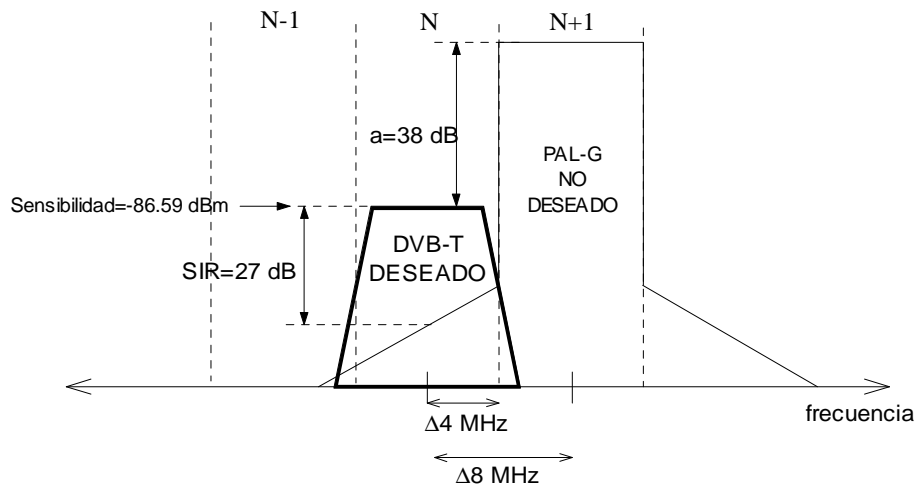


Figura 2.5 Representación gráfica del canal deseado y del no deseado (patrón S2) para el cálculo del ruido de fase.

Se ha elegido un SIR (*signal to interferer ratio*) de 27 dB (5 dB mayor que el peor caso de C/N que es 21.8 dB, ver la Tabla 2.2).

$$PN(4MHz) = P_{señal} - P_{interferente} - SIR - 10 \log(B) \quad (2.8)$$

Según [6] el ruido de fase máximo permitido es:

$$PN(4MHz) = -86.59dBm - (-86.59dBm + 38dB) - 27 - 10 \log(7.61MHz) = -133.8dBc \quad (2.9)$$

Asumiendo que estamos en la parte $1/f^2$ de la curva del ruido de fase según Leesson, tenemos una pendiente de -20 dB/dec, lo cual indica que el ruido de fase máximo debe ser:

$$PN(40 KHz) = -94 dBc / Hz \Rightarrow PN(100 KHz) = -103 dBc / Hz \quad (2.10)$$

$$PN(400 KHz) = -114 dBc / Hz \Rightarrow PN(1 MHz) = -123 dBc / Hz \quad (2.11)$$

$$PN(4 MHz) = -134 dBc / Hz \Rightarrow PN(10 MHz) = -143 dBc / Hz \quad (2.12)$$

Se decidió tomar un margen de seguridad prudente y proponer así una especificación de ruido de fase de $-107 dBc/Hz$ para un *offset* de 100 KHz.

2.9 Resumen

En este capítulo inicial se ha tratado de plasmar lo más claramente posible las características técnicas del estándar DVB-H.

En el próximo capítulo haremos referencia a las principales características de los amplificadores de bajo ruido y su importancia en un receptor de televisión digital.

Capítulo 3

Características de los LNAs

Existen diversos métodos a la hora de diseñar amplificadores de bajo ruido. Entre ellos se encuentran el emisor común y la topología cascode con degeneración inductiva. Estas estructuras se han utilizado con éxito en estándares como UWB (*Ultra Wide Band*), que trabaja en rangos de frecuencia entre 3 y 10GHz [7] y por lo tanto, se plantean como posible solución para cubrir la banda de frecuencias del estándar DVB-H.

El amplificador realimentado resistivo es otra técnica comúnmente usada para adaptar las impedancias de entrada y salida en circuitos de banda ancha. La realimentación resistiva reduce la impedancia de entrada del amplificador a la vez que aumenta el ancho de banda del mismo.

En este capítulo estudiaremos las diferentes topologías mencionadas para, posteriormente, una vez estudiada la tecnología que vamos a utilizar en el siguiente capítulo pasar a la implementación de las estructuras propuestas.

3.1 Topologías de LNA

Las topologías de LNA de banda ancha más comúnmente usadas son la de emisor común y la de cascode en diferentes configuraciones, como puede ser por ejemplo usar varias etapas en emisor común, o usar diferentes tipos de adaptación de entrada y salida para conseguir cubrir las bandas necesarias. En este apartado nos centraremos en ver estas estructuras para ver cuál es la mejor opción de diseño. A continuación veremos qué tipos de adaptación de entrada y salida de banda ancha se suelen usar, para finalmente proponer la topología que vamos a diseñar.

3.1.1 Amplificador en configuración emisor común

La configuración más básica de LNA es la denominada emisor-común, tal y como se ve en la Figura 3.1.

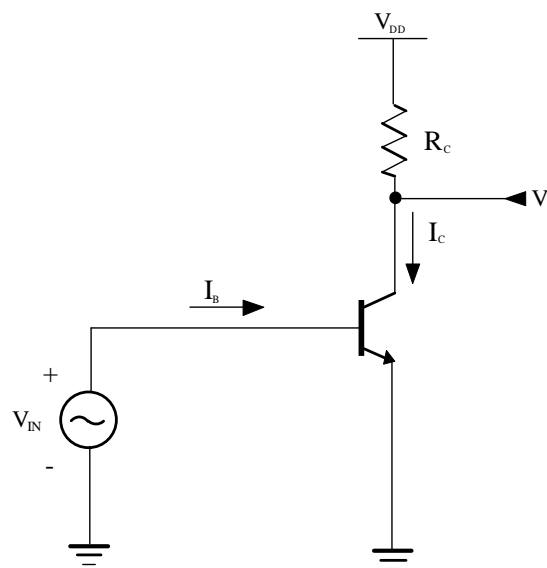


Figura 3.1 Amplificador en configuración emisor común.

Si aplicamos una corriente de polarización I_B , la ganancia de tensión aproximada de este amplificador está dada por la ecuación (3.1):

$$A_{VS} = \frac{V_o}{V_{IN}} \approx -\frac{R_C}{r'_e} \quad (3.1)$$

Como ya comentamos en el primer capítulo, la contribución de ruido de un LNA debe ser la menor posible, por lo que el diseño de todos sus componentes y de la etapa de polarización debe seguir una metodología apropiada para minimizarlo [8], [9], [10], [11].

En la figura 3.2 podemos observar un amplificador emisor común con el circuito de polarización comúnmente empleado en RF. En ella se puede apreciar que Q_2 e I_{BIAS} generan la corriente de alimentación del transistor Q_1 . La resistencia R_1 aísla la señal entrante de RF del ruido generado por Q_2 . Por otro lado, la resistencia R_2 mantiene la misma caída de voltaje que R_1 , dando por resultado una corriente de base fija y finita en Q_1 .

Si R_1 es suficientemente más grande que R_s , el efecto del circuito de polarización puede despreciarse sobre el funcionamiento del LNA. De acuerdo con esta premisa, podemos hacer un estudio del ruido que afecta a nuestro amplificador. Para ello, nos basaremos en el esquema mostrado en las Figuras 3.3 a y 3.3 b.

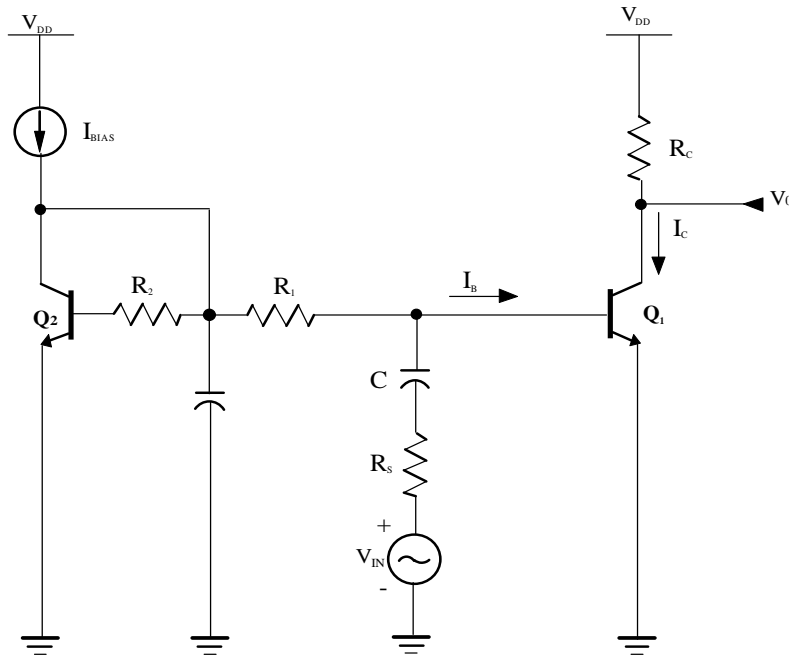


Figura 3.2 LNA en configuración emisor común con circuito de polarización.

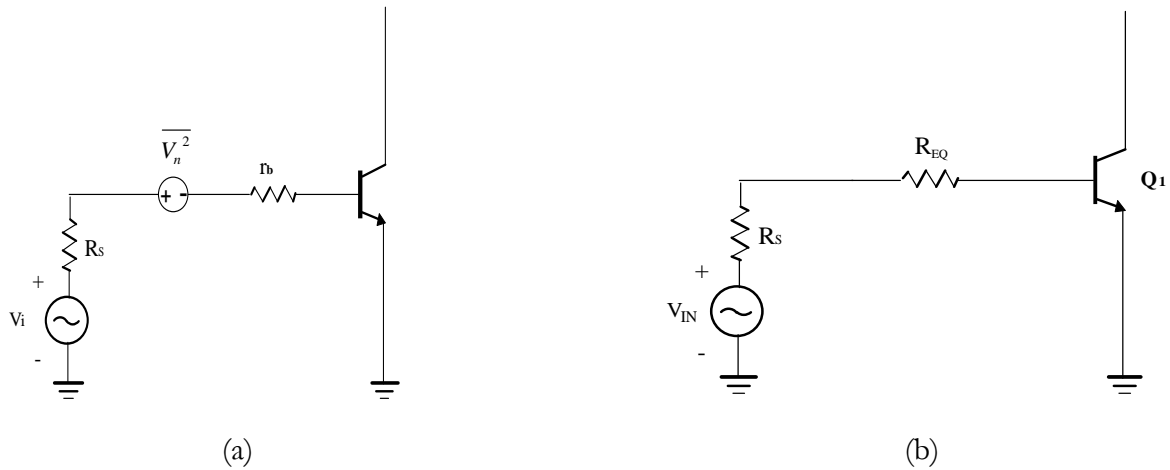


Figura 3.3 a) Modelo exhaustivo del ruido a la entrada del circuito.

b) Modelo equivalente.

Se puede apreciar (véase Fig. 3.3 b) que el ruido existente a la entrada del amplificador lo hemos sustituido por una resistencia serie R_{EQ} , despreciando capacidades parásitas y otras resistencias.

Con esto, podemos ver que la NF del LNA viene dada por la expresión 3.2.

$$NF = 1 + \frac{R_{EQ}}{R_S} \quad (3.2)$$

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión $(\overline{V_n^2})$ referida a la entrada como:

$$\begin{aligned} \overline{V_n^2} &= 4kT \left(R_B + \frac{1}{2g_m} \right) \\ \overline{V_n^2} &= 4kT \left(R_B + \frac{V_T}{2I_C} \right) \end{aligned} \quad (3.3)$$

Donde T es la temperatura, g_m es la ganancia de transconductancia del transistor, V_T es la tensión térmica (25mV para $T=25^\circ\text{C}$) e I_C la corriente de colector. Observando las ecuaciones 3.2 y 3.3 se comprueba la relación dada por la ecuación 3.4.

$$R_{EQ} = R_B + \frac{V_T}{2I_C} \quad (3.4)$$

Se aprecia que para reducir la resistencia equivalente (R_{EQ}) y por tanto el ruido, el transistor Q_1 debe tener un tamaño grande (R_B pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la R_{EQ} .

Sin embargo, el aumentar el tamaño del transistor para reducir la R_B , trae una serie de desventajas. La primera viene dada por el aumento de la capacidad de entrada (tanto la C_{je} como la C_{jc}), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por Q_1 y R_C se haga más patente.

Otra desventaja añadida es debida a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido metralla de base (*base shot noise*).

Debido a estas dos características, la figura de ruido presenta un mínimo para un determinado tamaño de Q_1 y una determinada corriente de polarización.

Con objeto de obtener una estimación de la figura de ruido mínima y de para qué condiciones se da esta, el siguiente paso que daremos será añadir a nuestro modelo el ruido metralla de base, tal y como muestra la Figura 3.4. Con esto mejoraremos la precisión de la ecuación 3.3. De acuerdo con la mencionada figura, obtenemos la expresión 3.5.

$$\overline{I_n^2} = 4kT \frac{I_C / \beta}{2V_T} \quad (3.5)$$

Para una resistencia de fuente R_S , el ruido total referido a la entrada incluyendo la contribución de dicha resistencia es el dado por la ecuación 3.6.

$$\overline{V_{tot}^2} = 4kT \left(R_S + R_B + \frac{1}{2g_m} + \frac{g_m R_S^2}{2\beta} \right) \quad (3.6)$$

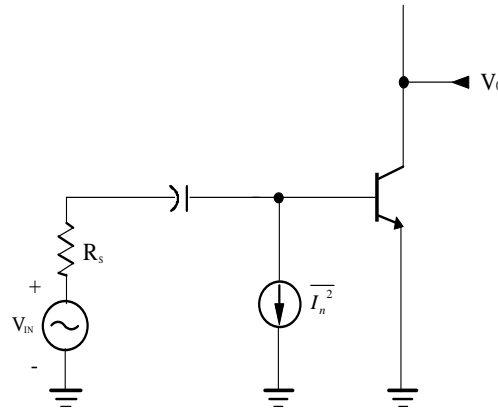


Figura 3.4 Modelo incluyendo el ruido metralla de la base.

Donde la correlación entre el ruido de metralla del colector y el ruido de metralla de la base ha sido despreciada. La figura de ruido es por tanto igual a la expresión (3.7).

$$NF = \frac{\overline{V_{tot}^2}}{4kTR_S} = 1 + \frac{R_B}{R_S} + \frac{1}{2g_m R_S} + \frac{g_m R_S}{2\beta} \quad (3.7)$$

Analizando esta expresión, obtenemos que la figura de ruido alcanzará un mínimo para:

$$NF_{\min} = 1 + \sqrt{\left(\frac{1 + 2g_m R_B}{\beta} \right)} \quad (3.8)$$

Siendo la R_s óptima:

$$R_{SOPT} = \sqrt{\frac{\beta(1 + 2g_m R_B)}{g_m}} \quad (3.9)$$

La ecuación 3.9 no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a β el valor dado por la frecuencia de operación, es decir:

$$|\beta| \approx f_T / f \quad (3.10)$$

La relación obtenida para R_{SOPT} (ecuación 3.9) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena R_s a R_{SOPT} .

3.1.2 LNA cascode

Basándose en diferentes configuraciones, existen otras topologías que añaden diversos componentes para mejorar el rendimiento de los amplificadores.

Una de estas configuraciones es la denominada "LNA cascode", tal y como muestra la Figura 3.5.

Esta arquitectura está caracterizada por utilizar una configuración cascode, que consiste en añadir un transistor (Q_2) en configuración base común que nos permitirá aislar la salida de la entrada del circuito, evitando posibles interacciones no deseadas. Otro de los beneficios que presenta es el de reducir la capacidad parásita del transistor Q_1 .

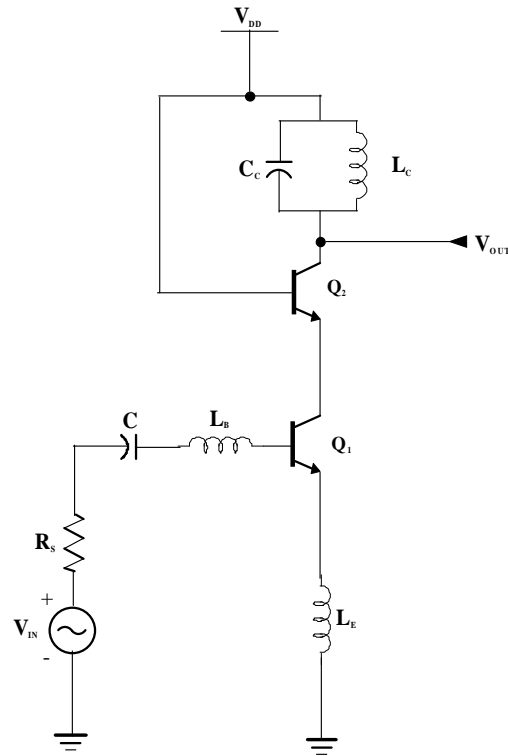


Figura 3.5 LNA Cascodo.

El circuito tanque formado L_c y C_c se utiliza para sintonizar la etapa de amplificación cascode a una frecuencia determinada. Las entradas y salidas en un mismo chip no necesitan estar adaptadas a un valor estándar (50Ω), basta con que estén adaptadas entre ellas. En cambio si será necesario adaptar las entradas o salidas que correspondan a conexiones externas como por ejemplo, conexión a antenas, filtros externos, inductancias o cuando se quiera testear por separado el chip con algún equipo de medida.

Para hacer una adaptación de banda estrecha a la entrada del circuito utilizamos la degeneración inductiva (ver figura 3.6).

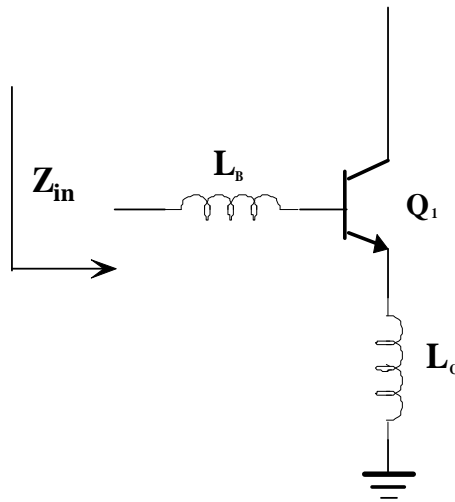


Figura 3.6 Degeneración inductiva.

Este método se basa en utilizar la inductancia de degeneración de emisor L_C para conseguir un término real en la impedancia de entrada. Seguidamente, con la inductancia L_B se consigue sintonizar la entrada de forma que a la frecuencia deseada desaparece el término imaginario de la impedancia de entrada. Por tanto con los valores adecuados de L_C y L_B se puede conseguir una impedancia de entrada igual a 50Ω .

Sus características más notables son las siguientes:

- Al no tener que utilizar resistencias en este tipo de adaptación es la que mejor NF presenta.
- Es una arquitectura selectiva en frecuencia, se puede sintonizar en una banda determinada ya que forma un circuito resonante RLC en su entrada.
- Esta arquitectura resonante realiza una preamplificación de la señal de entrada con lo que aumenta la ganancia y por lo tanto reduce la figura de ruido.
- La eficacia de esta arquitectura reside en la calidad de las inductancias que se utilizan en su implementación.

Por todas estas características la degeneración inductiva es la técnica más elegida para realizar la adaptación de la impedancia de entrada. Esta red permite realizar una primera sintonización a la entrada y además se consigue una primera amplificación de la señal de entrada del amplificador. Este dato es importante ya que con esta amplificación se reduce la figura de ruido del circuito. El principal inconveniente de este tipo de red de adaptación reside en el uso de inductancias que ocupan mayor área y en la calidad de estas.

A la hora de diseñar un amplificador de banda ancha a partir de un amplificador cascode hay que tener una serie de consideraciones, las cuales exponemos a continuación:

- Se tiene que sustituir la red de adaptación de entrada de banda estrecha por una de banda ancha, que cubra las frecuencias deseadas. Para ello usamos un filtro que cubra la banda que queremos (figura 3.7).
- Se debe sustituir la carga de banda estrecha (circuito tanque) por una carga de banda ancha (figura 3.7).

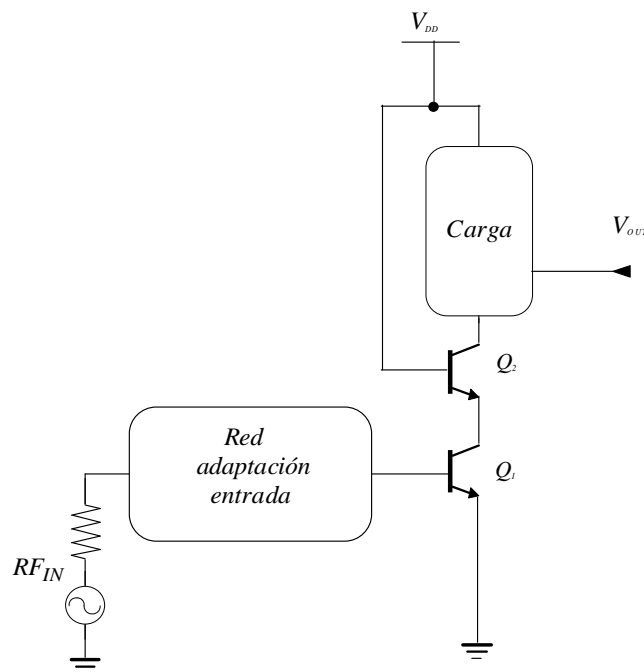


Figura 3.7 Estructura de un LNA de banda ancha.

3.1.2.1 Red de adaptación de banda ancha

Para estudiar la adaptación vamos a considerar la red de cuatro puertos (dos de entrada y dos de salida) de la figura 3.8. La función de transferencia de este sistema $H(s)$ es igual a:

$$\alpha + j\beta = \ln H(j\omega) = \ln \frac{E}{2V_2} \sqrt{\frac{R_2}{R_1}} \quad (3.11)$$

Siendo el módulo de dicha función:

$$2\alpha = \ln |H(j\omega)|^2 = \ln \frac{|E|^2 / 4R_1}{|V_2|^2 / R_2} = \ln \frac{P_{MAX}}{P_2} \quad (3.12)$$

Donde P_{MAX} es la máxima potencia que puede entregar la fuente y P_2 es la potencia disipada por el puerto de salida. Desde el punto de vista de la adaptación de impedancias, consideraremos todos los elementos de la red ideales y sin pérdidas, por lo que $P_{MAX}=P_2$. Bajo estas condiciones la impedancia de entrada es real e igual a R_1 .

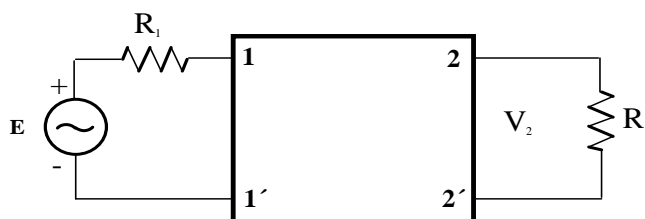


Figura 3.8 Red de adaptación de cuatro puertos.

Por otro lado, consideremos el filtro paso bajo de segundo orden de la figura 3.9.

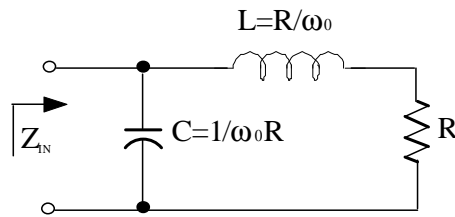


Figura 3.9 Filtro *ladder* paso bajo de segundo orden.

Podemos apreciar que los valores escogidos de L y C para obtener una impedancia totalmente resistiva a la frecuencia ω_0 son:

$$\begin{aligned} L &= \frac{R}{\omega_0} \\ C &= \frac{1}{\omega_0 R} \end{aligned} \quad (3.13)$$

En la figura 3.10 podemos observar como la impedancia de entrada es resistiva hasta ω_0 . Fuera de la banda de paso la impedancia de entrada es totalmente reactiva y no hay propagación de señal a través del circuito.

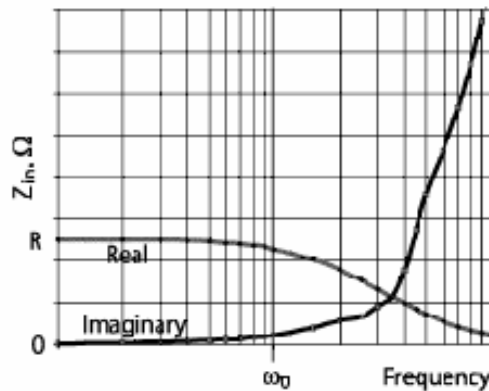


Figura 3.10 Respuesta espectral del filtro *ladder* de segundo orden.

Si trasladamos en frecuencia nuestro filtro paso bajo, tendremos que

$$\left(\frac{s}{\omega_0}\right) \Rightarrow \left(\frac{s}{\omega_0}\right) + \left(\frac{\omega_0}{s}\right) \quad (3.14)$$

Es decir, si en banda base tenemos un inductor serie, en alta frecuencia tendremos que crear un circuito formado por una bobina y un condensador en serie. Del mismo modo, a nuestro condensador paralelo se le añadirá una bobina formando otro circuito paralelo LC. Por tanto, tendremos un filtro de cuarto orden, tal y como muestra la figura 3.11.

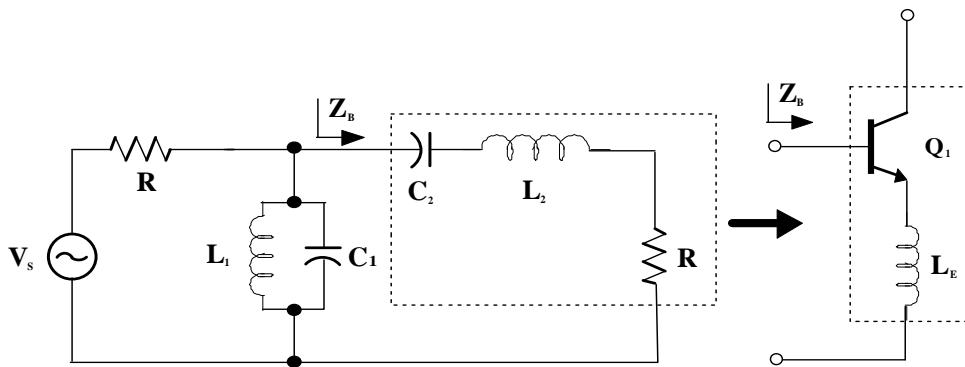


Figura 3.11 Filtro *ladder* de cuarto orden para adaptación de impedancias.

La impedancia de entrada de nuestro filtro tendrá el aspecto de la figura 3.12.

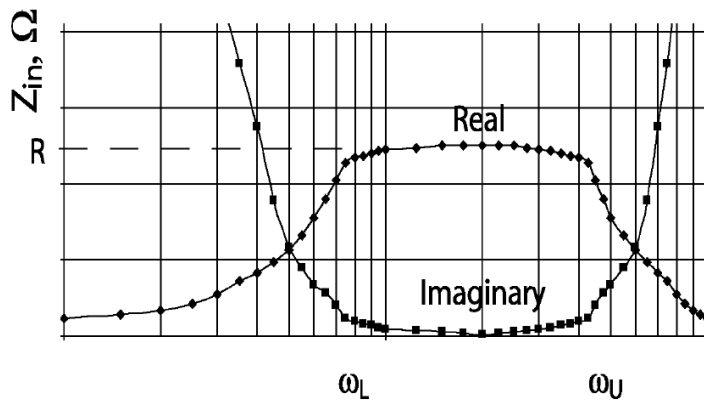


Figura 3.12 Respuesta espectral del filtro *ladder* de cuarto orden.

Se aprecia que dentro de la banda establecida por las frecuencias ω_L y ω_U la impedancia es constante y totalmente real.

El ancho de banda fraccional se define como muestra la ecuación 3.15.

$$\eta = \frac{\omega_U - \omega_L}{\sqrt{\omega_U \omega_L}} \quad (3.15)$$

Si $\eta > 1$, el filtro paso banda puede ser visto como la unión entre un filtro paso bajo y un filtro paso alto. En este caso los valores de los elementos del filtro serían los mostrados en la ecuación 3.16:

$$\begin{aligned} L_1 &\approx \frac{R}{\omega_L} & C_2 &\approx \frac{1}{\omega_L R} \\ L_2 &\approx \frac{R}{\omega_U} & C_1 &\approx \frac{1}{\omega_U R} \end{aligned} \quad (3.16)$$

En la figura 3.11 podemos observar como parte del filtro paso banda es similar al circuito de degeneración inductiva. Por tanto podemos fusionar ambos circuitos para adaptar la impedancia de entrada en un amplio espectro de frecuencias.

Una vez hemos fusionado ambos circuitos, vamos a estudiar su funcionamiento. Para ello observemos el esquema de la figura 3.13. Se puede apreciar que dentro de la banda de paso donde la impedancia de entrada es meramente resistiva, la corriente de entrada es igual a:

$$I = \frac{V_s}{2R} \quad (3.17)$$

Para que haya máxima transferencia de potencia, toda la corriente debe ser entregada en la resistencia de carga ($R_{LOAD}=R$), lo que significa que:

$$V_{be} = \frac{V_s}{2\omega C_2 R} \quad (3.18)$$

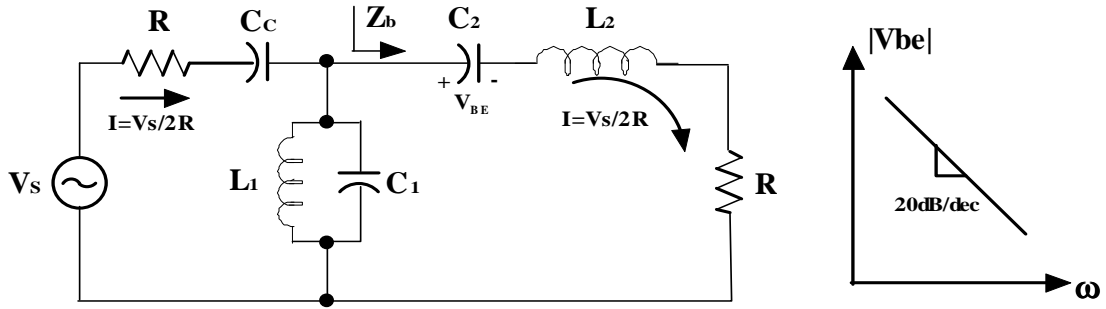


Figura 3.13 Flujo de corrientes dentro del filtro.

O lo que es lo mismo:

$$V_{BE} = V_s \frac{\omega L}{2\omega} \quad (3.19)$$

Esta expresión implica que la caída de tensión en la capacitancia parásita del transistor cae 20dB/dec a medida que aumentamos la frecuencia. El factor de ruido del amplificador será:

$$F = 1 + \frac{\overline{\left[i_n + \frac{V_n}{Z_0} \right]^2}}{4kTR_s} \quad (3.20)$$

Donde i_n y V_n son, respectivamente, la corriente y la tensión de ruido en la entrada del amplificador. Dicho factor de ruido puede ser expresado también como:

$$F = 1 + \frac{g_m}{2} Z_0 \left(\frac{\omega}{\omega_T} \right)^2 \quad (3.21)$$

El cual empeora de forma cuadrática con la frecuencia, debido a que la ganancia de tensión entre la entrada del circuito y la entrada del transistor disminuye con el aumento de la frecuencia.

3.1.2.2 Carga de banda ancha

Como decíamos al comienzo de este apartado, para convertir un amplificador de banda estrecha en uno de banda ancha no sólo basta con modificar la adaptación de entrada, sino que también es necesario sustituir la carga de banda estrecha (circuito tanque) por una carga de banda ancha.

Las cargas de banda ancha que más se suelen usar son: carga RC, *series-peaking*, *shunt-peaking* y *shunt-series-peaking* que es una combinación de las dos anteriores [10].

En la figura 3.14 se muestra la estructura de la carga RC y su circuito equivalente.

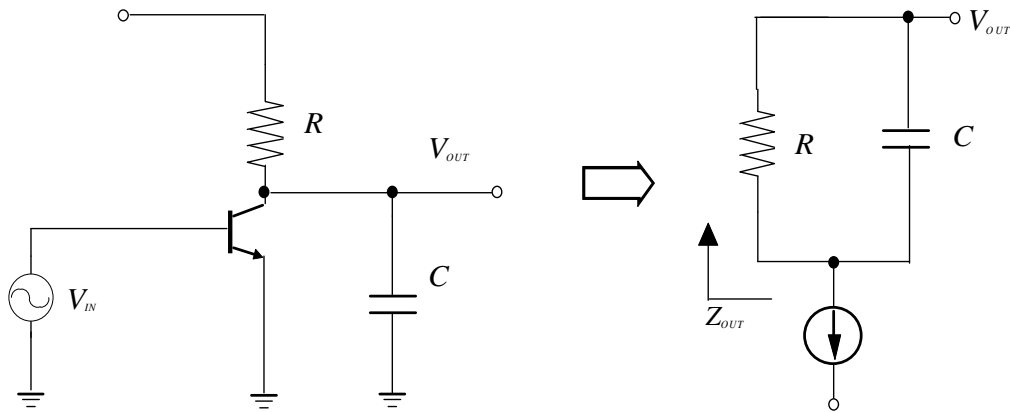


Figura 3.14 Carga RC.

Esta estructura viene a ser un filtro paso bajo. En la ecuación 3.22 se muestra la impedancia de esta carga.

$$Z(s) = R \parallel \frac{1}{s \cdot C} = \frac{R}{1 + R \cdot C \cdot s} \quad (3.22)$$

En la figura 3.15 se muestra la respuesta en frecuencia, la cual empieza a caer debido al polo que introduce esta carga.

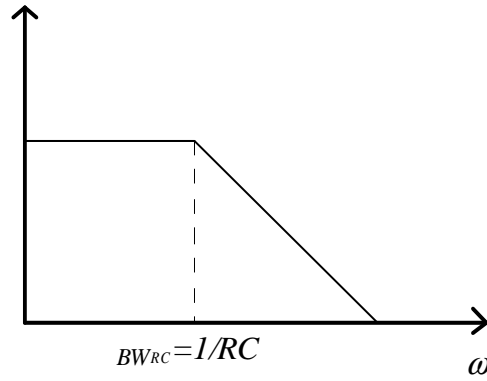


Figura 3.15 Respuesta en frecuencia de la carga RC.

La estructura *series-peaking* y su modelo se muestran en la figura 3.16. Con esta estructura se puede incrementar el ancho de banda con respecto a la carga RC, del orden de $1.41 \cdot BW_{RC}$ [10].

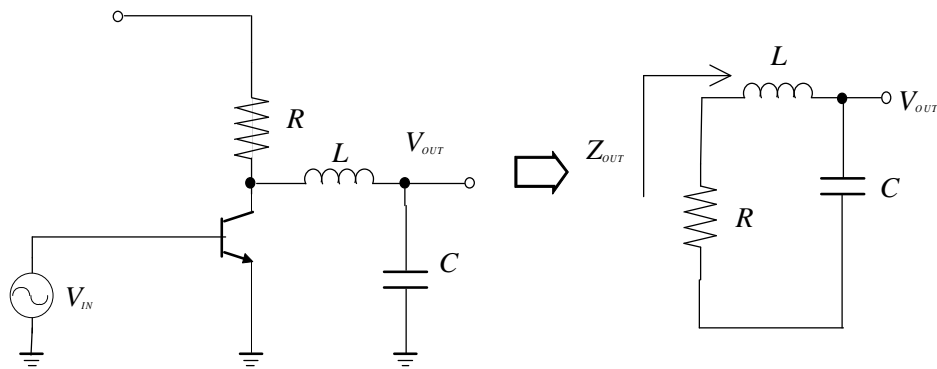


Figura 3.16 Carga series-peaking.

A partir del modelo equivalente de la figura 3.16 obtenemos su impedancia (ecuación 3.23).

$$Z(s) = R \parallel \left(s \cdot L + \frac{1}{s \cdot C} \right) = \frac{R \cdot (s^2 \cdot L \cdot C + 1)}{(s \cdot L \cdot C + 1)^2} \quad (3.23)$$

En la figura 3.17 se muestra la estructura de la carga *shunt-peaking* y su modelo. Con esta carga se consigue aumentar el ancho de banda respecto a la *series-peaking*. El aumento con respecto a la carga RC viene a ser $1.85 \cdot BW_{RC}$ [10].

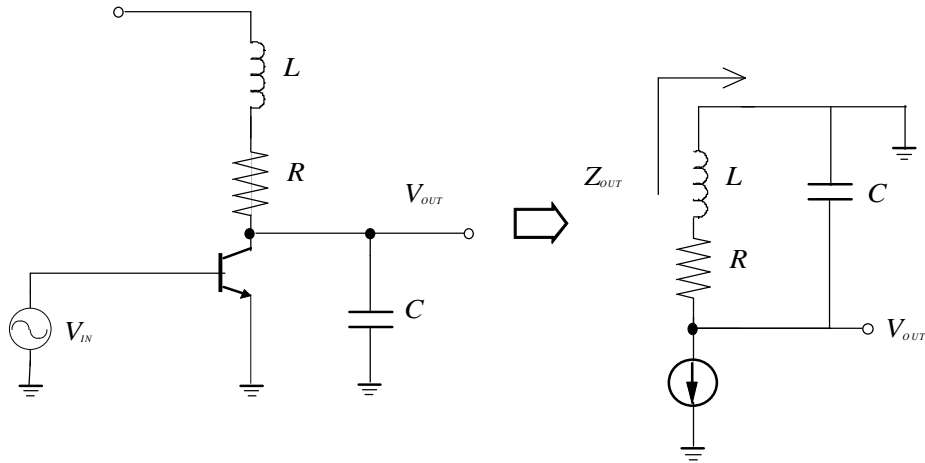


Figura 3.17 Carga *shunt-peaking*.

A partir del modelo equivalente de la figura 3.17 obtenemos su impedancia (ecuación 3.24).

$$Z(s) = (R + L \cdot s) \parallel \left(\frac{1}{s \cdot C} \right) = \frac{R + s \cdot L}{(1 + R \cdot C \cdot s)^2} \quad (3.24)$$

Otra posibilidad es la mostrada en la figura 3.18 en la que se puede ver la estructura *series-shunt-peaking* y su modelo. Se trata de una combinación del *series-peaking* con el *shunt-peaking*.

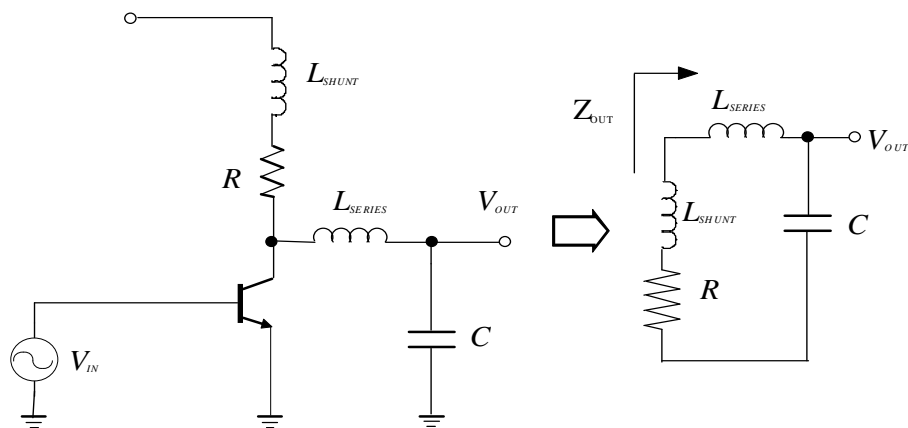


Figura 3.18 Carga *shunt-series-peaking*.

Su impedancia de salida se corresponde con la ecuación 3.25:

$$Z(s) = R + s \cdot L_{SHUNT} \parallel \left(s \cdot L_{SERIES} + \frac{1}{s \cdot C} \right) \quad (3.25)$$

3.1.2.3 Propuesta de LNA cascado con adaptación de entrada de banda ancha y carga de banda ancha

Una vez estudiadas las consideraciones para conseguir el amplificador cascado de banda ancha, pasamos a mostrar en la figura 3.19 la propuesta para diseñar en esquemático.

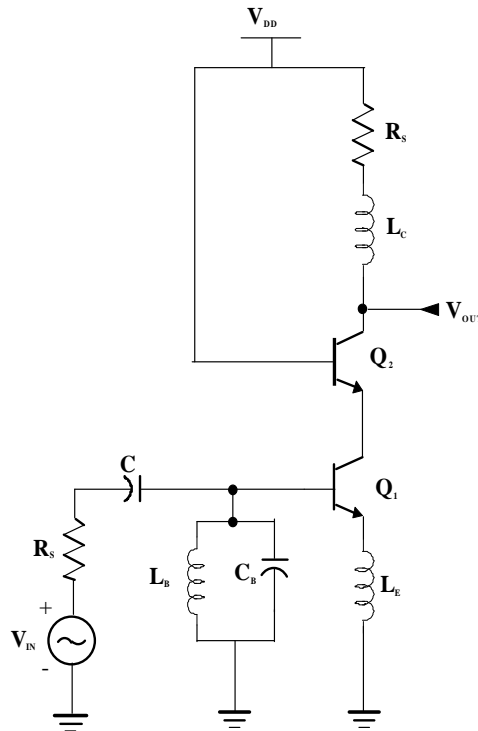


Figura 3.19 LNA propuesto.

Existen otras arquitecturas con la que se puede conseguir amplificadores de banda ancha. Una de ellas es el amplificador realimentado, que pasamos a describir a continuación.

3.1.3 LNA con realimentación resistiva

Aplicar la realimentación en un amplificador con emisor común puede ser una buena solución para los amplificadores de banda ancha. Esta técnica logra que el amplificador trabaje bien en todo el ancho de banda consiguiendo una pequeña figura de ruido.

Podemos ver en la figura 3.20 el esquema de un amplificador emisor común realimentado. La resistencia R_F y el condensador C_F son los elementos que componen la realimentación entre la base y el colector del transistor. C_F es bastante grande para de esta forma conseguir que trabaje como corto circuito en toda la banda de interés. Hay que tener en cuenta que este circuito puede ser modificado para crear un cascode si nos interesa.

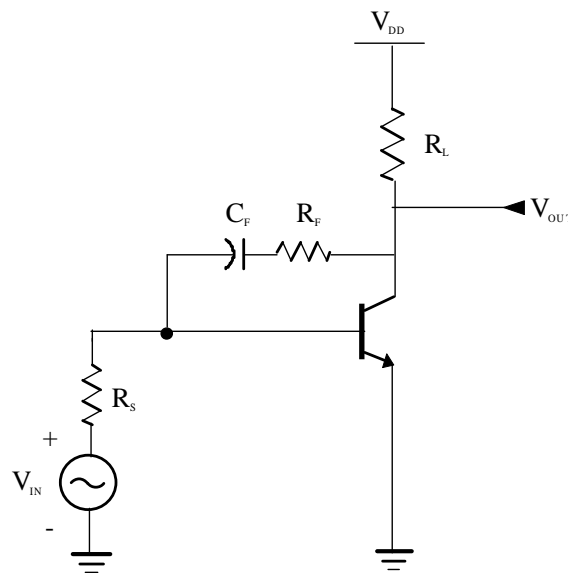


Figura 3.20 LNA realimentado.

Ignorando el efecto Miller y asumiendo que C_F es un corto circuito ($1/\omega C_F \ll R_F$), la ganancia viene dada por la ecuación 3.26.

$$A_v \approx \frac{V_{OUT}}{V_{IN}} \approx \frac{\frac{R_L}{R_F} - g_m R_L}{1 + \frac{R_L}{R_F}} \approx \frac{-g_m R_L}{1 + \frac{R_L}{R_F}} \quad (3.26)$$

Así, podemos ver que en este caso la ganancia sin realimentación ($-g_m R_L$) se reduce por la presencia de la misma en un factor igual a $1 + \frac{R_L}{R_F}$.

La impedancia de entrada de esta estructura también cambia radicalmente por la presencia de la realimentación. Ignorando C_{μ} , la admitancia de entrada puede venir dada por:

$$Y_{IN} = \frac{1}{R_F} + \frac{g_m R_L - \frac{R_L}{R_F}}{R_F + R_L} + \frac{1}{Z_{\pi}} \quad (3.27)$$

A su vez, la impedancia de entrada se verá como:

$$Z_{IN} = \frac{Z_{\pi}(R_F + R_L)}{R_F + R_L + Z_{\pi}(1 + g_m R_L)} \approx R_F \parallel Z_{\pi} \parallel \frac{R_F + R_L}{g_m R_L} \approx \frac{R_F + R_L}{g_m R_L} \quad (3.28)$$

Se puede ver que es prácticamente igual al paralelo de Z_{π} con R_F con la ecuación que sale de la realimentación. Este último término al ser de un valor pequeño domina la ecuación y por tanto se podría decir que la impedancia de entrada es igual a $R_F + R_L$ dividido entre $g_m R_L$. Como resultado, comparando con el amplificador en circuito abierto, la impedancia de entrada del amplificador realimentado varía menos a lo largo de la frecuencia de trabajo y con el proceso.

La impedancia de salida se puede escribir como:

$$Z_{OUT} = \frac{R_F}{1 + Z_{IP} \left(g_m - \frac{1}{R_F} \right)} = \frac{R_F}{1 + Z_{IP} g_m} \quad (3.29)$$

donde $Z_{IP} = R_S \parallel R_F \parallel Z_{\pi}$.

Como vemos la realimentación hace que el papel del transistor se vea reducido en la determinación de las impedancias de entrada y de salida, de la ganancia y, por consiguiente, hace que mejore la linealidad. Sin embargo, la presencia de la resistencia R_F puede degradar el rendimiento respecto al ruido dependiendo del valor de la resistencia elegido.

Realizando el análisis del ruido, se obtiene la expresión del factor de ruido simplificado dado por:

$$F = 1 + \frac{R_B + R_E}{R_S} + \frac{1}{2g_m R_S} + \frac{g_m R_S}{2\beta} + \frac{g_m R_S}{2\beta^2} + \frac{1}{2g_m} \frac{R_S}{R_F^2} + \frac{R_S}{R_F} \quad (3.30)$$

Donde R_B y R_E son las resistencias parásitas de la base y el emisor, y β es la ganancia de corriente para pequeña señal. El análisis del ruido muestra que la resistencia de realimentación R_F impacta significativamente en la figura de ruido del amplificador debido a su relativa magnitud con respecto a la resistencia de fuente de entrada (R_S). La linealidad requerida en términos del punto de intercepción de tercer orden (*IIP3*) está especificada de forma genérica por:

$$IIP3_{LNA} \propto g_m^2 \propto I_{BIAS}^2 \quad (3.31)$$

En el amplificador realimentado resistivamente, con una g_m grande obtenemos una mayor ganancia y por consiguiente mejoramos la linealidad pero aumenta el consumo de corriente. Sin embargo, cuando trabajamos a altas frecuencias es necesario un mayor consumo de corriente debido a las capacidades parásitas y para obtener suficiente ganancia. Este resultado nos da una pequeña flexibilidad a la hora de elegir la g_m .

La ganancia en tensión dada por (3.26) establece una relación entre R_L y R_F para una determinada g_m . Como resultado, el factor de ruido y la resistencia de entrada son interdependientes ya que, tal y como muestran las expresiones (3.28) y (3.30), ambos dependen de R_L y R_F . Debido a esta desventaja, por lo general es difícil de conseguir un bajo nivel de ruido y un bajo consumo de corriente para una impedancia de entrada de 50Ω .

3.1.3.1 Propuesta de LNA cascode realimentado de banda ancha

Una vez estudiadas las topologías nos encontramos otras posibilidades con las que se aprovechan las ventajas tanto del amplificador realimentado como del amplificador cascode, para ello utilizaremos el circuito que se muestra en la figura 3.21.

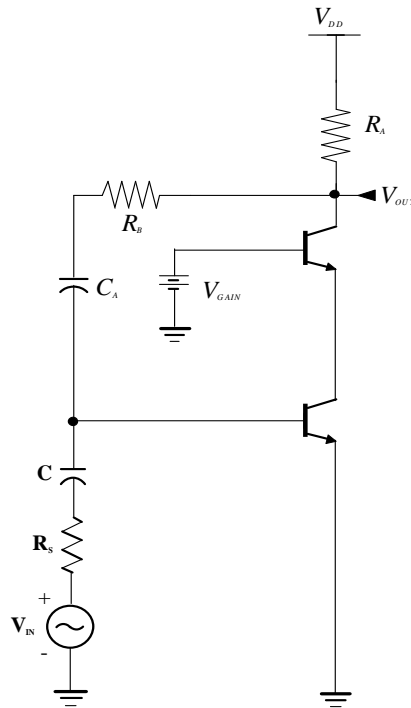


Figura 3.21 LNA realimentado propuesto.

Este consiste en la unión de ambas topologías creando así un amplificador cascode realimentado. De esta forma se puede aumentar el ancho de banda reduciendo el área, además de mejorar la adaptación y el aislamiento.

3.2 Resumen

En este capítulo hemos visto cuales son las principales topologías empleadas en los sistemas de *RF* de banda ancha, haciendo un estudio de ellas para de esta forma seleccionar cuales son las que más nos interesan y así, posteriormente, pasar a la implementación de la

misma. En el estudio se ha explicado la influencia de los componentes para el cálculo de impedancias, ganancia, etc.

En el siguiente capítulo veremos las características de la tecnología empleada para nuestro trabajo. Esta tecnología es la denominada SiGe 0.35 μm de AMS (*Austria Micro System*). Para ello, estudiaremos uno a uno todos los componentes suministrados por este proceso que entran en juego en el diseño de un LNA.

Capítulo 4

Estudio de la tecnología

En el capítulo anterior, estudiamos las principales características y topologías de los *LNAs* para televisión digital. Este paso será de gran utilidad a la hora de realizar nuestro diseño. Sin embargo, antes de comenzar con él debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología *S35D4* de la fundidora *AMS*. Esta tecnología consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores bipolares de heteroestructura (*HBT*) y *MOSFET*, siendo la longitud de puerta mínima de $0.35 \mu\text{m}$. Así mismo la tecnología *S35D4* ofrece librerías de componentes pasivos.

4.1 Resistencias

4.1.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

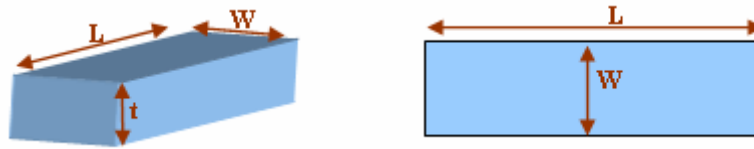


Figura 4.1 Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación (4.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (4.1)$$

Donde los parámetros que intervienen son:

- ρ es la resistividad del material
- t es el espesor del material
- L es la longitud de la pista
- W es la anchura de la pista

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (4.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (4.2)$$

En la ecuación (4.2) R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

4.1.2 Resistencias en la tecnología S35D4 de AMS

La tecnología *S35D4* de *AMS* presenta dos tipos de resistencias, *RPOLY2* y *RPOLYH*, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la tabla 4.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 4.1 Resistencias incluidas en la tecnología

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	Ω/\square
Coef. temperatura		0.6		$10^3/K$
Resist. Contacto		20	40	Ω /cnt
Den. Corriente			0.3	$mA/\mu m$

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	$k\Omega / \square$
Coef. temperatura		-1.2		$10^3/K$
Resist. Contacto		60	200	Ω /cnt
Den. Corriente			0.3	$mA/\mu m$

En la figura 4.2 se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros de las resistencias.

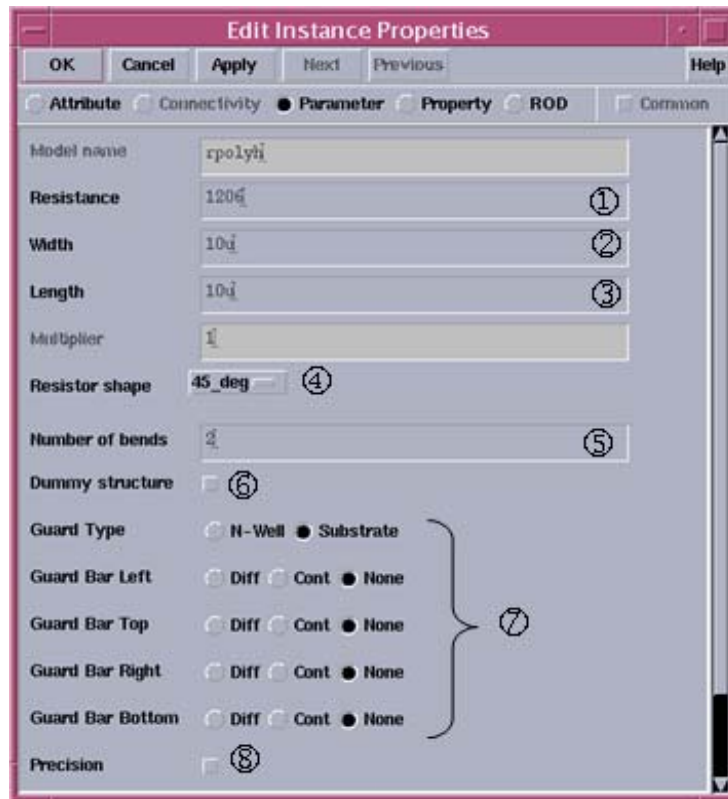


Figura 4.2 Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

- ① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.
- ② Ancho de la pista: variando el ancho el *software* determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.

- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

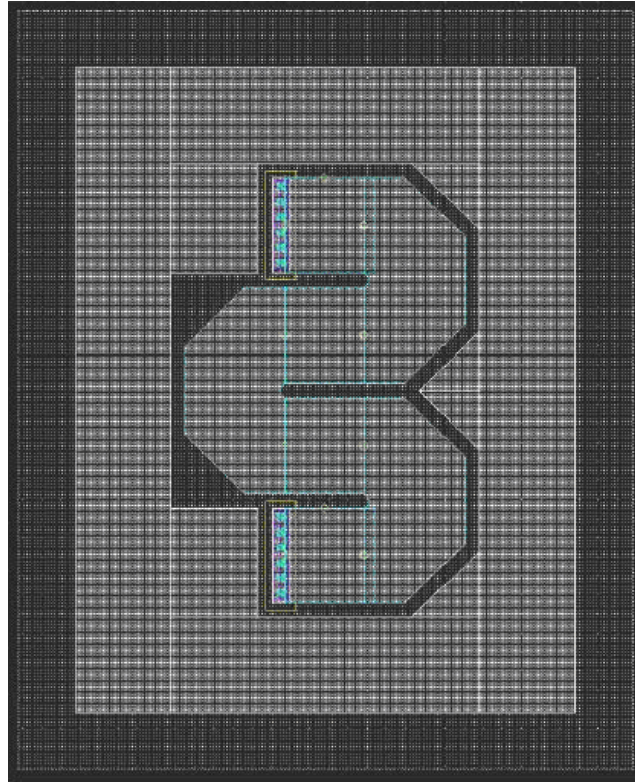


Figura 4.3 Resistencia con estructura Dummies.

En la figura 4.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

4.2 Condensadores

4.2.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la figura 4.4 se muestra un esquema donde esto queda reflejado.

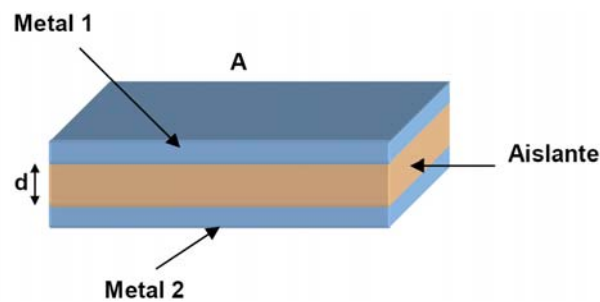


Figura 4.4 Corte de un condensador.

Partiendo de la figura 4.4 el valor de la capacidad del condensador viene dado por la ecuación (4.3).

$$C = \frac{\varepsilon' \cdot \varepsilon_0 \cdot A}{d} \quad (4.3)$$

Donde los parámetros que intervienen son:

- ε' es la permitividad relativa del material
- ε_0 es la permitividad del vacío
- A es el área de las placas del condensador
- d es la distancia entre las placas del condensador

4.2.2 Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el *CPOLY*, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro lado está el *CMIM*, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor.

En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores.

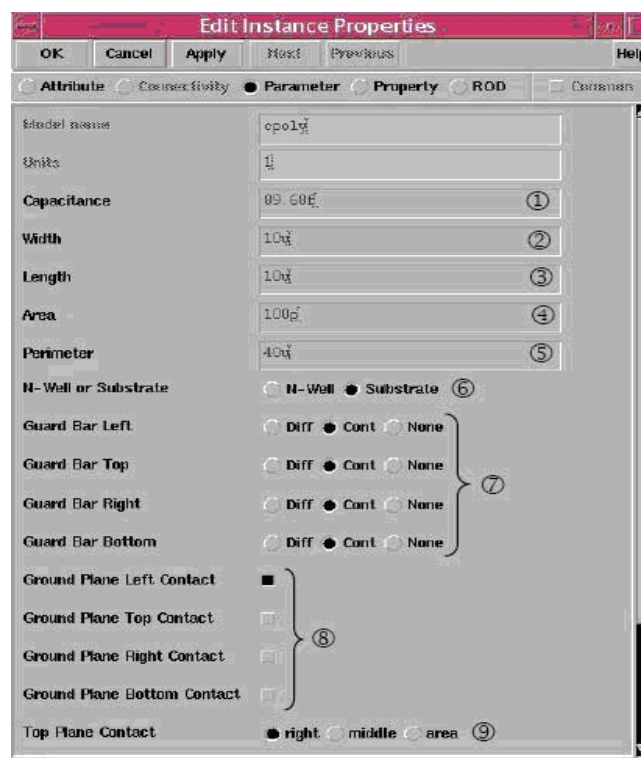


Figura 4.5 Parámetros ajustables en los condensadores.

A continuación se detallan los parámetros mostrados en la figura 4.5.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.
- ⑥ Conexión al sustrato o a un pozo tipo N.

- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.
- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

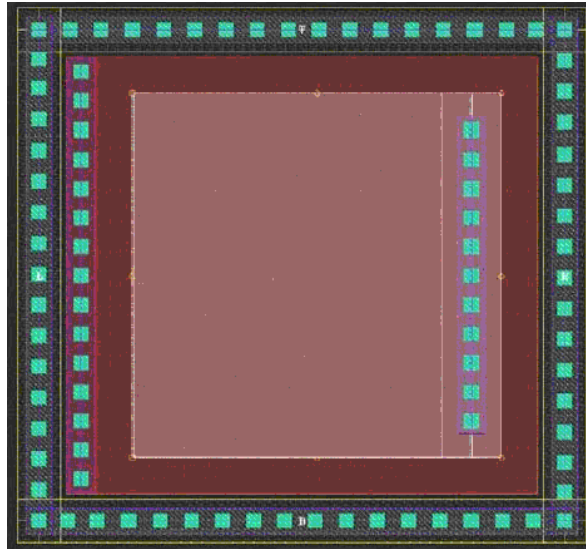


Figura 4.6 *Layout* de un condensador.

A modo de ejemplo en la figura 4.6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

4.3 Bobinas

4.3.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

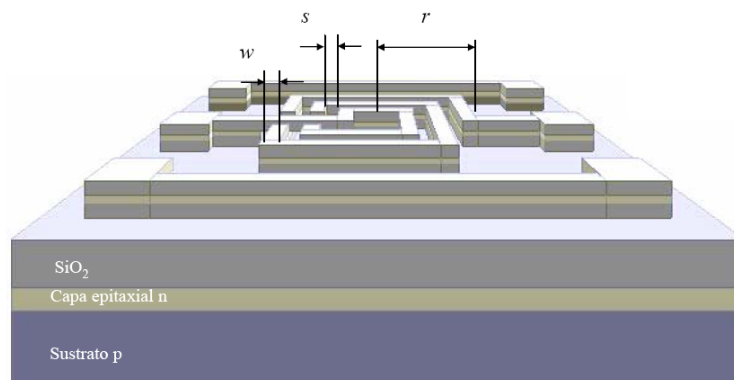


Figura 4.7 *Layout* de una bobina cuadrada simple.

4.3.2 Funcionamiento

Un inductor se caracteriza por su factor de calidad (ecuación 4.4), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (4.4)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) [12] [13] y por las corrientes de torbellino (*eddy currents*) [12] [13] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar. Cuando se aplica tensión en los extremos de una espiral aparecen los campos eléctricos y magnéticos de la figura 4.8.

- El campo magnético $B(t)$ está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.
- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

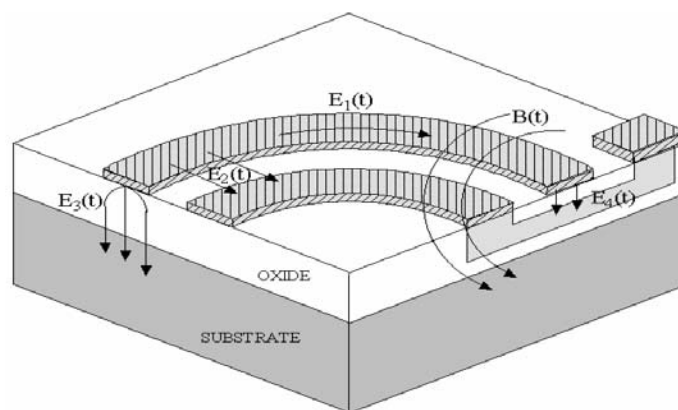


Figura 4.8 Campos eléctricos y magnéticos en un inductor integrado.

4.3.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la figura 4.9. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver figura 4.8). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato.

En particular, los condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. Por último R_{SUB1} y R_{SUB2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la figura 4.9 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{OX1} , C_{SUB1} y R_{SUB1} ligeramente diferentes a los de C_{OX2} , C_{SUB2} y R_{SUB2} .

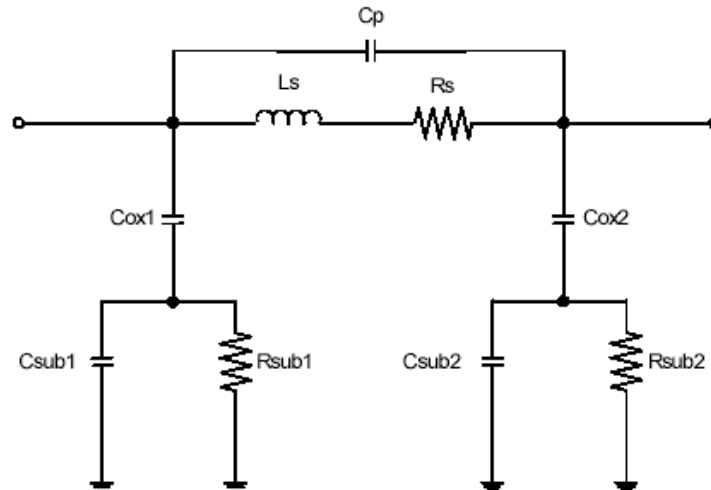


Figura 4.9 Modelo clásico de dos puertos de inductores espirales integrados.

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente.

Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [12].

4.3.4 Bobinas en la tecnología S35D4 de AMS

La tecnología de *AMS* presenta bobinas, pero se optó por usar las bobinas desarrolladas por el *IUMA* ya que presentan factores de calidad mayores que las de *AMS*, alcanzando valores de hasta 13.5 a una frecuencia central de 5.5 GHz [14].

En la figura 4.10 se muestra un ejemplo de las bobinas creadas por el *IUMA*. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10.3.

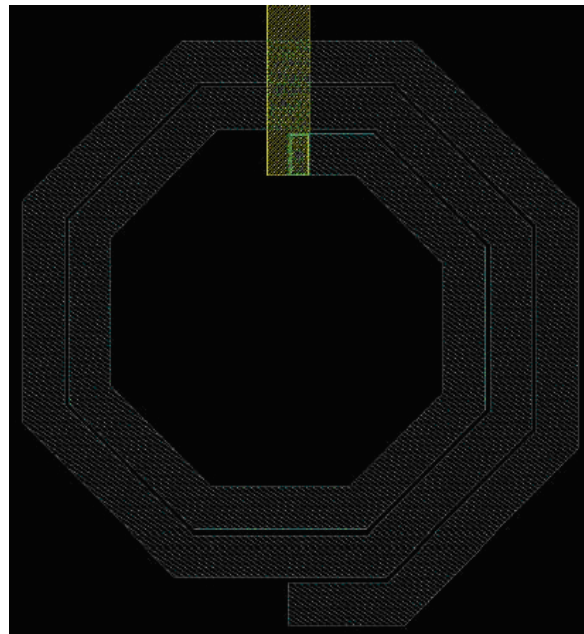


Figura 4.10 *Layout* de una bobina.

4.4 El Transistor MOSFET

4.4.1 Construcción

En la figura 4.11 se muestra un corte esquemático de dos transistores *MOS* tipo n y tipo p respectivamente. En el caso del transistor tipo n, la fuente y el drenador están formados por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el *MOSFET* tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2 .

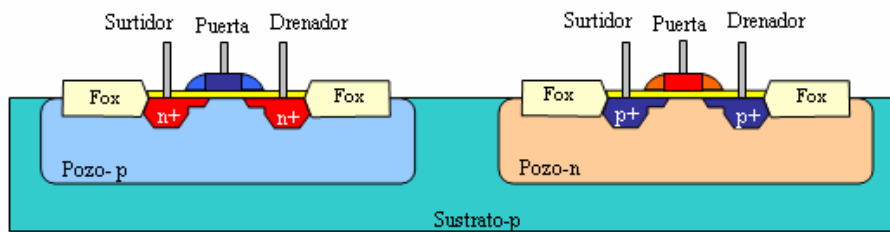


Figura 4.11 Corte esquemático de transistores MOS.

4.4.2 Funcionamiento

Como se muestra en la figura 4.12, si en un *MOSFET* tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor (V_{DS}), no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor *MOSFET* se encuentra en corte.

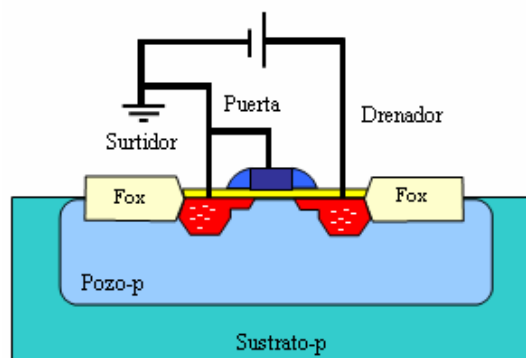


Figura 4.12 MOSFET tipo n en Corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el *MOSFET* se encuentra en la región de triodo o zona óhmica.

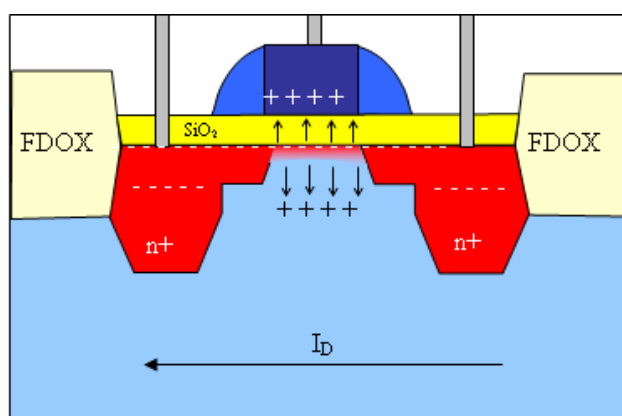


Figura 4.13 Detalle del MOSFET tipo n en zona óhmica.

En la región de triodo la ecuación 4.5 determina la corriente de drenador del MOSFET.

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.5)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

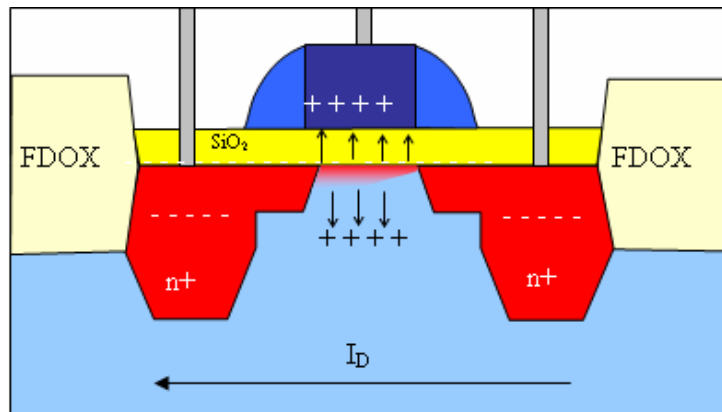


Figura 4.14 Detalle del MOSFET tipo n en zona de saturación.

La tensión de drenador a puerta (V_{DG}) viene dado por la ecuación 4.6.

$$V_{DG} = V_{DS} - V_{GS} \quad (4.6)$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación 4.6 el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación 4.7, diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (4.7)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)
- Al coeficiente $\mu_n \cdot C_{OX}$ se le denomina factor de ganancia y se denota con K_n .

A pesar de que el desarrollo anterior se refiere a un transistor *MOSFET* tipo n, en el caso del transistor *MOSFET* tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el *MOSFET* tipo p es contrario del *MOSFET* tipo n.

4.4.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor *MOSFET*.

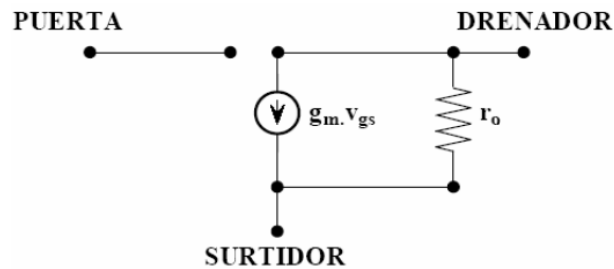


Figura 4.15 Modelo del MOSFET de Baja Frecuencia.

Donde:

- r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.
- gm es la transconductancia del transistor y viene dada por la ecuación (4.8).

$$g_m = \sqrt{\frac{2 \cdot C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (4.8)$$

Donde:

- L_{eff} es la longitud efectiva del canal (μm)
- C_{OX} es la capacidad de puerta por unidad de área
- μ_n es la movilidad de los electrones
- W es el ancho del canal del transistor
- I_D es la corriente de drenador

4.4.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor *MOSFET*, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

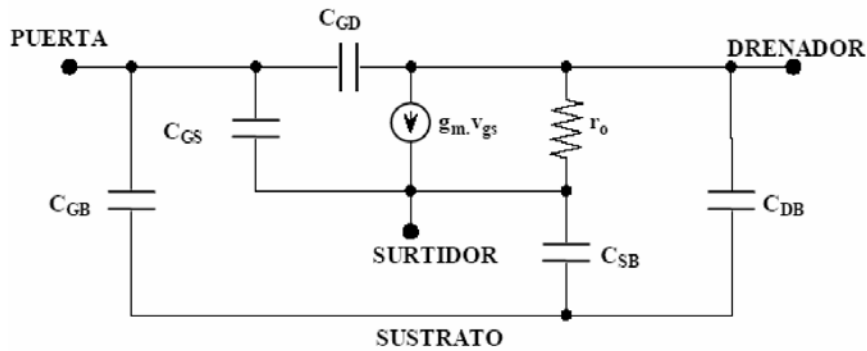


Figura 4.16 Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

Capacidades de la zona de carga espacial: Se producen en las uniones *PN*, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones 4.9 y 4.10:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (4.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (4.10)$$

Donde:

- C_o es la densidad de la capacidad de la unión cuando la polarización de esta es nula.
- V es la tensión directa de la unión.
- ψ_o es la barrera de potencial.
- m es la constante dependiente del tipo de unión.

Capacidades en la zona de óxido: Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- C_{GB} = Capacidad de óxido entre puerta y sustrato.
- C_{SG} = Capacidad de óxido entre surtidor y puerta.
- C_{GD} = Capacidad de óxido entre Puerta y drenador.

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor.

En la tabla 4.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor *MOSFET*.

Tabla 4.2 Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_dw+0.5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_dw+0.5C_{OX}LW$	$C_{OX}L_dw+0.66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

En la tabla 4.2 los parámetros implicados en las expresiones son:

- C_{ox} = capacidad de puerta por unidad de área.
- L_d = Distancia de difusión lateral que se produce bajo la puerta.
- L = Longitud del canal del transistor (μm).
- W = Ancho del canal del transistor (μm).

4.4.5 Transistores MOSFET en la tecnología S35D4 de AMS

En la tabla 4.3 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del Kit de diseño.

Tabla 4.3 Parámetros más importantes de los MOSFET

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	450	540	630	$\mu\text{A}/\mu\text{m}$

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	-0.50	-0.60	-0.70	V
Factor de Ganancia (K_p)	48	58	68	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	-180	-240	-300	$\mu\text{A}/\mu\text{m}$

En la figura 4.17 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET. A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en dicha figura.

- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo *Snake* [15].
- ⑤ Selección del número de dedos para los transistores tipo *Snake*.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las puertas, drenadores y surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.
- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [16] en el transistor.

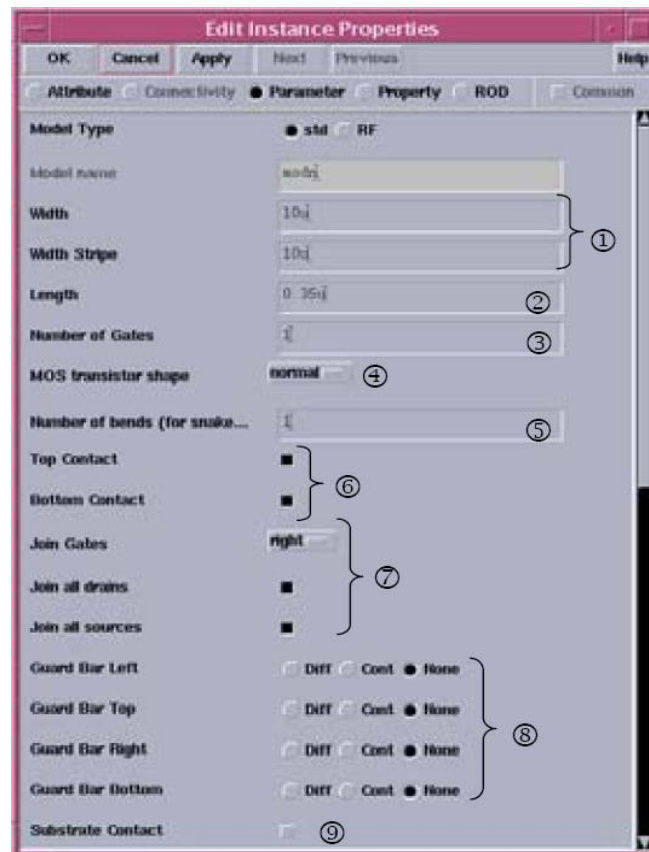


Figura 4.17 Parámetros en los MOSFET.

A modo de ejemplo en la figura 4.18 se muestra un transistor *MOSFET* tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el *Kit* de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven

los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

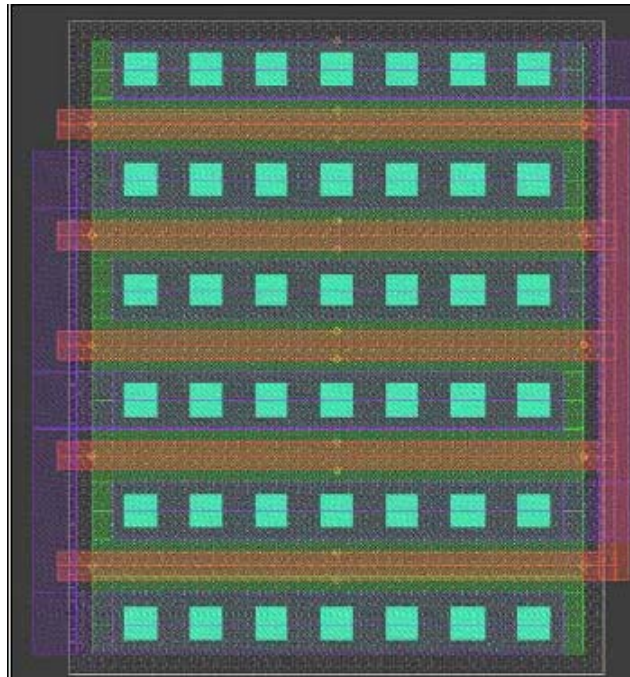


Figura 4.18 Ejemplo de transistor MOSFET.

4.5 HBTs de SiGe

4.5.1 Construcción

Los transistores bipolares de heteroestructura *HBTs* de *SiGe* son transistores npn bipolares en los que la base está formada por una capa muy estrecha ($<50nm$) de $Si_{1-x}Ge_x$ crecida de forma pseudomórfica. La concentración de *Ge* puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 *nm*. En la figura 4.19 se muestra la estructura típica de un *HBT* de *SiGe* gradual.

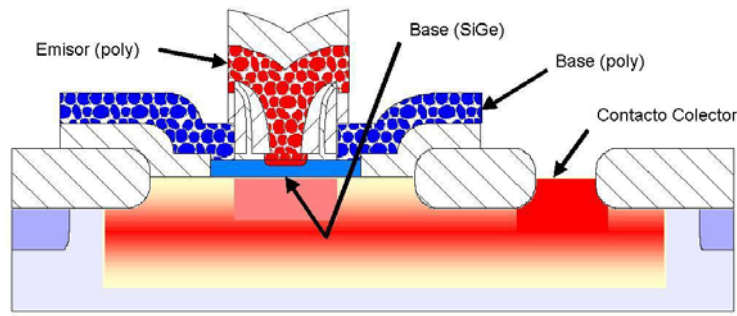


Figura 4.19 Estructura típica de un HBT de SiGe gradual.

4.5.2 Funcionamiento

El funcionamiento de los *HBTs* es exactamente igual al de los transistores bipolares de homounión (*BJTs*), con la salvedad de que sus prestaciones son muy superiores a las de éstos últimos. Para ayudar a entender los beneficios de los *HBT*, se comparan en la figura 4.20 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la figura 4.21, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de depleción de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los *HBTs* es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

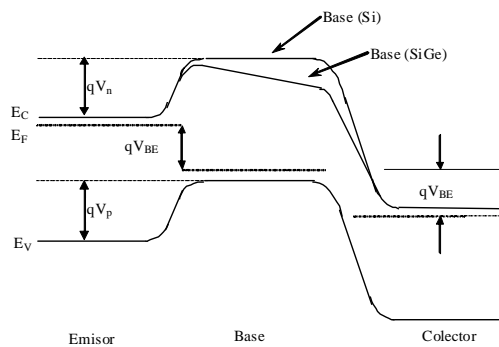


Figura 4.20 Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/Si.

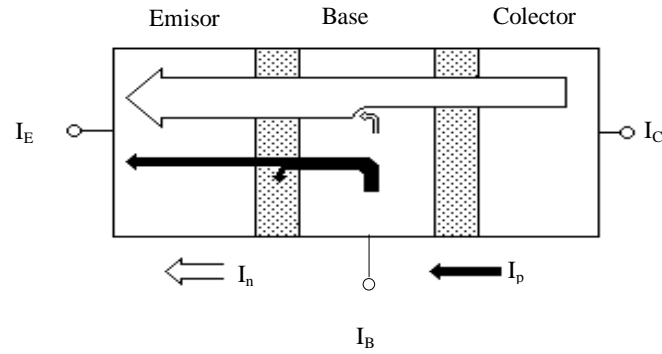


Figura 4.21 Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los *BJT*s para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de *Boltzmann* ofrece las concentraciones de portadores minoritarios que se muestran en las ecuaciones 4.11 y 4.12.

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.11)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.12)$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión *BJT*. V_{BE} es la tensión aplicada a la unión *B-E*. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es P_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones 4.11 y 4.12 resulta la ecuación 4.13.

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (4.13)$$

Esta ecuación representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la figura 4.20 se muestra también el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G / W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno como se muestra en la ecuación 4.14.

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot t}\right)} \quad (4.14)$$

Debido a que es posible obtener decenas de meV para ΔE_G variando la concentración de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias.

Por otro lado, para conseguir valores de corriente elevados en los *BJTs*, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de *HBTs* en vez de *BJTs* ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los *HBTs* trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los *HBTs* de *SiGe* es mayor que para los *BJTs* de *Si*, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de *LNAs* respecto al ruido. Por último, debido a la elevada ganancia que presentan los *HBTs* de *SiGe* a frecuencias por encima de 2 GHz , es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y *LNAs*.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presenta, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del *SiGe*, sino de todos los procesos bipolares basados en *Si*, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

4.5.3 Modelo de baja frecuencia

En la figura 4.22 se muestra el modelo en baja frecuencia de un transistor bipolar npn cuando el transistor está operando en configuración de emisor-común (EC).

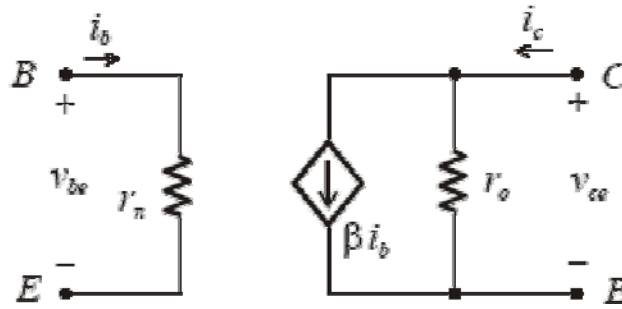


Figura 4.22 Modelo híbrido en π en baja frecuencia.

Del circuito anterior se obtienen las ecuaciones 4.15 y 4.16.

$$V_{be} = r_{\pi} \cdot i_b \quad (4.15)$$

$$i_c = \beta \cdot i_b + \frac{1}{r_o} \cdot V_{ce} \quad (4.16)$$

4.5.4 Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la β con la frecuencia y las capacidades internas. En la figura 4.23 se observa esta dependencia y se definen dos frecuencias: f_{β} frecuencia de corte superior que es la frecuencia a la cual decae en $1/\sqrt{2} = 0.707$, la β a frecuencias medias especificada por β_o y f_T , frecuencia de transición definida como la frecuencia a la cual la β vale 1. El fabricante proporciona el valor de f_T en función de la corriente de colector, siendo éste un parámetro importante que fija el ancho de banda del transistor.

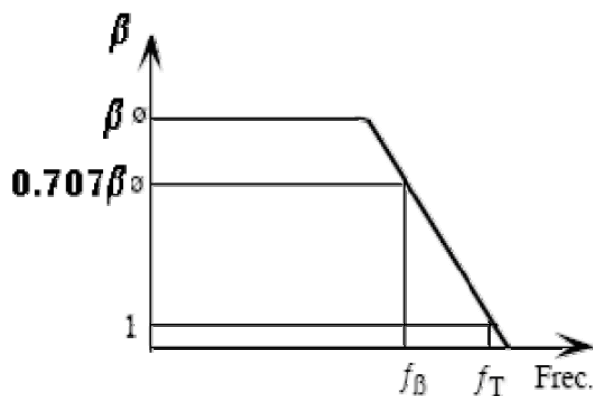


Figura 4.23 Variación de la β de un transistor bipolar con la frecuencia.

En la figura 4.24 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes: $C_{b'e}$ y $C_{b'c}$ las cuales varían con la tensión inversa (*reverse voltage*). $C_{b'c}$ se obtiene gráficamente calculando la V_{BC} del transistor (tensión inversa de la unión colector-base). $C_{b'e}$ tiene asociada dos capacidades, difusión del emisor y de unión emisor-base. Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como se muestra en la ecuación 4.17.

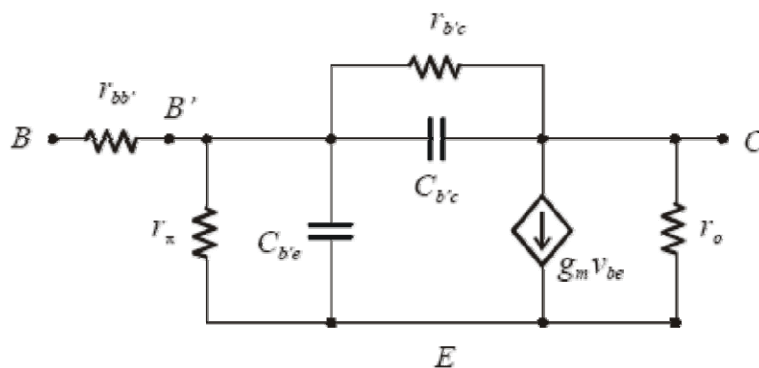


Figura 4.24 Modelo en alta frecuencia de un transistor bipolar.

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \quad (4.17)$$

Siendo V_T el potencial térmico, que vale 25 mV a $25 \text{ }^\circ\text{C}$. La relación entre f_T y f_B y esas capacidades es la que se muestra en la ecuación (4.18).

$$f_T = f_o \cdot \beta' \quad (4.18)$$

Siendo f_o y β los mostrados en las ecuaciones 4.19 y 4.20 respectivamente.

$$f_o \cong \frac{1}{2\pi \cdot (rbb' + r\pi)(C_{b'e} + C_{b'c})} \quad (4.19)$$

$$\beta = \frac{\beta'}{1 + j \cdot \frac{f}{f_o}} \quad (4.20)$$

4.5.5 HBTs en la tecnología S35D4 de AMS

Los HBTs de *SiGe* utilizados para la realización de este diseño son los suministrados en el proceso *S35D4* ($0.35 \mu m$ HBT BiCMOS) de la empresa *AMS*. Su producción se basa en un proceso de bajo coste de fabricación de BJT's. El material de partida es una oblea de silicio tipo p poco dopada de resistividad $19 \Omega.cm$. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD) la cual se separa mediante un proceso de recesión LOCOS. El siguiente paso es el crecimiento selectivo de la base de *SiGe* mediante CVD. La concentración de germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de base y emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la figura 4.25 se muestra el cuadro de diálogo de los transistores disponible en el kit de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.



Figura 4.25 Parámetros ajustables de los transistores.

- ① Selección del área del transistor
- ② Selección de los ajustes para simulación

En la figura 4.26 se muestra el layout de un transistor *HBT*. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

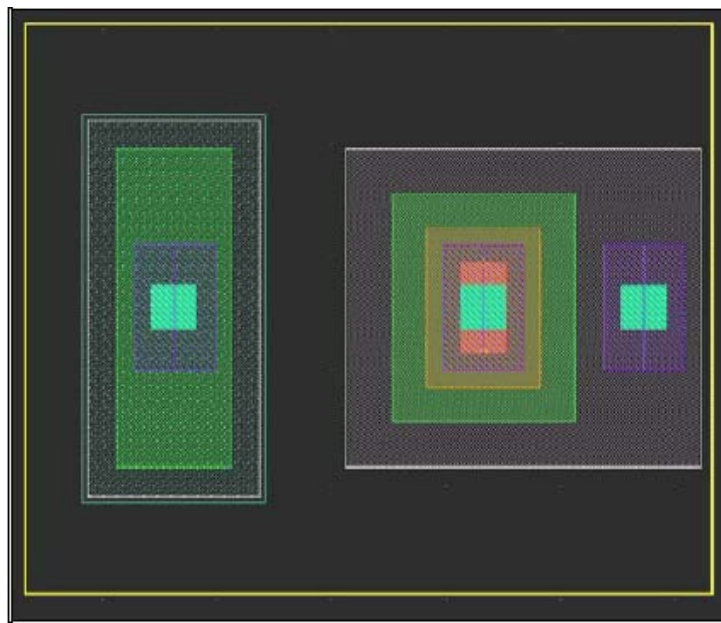


Figura 4.26 Layout de un Transistor HBT.

4.6 Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología *S35D4* de *AMS*. Una vez completado el estudio teórico de los *LNAs* y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño de los *LNAs* en sí, gracias a la información aportada en el presente capítulo y el anterior.

Capítulo 5

Diseño a nivel de esquemático

Teniendo conocimiento de la tecnología que vamos a emplear y de las diferentes alternativas que vamos a usar para la construcción de nuestro LNA, en este capítulo procederemos a ejecutar la labor más importante: el diseño del amplificador de bajo ruido a nivel de esquemático. Para ello nos basaremos en todo lo estudiado en los capítulos anteriores, con especial hincapié en el capítulo 3 (Características de los LNAs).

En el siguiente apartado pasaremos al diseño del amplificador cascode de bajo ruido, que es la primera estructura propuesta.

5.1 LNA cascode con adaptación de entrada de banda ancha y carga de banda ancha

Para comenzar con el diseño esquemático comenzaremos con el LNA cascode con adaptación de entrada de banda ancha y carga de banda ancha propuesto en el capítulo 3.

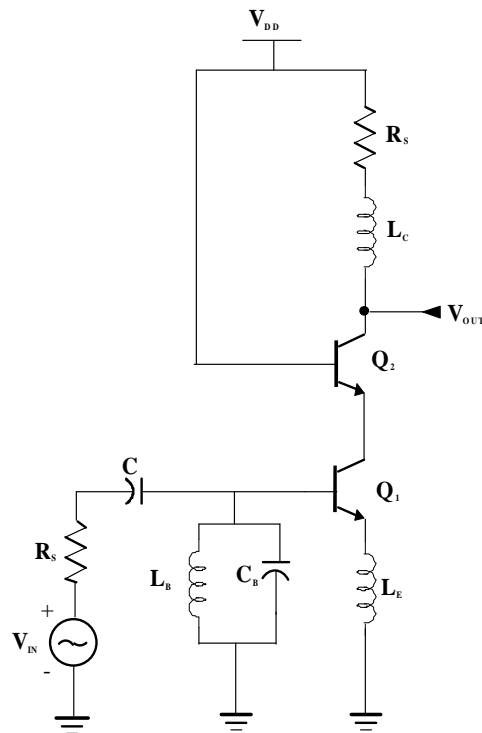


Figura 5.1 LNA cascode.

Los pasos que vamos a seguir para el diseño de este circuito son los siguientes:

1. Configuración de la polarización del LNA.
2. Adaptación de entrada y de salida.
3. Verificación y optimización de resultados.

5.1.1 Configuración de la polarización del LNA

La función de este apartado es la de polarizar convenientemente el circuito con objeto de conseguir la menor figura de ruido y a su vez obtener la mejor ganancia posible. Para conseguir esto y teniendo en cuenta que en el capítulo 4 hemos hecho el estudio de los componentes que nos proporciona esta tecnología, nos centraremos en los datos que puedan variar la polarización de los transistores. Esto lo logramos con una serie de análisis y simulaciones con el software ADS (*Advanced Design System*).

Para obtener los valores de los componentes hemos de saber que corriente tenemos que aplicar y que tamaño deben tener los transistores. Por tanto, los valores que elegiremos serán los que obtengan la mínima NF y la máxima ganancia. Para conseguir esto, debemos encontrar un sistema que nos permita aumentar la ganancia sin que esto suponga un aumento de la figura de ruido (NF). Dicha relación es lo que se conoce como $NF \propto I_{BIAS}$. Esto es, obtener la densidad de corriente por unidad de área de transistor (I_{OPT}) que nos de la NF menor posible. Para este estudio usaremos el esquema de la figura 5.2, el cual incluye el circuito de polarización. Haciendo un barrido de la corriente de polarización I_{BIAS} obtenemos la curva de la figura 5.3 la cual nos sirve para obtener la corriente de polarización óptima para mínima NF.

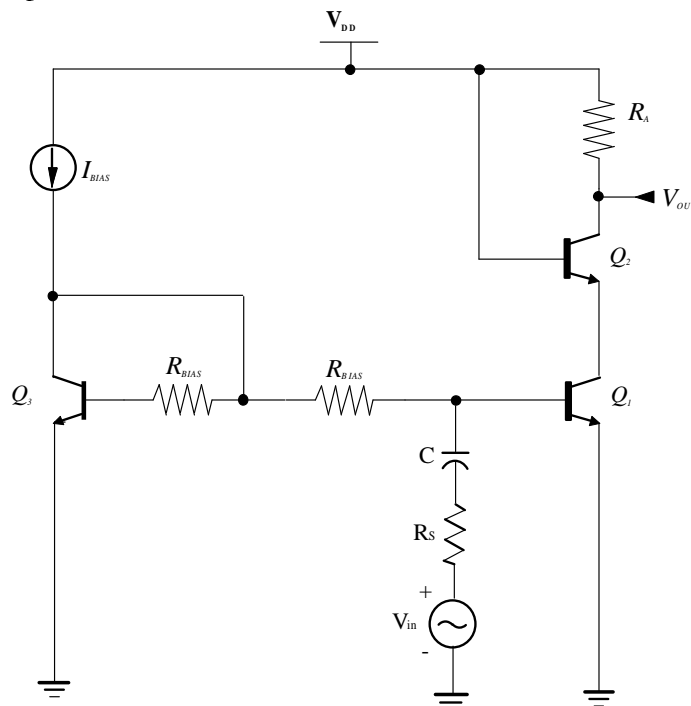


Figura 5.2 Configuración para el estudio de la NF.

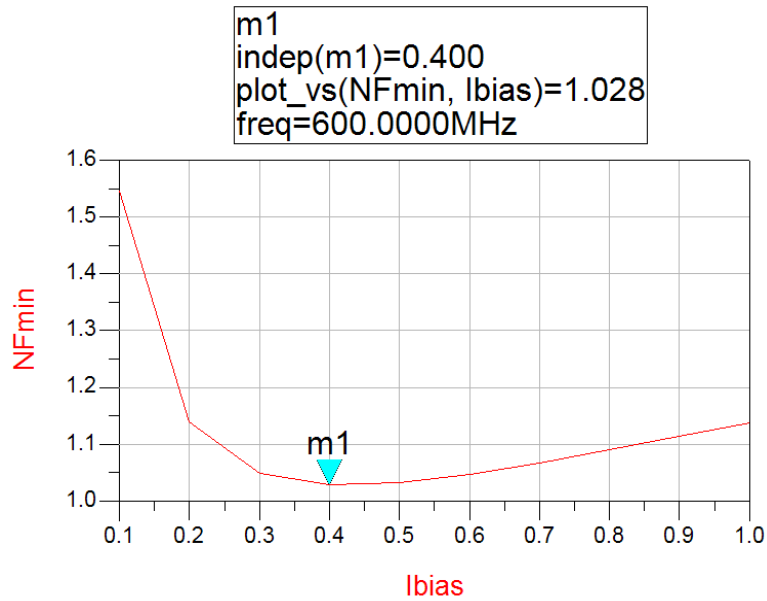


Figura 5.3 NFmin frente a Ibias.

Podemos ver en la figura como el valor de la corriente óptima para la menor figura de ruido es de 0.4 mA. Dado que para este estudio se usó un área para los transistores igual a $10 \mu\text{m}^2$, la densidad de corriente que nos suministrará la menor NF posible será:

$$I_{OPT} = \frac{0,4\text{mA}}{10\mu\text{m}^2} = 0,04\text{mA} / \mu\text{m}^2 \quad (5.1)$$

Por tanto, siempre que modifiquemos el tamaño del transistor lo haremos manteniendo este valor de densidad de corriente.

El resto de componentes influye en las adaptaciones del circuito, por lo que se estudiarán en el siguiente apartado.

5.1.2 Adaptación de entrada y salida

Lo primero que debemos saber es que este circuito va a ser medido *on-wafer* y, por tanto, el valor de adaptación que vamos a usar tanto para la entrada como para la salida es de 50 Ohmios. A la hora de adaptar la entrada, debemos tener en cuenta que nuestro principal objetivo es minimizar la figura de ruido (NF) del amplificador, como ya hemos comentado a lo largo del capítulo. Para esto, tenemos que determinar la impedancia de la fuente de pequeña señal que debe ver el transistor a su entrada para que éste presente una NF mínima. Por lo general la impedancia de fuente que realmente tiene nuestro circuito ($R_s = 50\Omega$) rara vez coincide con la impedancia de fuente para mínimo ruido (R_{SNFmin}). Por tanto, debemos elegir entre adaptar para mínimo ruido (forzar a que la impedancia de fuente se parezca a R_{SNFmin} mediante una red de adaptación al efecto) o adaptar para máxima transferencia de potencia (forzar a que la impedancia de entrada del transistor se parezca a R_s). Sin embargo, existen técnicas que permiten hacer que R_{SNFmin} se parezca lo más posible a R_s . Una de las técnicas usadas es la denominada degeneración inductiva, la cual consiste en introducir una inductancia en serie con el emisor tal y como se muestra en la figura 5.5. El valor de dicha inductancia viene dado por la siguiente expresión aproximada (5.2):

$$L_E = \frac{50\Omega}{2 \cdot \pi \cdot f_T} \quad (5.2)$$

Como se puede observar, cuanto mayor sea la frecuencia de corte del transistor (f_T), menor será el valor de la inductancia a utilizar y por tanto menor será la cantidad de ruido añadido al LNA por las pérdidas óhmicas asociadas a dicha inductancia. Al introducir esta inductancia hacemos que el coeficiente de reflexión para mínimo ruido sea $\Gamma_{min} = 1 + jX$, es decir, su parte real vale 50 Ω . Nos ayudaremos del factor de calidad de la bobina (Q) para que esto sea cierto dentro del rango de frecuencias deseado.

Seguidamente se expone la red de adaptación de banda ancha propuesta, esta se muestra en la figura 5.5 formada por el condensador C_B , y L_B . Con ella lograremos que la parte imaginaria de Γ_{min} sea aproximadamente 0 en el rango de frecuencias de interés.

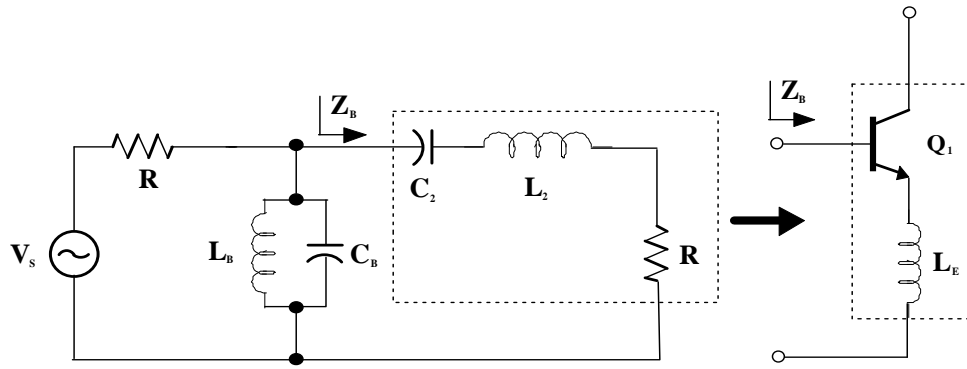


Figura 5.5 Adaptación de entrada híbrida.

Usando esta red híbrida entre filtrado de banda ancha y degeneración inductiva logramos adaptar tanto para mínimo ruido como para máxima transferencia de potencia. Este filtro no es más que un filtro de cuarto orden paso banda, que al estar separadas la frecuencia de corte inferior de la frecuencia de corte superior, se puede considerar como dos filtros de segundo orden con los cuales se ajusta la frecuencia de corte inferior y la frecuencia de corte superior.

Así tenemos un filtro en configuración paso alto (*high-pass*) para la frecuencia de corte inferior (ω_L), y un filtro en configuración paso bajo (*low-pass*) para la frecuencia de corte superior (ω_u), como se muestra en las siguientes expresiones (5.3):

$$\text{High-pass} \begin{cases} L_B = \frac{1}{\omega_L} \\ C_x = \frac{1}{\omega_L \cdot R} \end{cases} \quad (5.3)$$

$$\text{Low-pass} \begin{cases} L_E = \frac{R}{\omega_u} \\ C_B = \frac{1}{\omega_u \cdot R} \end{cases}$$

Aplicando estas ecuaciones en nuestro circuito, los valores de los componentes serán (5.4):

$$\begin{array}{l}
 \textit{High-pass} \\
 \left. \begin{array}{l}
 L_B = 39,8 \text{ nH} \\
 C_\pi = 7,96 \text{ pF}
 \end{array} \right\}
 \end{array}
 \tag{5.4}$$

$$\begin{array}{l}
 \textit{Low-pass} \\
 \left. \begin{array}{l}
 L_E = 8,84 \text{ nH} \\
 C_B = 3,53 \text{ pF}
 \end{array} \right\}
 \end{array}$$

Estudiando los resultados obtenidos llegamos a la conclusión de que con nuestra tecnología no somos capaces de implementar bobinas con estos valores, aparte de que una bobina con un valor de 40 nH necesitaría un espacio demasiado grande, lo cual sería nefasto para el diseño ya que buscamos la mínima cantidad de componentes y el tamaño más reducido posible. Por lo tanto en este momento tomamos la decisión de cambiar a otra estructura que nos ofrezca más garantías.

La estructura que vamos a estudiar a continuación es una configuración realimentada con ganancia variable con la que esperamos resolver los problemas que nos han surgido en la estructura anterior. Además, con este nuevo diseño queremos mejorar el rendimiento del circuito usando menos componentes y una etapa de ganancia variable.

5.2 LNA cascode realimentado de banda ancha

Para este diseño hemos usado una estructura de realimentación resistiva añadiéndole una etapa cascode que nos dará la posibilidad de regular la ganancia con una tensión externa (figura 5.6). Con esta nueva estructura se intenta solucionar los problemas que hemos tenido hasta el momento, para así intentar sacar el máximo rendimiento al amplificador en toda la banda de frecuencias y conseguir una figura de ruido pequeña. Otra característica a resaltar es la poca cantidad de componentes que usa, consiguiendo un diseño de tamaño muy reducido.

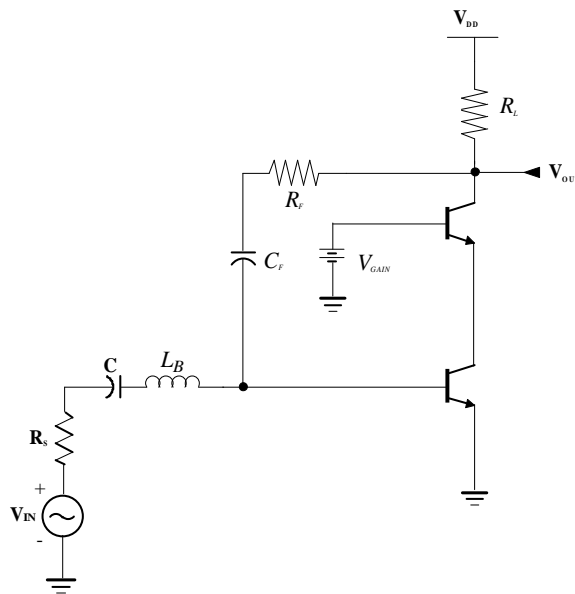


Figura 5.6 LNA realimentado.

Como hicimos anteriormente, una vez seleccionada la topología pasamos a seguir los pasos que nos ayudarán a calcular los componentes del circuito:

1. Configuración de la polarización del LNA.
2. Adaptación de entrada y de salida.
3. Verificación y optimización de resultados.

5.2.1 Configuración de la polarización del LNA

La idea continua siendo la misma, conseguir una pequeña figura de ruido e intentar obtener la mayor ganancia posible y el menor consumo. Para ello vamos a poner en práctica los conocimientos de la tecnología y del software ADS (*Advanced Design System*) que obtuvimos en el anterior intento.

Lo primero que vamos a calcular va a ser la corriente y tamaño de los transistores del circuito. Debemos tener en cuenta la idea principal y por tanto, los valores que elegiremos serán los que obtengan la mínima NF y la máxima ganancia. Para conseguir esto, usaremos la misma técnica que en caso anterior basada en obtener la relación NF vs I_{BIAS} , y a partir de ella, obtener la densidad de corriente (I_{OPT}) que nos de la NF menor posible. Para este estudio usaremos el esquema de la figura 5.7, el cual nos dará la corriente de polarización óptima para mínima NF, que podremos apreciar en la figura 5.8.

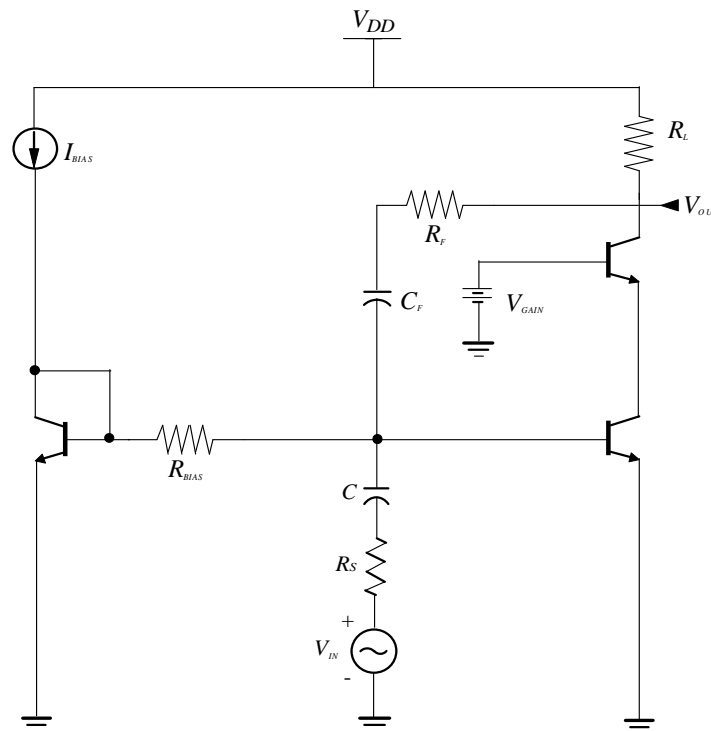


Figura 5.7 LNA realimentado.

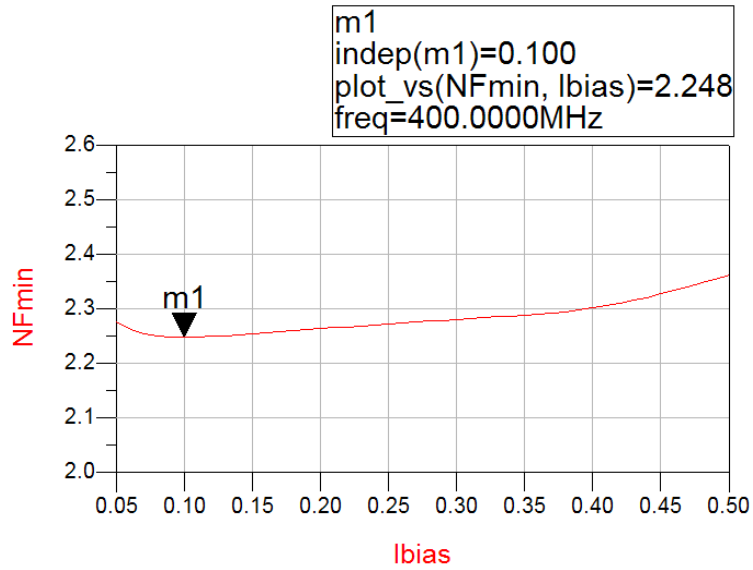


Figura 5.8 NFmin frente a Ibias.

Una vez obtenido el valor de la corriente, que como apreciamos en la figura es de 0.1 mA, pasamos a calcular la densidad de corriente. Sabiendo que la otra variable de la ecuación es el área de los transistores, el cual tiene un valor de $10 \mu\text{m}^2$, esta quedará de la siguiente manera:

$$I_{OPT} = \frac{0,1\text{mA}}{10\mu\text{m}^2} = 0,01\text{mA} / \mu\text{m}^2 \quad (5.5)$$

El resto de componentes influye en las adaptaciones del circuito, por lo que se explicarán en el siguiente apartado.

5.2.2 Adaptación de entrada y salida

En este apartado vamos a calcular las adaptaciones del circuito. Para ello, lo primero que haremos es calcular las ecuaciones donde se representan las impedancias de salida y de entrada y la ganancia (5.6).

$$Z_{OUT} = \frac{R_F}{1 + \frac{R_{BIAS} \parallel R_F \parallel \beta r'_e}{r'_e}}$$

$$Z_{IN} = \frac{R_F + R_L}{\frac{R_L}{r'_e}} \quad (5.6)$$

$$A_v = \frac{-\frac{R_L}{r'_e}}{1 + \frac{R_L}{R_F}}$$

El valor de $r'_e = \frac{1}{g_m}$ viene impuesto por la corriente de polarización, la cual, tal y como vimos en el apartado anterior, se define en función de conseguir la menor NF posible. Por tanto, nos queda por definir las resistencias R_L y R_F . Para ello tenemos varias opciones.

Una primera opción sería la de fijar una ganancia de tensión dando valor a una resistencia y calculando el resto de componentes para después con estos resultados calcular las adaptaciones. Si no se consiguen buenos resultados en todos los parámetros tendríamos que redefinir los componentes bajando el valor de la ganancia.

Una segunda opción y con la que comenzaremos el estudio será la de fijar los valores de las resistencias para adaptar las impedancias tanto de entrada como de salida

dejando de lado momentáneamente la ganancia de tensión. Una vez halladas las adaptaciones, usaremos el valor de los componentes para hallar la ganancia de tensión.

5.2.3 Etapa de polarización

Una vez comentada la opción elegida para el cálculo de las adaptaciones, pasaremos a obtener los resultados de los componentes. Como habíamos dicho en el apartado anterior, para calcular las adaptaciones y a su vez las resistencias que polarizan el circuito lo primero que haremos es fijar el valor de una resistencia, en este caso la R_L para usarla en la fórmula de la Z_{IN} . Sabiendo que el valor de la impedancia que buscamos es de 50 ohmios y conociendo la corriente del circuito, la única variable que nos quedaría por hallar es la R_F . Para obtener este valor nos ayudaremos de la carta de Smith en el programa *ADS* haciendo barridos de la variable, para de esta forma ajustar lo más posible la Z_{IN} . Una vez consigamos ajustar lo mejor posible la impedancia de entrada, fijaremos el valor de la R_F para usarlo en esta ocasión con la Z_{OUT} .

Para el cálculo de la Z_{OUT} seguiremos los mismos pasos que para la Z_{IN} . En este caso tenemos los valores de dos variables de la fórmula, R_F y R_L . Sabiendo que la Z_{OUT} que buscamos es de 50 ohmios sólo nos quedaría por conocer el valor de la R_{BIAS} , variable que no afecta a la adaptación de entrada ya calculada si su valor es suficientemente mayor que 50 ohmios. Para calcular R_{BIAS} volvemos a hacer uso de la carta de Smith en el *ADS* haciendo un barrido de la variable, buscando de esta forma que el valor de la impedancia de salida se acerque lo más posible a los 50 ohmios.

Una vez calculados todos los componentes del circuito, en el siguiente apartado pasamos a conocer sus valores y a verificar que los resultados son óptimos para el diseño.

5.2.4 Verificación y optimización de resultados

Como vimos en el capítulo 3, la ecuación que define el factor de ruido (ecuación 5.7) del circuito viene influenciada por la resistencia R_F . En las siguientes gráficas vemos como varían los parámetros más importantes del diseño al hacer un barrido en esta variable.

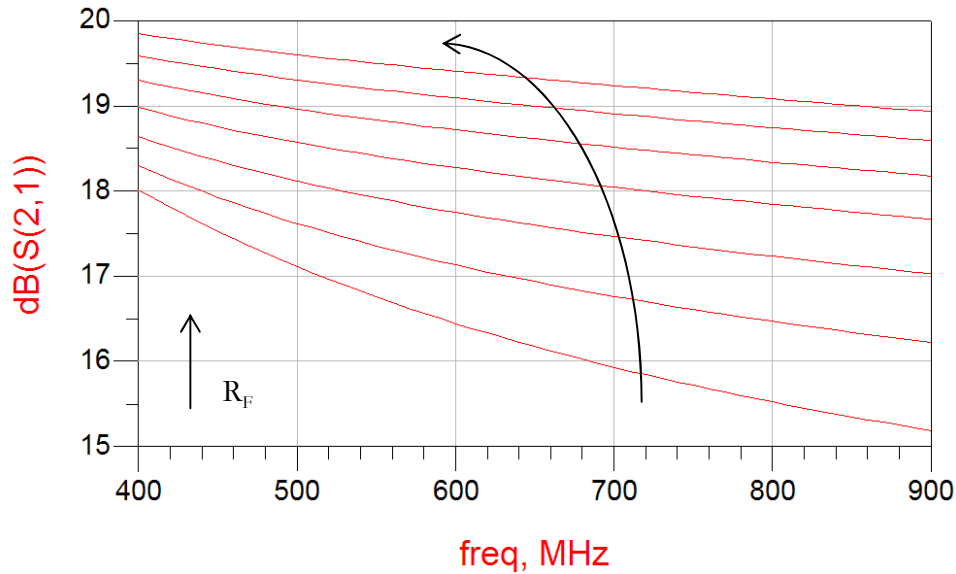


Figura 5.10 Ganancia de tensión haciendo un barrido a R_F .

Como mencionamos al principio de este apartado, la variable R_F afecta directamente a la figura de ruido del circuito. Al encontrarse la variable en el denominador de la ecuación, cuanto mayor sea su valor menor será el factor de ruido del circuito. Dicha reacción que toma el circuito se muestra en la figura 5.11.

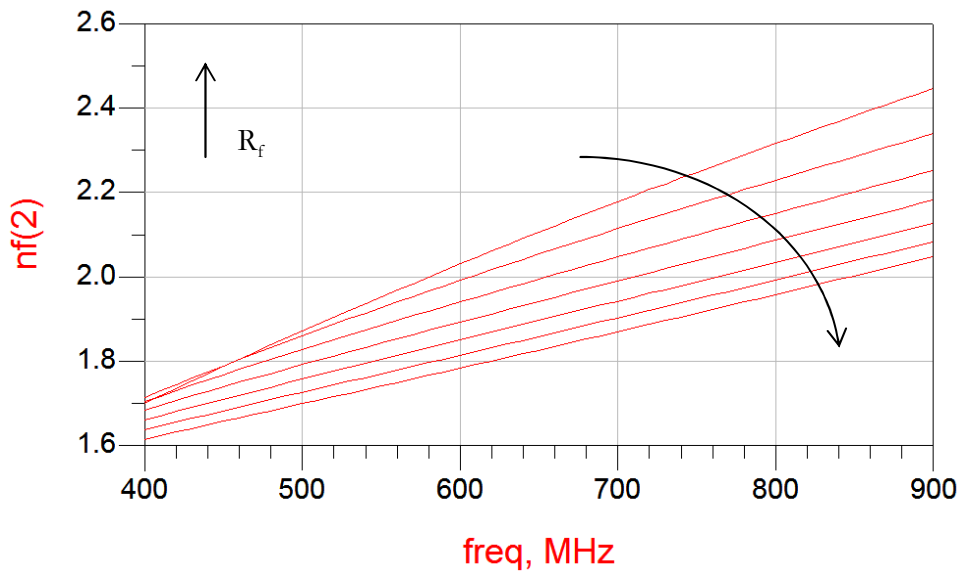


Figura 5.11 Figura de ruido, haciendo un barrido a R_F .

Una vez acabado el estudio anterior obtenemos los valores de los componentes de forma que se tenga un buen compromiso en todos los parámetros del circuito. A continuación verificaremos los resultados obtenidos después de seguir los pasos del

apartado anterior. Como ya comentamos, para el cálculo de las impedancias utilizamos la carta de Smith. Así, en la figura 5.12 podemos ver representados los resultados obtenidos.

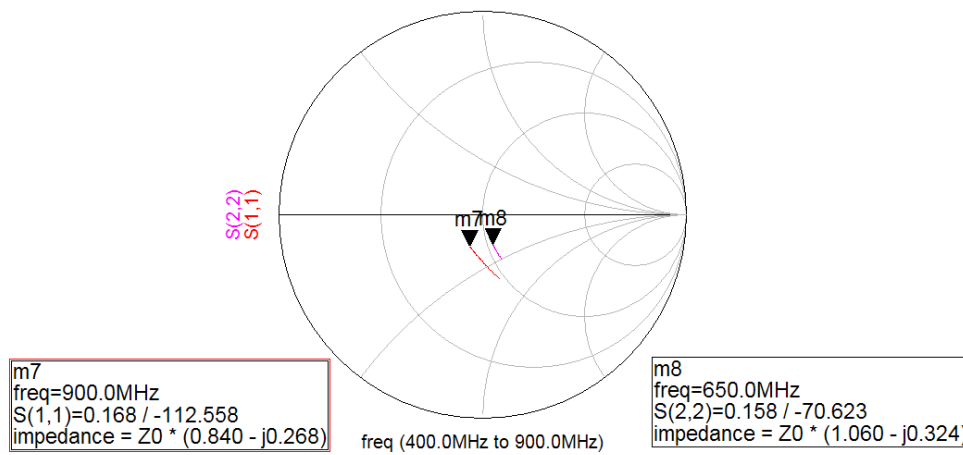


Figura 5.12 Adaptaciones de entrada y salida en la carta de Smith.

Seguidamente pasamos a ver los valores de los componentes que hemos calculado para la obtención de las impedancias.

$$\text{Valor de los componentes} \left\{ \begin{array}{l} R_L = 300 \, \Omega \\ R_{\text{BIAS}} = 300 \, \Omega \\ R_F = 600 \, \Omega \end{array} \right. \quad (5.8)$$

Después de haber ajustado los valores de los componentes para adaptar las impedancias tanto de entrada como de salida, nos quedará verificar que el circuito proporciona buenos resultados y, para ello, nos falta conseguir una buena ganancia y linealidad.

En la siguiente gráfica veremos representada la ganancia del circuito final (figura 5.13), dato imprescindible dado que si el valor no es apto tendríamos que volver a ajustar todos los componentes o bien calcular las impedancias de otra forma.

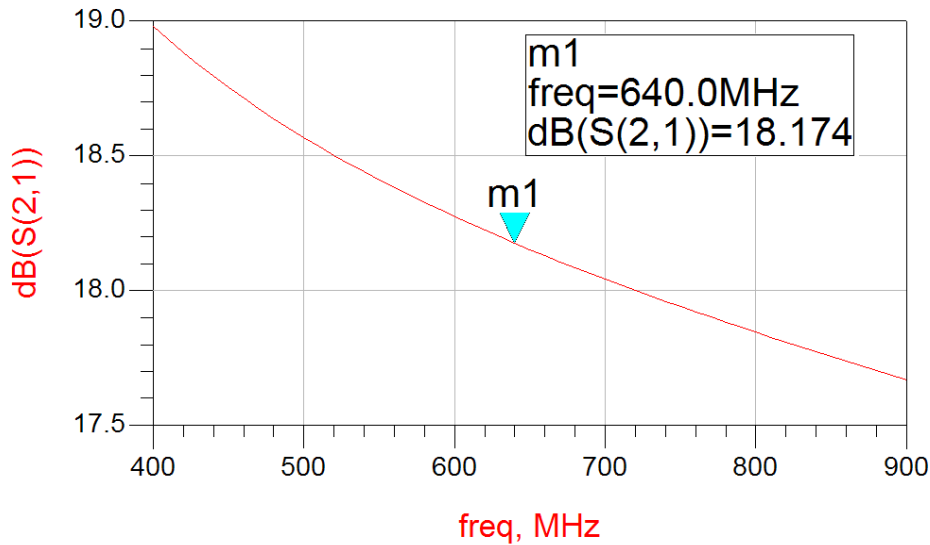


Figura 5.13 Ganancia en función de la frecuencia de trabajo del circuito.

El resultado de la ganancia obtenida se consigue con una tensión V_{GAIN} determinada. En el siguiente subapartado se explica el procedimiento para la elección de la tensión V_{GAIN} más adecuada.

5.2.5 Variación de la ganancia con V_{GAIN}

Para el cálculo de la ganancia se ha hecho un estudio haciendo un barrido a la tensión V_{GAIN} mientras se representa la ganancia de tensión del circuito. El barrido se ha hecho variando la V_{GAIN} de 1 a 3 voltios y el resultado obtenido (figura 5.14) es un efecto rebote en el que el valor máximo de ganancia lo obtenemos entregando 2 voltios por V_{GAIN} . Por ello, hemos llegado a la conclusión de que el valor óptimo para V_{GAIN} son 2 voltios. Con este valor el circuito genera la mejor relación de ganancia llegando esta a más de 17 dB en toda la banda de frecuencia como se pudo ver en la (figura 5.13). No obstante, este circuito nos ofrece la posibilidad de usar la tensión exterior V_{GAIN} para variar la ganancia del circuito, y de esta forma usar la que más nos convenga.

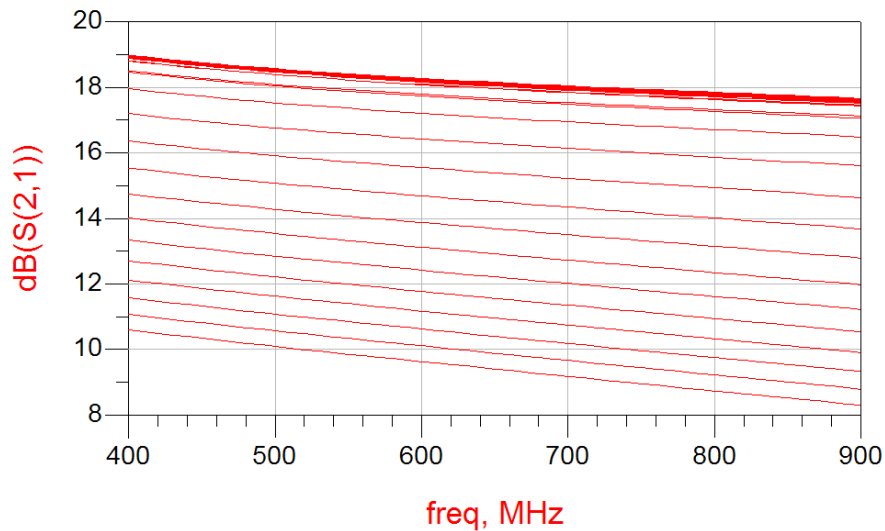


Figura 5.14 Resultado de la ganancia variando la V_{GAIN} .

5.2.6 Análisis de la linealidad

Para medir la linealidad se puede utilizar el IP3 del mismo. El método más empleado para medir el punto de intermodulación de tercer orden (IP3) consiste en aplicar a la entrada de nuestro circuito no lineal dos tonos sinusoidales de idéntica amplitud y distintas frecuencias, f_1 y f_2 . La salida de nuestro circuito presentará componentes de intermodulación, no armónicas de las frecuencias introducidas. Mediremos a la salida las potencias de los tonos introducidos, f_1 y f_2 , así como las de los productos de intermodulación de tercer orden, $2f_2-f_1$ y $2f_1-f_2$, por ser los más cercanos al ancho de banda de utilización del amplificador (ver figura 5.15).

Los productos de tercer orden, al igual que todas las demás señales, excluyendo los tonos presentes en las frecuencias f_1 y f_2 , constituyen la distorsión del circuito y surgen como consecuencia de comportamiento no lineal del amplificador.

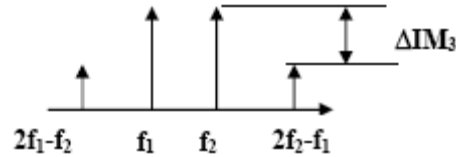


Figura 5.15 Ejemplo tanto de los tonos introducidos como los de intermodulación.

El IP3 representa la potencia de entrada a la cual la potencia de salida de los tonos fundamentales y de los productos de intermodulación es igual. Este dato tiene importancia, por ejemplo, cuando estamos trabajando con anchos de banda limitados ya que la potencia de esos productos de intermodulación puede afectar a la señal de un canal adyacente y degradar la información.

Para efectuar estas medidas escogeremos un espaciado entre tonos de 100kHz. Por lo tanto un generador generará un tono a $f_1 = 666$ MHz y el otro un tono a $f_2 = 666.100$ kHz. Variaremos las potencias de estos tonos (mismo valor en ambas entradas) y para cada potencia de entrada observaremos la potencia de los tonos fundamentales y de los productos de intermodulación.

Representaremos en una gráfica la potencia de salida P_{OUT} frente a P_{IN} del tono fundamental y del producto de intermodulación (2 series). Tras esto trazaremos una recta de pendiente 1dB que mejor se ajuste a los puntos obtenidos para el tono principal y otra de pendiente 3dB que mejor se ajuste a los puntos obtenidos para el producto de intermodulación. El punto de corte de estas dos rectas nos dará el IP3 de nuestro LNA a esa frecuencia. Una vez explicado, vemos los resultados en la gráfica 5.16.

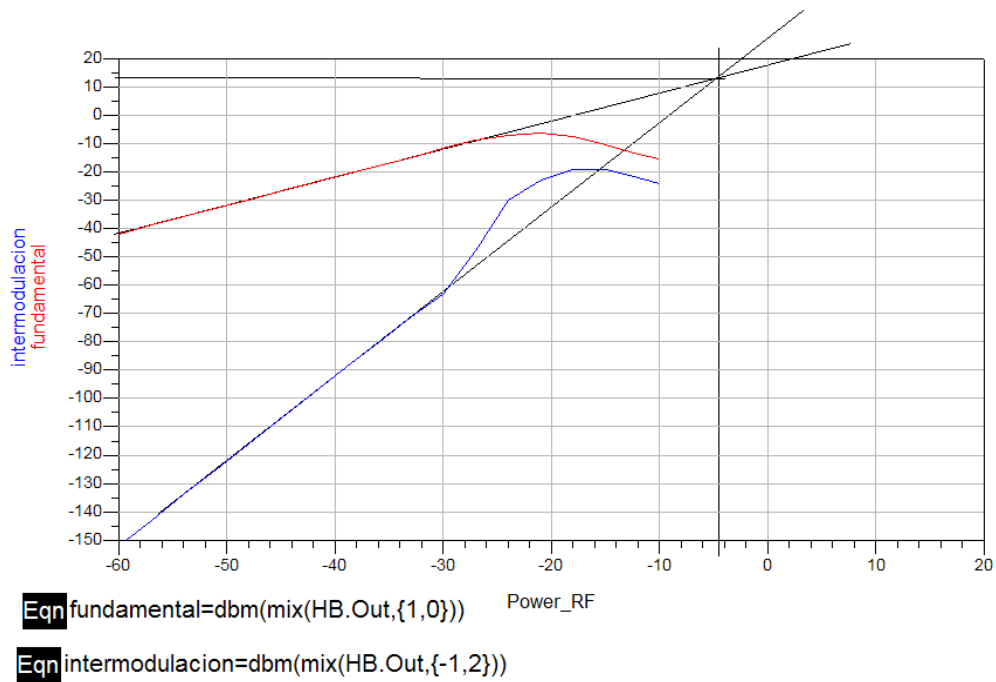


Figura 5.16 Gráfica del IIP3 y OIP3.

De la gráfica podemos sacar dos resultados del punto en el que cortan las dos rectas. El IIP3 que lo sacaremos de prolongar con una línea recta desde ese punto hasta el eje horizontal, y el OIP3 que lo obtendremos haciendo lo mismo pero en este caso en vez de prolongar la recta hacia el eje horizontal lo haremos hacia el vertical. Los valores obtenidos son -5 dBm para el IIP3 y 14 dBm para el OIP3.

5.3 Resultados obtenidos

En este apartado pasaremos a ver algunas gráficas más que muestran resultados que se han obtenido a lo largo de la creación del diseño.

En primer lugar vemos en la gráfica 5.17 las adaptaciones de entrada y salida que anteriormente habíamos visto en cartas de Smith.

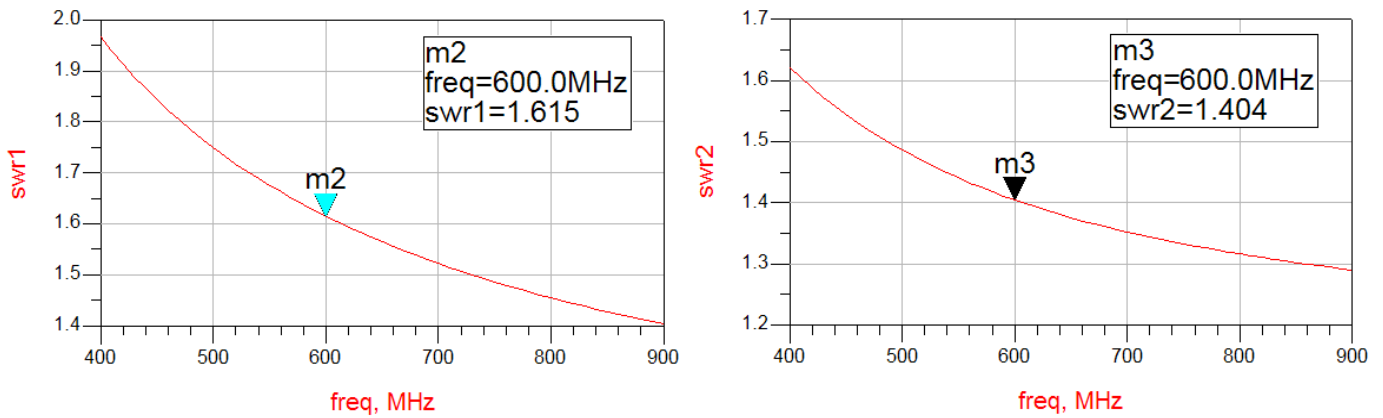


Figura 5.17 Representación de las adaptaciones de entrada y salida en su coeficiente estacionario.

En la figura 5.18 vemos la grafica de la figura de ruido. En principio se pedía que este valor estuviera aproximadamente en 2.5 dB. En la gráfica se puede ver como se ha conseguido este objetivo teniendo como valor máximo 2.2 dB y mínimo 1.7 dB en la banda de interés.

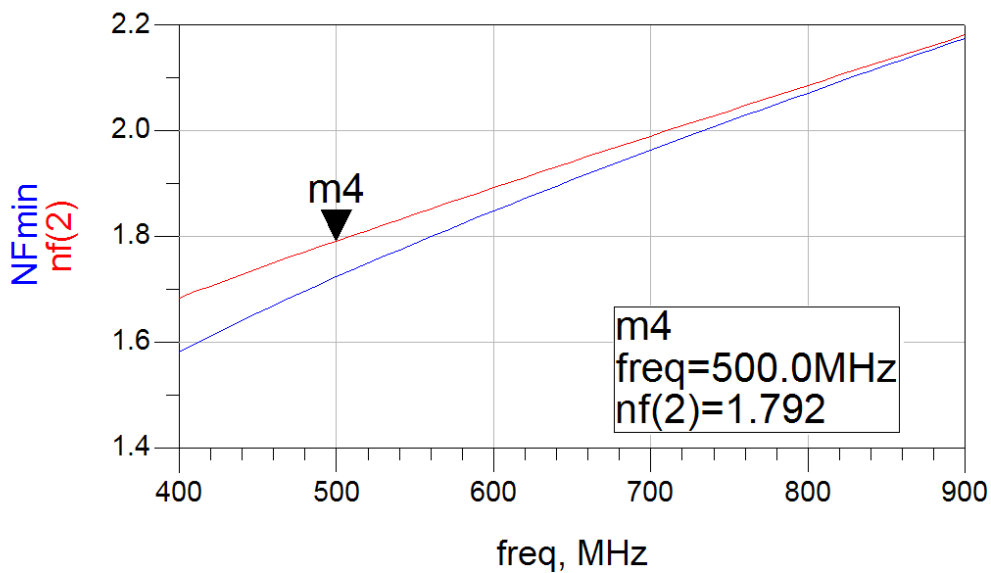


Figura 5.18 Figura de ruido.

5.4 Resumen

En este capítulo se ha realizado el diseño en esquemático del LNA. Para ello se han realizado todas las simulaciones pertinentes variando cada uno de los parámetros de los componentes utilizados. A la hora de hacer las simulaciones nos hemos apoyado en la teoría básica de diseño de circuitos integrados para radiofrecuencia así como en el estudio teórico que se ha realizado del circuito en los capítulos anteriores.

Por último, después de haber finalizado el diseño en esquemático y comprobados los resultados en las figuras mostradas, acabaremos el apartado resumiendo los resultados obtenidos tras las simulaciones del diseño esquemático a una frecuencia media de 666MHz.

Tabla 5.1 Resultados del diseño a una frecuencia de 666 MHz

Frecuencia de trabajo (MHz)	De 470 a 862
Consumo (mW)	14
Ganancia de potencia (dB)	18.2
Figura de ruido (dB)	1.9
IIP3 (dBm)	-5
OIP3 (dBm)	14
Impedancia de entrada (Ω)	50
Impedancia de salida (Ω)	50

En el siguiente capítulo pasaremos a hacer el diseño a nivel de *layout* con la herramienta de diseño *Cadence*. Para ello nos basaremos en los resultados obtenidos en este capítulo, además de la información del capítulo 4 en la que se explica la tecnología empleada.

Capítulo 6

Diseño a nivel de *Layout*

En el último capítulo hemos visto como se creaba el diseño de nuestro LNA, primero errando con un circuito, pero corrigiéndolo con otro que a priori ofrece mejoras. Con estas rectificaciones hemos ido adquiriendo más conocimientos sobre el diseño, teniendo más claro lo que hay que hacer para llegar a los resultados finales y para la mejora del mismo. Todo esto ayuda para la realización de este capítulo, el diseño del *layout*.

Lo que veremos en este capítulo es el diseño a nivel de *layout* y las simulaciones *post-layout*.

Cuando hablo de *layout*, me estoy refiriendo a definir los planos de fabricación del circuito integrado. Para desarrollarlo se han utilizado los resultados obtenidos en el capítulo anterior, la tecnología con sus reglas de diseño y la herramienta de diseño *CADENCE*.

6.1 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc.

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común V_{DD} o tierra.
- El sustrato debe estar conectado a tierra.
- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos.

Otro de los aspectos importantes es el referido al consumo de potencia del circuito. Éstos toman especial relevancia en el dimensionado de las pistas de interconexión de los componentes. Así, hemos de saber qué cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo. Para asegurarnos de que no se destruya ninguna parte del circuito, se han sobredimensionado las anchuras mínimas. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas.

6.2 *Layout* del LNA

Después de conocer las condiciones mínimas que debemos tener en cuenta para crear un diseño a nivel de *layout* con el programa *CADENCE*, pasamos a crear el diseño que hemos estudiado en el capítulo anterior. Los componentes los sacaremos de diferentes librerías que tenemos a nuestra disposición. En algunas ocasiones, la tecnología que tenemos no recoge todos los valores posibles y nos vemos en la obligación de buscar soluciones a posibles problemas que puedan surgir. En nuestro caso se ha querido colocar una resistencia de un valor demasiado pequeño y no era viable, por lo que se ha tenido que colocar resistencias de mayor valor en paralelo para llegar al valor deseado. Una vez tengamos todos los componentes controlados, pasamos al estudio de su colocación. Para ello lo que se busca es ocupar el menor espacio, orientar bien las conexiones para alimentaciones, entradas y salidas, usar la menor cantidad de pistas posibles, etc. Después de haber seguido todas las reglas y pasos que hemos comentado, vemos el resultado de nuestro diseño en la figura 6.1. Finalmente el diseño ocupa un área de $0.75 \times 0.6 \text{ mm}^2$ incluyendo los *pads* de medida. Se puede apreciar la disposición de los distintos componentes, destacando la bobina dado que es el componente de mayor tamaño con diferencia.

Con objetivo de flexibilizar el diseño y poder hacer pruebas con diferentes polarizaciones del transistor de entrada, el esquema de polarización original basado en espejo de corriente ha sido modificado por otra basada en polarización directa mediante un *bias-T*. Este método de polarización se verá con más detalle en el capítulo 7 dedicado a las medidas.

Una vez acabado el diseño, colocamos contactos a tierra en todos los espacios que podamos, excepto dentro de la bobina. Esto lo hacemos para evitar que las corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

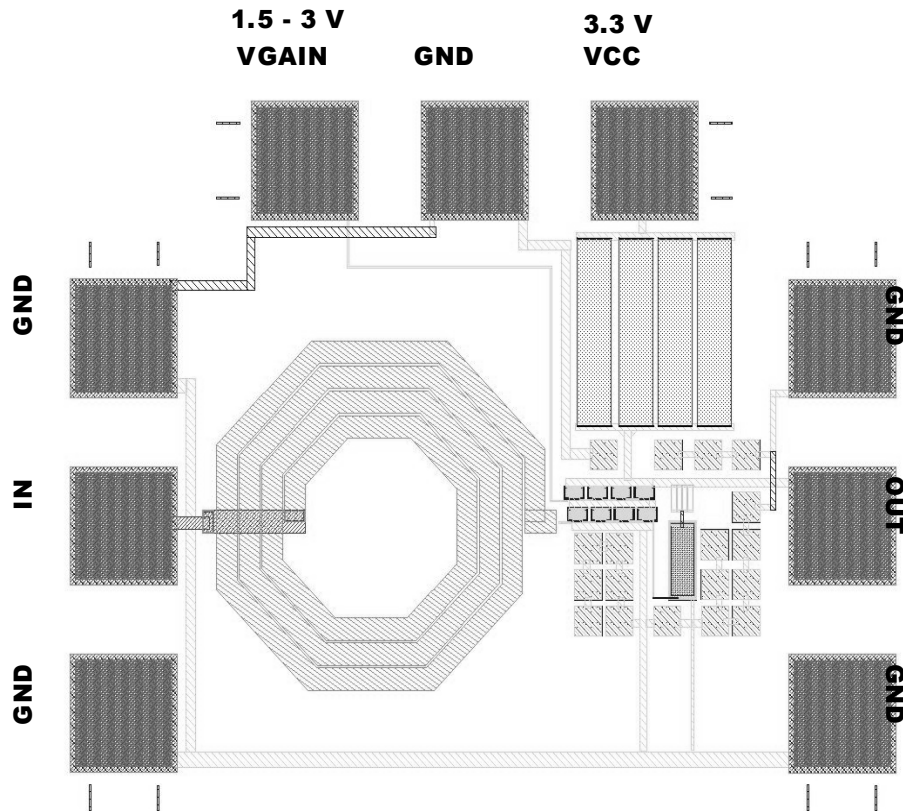


Figura 6.1 Layout del LNA.

Usamos dos tipos de terminales, el denominado *Ground-Signal-Ground* (GSG) y el *Signal-Ground-Signal* (SGS). Para introducir la señal de RF (IN) utilizamos un GSG al igual que para la salida (OUT). Para la alimentación del circuito utilizamos un terminal del tipo SGS ya que por un lado se conecta la V_{CC} con una tensión fija de 3.3V y por otro hay que alimentar la base del transistor con la V_{GAIN} , esta última con un valor de tensión variable.

En la figura 6.2 podemos ver de forma esquemática como están colocados los transistores en el diseño. Así se puede ver con más claridad la forma seleccionada para que estos ocupen el menor espacio posible y se tenga que hacer uso de la menor cantidad de pistas de conexión.

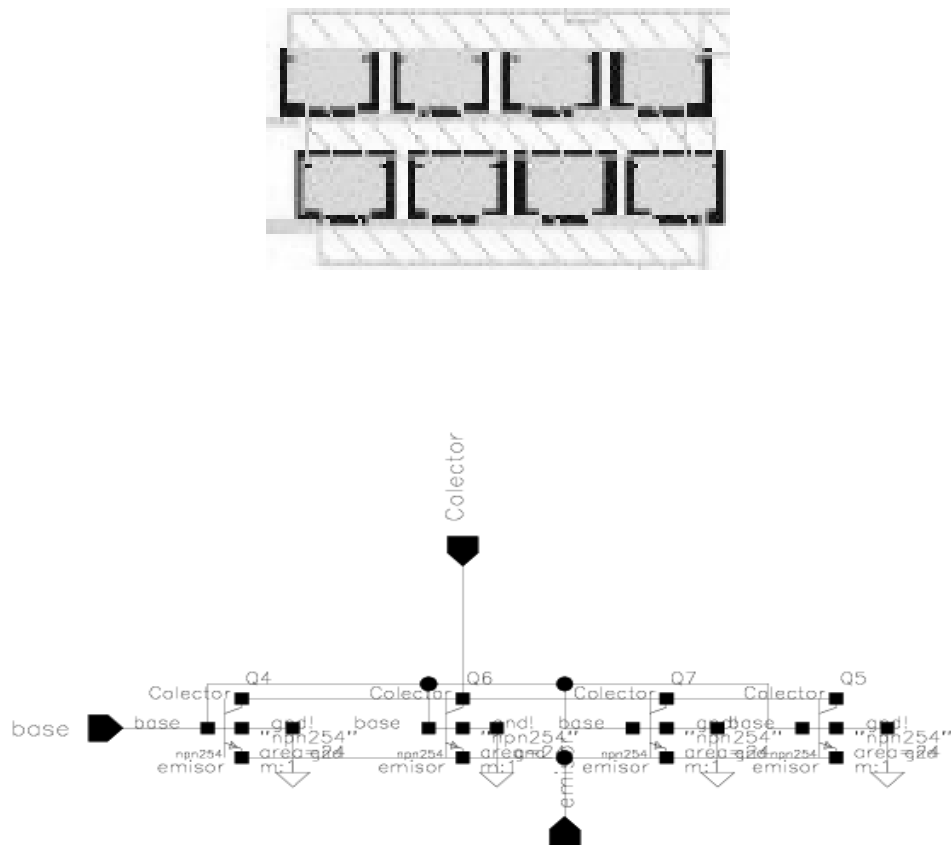


Figura 6.2 Estructura esquemática de conexión de los transistores.

6.3 Simulación *post-layout* con CADENCE

A la hora de implementar físicamente el LNA aparecen una serie de parásitos que modifican el comportamiento del circuito, lo que nos obliga a reajustar de nuevo el diseño. Para ello, se ha seguido el procedimiento visto en el capítulo anterior. En el apartado 6.4 se muestran los resultados de la ganancia del circuito, la figura de ruido, la adaptación a la entrada y a la salida, y la linealidad después de realizar este ajuste. Se pueden apreciar tres tipos de simulaciones: esquemático (ver capítulo anterior), *typical case layout*, y *worst case layout*. Dichas simulaciones fueron realizadas con el software de extracción de parásitos *ASSURA* [17]. El realizar las simulaciones *post-layout* con los modelos *typical case* y *worst case* nos permite asegurar el correcto funcionamiento del diseño ante posibles fluctuaciones que se puedan producir en la fabricación. Esto se debe a que la fundidora posee la

parametrización de dichas variaciones mediante ecuaciones matemáticas, las cuales se incluyen en los modelos comentados.

Las simulaciones *typical case* se refieren a los modelos de los transistores que suministra la tecnología en los que su rendimiento se encuentra dentro de la media. Por otro lado, las simulaciones *worst case* se refieren a las desviaciones máximas que se producen en el proceso de fabricación de los transistores. Este tipo de simulación es vital para predecir el funcionamiento del circuito una vez fabricado.

Una vez explicadas las diferentes funciones que nos suministra el *CADENCE* para visualizar los resultados del diseño, pasamos a utilizarlos en nuestro trabajo.

Después del estudio que hemos hecho de la ganancia, se ve representado en la figura 6.3 los resultados de la misma cuando el circuito da su mejor rendimiento.

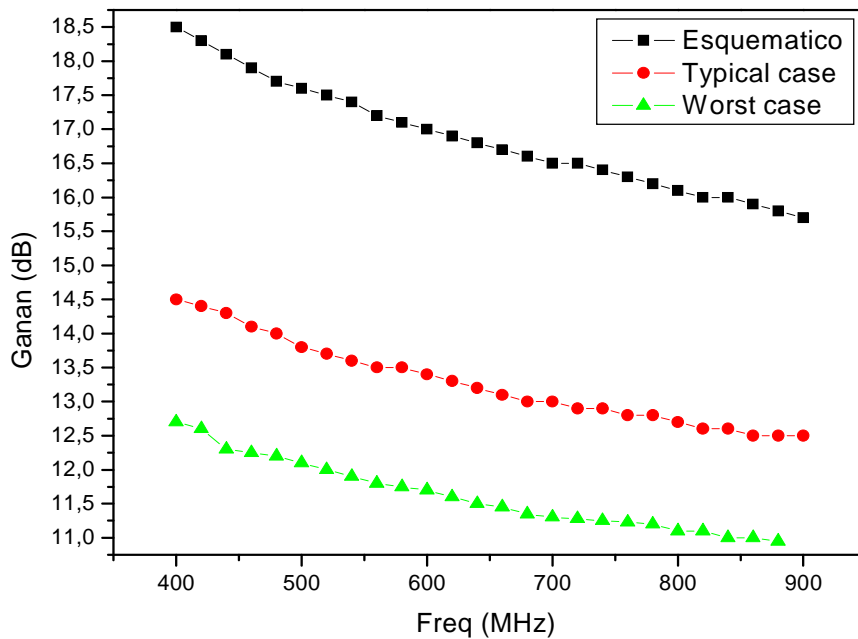


Figura 6.3 Comparativa de ganancia.

Como podemos ver en la figura, en el peor caso la ganancia se encuentra entre los 11 y los 12.5 dB. La diferencia entre el peor resultado y el mejor, no varía más de 5.5 dB lo cual representa que los componentes parásitos no le afectan en gran medida y que el circuito nos da ciertas garantías.

El aislamiento entre la salida y la entrada del circuito se muestra en la figura 6.4. Se puede observar que las curvas del *Typical case* y *Worst case* coinciden prácticamente y que a su vez estas tienen una pequeña diferencia de -2 con la simulación del esquemático

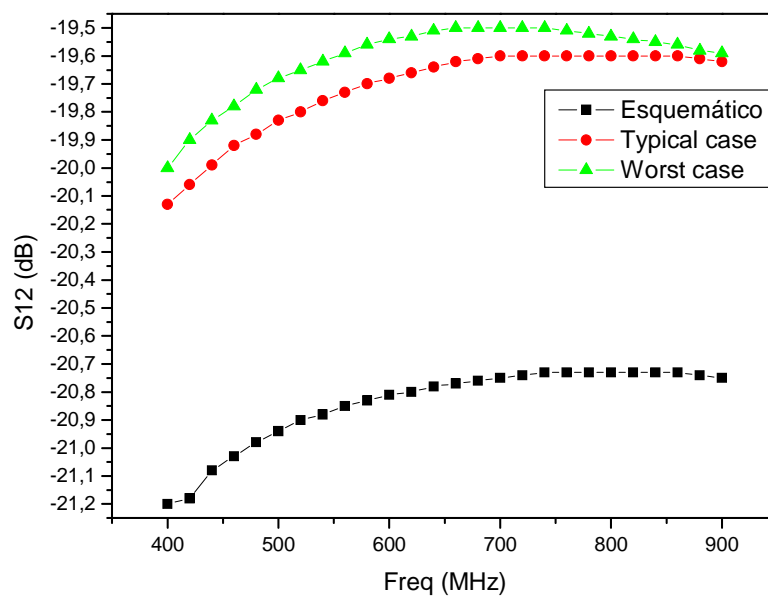


Figura 6.4 Comparativa del aislamiento.

La gráfica de la figura 6.5 representa uno de los datos más importantes del diseño, la figura de ruido. Desde el comienzo de este proyecto se ha buscado un circuito en el que la figura de ruido sea baja. Se puso como referencia que estuviese por debajo de 2.5 dB y en la gráfica podemos ver como los resultados obtenidos corresponden a esa referencia. Tan solo en el peor de los casos y a frecuencias en el extremo superior de la banda de trabajo es superado ese valor, dato que nos da muy buenas expectativas.

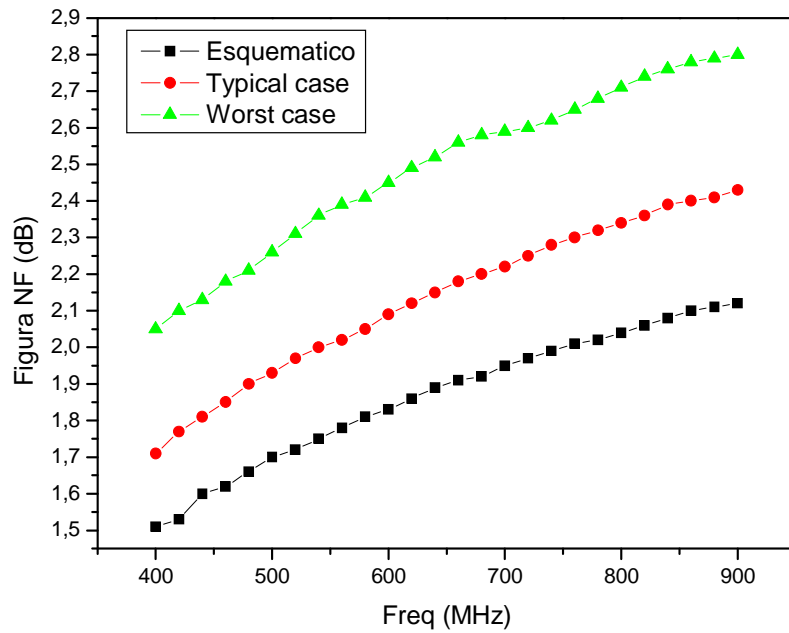
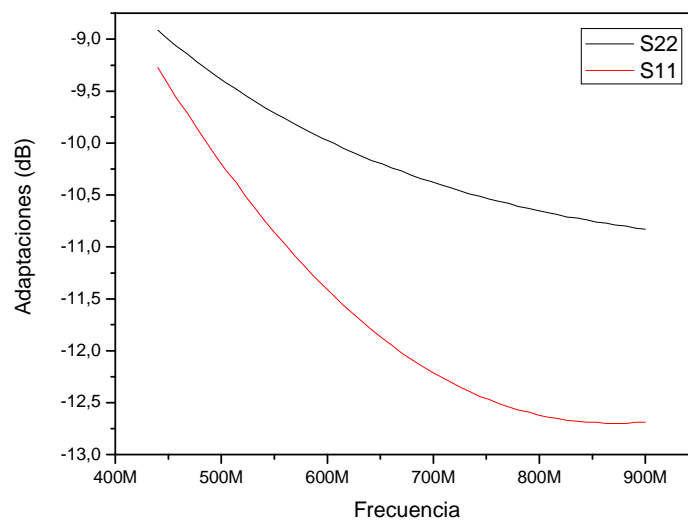
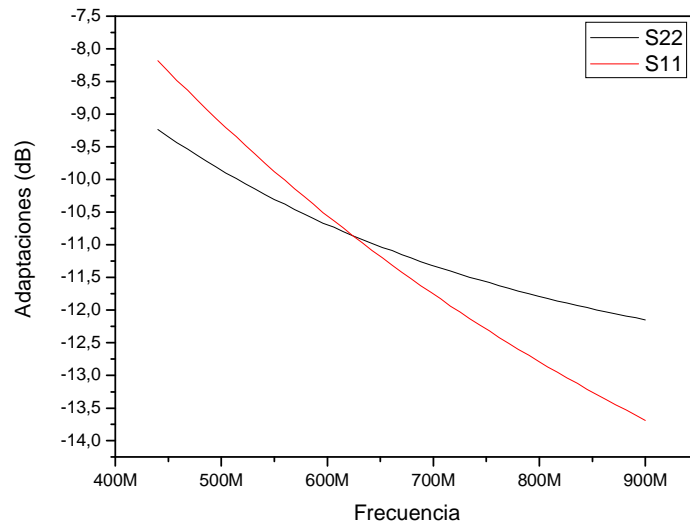


Figura 6.5 Comparativa de la figura de ruido.

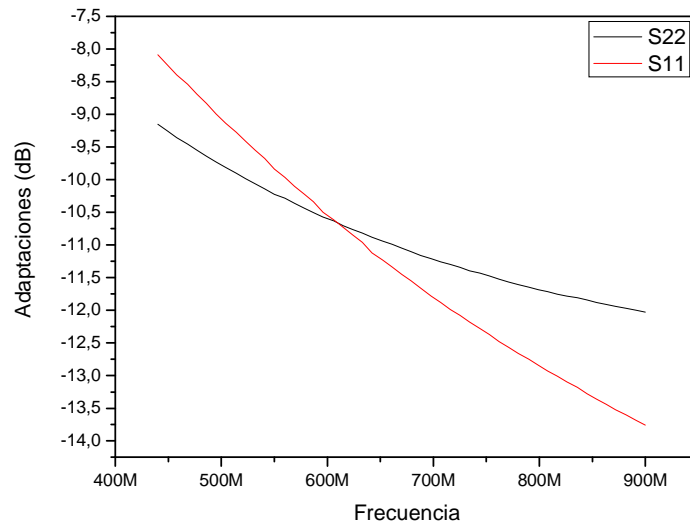
Como último dato, pasamos a conocer las adaptaciones de entrada y salida. Para ello hemos representado los parámetros S_{11} y S_{22} para los tres casos: esquemático, *typical case* y *worst case* (ver figura 6.6). Vemos que en todos los casos los valores obtenidos son óptimos siendo inferiores a -10 dB para la mayor parte del rango frecuencia del estándar DVB-H.



a) Esquemático



b) Typical case



c) Worst case

Figura 6.6 Adaptaciones de entrada y salida representadas en dB.

6.4 Resumen

A modo de resumen de lo que veremos en los siguientes apartados podemos decir que considerando el peor caso, el circuito presenta un ganancia de 10.7 dB a 900 MHz, siendo la ganancia superior a 1 dB desde 400 MHz a 3 GHz. La adaptación de entrada y de salida da buenos resultados como se puede ver en la carta de Smith, y la figura de ruido, que no supera los 2.8 dB en el peor de los casos dentro de la frecuencia de trabajo, este resultado se corresponde a las exigencias que presentábamos al comienzo de este trabajo.

Hemos visto, gracias a las herramientas del *CADENCE*, los resultados que ofrece el diseño y después de hacer el estudio se llega a la conclusión de que está preparado para mandar a fabricar. Una vez fabricado mediremos los resultados finales, sabiendo de esta forma si se corresponden a los resultados teóricos obtenidos en este capítulo. Esto lo veremos en el próximo capítulo.

Capítulo 7

Medidas del diseño

En los capítulos anteriores hemos trabajado para conseguir crear el layout de nuestro diseño sin errores y con las mejores prestaciones posibles. Una vez hecho esto se procedió al envío del esquema generado a la *foundry* AMS para su implementación física.

En este capítulo procederemos a la evaluación del rendimiento de nuestro diseño, una vez fabricado, a través de medidas en una estación de puntas. A su vez, haremos hincapié en como hemos realizado algunas de las medidas [18] [19].

En la figura 7.1 se muestra una fotografía de nuestro circuito una vez fabricado. Como ya habíamos comentado en el capítulo anterior el circuito tiene unas medidas de 0.75 x 0.6 mm².

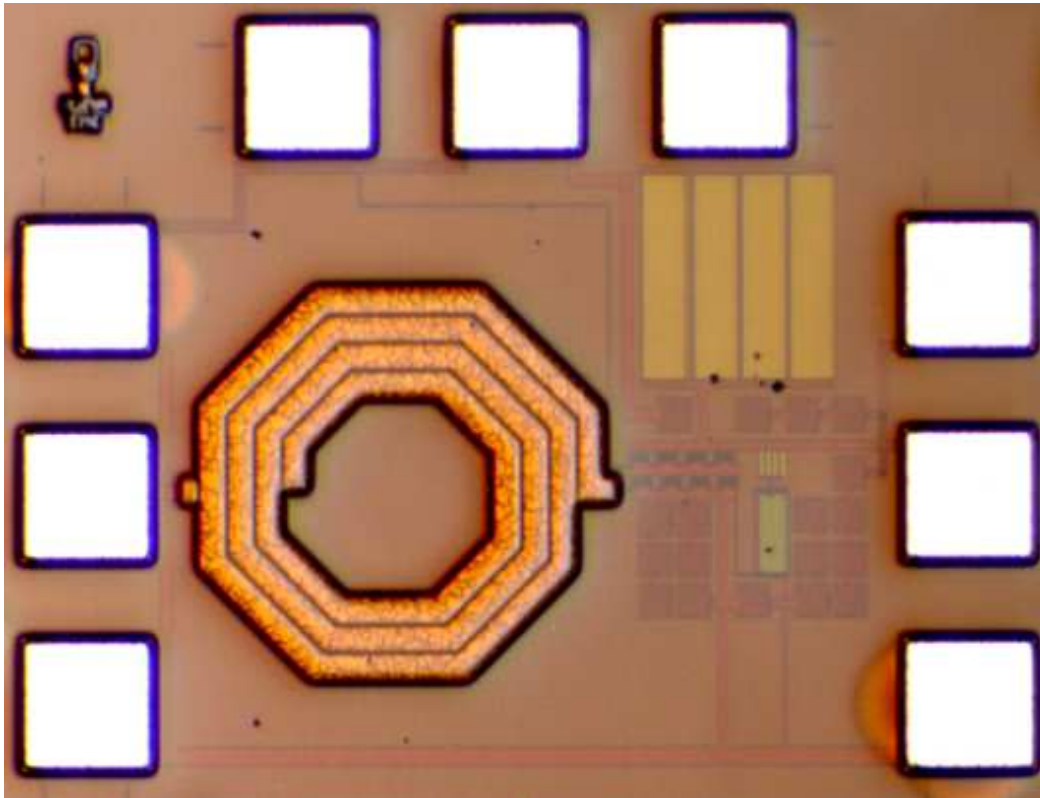


Figura 7.1 Imagen del LNA, ya fabricado.

7.1 Equipos de medidas

Para hacer las medidas correspondientes a nuestro diseño, debemos contar con un equipo mínimo y una serie de elementos vitales para tal fin. A continuación se muestra el equipo que se ha usado para llevar a cabo las medidas (suministrados por el IUMA [20]):

- 1 Fuente de alimentación *Hewlett Packard E3620A*.
- 1 Generador de ruido *Agilent 346C*.
- 1 Generador de señales *Hewlett Packard E4438C*.
- 1 Generador de señales *Hewlett Packard E8257D*
- 1 Analizador de Espectros *Hewlett Packard E4440A*.
- 1 Analizador de redes (VNA) *Hewlett Packard 8720E*.
- 1 punta de prueba SGS (*Signal-Ground-Signal*) Cascade Microtech ACP40D-W SGS-150.

- 2 puntas de prueba GSG (*Ground-Signal-Ground*) Cascade Microtech ACP40D-W GSG-150.
- DC-blocks BLK-18.
- Sustrato de Calibración Cascade Microtech P/N 101-190.
- Cables de RF *Sucoflex* 104A.
- Cables de Alimentación y adaptadores SMA-BNC.
- Codos de Interconexión.

Siempre, antes de comenzar con unas medidas lo que se debe hacer es calibrar los aparatos (VNA, Analizador de Espectros,...). De esta forma sabemos las pérdidas que nos va a ocasionar cada dispositivo y las podremos contrarrestar. Para ello usamos el Sustrato de Calibración. Durante este proceso se utilizan tres tipos de sustrato: *load* (carga de 50 Ω), *short* (abierto) y *thru* (corto). Esto nos permitirá caracterizar la respuesta del *set-up* de medidas, y diferenciarla de la medida real.

7.2 Medida de los parámetros S

7.2.1 *Set-up* de medida de los parámetros S

Después de la calibración lo primero que vamos a medir son los parámetros S. Para ello, es necesario establecer el plano de referencia a la entrada de nuestro circuito, es decir, se necesita eliminar o sustraer de la medida el efecto de todos aquellos errores sistemáticos como pueden ser las pérdidas en cables, conectores, etc. Mediante el proceso de calibración se suministra al VNA toda la información necesaria para que después pueda retirar de la medida del circuito los efectos debidos a los errores sistemáticos mencionados. De esta manera se obtienen los parámetros S justo a la entrada del circuito que se quiere caracterizar.

La manera de calibrar el VNA es ir conectando al cable que se va a utilizar en las medidas una serie de terminaciones: un cortocircuito, un circuito abierto y una carga de 50 Ω , que es la impedancia característica del aparato.

El VNA puede calibrarse de dos maneras diferentes, según se quieran medir sólo los parámetros de reflexión: (S_{11} y S_{22}) o incluir también los de transmisión (S_{21} y S_{12}).

Antes de comenzar cualquier calibración, es bueno cerciorarse del rango de frecuencias en el que vamos a calibrar el aparato, para ello basta con pulsar **FREQ** y a continuación establecer el rango **START-STOP**. La potencia de la señal empleada para realizar la calibración es también un parámetro importante y antes de calibrar el VNA habrá que considerar cual es el valor de potencia adecuado que vamos a emplear.

Para comprobar que la calibración es suficientemente buena como para poder calcular los parámetros S de un circuito con precisión y que las medidas que realicemos sean repetibles, es necesario comprobar el comportamiento del circuito abierto, del cortocircuito y la carga del kit en formato logarítmico (dB) y en la carta de Smith dentro del rango de frecuencias que nos interesa. Para que la calibración sea suficientemente buena, el parámetro S_{11} debe estar dentro del rango ± 0.1 dB para el cortocircuito y circuito abierto, e inferior a -40 dB para la carga.

Después de la calibración del VNA, para realizar la medida de nuestro amplificador debemos interconectar el VNA tal y como muestra la figura 7.2. En ella se pueden apreciar los diferentes instrumentos utilizados, así como las puntas *SGS*, *GSG* y el *DC-BLOCK*.

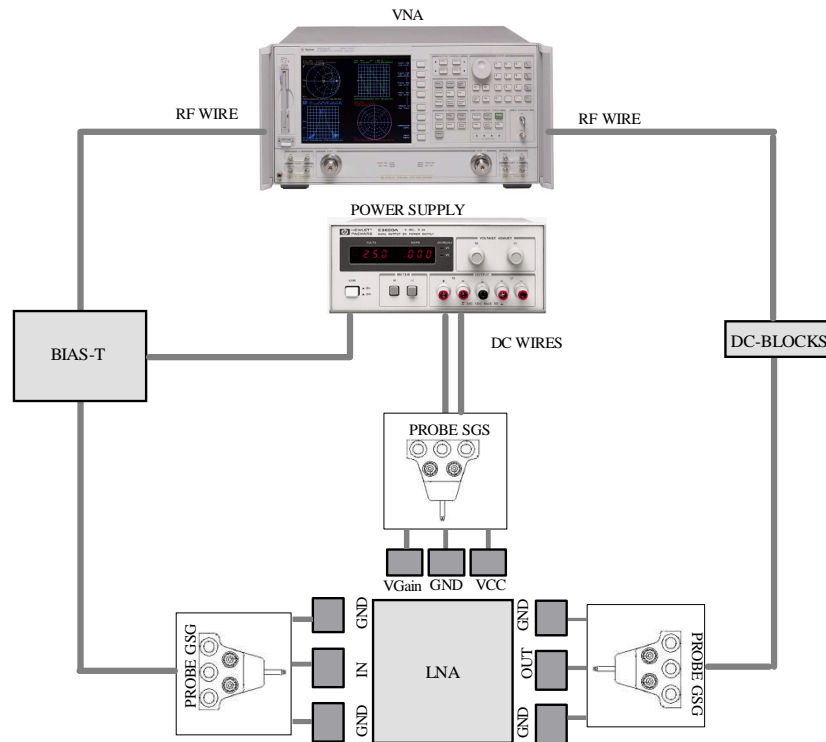


Figura 7.2 *Set-up* de medidas de los parámetros S.

7.2.2 Resultado de la medida de los parámetros S

En este apartado contemplaremos los resultados obtenidos en las medidas. Se ha querido comprobar la respuesta del circuito en un rango de frecuencias de 250MHz hasta 3GHz aunque su utilización final sería entre 450MHz y 900MHz. Así, se ha comprobado que a frecuencias altas cercanas a 3GHz el circuito proporciona aún resultados válidos (ver figura 7.3).

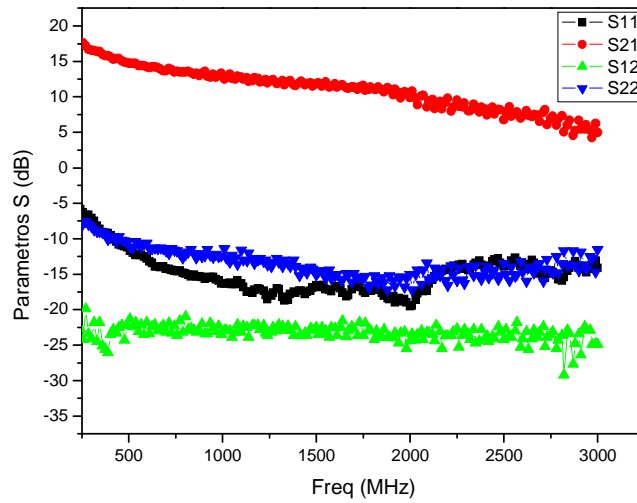


Figura 7.3 Gráfica de los parámetros S a frecuencias de 250 MHz hasta 3 GHz.

Después de haber visto el resultado de los parámetros S en frecuencias altas vemos en la figura 7.4 los mismos resultados pero esta vez centrándonos en la frecuencia de trabajo. En esta gráfica podemos destacar el valor de la ganancia cercana a 15dB, así como las adaptaciones tanto de entrada como de salida inferior a -10dB. Esta situación se mantiene estable para toda la banda de interés.

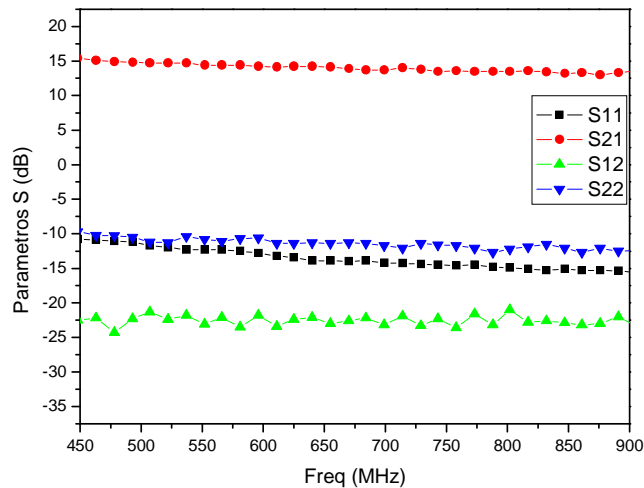


Figura 7.4 Parámetros S a frecuencias de 450 MHz hasta 900 MHz.

Como ya hemos comentado en capítulos anteriores, en este diseño se tiene la posibilidad de variar la ganancia del circuito con una tensión externa llamada V_{GAIN} . En la figura 7.5 se muestra el estudio de cómo responde la ganancia del circuito en altas frecuencias, variando la V_{GAIN} de 1 a 3 Voltios.

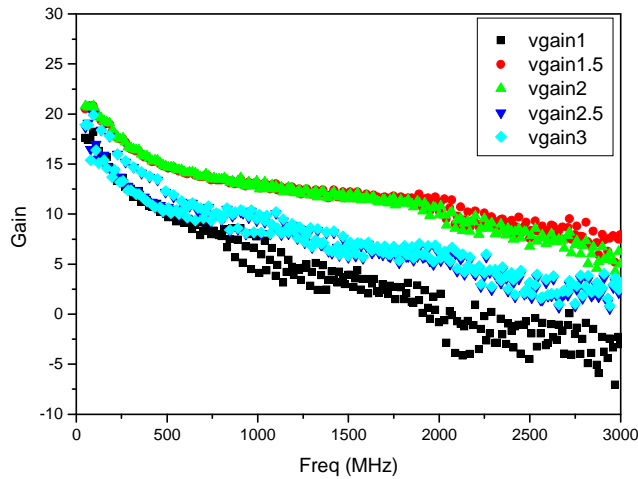


Figura 7.5 Resultado de la ganancia variando V_{GAIN} de 1 a 3 Voltios en frecuencias altas.

A continuación, la figura 7.6 nos va a revelar los resultados de la ganancia del circuito variando la V_{GAIN} de 1 a 3 Voltios dentro del rango de frecuencias de trabajo. Debemos destacar que los valores de la tensión para los que el circuito trabaja a máxima ganancia están comprendidos entre 1.5 y 2 Voltios.

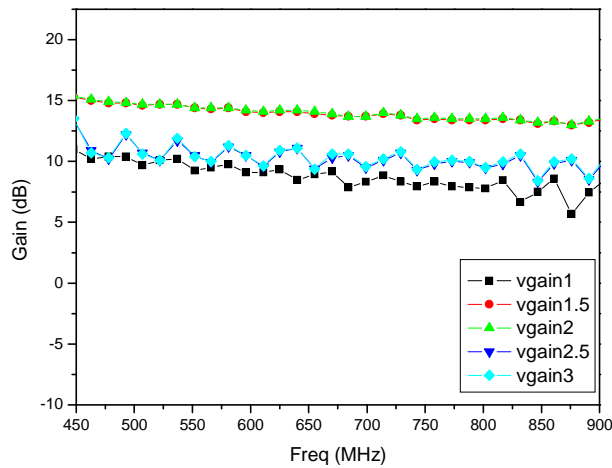


Figura 7.6 Resultado de la ganancia variando V_{GAIN} de 1 a 3 Voltios de 450 a 900 MHz.

7.3 Medida de la figura de ruido

7.3.1 Equipo de medida de la figura de ruido

A continuación haremos hincapié en la medida de la figura de ruido (*Noise Figure*), explicando desde el equipo que vamos a usar hasta como lo colocamos.

El equipo que vamos a usar para la medida de la figura de ruido es el que vemos en la figura 7.7, compuesto por un analizador de espectro y una fuente de ruido. Lo primero que hay que hacer como ya hemos dicho es calibrar el equipo. Normalmente la forma de calibrarlo es introduciendo una señal de ruido conocida en el analizador de espectros a través del generador de ruido (ENR - *Excess Noise Ratio*). Esto establecerá un nivel de base que contrarresta a la figura de ruido del dispositivo que se va a medir (DUT - *Device Under Test*). El ENR es el ruido que una vez calibrado entrega la fuente de ruido al DUT. Esto se define de la siguiente manera:

$$ENR = [T_h - T_c] / T_0 \quad (7.1)$$

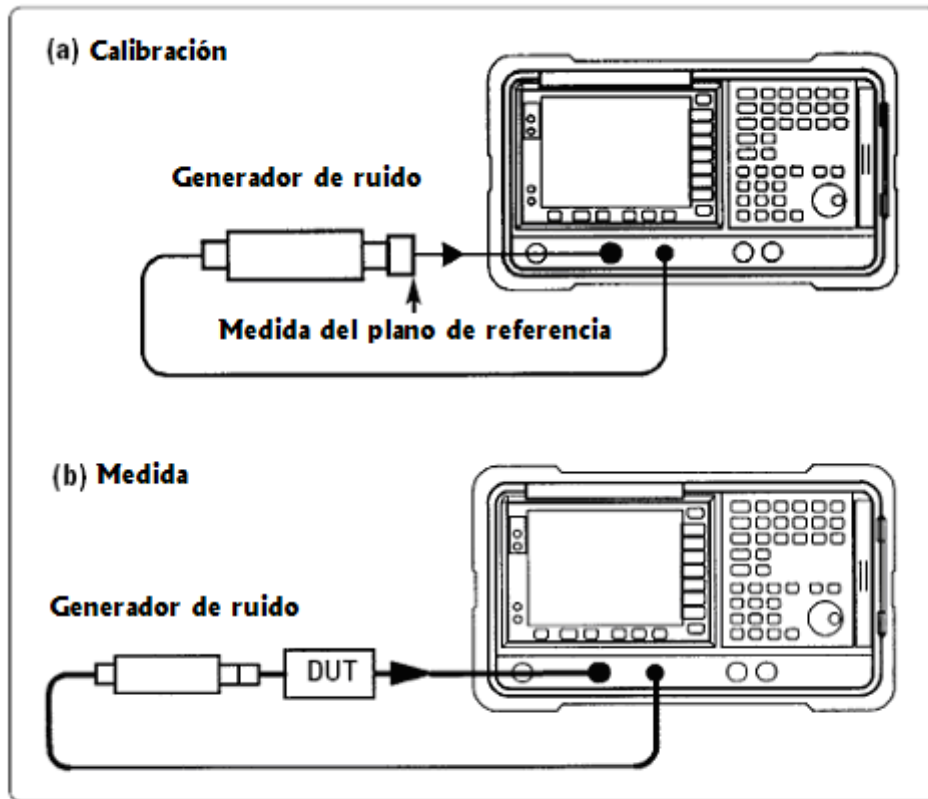
Donde T_h es la temperatura caliente (Corresponde al generador de ruido encendido), T_c es la temperatura fría (Corresponde al generador de ruido apagado) que viene designada por 290K (16.8°C, 62.2°F). La temperatura de la habitación será, $T_c=T_0$ por lo que:

$$\text{ENR} = [T_h - T_0] / T_0 \quad (7.2)$$

El ENR depende de la frecuencia a la que vamos a trabajar por lo que habrá que introducir la frecuencia correspondiente en el analizador de figura de ruido. Normalmente, el rango del ENR se ve destacado en la parte exterior de la fuente de ruido.

En la figura 7.7 (a) podemos ver el paso para la calibración antes de establecer la medida del plano de referencia a la salida del generador de ruido. Automáticamente se tienen en cuenta las pérdidas entre la salida del DUT y la entrada del instrumento de medida de la figura de ruido ya que son “absorbidas” por el instrumental.

Una vez tengamos preparado el instrumental que se usa para medir la figura de ruido, (y la ganancia, dado que normalmente también se mide junto a la figura de ruido) simplemente conectaremos el DUT tal y como se ve en la figura 7.7 (b), de esta forma se podrá ver la ganancia y la figura de ruido del DUT.



La medida de la figura de ruido requiere dos pasos: (a) Calibración, (b) Medida del DUT.

Figura 7.7 Equipo para la medida de la figura de ruido.

Cuando se inserta el DUT, la salida del generador de ruido debe ser conectada directamente a la entrada de este. En caso de ser necesario introducir componentes entre el generador de ruido y la entrada del DUT que no estuviesen presentes en el *set-up* de calibración, sus pérdidas se deberán tener en cuenta por separado:

$$NF_{cor} = NF_{meas} - L \quad (7.3)$$

Donde NF_{cor} y NF_{meas} serán, respectivamente, los valores de las figuras de ruido corregidas y medidas, y la variable L será la suma de las pérdidas de los componentes insertados entre la fuente de ruido y la entrada del DUT (ver figura 7.8). Esta ecuación sólo funciona si L es de carácter solamente reflectivo (nunca disipativo). Si las pérdidas son resistivas, se debe incluir un término adicional en la ecuación que tenga en cuenta el ruido adicional que se añade con el ruido térmico.

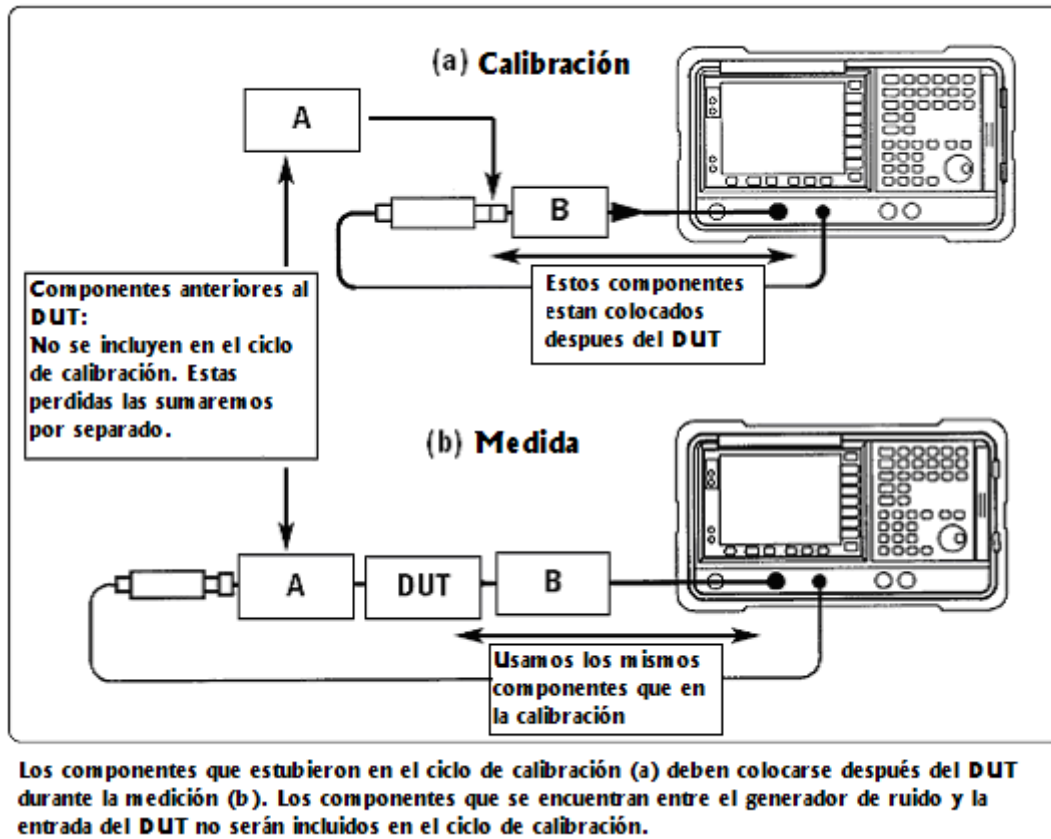
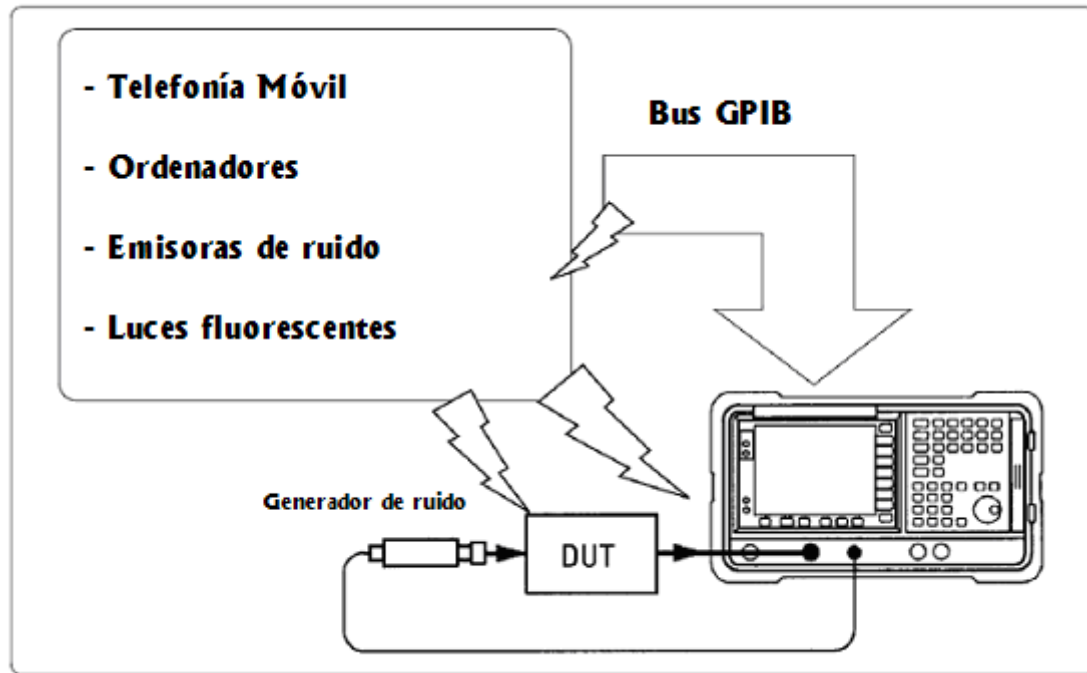


Figura 7.8 Explicación de cómo afectan los componentes en la calibración y medida.

7.3.2 Errores de medida evitables

Todos los instrumentos de medida de la figura de ruido miden una secuencia de diferentes niveles de potencia de RF, y por ello pueden ofrecer errores en la medida. Cualquier interferencia de RF, por radiación o conducción, puede pasar como potencia de ruido y afecta a la medida exacta.

En la figura 7.9 se puede ver el tipo de señal interferente que podría ir acompañando a nuestra señal y podría afectar a las medidas. Luces fluorescentes, instrumentos, ordenadores, teléfonos móviles, emisoras, televisiones locales o transmisores de radio entre otros pueden interferir haciendo que sean incorrectos los resultados de la medida de ruido.



Evitar las interferencias que pueden afectar a la medida de figura de ruido.

Figura 7.9 Elementos que pueden afectar al sistema de medida.

Los caminos por los que las interferencias de RF entran en el sistema de medida pueden ser los siguientes:

- Radiación directa, la cual genera tensiones y corrientes que son inducidas por los campos electrostáticos, magnéticos o electromagnéticos.
- Conducciones a través de los cables de señal, alimentación y control.

Las medidas sobre componentes receptores son especialmente vulnerables a las interferencias generadas por los propios transmisores. Por ejemplo, si testeamos el receptor de un teléfono móvil, deberíamos eliminar las interferencias generadas por los teléfonos móviles y las estaciones base cercana.

Para evitar los problemas de interferencia, se han seguido los siguientes pasos:

- Usar conectores de rosca en el camino de la señal siempre que sea posible. (Los conectores que no son de rosca como el BNC o el SMB tienen poca fuerza de contacto en el blindaje exterior con lo que la integridad de la señal podría verse afectada).
- Asegurar que las uniones de los conectores son limpias y no están desgastadas o dañadas. Asegurarse también de que las lecturas permanecen estables cuando movemos ligeramente los cables y conectores.
- Usar doble blindaje en los cables coaxiales (algunos cables coaxiales corrientes no están bien blindados y podrían no ser adecuados para estas medidas). Tratar de evitar en lo posible cables flexibles donde los niveles de señal son bajos. Si el DUT tiene ganancia, conectar el generador de ruido directamente a su entrada. Si el DUT tiene pérdidas, conectar su salida directamente a la entrada del equipo de medida.
- Usar cables GPIB protegidos para evitar la radiación de interferencias del bus de control.
- Evitar hacer medidas con un PC con la carcasa abierta. Usar protección, especialmente si hay transmisores que tienen alguna salida dentro del ancho de banda a medir.
- Instalar el *set-up* en una habitación blindada si el DUT y el sistema de medida no se pueden proteger adecuadamente en un espacio abierto.
- Eliminar las frecuencias de las interferencias discretas cuando hacemos un barrido de medida de ruido.
- Evitar las interferencias del propio instrumental de medida usando un analizador de figura de ruido con baja emisión de RF.

7.3.3 *Set-up* de medida de la figura de ruido

Después de haber estudiado como debemos preparar el equipo de medida para calcular la figura de ruido y las precauciones que debemos tener, vemos en el siguiente esquema de la figura 7.10 como quedará montado el *set-up* de medida de la figura de ruido del LNA de DVB.

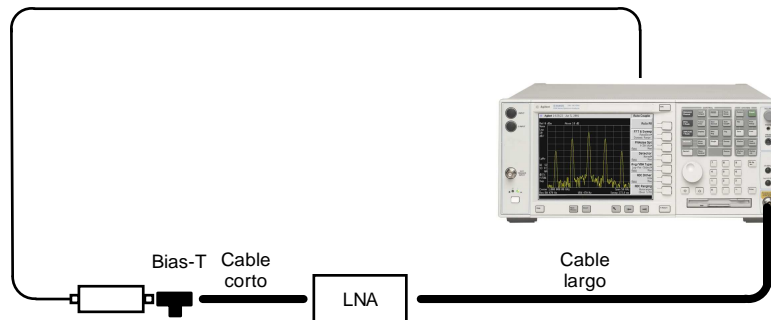


Figura 7.10 Esquema de montaje para la medida de la figura de ruido.

Como se puede observar, antes del LNA aparece una T de alimentación (*Bias-T*) y un cable de RF corto y, como habíamos comentado anteriormente al colocarlos ahí debemos medir su atenuación para posteriormente restársela a la medida. Para ello, hemos utilizado el procedimiento que se muestra en la figura 7.11. Primero medimos la atenuación de dos cables largos más la T de alimentación y el cable corto y luego le restamos la atenuación de los dos cables largos. El resultado es que la T de alimentación junto con el cable corto presenta una atenuación de 0.87dB.

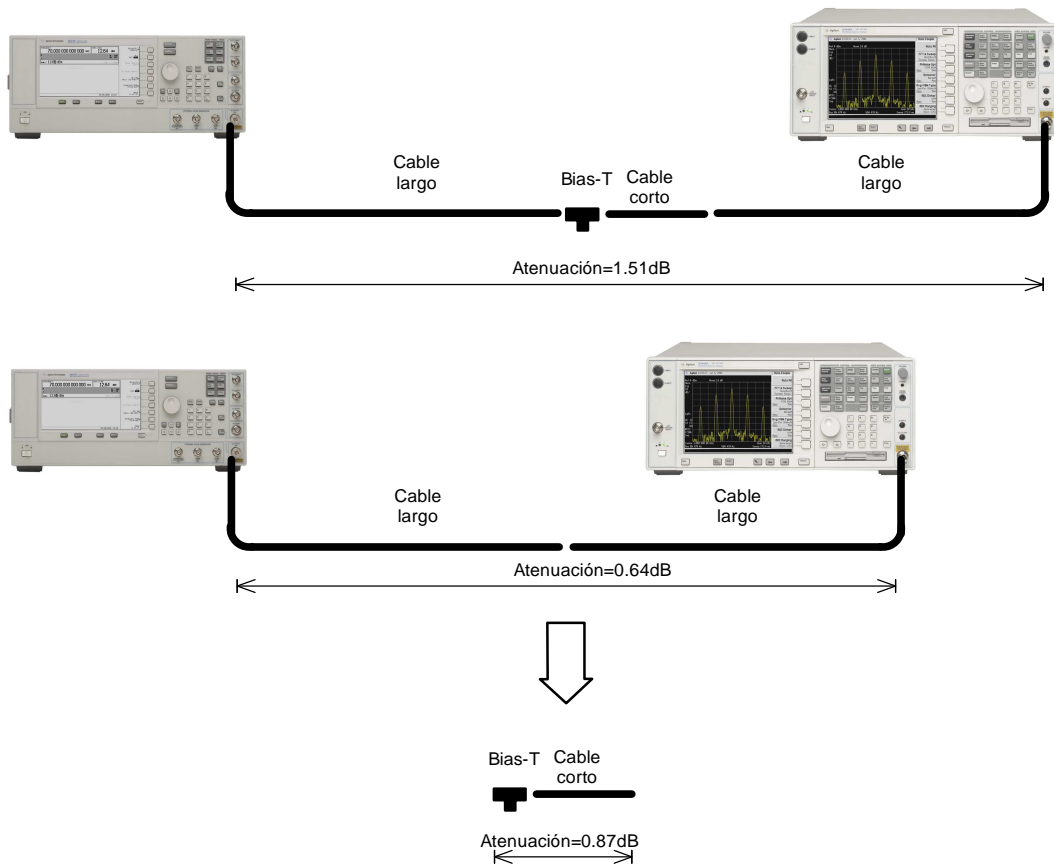


Figura 7.11 Cálculo de la atenuación del Bias-T más el cable corto.

Una vez montado el *set-up* de medida de la figura de ruido y teniendo en cuenta las atenuaciones, ya podemos hacer la medida de la misma. La imagen de la figura 7.12 se ha incluido para que se pueda observar como queda montado el *set-up* de medida de nuestro laboratorio después de haber seguido todos los pasos descritos en este capítulo. Se ha marcado con un círculo en rojo la ubicación del Bias-T y del DUT.



Figura 7.12 Equipo del laboratorio preparado para hacer la medida de la figura de ruido.

7.3.4 Resultado de la medida de la figura de ruido

En la figura 7.13 se muestra la medida de la figura de ruido junto al mismo valor corregido, como comentamos en el apartado anterior. De este modo se puede observar que la diferencia entre ambas es de 0.87dB.

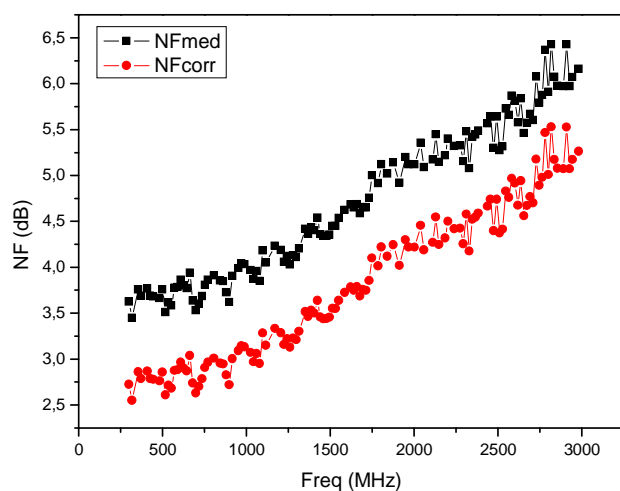


Figura 7.13 Representación de la figura de ruido para alta frecuencia.

Como se puede ver en la gráfica, la medida en primera instancia se ha hecho para frecuencias de 250 MHz hasta 3 GHz. De esta manera podemos ver la respuesta del circuito en frecuencias que se salen del margen que nos estipula el estándar. En la figura 7.14 nos centraremos en la frecuencia del estándar DVB-H, comprobando si realmente responde como hemos visto teóricamente.

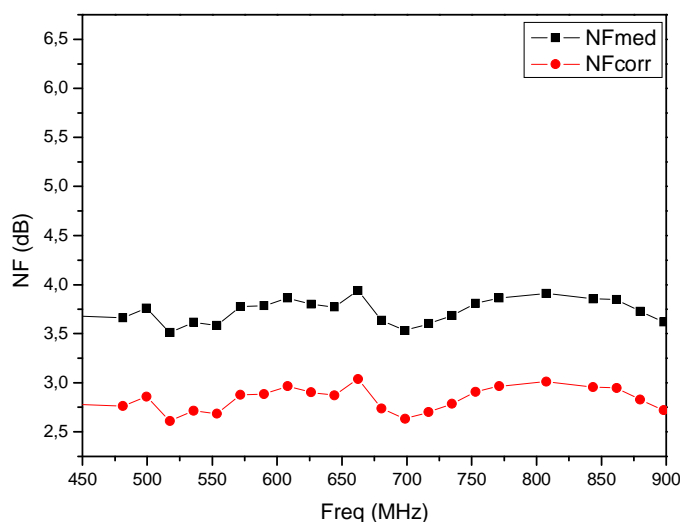


Figura 7.14 Representación de la figura de ruido para la frecuencia del estándar.

Dado que el ruido es una medida aleatoria es lógico que el valor de la NF no sea una línea perfecta sino que presente altibajos de forma aleatoria. Por ello a la hora de

presentar los datos lo que se suele hacer es suavizar la medida haciendo la media de los valores contiguos. En las siguientes figuras se pueden observar los resultados obtenidos (figuras 7.15 y 7.16).

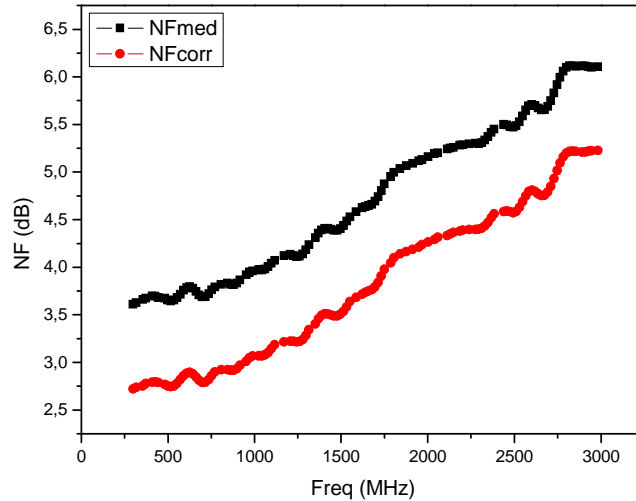


Figura 7.15 NF suavizada para alta frecuencia.

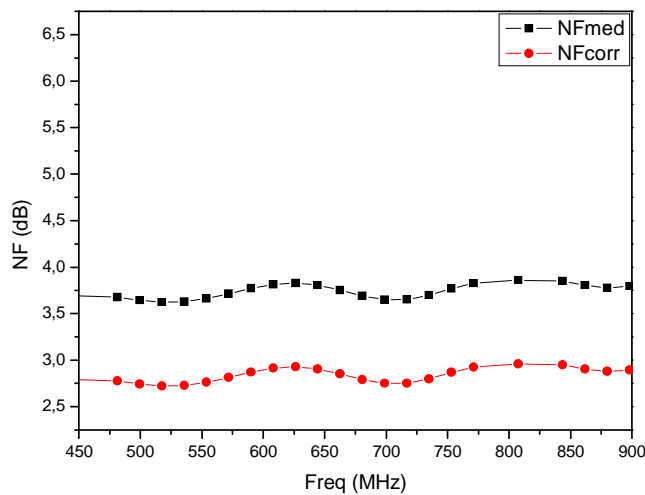


Figura 7.16 NF suavizada para la frecuencia de trabajo.

Como se puede ver en la gráfica de la figura 7.16, la NF es inferior a 3dB en toda la banda de trabajo. Este resultado es bastante bueno, ya que respeta las condiciones que se pedían al comienzo de este proyecto, siendo de las más importantes dado que debe ser uno de los fuertes de este tipo de diseño.

7.4 Medida de la linealidad del circuito

7.4.1 Métodos para el cálculo de la linealidad

En este apartado vamos a definir dos de los métodos más usados para medir la linealidad:

- El punto en compresión a 1 dB.
- El test de dos tonos.

Punto de compresión a 1 dB:

Los amplificadores están generalmente preparados para trabajar en un régimen de funcionamiento lineal, el cual se caracteriza por un aumento de la potencia de salida proporcional al incremento de la potencia de entrada. La diferencia en dB entre ambos niveles de potencia constituye la ganancia del amplificador. Sin embargo, conforme aumenta la potencia de señal a la entrada, llega un momento en que el amplificador comienza a saturarse y la potencia a la salida ya no aumenta proporcionalmente (comportamiento no lineal). Se dice entonces que el amplificador ha entrado en compresión.

En la figura 7.17 se puede observar un ejemplo del comportamiento anteriormente comentado. Para caracterizar las prestaciones de un amplificador en este sentido se utiliza un parámetro conocido como punto de compresión a 1 dB. El punto de compresión a 1 dB se define como aquel punto en que la potencia a la salida del amplificador se encuentra 1 dB por debajo del comportamiento lineal (ídeal), y puede referirse tanto a la entrada como a la salida del dispositivo. En el caso de un amplificador de bajo ruido se tendrán valores más reducidos, ya que este suele utilizarse en recepción donde los niveles de señal son más pequeños.

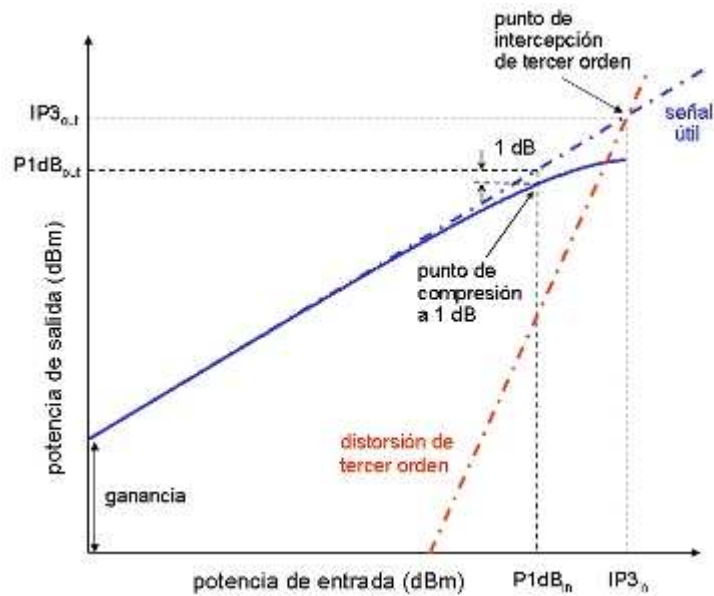


Figura 7.17 Respuesta típica de un amplificador junto con sus parámetros de distorsión asociados.

La saturación del amplificador implica que nos encontramos en una zona de trabajo donde la distorsión no lineal presenta valores importantes. Normalmente suele representarse en el mismo gráfico de potencia de salida frente a potencia de entrada el nivel de la distorsión, y más concretamente, el nivel de los productos de intermodulación de tercer orden $2f_1 - f_2$ ó $2f_2 - f_1$ que como veremos son los más perjudiciales. Estos productos de intermodulación presentarán una pendiente de orden 3 tal y como se representa en la figura.

Para caracterizar la distorsión no lineal de un amplificador suele emplearse un parámetro conocido como punto de intersección de tercer orden (IP3) y que se define como el punto donde se intersectan las rectas teóricas de potencia de señal útil y de potencia de intermodulación. Al igual que antes, este parámetro puede referirse tanto a la entrada como a la salida del dispositivo. Evidentemente, cuanto más elevado sea el valor del IP3 más lineal será nuestro dispositivo. Como regla práctica, el valor del IP3 suele estimarse 10 dB por encima del punto de compresión a 1 dB para sistemas que trabajan a frecuencias altas frente a 15 dB para sistemas que trabajan a frecuencias bajas.

Test de dos tonos:

Para poder medir el IP3 necesitamos un combinador que nos permita sumar las dos señales de entrada de igual amplitud, en nuestro caso $A \cdot \sin(2\pi f_1 + \phi_1) + A \cdot \sin(2\pi f_2 + \phi_2)$. Este combinador tiene dos entradas y una salida. En las entradas se introducen los dos tonos, que se generarán con dos generadores de señal. La salida se conecta a la entrada del LNA. Este combinador presenta unas pérdidas a las frecuencias a las que se va a medir el IP3 (666 MHz) y, por tanto hay que tenerlas en cuenta para poder aplicar un factor de corrección a nuestras medidas posteriores. También hay que tener en cuenta las pérdidas de los cables que unen el LNA con el analizador y el combinador.

Para efectuar estas medidas escogeremos las mismas condiciones que utilizamos para las simulaciones, es decir, un espaciado entre tonos de 100kHz. Por lo tanto un generador generará un tono $f_1 = 666 \text{ MHz}$ y el otro un tono $f_2 = 666.100 \text{ kHz}$. Variaremos las potencias de estos tonos (mismo valor en ambas entradas) y para cada potencia de entrada observaremos la potencia de los tonos fundamentales y de los productos de intermodulación.

Representaremos en una gráfica P_{OUT} frente a P_{IN} del tono fundamental y del producto de intermodulación (2 series). Tras esto trazaremos una recta de pendiente 1dB que mejor se ajuste a los puntos obtenidos para el tono principal y otra de pendiente 3dB que mejor se ajuste a los puntos obtenidos para el producto de intermodulación. El punto de corte de estas dos rectas nos dará el IP3 de nuestro LNA a esa frecuencia. Hay que resaltar que el tono de intermodulación solo es visible a partir de una potencia determinada de entrada ya que hasta entonces el ruido del analizador de espectro solapa su potencia, haciendo indistinguible el ruido de la señal.

7.4.2 Montaje para la medida de la linealidad

Para medir la linealidad de nuestro LNA hemos utilizado el test de dos tonos. En la figura 7.18 se muestra de forma esquemática, cómo quedaría el montaje de los equipos para poder calcular la linealidad del circuito. En la figura 7.19 se incluye una fotografía del set_up para la medida de la linealidad.

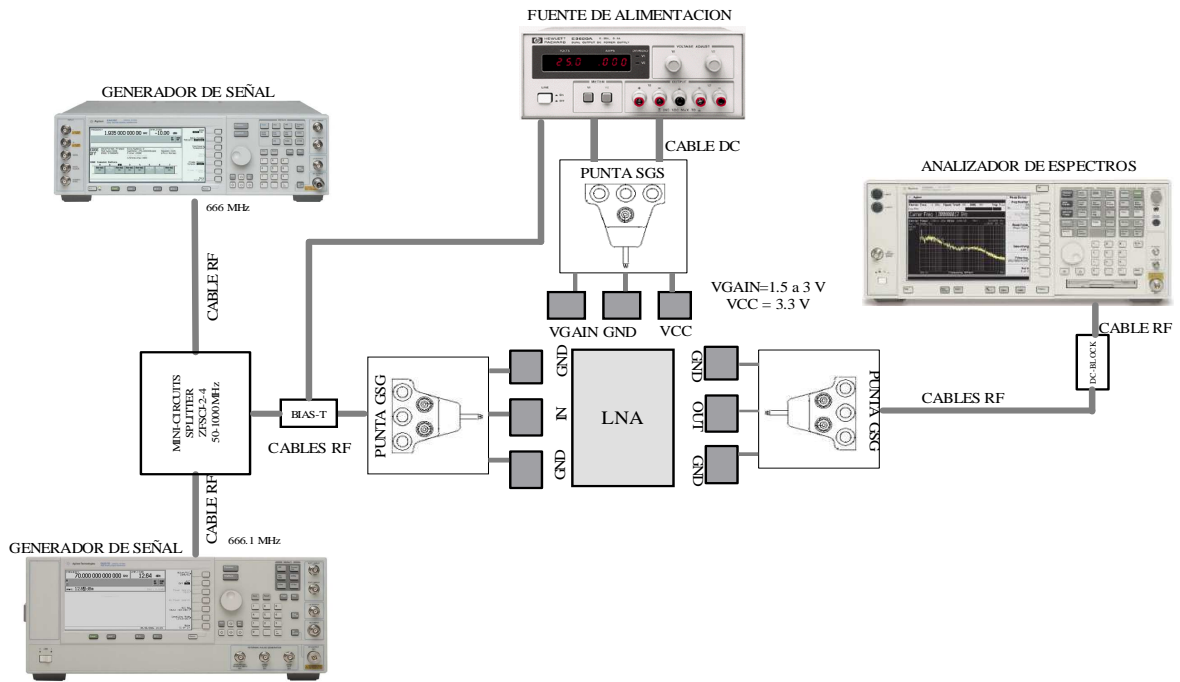


Figura 7.18 Esquema de conexión para la medida de la linealidad.



Figura 7.19 Equipo del laboratorio preparado para hacer la medida de la linealidad.

7.4.3 Resultado de medidas de la linealidad

En la figura 7.20 vemos el resultado del test de dos tonos en la pantalla del equipo de medida a una frecuencia centrada en 666 MHz que es la mitad de la banda de frecuencias de DVB-H.

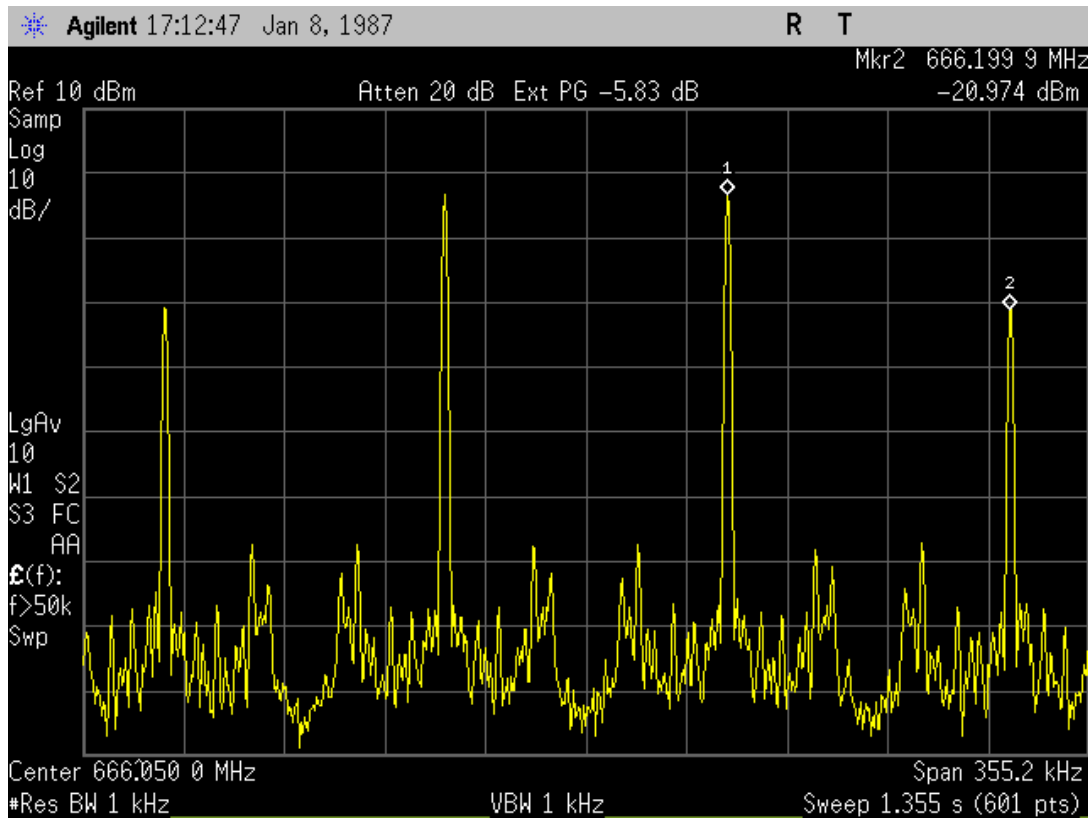


Figura 7.20 Imagen de los tonos que usaremos para el cálculo de la linealidad.

Después de hacer los cálculos con los tonos obtenidos, como se ha explicado en la definición de este método, en la siguiente imagen (figura 7.21) se representan las rectas de la potencia de entrada y de la potencia de salida.

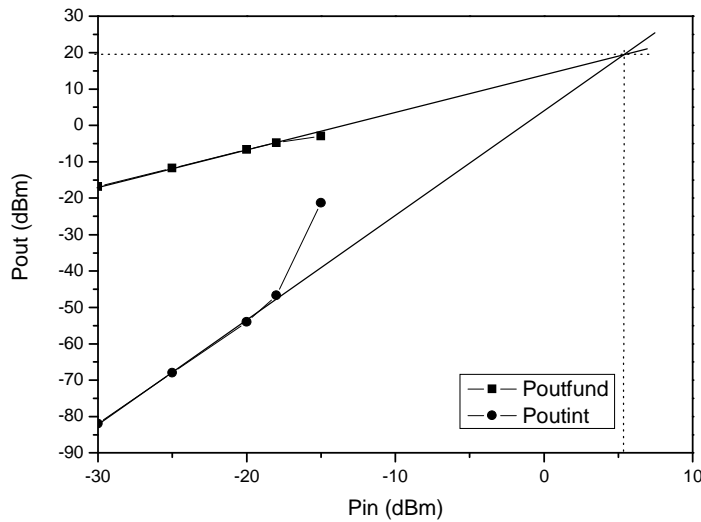


Figura 7.21 Cálculo de la IIP3 por el método del test de dos tonos.

En la imagen se aprecia como, en el corte de las rectas, el IIP3 que nos da es aproximadamente 6 dBm. Resultado a destacar dado que es superior a lo que en un principio nos poníamos como meta.

7.5 Resumen

En este capítulo se ha podido comprobar el correcto funcionamiento de nuestro diseño. Para ello se han presentado las técnicas empleadas para su correcta verificación. Del mismo modo, se ha constatado que existen una serie de pequeñas diferencias entre los resultados obtenidos en las simulaciones *post-layout* y las medidas de los circuitos.

En el próximo capítulo se establecerá un balance del desarrollo del proyecto, lo que nos conducirá a una serie de conclusiones válidas para el desarrollo de futuros trabajos y diseños.

Capítulo 8

Conclusiones

El objetivo de este proyecto era diseñar un amplificador de bajo nivel de ruido (LNA) para el estándar DVB-H, usando la tecnología SiGe de $0.35\ \mu\text{m}$ suministrada por AMS (*Austria Micro Systems*).

En un comienzo se estudió el estándar que se iba a utilizar en nuestro diseño con el propósito de conocer las diferentes características de radiofrecuencia, tales como: la ganancia, figura de ruido, linealidad y frecuencia de trabajo.

El siguiente paso fue estudiar detalladamente las principales topologías empleadas en los diseños de LNAs usados en sistemas de RF. Se comenzó estudiando el amplificador de bajo ruido en configuración emisor común, explicando la influencia de los componentes en la ganancia, figura de ruido, linealidad e impedancias. La siguiente topología estudiada fue un LNA en configuración cascode para banda estrecha, con el propósito de poder estudiar posteriormente tanto la red de entrada como los tipos de carga para banda ancha ya que el objetivo era diseñar un amplificador de banda ancha. El siguiente paso fue hacer

un análisis detallado de las estructuras realimentadas para radiofrecuencia, viendo las influencias de cada uno de sus componentes en el rendimiento del circuito.

Una vez hecho el estudio se propusieron dos posibles topologías: La primera se trata de un LNA en configuración cascode con red de adaptación a la entrada de banda ancha y una carga *shunt-peaking* para mejorar el ancho de banda. La segunda consiste en un amplificador de bajo ruido en configuración cascode con realimentación, con el propósito de aprovechar los beneficios de las dos arquitecturas y así poder aumentar el ancho de banda reduciendo el área, además de mejorar la adaptación y el aislamiento.

Para poder diseñar el circuito es necesario conocer la tecnología utilizada. En el Capítulo 4 se ha realizado una descripción de la tecnología SiGe de 0.35 μm suministrada por AMS (*Austria Micro Systems*).

La primera arquitectura que se comenzó a diseñar fue el LNA en configuración cascode para banda ancha. El problema que tuvimos con esta configuración lo encontramos en el diseño de la red de entrada. Debido a la frecuencia a la que tiene que trabajar el LNA los valores de las inductancias son excesivamente altos. Además de que ocupan un área elevada, lo cual no es de interés, tienen un bajo factor de calidad. Por lo tanto, se optó por no continuar con el diseño de esta topología ya que era inviable.

El siguiente paso consistió en realizar el diseño completo de la segunda topología propuesta, el amplificador de bajo ruido en configuración cascode con realimentación. Para ello se han realizado todas las simulaciones pertinentes variando cada uno de los parámetros de los componentes utilizados. A la hora de hacer las simulaciones nos hemos apoyado en la teoría básica de diseño de circuitos integrados para radiofrecuencia así como en el estudio teórico del circuito.

Luego se ha realizado el diseño a nivel de *layout* del circuito. Esto se ha logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento. Finalmente se ha comprobado el correcto funcionamiento del circuito mediante las simulaciones *post-layout*.

El siguiente paso fue enviar el circuito a la empresa *AMS* para su fabricación. Una vez llegado el circuito se pudo comprobar el correcto funcionamiento del mismo. Para ello se presentaron las técnicas empleadas para su correcta verificación. Del mismo modo, se ha constatado que existen una serie de pequeñas diferencias entre los resultados obtenidos en las simulaciones *post-layout* y las medidas de los circuitos. Esto se puede observar en la tabla 8.1 donde se comparan los resultados obtenidos en las medidas de los circuitos con los obtenidos en las simulaciones *post-layout*.

Tabla 8.1 Comparativa entre simulaciones y medidas del LNA

LNA	Simulaciones <i>post-layout</i>	Medidas
S_{21} (dB)	18,2	12
NF (dB)	1,9	2,5
Consumo (mW)	14	11,25
Frec. De medida (MHz)	470-862	470-862
IIP3 (dBm)	-5	6
I_{TOTAL} (mA)	4,2	3,4
Vcc (V)	3,3	3,3

En la tabla 8.2 se hace una comparación del diseño fabricado en este proyecto con otros diseños con otros LNAs publicados anteriormente. Si nos fijamos en la ganancia, se puede observar que en nuestro caso no es la más alta pero, sólo un diseño la supera con diferencia y esto se debe a que usa una tecnología superior a la que nosotros usamos, con lo cual se obtienen mejores prestaciones.

Analizando detalladamente vemos que el consumo del circuito es inferior al resto, llegando a consumir menos de la mitad. Este dato es de suma importancia dado que recordemos que nuestro diseño va dirigido a aparatos que usan baterías de duración limitada.

Por otro lado tenemos que el valor de la figura de ruido se corresponde a la que teníamos como objetivo desde un principio (2.5 dB), y a su vez comparada con los otros diseños, este es el circuito que ofrece los mejores resultados.

Tabla 8.2 Comparativa entre varios tipos de LNA

LNA	IUMA	Andreas Kämpe	Patrick Antoine	Youchun Liao
Tecnología	SiGe	CMOS	SiGe	CMOS
Vdd (V)	3,3	3,3	2,8	2,5
Consumo (mW)	11,25	36	47,6	30
Frec. De medida (MHz)	470-862	470-862	470-862	50-860
Ganancia de potencia(dB)	12	26	14	13,4
IIP3 (dBm)	6	4,5	12	3,3
NF (dB)	2,5	4,1	8	3,5
Referencia	Este proyecto	[22]	[21]	[23]

Respecto a la linealidad, se encuentra en un término intermedio, en nuestro caso tenemos un IIP3 de 6 dBm el cual supera las exigencias que en un comienzo nos propusimos.

Uno de los aspectos clave de este trabajo ha sido conseguir un diseño con unos resultados óptimos, prestándole especial atención al consumo (11,25 mW) ya que como comentamos en el capítulo 1 este es uno de los aspectos que más problemas genera en este estándar.

También destacar las pequeñas dimensiones del diseño (0.75 x 0.6 mm²) ya que como dijimos, es tan importante el consumo en un teléfono móvil como el área ocupada por los circuitos.

Como se ha podido observar a lo largo de este proyecto, se ha cerrado completamente el flujo de diseño de un circuito integrado analógico, ya que se ha partido de un esquemático genérico, que poco a poco se ha ido optimizando, para luego pasar al desarrollo del *layout* y terminar con la medida del circuito. A lo largo del proyecto se ha obtenido una visión general del proceso de diseño.

Por último nos gustaría comentar que parte del trabajo aquí presentado ha sido publicado en el "XXII Conference on Design of Circuits and Integrated Systems" celebrado en Sevilla en Noviembre de 2007 y en el "XXIII Design of Circuits and Integrated Systems

Conference" celebrado en Grenoble, Francia, en 2008. Los artículos al completo aparecen en el Anexo de este proyecto.

El presente trabajo tiene continuidad en la integración del amplificador en la cadena del receptor para DVB-H. También se pueden hacer pruebas con otras tecnologías más modernas ya que, como hemos visto, esto traería aparejado un aumento de las prestaciones finales, entre las que estarían, entre otras, el ancho de banda, la figura ruido, el consumo, etc.

Capítulo 9

Presupuesto

Después de haber acabado con el diseño del circuito de forma satisfactoria, para terminar con el proyecto, haremos un balance económico en el que estudiaremos tanto parcial como totalmente los gastos producidos por este trabajo. Los tres factores más influyentes en los costes de un proyecto son:

- Elaboración del circuito
- Medida del circuito
- Gastos adicionales

9.1 Costes debidos a los recursos humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias (tabla 9.1). Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Tabla 9.1 Costes debidos a los recursos humanos

Descripción	Gastos
2 Técnicos a tiempo completo	36.060,73 €/año
Proporción suponiendo 100 usuarios	360,61 €/año-usuario
TOTAL (7 meses)	209,15 €

9.2 Costes de Ingeniería

En este apartado se establece una tabla (tabla 9.2) indicativa de las partes en que se ha dividido el Proyecto y el tiempo parcial empleado para cada una de estas fases. Estas fases están constituidas por: documentación y formación, especificación, desarrollo, análisis de resultados y realización de la memoria.

Tabla 9.2 Costes de Ingeniería

Descripción	Gastos
Búsqueda y estudio de la documentación y herramientas de trabajo.	160 horas
Desarrollo de los diseños	480 horas
Medida de los diseños	320 horas
Realización de la memoria	160 horas
TOTAL	1120 horas

Para el cálculo de honorarios, se ha seguido la propuesta de baremos establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir del 1-01-2005 [24].

$$H=Hn.72+He.93 \tag{8.1}$$

Donde:

H: Honorarios a percibir.

Hn: Horas en jornada normal de trabajo.

He: Horas fuera de la jornada de trabajo.

Una vez calculadas las horas totales, según el COIT se debe aplicar el coeficiente de corrección por tramos como muestra la tabla 9.3.

Tabla 9.3 Factor de corrección

Coste (horas)	Factor de corrección (C)
Hasta 36	1
Exceso de 36 hasta 72	0,9
Exceso de 72 hasta 108	0,8
Exceso de 108 hasta 144	0,7
Exceso de 144 hasta 180	0,65
Exceso de 180 hasta 360	0,6
Exceso de 360 hasta 512	0,55
Exceso de 512 hasta 720	0,5
Exceso de 720 hasta 1080	0,45
Exceso de 1080	0,4

Considerando que las horas empleadas en la realización del proyecto son en jornada laboral y aplicando el coeficiente de corrección adecuado se obtienen los siguientes honorarios:

$$Hn=0.4 \cdot 1120 = 448$$

$$H=640 \cdot 72 = \mathbf{32.256 \text{ €}}$$

9.3 Costes de amortización

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes *software*, material *hardware* y el mantenimiento de estos (tabla 9.4). Estos equipos *hardware* y paquetes *software* presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se ha estimado en 50.

Tabla 9.4 Costes de amortización

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	7 meses	6.803€	136€	78,88€
Servidor para simulación SUN Sparc Station 10	7 meses	6.643€	133€	77,14€
Impresora Hewlett Packard Laserjet 4L	7 meses	296€	6€	3,48€
Ordenador Personal Pentium IV 2.5 GHz	7 meses	411€	8€	4,64€
Sistema operativo Solaris X, Open Windows y aplicaciones X11	7 meses	903€	18€	10,44€
Entorno Windows XP	7 meses	306€	6€	3,48€
Microsoft Office XP	7 meses	449€	9€	5,22€
Advance Design System (ADS)	7 meses	3.200€	64€	37,12€
Cadence con Kit de diseño	7 meses	1.500€	30€	17,4€
TOTAL				237,8€

9.4 Costes de medida

En este apartado realizaremos un análisis económico (tabla 9.5) de los gastos derivados del uso del laboratorio para la medida de los circuitos. Para la elaboración del estudio se ha tenido en cuenta que el laboratorio está siendo usado por una media de 10 personas a lo largo del año y la amortización de los equipos es a 5 años. Por otro lado el material fungible del laboratorio tales como puntas de medidas, cables, etc... se ha supuesto un periodo de amortización de 3 años.

Tabla 9.5 Costes de medida

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Equipamiento del laboratorio de medida y estación de puntas	2 meses	60.954€	6.095,4€	1015.9€
Material fungible del laboratorio	2 meses	5000€	500€	83.33€
TOTAL				1099,23€

9.5 Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación, tabla 9.6.

Tabla 9.6 Costes de fabricación

Descripción	mm ²	Precio mm ²	Gastos
LNA para TDT	0,45	1.000€	450€
TOTAL			450€

9.6 Otros costes

Para finalizar con los costes parciales a continuación se muestran los costes debidos al material fungible y a la elaboración del documento final del proyecto, tabla 9.7.

Tabla 9.7 Otros costes

Descripción	Unidades	Costes unidad	Gastos
Paquetes de DIN_A4 80 gr/m	3	4€	12€
Fotocopias	1000	0,03€	30€
CDs	3	3€	9€
Otros gastos			100€
TOTAL			151€

9.7 Coste Total

Para terminar, en la tabla 9.8 se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Tabla 9.8 Coste total

Descripción	Gastos
Costes de recursos humanos	209,15€
Costes de ingeniería	32.256€
Costes de amortización	237,8€
Costes de medida	1099,23€
Costes de fabricación	450€
Otros costes	151,00€
PRESUPUESTO FINAL	34.403,18€
TOTAL (IGIC 5%)	36.123,77€

D. Jonás Pérez Quintana declara que el proyecto “Diseño de un amplificador de bajo ruido (LNA) para el estándar DVB-H en tecnología SiGe 0.35 μm ” asciende a un total de treinta y seis mil veintiocho euros con ochenta y cuatro céntimos.

Fdo.: Jonás Pérez Quintana

DNI: 54079387-Q

Las Palmas de Gran Canaria, a de de 2009

Bibliografía

- [1] EN 302304 v1.1.1: Digital Video Broadcasting (DVB); Transmission System for Handheld Terminals (DVB-H) ETSI , November 2004 ([pdf](#)).

- [2] Cadence Design Systems “Affirma RF Simulator User Guide”, Ver:4.4.6, April 2001.

- [3] WP4 / D4.1 deliverable, “Front-end and Antennas External Specification”, Based on “Mobile and Portable DVB-T Radio Access Interface Specification, EICTA / TAC / MBRAI-02-16,Version 1.0 (1.1.2004)”. ([pdf](#))

- [4] EN 300744 v1.5.1: Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television ETSI , November 2004 ([pdf](#)).

- [5] Behzad Razavi. “RF microelectronics”. Prentice Hall, 1998.

- [6] Radio-Electronics TSEK 26, 4 P, RF CMOS Transceiver Design, <http://www.ek.isy.liu.se/courses/tsek26/#labs>, System Design.

- [7] Hugo García, Rubén Pulido, Javier del Pino, Sunil Lalchand, Amaya Goñi, Antonio Hernández, “A 3-10 GHz SiGe LNA for Ultrawideband Applications”, XXI Design of Integrated Circuits and Systems Conference, Barcelona (España), 2006.
- [8] T.H. Lee, “The Design of CMOS RF Integrated Circuits” Cambridge University Press, pp. 34-57, 1998.
- [9] F. Javier del Pino, “Diseño de Circuitos Integrados de Radiofrecuencia” apuntes de la asignatura: Electrónica Aplicada a las Comunicaciones, ULPGC.
- [10] Behzad Razavi, “Design of Analog CMOS Integrated Circuits” Mc Graw Hill, 2001
- [11] J. R. Barrios, “Diseño de un amplificador de bajo ruido para un receptor GPS”, Proyecto Final de Carrera, ULPGC, 2001.
- [12] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [13] J. del Pino, S.L. Khemchandani, A. Hernández, J.R. Sendra, J. García, B. González, and A. Nunez, “The Impact of Integrated Inductors on Low Noise Amplifiers” XVIII Design of Integrated Circuits and Systems Conference, 2003.
- [14] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz" desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.
- [15] AMS Austria Micro Systems, “0.35 μm BiCMOS Design Rules” Rev. 2.0. 2003.
- [16] R. Jacob Baker, Harry W. Li and David E. Boyce, “CMOS Circuit Design, Layout and Simulation”, IEEE Press, 1998.
- [17] Manuales Spectre RF, Cadence: <http://www.cadence.com>.

- [18] Página web de Agilent: <http://www.agilent.es>

- [19] Página web de Cascade Microtech: <http://www.cmicro.com>

- [20] Página web del IUMA: <http://www.iuma.ulpgc.es>

- [21] A Direct-Conversion Receiver for DVB-H. Patrick Antoine, Philippe Bauser, Hugues Beaulaton, Martin Buchholz, Declan Carey, Thierry Cassagnes, T. K. Chan, Stephane Colomines, Fionn Hurley, David T. Jobling, *Member, IEEE*, Niall Kearney, Aidan C. Murphy, *Member, IEEE*, James Rock, Didier Salle, and Cao-Thong Tu. IEEE journal of solid-state circuits, DECEMBER 2005.

- [22] Andreas Kämpe and Håkan Olsson, “A DVB-H Receiver Architecture”. 23rd NORCHIP Conference, November 2005.

- [23] Youchun Liao, Zhangwen Tang and Hao Min. “A Wide-band CMOS Low-Noise Amplifier for TV”. IEEE Asia Solid-State Circuits Conference Proceedings. Hangzhou, China, November 2006,.

- [24] Página web del COITT: <http://www.coitt.es>

Anexo

Publicaciones

A continuación se describen los artículos publicados a raíz de este proyecto.

A SiGe Front-End for a portable DVB-H Receiver.

Autores: J. Pérez, N. Barrera, R. Díaz, R. Pulido, J. del Pino, S. L. Khemchandani and A. Hernández. Presentado en el XXII *Design of Integrated Circuits and Systems Conference* (Internacional) en Sevilla (España), Noviembre de 2007.

A BiCMOS Chipset for a DVB-H front-end receiver.

Autores: S.L. Khemchandani, J. del Pino, D. Ramos, J. Perez, N. Barrera, U. Alvarado, A. Hernandez. Presentado en el XXIII *Design of Circuits and Integrated Systems Conference* (Internacional) en Grenoble (Francia), Noviembre de 2008.

A SiGe Front-End for a portable DVB-H Receiver

J. Pérez, N. Barrera, R. Díaz, R. Pulido, J. del Pino, S. L. Khemchandani and A. Hernández

Abstract—This paper describes a low-noise amplifier and mixer intended for use in the front-end of a Digital Video Broadcasting–Handheld receiver. A direct conversion receiver is chosen over classical digital video broadcasting-terrestrial architectures. Both blocks are implemented in a standard 0.35 μm BiCMOS process, with two polys and four metal layers. The LNA has a forward gain of 13 dB and a noise figure of 2.6 dB. The mixer has a conversion gain of 18 dB and an input referred third-order intermodulation intercept point of 16 dBm. The combination draws 5.15 mA from a 3.3 V supply excluding the output buffer which is added to perform the measurements.

Index Terms—Low-Noise Amplifier (LNA), Mixer, Digital Video Broadcasting–Handheld (DVB-H).

I. INTRODUCTION

There is large enthusiasm in the consumer market for the capabilities of the Digital Video Broadcasting–Handheld (DVB-H). Manufacturers of cellular telephones, portable computers, and other mobile devices are looking for ways to incorporate DVB-H receivers into their products. For many of these hand-held devices, one of the primary concerns is battery life. Thus, there is strong motivation to provide good performance at very low power [1]–[3].

In this paper, a receiver system for DVB-H is presented. The integrated circuit (IC) includes a low noise amplifier (LNA) and dual quadrature mixers, implementing direct conversion architecture. According to [4] the complete front-end must have a gain and a noise figure around 30 dB and 10 dB respectively. The design is implemented in a 0.35 μm SiGe technology. Section II and III give details of the LNA and mixer design, addressing the topics of conversion gain, linearity and noise. Simulated results are presented in Section IV, including system-level simulations and circuit implementation issues. Finally, the authors' conclusions are drawn in Section V.

This work is partially supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TEC2005-08091-C03-02)

Authors are with the Institute for Applied Microelectronics (IUMA) and Department of Electronic and Automatic Engineering (DIEA) University of Las Palmas de Gran Canaria, Spain.
(e-mail: rdiaz@iuma.ulpgc.es).

II. LNA

A. LNA Description

Recently, a new topology of a wideband amplifier for UWB system, which adopts a band-pass filter at the input of the cascode low-noise amplifier (LNA) for wideband input matching, has been reported [5]–[6]. The band-pass filter-based topology incorporates the input impedance of the cascode amplifier as a part of the filter, and shows a good performance while dissipating small amounts of dc power.

However, the adoption of the LC filter at the input mandates a number of reactive elements, which could lead to a larger chip area and noise figure degradation in the case of on-chip implementation. In addition, it is worth noting that as the frequency band for DVB-H extends over the 4 and 5 UHF TV bands, going from 470 MHz to 862 MHz, the inductors would require high inductance values ($\sim 10\text{nH}$), not available in typical Silicon technologies with reasonable quality factors.

This paper proposes to combine a resistive loaded LNA, with the conventional resistive shunt-feedback, in order to achieve a low power, low noise and wideband amplifier for the DVB-H band. Fig. 1 shows the proposed topology. As it can be seen, this circuit uses only one inductor reducing the required chip area.

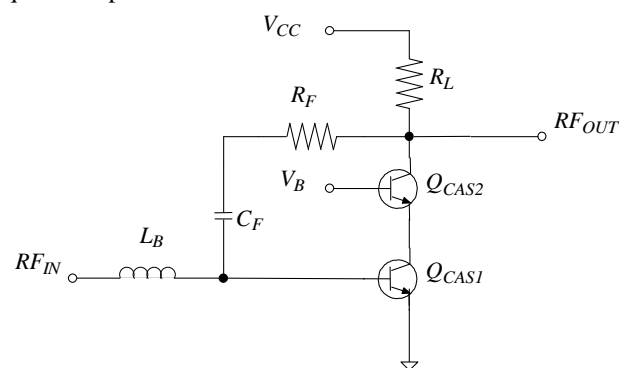


Fig. 1. LNA circuit diagram.

The LNA consists of two stages: the input stage, composed by two transistors (Q_{CAS1} and Q_{CAS2}) and one inductor (L_B), and the output stage, which is the load resistance, R_L .

The input stage is cascoded for a number of reasons. The first one is to reduce the influence of the base-to-collector capacitance on the LNA's input impedance. Specifically, the Miller effect tends to substantially decrease the input

impedance, making difficult to match the input. In addition to mitigating the Miller effect, the use of a cascode improves the LNA's reverse isolation, which is important in the present application in order to allow suppressing local oscillator (LO) feed-through from the mixer back to the LNA's RF input. Finally, the inclusion of the cascode device Q_{CAS2} allows the gain variation through the external bias voltage V_B . It should be noted, however, that a noise penalty is incurred when using a cascode, but with proper attention to the layout of the devices, the additional noise can be minimized.

The design principles of the implemented 470–862 MHz LNA are described in the following section.

B. LNA Design

Having established the LNA's topology, we now discuss the selection of current values and transistor sizes. The noise figure of the LNA depends directly on the emitter area and on the bias current of Q_{CAS1} , and it will reach a minimum for a particular combination of those parameters. We have simulated various combinations of bias currents, transistors areas and transistors multiplicity. The circuit has been simulated using the software Advanced Design System (ADS) from Agilent and power constraints has been taken into account in order to achieve a low power design.

The next step in minimizing the noise is matching the LNA input impedance. Through resistive shunt-feedback it is possible to match the input and the output having an excellent trade-off between conjugate matching and minimum noise. The first step to do this is to select the values of R_L and R_F in order to match the real part of the input and output impedances. The imaginary part of the input impedance is then matched using the inductor L_B .

Following the procedure outlined above, transistor dimensions of Q_{CAS1} and Q_{CAS2} were selected to be $96 \mu\text{m}^2$. Also, a value of 300Ω has been selected for R_L and R_F in order to guarantee wideband operation. Finally, the input matching is achieved with a L_B of 3.5nH . In our implementation, the dc biasing nodes V_B and V_{CC} are biased separately through external voltage sources. The feed-back capacitor C_F value is 1pF .

III. MIXER

A. Mixer Description

The basic of mixing relies on the multiplication of two signals, the LO signal and an incoming information signal, the RF signal. The voltage of the RF signal is amplified and converted into a current by a driver stage. The LO signal is used to steer all of the current from one transistor to the other at the LO switching stage. Finally, the IF output voltage is created due to the current through the load resistors. Refer to Fig 2 for a diagram of a double balanced mixer [7].

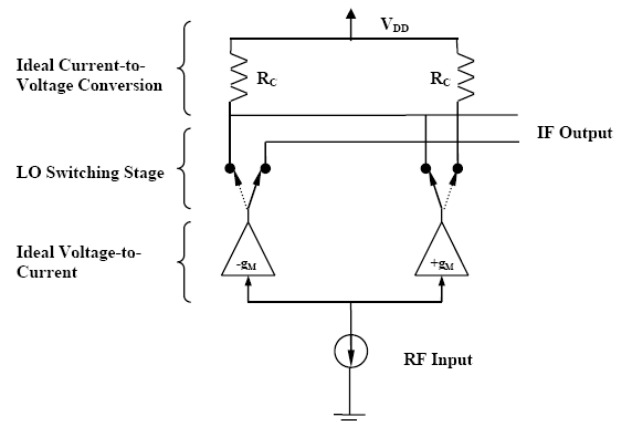
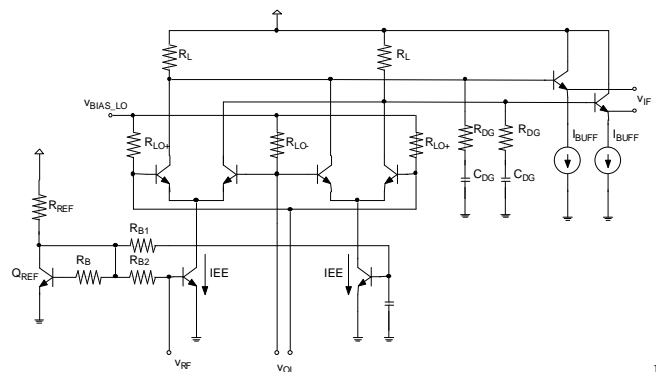


Fig. 2. Ideal Double Balanced Mixer.

The most common mixer topology is the double balanced configuration known as the Gilbert Cell (see Fig 3)[8]. This design is often chosen over the simpler single balanced configuration due to its LO feedthrough isolation properties. Double balanced mixers use symmetry to cancel the unwanted LO components while enhancing desired mixing components at the output.



g. 3. Gilbert Mixer Cell.

In our case, the driver stage has been biased with the current source composed by Q_{REF} , R_{REF} , R_B , R_{B1} and R_{B2} . The switching stage is biased directly through V_{BIAS_LO} . For measurement purposes, an emitter follower buffer is inserted in order to drive an external 50Ω load.

B. Mixer Design

The mixer design begins with a theoretical study of the approximate values for each circuit element. The rest of the process is basically comprised of executing several simulations until a desired result of mixer performance is achieved. There are several factors which affect mixer performance, such as gain, linearity, power and noise. Adjusting circuitry for the purpose of optimizing a particular performance parameter may serve to unintentionally degrade the performance of the other parameters. It is important to monitor all of the performance parameters throughout the design process. The following

discussion will outline how the approximations for each circuit element in the mixer were achieved. We have focused on providing high gain and linearity with a low power consumption.

An approximation of the mixer gain is as follows:

$$A_V = \left(\frac{2}{\pi}\right) \cdot g_{m_{RF}} \cdot R_L \quad (1)$$

Where the $2/\pi$ factor is the attenuation introduced by the switching stage, $g_{m_{RF}}$ is the transconductance of the driver stage and R_L is the load impedance. This approximation is valid if the switching stage transistors are considered to act as perfect switches.

Since the gain is a strong function of R_L , one may consider increasing this parameter. However, this would have a degrading effect on the mixer's linearity because the load resistors could cause gain compression if the voltage swing at the collectors is large enough to cause the output to clip under large signal drive conditions. On the other hand, one may also consider increasing the transconductance of the driver stage transistors, g_m , increasing the transistor current IEE. This, in addition to a power consumption increasing, would cause a deterioration of the linearity due to the third order intermodulation increase produced in the switching quad through the emitter-base junction capacitance.

So, there is a combination of the load resistance and bias current in order to achieve a good trade off between gain and linearity with convenient power consumption.

Fig. 4 shows the conversion gain and linearity (measured as the third order intercept point, IIP3) as a function of the driving current reference resistance (R_{REF}). As shown in the figure, for R_{REF} higher than 2.5 k Ω the gain is practically constant and the current is chosen in order to maximize the IIP3. This leads to a R_{REF} of 4 k Ω , i.e. an IEE of 450 μ A.

The value of R_L was chosen following the same procedure. Fig. 5 shows the gain and IIP3 as a function of R_L . Taking a R_L of 1.3 k Ω , the IIP3 is maximum while the gain keeps an acceptable value (12dB).

The mixer linearity can be increased by source degeneration [8]. This technique consists on introducing a resistance (or inductance) in the emitters of the driver stage in order to maximize the linear input voltage range. However, this implies a deterioration of the gain and noise figure and, as a consequence, was not used in our design. Instead of this, a degeneration network composed by C_{DG} and R_{DG} has been introduced at the buffer input to improve the linearity.

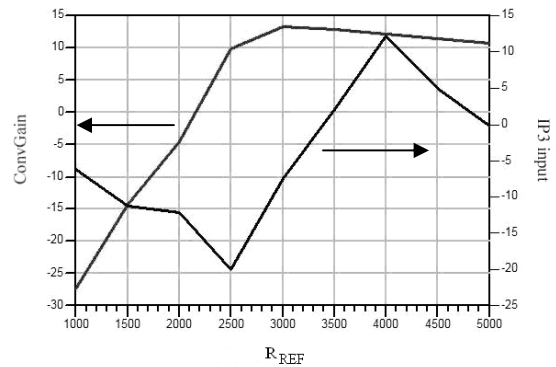


Fig. 4. Gain and IIP3 as a function of R_{REF} .

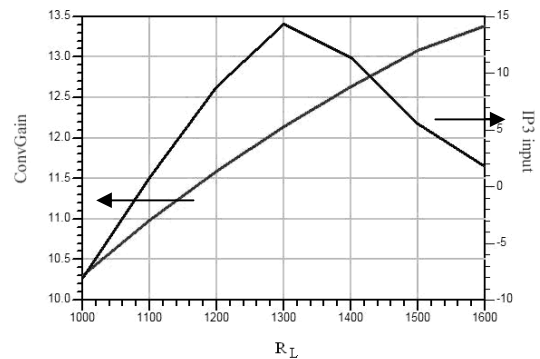


Fig. 5. Gain and IIP3 as a function of R_L .

A further improvement of mixer performance can be achieved optimizing the transistor areas and multiplicities. In general, the gain and NF depend on the transconductor transistors area and the IIP3 depends more on the switching transistor area, reaching a maximum at a given value. Taking this into account, a transconductor and a switching quad transistor areas of 1 and 11 μ m² was chosen, respectively.

IV. RESULTS

The LNA and mixer were integrated in a 0.35 μ m BiCMOS technology with four metal layers. The circuits were designed to be measured on wafer with a probe station and most of the chip area is occupied by the probe pads. The layouts are shown in Fig. 6 and 7. Note that the circuits (excluding the patterns for testing) occupy a very small area of 452 μ m x 600 μ m and 120 μ m x 460 μ m, respectively, because only an inductor L_B is used at the input of the LNA. The results of post-layout simulations are summarized in Table I and discussed in detail below.

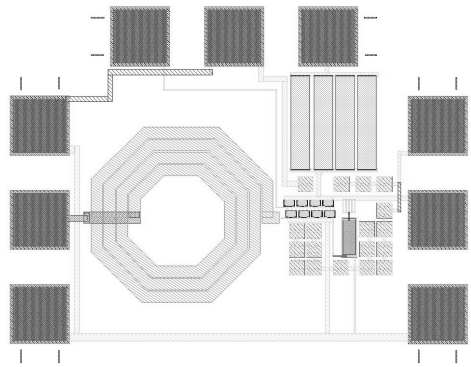


Fig. 6. LNA layout.

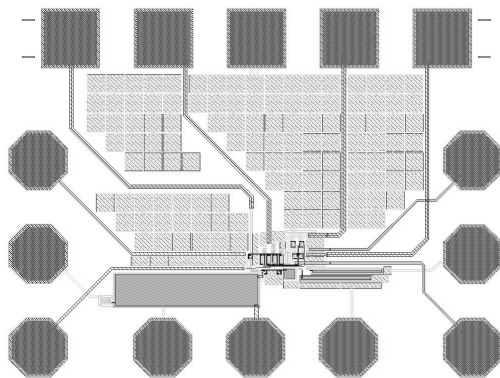


Fig. 7. Mixer layout.

A. LNA

The LNA was simulated separately from the mixer to determine its characteristics. The layout verification and parasitic extraction were made with ASSURA and the worst case extraction mode was used. Fig 8 shows the simulations results. Considering the above conditions, a flat gain of approximately 13 dB (± 0.5 dB) has been obtained for the DVB-H band. From 470 to 862 MHz, S_{11} and S_{22} are less than -8 dB, and the noise figure varies from 2.2 to 2.6 dB.

The linearity of the LNA was evaluated with a two-tone IP3 test with tones at different frequencies on the DVB-H band. The result is plotted in Fig. 9. The IP3 is about -4.3 (± 1) dBm, input-referred.

As stated above, in Fig 10 it is shown how varying the bias voltage V_B , a gain variation of 12 dB can be achieved.

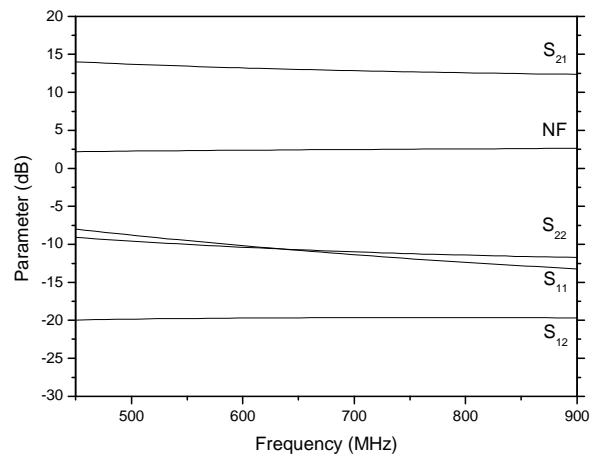


Fig. 8. LNA Scattering parameters and NF.

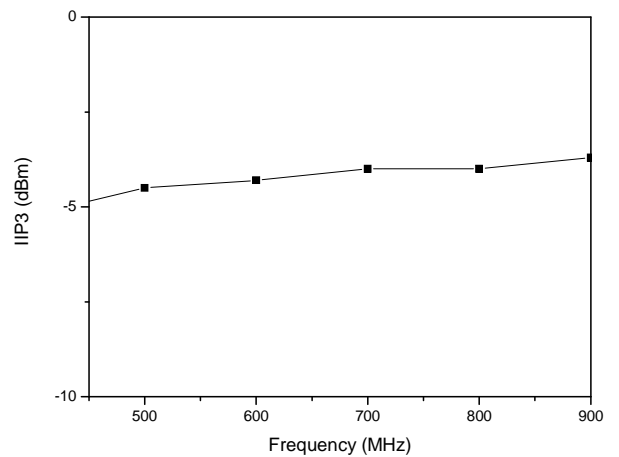


Fig. 9. LNA IIP3 (dBm) at different frequencies.

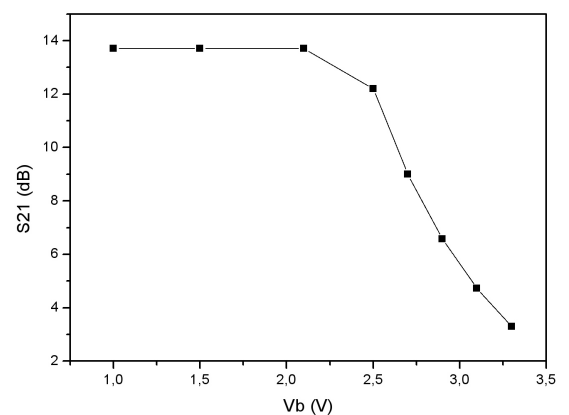


Fig 10. S_{21} with different voltages of V_b

B. Mixer

As the LNA, the mixer was simulated independently to determine its characteristics. Considering the worst case conditions, a flat gain of 15 dB taken from a single ended output has been obtained for the DVB-H band (see Fig 11). As long as the mixer output is differential, 3dB should be added to this quantity.

The single-sideband (SSB) noise figure of the mixer is 24 dB based on noise figure simulations of the mixer/buffer combination.

As the LNA, the linearity of the mixer was evaluated with a two-tone IP3 test with tones at different frequencies on the band of interest. The result is plotted in Fig. 12. At the centre of the band the IIP3 is about 16dBm. This figure degrades as we move to the edges of the band.

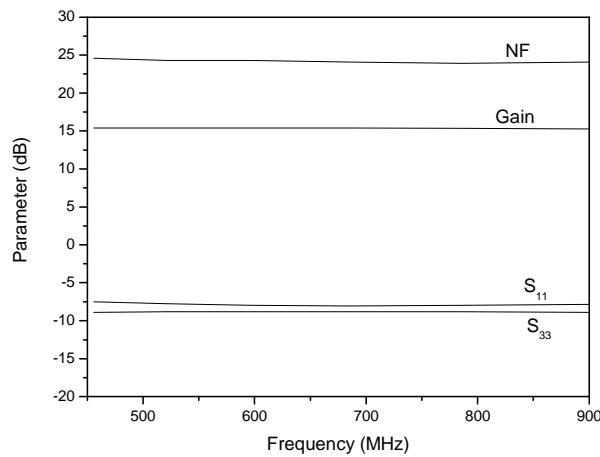


Fig. 11. Mixer Scattering parameters and noise figure.

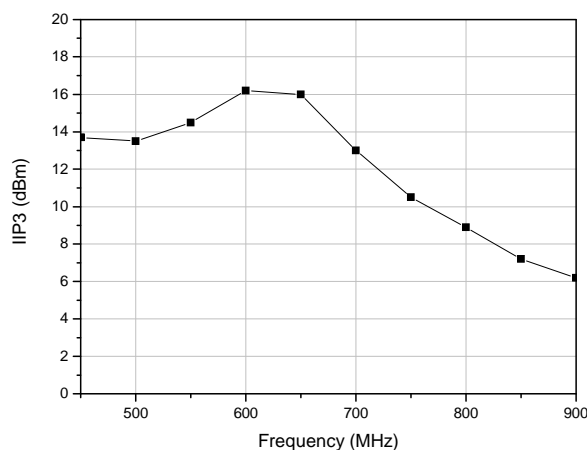


Fig. 12. Mixer IIP3 (dBm) at different frequencies.

C. Front-End

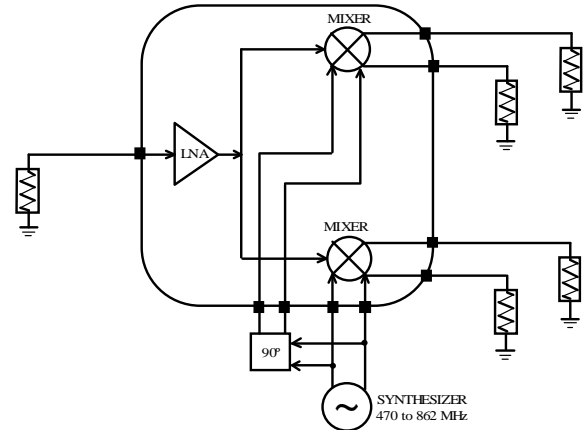


Fig 13. Block diagram of the DVB front-end test setup.

Fig.13 shows the test Set-Up used for simulating the front-end where two mixers in quadrature are integrated with the LNA.

A summary of the DVB-H front end performance is shown in Table I. These results have been obtained at the centre of the band. It can be observed that the front-end gain and noise figure are 31.6 dB and 11.5 dB, respectively. As the single-sideband (SSB) noise figure of the mixer is 24.7 dB and given the gain of the preceding LNA, the mixer contributes 9 dB to the noise figure of the LNA/mixer combination. The IP3 of the combination is approximately -5.4 dBm, input-referred. Comparing the obtained specifications with the proposed specifications, it can be observed how the gain specification has been achieved. On the other hand the noise specification has not been achieved because the mixer has a high noise figure due to the output stage employed.

Table I. Front end performance summary

	LNA	Mixer	Front-End
NF (dB)	2.6	24.7	11.5
Gain (dB)	13	18.4	31.6
IIP3 (dBm)	-4.3	16	-5.4
Consumption (mW)	13.41	3.5	17
Area (mm ²)	0.27	0.05	0.32

V. CONCLUSIONS

A functional LNA/mixer combination for a DVB-H receiver has been presented. The front-end uses only one inductor, located in the LNA input matching network, and the load is not LC resonant in order to obtain the large RF bandwidth required by DVB-H (470 MHz to 862 MHz). The down-conversion is performed with a quadrature mixer.

Both, LNA and mixer present a suitable balance between linearity and noise figure, at a very low power cost. The simulated conversion gain (S_{21}) of the LNA/Mixer combination is 31.6 dB and it can be adjusted through the bias voltage V_B .

REFERENCES

- [1] Guido Retz, Phil Burton, "A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications," in ISSCC 2003.
- [2] Patrick Antoine, Philippe Bauser, Hugues Beaulaton, Martin Buchholz, Declan Carey, Thierry Cassagnes, T. K. Chan, Stephane Colomines, Fionn Hurley, David T. Jobling, Niall Kearney, Aidan C. Murphy, James Rock, Didier Salle, and Cao-Thong Tu, "A Direct-Conversion Receiver for DVB-H," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, December 2005.
- [3] Mark Dawkins, Alison Payne Burdett and Nick Cowley, "A Single-Chip Tuner for DVB-T," in IEEE Journal of Solid-State Circuits, Vol. 38, No. 8, August 2003.
- [4] P. Antoine, P. Bauser, H. Beaulaton, M. Buchholz, D. Carey, T. Cassagnes, T. K. Chan, S. Colomines, F. Hurley, D. T. Jobling, N. Kearney, A. C. Murphy, J. Rock, D. Salle and C.-T. Tu, "A Direct-Conversion Receiver for DVB-H", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, December 2005
- [5] Yunseo Park, Chang-Ho Lee, John D. Cressler, and Joy Laskar, "Theoretical Analysis of a Low Dispersion SiGe LNA for Ultra-Wideband Applications," in IEEE Microwave and Wireless Components Letters, Vol. 16, No. 9, September 2006.
- [6] Chang-Wan Kim, Min-Suk Kang, Phan Tuan Anh, Hoon-Tae Kim, and Sang-Gug Lee, "An Ultra-Wideband CMOS Low Noise Amplifier for 3–5-GHz UWB System," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 2, February 2005.
- [7] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, 1998.
- [8] Behzad Razavi, "RF Microelectronics", Prentice Hall, 1998.

A BiCMOS Chipset for a DVB-H front-end receiver

S. L. Khemchandani¹, J. del Pino¹, D. Ramos¹, J. Pérez¹, N. Barrera¹, U. Alvarado² and A. Hernández¹

¹Dep. Ingeniería Electrónica y Automática / Instituto Universitario de Microelectrónica Aplicada (IUMA), Universidad de Las Palmas de Gran Canaria, Spain.

²Centro de Estudios e Investigaciones Técnicas de Guipúzcoa (CEIT), Spain.
sunil@iuma.ulpgc.es

Abstract—This paper describes the three most challenging components of a digital video broadcasting–handheld tuner: the wideband low noise amplifier, the mixer and the synthesizer. A direct conversion receiver is chosen over classical digital video broadcasting–terrestrial architectures. These blocks are implemented in a standard 0.35 μm BiCMOS process and their measured specifications are the following: the LNA minimum gain is 13 dB at 950 MHz with a maximum NF of 3 dB; the mixer has a conversion gain of 10.7 dB and a maximum NF of 22.5 dB; the VCO oscillates from 1085 MHz to 1766 MHz, covering nearly the entire band using only one VCO core, the phase noise is -112 dBc/Hz at 100 kHz offset, and the tuning range is 47.6 %.

Index Terms—low noise amplifier; LNA; mixer; digital video broadcasting–handheld; DVB-H; BiCMOS; VCO; synthesizer.

I. INTRODUCTION

Digital video broadcasting–handheld (DVB-H) merges the two best-selling consumer products in history, TVs and cellular phones. DVB-H technology adapts the digital video broadcasting–terrestrial (DVB-T) system for digital terrestrial television, to the specific requirements of handheld, battery-powered receivers. DVB-H can offer a downstream channel at high data rates which can be used standalone or as an enhancement of mobile telecoms networks which many typical handheld terminals are able to access anyway [1] [2].

Manufacturers of cellular telephones, portable computers, and other mobile devices are looking for ways to incorporate DVB-H receivers into their products. For many of these handheld devices, one of the primary concerns is battery life. Thus, there is strong motivation to provide good performance at very low power [1]-[3].

This paper deals with the design of the RF part of a DVB-H receiver, particularly with the design of the receiver front–end, in low cost 0.35 μm BiCMOS technology. The designed circuits include a low noise amplifier (LNA), dual quadrature mixers and a synthesizer implementing a direct conversion architecture.

In section II front-end specifications and system architecture are shown. Section III and IV give details of the

LNA and mixer design, respectively, addressing the topics of conversion gain, linearity and noise. Section V is devoted to the synthesizer design. Measured results are presented in each section. Finally, some conclusions are drawn in Section VI.

II. DVB-H RECEIVER

DVB-H standard works in the IV and V UHF bands, from 470 MHz to 862 MHz. The relationship between the channel center frequency and the channel number (N) is the following:

$$f_o = (470 + 4 + (N - 21) \cdot 8) \text{ MHz}, \quad N = 21, \dots, 69 \quad (1)$$

The channel separation is 8 MHz and the channel bandwidth is 7.61 MHz. In case that mobile communications under the standard GSM 900 is used in the same terminal as DVB-H, the usable frequency range is limited to channel 49 (698 MHz).

For the receiver, direct conversion architecture has been selected, thus only one phase locked loop (PLL), working at the channel center frequency, should be designed. In addition, it also avoids the need for an off-chip image reject filter. In double conversion architectures, two different PLLs are needed, one fixed at the higher possible frequency, and the other, at a lower frequency, which is in charge of channel selection. Both PLLs are easier to design than the one proposed here, however the complete receiver would have more power consumption and larger area. On the other hand, the direct conversion architecture suffers from drawbacks such as local oscillator leakage (self-mixing effect) and frequency pulling that appears because the synthesizer operates at the RF signal frequency. Generally, the proposed direct conversion solution is cheaper than the double conversion architecture.

The LNA and mixer specifications depend on the receiver baseband, ADC and automatic gain control. Reference [2] is used as initial approach for specifications to design the LNA and mixer circuits.

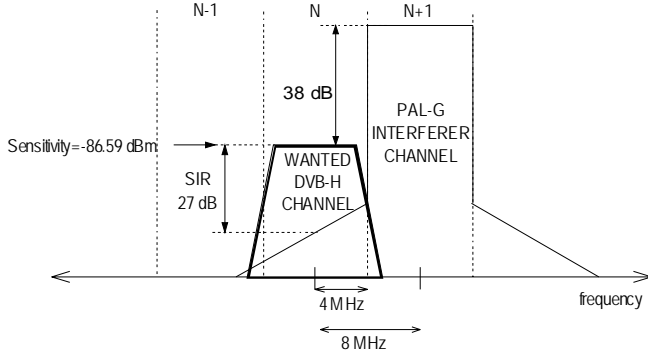


Fig. 1. Graphic representation of the interferer and the wanted channel for phase noise calculation.

For VCO specifications, some calculations have been done. With the chosen architecture, the VCO frequency range is from 474 MHz to 858 MHz. VCO phase noise limits the receiver selectivity and its specification can be calculated from maximum interferer signal in the N+1 channel. This happens for an analog PAL-G interferer channel as shown in Fig. 1 [1].

A 27 dB signal to interferer ratio (SIR) has been selected, 8 dB greater than the carrier to noise ratio (C/N) for the worst case described in the standard, which is 19.2 dB.

The maximum phase noise at 4 MHz offset is:

$$L(4\text{MHz}) = P_{WS} - P_{IS} - \text{SIR} - 10 \cdot \log(B) = -138 \text{ dBc/Hz} \quad (2)$$

where P_{WS} and P_{IS} are the wanted and interferer signals power. Assuming that this value is in the $1/f^2$ part of the phase noise curve according to Leeson [12], the slope is -20 dB/dec. This gives a phase noise requirement of -103 dBc/Hz at 100 kHz offset.

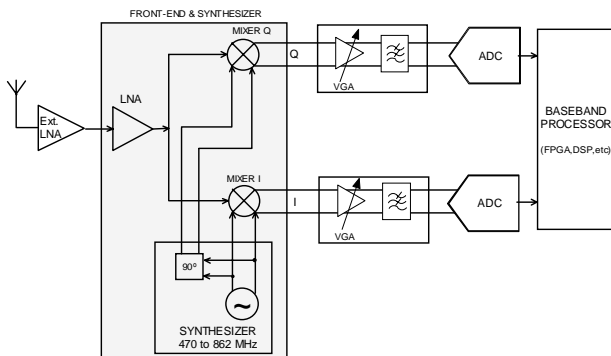


Fig. 2. Block scheme of the DVB-H front-end.

Fig. 2 shows the proposed receiver block scheme. It consists on the front-end and synthesizer, which are the circuits presented in this paper, the baseband amplification and filtering, the ADC and the digital baseband processing.

An external LNA is included in order to meet NF requirements [2].

III. LNA

The primary goal of a LNA is to keep the overall NF of the receiver low enough by screening the relatively large noise of the following mixer by the LNA gain. The essential requirements of a LNA are low noise, high gain, high linearity, low power consumption, and in DVB-H, wideband.

A. LNA Description

Recently, a new topology of a wideband amplifier for UWB system, which adopts a band-pass filter at the input of the cascode LNA for wideband input matching, has been reported [5][6]. The band-pass filter-based topology incorporates the input impedance of the cascode amplifier as a part of the filter, and shows a good performance while dissipating small amounts of dc power.

In this paper it is proposed to combine a resistive loaded LNA, with the conventional resistive shunt-feedback, in order to achieve a low power, low noise and wideband amplifier for the DVB-H band. Fig. 3 shows the proposed topology. As it can be seen, this circuit uses only one inductor reducing the required chip area.

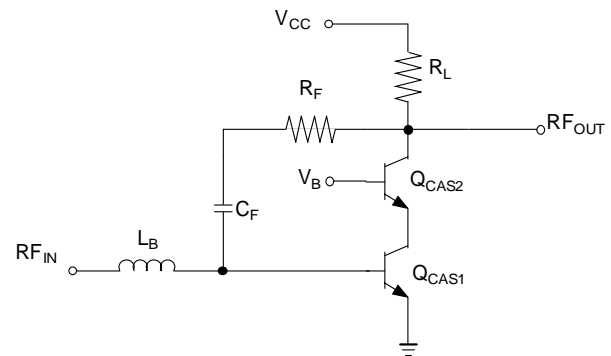


Fig. 3. LNA circuit diagram.

The LNA consists on two stages: the input stage, composed by two transistors (Q_{CAS1} and Q_{CAS2}) in cascode configuration and one inductor (L_B), and the output stage, which is the load resistance, R_L . The input stage is cascoded to allow suppressing local oscillator (LO) feed-through from the mixer back to the LNA's RF input.

Through resistive shunt-feedback it is possible to match the input and the output having an excellent trade-off between conjugate matching and minimum noise. The first step to do this is to select the values of R_L and R_F in order to match the real part of the input and output impedances. The imaginary part of the input impedance is then matched using the inductor L_B .

Following the procedure outlined above, transistor dimensions of Q_{CAS1} and Q_{CAS2} were selected to be $96 \mu\text{m}^2$. Also, a value of 300Ω has been selected for R_L and R_F in order to guarantee wideband operation. Finally, the input matching is achieved with a L_B of 3.5 nH. In this

implementation, the dc biasing nodes V_B and V_{CC} are biased separately through external voltage sources. The feed-back capacitor C_F value is 1 pF.

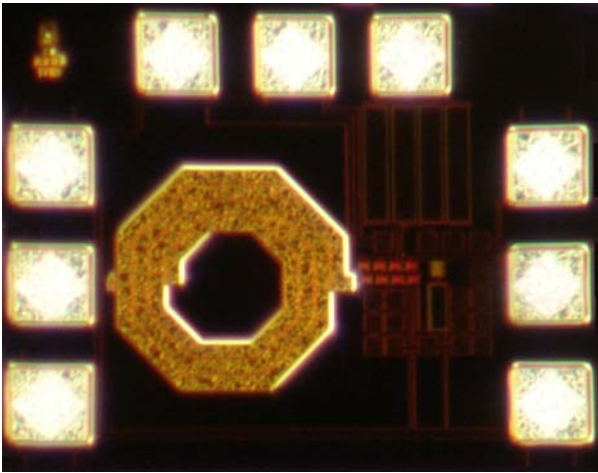


Fig. 4. LNA microphotography.

B. LNA measurement

Fig. 4 shows the LNA microphotography. The total chip size, excluding probe pads, is $452 \times 600 \mu\text{m}^2$. The amplifier draws 3 mA from a 3.3 V supply.

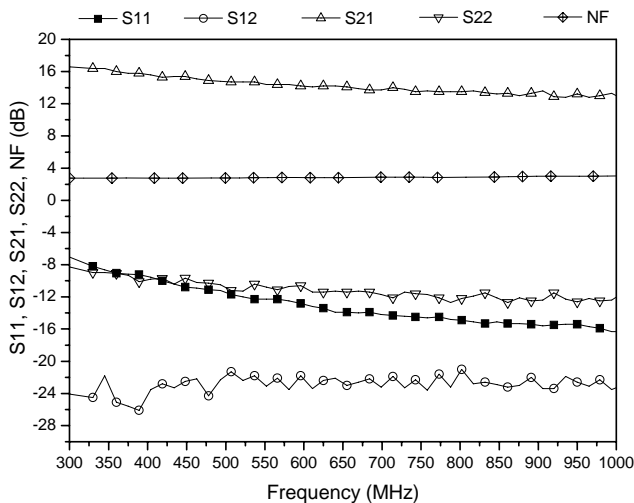


Fig. 5. Measured LNA S-parameters and NF.

Fig. 5 shows the measured S parameters of the wideband amplifier for $V_B=2$ V. In the band, from 470 to 862 MHz, the gain varies from 13 to 16 dB. The measured input return loss (S11) and output return loss (S22) are higher than 10 dB over the bandwidth. The reverse isolation (S12) is greater than 22 dB in the whole band due to the cascode stage. The NF measurement was done in a noise free environment with an E4440 Agilent 26.5 GHz spectrum analyzer and a 346C noise source. The NF varies from 3 to 3.3 dB. This result shows good agreement between measured and simulated data. The input IP3 was measured with a two tone test situated at 666 MHz and 666.2 MHz. Fig. 6 shows the measured IIP3 resulting a value of 5 dBm.

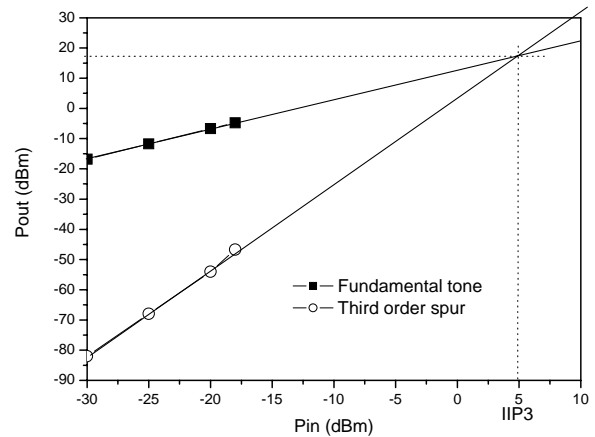


Fig. 6. Measured LNA IIP3.

IV. MIXER

Mixers are used for frequency conversion and are critical components in modern RF systems. In order to avoid self-mixing effect, a high LO and RF isolation is required, so a differential structure was used.

A. Mixer Description

The most common mixer topology is the double balanced configuration known as the Gilbert Cell (see Fig. 7) [8]. This design is often chosen over the simpler single balanced configuration due to its LO feed-through isolation properties. Double balanced mixers use symmetry to cancel the unwanted LO components while enhancing desired mixing components at the output.

In the designed mixer, the driver stage has been biased with the current source composed by Q_{REF} , R_{REF} , R_B , R_{B1} and R_{B2} . The switching stage is biased directly through V_{BIAS_LO} . For measurement purposes, an emitter follower buffer is inserted in order to drive an external 50Ω load.

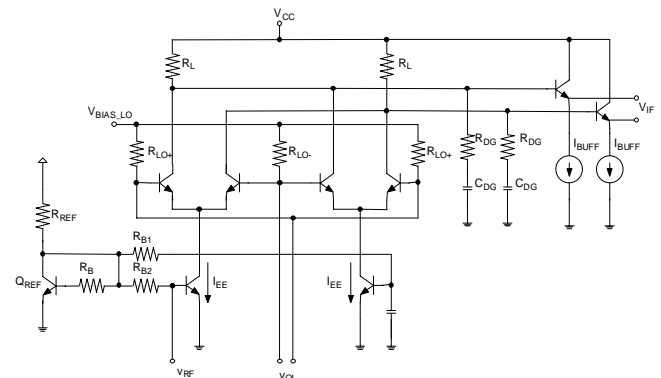


Fig. 7. Gilbert Mixer Cell.

The mixer linearity can be increased by source degeneration [8]. This technique consists on introducing a resistance (or inductance) in the emitters of the driver stage in order to maximize the linear input voltage range. However, this implies a deterioration of the gain and noise figure and, as a consequence, was not used in our design. Instead of this, a

degeneration network composed by C_{DG} and R_{DG} has been introduced at the buffer input to improve the linearity.

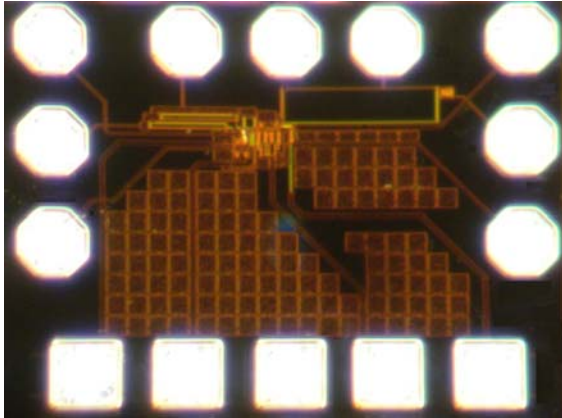


Fig. 8. Mixer microphotography.

B. Mixer measurement

Fig. 8 shows the mixer microphotography. The total chip size, excluding probe pads, is $120 \times 46 \mu\text{m}^2$. The amplifier, including the output buffer, draws 2 mA from a 3.3 V supply.

Fig. 9 shows the measured mixer conversion gain for a LO power of 0 dBm. The IF frequency has been fixed to 4 MHz and the RF and LO frequencies have been varied from 470 to 862 MHz. The measured gain is approximately 13 dB. The NF measurement was done in a noise free environment with the previous configuration. The NF measured value is from 20.5 to 22.5 dB in the band of interest. As the LNA, this result shows good agreement between measured and simulated data.

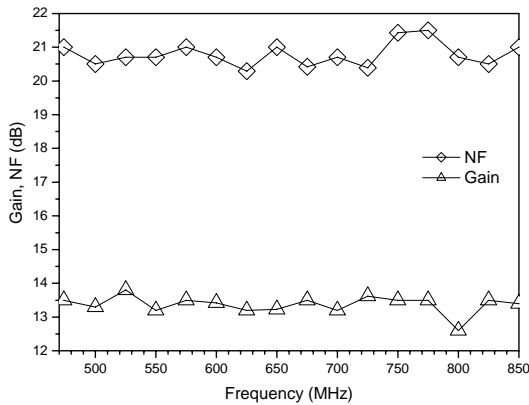


Fig. 9. Mixer measured conversion gain and NF.

V. SYNTHESIZER

The block diagram of the proposed synthesizer is shown in Fig. 10. The phase frequency detector (PFD) compares the output frequency (f_{out}), divided by the dividers (f_{div}), and the reference frequency f_{ref} . The charge pump converts the PFD comparison in current pulses, which are filtered by the loop filter to generate the control voltage. This voltage drives the VCO to increase or decrease the output frequency so as to drive the PFD's average output towards zero.

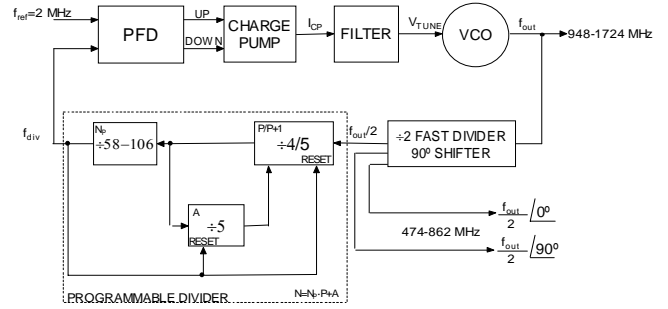


Fig. 10. Synthesizer for DVB-H.

A. Phase Frequency Detector and Charge Pump

The phase and frequency errors are detected by PFD and its schematic is shown in Fig. 11. It is a state machine with RS flip-flops as memory elements [9].

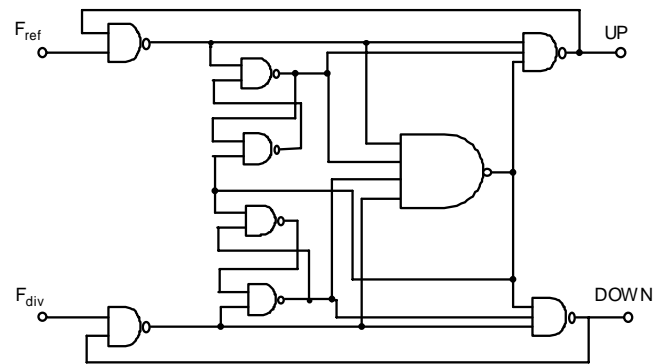


Fig. 11. Phase frequency detector schematic.

The charge pump structure consists on a pair of current sources with switches (see Fig. 12). The PFD gain (K_d) is $32.09 \mu\text{A}/\text{rad}$ and I_{cp} has a value of $\pm 201 \mu\text{A}$.

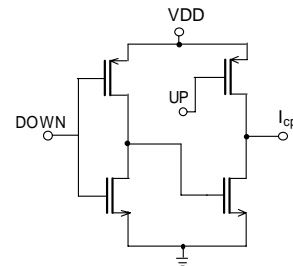


Fig. 12. Charge pump schematic.

B. Fast divider and phase shifter.

The fast divider block diagram is shown in Fig. 13. It is composed by a CML (current mode logic) fast divider, which divides de VCO output by two as well as generates de 0° and 90° signals. The buffers are to drive the mixers and they are matched to 50Ω . A CML to CMOS level converter is used to drive the dual modulus programmable divider.

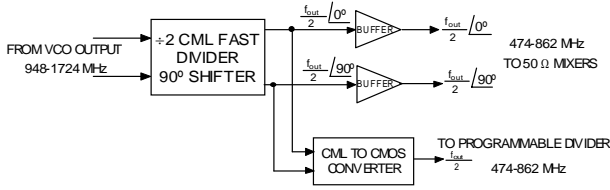


Fig. 13. High speed divider and 90° phase shifter.

The CML fast divider also acts as 0-90° phase shifter and its schematic is shown in Fig. 14 [10]. It is composed by two CML latches with active loads. As shown in Fig. 14, a divider by two using CML latches is formed by a master-slave configuration. This configuration is used to obtain the 0° and 90° LO to drive the I/Q mixers.

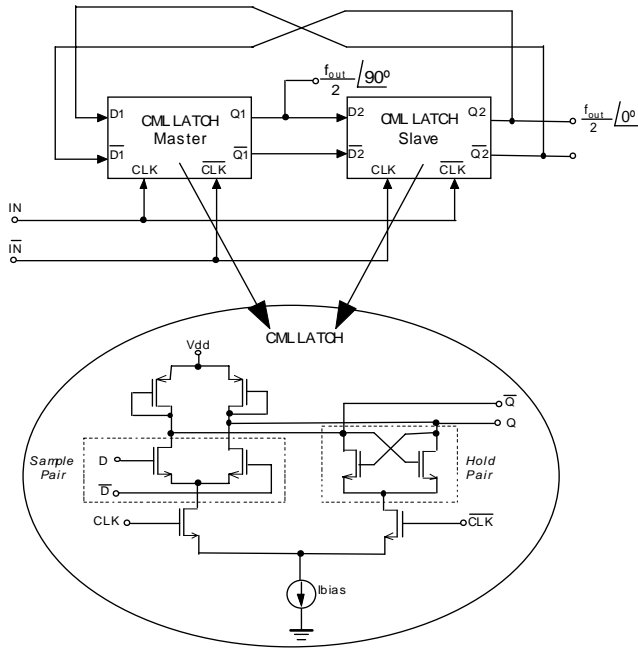


Fig. 14. CML fast divider and shifter.

C. Filter

The utilized loop filter is a passive three-pole filter (see Fig. 15). This comprises a second order filter section and a RC section, providing an extra pole to assist the attenuation of the sidebands at multiples of the comparison frequency that may appear.

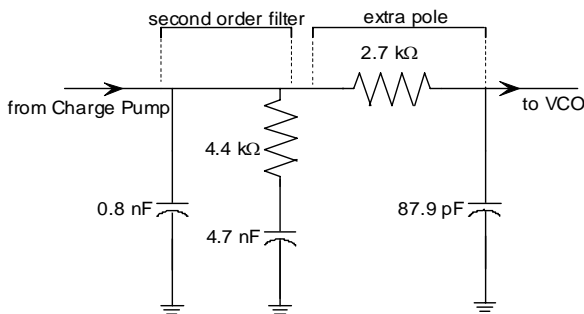


Fig. 15. Passive three-pole loop filter.

D. VCO

The VCO is implemented as an LC oscillator topology [11], integrating all the components of the tank on-chip. A simplified schematic of the VCO is shown in Fig. 16. The core uses a cross-coupled transistor pair to build-up the negative resistance. A buffer amplifier was also added to provide additional isolation from load variations and to boost the output power. A voltage applied to the V_{TUNE} pin, which is connected to the varactors, controls the VCO frequency. Also, an array of switched capacitors was employed to sweep the whole frequency range.

The close-in phase noise behaviour at an offset Δf from the carrier frequency f_0 of a differential LC tuned VCO is given by Leeson's model [12]:

$$L(\Delta) = \frac{2 \cdot K \cdot T \cdot R \cdot F}{V_o^2} \left(\frac{f_0}{2 \cdot Q \cdot \Delta f} \right)^2 \left(1 + \frac{f_c}{\Delta f} \right) \quad (3)$$

where K is Boltzmann's constant, T is the absolute temperature, R is the tank parallel resistance, V_o is the amplitude of oscillation, Q is the resonator loaded quality factor, f_c is the flicker noise corner frequency where flicker noise and thermal noise are equal in importance and F is the excess noise factor. From equation (3) and for a given f_0 , the VCO phase noise can be minimised by reducing the excess noise factor F , improving the tank (i.e. increasing the tank quality factor Q), increasing the amplitude of oscillation V_o .

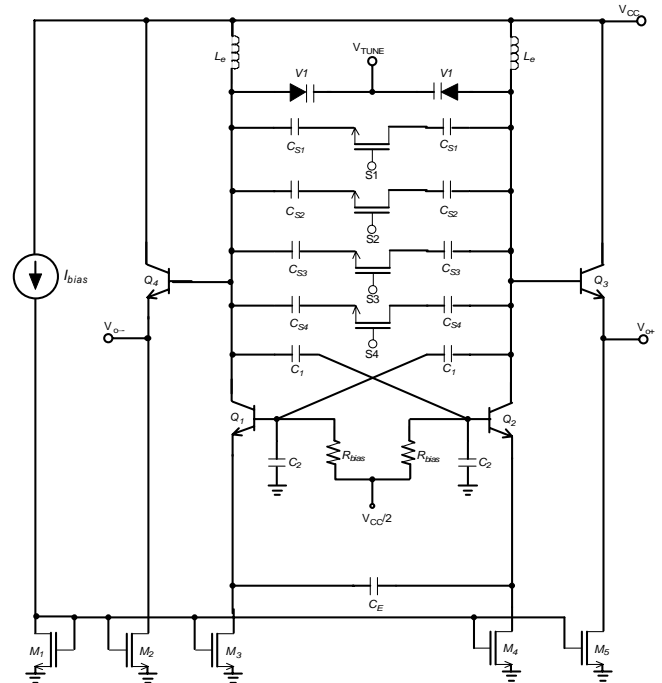


Fig. 16. VCO simplified schematic.

In order to facilitate the integration of inductors and capacitors, the VCO should run at twice the required UHF frequency (from 948 MHz to 1716 MHz). The required

inductors were selected using a commercially available planar electro-magnetic (EM) simulator (Momentum©)[13]. Tuning is achieved by a combination of continuous analog voltage control and digitally switching capacitors (see Fig. 16). The array of switched capacitors is arranged to give five digitally selectable sub-bands.

Capacitive emitter degeneration was employed [14] to increase the amplitude of oscillation V_o . The capacitor C_E is selected so that, at the oscillation frequency, it cancels out the impedance introduced by L_e . As the selected inductance was 4.1 nH, the required capacitance was $C_E \approx 3.5$ pF. This includes the output capacitance of the bias circuit because it introduces extra degeneration.

Another technique used here to increase the output voltage is a capacitive divider [13]. It uses a capacitive voltage division network to decrease the swing at the bases of the cross-coupled transistors, with respect to the tank voltage swing (C_1 and C_2). This prevents the transistors to saturate heavily at high swing at the output. DC biasing of the base terminals is done with 2 kΩ resistors (R_{bias}).

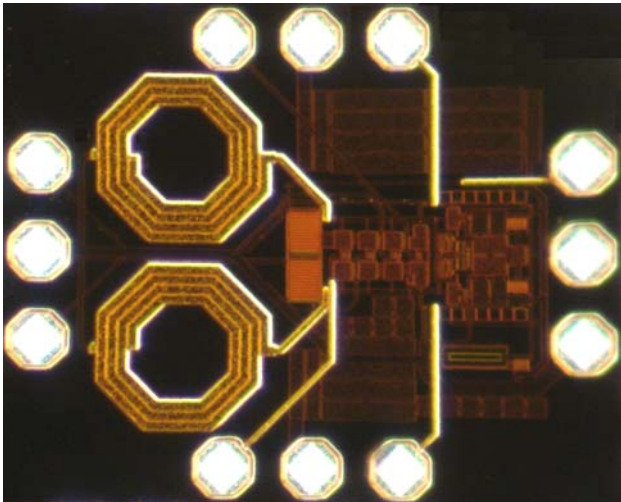


Fig. 17. VCO microphotography.

The chip microphotography is shown in Fig. 17 and its size is $826 \times 1020 \mu\text{m}^2$. Fig. 18 shows the VCO tuning range and the overlapping regions between the five sub-bands. The VCO oscillates from 1085 MHz to 1766 MHz, covering nearly the entire band using only one VCO core. The VCO measured tuning range is 47.6 %.

For phase noise measurement, free running VCO was biased with batteries to minimize the noise from the power supply. The obtained VCO spectrum was quite clear, as shown in Fig. 19. Due to the very low 1/f device corner frequency in SiGe BiCMOS technology the phase noise is -20 dB/dec until the noise floor of the measurement setup is reached. It has been achieved a -112 dBc/Hz at 100 kHz offset. These specifications are suitable for the proposed receiver requirements. The VCO output power is -14 dBm and the current consumption for a 3.3 V supply is 6 mA.

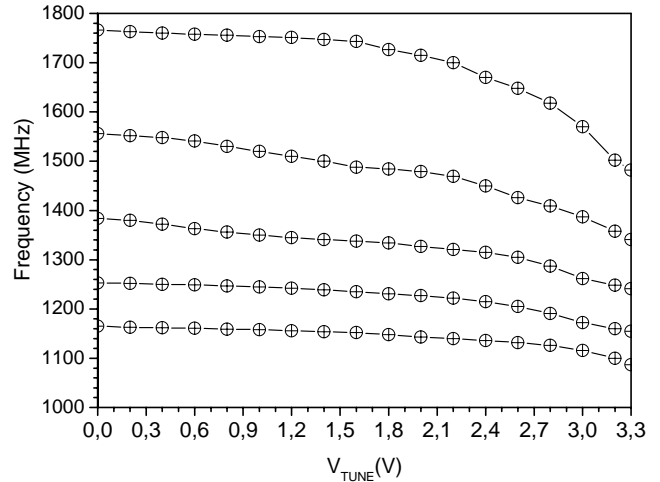


Fig. 18. VCO tuning range.

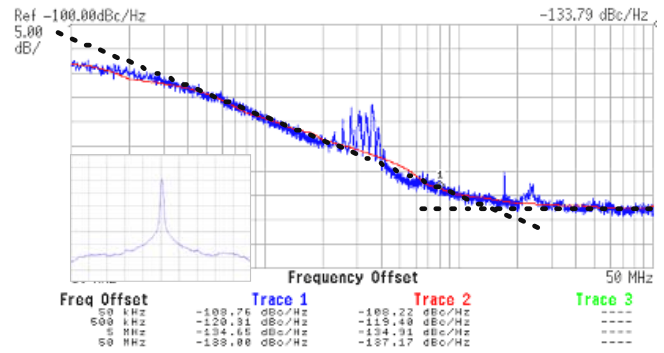


Fig. 19. Measured phase noise for 1740 MHz oscillation frequency.

E. Synthesizer loop response

The synthesizer simulations have been carried out with a modelled VCO using Advanced Design System tool [13]. Fig. 20 shows a synthesizer hop from 1252 MHz to 1412 MHz. Initially, the synthesizer is in free running mode. The synthesizer frequency is stabilized on 1252 MHz after 0.25 ms. A change in the divider is applied at 0.55 ms to achieve the 1412 MHz frequency.

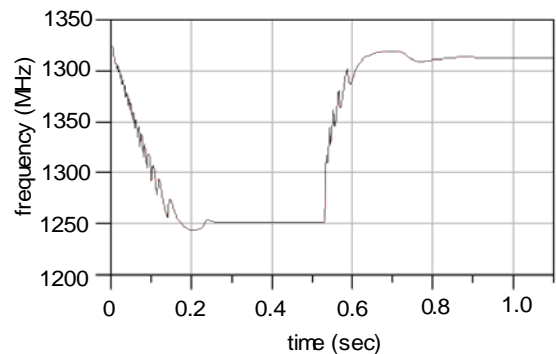


Fig. 20. Synthesizer transient response.

Fig. 21 shows the V_{TUNE} voltage for the same hop and Fig. 22 shows the current pulses from the charge pump output.

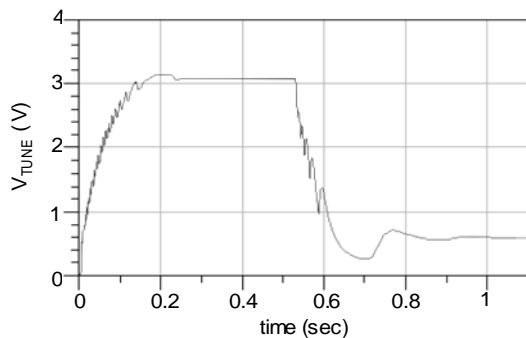


Fig. 21. Synthesizer transient response, V_{TUNE} voltage.

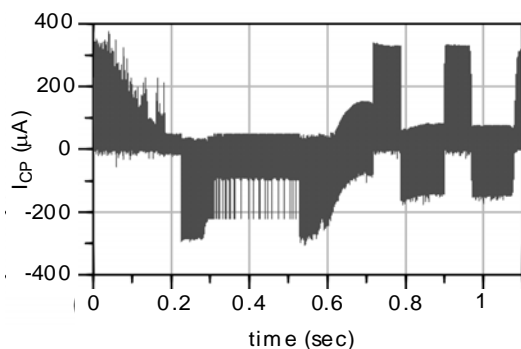


Fig. 22. Synthesizer transient response, charge pump output current.

VI. CONCLUSIONS

A functional LNA/mixer combination with a synthesizer for a DVB-H receiver has been presented. The front-end uses only one inductor, located in the LNA input matching network, and the load is not LC resonant in order to obtain the large RF bandwidth required by DVB-H (470 MHz to 862 MHz). The down-conversion is performed with a quadrature mixer. Both, LNA and mixer, present a suitable trade off between linearity and noise figure, at a very low power cost. The measured conversion gain of the LNA/Mixer combination is 28.5 dB and the total NF is 8.4 dB.

Also, a single core fully integrated VCO with on chip tank has been designed. In order to test the VCO, a synthesizer according to DVB-H standard has been designed, including the 0-90° phase shifter, fast dividers, PFD, charge pump and loop filter. Simulations have been done to test the synthesizer behavior.

VII. ACKNOWLEDGEMENT

This work is partially supported by the Spanish Ministry of Science and Technology (Ministerio de Ciencia y Tecnología, TEC2005-08091-C03-02).

REFERENCES

- [1] Guido Retz, Phil Burton, "A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications," in ISSCC 2003.
- [2] Patrick Antoine, Philippe Bauser, Hugues Beaulaton, Martin Buchholz, Declan Carey, Thierry Cassagnes, T. K. Chan, Stephane Colomines, Fionn Hurley, David T. Jobling, Niall Kearney, Aidan C. Murphy, James Rock, Didier Salle, and Cao-Thong Tu, "A Direct-Conversion Receiver for DVB-H," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, December 2005.
- [3] Mark Dawkins, Alison Payne Burdett and Nick Cowley, "A Single-Chip Tuner for DVB-T," in IEEE Journal of Solid-State Circuits, Vol. 38, No. 8, August 2003.
- [4] P. Antoine, P. Bauser, H. Beaulaton, M. Buchholz, D. Carey, T. Cassagnes, T. K. Chan, S. Colomines, F. Hurley, D. T. Jobling, N. Kearney, A. C. Murphy, J. Rock, D. Salle and C.-T. Tu, "A Direct-Conversion Receiver for DVB-H", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, December 2005.
- [5] Yunseo Park, Chang-Ho Lee, John D. Cressler, and Joy Laskar, "Theoretical Analysis of a Low Dispersion SiGe LNA for Ultra-Wideband Applications," in IEEE Microwave and Wireless Components Letters, Vol. 16, No. 9, September 2006.
- [6] Chang-Wan Kim, Min-Suk Kang, Phan Tuan Anh, Hoon-Tae Kim, and Sang-Gug Lee, "An Ultra-Wideband CMOS Low Noise Amplifier for 3-5-GHz UWB System," in IEEE Journal of Solid-State Circuits, Vol. 40, No. 2, February 2005.
- [7] Thomas H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, 1998.
- [8] Behzad Razavi, "RF Microelectronics", Prentice Hall, 1998.
- [9] Agilent Technologies, "PLL Design Guide," <http://eesof.tm.agilent.com>, Aug, 2005.
- [10] M. Usama, T. Kwasniewski, "New CML latch structure for high speed prescaler design," *Canadian Conference on Electrical and Computer Engineering*, vol. 4, pp. 1915 - 1918, May 2004.
- [11] J. Craninckx, M. Steayert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no.12, pp. 794-804, Dec. 1995.
- [12] D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proceedings of IEEE*, vol. 54, pp. 329-330, Feb. 1966.
- [13] Agilent Technologies, <http://eesof.tm.agilent.com>.

- [14]Jing-Hong Conan Zhan, Kyle Maurice, Jon Duster and Kevin T. Kornegay. “Analysis and Design of Negative Impedance LC Oscillators Using Bipolar Transistors,” *IEEE Transactions on Circuits and Systems*, vol. 50, no. 11, pp. 1461-1464, Nov. 2003.