

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



Proyecto Fin de Carrera

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO (LNA) EN
TECNOLOGÍA SiGe 0.35 μm PARA UN RECEPTOR BASADO EN
EL ESTÁNDAR IEEE 802.11a**

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.

SUNIL LALCHAND KHEMCHANDANI.

AUTOR: JESÚS RUBÉN PULIDO MEDINA.

FECHA: ABRIL 2004.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



Proyecto Fin de Carrera

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO (LNA) EN
TECNOLOGÍA SiGe 0.35 μm PARA UN RECEPTOR BASADO EN
EL ESTÁNDAR IEEE 802.11a**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:.....

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.

SUNIL LALCHAND KHEMCHANDANI.

AUTOR: JESÚS RUBÉN PULIDO MEDINA.

FECHA: ABRIL 2004.

Agradecimientos

Quien lo diría, después de tanto esfuerzo y sacrificio, aquí estoy. Parece que fue ayer mi primer día de clase, cuando no tenía ni idea de donde estaba situado el edificio.

Fueron comienzos muy duros, en los que incluso llegué a plantearme si algún día llegaría a terminar la carrera. Quién me iba a decir cuando llegué aquí que terminaría en tan sólo los tres años que dura la titulación. Sin embargo, ya me ven, ahora me encuentro agradeciendo a todos aquellos que me han ayudado a concluirla en tan breve período de tiempo.

Estoy totalmente convencido de que no podría haberlo logrado sin el apoyo firme y constante de mis padres, sin los consejos tan acertados de Javier, Amaya y Sunil a la hora de realizar el proyecto o sin el inestimable apoyo de Roberto, que convirtió en una grata experiencia el desarrollo del proyecto.

No me gustaría no mencionar a todos aquellos compañeros que han estado conmigo a lo largo de la carrera, ya que han sido otro punto de apoyo moral fundamental.

Sólo espero que todo el apoyo que he tenido el privilegio de disfrutar a lo largo de este tiempo tenga continuación en todos aquellos proyectos de futuro que me plantee.

Gracias.

Índice

1. Introducción.....	1
1.1 Objetivos.....	3
1.2 Estructura de la memoria.....	3
1.3 Peticionario.....	4
2. Estándar IEEE802.11a.....	5
2.1 Características de los sistemas de RF.....	5
2.1.1 Ganancia (G)	5
2.1.2 Figura de ruido (NF)	6
2.1.3 Punto de Intercepción de Tercer orden (IP3)	7
2.1.4 Coeficiente de onda estacionario (VSWR)	10
2.2 Características del Estándar IEEE 802.11a.....	10
2.2.1 Canalización.....	10
2.2.2 Modulación OFDM.....	13
2.3 Especificaciones técnicas.....	18
2.3.1 Impedancia de la antena de emisión y recepción.....	18
2.3.2 Rangos de temperatura para la transmisión y la recepción.....	19
2.3.3 Nivel de potencia en la transmisión.....	19
2.3.4 Máscara del espectro de salida.....	19
2.3.5 Variación de la frecuencia a la salida.....	20
2.3.6 Sensibilidad a la entrada.....	20
2.3.7 Figura de ruido.....	21
2.4 Tipos de Receptores.....	21
2.4.1 Receptor de conversión directa.....	22
2.4.2 Receptor superheterodino de doble conversión.....	23
2.4.3 Receptor de arquitectura Weaver modificada.....	24
2.5 Elección de la arquitectura.....	25
2.6 Resumen.....	26

3. Características de los LNAs.....	27
3.1 Especificaciones de LNAs.....	27
3.2 Tipos de ruido.....	28
3.3 Topologías de LNAs.....	29
3.3.1 Configuración emisor-común.....	30
3.3.2 LNA de dos etapas.....	33
3.3.3 LNA con realimentación negativa por transformador.....	35
3.3.4 Configuración en base común.....	36
3.3.5 LNA cascodo (<i>Single-Ended</i>)	37
3.3.6 LNA diferencial.....	38
3.3.7 LNA balanceado (<i>Balanced LNA</i>)	39
3.4 Resumen.....	40
4. Estudio de la tecnología.....	41
4.1 Resistencias	41
4.1.1 Construcción.....	41
4.1.2 Resistencias en la tecnología S35D4M5 de AMS.....	42
4.2 Condensadores.....	45
4.2.1 Construcción.....	45
4.2.2 Condensadores en la tecnología S35D4M5 de AMS.....	46
4.3 Bobinas.....	47
4.3.1 Construcción.....	47
4.3.2 Funcionamiento.....	48
4.3.3 Modelo de la bobina.....	50
4.3.4 Bobinas en la tecnología S35D4M5 de AMS.....	51
4.4 El Transistor MOSFET.....	52
4.4.1 Construcción.....	52
4.4.2 Funcionamiento.....	52
4.4.3 Modelo de Baja Frecuencia.....	56
4.4.4 Modelo de Alta Frecuencia.....	57
4.4.5 Transistores MOSFET en la tecnología S35D4M5 de AMS.....	58
4.5 HBTs de SiGe.....	61
4.5.1 Estructura y principio de funcionamiento de los HBTs de SiGe....	61
4.5.2 HBTs en la tecnología S35D4M de AMS.....	65

4.6 Resumen.....	66
5. Diseño a nivel de esquemático.....	67
5.1 Especificaciones.....	67
5.2 Flujo de diseño.....	68
5.2.1 Polarización óptima de los transistores.....	68
5.2.2 Configuración apropiada del LNA.....	71
5.2.2.1 Configuración asimétrica.....	71
5.2.2.2 LNA balanceado (<i>Balanced LNA</i>).....	83
5.3 Resumen.....	88
6. Diseño a nivel de <i>layout</i>.....	89
6.1 Proceso de diseño.....	89
6.2 Técnica del centro-común.....	90
6.2.1 Gradienes y centroides.....	91
6.2.2 <i>Layout</i> del centroide común.....	94
6.2.2.1 <i>Arrays</i> de dos dimesiones.....	100
6.2.3 Reglas de Apareamiento en transistores NPN.....	102
6.3 Tolerancia de resistencias.....	105
6.4 LNA cascado.....	107
6.4.1 Simulaciones <i>post-layout</i>	109
6.5 LNA Balanceado.....	111
6.5.1 Simulaciones <i>post-layout</i>	114
6.6 Resumen.....	116
7. Integración en una cadena de recepción.....	117
7.1 Consideraciones previas.....	117
7.2 Mezclador (<i>Mixer</i>).....	118
7.3 Conexionado LNA – Mezclador.....	121
7.4 <i>Layout</i> del Sistema.....	122
7.5 Simulación <i>Post-Layout</i>	122
7.6 RUN de fabricación.....	125
7.7 Resumen.....	127
8. Conclusiones.....	129

8.1 Estudio comparado.....	129
8.2 Conclusiones.....	131
Bibliografía.....	133
Presupuesto.....	136
Anexo.....	140

Capítulo 1

Introducción

En los últimos años las redes inalámbricas (WLAN, *Wireless Local Area Network*) han ganado muchos adeptos y popularidad en mercados como hospitales, fábricas, tiendas de autoservicio, pequeños negocios, universidades, etc. Las redes inalámbricas permiten a los usuarios el acceso a información y recursos en tiempo real sin necesidad de estar físicamente en un lugar determinado. Con WLANs la red por sí misma es móvil y elimina la necesidad de usar cables y establece nuevas aplicaciones añadiendo flexibilidad a la red y, lo que es más importante, incrementa la productividad y eficiencia en las actividades diarias de la empresa. Un usuario dentro de una red inalámbrica puede transmitir y recibir voz, datos y video dentro de edificios, entre edificios o campus universitarios e inclusive sobre áreas metropolitanas.

Muchos de los fabricantes de ordenadores y equipos de comunicaciones como PDAs (*Personal Digital Assistants*), módems, microprocesadores inalámbricos, lectores de punto de venta y otros dispositivos están introduciendo aplicaciones en soporte a las comunicaciones inalámbricas. Las nuevas posibilidades que ofrecen las WLANs son permitir una fácil incorporación de nuevos usuarios a la red, ofrecer una alternativa de bajo coste a los sistemas cableados, y posibilitar el acceso a cualquier base de datos o cualquier aplicación localizada dentro de la red.

Las ventajas de las WLANs sobre las redes cableadas se pueden resumir en los siguientes términos:

- Movilidad: Las redes inalámbricas pueden proporcionar a los usuarios de una LAN acceso a la información en tiempo real en cualquier lugar dentro de la organización. Esta movilidad incluye oportunidades de productividad y servicio que no es posible con una red cableada.
- Simplicidad y rapidez en la instalación: La instalación de una red inalámbrica es rápida y fácil. Además elimina la necesidad de tirar cable a través de paredes y techos.
- Flexibilidad en la instalación: La tecnología inalámbrica permite a la red ir donde la cableada no puede ir.



Figura 1. PDA (*Personal Digital Assistant*)

- Coste de propiedad reducido: Mientras que la inversión inicial requerida para una red inalámbrica puede ser más alta que el coste en *hardware* de una LAN cableada, la inversión de toda la instalación y el coste del ciclo de vida puede ser significativamente inferior. Los beneficios y costes a largo plazo son superiores en ambientes dinámicos que requieren acciones y movimientos frecuentes.
- Escalabilidad: Los sistemas de WLANs pueden ser configurados en una variedad de topologías para satisfacer las necesidades de las instalaciones y aplicaciones específicas. Las configuraciones son muy fáciles de cambiar y además es muy fácil la incorporación de nuevos usuarios a la red.

Estas características serán la base sobre la que fundamentaremos nuestro proyecto, dados los amplios campos de actuación de este tipo de tecnologías.

1.1 Objetivos

El presente proyecto trata del diseño de un amplificador de bajo nivel de ruido (LNA) basado en la tecnología SiGe 0,35 μm suministrada por la empresa AMS (*Austria Micro System*)[1] para el estándar inalámbrico IEEE802.11a. Dicho amplificador formará parte de una cadena de recepción (*Front-End*).

El objetivo, además del diseño, es verificar que la tecnología SiGe 0,35 μm es válida para la implementación de un LNA en una aplicación basada en el estándar IEEE802.11a. En el siguiente apartado de este capítulo daremos una visión general de la estructura de la memoria así como un amplio resumen del desarrollo del proyecto.

1.2 Estructura de la memoria

Tras este primer capítulo, en el que hemos presentado las peculiaridades de los sistemas inalámbricos y los objetivos del proyecto, abordaremos en el segundo el estudio de las características del estándar IEEE802.11a. Para ello, nos introduciremos en el tema dando una explicación general de las características comunes a cualquier sistema de radiofrecuencia (RF). Seguidamente, veremos en profundidad los aspectos más importantes del estándar en sí, haciendo especial hincapié en aquellos que intervienen de forma directa en nuestro diseño. Finalmente, haremos un estudio de las principales arquitecturas de receptores existentes actualmente. Este análisis será vital a la hora de elegir la topología de receptor adecuada en la que irá integrado nuestro diseño.

En el capítulo 3 nos centraremos en las características de los amplificadores de bajo nivel de ruido (LNAs). Aquí veremos las especificaciones típicas de estos dispositivos en sistemas de RF. Daremos especial importancia a los tipos de ruido que les afectan, y así dar soluciones válidas que ayuden a paliarlos. Dichas soluciones se derivan del uso de determinadas topologías de LNAs, las cuáles serán también analizadas. De este estudio obtendremos la configuración de LNA que mejor compromiso presente entre ganancia, linealidad y figura de ruido.

En el capítulo 4 profundizaremos en el estudio de la tecnología SiGe de 0,35 μm de AMS. Esto lo lograremos analizando todos los componentes que suministra dicha tecnología y que entran a formar parte de la estructura de un LNA. Para ello nos ayudaremos del *software Cadence*. Será este programa junto con el *software ADS (Advanced Design System)*, los empleados a la hora de simular e implementar físicamente nuestro diseño.

En el capítulo 5, tras los estudios anteriores, acometeremos el diseño del LNA. Esto lo lograremos realizando un primer esbozo a nivel de esquemático. Aquí estudiaremos la correcta polarización de los transistores empleados. Una vez hecho esto, veremos cuáles son las topologías de polarización más adecuadas, junto con las redes de adaptación de impedancias a la entrada y a la salida.

Una vez completado nuestro diseño a nivel de esquemático, pasaremos a simularlo con el *software* mencionado anteriormente, y así comprobar el correcto funcionamiento de nuestro circuito.

En el capítulo 6, pasaremos a la implementación física del diseño obtenido en el capítulo anterior a través de la generación del *layout*. Para ello, analizaremos de forma profunda cuáles son las técnicas más apropiadas. Una vez generado nuestro *layout*, realizaremos una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño.

En el capítulo 7, integraremos nuestro LNA junto con un mezclador realizado por el alumno Roberto Díaz Ortega[2]. Así podremos observar el correcto funcionamiento de nuestro diseño en una cadena de recepción. Para ello, nos ayudaremos del ya conocido *software Cadence*.

Finalmente en el capítulo 8 se resumen las principales conclusiones y líneas de trabajo abiertas a raíz de este proyecto. De la misma forma, compararemos nuestro diseño con otros trabajos similares, lo cuál nos será útil a la hora de obtener dichas conclusiones.

1.3 Peticionario

Actúa como peticionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA).

Capítulo 2

Estándar IEEE802.11a

En el capítulo anterior dimos una introducción general del desarrollo de nuestro proyecto y establecimos que el estándar sobre el que nos íbamos a basar en nuestro trabajo es el denominado IEEE802.11a.

En este capítulo analizaremos los parámetros característicos de este estándar, ya que protagonizan un importante papel dentro de nuestro estudio.

Para ello, comenzaremos con una breve introducción de las características de los sistemas de radiofrecuencia (RF) en general. Con esta información, nos encontraremos capacitados para desarrollar en profundidad el estándar IEEE802.11a.

2.1 Características de los sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de RF y, por tanto, nos serán de utilidad más adelante para el estudio del sistema donde irá incluido nuestro amplificador.

2.1.1 Ganancia (G)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación (2.1).

$$G = \frac{V_{\text{salida}}}{V_{\text{entrada}}} \quad (2.1)$$

Siendo su valor en decibelios el mostrado en la ecuación (2.2).

$$G(\text{dB}) = 20 \log \left(\frac{V_{\text{salida}}}{V_{\text{entrada}}} \right) \quad (2.2)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S , más concretamente el parámetro S_{21} .

2.1.2 Figura de ruido (NF)

En un amplificador de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación (2.3).

$$NF = \frac{P_{N0}}{P_{Ni} * G_A} \quad (2.3)$$

donde P_{N0} es la potencia total de ruido disponible a la salida del sistema, $P_{Ni}=k \cdot T \cdot B$ es la potencia de ruido disponible en un ancho de banda B (k y T son respectivamente la constante de Boltzmann y la temperatura absoluta) y G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{S0}) y la potencia de señal

disponible a la entrada (P_{S_i}). Sustituyendo G_A por dicha relación obtenemos que la figura de ruido viene dada por:

$$NF = \frac{P_{S_i} / P_{N_i}}{P_{S_0} / P_{N_0}} = \frac{SNR_i}{SNR_0} \quad (2.4)$$

donde SNR_i y SNR_o son, respectivamente, las relaciones señal a ruido medidas a la entrada y a la salida. De esta forma, la figura de ruido es una medida de cuanto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_o$, independientemente del valor de la ganancia del mismo. Esto es debido a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por lo tanto, la figura de ruido de un circuito sin ruido es igual a 1 aunque por lo general la figura de ruido suele ser mayor que la unidad.

Para dos etapas en cascada la figura de ruido viene dada por la expresión (2.5),

$$NF = NF_1 + \frac{NF_2 - 1}{G_{A1}} \quad (2.5)$$

donde NF_1 y NF_2 son las figuras de ruido de ambas etapas por separado y G_{A1} es la ganancia de la primera etapa. La ecuación (2.5) muestra que la primera etapa es la que más contribuye al ruido total ya que su figura de ruido se suma directamente a la del sistema y la de la segunda etapa es atenuada por la ganancia de la primera etapa. En consecuencia, la primera etapa de un sistema de radiofrecuencia (LNA) debe tener una baja figura de ruido y una alta ganancia.

2.1.3 Punto de Intercepción de Tercer orden (IP3)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1 \pm n\omega_2$ los cuales se producen por mezcla de los anteriores. A estos se les denomina *productos de intermodulación (IM)*. Se define el *orden* de cada producto como la suma de $m+n$. Los productos de intermodulación se pueden dar referidos a la salida (OIM) o a la entrada (IIM) y se suelen expresar en dBm. Ambos valores están relacionados a través de la ganancia del circuito ($OIM = IIM + G \text{ dB}$). Los productos de intermodulación más importantes

son los de tercer orden ($2\omega_1 - \omega_2$ y $2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la Figura 2.1 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

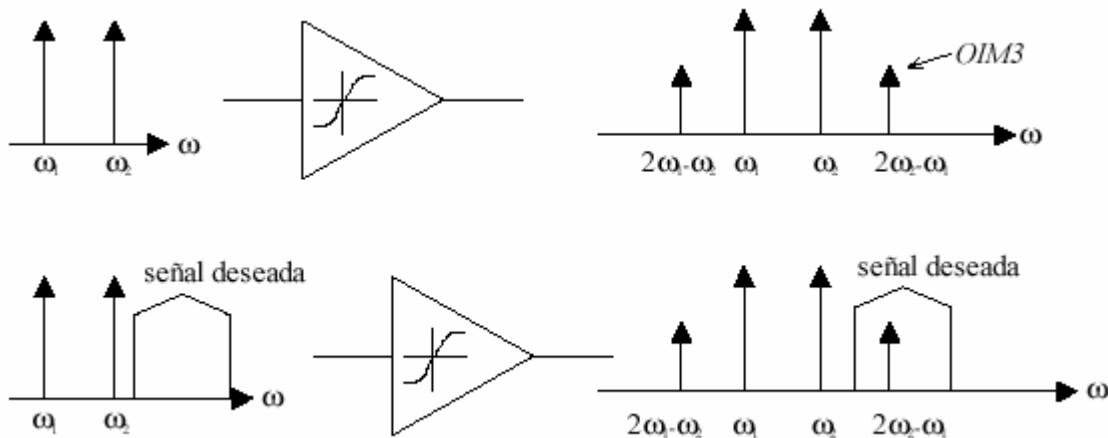


Figura 2.1 Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de interceptación de tercer orden *IP3* (*third intercept point*) el cual se puede dar referido a la entrada (*IIP3*) o a la salida (*OIP3*). El *IIP3* se calcula como:

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + Pin_{dBm} \quad (2.6)$$

donde P_{in} es la potencia de la señal interferente (tono) y ΔP_{dB} es la diferencia de potencia entre la señal interferente y el *IIP3*. En la Figura 2.2 se muestra la interpretación gráfica de ambas cantidades así como del *IP3*. Para determinar gráficamente el *IP3* se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel

RF a la entrada. El *IP3* es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el *IP3* más lineal será nuestro circuito.

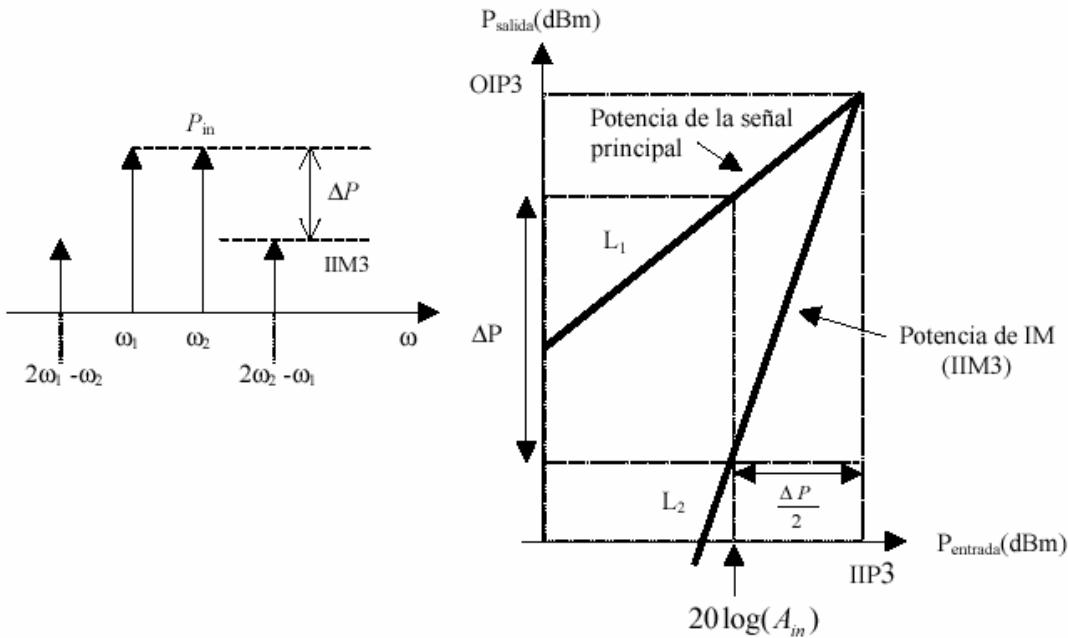


Figura 2.2 Medida del IP3 referido a la entrada.

Así, el *IIP3* se puede determinar a partir de la ecuación (2.6) mediante la expresión (2.7).

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \quad (2.7)$$

Por lo que el *IIM3* viene dado por la ecuación (2.8).

$$\begin{aligned} IIM3_{dBm} &= Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \\ IIM3_{dBm} &= 3Pin_{dBm} - 2IIP3_{dBm} \end{aligned} \quad (2.8)$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del *IM3* presenta el inconveniente que debe ser especificada la potencia de entrada. Con el *IP3* se salva este problema. El *IIM3* y el *OIM3* son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el *IIP3* y el *OIP3*

son medidas relativas a los valores de los tonos de *test* utilizados. De esta forma, haciendo uso del *IIP3* o el *OIP3* podemos comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello son la forma más habitual de caracterizar los efectos de la intermodulación.

2.1.4 Coeficiente de onda estacionario (*VSWR*)

Está relacionado con el coeficiente de reflexión (Γ_L , relación entre la onda incidente y la reflejada) según la expresión (2.9) e indica una medida cuantitativa de la adaptación del circuito a la entrada (*VSWR1*) o a la salida (*VSWR2*). En la ecuación (2.9), Z_0 es la impedancia característica de una línea de transmisión y Z_L es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un *VSWR* de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (2.9)$$

2.2 Características del Estándar IEEE 802.11a

Este estándar se define para redes inalámbricas en la banda de 5 GHz. En la Tabla 2.1 se puede ver las especificaciones básicas de estándares de WLANs.

Para reducir errores el estándar presenta la reducción de la tasa de transferencia de información. El 802.11a tiene 7 velocidades de transferencia de datos posibles (48, 36, 24, 18, 12, 9 y 6 Mbps). La velocidad máxima permisible de 54 Mbits/s sólo es disponible en un ambiente libre de interferencias y a muy corta distancia.

2.2.1 Canalización

La frecuencia central de canal es múltiplo de 5 MHz. La relación entre la frecuencia central y el número del canal viene dada por la ecuación (2.10).

$$\text{Frecuencia central del cada canal} = 5 \text{ GHz} + 5 \text{ MHz} \times n_{ch} \quad (2.10)$$

Existen 12 canales, los cuales se puede observar en la Tabla 2.2.

Tabla 2.1 Distintas especificaciones para WLANs

Estándar	Velocidad máxima	Modulación	Ancho de banda de canal	Frecuencia
802.11a	54 Mbps	OFDM	20 MHz	5.0 GHz
802.11b	11 Mbps	DSSS	25 MHz	2.4 GHz
802.11g	54 Mbps	OFDM/DSSS	25 MHz	2.4 GHz
HomeRF2	10 Mbps	FHSS	5 MHz	2.4 GHz
HiperLAN2	54 Mbps	OFDM	25 MHz	5.0 GHz
5-UP	108 Mbps	OFDM	50 MHz	5.0 GHz

Tabla 2.2 Plan de frecuencias para IEEE 802.11a.

Banda (GHz)	Número de canales operativos (nch)	Frecuencia central del cada canal (MHz)
U-NII Banda inferior (5.15-5-25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII Banda media (5.25-5.35)	52	5260
	56	5280
	60	5300
	64	5320
U-NII Banda superior (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

El ancho de banda total es de 300 MHz divididos en tres bloques de 100 MHz (5.15 a 5.25 GHz, 5.25 a 5.35 GHz y 5.725 a 5.825 GHz). En la Figura 2.3 se puede observar el plan de frecuencias.

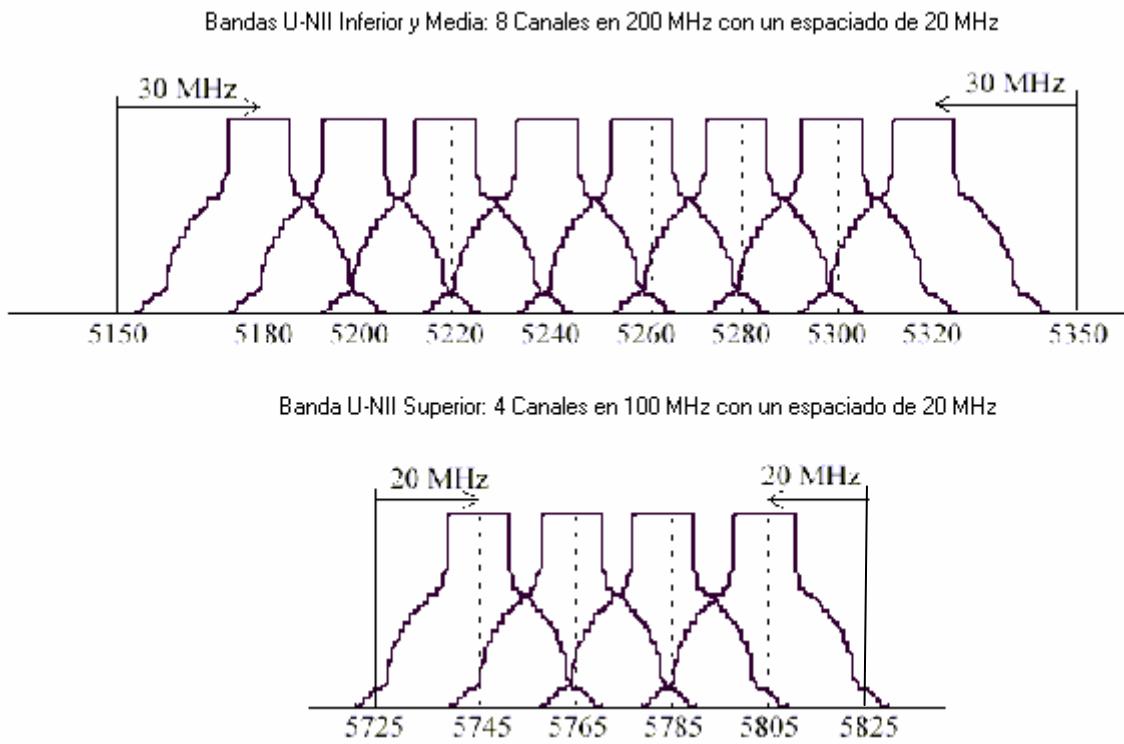


Figura 2.3 Canalización para IEEE 802.11a.

Cada canal tiene un ancho de 20 MHz, y ésta a su vez está dividido en 52 sub-canales, cada uno de 300 KHz. 48 de esos canales son para datos y 4 son canales para frecuencias piloto. Esta subdivisión de canales es útil para adaptar diferentes tasas de bits tal como se verá en el siguiente apartado.

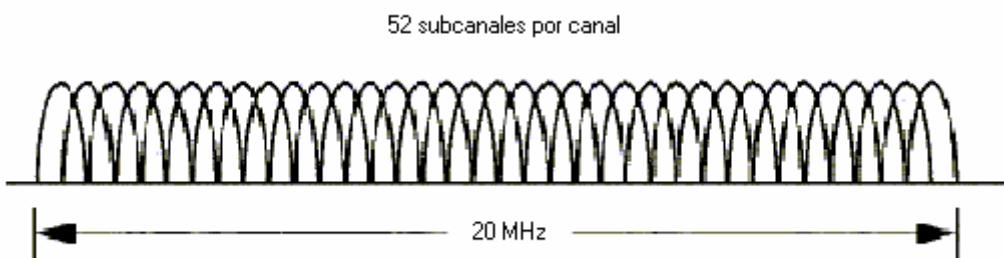


Figura 2.4 52 subcanales del IEEE 802.11a.

2.2.2 Modulación OFDM

La versión de OFDM que utiliza el estándar 802.11a combina las modulaciones BPSK, QPSK y QAM en función de la tasa de bits elegida, tal como se ve en la Tabla 2.3.

Tabla 2.3 Tipos de Modulaciones del estándar 802.11a

Tasa de bits transmitida (Mbits/s)	Tasa de bits transmitida por cada subcanal (kbits/s)	Modulación
6	125	BPSK
9	188	BPSK
12	250	QPSK
18	375	QPSK
24	500	16-QAM
36	750	16-QAM
48	1000	64-QAM
54	1125	64-QAM

La OFDM es una FDM (multiplexación por división en frecuencia) en la que los canales contiguos se solapan pero no se interfieren los unos a los otros debido a la ortogonalidad de las portadoras.

OFDM divide una cadena de datos de alta velocidad en 48 sub-cadenas de baja velocidad que se transmiten en paralelo. Cada sub-cadena se modula (BPSK, QPSK, 16-QAM ó 64 QAM) con una sub-portadora con frecuencia diferente. Las frecuencias de las sub-portadoras son elegidas de manera que sean ortogonales, es decir, que en un periodo de símbolo quepan un número entero de ciclos. En la Figura 2.8 se puede observar este caso para tres sub-portadoras.

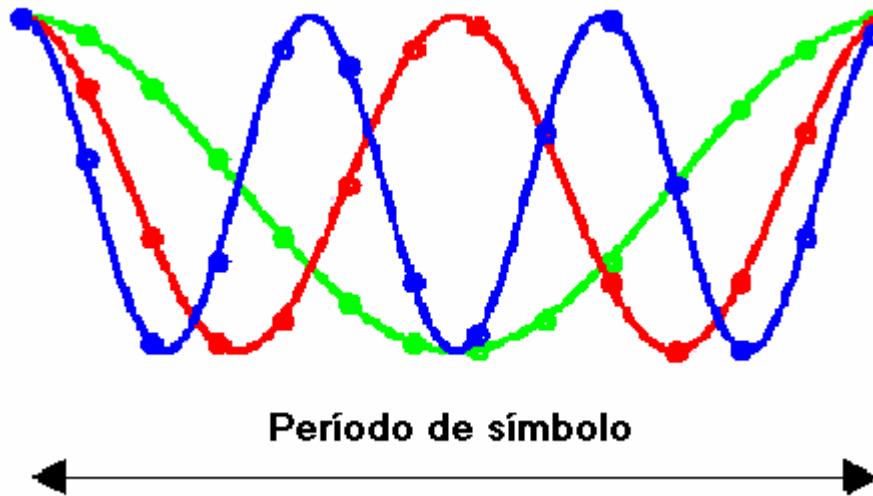


Figura 2.5 Ejemplo de tres portadoras ortogonales

Las tres señales son ortogonales entre sí, es decir cumplen la ecuación (2.11).

$$\int_0^T \sin\left(\frac{2\pi kt}{T}\right) \sin\left(\frac{-2\pi dt}{T}\right) dt = 0, \quad k \neq 1 \quad (2.11)$$

Los datos se modulan variando la fase o la amplitud de cada sub-portadora dependiendo del tipo de modulación (BPSQ, QPSK, 4QAM y 16QAM). Cada sub-portadora se puede modular con un tipo de modulación distinta.

En la Figura 2.6 se puede observar un esquema de bloques genérico para el transmisor y para el receptor.

El codificador FEC (*Forward Error Correction*) expande los bits sobre el ancho de banda del canal y aumenta la redundancia de la información a transmitir para poder corregir errores en el receptor. Se suele utilizar para éste propósito un codificador convolucional.

El *interleaving* modifica la cadena de datos para evitar secuencias de “1” o “0” seguidas (evita errores debidos al *burst*), para ello la cadena de datos se divide en grupos de N_{CBPS} bits, dentro de cada grupo se produce un intercambio en los bits en dos permutaciones.

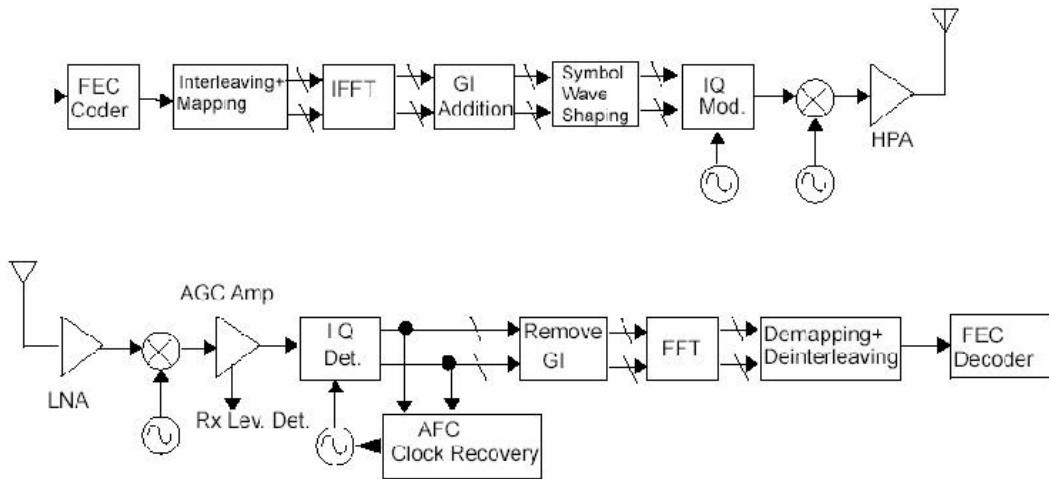


Figura 2.6 Esquema de bloques del transmisor y receptor para la capa física de OFDM.

En el mapeo (*mapping*) la cadena de datos se divide en grupos de N_{BPSC} bits (1, 2, 4 o 6) y se convierten en números complejos dependiendo de la tasa de bits elegida. Cada grupo se convierte en un número complejo acorde a la modulación (Figura 2.7). Por ejemplo, si se elige una tasa de bits de 24 Mbits/s se mapean los datos con una constelación 16-QAM. La cadena de números complejos se divide en grupos de 48 números complejos. Cada grupo se mapea a cada una de las subportadoras (48).

A las 52 (48+4) sub-portadoras se le aplica la *IFFT* (transformada inversa de Fourier rápida). La *IFFT* suma todas las cadenas de datos y realiza la modulación y el multiplexado en un paso. Este procesado de señal sustituye los bancos de moduladores *I/Q* que hubieran sido necesarios de haberlas realizado de forma tradicional. Esta señal pasa por un convertidor paralelo-serie.

Una vez pasada la señal anterior por el convertidor paralelo serie se le añade el *GI* (*guard interval*) o también llamado *cyclic prefix*. En este paso se añade una banda de guarda sobre cada símbolo para reducir la interferencia entre símbolos (*ISI*) y entre portadoras (*ICI*). En la figura 2.9 se ve un ejemplo de agregación del *GI* o *Cyclic Prefix* en un símbolo, por otro lado, en la figura 2.10 se observa como aparece la *ICI* si no se tiene en cuenta el retardo introducido con el *GI*.

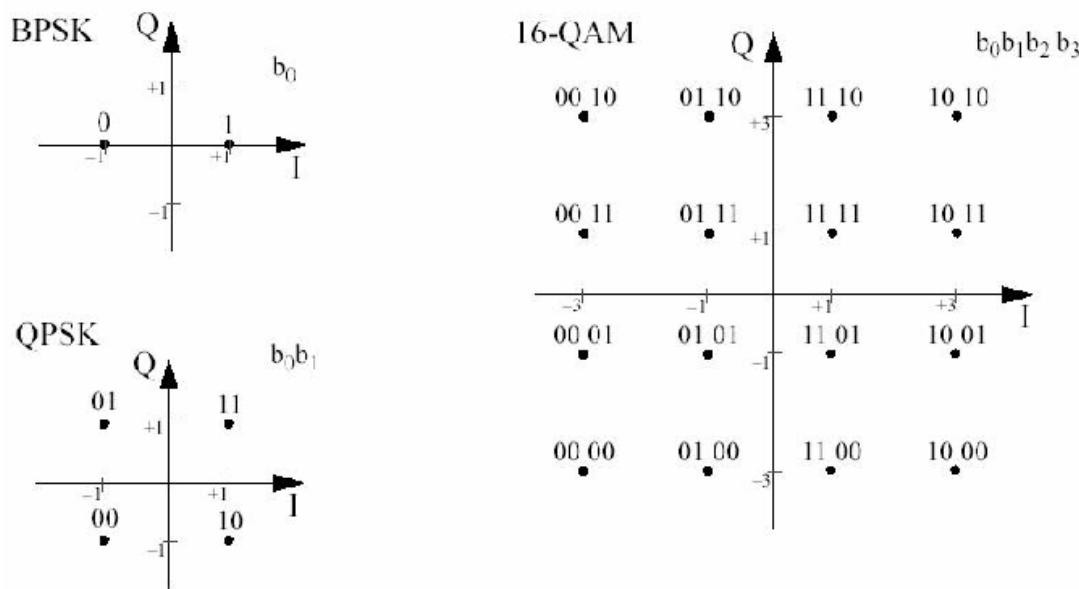


Figura 2.7 Constelaciones para BPSK, QPSK y 16-QAM.

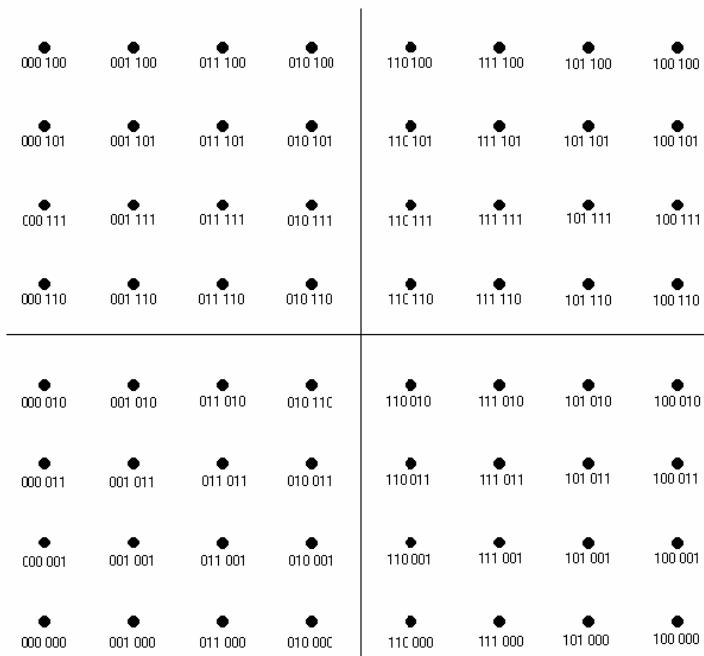


Figura 2.8 Constelación para 64-QAM.

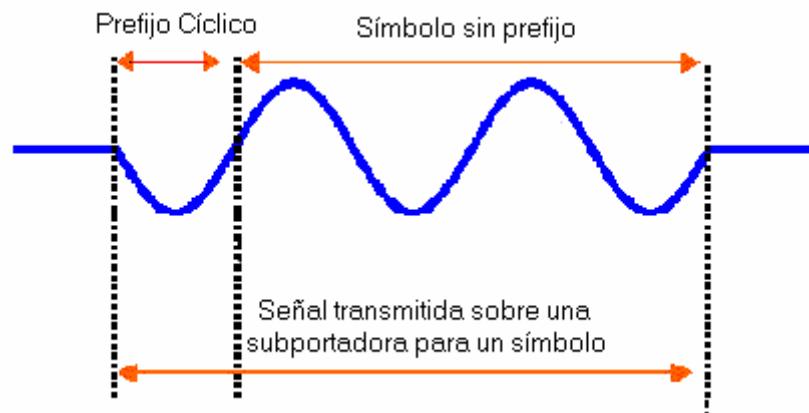


Figura 2.9 Ejemplo de agregación de GI o *Cyclic Prefix* en cada símbolo.

Cuando la misma señal llega al receptor por diferentes caminos y el retardo de la señal es menor que el GI no se produce ISI ni ICI tal como se ve en la Figura 2.11.

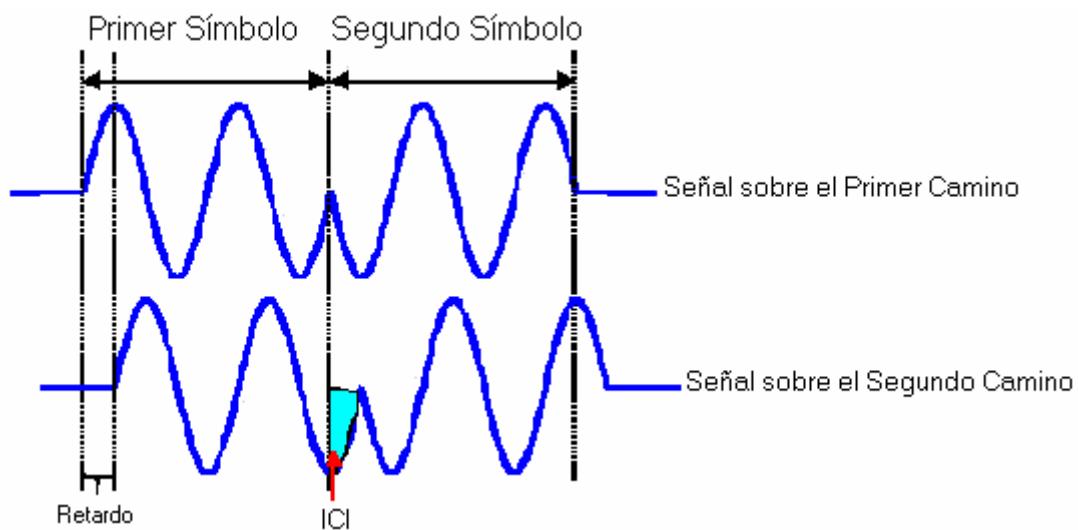


Figura 2.10 Ejemplo de *ICI*.

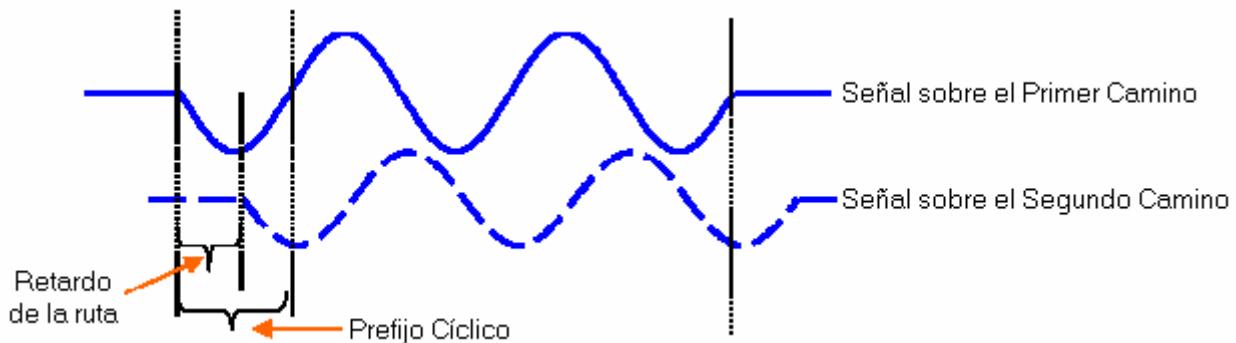


Figura 2.11 Efecto del GI o *Cyclic Prefix* cuando la señal viene por varios caminos.

Seguidamente hay que realizar a la señal el *symbol wave shaping*. Este paso se realiza para disminuir el ancho de banda de los pulsos filtrando la señal con un filtro de coseno alzado. Este filtro sirve para reducir el nivel de los lóbulos laterales del espectro de la señal, reduciendo de esta manera la potencia transmitida.

La señal (I/Q) resultante se pasa por un convertidor digital analógico y un filtro para poder ser modulada.

El proceso de recepción es el inverso y los bloques realizan la operación inversa que en el proceso de transmisión.

2.3 Especificaciones técnicas

A continuación se va a enumerar las especificaciones técnicas de un transceptor para IEEE802.11a [3].

2.3.1 Impedancia de la antena de emisión y recepción

La impedancia del puerto de la antena de emisión y la de recepción es de 50 Ohmios[4].

2.3.2 Rangos de temperatura para la transmisión y la recepción

Se han definido tres rangos de temperatura de funcionamiento que se pueden ver en la Tabla 2.4.

Tabla 2.4 Rangos de temperatura de funcionamiento.

Tipo 1	0 °C a 40 °C	Entorno doméstico
Tipo 2	-20 °C a 50 °C	Entorno industrial
Tipo 3	-30 °C a 70 °C	Entorno industrial

2.3.3 Nivel de potencia en la transmisión

La potencia máxima transmitida de la señal se puede ver en la Tabla 2.5.

Tabla 2.5 Potencia de salida

Banda de frecuencias (GHz)	Potencia máxima de salida con antena de 6 dBi de ganancia
5.15 – 5.25	40 mW (2.5 mW/MHz)
5.25 – 5.35	200 mW (12.5 mW/MHz)
5.725 – 5.825	800 mW (50 mW/MHz)

2.3.4 Máscara del espectro de salida

El espectro de la señal emitida debe tener 0 dBr (dB relativos a la máxima densidad espectral de la señal) en un ancho de banda no superior a 18 MHz, -20 dBr en una desviación de frecuencia de 20 MHz y -40 dBr en una desviación de frecuencia de 30 MHz. Las mediciones deben realizarse utilizando una resolución de 100 KHz de ancho de banda una señal de video de 30 KHz. Esto se muestra en la Figura 2.12.

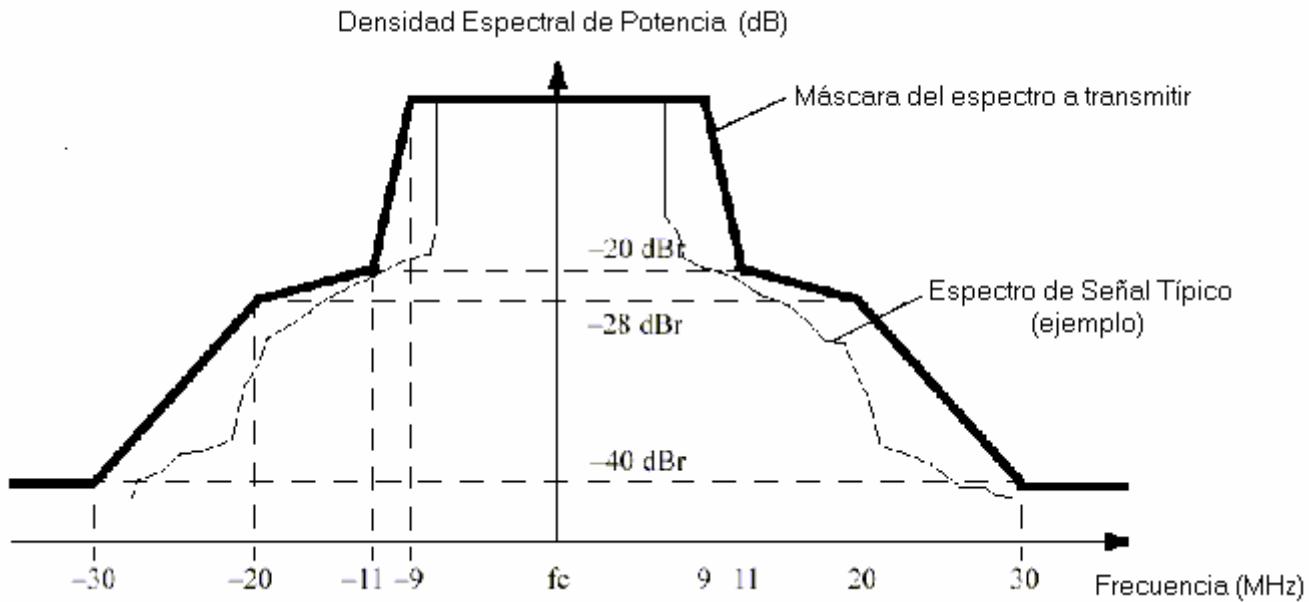


Figura 2.12 Máscara del espectro de salida.

2.3.5 Variación de la frecuencia a la salida

La variación máxima de la frecuencia de salida y de los símbolos transmitidos debe de ser como máximo de ± 20 ppm [4].

2.3.6 Sensibilidad a la entrada

El PER (*packet error rate*) debe ser menor que del 10% para una PSDU (*sublayer service data Units*) de 1000 bytes para los valores de sensibilidad mínima según la tasa de bits transmitida.

Se supone una NF de 10 dB con 5 dB de margen. En la Tabla 2.6 se observa la sensibilidad mínima a la entrada en función de la tasa de bits.

Tabla 2.6 Sensibilidad mínima a la entrada.

Tasa de bits (Mbits/s)	Sensibilidad mínima (dBm)	Rechazo de canales adyacentes (dB)	Rechazo alternativo de canales adyacentes (dB)
6	-82	16	32
9	-81	15	31
12	-79	13	29
18	-77	11	27
24	-74	8	24
36	-70	4	20
48	-66	0	16
54	-65	-1	15

La potencia máxima a la entrada para un PER del 10% para una PSDU de 1000 bytes debe ser de -30 dBm (medidos en la antena para cualquier tipo de señal de banda base modulada).

2.3.7 Figura de ruido

El receptor debe tener una sensibilidad suficiente para detectar señales de -148 dBm/Hz (para un ancho de banda de 24 MHz). Para tener una SNR de 12 dB como mínimo, el ruido total del receptor debe ser:

$$NF = -148 \text{ dBm/Hz} - 12 \text{ dB} - (-174 \text{ dBm/Hz}) = 14 \text{ dB} \quad (2.12)$$

Donde -174 dBm/Hz (KT) es la potencia de ruido de la fuente debido al umbral de ruido (*noise floor*) para T=290°K.

2.4 Tipos de Receptores

En este apartado se realizará un breve resumen de las características de los receptores más utilizados para el estándar IEEE802.11a. Este estudio es fundamental para la determinación de las prestaciones que debe cumplir nuestro LNA. Los tres tipos de receptores que se suelen utilizar para este estándar son:

- Receptor de conversión directa.
- Receptor superheterodino de doble conversión.
- Receptor basado en arquitectura *Weaver*.

A continuación se va a detallar cada arquitectura.

2.4.1 Receptor de conversión directa

El esquema de bloques de este conversor se puede observar en la Figura 2.13. Este esquema es el ideal para ser integrado debido a su reducido número de componentes. Las ventajas de este esquema son:

- No hay problemas con la frecuencia intermedia ni con la imagen ya que $w_{if}=0$. No es necesario el filtro de la frecuencia imagen, el cual suele ser externo (*SAW*).
- Debido al reducido número de componentes y a la eliminación de los filtros de IF el receptor es apto para ser integrado en un chip.

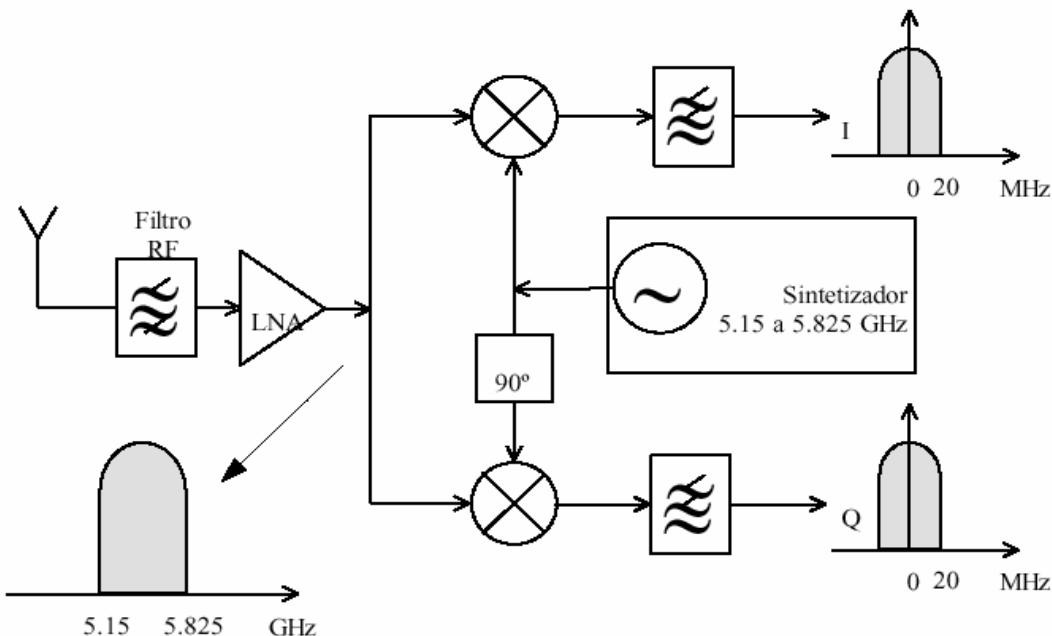


Figura 2.13 Arquitectura de conversión directa

Por el contrario, las desventajas de este esquema se pueden resumir en los siguientes puntos:

- Aparece un *offset* en *DC* a la salida del filtro pasobajo que disminuye el rango dinámico de la señal. Este offset se debe a que parte de señal proveniente del oscilador local se cuela al mezclador por la entrada de RF sumándose a la señal proveniente del LNA. Esto es debido a que el aislamiento entre los puertos del mezclador no es infinito. Esta señal se mezcla con la del oscilador local la cual al ser filtrada aparece como componente continua. A este efecto se le conoce como automezclado (*self-mixing*).
- El oscilador local hay que desfasarlo 90° para poder realizar la demodulación *I/Q*. Este desplazamiento provoca un cambio en la amplitud de la señal desplazada. Se produce una variación de amplitud entre el oscilador local utilizado para *Q* y para el *I* lo que implica un error en la constelación en la señal demodulada (*I/Q Mismatch*).
- Realizar un sintetizador a esa frecuencia es difícil.

2.4.2 Receptor superheterodino de doble conversión

El esquema de bloques de este conversor se puede observar en la Figura 2.14.

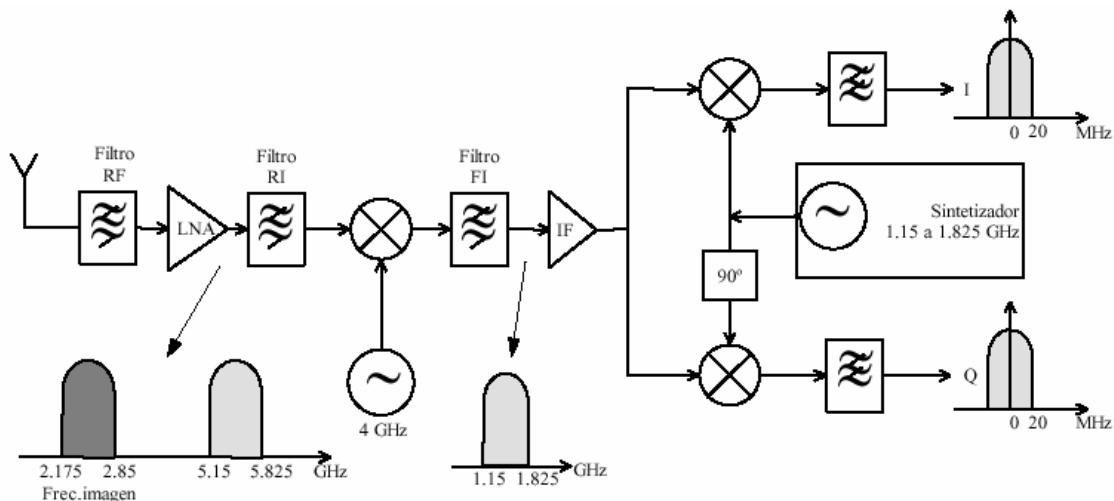


Figura 2.14 Arquitectura del receptor superheterodino de doble conversión.

Las ventajas de este esquema son:

- Se eliminan los problemas de auto-mezclador e *I/Q mismatch*.
- Se mejora la selectividad.
- El sintetizador se hace a baja frecuencia.

Por otro lado, las desventajas que presenta este esquema son:

- Elevado número de componentes a integrar por lo que el consumo aumenta considerablemente.
- Hay que utilizar un filtro de rechazo de la frecuencia imagen, el cual no se puede integrar.

2.4.3 Receptor de arquitectura *Weaver* modificada.

El esquema de bloques de este conversor se puede observar en la Figura 2.15, y en la Figura 2.16, su homónimo para demodulación *I/Q*. Las principales ventajas de esta arquitectura son:

- Gran selectividad.
- No es necesario utilizar filtros de rechazo de la frecuencia imagen, ya que en esta arquitectura se utilizan las bandas laterales y su traslación para obtener el espectro requerido anulándose dicha frecuencia imagen.

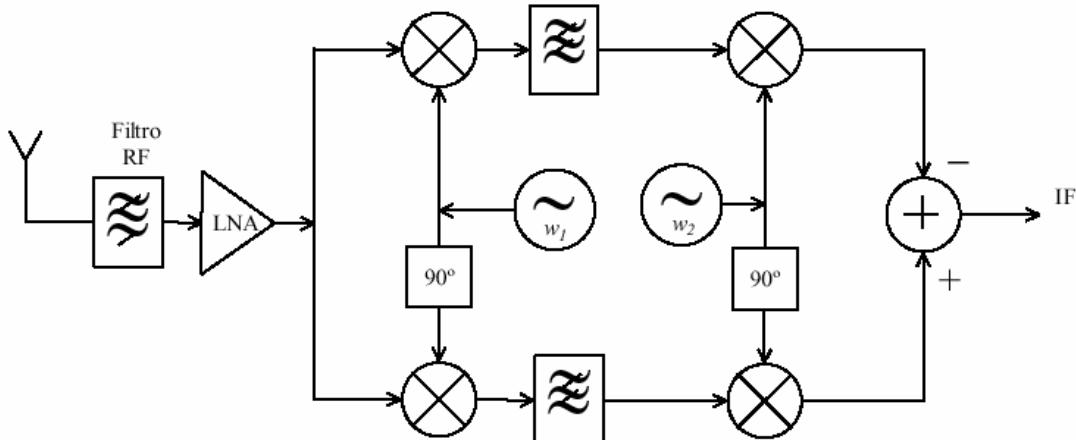


Figura 2.15 Esquema de bloques del receptor *Weaver*.

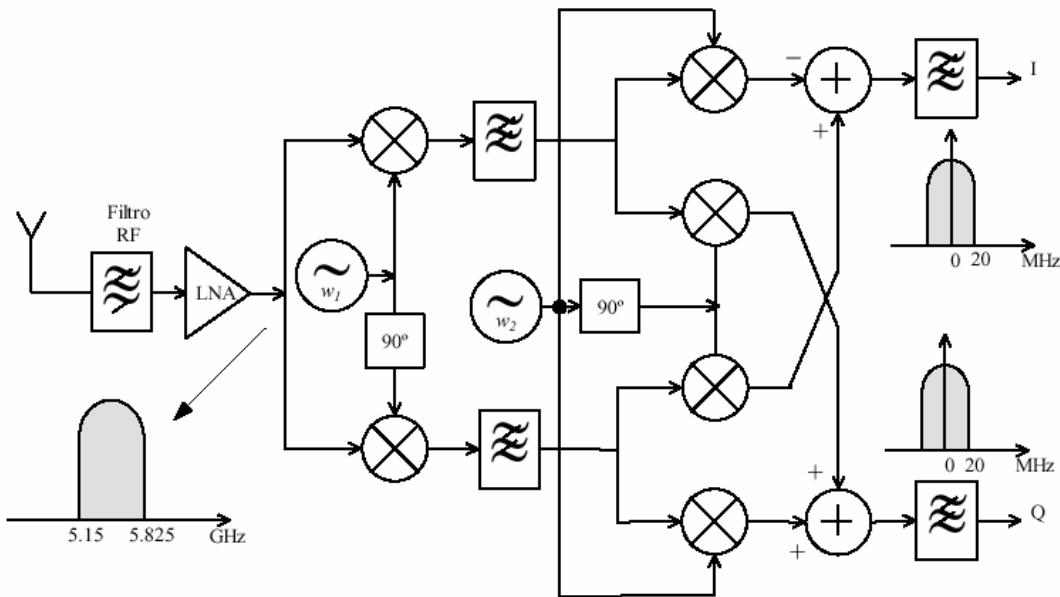


Figura 2.16 Arquitectura del receptor weaver para demodulación I/Q .

Sin embargo, sus principales desventajas son:

- Elevado número de componentes.
- Pueden aparecer desacuerdos entre las señales I/Q debido al desfase de 90° de los osciladores.

2.5 Elección de la arquitectura

Dado que el receptor se va a implementar utilizando transistores bipolares, el consumo de potencia juega un papel importante en la elección de la arquitectura. Dichos transistores pertenecen a la tecnología SiGe de $0.35\text{ }\mu\text{m}$, y consumen más que los transistores CMOS.

Por otro lado, los receptores *Weaver* y superheterodino poseen un elevado número de componentes. Como ya sabemos, esto nos dificultará la integración y el obtener bajos consumos de potencia. Además, un receptor superheterodino nos obliga a implementar filtros de rechazo de la frecuencia imagen, los cuales no son integrables.

Sin embargo, un receptor de conversión directa emplea pocos componentes, siendo todos ellos de fácil integración. De la misma forma, los problemas de *self-mixing* que presenta este receptor pueden ser solventados mediante diversas técnicas, tales como el empleo de anillos de guarda.

Como se puede apreciar, estas últimas características constituyen el punto de inflexión que hace que nos decantemos por el receptor de conversión directa.

2.6 Resumen

En este capítulo hemos visto las principales características de los sistemas de RF. Igualmente, hemos dado una descripción detallada del Estándar IEEE802.11a, además de establecer las características de los tipos de receptores existentes actualmente. Finalmente, hemos establecido las bases sobre las que se sustenta la elección del tipo de receptor elegido.

En el siguiente capítulo veremos las principales características del dispositivo en torno al cual gira nuestro proyecto: el LNA. Para ello daremos una introducción a sus especificaciones técnicas, junto con una descripción de sus topologías más comunes.

Capítulo 3

Características de los LNAs

La primera etapa de un receptor es típicamente un amplificador de bajo nivel de ruido (LNA). Su función principal es proporcionar suficiente ganancia para minimizar el impacto final del ruido introducido por las etapas posteriores (por lo general un mezclador). Además, un LNA debe introducir el menor ruido posible y debe ser capaz de operar sin distorsionar las señales. Frecuentemente debe presentar también una impedancia de entrada y salida específica.

En este capítulo comenzaremos hablando de las prestaciones requeridas para amplificadores de bajo nivel de ruido en sistemas de RF. Luego, debido a la importancia que toma este dispositivo en la contribución del ruido total en la cadena de un receptor, daremos una introducción a los distintos tipos de ruido que introducen los componentes de un LNA. Finalmente, veremos las configuraciones típicas de LNAs, centrándonos en los parámetros que mejor caracterizan a este tipo de circuitos: impedancia de entrada, impedancia de salida, figura de ruido, ganancia y aislamiento.

3.1 Especificaciones de LNAs

Los valores de los parámetros que se suelen dar como aceptables en el rendimiento de un LNA para sistemas de RF son los mostrados en la Tabla 3.1 [5].

En ella se hace mención a dos nuevos conceptos: el aislamiento inverso y el factor de estabilidad. El primero nos da una relación de cuanta potencia puede reflejarse desde la salida hacia el dispositivo. Lógicamente, cuanto mayor sea este valor, menor influencia tendrán las reflexiones de potencia en la salida. El segundo concepto nos habla del valor mínimo que debe poseer un amplificador para no ser inestable. Dicho valor es 1 y siempre que lo superemos, podemos asegurar esta condición.

Tabla 3.1 Valores típicos de un LNA

NF	2 dB
IIP_3	-10 dBm
Ganancia	15 dB
Impedancia de entrada	50 Ω
Impedancia de salida	50 Ω
Aislamiento inverso	20 dB
Factor de estabilidad	>1

3.2 Tipos de ruido

El ruido se define como cualquier interferencia aleatoria que no está relacionada con la señal de interés. El ruido de una señal se puede deber a causas muy diversas, pero aquí nos centraremos en el introducido por los componentes del LNA. El ruido en una señal se mide con la relación señal-ruido (*SNR*).

Podemos definir distintos tipos de ruido, los cuales se enumeran a continuación:

- **Ruido térmico:** Se produce debido a la movilidad de los electrones dentro de los materiales. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las ligeras fluctuaciones de energía entorno al valor más probable son muy pequeñas pero suficientes para producir fluctuaciones dentro del conductor. Estas fluctuaciones fortuitas producidas por la agitación térmica de los electrones, suponen diferencias de tensión que se mezclan con la señal, y se denominan ruido térmico.

- **Ruido Metralla (*Shot*):** Se produce debido a la cuantificación de la carga eléctrica. Normalmente, se supone que la corriente en continua de un transistor es constante en todo instante, pero la corriente de colector a emisor está constituida por un flujo de electrones o huecos individuales, y solamente es constante el flujo medio. La posible fluctuación en el número de portadores se denomina ruido impulsivo.
- **Ruido Avalanche:** Se produce en diodos y transistores que utilicen el efecto avalancha.
- **Ruido *Flicker*:** Se produce debido a impurezas en los materiales. Este ruido es importante a baja frecuencia.

De todos ellos el más importante es el ruido térmico, ya que es el que toma mayores valores a altas frecuencias. Es un proceso aleatorio, gaussiano y blanco, es decir, toma cualquier valor según una distribución gaussiana y su espectro es constante.

Se simula con un generador $e_n(t)$ en serie con el elemento ideal. El valor cuadrático medio del ruido en tensión es el dado por la ecuación (3.1).

$$\overline{e_n^2} = 4 \cdot k \cdot T_e \cdot \{R_e[Z(f)]\} \cdot \Delta f \quad (3.1)$$

Donde:

k = Constante de Boltzman.

T_e = Temperatura equivalente.

$R_e[Z(f)]$ = Parte real de la impedancia del dispositivo.

Δf = Ancho de banda.

3.3 Topologías de LNAs

A continuación se muestran las arquitecturas más relevantes en el diseño de amplificadores de bajo ruido, utilizando transistores bipolares.

3.3.1 Configuración emisor-común

La configuración más básica de LNA es la denominada como emisor-común, tal y como se ve en la Figura 3.1.

En ella se puede apreciar que $Q2$ e $I1$ generan la corriente de alimentación del transistor $Q1$. La resistencia $R1$ aísla la señal entrante de RF del ruido generado por $Q2$. Por otro lado, la resistencia $R2$ mantiene la misma caída de voltaje que $R1$, dando por resultado una corriente de base fija y finita en $Q1$.

Si $R1$ es suficientemente más grande que R_S , el efecto del circuito de polarización puede despreciarse sobre el funcionamiento del LNA. De acuerdo con esta premisa, podemos hacer un estudio del ruido que afecta a nuestro amplificador. Para ello, nos basaremos en el esquema mostrado en las Figuras 3.2a y 3.2b.

Se puede apreciar (véase Fig. 3.2b) que el ruido existente a la entrada de nuestro amplificador lo hemos sustituido por una resistencia serie R_{eq} , despreciando capacidades parásitas y otras resistencias.

Con esto, podemos ver que la NF del LNA viene dada por la expresión (3.2).

$$NF = 1 + \frac{R_{eq}}{R_S} \quad (3.2)$$

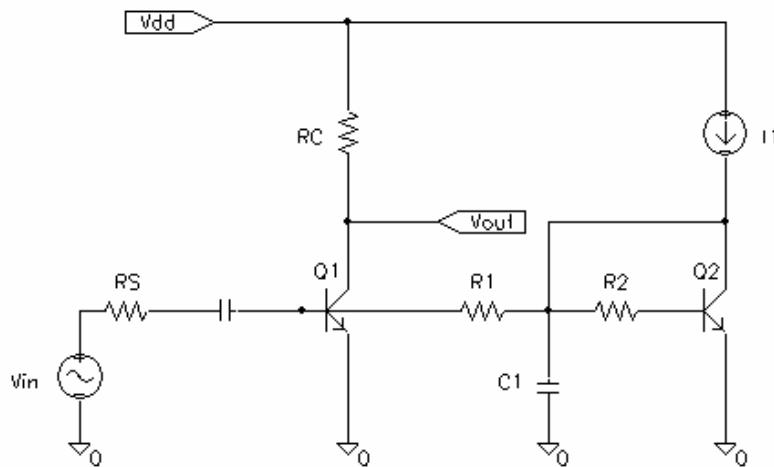


Figura 3.1 LNA en configuración emisor común

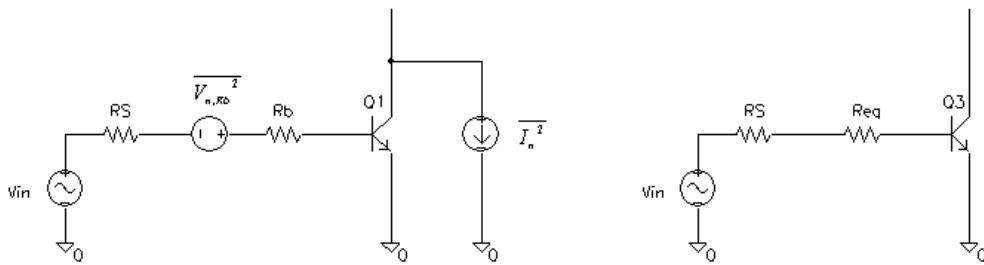


Figura 3.2 a) Modelo exhaustivo del ruido a la entrada del circuito.

b) Modelo equivalente

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión continua ($\overline{V_n^2}$) referida a la entrada como:

$$\begin{aligned}\overline{V_n^2} &= 4kT \left(r_b + \frac{1}{2g_m} \right) \\ \overline{V_n^2} &= 4kT \left(r_b + \frac{V_T}{2I_C} \right)\end{aligned}\quad (3.3)$$

Donde T es la temperatura, g_m es la ganancia de transconductancia del transistor, V_T es la tensión térmica (25mV para $T=25^\circ\text{C}$) e I_C la corriente de colector. Observando las ecuaciones 3.2 y 3.3 se comprueba que:

$$\text{Re } q = r_b + \frac{V_T}{2I_C} \quad (3.4)$$

Se aprecia que para reducir la resistencia equivalente (Req) y por tanto el ruido, el transistor $Q1$ debe tener un tamaño grande (r_b pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la Req .

Sin embargo, el aumentar el tamaño del transistor para reducir la r_b , trae una serie de desventajas. La primera viene dada por el aumento de la capacidad de entrada (tanto la C_{je}

como la C_{je}), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por $Q1$ y R_c se haga más patente.

Otra desventaja añadida es debida a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido metralla de base (*base shot noise*).

Debido a estas dos características, la figura de ruido presenta un mínimo para un determinado tamaño de $Q1$ y una determinada corriente de polarización.

El siguiente paso que daremos será el añadir a nuestro modelo el ruido metralla de base, tal y como muestra la Figura 3.3. Con esto mejoraremos la precisión de la ecuación 3.3. De acuerdo con la mencionada figura, obtenemos la expresión (3.5).

$$\overline{I_n^2} = 4kT \frac{I_c / \beta}{2V_T} \quad (3.5)$$

Para una resistencia de fuente R_s , el ruido total referido a la entrada incluyendo la contribución de dicha resistencia es el dado por la ecuación (3.6).

$$\overline{V_{tot}^2} = 4kT \left(R_s + r_b + \frac{1}{2g_m} + \frac{g_m R_s^2}{2\beta} \right) \quad (3.6)$$

Donde la correlación entre el ruido de metralla del colector y el ruido de metralla de la base ha sido despreciada. La figura de ruido es por tanto igual a la expresión (3.7).

$$NF = \frac{\overline{V_{tot}^2}}{4kTR_s} = 1 + \frac{r_b}{R_s} + \frac{1}{2g_m R_s} + \frac{g_m R_s}{2\beta} \quad (3.7)$$

La figura de ruido alcanzará un mínimo para:

$$NF_{min} = 1 + \sqrt{\left(\frac{1 + 2g_m r_b}{\beta} \right)} \quad (3.8)$$

Siendo la R_s óptima:

$$R_{Sopt} = \sqrt{\frac{\beta(1 + 2g_m r_b)}{g_m}} \quad (3.9)$$

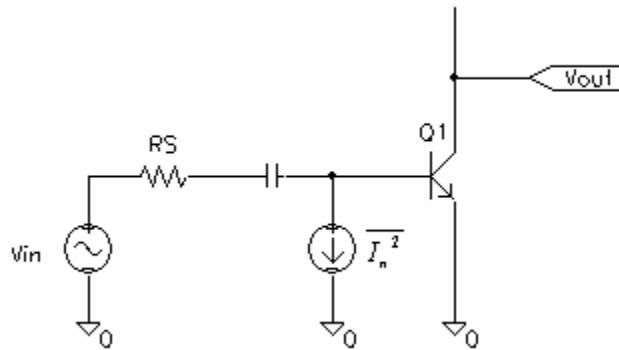


Figura 3.3 Modelo incluyendo el ruido metralla de la base

La ecuación 3.9 no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a β el valor dado por la frecuencia de operación, es decir:

$$|\beta| \approx f_T / f \quad (3.10)$$

La relación obtenida para R_{Sopt} (ecuación 3.9) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena (Z_{out}) a R_{Sopt} .

3.3.2 LNA de dos etapas

En la Figura 3.4 se muestra una topología de LNA basada en la anterior, es decir, el emisor común. En este caso está formada por dos etapas, una de ellas con degeneración

inductiva. El uso de una bobina L_E nos permite adaptar la impedancia de entrada a un valor deseado, generalmente 50Ω . Por otro lado, nos ayuda en la linearización del circuito, es decir, en obtener un IIP_3 mayor.

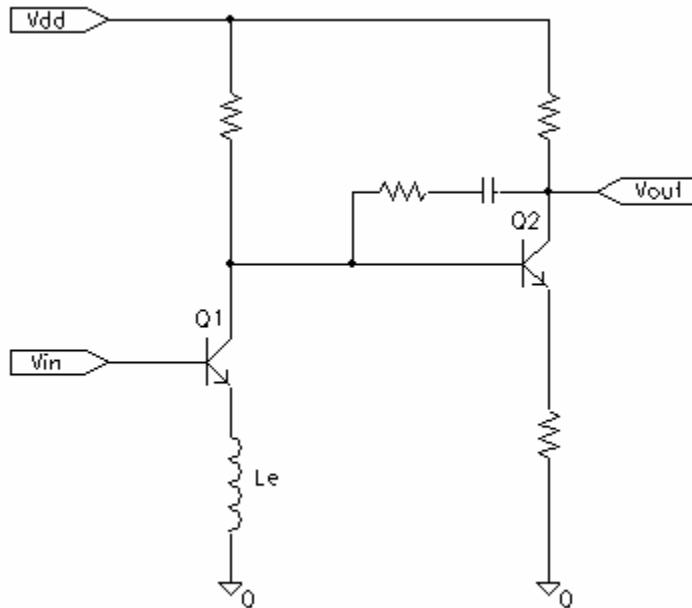


Figura 3.4 LNA de dos etapas

Podemos escribir la impedancia de entrada del dispositivo tal y como muestra la expresión (3.11).

$$Z_{in} = r_b + \frac{g_m \cdot L_e}{C\pi} + L_e s + \frac{1}{C\pi \cdot s} \quad (3.11)$$

Donde $C\pi$ es la capacidad base-emisor. En la ecuación (3.11) hemos despreciado el efecto de $C\mu$ (Capacidad de unión de colector) y $R\pi$ (Resistencia base-emisor) debido al pequeño valor que presentan.

Observando nuevamente la ecuación (3.11) se comprueba que con un valor determinado de r_b , g_m , L_e y $C\pi$, podemos hacer que los dos primeros miembros de la ecuación sean igual a 50Ω . Igualmente, podemos hacer que los dos últimos miembros se anulen.

La realimentación en la segunda etapa es utilizada para linealizar el amplificador, así como para obtener una baja impedancia de salida. Sin embargo, esto se consigue

introduciendo un alto nivel de ruido. La interacción entre las dos etapas es un ejemplo de un problema común: el nivel apropiado de ganancia de la primera etapa y el ruido y la no linealidad de la segunda.

De aquí se deduce que la ganancia introducida por la primera etapa debe ser lo suficientemente grande para minimizar el ruido introducido por la segunda. Sin embargo, podemos empeorar la linealidad del circuito (IIP_3), ya que está limitado por la contribución de Q_2 .

3.3.3 LNA con realimentación negativa por transformador

Otra topología empleada en LNAs es la que se muestra en la Figura 3.5. En ella se puede observar que emplea realimentación negativa con un transformador monolítico para linealizar el circuito. Con esta configuración el LNA puede operar con tensiones de alimentación inferiores a V_{BE} .

Como ya hemos comentado, el transformador ayuda a linealizar el circuito, ya sea a altas frecuencias como a bajas, así como a estabilizarlo. Sin embargo, esto lo logrará reduciendo la ganancia del amplificador.

La adaptación a la entrada se logra con la red formada por la bobina $L1$ y el condensador $C1$.

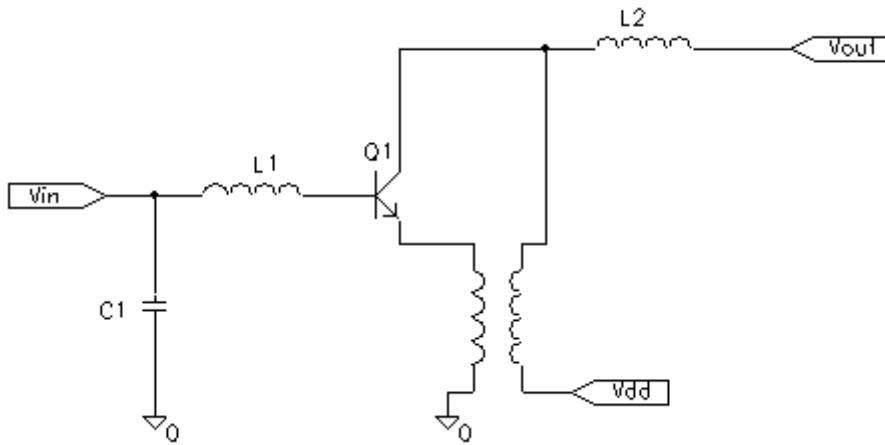


Figura 3.5 LNA con transformador

3.3.4 Configuración en base común

Esta topología la podemos ver en la figura 3.6. Este circuito ofrece tres grandes ventajas con respecto a la configuración en emisor común: sencilla adaptación a la entrada, gran linealidad y elevado aislamiento inverso. Despreciando la resistencia de base y de emisor, podemos escribir la impedancia de entrada como:

$$Z_{in} = \frac{1}{g_m + C\pi \cdot s} \quad (3.12)$$

Podemos hacer que la Z_{in} sea 50Ω simplemente con una $I_c=0.5$ mA. El efecto de $C\pi$ lo podemos eliminar con un inductor externo.

En esta topología, la resistencia de fuente R_s , lineariza el funcionamiento del circuito. Esto lo logra reduciendo la excursión de corriente en el emisor. Aquí podemos ver que pasa lo contrario a la configuración emisor común. Esto se debe a que en dicho circuito la resistencia R_s sólo afecta a variaciones de la corriente de base.

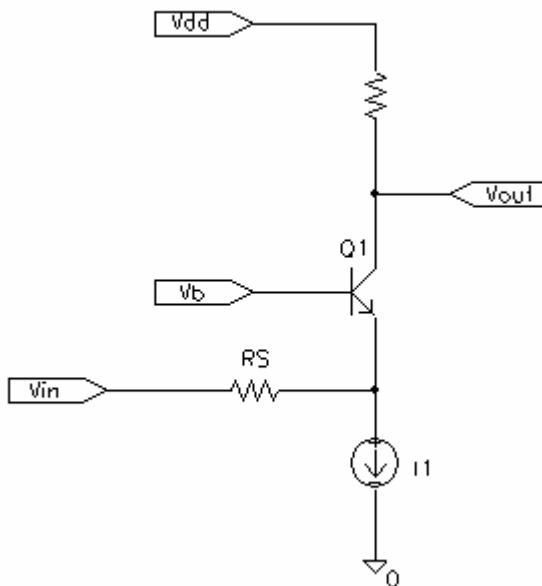


Figura 3.6 Configuración en base común

Si logramos un nivel de corriente en la base adecuado, podemos obtener un gran aislamiento inverso. Esto se presenta como una opción interesante en sistemas que exijan esta característica, como los receptores homodinos.

A pesar de las ventajas anteriores, el principal problema que exhibe la configuración en base común, es la alta figura de ruido que ofrece.

3.3.5 LNA cascodo (*Single-Ended*)

Basándose en las configuraciones anteriores, existen otras topologías que añaden diversos componentes para mejorar el rendimiento de los amplificadores.

Una de estas configuraciones es la denominada "LNA cascodo", tal y como muestra la Figura 3.7.

Esta arquitectura está caracterizada por utilizar una configuración cascodo. Esta consiste en añadir un transistor (Q_2) que nos permitirá aislar la salida de la entrada del circuito. Esto evitará posibles interacciones no deseadas. Otro de los beneficios que presenta es el de reducir la capacidad parásita del transistor Q_1 .

El transistor Q_3 forma una fuente de corriente con Q_1 y tiene una dimensión mucho menor que este último. Con esto logramos reducir el consumo de potencia del circuito. La corriente a través de Q_3 está fijada mediante la resistencia R_{REF} .

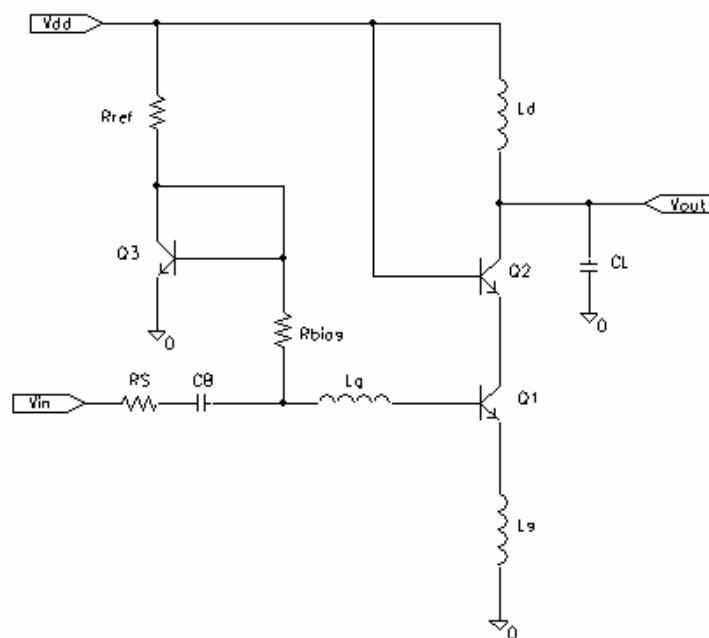


Figura 3.7 LNA Cascodo (*Single-Ended*).

La resistencia R_{BLAS} debe ser lo suficientemente grande como para no afectar a la figura de ruido del amplificador. En sistemas donde se requiera una Z_{in} de 50Ω , valores de cientos de $Ohms$ a $KOhms$ son los adecuados para R_{BLAS} .

La bobina L_d y el condensador C_L forman parte de la red de adaptación a la salida.

Por último, la adaptación a la entrada lo logramos con las bobinas L_g y L_s respectivamente.

3.3.6 LNA diferencial

Una topología basada en la anterior es la mostrada en la Figura 3.8. La principal característica de esta configuración es que trabaja de forma diferencial. Con esto logramos eliminar dos de los principales problemas de las arquitecturas asimétricas: la alta sensibilidad a las inductancias parásitas y el ruido en modo común.

Esto lo logra con las inductancias L_{s1} y L_{s2} , ya que ambas forman un punto de tierra virtual, para señales diferenciales. Cualquier reactancia parásita en serie con la fuente de corriente I_{BIAS} es totalmente irrelevante. Esto se debe a que una fuente de corriente en serie con una impedancia es siempre una fuente de corriente. De aquí que la parte real de la impedancia de entrada (Z_{in}) sea sólo debida a las inductancias L_{s1} y L_{s2} . Igualmente, es totalmente independiente de los parásitos que se den en la fuente de corriente I_{BLAS} .

Un parámetro de especial importancia cuando el voltaje de alimentación y las tensiones de sustrato pueden ser ruidosas es el rechazo al ruido en modo común (*common noise rejection ratio, CNRR*). Para maximizar este parámetro en altas frecuencias, los *layouts* de los amplificadores deben ser totalmente simétricos.

A pesar de las ventajas anteriores, los LNAs diferenciales presentan también una serie de inconvenientes. Entre ellos cabe destacar que la figura de ruido tiende a ser mayor que en una topología asimétrica. También el consumo de potencia se vuelve crítico, ya que pasa a valer el doble. Sin embargo, presenta una mejor linealidad, ya que la señal se divide entre dos dispositivos. Por tanto, si deseamos que la NF no sobrepase un valor, podemos obtener mucha más excursión simétrica, sacrificando el consumo de potencia.

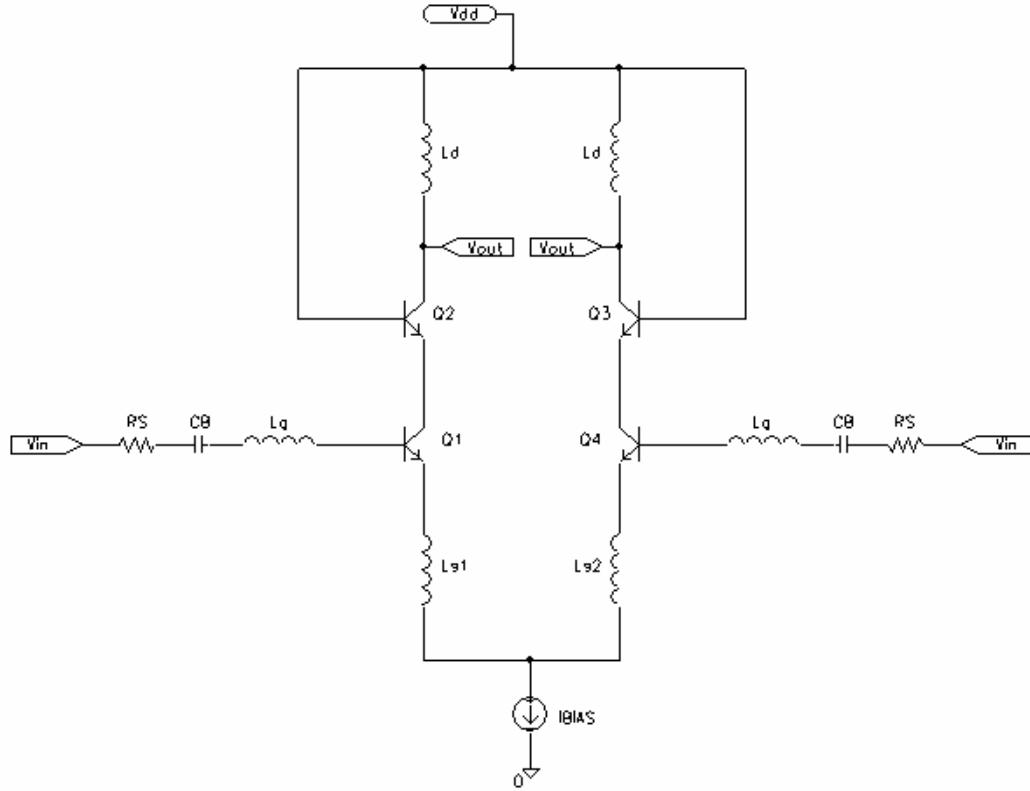


Figura 3.8 LNA diferencial.

3.3.7 LNA balanceado (*Balanced LNA*)

Esta última configuración (véase Figura 3.9) se presta como una de las tipologías que mejor compromiso guarda entre consumo de potencia, CNRR y linealidad.

En el primer caso, el consumo de potencia es mucho menor que en la configuración diferencial, ya que no posee fuente de corriente.

En lo relativo al CNRR, presenta un valor moderado, similar al de la configuración anterior.

Si hablamos de linealidad, vemos que presenta un valor elevado, ya que el rango dinámico de la señal debe repartirse sólo entre dos transistores. En el caso del LNA diferencial, el reparto se realizaba entre 3 transistores, ya que debíamos considerar la fuente de corriente.

Finalmente, la adaptación de impedancias a la entrada la logramos con las bobinas degenerativas L_{s1} y L_{s2} , junto con las bobinas de las bases de los transistores $Q1$ y $Q2$, L_{g1} y L_{g2} .

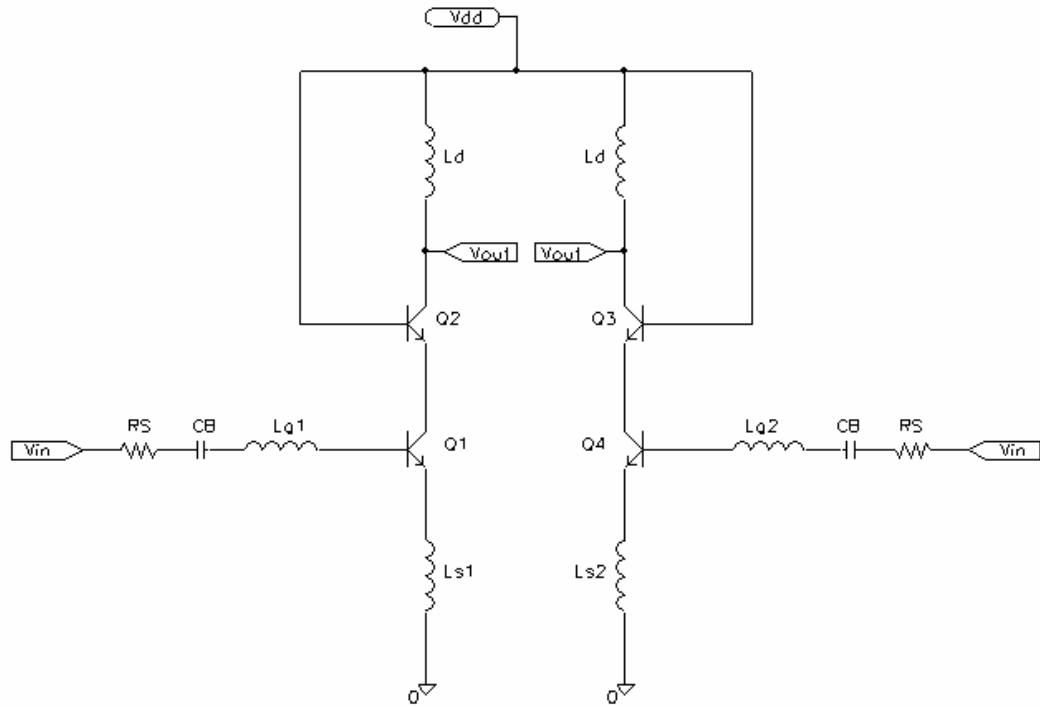


Figura 3.9 LNA Balanceado.

3.4 Resumen

En este capítulo hemos estudiado las principales características de los amplificadores de bajo nivel de ruido. De la misma forma, hemos visto cuales son las principales topologías empleadas en los sistemas de RF. La información de este capítulo será vital para el posterior diseño de nuestro LNA.

En el siguiente capítulo veremos las características de la tecnología empleada para nuestro trabajo. Esta tecnología es la denominada SiGe 0.35 μm de AMS (Austria Micro System). Para ello, estudiaremos uno a uno todos los componentes suministrados por este proceso que entran en juego en el diseño de un LNA.

Capítulo 4

Estudio de la tecnología

En el capítulo anterior, estudiamos las principales características y topologías de los LNAs. Este paso será de gran utilidad a la hora de realizar nuestro diseño. Sin embargo, antes de comenzar con él debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología *S35D4M5* de la fundidora *AMS*. Esta tecnología consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a dispositivos activos, consta de transistores bipolares y *MOSFET*, siendo la longitud de puerta mínima de $0,35 \mu\text{m}$. Así mismo la tecnología *S35D4M5* ofrece librerías de componentes pasivos.

4.1 Resistencias

4.1.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

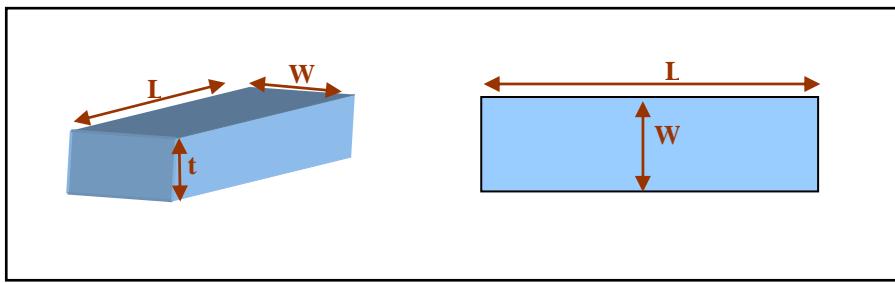


Figura 4.1. Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación 4.1.

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (4.1)$$

Donde los parámetros que intervienen son:

ρ = Resistividad del material

t = Espesor del material

L = Longitud de la pista

W = Anchura de la pista

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia suele determinarse a partir de la ecuación 4.2.

$$R = R_{square} \cdot \frac{W}{L} \quad (4.2)$$

En la ecuación 4.2 R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

4.1.2 Resistencias en la tecnología S35D4M5 de AMS

La tecnología *S35D4M5* de *AMS* presenta dos tipos de resistencias, *RPOLY2* y *RPOLYH*, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la tabla 4.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

En la figura 4.2 se muestra el cuadro de diálogo donde se ajustan los parámetros de las resistencias.

Tabla 4.1 Resistencias incluidas en la tecnología

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	Ω/\square
Coef. temperatura		0.6		$10^{-3}/K$
Resist. Contacto		20	40	Ω/cnt
Den. Corriente			0.3	$mA/\mu m$

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	$k\Omega/\square$
Coef. temperatura		-1.2		$10^{-3}/K$
Resist. Contacto		60	200	Ω/cnt
Den. Corriente			0.3	$mA/\mu m$

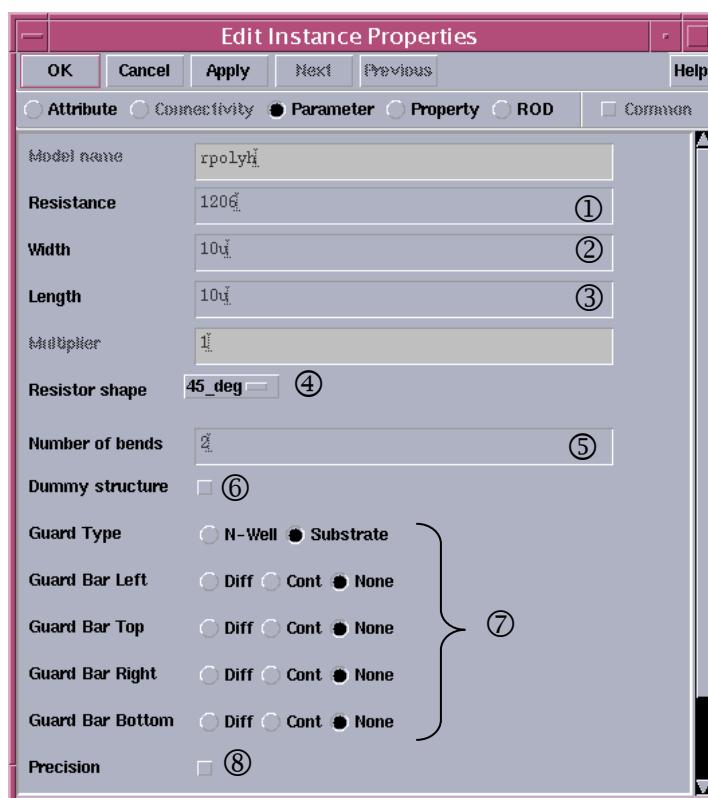


Figura 4.2. Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

- ① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.
- ② Ancho de la pista: variando el ancho el software determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos: empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.
- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

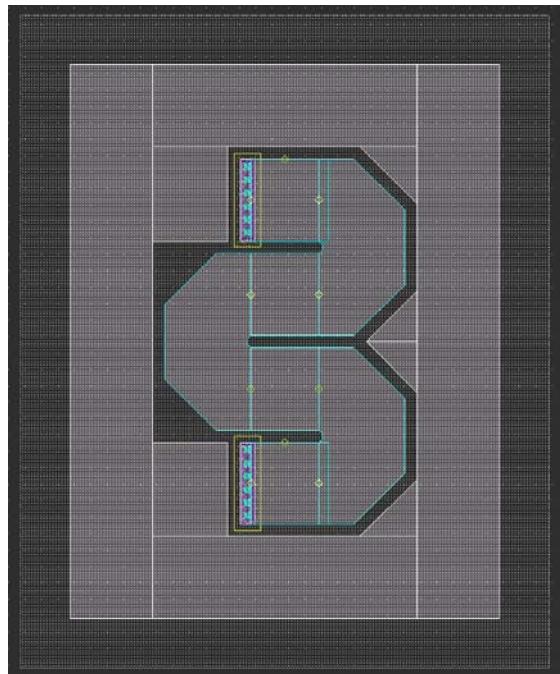


Figura 4.3. Resistencia con estructura *Dummies*.

En la figura 4.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el Kit de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

4.2 Condensadores

4.2.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la figura 4.4 se muestra un esquema donde esto queda reflejado.

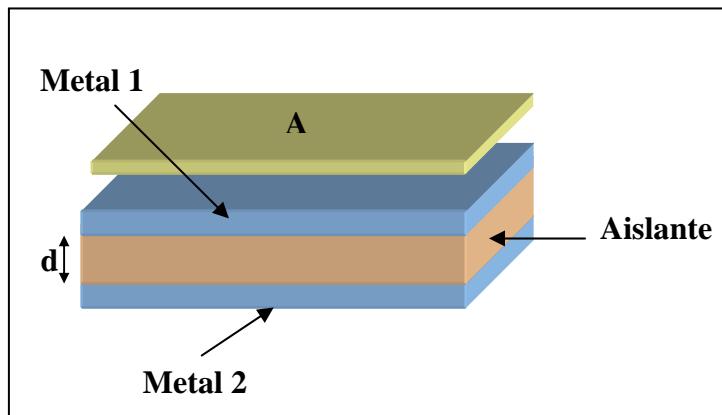


Figura 4.4. Corte de un condensador.

Partiendo de la figura 4.4 el valor de la capacidad del condensador viene dado por la ecuación 4.3.

$$C = \frac{\epsilon' \cdot \epsilon_0 \cdot A}{d} \quad (4.3)$$

Donde los parámetros que intervienen son:

ϵ' = Permitividad relativa del material

ϵ_0 = Permitividad del vacío

A = Área de las placas del condensador

d = Distancia entre las placas del condensador

4.2.2 Condensadores en la tecnología S35D4M5 de AMS

La tecnología dispone de dos tipos de condensadores. Por un lado está el *CPOLY* formado por dos capas de polisilicio diseñado para capacidades de pequeño tamaño. Por otro lado está el *CMIN* formado por dos capas de metal diseñado para la implementación de capacidades de gran valor.

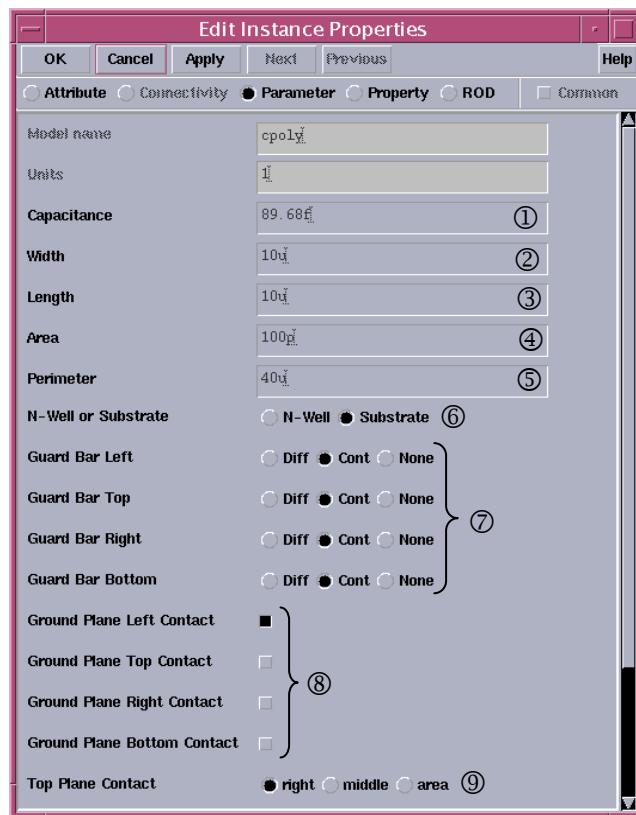


Figura 4.5 Parámetros ajustables en los condensadores

En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores junto a una breve explicación de los mismos.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.
- ⑥ Conexión al sustrato o a un pozo tipo N.

- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.
- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

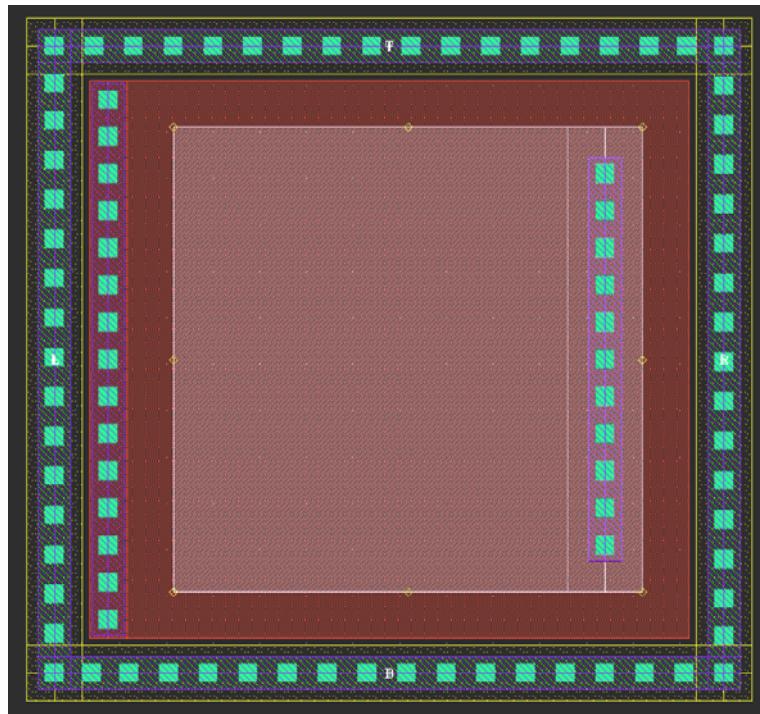


Figura 4.6. Layout de un condensador.

A modo de ejemplo en la figura 4.6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

4.3 Bobinas

4.3.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la

Figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

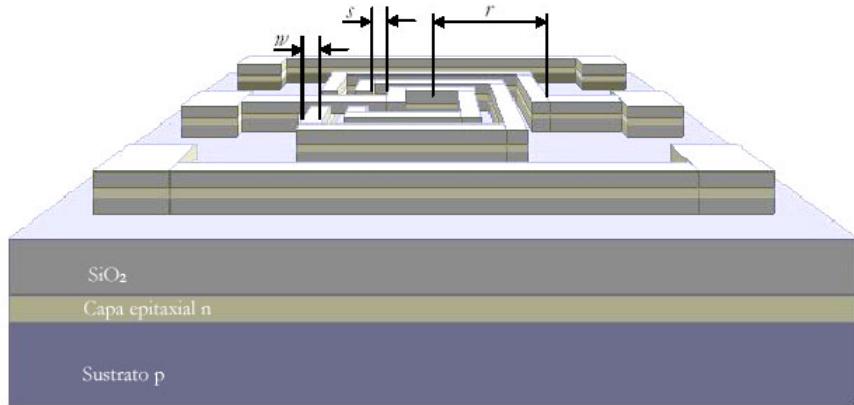


Figura 4.7 Layout de una bobina cuadrada simple

4.3.2 Funcionamiento

La bondad de un inductor viene dada por su factor de calidad (ecuación 4.4), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (4.4)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) y por las

corrientes de torbellino (*eddy currents*) inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la Figura 4.8.

- El campo magnético $B(t)$ está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.
- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico. Algunos autores consideran que esta capacidad lateral entre las vueltas es despreciable, debido a que es la conexión en serie de esas capacidades la que finalmente aparece entre los terminales de la bobina [6].
- $E_3(t)$ es el campo eléctrico entre la espira y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

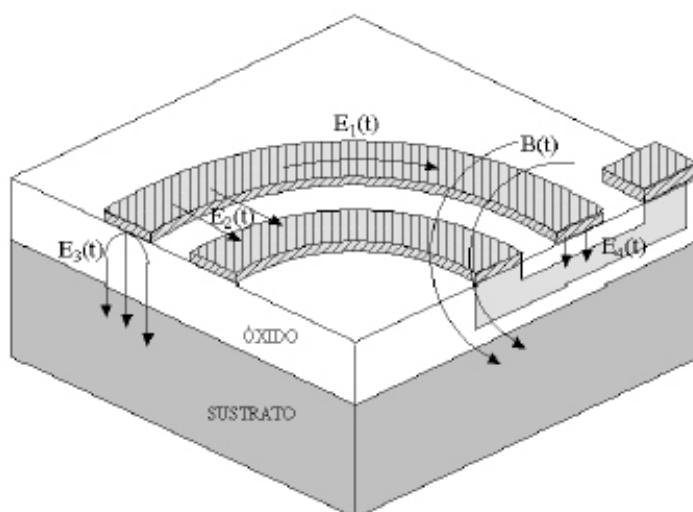


Figura 4.8. Campos eléctricos y magnéticos en un inductor integrado.

4.3.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la Figura 4.9. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver Figura 4.8). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores C_{ox1} y C_{ox2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{sub1} y C_{sub2} dan cuenta de la capacidad del sustrato. Por último R_{sub1} y R_{sub2} modelan las pérdidas óhmicas del sustrato.

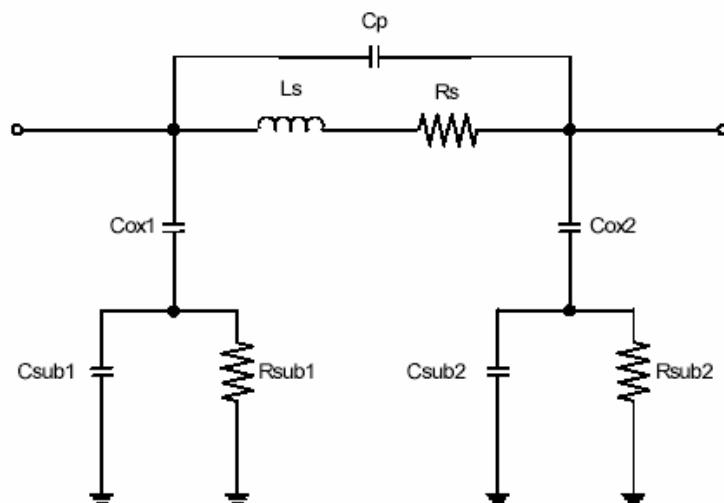


Figura 4.9. Modelo clásico de dos puertos de inductores espirales integrados.

El circuito equivalente de la Figura 4.9 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{ox1} , C_{sub1} y R_{sub1} ligeramente diferentes a los de C_{ox2} , C_{sub2} y R_{sub2} . La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente. Los

resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [7].

4.3.4 Bobinas en la tecnología S35D4M de AMS

La tecnología de *AMS* presenta bobinas, aunque éstas son de baja calidad. Por eso se optó por usar las bobinas diseñadas por el IUMA, consiguiendo factores de calidad de hasta 13,5 a una frecuencia central de 5,5 GHz [8].

En la figura 4.10 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10,3.

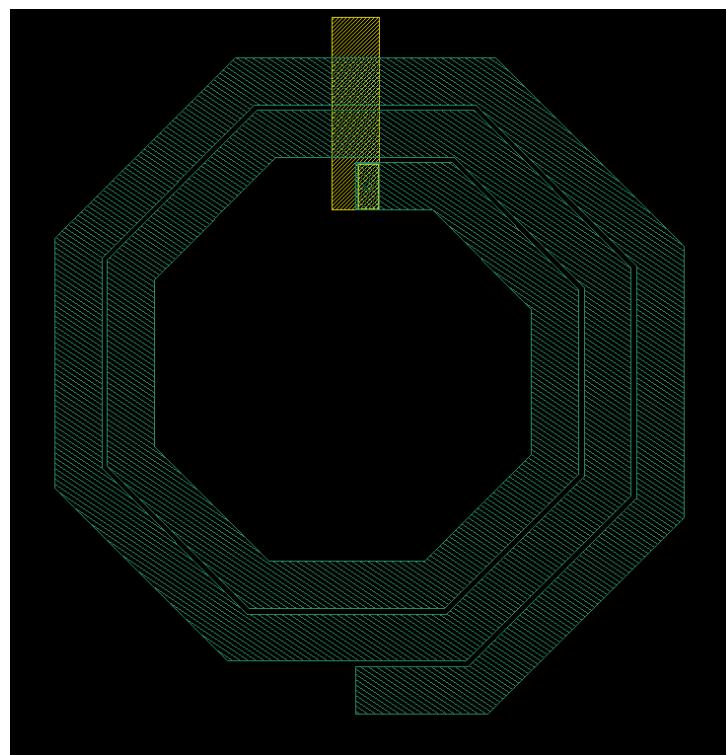


Figura 4.10. Layout de una bobina.

4.4 El Transistor MOSFET

4.4.1 Construcción

En la Figura 4.11 se muestra un corte esquemático de dos transistores *MOS* tipo n y tipo p respectivamente. En el caso del transistor tipo n, la Fuente y el Drenador están formadas por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la Fuente y el Drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el *MOSFET* tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO₂.

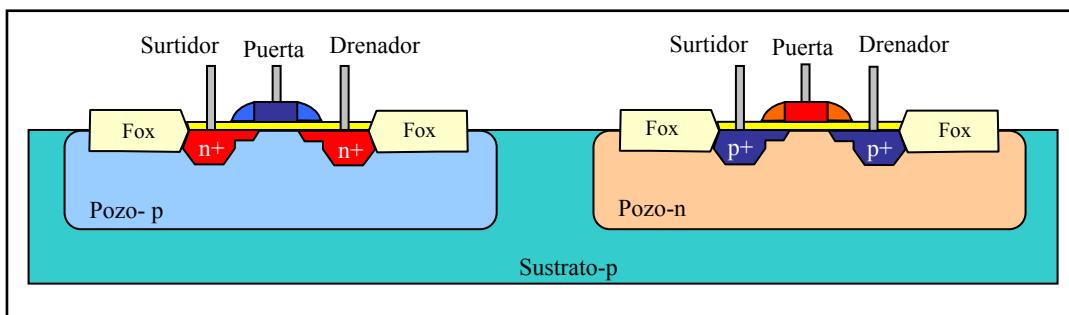


Figura 4.11. Corte esquemático de transistores *MOS*.

4.4.2 Funcionamiento

Como se muestra en la Figura 4.12, si en un *MOSFET* tipo n se aplica un nivel de tensión nulo entre la Puerta y el Surtidor (V_{GS}) y se aplica una tensión positiva entre el Drenador y el Surtidor (V_{DS}), no circulará corriente entre los terminales de Drenador y Surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el Drenador como en el Surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor *MOSFET* se encuentra en corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO₂ hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacia la capa de SiO₂ que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de Puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de electrones cerca de la capa de SiO₂ hasta que la región tipo n inducida pueda

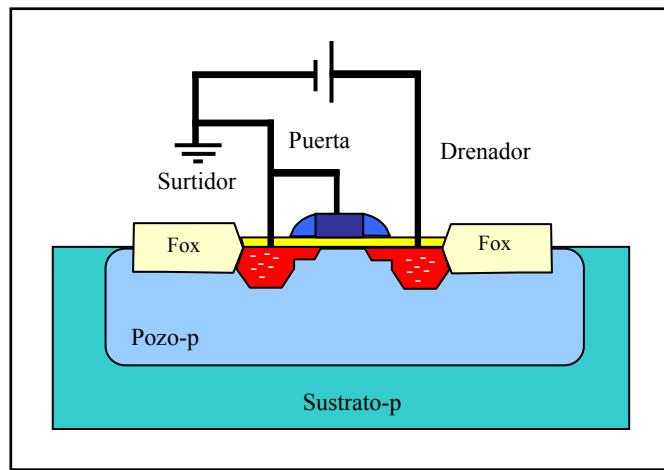


Figura 4.12. MOSFET tipo n en Corte.

soportar un flujo de corriente entre el Drenador y la Surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del Drenador al Surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del Drenador al Surtidor se dice que el MOSFET se encuentra en la región de tríodo o zona óhmica.

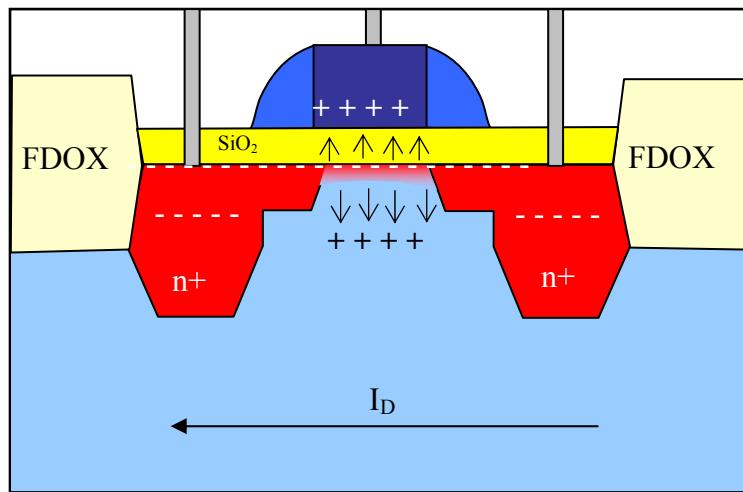


Figura 4.13. Detalle del MOSFET tipo n en zona óhmica.

En la región de tríodo la expresión que determina la corriente de drenador del mosfet viene dada como:

$$I_D = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.5)$$

Donde:

μ_n = Movilidad de los electrones

C_{ox} = Capacidad de puerta por unidad de área

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de Drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de Drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

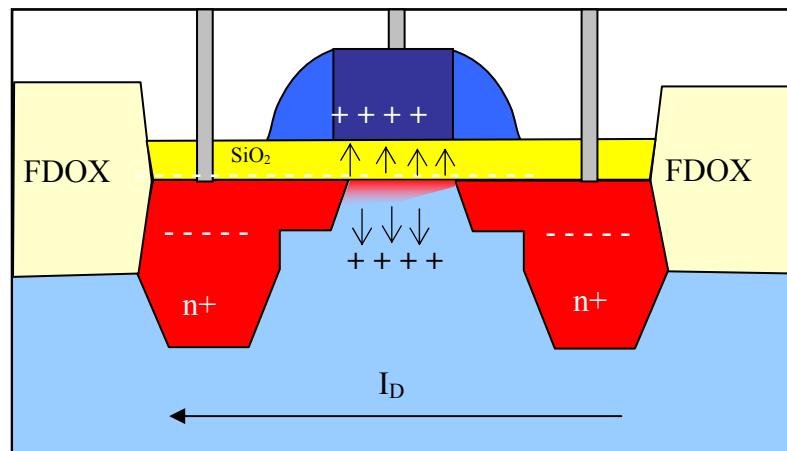


Figura 4.14. Detalle del MOSFET tipo n en zona de saturación.

La tensión de Drenador a Puerta (V_{DG}) viene dado por la ecuación 4.6:

$$V_{DG} = V_{DS} - V_{GS} \quad (4.6)$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación 4.6 el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación 4.7, diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (4.7)$$

Donde:

μ_n = Movilidad de los electrones

C_{ox} = Capacidad de puerta por unidad de área

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

Al coeficiente $\mu_n \cdot Cox$ se le denomina factor de ganancia y se denota con K_n .

A pesar de que el desarrollo anterior se refiere a un transistor *MOSFET* tipo n, en el caso del transistor *MOSFET* tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el *MOSFET* tipo p es contrario del *MOSFET* tipo n.

4.4.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor *MOSFET*, donde g_m es la transconductancia del transistor y viene dada por la ecuación 4.8:

$$g_m = \sqrt{\frac{2.C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (4.8)$$

L_{eff} = Longitud efectiva del canal (μm)

C_{OX} = Capacidad de puerta por unidad de área

μ_n = Movilidad de los electrones

W = Ancho del canal del transistor

I_D = Corriente de drenador

r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.

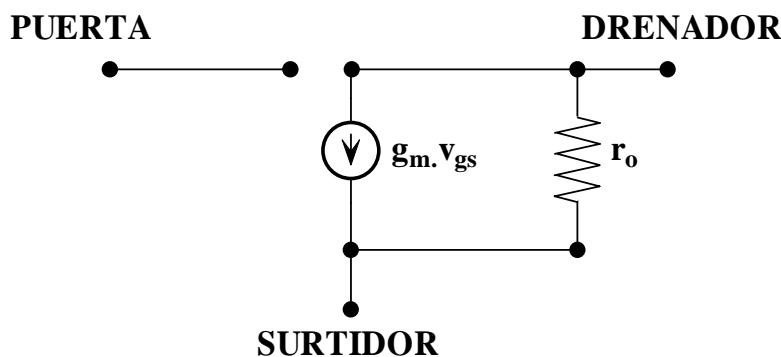


Figura 4.15. Modelo del Mosfet de Baja Frecuencia.

4.4.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor MOSFET, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

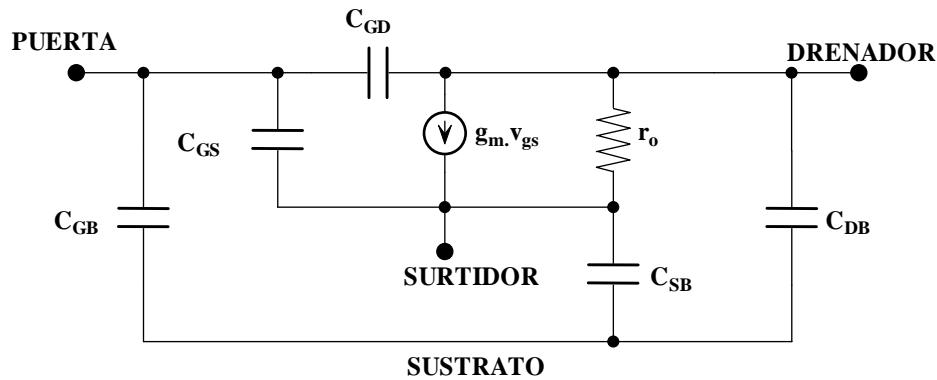


Figura 4.16. Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

- **Capacidades de la zona de carga espacial:** Se producen en las uniones PN, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones 4.9 y 4.10:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (4.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (4.10)$$

Donde:

C_0 = Densidad de la capacidad de la unión cuando la polarización de esta es nula.

V = Tensión directa de la unión.

ψ_o = Barrera de potencial.

m = Constante dependiente del tipo de unión.

- **Capacidades en la zona de óxido:** Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades dependen de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

$$C_{GB} = \text{Capacidad de óxido entre puerta y sustrato}$$

$$C_{SG} = \text{Capacidad de óxido entre surtidor y puerta}$$

$$C_{GD} = \text{Capacidad de óxido entre Puerta y drenador}$$

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor. En la tabla 4.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

Tabla 4.2. Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_d\omega + 0.5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_d\omega + 0.5C_{OX}LW$	$C_{OX}L_d\omega + 0.66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

En la tabla 4.2 los parámetros implicados en las expresiones son:

C_{ox} = capacidad de puerta por unidad de área.

L_d = Distancia de difusión lateral que se produce bajo la puerta.

L = Longitud del canal del transistor (μm).

W = Ancho del canal del transistor (μm).

4.4.5 Transistores **MOSFET** en la tecnología S35D4M5 de **AMS**

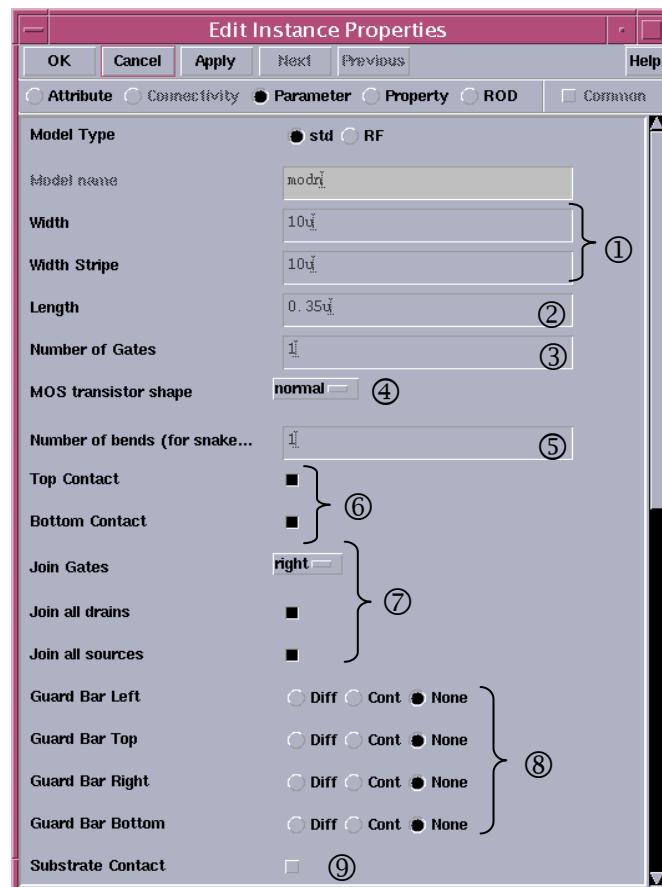
En la tabla 4.3 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del Kit de diseño.

Tabla 4.3. Parámetros más importantes de los *MOSFET*

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	450	540	630	$\mu\text{A}/\mu\text{m}$

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	-0.50	-0.60	-0.70	V
Factor de Ganancia (K_n)	48	58	68	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	-180	-240	-300	$\mu\text{A}/\mu\text{m}$

En la figura 4.17 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET.

Figura 4.17. Parámetros en los *MOSFET*.

- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo Snake [1].
- ⑤ Selección del número de dedos para los transistores tipo Snake.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las puertas, drenadores y surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.
- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [9] en el transistor

A modo de ejemplo en la figura 4.18 se muestra un transistor mosfet tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el Kit de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de Drenador y Surtidor.

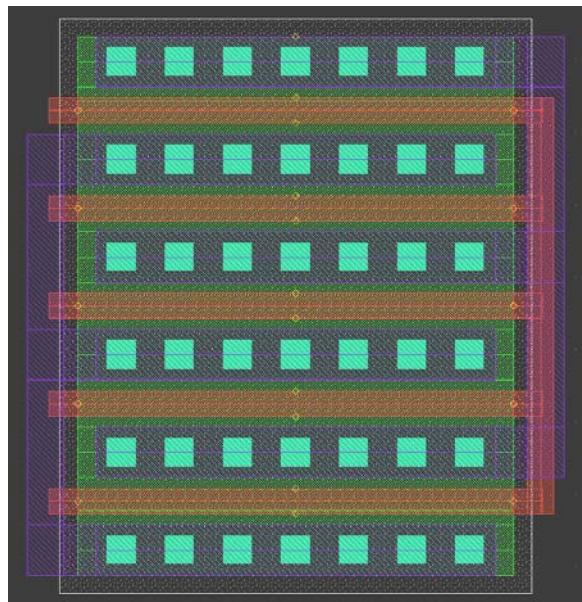


Figura 4.18. Ejemplo de transistor MOSFET.

4.5 HBTs de SiGe

4.5.1 Estructura y principio de funcionamiento de los HBTs de SiGe

Los HBTs de SiGe son transistores npn bipolares en los que la base está formada por una capa muy estrecha ($<50\text{nm}$) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma seudomórfica. La concentración de Ge puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la Figura 4.19 se muestra la estructura típica de un HBT de SiGe gradual.

Para ayudar a entender los beneficios de los HBT, comparamos en la Figura 4.20 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la Figura 4.21, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de deplexión de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los HBTs es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

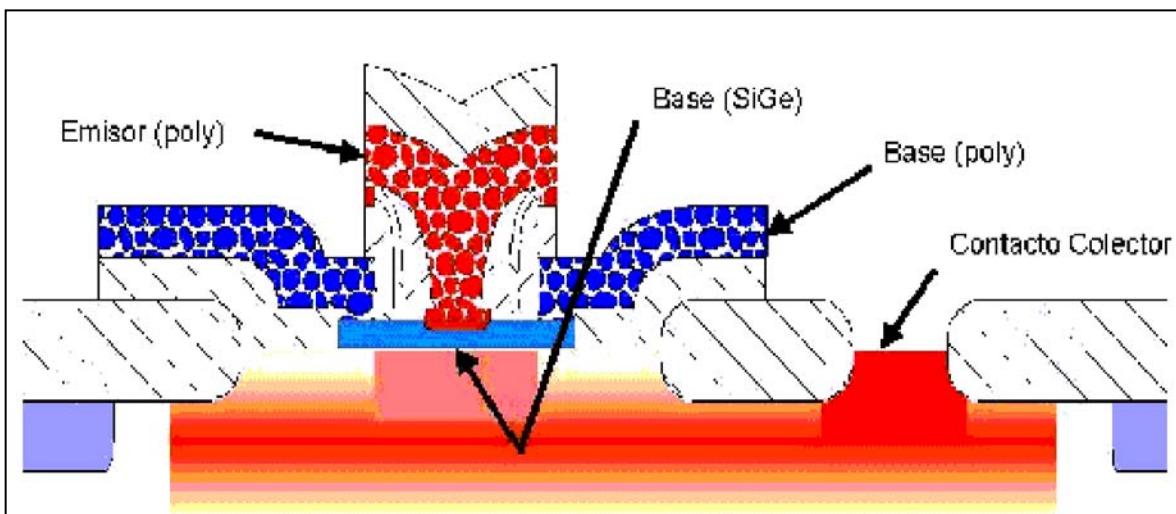


Figura 4.19. Estructura típica de un HBT de SiGe gradual.

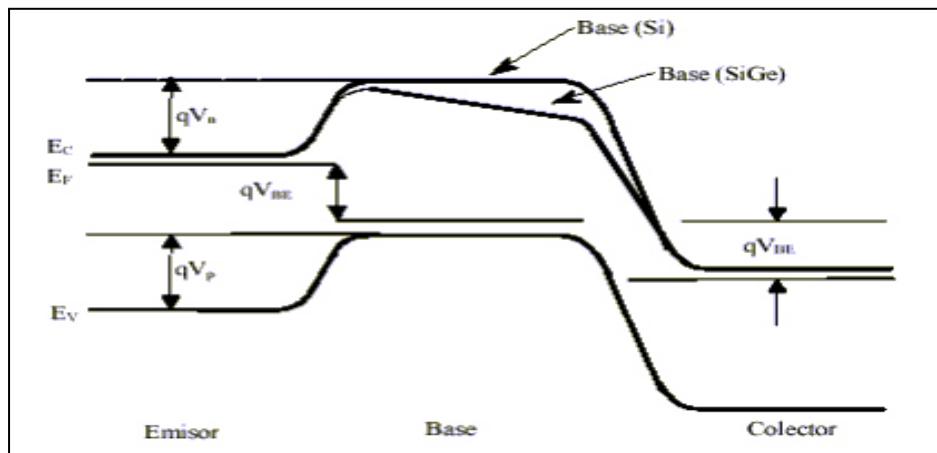


Figura 4.20. Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión n-pn-Si/SiGe.

Si despreciamos las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los BJTs para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión.

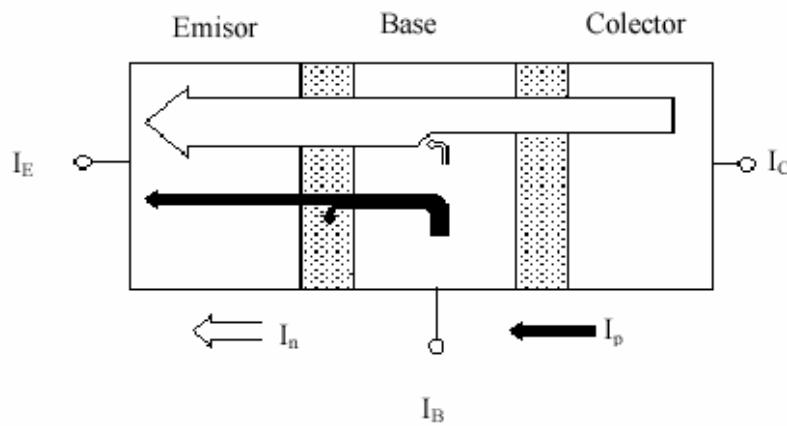


Figura 4.21. Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de Boltzmann nos da las concentraciones de portadores minoritarios:

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.11)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.12)$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión BJT. V_{BE} es la tensión aplicada a la unión B-E. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es N_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (4.11) y (4.12) resulta:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (4.13)$$

Esta ecuación representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la Figura 4.20 se muestra también el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G / W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base [10]. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot t} \right)} \quad (4.14)$$

Debido a que es posible obtener decenas de meV para Δ_{EG} variando la concentración de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados [11] y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias [12].

Por otro lado, para conseguir valores de corriente elevados en los BJTs, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de HBTs en vez de BJTs ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los HBTs trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los HBTs de SiGe es mayor que para los BJTs de Si, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de LNAs respecto al ruido [14]. Por último, debido a la elevada ganancia que presentan los HBTs de SiGe a frecuencias por encima de 2 GHz, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y LNAs.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presentan, lo cual hace que se compleje sobre todo el diseño de amplificadores de potencia. Este problema no es específico del SiGe, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector [13]. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

4.5.2 HBTs en la tecnología S35D4M de AMS

Los HBTs de SiGe utilizados para la realización de este diseño son los suministrados en el proceso S35D4 ($0.35\text{ }\mu\text{m HBT BiCMOS}$) de la empresa *AMS*. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo p poco dopada de resistividad $19\text{ }\Omega\text{-cm}$. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD) [14] la cual se separa mediante un proceso de recesión LOCOS [14]. El siguiente paso es el crecimiento selectivo de la base de SiGe mediante CVD. La concentración de Germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se generan los contactos de Base y Emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la figura 4.22 se muestra el cuadro de diálogo de los transistores disponible en el Kit de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

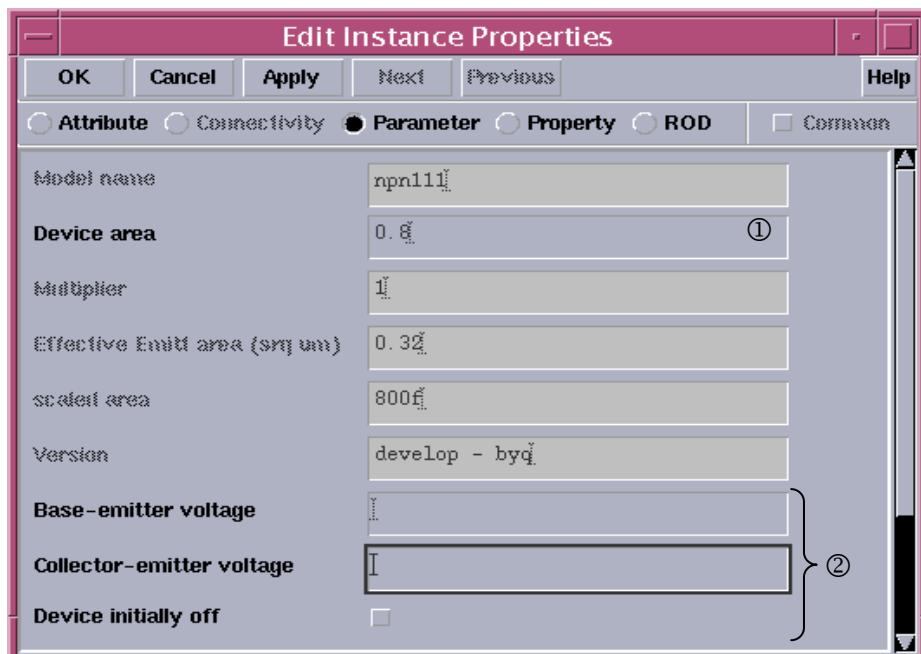


Figura 4.22. Parámetros ajustables de los transistores.

- ① Selección del área del transistor
- ② Selección de los ajustes para simulación

En la figura 4.23 se muestra el layout de un transistor HBT. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

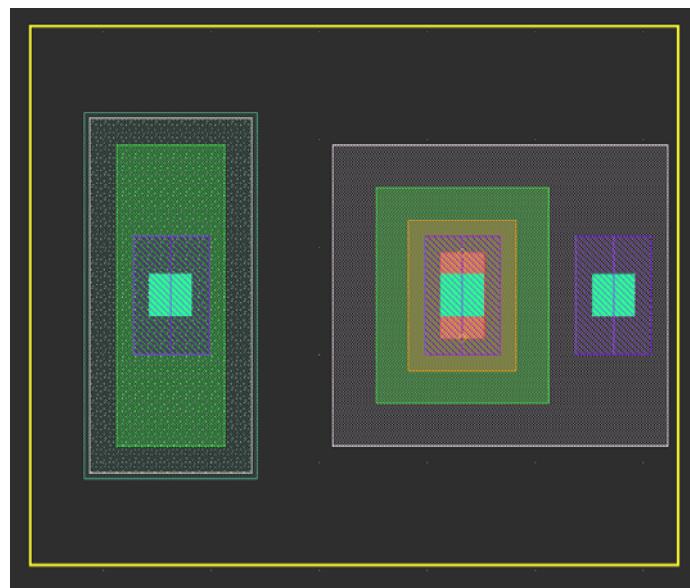


Figura 4.23 Layout de un Transistor HBT.

4.6 Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología S35D4M5 de *AMS* para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los LNAs y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño del LNA en sí, gracias a la información dada por el presente capítulo y el anterior.

Capítulo 5

Diseño a nivel de esquemático

En el capítulo anterior pudimos estudiar las características principales de la tecnología empleada. En la presente sección nos centraremos en el verdadero objetivo del proyecto: el diseño de un amplificador de bajo ruido (LNA), en este caso, a nivel de esquemático. Comenzaremos hablando de las especificaciones requeridas para este tipo de dispositivos. Esto lo obtendremos de las características del estándar IEEE802.11a, tal y como vimos en el primer capítulo. Luego, seguiremos una secuencia de diseño basada en el estudio de los componentes proporcionados por la tecnología. Esto nos llevará a elegir la topología de LNA óptima para nuestros intereses. Finalmente, una vez elegida la arquitectura, optimizaremos los componentes de esta para cumplir las especificaciones y, en la medida de lo posible, obtener mejores resultados.

5.1 Especificaciones

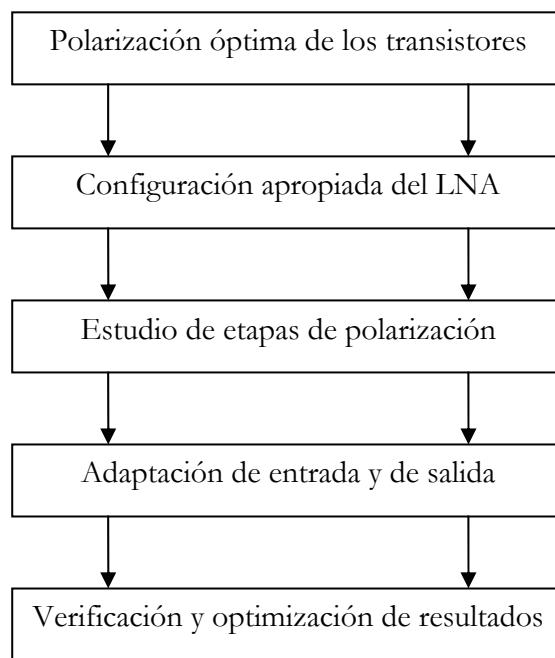
Las especificaciones requeridas para nuestro LNA según el estándar IEEE802.11a [3] y la tecnología empleada son:

- Alimentación= 3.3 Voltios.

- Figura de ruido (NF) < 4.5 dB.
- IIP3 > -10 dBm.
- OIP3 > 8 dBm.
- Ganancia (*Power Gain*) > 9 dB.
- Consumo de potencia → Menor posible.

5.2 Flujo de diseño

Para un correcto diseño de nuestro LNA, hemos seguido el siguiente flujograma:



A continuación pasaremos a desarrollar en los siguientes apartados cada uno de los bloques.

5.2.1 Polarización óptima de los transistores

Esta primera parte del diseño comenzó con el estudio de las características de los transistores de la tecnología empleada. El análisis se centra, principalmente, en aquellos aspectos relativos a la polarización de los transistores. El objetivo es obtener la menor figura de ruido junto con una ganancia aceptable.

Esto lo logramos con una serie de análisis y simulaciones con el software ADS (*Advanced Design System*).

Para ello, comenzamos analizando una configuración muy sencilla, tal y como se observa en la Figura 5.1. Con ella pretendíamos obtener la corriente de colector (I_C) y la tensión colector-emisor (V_{CE}) que polarizasen al transistor de cara a obtener la menor figura de ruido posible.

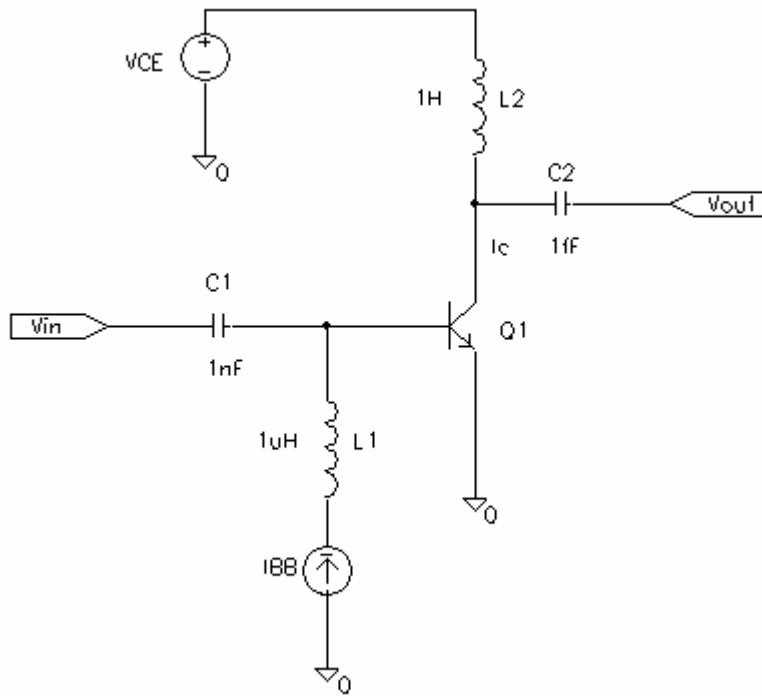


Figura 5.1 Configuración para el estudio de la polarización óptima

En las Figuras 5.2 y 5.3 podemos observar los resultados de dichas simulaciones. Del estudio se dedujo que con una tensión V_{CE} de 1.65 V (mitad de polarización total) y una corriente de colector (I_C) de 500 μ A (véase figura 5.2), obtenemos la menor figura de ruido (NF) posible con este tipo de tecnología (véase figura 5.3). Además aseguramos que con esta polarización el transistor estará siempre trabajando en zona activa.

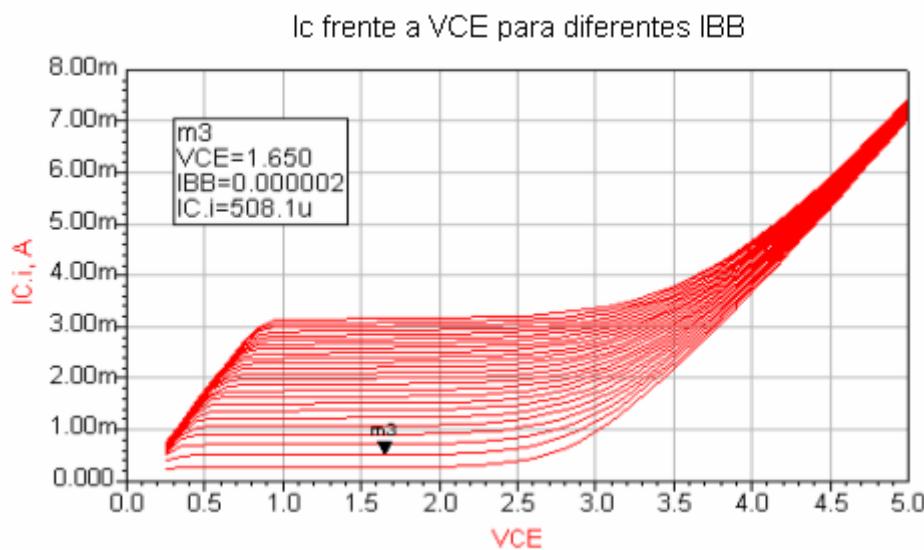


Figura 5.2 Corriente de colector frente a V_{CE} para diferentes corrientes de base.

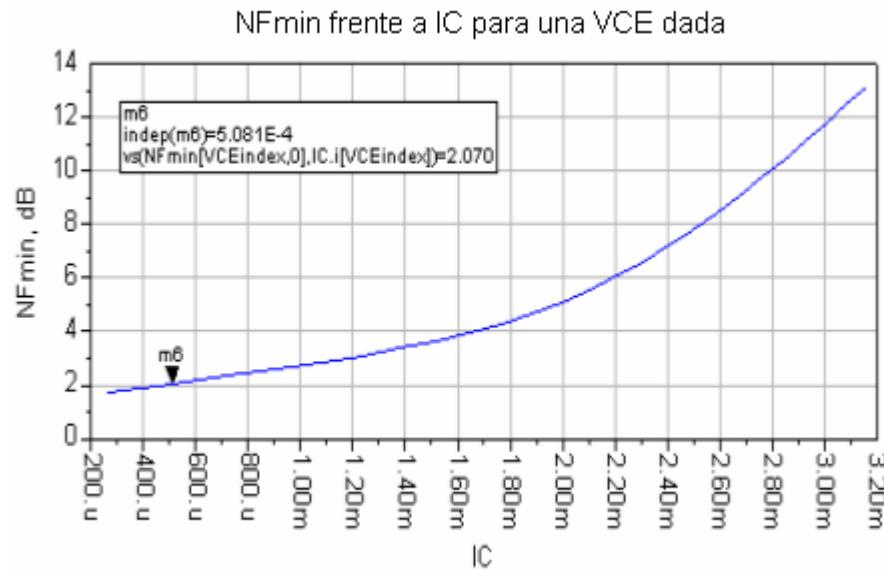


Figura 5.3 NF frente a I_C para una V_{CE} dada.

Tomando como base la polarización óptima de los transistores para mínima figura de ruido, podemos dar paso al estudio de la configuración más adecuada para nuestro LNA.

5.2.2 Configuración apropiada del LNA

De acuerdo con el análisis realizado en el capítulo 3, pudimos observar que las configuraciones con menor consumo de potencia, mejor linealidad, aislamiento y ganancia son: LNA cascode (*Single-Ended*) para el caso asimétrico, y LNA balanceado (*balanced*) para el caso diferencial. Por tanto, nuestro diseño se fundamentará en estas dos topologías.

5.2.2.1 Configuración asimétrica

Comenzaremos analizando el circuito asimétrico ya que, como veremos posteriormente, es la base del circuito diferencial.

a) Etapas de polarización

Este apartado está dedicado al estudio de la etapa de polarización óptima de nuestro LNA. Para ello, nos fundamentaremos en los niveles de tensión colector-emisor (V_{CE}) y de corriente de colector (I_C) dados en el apartado 5.2.1.

Los criterios de evaluación vienen determinados por estos dos parámetros básicos:

- Menor consumo de potencia posible.
- Menor figura de ruido posible.

a.1) Etapa con doble fuente de corriente

Esta primera topología se muestra en la figura 5.4. En ella se pueden observar las dos fuentes de corriente que polarizan los transistores $Q1$ y $Q2$. Igualmente se pueden apreciar los componentes que las conforman.

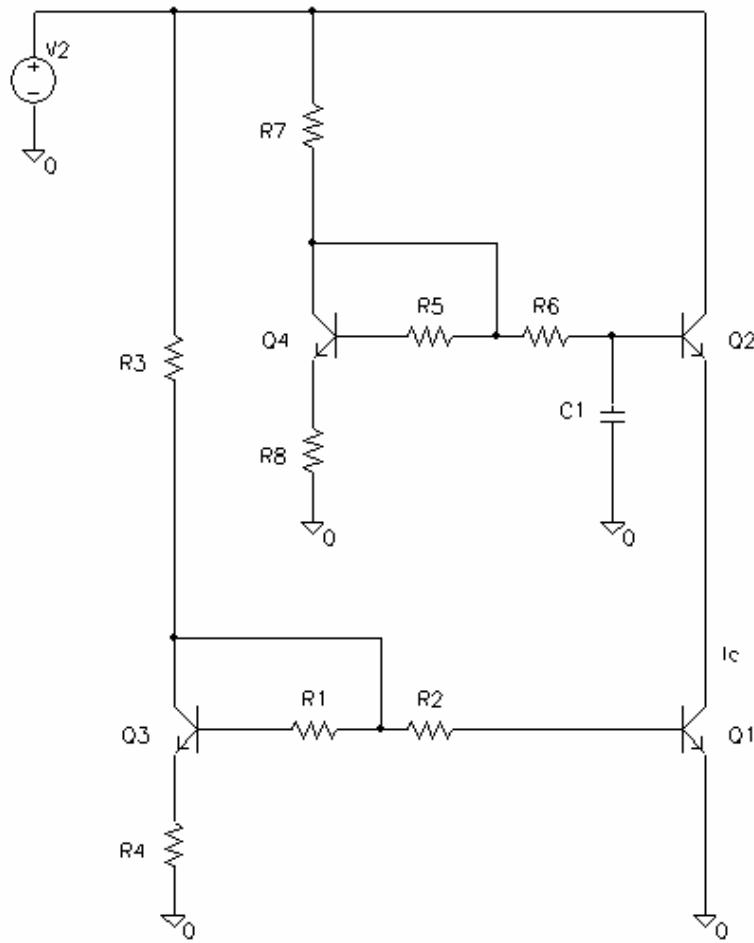


Figura 5.4 Polarización con doble fuente de corriente

La resistencia R_2 de valor $50\text{ K}\Omega$, evita que la señal de entrada se degenera por el efecto del circuito de polarización, dado su alto valor.

La corriente a través de los dos transistores Q_1 y Q_2 la regulamos con las resistencias R_3 y R_7 . Sin embargo, también son utilizadas para fijar las tensiones V_{CE} de estos. Esto hace altamente difícil obtener el valor adecuado de I_C y V_{CE} , ya que dependen de dos variables.

El condensador C_1 es utilizado para eliminar el ruido aportado por la red formada por el transistor Q_4 y las resistencias R_5 , R_6 , R_7 y R_8 .

Dado que esta topología está formada por dos fuentes de corriente, el consumo de potencia total alcanza valores elevados. De la misma manera, el elevado número de componentes que presenta este tipo de polarización, hace que proliferen efectos parásitos. Esto se hace patente en el valor de la NF del circuito, que aumenta considerablemente.

Con las características que presenta esta configuración, debemos plantearnos el estudiar otras alternativas que las mejoren. Una de ellas es la etapa formada por fuente de corriente y divisor resistivo.

a.2) Etapa con fuente de corriente y divisor resistivo

Esta configuración se puede observar en la figura 5.5. En ella se aprecia que la fuente de corriente que polarizaba al transistor Q_2 , ha sido sustituida por un divisor resistivo. Esto nos será especialmente útil para suministrar la correcta V_{CE} a los transistores. Así desaparece parcialmente el problema anterior en que la I_C y la V_{CE} de los transistores dependían de 2 variables.

En esta topología, la I_C de los transistores la fija la fuente de corriente formada por el transistor Q_3 y las resistencias que lo acompañan. Igualmente, como ya comentamos, la V_{CE} de los transistores la fija el divisor resistivo formado por las resistencias R_5 y R_6 .

La corriente I_C la podemos variar modificando el valor de la resistencia R_3 . La resistencia R_2 posee un alto valor para evitar que la señal de RF entrante se vea degradada por el circuito de polarización, al igual que en el caso anterior. Por otro lado, el condensador C_1 elimina la influencia del divisor resistivo en el funcionamiento del amplificador.

Cuando mencionamos que el problema de la polarización desaparecía parcialmente, se debía a que la fuente de corriente influye en la V_{CE} de los transistores. Por tanto, el ajuste de la correcta V_{CE} de Q_1 y Q_2 depende de dos variables, al igual que en la configuración anterior. Sin embargo, la influencia de dicha fuente de corriente es menor que en la topología de doble fuente.

El consumo de potencia del circuito tiende a ser moderado-alto, debido a la existencia de una fuente de corriente.

La NF del amplificador tiende a ser moderada-baja, la cual puede reducirse mediante un diseño cuidadoso de los componentes.

Sin embargo, de cara a la integración del amplificador, debemos centrar nuestros esfuerzos en reducir el consumo de potencia al mínimo posible. Para ello, estudiamos otra configuración con menor consumo, la topología de doble divisor resistivo.

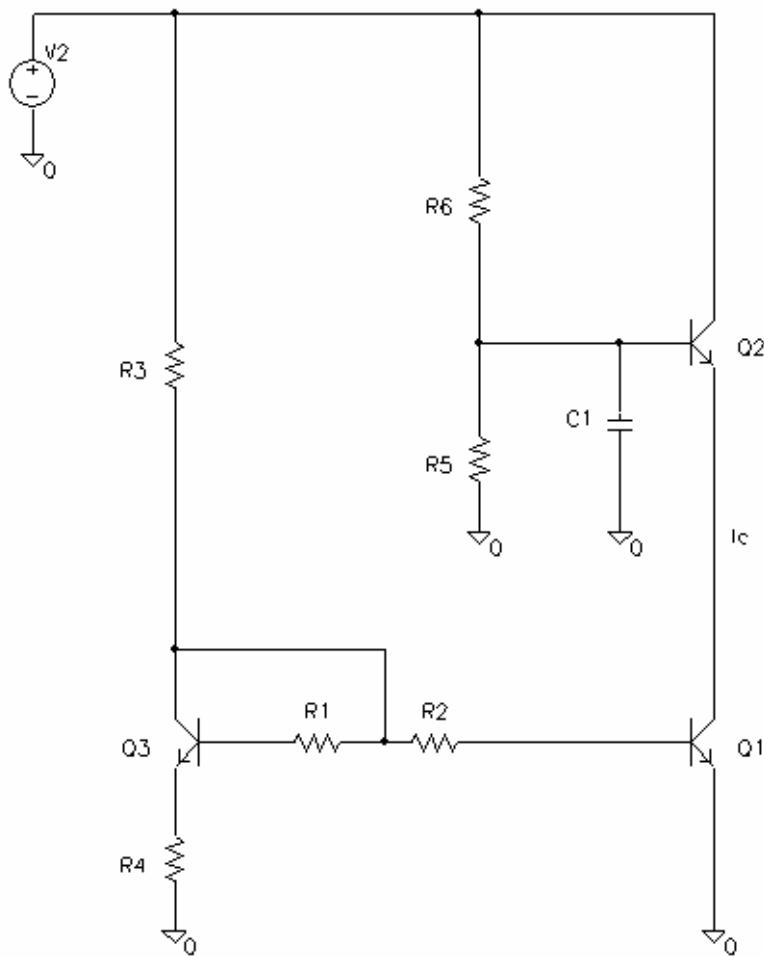


Figura 5.5 Configuración con fuente de corriente y divisor resistivo

a.3) Etapa con doble divisor resistivo

Esta última configuración se puede observar en la Figura 5.6. En ella se aprecia que no existen fuentes de corriente ya que han sido sustituidas por un doble divisor resistivo.

Esta topología se presta como la de mayor sencillez en la fijación de los niveles de polarización. Podemos establecer las tensiones en las bases de los transistores $Q1$ y $Q2$, y consiguientemente sus V_{CE} respectivas aplicando la fórmula de un divisor resistivo.

Por otro lado, podemos fijar la I_C de los transistores modificando el módulo de las resistencias $R1$, $R2$ y $R3$. Por ejemplo, si con valores de resistencias del orden de cientos de $Ohms$ obtenemos una I_C de 10 mA, con valores de resistencias del orden de $KOhms$, podemos obtener una I_C de 1 mA.

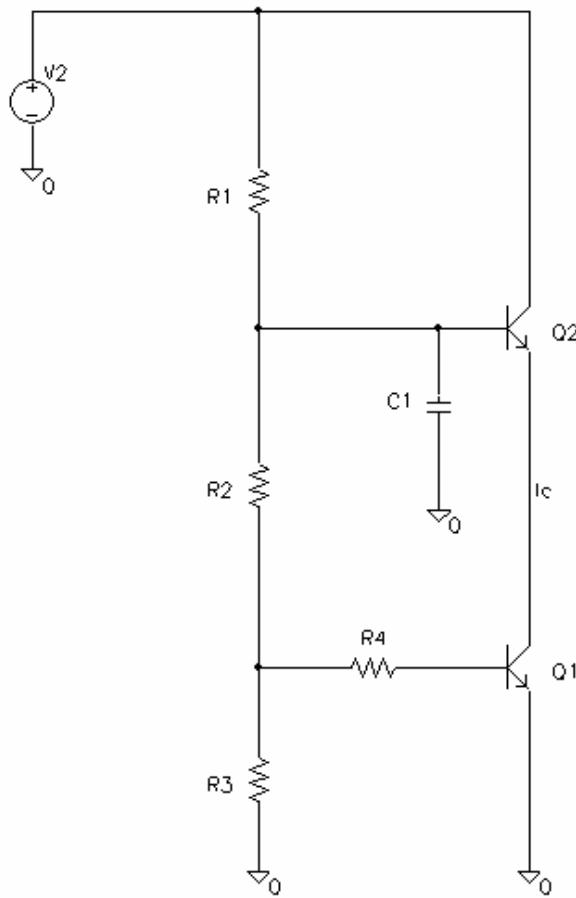


Figura 5.6 Etapa de polarización con doble divisor resistivo.

Para conseguir esto y no variar el valor de las tensiones en las bases de los transistores, todos los módulos de las resistencias obtenidas mediante la fórmula del divisor resistivo deben ser multiplicados por el mismo factor.

El condensador $C1$ es utilizado para eliminar la contribución de ruido aportada por el divisor en la base de $Q2$, al igual que en la topología anterior.

Igualmente, la resistencia $R4$ posee un valor elevado para eliminar la degradación de la señal de entrada por el circuito de polarización.

En lo referente al consumo de potencia, este tipo de polarización se presenta como la más eficiente. Tal es el orden de eficiencia que el consumo total se acerca a los valores obtenidos con transistores pertenecientes a otro tipo de tecnologías, como por ejemplo la *CMOS*.

Si nos referimos a la NF del amplificador, el valor tiende a ser muy bajo, dado que existen muy pocos componentes. También es debido a que sus valores se han optimizado para esto.

Dadas las características que presenta este tipo de etapa de polarización, la emplearemos para el diseño de nuestro LNA.

b) Adaptación de entrada y de salida

El siguiente paso para minimizar la NF consiste en determinar la impedancia de la fuente de pequeña señal que debe ver el transistor a su entrada para que éste presente una NF mínima. Por lo general la impedancia de fuente que realmente tiene nuestro circuito ($R_s=50\Omega$) rara vez coincide con la impedancia de fuente para mínimo ruido (R_{sNFmin}). Por tanto, debemos elegir entre adaptar para mínimo ruido (forzar a que la impedancia de fuente de fuente se parezca a R_{sNFmin} mediante una red de adaptación al efecto) o adaptar para máxima transferencia de potencia (forzar a que la impedancia de entrada del transistor se parezca a R_s). Sin embargo existen técnicas que permiten hacer que R_{sNFmin} se parezca lo más posible a R_s . Una de esas técnicas es la denominada degeneración inductiva, la cual consiste en introducir una inductancia en serie con el emisor tal y como se muestra en la Figura 5.7. El valor de dicha inductancia viene dado por la siguiente expresión aproximada [15]:

$$Le \approx \frac{50\Omega}{2 \cdot \pi \cdot f_T} \quad (5.1)$$

Como se puede observar, cuanto mayor sea la frecuencia de corte del transistor (f_T), menor será el valor de la inductancia a utilizar y por tanto menor será la cantidad de ruido añadido al LNA por las pérdidas óhmicas asociadas a dicha inductancia. Al introducir esta inductancia hacemos que el coeficiente de reflexión para mínimo ruido sea $\Gamma_{min}=1+jX$, es decir, su parte real vale 50Ω . Seguidamente, mediante el uso de una inductancia colocada en serie con la entrada del circuito (L_b) se eliminará la parte imaginaria de Γ_{min} . De esta manera conseguimos adaptar tanto para mínimo ruido como para máxima transferencia de potencia.

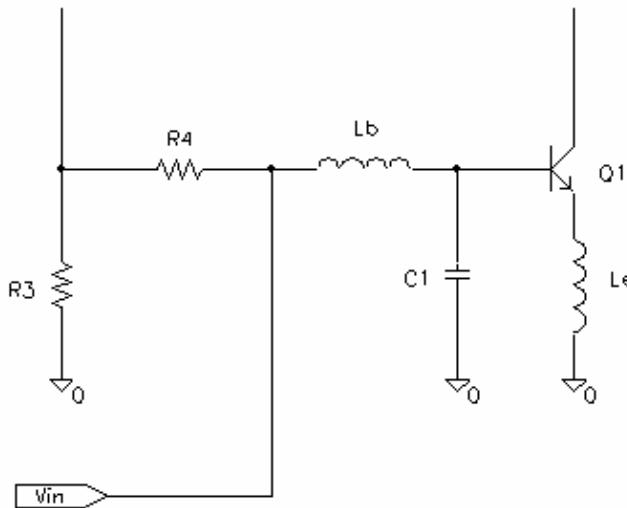


Figura 5.7 Adaptación de entrada

Para disminuir el ruido introducido por el transistor $Q1$, así como para facilitar la adaptación a la entrada, nos ayudamos del condensador $C1$.

Como se observa en la figura 5.7, la adaptación se logra con un híbrido de red LC y degeneración inductiva.

Una vez hecho todo esto, sólo faltaría adaptar la salida a 50Ω . Esta adaptación la conseguimos mediante la estructura mostrada en la Figura 5.8 y en la que nos ayudamos de la bobina de choque $L3$ para ajustar la parte real de Z_{OUT} y del condensador $C3$ para eliminar la parte imaginaria.

Nótese que cuando empleamos adaptación conjugada a la salida obtenemos la ganancia máxima del circuito pero, si la impedancia de salida la ajustamos para máxima transferencia de potencia, lo que obtenemos es máxima potencia a la salida, con lo que el punto de compresión a 1dB y el $IP3$ aumentan.

Cabe destacar que la adaptación de salida lograda con la red LC formada por $L3$ y $C3$, hizo innecesario el empleo de un *buffer* a la salida, evitándonos el añadir componentes que afectan directamente a la figura de ruido de nuestro circuito.

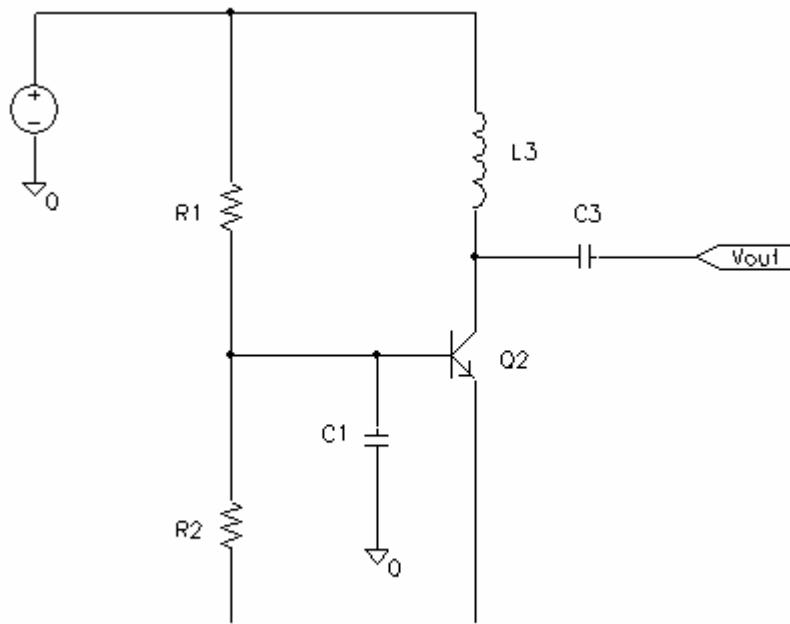


Figura 5.8 Adaptación de salida

c) Resultados

El circuito final es el mostrado en la figura 5.9. En él se pueden apreciar el circuito de polarización empleado, las redes de adaptación y la configuración cascode formada por $Q1$ y $Q2$.

Para que el resultado de las simulaciones sea lo más real posible, debemos tener en cuenta la influencia de una serie de efectos parásitos que influyen de manera considerable en el funcionamiento del circuito. Estos efectos se deben a los elementos parásitos introducidos por los *pads* de conexión, el hilo de soldadura entre el *pad* y la patilla, y el empaquetamiento en sí. Si no se consideraran dichos elementos, los resultados obtenidos a partir de las distintas simulaciones diferirán de los obtenidos en las medidas. Estos efectos provienen de la necesidad de empaquetar el circuito para su medida. Sin embargo, nuestros diseños se han realizado para medida directamente sobre la oblea (*on wafer*) y por tanto sólo será necesario tener en cuenta el efecto de los *pads* de conexión.

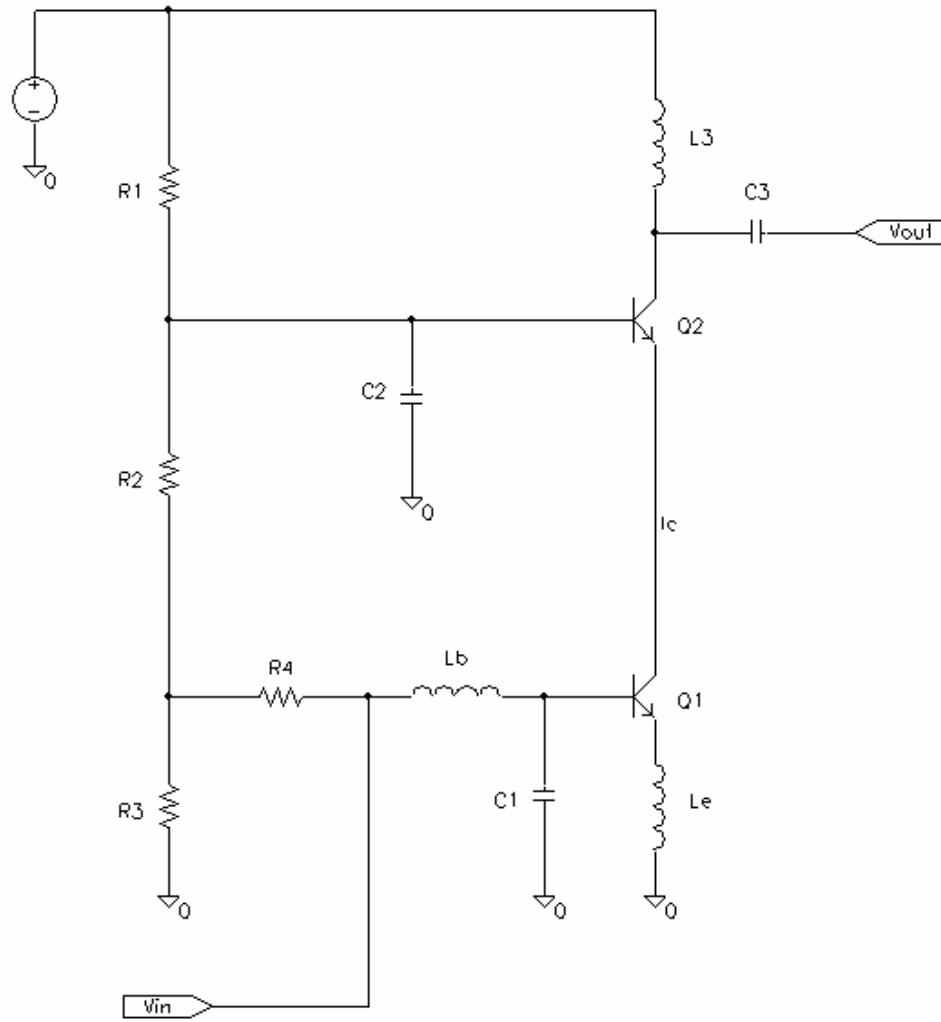


Figura 5.9 Circuito asimétrico final

Un *pad* no es más que una isla de metal conectada a las zonas adecuadas del circuito integrado sobre el cual descansará la punta de medida. Al ser una zona de metal sobre un sustrato de silicio, éste puede modelarse mediante una capacidad parásita en serie con una resistencia entre el metal y el sustrato. En la Figura 5.10 se muestra un esquema circuital del *pad*. Los valores de C y R los obtenemos a partir de la medida de las estructuras en abierto y cortocircuito. Los valores obtenidos para nuestros *pads* son de $C=250\text{ fF}$ y $R=31\Omega$.



Figura 5.10 Circuito equivalente de un *pad* de conexión.

Los resultados obtenidos son los mostrados en las Figuras 5.11, 5.12 y 5.13. En la esquina superior izquierda de la figura 5.11 podemos observar la NF del circuito. Como se puede apreciar, el valor de este parámetro está situado muy por debajo del límite establecido en el apartado 5.1.1.

En la esquina superior derecha de la misma figura, se presenta la ganancia de potencia del amplificador. Su valor posee un nivel bastante alto, lo que disminuirá la figura de ruido del receptor completo en el que se integre.

En las dos esquinas inferiores se observa el nivel de adaptación a la entrada y a la salida. Tal y como se aprecia, poseen valores cercanos a los ideales.

En la figura 5.12 podemos observar los resultados de acuerdo con los parámetros S. De estos parámetros se derivan los datos en la figura anterior, aplicando las relaciones ya expuestas en capítulos anteriores.

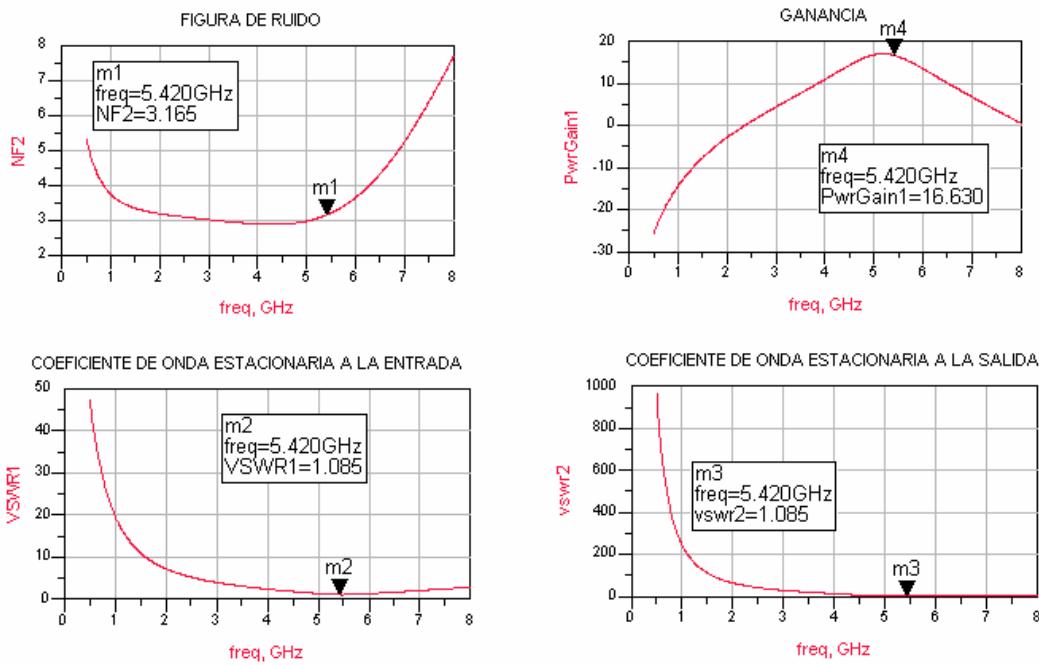


Figura 5.11 Resultados obtenidos

Las gráficas de las esquinas superiores se corresponden con los coeficientes de onda estacionario ($VSWR_1$ y $VSWR_2$) dados por la figura 5.11.

En la esquina inferior izquierda se observa que el nivel de aislamiento logrado alcanza cotas muy altas gracias, sobre todo, a la configuración cascode del LNA.

En la gráfica de la esquina inferior derecha, podemos ver el resultado del parámetro S_{21} , que se corresponde con la ganancia del amplificador.

En la figura 5.13 podemos apreciar la linealidad de nuestro amplificador. Como se aprecia en el recuadro inferior derecho, en el que se muestran los resultados del OIP_3 y del IIP_3 respectivamente, los niveles de linealidad hacen que nuestro circuito cumpla holgadamente con las especificaciones.

Finalmente, añadir que el consumo de potencia total del circuito es de 9.53 mW.

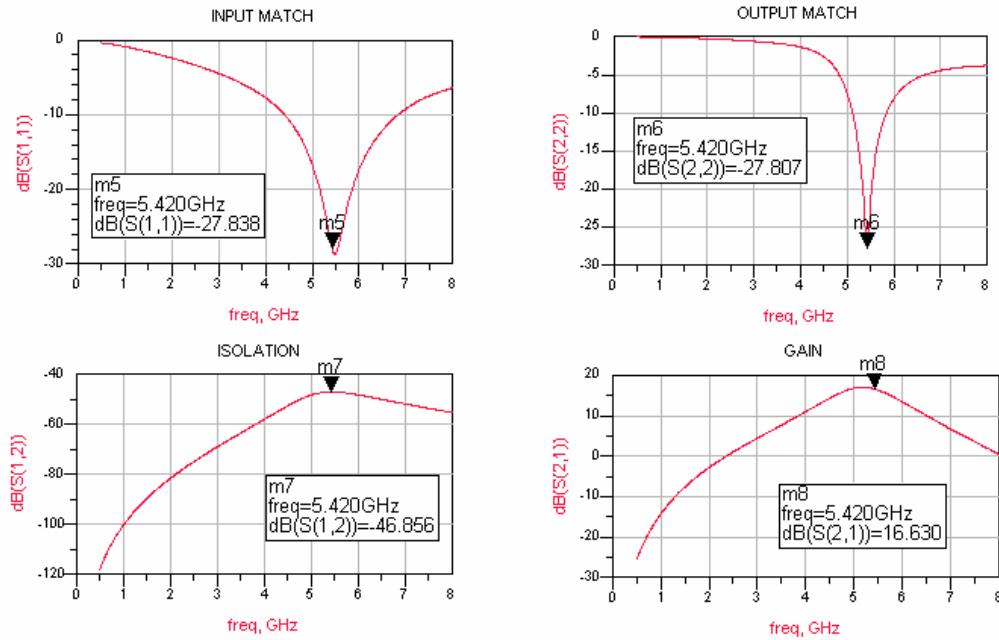


Figura 5.12 Parámetros S.

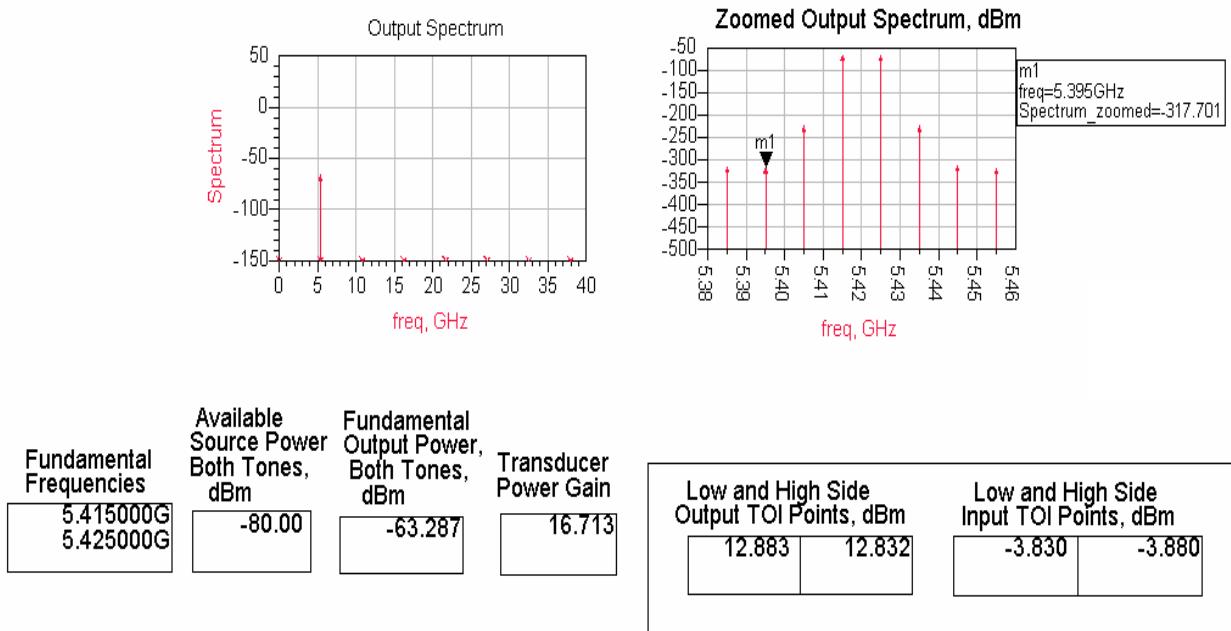


Figura 5.13 Puntos de Intercepción de Tercer Orden.

c.1) Valores de componentes

Los valores de los componentes que hicieron posible los resultados anteriores son los siguientes (véase Figura 5.9):

R1=9.2 KOhms.

R2=20.2 KOhms.

R3=20.2 KOhms.

R4=50 KOhms.

C1=227 fF.

C2=1 pF.

C3=160 fF.

Lb → Inductancia = 3nH; Factor de calidad (Q)=9.6

Le → Inductancia = 0.6nH; Factor de calidad (Q)=13.6

L3 → Inductancia = 5nH; Factor de calidad (Q)=7.6

Q1 → Área=2 ; Multiplicidad=8.

Q2 → Área=2 ; Multiplicidad=3.

5.2.2.2 LNA balanceado (*Balanced LNA*)

Esta segunda configuración se basa en la topología *Single-Ended*, y trata de solventar el problema del ruido en modo común. Este ruido aparece en la entrada de cualquier circuito no ideal. Por tanto, en un circuito diferencial aparecerá este ruido en sus dos entradas. Sin embargo, como un amplificador de este tipo amplifica la diferencia de potencial en sus entradas, la contribución de ruido común a éstas desaparece. Esto elimina en gran medida el acoplamiento de ruido con el sustrato. También hará a nuestro circuito menos sensible a la temperatura, presión,...

Sin embargo, esta configuración nos obligará a transformar la señal que llega de la antena de RF de asimétrica a diferencial. Esto lo lograremos con el uso de un *balun* o transformador, sabiendo que las pérdidas extra de señal son inevitables. Dicho *balun* se muestra en la Figura 5.14, y también será utilizado en la medida real del circuito.

Si se elige una relación de transformación $T = \sqrt{2}$, una impedancia diferencial de 100 Ω en la salida entre V_{out+} y V_{out-} , es vista desde la entrada como una impedancia de 50 Ω . Hay que tener en cuenta que esta transformación no afecta a la potencia, ya que en un transformador ideal la potencia a la entrada y a la salida es la misma.

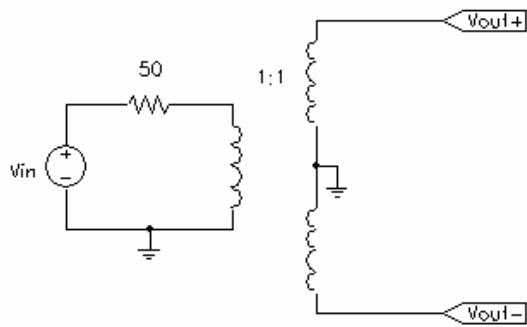
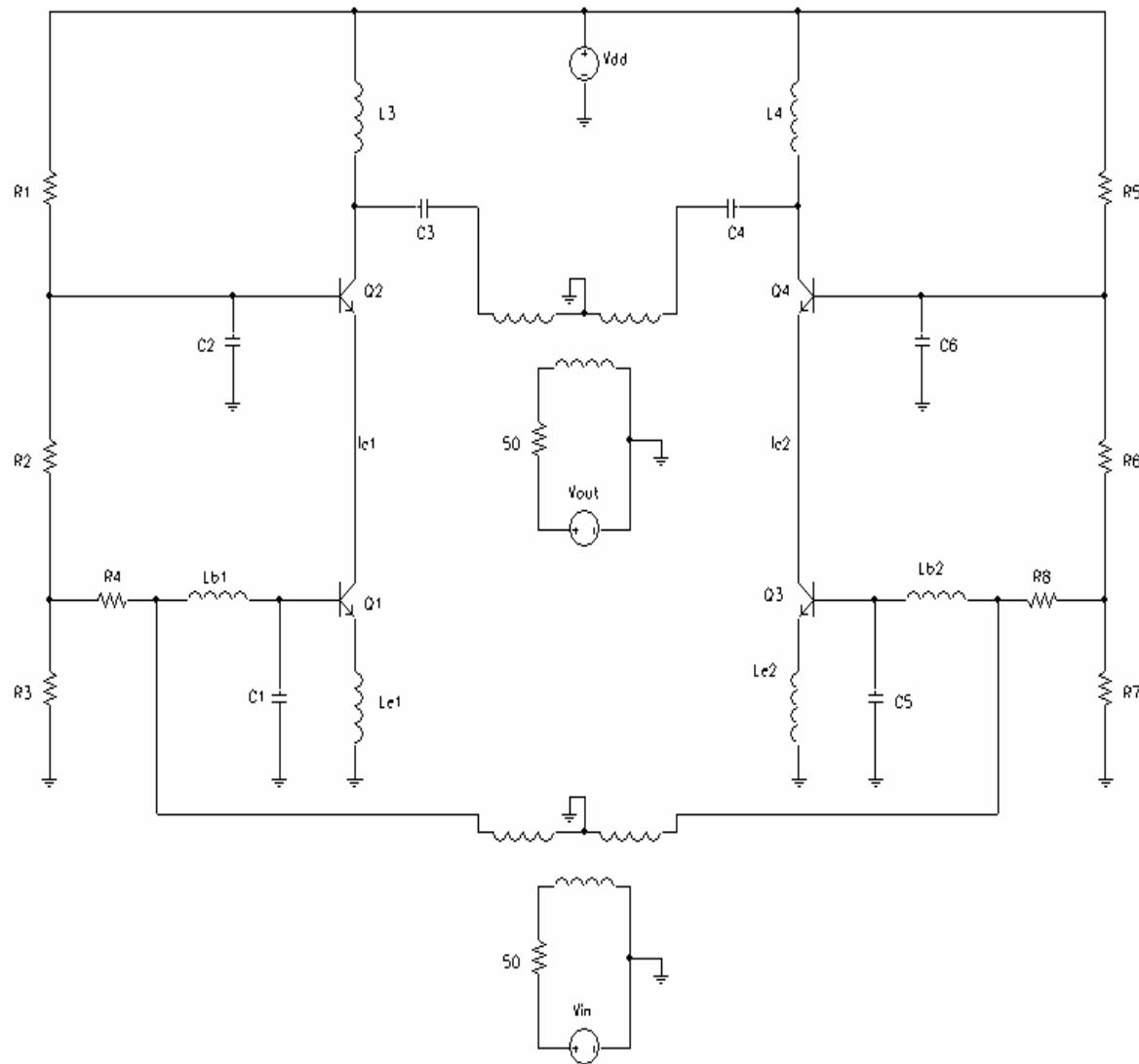


Figura 5.14 Balun de entrada

Como ya comentamos anteriormente, esta configuración está basada totalmente en la topología *Single-Ended*. Por tanto, todos los estudios anteriores referentes a tipos de polarización, adaptación de impedancias, etc... son extrapolables a este caso.

Consecuentemente, podemos centrarnos directamente en el circuito diseñado final y en sus resultados. Dicho circuito lo podemos observar en la Figura 5.15. En ella se observa que cada una de las ramas que posee es igual a una configuración *Single-Ended*. Igualmente, se pueden apreciar el *balun* de entrada y el de salida. Este último es necesario para pasar la señal de diferencial a asimétrica, ya que el simulador utilizado sólo permite la visualización de la figura de ruido para un puerto de entrada y otro de salida. Dicho *balun* se puede observar con más detalle en la Figura 5.16. Se puede apreciar que posee exactamente la misma configuración que su homónimo a la entrada, al igual que su misma relación de transformación $T = \sqrt{2}$. Con ella logramos que una impedancia diferencial de 100 Ω en la entrada del *balun* sea vista desde la salida como una impedancia de 50 Ω .

Figura 5.15 Circuito balanceado (*Balanced LNA*)

Volviendo al LNA en sí, y dados los buenos resultados obtenidos con la configuración *Single-Ended*, hemos tomado los mismos valores de componentes para esta topología. En el siguiente apartado podremos observar los resultados logrados.

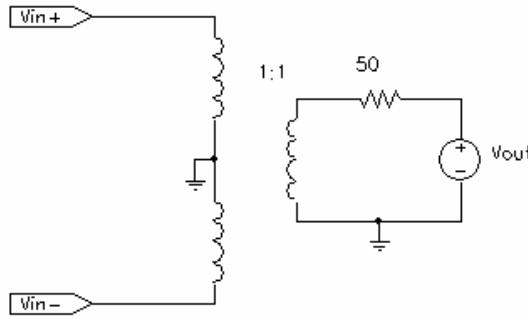


Figura 5.16 *Balun de salida*

Resultados

Los resultados obtenidos de esta configuración se pueden apreciar en las Figuras 5.17, 5.18 y 5.19.

En la primera de ellas, se pueden ver las simulaciones referentes a la figura de ruido, ganancia y adaptación de impedancias. Las simulaciones de los parámetros S se observan en la figura 5.18.

Como se aprecia en ambas figuras, los resultados obtenidos coinciden totalmente con los obtenidos con la configuración *Single-Ended*. Esto es debido a que ambas utilizan los mismos valores de componentes. Además los *baluns* utilizados en la simulación del circuito diferencial son ideales.

En la figura 5.19 se muestran las simulaciones del OIP₃ y del IIP₃ respectivamente. El valor de dichas simulaciones se muestra en el recuadro inferior derecho. Aquí es donde se aprecia más claramente la eficiencia de la topología diferencial sobre la asimétrica. Esto se puede comprobar comparando los valores obtenidos aquí con los obtenidos para el circuito *Single-Ended* en la Figura 5.13. Obviamente, el circuito diferencial presenta mejor linealidad.

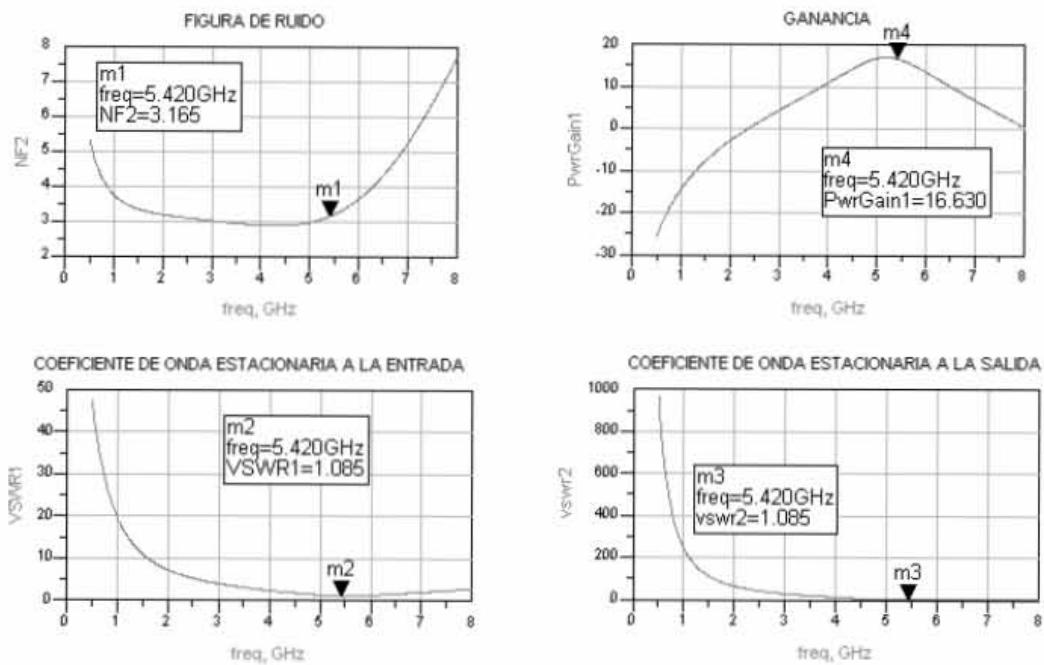


Figura 5.17 Resultados obtenidos.

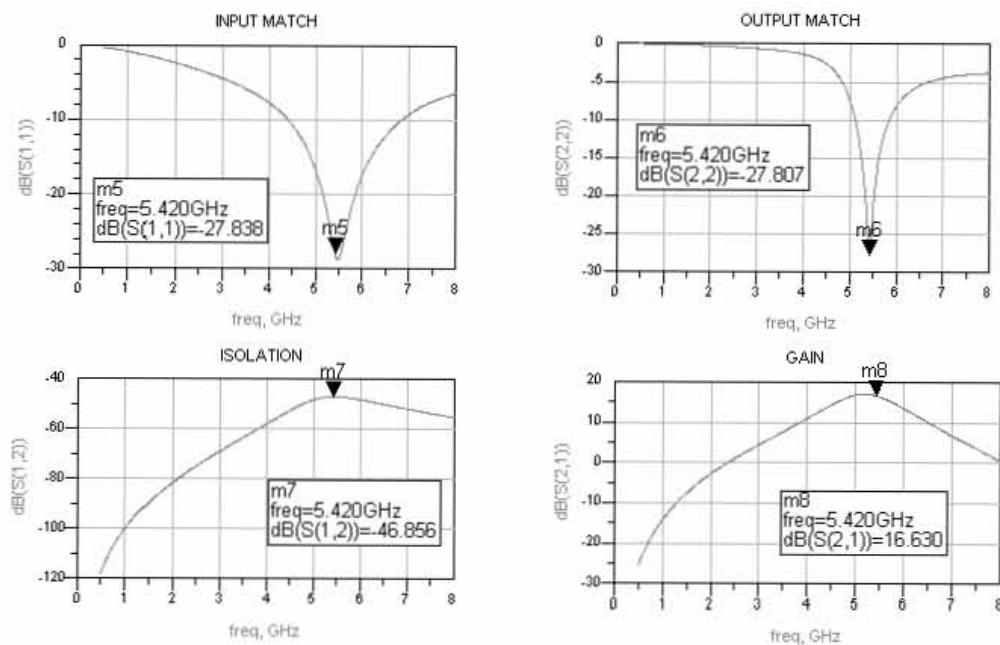


Figura 5.18 Parámetros S.

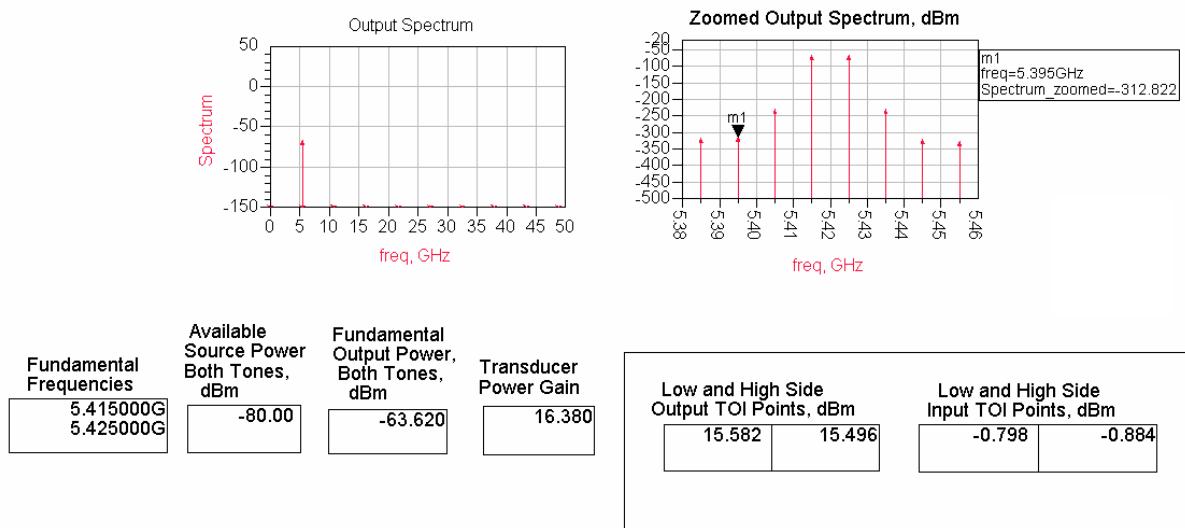


Figura 5.19 Puntos de Intercepción de Tercer Orden.

Sin embargo, la principal desventaja que presenta este circuito con respecto al *Single-Ended* es el consumo de potencia, elevándose a 19 mW.

5.3 Resumen

En este capítulo hemos visto todos los estudios referentes al diseño de un LNA a nivel de esquemático. Igualmente, hemos sacado conclusiones válidas de dichos estudios, reflejándose en la elección de las arquitecturas a implementar. Por último, hemos obtenido una serie de resultados que han quedado patentes en las simulaciones.

En el siguiente capítulo pasaremos al diseño físico del LNA, es decir, a la generación de los *layouts*. Para ello haremos uso de la información dada en el capítulo 4 referente a la tecnología empleada, y de los estudios realizados en este capítulo.

Capítulo 6

Diseño a nivel de *layout*

En el capítulo anterior pudimos comprobar uno de los pasos más importantes dentro del desarrollo de cualquier circuito: la descripción a nivel de esquemático. Una vez hecho esto, podemos seguir con la siguiente fase del diseño: la implementación física del *layout*.

El *layout* es, básicamente, el plano del LNA que es tomado por la fundidora para su posterior construcción. Su diseño se realiza mediante la herramienta de diseño *Cadence* tomando los resultados obtenidos del diseño a nivel de esquemático y a la información obtenida del capítulo 4 acerca de la tecnología.

6.1 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc,...

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la

influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se enumeran a continuación:

- Simetría: Esto debemos lograrlo en las dos arquitecturas, tanto en la cascodo (*Single-Ended*) como en la balanceada (*Balanced*). En esta última configuración toma un papel vital, ya que sin ella no se apreciarían las ventajas del rechazo al modo común y la calidad del nodo de tierra. Por otro lado, si cumplimos las condiciones de simetría, podemos despreciar el efecto de las conexiones del chip con el exterior.
- Técnica del centro-común: Esta técnica es empleada para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación. Dicha técnica será explicada con mayor detalle en el siguiente apartado.
- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común Vdd o tierra.
- El sustrato debe estar conectado a tierra.
- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos.

Estos son los aspectos más importantes a tener en cuenta en la generación de *layouts*. En el siguiente apartado pasaremos a explicar con mayor detenimiento la técnica del centro-común, ya que su uso es fundamental en la disminución de los efectos asociados a las dispersiones en el proceso de fabricación.

6.2 Técnica del centro-común

A la hora de fabricar el circuito, pueden afectarle a los distintos componentes una serie de dispersiones del proceso. Estas dependen, sobre todo, de donde esté ubicado el circuito integrado dentro de la oblea. Las dispersiones siempre actúan de manera lineal y en una

dirección determinada. Se pueden distinguir varios tipos de dispersiones, entre las que destacan:

- Variación en el espesor de la capa de óxido: Afecta, principalmente, a las capacidades parásitas de los transistores.
- Variación en el número de impurezas: Afecta a la movilidad de los electrones, lo que modifica el valor de la transconductancia.
- Variación del tamaño de los transistores: Afectan al valor de la transconductancia, capacidades parásitas y resistencias de los transistores.

Dada la alta multiplicidad que presentan los transistores empleados podemos hacer uso de algunas de las reglas que posee esta técnica para el caso del LNA asimétrico. Igualmente, este método será aplicado en el LNA diferencial, para lograr la máxima simetría. En este último caso, el objetivo que se persigue es que los transistores de cada rama, que deberían ser idénticos, tengan el mismo centro geométrico y así conseguir que las dispersiones le afecten por igual.

6.2.1 Gradientes y centroides

La Figura 6.1 ilustra gráficamente la distribución de los puntos débiles a lo largo de un circuito integrado típico. Estos puntos son denominados puntos de *stress* (*stress points*), ya que soportan la mayor parte de la presión sobre el circuito. En la esquina inferior izquierda se muestran lo que se denominan líneas de contorno isobárico. Las líneas curvas, denominadas isobaras, indican los niveles de *stress* en varios puntos de la superficie del chip. Cada línea pasa a través de una serie de puntos con igual nivel de *stress*. Estos niveles alcanzan un mínimo en el centro del chip, y un máximo en sus cuatro esquinas. La gráfica situada encima del gráfico isobárico muestra la intensidad de *stress* a lo largo de una bisectriz que corta al chip horizontalmente. De la misma forma, la gráfica a la derecha del contorno isobárico muestra el nivel de intensidad a lo largo de una bisectriz vertical. Mediante la comparación de las dos gráficas con el contorno del cual han sido generadas, la naturaleza de este último comienza a hacerse patente. El gráfico isobárico tiene un gran parecido con los mapas topográficos que representan la forma en tres dimensiones de valles y montañas. La distribución del *stress* en un chip es como una depresión: es menor en el medio y mayor en sus cuatro esquinas.

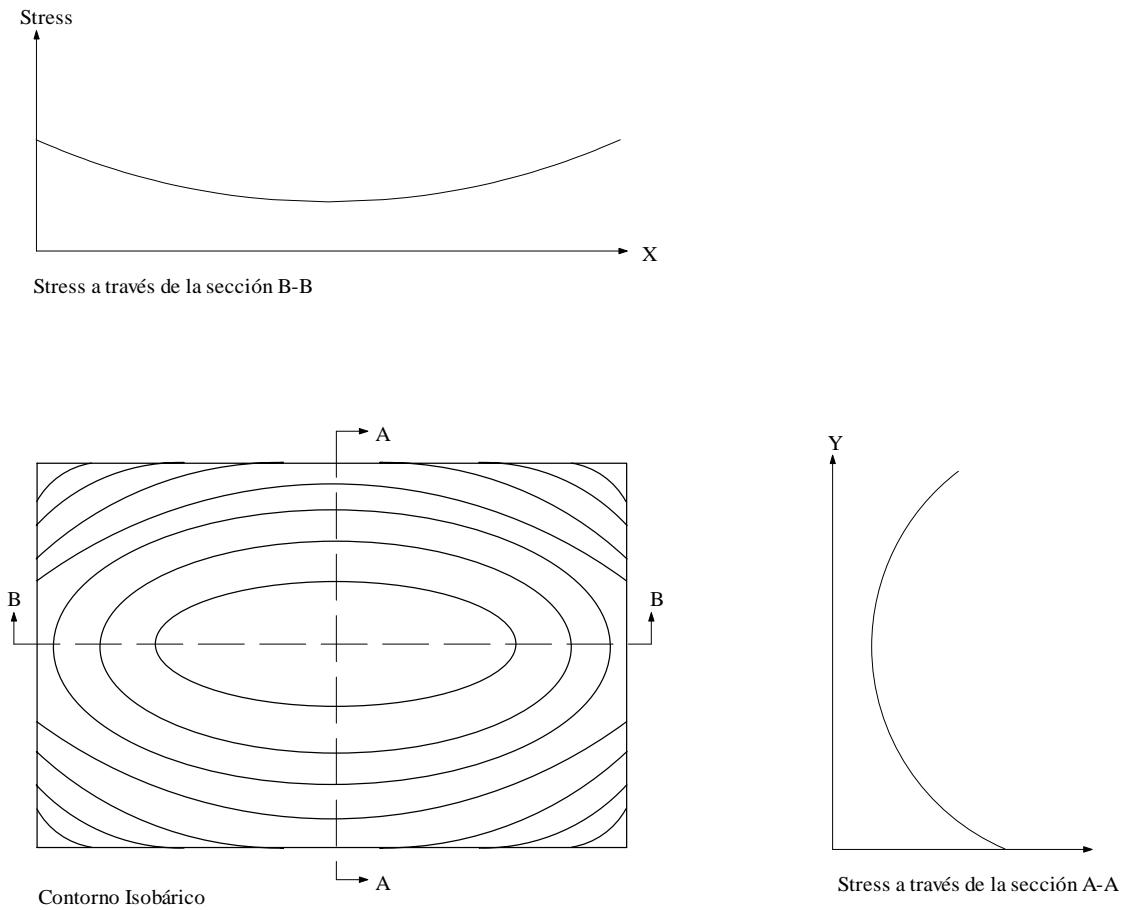


Figura 6.1 Dibujo del contorno isobárico de la distribución de *stress* a lo largo de un chip de silicio, junto con dos gráficas de *stress* a lo largo de las secciones A-A y B-B.

El espaciado entre isobaras suministra información adicional acerca de la distribución de los puntos de *stress*. La intensidad de estos puntos cambia rápidamente las isobaras están poco separadas, y lentamente donde están más alejadas. La tasa de cambio en los niveles de *stress* es denominada gradiente de presión (*stress gradient*). Este gradiente es, por norma general, menor en el medio del chip y aumenta lentamente si nos acercamos a las esquinas.

Es en estos puntos donde el gradiente alcanza mayores cotas, como se observa en la Figura 6.2.

Los dispositivos que requieran de un alto apareamiento deben encontrarse lo más cerca posible para minimizar la diferencia de *stress* entre ellos. Aunque el tamaño finito de los dispositivos parece limitar el nivel de acercamiento entre ellos, existen técnicas de diseño de *layouts* que pueden generar separaciones mínimas. El siguiente análisis asume que el gradiente

de *stress* es aproximadamente constante en la región entre los dos dispositivos a emparejar. Esto es una suposición razonable debido a que los dispositivos apareados están posicionados formando una estructura lo más compacta posible.

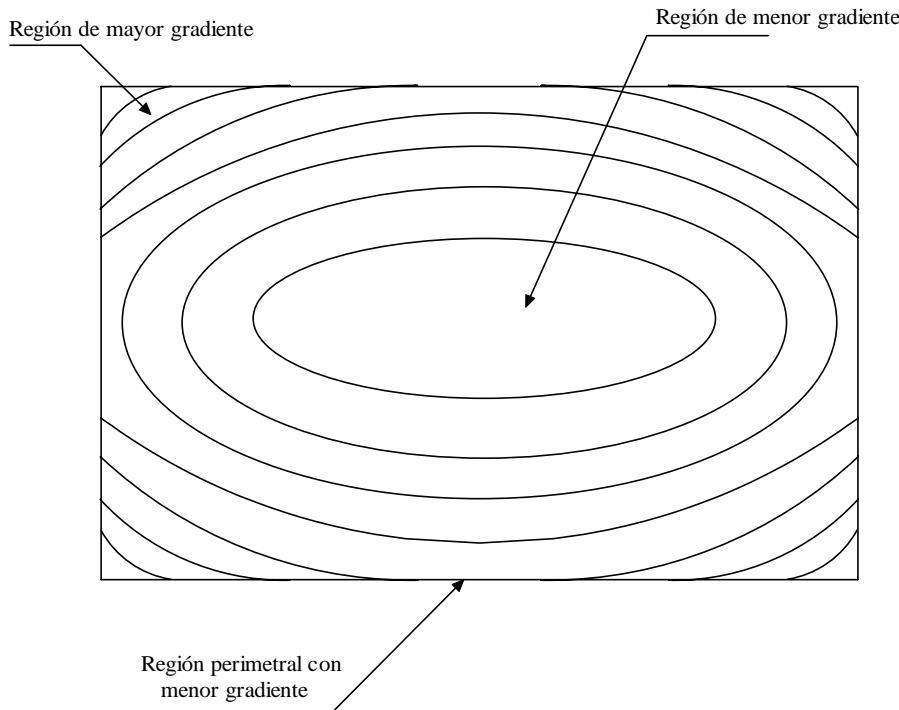


Figura 6.2 Contorno isobárico mostrando las regiones con mayor y menor gradiente de *stress*.

La diferencia de *stress* entre dos dispositivos apareados es proporcional al producto del gradiente de *stress* por la separación entre ellos. Para los propósitos de este cálculo, la localización de cada dispositivo se computa mediante la media de la contribución de cada porción del dispositivo con el total [16]. La localización resultante se denomina centroide. Un dispositivo rectangular posee su centroide exactamente en su centro. Los centroides de otros dispositivos pueden calcularse aplicando el Principio de la Simetría Centroidal, el cual establece que el centroide de una geometría dada debe localizarse en cualquiera de los ejes de simetría de esta. La Figura 6.3 muestra este principio aplicado a un resistor rectangular y a un resistor con forma de lengüeta. El centroide de prácticamente cualquier geometría de un *layout* puede hallarse de manera similar.

El efecto del *stress* en un resistor puede ser cuantificado en términos de piezoresistividad, localización centroidal, y gradiente de *stress*. La magnitud del Desapareamiento Inducido por *Stress* ($\text{DIS}=\delta_s$) entre dos resistores es igual a:

$$\delta_s = \pi_{cc} d_{cc} \Delta S_{cc} \quad (6.1)$$

donde π_{cc} es la piezoresistividad a lo largo de una línea que conecta los centroides de los dos dispositivos apareados, ΔS_{cc} es el gradiente de *stress* a lo largo de la misma línea, y d_{cc} es igual a la distancia entre los centroides. Esta fórmula revela varios caminos para reducir la sensibilidad de *stress*. Primero, el diseñador puede reducir la piezoresistividad (π_{cc}) eligiendo un material resistivo adecuado u orientando el resistor en la dirección de mínima piezoresistividad. Segundo, podemos reducir el gradiente de *stress* (ΔS_{cc}) localizando correctamente los dispositivos y mediante el uso de materiales de bajo nivel de *stress*. Tercero, el diseñador puede reducir la separación entre los centroides de los dispositivos (d_{cc}). Nosotros, dado que queremos lograr altas simetrías entre transistores, desecharemos las dos primeras opciones para centrarnos en la tercera.

6.2.2 *Layout* del centroide común

Supongamos que un dispositivo correctamente apareado está dividido en secciones. Si estas secciones son todas idénticas y si están colocadas siguiendo un patrón simétrico, entonces el centroide del dispositivo estará situado en el cruce de los ejes de simetría que pasan por el conjunto de las intersecciones. Esto es especialmente útil para emparejar dos dispositivos divididos en secciones y que comparten alguno de sus ejes de simetría.

Si logramos esto, entonces el Principio de la Simetría Centroidal asegura que los centroides de ambos dispositivos coinciden. La Figura 5.4.a muestra un ejemplo de un *layout* basado en este principio. Los dos dispositivos A y B muestran sus ejes de simetría mediante líneas discontinuas, y sus centroides están exactamente situados en el lugar en que estos se cortan.

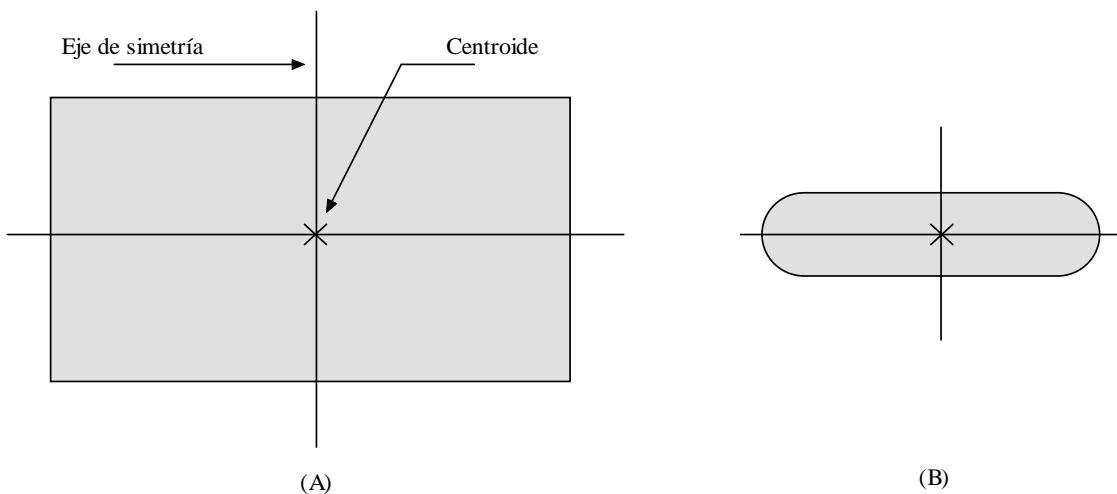


Figura 6.3 Localización de los centroides en dos resistencias con geometrías diferenciadas.

La ecuación (6.1) nos dice que el Desapareamiento Inducido por *Stress* (DIS) de un *layout* con centroide común es igual a cero si la separación entre sus centroides posee este valor. Sin embargo, esto no suele ocurrir, ya que el gradiente de *stress* no suele permanecer constante. A pesar de esta limitación, la técnica del centroide común es la más eficiente para minimizar el DIS. Un *layout* basado en esta metodología puede reducir en varios órdenes de magnitud la sensibilidad de *stress* de un dispositivo con una superficie considerable.

La Figura 6.4 muestra tres ejemplos de *layouts* basados en el centroide común generados por conjuntos de segmentos de dispositivos apareados en una dimensión. Estos tipos de *layouts* son conocidos como conjuntos interdigitados (*interdigitated arrays*), debido a que las secciones de uno de los dispositivos penetran en las secciones del otro como los dedos cruzados de dos manos. La Figura 6.4.a muestra un conjunto interdigitado formado por dos dispositivos, cada uno de ellos compuesto por dos segmentos. Si los dispositivos están denotados por las letras A y B respectivamente, entonces la conjunción de los dos segmentos sigue el Patrón de Interdigitación (*Interdigitation Pattern*) ABBA. Este patrón tiene un eje de simetría que divide en dos el conjunto, formando una de las mitades un espejo con la otra (AB y BA). Un segundo eje de simetría pasa horizontalmente a través del conjunto, pero este eje viene derivado de las simetrías de los segmentos individuales en lugar de los patrones de interdigitación.

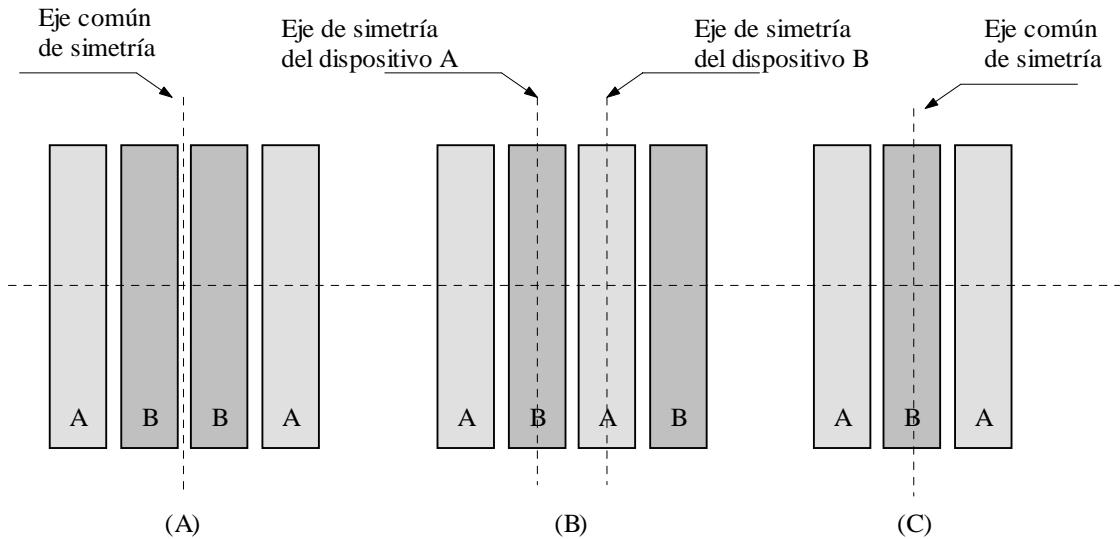


Figura 6.4 Ejemplos de *arrays* unidimensionales diseñados con la técnica del centroide común.

En el caso de resistores, los conjuntos que usan el patrón ABBA requieren estructuras *dummies*, debido a que los segmentos de uno de los dispositivos ocupan los extremos del conjunto. Si se desea no utilizar estas estructuras, podríamos pensar que utilizando otro patrón, tal como el ABAB (Figura 6.4.b), nos eliminaría la necesidad de emplearlas. Sin embargo, nos veríamos inmersos en un error, debido a una incorrecta interpretación de la función de estas estructuras. En el proceso de fabricación de la oblea, las variaciones en el vaciado y las interacciones de las difusiones dependen de la colocación de geometrías adyacentes. La inclusión de estructuras *dummies* asegura que cada uno de los segmentos tenga asociado a sus lados elementos similares. Si se omiten las estructuras *dummies*, entonces los extremos del conjunto se ven influenciados por los efectos de cualquier geometría que se encuentre cercana. Las geometrías adyacentes a un extremo de un conjunto o *array* son probablemente diferentes a aquellas que se encuentran formando parte del *array*. Si esto sucede, entonces los errores aparecerán si las estructuras *dummies* no son consideradas en aquellos *layouts* que siguen el patrón ABBA o ABAB. El patrón ABAB debe ser evitado, debido a que no alinea completamente los centroides de dos dispositivos y la separación resultante de los centroides deja a los dispositivos vulnerables a los desacuerdos inducidos por *stress*.

La técnica del centroide común puede incluso aparear dispositivos de diferentes tamaños. La Figura 6.4.c muestra un ejemplo de emparejamiento 2:1 usando el patrón ABA. Si los segmentos de los extremos son resistores, entonces pueden ser conectados al exterior tanto en serie como en paralelo. Si son capacitores, sólo podrían ser conectados en paralelo, dado que una conexión en serie introduciría errores causados por diferencias en las capacidades parásitas entre las placas superior e inferior. Patrones de alineamiento más complicados permiten interconexiones con mayor número de dispositivos. Esto se hace especialmente interesante si los elementos son resistores, dadas las posibilidades de conexión con el exterior comentadas anteriormente. En la Tabla 6.1 se da un listado de varios patrones de interdigitación adicionales. Los patrones marcados con un asterisco no proporcionan un total alineamiento de los centroides. En estos casos, lograremos un alineamiento total si empleamos un mayor número de segmentos y los alineamos de acuerdo con cualquier patrón restante.

Tabla 6.1 Ejemplos de patrones de interdigitación para *arrays* con un eje de simetría

A	AA	AAA	AAAA
AB*	ABBA	ABBAAB*	ABABBABA
ABC*	ABCCBA	ABCBCACBCA*	ABCABCCBACBA
ABCD*	ABCDDCBA	ABCDBCADBCDA*	ABCDDCBAABCDDCBA
ABA	ABAABA	ABAABAABA	ABAABAABAABA
ABABA	ABABAABABA	ABABAABABAABABA	ABABAABABAABABAABABA
AABA*	AABAABAA	AABAAABAAABA*	AABAABAAAABAABAA
AABAA	AABAAAABAA	AABAAAABAAAABAA	AABAAAABAAAABAAAABAA

El proceso de diseño de *arrays* interdigitados comienza con la identificación de todos los componentes que forman parte del conjunto. Los dispositivos apareados son puestos en grupos, y todos los dispositivos en cualquier grupo deben residir en el mismo *array*. Un diseñador no puede identificar los grupos de componentes apareados en un circuito sin comprender totalmente la función que desempeñan dentro de él. El diseñador del circuito debe, por tanto, identificar los componentes a aparear y pasarle esta información al diseñador de *layouts*.

Una vez que los componentes que forman un *array* han sido identificados, debemos dividirlos en segmentos. Esto proceso no es trivial. Si los componentes son resistores o capacidades, el diseñador debe verificar si los valores de estos poseen un factor común lo mayor posible. Por ejemplo, dos resistencias de $10\text{ K}\Omega$ y $25\text{ K}\Omega$ poseen el mayor factor común de $5\text{ K}\Omega$. El conjunto puede estar formado por segmentos cuyo valor coincide con el del mayor factor común. En este caso, el *array* puede estar formado por siete segmentos de $5\text{ K}\Omega$ cada uno.

En casos donde no existe un factor común elevado, podemos intentar el uso del valor del componente menor como segmento. Basándonos en este valor, podemos determinar el número de segmentos en otros dispositivos. Si algún dispositivo requiere un segmento parcial con un valor menor del 70% de un segmento completo, podemos dividir el valor del menor dispositivo por un número entero dado (2,3,4,...) e ir aumentando este último hasta obtener un valor que no requiera un menor segmento parcial. Por ejemplo, supongamos que queremos integrar una resistencia de $39,7\text{ K}\Omega$ y otra de $144,5\text{ K}\Omega$. Si usamos como segmento el valor de la resistencia menor, entonces necesitaremos 3,638 segmentos para integrar la resistencia mayor. Esto supone el uso de 3 segmentos de $39,7\text{ K}\Omega$ y un segmento de $25.32\text{ K}\Omega$ lo cual equivale a un 63,8% de segmentos parciales. Dado que nos ha salido un valor inferior al 70%, dividimos el valor de la resistencia menor entre 2 e intentamos con un segmento de $19.85\text{ K}\Omega$. La resistencia mayor requeriría 7,280 segmentos, lo que supone un 28% de segmentos parciales. Dividiendo el valor menor entre tres produciría un segmento de $13.233\text{ K}\Omega$. La resistencia mayor requeriría 10,920 segmentos, por lo que el *array* no contendría segmentos parciales menores del 70% de un segmento completo. Por tanto, este *array* estaría compuesto por 30 segmentos de $13.233\text{ K}\Omega$ y un segmento de $12.174\text{ K}\Omega$. En algunos casos, este procedimiento produce segmentos con valores pequeños. El diseñador debe encontrar mayores valores de segmentos que permitan el apareamiento de todos los componentes sin usar ningún segmento parcial que sea menor al 70% del valor de uno completo. En ciertos casos, puede tolerarse el uso de valores menores.

Una vez que se ha determinado el valor del segmento, debemos asegurarnos que su módulo no es lo suficientemente pequeño como para impedir el correcto apareamiento con los otros. En caso de tratarse de segmentos resistivos, estos no deben poseer menos de 5 cuadros, y preferiblemente, al menos 10. Si el *array* requiere segmentos cortos, podemos usar secciones conectadas tanto en serie como en paralelo. En el caso de elementos capacitivos, estos no deben tener dimensiones menores a $100\text{ }\mu\text{m}^2$. Los capacitores deben ser conectados

siempre en paralelo debido a que las conexiones en serie introducen capacidades parásitas que perturban el emparejamiento.

Con el *array* correctamente segmentado, debemos elegir un correcto patrón de interdigitación. Los mejores patrones obedecen a cuatro reglas del *layout* basadas en el centroide-común, las cuales aparecen en la Tabla 6.2.

La Regla de Coincidencia establece que los centroides de los dispositivos a emparejar deben coincidir al menos aproximadamente. Los patrones que no logran coincidir muestran mayor sensibilidad al *stress* que aquellos que si lo hacen.

La Regla de Simetría establece que el *array* debe ser simétrico a los lados de sus ejes de simetría. Un *array* de una dimensión debe obtener uno de sus ejes de su patrón de interdigitación.

La Regla de Dispersión, (no confundir con la dispersión de los componentes en el proceso de diseño), establece que los segmentos de los dispositivos deben ser distribuidos a través del *array* lo más uniformemente posible. El grado de dispersión es con frecuencia evidente a simple vista, pero puede ser parcialmente medido mediante la cuantificación del

Tabla 6.2 Las cuatro reglas básicas en la generación de *layouts* con centroide común

1. **Coincidencia:** Los centroides de dispositivos apareados deben coincidir al menos de forma aproximada. Idealmente, estos deben coincidir exactamente.
2. **Simetría:** El *array* debe ser simétrico alrededor del eje X y del eje Y. Idealmente, la simetría debería estar formada por el posicionamiento de los segmentos en el *array*, y no por la simetría de los segmentos individuales.
3. **Dispersión:** El *array* debe poseer el mayor nivel de dispersión posible, es decir, los segmentos de cada dispositivo deben ser distribuidos a través del conjunto de la forma más uniforme posible.
4. **Compacidad:** El *array* debe ser lo más compacto posible. Idealmente, debería poseer una forma cuadrada.

número de segmentos repetidos (*runs*). Por ejemplo, el patrón ABBAABBA contiene tres *runs* de dos segmentos cada uno, mientras que el patrón ABABBABA contiene un sólo *run* de dos segmentos. Con esto podemos observar que el último patrón posee mayor dispersión que el primero. La dispersión ayuda a reducir la sensibilidad de un *array* con centroide común frente a

altos gradientes, es decir, a altas no-linealidades. Por tanto, es especialmente importante para *arrays* sujetos a altos gradientes de *stress*.

La Regla de Compacidad establece que el *array* debe ser lo más compacto posible. Idealmente, debería poseer una geometría cuadrada, pero en la práctica estas poseen relaciones entre sus lados de 2:1 e incluso de 3:1, sin introducir una vulnerabilidad significante. Si nuestro *array* supera estas relaciones, entonces deberíamos segmentarlo en conjuntos más pequeños. Los *arrays* formados por segmentos pequeños son excelentes candidatos para distribuciones en dos dimensiones, como veremos a continuación.

6.2.2.1 *Arrays* de dos dimesiones

Todo el estudio anterior se basaba en *arrays* de una sola dimensión. Así, teníamos que estos obtenían uno de sus ejes de simetría a partir de su patrón de interdigitación y el otro de la simetría que presentaban sus segmentos. Estos últimos pueden ser colocados para obtener un *array* de dos dimensiones, obteniendo sus dos ejes de simetría de sus patrones de interdigitación. Este tipo de disposición, generalmente presenta una mejor cancelación de los gradientes de *stress* que los *arrays* de una sola dimensión. Esto es debido, principalmente, a que presenta una mejor compactación y dispersión.

La Figura 6.5.a presenta dos dispositivos emparejados, cada uno de ellos compuesto por dos segmentos colocados en grupos de dos filas y dos columnas. Esta ordenación es denominada par cruzado acoplado (*cross-pair coupled*), y es muy empleada en elementos tales como condensadores, diodos y transistores. Si los dispositivos a emparejar son lo suficientemente grandes como para dividirlos en más de piezas, entonces esta ordenación puede subdividirse tal y como presenta la Figura 6.5.b. Este conjunto presenta mejor dispersión que la ordenación anterior, por lo que es menos susceptible a altos gradientes. Este patrón de interdigitación bidimensional puede ser ampliado indefinidamente en ambas dimensiones.

Las reglas para diseñar un *array* unidimensional son extrapolables al caso bidimesional. Las secciones deben ser colocadas para que el *array* tenga dos o más ejes de simetría que se corten en el punto donde los centroides de los dispositivos coincidan. La Tabla 6.3 muestra una serie de patrones de interdigitación para dos dimensiones. Cada fila de la tabla está compuesta de cuatro ejemplos de un patrón dado. Esto incluye el *array* más simple , una extensión del conjunto en una dimensión, y una extensión en dos dimensiones. Aunque son posibles variaciones más complejas, la mayoría de *arrays* bidimensionales son

relativamente simples, ya que están formados por capacitores o transistores. Esto es debido a que estos componentes no son subdivididos en un alto número de segmentos.

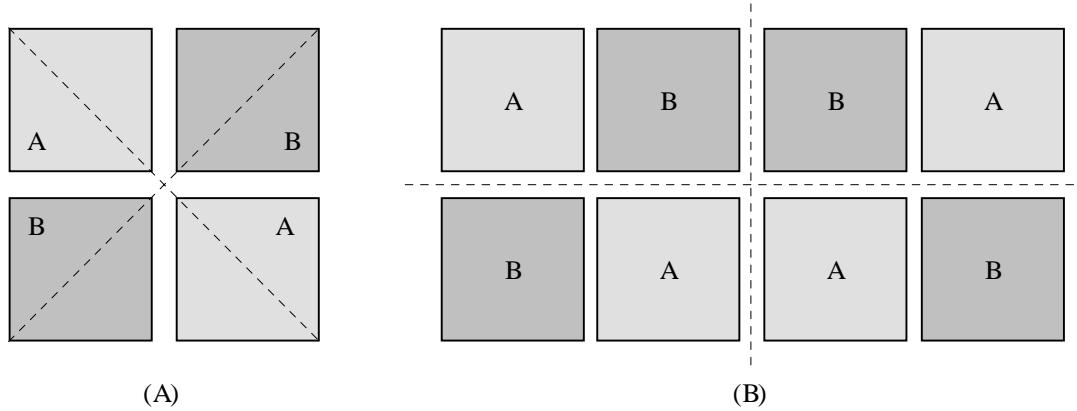


Figura 6.5 Ejemplos de *arrays* centroidales bidimensionales.

Tabla 6.3 Ejemplos de patrones de interdigitación para *arrays* bidimensionales

ABBA BAAB	ABBAABBA BAABBAAB	ABBAABBA BAABBAAB ABBAABBA	ABBAABBA BAABBAAB BAABBAAB ABBAABBA
ABA BAB	ABAABA BABBAB	ABAABA BABBAB ABAABA	ABAABAABA BABBABBAB BABBABBAB ABAABAABA
ABCCBA CBAABC	ABCCBAABC CBAABCCBA	ABCCBAABC CBAABCCBA ABCCBAABC	ABCCBAABC CBAABCCBA CBAABCCBA ABCCBAABC
AAB BAA	AABBAA BAAAAB	AABBAA BAAAAB AABBAA	AABBAA BAAAAB BAAAAB AABBAA

6.2.3 Reglas de Apareamiento en transistores NPN

En la sección anterior, pudimos ver las ventajas de la técnica del centroide común aplicada a elementos de naturaleza muy distinta, tales como resistencias, capacidades y transistores. Sin embargo, estos últimos dispositivos son más complejos que los dos primeros. Por tanto, requieren de una serie de consideraciones en su diseño para que las técnicas centroidales sean lo más eficientes posible. Dichas consideraciones se pueden resumir en una serie de reglas que, en el caso de utilizar transistores bipolares, son específicas para los tipos NPN y PNP. Dado que en nuestros diseños empleamos transistores NPN, nos centraremos en las normas que optimizan su funcionamiento:

1. Usar geometrías idénticas en los emisores.

Los transistores con diferentes formas o tamaños de emisores, son apareados de manera poco eficiente. Incluso un apareamiento mínimo requiere el uso de emisores con idénticas geometrías. Las geometrías de las bases y los colectores de los transistores son mucho menos relevantes a la hora de emparejar que la geometría de los emisores. Tanto es así, que múltiples emisores pueden compartir una sola región de base.

2. El diámetro del emisor debe ser entre 2 y 10 veces el diámetro mínimo permitido.

El mínimo diámetro del emisor es igual al ancho mínimo del contacto más dos veces el mínimo solape del emisor con el contacto. Por ejemplo, un proceso que posea un ancho de contacto mínimo de $2 \mu\text{m}$, y una mínima superposición entre el contacto y el emisor de $1 \mu\text{m}$, tiene un diámetro mínimo de emisor de $4 \mu\text{m}$. Los emisores a emparejar deben tener diámetros de 8 a $40 \mu\text{m}$. Áreas de emisor de $8 \mu\text{m}$ son suficientes para emparejamientos mínimos. Con valores mayores podemos obtener resultados más moderados y precisos. Sin embargo, el uso de áreas pequeñas hace a nuestros transistores menos susceptibles a los gradientes de *stress* y térmicos.

3. Maximizar la relación área-perímetro.

Para un área de emisor dada, el transistor con mayor relación área-perímetro proporciona el mayor apareamiento posible. Las geometrías circulares son las que mayores cotas alcanzan, pero las octogonales y cuadradas ofrecen también resultados óptimos.

4. Situar los transistores implicados lo más cerca posible.

Los transistores bipolares son muy sensibles a los gradientes térmicos. Incluso transistores con apareamientos mínimos deben situarse pocos cientos de micras unos de otros. Para minimizar distancias, empleamos la técnica del centroide común.

5. Mantener el *layout* de los transistores apareados lo más compacto posible.

El uso compartido de regiones de base y colector puede provocar pequeños errores, pero incrementan la compacidad, la cual suele compensarlos. Los *layouts* que ordenan los emisores en grupos compactos proporcionan mejores resultados que aquellos en los cuales los emisores son ordenados en una larga línea. Un par de transistores apareados de tamaños iguales deben emplear el ya conocido *layout* con acoplamiento por par cruzado.

6. Situar los transistores alejados de dispositivos de potencia.

Esto se debe al alto consumo de los transistores bipolares con respecto a otras tecnologías. Estos consumos elevan la temperatura de los bipolares, lo que aumenta el desapareamiento, ya que al no ser idénticos, estas variaciones del gradiente térmico no les afectan por igual. Para reducir esto, hemos de situar lo más alejado posible a los transistores de cualquier dispositivo que irradie una potencia considerable al exterior.

7. Situar los transistores en áreas de bajo nivel de *stress*.

La presencia de cualquier fuente de calor considerable en el chip nos impide situar a los transistores en el centro, debido a que estarían muy cercanos a ella. En este caso, transistores apareados moderadamente deberían estar situados en el medio del extremo opuesto del chip de donde está situada la fuente de calor. Dichos transistores no deberían estar situados muy cercanos a los extremos del chip ni a las esquinas, ya que como vimos en la Figura 6.1, los niveles de *stress* en estas zonas alcanzan las mayores cotas. Si los gradientes de temperatura en el chip son elevados, el obtener un apareamiento preciso se convierte en una tarea ardua.

8. Colocar los transistores con mayor nivel de apareamiento sobre los ejes de simetría del chip.

Como ya comentamos en la sección anterior, los gradientes de *stress* en los ejes de simetría del chip son menores y más constantes que en las regiones circundantes, por lo que situar nuestras estructuras en estas zonas mejorará la precisión.

9. Colocar los emisores lo suficientemente alejados para evitar interacciones.

Si múltiples emisores ocupan una región de base común, entonces estos deben estar separados unos de los otros unas distancias mínimas para evitar las zonas de deplexión de sus intersecciones. Afortunadamente, la herramienta de generación de *layouts* nos previene de las distancias que han de respetarse para evitar este fenómeno.

10. Incrementar la superposición de la base sobre los emisores apareados.

Si la base se superpone al emisor una superficie pequeña, puede provocar que la *beta* lateral de una porción de la periferia del emisor aumente lo suficiente como para producir mayor precisión y menos errores .En los transistores con un alto nivel de apareamiento, la base debe solaparse al emisor 1 o 2 μm más que el mínimo.

11. Los transistores deben operar en la zona constante de la curva *beta*.

Con esto logramos que las posibles fluctuaciones de los niveles de polarización de los transistores afecten en la menor medida posible a la corriente de colector. Igualmente, conseguimos que todos los transistores apareados exhiban un comportamiento lo más parecido los unos a los otros.

12. La geometría del contacto debe ser igual a la geometría del emisor.

Un emisor circular debe poseer un contacto circular, al igual que un emisor cuadrado debe poseer un contacto cuadrado. Igualmente, el contacto debe ocupar el mayor área de emisor posible, excepto en los casos en los que la degradación de la *beta* sea prioritario. Estas precauciones ayudan a prevenir interacciones entre el contacto y los extremos del emisor, lo que evitara distorsiones en el flujo de corriente.

6.3 Tolerancia de resistencias

Otro de los estudios fundamentales para el correcto diseño de un layout es el referido al consumo de potencia del circuito. Este estudio toma especial relevancia en el dimensionado de las pistas de interconexión de los componentes. Así, hemos de saber que cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo.

Lógicamente, hemos de tomar valores de anchuras superiores a los mínimos para asegurar su funcionamiento ante posibles fluctuaciones de corriente. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas.

Dadas las características de nuestros circuitos, se deduce que los dispositivos que mayor influencia pueden tener en el consumo de potencia son las resistencias y sus tolerancias. En nuestro caso particular, la tecnología empleada nos informa que las tolerancias de los elementos resistivos tienen una variación del 25% con respecto a sus valores nominales. Por tanto, hemos de probar todas las combinaciones de valores posibles y dimensionar las pistas para el mayor consumo de potencia posible. Las combinaciones posibles se muestran en la Tabla 6.4, en la que además de mostrar los consumos de potencia, también se muestran los valores de otros resultados tales como la NF, el OIP_3 , IIP_3 , $VSWR_1$, $VSWR_2$ y Ganancia de Potencia. Esto nos permite comprobar el correcto funcionamiento del circuito en todos los casos. Véase como en todos los casos posibles el funcionamiento del circuito está dentro de los rangos dados por el estándar [3].

Cabe añadir que este estudio se realizó para el LNA cascodo, ya que como vimos en capítulos anteriores, el LNA balanceado presenta prácticamente los mismos resultados que este. Las excepciones radican en su mejor linealidad y en un consumo de potencia multiplicado por dos. Obviamente, esto último será tenido en cuenta a la hora de dimensionar las pistas para dicho circuito.

Tabla 6.4 Estudio de tolerancias de resistencias

R1	R2	R3	R4	Pcons (mw)	NF	Pgain	VSWR1	VSWR 2	OIP3	IIP3
37500	15150	15150	6900	8.57	3.178	17.081	1.09	1.094	12.117	-5
37500	15150	15150	11500	8.38	3.205	16.335	1.062	1.08	13.609	-2.7
37500	15150	25250	6900	5.47	3.234	15.197	1.147	1.076	11.662	-3.69
37500	15150	25250	11500	3.168	3.501	12.977	1.313	1.065	9.23	-4.11
37500	25250	15150	6900	18	3.314	17.516	1.133	1.146	12.167	-5
37500	25250	15150	11500	15.3	3.247	17.393	1.105	1.098	13.608	-2.798
37500	25250	25250	6900	13	3.176	17.233	1.115	1.114	13.662	-3.69
37500	25250	25250	11500	10.4	3.176	16.687	1.076	1.088	9.23	-4
62500	15150	15150	6900	8.64	3.169	16.45	1.072	1.084	12.94	-3.6
62500	15150	15150	11500	6.07	3.253	15.46	1.118	1.074	12.664	-2.909
62500	15150	25250	6900	3.96	3.351	13.996	1.241	1.068	10.347	-3.82
62500	15150	25250	11500	2.35	3.727	11.368	1.421	1.067	4.84	-6.96
62500	25250	15150	6900	14.157	3.197	17.234	1.114	1.109	10843	-5.5
62500	25250	15150	11500	11.550	3.189	17.017	1.078	1.088	12.835	-4.25
62500	25250	25250	6900	9.73	3.148	16.728	1.082	1.097	12.043	-4.73
62500	25250	25250	11500	7.82	3.179	16.242	1.076	1.085	12.935	-3.374

- Mejor caso
- Peor caso

6.4 LNA cascodo

El *layout* del LNA cascodo se muestra en la Figura 6.6. En ella se pueden apreciar la disposición de los distintos componentes, destacando la colocación de las bobinas. Se ha perseguido el obtener la mayor simetría posible a pesar de disponer un número impar (3) de elementos inductivos.

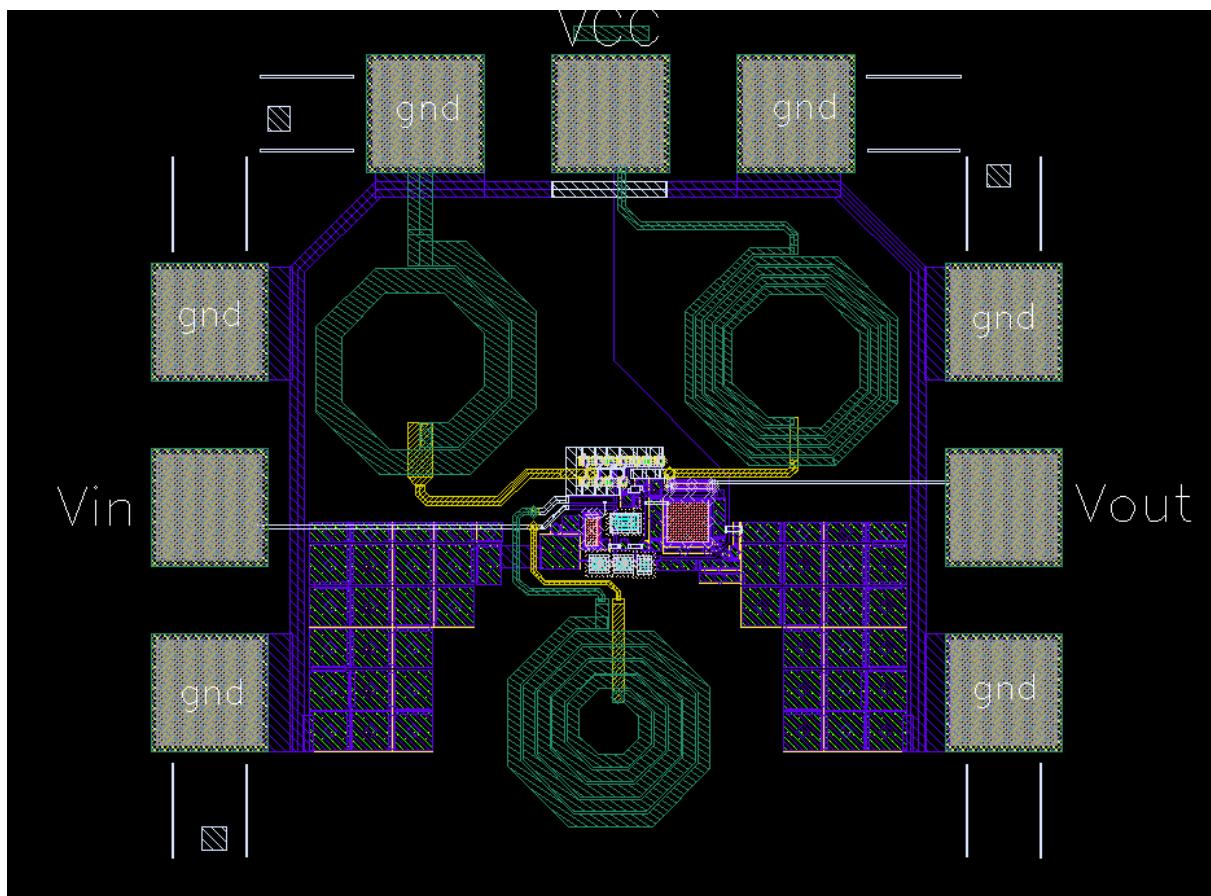


Figura 6.6 Layout del LNA Cascodo

Las estructuras cuadrangulares situadas alrededor de la bobina inferior son contactos a tierra. Con ellos evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

El tipo de terminales empleado es el denominado *Ground-Signal-Ground* (GSG). Con ellos alimentamos al circuito, le introducimos las señales de RF y obtenemos las señales que atacarán al dispositivo que sigue al LNA (generalmente suele ser un mezclador).

En la Figura 6.7 podemos ver una imagen detallada del núcleo del circuito. En la parte superior de la figura se aprecian los transistores que forman el esqueleto del circuito. A pesar de no ser diseñados mediante técnicas centroidales (estamos ante un circuito asimétrico), se ha procurado que presenten la mayor compacidad posible. Cabe destacar el uso de estructuras *dummies* en las resistencias. Esto se observa en la parte central e inferior de la imagen.

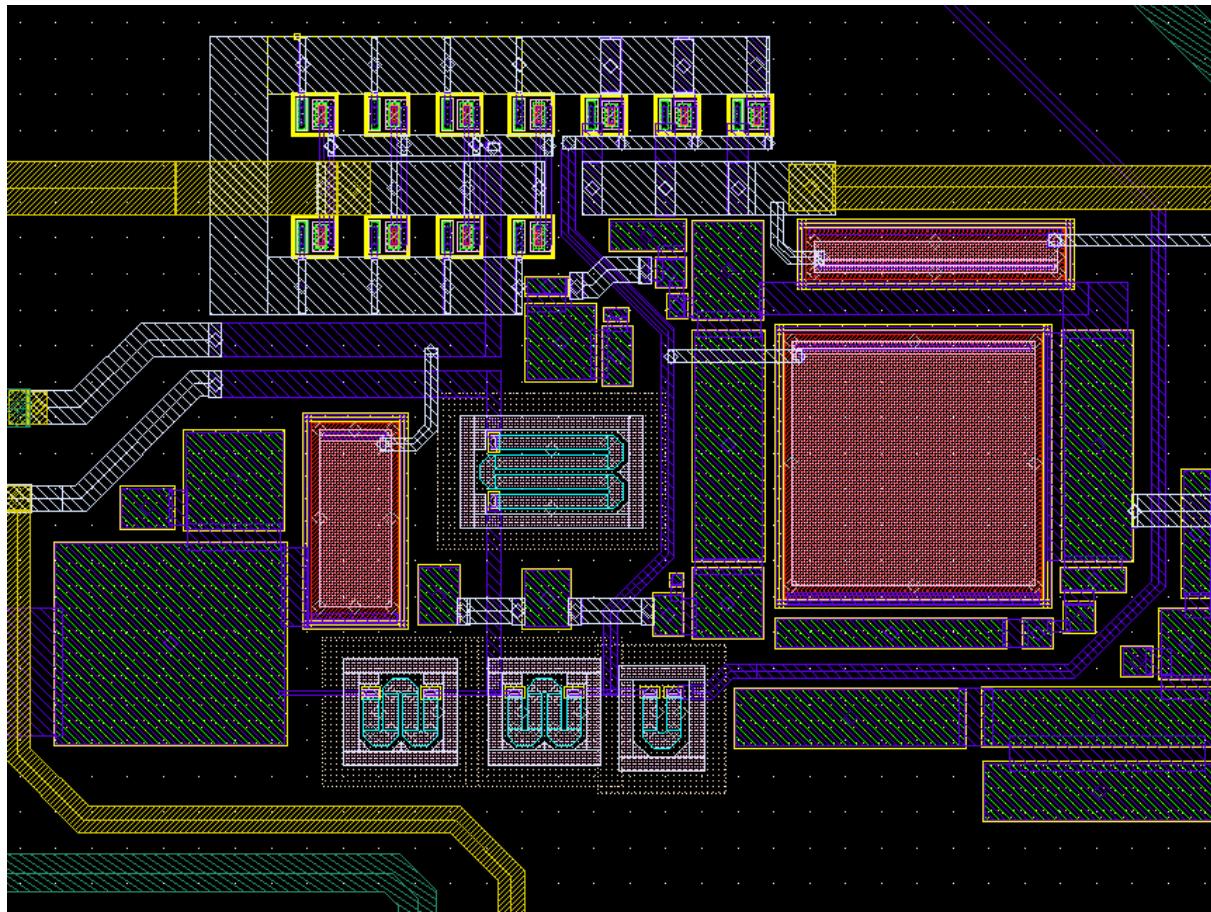


Figura 6.7 Detalle del núcleo del circuito.

Por último, también aparecen las conexiones al sustrato, junto con los condensadores, destacando el mayor de todos (1 pF) con una estructura totalmente cuadrada.

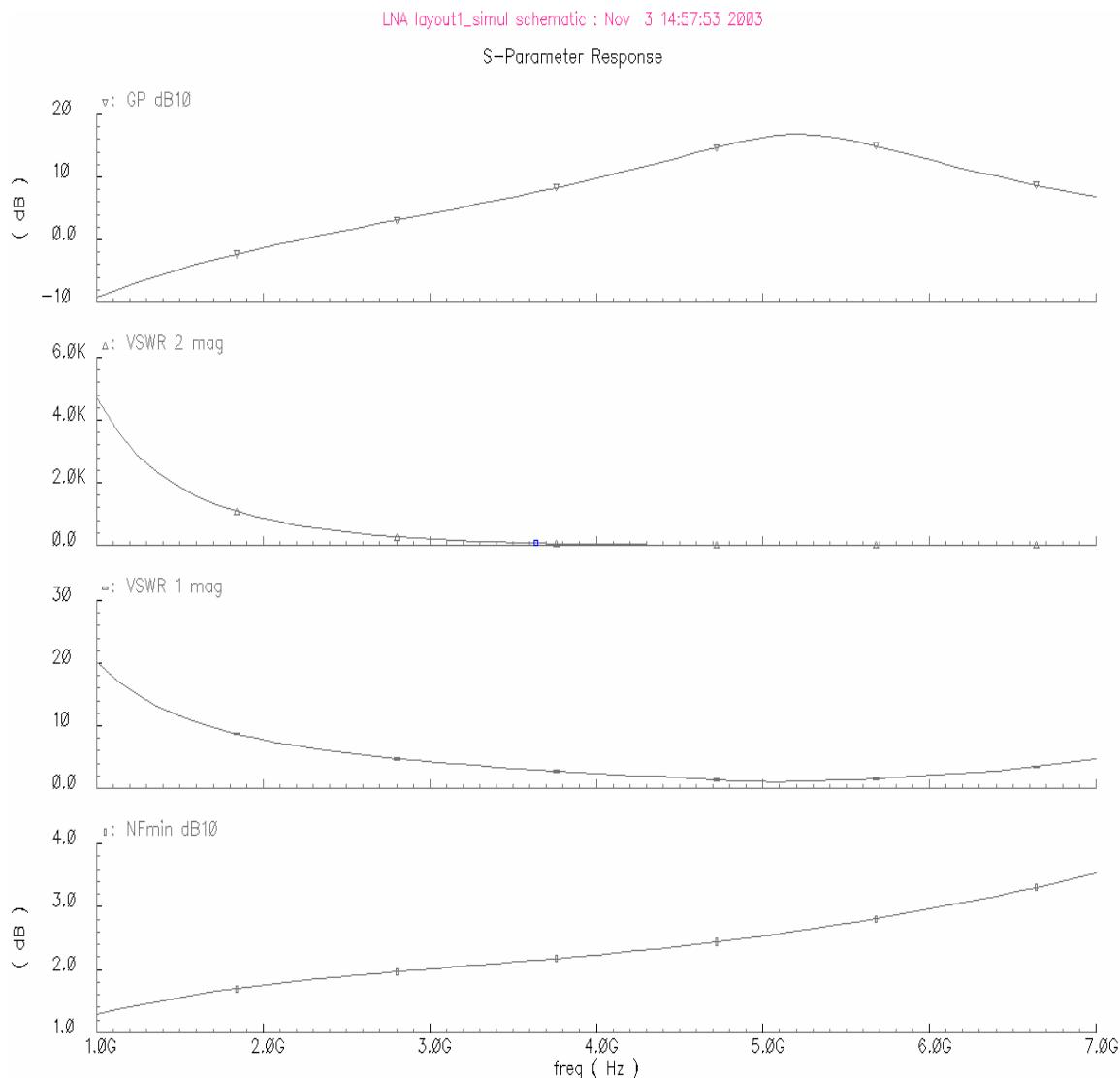


Figura 6.8 Simulaciones *Post-layout* I.

6.4.1 Simulaciones *post-layout*

Las simulaciones finales se muestran en las figuras 6.8 y 6.9. En la primera figura se observan las simulaciones para la Ganancia, NF, $VSWR_1$ y $VSWR_2$. En la segunda se aprecian las correspondientes para los parámetros S. Los valores de ambas simulaciones quedan recogidos en la Tabla 6.5.

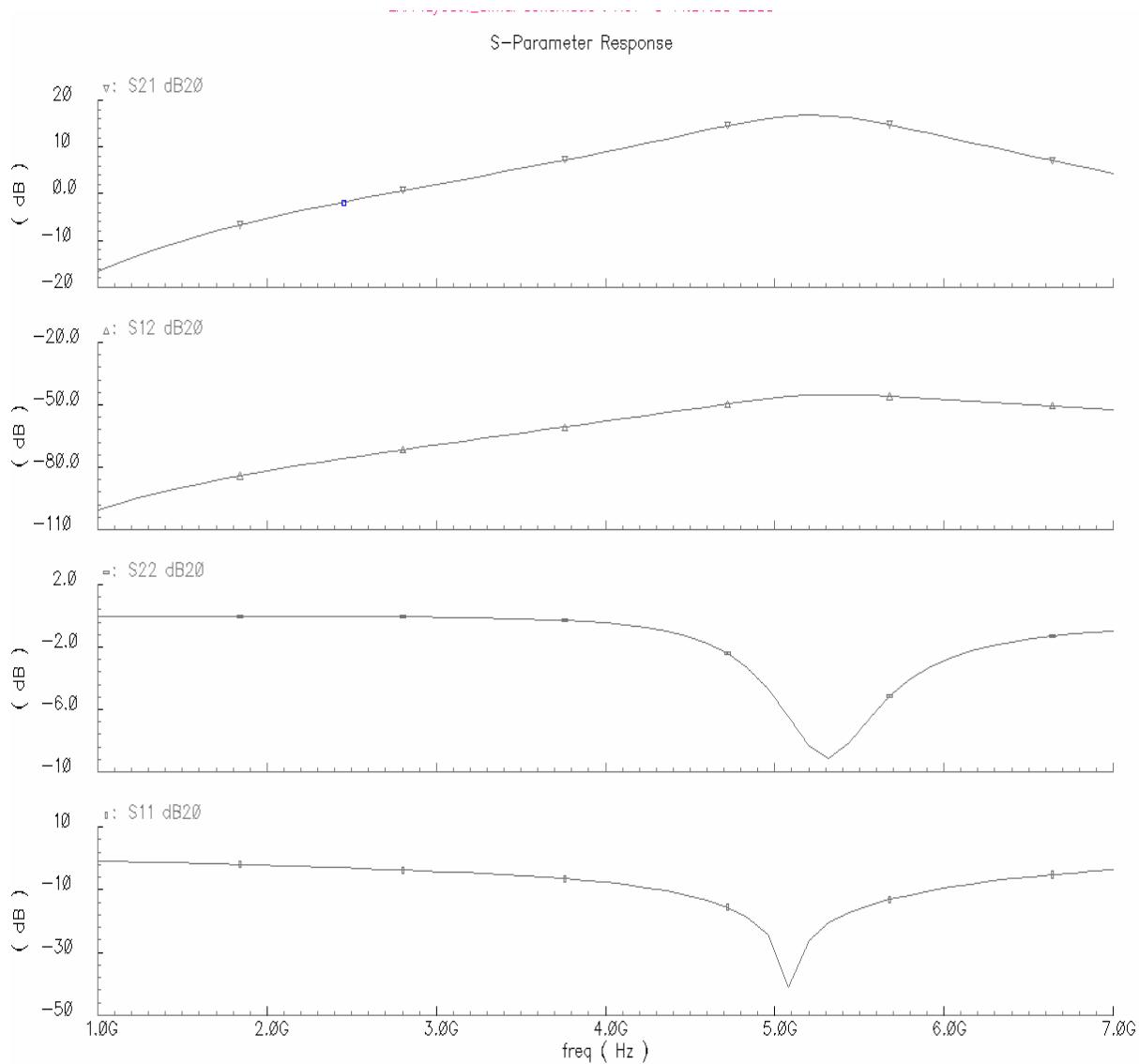


Figura 6.9 Simulaciones *Post-layout* II.

Comparando los resultados de dicha tabla con los obtenidos a nivel de esquemático vemos que no existen diferencias significativas. Sólo el apartado del *VSWR2*, y por consiguiente el *S22*, ve su valor reducido en mayor medida. Sin embargo, en el apartado de la *NF* vemos que su valor mejora notablemente. Esto nos invita a pensar en un óptimo funcionamiento en una implementación física real.

Tabla 6.5 Resultados finales

Ganancia	16.230 dB
NF	2.875 dB
<i>VSWR1</i>	1.25
<i>VSWR2</i>	2.53
S11	-41 dB
S12	-47 dB
S21	16.230 dB
S22	-9.3 dB
<i>IIP3</i>	-4.373 dBm
<i>OIP3</i>	11.857 dBm
Consumo de potencia	9.82 mW
Área del chip	645 μm * 736 μm

6.5 LNA Balanceado

El *layout* del circuito balanceado se muestra en la Figura 6.10. En ella, si trazamos una línea imaginaria que corte verticalmente por la mitad a la imagen, observaremos una gran simetría. El obtener esto se hace fundamental para lograr el máximo apareamiento entre los componentes de las dos ramas que conforman el LNA.

Al igual que en el *layout* anterior, se observan las conexiones con el sustrato, las cuales evitarán fluctuaciones que pudieran afectar al circuito.

Para facilitar la conexión del LNA con el exterior, se ha hecho uso de dos tipos de terminales: el denominado GSG (*Ground-Signal-Ground*), que ya utilizamos en el *layout* anterior, y el terminal SGS (*Signal-Ground-Signal*). El primero ha sido utilizado para la alimentación del circuito, mientras que el segundo se ha utilizado para introducirle la señal de RF y para comunicarlo con la etapa que sigue al LNA.

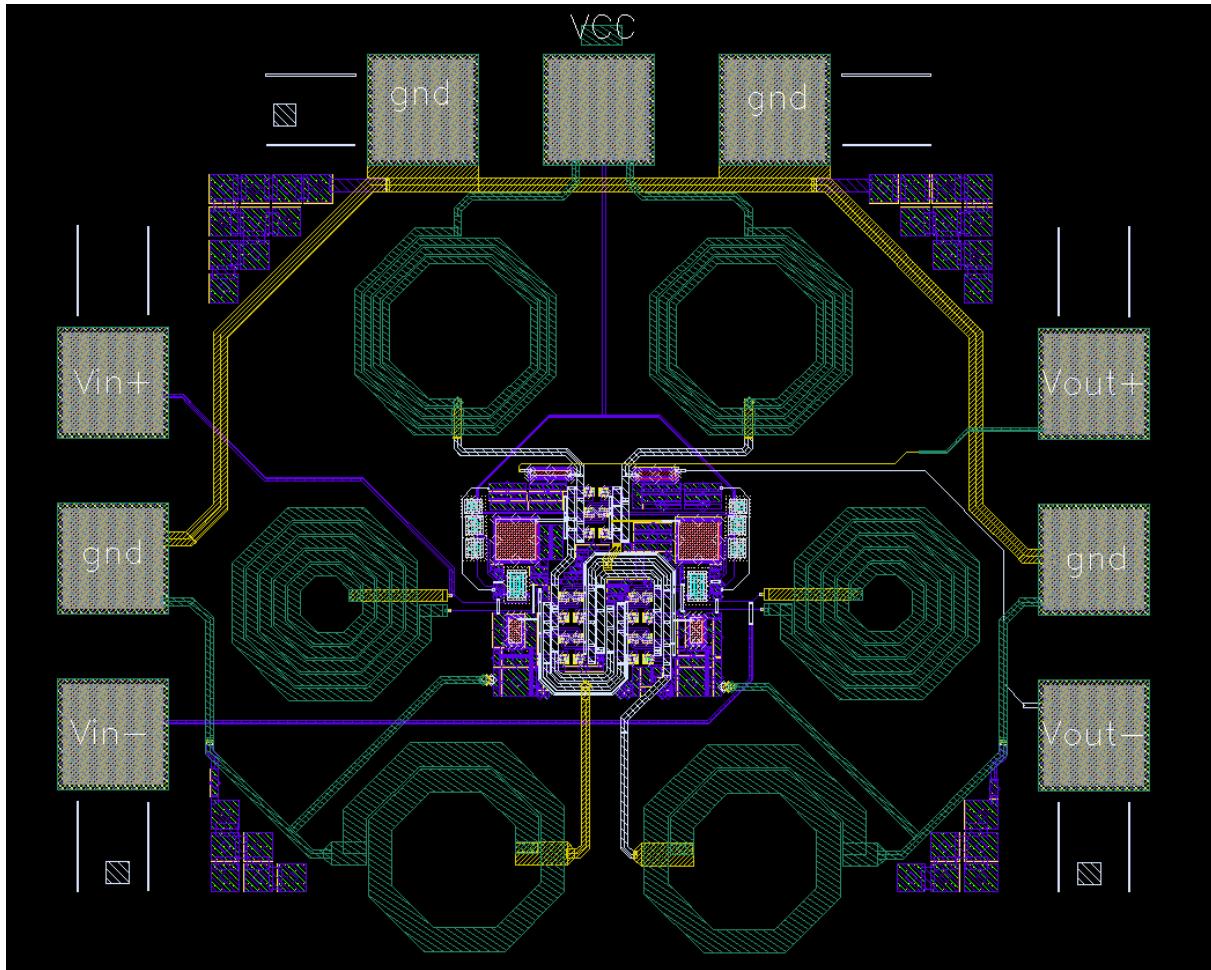


Figura 6.10 Layout del LNA Balanceado

En la Figura 6.11 se observa una imagen que muestra de forma detallada la estructura del núcleo interno del LNA. Al igual que en la figura anterior, se observa una gran simetría alrededor de un eje vertical central. Merece una mención especial la ordenación de los transistores, ejemplo real de aplicación de las técnicas centroidales explicadas anteriormente. Esto se observa en el grupo de 6 transistores situados en la parte superior de la imagen. Igualmente se observa en los otros dos grupos de 8 transistores cada uno situado en la parte inferior de la figura.

En los tres casos, la disposición se corresponde con *arrays* bidimensionales, estando los dos últimos ordenados según el esquema de acoplamiento por par cruzado.

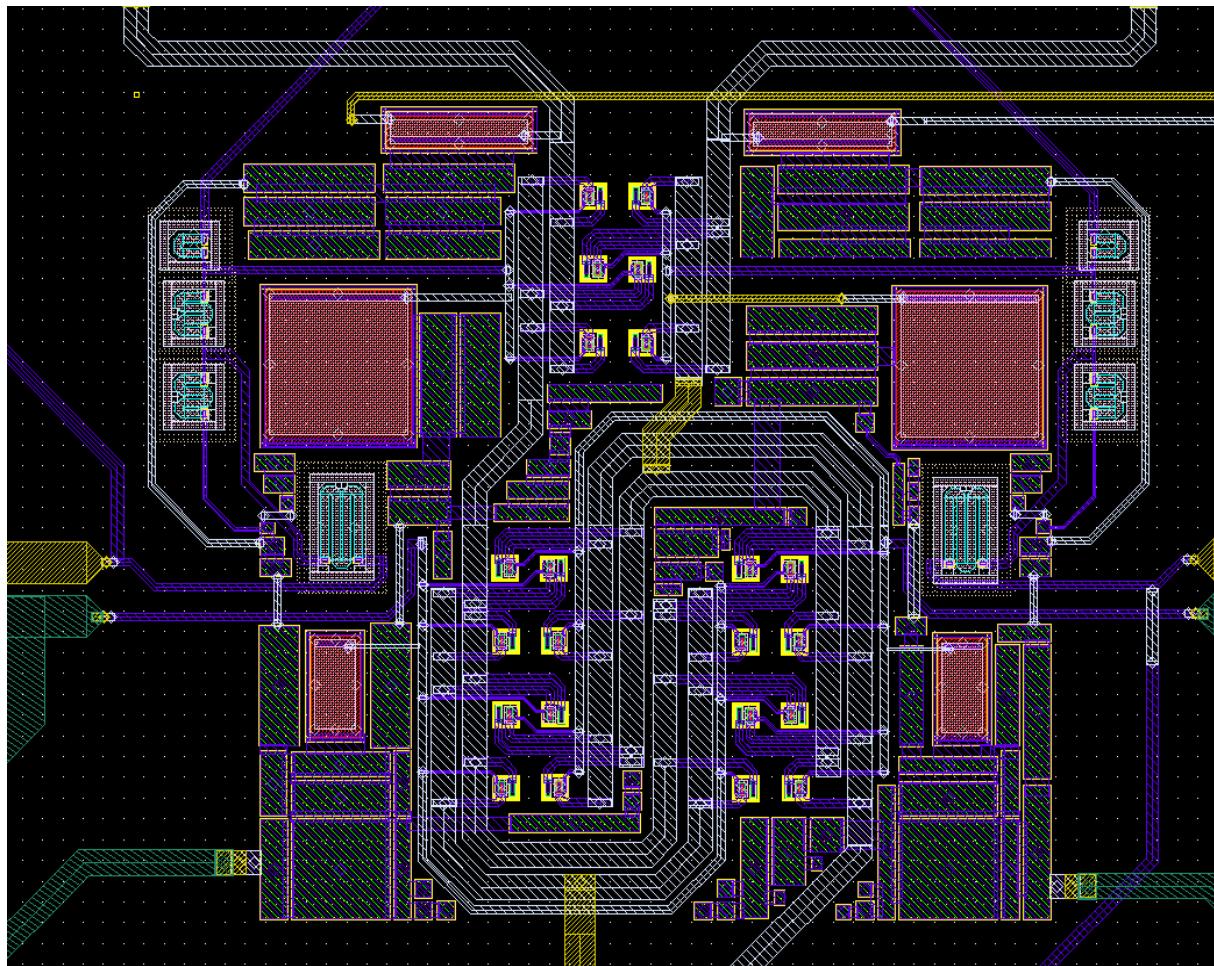


Figura 6.11 Detalle del core interno del circuito

En la imagen también se observan las estructuras *dummies* utilizadas en las resistencias, al igual que en el *layout* anterior. Estas están situadas en los laterales de la imagen.

Finalmente, se observan los condensadores y los contactos al sustrato comentados anteriormente.

6.5.1 Simulaciones *post-layout*

Los resultados de las simulaciones aparecen representados en las Figuras 6.12 y

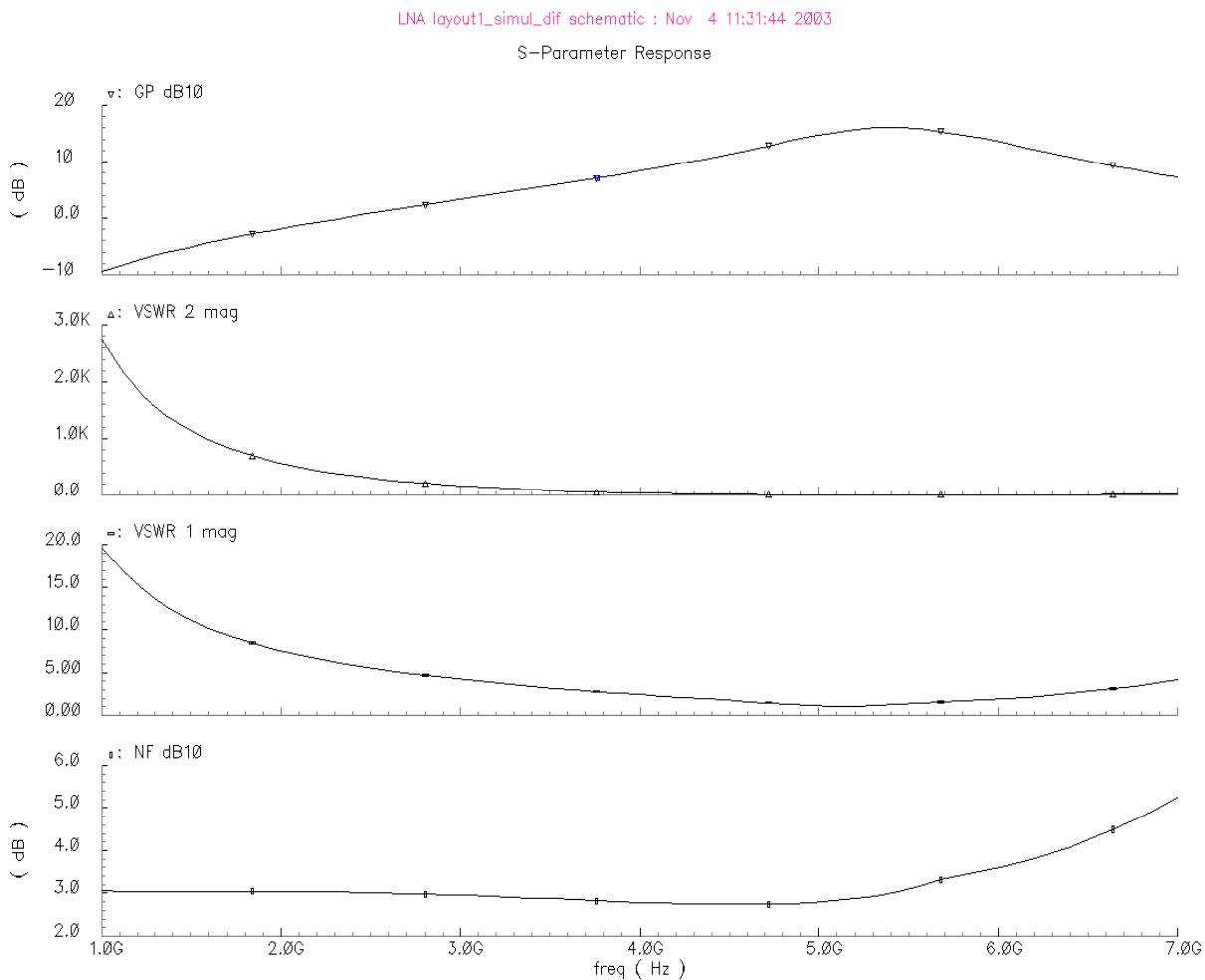


Figura 6.12 Simulaciones *post-layout* I.

6.13. En la primera figura se observan las simulaciones para la Ganancia, NF, *VSWR1* y *VSWR2*. En la segunda se aprecian las correspondientes para los parámetros S. Los valores de ambas simulaciones quedan recogidos en la Tabla 6.6.

Al igual que los resultados obtenidos con el circuito asimétrico, no se observan diferencias significativas entre estos valores y los obtenidos a nivel de esquemático.

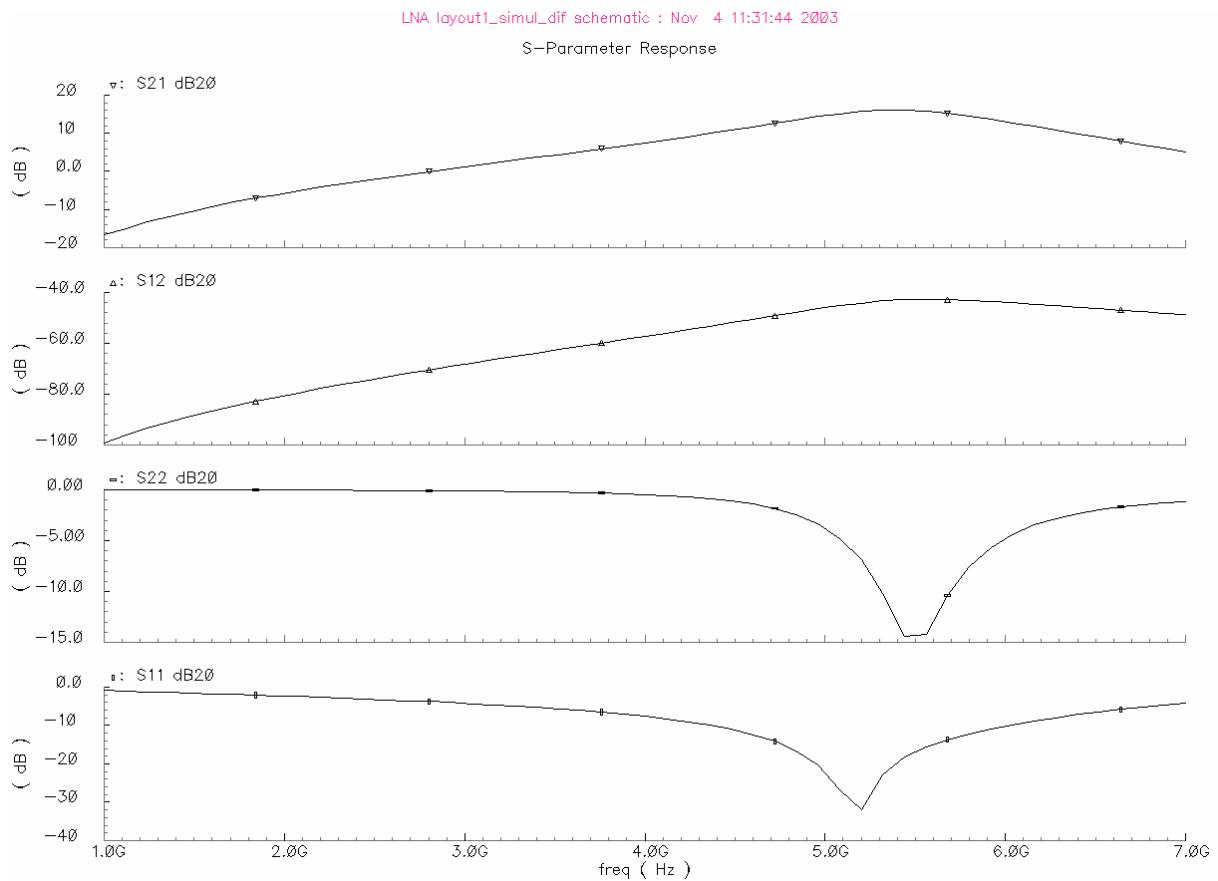


Figura 6.13 Simulaciones *post-layout* II.

Un hecho a destacar es que debido a las altas capacidades parásitas generadas por el ruteado de las pistas, fue necesario cambiar el valor de la bobina y del condensador de salida para mejorar el *VSWR2*.

Tabla 6.6 Resultados finales

Ganancia	15.910 dB
NF	3.127 dB
<i>VSWR1</i>	1.35
<i>VSWR2</i>	1.93
S11	-32.81 dB
S12	-44 dB
S21	15.910 dB
S22	-14.43 dB
<i>IIP3</i>	-1.32 dBm
<i>OIP3</i>	14.59 dBm
Consumo de potencia	19.64 mW
Área del chip	767 μm * 932 μm

6.6 Resumen

En este capítulo hemos visto como se compone la ruta de diseño de un *layout*. Esto lo hemos logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento.

En el siguiente capítulo veremos la integración de nuestro LNA en una cadena de recepción. Para ello, lo conectaremos a la etapa que le sigue, es decir, un mezclador. Así comprobaremos el correcto funcionamiento de nuestro dispositivo en una aplicación real.

Capítulo 7

Integración en una cadena de recepción

En el capítulo anterior pudimos ver el diseño e implementación de nuestros circuitos mediante *layouts*. Para comprobar el correcto funcionamiento del circuito diseñado, en este capítulo se mostrarán los resultados obtenidos una vez integrado el LNA dentro de una cadena de recepción. Para ello el LNA se conectará a la entrada de un mezclador desarrollado por Roberto Díaz Ortega [2].

7.1 Consideraciones previas

Como ya se ha comentado en capítulos anteriores se pretende implementar un receptor de conversión directa. En la figura 7.1 se muestra un diagrama de bloques general, donde se aprecian las conexiones a realizar. Como se puede observar el LNA se conectará a la entrada de un mezclador. Además, se puede apreciar que trabajamos con señales diferenciales, por lo que el LNA empleado será el correspondiente a la configuración balanceada.

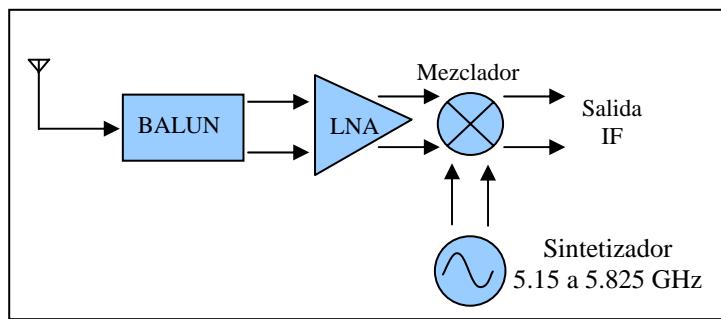


Figura 7.1. Diagrama de bloques.

7.2 Mezclador (*Mixer*)

La topología empleada en el mezclador implementado es la mostrada en la Figura 7.1. Como puede observarse se trata de un mezclador pasivo constituido por 4 transistores MOSFET y en cuya salida se ha situado un amplificador operacional totalmente diferencial para evitar las pérdidas introducidas por el mezclador [2].

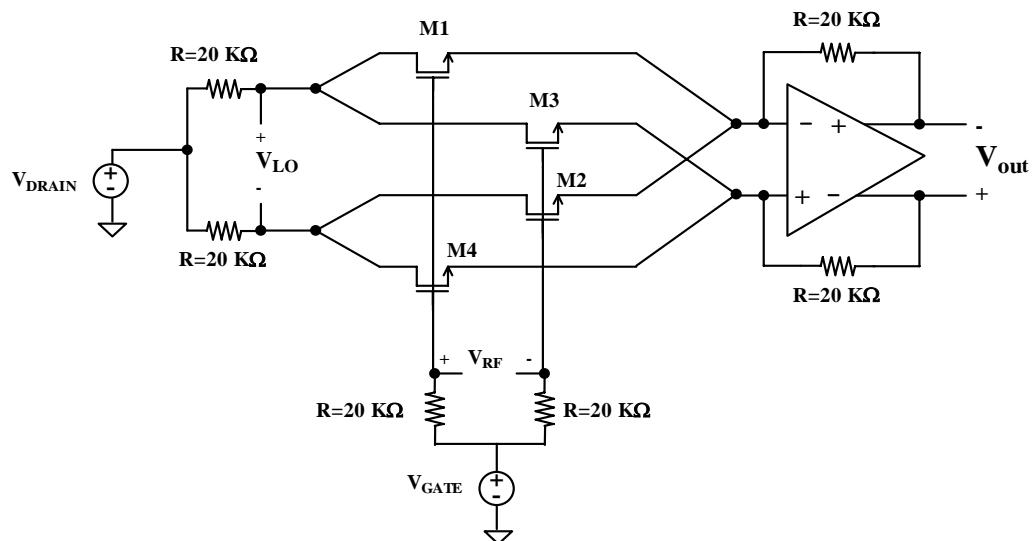


Figura 7.1 Estructura del mezclador integrado.

La implementación del amplificador operacional se ha realizado con una estructura diferencial simple con cargas activas a la que se le ha añadido una etapa de salida con un gran ancho de banda y un circuito de realimentación del modo común para evitar grandes diferencias entre las ramas de la estructura diferencial [17]. En la figura 7.2 puede observarse el esquemático del amplificador operacional.

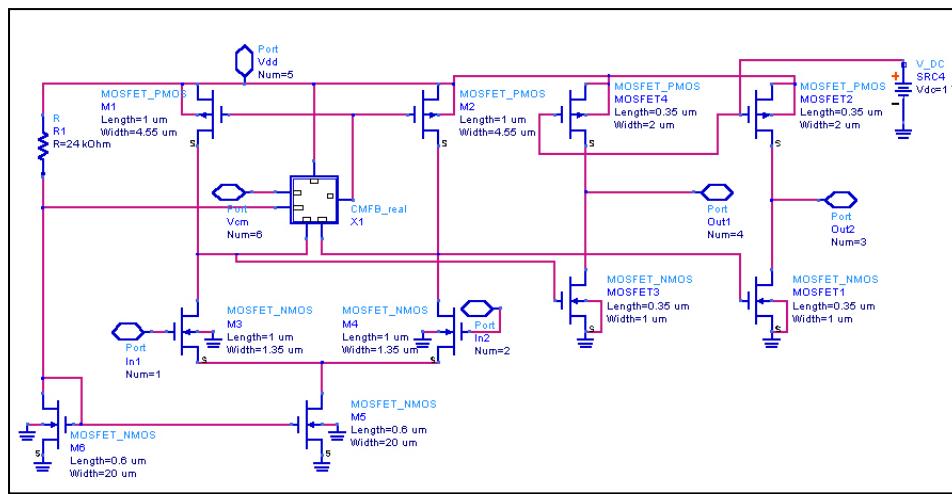


Figura 7.2 Esquemático del amplificador operacional.

En la figura 7.3 se muestra un detalle del *layout* del mezclador con la etapa de amplificación. Como puede observarse a la izquierda de la figura se encuentra la etapa de mezclado con los cuatro *MOSFET* en el centro y las referencias de tensión para efectuar la polarización a ambos lados. A la derecha de la figura se encuentra el amplificador operacional, pudiendo observarse claramente las resistencias de realimentación y la resistencia que constituye la fuente de corriente.

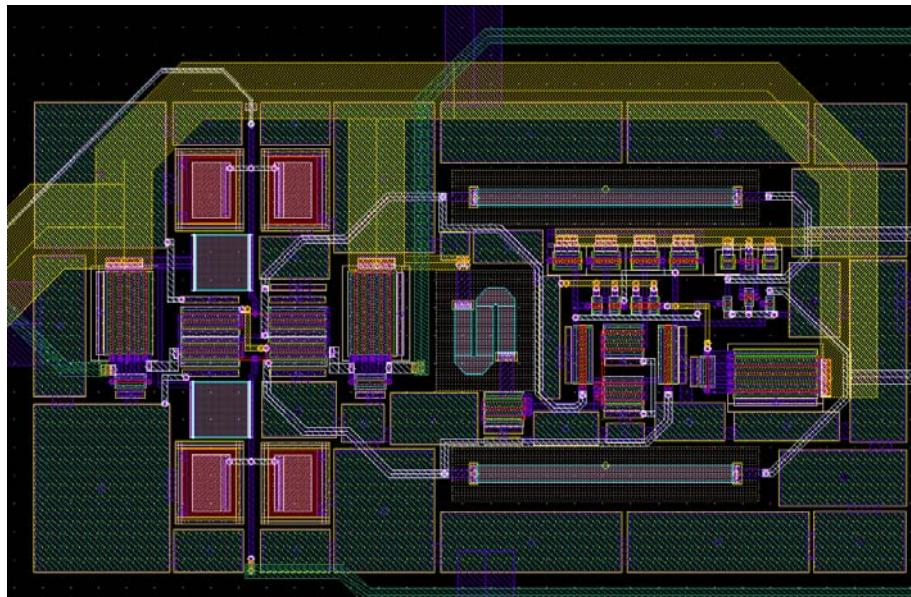


Figura 7.3 Layout del mezclador con la etapa de amplificación.

Los resultados obtenidos una vez completado el diseño del mezclador con la etapa de amplificación [2] se muestran en la Tabla 7.1.

Tabla 7.1 Simulaciones del esquemático con diversos modelos

Simulaciones finales del sistema completo			
Parámetros	Typical Mean	Worst Speed	Worst Power
Ganancia (dB)	33,67	31,40	25,86
VSWR RF	1,30	1,31	1,30
VSWR LO	1,69	2,90	1,04
NF SSB (dB)	35,49	33,88	42,08
NF DSB (dB)	32,47	30,85	39,07
IIP3 (dBm)	45(aprox.)	43(aprox.)	40(aprox.)
OIP3 (dBm)	82(aprox.)	75(aprox.)	65(aprox.)

Cabe destacar que los parámetros *Typical Mean*, *Worst Speed* y *Worst Power* se corresponden con los valores típico, peor velocidad y mayor consumo de los transistores empleados. Así con este estudio nos aseguramos que el circuito opera correctamente en todos los casos.

Una vez visto a grandes rasgos el diseño del mezclador se puede proceder a ver como responde el LNA integrado dentro de la cadena de recepción junto con el mezclador.

7.3 Conexionado LNA – Mezclador

En el diseño original el LNA tenía adaptada la salida a 50 Ohmios mediante un condensador en serie en cada rama de salida, mientras que el mezclador tenía adaptada su entrada de RF a 50 Ohmios mediante una red formada por un condensador y una bobina en cada rama. Al unirlos se ha quitado la adaptación de entrada del mezclador de forma que se ahorran 2 bobinas y 2 condensadores. La adaptación entre el LNA y el mezclador se ha realizado variando el condensador de salida que tiene el LNA en cada rama. Una vez hecho esto, en el *layout* se ha variado este condensador hasta conseguir la máxima excursión a la salida.

En la Figura 7.4 puede observarse el esquemático del conexionado entre el LNA y el mezclador, como se ha comentado, la adaptación de entrada del mezclador ha sido eliminada y el ajuste de la impedancia entre el mezclador y el LNA se realiza mediante el condensador de salida integrado en el LNA. Puede observarse también en la Figura 7.4, tal y como se había comentado en capítulos anteriores, el uso del *balun* para la conversión de la señal de modo asimétrico a diferencial y viceversa tanto en la entrada como en la salida del circuito.

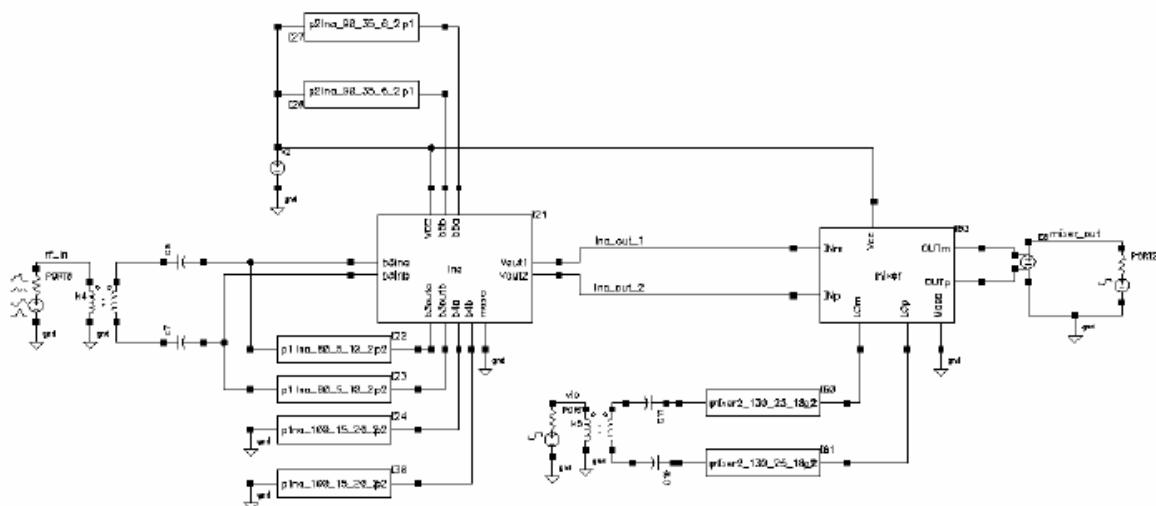


Figura 7.4 Esquemático de conexiones.

7.4 Layout del Sistema

Una vez interconectados el LNA y el mezclador, el *layout* del sistema completo puede observarse en la figura 7.5.

En el centro de dicha figura puede observarse el LNA rodeado por sus seis bobinas. A la derecha se encuentra el núcleo del Mezclador con las bobinas de adaptación de la entrada del oscilador local.

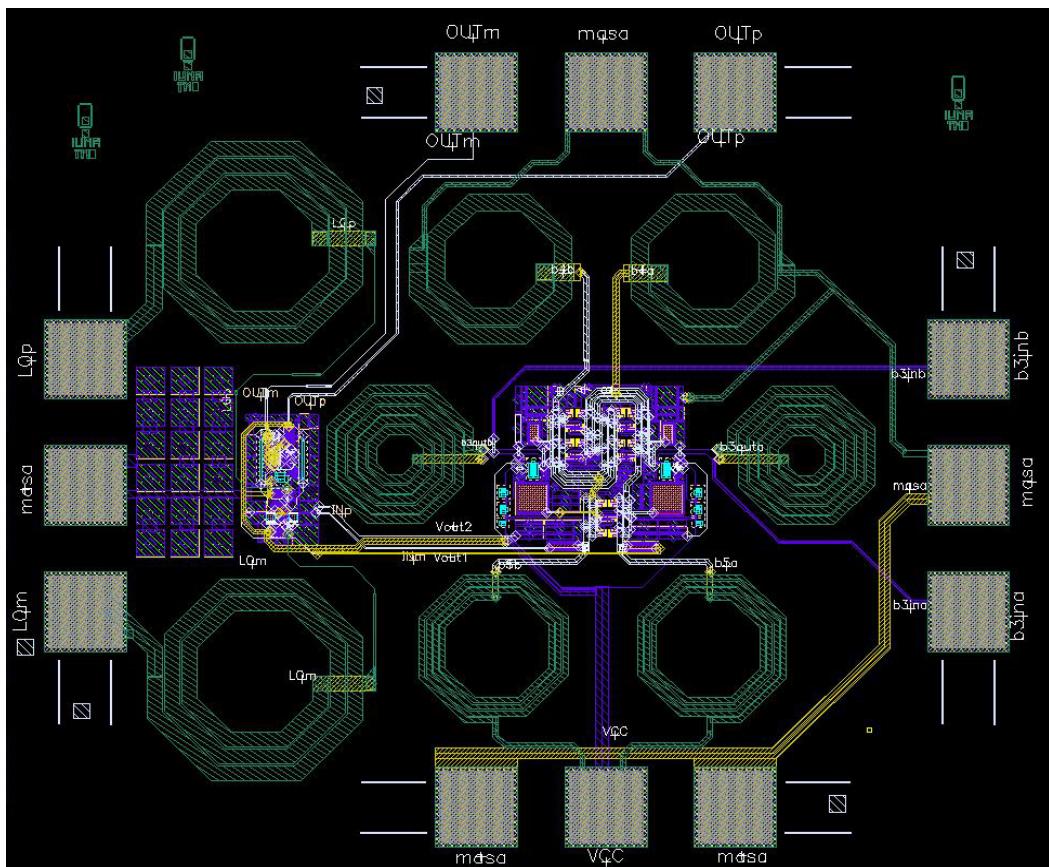


Figura 7.5. *Layout* del sistema completo.

7.5 Simulación Post-Layout

Para finalizar con el proceso de unión del LNA y el mezclador sólo resta comprobar el funcionamiento del conjunto mediante simulación. Debido a problemas de convergencia con el simulador sólo se pudo realizar la simulación en régimen transitorio. La ganancia, figura de

ruido y demás parámetros se pueden obtener de la simulación transitoria y de la fórmula de Friis teniendo en cuenta las prestaciones de los circuitos por separado.

En la Figura 7.6 se muestra el esquemático empleado para la simulación del conjunto. Como puede observarse las bobinas se ponen externas al circuito ya que en *Cadence* (*software* de simulación y generación de *layouts*) no se modelan las bobinas y se tratan como pistas normales. En consecuencia, para la simulación de las bobinas se emplea el modelo clásico de dos puertos explicado en el capítulo referente a la tecnología (capítulo 4).

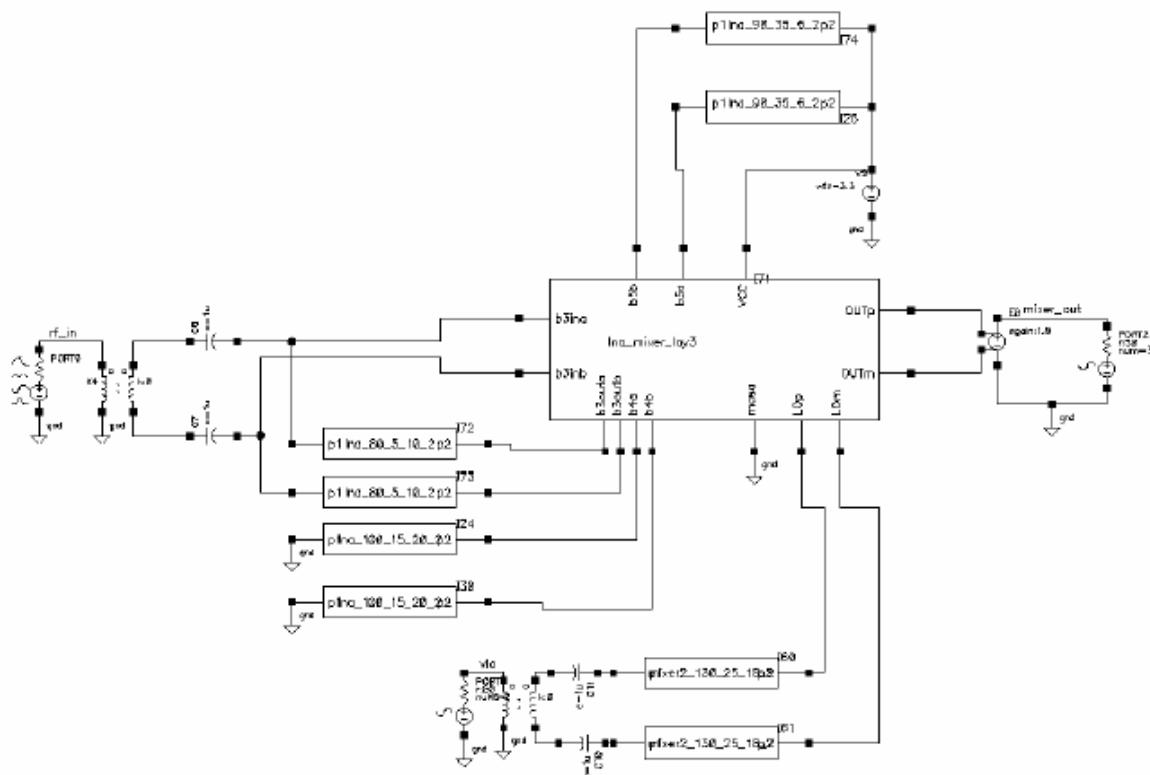


Figura 7.6. Esquemático utilizado para la simulación.

Para realizar la simulación transitoria se ha introducido un tono de 5.52 GHz con una potencia de -88 dBm a la entrada del LNA y un tono de 5.5GHz con una potencia de 0 dBm a la entrada del oscilador local. A la salida tendremos un tono de 20 MHz, tal como se ve en la simulación mostrada en la Figura 7.7. En la misma figura se observa que con una entrada de tan solo unos pocos microvoltios se consigue una señal en banda base del orden de milivoltios.

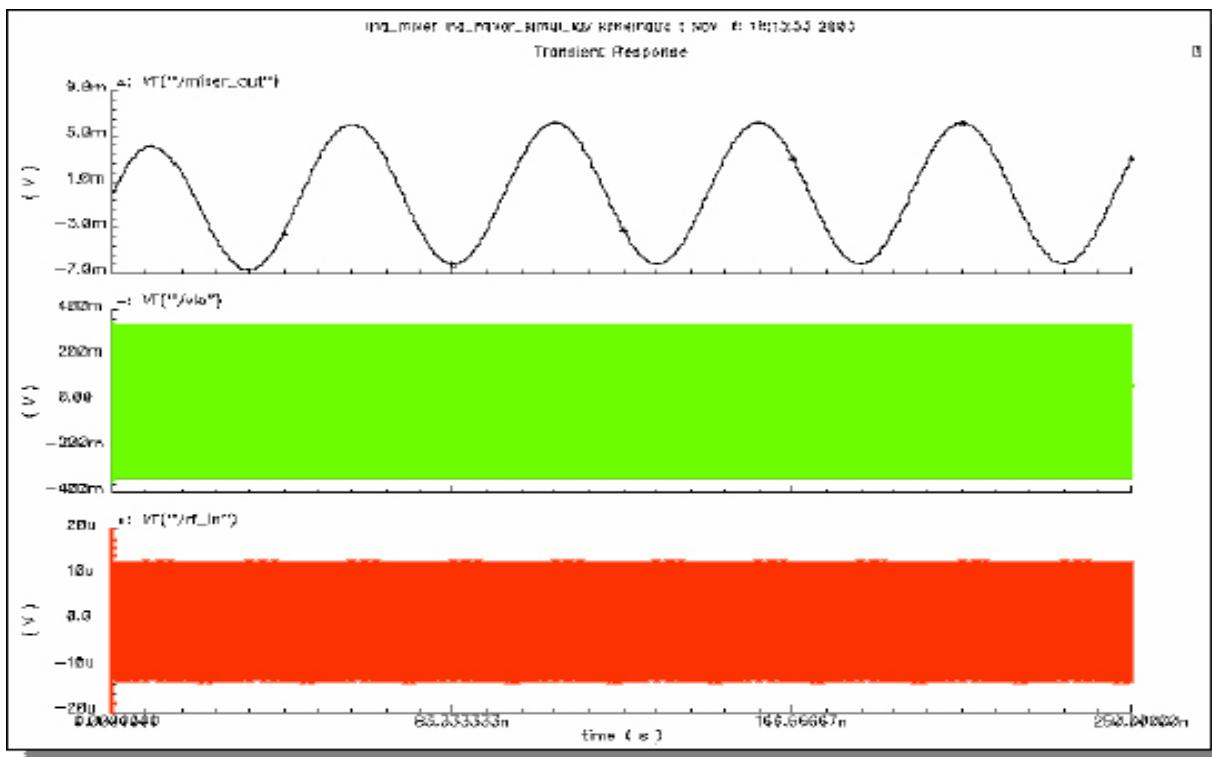


Figura 7.7 Simulación transitoria del conjunto.

Una vez comprobada la funcionalidad del conjunto con la simulación transitoria, en la tabla 7.2 se muestra los parámetros de los circuitos separadamente y los valores obtenidos una vez unidos ambos circuitos.

Tabla 7.2 Especificaciones del conjunto

Parámetros	LNA	Mezclador	Conjunto
Ganancia (dB)	15,910	43	54
NF (dB)	3,127	45	5,93
IIP3 (dBm)	-1,32	40	-1.33
OIP3 (dBm)	14,59	83	57.58
Consumo (mW)	19,64	3,42	23.06
Área (mm²)	0,714	0,605	1,07

Como ha podido observarse, el problema que se había comentado del aislamiento entre las señales al unir el mezclador al amplificador de bajo ruido se ha solucionado debido al aislamiento en inversa que presenta el LNA que hace que se mejoren las prestaciones del conjunto.

7.6 RUN de fabricación

Finalizada la comprobación de los circuitos diseñados e implementados en una cadena de recepción, es el momento de preparar el sistema para proceder a la fabricación. Los circuitos desarrollados han sido enviados a fábrica junto con otros dispositivos desarrollados en el IUMA. En total se enviarán un total de 31 dispositivos:

- Dieciséis bobinas [8].
- Cuatro estructuras de medidas para realizar el *de-embedding* de las bobinas [8].
- Tres VCOs (Voltage controlled oscillator) [18].
- El LNA asimétrico desarrollado en este proyecto.
- El LNA diferencial desarrollado en este proyecto.
- Un mezclador pasivo [2].
- Un amplificador operacional [2].
- Un mezclador con etapa de amplificación [2].
- El conjunto del LNA con el mezclador.

En la Figura 7.8 se muestra el layout de todos los sistemas que se han enviado a fabricar. El layout final tiene unas dimensiones de $3488 \mu\text{m} \times 3538 \mu\text{m}$, los que significa un área total de unos 12 mm^2 . El layout mostrado en la figura se ha mandado a la fundidora *AMS* para ser procesado en el RUN del 3 de Noviembre de 2003.

Por otro lado, en la Figura 7.9 se muestra un diagrama donde se detallan cada uno de los circuitos que forman parte del layout final mandado a fábrica. Puede observarse como entre las bobinas mandadas a fábrica se incluyen las bobinas usadas tanto en el diseño del LNA como del mezclador para comprobar el correcto funcionamiento de las mismas.

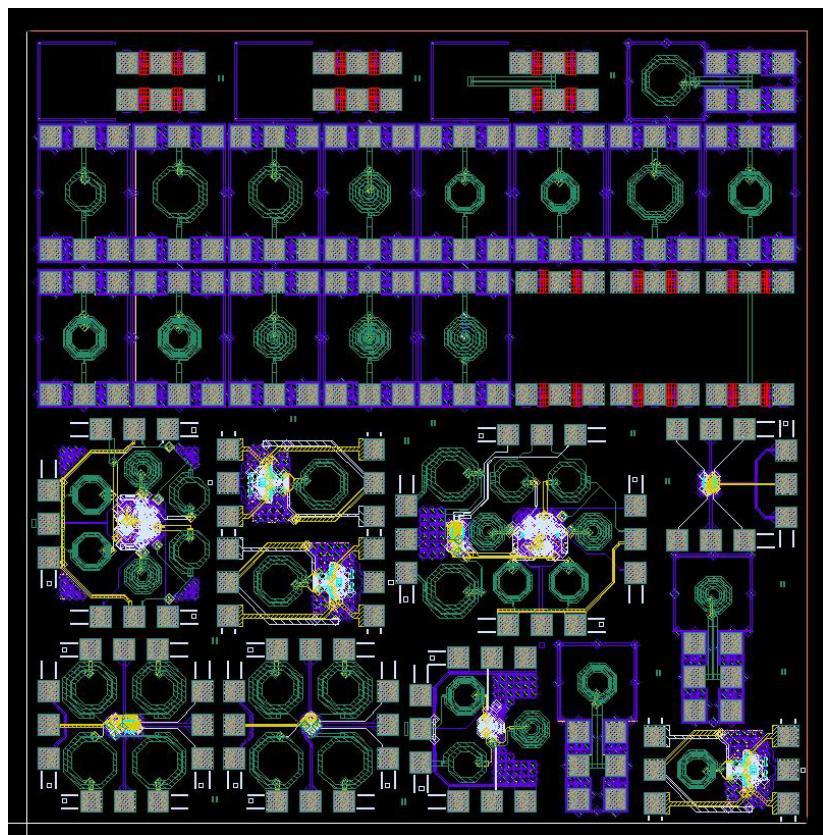


Figura 7.8. Layout de los dispositivos a fabricar.

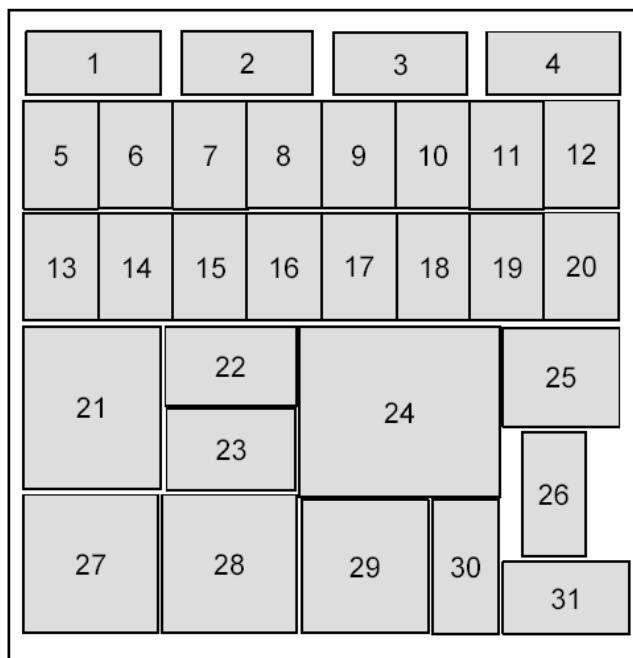


Figura 7.9 Esquema del layout final.

A continuación, en la Tabla 7.3 se detallan cada uno de los circuitos incluidos dentro del layout del RUN mediante los números representados en la Figura 7.9.

Tabla 7.3 Relación de circuitos incluidos en el *RUN*

- | | |
|---|--|
| 1.- Estructura de medida <i>open</i> para bobinas con ambas salidas hacia el mismo lado. | 16.- con3y5_100_55_13_2. |
| 2.- Estructura de medida <i>short</i> para bobinas con ambas salidas hacia el mismo lado. | 17.- salm1_100_55_13_2. |
| 3.- Estructura de medida <i>thru</i> para bobinas con ambas salidas hacia el mismo lado. | 18.- Estructura de medida <i>open</i> para bobinas con salidas hacia distinto lado. |
| 4.- vco_120_2_16_2. | 19.- Estructura de medida <i>short</i> para bobinas con salidas hacia distinto lado. |
| 5.- lna_100_15_20_2. | 20.- Estructura de medida <i>thru</i> para bobinas con salidas hacia distinto lado. |
| 6.- mix_130_15_18_2. | 21.- LNA diferencial. |
| 7.- mix_130_25_18_2. | 22.- VCO2. |
| 8.- bob_100_55_13_2. | 23.- VCO1. |
| 9.- lna_90_35_6_2. | 24.- LNA y mezclador. |
| 10.- lna_90_45_6_2. | 25.- Amplificador operacional. |
| 11.- bob_130_35_10_2. | 26.- lna_80_5_10_2. |
| 12.- bob_100_45_6_2. | 27.- Mezclador completo (mezcl.+ oper.). |
| 13.- bob_100_55_6_2. | 28.- Mezclador. |
| 14.- bob_100_65_6_2. | 29.- LNA asimétrico. |
| 15.- con0y5_100_55_13_2. | 30.- vco_90_5_6_2. |
| | 31.- VCO3. |

7.7 Resumen

Una vez completado el diseño del LNA y comprobar el correcto funcionamiento del mismo dentro de una cadena de recepción, sólo resta obtener las conclusiones que se han ido

sacando a lo largo de todo el proyecto. Para ello, en el siguiente capítulo daremos un revisión a todos los pasos seguidos en el diseño de nuestros LNAs, evaluando los resultados obtenidos. Mediante la comparación de estos resultados con otros conseguidos en trabajos similares obtendremos dichas conclusiones generales, que serán válidas para el desarrollo de proyectos futuros.

Capítulo 8

Conclusiones

En el capítulo anterior pudimos analizar la integración de nuestro circuito en una cadena de recepción. Además, comprobamos mediante simulación su correcto funcionamiento.

En el presente capítulo vamos a dar una comparativa entre los resultados obtenidos en este proyecto y los indicados en otros trabajos. Se ha querido comparar con circuitos basados en el mismo estándar o que operen a la misma frecuencia. En la Tabla 8.1 aparecen recogidos los resultados de dichos trabajos junto con las características más importantes de dichos circuitos. De la misma forma, cabe mencionar que estos resultados se corresponden con mediciones reales, por lo que habrá diferencias con respecto a nuestras simulaciones.

8.1 Estudio comparado

Si queremos comparar nuestro trabajo con otro que emplee la misma tecnología, podemos centrarnos en los resultados que aparecen en [21] (tercera fila de la Tabla 8.1). Dadas las características que presenta, debemos compararlo con nuestro circuito asimétrico (Tabla 6.5), ya que no está configurado de forma diferencial. En dicha fila podemos apreciar que, a pesar de poseer una NF ligeramente mejor que el nuestro, la ganancia, el $IP3$ y el consumo de potencia de nuestro circuito son superiores. En este último apartado relacionado con el consumo, observamos que a pesar de estar alimentado el circuito con sólo 1 V (el 30% de

nuestro nivel de polarización (3.3 V)), consume un 36% más de potencia que el nuestro. Esto, indiscutiblemente, se traduce en un mayor consumo de corriente por parte de los transistores, lo que reduce considerablemente el tiempo de vida útil del circuito.

Tabla 8.1 Valores correspondientes a otros trabajos y tecnologías

Proceso Tecnológico	Frec. (GHz)	Área sin pads (mm ²)	NF (dB)	Gain (dB)	IIP3 (dBm)	OIP3/ P _{DC}	Vcc(V)	P _{DC} (mW)	Características	Ref.
0.7 μm MESFET	5.2	0.4 x 1.1	3.5	15	-	-	3.3	10	2 etapas CS	[19]
GaAs HBT	5.7	0.5 x 0.6	2.9	16	7.3	3.0	3.5	72	2 etapas Realimentación resistiva	[20]
SiGe HBT	5.8	0.5 x 0.6	2.1	6.9	-11	0.03	1	13	2 etapas CE	[21]
Si Bipolar	5.8	0.4 x 0.45	4.2	7	-4	0.3	3.5	7.7	CC degeneración inductiva	[22]
0.6 μm Si Bipolar	5.8	0.4 x 0.45	4.1	16	-	-	5	100	2 etapas CE	[23]
0.8 μm BiCMOS	5.8	0.9 x 0.56	3.3	6.9	-	-	3	9	1 etapa CE	[24]
0.5 μm CMOS	5.8	0.8 x 0.57	4	11.5	-	-	1	6.6	Tanque LC CC	[25]
0.24 μm CMOS	5.25	0.83 x 0.4	2.5	16	-1.5	0.6	3	48	Diferencial CC	[26]
0.24 μm CMOS	5.2	0.8 x 0.5	4.8	18	-2	-	2	7.2	Diferencial	[27]
0.35 μm CMOS	5.8	1.1 x 0.94	4	5	-	-	3.3	50	Diferencial CS	[28]
0.35 μm CMOS	5.2	1.06 x 0.5	5.6	7.8	-6.2	0.9	1	12.2	Transformador	[29]
0.35 μm CMOS	5.8	0.6 x 0.56	3.2	7.2	-3.7	1.2	1.3	20	2 etapas CS	[30]

CC: Configuración cascodo

CE: C. emisor-común

CS: C. con fuente común

Por otro lado, si queremos comparar los resultados de nuestro circuito balanceado (Tabla 6.6) con otros trabajos, hemos de hacerlo con aquellos que presentan configuraciones similares. En la tabla 8.1, el trabajo que mayor parecido presenta es el correspondiente a la fila diez, ya que emplea también un proceso de $0.35\text{ }\mu\text{m}$, aunque en tecnología CMOS. En dicha fila podemos apreciar que, con respecto a nuestro circuito, todos los resultados son desfavorables. La NF que presenta es considerablemente mayor, posee casi 10 dB menos de ganancia y el consumo de potencia es un 153% mayor que el presentado por nuestro circuito. Este último resultado puede resultar atípico, dados los bajos consumos de potencia que, generalmente, presenta la tecnología CMOS.

8.2 Conclusiones

El objetivo de este proyecto era diseñar un amplificador de bajo nivel de ruido (LNA) usando la tecnología SiGe de $0.35\text{ }\mu\text{m}$ suministrada por AMS (*Austria Micro Systems*). De la misma forma, hemos verificado que los diseños son válidos para ser implementados en sistemas basados en el estándar IEEE802.11a.

Después de los estudios realizados, se optó por desarrollar dos arquitecturas diferentes, la asimétrica y la balanceada. La primera posee a su entrada una red de adaptación formada por un híbrido entre red LC y degeneración inductiva, una etapa de amplificación cascodo y una red de adaptación LC a la salida.

Los principales problemas que surgieron a la hora del diseño de esta configuración tuvieron que ver con las estructuras de polarización, la adaptación de entrada y los efectos perjudiciales de los *pads* de conexión del circuito con el exterior.

En el primer caso, fue necesario estudiar numerosas estructuras de polarización, tal y como se ve en el capítulo 5. Con ello perseguíamos conseguir el menor consumo de potencia posible.

En relación con la adaptación de entrada, los problemas surgieron con las características no ideales de los componentes utilizados. A pesar de que las bobinas empleadas poseían altos factores de calidad (Q), las resistencias de base de los transistores dificultaban el obtener una correcta adaptación y una reducida figura de ruido. Además, a esto hay que añadirle los efectos parásitos asociados a los *pads* de conexión. Afortunadamente, estos problemas pudieron ser solventados modificando las áreas y multiplicidades de los transistores empleados.

Con respecto a la topología balanceada, cabe decir que posee la misma estructura que la asimétrica, pero configurada de forma diferencial.

Los problemas que ofreció esta configuración fueron similares a los presentados por la configuración cascodo, y se resolvieron de forma similar. Sin embargo, presentó dificultades en la adaptación de salida, las cuáles se solucionaron modificando los valores de los componentes de la red de adaptación. El añadir dicha red de adaptación a la salida se debe a la necesidad de testear al circuito individualmente.

La unión del LNA con el mezclador (véase Capítulo 7) fue totalmente satisfactoria. Sin embargo, a la hora de la implementación del *layout* fue necesario modificar ligeramente los valores de diversos componentes tales como bobinas y condensadores, y así obtener resultados más favorables.

Si comparamos las especificaciones dadas en la Tabla 3.1 con los resultados obtenidos para ambos circuitos en las Tablas 6.5 y 6.6, vemos que estos son totalmente satisfactorios. Del mismo modo, tal y como ya adelantamos en el apartado anterior, la eficacia de nuestros diseños con respecto a otros trabajos basados en el mismo estándar alcanza altas cotas.

De todo esto se puede concluir, a falta de la medición, que con la tecnología SiGe 0.35 μm se pueden realizar diseños aceptables de componentes analógicos de radiofrecuencia. De esta manera podemos integrar en un mismo chip la parte analógica y digital del terminal receptor. Con ello conseguimos una mayor integrabilidad del circuito y una reducción de los costes.

A pesar de que los objetivos inicialmente planteados se han logrado de forma satisfactoria, el presente trabajo tiene continuidad en aspectos como la medida de los circuitos, la integración de un *PLL* (*Phase Locked Loop*) en la cadena de recepción, la unión de la parte de RF del receptor con la digital, el desarrollo de amplificadores en el transmisor, etc...

En cualquier caso, la línea de trabajo que subyace en este proyecto fin de carrera es parte de una línea de investigación de más envergadura en la que se desarrollan varios proyectos de investigación.

Bibliografía

- [1] AMS Austria Micro Systems, "0.35 μm BiCMOS Design Rules," Rev. 2.0. 2000.
- [2] Roberto Díaz Ortega, "Diseño de un mezclador en CMOS 0.35 μm para un receptor basado en el estándar IEEE802.11a.", Proyecto Fin de Carrera, abril de 2004.
- [3] "IEEE std 802.11.a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Phys ical Layer in the 5 GHz band".
- [4] T.H. Lee, H. Samavati, H.R. Rategh, "5-GHz CMOS wireless LANs", IEEE Transactions on Microwave Theory and Techniques, vol. 50, iss. 1, pp. 268 -280, Jan. 2002.
- [5] Behzad Razavi, RF Microelectronics, University of California: Prentice Hall PTR, 1998
- [6] T.H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, pp. 34-57, 1998.
- [7] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [8] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz" desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.
- [9] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, 1998.
- [10] J.S. Yuan, "SiGe, GaAs, and InP Heterojunction Bipolar Transistors," John Wiley & Sons, 1999.
- [11] M. Schatzmayr, "Development of a SiGe BiCMOS process for ASIC Applications", AMS, Austria Mikro Systeme International AG, disponible en <http://iaee.tuwien.ac.at/gme/hofg99/schatzmayr.htm>, 1999.
- [12] S.L. Long, S.E. Butner, "Galium Arsenide Digital Circuit Design", McGraw-Hill. 1990.
- [13] R. Götzfried, F. Bei@wanger, S. Gerlach, A. Schüppen, H. Dietrich, U. Seiler, K. Bach, J. Albers, "RFIC's for Mobile Communication Systems Using SiGe Bipolar Technology", IEEE Transactions on Microwave Theory and Techniques, vol. 46, no.5, pp.661-668, Mayo 1998.
- [14] Ben G. Streetman, "Solid state electronic devices", , Prentice Hall, Fourth Edition 1995.

- [15] M. Hershenson, S.S. Mohan, S.P. Boyd, T.H. Lee, "Optimization of Inductor Circuits via Geometric Programming", DAC 99, New Orleans, Louisiana, pp. 994-998, 1999.
- [16] R.C. Hibbeler, Engineering Mechanics: Statics, 4th Edition (New York: Macmillian Publishing Co., 1998) pp.435.
- [17] J. del Pino "Analog Integrated Filter Design" Internal Report, Fraunhofer Institute for Integrated Circuits, 2003
- [18] Sunil Lalchand Khemchandani, Amaya Goñi Iturri, Francisco Javier del Pino Suárez, Antonio Hernández Ballester, "A Fully Integrated VCO for 5 GHz WLAN band in 0,35 µm SiGe Technology", Microelectronics Journal, Elsevier's. Pendiente de aprobación.
- [19] Urs Lott, "Low dc power monolithic low noise amplifier for wireless application at 5 Ghz", IEEE Millimeter-Wave Monolithic Circuit Symp., pp. 81-84, June 1996
- [20] K. W. Kobayasi, A.K.Oki, L.T. Tran, and D.C. Streit, "Ultra-low dc power GaAs HBT S- and C-band low noise amplifiers for portable wireless applications," IEEE Trans. on MTI, vol. 43, no. 12, Dec.1995.
- [21] M. Soquier, J-O. Plouchart, H.Ainspan, and J. Burghartz, " A 5.8 GHz 1-V low noise amplifier in SiGe bipolar Technology", IEEE RFIC Symp., pp. 19-21, 1997.
- [22] S.P. Voinigescu, and M.C. Maliepaard, " 5.8GHz and 12.6 GHz Si Bipolar MMICs", IEEE ISSC97 Dig. Tech. Papers, pp. 372-373, 1997.
- [23] G. Schuppener, M. Mokhtari, and B. Kerzar, " A 5.8 GHz low noise amplifier for wireless lan applications in silicon bipolar technology", Proceedings of ICECS, Vol. 2., pp. 773-776, 1999
- [24] M. Ono, N. Suematsu, S. Kubo, Y. Iyama, T. Takagi, and O. Ishida, "1.9 GHz/5.8 GHz-band on-chip matching Si-MMIC low noise amplifiers fabricated on high resistive Si substrate", IEEE RFIC Symp., pp. 189-192, 1999
- [25] T. K. K. Tsang and M. N. El-Gamal, "A fully integrated 1 V 5.8 GHz bipolar LNA", IEEE ISCAS, pp. 842- 845, 2001
- [26] Eric H. Westerwick, " A 5 GHz band CMOS low noise amplifier with a 2.5 dB noise figure", Symp. On VLSI Tech. Sys. and App., pp. 224-227, 2001
- [27] Hiram Samavati, Hamid R. Rategh, and Thomas H. Lee, " A 5 GHz CMOS wireless LAN receiver front end ", IEEE J. Solid State Circuits, vol. 35, no. 5, pp. 765-772, May 2000
- [28] K. Runge, D. Pehlke and B. Schiffer, " On-chip matched 5.2 and 5.8 GHz differential LNAs fabricated using 0.35 µm CMOS technology", Electron. Lett., vol. 35, no. 22,

pp. 1899-1900, April 1999.

- [29] Chin-Chun Tang, and Shen- Iuan Liu, “ Low- voltage CMOS low noise amplifier using planar-interleaved transformer”, Electron. Lett., vol. 37, no.8, pp. 497-498, April 2001
- [30] Ren- Chieh Liu, Chung-Rung Lee, Huei Wang and Chorn-Kuang Wang“A 5.8 GHz Two- Stage High-Linearity Low Noise Amplifier in a 0.35 mm CMOS Technology”,IEEE Radio Frequency Integrated Circuits Symposium, 2002

Presupuesto

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento tanto de forma independiente como integrado en una cadena de recepción, para concluir con el estudio en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del proyecto.

Costes debidos a los Recursos Humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias. Este personal esta formado por dos técnicos a tiempo completo para un total de cien usuarios.

Descripción	Gastos
2 Técnicos a tiempo completo	36.060,73 €/año
Proporción suponiendo 100 usuarios	360,61 €/año-usuario
TOTAL (6 meses)	180,31 €

Costes de Ingeniería

En este apartado se establece una tabla indicativa de las partes en que se ha dividido el Proyecto y el tiempo parcial empleado para cada una de estas fases. Estas fases están

constituidas por: documentación y formación, especificación, desarrollo, análisis de resultados y realización de la memoria.

Descripción	Gastos
Búsqueda y estudio de la documentación y herramientas de trabajo.	160 horas
Desarrollo y análisis de resultado	640 horas
Realización de la memoria	160 horas
TOTAL	960 horas

Para el cálculo de honorarios, se ha seguido la propuesta de baremos establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir del 1-01-2003.

$$H=Hn \cdot 58 + He \cdot 63$$

Donde:

H: Honorarios a percibir.

Hn: Horas en jornada normal de trabajo.

He: Horas fuera de la jornada de trabajo.

Considerando que las horas empleadas en la realización del proyecto son en jornada laboral se obtienen los siguientes honorarios:

$$H=960 \cdot 58 = 55.680 \text{ €}$$

Costes de amortización

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes software, material hardware y el mantenimiento de estos. Estos equipos hardware y paquetes software presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se ha estimado en 50.

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	6 meses	6.803€	136€	68€
Servidor para simulación SUN Sparc Station 10	6 meses	6.643€	133€	66€
Impresora Hewlett Packard Laserjet 4L	6 meses	296€	6€	3€
Ordenador Personal Pentium II 266 MHz	6 meses	411€	8€	4€
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	6 meses	903€	18€	9€
Entorno Windows 2000 Profesional	6 meses	306€	6€	3€
Microsoft Office XP	6 meses	449€	9€	4€
Advance Design System (ADS)	6 meses	3200€	300€	32€
Cadence con Kit de diseño	6 meses	1500€	300€	15€
TOTAL				204€

Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación de los circuitos desarrollados.

Descripción	mm²	Precio mm²	Gastos
Fabricación de los circuitos	2,259	1.000€	2.259€
TOTAL			2.259€

Otros costes

Para finalizar con los costes parciales a continuación se muestran los costes debidos al material fungible y a la elaboración del documento final del proyecto.

Descripción	Unidades	Costes unidad	Gastos
Paquetes de DIN_A4 80 gr/m	3	4€	12€
Fotocopias	1000	0,03€	30€
CDs	4	3€	9€
Otros gastos	3		100€
TOTAL			151€

Coste Total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Descripción	Gastos
Costes de recursos humanos	180,31€
Costes de ingeniería	55.680,00€
Costes de amortización	204,00€
Costes de fabricación	2.259,00€
Otros costes	151,00€
PRESUPUESTO FINAL	58.474,31€
TOTAL (I.G.I.C 5%)	61.398,03€

D. Jesús Rubén Pulido Medina declara que el proyecto “Diseño de un amplificador de bajo ruido (LNA) en SiGe 0,35 µm para un receptor basado en el estándar 802.11a” asciende a un total de sesenta y un mil trescientos noventa y ocho euros con tres céntimos.

Fdo.

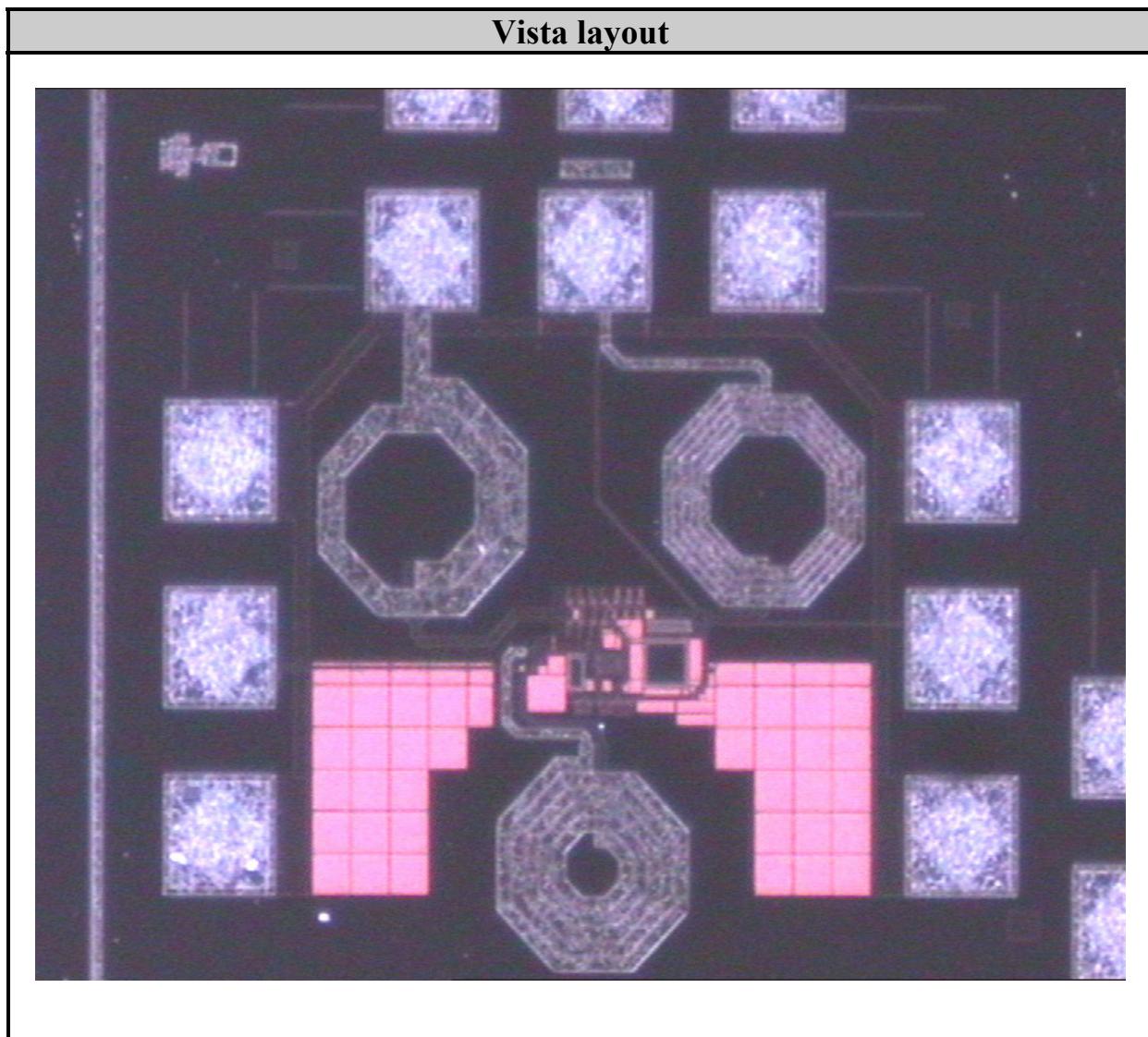
DNI:78507807-K.

Las Palmas de Gran Canaria, a 3 de Mayo de 2004

ANEXO

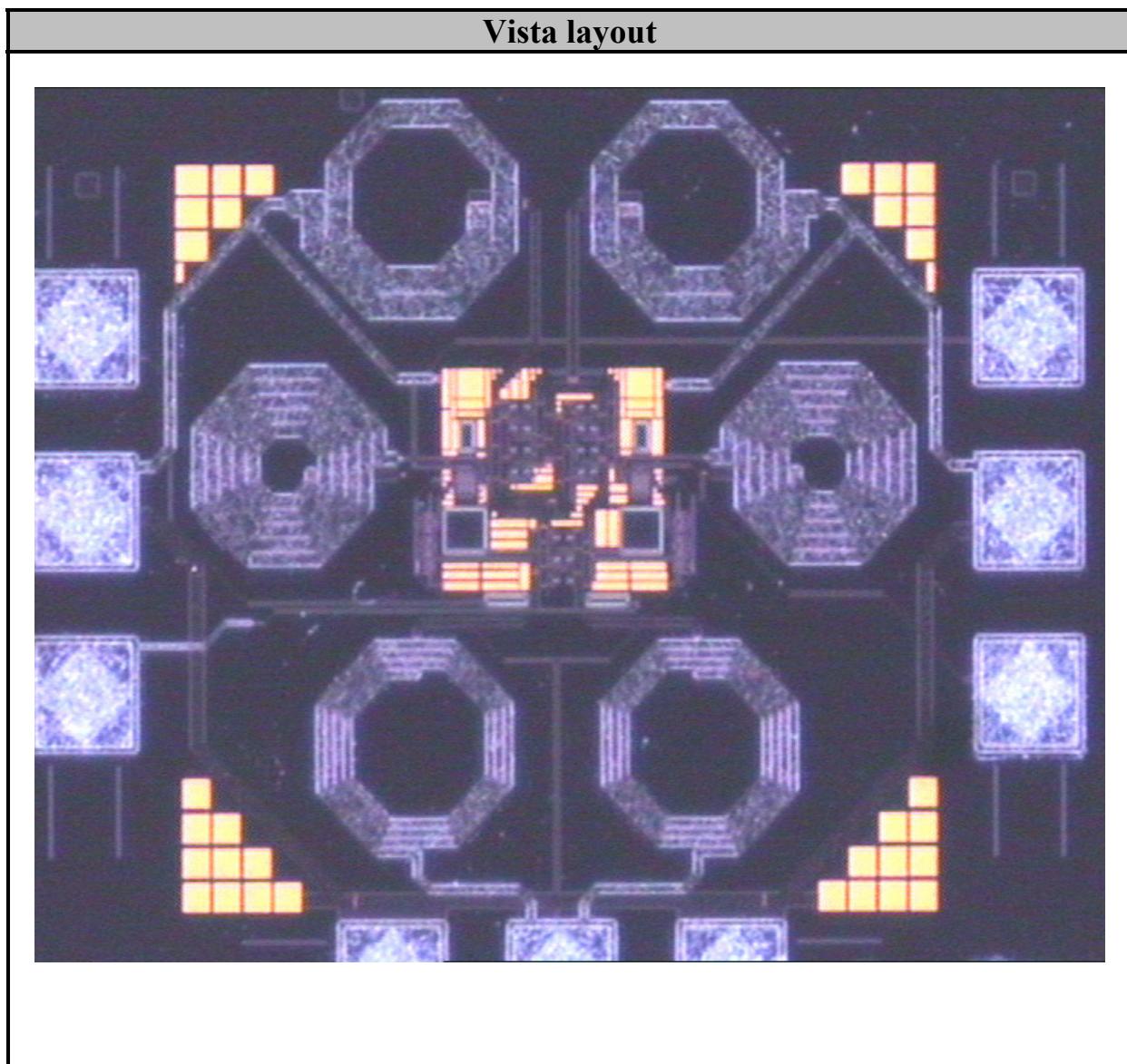
Fotografías de los diseños

Datos Generales			
Proyecto	Diseño de un Amplificador de Bajo Ruido (LNA) en tecnología SiGe 0.35 μ m para un receptor basado en el estándar IEEE 802.11a		
Autor	Jesús Rubén Pulido Medina	Fecha	Noviembre 2003
Circuito	LNA asimétrico con entradas adaptadas para ser medido <i>On-Waffer</i>		



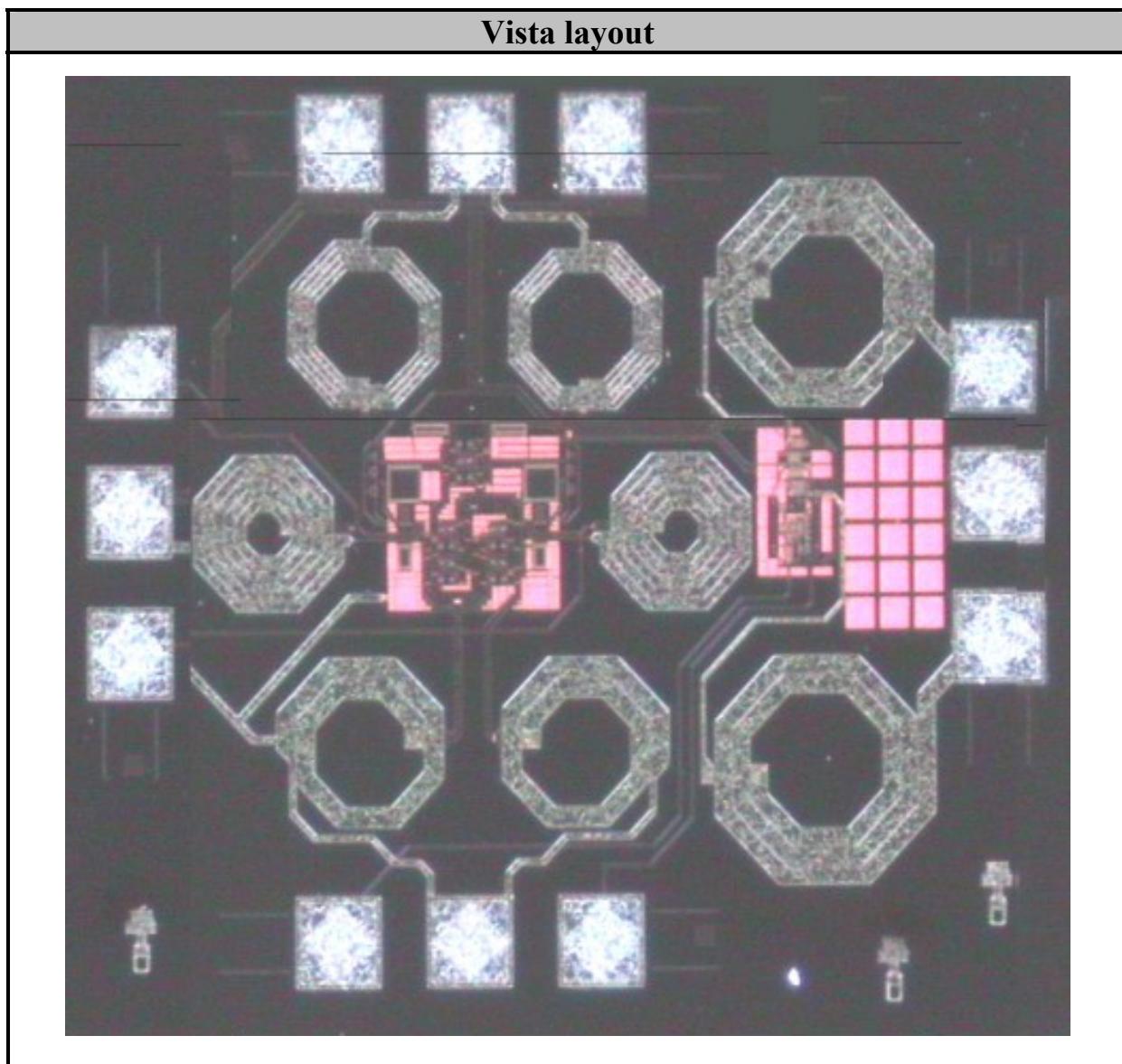
Simulaciones			
Ganancia	16.230 dB	Figura de Ruido	2.875 dB
VSWR1	1.25	IIP3	-4.373 dBm
VSWR2	2.53	OIP3	11.857 dBm

Datos Generales			
Proyecto	Diseño de un Amplificador de Bajo Ruido (LNA) en tecnología SiGe 0.35 μm para un receptor basado en el estándar IEEE 802.11a		
Autor	Jesús Rubén Pulido Medina	Fecha	Noviembre 2003
Circuito	LNA balanceado con entradas adaptadas para ser medido <i>On-Waffer</i>		



Simulaciones			
Ganancia	15.910 dB	Figura de Ruido	3.127 dB
VSWR1	1.35	IIP3	-1.32 dBm
VSWR2	1.93	OIP3	14.59 dBm

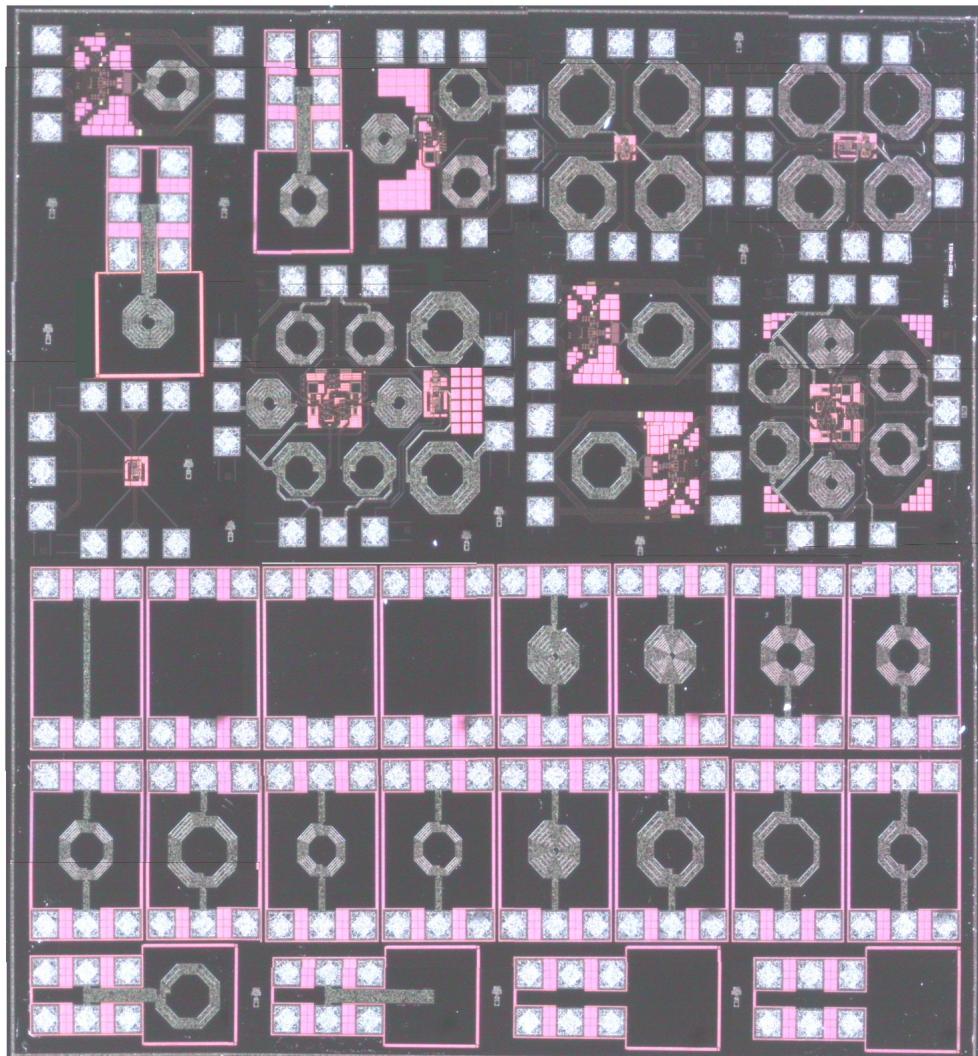
Datos Generales			
Proyecto	Diseño de un Amplificador de Bajo Ruido (LNA) en tecnología SiGe 0.35 μm para un receptor basado en el estándar IEEE 802.11a		
Autor	Jesús Rubén Pulido Medina	Fecha	Noviembre 2003
Circuito	Integración del LNA en una cadena de recepción		



Simulaciones			
Ganancia	54 dB	Figura de Ruido	5,93 dB
IIP3	-1,33 dBm	OIP3	57.58

Datos Generales

Proyecto	Diseño de un Amplificador de Bajo Ruido (LNA) en tecnología SiGe 0.35 μ m para un receptor basado en el estándar IEEE 802.11a		
Autor	Jesús Rubén Pulido Medina	Fecha	Noviembre 2003
Circuito	<i>Run de fabricación</i>		

Vista layout

Datos Generales			
Proyecto	Diseño de un Amplificador de Bajo Ruido (LNA) en tecnología SiGe 0.35 μ m para un receptor basado en el estándar IEEE 802.11a		
Autor	Jesús Rubén Pulido Medina	Fecha	Noviembre 2003
Circuito	Run de fabricación (comparativa de tamaño)		

