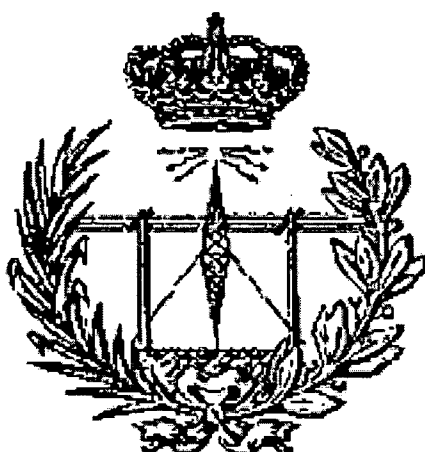


**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA TÉCNICA SUPERIOR DE
INGENIEROS DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

***Diseño de un amplificador de bajo ruido (LNA)
para el estándar inalámbrico UWB (IEEE
802.15.3a) en tecnología SiGe 0.35 μ m***

Titulación: Ingeniería Electrónica.

Autor: Jesús Rubén Pulido Medina.

**Tutores: Fco. Javier del Pino Suárez
Amaya Goñi Iturri.**

Fecha: Mayo 2007.

**UNIVERSIDAD DE LAS PALMAS DE GRAN
CANARIA**

**ESCUELA TÉCNICA SUPERIOR DE
INGENIEROS DE TELECOMUNICACIÓN**



PROYECTO FIN DE CARRERA

***Diseño de un amplificador de bajo ruido (LNA)
para el estándar inalámbrico UWB (IEEE
802.15.3a) en tecnología SiGe 0.35 μ m***

HOJA DE FIRMAS

Alumno/a

Firma manuscrita en azul de Jesús Rubén Pulido Medina.

Fdo.: Jesús Rubén Pulido Medina

Tutor/a

Firma manuscrita en azul de Fco. Javier del Pino Suárez.

Fdo.: Fco. Javier del Pino Suárez

Tutor/a

Firma manuscrita en azul de Amaya Goñi Iturri.

Fdo.: Amaya Goñi Iturri.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS DE TELECOMUNICACIÓN



PROYECTO FIN DE CARRERA

*Diseño de un amplificador de bajo ruido (LNA)
para el estándar inalámbrico UWB (IEEE
802.15.3a) en tecnología SiGe 0.35 μ m*

HOJA DE EVALUACIÓN

Calificación: Sobresaliente 10 (MH)

Presidente

Fdo.: Juan Antonio Montiel Nelson

Vocal

Fdo: Benito González Pérez

Secretario/a

Fdo.: Antonio Hernández Ballster



Agradecimientos

A los que me apoyaron, gracias por su altruismo y confianza. A los que no lo hicieron, gracias por ayudarme a no rendirme.

Índice

1. Introducción	1
1.1 Objetivos	5
1.2 Estructura de la memoria	5
1.3 Peticionario	6
2. Estándar IEEE 802.15.3a	7
2.1 Características de los sistemas de RF	8
2.1.1 Ganancia (G)	8
2.1.2 Ruido	8
2.1.2.1 Tipos de ruido en circuitos integrados	9
2.1.2.2 Fuentes de ruido en circuitos integrados de RF	11
2.1.2.3 Figura de ruido (NF)	13
2.1.3 Punto de Intercepción de Tercer orden (IP3)	14
2.1.4 Coeficiente de onda estacionario (VSWR)	17
2.2 Estándar IEEE 802.15.3a	17
2.2.1 Canalización	18
2.2.2 Desafíos en el diseño de MB-OFDM	20
2.3 Especificaciones del receptor para UWB	21
2.3.1 Panorama de interferencia	21
2.3.2 Sensibilidad	22
2.3.3 Requisitos de linealidad	22
2.3.4 Requisitos de ruido	23
2.3.5 Requisitos del filtro	23
2.3.6 Requisitos del sintetizador	24
2.3.7 Especificaciones del receptor propuesto	25
2.4 Resumen	25
3. Características de los LNAs	27
3.1 Topologías de LNA	28
3.1.1 Amplificador en configuración emisor común	28
3.1.1 LNA de dos etapas	33

3.1.3 LNA con realimentación negativa por transformador	34
3.1.4 Configuración en base común	35
3.1.5 LNA Cascado (Single_Ended)	36
3.2 Consideraciones de Ultra Banda Ancha	38
3.3 Adaptación de Ultra banda Ancha	43
3.4 Resumen	50
4. Estudio de la Tecnología	51
4.1 Resistencias	52
4.1.1 Construcción	52
4.1.2 Resistencias en la tecnología S35D4 de AMS	53
4.2 Condensadores	56
4.2.1 Construcción	56
4.2.2 Condensadores en la tecnología S35D4 de AMS	56
4.3 Bobinas	59
4.3.1 Construcción	59
4.3.2 Funcionamiento	59
4.3.3 Modelo de la bobina	61
4.3.4 Bobinas en la tecnología S35D4 de AMS	62
4.4 El Transistor MOSFET	64
4.4.1 Construcción	64
4.4.2 Funcionamiento	64
4.4.3 Modelo de Baja Frecuencia	67
4.4.4 Modelo de Alta Frecuencia	68
4.4.5 Transistores MOSFET en la tecnología S35D4 de AMS	70
4.5 HBTs de SIGE	73
4.5.1 Construcción	73
4.5.2 Funcionamiento	73
4.5.3 Modelo de Baja Frecuencia	77
4.5.4 Modelo de Alta Frecuencia	78
4.5.5 HBTs en la tecnología S35D4 de AMS	79
4.6 Resumen	81

5. Diseño a nivel de esquemático	83
5.1 Especificaciones	84
5.2 Flujo de diseño	84
5.2.1 Polarización óptima de los transistores	85
5.2.1 Configuración apropiada del LNA	88
5.2.2.1 Etapas de polarización	88
5.2.2.1.1 Etapa con doble fuente de corriente	88
5.2.2.1.1 Etapa con fuente de corriente y divisor resistivo	90
5.2.2.1.1 Etapa con doble divisor resistivo	91
5.2.2.2 Polarización elegida	93
5.2.3 Adaptación de entrada y salida	94
5.2.4 Estudios paramétricos	102
5.2.5 Resultados	105
5.2.5.1 Valores de componentes	106
5.3 Resumen	107
6. Diseño a nivel de layout	109
6.1 Proceso de diseño	110
6.2 Layout del LNA	111
6.3 Simulación post-layout con CADENCE	113
6.4 Resumen	115
7. Medidas	117
7.1 <i>Set-up</i> de medidas	118
7.2 Resultados	121
7.3 Resumen	123
8. Conclusiones	125
8.1 Estudio comparado	126
8.2 Conclusiones	128

Presupuesto	131
Bibliografía	137
Anexo	143

Capítulo 1

Introducción

En la actualidad las redes inalámbricas (*wireless*) van desde redes de voz y datos globales, que permiten a los usuarios establecer comunicaciones a través de largas distancias, hasta las tecnologías de luz infrarroja y radiofrecuencia que están optimizadas para conexiones inalámbricas a distancias cortas. Entre los dispositivos comúnmente utilizados para esta interconexión se encuentran los equipos portátiles, equipos de escritorio, asistentes digitales personales (*PDA*), teléfonos móviles, localizadores, etc.

Las tecnologías inalámbricas tienen muchos usos prácticos. Por ejemplo, los usuarios de móviles pueden usar su teléfono móvil para tener acceso al correo electrónico. Las personas que viajan con equipos portátiles pueden conectarse a Internet a través de estaciones base instaladas en aeropuertos, estaciones de ferrocarril y otros lugares públicos. En casa, los usuarios pueden conectar dispositivos a su equipo de escritorio para sincronizar datos, transferir archivos, etc.

Las redes *wireless* se pueden dividir en dos grupos: las fijas y las móviles. Las redes inalámbricas fijas son aquellas en las que tanto el emisor como el receptor están situados en enclaves físicos permanentes, mientras que las redes inalámbricas móviles son aquellas en las que no existe esta restricción, al menos en parte de los equipos que intervienen en la comunicación.

Dentro de las redes inalámbricas fijas nos podemos encontrar con:

- *MMDS (Multichannel Multipoint Distribution Service).*
- *LMDS (Local Multipoint Distribution Service).*
- Microondas punto a punto
- Enlaces ópticos

Las redes inalámbricas móviles se pueden clasificar en diferentes tipos en función de las distancias a través de las que se pueden transmitir los datos:

- Redes inalámbricas de área extensa (*WWAN*)
- Redes inalámbricas de área metropolitana (*WMAN*)
- Redes inalámbricas de área local (*WLAN*)
- Redes inalámbricas de área personal (*WPAN*)

Las *WWAN* permiten a los usuarios establecer conexiones inalámbricas a través de redes remotas públicas o privadas. Estas conexiones pueden mantenerse a través de áreas geográficas extensas, como ciudades o países, mediante el uso de antenas en varias ubicaciones o sistemas satélite que mantienen los proveedores de servicios inalámbricos.

Las tecnologías *WMAN* permiten a los usuarios establecer conexiones *wireless* entre varias ubicaciones dentro de un área metropolitana (por ejemplo, entre varios edificios de oficinas de una ciudad o en un campus universitario), sin el alto coste que supone la instalación de cables de fibra o cobre y el alquiler de las líneas. Además, *WMAN* puede servir como copia de seguridad para las redes con cable, en caso de que las líneas alquiladas principales para las redes con cable no estén disponibles.

Las *WLAN* permiten a los usuarios establecer conexiones inalámbricas dentro de un área local (por ejemplo, un edificio corporativo o campus empresarial, o en un espacio público

como un aeropuerto). Las *WLAN* se pueden utilizar en oficinas temporales u otros espacios donde la instalación de cableado sería prohibitiva, o para complementar una *LAN* existente. En las *WLAN* de infraestructura, las estaciones *wireless* (dispositivos con radiotarjetas de red o módems externos) se conectan a puntos de acceso inalámbrico que funcionan como puentes entre las estaciones y la red troncal existente. En las *WLAN* de igual a igual (*ad hoc*), varios usuarios dentro de un área limitada, como una sala de conferencias, pueden formar una red temporal sin utilizar puntos de acceso, si no necesitan obtener acceso a recursos de red.

Las tecnologías *WPAN* permiten a los usuarios establecer comunicaciones inalámbricas *ad hoc* para dispositivos (como *PDA*, teléfonos móviles y equipos portátiles) que se utilizan dentro de un espacio operativo personal (*POS*). Un *POS* es el espacio que rodea a una persona, hasta una distancia de 10 metros.

En la figura 1.1 se muestra una gráfica que enfrenta la movilidad con la tasa binaria de las redes inalámbricas.

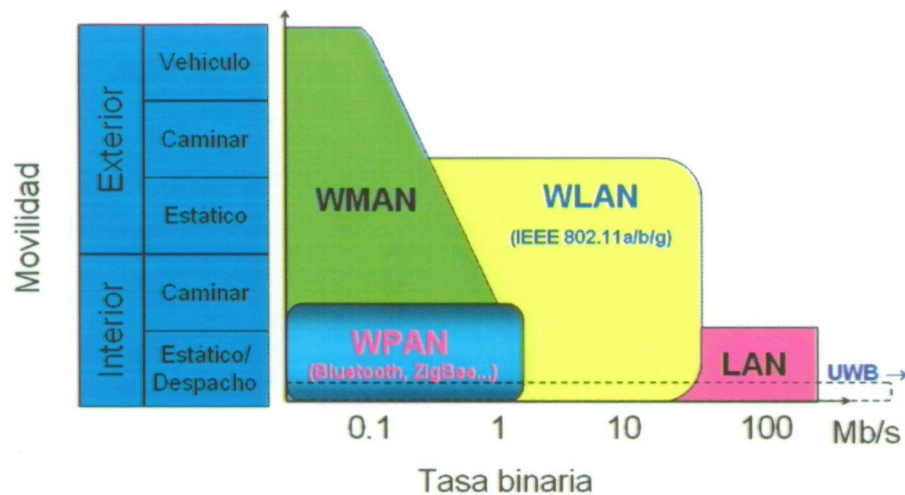


Figura 1.1 Redes inalámbricas: Movilidad frente a la tasa binaria.

Actualmente el mercado demanda tecnologías *WPAN* con velocidades similares a las ofrecidas por las tecnologías de conexión física [23], que ofrezcan por ejemplo transmisiones de video de alta definición en tiempo real. Hasta el momento *Bluetooth* era la tecnología dominante en el mercado debido a sus ventajas. Dispone de un protocolo de comunicaciones de área personal que integra a una amplia variedad de dispositivos, y permite una rápida interconexión y facilidad de uso de tecnologías de diversos fabricantes. Hasta la fecha ésta sigue siendo la principal ventaja de *Bluetooth* sobre otras tecnologías. En el aspecto técnico, *Bluetooth* opera en la

llamada banda de aplicaciones industriales, científicas y médicas (*ISM*), con una frecuencia de 2.45 GHz, dividiendo esta banda en 79 canales de 1 MHz. En cuanto a la velocidad de transmisión, este protocolo permite transmisiones de hasta 2.1 Mbps, en su versión 2.0 [27].

Esta velocidad de transmisión es suficiente para muchas aplicaciones, sin embargo, no lo es para lo que actualmente demanda el mercado. De aquí surge la tecnología *UWB* (*Ultra Wide Band*, ultra banda ancha), la cual tiene un ancho de banda de 3.1-10.6 GHz y velocidades de transmisión de hasta 400-500 Mbps [17], [18].

Existen dos grandes métodos para la generación de las señales de *UWB*:

- *IR-UWB* (*Impulse Radio-UWB*): en este caso se utiliza señales de radio de pulsos cortos del orden de picosegundos en banda base, las cuales se transmiten sin una portadora que lo sustente.
- *CB-UWB* (*Carrier Based-UWB*): el segundo método de generación de señales de *UWB* es a través de técnicas con portadora (*DSSS* del inglés *Direct Sequence Spread Spectrum* o *FHSS* del inglés *Frequency Hopping Spread Spectrum*), técnicas de multi-portadora (*OFDM* del inglés *Orthogonal Frequency Division Multiplexing*) o la combinación de ambos. La *FCC* (*Federal Communications Commission*) indicó que los sistemas *UWB* para propósitos comerciales, tales como 802.15.3a, se basarán probablemente en *CB-UWB* [17].

Se han hecho varias propuestas para el estándar 802.15.3a, pero nosotros nos centraremos en la propuesta por la *MBOA* (*Multiband OFDM Alliance*) [18]. La *MBOA* dividió el espectro de 3 a 10 GHz, en bandas de 528 MHz empleando *OFDM* en cada banda. Los datos son modulados en *QPSK-OFDM* 128, permitiendo tasas de datos de 53.3 Mb/s a 480 Mb/s (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mb/s).

En la figura 1.2 se muestra el esquema de un transmisor-receptor para *UWB* basado en este estándar. Como se muestra, la parte del receptor está compuesta por diferentes bloques de entre los que destaca el amplificador de bajo nivel de ruido (*LNA*, *Low Noise Amplifier*) por ser el primer elemento activo con el que se encuentra la señal. Este proyecto en sí, trata del diseño de dicho amplificador.

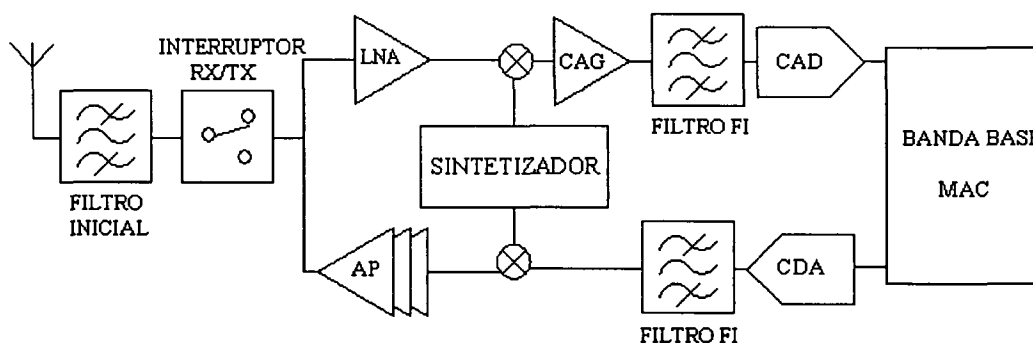


Figura 1.2 Esquema de un transmisor-receptor para UWB.

1.1 Objetivos

El objetivo principal de este proyecto es el diseño de un *LNA* de ultra banda ancha con transistores bipolares para un receptor de *UWB* (estándar 802.15.3a). Para ello se hará uso de la tecnología SiGe 0.35 μm suministrada por la empresa *AMS* (*Austria Micro System*)[1]-[2].

Dicho amplificador forma parte de una línea de investigación de más envergadura “*WTreless Technologies for small area Networks with Embedded Security and Safety WTTNESS*” en la que se desarrollan varios proyectos encaminados a estudiar las posibilidades de integración de terminales inalámbricos basados en los estándares de última generación, así como las aplicaciones de las mismas.

En el siguiente apartado daremos una visión general de la estructura de la memoria así como un resumen del desarrollo del proyecto.

1.2 Estructura de la memoria

En este primer capítulo se han presentado las principales redes inalámbricas, centrándonos en las *WPANs*. Se ha visto qué motiva la aparición de *UWB* y las distintas propuestas para su estándar. Por último, se ha fijado los objetivos del proyecto.

En el capítulo 2 abordaremos el estudio de las características del estándar *IEEE 802.15.3a*. Se comenzará con una explicación general de las características comunes a cualquier sistema de radiofrecuencia (*RF*). A continuación, se estudiará en detalle los aspectos más importantes del estándar. Este proyecto es parte de una cadena de recepción de *UWB*, por lo que se presentará finalmente la estructura general de dicho receptor.

En el capítulo 3 nos centraremos en las características de los *LNAs* de ultra banda ancha. Para ello primero estudiaremos las arquitecturas de LNA más comúnmente utilizadas, para posteriormente pasar a estudiar el amplificador cascode y finalmente abordar las estructuras de nuestros diseños.

En el capítulo 4 profundizaremos en el estudio de la tecnología *SiGe* de $0.35\ \mu\text{m}$ de *AMS*. Como parte de este estudio, se analizarán los componentes de dicha tecnología que forman parte de un *LNA*.

Una vez estudiada la tecnología, en el capítulo 5 nos centraremos en el diseño a nivel de esquemático. Para simularlo se utilizará el *software ADS (Advanced Design System)* [28].

En el capítulo 6 pasaremos a la implementación física de los diseños obtenidos en el capítulo anterior haciendo uso del *software Cadence* [25]. Una vez generados nuestros *layouts*, se realizan una serie de simulaciones *post-layout* para asegurar la correcta implementación de nuestro diseño.

El capítulo 7 nos centraremos en las medidas obtenidas del circuito diseñado una vez fabricado por la *foundry*. Para ello haremos uso de una comparativa entre los resultados obtenidos *post layout* y dichas medidas.

Finalmente, en el capítulo 8 se resumen las principales conclusiones y resultados obtenidos a raíz de este proyecto.

1.3 Peticionario

Actúa como petionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (*TME*) del Instituto Universitario de Microelectrónica Aplicada (*IUMA*).

Capítulo 2

Estándar IEEE 802.15.3a

En el capítulo anterior hemos visto una introducción general de cómo se ha desarrollado nuestro proyecto y se estableció el estándar sobre el que íbamos a trabajar. En nuestro caso se trata del denominado *IEEE 802.15.3a* propuesto por el *MBOA*.

En este capítulo analizaremos los parámetros característicos de este estándar, ya que protagonizan un importante papel dentro de nuestro estudio.

Para ello, comenzaremos con una introducción de las características de los sistemas de radiofrecuencia (RF) en general [7], [11]. Con esta información, nos encontraremos capacitados para desarrollar en profundidad el estándar *IEEE 802.15.3a*.

2.1 Características de los sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de RF, por esta razón serán de utilidad más adelante para el estudio del sistema donde irán incluidos nuestros amplificadores.

2.1.1 Ganancia (G)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación 2.1.

$$G = \frac{V_{salida}}{V_{entrada}} \quad (2.1)$$

Siendo su valor en decibelios el mostrado en la ecuación 2.2.

$$G(dB) = 20 \cdot \log \left(\frac{V_{salida}}{V_{entrada}} \right) \quad (2.2)$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante hablaremos de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S , más concretamente el parámetro S_{21} .

2.1.2 Ruido

El ruido se define como cualquier interferencia aleatoria no relacionada con la señal de interés. La inevitable presencia del ruido en un sistema de comunicación causa que la transmisión de señales eléctricas a través del mismo no sea segura. Hay muchas fuentes potenciales de ruido. Éstas pueden ser externas al sistema (ruido atmosférico, ruido galáctico,

ruido producido por el hombre) o propias del mismo sistema. En este apartado sólo se estudiará las fuentes de ruido generadas por el propio sistema.

El ruido interno está muy unido a los fenómenos físicos que caracterizan el comportamiento de los componentes de los circuitos empleados en RF. Estos fenómenos consisten en variaciones espontáneas de tensiones o corrientes causadas por la agitación temporal de las cargas en los conductores o por la estructura granular de dichas cargas. Por lo tanto, podemos deducir que el ruido producido por un circuito electrónico no puede ser eliminado por completo debido a que es intrínseco al propio funcionamiento del circuito. Sin embargo, si es posible minimizar sus efectos mediante un diseño adecuado del mismo.

2.1.2.1 Tipos de ruido en circuitos integrados

En este subapartado se explicará brevemente los tipos de ruido que se encuentran en los circuitos integrados, así como el motivo de su aparición.

Ruido Térmico

Es una perturbación de carácter aleatorio que aparece de forma natural en los conductores debido a la agitación térmica de los electrones. Los electrones de un conductor poseen distintos valores de energía debido a la temperatura del conductor. Las fluctuaciones de energía en torno al valor más probable son muy pequeñas pero suficientes para producir la agitación de las cargas dentro del conductor. Estas fluctuaciones de las cargas crean una diferencia de tensión que se mezcla con la señal transmitida por el conductor, produciendo interferencias en la misma y degradando la calidad de la señal.

Como la causa de este tipo de ruido es el movimiento térmico de los electrones, es lógico esperar que esté relacionado con la temperatura y de hecho aumenta directamente con la misma. La potencia media de ruido térmico está definida por la ecuación 2.3:

$$\eta = 4 \cdot K \cdot T \cdot \Delta f \quad (2.3)$$

Donde:

- η es la potencia media de ruido media medida en vatios.
- K es la constante de Boltzmann, $K = 1.381 \times 10^{-23} \text{ Jul/}^\circ \text{K}$.
- T es la temperatura absoluta.
- Δf es el ancho de banda de la señal.

Como se puede observar en la ecuación (2.3) el valor del ruido térmico también aumenta de forma proporcional con el ancho de banda de la señal. Las fuentes de ruido térmico más comunes en los circuitos integrados son las resistencias y los transistores MOS.

Ruido *Shot*

La base fundamental del ruido *Shot* es la naturaleza granular de la carga eléctrica. El ruido *Shot* se origina solamente cuando hay un flujo de corriente a través de una barrera de potencial y está asociado al mecanismo físico de salto de una barrera de potencial por un transporte de carga.

Estos procesos físicos asumen la existencia de un promedio de flujo de corriente que se manifiesta en forma de huecos y electrones fluyendo en los semiconductores. En particular, en un semiconductor, la causa de este ruido es la dispersión aleatoria de los electrones o a la recombinación aleatoria de los huecos. Como consecuencia, el ruido *Shot* dependerá de la carga del electrón, del valor medio de la corriente y, como en el ruido térmico, del ancho de banda. Este tipo de ruido está caracterizado, al igual que el ruido térmico, por una función de densidad gaussiana.

Ruido *Flicker*

Este tipo de ruido aparece en todos los dispositivos activos, así como en algunos elementos pasivos. Está caracterizado por una densidad espectral de potencia que aumenta cuando la frecuencia decrece. Por esta propiedad este ruido es muy diferente del ruido térmico y

del ruido *Shot*, aunque esté caracterizado también por una función de densidad de probabilidad gaussiana.

En los dispositivos electrónicos, la aparición del ruido *flicker* está más marcada en dispositivos que son sensibles a los fenómenos de superficie ya que los defectos e impurezas en la superficie del material del dispositivo pueden atrapar y liberar cargas aleatoriamente.

La corriente I generada por el ruido *flicker* presenta, en general, una densidad espectral de potencia como se muestra en la ecuación (2.4).

$$S_{i(f)} = K_1 \cdot \frac{I^a}{f^b} \quad (2.4)$$

Siendo:

- I el flujo de corriente directa del dispositivo.
- K_1 una constante particular para cada dispositivo.
- a una constante en el rango de 0.5 a 2.
- b una constante aproximada a la unidad.

Debemos considerar que al trabajar con circuitos de RF estamos tratando con altas frecuencias por lo que el ruido *flicker* no tiene un efecto considerable.

De todos los tipos de ruido que se han visto el más importante es el ruido térmico, ya que está directamente relacionado con el ancho de banda de la señal y con la temperatura a la que trabaja el dispositivo electrónico.

2.1.2.2 Fuentes de ruido en circuitos integrados de RF

El ruido que se genera en los circuitos integrados es debido a los componentes que han sido integrados en el mismo. Aunque las resistencias y los transistores MOS son las fuentes de ruido principales en los circuitos integrados, existen otros dispositivos que también añaden ruido. Estos dispositivos pueden ser los condensadores y las bobinas. Idealmente estos componentes de carácter reactivo no son ruidosos pero al integrarse aparecen una serie de efectos parásitos que si contribuyen a la aparición de algún tipo de ruido.

Ruido térmico en resistencias integradas

En una resistencia R el ruido térmico que se origina puede ser modelado por una fuente de tensión en serie con la resistencia con un valor cuadrático medio o por un generador de corriente en paralelo con R de valor cuadrático medio como se representa en la figura 2.1.

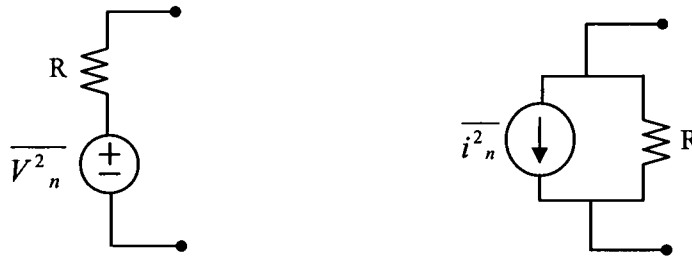


Figura 2.1 Fuentes de ruido equivalente en un resistencia.

La densidad espectral de potencia de la fuente de tensión serie y la del generador de corriente equivalente de ruido se muestra en las ecuaciones 2.5 y 2.6 respectivamente.

$$S_{v(f)} = 4 \cdot K \cdot T \cdot R \quad (2.5)$$

$$S_{i(f)} = \frac{4 \cdot K \cdot T}{R} \quad (2.6)$$

Como se puede observar en estas ecuaciones, la densidad espectral de potencia del ruido térmico es independiente de la frecuencia. Es decir, el ruido térmico generado por una resistencia a baja frecuencia es el mismo que el introducido a alta frecuencia.

El ruido térmico y en general todos los tipos de ruido que presentan esta característica se le conoce como ruido blanco.

El valor cuadrático medio de ruido para la fuente de tensión y para la fuente de corriente equivalente de ruido se representa en las ecuaciones 2.7 y 2.8 respectivamente.

$$\overline{V_n^2(t)} = 4 \cdot K \cdot T \cdot R \cdot \Delta f \quad (2.7)$$

$$\overline{i_n^2(t)} = 4 \cdot K \cdot T \cdot \frac{1}{R} \cdot \Delta f \quad (2.8)$$

De las ecuaciones anteriores se puede deducir que el valor del ruido térmico generado en una resistencia es directamente proporcional al ancho de banda de la señal.

2.1.2.3 Figura de ruido (NF)

En un amplificador de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. El factor de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. El factor de ruido se expresa como muestra la ecuación 2.12.

$$F = \frac{P_{N0}}{P_{Ni} \cdot G_A} \quad (2.12)$$

Donde:

- P_{N0} es la potencia total de ruido disponible a la salida del sistema.
- P_{Ni} es la potencia de ruido disponible en un ancho de banda B ,
 $P_{Ni} = k \cdot T \cdot B$ (k y T son respectivamente la constante de Boltzmann y la temperatura absoluta. B es el ancho de banda).
- G_A es la ganancia de potencia disponible definida como la relación entre la potencia de señal disponible a la salida (P_{so}) y la potencia de señal disponible a la entrada (P_{si}).

Sustituyendo G_A por dicha relación en la ecuación (2.12) obtenemos que el factor de ruido es el dado por la ecuación 2.13.

$$F = \frac{P_{Si}/P_{Ni}}{P_{S0}/P_{N0}} = \frac{SNR_i}{SNR_0} \quad (2.13)$$

Donde SNR_i y SNR_0 son las relaciones señal a ruido medidas a la entrada y a la salida respectivamente.

De esta forma, el factor de ruido es una medida de cuanto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_0$, independientemente del valor de la ganancia del mismo. Esto es debido a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por lo tanto, el factor de ruido de un circuito sin ruido es igual a 1 aunque por lo general el factor de ruido suele ser mayor que la unidad.

Para dos etapas en cascada el factor de ruido viene dado por la ecuación 2.14.

$$F = F_1 + \frac{F_2 - 1}{G_{A1}} \quad (2.14)$$

Donde:

- F_1 y F_2 son las figuras de ruido de ambas etapas por separado.
- G_{A1} es la ganancia de la primera etapa.

La ecuación (2.14) muestra que la primera etapa es la que más contribuye al ruido total ya que su factor de ruido se suma directamente a la del sistema y la de la segunda etapa es atenuada por la ganancia de la primera etapa. En consecuencia, la primera etapa de un sistema de radiofrecuencia (LNA) debe tener una baja figura de ruido y una alta ganancia.

Por último, cabe mencionar que el factor de ruido expresado en decibelios se denota como figura de ruido (NF).

2.1.3 Punto de Intercepción de Tercer orden (IP3)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la

salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1 \pm n\omega_2$ los cuales se producen por mezcla de los anteriores. A estos se les denomina productos de intermodulación (IM). Se define el orden de cada producto como la suma de $m+n$. Los productos de intermodulación se pueden dar referidos a la salida (OIM) o a la entrada (IIM) y se suelen expresar en dBm . Ambos valores están relacionados a través de la ganancia del circuito ($\text{OIM} = \text{IIM} + G \text{ dB}$). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1 - \omega_2$ y $2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la figura 2.5 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

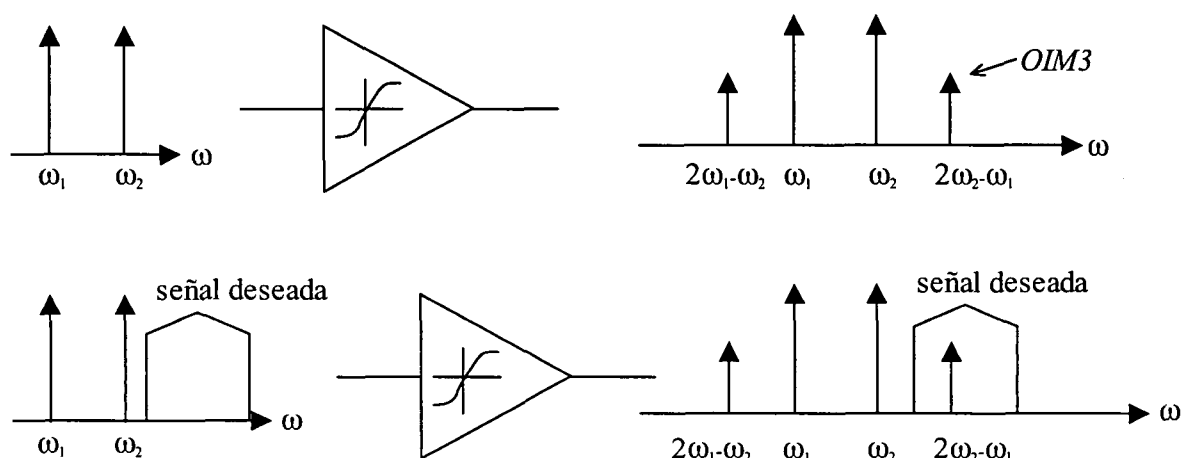


Figura 2.5 Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden $IP3$ (*third intercept point*) el cual se puede dar referido a la entrada ($IIP3$) o a la salida ($OIP3$). Por medio de la ecuación 2.15 se puede calcular el $IIP3$.

$$IIP3_{\text{dBm}} = \frac{\Delta P_{\text{dB}}}{2} + P_{in_{\text{dBm}}} \quad (2.15)$$

Donde:

P_{in} es la potencia de la señal interferente (tono).

- ΔP_{dB} es la diferencia de potencia entre la señal interferente y el IIM3.

En la Figura 2.6 se muestra la interpretación gráfica de ambas cantidades así como del $IP3$. Para determinar gráficamente el $IP3$ se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel RF a la entrada. El $IP3$ es la intersección extrapolada de esas dos curvas. En general cuanto mayor sea el $IP3$ más lineal será nuestro circuito.

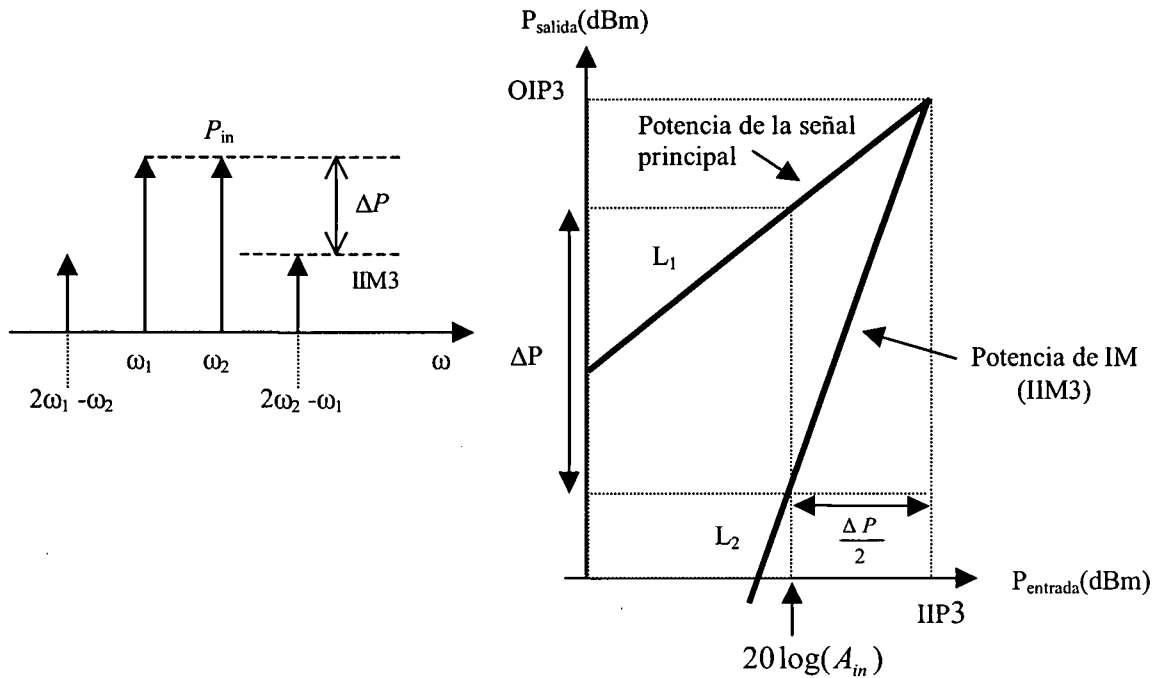


Figura 2.6 Medida del $IP3$ referido a la entrada.

Así, el $IIP3$ se puede determinar a partir de la ecuación 2.15 como se muestra en la ecuación 2.16.

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \quad (2.16)$$

El $IIM3$ viene dado por la ecuación 2.17.

$$\begin{aligned} IIM3_{dBm} &= Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \\ IIM3_{dBm} &= 3Pin_{dBm} - 2IIP3_{dBm} \end{aligned} \quad (2.17)$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del $IM3$ presenta el inconveniente que debe ser especificada la potencia de entrada. Con el $IP3$ se salva este problema. El $IIM3$ y el $OIM3$ son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el $IIP3$ y el $OIP3$ son medidas relativas a los valores de los tonos de test utilizados. De esta forma, haciendo uso del $IIP3$ o el $OIP3$ podemos comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello son la forma más habitual de caracterizar los efectos de la intermodulación.

2.1.4 Coeficiente de onda estacionario (VSWR)

Está relacionado con el coeficiente de reflexión (Γ_L , relación entre la onda incidente y la reflejada) según la ecuación (2.18) e indica una medida cuantitativa de la adaptación del circuito a la entrada ($VSWR1$) o a la salida ($VSWR2$). En la ecuación 2.18, Z_0 es la impedancia característica de la línea de transmisión y Z_L es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un $VSWR$ de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (2.18)$$

2.2 Estándar IEEE 802.15.3a

En 2002, la FCC (*Federal Communications Commission*) con el informe 02-48 establece el reglamento para UWB. La FCC aprueba el sistema de UWB para un rango de frecuencias de 3.1-10.6 GHz [17] [8]. Para definir un dispositivo como de UWB, éste debe tener un ancho de banda fraccional de 0.2 u ocupar 0.5 GHz, según la ecuación 2.19.

$$BW_{\text{Fraccional}} = \frac{2(f_s - f_i)}{f_s + f_i} \quad (2.19)$$

Donde f_s es la frecuencia superior y f_i la frecuencia inferior a 10 dB.

Basándose en esta asignación, *UWB* no se considera como una tecnología sino un espectro libre para su uso. La *FCC* propuso para su comercialización de usos civiles las siguientes aplicaciones:

- Sistemas de proyección de imagen, médicos y de vigilancia.
- Radares de vehículos.
- Sistemas de comunicaciones y de medidas.

Un inconveniente importante es que *UWB* tiene que coexistir con un nivel de interferencias relativamente alto debido a los dispositivos de 2.4 GHz y de 5 GHz de las bandas *ISM*.

2.2.1 Canalización

Como parte del *IEEE 802.15*, la *MBOA (Multiband OFDM Alliance)* para el estándar de *UWB* dividió el espectro de 3 a 10 GHz, en bandas de 528 MHz empleando *OFDM* en cada banda. Los datos son modulados en QPSK-OFDM 128, permitiendo tasas de datos de 53.3 Mb/s a 480 Mb/s (53.3, 55, 80, 106.67, 110, 160, 200, 320 y 480 Mb/s) [18].

En la figura 2.7 se muestra como se definió en 5 grupos de bandas. El primer grupo de bandas es utilizado para la primera generación de dispositivos (*modo 1 de 3.1 a 4.9 GHz*). Los grupos de bandas del 2 al 5 son reservados para usarlos en el futuro.

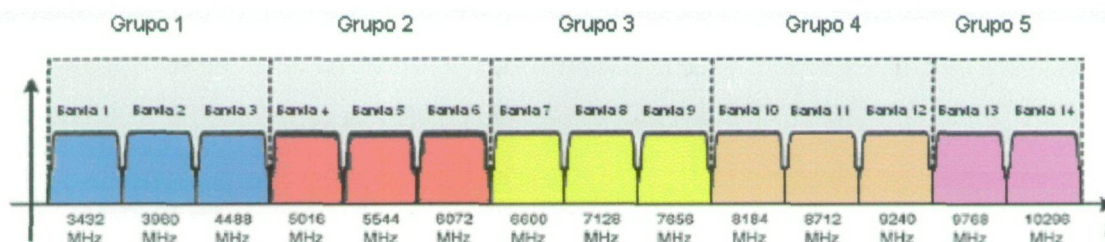
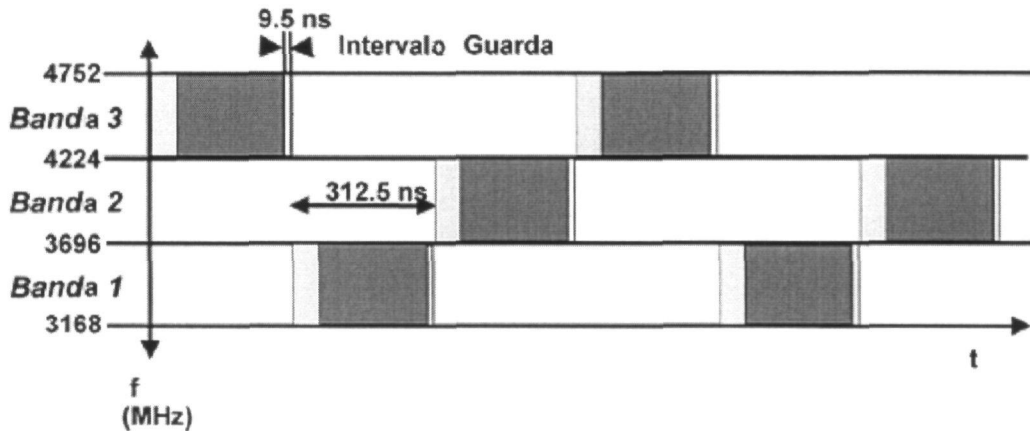


Figura 2.7 Bandas de frecuencia.

Usando únicamente las 3 bandas inferiores se puede usar un filtro pasobanda que reduce el nivel de interferencias de las bandas *ISM* de los 5 GHz.

Para proporcionar robustez frente a la multitrayectoria y a las interferencias se utiliza la técnica de *frequency hopping* (saltos de frecuencia) entre las bandas de cada grupo de bandas. El receptor debe tener por tanto una alta linealidad y un oscilador local de banda ancha con saltos de frecuencias de menos de 9.5 ns de duración. (ver figura 2.8).

Figura 2.8 *Frequency hopping*.

En la tabla 2.1 se muestra la distribución de frecuencias de cada grupo de bandas MB-OFDM.

Tabla 2.1 MB-OFDM plan de frecuencias

GRUPO DE BANDAS	Nº DE LAS BANDAS	FRECUENCIA INFERIOR	FRECUENCIA CENTRAL	FRECUENCIA SUPERIOR
1	1	3168 MHz	3432 MHz	3696 MHz
	2	3696 MHz	3960 MHz	4224 MHz
	3	4224 MHz	4488 MHz	4752 MHz
2	4	4752 MHz	5016 MHz	5280 MHz
	5	5280 MHz	5544 MHz	5808 MHz
	6	5808 MHz	6072 MHz	6336 MHz
3	7	6336 MHz	6600 MHz	6864 MHz
	8	6864 MHz	7128 MHz	7392 MHz
	9	7392 MHz	7656 MHz	7920 MHz
4	10	7920 MHz	8184 MHz	8448 MHz
	11	8448 MHz	8712 MHz	8976 MHz
	12	8976 MHz	9240 MHz	9504 MHz
5	13	9504 MHz	9768 MHz	10032 MHz
	14	10032 MHz	10296 MHz	10560 MHz

Frecuencia central de la banda = $2904 + 528 \times n_b$, $n_b = 1 \dots 14$ (MHz)

2.2.2 Desafíos en el diseño de MB-OFDM

Los receptores MB-OFDM comparado con los receptores de banda estrecha, tienen una serie de nuevos desafíos [19], [20], [21], los cuales se resumen en:

- Necesidad de una adaptación de la impedancia de entrada de banda ancha, de 3.1 a 10.6 GHz. Se necesita un LNA en el receptor capaz de proporcionar una figura de ruido razonablemente baja, una alta ganancia y un consumo de corriente bajo. Esto es muy difícil usando LNAs convencionales de banda estrecha o amplificadores realimentados resistivamente [15].
- Cuando estamos recibiendo en un canal, la señal de los otros canales entran en el receptor y aparecen señales bloqueantes. Como consecuencia, aparecen restricciones a la linealidad dentro de la banda.
- Necesita una mejor linealidad al coexistir con otras bandas de 3.4-10.3 GHz, esto no ocurriría con los receptores de banda estrecha. Por ejemplo, en los sistemas de banda estrecha la distorsión o la no linealidad debida a los armónicos de 2º orden no son importantes ya que están fuera de la banda. Sin embargo, en los receptores de UWB, la distorsión de 2º orden del canal 1 cae dentro del canal 5.
- Los receptores necesitan filtros para seleccionar los canales en banda base con un alto rechazo a la frecuencia de corte de 264 MHz. Es particularmente difícil realizar filtros activos con polos en este rango de frecuencias, y satisfacer rigurosamente el rango dinámico sin un elevado consumo de corriente.
- Los receptores necesitan un sintetizador de frecuencia de banda ancha ágil, para toda la banda 3.4 a 10.3 GHz.
- Los sistemas de banda ancha usan esquemas complejos de modulación. Debido a la aglomeración en la constelación se necesita una ganancia equilibrada entre los canales I y Q y eficiencia en las fases en cuadratura del oscilador local (LO).

- Al tener *UWB* un ancho de banda grande, los armónicos del *LO* pueden enviar algún canal no deseado de *UWB* a la *FI* (frecuencia imagen) e interferir el canal deseado.

2.3 Especificaciones del receptor para UWB-MBOA

Para alcanzar una solución de bajo coste, se requiere una alta integración de la arquitectura del receptor, con un mínimo número de componentes externos. En la figura 2.9 se muestra una arquitectura *zero-IF* (frecuencia intermedia nula) que satisface bien esta aplicación de *UWB*. Este esquema se ha puesto en práctica para aplicaciones radio de *UWB* recientemente publicadas [19], [20], [21]. La señal de la antena es filtrada por un filtro pasivo inicial, el cual reduce el nivel de las interferencias fuera de la banda. Lo siguiente es un *LNA* de ultra banda ancha y un mezclador en cuadratura que convierte a frecuencias intermedias nulas. El sintetizador proporciona las señales en cuadratura y los saltos de frecuencia del oscilador local. El filtro en banda base proporciona filtrados y ganancias variables. La señal en banda base es digitalizada por un conversor analógico digital (*ADC*), al cual lo sigue un procesador digital en banda base.

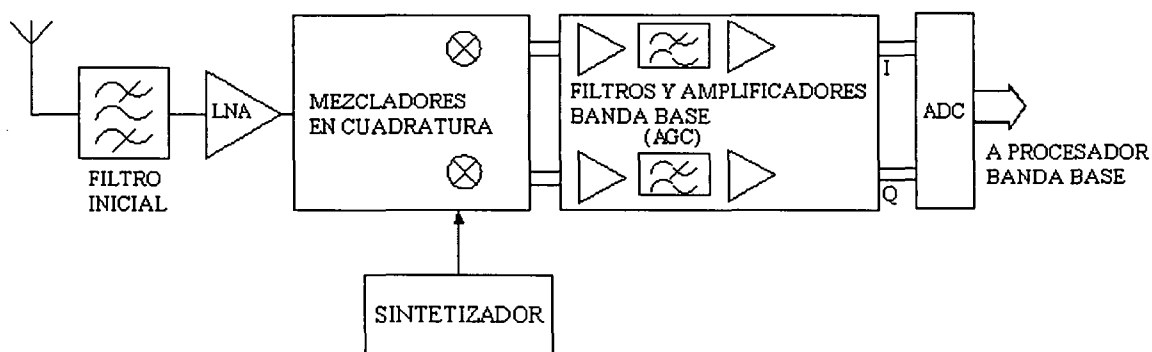


Figura 2.9 Receptor para UWB.

2.3.1 Panorama de interferencia

Por el corto alcance y la alta tasa de datos de los sistemas inalámbricos de *UWB* se integrará dentro de varios dispositivos incluidos: ordenadores, impresoras, *HDTV*s, cámaras digitales, grabadores de *DVD*, *PDA*, etc. Para que puedan coexistir junto a otras tecnologías inalámbricas como *WLAN 802.11* y *Bluetooth*, se necesita de un receptor robusto a las interferencias. Se ha propuesto como distancia máxima 10 metros, lo que quiere decir, que la

mínima potencia de la señal recibida será del orden de -74 dBm . A la hora de analizar la robustez de un sistema de *UWB* es necesario considerar varios tipos de interferencias: interferencias dentro de la banda, tales como *UWB* no deseadas, e interferencias fuera de la banda, como *WLAN* e interferencias de los móviles. Para demostrar que las interferencias pueden producir problemas de linealidad, se considera un caso típico en el que tenemos una señal interferente *IEEE 802.11.a* en la banda superior *UNII*. Con 30 dBm y 0.2 metros de distancia, la potencia recibida de esta interferencia puede alcanzar 5 dBm , aproximadamente 80 dB mayor que la potencia recibida de la señal de *UWB* deseada.

2.3.2 Sensibilidad

En la tabla 2.2 se muestra la sensibilidad mínima del receptor para las distintas tasas de datos disponibles. El PER (*packet error rate*, error en la tasa de paquetes) debe ser menor que el 8% con un *PSDU (PHY payload)* de 1024 bytes [18].

Tabla 2.2 Sensibilidad mínima para las diferentes tasas de datos

Tasa de datos (Mbps)	Sensibilidad mínima para el modo 1 (dBm)
53.3	-83.6
80	-81.6
110	-80.5
160	-78.6
200	-77.2
320	-75.5
400	-74.2
480	-72.6

2.3.3 Requisitos de linealidad

Los niveles de interferencias esperados determinan los requisitos de linealidad tanto de 2º orden como de 3º orden. La propuesta de estándar de *UWB* define un sistema con una figura de ruido de 6.6 dB , dando una potencia de ruido dentro de la banda de -80.2 dBm . Los criterios para definir las interferencias, asumen que el receptor está funcionando 6 dB por encima de la sensibilidad. Al sumarle estos 6 dB al margen, la potencia de ruido e interferencias máxima permitida es igual a -74.2 dBm . Siendo el nivel de interferencias permitido inferior -75 dBm .

Primero se considera el requisito de no linealidad de 2° orden, es decir, el *IIP2*. En el caso extremo se relaciona con el 2° tono, donde el producto de 2° orden cae dentro de la banda del receptor de RF, por ejemplo, la combinación de las interferencias de una primera señal *IEEE 802.11.a* a 0.2 metros y las interferencias de una segunda señal *PCS/GSM1900* a 1 metro de distancia. Asumiendo que la potencia recibida es de 30 *dBm* para ambos sistemas, el nivel de potencia de las interferencias recibidas es de -4 *dBm* y -8 *dBm* respectivamente. Por lo tanto, conduce a un requisito del *IIP2* de 20 *dBm*, teniendo en cuenta los 20 *dB* del filtro inicial. Para la no linealidad de 3° orden, el *IIP3*, la banda *ISM* de 5 *GHz* da lugar a 2 interferencias en el peor escenario. Si se asume que los dos tonos de las banda *ISM* de 5 *GHz* a 0.2 metros y 1 metro, y otra vez el nivel de interferencias del filtro inicial es de 20 *dB*, el nivel potencia de interferencias es del orden -24 *dBm* y -44 *dBm* respectivamente. Se obtiene un requisito del *IIP3* del orden de -9 *dBm*.

2.3.4 Requisitos de ruido

Dependiendo de la tasa de bit, la *MBOA* especifica una sensibilidad en la recepción que va de -84 *dBm* (para 55 *Mb/s*) a -73 *dBm* (para 480 *Mb/s*). Requiere una *SNR* de unos 8 *dB*, estas especificaciones se trasladan a una *NF* de 6-7 *dB*.

$$\text{Sensibilidad} = -174\text{dBm} + 10 \cdot \log(B) + NF + SNR$$

$$NF = 174\text{dBm} - 10 \cdot \log(B) - SNR - \text{Sensibilidad}$$

$$NF = 174\text{dBm} - 10 \cdot \log(528\text{MHz}) - 8\text{dB} - 73\text{dBm} = 6.13\text{dB}$$

(2.20)

Para un sistema de 3 bandas, la *MBOA* propone que la *NF* es igual a 6.6 *dB*, teniendo en cuenta que el filtro a la entrada tiene unas pérdidas reales de 2 *dB*, se necesita una *NF* de 4.6 *dB*.

2.3.5 Requisitos del filtro

El receptor debe tener un filtro inicial que elimine el ruido y las interferencias de fuera de la banda. Para el modo 1 la banda de paso del filtro inicial está entre 3168 *MHz* y 4752 *MHz*. La salida del filtro inicial es amplificada usando un *LNA*, a continuación se pasa a banda base usando una frecuencia central apropiada. La señal en banda base se filtra usando un filtro paso

bajo de 3º orden. En la tabla 2.3 se muestran las atenuaciones correspondientes al filtro inicial y al filtro en banda base.

Tabla 2.3 Atenuaciones del filtro inicial y del filtro en banda base

	Horno Micro ondas	Interferencias de Bluetooth & IEEE 802.15.1	Interferencias de IEEE 802.11b & IEEE 802.15.3	Interferencias de IEEE 802.11a	Interferencias de IEEE 802.15.4 (2.45GHz)
Mínima atenuación filtro banda base	35.4 dB	36.9 dB	36.9 dB	30.7 dB	35.6 dB
Atenuación del filtro inicial	35 dB	35 dB	35 dB	30 dB	35 dB

2.3.6 Requisitos del sintetizador

Como la señal tiene que cubrir las 3 bandas inferiores definidas en la *MBOA* y como se ha propuesto la arquitectura *zero-IF*, el sintetizador necesita proporcionar las frecuencias centrales de las bandas que se muestran en la tabla 2.1. En la propuesta del *MBOA*, el salto de frecuencias entre sub-bandas ocurre para cada símbolo con un periodo de 321.5 ns. Este periodo contiene un sufijo de 60.6 ns el cual es seguido por un intervalo de seguridad de 9.5 ns como se muestra en la tabla 2.4. El generador de frecuencias usado para la conmutación del mezclador, tanto para el emisor como para el receptor tiene que cambiar dentro de los 9.5 ns, para lograr la frecuencia de salto. La portadora generada debe tener una gran pureza ya que existen fuertes interferencias en la señal. Por ejemplo, operando en el modo 1 los tonos de 5 GHz deben de estar por debajo de 50 dBc para evitar en la recepción las fuertes interferencias de *WLAN* fuera de banda. Por esta misma razón, los tonos en el rango de 2 GHz deberían estar por debajo de 45 dBc para poder coexistir con los sistemas que operan en la banda *ISM* de 2.4 GHz, como por ejemplo 802.11 b/g y Bluetooth. Finalmente, para asegurar que la *SNR* del sistema no se degradará más de 0.1 dB debido a la generación del oscilador local, la especificación del ruido de fase del *VCO* se fija en 100 dBc/Hz a 1 MHz de desviación y el ruido de fase integrado total no debe exceder 3.5 grados rms [20], [21].

2.3.7 Especificaciones del receptor propuesto

En la siguiente tabla se muestran las especificaciones del receptor propuesto.

Tabla 2.4 Requisitos del receptor

Sensibilidad	-83.6 a -72.6 dBm
NF	6-7 dB
Ganancia de compresión a 1dB/IIP3	-18.56 dBm/-9 dBm
Ruido de fase	-100 dBc/Hz a 1 MHz
Ganancia tensión	84 dB
Total CAG	60 dB

2.4 Resumen

En este capítulo hemos visto las principales características de los sistemas de RF. Igualmente, hemos dado una descripción detallada del estándar *IEEE 802.15.3a* propuesto por la *MBOA*. Tras analizar los principales desafíos del diseño del receptor, se ha estudiado la arquitectura *zero-IF*, la cual es altamente integrable. Además, para esta arquitectura se ha especificado el panorama de interferencias, sensibilidad, linealidad, figura de ruido y los requisitos del sintetizador y de los filtros.

En el siguiente capítulo veremos las principales características del dispositivo en torno al cual gira nuestro proyecto, un LNA para UWB.

Capítulo 3

Características de los LNAs

En el capítulo anterior hemos visto las principales características de los sistemas de RF. Igualmente, se ha dado una descripción detallada del estándar *IEEE 802.15.3a*.

Hay pocos ejemplos de desarrollo de amplificadores de banda ancha para alta frecuencia que empleen transistores de silicio, en particular en tecnología *SiGe*. La solución empleada suele ser amplificadores distribuidos [22], lo cuales requieren altos niveles de consumo y no se optimizan para el ruido. En este capítulo se estudiarán las estructuras de LNAs más comúnmente utilizadas para banda estrecha. A partir de dichas estructuras se desarrollará nuestro diseño de banda ancha.

3.1 Topologías de LNA

3.1.1 Amplificador en configuración emisor común

La configuración más básica de LNA es la denominada como emisor-común, tal y como se ve en la Figura 3.1.

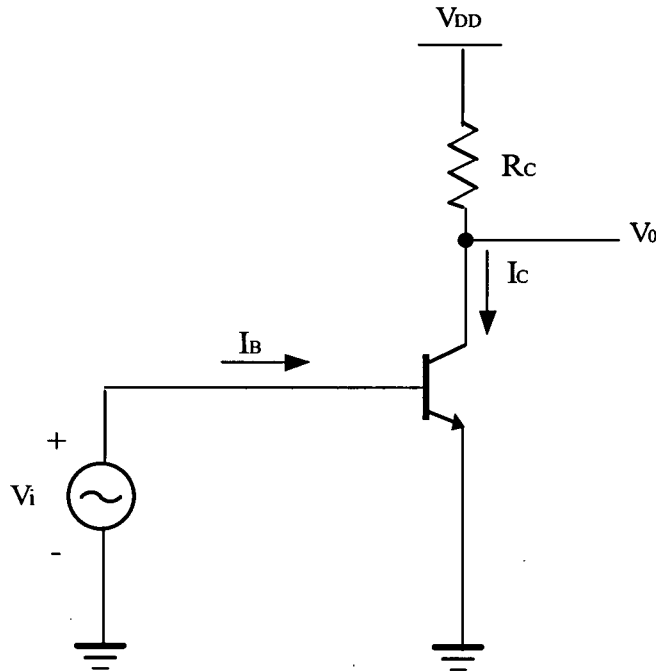


Figura 3.1 Amplificador en configuración emisor común.

Si aplicamos una corriente de polarización I_B , la ganancia de tensión aproximada de este amplificador está dada por la ecuación (3.1):

$$A_{VS} = \frac{V_o}{V_i} \approx -\frac{R_C}{r'_e} \quad (3.1)$$

Como ya comentamos en anteriores capítulos, la contribución de ruido de un LNA debe ser la menor posible, por lo que el diseño de todos sus componentes y de la etapa de polarización debe seguir una metodología apropiada para minimizarlo [4], [5], [6], [11].

En la figura 3.2 podemos observar nuestro amplificador emisor común con el circuito de polarización comúnmente empleado en RF. En ella se puede apreciar que Q_2 e I_{BIAS} generan la corriente de alimentación del transistor Q_1 . La resistencia R_1 aísla la señal entrante de RF del ruido generado por Q_2 . Por otro lado, la resistencia R_2 mantiene la misma caída de voltaje que R_1 , dando por resultado una corriente de base fija y finita en Q_1 .

Si R_1 es suficientemente más grande que R_s , el efecto del circuito de polarización puede despreciarse sobre el funcionamiento del LNA. De acuerdo con esta premisa, podemos hacer un estudio del ruido que afecta a nuestro amplificador. Para ello, nos basaremos en el esquema mostrado en las Figuras 3.3a y 3.3b.

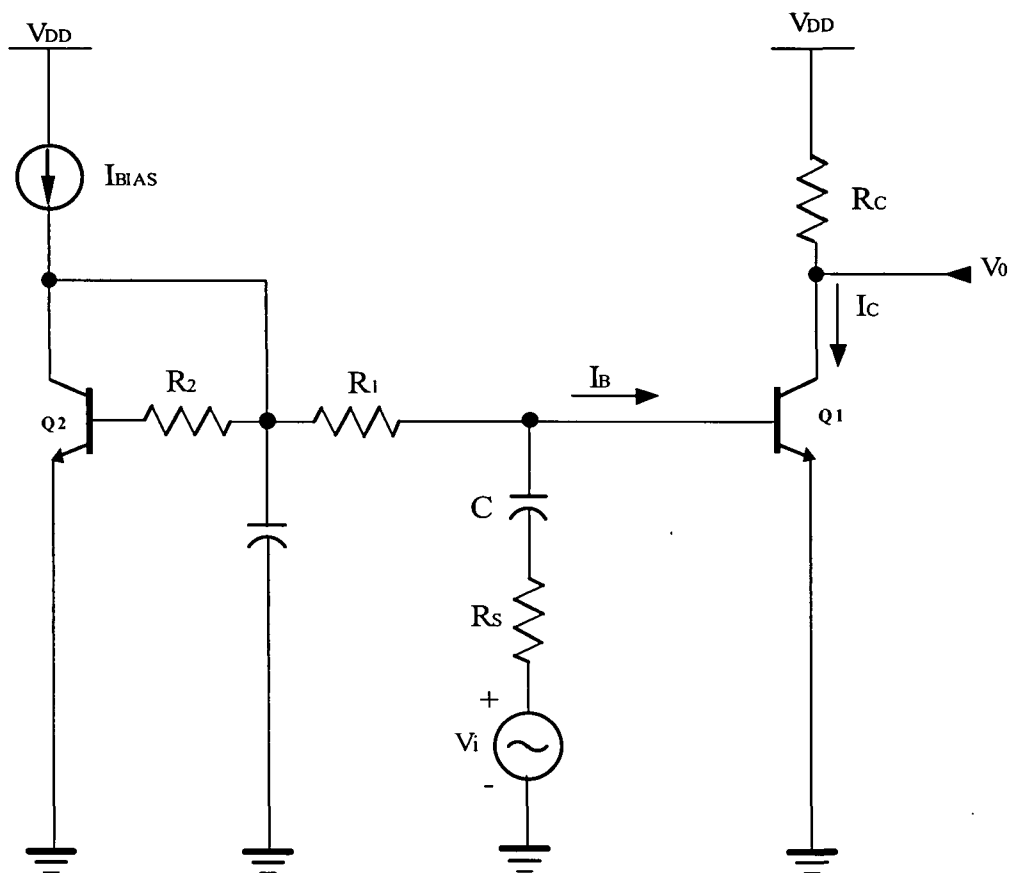


Figura 3.2 LNA en configuración emisor común con circuito de polarización.

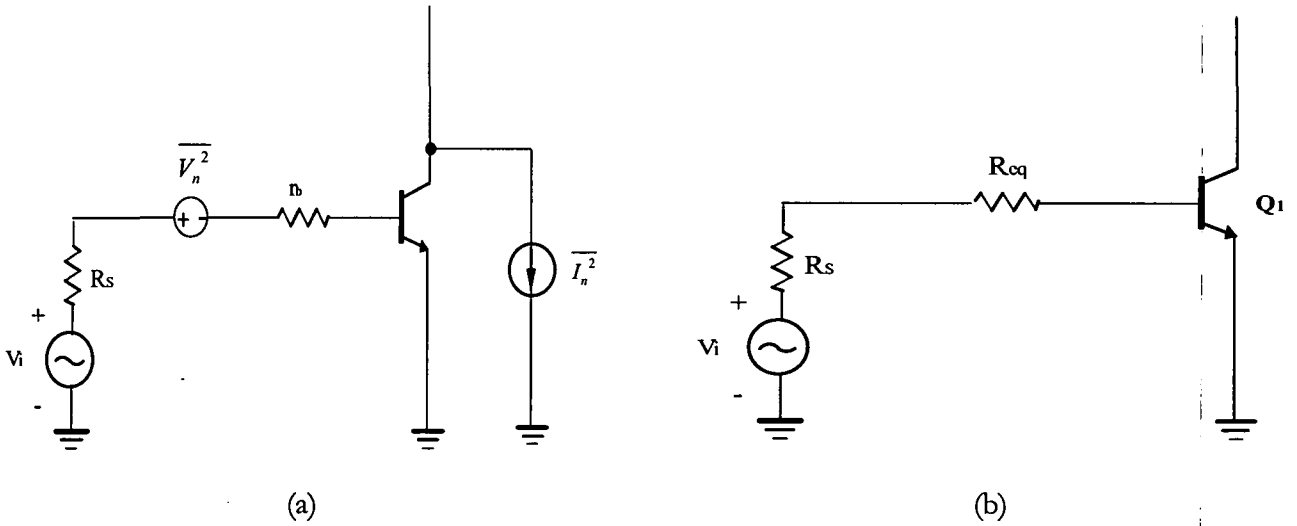


Figura 3.3 a) Modelo exhaustivo del ruido a la entrada del circuito.

b) Modelo equivalente.

Se puede apreciar (véase Fig. 3.3b) que el ruido existente a la entrada de nuestro amplificador lo hemos sustituido por una resistencia serie R_{eq} , despreciando capacidades parásitas y otras resistencias.

Con esto, podemos ver que la NF del LNA viene dada por la expresión 3.2.

$$NF = 1 + \frac{R_{eq}}{R_s} \quad (3.2)$$

De la misma manera, podemos definir el nivel de ruido mediante una fuente de tensión $(\overline{V_n^2})$ referida a la entrada como:

$$\begin{aligned} \overline{V_n^2} &= 4kT \left(r_b + \frac{1}{2g_m} \right) \\ \overline{V_n^2} &= 4kT \left(r_b + \frac{V_T}{2I_C} \right) \end{aligned} \quad (3.3)$$

Donde T es la temperatura, g_m es la ganancia de transconductancia del transistor, V_T es la tensión térmica (25mV para $T=25^\circ\text{C}$) e I_C la corriente de colector. Observando las ecuaciones 3.2 y 3.3 se comprueba la relación dada por la ecuación 3.4.

Se aprecia que para reducir la resistencia equivalente (R_{eq}) y por tanto el ruido, el transistor Q_1 debe tener un tamaño grande (r_b pequeña). Además, si la corriente de colector es elevada, reduciremos aún más la R_{eq} .

$$R_{eq} = r_b + \frac{V_T}{2I_C} \quad (3.4)$$

Sin embargo, el aumentar el tamaño del transistor para reducir la r_b , trae una serie de desventajas. La primera viene dada por el aumento de la capacidad de entrada (tanto la C_{je} como la C_{jc}), lo que atenúa la señal entrante de RF. Además, dicha atenuación hace que el ruido introducido por Q_1 y R_C se haga más patente.

Otra desventaja añadida es debida a la existencia de grandes capacidades colector-base y colector-sustrato. Con estos dos impedimentos obtenemos una reducida ganancia de tensión y un incremento de la corriente de polarización para compensar esta pérdida. De aquí se obtiene una alta capacidad de difusión base-emisor, así como un alto ruido metralla de base (*base shot noise*).

Debido a estas dos características, la figura de ruido presenta un mínimo para un determinado tamaño de Q_1 y una determinada corriente de polarización.

Con objeto de obtener una estimación de la figura de ruido mínima y de para qué condiciones se da esta, el siguiente paso que daremos será añadir a nuestro modelo el ruido metralla de base, tal y como muestra la Figura 3.4. Con esto mejoraremos la precisión de la ecuación 3.3. De acuerdo con la mencionada figura, obtenemos la expresión 3.5.

$$\overline{I_n^2} = 4kT \frac{I_C / \beta}{2V_T} \quad (3.5)$$

Para una resistencia de fuente R_S , el ruido total referido a la entrada incluyendo la contribución de dicha resistencia es el dado por la ecuación 3.6

$$\overline{V_{tot}^2} = 4kT \left(R_S + r_b + \frac{1}{2g_m} + \frac{g_m R_S^2}{2\beta} \right) \quad (3.6)$$

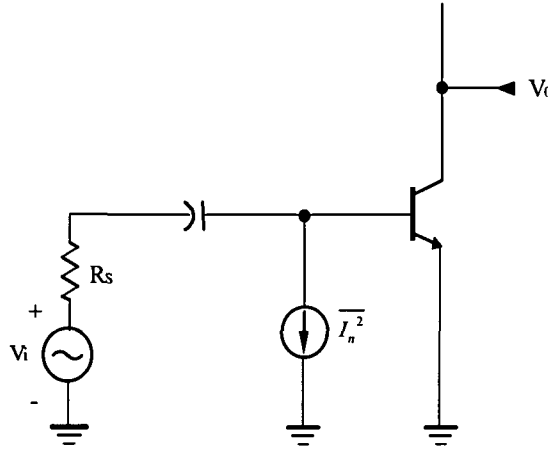


Figura 3.4 Modelo incluyendo el ruido metralla de la base.

donde la correlación entre el ruido de metralla del colector y el ruido de metralla de la base ha sido despreciada. La figura de ruido es por tanto igual a la expresión (3.7).

$$NF = \frac{V_{tot}^2}{4kTR_S} = 1 + \frac{r_b}{R_S} + \frac{1}{2g_m R_S} + \frac{g_m R_S}{2\beta} \quad (3.7)$$

Analizando esta expresión, obtenemos que: la figura de ruido alcanzará un mínimo para:

$$NF_{min} = 1 + \sqrt{\frac{1 + 2g_m r_b}{\beta}} \quad (3.8)$$

Siendo la R_S óptima:

$$R_{Sopt} = \sqrt{\frac{\beta(1 + 2g_m r_b)}{g_m}} \quad (3.9)$$

La ecuación 3.9 no tiene en cuenta el efecto de las capacidades parásitas. Sin embargo, una aproximación razonable a altas frecuencias consiste en dar a β el valor dado por la frecuencia de operación, es decir:

$$|\beta| \approx f_T / f \quad (3.10)$$

La relación obtenida para R_{Sopt} (ecuación 3.10) sugiere que una red de adaptación de impedancias entre la antena y el LNA puede proporcionar una mínima figura de ruido. Esto se consigue por la transformación de la impedancia de salida de la antena (R_S) a R_{Sopt} .

3.1.2 LNA de dos etapas

En la Figura 3.5 se muestra una topología de LNA basada en la anterior, es decir, el emisor común. En este caso está formada por dos etapas, una de ellas con degeneración inductiva. El uso de una bobina L_e nos permite adaptar la impedancia de entrada a un valor deseado, generalmente 50 Ω . Por otro lado, nos ayuda en la linealización del circuito, es decir, en obtener un IIP3 mayor.

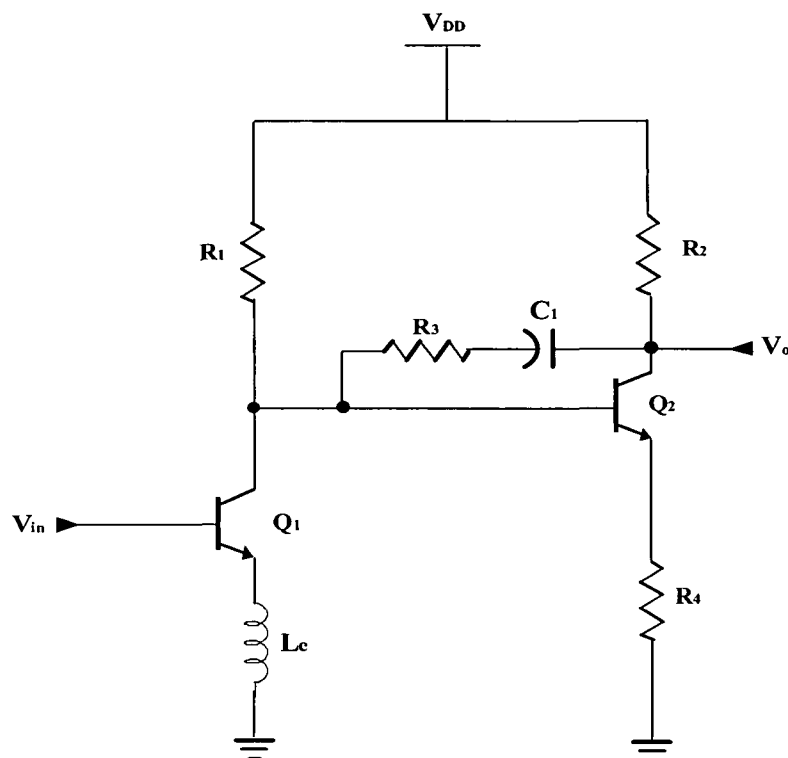


Figura 3.5 LNA de dos etapas.

Podemos escribir la impedancia de entrada del dispositivo tal y como muestra la expresión 3.11.

$$Z_{in} = r_b + \frac{g_m \cdot L_e}{C_\pi} + L_e s + \frac{1}{C_\pi \cdot s} \quad (3.11)$$

Donde C_π es la capacidad base-emisor. En la ecuación 3.11 hemos despreciado el efecto de C_μ (Capacidad de unión de colector) y R_π (Resistencia base-emisor) debido al pequeño valor que presentan.

Observando nuevamente la ecuación 3.11 se comprueba que con un valor determinado de r_b , g_m , L_e y C_π , podemos hacer que los dos primeros miembros de la ecuación sean igual a 50Ω . Igualmente, podemos hacer que los dos últimos miembros se anulen.

La realimentación en la segunda etapa es utilizada para linealizar el amplificador, así como para obtener una baja impedancia de salida. Sin embargo, esto se consigue introduciendo un alto nivel de ruido. La interacción entre las dos etapas es un ejemplo de un problema común: el nivel apropiado de ganancia de la primera etapa y el ruido y la no linealidad de la segunda. De aquí se deduce que la ganancia introducida por la primera etapa debe ser lo suficientemente grande para minimizar el ruido introducido por la segunda. Sin embargo, podemos empeorar la linealidad del circuito (IIP3), ya que está limitado por la contribución de Q_2 .

3.1.3 LNA con realimentación negativa por transformador

Otra topología empleada en el diseño de LNAs es la que se muestra en la Figura 3.6. En ella se puede observar que emplea realimentación negativa con un transformador integrado para linealizar el circuito. Con esta configuración el LNA puede operar con tensiones de alimentación inferiores a V_{BE} .

Como ya hemos comentado, el transformador ayuda a linealizar el circuito, ya sea a altas frecuencias como a bajas, así como a estabilizarlo. Sin embargo, esto lo logra reduciendo la ganancia del amplificador.

La adaptación a la entrada se logra con la red formada por la bobina L_1 y el condensador C_1 .

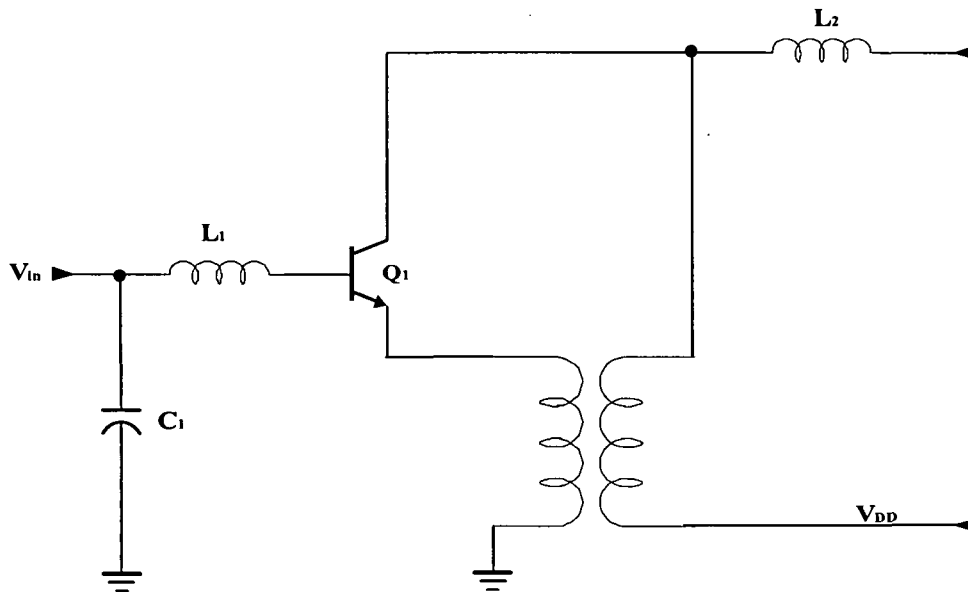


Figura 3.6 LNA con transformador.

3.1.4 Configuración en base común

Esta topología la podemos ver en la figura 3.7. Este circuito ofrece tres grandes ventajas con respecto a la configuración en emisor común: sencilla adaptación a la entrada, gran linealidad y elevado aislamiento inverso. Despreciando la resistencia de base y de emisor, podemos escribir la impedancia de entrada como:

$$Z_{in} = \frac{1}{g_m + C_{\pi} \cdot s} \quad (3.12)$$

Podemos hacer que la Z_{in} sea 50Ω simplemente con una $I_C = 0.5 \text{ mA}$. El efecto de C_{π} lo podemos eliminar con un inductor externo.

En esta topología, la resistencia de fuente R_s linealiza el funcionamiento del circuito. Esto lo logra reduciendo la excursión de corriente en el emisor. Aquí podemos ver que pasa lo

contrario a la configuración emisor común. Esto se debe a que en dicho circuito la resistencia R_s sólo afecta a variaciones de la corriente de base.

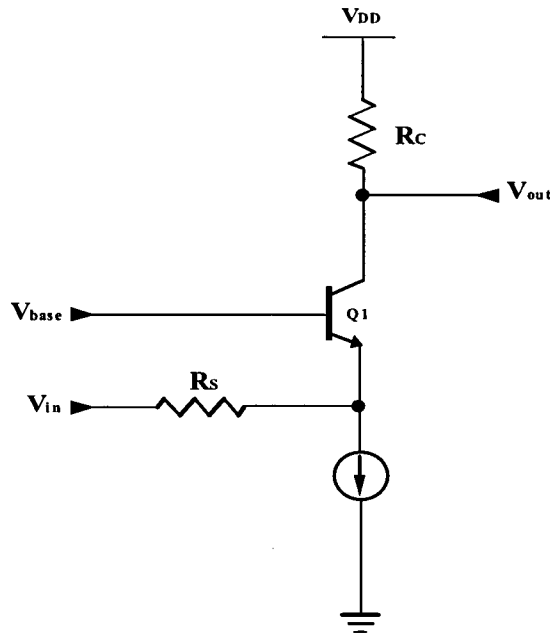


Figura 3.7 Configuración en base común.

Si logramos un nivel de corriente en la base adecuado, podemos obtener un gran aislamiento inverso. Esto se presenta como una opción interesante en sistemas que exijan esta característica, como los receptores homodinos.

A pesar de las ventajas anteriores, el principal problema que exhibe la configuración en base común, es la alta figura de ruido que ofrece.

3.1.5 LNA cascode (*Single-Ended*)

Basándose en las configuraciones anteriores, existen otras topologías que añaden diversos componentes para mejorar el rendimiento de los amplificadores.

Una de estas configuraciones es la denominada "LNA cascode", tal y como muestra la Figura 3.8.

Esta arquitectura está caracterizada por utilizar una configuración cascode. Esta consiste en añadir un transistor (Q_2) en configuración base común que nos permitirá aislar la salida de la entrada del circuito. Esto evitará posibles interacciones no deseadas. Otro de los beneficios que presenta es el de reducir la capacidad parásita del transistor Q_1 .

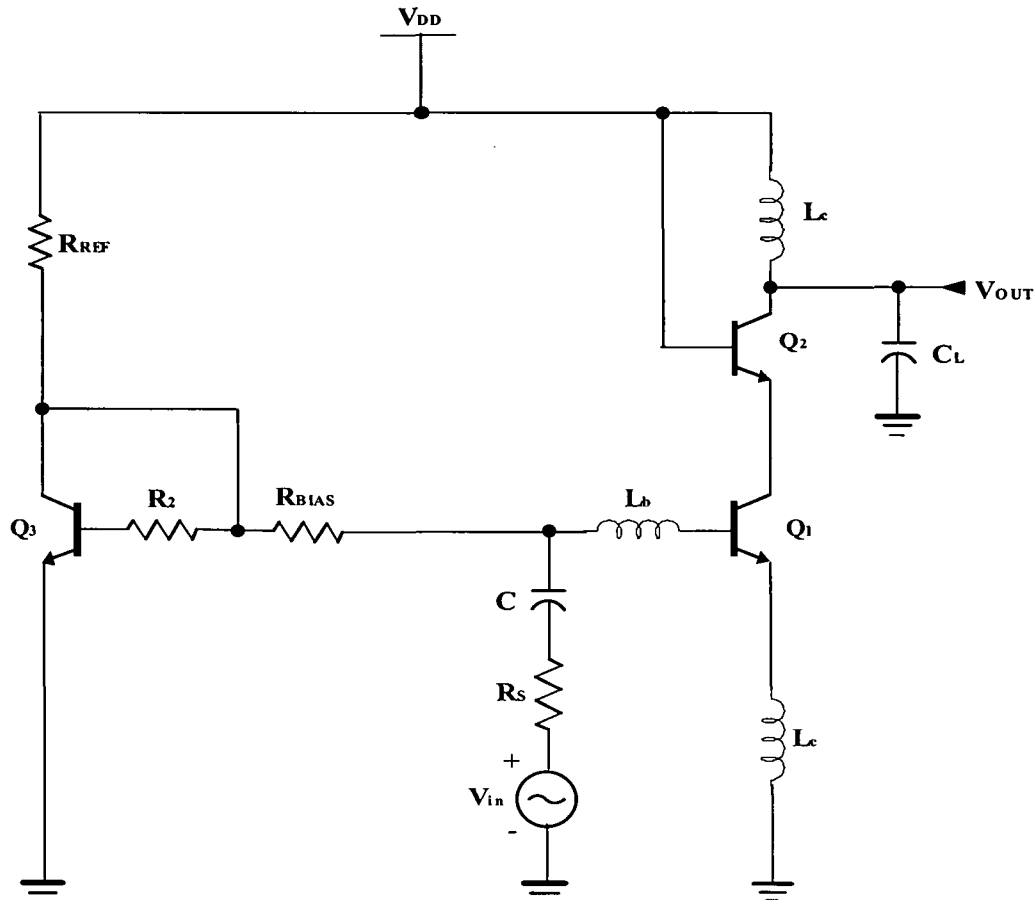


Figura 3.8 LNA Cascode (*Single-Ended*).

El transistor Q_3 forma una fuente de corriente con Q_1 y tiene una dimensión mucho menor que este último. Con esto logramos reducir el consumo de potencia del circuito. La corriente a través de Q_3 está fijada mediante la resistencia R_{REF} .

La resistencia R_{BIAS} debe ser lo suficientemente grande como para no afectar a la figura de ruido del amplificador. En sistemas donde se requiera una Z_{in} de 50Ω , valores de cientos de Ohms a KOhms son los adecuados para R_{BIAS} .



La bobina L_c y el condensador C_L forman parte de la carga y de la red de adaptación a la salida. Por último, la adaptación a la entrada lo logramos con las bobinas L_o y L_e .

3.2 Consideraciones de Ultra Banda Ancha

Como hemos podido comprobar a lo largo de capítulos anteriores, hay varias metas comunes en el diseño de LNAs para receptores inalámbricos. Estas incluyen una baja figura de ruido, una ganancia razonable con una linealidad suficiente, una adaptación de impedancias de 50Ω tanto a la entrada como a la salida, y un bajo consumo de potencia, algo vital en sistemas portátiles.

El satisfacer todas estas metas en el diseño de sistemas de UWB se torna especialmente difícil a causa del gran ancho de banda a cubrir comparado con otros receptores convencionales, tales como *Bluetooth* o *Wi-Fi*. Para demostrar esto, vamos a emplear unas estructuras de LNAs similares a las anteriormente estudiadas. Una de estas configuraciones se muestra en la Figura 3.9. Como podemos observar se trata de un amplificador con realimentación resistiva.

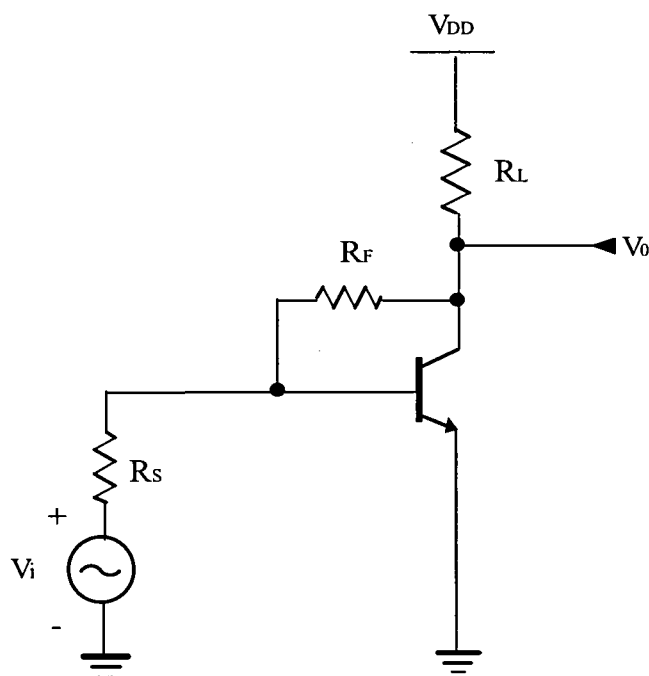


Figura 3.9 LNA con realimentación resistiva.

La resistencia de entrada de este amplificador viene dada por la ecuación 3.13

$$R_i = \frac{R_F + R_L}{1 + g_m R_L} \quad (3.13)$$

donde g_m es la ganancia de transconductancia del transistor bipolar, la cual a su vez es igual a:

$$g_m = \frac{1}{r'_e} \quad (3.14)$$

Por otro lado, la ganancia de tensión viene dada por la ecuación 3.15.

$$A_v = \frac{V_o}{V_s} = \frac{-\left(g_m - \frac{1}{R_F}\right)}{\left(\frac{1}{R_F} + \frac{1}{R_L}\right)} \quad (3.15)$$

Si despreciamos las resistencias parásitas de base y emisor, el factor de ruido es el mostrado en la ecuación 3.16.

$$F \approx \left(1 + \frac{1}{(1 - g_m R_F)^2} \left(\left(\frac{R_F^2}{Z_O} \right) \left(\frac{g_m}{2} + \frac{1}{R_F} + \frac{1}{R_L} \right) + Z_O \left(\frac{g_m}{2} + \frac{1}{R_L} + \frac{(g_m R_F - 1)^2}{R_F} \right) \right) \right) \quad (3.16)$$

Donde Z_O es la impedancia de salida. La linealidad requerida, típicamente medida mediante el punto de intercepción de tercer orden (IIP3) viene especificada por la ecuación 3.17.

$$IIP3_{LNA} \propto g_m^2 \propto I_{BIAS}^2 \quad (3.17)$$

Dicha expresión nos lleva a pensar que a mayor g_m , mayor será el bucle de ganancia, lo que mejorará la linealidad [29]. Una mayor g_m significa un mayor consumo de potencia. Sin embargo, cuando trabajamos a alta frecuencia, es necesario un mayor consumo de potencia para obtener una ganancia adecuada. La ganancia de tensión dada por la ecuación 3.15 establece una relación entre R_L y R_F para una g_m dada. Como resultado, el factor de ruido y la resistencia de entrada son dependientes entre si, ya que como muestran las ecuaciones 3.15 y 3.16, ambas dependen de R_L y R_F . Debido a esto, es muy difícil lograr una adaptación óptima a 50 Ω con una baja figura

de ruido y un consumo razonable de potencia [30][31]. Para obtener una mayor flexibilidad a la hora de diseñar, necesitamos un método que nos permita optimizar ambos parámetros de la forma más independiente posible [32][33].

La técnica más eficiente de lograr esto es la llamada degeneración inductiva. Dicho procedimiento fue introducido por Van der Ziel y Strutt y es aplicable a LNAs configurados en emisor común. A dichos LNAs se les añade una bobina en el emisor para adaptar la parte real de la impedancia de entrada, mejorando a la vez la relación señal a ruido (SNR) [32].

A pesar de que al añadir una bobina puede verse afectado el rango dinámico del amplificador, la contribución de esta no suele crítica, por lo que podemos también regular el consumo de potencia al incluirla en nuestro diseño [34].

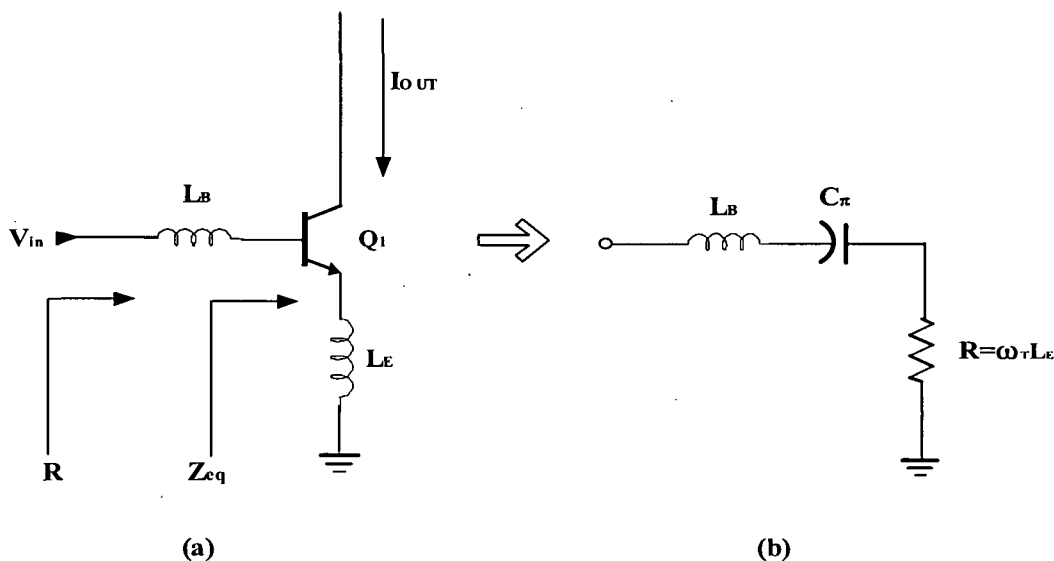


Figura 3.10. Adaptación de impedancias utilizando degeneración inductiva.

El esquema básico de adaptación mediante degeneración inductiva se muestra en la figura 3.10.a mientras que en la figura 3.10.b se muestra su circuito equivalente simplificado para el cálculo de la impedancia de entrada. En dicho circuito ω_T es la frecuencia a la cual la ganancia del transistor toma el valor de la unidad. Para el caso representado esta frecuencia viene dada por:

$$\omega_T = \frac{g_m}{C_\pi} \quad (3.18)$$

Si calculamos la impedancia de entrada del transistor, esta viene dada por:

$$Z_{eq} = \omega_T L_E + C_\pi \quad (3.19)$$

Si sustituimos dicho valor en la ecuación 3.18, obtenemos que:

$$Z_{eq} = \frac{g_m}{C_\pi} L_E + C_\pi \quad (3.20)$$

A la frecuencia de resonancia que determina el circuito tanque formado por L_E y C_π , el primer término de Z_{eq} se convierte en real puro. Por otro lado con la bobina de base (L_B) adaptamos la parte imaginaria de la impedancia de entrada.

Despreciando otros efectos parásitos, el factor de ruido del LNA queda como:

$$F = 1 + \frac{g_m}{2} Z_0 \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (3.21)$$

Cabe destacar que la figura del ruido mejora cuadráticamente con la frecuencia de ganancia unitaria (ω_T) para una frecuencia de trabajo dada. Debido al bajo aporte de ruido de la degeneración inductiva, hemos logrado optimizar la NF del amplificador y la adaptación de impedancias. Sin embargo, debemos saber que las resistencias parásitas de base y emisor degradarán el factor de ruido obtenido, tal y como podemos observar en la ecuación 3.20.

$$F = \left(1 + \frac{(r_b + r_e)}{Z_0} \frac{g_m}{2} Z_0 \left(\frac{\omega_0}{\omega_T} \right)^2 \right) = \left(1 + (r_b + r_e) \frac{g_m}{2} \left(\frac{\omega_0}{\omega_T} \right)^2 \right) \quad (3.22)$$

En este caso el IIP3 viene dado por

$$IIP3_{LNA} \approx \frac{IIP3_{NPN}}{\left(\frac{V_{be}}{V_{in}} \right)^2} \approx IIP3_{NPN} (g_m Z_0)^2 \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (3.23)$$

Y el rango dinámico del LNA queda definido como

$$DR_{LNA} \propto \frac{IIP3_{LNA}}{(F-1)} = I * Z_0 \quad (3.24)$$

Esto significa que, fijando el valor de la impedancia de entrada, el rango dinámico es proporcional a la corriente de polarización. Por tanto una elevada realimentación reducirá el rango dinámico del circuito, lo que a su vez empeorará su linealidad y mejorará su figura de ruido. Cabe destacar, que podemos valernos de la ω_T para establecer un compromiso entre linealidad y figura de ruido.

Dado que este caso se refiere a un amplificador de banda estrecha, podemos emplear una red tanque para sintonizarlo a la frecuencia que deseemos, tal y como muestra la Figura 3.11.

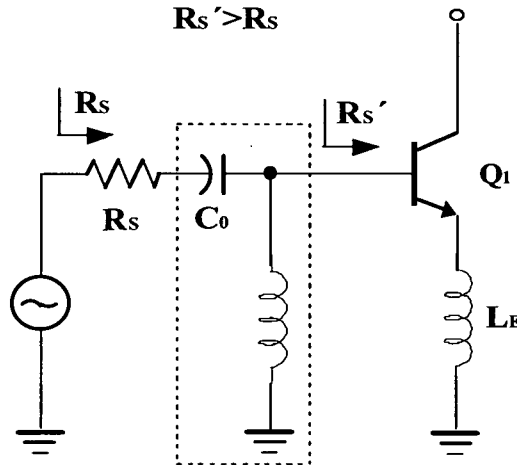


Figura 3.11 Adaptación de impedancia de entrada con degeneración inductiva y circuito tanque.

De aquí deducimos que el factor de ruido es:

$$F \approx \left(1 + \frac{g_m}{2} \left(\frac{\omega_0^2}{\omega_T} \right) L_E \right) \quad (3.25)$$

De la ecuación anterior podemos apreciar que mejora sustancialmente con respecto a la ecuación 3.21. Esto nos demuestra que el correcto uso de redes de adaptación de impedancias mejora la figura de ruido de un amplificador dado.

De forma alternativa el factor de ruido puede ser expresado como expresa la ecuación 3.26.

$$F = 1 + \frac{0.5}{g_m Z_0 Q^2} \quad (3.26)$$

Donde Q es el factor de calidad de la red de adaptación de entrada. El factor de ruido mejora con una mayor Q debido a que hay mayor ganancia de voltaje vista a través de la capacidad de entrada. La impedancia de entrada sólo es resistiva en un limitado margen de frecuencias en torno a la frecuencia de resonancia ω_0 . Para obtener una adaptación de banda ancha, la Q del circuito de adaptación debe ser reducida significativamente. Lógicamente, esto empeorará la figura de ruido del circuito. Por tanto este tipo de amplificador no puede ser usado para aplicaciones de gran ancho de banda.

3.3 Adaptación de Ultra Banda Ancha

La adaptación de banda ancha fue introducida por Bode [35] en 1945 y Fano [36] en 1950 para mejorar el ancho de banda de las antenas. Fano obtuvo una serie de ecuaciones integrales que predecían las restricciones de ancho de banda para redes pasivas de adaptación que atacasen una carga determinada [36]. Este método de adaptación puede ser modificado para ampliar el ancho de banda de resonancia de un circuito sintonizable a una única frecuencia. Sin embargo, este método es útil cuando sabemos exactamente que impedancia de entrada posee el circuito al cual vamos a atacar, tal y como podría ser la antena de nuestro receptor. A la hora de diseñar un LNA de ultra banda ancha, *a priori* no sabemos que impedancia de entrada posee en el rango de frecuencias de trabajo. Esto es debido a que esta nunca suele ser constante en todo el espectro.

Como pudimos apreciar anteriormente, el esquema de adaptación puede modificar los parámetros de nuestro amplificador. Por tanto podemos concluir que el método de Fano no es el más adecuado para obtener un claro compromiso de prestaciones de los parámetros de un LNA de banda ancha. Para ello hemos de seguir una metodología diferente: el diseño de filtros en escalera o *ladder filters*.

Para ello vamos a considerar la red de cuatro puertos (dos de entrada y dos de salida) de la figura 3.12. La función de transferencia de este sistema $H(s)$ es igual a:

$$\alpha + j\beta = \ln H(j\omega) = \ln \frac{E}{2V_2} \sqrt{\frac{R_2}{R_1}} \quad (3.27)$$

Siendo el módulo de dicha función:

$$2\alpha = \ln |H(j\omega)|^2 = \ln \frac{|E|^2 / 4R_1}{|V_2|^2 / R_2} = \ln \frac{P_{MAX}}{P_2} \quad (3.28)$$

Donde P_{MAX} es la máxima potencia que puede entregar la fuente R_1 y P_2 es la potencia disipada por el puerto de salida. Desde el punto de vista de la adaptación de impedancias, consideraremos todos los elementos de la red ideales y sin pérdidas, por lo que $P_{MAX}=P_2$. Bajo estas condiciones la impedancia de entrada es real e igual a R_1 .

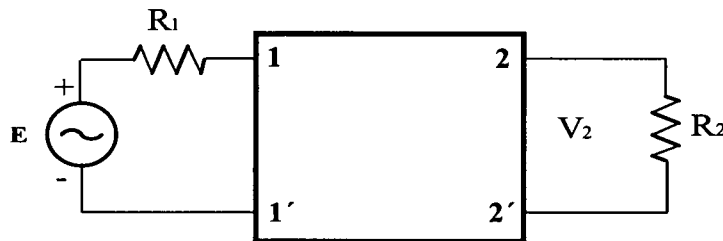


Figura 3.12 Red de adaptación de cuatro puertos.

Por otro lado, consideremos el filtro paso bajo de segundo orden de la figura 3.13.

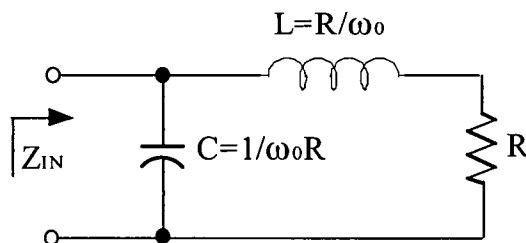


Figura 3.13 Filtro *ladder* paso bajo de segundo orden.

Podemos apreciar que los valores escogidos de L y C para obtener una impedancia totalmente resistiva a la frecuencia ω_0 son:

$$L = \frac{R}{\omega_0} \quad (3.29)$$

$$C = \frac{1}{\omega_0 R}$$

En la figura 3.14 podemos observar como la impedancia de entrada es resistiva hasta ω_0 . Fuera de la banda de paso la impedancia de entrada es totalmente reactiva y no hay propagación de señal a través del circuito.

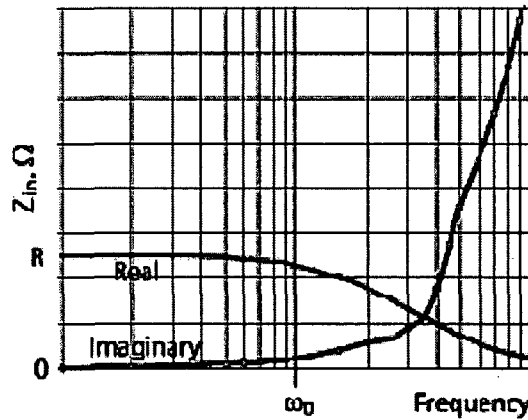


Figura 3.14. Respuesta espectral del filtro *ladder* de segundo orden.

Si trasladamos en frecuencia nuestro filtro paso bajo, tendremos que

$$\left(\frac{s}{\omega_0}\right) \Rightarrow \left(\frac{s}{\omega_0}\right) + \left(\frac{\omega_0}{s}\right) \quad (3.30)$$

Es decir, si en banda base tenemos un inductor serie, en alta frecuencia tendremos que crear un circuito formado por una bobina y un condensador en serie. Del mismo modo, a nuestro condensador paralelo se le añadirá una bobina formando otro circuito paralelo LC. Por tanto tendremos un filtro de cuarto orden, tal y como muestra la figura 3.15.

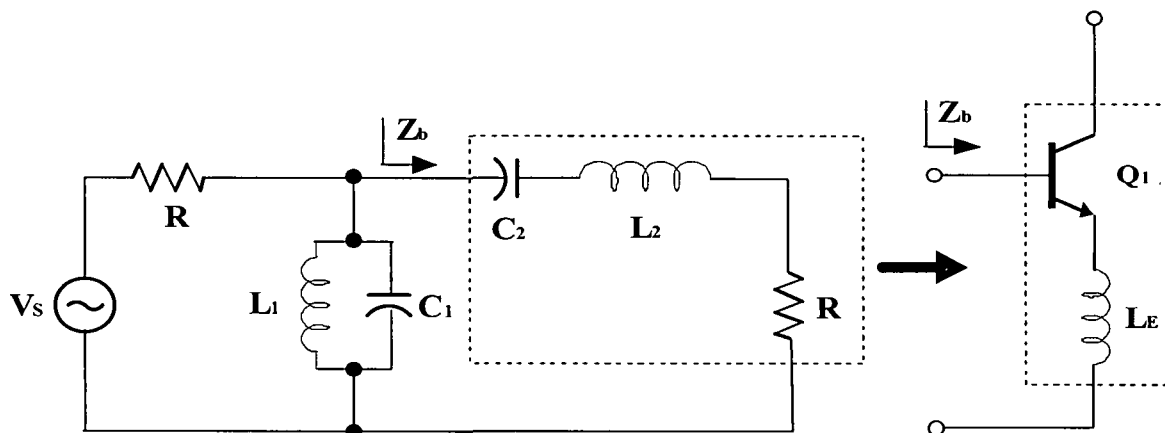


Figura 3.15 Filtro *ladder* de cuarto orden para adaptación de impedancias.

La impedancia de entrada de nuestro filtro tendrá el aspecto de la figura 3.16.

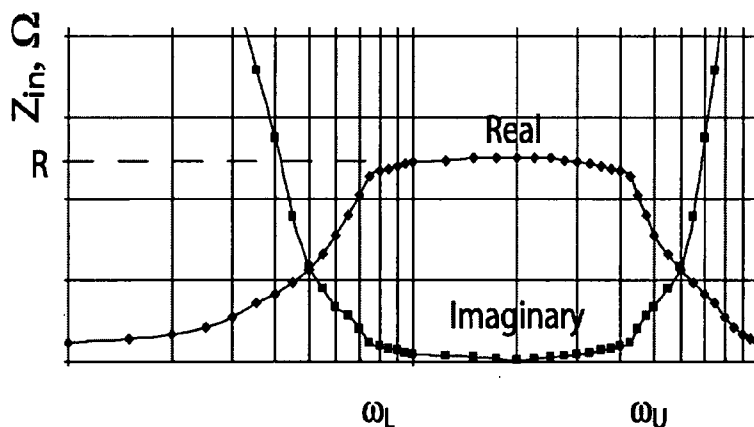


Figura 3.16. Respuesta espectral del filtro *ladder* de cuarto orden.

Se aprecia que dentro de la banda establecida por las frecuencias ω_L y ω_U la impedancia es constante y totalmente real.

El ancho de banda fraccional se define como muestra la ecuación 3.31.

$$\eta = \frac{\omega_U - \omega_L}{\sqrt{\omega_U \omega_L}} \quad (3.31)$$

Si $\eta > 1$, el filtro paso banda puede ser visto como la unión entre un filtro paso bajo y un filtro paso alto. En este caso los valores de los elementos del filtro serían los mostrados en la ecuación 3.30:

$$\begin{aligned} L_1 &\approx \frac{R}{\omega_L}; C_2 \approx \frac{1}{\omega_L R} \\ L_2 &\approx \frac{R}{\omega_U}; C_1 \approx \frac{1}{\omega_U R} \end{aligned} \quad (3.32)$$

En la figura 3.15 podemos observar como la unión de un filtro paso banda es similar al circuito de degeneración inductiva. Por tanto podemos fusionar ambos métodos para adaptar la impedancia de entrada en un amplio espectro de frecuencias.

Una vez hemos fusionado ambos circuitos, vamos a estudiar su funcionamiento. Para ello observemos el esquema de la figura 3.17. Se puede apreciar que dentro de la banda de paso donde la impedancia de entrada es meramente resistiva, la corriente de entrada es igual a:

$$I = \frac{V_s}{2R} \quad (3.33)$$

Para que haya máxima transferencia de potencia, toda la corriente debe ser entregada en la resistencia de carga ($R_{\text{LOAD}}=R$), lo que significa que:

$$V_{be} = \frac{V_s}{2\omega C_2 R} \quad (3.34)$$

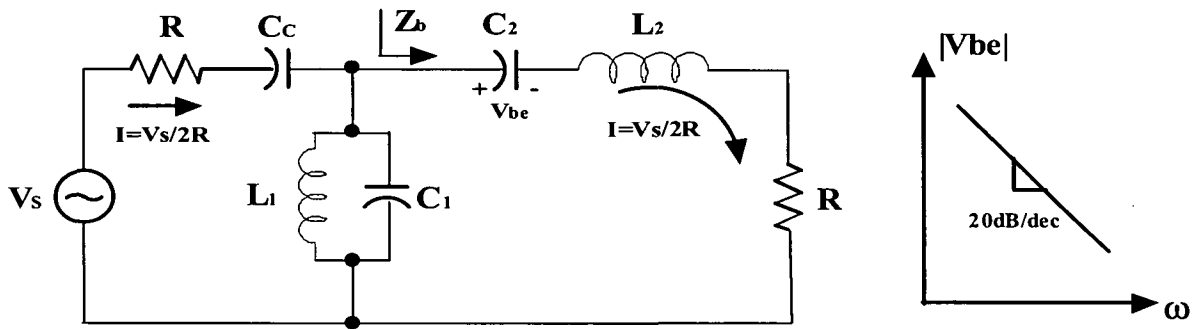


Figura 3.17 Flujo de corrientes dentro del filtro.

O lo que es lo mismo:

$$V_{be} = V_s \frac{\omega_L}{2\omega} \quad (3.35)$$

Esta expresión implica que la caída de tensión en la capacitancia parásita del transistor cae 20dB/dec a medida que aumentamos la frecuencia. El factor de ruido del amplificador será:

$$F = 1 + \frac{\left| i_n + \frac{V_n}{Z_0} \right|^2}{4kTR_s} \quad (3.36)$$

Donde i_n y V_n son, respectivamente, la corriente y la tensión de ruido en la entrada del amplificador. Dicho factor de ruido puede ser expresado también como:

$$F = 1 + \frac{g_m}{2} Z_0 \left(\frac{\omega}{\omega_T} \right)^2 \quad (3.37)$$

El cual empeora de forma cuadrática con la frecuencia, debido a que la ganancia de tensión entre la entrada del circuito y la entrada del transistor disminuye con el aumento de la frecuencia.

El IIP3 del amplificador es igual al IIP3 del transistor con degeneración multiplicado por 2, debido al divisor de tensión que se encuentra a la entrada. El IIP3 puede estimarse estudiando la realimentación aplicada al transistor debido a la degeneración inductiva [37].

Despreciando la capacitancia de entrada C_π , la linealidad en tensión del amplificador ($V_{IIP3_{LNA}}$) es igual a:

$$V_{IIP3_{LNA}} \approx 2(V_{IIP3_{NPN}} (1 + \alpha_1 \beta)^{\frac{3}{2}}) \approx 4\sqrt{2}V_T \left(1 + \left(\frac{I_C \omega L_E}{V_T} \right)^2 \right)^{\frac{3}{4}} \quad (3.38)$$

donde $(\alpha_1 \beta)$ es la ganancia del bucle de realimentación. Esto significa que, al contrario de lo que ocurre con el factor de ruido, el IIP3 mejora con la frecuencia. La ecuación 3.30 también implica que:

$$I_C = \frac{(\omega_T V_T)}{(\omega_L Z_0)} \quad (3.39)$$

Esto determina la corriente de polarización. Ahora para minimizar el factor de ruido, observando la ecuación 3.37, ω_T debe ser lo más grande posible. En la figura 3.18 observamos que la f_T de los transistores SiGe HBT es alrededor de 90 GHz. Sin embargo, el transistor es polarizado tomando una f_T de 60 GHz. Esto es debido a dos motivos fundamentales. El primero, es que nunca deber polarizarse el circuito para el pico de densidad de corriente, ya que esta puede degradarse debido a variaciones en el proceso de fabricación. El segundo es debido a que la resistencia de base es mayor para transistores pequeños, lo que entra en conflicto con la f_T .

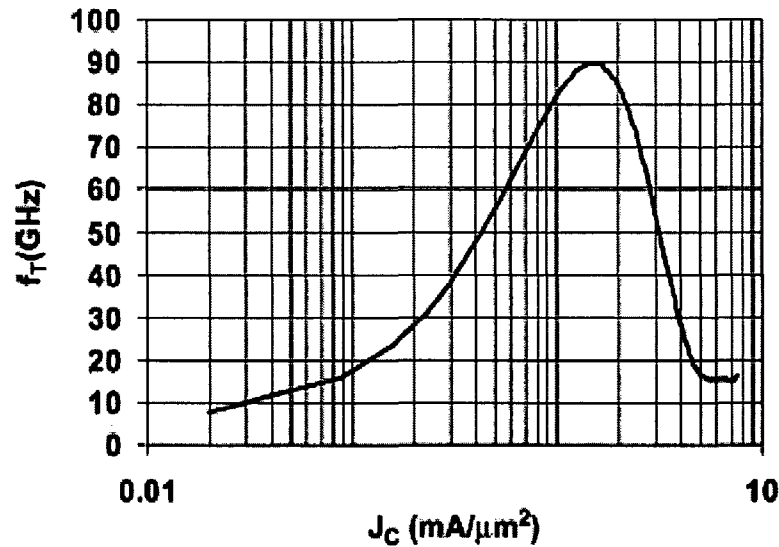


Figura 3.18 Respuesta en frecuencia de los transistores SiGe HBT.

Por otro lado, cabe destacar que nuestro diseño va a ser medido directamente sobre la oblea, es decir, *on wafer*. Sin embargo, es importante resaltar como será el interconexionado de nuestro circuito ante una posible producción en serie. Las conexiones en este caso son realizadas con hilos de metal o *wirebond*. Cuando usamos este tipo de uniones, la operación a altas frecuencias necesita algún tipo de transformación de impedancias. Desafortunadamente, no podemos utilizar la misma red de adaptación que utilizamos anteriormente para realizarlo. Esto se debe a que necesitamos un filtro paso banda de doble puerto con impedancias de entrada y salida diferentes. Al igual que en el caso anterior, el amplificador reemplazará el circuito serie RLC del nuevo filtro. Para lograr esto, el circuito debe incluir dos inductores más [38], tal y como muestra la figura 3.19.

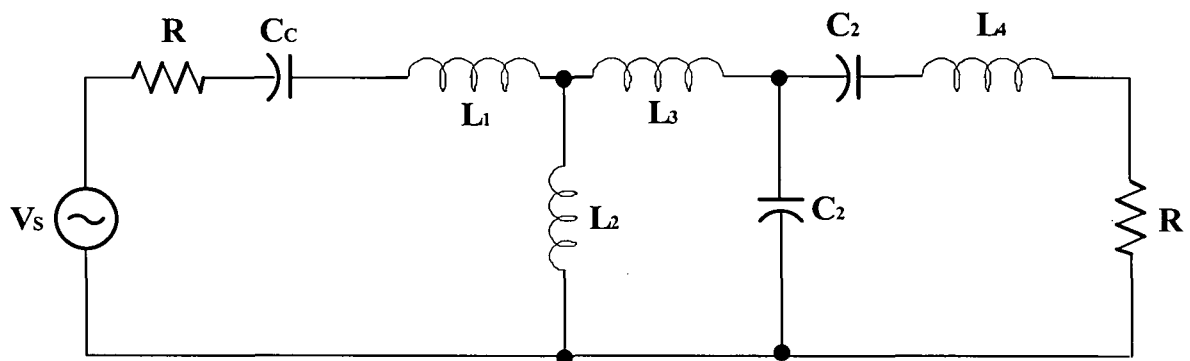


Figura 3.19 Filtro *ladder* alternativo para cargas de entrada y salida diferentes.

Obviamente, el añadir estos inductores degradará la figura de ruido. Para minimizarla, deben ser optimizados los componentes que integra la red.

3.4 Resumen

En este capítulo hemos estudiado las principales características de los amplificadores de bajo nivel de ruido. De la misma forma, hemos visto cuales son las principales topologías empleadas en los sistemas de *RF*. La información de este capítulo será vital para el posterior diseño de nuestro LNA.

En el siguiente capítulo veremos las características de la tecnología empleada para nuestro trabajo. Esta tecnología es la denominada SiGe 0.35 μm de AMS (*Austria Micro System*). Para ello, estudiaremos uno a uno todos los componentes suministrados por este proceso que entran en juego en el diseño de un LNA.

Capítulo 4

Estudio de la tecnología

En el capítulo anterior, estudiamos las principales características y topologías de los *LNAs* para *UWB*. Este paso será de gran utilidad a la hora de realizar nuestro diseño. Sin embargo, antes de comenzar con él debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología *S35D4* de la fundidora *AMS*. Esta tecnología consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores bipolares de heteroestructura (*HBT*) y *MOSFET*, siendo la longitud de puerta mínima de $0.35\ \mu\text{m}$. Así mismo la tecnología *S35D4* ofrece librerías de componentes pasivos.

4.1 Resistencias

4.1.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

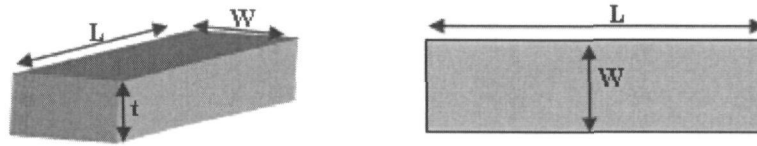


Figura 4.1 Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación (4.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (4.1)$$

Donde los parámetros que intervienen son:

- ρ es la resistividad del material
- t es el espesor del material
- L es la longitud de la pista
- W es la anchura de la pista

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia puede determinarse a partir de la ecuación (4.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (4.2)$$

En la ecuación 4.2 R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

4.1.2 Resistencias en la tecnología S35D4 de AMS

La tecnología S35D4 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la tabla 4.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 4.1 Resistencias incluidas en la tecnología.

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	$\Omega /$
Coef. temperatura		0.6		$10^{-3} / K$
Resist. Contacto		20	40	Ω / cnt
Den. Corriente			0.3	$mA / \mu m$

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	$k\Omega /$
Coef. temperatura		-1.2		$10^{-3} / K$
Resist. Contacto		60	200	Ω / cnt
Den. Corriente			0.3	$mA / \mu m$

En la figura 4.2 se muestra el cuadro de diálogo de Cadence donde se ajustan los parámetros de las resistencias.

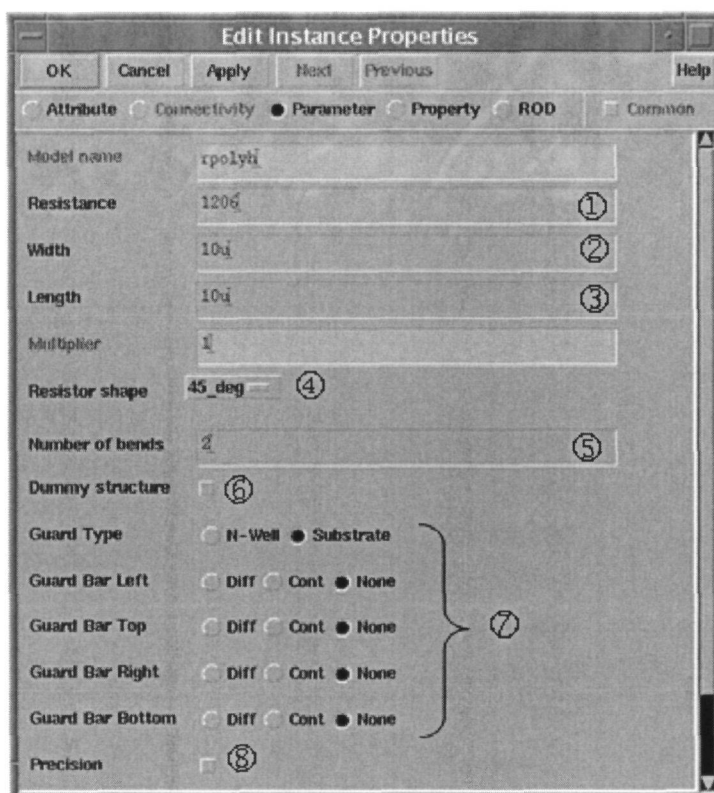


Figura 4.2 Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

- ① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.
- ② Ancho de la pista: variando el ancho el *software* determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.
- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

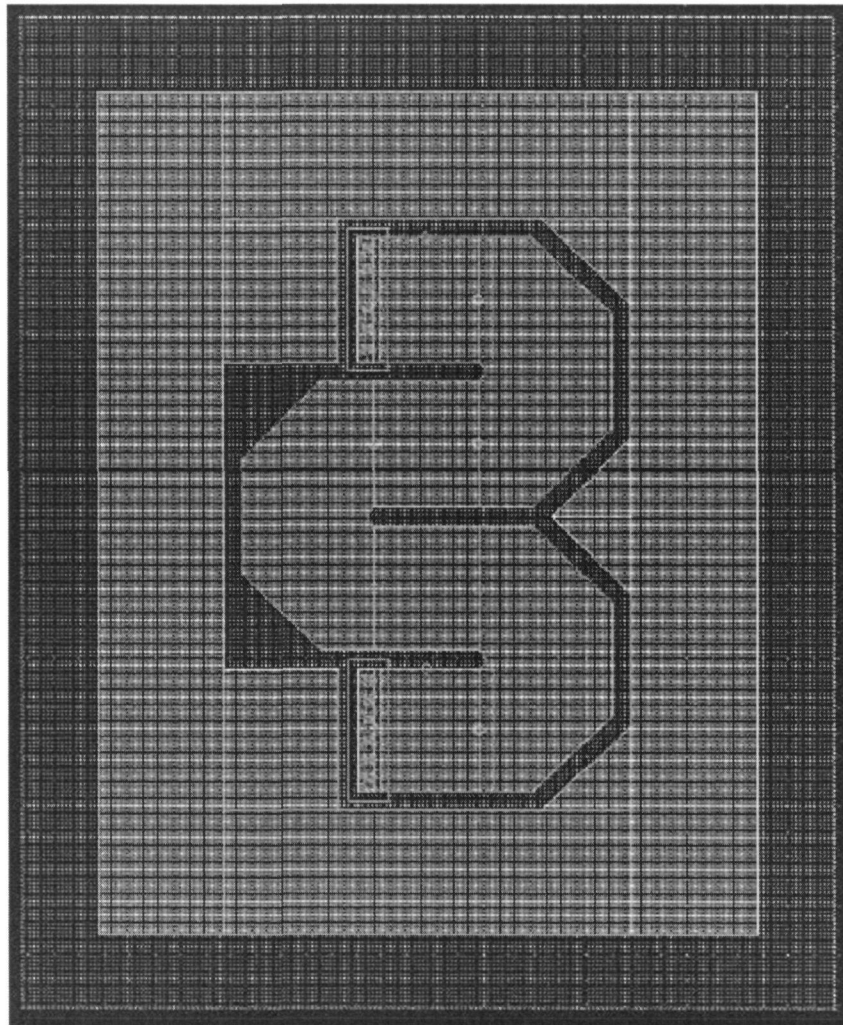


Figura 4.3 Resistencia con estructura Dummies.

En la figura 4.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el *kit* de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

4.2 Condensadores

4.2.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de metal separadas por una capa de material aislante. En la figura 4.4 se muestra un esquema donde esto queda reflejado.

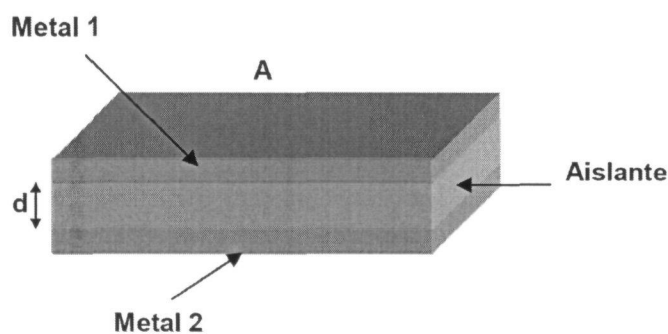


Figura 4.4 Corte de un condensador.

Partiendo de la figura 4.4 el valor de la capacidad del condensador viene dado por la ecuación (4.3).

$$C = \frac{\epsilon' \cdot \epsilon_o \cdot A}{d} \quad (4.3)$$

Donde los parámetros que intervienen son:

- ϵ' es la permitividad relativa del material
- ϵ_o es la permitividad del vacío
- A es el área de las placas del condensador
- d es la distancia entre las placas del condensador

4.2.2 Condensadores en la tecnología S35D4 de AMS

Esta tecnología dispone de dos tipos de condensadores. Por un lado está el *CPOLY*, formado por dos capas de polisilicio y diseñado para capacidades de pequeño tamaño. Por otro

lado está el CMIM, formado por 2 capas de metal y diseñado para la implementación de capacidades de gran valor

En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores.

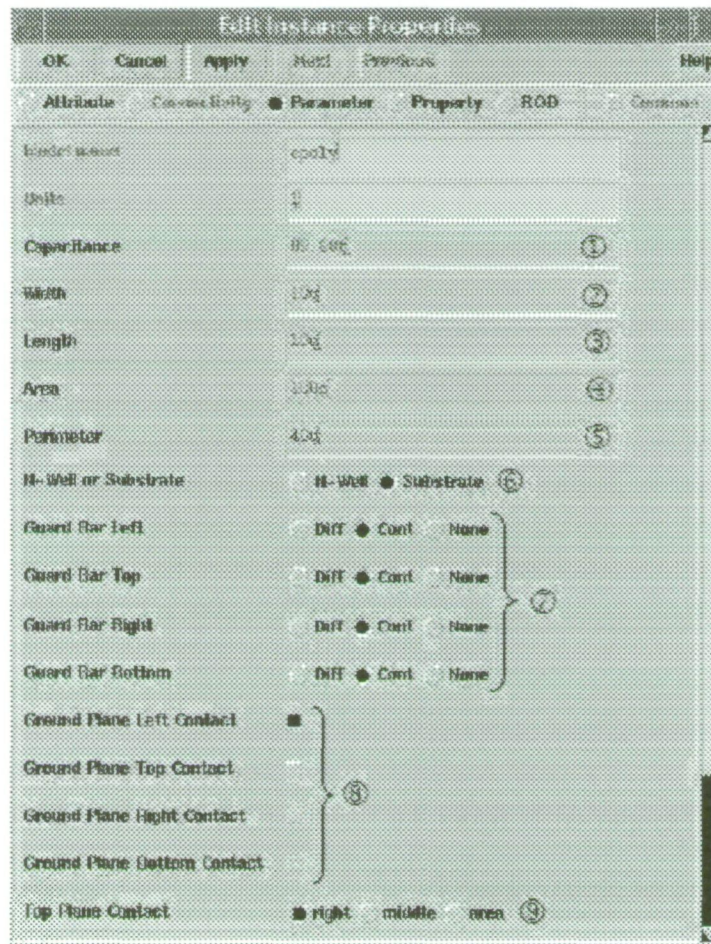


Figura 4.5 Parámetros ajustables en los condensadores.

A continuación se detallan los parámetros mostrados en la figura 4.5.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.

- ⑥ Conexión al sustrato o a un pozo tipo N.
- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.
- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

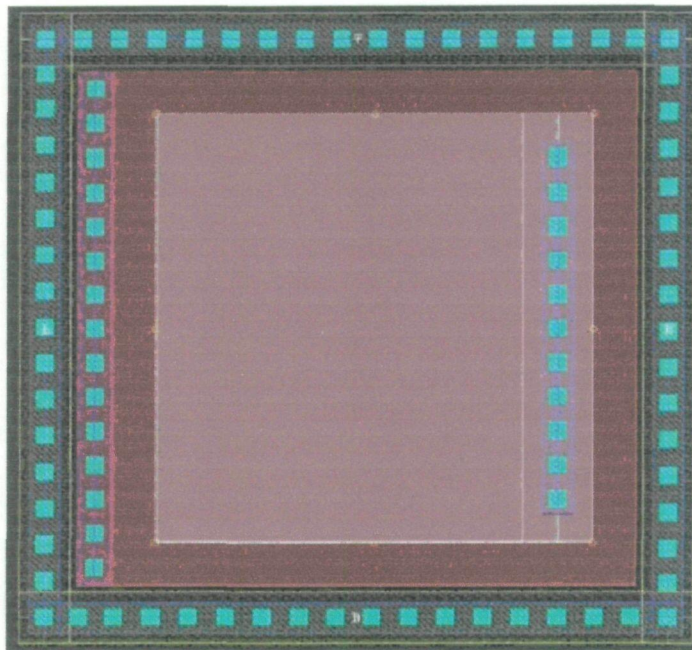


Figura 4.6 Layout de un condensador.

A modo de ejemplo en la figura 4.6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

4.3 Bobinas

4.3.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

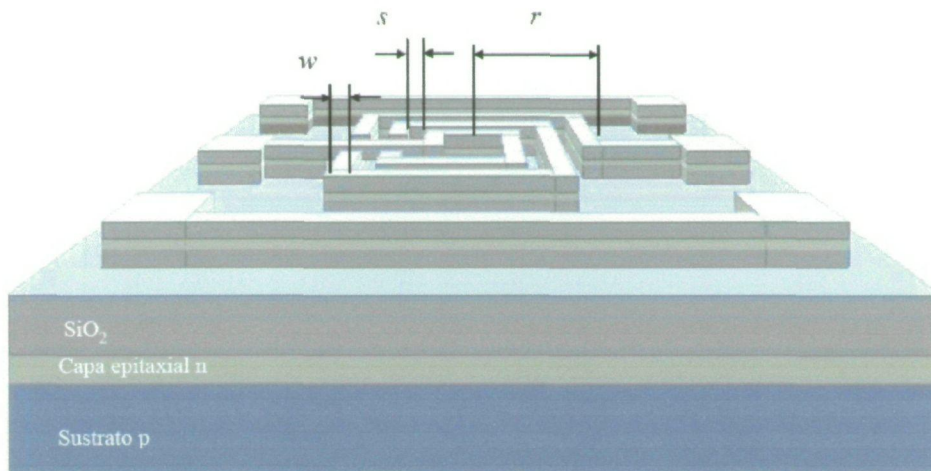


Figura 4.7 Layout de una bobina cuadrada simple.

4.3.2 Funcionamiento

Un inductor se caracteriza por su factor de calidad (ecuación 4.4), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (4.4)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) [7] [14] y por las corrientes de torbellino (*eddy currents*) [7] [14] inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar. Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la figura 4.8.

- El campo magnético $B(t)$ está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.
- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$ es el campo eléctrico entre la espira y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

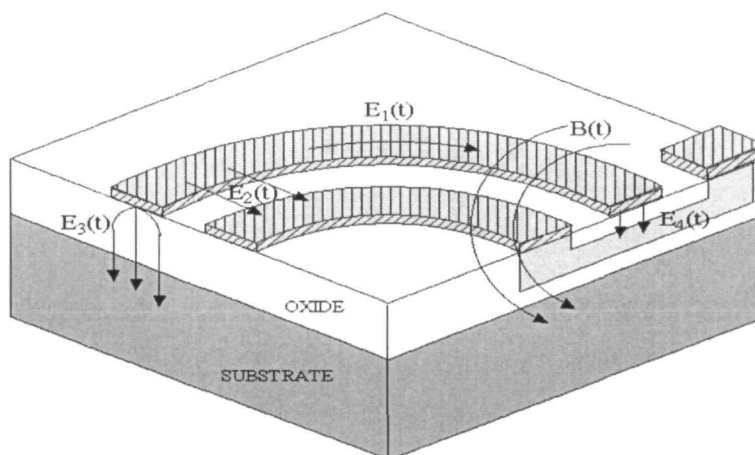


Figura 4.8 Campos eléctricos y magnéticos en un inductor integrado.

4.3.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la figura 4.9. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver figura 4.8). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato.

En particular, los condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. Por último R_{SUB1} y R_{SUB2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la figura 4.9 no es simétrico debido a que el *layout* de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{OX1} , C_{SUB1} y R_{SUB1} ligeramente diferentes a los de C_{OX2} , C_{SUB2} y R_{SUB2} .

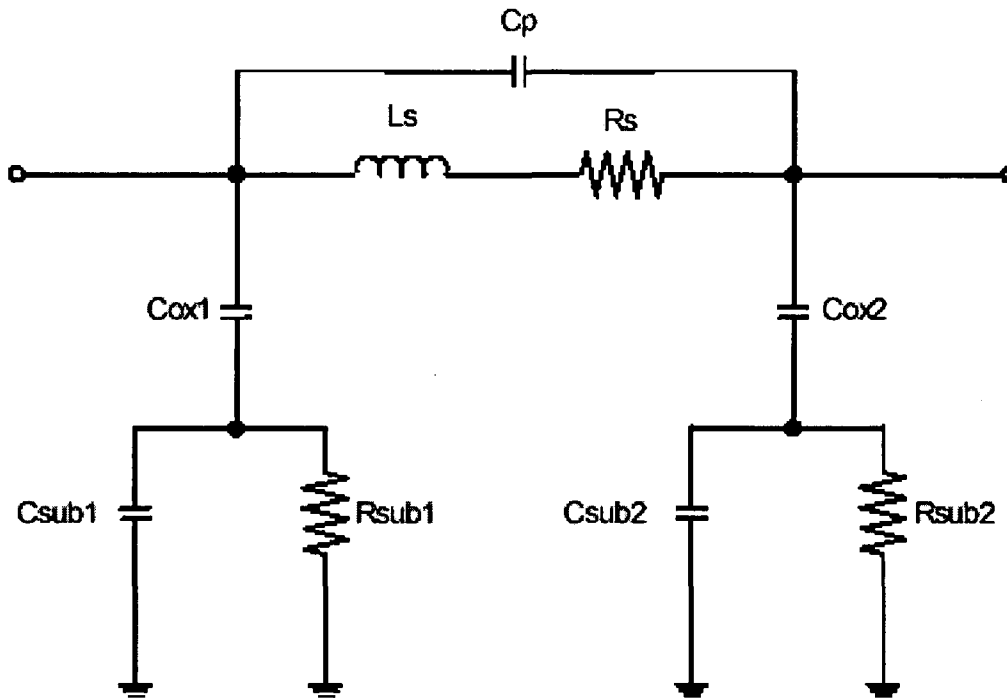


Figura 4.9 Modelo clásico de dos puertos de inductores espirales integrados.

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente.

Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [7].

4.3.4 Bobinas en la tecnología S35D4 de AMS

La tecnología de AMS presenta bobinas, pero se optó por usar las bobinas desarrolladas por el IUMA ya que presentan factores de calidad mayores que las de AMS, alcanzando valores de hasta 13.5 a una frecuencia central de 5.5 GHz [16].

En la figura 4.10 se muestra un ejemplo de las bobinas creadas por el IUM4. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10.3.

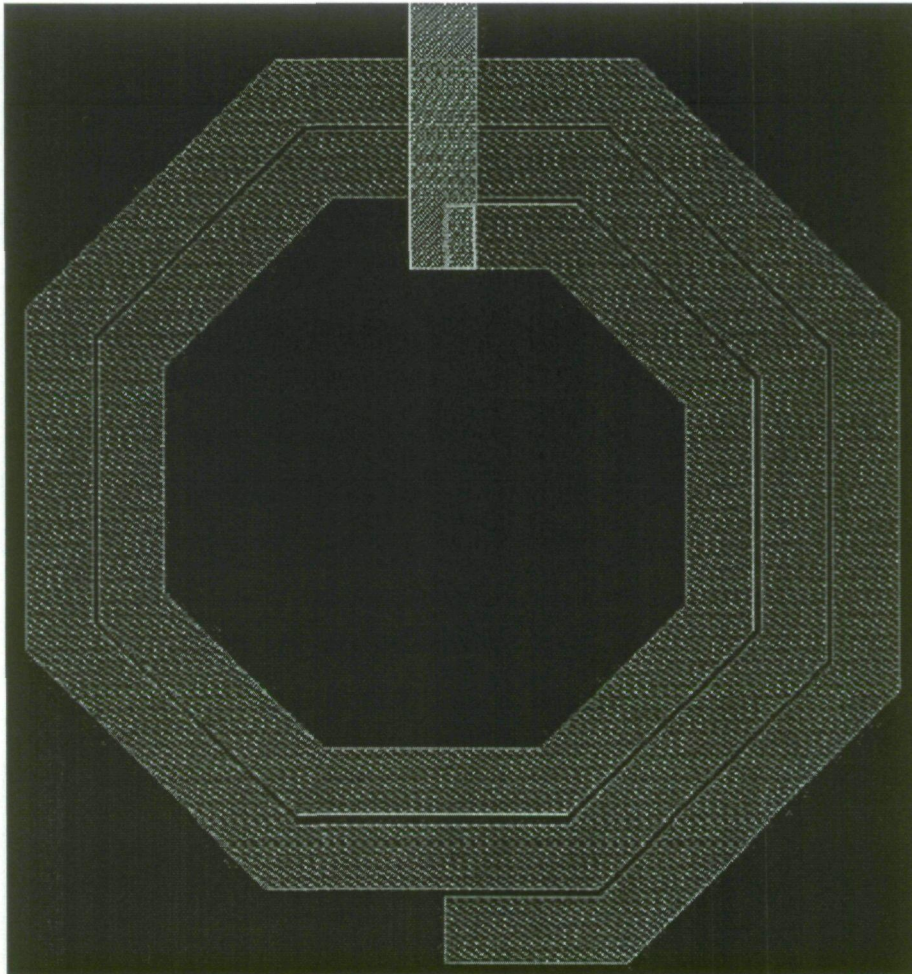


Figura 4.10 Layout de una bobina.

4.4 El Transistor MOSFET

4.4.1 Construcción

En la figura 4.11 se muestra un corte esquemático de dos transistores MOS tipo n y tipo p respectivamente. En el caso del transistor tipo n, la fuente y el drenador están formados por difusiones n^+ , sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la fuente y el drenador están formadas con difusiones tipo p^+ sobre un pozo tipo n. Tanto en el MOSFET tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2 .

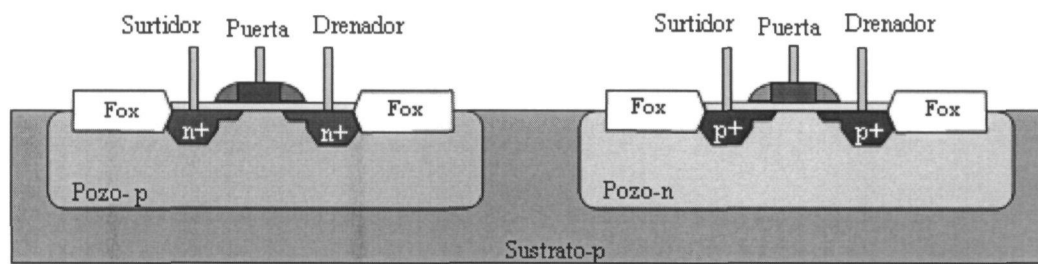


Figura 4.11 Corte esquemático de transistores MOS.

4.4.2 Funcionamiento

Como se muestra en la figura 4.12, si en un MOSFET tipo n se aplica un nivel de tensión nulo entre la puerta y el surtidor (V_{GS}) y se aplica una tensión positiva entre el drenador y el surtidor (V_{DS}), no circulará corriente entre los terminales de drenador y surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el drenador como en el surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor MOSFET se encuentra en corte.

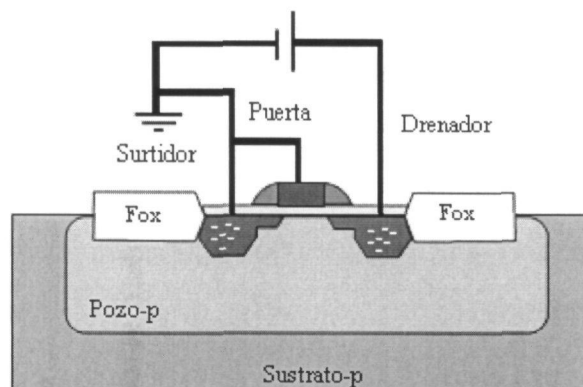


Figura 4.12 MOSFET tipo n en Corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de electrones cerca de la capa de SiO_2 hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el drenador y la surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del drenador al surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del drenador al surtidor se dice que el MOSFET se encuentra en la región de triodo o zona óhmica.

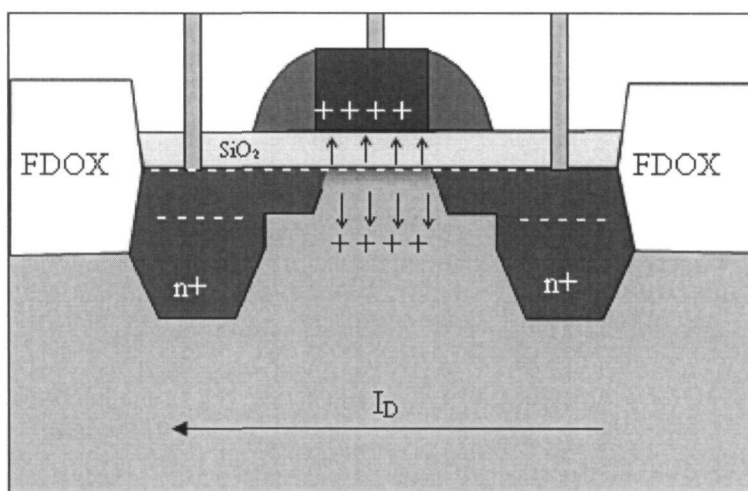


Figura 4.13 Detalle del MOSFET tipo n en zona óhmica.

En la región de triodo la ecuación 4.5 determina la corriente de drenador del MOSFET.

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.5)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de Drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de Drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

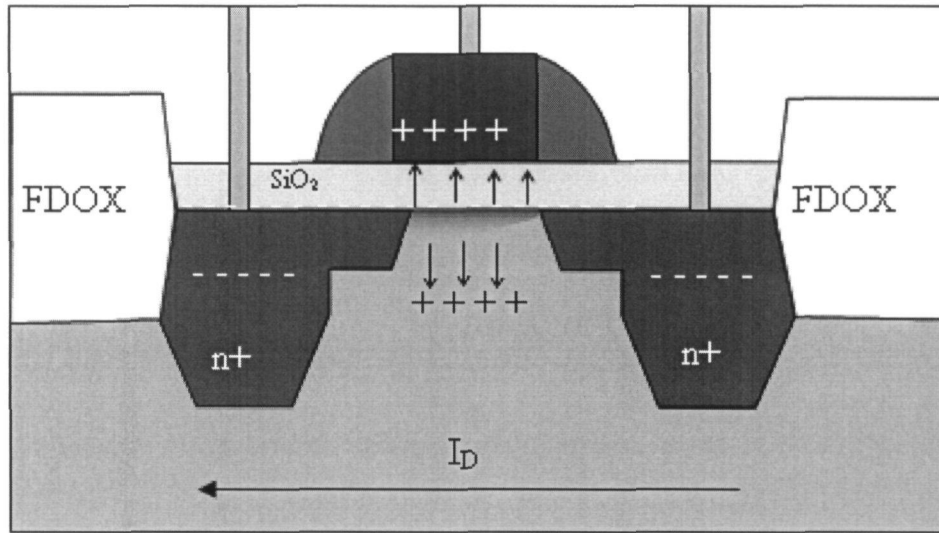


Figura 4.14 Detalle del MOSFET tipo n en zona de saturación.

La tensión de Drenador a Puerta (V_{DG}) viene dado por la ecuación 4.6.

$$V_{DG} = V_{DS} - V_{GS} \quad (4.6)$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación 4.6 el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación (4.7), diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (4.7)$$

Donde:

- μ_n es la movilidad de los electrones
- C_{OX} es la capacidad de puerta por unidad de área
- L es la longitud del canal del transistor (μm)
- W es el ancho del canal del transistor (μm)
- Al coeficiente $\mu_n \cdot C_{OX}$ se le denomina factor de ganancia y se denota con K_n .

A pesar de que el desarrollo anterior se refiere a un transistor *MOSFET* tipo n, en el caso del transistor *MOSFET* tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el *MOSFET* tipo p es contrario del *MOSFET* tipo n.

4.4.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor *MOSFET*.

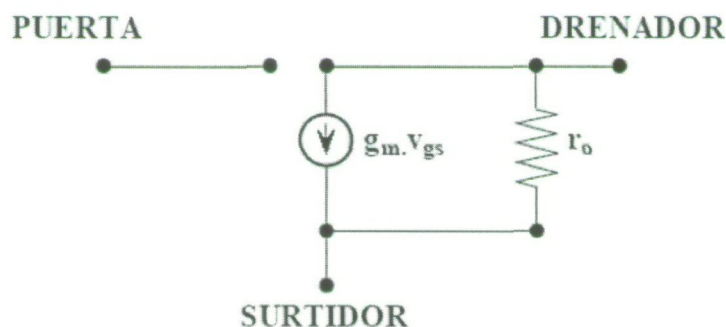


Figura 4.15 Modelo del MOSFET de Baja Frecuencia.

Donde:

- r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.
- g_m es la transconductancia del transistor y viene dada por la ecuación (4.8).

$$g_m = \sqrt{\frac{2 \cdot C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (4.8)$$

Donde:

- L_{eff} es la longitud efectiva del canal (μm)
- C_{OX} es la capacidad de puerta por unidad de área
- μ_n es la movilidad de los electrones
- W es el ancho del canal del transistor
- I_D es la corriente de drenador

4.4.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor *MOSFET*, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

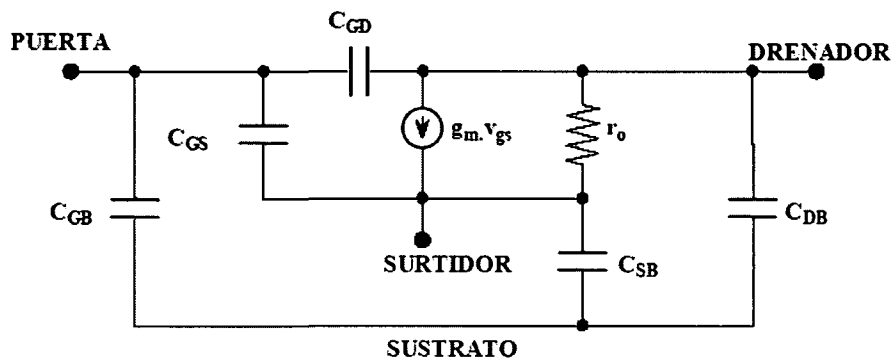


Figura 4.16 Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

- **Capacidades de la zona de carga espacial:** Se producen en las uniones *PN*, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones 4.9 y 4.10:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (4.9)$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (4.10)$$

Donde:

- C_o es la densidad de la capacidad de la unión cuando la polarización de esta es nula.
 - V es la tensión directa de la unión.
 - ψ_o es la barrera de potencial.
 - m es la constante dependiente del tipo de unión.
- **Capacidades en la zona de óxido:** Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades dependen de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- C_{GB} = Capacidad de óxido entre puerta y sustrato
- C_{SG} = Capacidad de óxido entre surtidor y puerta
- C_{GD} = Capacidad de óxido entre Puerta y drenador

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor.

En la tabla 4.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor *MOSFET*.

Tabla 4.2 Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_dW+0.5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_dW+0.5C_{OX}LW$	$C_{OX}L_dW+0.66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

En la tabla 4.2 los parámetros implicados en las expresiones son:

- C_{ox} = capacidad de puerta por unidad de área.
- L_d = Distancia de difusión lateral que se produce bajo la puerta.
- L = Longitud del canal del transistor (μm).
- W = Ancho del canal del transistor (μm).

4.4.5 Transistores MOSFET en la tecnología S35D4 de AMS

En la tabla 4.3 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del Kit de diseño.

Tabla 4.3 Parámetros más importantes de los MOSFET

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	450	540	630	$\mu\text{A}/\mu\text{m}$

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_{th})	-0.50	-0.60	-0.70	V
Factor de Ganancia (K_p)	48	58	68	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	-180	-240	-300	$\mu\text{A}/\mu\text{m}$

En la figura 4.17 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET. A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en dicha figura.

- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo *Snake* [1].
- ⑤ Selección del número de dedos para los transistores tipo *Snake*.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las puertas, drenadores y surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.
- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [13] en el transistor.

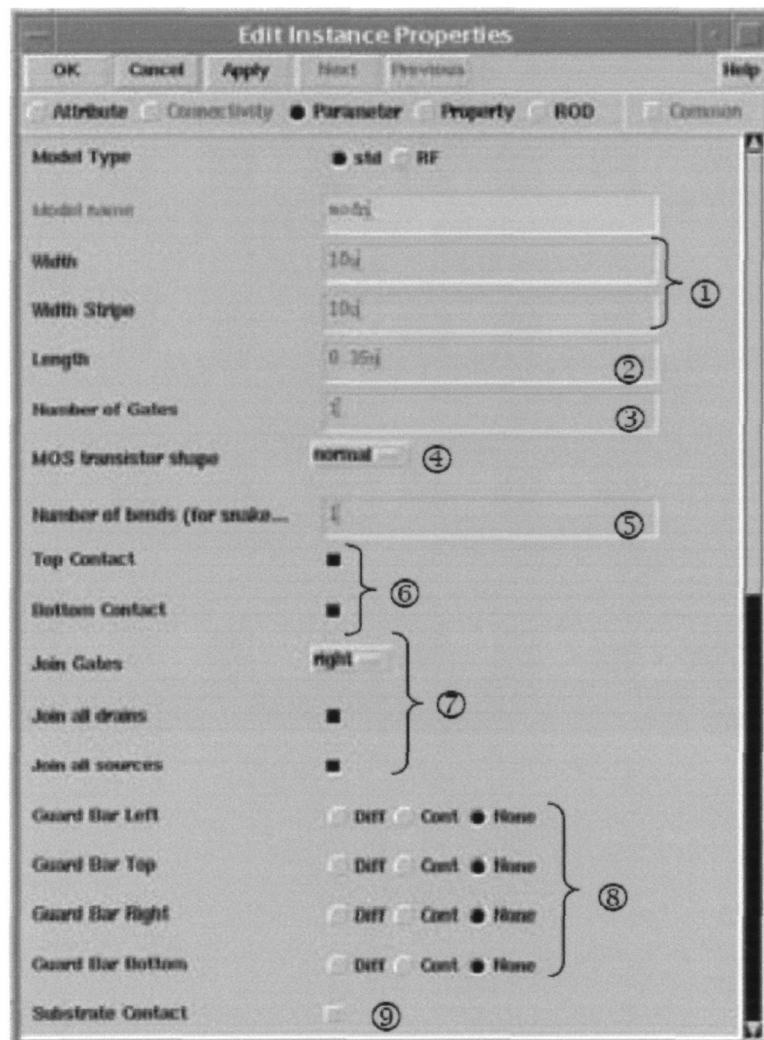


Figura 4.17 Parámetros en los MOSFET.

A modo de ejemplo en la figura 4.18 se muestra un transistor *MOSFET* tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el *Kit* de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que forman parte de la puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de drenador y surtidor.

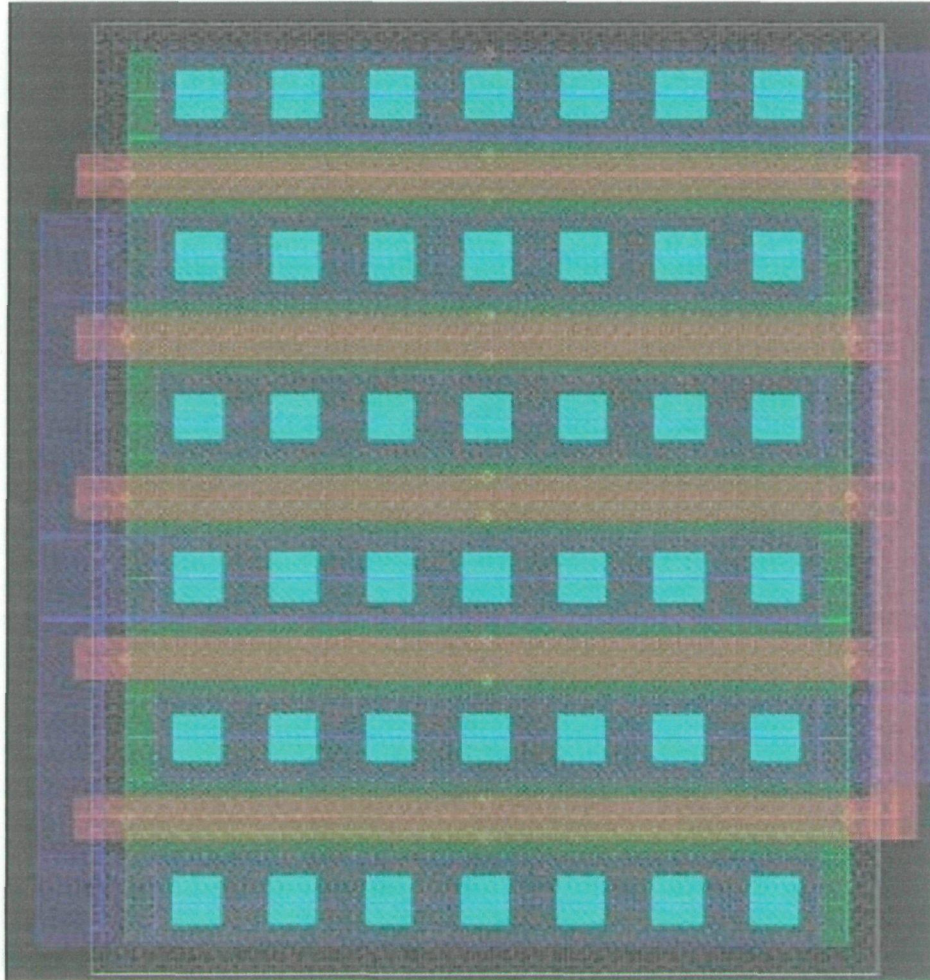


Figura 4.18 Ejemplo de transistor MOSFET.

4.5 HBTs de SIGE

4.5.1 Construcción

Los transistores bipolares de heteroestructura *HBTs* de *SiGe* son transistores npn bipolares en los que la base está formada por una capa muy estrecha ($<50\text{nm}$) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma pseudomórfica. La concentración de *Ge* puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la figura 4.19 se muestra la estructura típica de un *HBT* de *SiGe* gradual.

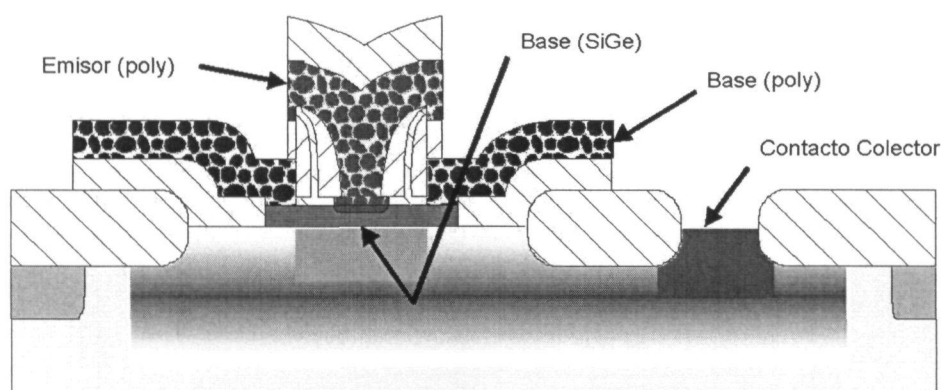


Figura 4.19 Estructura típica de un HBT de SiGe gradual.

4.5.2 Funcionamiento

El funcionamiento de los *HBTs* es exactamente igual al de los transistores bipolares de homounión (*BJTs*), con la salvedad de que sus prestaciones son muy superiores a las de éstos últimos. Para ayudar a entender los beneficios de los *HBT*, se comparan en la figura 4.20 los diagramas de bandas de energía de un transistor bipolar de homounión npn con un transistor bipolar de heterounión npn operando en zona activa directa. La corriente de colector, como se puede observar en la figura 4.21, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_{nE} , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_{pE} , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de depleción de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los *HBTs* es

necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

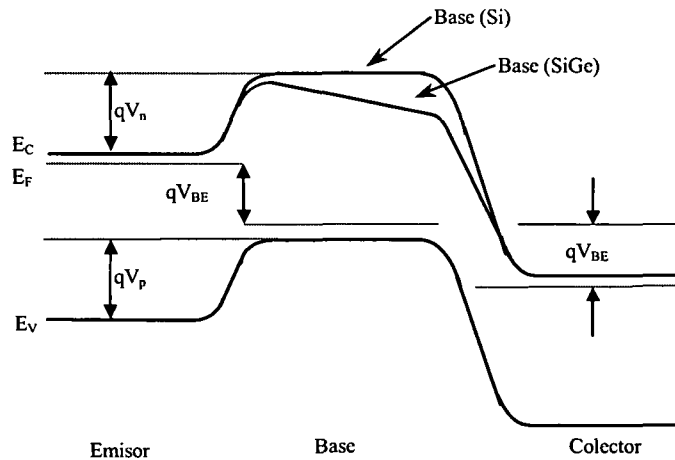


Figura 4.20 Diagrama de bandas de energía de un transistor bipolar de homounión npn-Si y un transistor bipolar de heterounión npn-Si/SiGe.

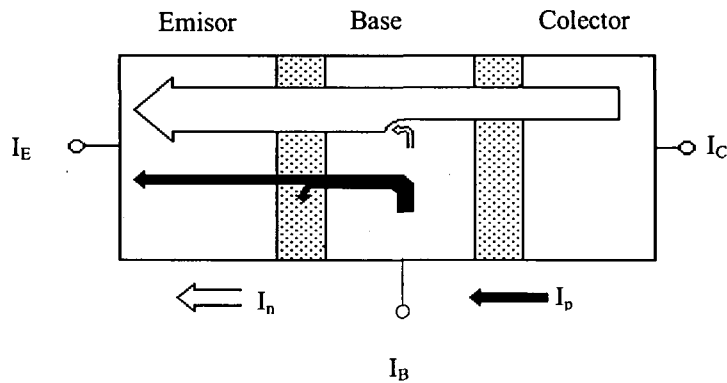


Figura 4.21 Esquema simplificado del flujo de corriente en un transistor de homounión npn-Si.

Si se desprecian las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los *BJTs* para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de *Boltzmann* ofrece las concentraciones de portadores minoritarios que se muestran en las ecuaciones 4.11 y 4.12.

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.11)$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (4.12)$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión BJT. V_{BE} es la tensión aplicada a la unión B-E. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es P_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones 4.11 y 4.12 resulta la ecuación 4.13.

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (4.13)$$

Esta ecuación representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la figura 4.20 se muestra también el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G / W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno como se muestra en la ecuación 4.14.

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K \cdot T}\right)} \quad (4.14)$$

Debido a que es posible obtener decenas de meV para ΔE_G variando la concentración de Ge , la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias.

Por otro lado, para conseguir valores de corriente elevados en los $BJTs$, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de $HBTs$ en vez de $BJTs$ ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los $HBTs$ trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los $HBTs$ de $SiGe$ es mayor que para los $BJTs$ de Si , con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con lo que mejoran las propiedades de las etapas de entrada de $LNAs$ respecto al ruido. Por último, debido a la elevada ganancia que presentan los $HBTs$ de $SiGe$ a frecuencias por encima de 2 GHz , es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y $LNAs$.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presentan, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del SiGe, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

4.5.3 Modelo de baja frecuencia

En la figura 4.22 se muestra el modelo en baja frecuencia de un transistor bipolar npn cuando el transistor está operando en configuración de emisor-común (EC).

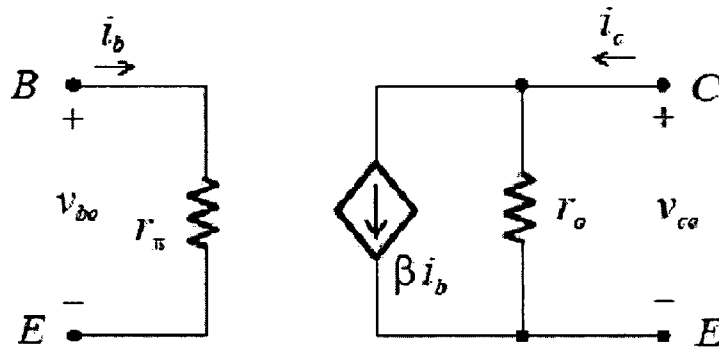


Figura 4.22 Modelo híbrido en π en baja frecuencia.

Del circuito anterior se obtienen las ecuaciones 4.15 y 4.16.

$$V_{be} = r_{\pi} \cdot i_b \quad (4.15)$$

$$i_c = \beta \cdot i_b + \frac{1}{r_o} \cdot V_{ce} \quad (4.16)$$

4.5.4 Modelo de alta frecuencia

Hay dos factores que definen el comportamiento en alta frecuencia de los transistores bipolares: la dependencia de la β con la frecuencia y las capacidades internas. En la figura 4.23 se observa esta dependencia y se definen dos frecuencias: f_β , frecuencia de corte superior que es la frecuencia a la cual decae en $1/\sqrt{2} = 0.707$, la β a frecuencias medias especificada por β_o y f_T , frecuencia de transición definida como la frecuencia a la cual la β vale 1. El fabricante proporciona el valor de f_T en función de la corriente de colector, siendo éste un parámetro importante que fija el ancho de banda del transistor.

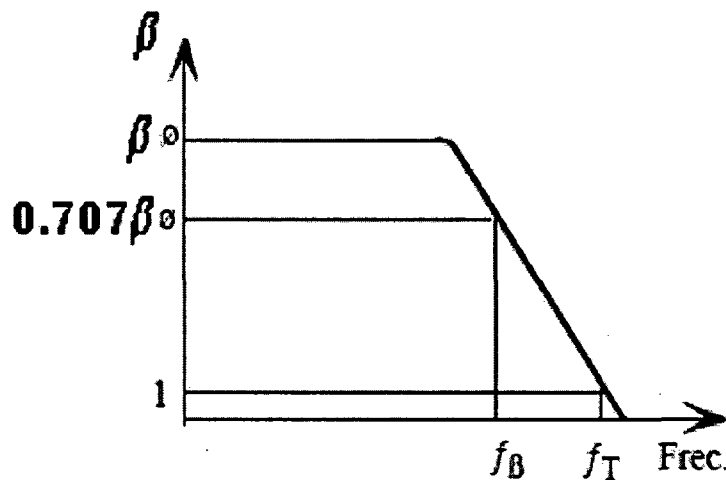


Figura 4.23 Variación de la β de un transistor bipolar con la frecuencia.

En la figura 4.24 se muestra el modelo simplificado a alta frecuencia de un transistor bipolar. Está constituido por dos capacidades dominantes: $C_{b'e}$ y $C_{b'c}$, las cuales varían con la tensión inversa (*reverse voltage*). $C_{b'e}$ se obtiene gráficamente calculando la V_{BC} del transistor (tensión inversa de la unión colector-base). $C_{b'e}$ tiene asociada dos capacidades, difusión del emisor y de unión emisor-base. Al ser la primera mucho mayor que la segunda, ésta capacidad se puede estimar como se muestra en la ecuación 4.17.

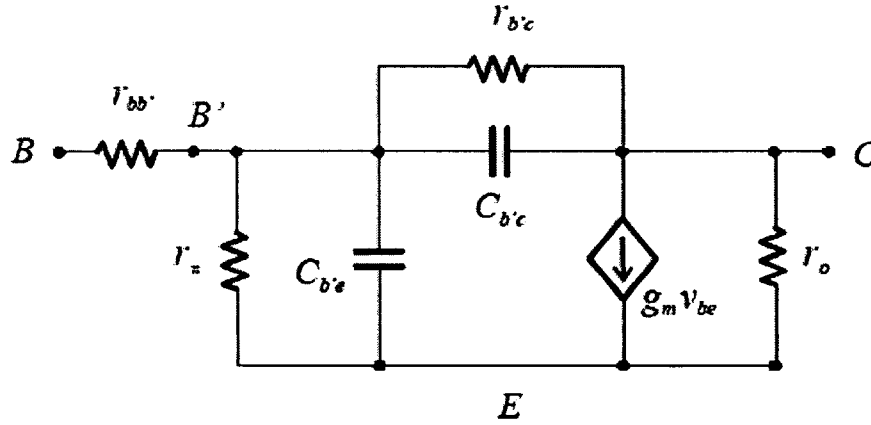


Figura 4.24 Modelo en alta frecuencia de un transistor bipolar..

$$C_{b'e} = \frac{I_C}{2\pi \cdot f_T \cdot V_T} - C_{b'c} \quad (4.17)$$

Siendo V_T el potencial térmico, que vale 25 mV a 25 °C. La relación entre f_T y f_B y esas capacidades es la que se muestra en la ecuación (4.18).

$$f_T = f_o \cdot \beta' \quad (4.18)$$

Siendo f_o y β los mostrados en las ecuaciones 4.19 y 4.20 respectivamente.

$$f_o \cong \frac{1}{2\pi \cdot (r_{bb'} + r_{\pi})(C_{b'e} + C_{b'c})} \quad (4.19)$$

$$\beta = \frac{\beta'}{1 + j \cdot \frac{f}{f_o}} \quad (4.20)$$

4.5.5 HBTs en la tecnología S35D4 de AMS

Los HBTs de SiGe utilizados para la realización de este diseño son los suministrados en el proceso S35D4 (0.35 μm HBT BiCMOS) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo

p poco dopada de resistividad $19 \Omega.cm$. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (*CVD*) la cual se separa mediante un proceso de recesión *LOCOS*. El siguiente paso es el crecimiento selectivo de la base de *SiGe* mediante *CVD*. La concentración de germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de base y emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la figura 4.25 se muestra el cuadro de diálogo de los transistores disponible en el kit de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

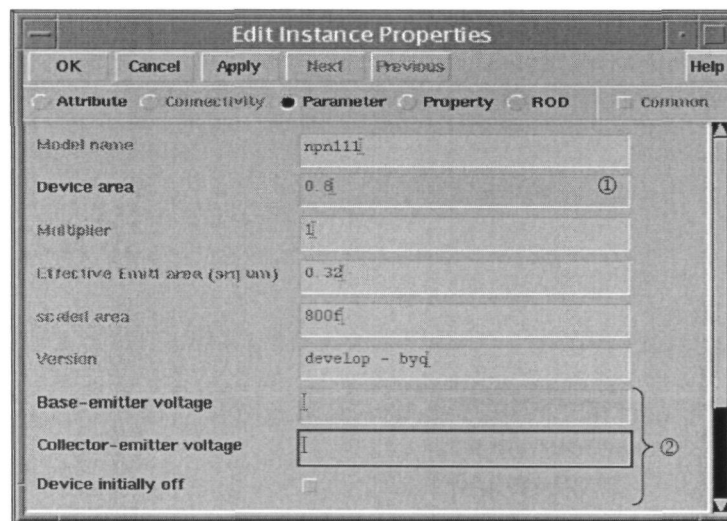


Figura 4.25 Parámetros ajustables de los transistores.

- ① Selección del área del transistor
- ② Selección de los ajustes para simulación

En la figura 4.26 se muestra el layout de un transistor *HBT*. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

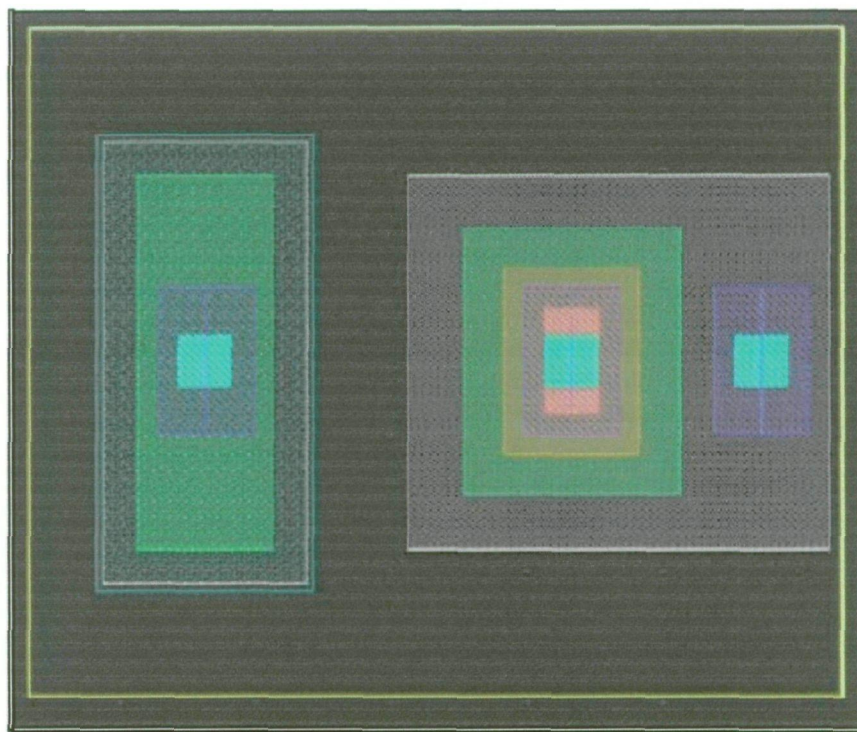


Figura 4.26 Layout de un Transistor HBT.

4.6 Resumen

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología *S35D4* de *AMS* para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los *LNAs* y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño de los *LNAs* en sí, gracias a la información aportada en el presente capítulo y el anterior.

Capítulo 5

Diseño a nivel de esquemático

En el capítulo anterior pudimos estudiar las características principales de la tecnología empleada. En la presente sección nos centraremos en el verdadero objetivo del proyecto: el diseño de un amplificador de bajo ruido (LNA), en este caso, a nivel de esquemático. Comenzaremos hablando de las especificaciones requeridas para este tipo de dispositivos. Esto lo obtendremos de las características del estándar IEEE802.15.3a, tal y como vimos en el capítulo 2. Luego, seguiremos una secuencia de diseño basada en el estudio de los componentes proporcionados por la tecnología. Esto nos llevará a elegir la topología de LNA óptima para nuestros intereses. Finalmente, una vez elegida la arquitectura, optimizaremos los componentes de esta para cumplir las especificaciones y, en la medida de lo posible, obtener mejores resultados.

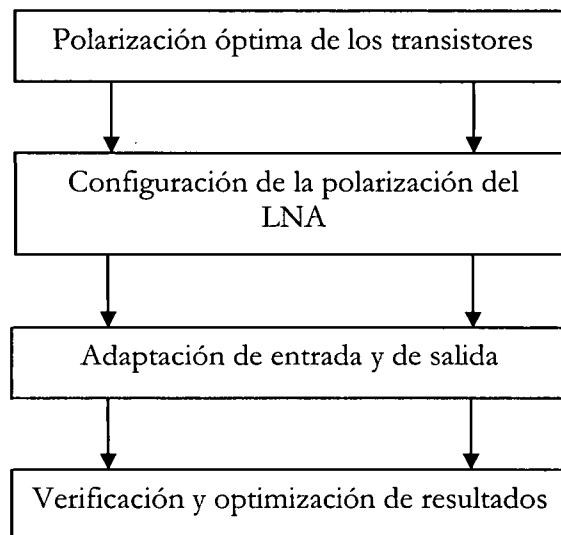
5.1 Especificaciones

Las especificaciones requeridas para nuestro LNA según el estándar IEEE802.15.5a [18] y la tecnología empleada son:

- Alimentación= 3.3 Voltios.
- Figura de ruido (NF) < 6 dB.
- IIP3 > -10 dBm.
- OIP3 > 4 dBm.
- Ganancia (*Power Gain*) > 9 dB.
- Consumo de potencia → Menor posible.

5.2 Flujo de diseño

Para un correcto diseño de nuestro LNA, hemos seguido el siguiente flujograma:



A continuación pasaremos a desarrollar en los siguientes apartados cada uno de los bloques.

5.2.1 Polarización óptima de los transistores

Esta primera parte del diseño comenzó con el estudio de las características de los transistores de la tecnología empleada. El análisis se centra, principalmente, en aquellos aspectos relativos a la polarización de los transistores. El objetivo es obtener la menor figura de ruido junto con una ganancia aceptable.

Esto lo logramos con una serie de análisis y simulaciones con el software ADS (*Advanced Design System*).

Para ello, comenzamos analizando una configuración muy sencilla, tal y como se observa en la Figura 5.1. Con ella pretendemos obtener la corriente de colector (I_C) que polarice al transistor de cara a obtener la menor figura de ruido posible. Cabe destacar que los transistores de la tecnología están optimizados para funcionar con tensiones V_{CE} menores a 5.5 V, tal y como muestra la figura 5.2. Se puede apreciar que la NF es casi constante hasta aproximadamente unos 2 voltios por debajo de dicho valor de tensión, siendo la corriente de polarización la que determina su valor final.

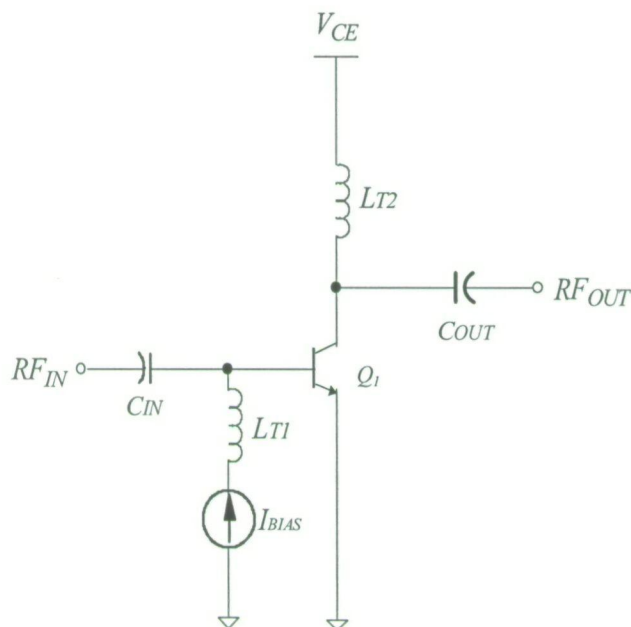


Figura 5.1 Configuración para el estudio de la polarización óptima

El análisis anterior está realizado para un área determinada de transistor, en este caso 10. Si queremos aumentar la ganancia del amplificador, lógicamente deberemos aumentar

dicha área o el consumo de corriente del circuito. Sin embargo, esto degradará notablemente la figura de ruido. Por tanto, hemos de encontrar un sistema que nos permita aumentar la ganancia sin sacrificar la NF. Dicha relación es lo que se conoce como NF vs J_C . Se basa en obtener la densidad de corriente (J_{OPT}) que nos suministre la menor NF posible. Para ello utilizaremos el esquema de la figura 5.3, pequeña modificación del anterior para este estudio en particular. En la figura 5.4 se aprecia que la corriente de polarización óptima para mínima NF es $I_{OPT}=1.12$ mA.

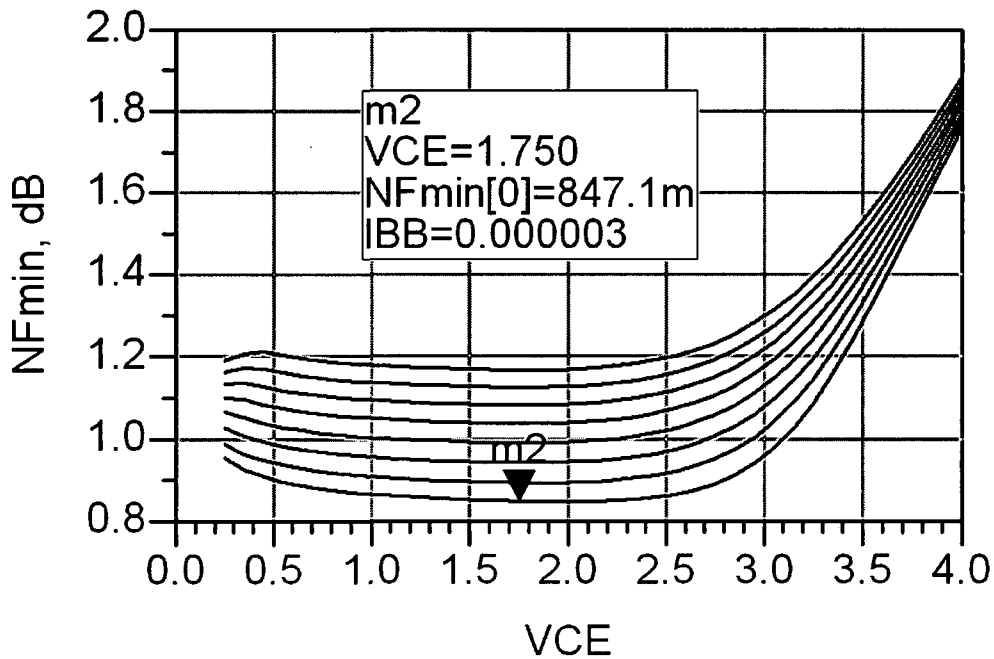


Figura 5.2 NF frente a VCE y la corriente de polarización.

Dado que nuestro transistor tiene un área igual a $10 \mu m^2$, obtenemos que:

$$J_{opt} = \frac{1,12mA}{10\mu m^2} = 0,12mA / \mu m^2 \quad (5.1)$$

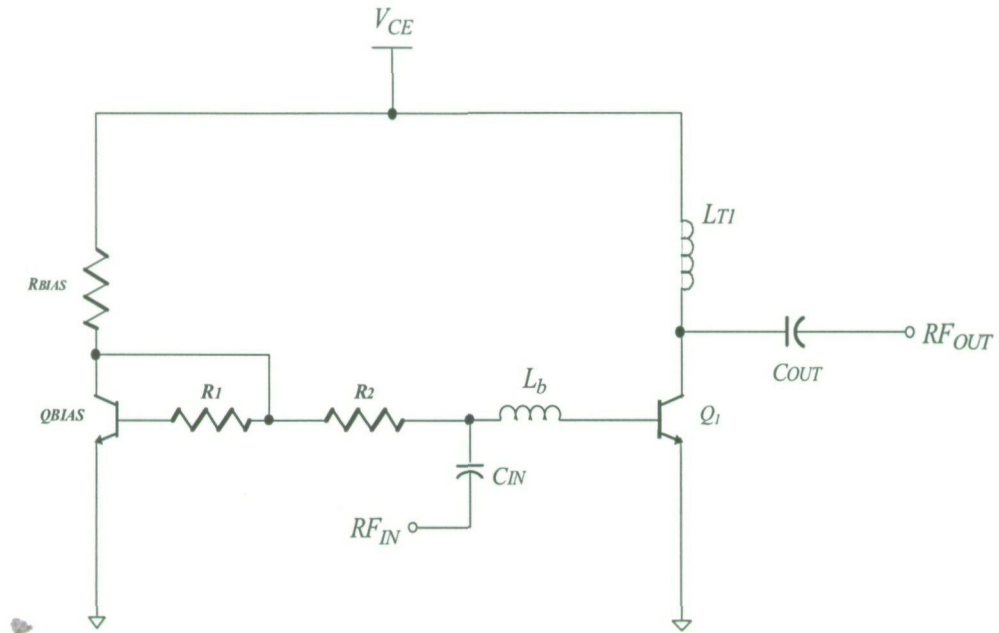


Figura 5.3 Configuración para el estudio de la NF.

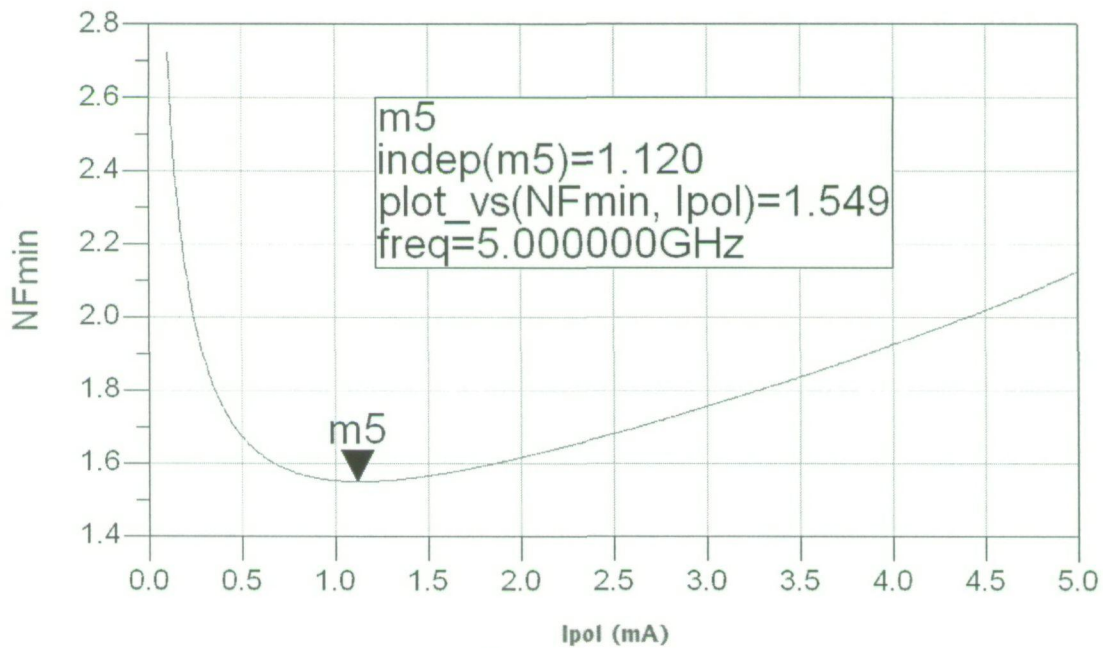


Figura 5.4 NF frente a I_C para una V_{CE} dada.

Tomando como base la polarización óptima de los transistores para mínima figura de ruido, podemos dar paso al estudio de la configuración más adecuada para nuestro LNA.

5.2.2 Configuración de la polarización del LNA

De acuerdo con el análisis realizado en el capítulo 3, pudimos observar que la configuración con un mejor compromiso entre consumo de potencia, linealidad, aislamiento y ganancia es el LNA cascado (*Single-Ended*). Por tanto, nuestro diseño se fundamentará en esta topología.

5.2.2.1 Etapas de polarización

Este apartado está dedicado al estudio de la etapa de polarización óptima de nuestro LNA. Para ello, nos fundamentaremos en los niveles de tensión colector-emisor (V_{CE}) y de corriente de colector (I_C) dados en el apartado 5.2.1.

Los criterios de evaluación vienen determinados por estos dos parámetros básicos:

- Menor consumo de potencia posible.
- Menor figura de ruido posible.

5.2.2.1.1 Etapa con doble fuente de corriente

Esta primera topología se muestra en la figura 5.5. En ella se pueden observar las dos fuentes de corriente que polarizan los transistores Q_1 y Q_2 . Igualmente se pueden apreciar los componentes que las conforman.

Dado su alto valor, la resistencia R_2 ($50\text{ K}\Omega$) evita que la señal de entrada se degenera por el efecto del circuito de polarización.

La corriente a través de los dos transistores Q_1 y Q_2 la regulamos con las resistencias R_5 y R_7 . Sin embargo, también son utilizadas para fijar las tensiones V_{CE} de estos. Esto hace altamente difícil obtener el valor adecuado de I_C y V_{CE} , ya que dependen de dos variables.

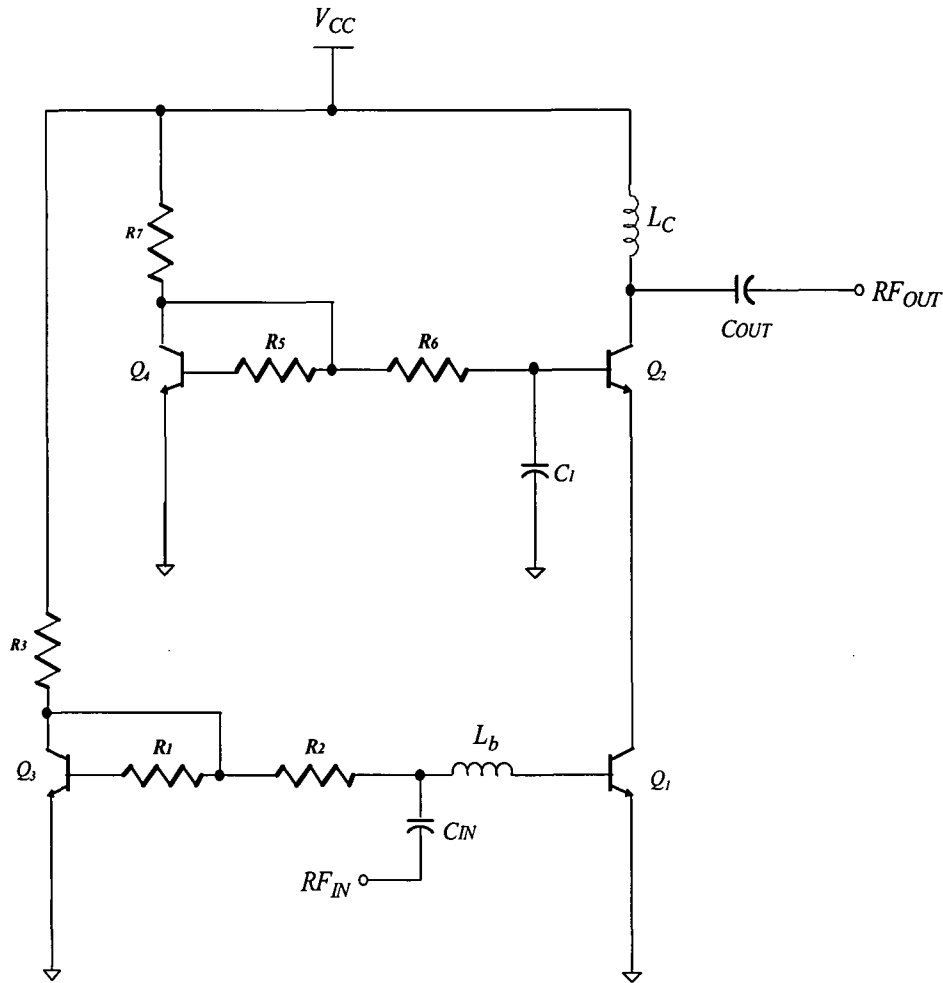


Figura 5.5 Polarización con doble fuente de corriente

El condensador C_1 es utilizado para eliminar el ruido aportado por la red formada por el transistor Q_2 y las resistencias R_5 , R_6 , y R_7 .

Dado que esta topología está formada por dos fuentes de corriente, el consumo de potencia total alcanza valores elevados. De la misma manera, el elevado número de componentes que presenta este tipo de polarización hace que proliferen efectos parásitos. Esto se hace patente en el valor de la NF del circuito, que aumenta considerablemente.

Con las características que presenta esta configuración, debemos plantearnos el estudiar otras alternativas que las mejoren. Una de ellas es la etapa formada por fuente de corriente y divisor resistivo.

5.2.2.1.2 Etapa con fuente de corriente y divisor resistivo

Esta configuración se puede observar en la figura 5.6. En ella se aprecia que la fuente de corriente que polarizaba al transistor Q_2 , ha sido sustituida por un divisor resistivo. Esto nos será especialmente útil para suministrar la correcta V_{CE} a los transistores. Así desaparece parcialmente el problema anterior en que la I_C y la V_{CE} de los transistores dependían de 2 variables.

En esta topología, la I_C de los transistores la fija la fuente de corriente formada por el transistor Q_3 y las resistencias que lo acompañan. Igualmente, como ya comentamos, la V_{CE} de los transistores la fija el divisor resistivo formado por las resistencias R_5 y R_6 .

La corriente I_C la podemos variar modificando el valor de la resistencia R_3 . La resistencia R_2 posee un alto valor para evitar que la señal de RF entrante se vea degradada por el circuito de polarización, al igual que en el caso anterior. Por otro lado, el condensador C_1 elimina la influencia del divisor resistivo en el funcionamiento en AC del amplificador.

Cuando mencionamos que el problema de la polarización desaparecía parcialmente, se debía a que la fuente de corriente influye en la V_{CE} de los transistores. Por tanto, el ajuste de la correcta V_{CE} de Q_1 y Q_2 depende de dos variables, al igual que en la configuración anterior. Sin embargo, la influencia de dicha fuente de corriente es menor que en la topología de doble fuente.

El consumo de potencia del circuito tiende a ser moderado-alto, debido a la existencia de una fuente de corriente.

La NF del amplificador tiende a ser moderada-baja, la cual puede reducirse mediante un diseño cuidadoso de los componentes.

Sin embargo, de cara a la integración del amplificador, debemos centrar nuestros esfuerzos en reducir el consumo de potencia al mínimo posible. Para ello, estudiamos otra configuración con menor consumo, la topología de doble divisor resistivo.

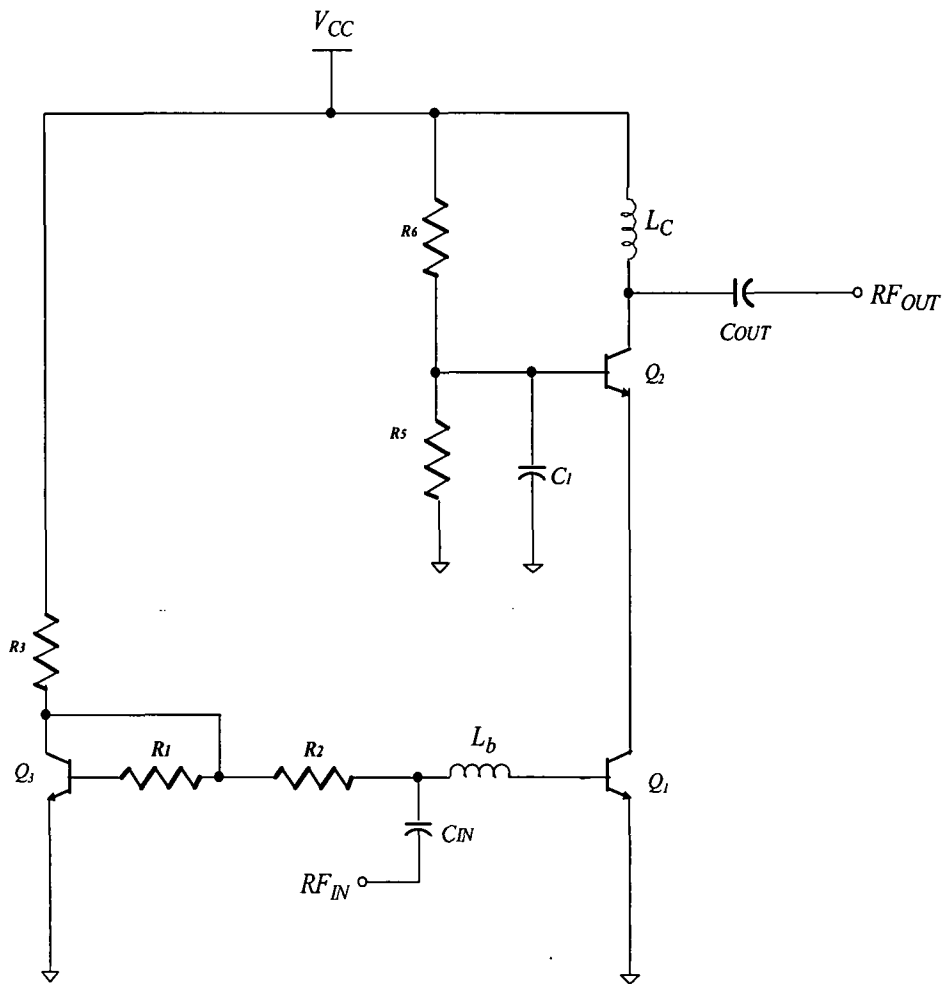


Figura 5.6 Configuración con fuente de corriente y divisor resistivo

5.2.2.1.3 Etapa con doble divisor resistivo

Esta última configuración se puede observar en la Figura 5.7. En ella se aprecia que no existen fuentes de corriente ya que han sido sustituidas por un doble divisor resistivo.

Esta topología se presta como la de mayor sencillez en la fijación de los niveles de polarización. Podemos establecer las tensiones en las bases de los transistores Q_1 y Q_2 , y consiguientemente sus V_{CE} respectivas aplicando la fórmula de un divisor resistivo.

Por otro lado, podemos fijar la I_C de los transistores modificando el módulo de las resistencias R_1 , R_2 y R_3 . Por ejemplo, si con valores de resistencias del orden de cientos de

Obtendremos una I_C de 10 mA, con valores de resistencias del orden de $K\Omega$, podemos obtener una I_C de 1 mA.

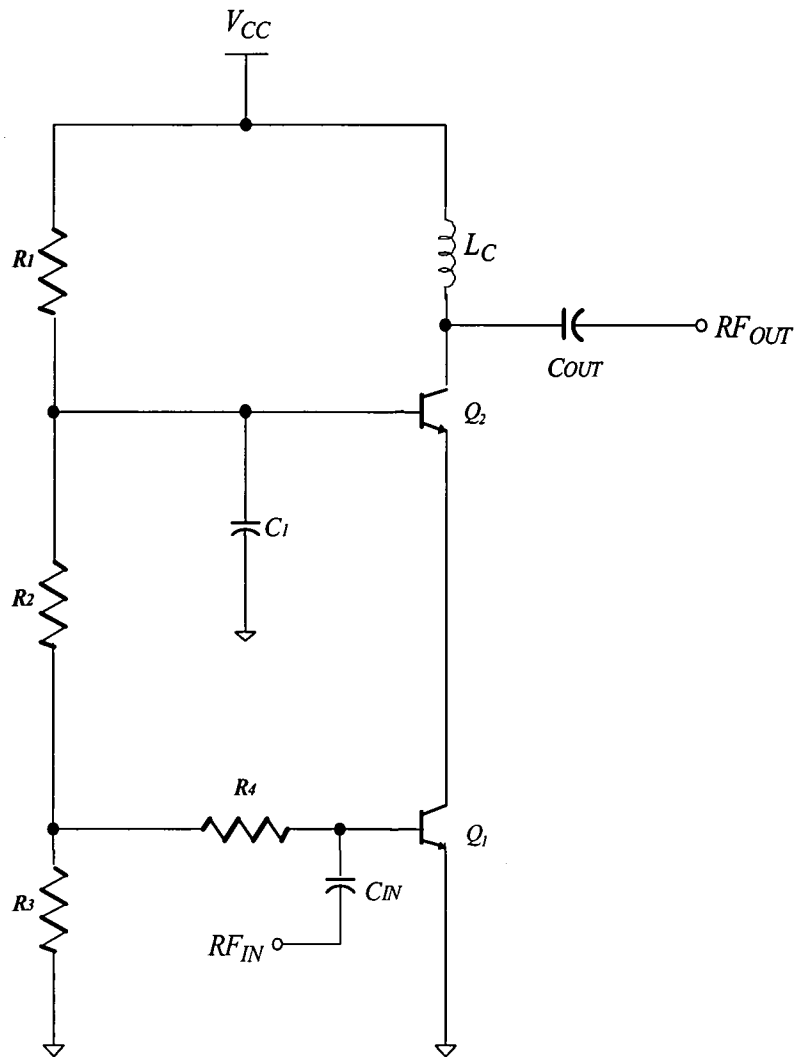


Figura 5.7. Etapa de polarización con doble divisor resistivo.

Para conseguir esto y no variar el valor de las tensiones en las bases de los transistores, todos los módulos de las resistencias obtenidas mediante la fórmula del divisor resistivo deben ser multiplicados por el mismo factor.

El condensador C_1 es utilizado para eliminar la contribución de ruido aportada por el divisor en la base de Q_2 , al igual que en la topología anterior.

Igualmente, la resistencia R_p posee un valor elevado para eliminar la degradación de la señal de entrada por el circuito de polarización.

En lo referente al consumo de potencia, este tipo de polarización se presenta como la más eficiente. Tal es el orden de eficiencia que el consumo total se acerca a los valores obtenidos con transistores pertenecientes a otro tipo de tecnologías, como por ejemplo la CMOS.

Si nos referimos a la NF del amplificador, el valor tiende a ser muy bajo, dado que existen muy pocos componentes. También es debido a que sus valores se han optimizado para esto.

5.2.2.2 Polarización elegida

Tras estos estudios sobre etapas de polarización, se deduce que la opción más adecuada es la de doble divisor resistivo. Sin embargo, estudiando los parámetros de la tecnología empleada, nos encontramos con un gran inconveniente. Este se debe a que la tolerancia de los componentes resistivos alcanza valores cercanos al 55%. Si a esto le sumamos las posibles inherentes desviaciones de los otros componentes del amplificador, (como podrían ser los transistores), el rendimiento de este tendría una incertidumbre cercana al 45%.

Por tanto, hemos de recurrir a polarizaciones externas para minimizar las posibles desviaciones debidas a las tolerancias. Para ello, aplicaremos los valores de tensión y de corriente necesarios para obtener la mínima NF y la máxima ganancia, tal y como pudimos apreciar en las anteriores secciones. Los elementos elegidos para la polarización están integrados con las correspondientes a las redes de adaptación y , por ello, serán explicados en la siguiente sección.

5.2.3 Adaptación de entrada y de salida

Como ya hemos comentado a lo largo de este proyecto, a la hora de realizar amplificadores de banda ancha la solución empleada suele ser amplificadores distribuidos, los cuales requieren altos niveles de consumo y no se optimizan para el ruido.

Nuestro propósito consiste en realizar un amplificador de banda ancha a partir de un amplificador cascode de banda estrecha.

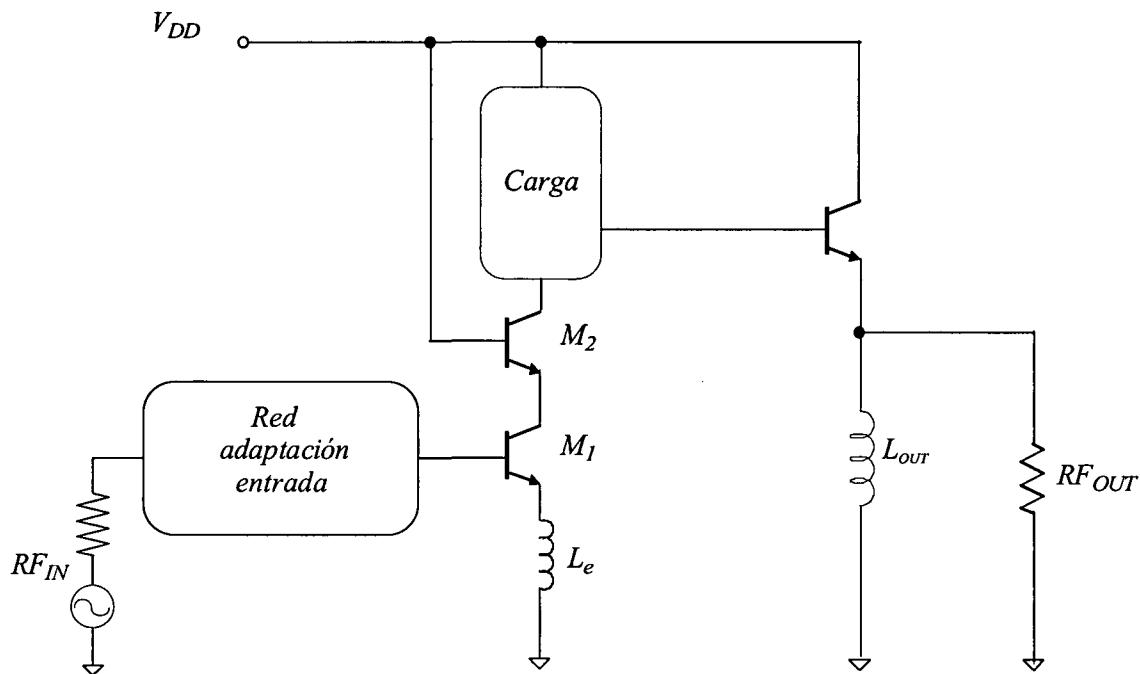


Figura 5.8 Amplificador para banda ancha.

En la figura 5.8 se muestra la arquitectura utilizada a la hora de diseñar un amplificador cascode de banda estrecha, como se ha visto en apartados anteriores. Para poder realizar amplificadores de banda ancha a partir de esta estructura es necesario hacer dos modificaciones con respecto al de banda estrecha:

- Se tiene que sustituir la red de adaptación de la entrada, anteriormente de banda estrecha, por una red de adaptación de banda ancha. Para ello, se utiliza un filtro para la banda que queremos.

- En segundo lugar se tiene que sustituir la carga de banda estrecha (circuito tanque) por una de banda ancha. Las cargas para banda ancha que más se suelen usar son: carga *RC*, *series-peaking*, *shunt-peaking* y *shunt-series-peaking* que es una combinación de las dos anteriores [6].

Uno de nuestros principales objetivo es minimizar la figura de ruido (NF) del amplificador, tal y como hemos comentado. Para minimizarla debemos determinar la impedancia de la fuente de pequeña señal que debe ver el transistor a su entrada para que éste presente una NF mínima. Por lo general la impedancia de fuente que realmente tiene nuestro circuito ($R_s=50\Omega$) rara vez coincide con la impedancia de fuente para mínimo ruido (R_{sNFmin}), tal y como pudimos apreciar en capítulos anteriores. Por tanto, debemos elegir entre adaptar para mínimo ruido (forzar a que la impedancia de fuente se parezca a R_{sNFmin} mediante una red de adaptación al efecto) o adaptar para máxima transferencia de potencia (forzar a que la impedancia de entrada del transistor se parezca a R_s). Sin embargo existen técnicas que permiten hacer que R_{sNFmin} se parezca lo más posible a R_s , tal y como pudimos apreciar en el capítulo 3. Una de las técnicas es la denominada degeneración inductiva, la cual consiste en introducir una inductancia en serie con el emisor tal y como se muestra en la Figura 5.8. El valor de dicha inductancia viene dado por la siguiente expresión aproximada [3]:

$$Le \approx \frac{50\Omega}{2 \cdot \pi \cdot f_T} \quad (5.2)$$

Como se puede observar, cuanto mayor sea la frecuencia de corte del transistor (f_T), menor será el valor de la inductancia a utilizar y por tanto menor será la cantidad de ruido añadido al LNA por las pérdidas óhmicas asociadas a dicha inductancia. Al introducir esta inductancia hacemos que el coeficiente de reflexión para mínimo ruido sea $\Gamma_{min}=1+jX$, es decir, su parte real vale 50Ω . Nos ayudaremos del factor de calidad de la bobina (Q) para que esto sea cierto dentro del rango de frecuencias del estándar UWB.

Seguidamente añadimos la red de adaptación de banda ancha que se muestra en la figura 5.9, formada por los condensadores C_1, C_2 , y L_1 . Con ella lograremos que la parte imaginaria de Γ_{min} sea aproximadamente 0 en el rango de frecuencias de interés.

Usando esta red híbrida entre filtrado de banda ancha y degeneración inductiva logramos adaptar tanto para mínimo ruido como para máxima transferencia de potencia.

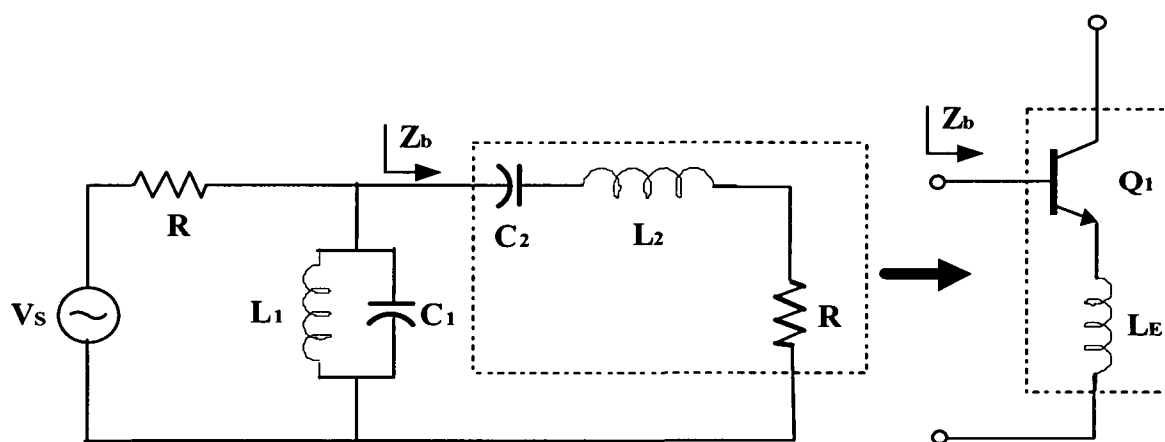


Figura 5.9 Adaptación de entrada híbrida.

Una vez adaptada la impedancia de entrada, debemos adaptar la salida del amplificador. Para ello debemos elegir que tipo de carga se ajusta más a nuestros intereses. Para tal fin, se estudiarán los tipos de estructuras antes mencionados.

En la figura 5.10 se muestra la estructura de la carga RC y su circuito equivalente.

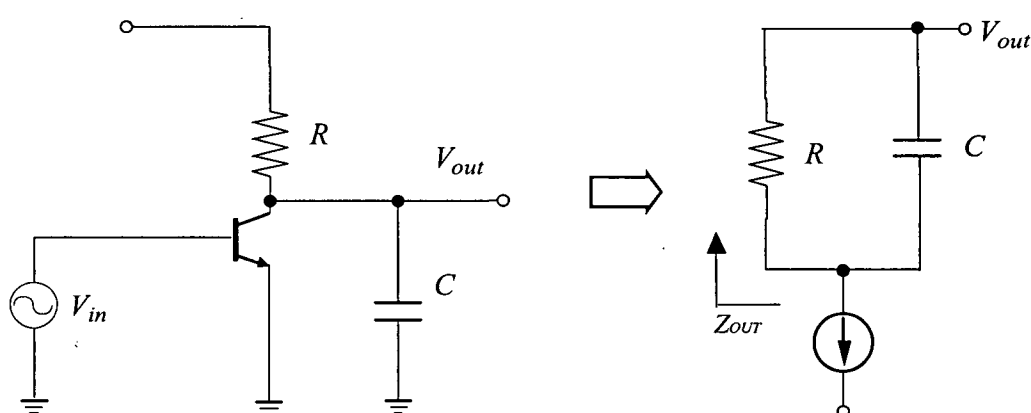


Figura 5.10 Carga RC.

Esta estructura viene a ser un filtro paso bajo. En la ecuación 5.2 se muestra la impedancia de esta carga.

$$Z(s) = R \parallel \frac{1}{s \cdot C} = \frac{R}{1 + R \cdot C \cdot s} \quad (5.3)$$

En la figura 5.11 se muestra la respuesta en frecuencia, la cual empieza a caer debido al polo que introduce esta carga.

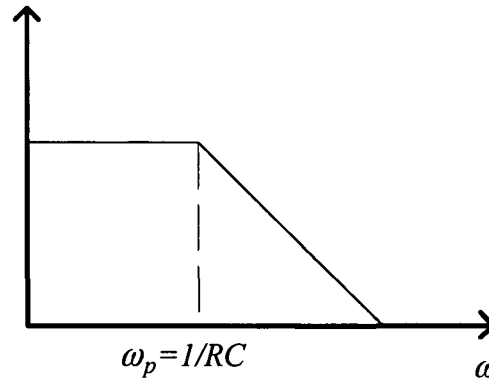


Figura 5.11 Respuesta en frecuencia de la carga RC.

La estructura *series-peaking* y su modelo se muestran en la figura 5.12. Con esta estructura se puede incrementar el ancho de banda con respecto a la carga RC, del orden de $1.41 \cdot BW_{RC}$ [6].

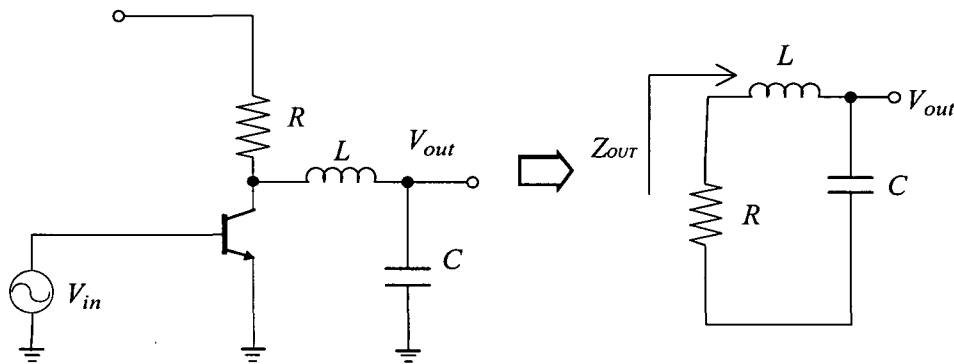


Figura 5.12 Carga *series-peaking*.

A partir del modelo equivalente de la figura 5.12 obtenemos su impedancia (ecuación 5.4).

$$Z(s) = R \parallel \left(s \cdot L + \frac{1}{s \cdot C} \right) = \frac{R \cdot (s^2 \cdot L \cdot C + 1)}{(s \cdot L \cdot C + 1)^2} \quad (5.4)$$

En la figura 5.13 se muestra la estructura de la carga *shunt-peaking* y su modelo. Con esta carga se consigue aumentar el ancho de banda respecto a la *series-peaking*. El aumento con respecto a la carga RC viene a ser $1.85 \cdot BW_{RC}$ [6].

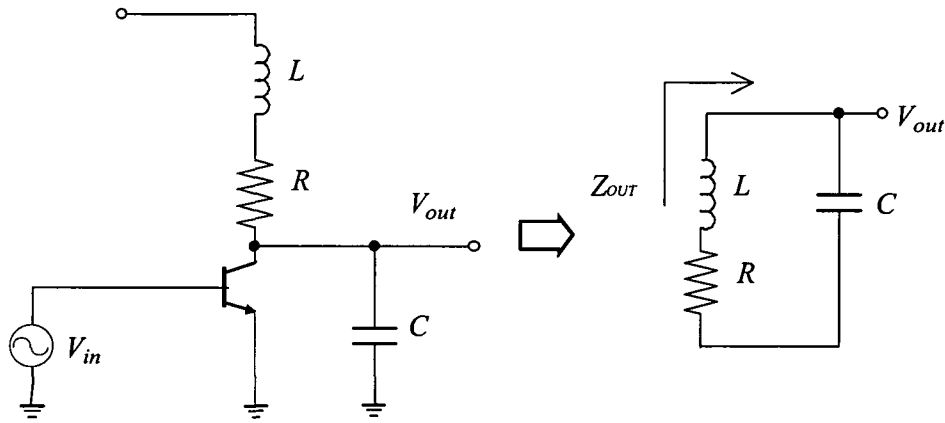


Figura 5.13 Carga *shunt-peaking*.

A partir del modelo equivalente de la figura 5.13 obtenemos su impedancia (ecuación (5.5)).

$$Z(s) = (R + L \cdot s) \parallel \left(\frac{1}{s \cdot C} \right) = \frac{R + s \cdot L}{(1 + R \cdot C \cdot s)^2} \quad (5.5)$$

Otra posibilidad es la mostrada en la figura 5.14 en la que se puede ver la estructura *series-shunt-peaking* y su modelo. Se trata de una combinación del *series-peaking* con el *shunt-peaking*.

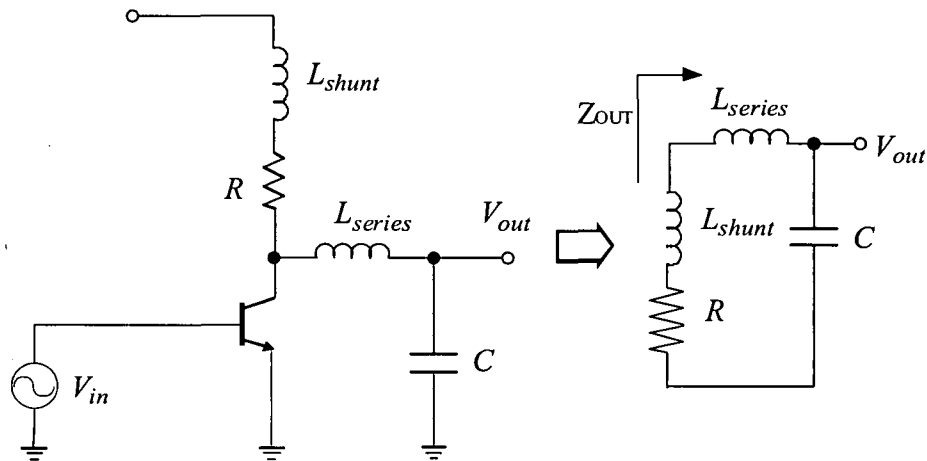


Figura 5.14 Carga *shunt-series-peaking*.

Su impedancia de salida se corresponde con la ecuación 5.6:

$$Z(s) = R + s \cdot L_{shunt} \parallel \left(s \cdot L_{series} + \frac{1}{s \cdot C} \right) \quad (5.6)$$

Por ultimo en la figura 5.15 se muestra la red *shunt peaking* modificada con un condensador de salida, cuya impedancia de salida es:

$$Z(s) = R + s \cdot L_{shunt} + \frac{1}{sC} \quad (5.7)$$

Esta red se presenta como la mejor opción de cara a mantener un compromiso entre NF y adaptación. Esto es debido a que sólo posee un componente inductivo (NF bajo), que conjuntamente con el condensador de salida forma un tanque LC serie. Dado que estamos diseñando un amplificador de banda ancha, necesitamos que nuestro circuito resuene en un amplio margen de frecuencias. Para ello nos valemos del factor de calidad de la bobina (Q). Si observamos la figura 5.16, podemos observar que apariencia tiene este en función de la frecuencia.

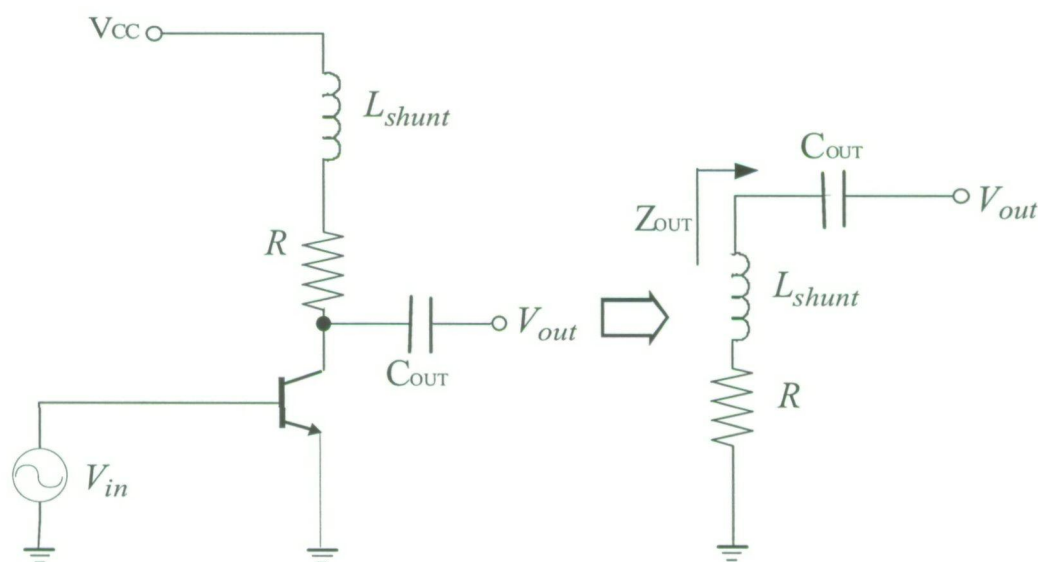


Figura 5.15 Red *series-shunt peaking* modificada.

De forma intuitiva se puede apreciar que si queremos abarcar un gran ancho de banda, debemos escoger la bobina que muestre un Q más constante en un margen de frecuencias mayor. Por tanto en este caso particular debemos escoger la bobina B2.

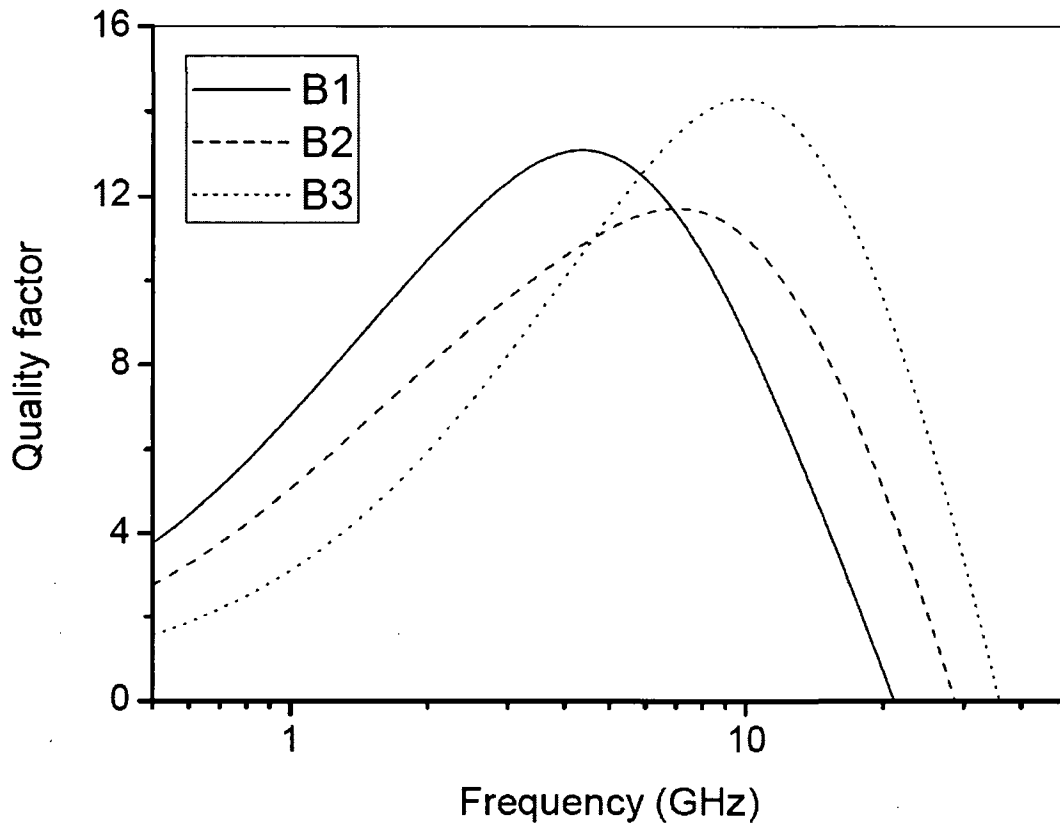


Figura 5.16 Factor de calida frente a frecuencia.

En la figura 5.17 se muestra un esquemático del amplificador diseñado, en el que se aprecian las redes de adaptación de entrada y salida junto con los elementos necesarios para la polarización de los transistores.

La red de entrada está compuesta por un híbrido entre filtrado de banda ancha clásico y degeneración inductiva.

La adaptación de salida se logra a través de un *shunt-peaking* (bobina L_C resistencia R_C y condensador C_{OUT}) y de un buffer (Transistor Q_3). Cabe destacar que se ha añadido una bobina de emisor a la salida (L_{OUT}) para ayudar en la adaptación de salida, dado el gran ancho de banda a cubrir.

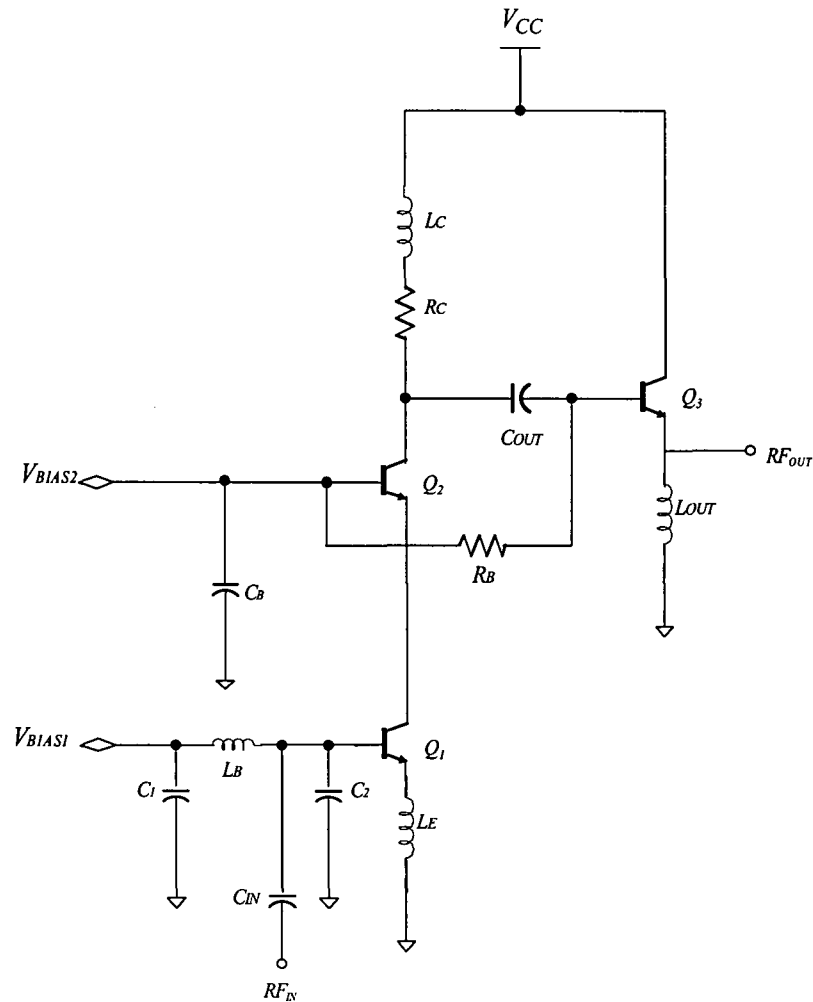


Figura 5.17 Circuito diseñado.

Retomando la figura 5.17, se aprecia que la polarización de los transistores de amplificación (Q_1 y Q_2) se acomete a través de los terminales V_{BIAS1} y V_{BIAS2} , respectivamente. Dichos terminales son externos al chip diseñado. Esto nos permitirá evitar, en la medida de lo posible, el uso de resistores integrados, los cuales presentan una alta tolerancia en la tecnología empleada. La desviación en el valor óhmico de la red de polarización podría desajustar el correcto funcionamiento del circuito. Por otro lado, cabe destacar que con los condensadores C_1 y C_B aislamos la contribución de ruido de la red externa.

Por último, el buffer de salida ha sido polarizado a través de la resistencia R_B , la cual presenta un alto valor resistivo para evitar que la señal de alterna se degenere hacia GND.

5.2.4 Estudios paramétricos

Una vez establecido el esquema sobre el cual vamos a establecer nuestro trabajo, pasamos a optimizar los valores de los componentes implicados en el diseño.

Para ello prestaremos especial atención a las bobinas, ya que su rendimiento en términos de factor de calidad y valores inductivos es crucial para el correcto funcionamiento del circuito. Dichas bobinas están generadas usando el *software* IMODEL [39], el cual se basa en obtener los parámetros de la bobina en función del modelo visto en el capítulo 4. Para ello utiliza las ecuaciones que caracterizan a la tecnología empleada (en términos de caracterización de sustrato y niveles de metales). Una vez caracterizadas las inductancias, con el *software* MOMENTUM [40] pasamos a realizar simulaciones electromagnéticas, lo que nos permitirá ajustar aún más a la realidad los modelos generados anteriormente.

Como ejemplo de caracterización, podemos observar la Tabla 5.1 en la que se aprecian diversos valores de componentes inductivos empleados en la optimización de nuestro circuito. En dicha tabla se aprecian los parámetros obtenidos de diversas bobinas en función de la frecuencia a la cual presentan su factor de calidad máximo para un valor de inductancia dado.

En lo referente a la optimización de los transistores, los parámetros más influyentes son los referidos a la polarización, el área y la multiplicidad (n° de transistores en paralelo).

Finalmente, con objeto de que el resultado de las simulaciones sea lo más real posible, debemos tener en cuenta la influencia de una serie de efectos parásitos que influyen de manera considerable en el funcionamiento del circuito. Estos efectos se deben a los elementos parásitos introducidos por los *pads* de conexión, el hilo de soldadura entre el *pad* y la patilla, y el empaquetamiento en sí. Si no se consideraran dichos elementos, los resultados obtenidos a partir de las distintas simulaciones diferirán de los obtenidos en las medidas.

Tabla 5.1. Barrido de parámetros para optimización

b1	freq	Lcalc	Q calc	s	r	w	n	Ls	Rs	Cp	Cox	Rsub	Csub	L sim	Q sim	Ls	Rs	Cp	Cox	Rsub	Csub	fQmax
2,00	1,00	2,16	8,78	2,00	150,00	25,00	2,50	2,10	1,35	55,34	275,00	296,00	67,61	1,80	7,00	1,80	1,60	23,40	280,00	610,00	28,20	7G
2,00	2,00	1,80	11,63	2,00	135,00	25,00	2,50	1,71	1,21	55,39	240,00	307,50	65,08	1,40	8,60	1,40	1,80	2,20	244,00	682,00	25,00	4G
2,00	3,00	1,82	12,21	2,00	110,00	15,00	2,50	1,73	1,66	20,00	126,00	480,67	41,62	1,50	10,80	1,60	1,80	13,00	130,00	803,00	21,00	5G
2,00	4,00	1,87	12,39	2,00	100,00	11,00	2,50	1,77	2,07	10,71	87,16	633,71	31,57	1,60	11,90	1,70	2,20	9,30	91,00	867,00	19,80	6G
2,00	5,00	1,85	12,80	2,00	70,00	8,00	3,50	1,74	2,56	1,93	55,63	702,50	28,48	1,50	11,70	1,60	2,80	5,70	57,80	1240,00	13,30	8G
2,00	6,00	1,87	12,93	2,00	60,00	5,00	3,50	1,77	3,60	3,10	31,62	1063,00	18,82	1,70	11,80	1,80	4,10	3,10	33,30	1440,00	12,70	10G
2,00	7,00	1,89	13,29	2,00	60,00	5,00	3,50	1,77	3,60	3,10	31,62	1063,00	18,82	1,70	11,80	1,80	4,10	3,10	33,30	1440,00	12,70	10G
2,00	8,00	1,93	13,29	2,00	60,00	5,00	3,50	1,77	3,60	3,10	31,62	1063,00	18,82	1,70	11,80	1,80	4,10	3,10	33,30	1440,00	12,70	10G
2,00	9,00	1,87	13,04	2,00	80,00	5,00	2,50	1,72	3,69	2,21	33,70	1320,40	15,15	1,80	12,10	1,80	4,30	1,50	35,70	1019,00	18,00	9G
2,00	10,00	1,91	12,75	2,00	80,00	5,00	2,50	1,72	3,69	2,21	33,70	1320,40	15,15	1,80	12,10	1,80	4,30	1,50	35,70	1019,00	18,00	9G
b2	freq	Lcalc	Q calc	s	r	w	n	Ls	Rs	Cp	Cox	Rsub	Csub	L sim	Q sim	Ls	Rs	Cp	Cox	Rsub	Csub	fQmax
0,25	1,00	0,35	4,12	2,00	75,00	24,00	1,50	0,33	0,50	30,60	75,61	552,78	3,20	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	2,00	0,35	8,15	2,00	75,00	23,00	1,50	0,34	0,52	28,10	73,44	569,13	35,16	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	3,00	0,35	11,86	2,00	75,00	23,00	1,50	0,34	0,52	28,10	73,44	569,13	35,16	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	4,00	0,35	15,15	2,00	75,00	23,00	1,50	0,34	0,52	28,10	73,44	569,13	35,16	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	5,00	0,33	17,74	2,00	75,00	24,00	1,50	0,33	0,50	30,60	75,61	552,78	3,20	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	6,00	0,34	19,80	2,00	75,00	24,00	1,50	0,33	0,50	30,60	75,61	552,78	3,20	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	7,00	0,34	21,30	2,00	75,00	24,00	1,50	0,33	0,50	30,60	75,61	552,78	3,20	0,26	3,40	0,29	0,80	0,00	73,00	1154,00	13,90	11G
0,25	8,00	0,31	22,42	2,00	70,00	23,00	1,50	0,30	0,49	28,10	67,00	584,04	34,26	0,21	10,40	0,26	0,80	0,00	69,00	1207,00	12,90	13G
0,25	9,00	0,30	23,47	2,00	65,00	21,00	1,50	0,28	0,50	23,43	57,00	638,65	31,33	0,20	11,00	0,25	0,70	0,00	68,00	1269,00	12,20	24G
0,25	10,00	0,27	24,41	2,00	60,00	19,00	1,50	0,26	0,50	19,18	47,72	704,36	28,41	0,20	11,20	0,24	0,70	0,00	50,00	1348,00	11,30	23G
II	freq	Lcalc	Q calc	s	r	w	n	Ls	Rs	Cp	Cox	Rsub	Csub	L sim	Q sim	Ls	Rs	Cp	Cox	Rsub	Csub	fQmax
1,50	1,00	1,63	8,05	2,00	130,00	25,00	2,50	1,58	1,16	55,33	227,66	312,02	64,13	1,30	6,10	1,30	1,50	61,00	232,00	708,00	12,30	5G
1,50	2,00	1,31	12,11	2,00	170,00	25,00	1,50	1,27	1,02	33,20	212,52	430,79	46,45	1,20	10,60	1,20	1,30	64,00	220,00	523,00	27,00	4,5G
1,50	3,00	1,32	13,26	2,00	100,00	18,00	2,50	1,27	1,25	28,68	127,72	432,45	46,27	1,10	11,20	1,10	1,80	13,30	97,10	972,00	16,70	8G
1,50	4,00	1,33	13,91	2,00	90,00	14,00	2,50	1,27	1,45	17,35	92,72	538,07	37,18	1,00	9,50	1,00	1,70	19,20	132,00	902,00	17,00	7G
1,50	5,00	1,35	14,36	2,00	80,00	10,00	2,50	1,28	1,82	8,85	61,50	723,69	27,65	0,60	11,90	0,60	1,50	4,30	42,80	1002,00	17,90	16G
1,50	6,00	1,30	14,63	2,00	80,00	11,00	2,50	1,21	1,65	10,71	66,34	670,80	29,83	0,60	11,90	0,60	1,50	4,30	42,80	1002,00	17,90	16G
1,50	7,00	1,31	15,18	2,00	70,00	7,00	2,50	1,24	2,28	4,33	38,90	1004,40	19,92	1,20	13,50	1,10	2,70	6,60	40,70	1158,00	15,30	10G
1,50	8,00	1,33	15,34	2,00	70,00	7,00	2,50	1,24	2,28	4,33	38,90	1004,40	19,92	1,20	13,50	1,10	2,70	6,60	40,70	1158,00	15,30	10G
1,50	9,00	1,35	15,58	2,00	50,00	5,00	3,50	1,26	2,94	3,10	25,00	1124,40	17,80	1,20	13,20	1,10	3,50	3,20	26,30	1615,00	10,50	13G
1,50	10,00	1,37	15,75	2,00	50,00	5,00	3,50	1,26	2,94	3,10	25,00	1124,40	17,80	1,20	13,20	1,10	3,50	3,20	26,30	1615,00	10,50	13G
Isal	freq	Lcalc	Q calc	s	r	w	n	Ls	Rs	Cp	Cox	Rsub	Csub	L sim	Q sim	Ls	Rs	Cp	Cox	Rsub	Csub	fQmax
3,00	1,00	3,03	9,21	2,00	180,00	25,00	2,50	2,89	1,64	55,34	346,00	279,20	71,66	2,50	8,00	2,50	1,80	27,00	356,00	496,00	35,00	2G
3,00	2,00	2,84	10,27	2,00	110,00	14,00	3,50	2,68	2,29	24,29	152,06	398,14	50,25	2,30	9,20	2,30	2,50	18,50	156,00	825,00	19,70	4G

Estos efectos provienen de la necesidad de empaquetar el circuito para su medida. Sin embargo, nuestros diseños se han realizado para medida directamente sobre la oblea (*on wafer*) y por tanto sólo será necesario tener en cuenta el efecto de los *pads* de conexión.

Un *pad* no es más que una isla de metal conectada a las zonas adecuadas del circuito integrado sobre el cual descansará la punta de medida. Al ser una zona de metal sobre un sustrato de silicio, éste puede modelarse mediante una capacidad parásita en serie con una resistencia entre el metal y el sustrato. En la Figura 5.18 se muestra un esquema circuital del *pad*. Los valores de C y R los obtenemos a partir de la medida de estructuras en abierto y cortocircuito [39][40]. Los valores obtenidos para nuestros *pads* son de $C=250\text{ fF}$ y $R=51\ \Omega$.

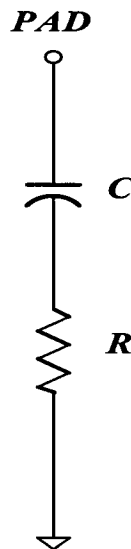


Figura 5.18 Circuito equivalente de un *pad* de conexión.

5.2.5 Resultados

Los resultados obtenidos son los mostrados en las Figuras 5.19 y 5.20. En la gráfica central derecha de la figura 5.19 podemos observar la NF del circuito. Como se puede apreciar, el valor de este parámetro está situado por debajo del límite establecido en el apartado 5.1.1.

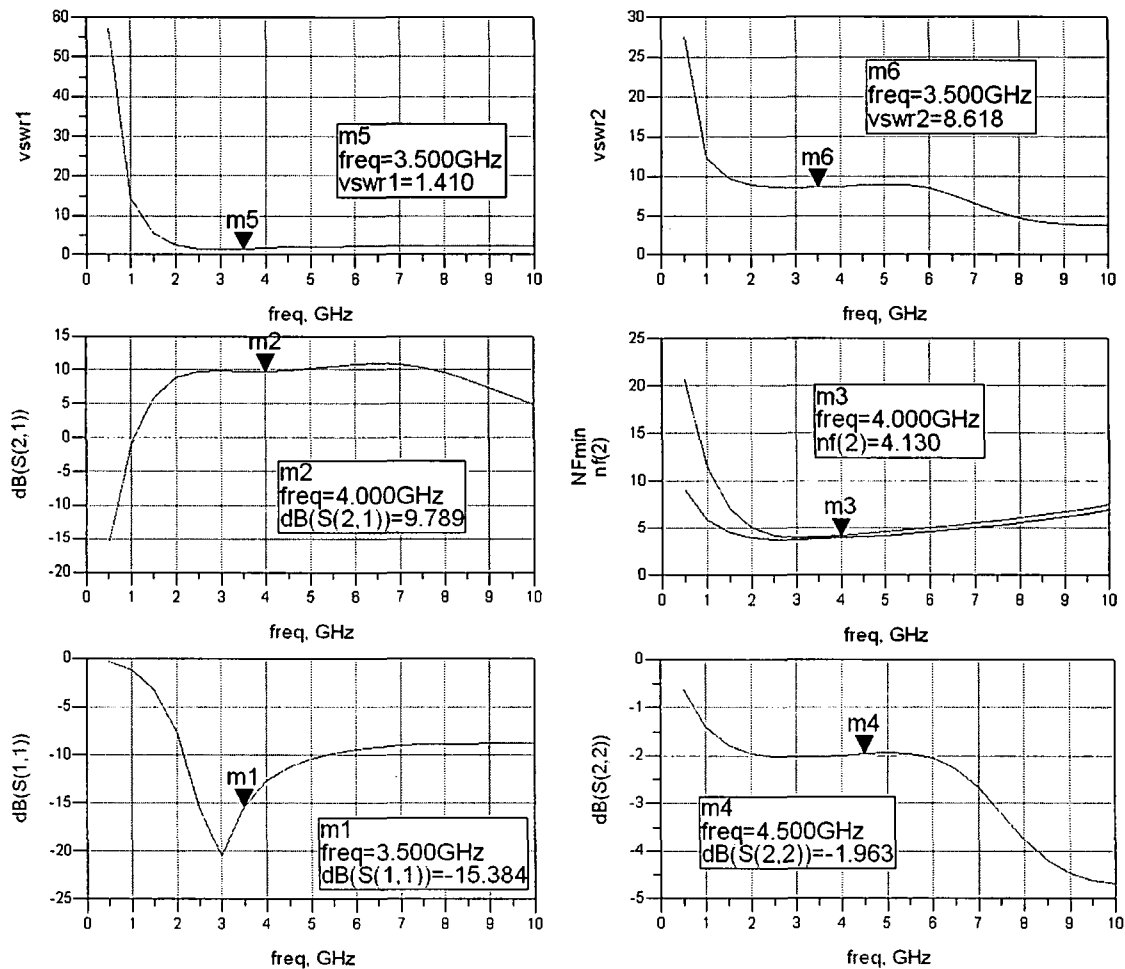


Figura 5.19 Resultados obtenidos (Parámetros S).

En la gráfica central izquierda de la misma figura, se presenta la ganancia de potencia del amplificador. Su valor posee un nivel bastante alto, lo que disminuirá la figura de ruido del receptor completo en el que se integre.

En las dos esquinas inferiores se observa el nivel de adaptación a la entrada y a la salida. Tal y como se aprecia, el de entrada posee un valor óptimo de adaptación. La salida

muestra un resultado bastante más ajustado, ya que su red de adaptación no es puramente de banda ancha.

Las gráficas de las esquinas superiores se corresponden con los coeficientes de onda estacionario ($VSWR_1$ y $VSWR_2$).

En la figura 5.20 podemos apreciar la linealidad de nuestro amplificador. Como se aprecia en el recuadro inferior derecho, en el que se muestra el resultado del $OIP3$, el nivel de linealidad hace que nuestro circuito cumpla holgadamente con las especificaciones.

Finalmente, añadir que el consumo de potencia total del circuito es de 33.5 mW.

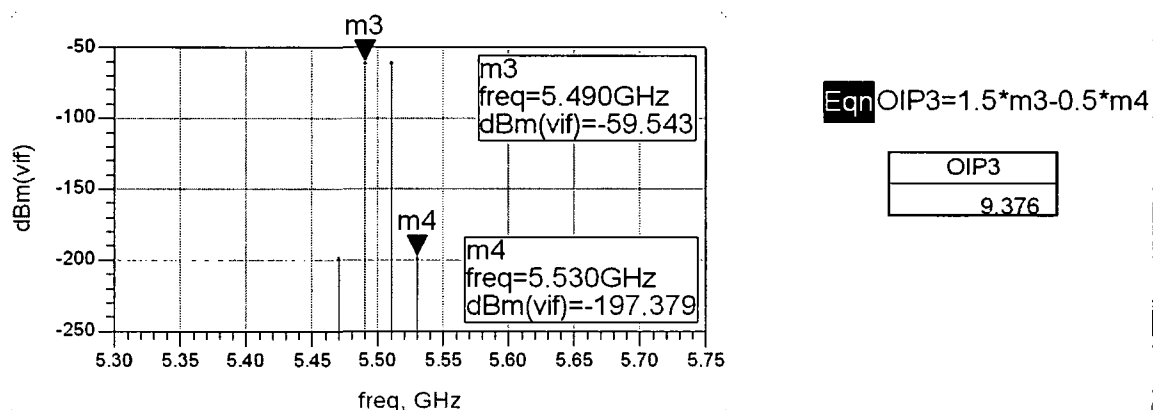


Figura 5.20 Resultados obtenidos (OIP3).

5.2.5.1 Valores de componentes

Los valores de los componentes que hicieron posible los resultados anteriores son los siguientes (véase Figura 5.17):

$$R_b = 5 \text{ KOhms}$$

$$R_c = 30 \text{ Ohms}$$

$$C_1 = 10 \text{ pF}$$

$$C_b = 10 \text{ pF}$$

$$C_2 = 100 \text{ fF}$$

$$C_{OUT} = 3\text{pF}$$

$$V_{BIAS1} = 0.8\text{V}$$

$$V_{BIAS2} = 1\text{V}$$

$$L_B \rightarrow \text{Inductancia} = 1.8\text{nH}; \text{ Factor de calidad } (Q) = 11$$

$$L_E \rightarrow \text{Inductancia} = 0.3\text{nH}; \text{ Factor de calidad } (Q) = 12$$

$$L_C \rightarrow \text{Inductancia} = 1.1\text{nH}; \text{ Factor de calidad } (Q) = 11$$

$$L_{OUT} \rightarrow \text{Inductancia} = 2.3\text{nH}; \text{ Factor de calidad } (Q) = 10$$

$$Q1 \rightarrow \text{Área} = 20; \text{ Multiplicidad} = 5$$

$$Q2 \rightarrow \text{Área} = 20; \text{ Multiplicidad} = 5$$

$$Q3 \rightarrow \text{Área} = 20; \text{ Multiplicidad} = 1$$

5.3 Resumen

En este capítulo hemos visto todos los estudios referentes al diseño de un LNA a nivel de esquemático. Igualmente, hemos sacado conclusiones válidas de dichos estudios, reflejándose en la elección de las arquitecturas a implementar. Por último, hemos obtenido una serie de resultados que han quedado patentes en las simulaciones.

En el siguiente capítulo pasaremos al diseño físico del LNA, es decir, a la generación de los *layouts*. Para ello haremos uso de la información dada en el capítulo 4 referente a la tecnología empleada, y de los estudios realizados en este capítulo.

Capítulo 6

Diseño a nivel de *layout*

En el capítulo anterior se realizó uno de los pasos más importantes, el diseño a nivel de esquemático. Una vez hecho esto, seguimos con el siguiente paso: el diseño a nivel de *layout* y simulación *post-layout*.

El *layout* consiste en definir los planos de fabricación del circuito integrado. Para desarrollarlo se han utilizado los resultados obtenidos en el capítulo anterior, la tecnología con sus reglas de diseño y la herramienta de diseño *CADENCE* [25].

6.1 Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño y anchos de las pistas, etc [4] [9] [10].

De la misma manera, hay que tener en cuenta una serie de aspectos que nos permitan obtener el comportamiento óptimo del diseño realizado. Estos se centran en minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se enumeran a continuación:

- Las inductancias han de situarse lo más cerca posible para minimizar el efecto de las resistencias en serie que aparecen por la conexión de las mismas hasta el nodo común V_{dd} o tierra.
- El sustrato debe estar conectado a tierra.
- Se debe usar, en la medida de lo posible, las estructuras *dummies* en las resistencias. Con ellas lograremos la reducción de la tolerancia que presentan dichos dispositivos.

Otro de los aspectos importantes es el referido al consumo de potencia del circuito. Éstos toman especial relevancia en el dimensionado de las pistas de interconexión de los componentes. Así, hemos de saber que cantidad de corriente circula por cada una de ellas y, en consecuencia, ajustar su anchura para que soporte dicho flujo. Para asegurarnos de que no se destruya ninguna parte del circuito, se han sobredimensionado las anchuras mínimas. Dichos valores vienen determinados por la tecnología usada y por el tipo de materiales que conforman las pistas [2][12].

6.2 Layout del LNA

En la figura 6.1 se muestra el *layout* del LNA, ocupando un área de $665 \times 665 \mu\text{m}^2$. Se puede apreciar la disposición de los distintos componentes, destacando las bobinas debido a su tamaño comparado con los demás componentes del circuito. Se ha buscado conseguir la mayor simetría a pesar de tener diferentes tamaños las bobinas.

Los contactos a tierra los colocamos por todos los espacios que nos queden, excepto dentro de las bobinas. Con ello evitamos que corrientes indeseadas interfieran en el funcionamiento del circuito, ya que son inmediatamente derivadas al sustrato del chip, cuyo potencial es cero.

Usamos dos tipos de terminales, el denominado *Ground-Signal-Ground (GSG)* y el *Signal-Ground-Signal (SGS)*. Para introducir la señal de RF utilizamos un *GSG* al igual que para la salida. Para la alimentación del circuito utilizamos un terminal del tipo *SGS* y otro del tipo *GSG*, ya que debemos polarizar las dos bases del par cascode con diferentes tensiones y el circuito total en si.

En la figura 6.2 se muestra el núcleo del circuito. En ella podemos apreciar que para generar la capacidad de 1 pF se han conectado varios condensadores en paralelo. Se tuvo que realizar de esta manera para poder lograr una capacidad mayor que la permitida por la tecnología. También podemos observar la disposición de los transistores del par cascode, y del *buffer* de salida.

En el siguiente apartado se mostrarán los resultados de la simulación *post-layout*.



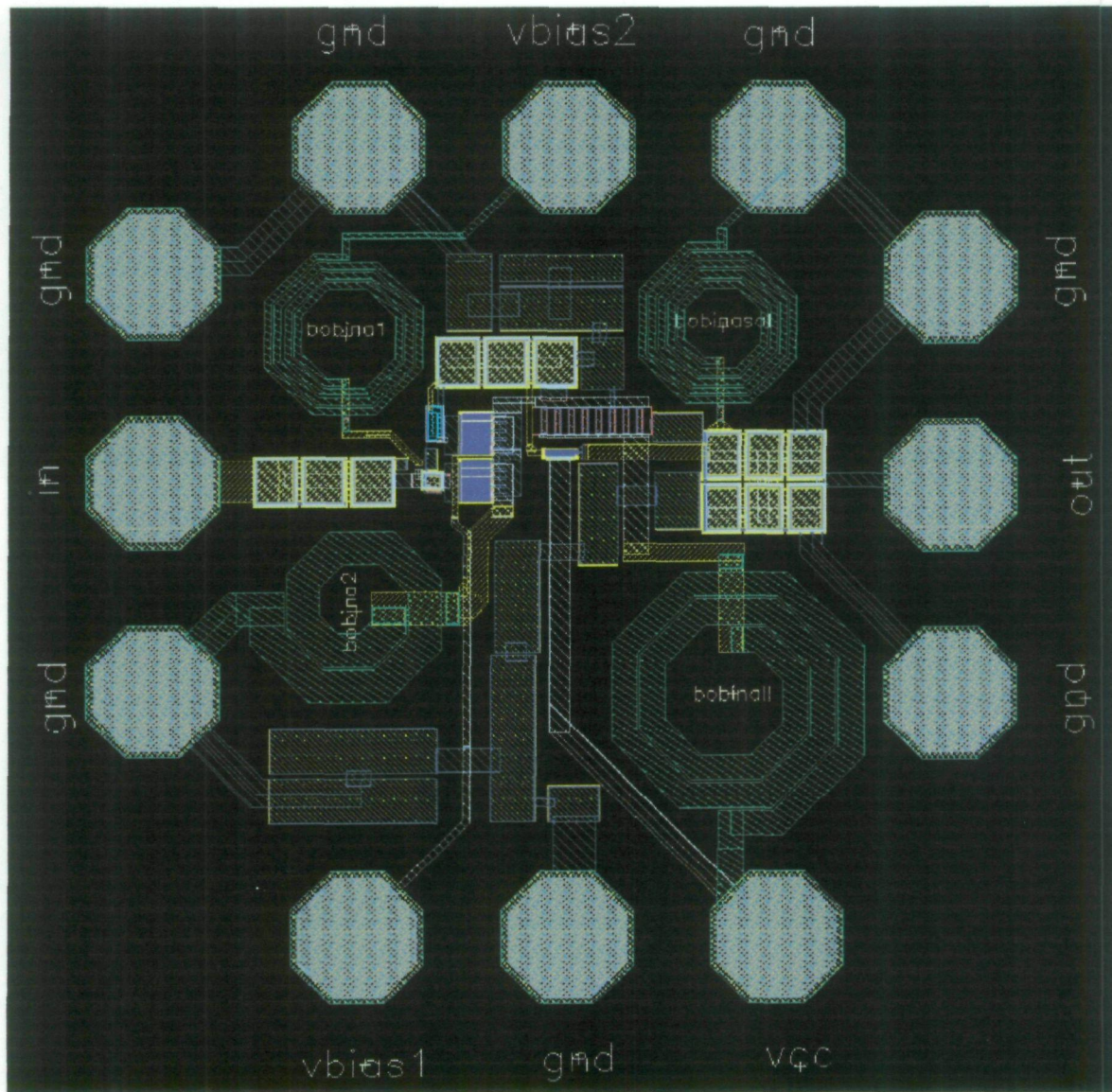


Figura 6.1 Layout del LNA.

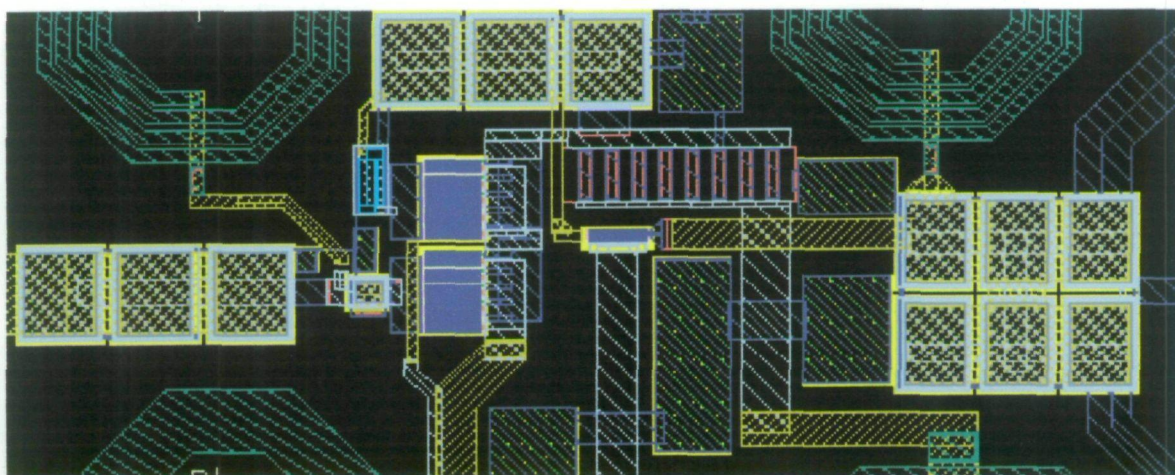


Figura 6.2 Núcleo del layout del LNA.

6.3 Simulación *post-layout* con CADENCE

A la hora de implementar físicamente el LNA aparecen una serie de parásitos que modifican el comportamiento del circuito, lo que nos obliga a reajustar de nuevo el diseño. Para ello, se ha seguido el procedimiento visto en el capítulo anterior. En la figura 6.3 se muestra la ganancia del circuito, la figura de ruido, la adaptación a la entrada y a la salida, y la linealidad después de realizar este ajuste. Se puede apreciar que se muestran tres tipos de simulaciones: esquemático (ver capítulo anterior), *typical case layout*, y *worst case layout*. Dichas simulaciones fueron realizadas con el *software* de extracción de parásitos ASSURA [25]. El realizar las simulaciones *post-layout* con los modelos *typical case* y *worst case* nos permite asegurar el correcto funcionamiento del diseño ante posibles fluctuaciones que se puedan producir en la fabricación. Esto se debe a que la fundidora posee la parametrización de dichas variaciones mediante ecuaciones matemáticas, las cuales se incluyen en los modelos comentados.

Las simulaciones *typical case* se refieren a los modelos de los transistores que suministra la tecnología en los que su rendimiento se encuentra dentro de la media. Por otro lado, las simulaciones *worst case* se refieren a las desviaciones máximas que se producen en el proceso de fabricación de los transistores. Este tipo de simulaciones es vital para predecir el funcionamiento del circuito una vez fabricado.

Considerando el peor caso, el circuito presenta un ganancia de 11.6 dB a 3 GHz, siendo la ganancia mayor de 1 dB desde 1 GHz a 8.5 GHz. De 2 GHz a 8.5 GHz, el S_{11} es menor de -5dB, y la figura de ruido varía de 3.5 a 7.5 dB. El aislamiento (S_{12}) es muy bueno debido al uso de una estructura cascode, siendo esta una de las ventajas de este tipo de configuraciones.

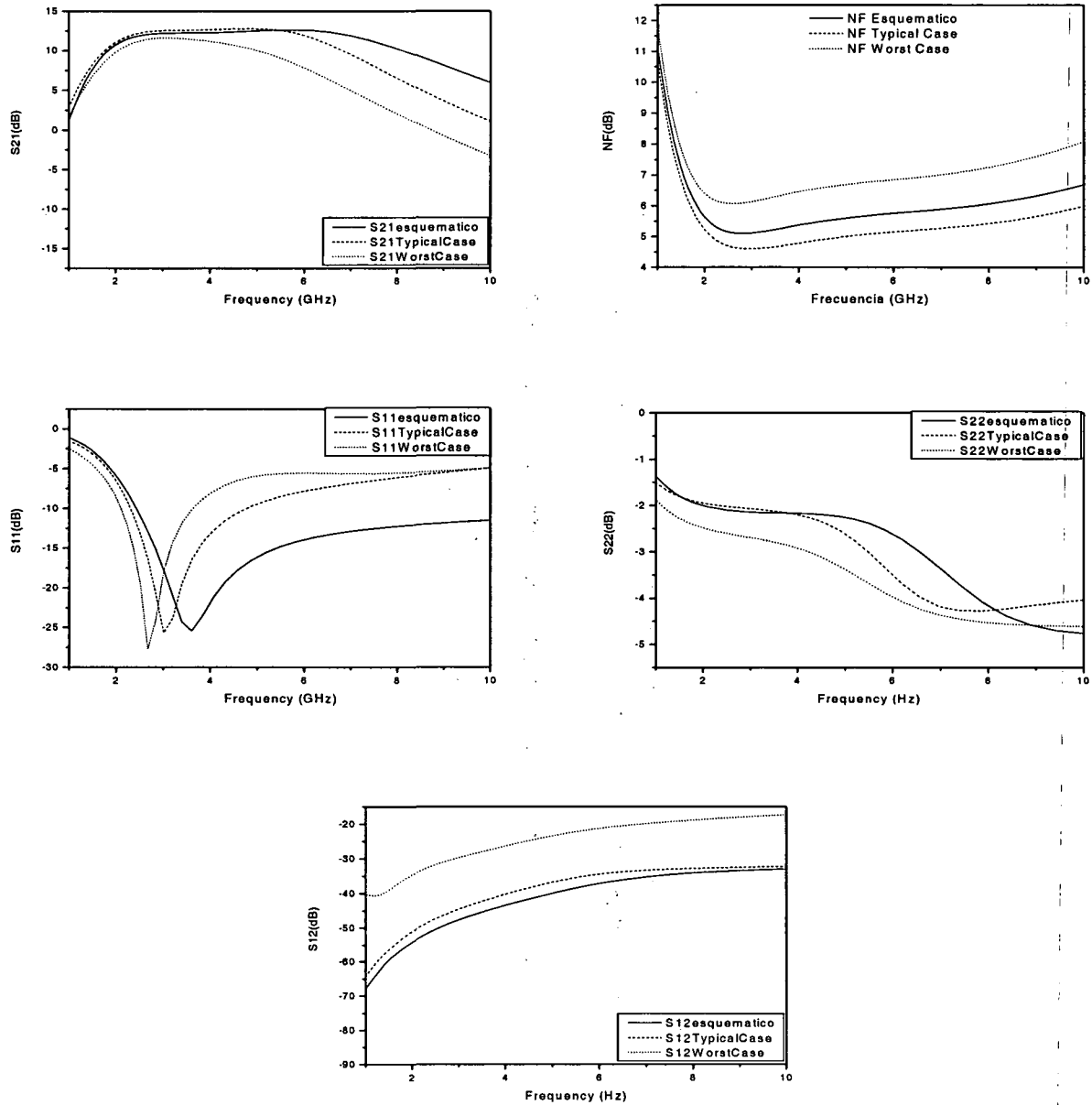


Figura 6.3 Resultados Layout vs Esquemático.

6.4 Resumen

En este capítulo hemos visto como se realizó el diseño a nivel de *layout* de nuestro circuito. Esto se ha logrado dando las reglas más comunes para una correcta implementación, así como las técnicas que nos permiten prever posibles errores en el funcionamiento.

Finalmente se ha comprobado el correcto funcionamiento del sistema mediante las simulaciones pertinentes.

En el siguiente capítulo se presentarán los resultados obtenidos de las medidas de nuestro circuito, tras ser implementado por la fundidora AMS.

Capítulo 7

Medidas

En el capítulo anterior se profundizó en el diseño del layout de nuestro circuito. Una vez realizado este paso, se procedió al envío del esquema generado a la *foundry* AMS para su implementación física. En este capítulo procederemos a la evaluación del rendimiento de nuestros diseños a través de medidas en una estación de puntas.

7.1 *Set-up* de medidas.

Para poder realizar las medidas correspondientes a nuestro circuito, debemos interconectar una serie de elementos vitales para tal fin. La relación completa de los componentes implicados (suministrados por el IUMA [24]) se muestra a continuación:

- 2 fuentes de alimentación *Hewlett Packard E3620A*.
- 1 Analizador de Espectros *Hewlett Packard E4440A*.
- 1 Analizador de redes (VNA) *Hewlett Packard 8720E*.
- 1 punta de prueba SGS (*Signal-Ground-Signal*) *Cascade Microtech ACP40D-W SGS-150*.
- 3 puntas de prueba GSG (*Ground-Signal-Ground*) *Cascade Microtech ACP40D-W GSG-150*.
- *DC-blocks BLK-18*.
- Sustrato de Calibración *Cascade Microtech P/N 101-190*.
- Cables de RF *Sucoflex 104A 150cm*.
- Cables de Alimentación y adaptadores SMA-BNC.
- Codos de Interconexión.

El paso previo a la medida del amplificador es la calibración de los aparatos de medida (VNA, Analizador de Espectros,...). Con esto parametrizamos las pérdidas de dichos dispositivos, y su influencia en las medidas. Para ello debemos utilizar el Sustrato de Calibración. Durante este proceso se utilizan tres tipos de sustrato: *load* (carga de $50\ \Omega$), *short* (abierto) y *thru* (corto). Esto nos permitirá caracterizar la respuesta del *set-up* de medidas, y diferenciarla de la medida real. Dicho procedimiento [40] se muestra en la figura 7.1.

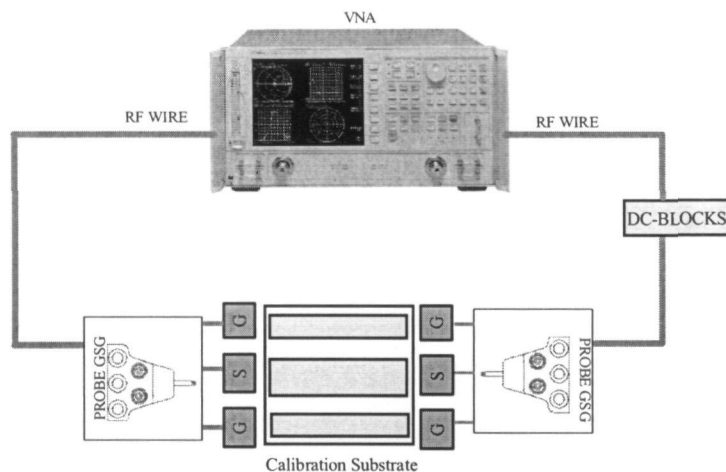


Figura 7.1 Calibración del VNA.

Como ya comentamos, para la medida de los parámetros S de un circuito de RF es necesario establecer el plano de referencia a la entrada de dicho circuito, es decir se necesita eliminar o sustraer de la medida el efecto de todos aquellos errores sistemáticos como pueden ser las pérdidas en cables, conectores, etc. Mediante el proceso de calibración se suministra al VNA toda la información necesaria para que después pueda sustraerse de la medida del circuito los efectos debidos a los errores sistemáticos mencionados. De esta manera se obtienen los parámetros S justo a la entrada del circuito que se quiere caracterizar.

La manera de calibrar el VNA es ir conectando al cable que se va a utilizar en las medidas una serie de terminaciones: un cortocircuito, un circuito abierto y una carga de 50Ω , que es la impedancia característica del aparato.

El VNA puede calibrarse de dos maneras diferentes, según se quieran medir sólo los parámetros de reflexión: S_{11} y S_{22} o incluir también los de transmisión: S_{21} y S_{12} .

Antes de comenzar cualquier calibración, es bueno cerciorarse del rango de frecuencias en el que vamos a calibrar el aparato, para ello basta con pulsar **FREQ** y a continuación establecer el rango **START-STOP**. La potencia de la señal empleada para realizar la calibración es también un parámetro importante y antes de calibrar el VNA siempre habrá que considerar cual es el valor adecuado de potencia a emplear.

Para comprobar que la calibración es suficientemente buena como para poder calcular los parámetros S de un circuito con precisión, y que las medidas que realicemos sean

repetibles, es necesario comprobar, una vez calibrado el aparato, el comportamiento del circuito abierto, del cortocircuito y la carga del kit en formato logarítmico (dB) y en la carta de Smith dentro del rango de frecuencias que nos interesa. Para que la calibración sea suficientemente buena, el parámetro S_{11} debe estar dentro del rango ± 0.1 dB para el cortocircuito y circuito abierto; e inferior a -40 dB para la carga.

Después de la calibración del VNA, para realizar la medida de los amplificadores debemos interconectar el VNA tal y como muestra la figura 7.2. En ella se pueden apreciar los diferentes instrumentos utilizados, así como las puntas *SGS*, *GSG* y el *DC-BLOCK*.

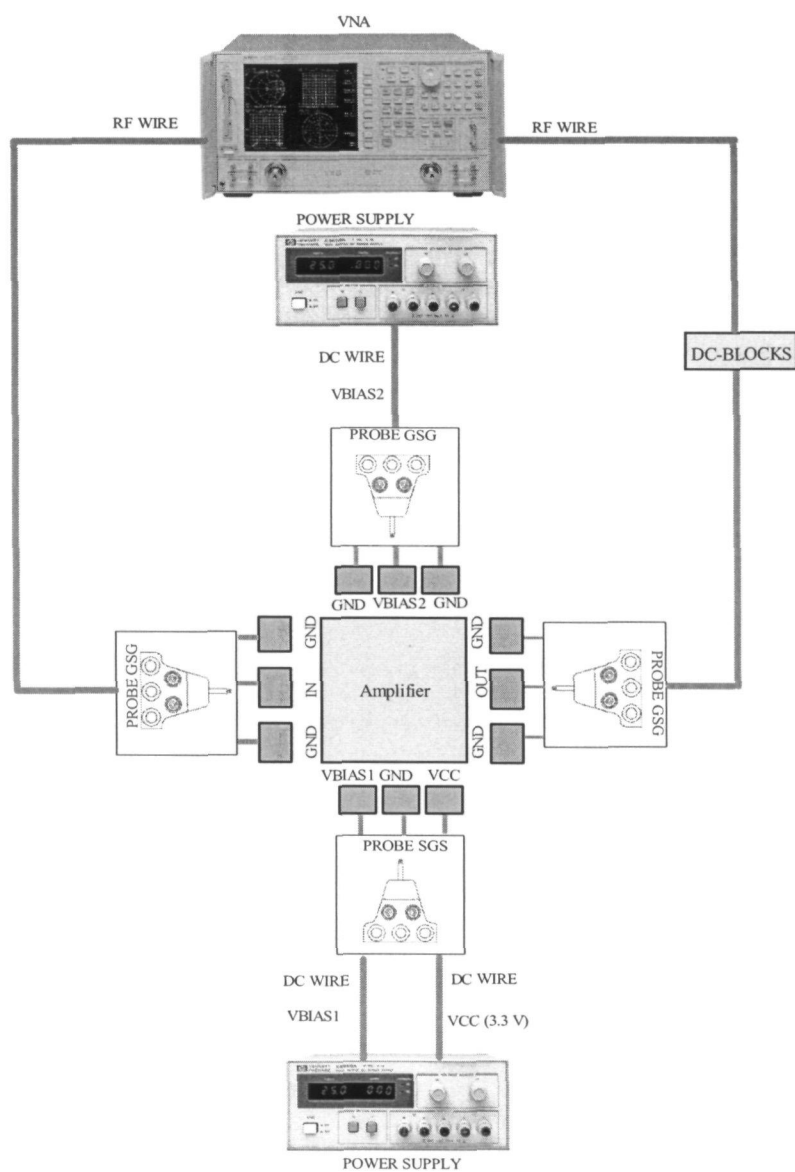


Figura 7.2 Set-up de Medidas.

7.2 Resultados

A continuación, en la figura 7.3, se muestran los resultados obtenidos de las medidas realizadas utilizando el *set-up* anterior. Cabe destacar que no fue posible realizar las medidas referentes a la figura de ruido y a la linealidad (IP3), debido a limitaciones en el instrumental de medidas.

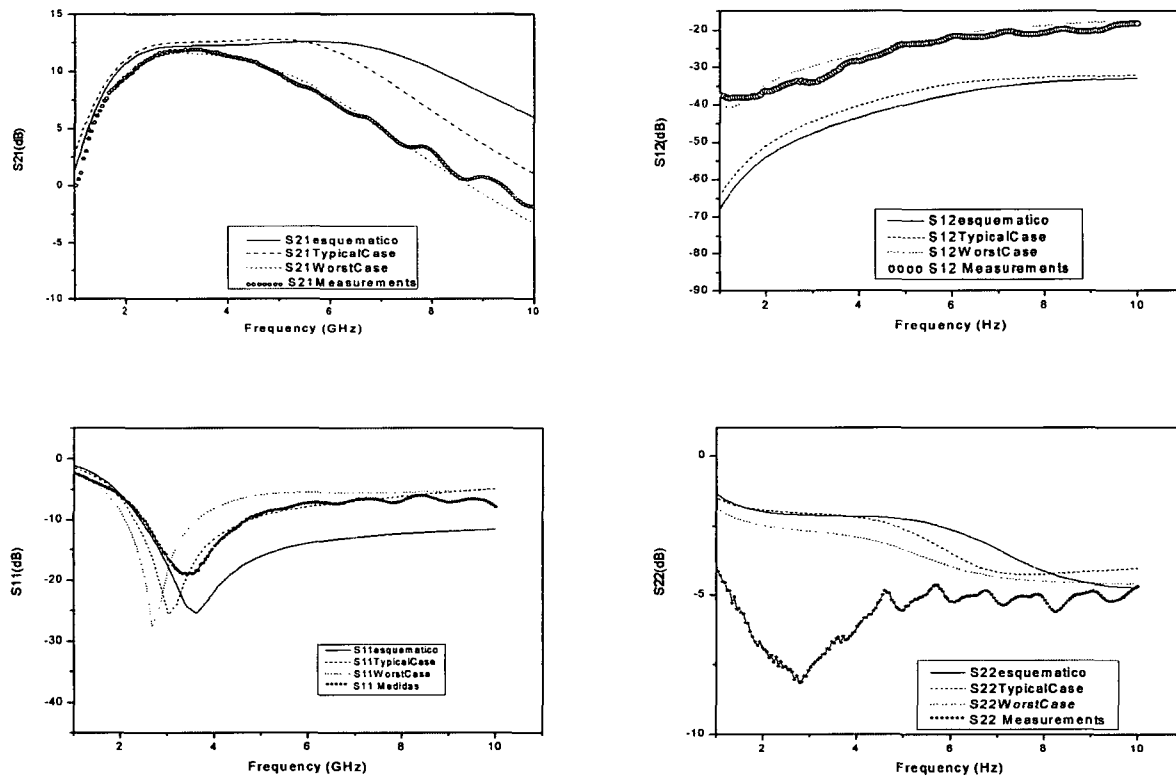


Figura 7.3 Medidas frente a simulaciones *post-layout*.

En la simulación de ganancia (S_{21}) se aprecia que el resultado es muy similar a las simulaciones *worst case*. Esto nos indica que, a la hora de realizar simulaciones, debemos trabajar sobre los parámetros que nos otorga este modelo.

La adaptación de entrada (S_{11}) es bastante similar a la obtenida de las simulaciones *post-layout*, mientras que la de salida (S_{22}) ha mejorado sustancialmente. Esto es debido a las inductancias y capacitancias parásitas que han surgido en la fabricación.

El aislamiento (S_{12}) del circuito es muy bueno, y bastante similar al obtenido en las simulaciones, debido sobre todo al uso del par casado como configuración.

En la figura 7.4 podemos observar una fotografía del circuito final, realizada con el microscopio de la estación de puntas.

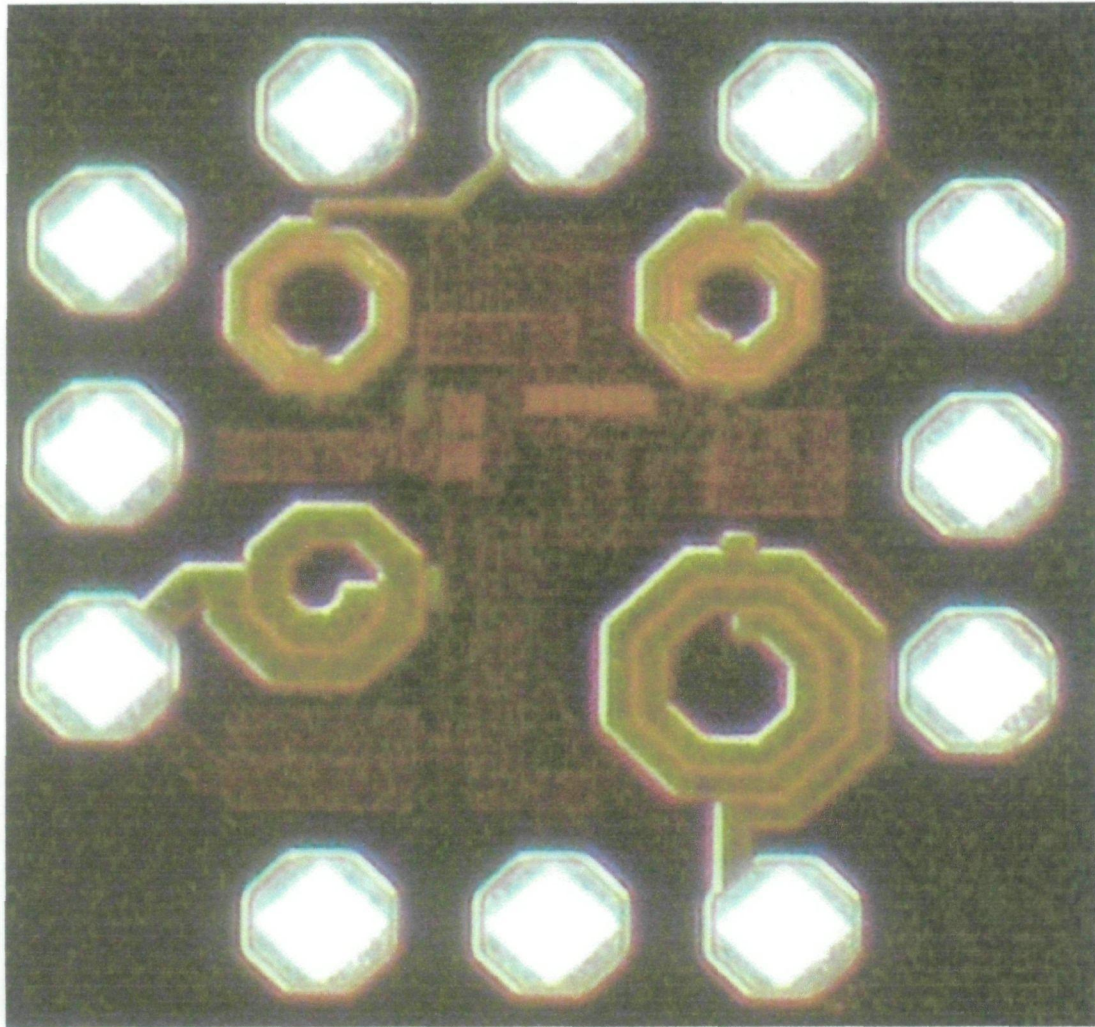


Figura 7.4 Fotografía del chip.

Finalmente, en la Tabla 7.1 podemos observar los resultados más significativos obtenidos de las medidas.

Tabla 7.1 Resultados (@ 3.8 GHz)

Parámetro	Medida
S11	-19 dB
S22	-8 dB
S12	-25 dB
S21	12 dB
NF	-----
Consumo	12 mW
Área	$0.665 \times 0.665 \text{ mm}^2$

7.3 Resumen

En el presente capítulo hemos podido comprobar el correcto funcionamiento de nuestro diseño. Para ello hemos presentado las técnicas empleadas para su correcta verificación. Del mismo modo, hemos constatado las diferencias existentes entre la medida y las simulaciones *post-layout*.

En el próximo capítulo estableceremos un balance del desarrollo del proyecto, lo que nos conducirá a una serie de conclusiones, válidas para el desarrollo de futuros trabajos y diseños.

Capítulo 8

Conclusiones

Completado el diseño del amplificador de bajo ruido y comprobado el correcto funcionamiento del mismo a través de las medidas realizadas sobre las muestras fabricadas, en este capítulo se procederá a exponer las conclusiones obtenidas a lo largo de todo el trabajo. Así mismo se comparará el diseño realizado con otros trabajos de características similares y se expondrán las posibles líneas de trabajo futuras surgidas a raíz de este proyecto.

8.1 Estudio comparado

En este apartado compararemos los resultados obtenidos por nuestro circuito con diferentes implementaciones de amplificadores de banda ancha. Esta comparativa debería tener en cuenta los parámetros más importantes de este tipo de circuitos como la ganancia, linealidad, ancho de banda, figura de ruido, consumo, etc. A la hora de realizar esta labor, la situación ideal sería la evaluación con otros trabajos que utilizasen la misma tecnología. Sin embargo, esto raramente ocurre y por tanto tendremos que recurrir a la definición de una figura de mérito (FOM) que nos permita comparar los parámetros fundamentales de circuitos realizados en diferentes tecnologías.

Para el diseño de LNAs se han sugerido muchas figuras de mérito como por ejemplo la medida del ruido (ecuación 8.1)

$$NM = \frac{(F - 1)}{(1 - (1/G))} \quad (8.1)$$

donde F es el factor de ruido y G es la ganancia del LNA. La medida del ruido da cuenta del compromiso entre el factor de ruido y la ganancia, pero no incluye información acerca del consumo de potencia, ancho de banda y linealidad. Además, en esta expresión no aparecen reflejadas las ventajas e inconvenientes de usar una tecnología u otra.

En este trabajo nosotros proponemos la figura de mérito de la ecuación 8.2.

$$FOM = \left(\frac{P_{1dB}}{P_{NOISE}} \right) \left(\frac{1}{P_{DC}} \right) \left(\frac{BW}{f_T} \right) \quad (8.2)$$

Como se puede observar, esta expresión incluye la potencia de compresión a 1dB (P_{1dB}) como medida de linealidad, la potencia en DC (P_{DC}) como medida del consumo, y la potencia de ruido a la salida ($P_{NOISE} = k \cdot T \cdot F \cdot G$) como medida del ruido y de la ganancia. Además introducimos una medida relativa para el ancho de banda a través de un factor de utilización del ancho de banda BW/f_T , donde BW es el ancho de banda del LNA y f_T es la frecuencia de corte máxima de la tecnología. La normalización con respecto a f_T permite hacer comparaciones independientes de la tecnología y ayuda a cuantificar como de

eficiente trasladamos la f_T disponible del transistor en el funcionamiento en banda ancha del LNA.

Observando dicha ecuación, intuitivamente se aprecia que la FOM aumentará si nuestro circuito posee una alta linealidad (P_{1dB}), y un gran ancho de banda (BW). Por otro lado, esta se verá drásticamente reducida si nuestro diseño posee una alta potencia de ruido (P_{NOISE}) y un consumo elevado (P_{DC}). El último término del denominador (f_T), como ya comentamos, equilibra las tecnologías empleadas, otorgando mayor mérito a aquella que posea una f_T menor, o sea, pertenezca a un proceso tecnológico menos costoso.

Tabla 8.1 Figura de Mérito de Trabajos Similares.

Referencia	TIPO (*)	Ganancia (dB)	BW (GHz)	NF (dB)	P_{1dB} (dBm)	f_T (GHz)	P_{DC} Núcleo (mW)	Tecnología	FOM
[42]	DA	13,7	6,9	2,4	4,7	15,4	35	CMOS (0.25 μm)	13689,32
[41]	BA	21	10	2,5	5,86	90	30	SiGe (0.18 μm)	53594,11
[43]	DA	12,2	6	5,1	-3	43,5	35	CMOS (0.18 μm)	9190,45
[8]	BA	9,3	6,9	4	-16,3	50	9	CMOS (0.18 μm)	4201,06
[31]	BA	12	15	3	-7,6	50	23,76	SiGe (0.5 μm)	17337,94
Este trabajo	BA	11,6	8,5	5,5	-0,264	70	12	SiGe (0.35 μm)	46394,07

(*) DA= *Distributed Amplifier*, BA= *Broadband Amplifier*.

En la Tabla 8.1 se muestran los resultados de diseños realizados en diferentes tecnologías, lo que nos permitirá realizar una comparativa en lo que a prestaciones se refiere. Como se puede apreciar, nuestro diseño presenta una buena figura de mérito comparada al resto de implementaciones. Esto se ha debido fundamentalmente al compromiso mostrado entre linealidad, consumo y figura de ruido. En cambio, la implementación [41] destaca por encima de todos los diseños. Su rendimiento se fundamenta en el sofisticado proceso tecnológico que utiliza. Sin embargo, este diseño presenta un consumo de potencia significativamente superior al nuestro, lo cual lo hace menos atractivo para aplicaciones inalámbricas. Nuestro circuito posee un consumo de

potencia muy bajo, sólo comparable al trabajo [8]. El valor de este último parámetro denota un elaborado trabajo de optimización, ya que los trabajos realizados con tecnologías bipolares ([41] y [31]) presentan resultados bastante mayores con respecto al nuestro.

8.2 Conclusiones

El objetivo de este proyecto ha consistido en el diseño de un amplificador de bajo nivel de ruido (LNA) usando la tecnología SiGe de 0.35 μm suministrada por AMS (*Austria Micro Systems*) para el estándar inalámbrico IEEE802.15.3.a.

Con objeto de situar el entorno de trabajo, inicialmente se realizó un estudio general del estándar de comunicaciones inalámbricas IEEE 802.15.3.a así como de los tipos de arquitecturas empleadas en receptores. Una vez completado el análisis de los sistemas de radiofrecuencia se procedió al estudio teórico de los amplificadores de bajo ruido. En este análisis se profundizó aún más en los parámetros que caracterizan a estos y las diferentes topologías existentes.

Después de los estudios realizados, se optó por desarrollar una arquitectura que integrase un par cascode, dadas sus altas prestaciones con respecto a linealidad, aislamiento entre puertos y ganancia. Los principales problemas que surgieron a la hora del diseño de esta configuración tuvieron que ver con las estructuras de polarización, la adaptación de entrada y salida, y los efectos perjudiciales de los *pads* de conexión del circuito con el exterior.

En el primer caso, fue necesario estudiar numerosas estructuras de polarización, tal y como se ve en el capítulo 5. Finalmente, se optó por emplear una polarización externa debido a la excesiva tolerancia que presentaban los componentes resistivos de la tecnología empleada.

En relación con la adaptación de entrada, se utilizó una red de banda ancha, formada por bobinas y condensadores acoplada a la impedancia de entrada que presentaba el transistor. Los problemas surgieron con las características no ideales de los componentes utilizados. Esto se debió principalmente al gran ancho de banda que necesitábamos cubrir,

en el cual, la respuesta del factor de calidad de las bobinas (Q) no era constante. Además, como ya comentamos, a esto hay que añadirle los efectos parásitos asociados a los *pads* de conexión. Afortunadamente, estos problemas pudieron ser solventados modificando las áreas y multiplicidades de los transistores empleados, así como ajustando los componentes reactivos de la red de adaptación.

Con respecto a la adaptación de salida, se optó por implementar una red de banda ancha, evitando el integrar un elevado número de componentes inductivos, lo que aumentaría en gran medida el área del amplificador.

Las principales características de nuestro circuito se fundamentan en presentar una ganancia de potencia máxima de 11.6 dB, una figura de ruido que varía desde 3.5 dB a 7.5 dB en el rango de frecuencias entre 2 y 8.5 GHz y un consumo de potencia del núcleo de unos 12 mW para una alimentación de 3.3 V.

Otro de los aspectos clave de este trabajo ha sido la comparación del amplificador diseñado con otros trabajos similares. Esta comparativa ha demostrado que el flujo de diseño elegido ha sido el correcto, ya que las especificaciones obtenidas son análogas a otros trabajos e incluso mejores en algunos casos.

Como se ha podido observar a lo largo de este proyecto, se ha cerrado completamente el flujo de diseño de un circuito integrado analógico de radiofrecuencia, ya que se ha partido de un esquemático genérico, que poco a poco se ha ido optimizando, para luego pasar al desarrollo del *layout* y terminar con la medida del circuito. A lo largo del proyecto se ha obtenido una visión general del proceso de diseño, la cual se ha fundamentado en la evaluación de los pormenores de cada una de sus fases.

Para concluir se puede afirmar que los objetivos planteados inicialmente se han alcanzado. En cualquier caso la línea de trabajo que subyace a raíz de este proyecto fin de carrera forma parte de una línea de investigación de mayor envergadura en la que se desarrollan varios proyectos de I+D. De este modo, la temática de este trabajo tiene continuidad en aspectos como la implementación del receptor completo, lo cual implica el desarrollo de otros circuitos como mezcladores, osciladores, sintetizadores, etc. Así mismo, cabe también la posibilidad de implementar la etapa de transmisión.

Finalmente, nos gustaría comentar que parte del trabajo aquí presentado ha sido publicado en los congresos internacionales *Design of Circuits and Integrated Circuits* (DCIS) en Noviembre de 2006 [44] y en el *International Society for Optical Engineering* (SPIE) de Mayo de 2007 [45].

Presupuesto

Una vez completado el diseño de nuestro circuito y comprobado su correcto funcionamiento, para concluir con el proyecto, en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del mismo. Por tanto, los factores que intervienen en este cálculo son los siguientes:

- Fabricación del circuito
- Medida del circuito

Costes debidos a los Recursos Humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias. Este personal está formado por dos técnicos a tiempo completo para un total de cien usuarios.

Descripción	Gastos
2 Técnicos a tiempo completo	36.060,73 €/año
Proporción suponiendo 100 usuarios	360,61 €/año-usuario
TOTAL (7 meses)	209,15 €

Costes de Ingeniería

En este apartado se establece una tabla indicativa de las partes en que se ha dividido el Proyecto y el tiempo parcial empleado para cada una de estas fases. Estas fases están constituidas por: documentación y formación, especificación, desarrollo, análisis de resultados y realización de la memoria.

Descripción	Gastos
Búsqueda y estudio de la documentación y herramientas de trabajo.	160 horas
Desarrollo de los diseños	480 horas
Medida de los diseños	320 horas
Realización de la memoria	160 horas
TOTAL	1120 horas

Para el cálculo de honorarios, se ha seguido la propuesta de baremos establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir del 1-01-2005 [26].

$$H=Hn.72+He.93$$

Donde:

H : Honorarios a percibir.

H_n : Horas en jornada normal de trabajo.

H_e : Horas fuera de la jornada de trabajo.

Una vez calculadas las horas totales, según el COIT se debe aplicar el coeficiente de corrección por tramos como muestra la tabla 1.

Tabla 1. Factor de corrección

Coste (horas)	Factor de corrección (C)
Hasta 36	1
Exceso de 36 hasta 72	0,9
Exceso de 72 hasta 108	0,8
Exceso de 108 hasta 144	0,7
Exceso de 144 hasta 180	0,65
Exceso de 180 hasta 360	0,6
Exceso de 360 hasta 512	0,55
Exceso de 512 hasta 720	0,5
Exceso de 720 hasta 1080	0,45
Exceso de 1080	0,4

Considerando que las horas empleadas en la realización del proyecto son en jornada laboral y aplicando el coeficiente de corrección adecuado se obtienen los siguientes honorarios:

$$H_n = 0,4 \cdot 1120 = 448$$

$$H = 640 \cdot 72 = 32.256 \text{ €}$$

Costes de amortización

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes *software*, material *hardware* y el mantenimiento de estos. Estos equipos *hardware* y paquetes *software* presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se ha estimado en 50.

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	7 meses	6.803€	136€	78,88€
Servidor para simulación SUN Sparc Station 10	7 meses	6.643€	133€	77.14€
Impresora Hewlett Packard Laserjet 4L	7 meses	296€	6€	3,48€
Ordenador Personal Pentium IV 2.5 GHz	7 meses	411€	8€	4,64€
Sistema operativo Solaris X, Open Windows y aplicaciones X11	7 meses	903€	18€	10,44€
Entorno Windows 2000 Profesional	7 meses	306€	6€	3,48€
Microsoft Office XP	7 meses	449€	9€	5,22€
Advance Design System (ADS)	7 meses	3.200€	64€	37,12€
Cadence con Kit de diseño	7 meses	1.500€	30€	17,4€
TOTAL				237,8€

Costes de medida

En este apartado realizaremos un análisis económico de los gastos derivados del uso del laboratorio para la medida de los circuitos. Para la elaboración del estudio se ha tenido en cuenta que el laboratorio está siendo usado por una media de 10 personas a lo largo del año y la amortización de los equipos es a 5 años. Por otro lado el material fungible del laboratorio tales como puntas de medidas, cables, etc... se ha supuesto un periodo de amortización de 3 años.

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Equipamiento del laboratorio de medida y estación de puntas	2 meses	60.954€	6.095,4€	1015.9€
Material fungible del laboratorio	2 meses	5000€	500€	83.33€
TOTAL				1099,23€

Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación.

Descripción	mm ²	Precio mm ²	Gastos
LNA de Banda Ancha	0,36	1.000€	360€
TOTAL			360€

Otros costes

Para finalizar con los costes parciales a continuación se muestran los costes debidos al material fungible y a la elaboración del documento final del proyecto.

Descripción	Unidades	Costes unidad	Gastos
Paquetes de DIN_A4 80 gr/m	3	4€	12€
Fotocopias	1000	0,03€	30€
CDs	3	3€	9€
Otros gastos			100€
TOTAL			151€

Coste Total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Descripción	Gastos
Costes de recursos humanos	209,15€
Costes de ingeniería	32.256€
Costes de amortización	237,8€
Costes de medida	1099,23€
Costes de fabricación	360€
Otros costes	151,00€
PRESUPUESTO FINAL	34.313,18€
TOTAL (IGIC 5%)	36.028,84€

D. Jesús Rubén Pulido Medina declara que el proyecto “Diseño de un amplificador de bajo ruido (LNA) para el estándar inalámbrico UWB (IEEE 802.15.3a) en tecnología SiGe 0.35 μm ” asciende a un total de treinta y seis mil veintiocho euros con ochenta y cuatro céntimos.

Fdo.: Jesús Rubén Pulido Medina



DNI: 78507807-K.

Las Palmas de Gran Canaria, a 15 de JUNIO de 2007

Bibliografía

- [1] AMS Austria Micro Systems, “0.35 μm BiCMOS Design Rules” Rev. 2.0. 2003.
- [2] AMS Austria Micro Systems, “0.35 μm BiCMOS Process Parameters” Rev. 1.0. 2002.
- [3] Behzad Razavi, “RF Microelectronics” University of California: Prentice Hall PTR, 1998
- [4] T.H. Lee, “The Design of CMOS RF Integrated Circuits” Cambridge University Press, pp. 34-57, 1998.
- [5] F. Javier del Pino, “Diseño de Circuitos Integrados de Radiofrecuencia” apuntes de la asignatura: Electrónica Aplicada a las Comunicaciones, ULPGC.

- [6] Behzad Razavi, "Design of Analog CMOS Integrated Circuits" Mc Graw Hill, 2001
- [7] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [8] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6 GHz Wireless Receivers" IEEE JSSC, VOL. 39, NO. 12, 2004.
- [9] P. Moreira, "Introduction to VLSI Digital Design" CERN - Geneva Switzerland, 2005.
- [10] B. M. Ballweber, R. Gupta, D. J. Allstot, "A Fully Integrated 0.5–5.5-GHz CMOS Distributed Amplifier" IEEE Transactions on Solid-State Circuits, Vol. 35, N° 2, 2000.
- [11] J. R. Barrios, "Diseño de un amplificador de bajo ruido para un receptor GPS", Proyecto Final de Carrera, ULPGC, 2001.
- [12] Jongrit Lerdworatawee, Won Namgoong, "Low-Noise Amplifier Design for Ultrawideband Radio" IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 51, N° 6, 2004.
- [13] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, 1998.
- [14] J. del Pino, S.L. Khemchandani, A. Hernández, J.R. Sendra, J. García, B. González, and A. Nunez, "The Impact of Integrated Inductors on Low Noise Amplifiers" XVIII Design of Integrated Circuits and Systems Conference, 2003.
- [15] A. Bellomo, "Gain and noise considerations in RF feedback amplifier," IEEE J. Solid-State Circuits, vol. 3, no. 3, pp. 290–294, Sep. 1968.

- [16] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz" desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.
- [17] FCC, "Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission Systems" FCC 02-48, First Report and order, 2002.
- [18] MB OFDM Alliance-SIG, "Multiband OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a", Sept, 2004.
- [19] A. Ismail and A. Abidi, "A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communication," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 208–209.
- [20] B. Razavi et al., "A 0.13 μ m CMOS UWB transceiver," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, 2005, pp. 216–217.
- [21] R. Roovers, D. M. W. Leenaerts, J. Bergervoet, K. S. Harish, R. C. H. van de Beek, G. van der Weide, H. Waite, Y Zhang, S. Aggarwal, and C. Razzell, "An Interference-Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology", IEEE Journal of Solid-State Circuits, vol. 40, no. 12, 2005.
- [22] Rony Amaya, Calvin Plett, "Design of High Gain Fully-Integrated Distributed Amplifiers in 0.35 μ m CMOS", Carleton University, Ottawa, Canada.
- [23] Página web de circuitos de RF: <http://www.circuitstage.com>
- [24] Página web del IUMA: <http://www.iuma.ulpgc.es>
- [25] Manuales Spectre RF, Cadence: <http://www.cadence.com>
- [26] Página web del COITT: <http://www.coitt.es>
- [27] Página web Bluetooth: <http://www.bluetooth.com/>

- [28] Software y manuales ADS: <http://www.agilent.com>
- [29] H. Hashemi and A. Hajimiri, "Concurrent multi-band low-noise amplifiers—theory, design, and applications," *IEEE Trans. Microwave Theory Tech.*, pp. 290–294, Sept. 1968.
- [30] R. A. Scholtz, R. Weaver, E. Homier, J. Lee, P. Hilmes, A. Taha, and R. Wilson, "UWB radio deployment challenges," in *Proc. IEEE Int. Symp. Personal Indoor and Mobile Communications*, vol. 1, Sept. 2000, pp. 620–625.
- [31] H. Knapp, D. Zoschg, T. Meister, K. Aufinger, S. Boguth, and L. Treitinger, "15 GHz wideband amplifier with 2.8-dB noise figure in SiGe bipolar technology," in *IEEE Microwave Symp. (MTT-S) Dig.*, Phoenix, AZ, 2001, pp. 591–594.
- [32] A. van der Ziel, "Noise in solid-state devices and lasers," *Proc. IEEE*, vol. 58, pp. 1178–1206, Aug. 1970.
- [33] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, "Noise cancellation in CMOS LNAs," in *Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2002, pp. 406–407.
- [34] A. Abidi, G. Pottie, and W. Kaiser, "Power-conscious design of wireless circuits and systems," *Proc. IEEE*, vol. 88, pp. 1528–1545, Oct. 2000.
- [35] H. M. Bode, *Network Analysis and Feedback Amplifier Design*. New York: D. Van Nostrand, 1945, p. 281.
- [36] R. M. Fano, "Theoretical limitations on the broadband matching of arbitrary impedances," *J. Franklin Inst.*, vol. 249, pp. 57–83, Jan.–Feb. 1950.
- [37] A. Abidi, "General relations between IP₂, IP₃, and offsets in differential circuits and the effect of feedback," *IEEE Trans. Microwave Theory Tech.*, vol. 51, pp. 1610–1612, May 2003.
- [38] M. E. Valkenburg, *Analog Filter Design*. New York: Holt, Rinehart and Winston, 1982.

- [39] Amaya Goñi Iturri, "Aportaciones al diseño, simulación, caracterización y modelado de inductores integrados sobre silicio" Tesis Doctoral, 2007.
- [40] Página web: http://eesof.tm.agilent.com/products/momentum_main.html
- [41] Aly Ismail and Asad A. Abidi, "A 3–10-GHz Low-Noise Amplifier With Wideband LC-Ladder Matching Network" *IEEE Journal of Solid-State Circuits*, VOL. 39, NO. 12, December 2004.
- [42] Federico Bruccoleri, Eric A. M. Klumperink, "Wide-Band CMOS Low-Noise Amplifier Exploiting Thermal Noise Canceling", 2004.
- [43] Stefan Andersson, Christer Svensson and Oskar Drugge, "Wideband LNA for a Multistandard Wireless Receiver in 0,18 μm CMOS", April 2003.
- [44] H. García, R. Pulido, J. del Pino, S. L. Khemchandani, A. Goñi, A. Hernández, "A 3-10 GHz SiGe LNA for Ultrawideband Applications ", *XXI Conference on Design of Circuits and Integrated Systems DCIS* 2006.
- [45] H. García, R. Pulido, J. del Pino, S. L. Khemchandani, A. Goñi, A. Hernández , "A 3-10 GHz Ultrawideband SiGe LNA with Wideband LC Matching Network", *SPIE VLSI Circuits and Systems* 2007.

Anexo

Una vez concluido el proyecto “Diseño de un amplificador de bajo ruido (LNA) para el estándar inalámbrico UWB (IEEE 802.15.3a) en tecnología SiGe 0.35 μm ”, a continuación se muestra una galería fotográfica del chip diseñado y del instrumental utilizado.

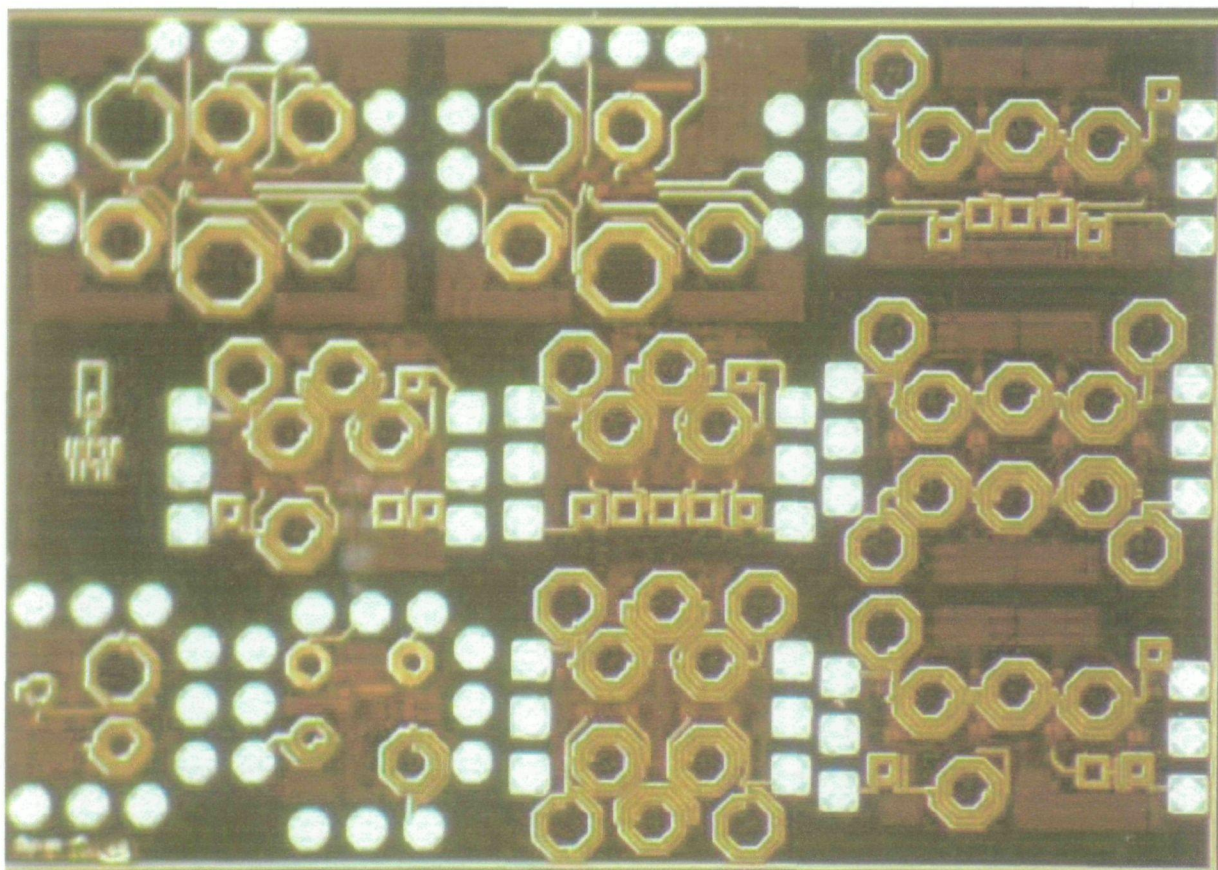


Figura A.1 Fotografía del RUN de fabricación. (Se pueden observar los otros diseños incluidos en el proceso de fabricación).

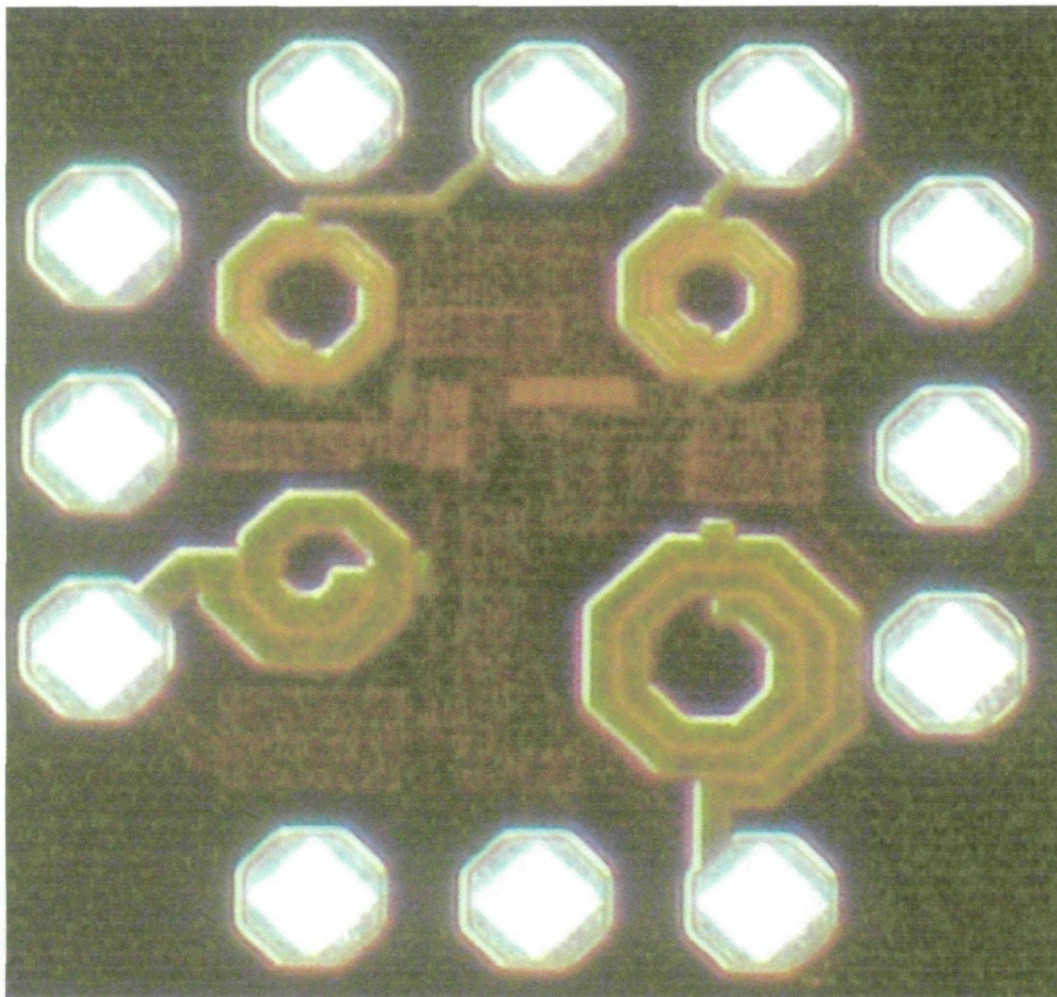


Figura A.2 Fotografía del chip diseñado.



Figura A.3 Fotografía del instrumental utilizado.

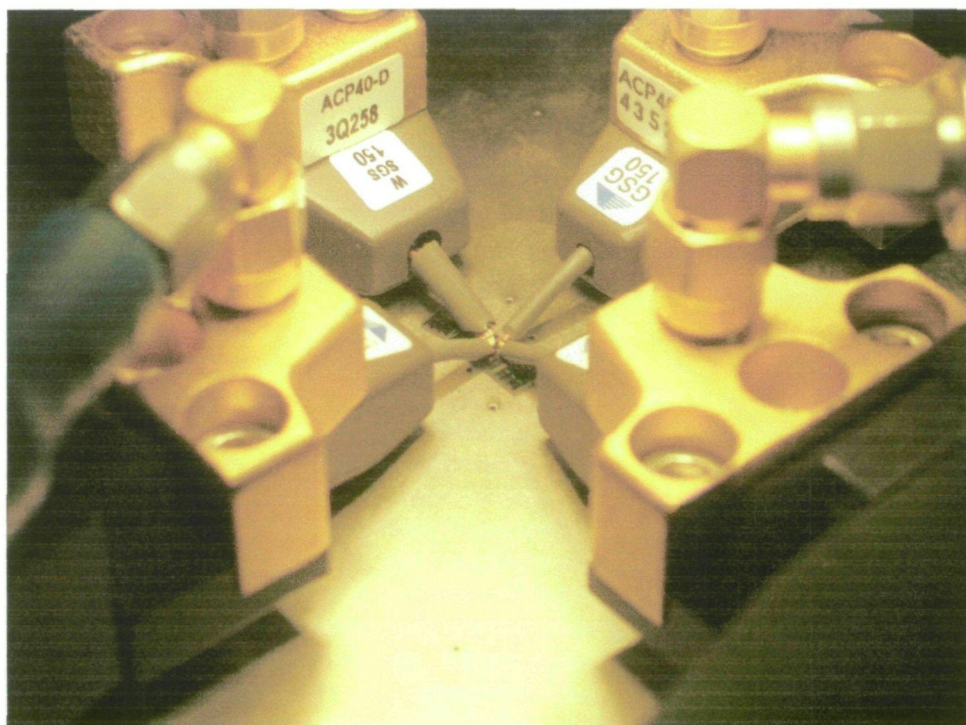


Figura A.4 Fotografía de las puntas de medida sobre el chip.

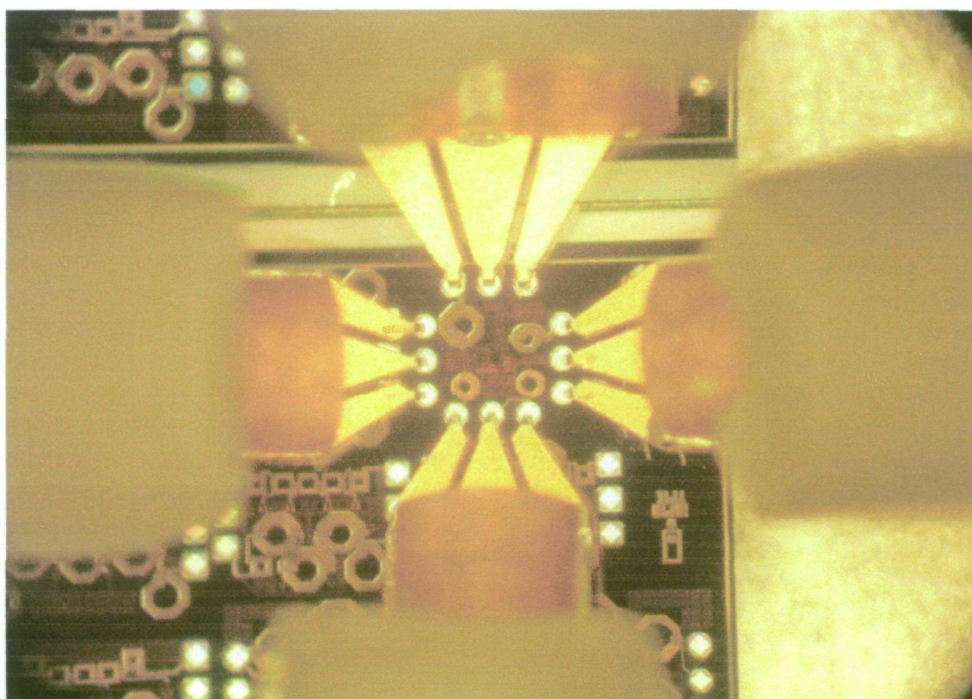


Figura A.5 Fotografía de las puntas de medida sobre el chip (Zoom).