

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



Proyecto Fin de Carrera

**DISEÑO DE UN MEZCLADOR PASIVO EN CMOS 0.35 μm
PARA UN RECEPTOR BASADO EN EL ESTÁNDAR IEEE 802.11a**

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.

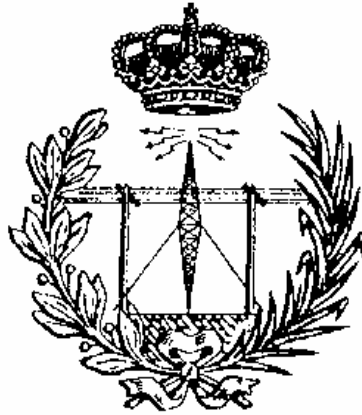
AMAYA GOÑI ITURRI.

AUTOR: ROBERTO DÍAZ ORTEGA.

FECHA: ABRIL 2004.

UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

**ESCUELA UNIVERSITARIA DE
INGENIERÍA TÉCNICA DE TELECOMUNICACIÓN**



Proyecto Fin de Carrera

**DISEÑO DE UN MEZCLADOR PASIVO EN CMOS 0.35 μm
PARA UN RECEPTOR BASADO EN EL ESTÁNDAR IEEE 802.11a**

Presidente:

Secretario:

Vocal:

Tutores:

Autor:

NOTA:.....

TITULACIÓN: SISTEMAS ELECTRÓNICOS.

TUTORES: FRANCISCO JAVIER DEL PINO SUÁREZ.

AMAYA GOÑI ITURRI.

AUTOR: ROBERTO DÍAZ ORTEGA.

FECHA: ABRIL 2004.



Agradecimientos

Quiero empezar dándole mi agradecimiento más sincero a mi familia y en especial a mis padres, por darme durante todo este tiempo su apoyo y comprensión. Gracias a ellos he podido avanzar firme durante todo este tiempo, porque siempre han estado ahí para darme consejos a la hora de tomar mis propias decisiones.

Por otro lado quisiera agradecerle a Javier el estar en todo momento asesorándome y encauzando el desarrollo del proyecto. Sin lugar a dudas, sin su ayuda este proyecto no sería más que una mera ilusión. También quiero agradecer a Amaya y a Sunil los consejos que me han ido dando a lo largo del proyecto, enseñándome esos trucos que no vienen en ningún libro y que se aprenden tras años de experiencia y peleas diarias con el ordenador.

Y como no agradecer a todos mis compañeros de carrera y amigos, en especial a Rubén, que siempre han estado ahí, al pie del cañón, pendientes del desarrollo del proyecto y haciendo que llevara el proyecto de la manera más grata posible.

Sé que me queda gente en el tintero, pero es imposible en pocas líneas resumir tantos momentos pasados durante estos tres cortos pero intensos años. De corazón a todos MUCHAS GRACIAS.



Indice General

1 Introducción

1.1 Introducción	1
1.2 Objetivos	3
1.3 Estructura de la memoria	3
1.4 Peticionario	5

2 Sistemas de Radiofrecuencia

2.1 Introducción	7
2.2 Características de los sistemas de RF	7
2.2.1 Ganancia (G).....	8
2.2.2 Figura de ruido (NF).....	8
2.2.3 Punto de intercepción de tercer orden.....	9
2.2.4 Coeficiente de onda estacionaria.....	12
2.3 Características del estándar 802.11a.....	12
2.3.1 Canalización.....	13
2.3.2 Modulación OFDM.....	14
2.4 Especificaciones Técnicas.....	19
2.4.1 Impedancia de la antena en emisión y recepción.....	19
2.4.2 Rangos de temperatura en emisión y recepción.....	19
2.4.3 Nivel de potencia en transmisión.....	20
2.4.4 Mascara de espectro de salida.....	20
2.4.5 Variación de la frecuencia de salida.....	21
2.4.6 Sensibilidad a la entrada.....	21
2.4.7 Figura de ruido.....	21
2.5 Tipos de receptores.....	22
2.5.1 Receptor de conversión directa.....	22
2.5.2 Receptor superheterodino de doble conversión.....	23
2.5.3 Receptor arquitectura Weaver modificada.....	24

3 Mezclador de frecuencias	
3.1 Introducción	27
3.2 Teoría básica	27
3.3 Parámetros del mezclador	30
3.3.1 Ganancia de conversión	30
3.3.2 Figura de ruido	31
3.3.3 Linealidad	32
3.3.3.1 Rango dinámico	32
3.3.3.2 Punto de compresión	32
3.3.3.3 Distorsión de intermodulación de tercer orden	32
3.3.4 Aislamiento	34
3.4 Sistemas no lineales como mezcladores lineales	34
3.4.1 Mezclador de dos puertos: Dispositivo de ley cuadrática	35
3.4.2 Ganancia de un mezclador de un solo transistor bipolar	38
3.5 Mezcladores basados en multiplicadores	39
3.5.1 Mezclador simple balanceado	39
3.5.2 Mezclador activo doble balanceado. Célula de Gilbert	42
3.5.3 Mezclador CMOS pasivo	46
4 Estudio de la tecnología	
4.1 Introducción	49
4.2 Resistencias	49
4.2.1 Construcción	49
4.2.2 Resistencias en la tecnología S35D4 de AMS	50
4.3 Condensadores	53
4.3.1 Construcción	53
4.3.2 Condensadores en la tecnología S35D4 de AMS	53
4.4 Bobinas	55
4.4.1 Construcción	55
4.4.2 Funcionamiento	56
4.4.3 Modelo de la bobina	57
4.4.4 Bobinas en la tecnología S35D4 de AMS	59
4.5 El transistor MOSFET	59
4.5.1 Construcción	59
4.5.2 Funcionamiento	60
4.5.3 Modelo de baja frecuencia	63
4.5.4 Modelo de alta frecuencia	63
4.5.5 Transistores MOSFET en la tecnología S35D4 de AMS	65
4.6 HBTs de SiGe	67
4.6.1 Estructura y principio de funcionamiento de los HBTs	67
4.6.2 HBTs en la tecnología S35D4 de AMS	71
5 Diseño del mezclador pasivo	
5.1 Introducción	75
5.2 Topología del circuito	75
5.3 Polarización del circuito	76
5.4 Dimensionado del circuito	80
5.5 Adaptación de impedancia en las entradas	81
5.6 Simulación del diseño	82

5.7 Layout del mezclador.....	84
5.8 Simulaciones post-layout.....	85
6 Diseño del amplificador operacional	
6.1 Introducción.....	89
6.2 Etapa de entrada del amplificador.....	89
6.3 Diseño del CMFB.....	92
6.4 Diseño de la etapa de salida.....	94
6.5 Simulación del amplificador.....	95
6.6 Layout del amplificador.....	97
6.7 Simulaciones post-layout.....	99
7 Mezclador con etapa de amplificación	
7.1 Introducción.....	101
7.2 Simulación del conjunto.....	101
7.3 Layout del conjunto.....	102
7.4 Simulaciones Post-layout.....	104
7.5 Acoplamiento de señales.....	107
8 Integración en una cadena de recepción	
8.1 Introducción.....	111
8.2 Consideraciones previas.....	111
8.3 Amplificador de bajo ruido (LNA)	112
8.3.1 Especificaciones de LNAs.....	112
8.3.2 Esquemático del LNA.....	113
8.3.3 Layout del LNA.....	114
8.3.4 Prestaciones del LNA.....	115
8.4 Conexión LNA-Mezclador.....	115
8.5 Layout del sistema.....	116
8.6 Simulaciones post-layout.....	117
8.7 RUN de fabricación.....	119
9 Conclusiones	
9.1 Introducción.....	123
9.2 Mezclador pasivo.....	123
9.3 Mezclador con etapa de amplificación.....	125
9.4 Conclusiones.....	126
Presupuesto	
Introducción.....	129
Costes debidos a recursos humanos.....	129
Costes de Ingeniería.....	130
Costes de Amortización.....	130
Costes de Fabricación.....	131
Otros costes.....	131
Coste Total.....	132
Bibliografía.....	133
Anexo: Fotografías de los diseños.....	137



CAPITULO 1

Introducción

1.1 Introducción

En los últimos años las redes inalámbricas (WLAN, *Wireless Local Area Network*) han ganado muchos adeptos y popularidad en mercados como hospitales, fábricas, tiendas de autoservicio, pequeños negocios, universidades, etc . Las redes inalámbricas permiten a los usuarios el acceso a información y recursos en tiempo real sin necesidad de estar físicamente en un determinado lugar. Con WLANs la red por sí misma es móvil y elimina la necesidad de usar cables y establece nuevas aplicaciones añadiendo flexibilidad a la red y, lo que es más importante, incrementa la productividad y eficiencia en las actividades diarias de la empresa. Un usuario dentro de una red inalámbrica puede transmitir y recibir voz, datos y video dentro de edificios, entre edificios o campus universitarios e inclusive sobre áreas metropolitanas.

Muchos de los fabricantes de ordenadores y equipos de comunicaciones como PDAs (*Personal Digital Assistants*), módems, microprocesadores inalámbricos, lectores de punto de venta y otros dispositivos están introduciendo aplicaciones en soporte a las comunicaciones

inalámbricas. Las nuevas posibilidades que ofrecen las WLANs son permitir una fácil incorporación de nuevos usuarios a la red, ofrecer una alternativa de bajo coste a los sistemas cableados, y posibilitar el acceso a cualquier base de datos o cualquier aplicación localizada dentro de la red.



Figura 1.1. Ejemplo de sistemas WLAN.

Las ventajas de las WLANs sobre las redes cableadas se pueden resumir en los siguientes términos:

- **Movilidad:** Las redes inalámbricas pueden proporcionar a los usuarios de una LAN acceso a la información en tiempo real en cualquier lugar dentro de la organización. Esta movilidad incluye oportunidades de productividad y servicio que no es posible con una red cableada.
- **Simplicidad y rapidez en la instalación:** La instalación de una red inalámbrica es rápida y fácil. Además elimina la necesidad de tirar cable a través de paredes y techos.
- **Flexibilidad en la instalación:** La tecnología inalámbrica permite a la red ir donde la cableada no puede ir.
- **Coste de propiedad reducido:** Mientras que la inversión inicial requerida para una red inalámbrica puede ser más alta que el coste en hardware de una LAN cableada, la inversión de toda la instalación y el coste del ciclo de vida puede ser significativamente inferior. Los beneficios y costes a largo plazo son superiores en ambientes dinámicos que requieren acciones y movimientos frecuentes.
- **Escalabilidad:** Los sistemas de WLANs pueden ser configurados en una variedad de topologías para satisfacer las necesidades de las instalaciones y aplicaciones específicas. Las configuraciones son muy fáciles de cambiar y además es muy fácil la incorporación de nuevos usuarios a la red.

Como se ha comentado las redes inalámbricas están sufriendo un gran auge dentro de las tecnologías de la información, por esta razón, es un campo donde se está invirtiendo gran cantidad de fondos en procesos de investigación y desarrollo.

1.2 Objetivos

El principal objetivo de este proyecto fin de carrera es el desarrollo de un mezclador pasivo en tecnología SiGe 0.35 μm para el estándar de comunicaciones IEEE802.11a. Este proyecto se engloba dentro de otro proyecto de mayor envergadura desarrollado por el Instituto Universitario de Microelectrónica Aplicada (IUMA), en el que se pretende diseñar un receptor de conversión directa para el estándar 802.11a.

Para el diseño del mezclador inicialmente se llevará a cabo un estudio teórico para comprender los parámetros básicos de los sistemas de radiofrecuencia, el funcionamiento de los mezcladores y el estudio de la tecnología a emplear.

Una vez completado el estudio teórico se procede a la elaboración del diseño. Para la elaboración del mismo se seguirá el flujo de diseño típico en un sistema integrado, es decir, se partirá del diseño a nivel de esquemático realizado con ADS (*Advanced design System*) y una vez completado el diseño a nivel de esquemático se procederá al diseño a nivel de *layout* en Cadence. Es digno de mención que al tratarse de un sistema analógico el diseño a nivel de *layout* debe realizarse enteramente a mano ya que no se dispone de células estándar que faciliten el diseño del mismo (diseño *full-custom*).

1.3 Estructura de la memoria

La memoria de este proyecto está dividida de la siguiente forma:

En el **Capítulo 2** se comienza realizando un estudio teórico de los parámetros más importantes que caracterizan a los sistemas de radiofrecuencia. En este capítulo quedarán definidos términos como ganancia, linealidad,... etc. Por otro lado en el Capítulo 2 se realiza también un estudio general del estándar IEEE802.11a para conocer el marco en el que se englobará el mezclador diseñado. Finalmente en este capítulo se compararán las diferentes

arquitecturas de receptores que se utilizan en sistemas de radiofrecuencia, exponiendo tanto las ventajas como inconvenientes de las mismas.

Conocidos ya los fundamentos de los sistemas de radiofrecuencia, en el **Capítulo 3** se realizará un estudio en profundidad de los mezcladores de frecuencia. El capítulo comienza con la definición de los parámetros que caracterizan a los mezcladores para proceder después al estudio de las diferentes topologías de mezcladores típicamente usadas en sistemas de radiofrecuencia integrados.

Llegados a este punto ya el objetivo del proyecto puede considerarse englobado dentro de su marco de trabajo. Por esta razón, en el **Capítulo 4** se procederá al estudio de la tecnología SiGe 0,35 μm de la fundidora AMS. Para ello se realizará un pequeño estudio a nivel tanto de construcción como de funcionamiento de cada uno de los componentes que proporciona la tecnología. Así mismo se analizarán las diferentes opciones que proporciona el Kit de diseño de la tecnología en la herramienta de diseño Cadence.

En el **Capítulo 5** se procede a abordar el diseño del mezclador pasivo. El trabajo comienza con el diseño del mezclador pasivo tanto a nivel de esquemático como a nivel de *layout*. El diseño del mismo será realizado de una forma metódica, partiendo de un esquema genérico para luego ir ajustando los valores hasta obtener los resultados óptimos.

Debido a que se ha diseñado un mezclador pasivo y este presenta pérdidas en la conversión, en el **Capítulo 6** se realizará el diseño de un amplificador operacional totalmente diferencial que será colocado en la salida del mezclador. Al igual que en el caso del mezclador pasivo, en el diseño del amplificador se partirá del esquemático para terminar con el diseño a nivel de *layout*.

En este punto del proyecto, ya se encuentran los dos bloques diseñados independientemente (el mezclador pasivo y el amplificador operacional). En el **Capítulo 7** se procede a la unión de ambos circuitos para comprobar que el sistema funciona de acuerdo a las especificaciones esperadas inicialmente. La comprobación del funcionamiento de la unión de ambos bloques se realizará inicialmente a nivel de esquemático para luego proceder a la implementación del *layout* y comprobar su correcto funcionamiento.

Concluido el diseño del mezclador, en el **Capítulo 8** se procederá a la integración del bloque diseñado dentro de la cadena de recepción. El mezclador será integrado junto con un amplificador de bajo ruido diseñado por Jesús Rubén Pulido Medina [1], formando ambos sistemas la etapa analógica del receptor de conversión directa para el estándar 802.11a. Como los sistemas desarrollados serán fabricados, en el capítulo 8 también se podrá apreciar el proceso de preparación de los sistemas para su envío a fábrica, dando con esto por finalizado el proceso de diseño.

Por último, en el **Capítulo 9** se analizarán los resultados obtenidos a lo largo del proyecto, comparando el sistema desarrollado con otros sistemas de características similares y evaluando como se han ido alcanzando una serie de metas y objetivos a lo largo de todo el proyecto.

Finalizadas las conclusiones se realizará el **Presupuesto**, donde se detallarán los gastos derivados del proyecto tanto de los sistemas *hardware* / *software* como gastos tanto de fabricación y de recursos humanos.

Finalmente al final del proyecto se recoge un **Anexo** con las fotografías de los circuitos fabricados.

1.4 Peticionario

Actúa como petionario para este proyecto fin de carrera, la división de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA).

CAPITULO 2

Sistemas de radiofrecuencia

2.1 Introducción

Conocidos los objetivos generales del proyecto y el marco de trabajo donde será englobado, en este capítulo se pretende profundizar en los sistemas de radiofrecuencia y en el estándar de comunicaciones IEEE802.11a.

La comprensión de los diversos parámetros expuestos en este capítulo es fundamental para el desarrollo del proyecto, ya que, sin ello es imposible determinar y valorar las características de los sistemas de radiofrecuencia.

2.2 Características de los sistemas de RF

Los conceptos tratados en este apartado son comunes a la mayoría de los bloques que componen un sistema de RF y, por tanto, serán de utilidad más adelante para el estudio del sistema donde irá incluido el mezclador.

2.2.1 Ganancia (G)

La ganancia de un circuito determina la relación entre las amplitudes de la señal de salida y la de entrada. La ganancia en tensión se puede expresar mediante la ecuación 2.1.

$$G = \frac{V_{salida}}{V_{entrada}} \quad (\text{Ec. 2.1})$$

Siendo su valor en decibelios el mostrado en la ecuación 2.2.

$$G(\text{dB}) = 20 \log \left(\frac{V_{salida}}{V_{entrada}} \right) \quad (\text{Ec. 2.2})$$

Cuando se trabaja con sistemas de radiofrecuencia no se suele hablar en términos de tensión sino en términos de potencia. Por tanto, de ahora en adelante se hablará de la ganancia en potencia de una etapa. Para medir la ganancia en potencia de un circuito se utilizan los parámetros S , más concretamente el parámetro S_{21} .

2.2.2 Figura de ruido (NF)

En un sistema de RF, incluso cuando no hay señal a la entrada, a la salida se puede medir una pequeña tensión. A esta pequeña cantidad de potencia de salida se la suele denominar potencia de ruido. La potencia de ruido total a la salida es la suma de la potencia de ruido a la entrada amplificada más la potencia de ruido a la salida producida por el sistema. La figura de ruido describe cuantitativamente la respuesta frente al ruido de un sistema. Se define como la relación entre la potencia total de ruido disponible a la salida del sistema y la potencia de ruido disponible a la salida debido al ruido térmico, siendo éste la única señal a la entrada. La figura de ruido se expresa como muestra la ecuación 2.3.

$$NF = \frac{P_{N0}}{P_{Ni} \cdot G_A} \quad (\text{Ec. 2.3})$$

donde P_{N0} es la potencia total de ruido disponible a la salida del sistema, $P_{Ni} = k \cdot T \cdot B$ es la potencia de ruido disponible en un ancho de banda B (k y T son respectivamente la constante de Boltzmann y la temperatura absoluta) y G_A es la ganancia de potencia disponible definida

como la relación entre la potencia de señal disponible a la salida (P_{s_o}) y la potencia de señal disponible a la entrada (P_{s_i}). Sustituyendo G_A por dicha relación obtenemos que la figura de ruido viene dada por:

$$NF = \frac{P_{s_i} / P_{N_i}}{P_{s_o} / P_{N_o}} = \frac{SNR_i}{SNR_o} \quad (\text{Ec. 2.4})$$

donde SNR_i y SNR_o son, respectivamente, las relaciones señal a ruido medidas a la entrada y a la salida. De esta forma, la figura de ruido es una medida de cuanto se degrada la SNR al pasar la señal a través del circuito. Si el circuito no añadiese ruido, entonces $SNR_i = SNR_o$, independientemente del valor de la ganancia del mismo. Esto es debido a que tanto la señal como el ruido son amplificadas (o atenuadas) por el mismo factor. Por lo tanto, la figura de ruido de un circuito sin ruido es igual a 1 aunque por lo general la figura de ruido suele ser mayor que la unidad.

Para dos etapas en cascada la figura de ruido viene dada por la ecuación 2.5.

$$NF = NF_1 + \frac{NF_2 - 1}{G_{A1}} \quad (\text{Ec. 2.5})$$

donde NF_1 y NF_2 son las figuras de ruido de ambas etapas por separado y G_{A1} es la ganancia de la primera etapa. La ecuación 2.5 muestra que la primera etapa es la que más contribuye al ruido total ya que su figura de ruido se suma directamente a la del sistema y la de la segunda etapa es atenuada por la ganancia de la primera etapa. En consecuencia, la primera etapa de un sistema de radiofrecuencia (LNA) debe tener una baja figura de ruido y una alta ganancia.

2.2.3 Punto de Intercepción de Tercer orden ($IP3$)

El punto de intercepción de tercer orden es una medida de la linealidad de un circuito. Cuando dos señales con diferentes frecuencias (ω_1 y ω_2) son aplicadas a un sistema no lineal, la salida exhibe, en general, términos armónicos de ω_1 y ω_2 , y también términos de frecuencias que siguen la ley $m\omega_1 \pm n\omega_2$ los cuales se producen por mezcla de los anteriores. A estos se les denomina *productos de intermodulación* (IM). Se define el *orden* de cada producto como la suma de $m+n$. Los productos de intermodulación se pueden dar referidos a la salida (*OIM*) o a la entrada (*IIM*) y se suelen expresar en dBm. Ambos valores están relacionados a través de la

ganancia del circuito ($OIM = IIM + G$ dB). Los productos de intermodulación más importantes son los de tercer orden ($2\omega_1 - \omega_2$ y $2\omega_2 - \omega_1$), desechando el término de continua que normalmente no condiciona la información y los términos superiores por considerarlos de magnitud muy pequeña o estar alejados de la frecuencia de la portadora. En la Figura 2.1 se muestra como los productos de intermodulación pueden caer dentro del canal deseado produciendo fuertes interferencias.

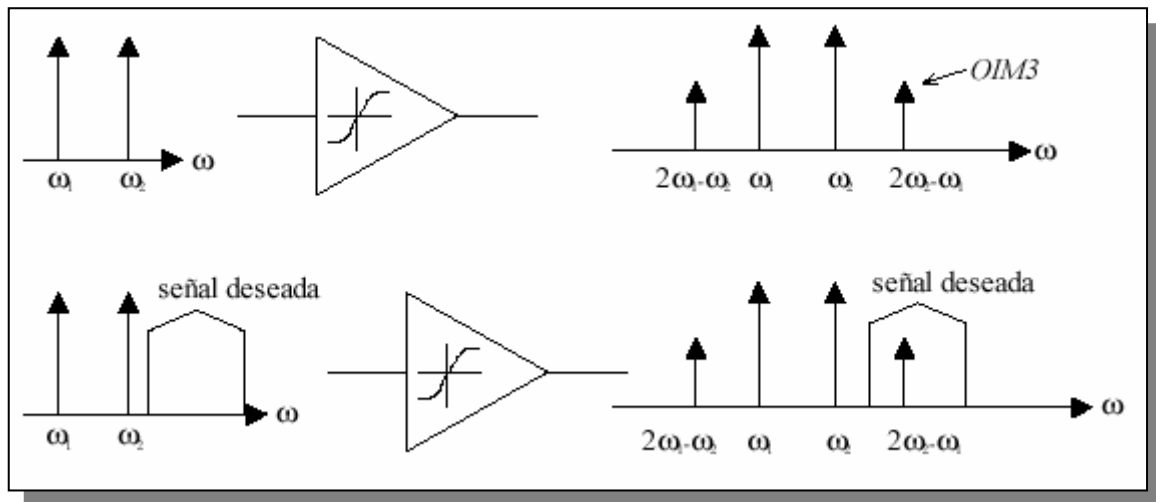


Figura 2.1. Efecto de la intermodulación.

La corrupción de las señales debido a la intermodulación de tercer orden de dos interferencias cercanas es algo común y perjudicial. Para determinar cuánto es esta degradación se define una figura de mérito llamada punto de intercepción de tercer orden $IP3$ (*third intercept point*) el cual se puede dar referido a la entrada ($IIP3$) o a la salida ($OIP3$). El $IIP3$ se calcula como:

$$IIP3_{dBm} = \frac{\Delta P_{dB}}{2} + Pin_{dBm} \quad (\text{Ec. 2.6})$$

donde P_{in} es la potencia de la señal interferente (tono) y ΔP_{dB} es la diferencia de potencia entre la señal interferente y el $IIM3$. En la Figura 2.2 se muestra la interpretación gráfica de ambas cantidades así como del $IP3$. Para determinar gráficamente el $IP3$ se representa la salida deseada y la salida del producto de intermodulación de tercer orden en función del nivel RF a la entrada. El $IP3$ es la intercepción extrapolada de esas dos curvas. En general cuanto mayor sea el $IP3$ más lineal será el circuito.

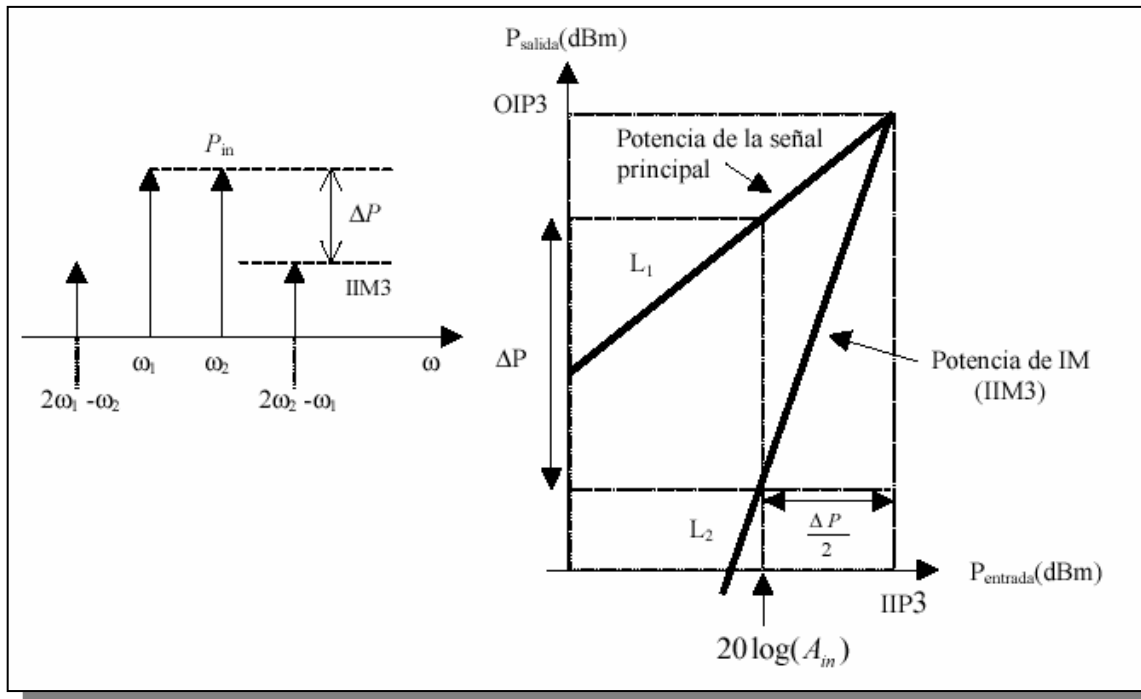


Figura 2.2. Medida del IP3 referido a la entrada.

Así, el IIP3 lo se puede determinar a partir de la ecuación 2.6 mediante la expresión 2.7.

$$IIP3_{dBm} = \frac{Pin_{dBm} - IIM3}{2} + Pin_{dBm} \tag{Ec.2.7}$$

Por lo que el IIM3 viene dado por la ecuación 2.8.

$$IIM3_{dBm} = Pin_{dBm} - 2(IIP3_{dBm} - Pin_{dBm}) \tag{Ec. 2.8}$$

$$IIM3_{dBm} = 3Pin_{dBm} - 2IIP3_{dBm}$$

Es digno de mención que el representar la linealidad de un componente mediante el uso del IM3 presenta el inconveniente que debe ser especificada la potencia de entrada. Con el IP3 se salva este problema. El IIM3 y el OIM3 son medidas absolutas de la potencia de los productos de intermodulación referidos a la entrada y a la salida, mientras que el IIP3 y el OIP3 son medidas relativas a los valores de los tonos de *test* utilizados. De esta forma, haciendo uso del IIP3 o el OIP3 se pueden comparar distintos sistemas cuyas medidas se hayan hecho con diferentes tonos y por ello es la forma más habitual de caracterizar los efectos de la intermodulación.

2.2.4 Coeficiente de onda estacionario (*VSWR*)

Está relacionado con el coeficiente de reflexión (Γ_L , relación entre la onda incidente y la reflejada) según la ecuación 2.9 e indica una medida cuantitativa de la adaptación del circuito a la entrada ($VSWR_1$) o a la salida ($VSWR_2$). En la ecuación 2.9, Z_0 es la impedancia característica de una línea de transmisión y Z_L es la impedancia de carga. Como se puede observar, si terminamos la línea de transmisión con una impedancia igual a su impedancia característica, el coeficiente de reflexión será cero, lo cual equivale a un $VSWR$ de valor 1. El hecho de que se utilice más el coeficiente de onda estacionario que el coeficiente de reflexión se debe a que es más fácil de medir (no es más que la relación entre la tensión de pico máxima y mínima a lo largo de una línea sin pérdidas).

$$|\Gamma_L| = \left| \frac{Z_L - Z_0}{Z_L + Z_0} \right| = \frac{VSWR - 1}{VSWR + 1} \quad (\text{Ec. 2.9})$$

2.3 Características del Estándar IEEE 802.11a

Este estándar se define para redes inalámbricas en la banda de 5 GHz. En la Tabla 2.1 se puede ver las especificaciones básicas de diferentes estándares de WLANs.

Para reducir errores el estándar permite la reducción de la tasa de transferencia de información. Así el 802.11a tiene 7 velocidades de transferencia de datos posibles (48, 36, 24, 18, 12, 9 y 6 Mbps). La velocidad máxima permisible de 54 Mb/s sólo es disponible en un ambiente libre de interferencias y a muy corta distancia.

Tabla 2.1. Distintas especificaciones para WLANs

Estándar	Velocidad máxima	Modulación	Ancho de banda de canal	Frecuencia
802.11a	54 Mbps	OFDM	20 MHz	5.0 GHz
802.11b	11 Mbps	DSSS	25 MHz	2.4 GHz
802.11g	54 Mbps	OFDM/DSSS	25 MHz	2.4 GHz
HomeRF2	10 Mbps	FHSS	5 MHz	2.4 GHz
HiperLAN2	54 Mbps	OFDM	25 MHz	5.0 GHz
5-UP	108 Mbps	OFDM	50 MHz	5.0 GHz

2.3.1 Canalización

La frecuencia central de canal es múltiplo de 5 MHz. La relación entre la frecuencia central y el número del canal viene dada por la ecuación 2.10.

$$\text{Frecuencia central del cada canal} = 5 \text{ GHz} + 5 \text{ MHz} \cdot n_{\text{ch}} \quad (\text{Ec. 2.10})$$

Existen 12 canales, los cuales se puede observar en la Tabla 2.2.

Tabla 2.2 Plan de frecuencias para IEEE 802.11a

Banda (GHz)	Número de canales operativos (nch)	Frecuencia central del cada canal (MHz)
U-NII Banda inferior (5.15-5.25)	36	5180
	40	5200
	44	5220
	48	5240
U-NII Banda media (5.25-5.35)	52	5260
	56	5280
	60	5300
	64	5320
U-NII Banda superior (5.725-5.825)	149	5745
	153	5765
	157	5785
	161	5805

El ancho de banda total es de 300 MHz divididos en tres bloques de 100 MHz (5.15 a 5.25 GHz, 5.25 a 5.35 GHz y 5.725 a 5.825 GHz). En la Figura 2.3 se puede observar el plan de frecuencias.

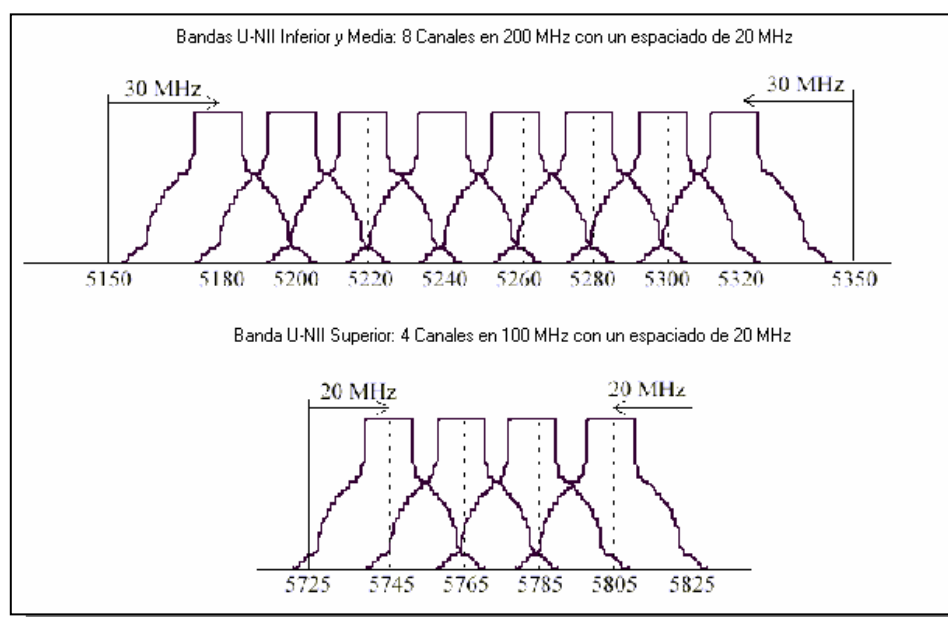


Figura 2.3. Canalización para IEEE 802.11a.

Cada canal tiene un ancho de 20 MHz, y ésta a su vez está dividido en 52 sub-canales, cada uno de 300 KHz. 48 de esos canales son para datos y 4 son canales para frecuencias piloto. Esta subdivisión de canales es útil para adaptar diferentes tasas de bits tal como se verá en el siguiente apartado.

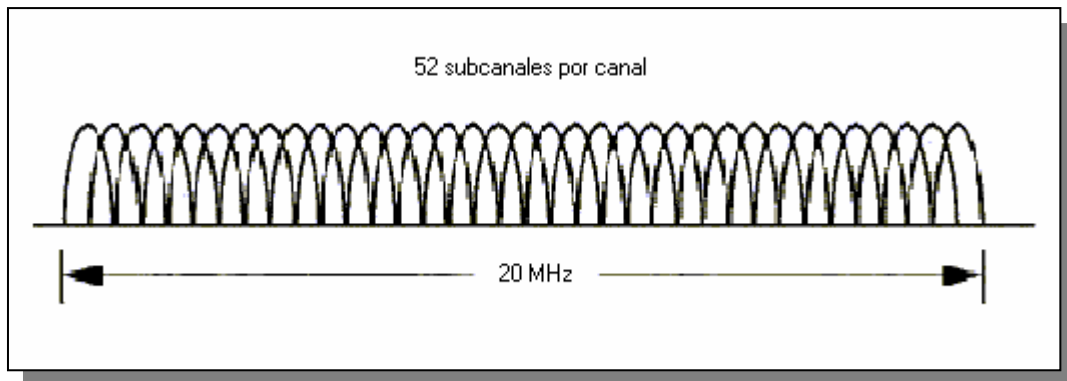


Figura 2.4. 52 subcanales del IEEE.802a.

2.3.2 Modulación OFDM

La versión de OFDM que utiliza el estándar 802.11a combina las modulaciones BPSK, QPSK y QAM en función de la tasa de bits elegida, tal como se ve en la Tabla 2.3.

Tabla 2.3 Tipos de Modulaciones del estándar 802.11a

Tasa de bits transmitida (Mbits/s)	Tasa de bits transmitida por cada subcanal (kbits/s)	Modulación
6	125	BPSK
9	188	BPSK
12	250	QPSK
18	375	QPSK
24	500	16-QAM
36	750	16-QAM
48	1000	64-QAM
54	1125	64-QAM

La OFDM es una FDM (multiplexación por división en frecuencia) en la que los canales contiguos se solapan pero no se interfieren los unos a los otros debido a la ortogonalidad de las portadoras.

La OFDM divide una cadena de datos de alta velocidad en 48 sub-cadenas de baja velocidad que se transmiten en paralelo. Cada sub-cadena se modula (BPSK, QPSK, 16-QAM ó 64 QAM) con una sub-portadora con frecuencia diferente. Las frecuencias de las sub-portadoras son elegidas de manera que sean ortogonales, es decir, que en un periodo de símbolo quepan un número entero de ciclos. En la Figura 2.8 se puede observar este caso para tres sub-portadoras.

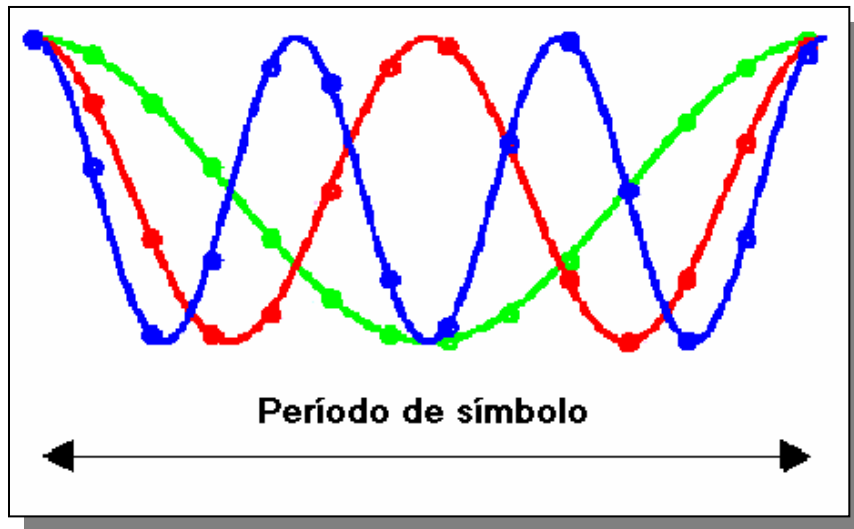


Figura 2.5. Ejemplo de tres portadoras ortogonales.

Las tres señales son ortogonales entre sí, es decir cumplen la ecuación 2.11.

$$\int_0^T \sin\left(\frac{2\pi kt}{T}\right) \sin\left(\frac{-2\pi lt}{T}\right) dt = 0, \quad k \neq l \quad (\text{Ec. 2.11})$$

Los datos se modulan variando la fase o la amplitud de cada sub-portadora dependiendo del tipo de modulación (BPSQ, QPSK, 4QAM y 16QAM). Cada sub-portadora se puede modular con un tipo de modulación distinta.

En la Figura 2.6 se puede observar un esquema de bloques genérico para el transmisor y para el receptor.

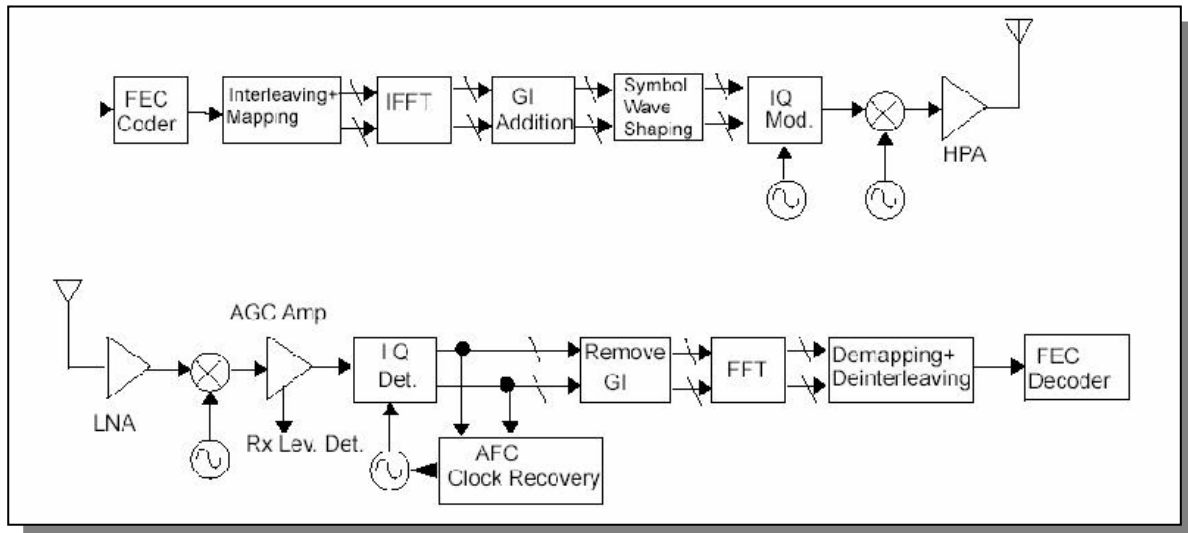


Figura 2.6. Esquema de bloques del transmisor y receptor para la capa física de OFDM.

El codificador FEC (*Forward Error Correction*) expande los bits sobre el ancho de banda del canal y aumenta la redundancia de la información a transmitir para poder corregir errores en el receptor. Se suele utilizar para éste propósito un codificador convolucional.

El *interleaving* modifica la cadena de datos para evitar secuencias de “1” o “0” seguidas (evita errores debidos al *burst*), para ello la cadena de datos se divide en grupos de N_{CBPS} bits, dentro de cada grupo se produce un intercambio en los bits en dos permutaciones.

En el mapeo (*mapping*) la cadena de datos se divide en grupos de N_{BPSK} bits (1, 2, 4 o 6) y se convierten en números complejos dependiendo de la tasa de bits elegida. Cada grupo se convierte en un número complejo acorde a la modulación (Figuras 2.7 y 2.8). Por ejemplo, si se elige una tasa de bits de 24 Mbits/s se mapean los datos con una constelación 16-QAM. La cadena de números complejos se divide en grupos de 48 números complejos. Cada grupo se mapea a cada una de las subportadoras (48).

A las 52 (48+4) sub-portadoras se le aplica la *IFFT* (transformada inversa de Fourier rápida). La *IFFT* suma todas las cadenas de datos y realiza la modulación y el multiplexado en un paso. Este procesado de señal sustituye los bancos de moduladores *I/Q* que hubieran sido necesarios de haberlas realizado de forma tradicional. Esta señal pasa por un convertidor paralelo-serie.

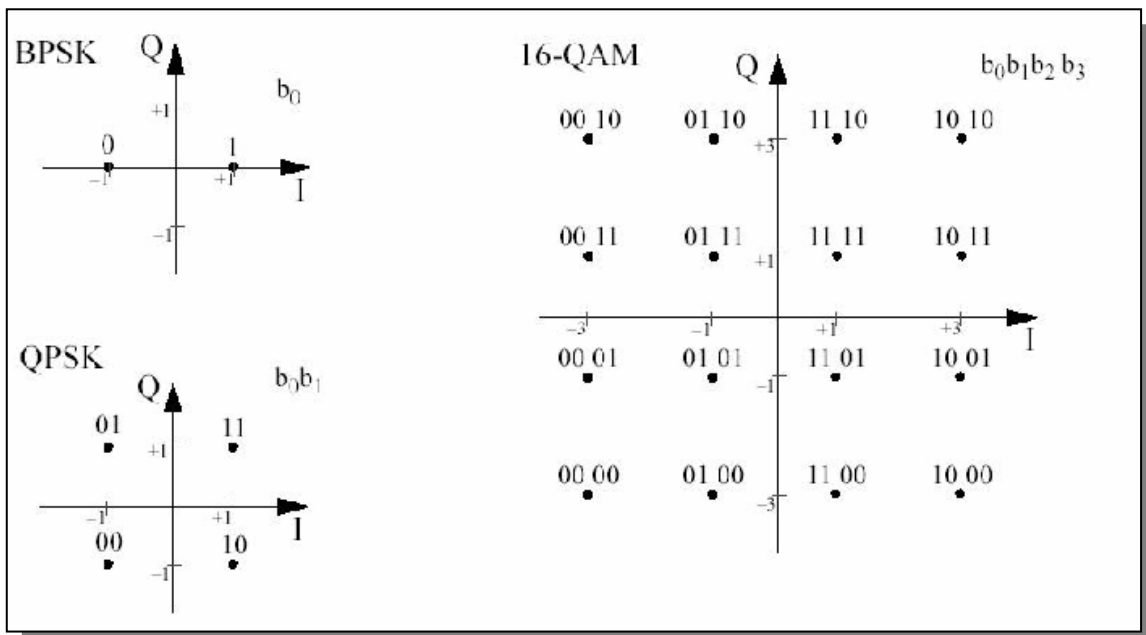


Figura 2.7. Constelaciones para BPSK, QPSK y 16-QAM.

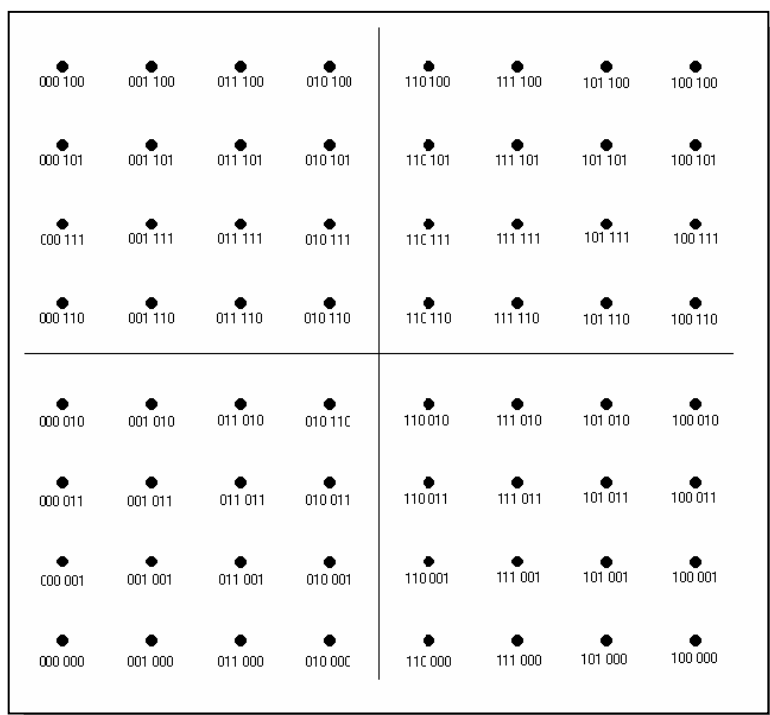


Figura 2.8. Constelación para 64-QAM.

Una vez pasada la señal anterior por el convertidor paralelo serie se le añade el GI (*guard interval*) o también llamado *cyclic prefix*. En este paso se añade una banda de guarda sobre cada símbolo para reducir la interferencia entre símbolos (*ISI*) y entre portadoras (*ICI*). En la figura 2.9 se ve un ejemplo de agregación del GI o Cyclic Prefix en un símbolo, por otro lado, en la figura 2.10 se observa como aparece la ICI si no se tiene en cuenta el retardo introducido con el GI

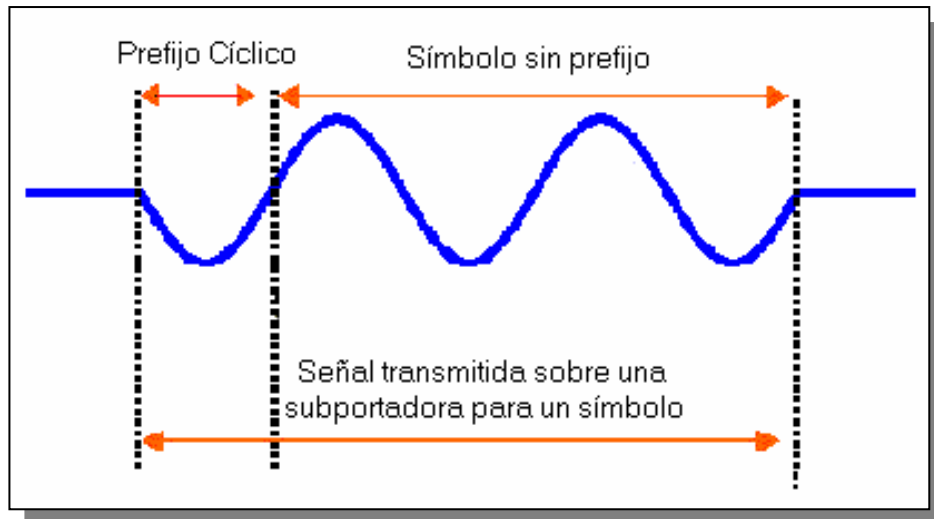


Figura 2.9. Ejemplo de agregación de GI o *Cyclic Prefix* en cada símbolo.

Cuando la misma señal llega al receptor por diferentes caminos y el retardo de la señal es menor que el GI no se produce ISI ni ICI tal como se ve en la Figura 2.11

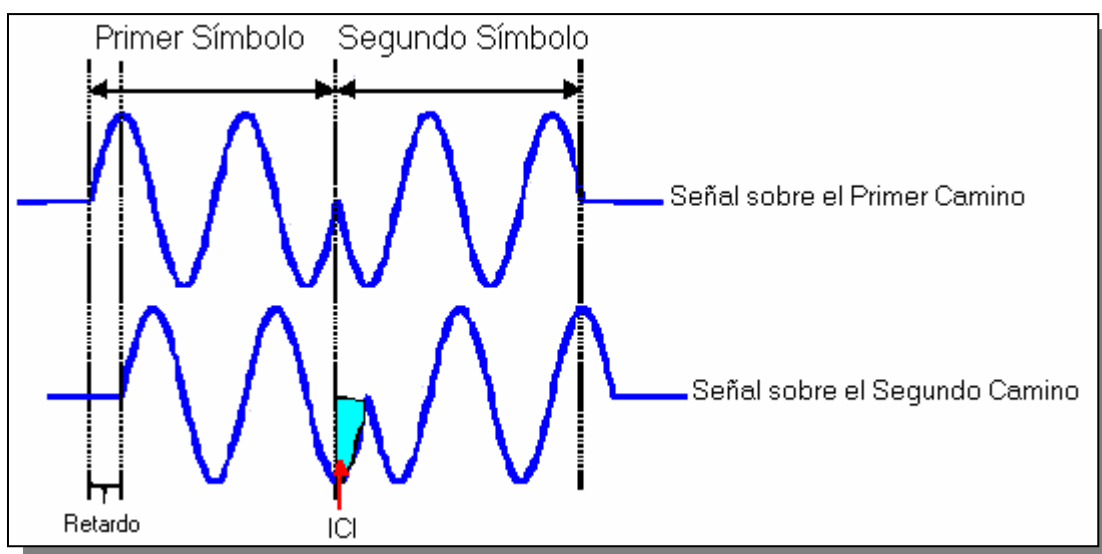


Figura 2.10. Ejemplo de *ICI*.

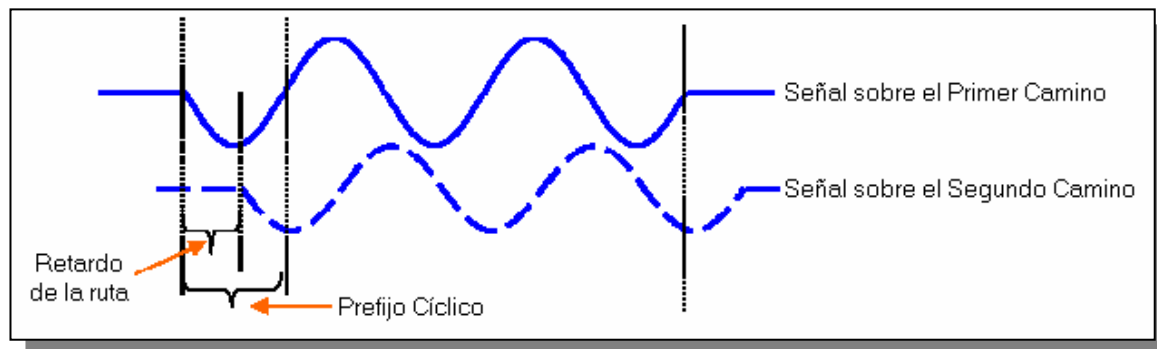


Figura 2.11. Efecto del GI o *Cyclic Prefix* cuando la señal viene por varios caminos.

Seguidamente hay que realizar a la señal el *symbol wave shaping*. Este paso se realiza para disminuir el ancho de banda de los pulsos filtrando la señal con un filtro de coseno alzado. Este filtro sirve para reducir el nivel de los lóbulos laterales del espectro de la señal, reduciendo de esta manera la potencia transmitida.

La señal (I/Q) resultante se pasa por un convertidor digital analógico y un filtro para poder ser modulada.

El proceso de recepción es el inverso y los bloques realizan la operación inversa que en el proceso de transmisión.

2.4 Especificaciones técnicas

A continuación se va a enumerar las especificaciones técnicas de un transceptor para IEEE802.11a [2].

2.4.1 Impedancia de la antena de emisión y recepción

La impedancia del puerto de la antena de emisión y la de recepción es de 50 Ohmios [3].

2.4.2 Rangos de temperatura para la transmisión y la recepción

Se han definido tres rangos de temperatura de funcionamiento que se pueden ver en la Tabla 2.4.

Tabla 2.4. Rangos de temperatura de funcionamiento

Tipo 1	0 °C a 40 °C	Entorno doméstico
Tipo 2	-20 °C a 50 °C	Entorno industrial
Tipo 3	-30 °C a 70 °C	Entorno industrial

2.4.3 Nivel de potencia en la transmisión

La potencia máxima transmitida de la señal se puede ver en la Tabla 2.5.

Tabla 2.5. Potencia de salida

Banda de frecuencias (GHz)	Potencia máxima de salida con antena de 6 dBi de ganancia
5.15 – 5.25	40 mW (2.5 mW/MHz)
5.25 – 5.35	200 mW (12.5 mW/MHz)
5.725 – 5.825	800 mW (50 mW/MHz)

2.4.4 Máscara del espectro de salida

El espectro de la señal emitida debe tener 0 dBr (dB relativos a la máxima densidad espectral de la señal) en un ancho de banda no superior a 18 MHz, -20 dBr en una desviación de frecuencia de 20 MHz y -40 dBr en una desviación de frecuencia de 30 MHz. Las mediciones deben realizarse utilizando una resolución de 100 KHz de ancho de banda sobre una señal de video de 30 KHz. Esto se muestra en la Figura 2.12.

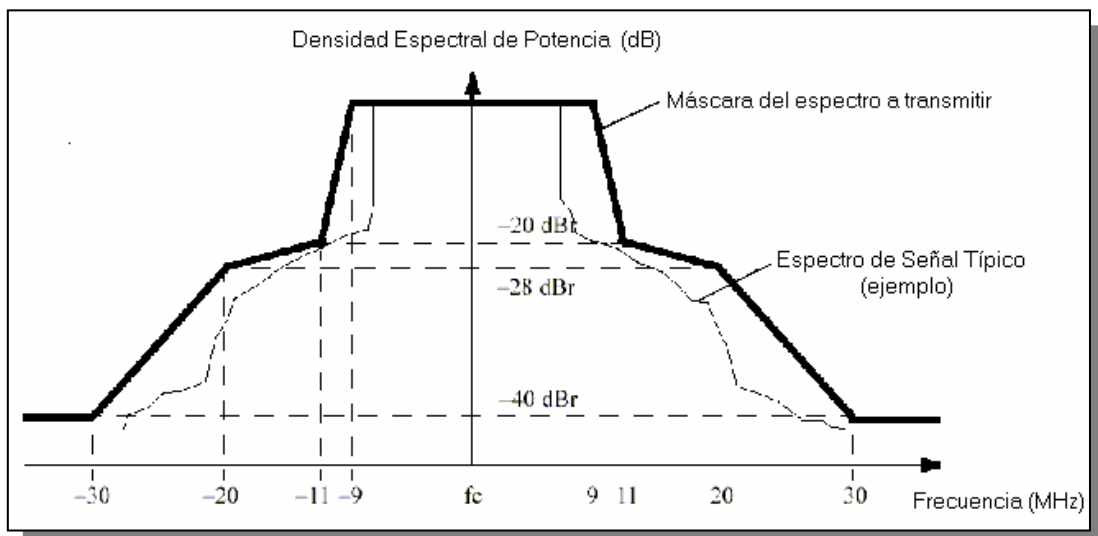


Figura 2.12. Máscara del espectro de salida.

2.4.5 Variación de la frecuencia a la salida

La variación máxima de la frecuencia de salida y de los símbolos transmitidos debe ser como máximo de ± 20 ppm [2].

2.4.6 Sensibilidad a la entrada

El PER (*packet error rate*) debe ser menor que del 10% para una SDU (*sublayer service data Units*) de 1000 bytes para los valores de sensibilidad mínima según la tasa de bits transmitida.

Se supone una NF de 10 dB con 5 dB de margen. En la Tabla 2.6 se observa la sensibilidad mínima a la entrada en función de la tasa de bits.

Tabla 2.6 Sensibilidad mínima a la entrada

Tasa de bits (Mbits/s)	Sensibilidad mínima (dBm)	Rechazo de canales adyacentes (dB)	Rechazo alternativo de canales adyacentes (dB)
6	-82	16	32
9	-81	15	31
12	-79	13	29
18	-77	11	27
24	-74	8	24
36	-70	4	20
48	-66	0	16
54	-65	-1	15

La potencia máxima a la entrada para un PER del 10% para una PSDU de 1000 bytes debe ser de -30 dBm (medidos en la antena para cualquier tipo de señal de banda base modulada).

2.4.7 Figura de ruido

El receptor debe tener una sensibilidad suficiente para detectar señales de -148 dBm/Hz (para un ancho de banda de 24 MHz). Para tener una SNR de 12 dB como mínimo, el ruido total del receptor debe ser:

$$NF = -148 \text{ dBm/Hz} - 12 \text{ dB} - (-174 \text{ dBm/Hz}) = 14 \text{ dB} \quad (\text{Ec. 2.12})$$

Donde -174 dBm/Hz (kT) es la potencia de ruido de la fuente debido al umbral de ruido (*noise floor*) para $T=290^\circ\text{K}$.

2.5 Tipos de Receptores

En este apartado se realizará un breve resumen de las características de los receptores más utilizados para el estándar IEEE802.11a. Este estudio es fundamental para la determinación de las prestaciones que debe cumplir el mezclador. Los tres tipos de receptores que se suelen utilizar para este estándar son:

- Receptor de conversión directa.
- Receptor superheterodino de doble conversión.
- Receptor basado en arquitectura *Weaver*.

A continuación se detallarán las principales características de cada arquitectura.

2.5.1 Receptor de conversión directa

El esquema de bloques de este receptor se puede observar en la Figura 2.13. Este esquema es el ideal para ser integrado debido a su reducido número de componentes. Las ventajas de este esquema son:

- No hay problemas con la frecuencia intermedia ni con la imagen ya que $w_{if}=0$. No es necesario el filtro de la frecuencia imagen, el cual suele ser externo (*SAW*).
- Debido al reducido número de componentes y a la eliminación de los filtros de IF el receptor es apto para ser integrado en un chip.

Por el contrario, las desventajas de este esquema se pueden resumir en los siguientes puntos:

- Aparece un *offset* en *DC* a la salida del filtro pasabajo que disminuye el rango dinámico de la señal. Este *offset* se debe a que parte de señal proveniente del oscilador local se cuela al mezclador por la entrada de RF sumándose a la señal proveniente del LNA. Esto es debido a que el aislamiento entre los puertos del mezclador no es infinito. Esta señal se mezcla con la del oscilador local la cual al ser filtrada aparece

como componente continua. A este efecto se le conoce como automezclado (*self-mixing*).

- El oscilador local hay que desfasarlo 90° para poder realizar la demodulación I/Q . Este desplazamiento provoca un cambio en la amplitud de la señal desfasada, lo cual produce una variación de amplitud entre el oscilador local utilizado para el canal Q y el utilizado para el canal I apareciendo un error en la constelación en la señal demodulada (*I/Q Mismatch*).
- Realizar un sintetizador a esa frecuencia es dificultoso.

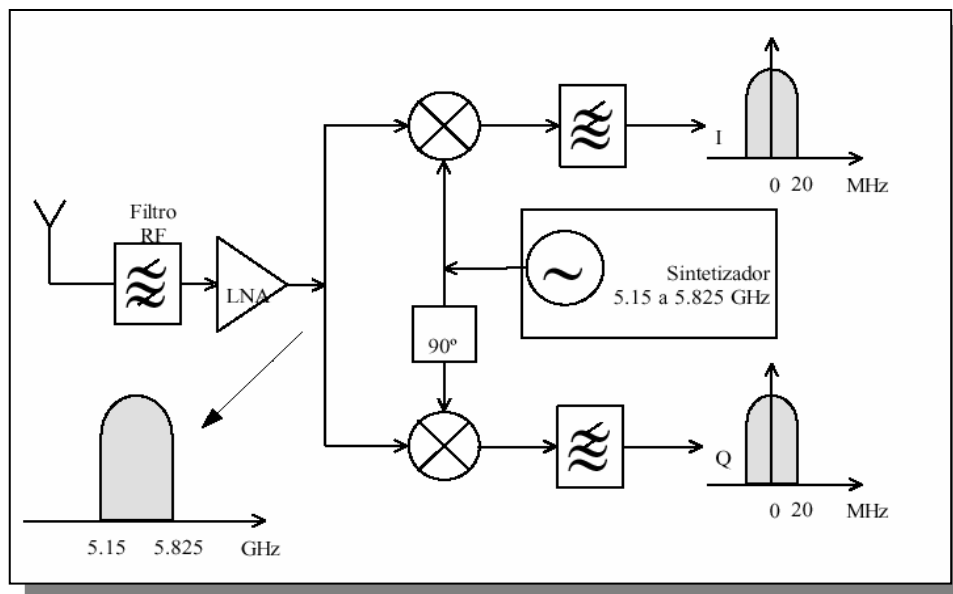


Figura 2.13. Arquitectura de conversión directa.

2.5.2 Receptor superheterodino de doble conversión

El esquema de bloques de este conversor se puede observar en la Figura 2.14. Las ventajas de este esquema son:

- Se eliminan los problemas de auto-mezclado e *I/Q mismatch*.
- Se mejora la selectividad.
- El sintetizador se hace a baja frecuencia.

Por otro lado, las desventajas que presenta este esquema son:

- Elevado número de componentes a integrar por lo que el consumo aumenta considerablemente.

- Hay que utilizar un filtro de rechazo de la frecuencia imagen, el cual no se puede integrar.

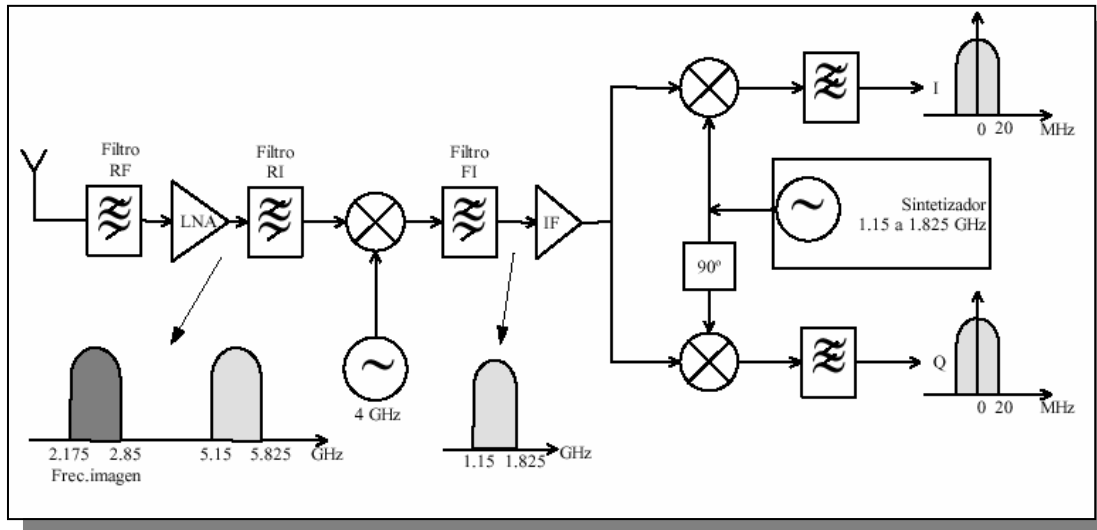


Figura 2.14. Arquitectura del receptor superheterodino de doble conversión.

2.5.3 Receptor de arquitectura *Weaver* modificada

El esquema de bloques de este conversor se puede observar en la Figura 2.15. En la Figura 2.16 se muestra su homónimo para demodulación I/Q . Las principales ventajas de esta arquitectura son:

- Gran selectividad.
- No es necesario utilizar filtros de rechazo de la frecuencia imagen, ya que en esta arquitectura se utilizan las bandas laterales y su traslación para obtener el espectro requerido anulándose dicha frecuencia imagen.

Sin embargo, sus principales desventajas son:

- Elevado número de componentes.
- Pueden aparecer desajustes entre las señales I/Q debido al desfase de 90° de los osciladores.

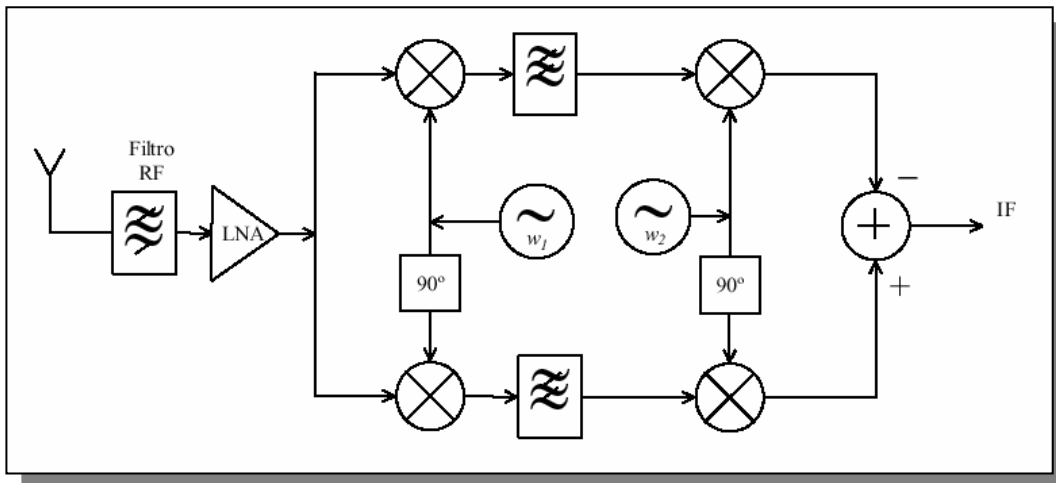


Figura 2.15. Esquema de bloques del receptor *Weaver*.

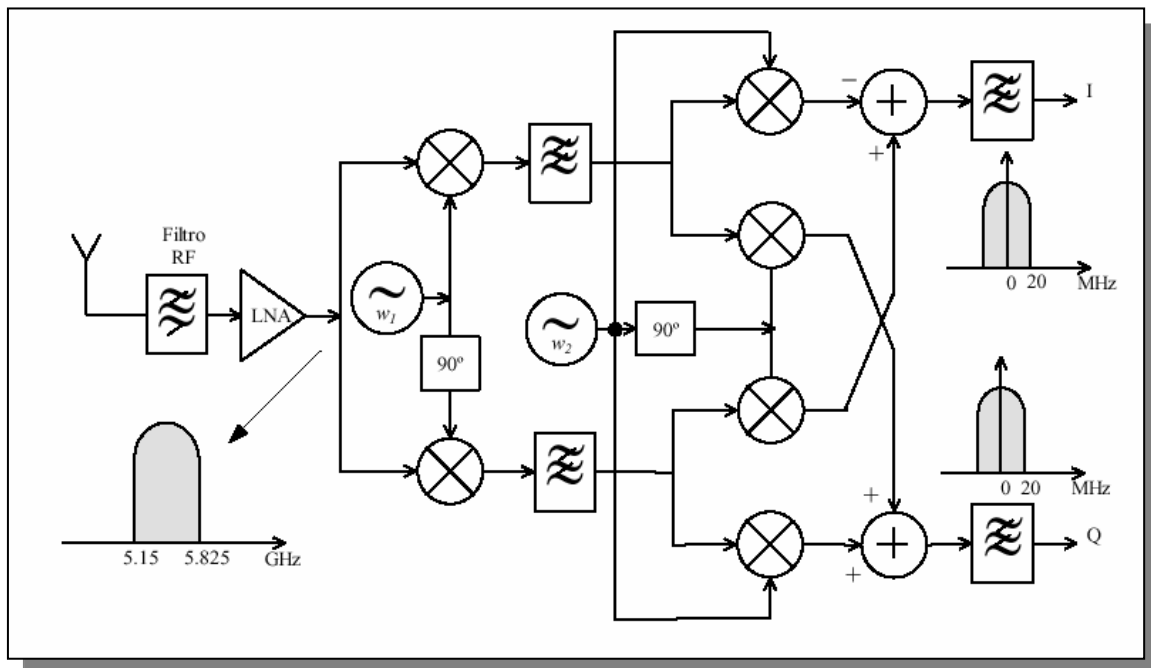


Figura 2.16. Arquitectura del receptor *Weaver* para demodulación *I/Q*.

2.5 Elección de la arquitectura

Dado que el receptor se va a implementar utilizando transistores bipolares, el consumo de potencia juega un papel importante en la elección de la arquitectura. Dichos transistores pertenecen a la tecnología SiGe de 0.35 μm , y consumen más que los transistores CMOS.

Por otro lado, los receptores *Weaver* y superheterodino poseen un elevado número de componentes. Como ya sabemos, esto nos dificultará la integración y el obtener bajos consumos de potencia. Además, un receptor superheterodino nos obliga a implementar filtros de rechazo de la frecuencia imagen, los cuales no son integrables.

Sin embargo, un receptor de conversión directa emplea pocos componentes, siendo todos ellos de fácil integración. De la misma forma, los problemas de *self-mixing* que presenta este receptor pueden ser solventados mediante diversas técnicas, tales como el empleo de anillos de guarda.

Como se puede apreciar, estas últimas características constituyen el punto de inflexión que hace que el diseño se decante por el receptor de conversión directa.

A lo largo de este capítulo se han visto las principales características de los sistemas de RF. Igualmente, se ha dado una descripción detallada del Estándar IEEE802.11a, además de establecer las características de los tipos de receptores existentes actualmente. Finalmente, se ha procedido a la elección del receptor. En el próximo capítulo se profundizará en los mezcladores de frecuencia, desarrollando en profundidad los parámetros que los caracterizan y las diferentes topologías existentes.

CAPITULO 3

Mezclador de frecuencias

3.1 Introducción

Una vez conocidos algunos aspectos fundamentales de las comunicaciones inalámbricas en el capítulo 2, en este capítulo, profundizaremos un poco más dentro del campo de los mezcladores. Para ello realizaremos un estudio teórico de la función de los mezcladores dentro de los sistemas de comunicaciones, así como un estudio de las topologías más empleadas.

3.2 Teoría Básica

Un mezclador de frecuencias tiene la función de convertir o trasladar la señal presente a su entrada a un rango de frecuencias diferente, sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.).

Un mezclador de frecuencias le suma o le resta a la banda de frecuencias de la señal de entrada V_{RF} , centrada en la frecuencia f_{RF} , un valor de frecuencia constante de valor f_{LO} denominado frecuencia del oscilador local, para obtener una señal centrada en la frecuencia f_{IF} , denominada frecuencia intermedia. Un diagrama básico sería el mostrado en la figura 3.1.

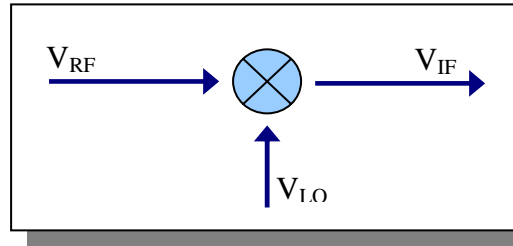


Figura 3.1 Diagrama básico de un mezclador.

La señal de entrada puede estar localizada en cualquier rango de frecuencias, es decir, ser una señal en banda base o una señal pasobanda, y el mezclado puede realizarse tanto para subir en frecuencia la señal de entrada (*up-conversion*), como para bajarla (*down-conversion*).

La figura 3.2 representa el esquema de un receptor que utiliza un mezclador *down-conversion* para convertir la señal RF en una señal intermedia IF, mezclando la señal RF con la señal LO procedente de un oscilador local. La figura 3.3 muestra un transmisor, en el que se convierte una señal de baja frecuencia en una de alta frecuencia.

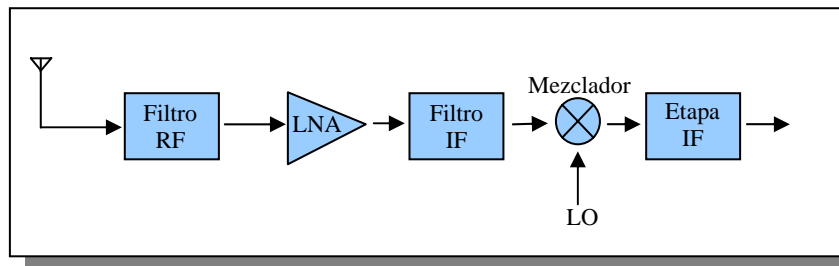


Figura 3.2 Esquema de un receptor.

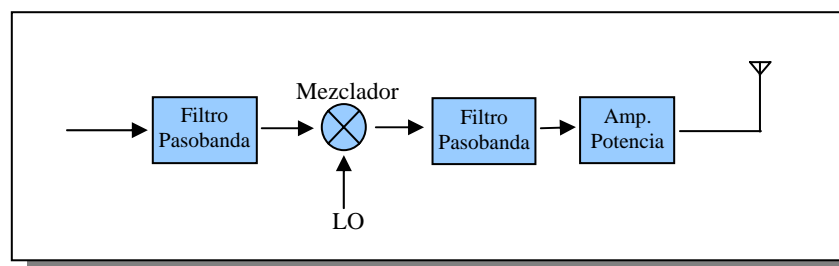


Figura 3.3 Esquema de un transmisor.

La figura 3.4 ilustra un mezclador sencillo formado por un dispositivo no lineal con una tensión de entrada v_i . Si el dispositivo fuese perfectamente lineal, la tensión o corriente de salida contendría sólo las frecuencias f_i . La naturaleza no lineal del mismo determina que se generen otras frecuencias.

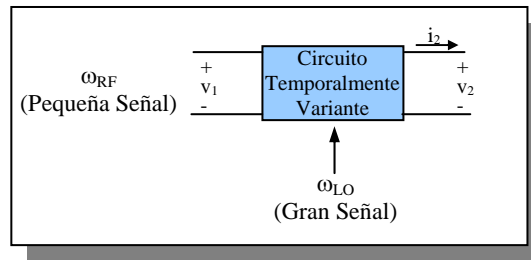


Figura 3.4 Dispositivo no lineal usado como mezclador.

En general, la relación entrada-salida en el dominio del tiempo se puede expresar por la serie de Taylor

$$i_2(t) = I_2 + a \cdot v_1(t) + b \cdot [v_1(t)]^2 + c \cdot [v_1(t)]^3 + \dots \quad (\text{Ec. 3.1})$$

donde I_2 es la corriente de salida en reposo y $v_1(t)$ representa la suma de los efectos de todas las señales de entrada. Si la entrada contiene sólo una frecuencia, la no-linealidad generará armónicos de esta frecuencia y alterará la componente continua.

Si se tienen varias frecuencias de entrada, se generarán frecuencias suma y diferencia, así como armónicas. Las frecuencias de suma y diferencia generadas por el término cuadrático en ecuación 3.1 se llaman productos de intermodulación de segundo orden; las originadas por el término cúbico, productos de tercer orden.

Un dispositivo de ley cuadrática es ideal para ser utilizado como de mezclador, pues se produce el número mínimo de frecuencias indeseables. Si el dispositivo tiene la característica de transferencia

$$i_2(t) = a \cdot v_1(t) + b \cdot [v_1(t)]^2 \quad (\text{Ec. 3.2})$$

y la entrada es:

$$v_1(t) = V_{RF} \cdot \cos(w_{RF}t) + V_{LO} \cdot \cos(w_{LO}t) \quad (\text{Ec. 3.3})$$

la corriente de salida se hace

$$i_2(t) = a \cdot (V_{RF} \cdot \cos(w_{RF}t) + V_{LO} \cdot \cos(w_{LO}t)) + b \cdot (V_{RF} \cdot \cos(w_{RF}t) + V_{LO} \cdot \cos(w_{LO}t))^2 \quad (\text{Ec. 3.4})$$

$$i_2(t) = a \cdot V_{RF} \cdot \cos(w_{RF}t) + a \cdot V_{LO} \cdot \cos(w_{LO}t) + b \cdot V_{RF}^2 \cdot \cos^2(w_{RF}t) + b \cdot V_{LO}^2 \cdot \cos^2(w_{LO}t) + 2b \cdot V_{RF} \cdot V_{LO} \cdot \cos(w_{RF}t) \cdot \cos(w_{LO}t) \quad (\text{Ec. 3.5})$$

Los dos primeros términos en la ecuación 3.5 carecen de interés para la acción del mezclador, salvo que en un circuito práctico puede ser necesario filtrarlos. Mediante la igualdad trigonométrica expresada en la ecuación 3.6 se llega a la conclusión de que los términos tercero y cuarto representan una componente continua y segundos armónicos de las frecuencias de entrada. El término final de la ecuación 3.5 determina el producto deseado ($2b \cdot V_{RF} \cdot V_{LO} \cdot \cos(w_{RF}t) \cdot \cos(w_{LO}t)$).

$$aV^2 \cos^2 wt = \frac{a}{2}V^2(1 + \cos^2 wt) \quad (\text{Ec. 3.6})$$

$$2bV_{RF}V_{LO} \cos w_{RF}t \cos w_{LO}t = bV_{RF}V_{LO} [\cos(w_{LO} - w_{RF})t + \cos(w_{LO} + w_{RF})t] \quad (\text{Ec. 3.7})$$

Obsérvese que las amplitudes de las componentes de frecuencias suma y diferencia, son proporcionales al producto de las amplitudes de las señales de entrada ($V_{RF} \cdot V_{LO}$).

Por lo general, en mezcladores de recepción, sólo se desea la componente de salida de frecuencia diferencia, por lo que deben eliminarse las frecuencias originales, las armónicas y su suma, mediante filtrado o por otros medios.

3.3 Parámetros del mezclador

En los siguientes apartados se definen los parámetros más importantes que describen el funcionamiento del mezclador.

3.3.1 Ganancia de Conversión

Una característica importante de un mezclador es la ganancia (o pérdida) de conversión, que se define como la relación entre la señal de salida (IF) y el valor de la señal de entrada (RF). Para un mezclador caracterizado con la ecuación 3.8:

$$(A \cos w_1t)(B \cos w_2t) = \frac{AB}{2} [\cos(w_1 - w_2)t + \cos(w_1 + w_2)t] \quad (\text{Ec. 3.8})$$

la ganancia de conversión es la salida IF, $AB/2$, dividido entre la amplitud de la señal de entrada RF, A. Por lo que en este ejemplo, la ganancia de conversión sería $B/2$, es decir, la mitad de la amplitud LO.

La ganancia de conversión, si se expresa como una relación de potencia, puede ser mayor que la unidad en mezcladores activos, mientras que los mezcladores pasivos sólo son capaces de lograr ganancias superiores a la unidad en tensión o corriente.

Normalmente es conveniente obtener una ganancia de conversión alta, ya que esto implica que los mezcladores proporcionan amplificación a la frecuencia de traslación.

3.3.2 Figura de ruido

La figura de ruido se define como la relación la SNR en el puerto de entrada RF y la SNR a la salida IF.

En un mezclador existen dos frecuencias de entrada que generan una frecuencia intermedia, una es la señal RF y la otra se denomina señal imagen. Estas dos señales se denominan bandas laterales.

La razón de la existencia de estas dos frecuencias es que la señal IF es la magnitud de la diferencia entre las frecuencias RF y LO. Por lo tanto, señales que están por debajo y por encima de IF, con una diferencia igual ($2\omega_{IF}$), producirán salidas IF de la misma frecuencia. Por ejemplo si suponemos que la frecuencia IF es 100 MHz y queremos sintonizar una señal a 900 MHz seleccionando una frecuencia LO de 1 GHz, además de la señal de entrada RF deseada a 900 MHz, la señal imagen de 1.1 GHz también producirá una señal de salida IF de 100 MHz.

La existencia de una frecuencia imagen empeora la figura de ruido debido a que el ruido originado en la frecuencia deseada RF y en la frecuencia imagen se convierten en ruido IF.

En el caso en que la señal deseada exista sólo a una frecuencia, la figura de ruido que se mide se denomina figura de ruido de banda lateral única (SSB_NF). En el caso de que ambas señales, RF y la señal imagen, contengan información útil, se utiliza la figura de ruido de doble banda lateral (DSB_NF).

Obviamente, la SSB_NF será mayor que la DSB_NF, debido a que ambas tienen el mismo ruido IF, pero la SSB_NF tiene potencia de señal sólo en una banda lateral. Por lo tanto, la SSB_NF será normalmente 3dB mayor que la DSB_NF.

3.3.3 Linealidad

Existen diferentes formas de definir la linealidad de un mezclador. En los siguientes apartados veremos las más utilizadas.

3.3.3.1 Rango dinámico

El rango dinámico se define como la diferencia entre los valores mínimos y máximos de señal que se pueden aplicar a un circuito.

El valor mínimo del rango dinámico se establece con la figura de ruido, que indica la mínima señal que se puede procesar. El máximo se establece en el principio de las no-linealidades que acompañan a las grandes señales.

3.3.3.2 Punto de compresión

Como en los amplificadores y, prácticamente en todos los dispositivos físicos, los mezcladores reales tienen un límite por encima del cual la salida no es lineal con la entrada. El punto de compresión es el valor de la señal RF en el que se produce una desviación de la curva lineal ideal. Normalmente se especifica un valor de compresión de 1 dB (o más raramente 3 dB). Sobre este nivel, un aumento adicional en el nivel de entrada RF no se traduce en un aumento proporcional en el nivel de salida. Cuantitativamente, la compresión de ganancia es la reducción del nivel de salida en dB por debajo de la característica lineal.

3.3.3.3 Distorsión de intermodulación de tercer orden

Para caracterizar la linealidad también se usa el punto de intercepción de tercer orden. Tal y como vimos en el capítulo 2 el punto de intercepción es el lugar en el que la curva de respuesta fundamental y la de respuesta espuria de tercer orden se interceptan (ver figura 3.5). A menudo se usa para especificar la supresión de los armónicos de tercer orden generados por el mezclador cuando a la entrada del mismo están presentes dos tonos. Mientras más alto esté el punto de intercepción, mejor será la supresión de los armónicos de tercer orden.

Un *test* de intermodulación de tercer orden es una forma eficaz para evaluar el rendimiento de un mezclador debido a que imita un escenario real en el que hay presente a la entrada una señal deseada RF y una potencial interferencia.

Idealmente, ambas señales presentes en la entrada RF serían trasladadas en frecuencia sin interactuar unas con otras. Un mezclador real muestra algunos efectos de intermodulación y, por lo tanto, la salida contendrá versiones trasladadas en frecuencia de los componentes de intermodulación de tercer orden cuyas frecuencias serán $2\omega_{RF1} \pm \omega_{RF2}$ y $2\omega_{RF2} \pm \omega_{RF1}$.

La distorsión de intermodulación de tercer orden en dos tonos es la cantidad de distorsión de tercer orden causada por la presencia de una señal secundaria recibida en el puerto de RF. Matemáticamente, la distorsión de tercer orden se define en términos de la componente de frecuencia en $2f_2 - f_1$, donde f_1 es la señal de entrada deseada y f_2 es la señal de entrada secundaria. Por lo general, mientras más alto sea el punto de intercepción del mezclador, más baja será la amplitud de este producto.

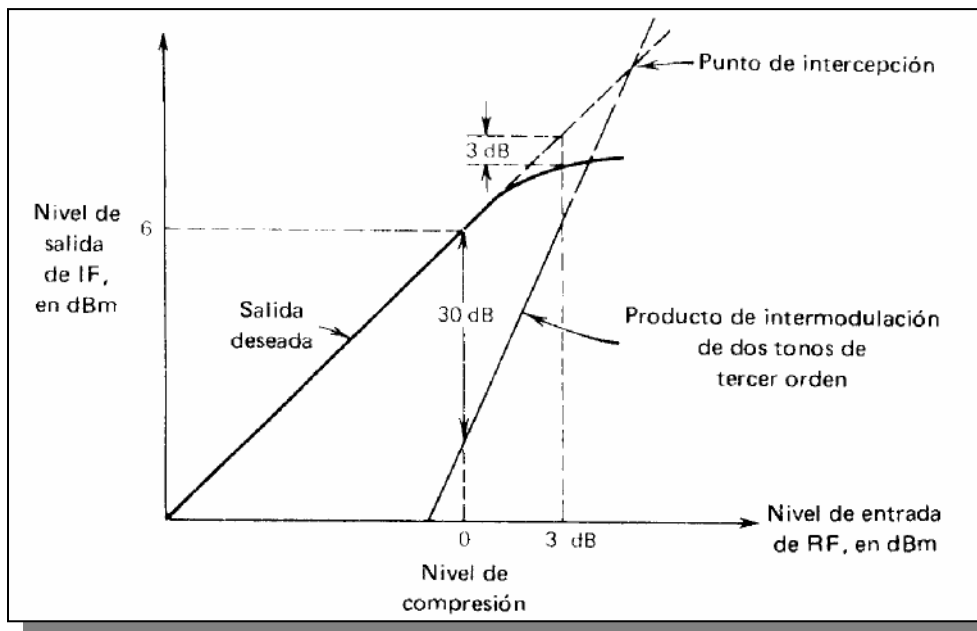


Figura 3.5 Definiciones de terminología de operación de mezcladores.

En la figura 3.5, se muestra la característica de un mezclador hipotético, así como la representación gráfica de las definiciones anteriores. Para una entrada de 0 dBm la salida es de 6 dBm, indicando una ganancia de conversión de 6 dB. En este nivel de entrada, el producto de intermodulación de dos tonos y tercer orden está 30 dB por debajo de la salida deseada. En

un valor de entrada más alto aparece el punto de compresión de 3 dB (3 dB de salida deseada abajo del valor de línea recta); y a un nivel de entrada aun más alto se encuentra el punto de interceptación que es donde se interceptan las curvas proyectadas de la salida deseada y las del producto de intermodulación de tercer orden.

3.3.4 Aislamiento

El aislamiento representa la cantidad de "fuga" o "paso de señal" entre los puertos del mezclador. Se supone que en cada terminal debe estar presente únicamente la señal correspondiente al puerto. Si el aislamiento es grande esto ocurre, si no lo es, aparecerá en el puerto parte de señal que pertenece al otro puerto. Por ejemplo, el aislamiento en el puerto de RF de la señal LO, es la cantidad en que se atenúa la señal LO en el puerto de RF, respecto del nivel que ésta tenía en su propio puerto. El aislamiento depende de la configuración física del mezclador.

3.4 Sistemas no lineales como mezcladores lineales

Algunos mezcladores implementan directamente una multiplicación, mientras que otros la producen mediante una no-linealidad.

Primero se estudiará un sistema no-lineal de 2 puertos, debido a que los mezcladores de este tipo preceden a los designados específicamente para actuar como multiplicadores. Si la no-linealidad está bien definida (en sentido matemático), podemos describir la relación entrada/salida como:

$$V_{OUT} = \sum_{n=0}^N C_n (v_{IN})^n \quad (\text{Ec. 3.9})$$

El uso de una no-linealidad de orden N requiere que la señal v_{IN} sea la suma de la entrada RF y la señal del oscilador local. En general, la salida se compondrá de 3 tipos de productos: términos DC, armónicos de las entradas y productos de intermodulación (IM) de esos armónicos. No todos esos componentes espectrales son deseables, por lo que parte de la labor de diseño consistirá en el uso de topologías que generen los mínimos términos posibles.

Los factores no-lineales de orden par de la ecuación 3.9 forman los términos DC, éstos son fácilmente filtrables mediante un acople AC, si es necesario. Los términos armónicos ($m\omega_{LO}$ y $m\omega_{RF}$), que van desde $m > 1$ hasta N, son fácilmente filtrables debido a que sus frecuencias suelen estar lo suficientemente separadas de la frecuencia IF. Los productos de

intermodulación tienen frecuencias de la forma $p\omega_{RF} \pm q\omega_{LO}$, donde p y q son enteros entre 0 y N . Sólo el término de intermodulación de 2º orden ($p=q=1$) es el que normalmente se desea obtener. Desgraciadamente, otros productos IM pueden tener frecuencias cercanas a la IF, haciendo que sean más difíciles de eliminar.

Debido a que los sistemas no-lineales de alto orden tienden a generar un mayor número de términos no-deseados, los mezcladores deberían aproximar un comportamiento de ley cuadrática (la no-linealidad de orden menor) si sólo tienen un puerto de entrada, como en la figura 3.6.

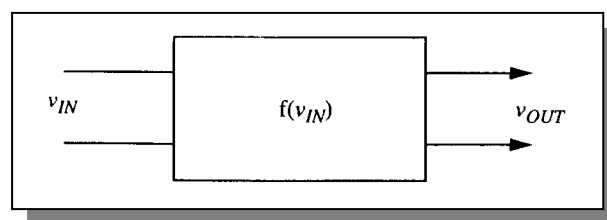


Figura 3.6. Sistema general de dos puertos no-lineal.

3.4.1 Mezclador de dos puertos: Dispositivo de ley cuadrática

Consideremos las propiedades específicas de un mezclador de ley cuadrática para poder mostrar sus ventajas sobre los mezcladores no-lineales de órdenes mayores.

Para ver cómo aparece la multiplicación en un mezclador de ley cuadrática hay que observar que los únicos términos distintos de cero en la serie son los términos C_1 , C_2 y C_0 , pero éste último se elimina fácilmente ya que es la componente DC, por lo que se ignorará para simplificar la ecuación.

Si v_{IN} es la suma de 2 sinusoides:

$$v_{IN} = v_{RF} \cos(\omega_{RF}t) + v_{LO} \cos(\omega_{LO}t) \quad (\text{Ec. 3.10})$$

entonces la salida de este mezclador se puede expresar como suma de 3 componentes:

$$v_{OUT} = v_{FUN} + v_{SQUARE} + v_{CROSS} \quad (\text{Ec. 3.11})$$

donde

$$v_{FUN} = C_1 (v_{RF} \cos(\omega_{RF}t) + v_{LO} \cos(\omega_{LO}t)) \quad (\text{Ec. 3.12})$$

$$v_{SQUARE} = C_2 (v_{RF} \cos(w_{RF}t))^2 + v_{LO} \cos(w_{LO}t)^2 \quad (\text{Ec. 3.13})$$

$$v_{CROSS} = 2C_2 v_{RF} v_{LO} (\cos(w_{RF}t) \cdot \cos(w_{LO}t)) \quad (\text{Ec. 3.14})$$

Los términos fundamentales son versiones escaladas de las entradas originales y no representan una salida útil para el mezclador. Estos términos pueden ser eliminados mediante filtrado. Los componentes v_{SQUARE} tampoco proporcionan información útil, como se observa en el siguiente caso obtenido de la ecuación 3.6

$$(\cos wt)^2 = \frac{1}{2}(1 + \cos 2wt) \quad (\text{Ec. 3.15})$$

Obsérvese como los componentes v_{SQUARE} producen un *offset* DC, así como segundos armónicos de las señales de entrada. Esto también se puede eliminar mediante filtrado.

La salida útil la forman los componentes v_{CROSS} debido a que se observa una multiplicación en la ecuación 3.14. Usando la ecuación 3.6, se puede describir v_{CROSS} de forma que muestre la acción del mezclador más claramente:

$$v_{CROSS} = C_2 v_{RF} v_{LO} [\cos(w_{RF} - w_{LO})t + \cos(w_{RF} + w_{LO})t] \quad (\text{Ec. 3.16})$$

Para una amplitud de LO fijada, la salida IF es linealmente proporcional a la amplitud de la entrada RF. Esta no-linealidad implementa un mezclador lineal, debido a que la salida es proporcional a la entrada.

La ganancia de conversión de este circuito se obtiene a partir de la ecuación 3.16:

$$G_C = \frac{C_2 \cdot v_{RF} v_{LO}}{v_{RF}} = C_2 \cdot v_{LO} \quad (\text{Ec. 3.17})$$

Como cualquier otro parámetro de ganancia, la ganancia de conversión es adimensional. En diseños discretos se debe expresar como relación de potencia (o su equivalente en dB), pero los distintos niveles de impedancia en los mezcladores integrados hacen apropiado el uso de la ganancia de conversión de tensión o corriente.

La ventaja del mezclador de ley cuadrática es que los componentes espectrales no deseados normalmente están en una frecuencia bastante separada de IF, por lo que se pueden eliminar fácilmente.

En la figura 3.7 se muestra un mezclador de ley cuadrática realizado con MOSFETs. En este esquemático simplificado, las tensiones de polarización, RF y LO se representan en serie con la puerta del transistor. La suma de las señales RF y LO puede realizarse en circuitos prácticos con sumadores resistivos o reactivos. Debido a que estas señales están en serie, existe poco aislamiento entre ellas.

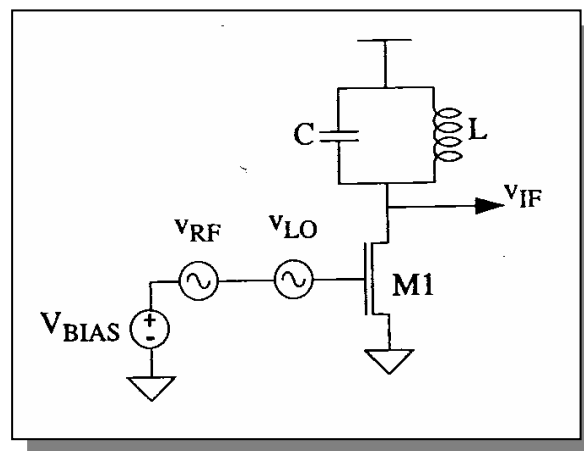


Figura 3.7. Mezclador MOSFET de ley cuadrática (Simplificado).

En la figura 3.8 se muestra una solución alternativa (pero funcionalmente equivalente) que reduce el efecto de la señal LO relativamente grande en el puerto RF.

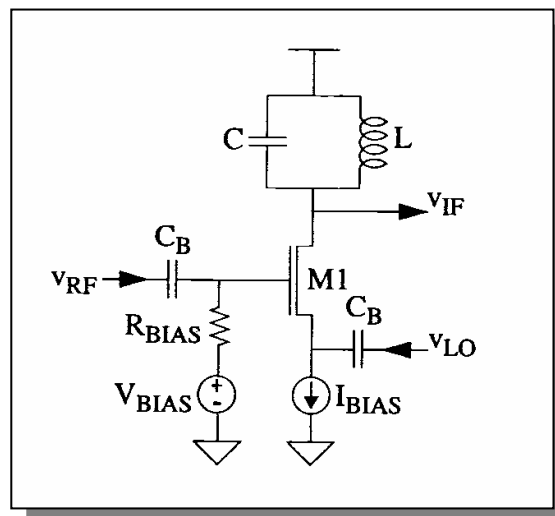


Figura 3.8. Mezclador MOSFET de ley cuadrática (Configuración alternativa).

La señal RF ataca directamente a la puerta (a través de un condensador para el bloqueo DC), mientras que la señal LO ataca al terminal de Surtidor. De esta manera, la tensión Puerta-Surtidor (V_{GS}) es la suma de las señales LO y RF referenciadas a tierra.

3.4.2 Ganancia de conversión en un mezclador de un solo transistor bipolar

Debido a que en un mezclador no es necesario un perfecto comportamiento de ley cuadrática, M_1 puede ser un transistor bipolar. En este caso el efecto cuadrático en la representación en serie para la relación exponencial $i_c \sim V_{BE}$, domina en un rango limitado de amplitudes de entrada. Ignorando los efectos dinámicos esta relación viene dada por:

$$i_c = I_s e^{\frac{V_{BE}}{V_T}} \quad (\text{Ec. 3.18})$$

expandiendo esta relación a un sistema de segundo orden:

$$i_c = I_c \left[1 + \frac{V_{BE}}{V_T} + \frac{1}{2} \left(\frac{V_{BE}}{V_T} \right)^2 \right] \quad (\text{Ec. 3.19})$$

haciendo que:

$$C_2 = \frac{gm}{2V_T} \quad (\text{Ec. 3.20})$$

donde $gm = I_c / V_T$ se obtiene que la ganancia de conversión viene dada por:

$$G_C = C_2 \cdot v_{LO} = gm \frac{v_{LO}}{2V_T} \quad (\text{Ec. 3.21})$$

Se observa como la ganancia de conversión es proporcional a la transconductancia y a la relación entre la amplitud del oscilador local y la V_T . En otras palabras, la ganancia de conversión en un transistor bipolar depende de la corriente de polarización, de la amplitud del oscilador local y de la temperatura.

En este análisis se han ignorado las resistencias parásitas de base y emisor. Estas resistencias pueden linealizar el transistor y, por lo tanto, empeorar la acción del mezclador.

3.5 Mezcladores basados en multiplicadores

Los mezcladores basados en sistemas no-lineales generan un número elevado de componentes espectrales. Además, debido a que los mezcladores de dos puertos tienen una sola entrada, las señales de RF y LO no suelen estar lo suficientemente aisladas entre ellas. Esta falta de aislamiento puede provocar la aparición de *offset* de DC en la etapa de IF o la radiación de la señal de LO (o sus armónicos) a través de la antena.

Los mezcladores basados en multiplicadores presentan por lo general un rendimiento mayor debido a que (idealmente) sólo generan el producto de intermodulación deseado. Además, debido a que las entradas del multiplicador se encuentran en puertos separados, puede haber un alto grado de aislamiento entre las tres señales (RF, LO, IF).

Los mezcladores basados en multiplicadores se catalogan como, simple balanceado y doble balanceado. A continuación se presenta cada uno de ellos. Empezaremos por las topologías más simples hasta llegar al doble balanceado. Por último estudiaremos en mayor profundidad el mezclador pasivo pues es el tipo de estructura elegida para la realización de este proyecto.

3.5.1 Mezclador simple balanceado

Este tipo de multiplicadores primero convierte la tensión de entrada RF en una corriente y después realiza la multiplicación en el dominio de la corriente. La célula más sencilla de este tipo se representa en la figura 3.9.

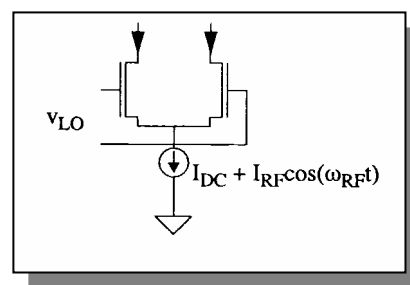


Figura 3.9. Mezclador simple-balanceado.

En este mezclador, v_{LO} se elige lo suficientemente grande para que los transistores puedan conmutar alternativamente la corriente de polarización de un lado al otro a la frecuencia LO. De esta forma la corriente de polarización se multiplica por una onda cuadrada cuya frecuencia es la del oscilador local.

$$i_{out}(t) = \text{sgn}\{\cos(\omega_{LO}t)(I_{BIAS} + I_{RF} \cos(\omega_{RF}t))\} \quad (\text{Ec. 3.22})$$

Debido a que una onda cuadrada consiste en los armónicos impares del fundamental, la multiplicación de la corriente de polarización por una onda cuadrada produce un espectro de salida como el mostrado en la figura 3.10 (ω_{RF} se ha tomado muy pequeño para una representación más clara).

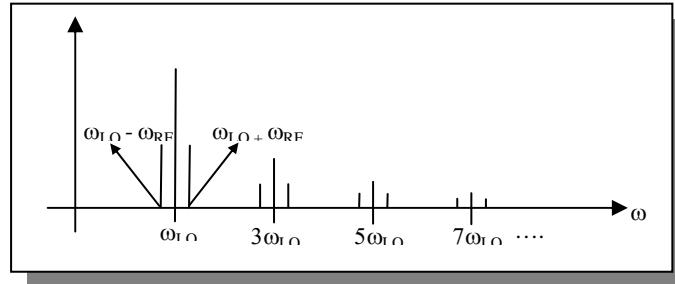


Figura 3.10. Espectro de salida de un mezclador simple-balanceado.

La salida consiste en componentes suma y resta, cada uno resultado de un armónico impar de LO mezclado con la señal RF. Los armónicos impares de LO aparecen directamente a la salida como consecuencia de la multiplicación de la señal de polarización (DC) con la señal LO. Debido a la presencia de LO en el espectro de salida, este tipo de mezcladores se denominan simple-balanceados. Los mezcladores doble-balanceados aprovechan la simetría para eliminar la salida no deseada LO.

A pesar de que la fuente de corriente de la figura 3.9 incluye un componente que es perfectamente proporcional a la señal de entrada RF, los convertidores V-I de los mezcladores reales son imperfectos. Un importante reto de diseño es maximizar la linealidad de la transconductancia RF. Ésta se puede mejorar mediante degeneración de la Surtidor, tanto para puerta como para Surtidor común; (ver figura 3.11).

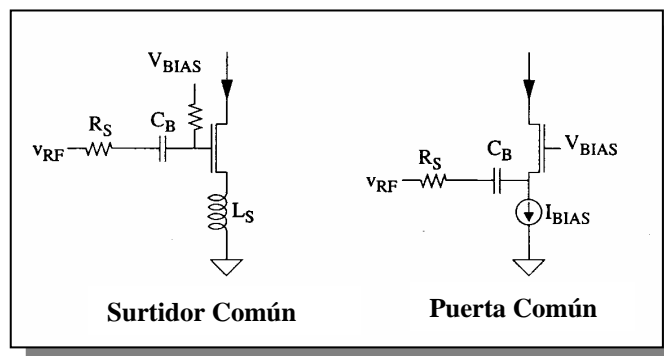


Figura 3.11 Transconductores RF para mezcladores.

Ambos circuitos usan una resistencia R_S para linealizar la característica de transferencia. Para el caso del circuito puerta común esta linealización es más efectiva si la admitancia desde el terminal de Surtidor del transistor es mucho mayor que la conductancia de R_S . En este caso, la transconductancia de la etapa se aproxima a $1/R_S$.

Normalmente se prefiere una degeneración inductiva a una resistiva debido a varios motivos. Una inductancia no introduce ruido térmico que degrade la figura de ruido ni caída de tensión que disminuya el nivel de alimentación. Esta última consideración es particularmente importante para aplicaciones de baja tensión y baja potencia. Finalmente, un aumento de la reactancia ayuda a atenuar los armónicos de alta frecuencia y los componentes de intermodulación.

En la figura 3.12 se muestra un mezclador simple-balanceado de forma más completa, que incorpora una transconductancia linealizada.

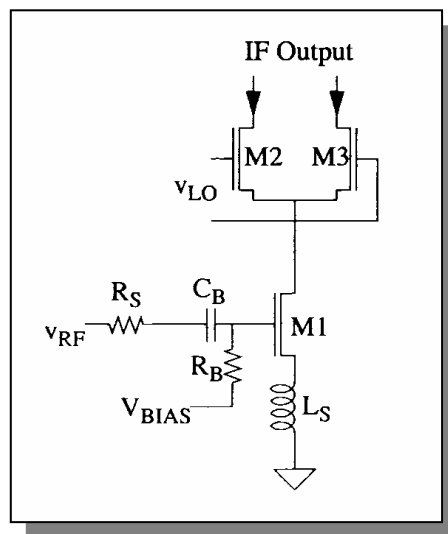


Figura 3.12. Mezclador simple-balanceado con transconductancia linealizada.

El valor de V_{BIAS} establece la polarización, R_B se escoge lo suficientemente grande para no despolarizar la puerta del circuito y reducir su contribución al ruido. La señal RF se aplica a la puerta a través de un condensador de bloqueo DC (C_B). En la práctica se usa un filtro para eliminar los componentes espectrales de LO de la salida.

La ganancia de conversión de un mezclador se puede calcular sabiendo que los transistores de LO se comportan como interruptores perfectos. Entonces, la corriente de salida diferencial

puede ser considerada como el resultado de multiplicar la corriente de drenador de M1 por una onda cuadrada de amplitud unitaria. Debido a que el componente fundamental de la onda cuadrada es $4/\pi$ veces la amplitud de la onda cuadrada, se puede escribir:

$$G_C = \frac{2}{\pi} g_m \quad (\text{Ec. 3.23})$$

$$g_m = \frac{di_c}{dv_{be}} = \frac{i_c}{V_T} \quad (\text{Ec. 3.24})$$

donde g_m es la transconductancia del convertidor V-I y G_C es una transconductancia. El coeficiente es $2/\pi$ en vez de $4/\pi$ debido a que la señal IF se divide entre los componentes suma y diferencia.

3.5.2 Mezclador activo doble balanceado. Célula de Gilbert.

Para evitar la llegada de productos de LO a la salida, se pueden combinar dos circuitos simple-balanceados para conseguir un mezclador doble balanceado.

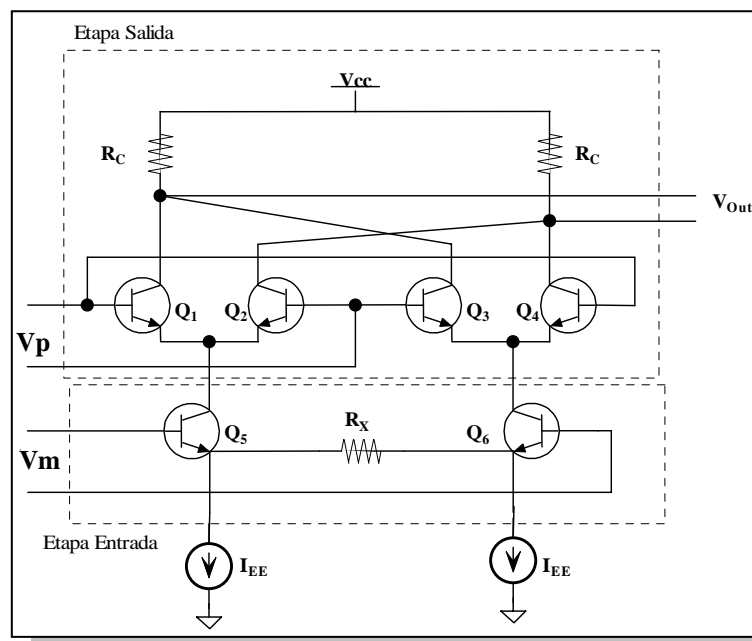


Figura 3.13. Mezclador activo doble balanceado.

La célula de Gilbert está compuesta por dos etapas: la etapa de entrada o de radio frecuencia y la etapa de salida o de frecuencia intermedia. La etapa de entrada compuesta por un par diferencial, es un amplificador de transconductancia. Su función es la de conversión con

ganancia de tensión a corriente. La etapa de salida compuesta por dos pares diferenciales con salidas cruzadas, es el núcleo del mezclador ya que se encarga de la realización de la multiplicación.

Para el análisis del circuito se supone que todos los transistores son idénticos y que la resistencia de salida de los transistores y de la fuente de corriente de polarización, así como las corrientes de base se pueden despreciar. Además, se supondrá que los transistores están bien polarizados y se encuentran siempre en la región activa.

Del modelo de Ebers-Moll y suponiendo $V_{BE1}, V_{BE2} \gg V_T$

$$V_{BE_x} = V_T \ln \frac{I_{CX}}{I_{SX}}$$

(Ec. 3.25)

$$I_{C1} = \frac{I_{C5}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.26)

$$I_{C2} = \frac{I_{C5}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.28)

$$I_{C5} = I_{EE} + \frac{V_x}{R_x}$$

(Ec. 3.30)

$$I_{C3} = \frac{I_{C6}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.27)

$$I_{C4} = \frac{I_{C6}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.29)

$$I_{C6} = I_{EE} - \frac{V_x}{R_x}$$

(Ec. 3.31)

Combinando las expresiones anteriores:

$$I_1 = \frac{I_{EE} + \frac{V_x}{R_x}}{1 + e^{\frac{V_P}{V_T}}} + \frac{I_{EE} - \frac{V_x}{R_x}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.32)

$$I_2 = \frac{I_{EE} + \frac{V_x}{R_x}}{1 + e^{\frac{V_P}{V_T}}} + \frac{I_{EE} - \frac{V_x}{R_x}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.33)

Por lo que la salida en corriente diferencial es:

$$\Delta I \equiv I_2 - I_1 = \frac{\overbrace{\frac{V_x}{R_x}}^{I'}}{1 + e^{\frac{V_P}{V_T}}} + \frac{\overbrace{-\frac{V_x}{R_x}}^{-I'}}{1 + e^{\frac{V_P}{V_T}}}$$

(Ec. 3.34)

$$\Delta I = I_2 - I_1 = \frac{I'}{1 + e^{\frac{V_p}{V_T}}} - \frac{I'}{1 + e^{-\frac{V_p}{V_T}}} = I' \frac{e^{\frac{V_p}{V_T}} - e^{-\frac{V_p}{V_T}}}{\underbrace{2 + e^{\frac{V_p}{V_T}} + e^{-\frac{V_p}{V_T}}}_{\tanh\left(\frac{V_p}{2V_T}\right)}} = I' \cdot \tanh\left(-\frac{V_p}{2V_T}\right)$$

(Ec. 3.35)

La salida en tensión es:

$$V_{o1} = V_{cc} - I_1 RC \quad (\text{Ec. 3.36})$$

$$V_{o2} = V_{cc} - I_2 RC$$

$$V_o = V_{o1} - V_{o2} = R_C (I_2 - I_1) \quad (\text{Ec. 3.37})$$

$$V_o = -R_C \frac{2V_m}{R_x} \tanh\left(\frac{V_p}{2V_T}\right) \quad (\text{Ec. 3.38})$$

Para ciertos valores de x , se puede hacer la aproximación: $\tanh x = x \leftarrow -0.5 < x < 0.5$

Es decir, si $|V_p| < 2V_T$, la salida en tensión de la célula de Gilbert se puede expresar como se muestra en la siguiente expresión:

$$V_o \approx -R_C \frac{2V_m}{R_x} \frac{V_p}{2V_T} \approx -\underbrace{\frac{R_C}{R_x V_T}}_{cte} V_m V_p \quad (\text{Ec. 3.39})$$

Es decir, la característica de transferencia en continua, es el producto de las dos tensiones de entrada.

Esta célula multiplicadora se puede usar en diferentes aplicaciones dependiendo de la magnitud de V_m y V_p con respecto a V_T :

- V_m y $V_p \ll V_T$: En este caso, la tangente hiperbólica se puede considerar como una recta, con lo que se obtiene el producto lineal $V_m \cdot V_p$.
- V_m o $V_p > V_T$: Con estos niveles, el transistor al que se le aplica dicha señal se comporta como un conmutador antes que como un dispositivo lineal. Es como multiplicar una pequeña señal por un tren de pulsos.

- c) V_m y $V_p > V_T$: Este modo de operación es útil para la detección de diferencia de fases entre dos señales de amplitud limitada. Ambos transistores se comportan como conmutadores.

Normalmente, se asume la opción b de forma que la amplitud de la señal LO es lo suficientemente grande para hacer actuar al par diferencial como interruptores controlados por tensión. Los dos mezcladores simple balanceado están conectados en antiparalelo para la señal LO, pero en paralelo para la señal RF. Por lo tanto, los términos de LO se anulan a la salida y la señal de RF se dobla.

Este mezclador tiene un alto grado de aislamiento LO-IF. De hecho, si se tiene cuidado en el *layout*, se puede conseguir un aislamiento de entre 40 dB y 60 dB.

Al igual que en el mezclador simple-balanceado, el rango dinámico está limitado en parte por la linealidad del convertidor V-I en el puerto IF. Por lo tanto, parte del proceso de diseño será conseguir una mejor conversión V-I. Las técnicas básicas de linealización usadas en el mezclador simple-balanceado deben ser adaptadas al caso del mezclador doble-balanceado, como se muestra en la figura 3.14.

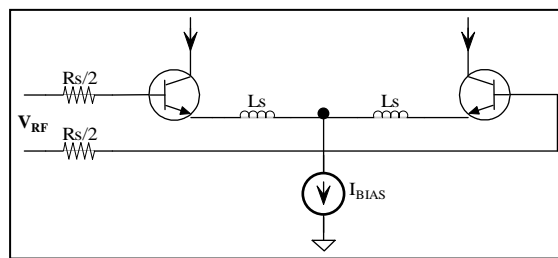


Figura 3.14. Transconductor RF diferencial linealizado en mezclador doble balanceado.

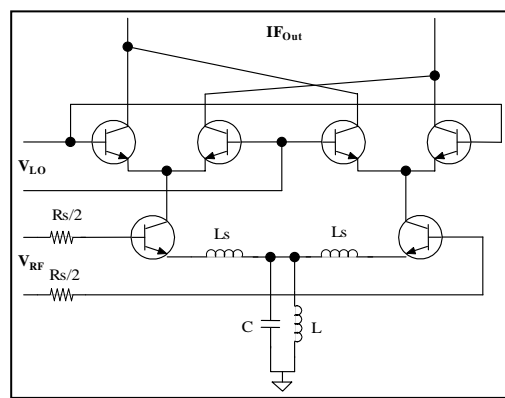


Figura 3.15. Mezclador doble balanceado con mínimo consumo DC.

En aplicaciones de baja tensión, la fuente de corriente DC se puede reemplazar por un tanque paralelo LC para crear una fuente de corriente que no consume tensión DC. La frecuencia de resonancia del tanque debe elegirse para proporcionar rechazo del componente en modo común. Si existen varios componentes en modo común, se deben usar varios tanques LC en serie. En la figura 3.15 se muestra un circuito de un mezclador doble-balaceado en el que se utiliza un tanque LC.

3.5.3 El mezclador CMOS pasivo

El multiplicador CMOS pasivo emplea un puente multiplicador (M1 – M4) tal como se muestra en la figura 3.16, así como una etapa de amplificación compuesta por un amplificador operacional totalmente diferencial. El puente multiplicador opera en la región de triodo y en consecuencia los MOSFET pueden ser considerados como resistencias. Inicialmente sin considerar la polarización del puente, la tensión en el terminal negativo de salida viene dada como:

$$V_{o-} = -R.(I_{D1} + I_{D2}) \quad (\text{Ec. 3.40})$$

Mientras que la tensión positiva viene dada como:

$$V_{o+} = -R.(I_{D3} + I_{D4}) \quad (\text{Ec. 3.41})$$

En consecuencia la tensión de salida tiene la siguiente expresión:

$$V_{out} = V_{o+} - V_{o-} = -R.(I_{D1} + I_{D2} - I_{D3} - I_{D4}) \quad (\text{Ec. 3.42})$$

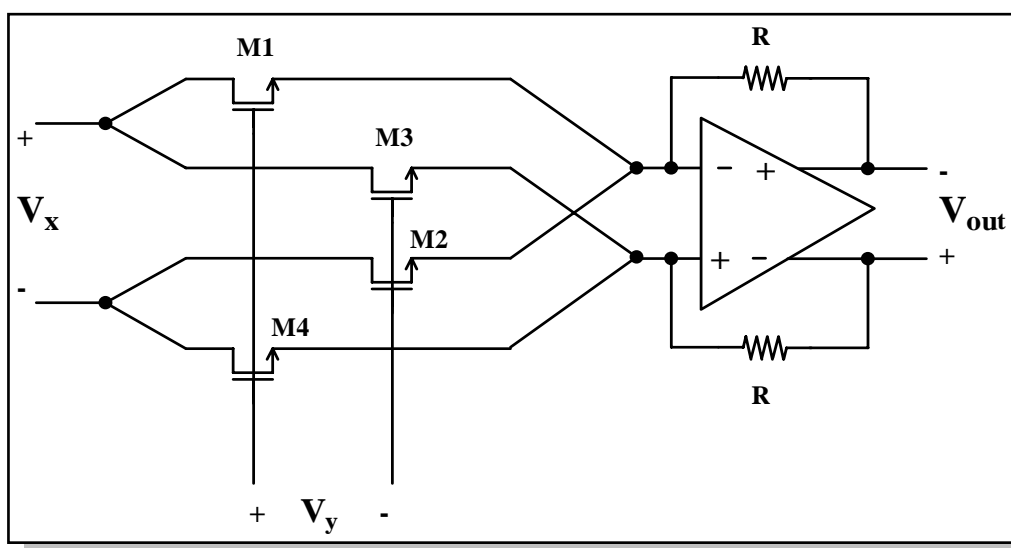


Figura 3.16. Multiplicador Analógico CMOS.

En la figura 3.17 se muestra un esquema simplificado del multiplicador con la polarización de las entradas. En la entrada X, se ha establecido un nivel de tensión para polarizar el sistema, mientras que el nivel de polarización de la entrada Y, es establecido a un nivel suficiente para mantener al puente en la región de triodo.

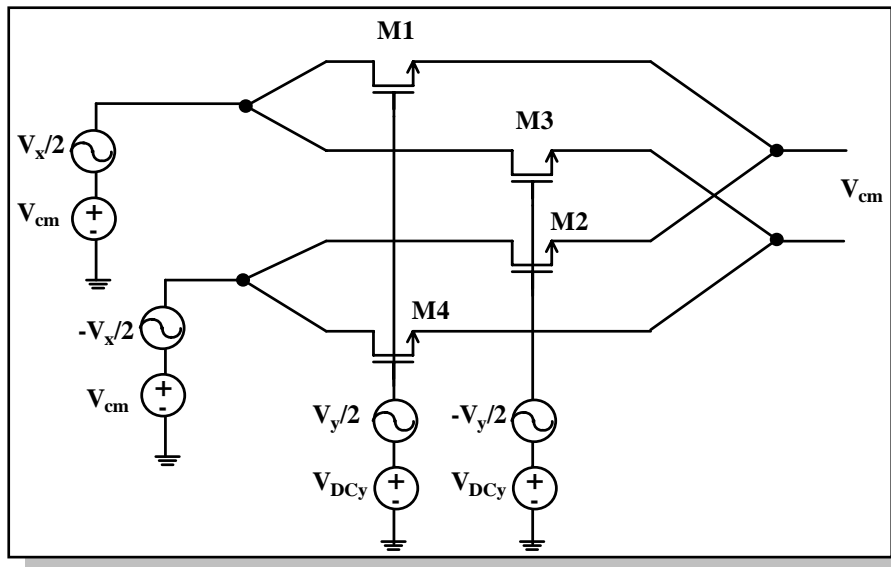


Figura 3.17. Polarización del multiplicador.

Usando la ecuación correspondiente a la región de triodo de los transistores (ver apartado 4.5):

$$I_D = \mu \cdot C_{OX} \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \left(\frac{V_{DS}^2}{2} \right) \right] \tag{Ec. 3.43}$$

y teniendo en cuenta que la tensión en DC Puerta – Surtidor para todos los MOSFET es la misma, las corrientes de Drenador se pueden poner como:

$$I_{D1} = \mu \cdot C_{OX1} \left[\left(V_{GS} + \frac{V_y}{2} - V_{T1} \right) \cdot \left(\frac{V_x}{2} \right) - \frac{1}{2} \left(\frac{V_x}{2} \right)^2 \right] \tag{Ec. 3.44}$$

$$I_{D2} = \mu \cdot C_{OX2} \left[\left(V_{GS} - \frac{V_y}{2} - V_{T2} \right) \cdot \left(-\frac{V_x}{2} \right) - \frac{1}{2} \left(-\frac{V_x}{2} \right)^2 \right] \tag{Ec. 3.45}$$

$$I_{D3} = \mu \cdot C_{OX3} \left[\left(V_{GS} - \frac{V_y}{2} - V_{T3} \right) \cdot \left(\frac{V_x}{2} \right) - \frac{1}{2} \left(\frac{V_x}{2} \right)^2 \right] \tag{Ec. 3.46}$$

$$I_{D4} = \mu \cdot C_{OX4} \left[\left(V_{GS} + \frac{V_y}{2} - V_{T4} \right) \left(-\frac{V_x}{2} \right) - \frac{1}{2} \left(-\frac{V_x}{2} \right)^2 \right] \quad (\text{Ec. 3.47})$$

Considerando que $C_{OX} = C_{OX1} = C_{OX2} = C_{OX3} = C_{OX4}$ y sustituyendo las ecuaciones 3.44 a 3.47 en la ecuación 3.42 se obtiene que la tensión de salida viene dada por la siguiente ecuación:

$$V_{out} = R \cdot \mu \cdot C_{OX} \cdot \left(\frac{V_x}{2} \right) \cdot \left[\frac{V_y}{2} - V_{T1} + \frac{V_y}{2} + V_{T2} + \frac{V_y}{2} + V_{T3} + \frac{V_y}{2} - V_{T4} \right] \quad (\text{Ec. 3.48})$$

Puede observarse como si $V_{T1} = (V_{T2} \text{ o } V_{T3})$ y $V_{T4} = (V_{T3} \text{ o } V_{T2})$ esta ecuación puede describirse como:

$$V_{out} = R \cdot \beta \cdot V_x \cdot V_y \quad (\text{Ec. 3.49})$$

De forma que la tensión de salida es proporcional al producto de las tensiones de entrada. La ganancia del amplificador es:

$$K_m = R \cdot \beta \quad (\text{Ec. 3.50})$$

Por tanto la expresión de salida del multiplicador CMOS se puede poner como:

$$V_{out} = K_m \cdot V_x \cdot V_y \quad (\text{Ec. 3.51})$$

Con la explicación del mezclador pasivo, puede darse por finalizado el estudio teórico de los mezcladores. Una vez conocido por un lado los diversos parámetros que caracterizan los mezcladores y por otro lado las diferentes topología empleadas en los mezcladores, en el próximo capítulo se abordará el estudio de la tecnología a emplear en el diseño.



CAPITULO 4

Estudio de la tecnología

4.1 Introducción

Antes de comenzar con el diseño debemos realizar un estudio de la tecnología que se va a utilizar. Por esta razón hemos realizado este capítulo, con el que pretendemos dar una visión general de la tecnología S35D4M5 de la fundidora AMS. Esta tecnología consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores bipolares y MOSFET, siendo la longitud de puerta mínima de 0,35 μm . Así mismo la tecnología S35D4M5 ofrece librerías de componentes pasivos.

4.2 Resistencias

4.2.1 Construcción

El valor óhmico de una resistencia integrada depende principalmente del valor de la resistividad del material que la constituye y de las dimensiones del material. En la figura 4.1 se muestra una resistencia integrada y los parámetros que influyen en el valor óhmico.

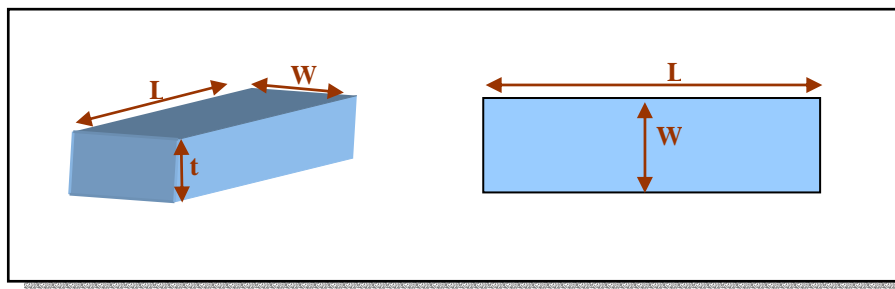


Figura 4.1. Parámetros de una resistencia.

Partiendo de la figura 4.1 el valor de la resistencia se obtiene a partir de la ecuación 4.1.

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (\text{Ec. 4.1})$$

Donde los parámetros que intervienen son:

ρ = Resistividad del material

t = Espesor del material

L = Longitud de la pista

W = Anchura de la pista

En procesos de semiconductores el espesor de las capas de material resistivo es un valor constante, por lo que el valor de la resistencia suele determinarse a partir de la ecuación 4.2.

$$R = R_{\text{square}} \cdot \frac{W}{L} \quad (\text{Ec. 4.2})$$

En la ecuación 4.2 R_{square} representa la resistencia por cuadro, que es el cociente entre la resistividad y el espesor de la resistencia.

4.2.2 Resistencias en la tecnología S35D4M5 de AMS

La tecnología S35D4M5 de AMS presenta dos tipos de resistencias, RPOLY2 y RPOLYH, que se utilizan dependiendo del valor resistivo que se pretenda integrar. En la tabla 4.1 se muestra un cuadro resumen de los parámetros más importantes de las mismas.

Tabla 4.1. Resistencias incluidas en la tecnología

RPOLY2				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	40	50	60	Ω/\square
Coef. temperatura		0.6		$10^{-3}/\text{K}$
Resist. Contacto		20	40	Ω/cnt
Den. Corriente			0.3	$\text{mA}/\mu\text{m}$

RPOLYH				
Parámetro	Mínimo	Típico	Máximo	Unidad
Resistencia	0.9	1.2	1.5	k Ω /□
Coef. temperatura		-1.2		10 ⁻³ /K
Resist. Contacto		60	200	Ω /cnt
Den. Corriente			0.3	mA/ μ m

En la figura 4.2 se muestra el cuadro de diálogo donde se ajustan los parámetros de las resistencias.

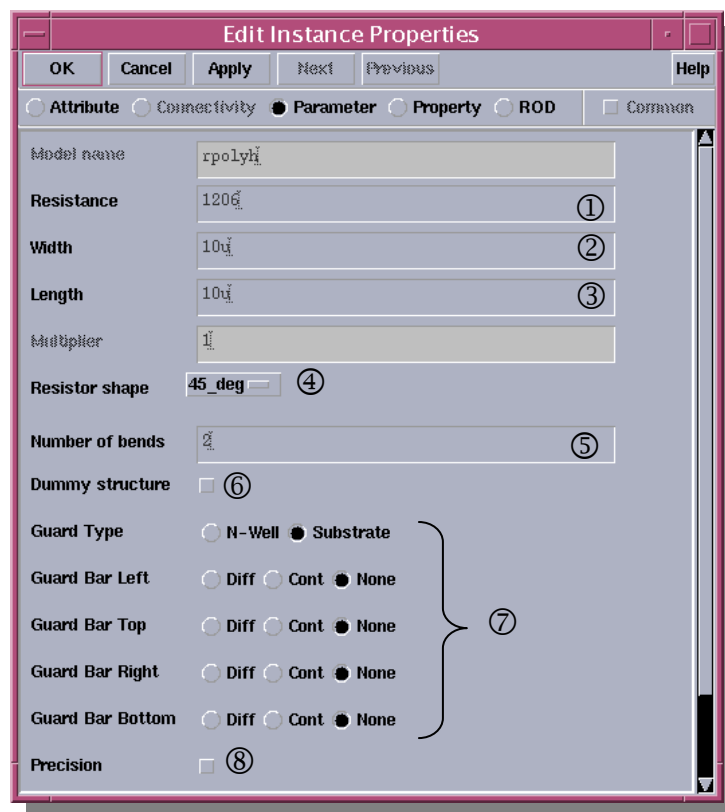


Figura 4.2. Parámetros en las resistencias.

A continuación se detalla el funcionamiento de cada uno de los parámetros mostrados en la figura 4.2:

① Valor de la resistencia: ajustando el valor óhmico de la resistencia el software calcula la longitud de la misma.

- ② Ancho de la pista: variando el ancho el software determina la longitud para mantener el valor de resistencia establecido.
- ③ Longitud de la pista.
- ④ Ángulo de giro.
- ⑤ Número de dedos: empleado para reducir el tamaño de la resistencia.
- ⑥ Estructuras *dummies*: estas estructuras minimizan los efectos de dispersión y en consecuencia la tolerancia en el valor de la resistencia.
- ⑦ Tipo de anillo de guarda: se puede emplear como anillo de guarda una conexión al sustrato o bien una difusión.
- ⑧ Resistencia de precisión: mediante esta opción se obtienen resistencias preparadas para realizar divisores de tensión precisos.

En la figura 4.3 se muestra un ejemplo de resistencia generada a partir del asistente que presenta el Kit de diseño de la tecnología. Esta resistencia posee 4 dedos así como las estructuras *dummies*.

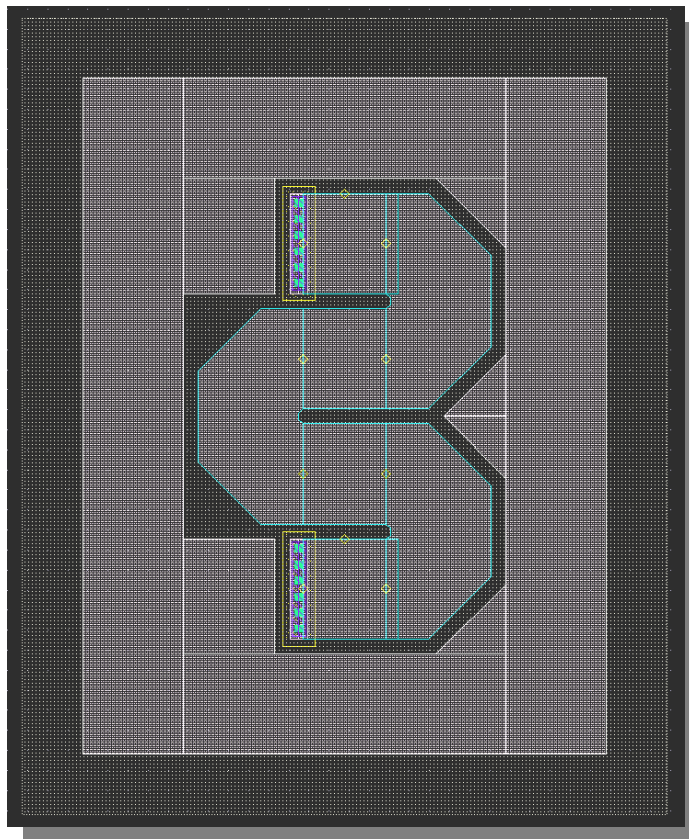


Figura 4.3. Resistencia con estructura *Dummies*.

4.3 Condensadores

4.3.1 Construcción

En sistemas integrados la implementación de condensadores se reduce a la construcción de un condensador plano empleando dos capas de material conductor separadas por una capa de material aislante. En la figura 4.4 se muestra un esquema donde esto queda reflejado.

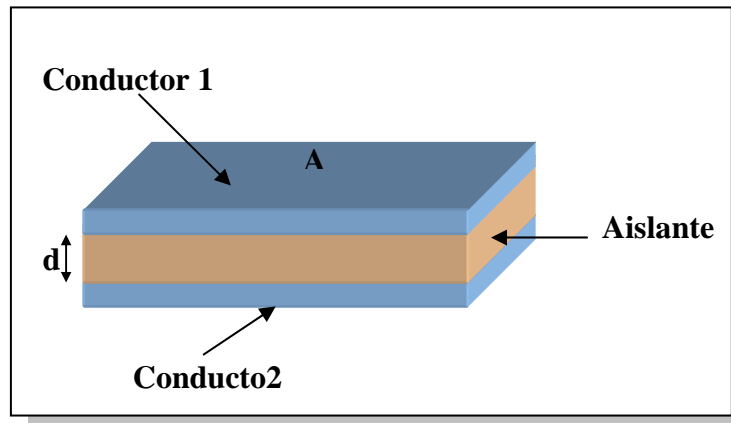


Figura 4.4. Corte de un condensador.

Partiendo de la figura 4.4 el valor de la capacidad del condensador viene dado por la ecuación 4.3.

$$C = \frac{\varepsilon' \cdot \varepsilon_0 \cdot A}{d} \quad (\text{Ec 4.3})$$

Donde los parámetros que intervienen son:

ε' = Permitividad relativa del material

ε_0 = Permitividad del vacío

A = Área de las placas del condensador

d = Distancia ente las placas del condensador

4.3.2 Condensadores en la tecnología S35D4M5 de AMS

La tecnología dispone de dos tipos de condensadores, por un lado está el CPOLY formado por dos capas de polisilicio diseñado para capacidades de pequeño tamaño. Por otro lado está el CMIN formado por dos capas de metal diseñado para la implementación de capacidades de gran valor.

En la figura 4.5 se muestra el cuadro de dialogo donde se pueden ajustar los diversos parámetros de los condensadores junto a una breve explicación de los mismos.

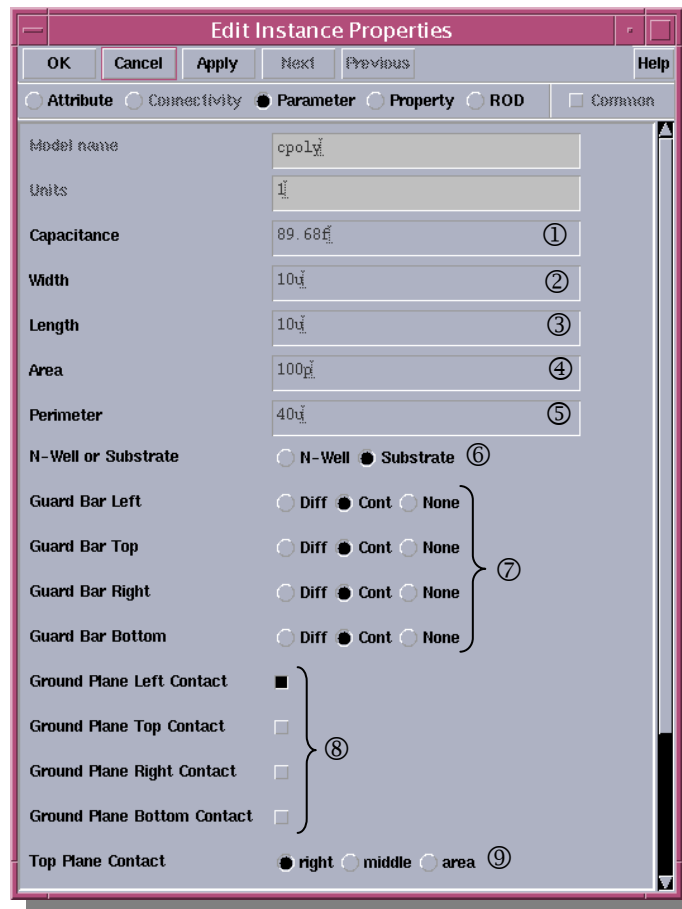


Figura 4.5. Parámetros ajustables en los condensadores.

- ① Valor de la capacidad.
- ② Ancho del condensador.
- ③ Longitud del condensador.
- ④ Área total del condensador.
- ⑤ Perímetro del condensador.
- ⑥ Conexión al sustrato o a un pozo tipo N.
- ⑦ Colocación de anillos de guarda mediante contactos o difusiones.
- ⑧ Colocación de los contactos de la capa inferior.
- ⑨ Colocación de los contactos de la capa superior.

A modo de ejemplo en la figura 4.6 se muestra un condensador creado mediante el asistente proporcionado por la tecnología. Puede observarse como este condensador posee un anillo de

guarda externo formado por contactos al sustrato. La conexión de la capa inferior está hecha a la izquierda y la conexión de la capa superior está a la derecha.

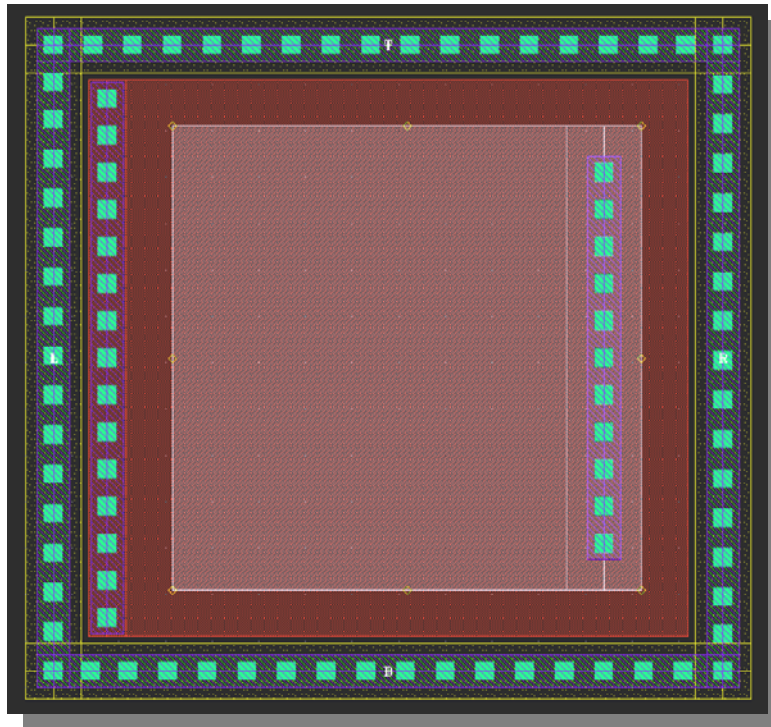


Figura 4.6. Layout de un condensador.

4.4 Bobinas

4.4.1 Construcción

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar *underpass* o *cross-under*. En la Figura 4.7 se muestra el *layout* de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

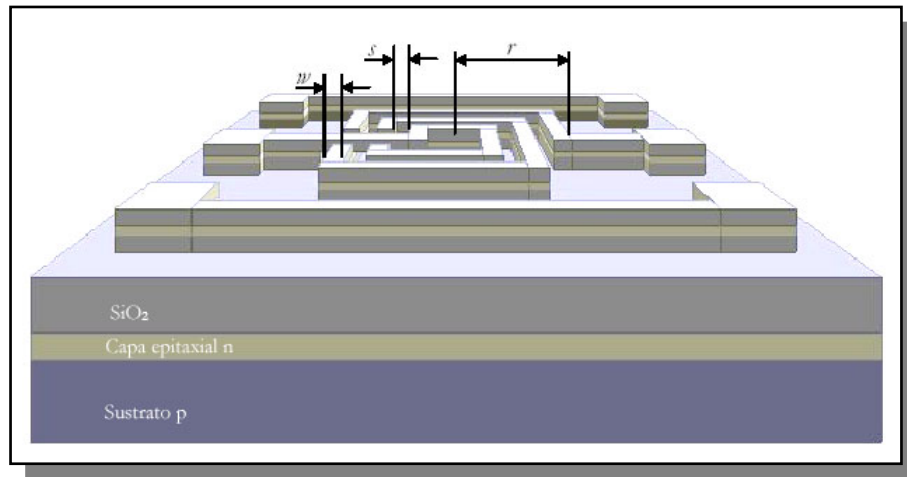


Figura 4.7. Layout de una bobina cuadrada simple.

4.4.2 Funcionamiento

La bondad de un inductor viene dada por su factor de calidad (ecuación 4.4), cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (\text{Ec. 4.4})$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) y por las corrientes de torbellino (*eddy currents*) inducidas en ambos medios. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la Figura 4.8.

- El campo magnético $B(t)$ está originado por la corriente alterna que circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

- $E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico. Algunos autores consideran que esta capacidad lateral entre las vueltas es despreciable, debido a que es la conexión en serie de esas capacidades la que finalmente aparece entre los terminales de la bobina [4].
- $E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.
- $E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

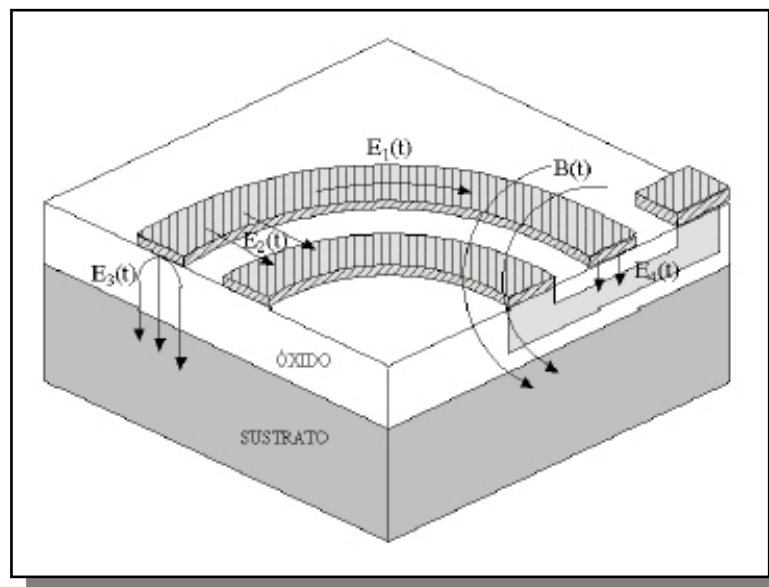


Figura 4.8. Campos eléctricos y magnéticos en un inductor integrado.

4.4.3 Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la Figura 4.9. En serie con la inductancia deseada, L_s , aparece una resistencia, R_s , que modela las pérdidas óhmicas generadas por $E_1(t)$ (ver Figura 4.8). El condensador C_p da cuenta del acoplamiento capacitivo generado por $E_2(t)$ y $E_4(t)$. El resto de los elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los

condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. Por último R_{SUB1} y R_{SUB2} modelan las pérdidas óhmicas del sustrato.

El circuito equivalente de la Figura 4.9 no es simétrico debido a que el layout de la propia inductancia integrada es sólo parcialmente simétrico. De hecho, la presencia del *underpass* cerca de uno de los puertos del dispositivo hace que el acoplamiento capacitivo con el sustrato sea diferente en ambos lados. Por tanto, el proceso de caracterización proporcionará valores de C_{OX1} , C_{SUB1} y R_{SUB1} ligeramente diferentes a los de C_{OX2} , C_{SUB2} y R_{SUB2} .

La bondad de un circuito equivalente depende de la precisión que se obtenga en el modelado del dispositivo real. Los valores de los elementos que componen el circuito equivalente se extraen mediante procesos de ajuste que se basan en el análisis de las medidas experimentales. Cuanto más precisos sean estos ajustes, más correcto será el circuito equivalente. Los resultados que se encuentran en la literatura muestran que el modelo presentado se acomoda bastante bien a las medidas, especialmente a frecuencias bajas. Sin embargo, cuando se trata de modelar el funcionamiento de la bobina a frecuencias elevadas el modelo clásico ya no es tan acertado [6].

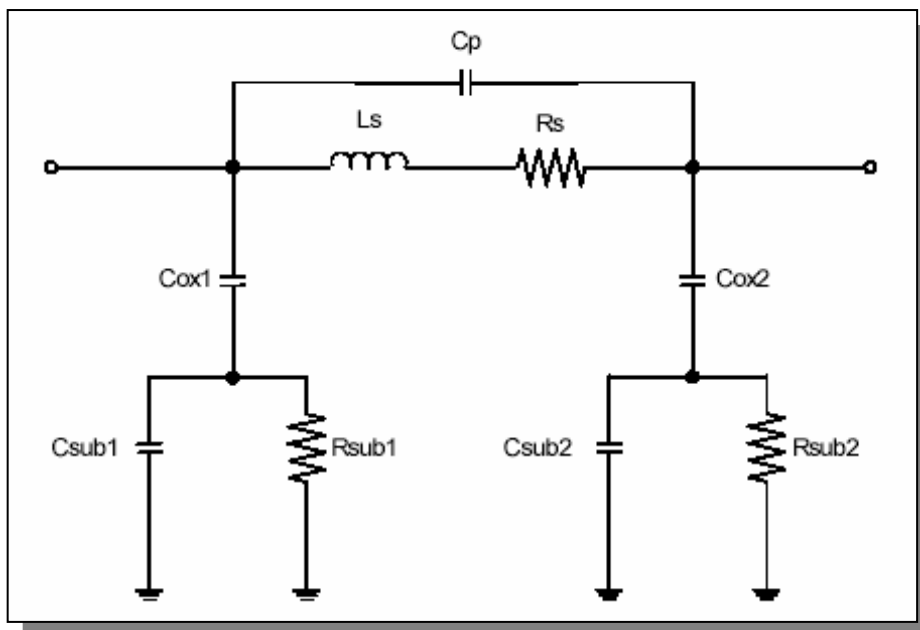


Figura 4.9. Modelo clásico de dos puertos de inductores espirales integrados.

4.4.4 Bobinas en la tecnología S35D4M de AMS

La tecnología de AMS presenta bobinas, aunque éstas son de baja calidad. Por eso se optó por usar las bobinas diseñadas por el IUMA, consiguiendo factores de calidad de hasta 13,5 a una frecuencia central de 5,5 GHz [7].

En la figura 4.10 se muestra un ejemplo de las bobinas creadas por el IUMA. En este caso se trata de una bobina de ocho lados de 2 nH con un factor de calidad de 10,3.

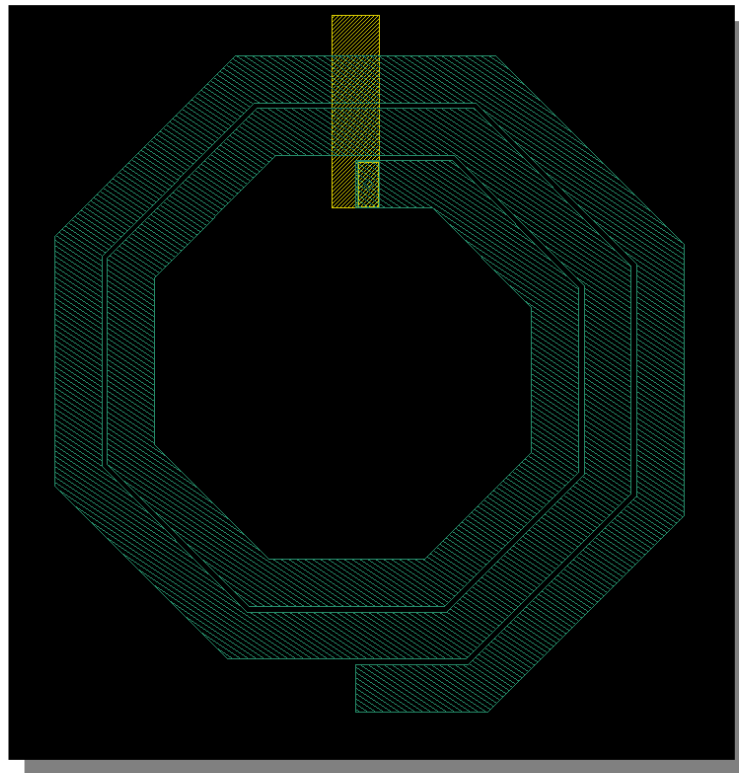


Figura 4.10. Layout de una bobina.

4.5 El Transistor MOSFET

4.5.1 Construcción

En la figura 4.11 se muestra un corte esquemático de dos transistores MOS tipo n y tipo p respectivamente. En el caso del transistor tipo n, la Surtidor y el Drenador están formadas por difusiones n+, sobre el sustrato p. Por otro lado, en el caso del transistor tipo p la Fuente y el Drenador están formadas con difusiones tipo p+ sobre un pozo tipo n. Tanto en el MOSFET

tipo p como en el tipo n, el terminal de puerta se encuentra siempre aislado del sustrato mediante una capa de SiO_2 .

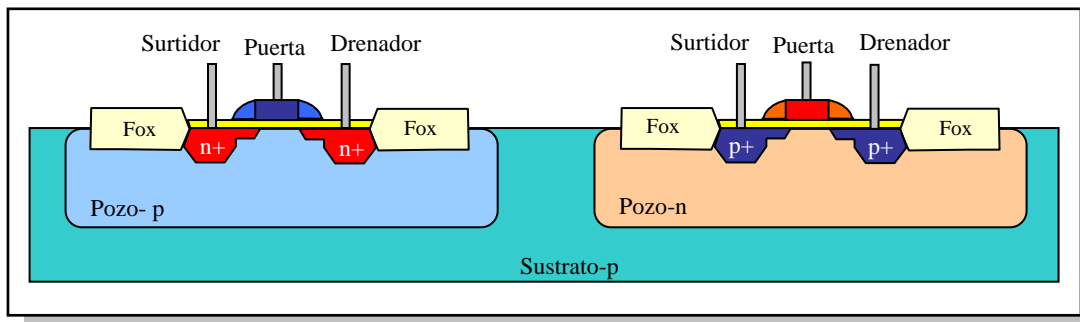


Figura 4.11. Corte esquemático de transistores MOSFET.

4.5.2 Funcionamiento

Como se muestra en la figura 4.12, si en un MOSFET tipo n se aplica un nivel de tensión nulo entre la Puerta y el Surtidor (V_{GS}) y se aplica una tensión positiva entre el Drenador y el Surtidor (V_{DS}), no circulará corriente entre los terminales de Drenador y Surtidor. Esto se produce ya que no es suficiente tener acumulados una gran cantidad de portadores tanto en el Drenador como en el Surtidor, sino que debe existir un canal físico por el que circulen estos portadores. En esta situación se dice que el transistor MOSFET se encuentra en corte.

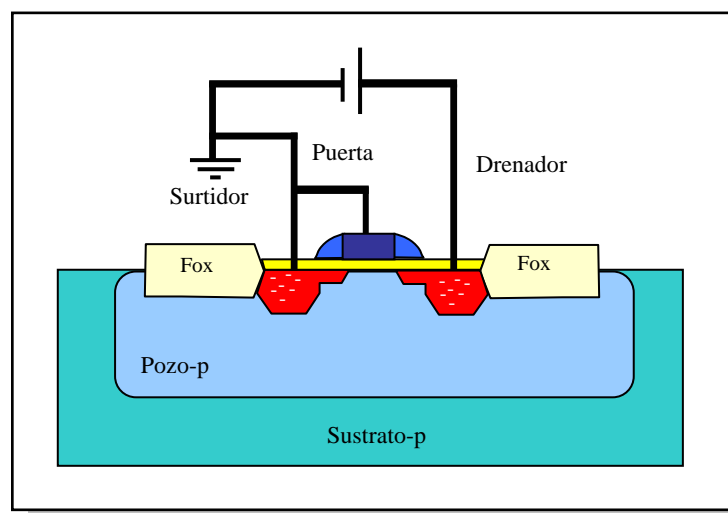


Figura 4.12. MOSFET tipo n en Corte.

Si se aumenta la tensión V_{GS} , este nivel de tensión presionará a los huecos situados cerca de la capa de SiO_2 hacia las regiones más profundas del sustrato tal como muestra la figura 4.13. Por el contrario, los electrones se verán atraídos hacia la capa de SiO_2 que, debido a su carácter aislante, evita que los electrones sean absorbidos por el terminal de Puerta. A medida que aumenta el valor de la tensión de V_{GS} , se produce un aumento de la concentración de

electrones cerca de la capa de SiO₂ hasta que la región tipo n inducida pueda soportar un flujo de corriente entre el Drenador y la Surtidor. Al nivel de V_{GS} que hace que se produzca un aumento considerable de la corriente del Drenador al Surtidor se le llama tensión de umbral (V_T). Cuando se consigue circulación de corriente del Drenador al Surtidor se dice que el MOSFET se encuentra en la región de triodo o zona óhmica.

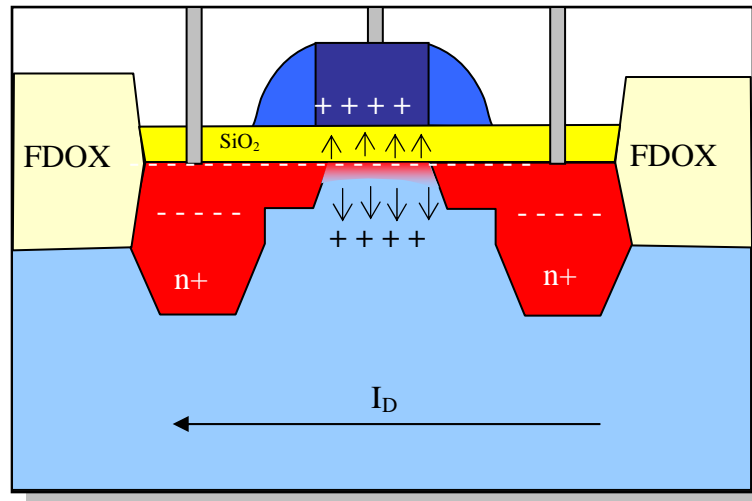


Figura 4.13. Detalle del MOSFET tipo n en zona óhmica.

En la región de triodo la expresión que determina la corriente de drenador del mosfet viene dada como:

$$I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (\text{Ec. 4.5})$$

Donde:

μ_n = Movilidad de los electrones

C_{OX} = Capacidad de puerta por unidad de área

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

Como ya se ha comentado cuando el valor de V_{GS} es mayor que la tensión umbral, la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de corriente de Drenador. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS}, la corriente de Drenador alcanza un nivel de saturación. Esta saturación de la corriente de drenador se debe a un estrechamiento del canal inducido tal como muestra la figura 4.14.

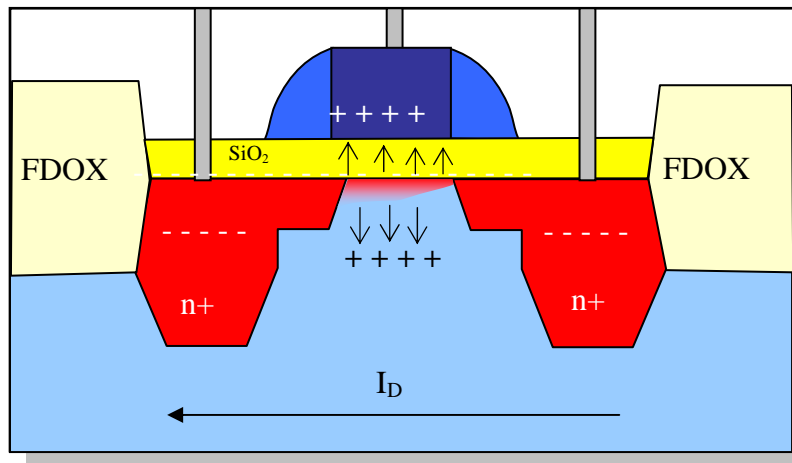


Figura 4.14. Detalle del MOSFET tipo n en zona de saturación.

La tensión de Drenador a Puerta (V_{DG}) viene dado por la ecuación 4.6:

$$V_{DG} = V_{DS} - V_{GS} \quad (\text{Ec. 4.6})$$

Si se mantiene V_{GS} fijo y se aumenta el valor de la tensión V_{DS} tal como muestra la ecuación 4.6 el valor de la tensión V_{DG} se reducirá. Esta reducción de la tensión hace que se disminuya la fuerza de atracción de los portadores libres en la región del canal inducido causando una reducción efectiva del ancho del canal. Esta reducción establece una condición de saturación, en la que cualquier aumento de V_{DS} no se traduce en un aumento de la corriente. En esta situación la corriente de drenador viene dada por la ecuación 4.7, diciéndose que el transistor se encuentra en zona de saturación.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (\text{Ec. 4.7})$$

Donde:

μ_n = Movilidad de los electrones

C_{OX} = Capacidad de puerta por unidad de área

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

Al coeficiente $\mu_n \cdot C_{OX}$ se le denomina factor de ganancia y se denota K_n .

A pesar de que el desarrollo anterior se refiere a un transistor MOSFET tipo n, en el caso del transistor MOSFET tipo p las ecuaciones son las mismas, con la única excepción de que el sentido de la corriente I_D en el MOSFET tipo p es contrario del MOSFET tipo n.

4.5.3 Modelo de Baja Frecuencia

En la figura 4.15 se muestra el modelo en baja frecuencia del transistor MOSFET, donde g_m es la transconductancia del transistor y viene dada por la ecuación 4.8:

$$g_m = \sqrt{\frac{2 \cdot C_{OX} \cdot \mu_n \cdot W}{L_{eff}}} \cdot \sqrt{\frac{I_D}{2}} = \sqrt{\frac{C_{OX} \cdot \mu_n \cdot W \cdot I_D}{L_{eff}}} \quad (\text{Ec. 4.8})$$

L_{eff} = Longitud efectiva del canal (μm)

C_{OX} = Capacidad de puerta por unidad de área

μ_n = Movilidad de los electrones

W = Ancho del canal del transistor

I_D = Corriente de drenador

r_o representa la parte real de la impedancia de salida del transistor, es decir, la resistencia del canal.

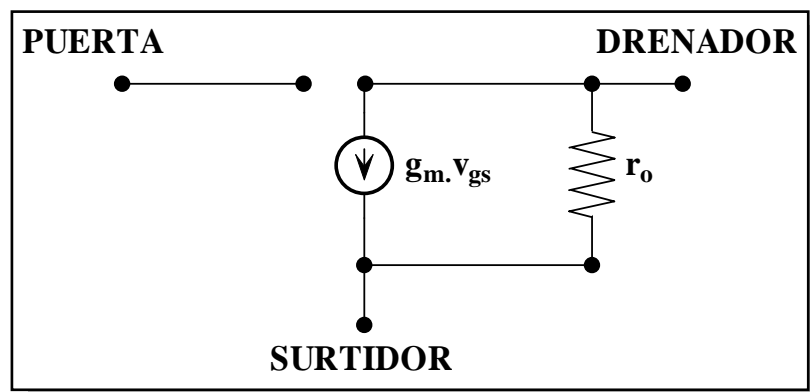


Figura 4.15. Modelo del Mosfet de Baja Frecuencia.

4.5.4 Modelo de Alta Frecuencia

En la figura 4.16 se muestra el modelo de alta frecuencia del transistor MOSFET, donde puede observarse que, cuando se trabaja a alta frecuencia aparecen capacidades parásitas.

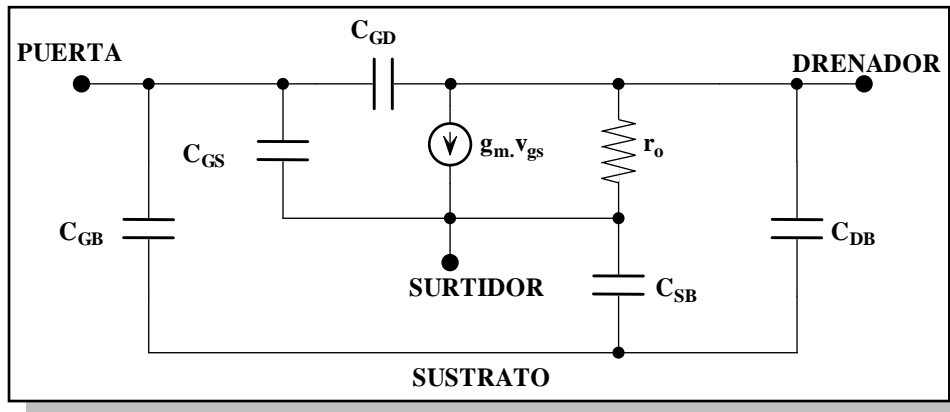


Figura 4.16. Modelo del MOSFET de Alta Frecuencia.

Estas capacidades son de dos tipos:

- Capacidades de la zona de carga espacial: Se producen en las uniones PN, debido a la presencia de carga espacial de distinto signo en cada zona. Las capacidades de la zona de carga espacial vienen dadas por las ecuaciones 4.9 y 4.10:

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\psi_o}\right)^m} \quad (\text{Ec. 4.9})$$

$$C_{SB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\psi_o}\right)^m} \quad (\text{Ec. 4.10})$$

Donde:

C_o = Densidad de la capacidad de la unión cuando la polarización de esta es nula

V = Tensión directa de la unión

ψ_o = Barrera de potencial

m = Constante dependiente del tipo de unión

- Capacidades en la zona de óxido: Aparecen capacidades entre dos zonas conductoras separadas por óxido sometidas a distintas tensiones. El valor de estas capacidades dependen de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

C_{GB} = Capacidad de óxido entre puerta y sustrato

C_{SG} = Capacidad de óxido entre surtidor y puerta

C_{GD} = Capacidad de óxido entre Puerta y drenador

Los valores de las capacidades de óxido dependen de la región de trabajo del transistor. En la tabla 4.2 se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo del transistor MOSFET.

Tabla 4.2. Capacidades de la zona de óxido de un transistor MOSFET

CAPACIDAD	CORTE	ÓHMICA	SATURACIÓN
C_{GD}	$C_{OX}L_dW$	$C_{OX}L_dW+0.5C_{OX}LW$	$C_{OX}L_dW$
C_{GS}	$C_{OX}L_dW$	$C_{OX}L_dW+0.5C_{OX}LW$	$C_{OX}L_dW+0.66C_{OX}LW$
C_{GB}	$C_{OXd}W$	0	0

En la tabla 4.2 los parámetros implicados en las expresiones son:

C_{ox} = capacidad de puerta por unidad de área

L_d = Distancia de difusión lateral que se produce bajo la puerta

L = Longitud del canal del transistor (μm)

W = Ancho del canal del transistor (μm)

4.5.5 Transistores MOSFET en la tecnología S35D4M5 de AMS

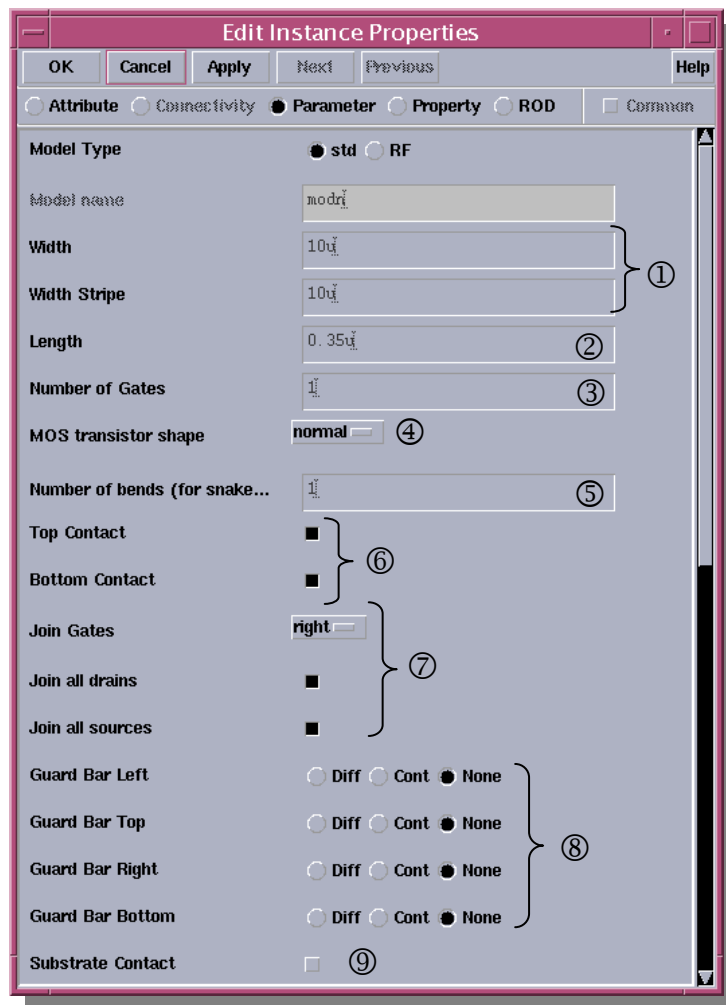
En la tabla 4.3 aparecen los parámetros más importantes de los transistores MOSFET suministrados por AMS dentro del Kit de diseño.

Tabla 4.3. Parámetros más importantes de los MOSFET

NMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_t)	0.36	0.46	0.56	V
Factor de Ganancia (K_n)	155	175	195	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	450	540	630	$\mu\text{A}/\mu\text{m}$

PMOS				
Parámetro	Mínimo	Típico	Máximo	Unidad
Tensión Umbral (V_t)	-0.50	-0.60	-0.70	V
Factor de Ganancia (K_n)	48	58	68	$\mu\text{A}/\text{V}^2$
Den. Corriente Saturación	-180	-240	-300	$\mu\text{A}/\mu\text{m}$

En la figura 4.17 se muestra el cuadro de dialogo mediante el cual se ajustan los parámetros del transistor MOSFET.



- ① Ajuste del ancho del transistor.
- ② Ajuste de la longitud del canal del transistor.
- ③ Número de puertas del transistor, al realizar un transistor con un mayor número de puertas el tamaño del transistor se ve reducido considerablemente.
- ④ Selección de un transistor normal o un transistor tipo *Snake* [8].
- ⑤ Selección del número de dedos para los transistores tipo *Snake*.
- ⑥ Colocación de contactos a ambos lados del transistor.
- ⑦ Unión de las Puertas, Drenadores y Surtidores.
- ⑧ Creación de anillos de guarda alrededor del transistor.
- ⑨ Colocación de contactos al sustrato para evitar el efecto *latch-up* [8] en el transistor

A modo de ejemplo en la figura 4.18 se muestra un transistor MOSFET tipo n con 5 puertas generado a partir de las diferentes opciones que presenta el Kit de la tecnología. En la figura se pueden diferenciar claramente todas las partes del transistor, en rojo se ven los dedos que

forman parte de la Puerta del transistor, y en azul a ambos lados del transistor se encuentran los terminales de Drenador y Surtidor.

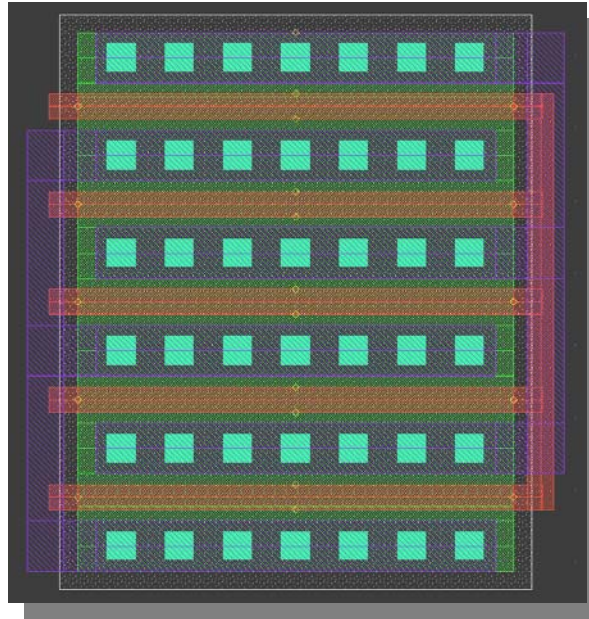


Figura 4.18. Ejemplo de transistor MOSFET.

4.6 HBT's de SiGe

4.6.1 Estructura y principio de funcionamiento de los HBT's de SiGe

Los HBT's de SiGe son transistores *npn* bipolares en los que la base está formada por una capa muy estrecha ($<50\text{nm}$) de $\text{Si}_{1-x}\text{Ge}_x$ crecida de forma pseudomórfica. La concentración de Ge puede llegar a ser muy elevada (50%) variando desde el lado de emisor al de colector, y el espesor de la base se puede hacer muy pequeño, llegándose a valores de 5 a 10 nm. En la Figura 4.19 se muestra la estructura típica de un HBT de SiGe gradual.

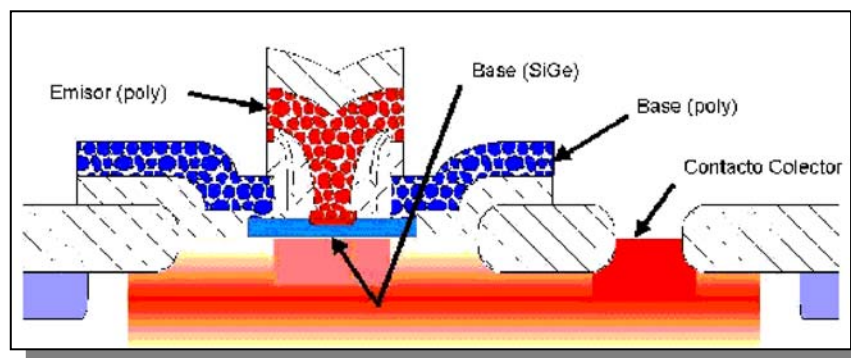


Figura 4.19. Estructura típica de un HBT de SiGe gradual.

Para ayudar a entender los beneficios de los HBT, comparamos en la Figura 4.20 los diagramas de bandas de energía de un transistor bipolar de homounión $n\text{pn}$ con un transistor bipolar de heterounión $n\text{pn}$ operando en zona activa directa. La corriente de colector, como se puede observar en la Figura 4.21, se compone principalmente de la corriente de electrones inyectada desde el emisor a la base, I_n , menos el término de recombinación en la base (pequeño). La corriente de base consiste principalmente en la corriente de huecos, I_p , inyectados en el emisor desde la base, menos la recombinación en la base o en las zonas de depleción de la unión emisor-base (que deberían ser pequeñas). Para entender el funcionamiento de los HBTs es necesario ver cómo esas corrientes están relacionadas con los potenciales de contacto y las concentraciones de átomos de impureza en la base y el emisor.

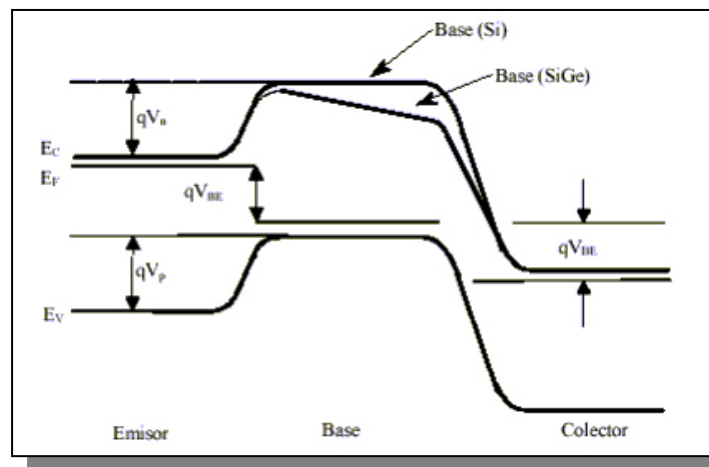


Figura 4.20. Diagrama de bandas de energía de un transistor bipolar de homounión $n\text{pn-Si}$ y un transistor bipolar de heterounión $n\text{pn-Si/SiGe}$.

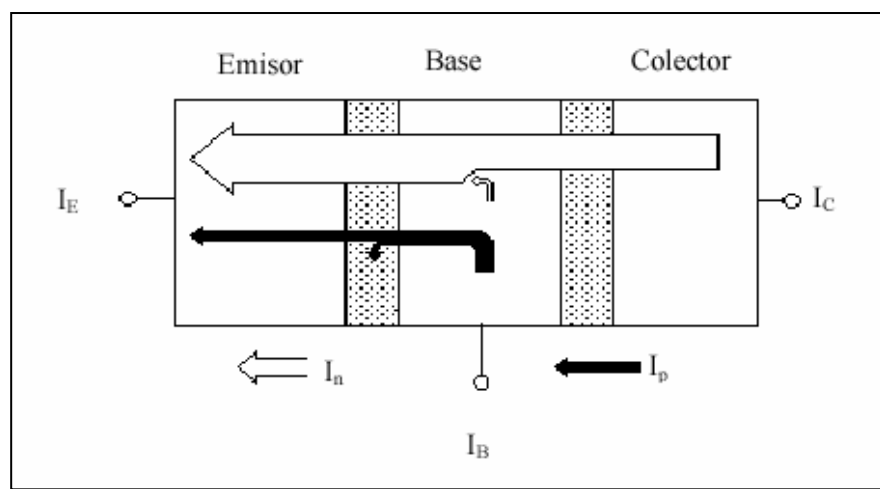


Figura 4.21. Esquema simplificado del flujo de corriente en un transistor de homounión $n\text{pn-Si}$.

Si despreciamos las corrientes de recombinación (que es una suposición aceptable en esta discusión) se puede aplicar los modelos de primer orden de los BJTs para comparar la magnitud de esas dos componentes principales de corriente. I_p e I_n son corrientes de difusión. Si el ancho de base entre las zonas de carga espacial de emisor y colector es W_b , el ancho de emisor W_e , y se asume que en ambas regiones los niveles de dopaje no producen degeneración del semiconductor, la estadística de Boltzmann nos da las concentraciones de portadores minoritarios:

$$J_p = \frac{q \cdot D_p \cdot n_i^2}{W_e \cdot N_e} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (\text{Ec. 4.11})$$

$$J_n = \frac{q \cdot D_n \cdot n_i^2}{W_b \cdot N_b} \cdot \left(e^{\frac{-q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (\text{Ec. 4.12})$$

En estas ecuaciones n_i es la concentración intrínseca para los semiconductores de base y emisor, para la homounión BJT. V_{BE} es la tensión aplicada a la unión B-E. La concentración de dopaje en el emisor de Si tipo n es N_e , y en la base de Si tipo p es P_b . D_n y D_p son los coeficientes de difusión (difusividades) de los electrones y de los huecos. Tomando la relación entre las ecuaciones (4.11) y (4.12) resulta:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \quad (\text{Ec. 4.13})$$

Esta ecuación representa una cota superior del valor de β . Así pues, si el dopaje es el mismo tanto en el emisor como en la base y las anchuras de base y emisor son iguales, entonces β_{max} vendrá dada por la relación entre la difusividad de electrones y la de huecos. Esta relación es aproximadamente 3 para el Si. Estos valores corresponderían a los valores de β para las homouniones npn con niveles de dopaje iguales. Por ello, para obtener una β adecuada en los dispositivos de homounión, el dopaje de emisor debe exceder el de la base por un margen significativo.

En la Figura 4.20 se muestra también el diagrama de bandas correspondiente a un HBT. En este tipo de dispositivos, la anchura de la banda prohibida cambia de forma gradual desde E_{G0} cerca del emisor hasta $E_{G0} - \Delta E_G$ cerca del colector. Esta variación de la anchura de la banda

prohibida establece un gradiente en la energía de la banda de conducción de $\Delta E_G/W_b$, el cual constituye un campo eléctrico que ayuda al movimiento de los electrones a través de la base [10]. El resultado de la aparición de este campo eléctrico es la reducción del tiempo de tránsito a través de la base (τ_{BC}) y un aumento de la ganancia en corriente (β). Así pues, para los HBTs la ganancia en corriente tendrá un término adicional que refleja este fenómeno:

$$\beta = \frac{I_c}{I_b} = \frac{I_e}{I_p} = \frac{N_e}{P_b} \cdot \frac{D_n}{D_p} \cdot \frac{W_e}{W_b} \cdot e^{\left(\frac{\Delta E_G}{K\tau}\right)} \quad (\text{Ec. 4.14})$$

Debido a que es posible obtener decenas de meV para ΔE_G variando la concentración de Ge, la ganancia en corriente máxima se puede incrementar hasta una cantidad muy elevada, aunque en la mayoría de las aplicaciones prácticas estas ganancias elevadas (superiores a 100) no se suelen utilizar.

La reducción del tiempo de tránsito a través de la base hace que la frecuencia de corte pueda alcanzar valores muy elevados [11][12] y el aumento de la ganancia en corriente permite que se pueda reducir la resistencia serie de base incrementando la anchura de esta región manteniendo una β adecuada. Sin embargo, hay que tener en cuenta que si la anchura de la base aumenta, el tiempo de tránsito a través de dicha región se ve incrementado y por tanto, hay un compromiso entre el tiempo de tránsito y la resistencia de la base para la optimización del funcionamiento a altas frecuencias [13].

Por otro lado, para conseguir valores de corriente elevados en los BJT's, el dopaje de la base debe ser pequeño de forma que se disminuya la recombinación de los portadores minoritarios en dicha región. Sin embargo, como hemos mencionado, esto entra en conflicto con la exigencia de tener valores de τ_{BC} bajos para poder operar a frecuencias elevadas. El uso de HBT's en vez de BJT's ofrece, al mismo tiempo, una ganancia de corriente elevada y un nivel de dopaje de la base por encima de 10^{20} cm^{-3} .

Desde el punto de vista circuital, la elevada ganancia que presentan los HBT's trae consigo una serie de ventajas. En primer lugar, la corriente de colector en los HBT's de SiGe es mayor que para los BJT's de Si, con lo que se pueden hacer etapas amplificadoras con resistencia de salida más elevada y fuentes de corriente más estables. Además, la resistencia de entrada mejora, con

lo que mejoran las propiedades de las etapas de entrada de LNAs respecto al ruido [14]. Por último, debido a la elevada ganancia que presentan los HBTs de SiGe a frecuencias por encima de 2 GHz, es posible el uso de técnicas de linealización por realimentación, lo cual trae aparejado una buena respuesta respecto a la intermodulación en amplificadores de potencia y LNAs.

La principal desventaja de la tecnología bipolar de silicio, para su uso en sistemas de comunicaciones, es la baja tensión de ruptura que presentan, lo cual hace que se complique sobre todo el diseño de amplificadores de potencia. Este problema no es específico del SiGe, sino de todos los procesos bipolares basados en Si, donde el tiempo de tránsito no está determinado tanto por la anchura de la base sino por la anchura del colector [15]. La tensión de ruptura es también la razón de la limitación de la ganancia de corriente ya que un valor muy elevado de la misma puede producir un empeoramiento de la multiplicación por avalancha en el colector.

4.6.2 HBTs en la tecnología S35D4M de AMS

Los HBTs de SiGe utilizados para la realización de este diseño son los suministrados en el proceso S35D4 (0.35 μm HBT BiCMOS) de la empresa AMS. Su producción se basa en un proceso de bajo coste de fabricación de BJTs. El material de partida es una oblea de silicio tipo p poco dopada de resistividad $19\Omega\cdot\text{cm}$. El primer paso en el proceso de fabricación consiste en la formación de una capa enterrada y la implantación del *channel-stop* para el aislamiento lateral. Seguidamente se forman la capa del colector mediante deposición química (CVD) [16] la cual se separa mediante un proceso de recesión LOCOS [16]. El siguiente paso es el crecimiento selectivo de la base de SiGe mediante CVD. La concentración de Germanio ha sido graduada de forma lineal a través de la base, siendo su fracción molar máxima del 15%. Como último paso de la formación del transistor, se genera los contactos de Base y Emisor. Finalmente el proceso termina con las metalizaciones de los contactos de emisor, base y colector.

En la figura 4.22 se muestra el cuadro de diálogo de los transistores disponible en el Kit de la tecnología así como una pequeña explicación de cada uno de los parámetros que son ajustables por el usuario.

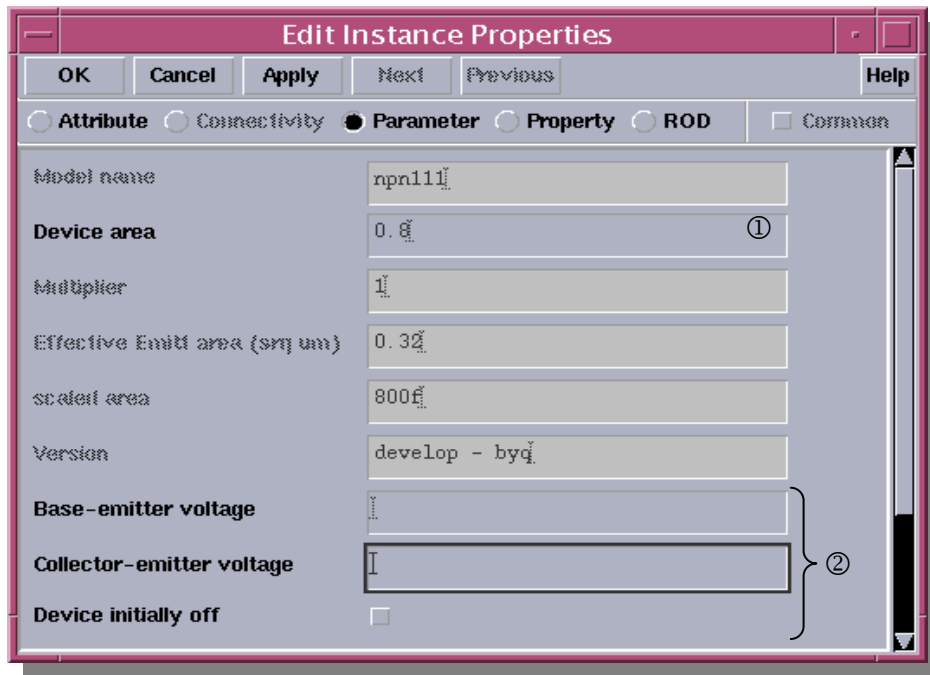


Figura 4.22. Parámetros ajustables de los transistores.

- ① Selección del área del transistor.
- ② Selección de los ajustes para simulación.

En la figura 4.23 se muestra el *layout* de un transistor HBT. Pueden observarse claramente las conexiones de emisor base y colector del mismo de izquierda a derecha.

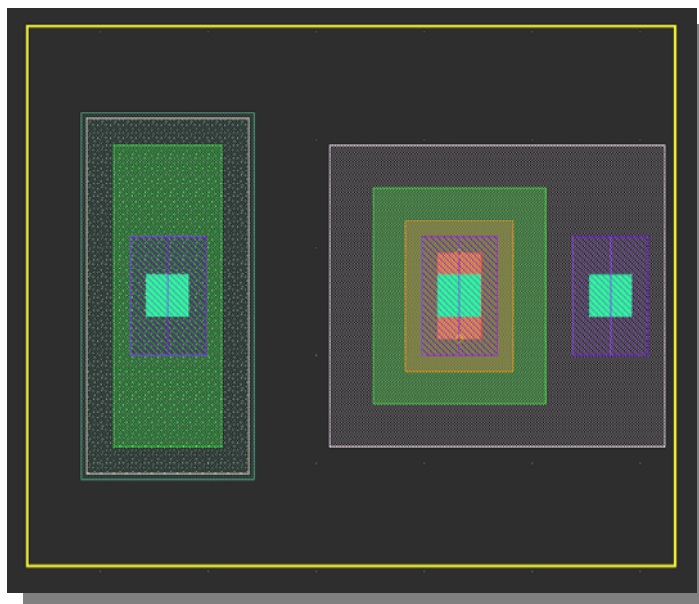


Figura 4.23. *Layout* de un Transistor HBT.

A lo largo de este capítulo se ha conseguido obtener una visión más profunda de las posibilidades que ofrece la tecnología S35D4M5 de AMS para la implementación de sistemas integrados para radiofrecuencia. Una vez completado el estudio teórico de los mezcladores y conocida la tecnología a emplear, en el próximo capítulo se comenzará a desarrollar el diseño del mezclador pasivo así como de la etapa de amplificación implementada mediante un amplificador operacional totalmente diferencial.



CAPITULO 5

Diseño del mezclador pasivo

5.1 Introducción

Una vez estudiadas las topologías más comunes en mezcladores y la tecnología a emplear, en este capítulo abordamos el diseño del mezclador pasivo. A lo largo de este capítulo se desarrollará de una forma ordenada el diseño de la etapa de mezclado desde el diseño a nivel de esquemático hasta los resultados obtenidos una vez realizado el *layout* del circuito.

5.2 Topología del circuito

La estructura elegida para la etapa de mezclado es la mostrada en la figura 5.1. Inicialmente se ha considerado el amplificador operacional de salida ideal para poder dimensionar y polarizar el puente. Debido a que los transistores presentan una alta impedancia de entrada en las puertas, la señal de RF se introduce por dicho terminal, para facilitar posteriormente el ajuste de la adaptación de impedancia de entrada del circuito.

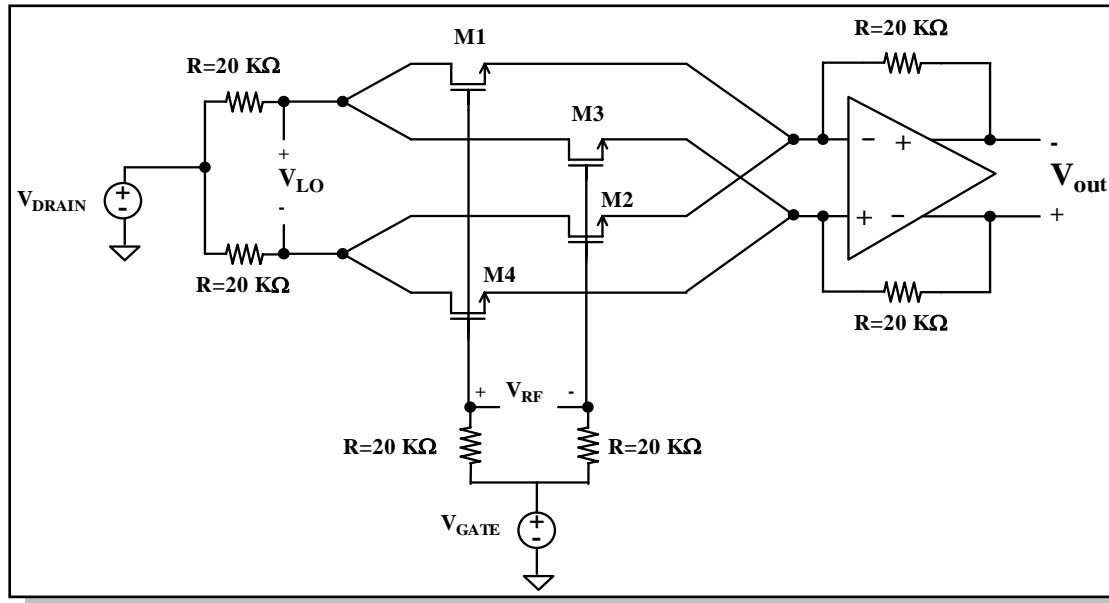


Figura 5.1. Estructura del mezclador pasivo.

5.3 Polarización del circuito

Para que el mezclador funcione correctamente debe mantenerse a los transistores trabajando en zona lineal. En consecuencia para polarizar el puente se debe ajustar las tensiones de Puerta y Drenador de los transistores M1 – M4. La tabla 5.1 muestra la variación los parámetros que caracterizan al mezclador en función de las tensiones de polarización.

Tabla 5.1. Influencia de la polarización en los parámetros del circuito

Ganancia (dB)						
V_{GATE}	0,2	0,8	1,4	2	2,6	3,2
$V_{DRAIN}=0,2$	-32,7	38,12	40,89	34,4	29,42	25,13
$V_{DRAIN}=0,8$	-140	-75,92	25,02	42,45	35,49	30,31
$V_{DRAIN}=1,4$	-140	-140	-107,47	9,95	43,69	36,45
$V_{DRAIN}=2$	-140	-140	-140	-133	3,22	22,29
$V_{DRAIN}=2,6$	-140	-140	-140	-140	-139,92	-4,8
$V_{DRAIN}=3,2$	-140	-140	-140	-140	-140	-140

NF SSB						
V_{GATE}	0,2	0,8	1,4	2	2,6	3,2
$V_{DRAIN}=0,2$	67,98	25,8	19,18	19,15	25,17	30,09
$V_{DRAIN}=0,8$	273,04	106,71	20,42	20,43	17,7	24,03
$V_{DRAIN}=1,4$	404,98	306,11	139,27	21,84	24,5	21,44
$V_{DRAIN}=2$	390,89		334,99	167,07	26,23	22,51
$V_{DRAIN}=2,6$	405,188	402,31	402,29	359,57	191,08	33,41
$V_{DRAIN}=3,2$	394,98	432,72	402,68	400,23	382,15	212,38

NF DSB						
V _{GATE}	0,2	0,8	1,4	2	2,6	3,2
V _{DRAIN} =0,2	65,06	22,8	16,69	16,67	22,68	27,6
V _{DRAIN} =0,8	159,24	103,72	17,73	17,5	14,21	21,54
V _{DRAIN} =1,4		157,41	136,22	18,92	21,8	18,95
V _{DRAIN} =2		161			23,24	19,46
V _{DRAIN} =2,6	155,65			160,42		30,37
V _{DRAIN} =3,2						

IIP3						
V _{GATE}	0,2	0,8	1,4	2	2,6	3,2
V _{DRAIN} =0,2	-13,95	-5,85	6,15	8,2	9,85	11,01
V _{DRAIN} =0,8	-27	-14,1	-4,76	6,38	7,79	9,56
V _{DRAIN} =1,4	-27	-27	-15,25	-6,45	6,55	7,44
V _{DRAIN} =2	-27	-27	-27	-26,06	-9,61	21,23
V _{DRAIN} =2,6	-27	-27	-27	-27	-27,04	0
V _{DRAIN} =3,2	-27	-27	-27	-27	-27	-27

OIP3						
V _{GATE}	0,2	0,8	1,4	2	2,6	3,2
V _{DRAIN} =0,2	-52,02	32,23	47,06	42,62	39,29	36,15
V _{DRAIN} =0,8	-170	-89,56	20,2	48,85	43,31	39,89
V _{DRAIN} =1,4	-170	-170	-122,3	3,45	50,26	43,91
V _{DRAIN} =2	-170	-170	-170	-159,5	-6,52	43,53
V _{DRAIN} =2,6	-170	-170	-170	-170	-169,9	-5,23
V _{DRAIN} =3,2	-170	-170	-170	-170	-170	-170

Representando gráficamente los valores de la figura de ruido del sistema tal como muestra la siguiente figura se obtiene que, para una tensión de Puerta de 3.2V y una tensión de Drenador de 2V se obtiene la mínima figura de ruido.

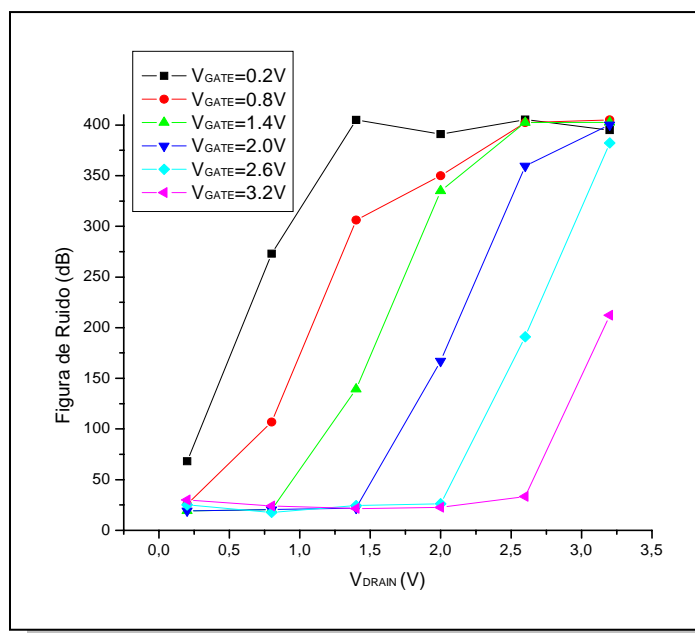


Figura 5.2. Variación de la figura de ruido con la polarización.

Representando la linealidad del circuito en función de la polarización se obtiene la figura 5.3, observándose como también para una tensión de Puerta de 3.2V y una tensión de Drenador de 2V se obtiene la máxima linealidad del sistema.

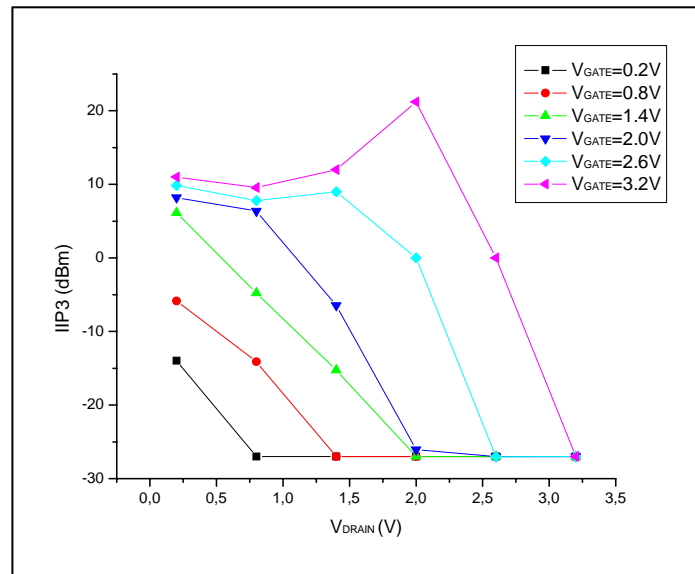


Figura 5.3. Linealidad en función de la polarización.

Analizando los resultados anteriores buscando un compromiso entre la linealidad y la figura de ruido se ha optado por establecer una tensión $V_{GATE} = 3.3V$ y una $V_{DRAIN} = 2V$. En la tabla 5.2 se muestra un cuadro resumen con los valores obtenidos una vez ajustada la polarización del mezclador.

Tabla 5.2. Valores obtenidos ajustando la polarización

Parámetros	Valor
Ganancia (dB)	22,29
Figura de Ruido DSB (dB)	22,51
Figura de Ruido SSB (dB)	19,46
IIP3 (dBm)	21,23
OIP3 (dBm)	43,53

Para conseguir los niveles de polarización deseados, en la entrada de RF se ha empleado una resistencia de 50 Ohmios desde V_{CC} a la entrada de señal de RF, fijando un valor de tensión de 3.3V. Para polarizar la entrada del Oscilador Local se ha empleado la estructura de polarización mostrada en la figura 5.4.

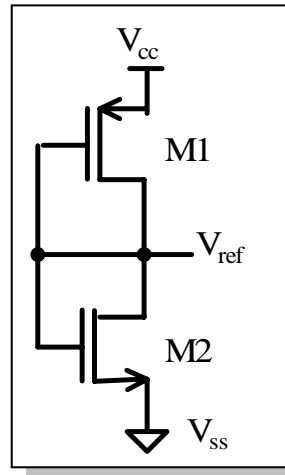


Figura 5.4. Etapa de polarización.

A partir del esquema mostrado en la figura 5.4 y teniendo en cuenta que la corriente a través de ambos transistores es la misma, se obtiene la ecuación 5.1.

$$\frac{K_p}{2} \cdot \frac{W_p}{L_p} \cdot (V_{DD} - V_{ref} - V_T)^2 = \frac{K_n}{2} \cdot \frac{W_n}{L_n} \cdot (V_{ref} - V_{ss} - V_T)^2 \quad (\text{Ec. 5.1})$$

Despejando en la ecuación 5.1 el valor de V_{ref} se obtiene que:

$$V_{ref} = \frac{V_{DD} - V_T + \sqrt{\frac{K_p \cdot (W_p / L_p)}{K_n \cdot (W_n / L_n)}} \cdot (V_{ss} + V_T)}{\sqrt{\frac{K_p \cdot (W_p / L_p)}{K_n \cdot (W_n / L_n)}} + 1} \quad (\text{Ec. 5.2})$$

A partir de la ecuación 5.2 despejando la relación entre los transistores se obtiene la expresión 5.3. Mediante esta expresión, fijando la relación de aspecto de un transistor se puede obtener el dimensionado del otro transistor para un nivel de tensión de referencia determinado.

$$\frac{(W_p / L_p) \cdot K_p}{(W_n / L_n) \cdot K_n} = \left[\frac{V_{DD} - V_{ref} - V_T}{V_{ref} - V_{ss} - V_T} \right]^2 \quad (\text{Ec. 5.3})$$

5.4 Dimensionado del circuito

Una vez se ha completado la polarización del circuito se deben dimensionar los transistores que forman parte del puente de mezclado. El ancho de puerta de los transistores se establece en su valor mínimo, $0,35 \mu\text{m}$, ya que se trabaja con señales de alta frecuencia y una reducción del ancho del canal mejora notablemente las prestaciones del circuito. La tabla 5.3 muestra la influencia de la variación de W en los parámetros del mezclador.

Tabla 5.3. Influencia de la W de los MOSFET

Parámetros en función de W					
W	Ganancia	Ruido SSB	Ruido DSB	IIP3	OIP3
0,7	-4,64	36,84	33,81	20,11	15,47
1	-1,4	34,93	31,89	19,07	20,49
5	14,48	26	22,9	24,15	38,61
10	19,57	23,64	20,57	22,41	41,99
15	22,29	22,51	19,46	21,23	43,53
20	24,31	21,03	18,65	20,76	45,09
25	25,71	21,19	18,17	20,64	46,36
30	26,73	20,9	17,89	21,43	48,18
35	25,01	21,52	18,44	17,46	42,63
40	23,2	22,01	18,95	16,78	39,85

Representando gráficamente los resultados expuestos en la tabla se obtiene la figura 5.5.

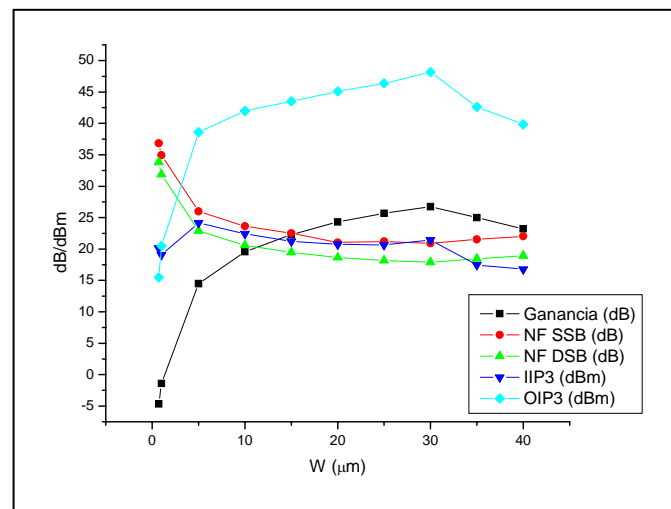


Figura 5.5. Variación de los parámetros con el dimensionado.

Como se desprende de la figura, las mejores prestaciones del circuito se obtienen con una anchura de canal de $30 \mu\text{m}$.

5.5 Adaptación de impedancia en las entradas

El circuito va a ser medido *on-waffer* y, por tanto, debe tener las entradas adaptadas a 50 Ohmios. Inicialmente, sin considerar ninguna red de adaptación de entrada, se obtienen las siguientes impedancias de entrada y coeficientes de onda estacionarios:

$$Z_{RF} = 32.43 - j21.63 \rightarrow VSWR_{RF} = 2 \quad (\text{Ec. 5.4})$$

$$Z_{LO} = 20 - j34.4 \rightarrow VSWR_{LO} = 3.82 \quad (\text{Ec. 5.5})$$

Como muestran las ecuaciones 5.4 y 5.5 las impedancias de las entradas RF y LO están bastante lejos de los valores deseados. En consecuencia, es necesario el empleo de una red de adaptación de impedancias. En la figura 5.6 se muestra la red de adaptación de entrada ideal para la realización del diseño junto al rango de trabajo de la misma dentro del diagrama de Smith.

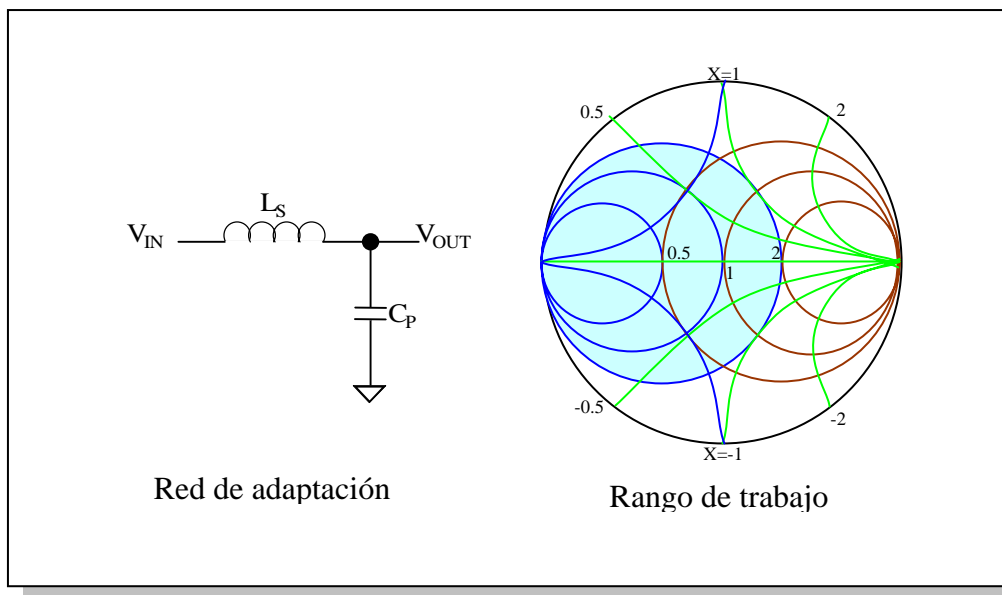


Figura 5.6. Red de adaptación empleada.

Partiendo de la red de adaptación mostrada en la figura 5.6 y ajustando los valores de la bobina y el condensador se obtuvieron los resultados mostrados en la figura 5.7.

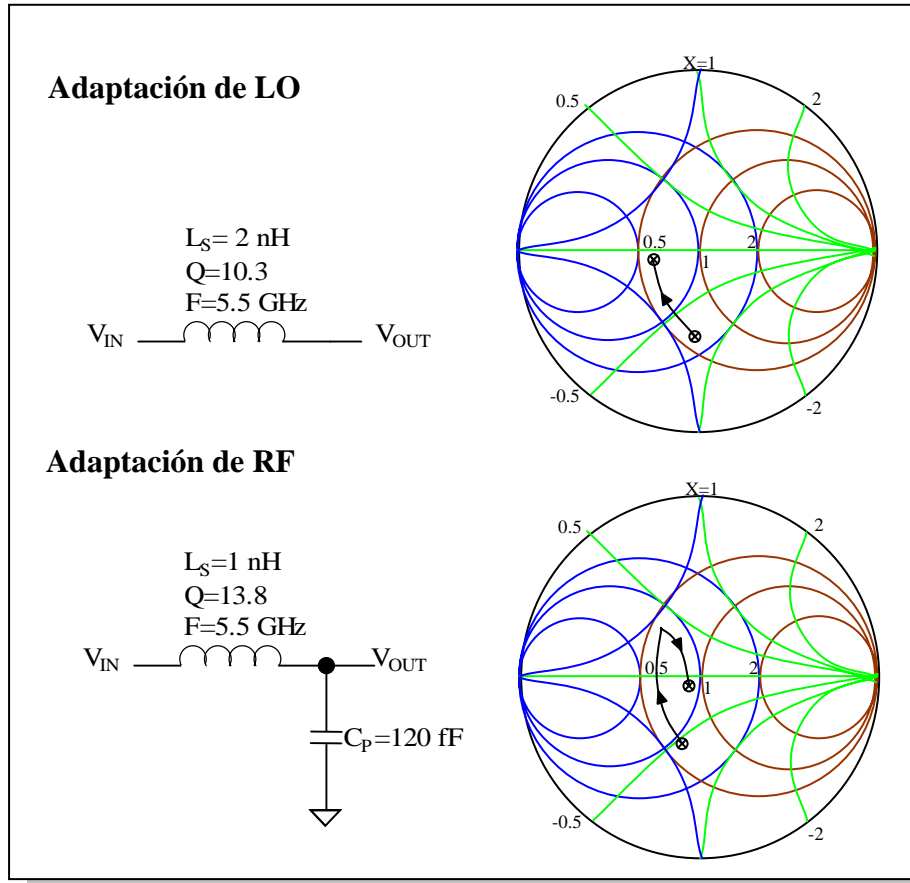


Figura 5.7. Adaptación de las entradas del mezclador.

Como puede observarse en la figura 5.7, en la entrada del oscilador local no se ha implementado totalmente la red de adaptación. Esto es debido a que para realizar el ajuste se precisaba de unos componentes con altas exigencias, por lo que se optó por ajustar únicamente mediante una bobina la entrada de LO. Las impedancias de entrada y coeficientes de onda estacionarios que se obtienen son los que se muestran a continuación:

$$Z_{RF} = 41.63 - j9.73 \rightarrow VSWR_{RF} = 1,32 \quad (\text{Ec. 5.6})$$

$$Z_{LO} = 31.23 - j2.19 \rightarrow VSWR_{RF} = 1,82 \quad (\text{Ec. 5.7})$$

5.6 Simulaciones del diseño

Una vez completado el ajuste del mezclador pasivo se puede proceder a la simulación del mismo para comprobar su correcto funcionamiento. En la figura 5.8 se muestra el esquemático del mezclador con las correspondientes etapas de polarización y adaptación de impedancia en las entradas.

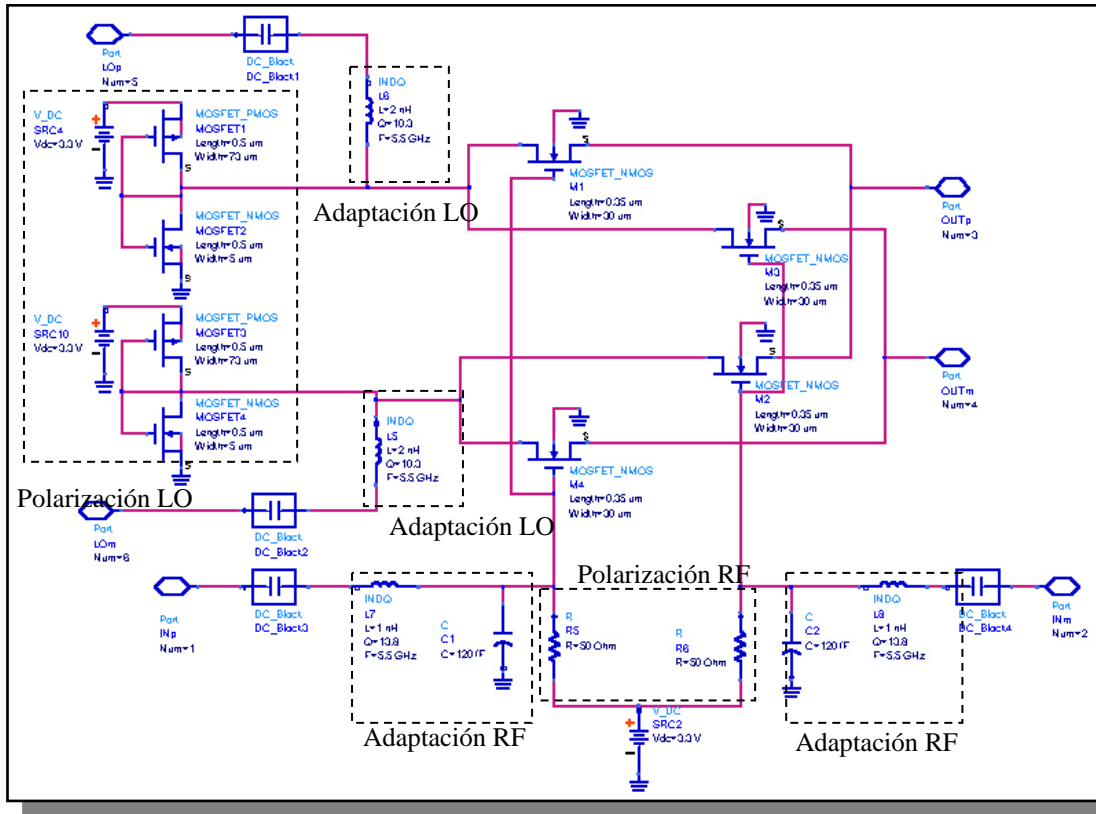


Figura 5.8. Esquemático del mezclador.

Teniendo en cuenta los modelos de los MOSFET que proporciona AMS:

Typical Mean: Considera los parámetros típicos obtenidos en la medida de las obleas.

Worst Power: Modela los parámetros para el peor caso de consumo de potencia.

Worst Speed: Modela los parámetros para el peor caso de velocidad de conmutación.

y partiendo del esquemático 5.8 se obtienen los resultados de simulación mostrados en la tabla

5.4

Tabla 5.4. Simulaciones con diferentes modelos

Simulaciones finales de la etapa de mezclado			
Parámetros	Typical Mean	Worst Speed	Worst Power
Ganancia (dB)	-7,58	-5,36	-14,72
VSWR RF	1,3	1,3	1,3
VSWR LO	1,83	3,13	1,05
NF SSB (dB)	19,78	20,09	24,08
NF DSB (dB)	16,6	16,78	21,15
IIP3 (dBm)	25 (aprox.)	20 (aprox.)	20 (aprox.)
OIP3 (dBm)	15 (aprox.)	10 (aprox.)	0 (aprox.)

Como era de esperar y al no considerar el amplificador, el mezclador presenta una ganancia negativa. El resto de los parámetros del circuito no han sufrido ningún tipo de variación, ajustándose los valores a lo obtenido a lo largo del diseño.

5.7 *Layout* del mezclador

Una vez finalizada la etapa de diseño y ajuste del mezclador pasivo, se ha implementado el *layout* del circuito, haciendo uso de la tecnología S35D4M5 de la fundidora AMS y software de diseño CADENCE. En la figura 5.9 se muestra una vista general del *layout* del mezclador pasivo.

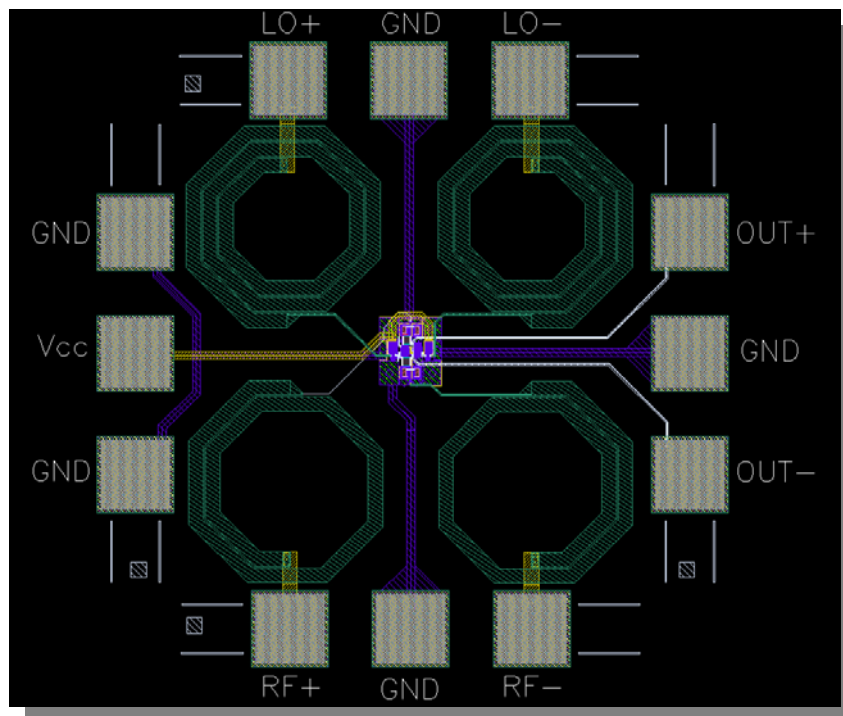


Figura 5.9. Vista del layout completo.

El *layout* mostrado en la figura 5.9 tiene unas dimensiones aproximadas de 781 μm x 775 μm . A pesar del gran tamaño del layout, el núcleo de mezclado tiene unas dimensiones aproximadas de 100 μm x 60 μm . Este aumento del tamaño del circuito, como puede apreciarse en la figura 5.9, se debe básicamente al uso de las bobinas para realizar la adaptación de impedancias y los *pads* de conexión para posibilitar la medida del circuito *on-waffer*.

La figura 5.10 muestra un detalle del núcleo del mezclador. En el centro se observa el puente de mezclado formado por los cuatro transistores MOSFET y, a ambos lados del mismo, se encuentran las referencias de tensión que ajustan la polarización en la entrada de LO. Finalmente en la parte superior e inferior, se sitúan las resistencias que ajustan la polarización

de la entrada de RF y los condensadores que forman parte de la etapa de adaptación de la entrada de RF.

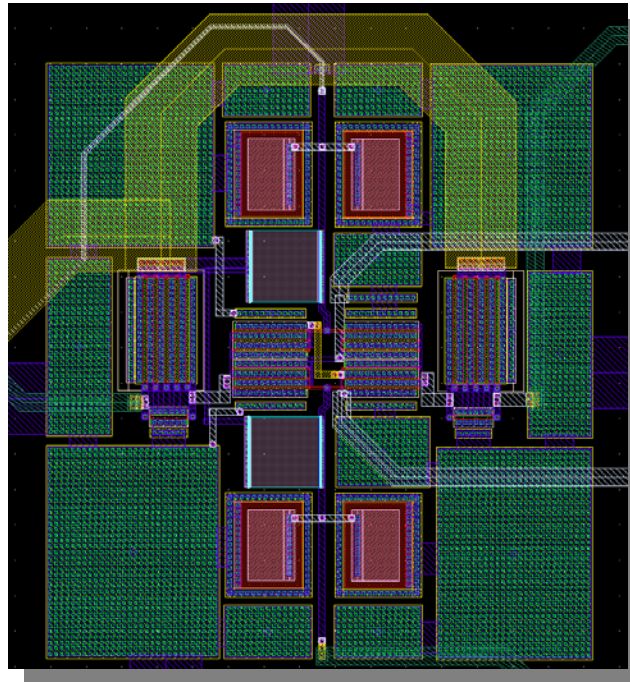


Figura 5.10. Detalle del núcleo del mezclador.

5.8 Simulaciones *Post-Layout*

Una vez realizado el *layout* del mezclador debe comprobarse el correcto funcionamiento del mismo. Así, en la figura 5.11 se muestra una simulación de parámetros S considerando como puerto de entrada la entrada de RF y como puerto de salida la entrada de LO.

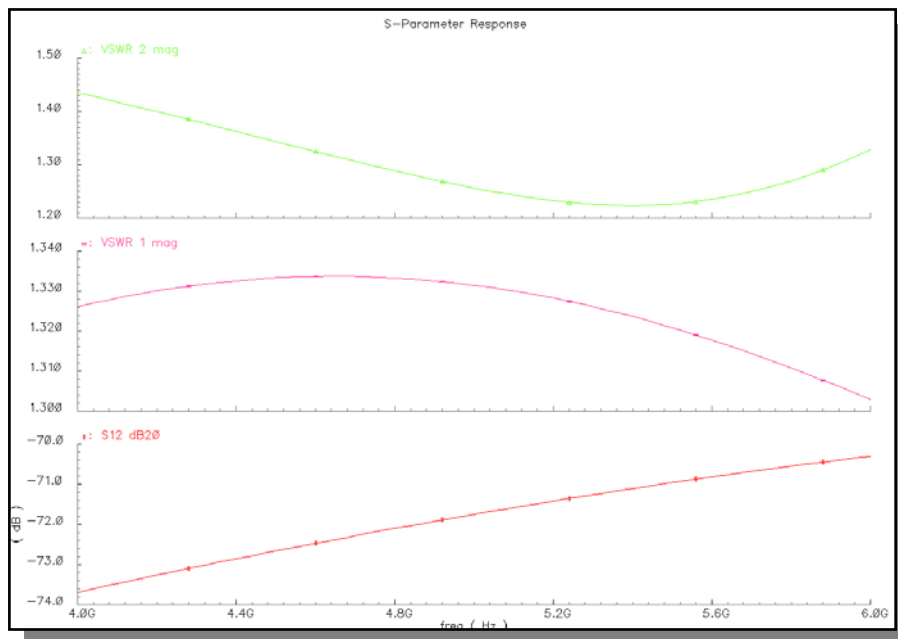


Figura 5.11. Simulación de parámetros S.

Como puede observarse el coeficiente de onda estacionaria en las entradas de RF y LO ha mejorado notablemente en la frecuencia de interés con respecto a la simulación a nivel de esquemático. Esta mejora es debido a que los *pads* hacen que se produzca una ligera variación en la red de adaptación de entrada. Por otro lado y como ya se comentó en el capítulo 3, al tratarse de un mezclador con las entradas de señal en puertos diferentes se produce un alto aislamiento entre las señales de RF y LO (-71 dB), aunque como se verá en el capítulo 7 el aislamiento en el diseño ha sido un aspecto fundamental.

En la figura 5.12 se muestra la simulación de ganancia del mezclador pasivo. Tal como se observó en la simulación a nivel de esquemático al tratarse de un mezclador pasivo, el sistema presenta pérdidas (13 dB).

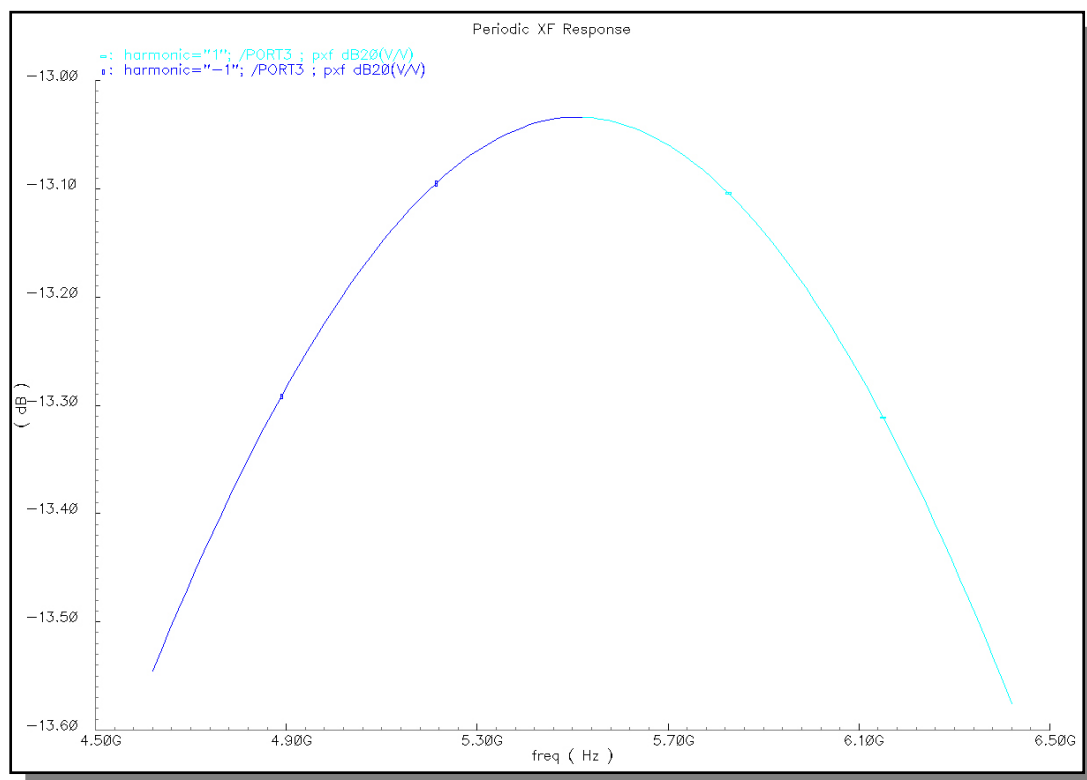


Figura 5.12. Ganancia del mezclador pasivo.

Una vez conocida la ganancia del mezclador, en la figura 5.13 se muestra la simulación de la figura de ruido.

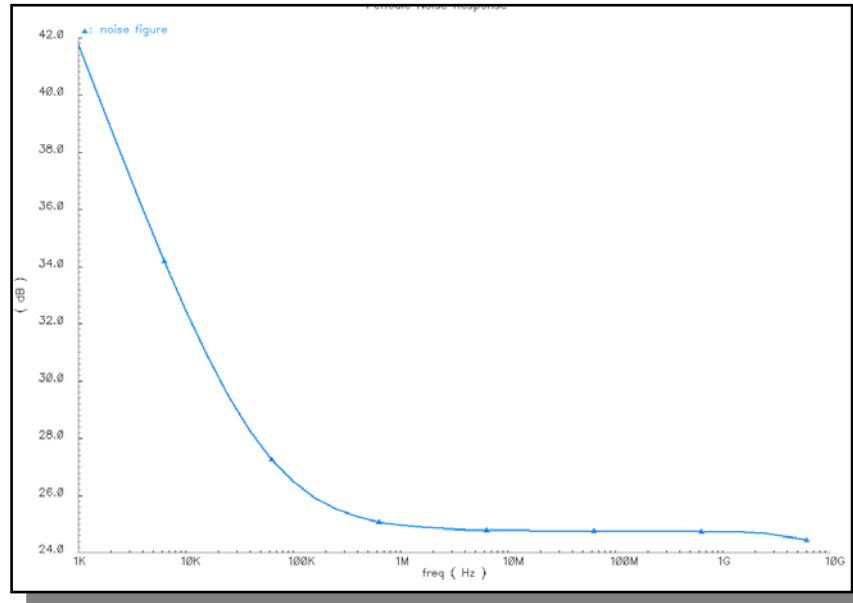


Figura 5.13. Simulación de figura de ruido.

Obsérvese como a baja frecuencia existe una gran aportación de ruido *flicker*, Sin embargo a la frecuencia de interés a la salida (20MHz) la figura de ruido alcanzada es muy similar a la obtenida inicialmente a nivel de esquemático, unos 24 dB.

Finalmente, para comprobar el correcto funcionamiento del circuito, en la figura 5.14 aparece la respuesta en frecuencia del mezclador. En esta simulación a la entrada de RF se ha situado un tono a la frecuencia de 5.52GHz y en la entrada de LO se situó un tono a la frecuencia de 5.5GHz. De esta forma a la salida del mezclador debe existir la resta de las frecuencias de RF y LO (20MHz).

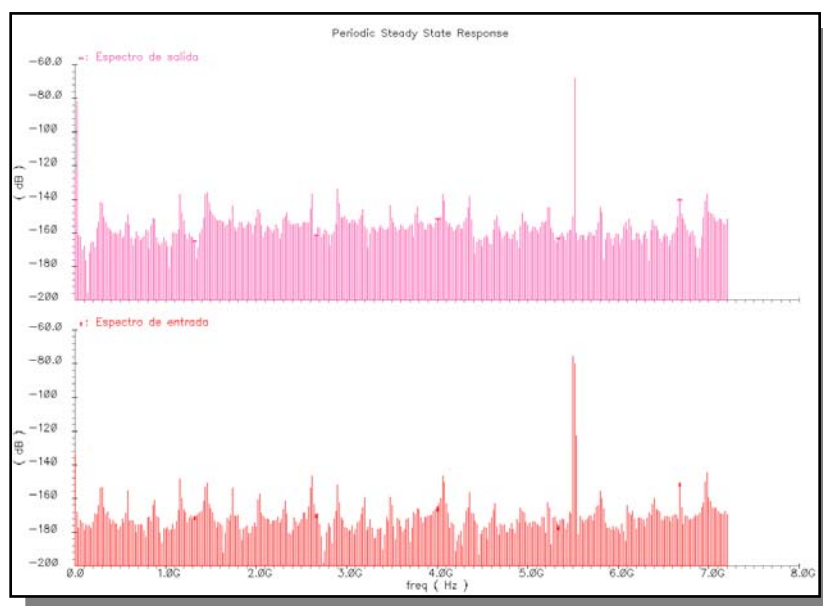


Figura 5.14. Respuesta espectral del mezclador.

En la figura 5.14 puede comprobarse como a la salida del mezclador está presente el tono a la frecuencia de 20MHz atenuado 13 dB debido a la ganancia de conversión del mezclador.

La linealidad del mezclador no pudo ser verificada a nivel de *layout* debido a problemas de convergencia en el simulador pero, considerando que los resultados obtenidos en el resto de las simulaciones son muy similares a los obtenidos en ADS a nivel de esquemático, es de esperar que la linealidad del circuito sea aproximadamente la misma que la obtenida en ADS, es decir, 20 dB.

Una vez completado el diseño del mezclador pasivo en el siguiente capítulo se procederá al diseño del amplificador operacional encargado de la amplificación de la señal en baja frecuencia para evitar las pérdidas que introduce el circuito diseñado.

CAPITULO 6

Diseño del amplificador operacional

6.1 Introducción

Para evitar las pérdidas que introduce el mezclador pasivo, en este capítulo se desarrollará una etapa de amplificación basada en un amplificador operacional totalmente diferencial. Mediante la introducción del amplificador en la cadena de recepción no sólo se pretende eliminar las pérdidas en la conversión del sistema sino que incluso se proporcione ganancia al sistema total y cierta acción de filtrado sobre las componentes de intermodulación de alta frecuencia generadas por el mezclador.

6.2 Etapa de entrada del amplificador

La topología elegida para la realización del amplificador operacional es la mostrada en la figura 6.1. Inicialmente se han evaluado las diversas topologías existentes en amplificadores operacionales [20] pero se ha optado por esta estructura por presentar un bajo consumo, una ganancia aceptable y lo más importante en este diseño, un buen ancho de banda. Como puede observarse en la figura 6.1 la etapa de entrada no es más que un amplificador diferencial con cargas activas. El empleo de las cargas activas hace que se mejore notablemente las

prestaciones del amplificador en cuanto a ganancia y linealidad frente a circuitos con cargas resistivas simples.

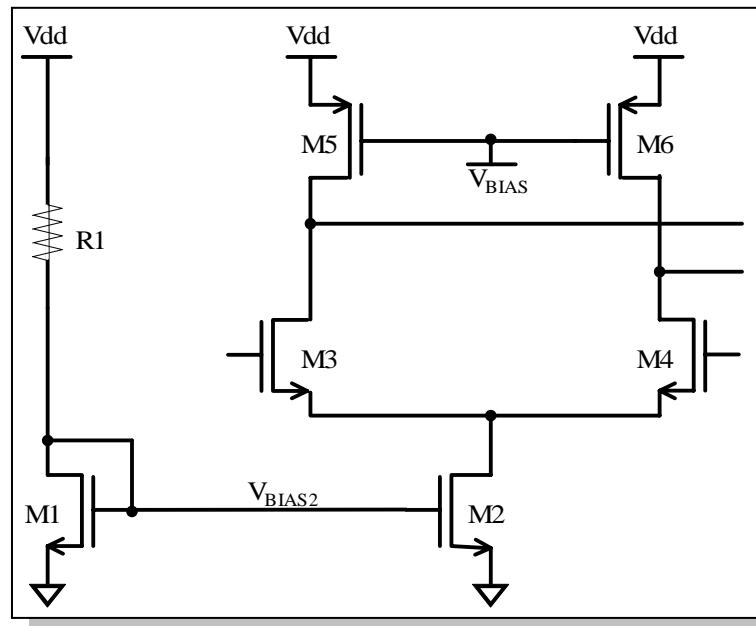


Figura 6.1. Etapa de entrada del amplificador.

Para la realización del diseño se debe tener en cuenta la polarización de cada uno de los transistores para garantizar que estos permanezcan siempre dentro de la región de saturación. La máxima excursión de salida diferencial que se puede obtener con el circuito es de 3,3V. En consecuencia estableciendo una excursión máxima de salida en cada rama de 1,65V quedan 1,65V para polarizar los transistores. Teniendo en cuenta los requerimientos en cuanto a excursión y estableciendo una corriente de polarización de 100 μ A se obtiene que los componentes del circuito quedan dimensionados y con las polarizaciones mostradas en la tabla 6.1.

Tabla 6.1. Dimensionado y polarización de los transistores

Transistor	Tensión (V_{GS})	W (μ m)	L (μ m)
M1	0.8	20	0.6
M2	0.8	20	0.6
M3 – M4	1.1	10	1.35
M5 – M6	1.4	4.55	1

Para obtener los valores de W y L mostrados en la tabla 6.1 se ha considerado que en la región trabajo del amplificador, los transistores deben encontrarse siempre en la región de saturación. La tensión V_{DS} mínima de los MOSFET viene por la ecuación 6.1.

$$V_{DSAT} = V_{GS} - V_T \quad (\text{Ec. 6.1})$$

Sabiendo que se dispone de 1,65V para la polarización se debe distribuir adecuadamente dicha tensión entre los transistores que componen el circuito. Así para el transistor M2 se ha establecido una V_{DSAT} de 0.3V puesto que su función consiste únicamente en proporcionar la corriente de polarización del par diferencial. Por contra los transistores M3, M4, M5 y M6 son los encargados de procesar la señal y deben tener V_{SAT} mayores. En este caso se ha optado por polarizar a los transistores NMOS con 0.6V y los PMOS con 0.8V puesto que estos últimos necesitan en general tensiones de polarización mayores. En la figura 6.2 se muestra como se reparte la tensión entre los transistores.

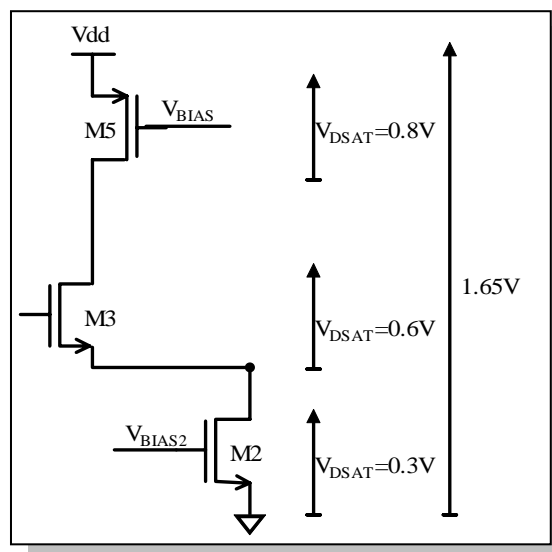


Figura 6.2. Polarización de los MOSFET.

Una vez distribuida la tensión para polarizar el circuito, a partir de la ecuación 6.1 se obtiene la tensión V_{GS} mínima de cada uno de los transistores. Teniendo en cuenta la ecuación de los transistores MOSFET en la región de saturación (Ecuación. 6.2) se pueden dimensionar los transistores y obtener la relación de aspecto de los mismos para la corriente especificada.

$$I_D = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (\text{Ec. 6.2})$$

Para completar el ajuste de la etapa de entrada solo resta dimensionar correctamente la fuente de corriente del circuito. Este ajuste se consigue modificando la resistencia limitadora de corriente de la fuente. Para ello teniendo en cuenta que la caída de tensión en la resistencia es de 2.4V y la corriente que la atraviesa es de 100 μ A, se obtiene directamente que la resistencia debe tener un valor de 24K Ω .

6.3 Diseño del CMFB

La etapa de CMFB (*Common Mode Feedback*) es imprescindible en el diseño de un amplificador totalmente diferencial. En el caso de un amplificador asimétrico el nivel de polarización a la salida está fijado por el espejo de corriente. Pero en el caso del amplificador totalmente diferencial como el mostrado en la figura 6.1, esta tensión de polarización en la salida depende únicamente de la tensión y la corriente de polarización del circuito. Esta dependencia de la polarización del circuito implica que una pequeña variación de la polarización debido a los procesos de fabricación hace que se produzca un desajuste del modo común en la salida del circuito.

En la figura 6.3 se muestra esquemáticamente el funcionamiento del CMFB. Como puede observarse el sistema presenta una red de realimentación que muestrea en todo momento la tensión de salida en modo común del amplificador y la compara con una tensión de referencia (V_{ref}). En función de esa comparación se actúa sobre la fuente de corriente que polariza el circuito para conseguir mantener constante la tensión en la salida.

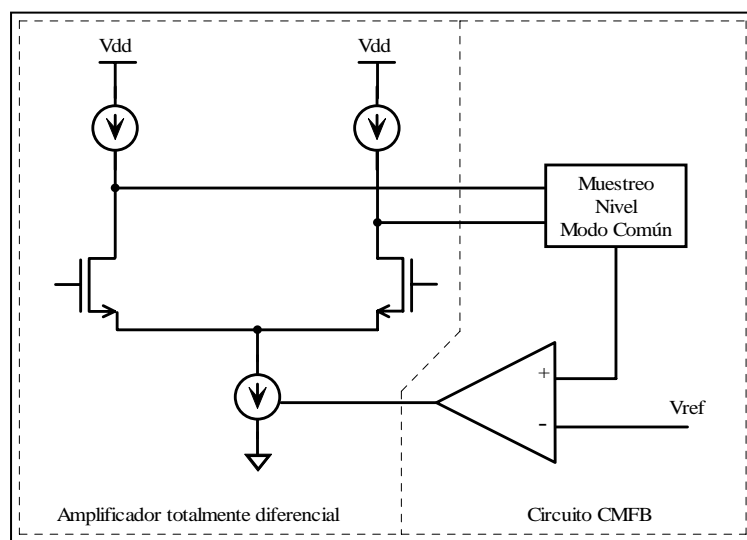


Figura 6.3. Esquema de funcionamiento del CMFB.

De la figura 6.3 se desprende que el circuito de CMFB tiene que presentar una alta impedancia de entrada para que su influencia en la señal de salida sea despreciable en comparación con la impedancia de salida del amplificador. En la figura 6.4 se muestra el esquema de la etapa implementada en el diseño.

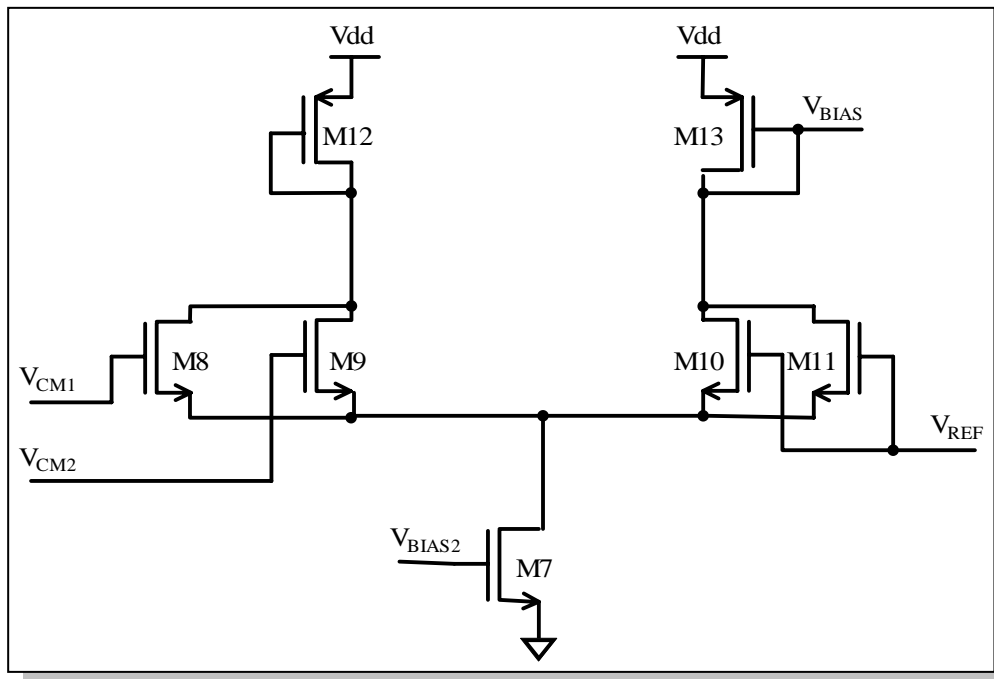


Figura 6.4. Esquemático del CMFB.

Buscando correspondencia entre el esquemático de la figura 6.4 y el diagrama de la figura 6.3, la red de muestreo de los niveles del modo común lo constituyen los transistores M8 y M9 y el comparador de las señales está constituido directamente por el amplificador diferencial. En este circuito cuando se produce un aumento en el nivel del modo común en la salida del amplificador, aumenta la corriente por la rama de M12 y, en consecuencia, se produce una disminución de la corriente por la rama de M13. Teniendo en cuenta que la tensión en M10 y M11 está fijada por V_{REF} , para compensar la disminución de la corriente debe producirse una bajada de la tensión V_{BIAS} , que es la encargada de polarizar a los transistores M5 y M6 del amplificador, compensándose de esta forma el aumento del modo común.

Para el dimensionado de los transistores que forman parte del CMFB se procede de igual forma que en el caso de la etapa de entrada del amplificador. Dimensionando los transistores para una máxima excursión y teniendo en cuenta que la corriente por el transistor M7 es de $100 \mu\text{A}$, en la tabla 6.2 se muestra tanto el dimensionado como el nivel de polarización de cada uno de los transistores.

Tabla 6.2. Dimensionado del CMFB

Transistor	Tensión (V_{GS})	W (μm)	L (μm)
M7	0.8	20	0.6
M8-M9	1.2	1.35	1
M10 – M11	1.2	1.35	1
M12 – M13	1.4	4.55	1

6.4 Diseño de la etapa de salida

La etapa de salida del amplificador debe ser una etapa que presente un buen rango dinámico así como un ancho de banda suficiente para no interferir en la señal de salida. Teniendo en cuenta las condiciones impuestas, la etapa de salida elegida para la realización del diseño es la mostrada en la figura 6.5 [21].

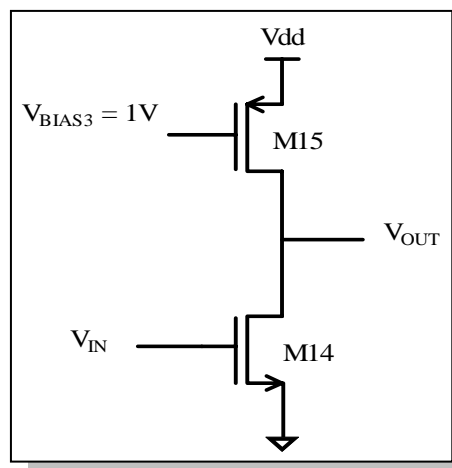


Figura 6.5. Etapa de salida del amplificador.

Al igual que en el caso del amplificador y el CMFB el dimensionado de los transistores que forman parte de la estructura se dimensionan atendiendo a la excursión de salida del circuito. De esta forma en la tabla 6.3 se muestra la polarización de cada uno de los transistores teniendo en cuenta que la corriente que atraviesa la etapa es de $200 \mu\text{A}$.

Tabla 6.3. Dimensionado de la etapa de salida

Transistor	Tensión (V_{GS})	W (μm)	L (μm)
M14	2	1	0.35
M15	1	2	0.35

6.5 Simulaciones del amplificador

Una vez completado el proceso de diseño del amplificador debe comprobarse el correcto funcionamiento del mismo. De esta forma en la figura 6.6 se muestra una simulación en AC del amplificador en lazo abierto.

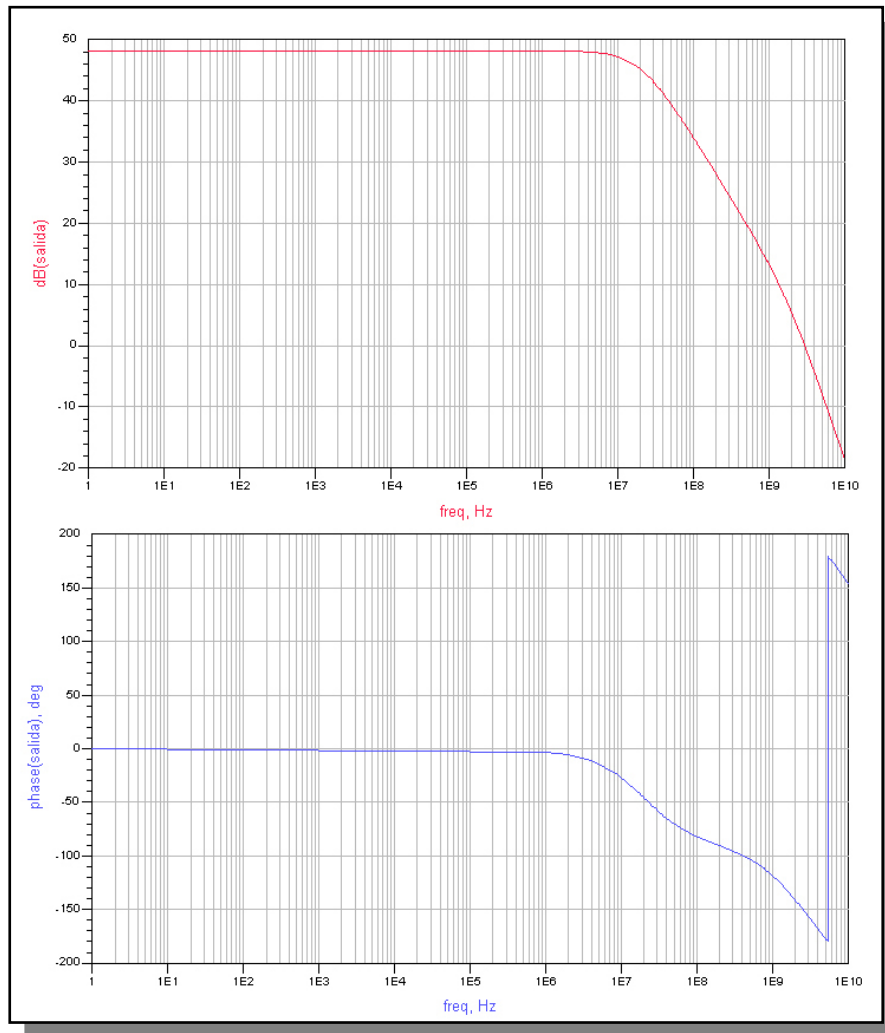


Figura 6.6. Amplificador completo en lazo abierto.

Como puede observarse en la figura 6.6, el amplificador presenta una ganancia en lazo abierto de unos 48 dB y un margen de fase de 35°, lo que significa que no va a ser necesaria la compensación de posibles inestabilidades del amplificador. En la figura 6.7 se muestra la respuesta del amplificador en lazo cerrado (el amplificador se ha realimentado con unas resistencias de 20 k Ω).

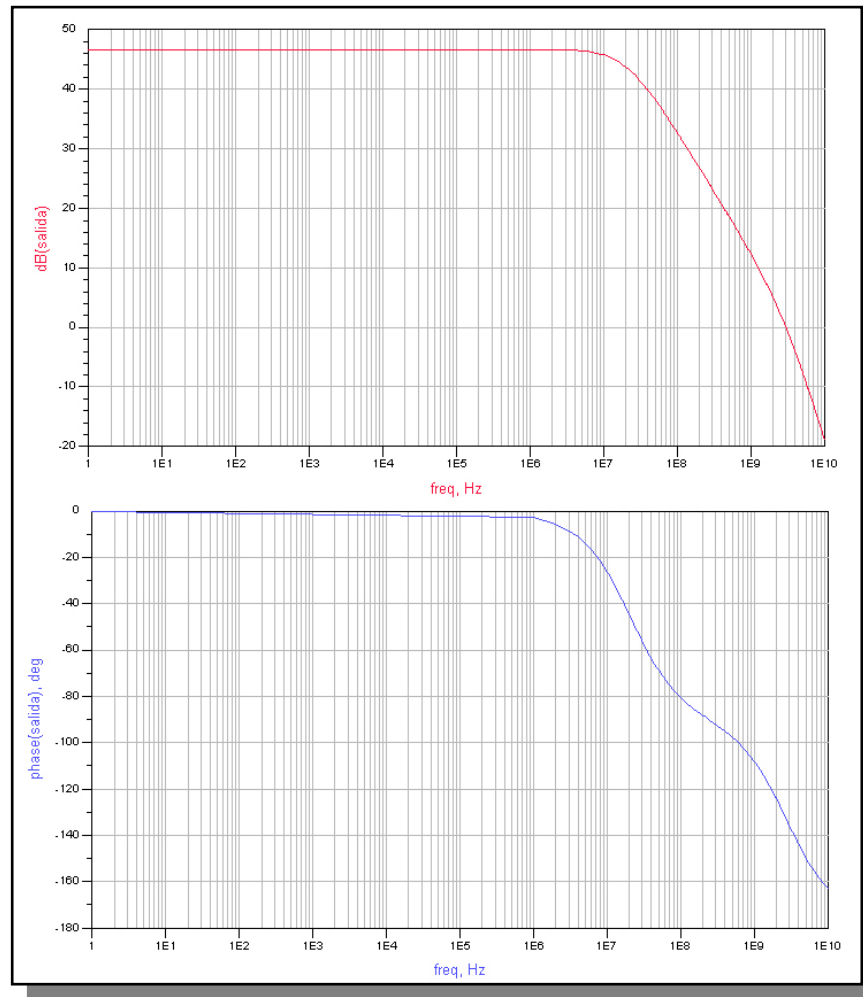


Figura 6.7. Respuesta del amplificador en lazo cerrado.

Como se desprende de la figura 6.7, en lazo cerrado el amplificador presenta una ganancia de unos 46 dB y un margen de fase de unos 50° aproximadamente.

Una vez comprobada la respuesta en frecuencia del amplificador operacional tanto en lazo abierto como en lazo cerrado, en la figura 6.8 se muestra la respuesta transitoria del amplificador. Para la realización de la simulación se ha introducido una señal senoidal con una frecuencia de 20 MHz y una amplitud de 10 mV. A pesar de que la señal de entrada es muy pequeña se observa como a la salida del amplificador se obtiene una buena respuesta, consecuencia de la ganancia que presenta el circuito. Por otro lado una señal de entrada de 10 mV es una señal de entrada grande para las potencias de entrada que se le van a introducir al amplificador, ya que la señal de entrada procede de la etapa de mezclado y tendrá una amplitud de unos pocos cientos de micro voltios.

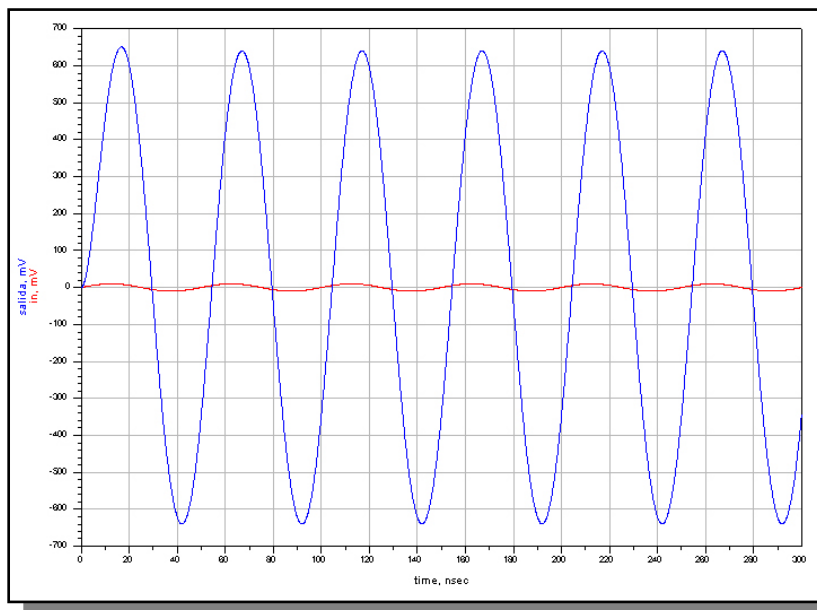


Figura 6.8. Respuesta transitoria del amplificador

Para finalizar con las simulaciones del amplificador, en la tabla 6.4 se muestran los resultados obtenidos simulando el circuito con los diversos modelos para los transistores suministrados por AMS.

Tabla 6.4. Simulaciones del amplificador con distintos modelos

Simulaciones amplificador en lazo abierto			
Parámetros	Typical Mean	Worst Speed	Worst Power
Ganancia (dB)	48.8	53.66	45.67
Ancho de Banda (MHz)	20	18	25

Simulaciones amplificador en lazo cerrado			
Parámetros	Typical Mean	Worst Speed	Worst Power
Ganancia (dB)	43.34	46.75	44.21
Ancho de Banda (MHz)	23	21	22.5

6.6 Layout del amplificador

Una vez realizado el diseño y comprobado mediante simulaciones que es valido para la implementación, pasamos a la realización del *layout*. Este circuito presenta estructura diferencial y, por tanto, debemos tener especial cuidado en la realización del *layout* intentando que los componentes queden lo más próximos posible entre ellos para evitar diferencias grandes entre los diversos componentes. Este aspecto es si cabe más crucial en el diseño del *layout* del CMFB ya que es la parte encargada de la corrección de este tipo de fenómenos en el circuito. Una vez hechas estas consideraciones previas, en la figura 6.9 se muestra una visión

general del *layout* del amplificador. Nótese que la mayor parte del área está ocupada por las estructuras de medida aunque el núcleo del amplificador ocupa solo $4200 \mu\text{m}^2$.

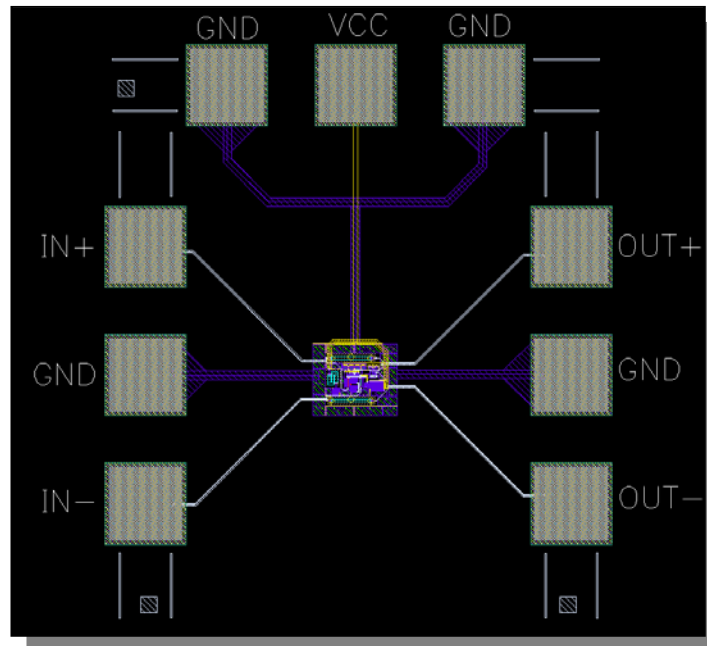


Figura 6.9. Vista general del layout del amplificador.

En la figura 6.10 se muestra un detalle del núcleo del amplificador. Puede observarse en el centro el conjunto del CMFB y de la etapa de entrada del amplificador. A la derecha de los mismos se encuentra la etapa de salida del circuito y la referencia de tensión que establece el nivel de tensión de modo común. Finalmente a la derecha puede observarse el espejo de corriente.

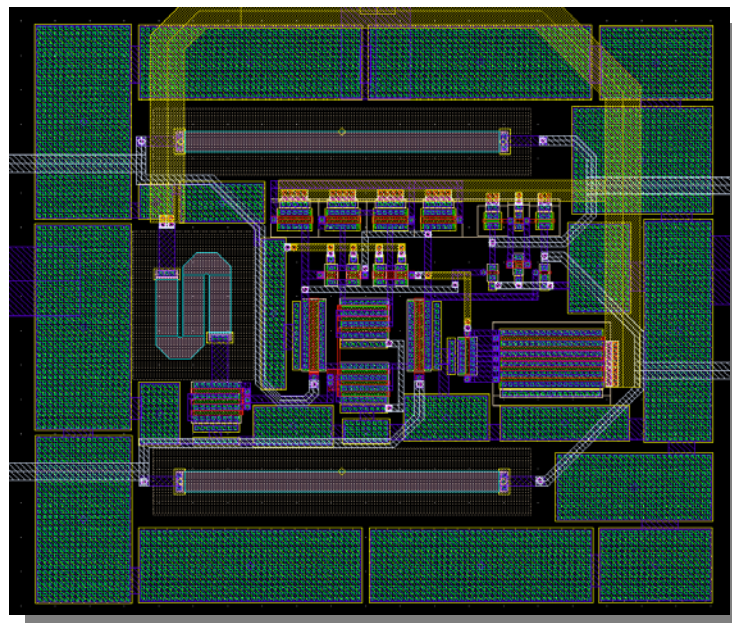


Figura 6.10. Detalle del núcleo del amplificador.

6.7 Simulaciones *Post-Layout*

Con el *layout* realizado sólo resta comprobar el correcto funcionamiento del mismo. Para ello en la figura 6.11 se muestra la respuesta en frecuencia del amplificador en lazo cerrado.

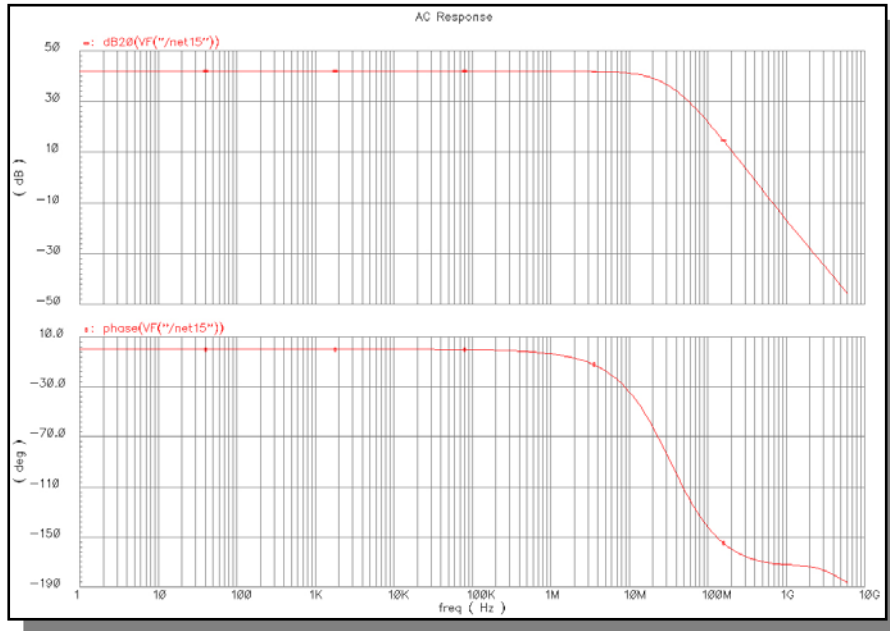


Figura 6.11. Respuesta en frecuencia del amplificador.

Como puede observarse en la figura 6.11, en la simulación *post-layout* el amplificador presenta una respuesta muy similar a las obtenidas anteriormente a nivel de esquemático. En la figura 6.12 se muestra la simulación en régimen transitorio del amplificador.

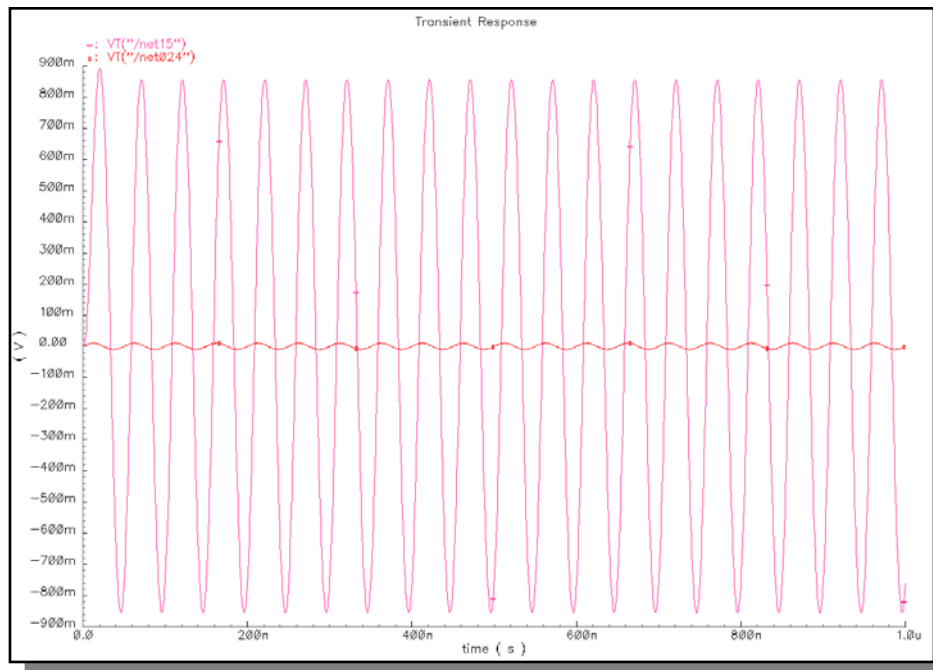


Figura 6.12. Respuesta transitoria del amplificador.

Para finalizar con las simulaciones del amplificador, en la tabla 6.5 se muestran los resultados obtenidos tanto de ganancia como de ancho de banda considerando las tolerancias de las resistencias implicadas el diseño.

Tabla 6.5. Influencia de la tolerancia de las resistencias

Resistencia de Polarización			
Tolerancia	Valor(Ω)	Ganancia (dB)	Ancho de Banda (MHz)
-25%	11250	40	25
+25%	18750	43,06	20,22
Resistencia de Realimentación			
Tolerancia	Valor(Ω)	Ganancia (dB)	Ancho de Banda (MHz)
-25%	15000	41,38	23
+25%	25000	33,25	25

Con el diseño del mezclador pasivo en el capítulo anterior y el diseño del amplificador totalmente diferencial en este capítulo, para la conclusión del diseño sólo resta la unión del amplificador y el mezclador. El desarrollo de la unión de ambos circuitos se llevará a cabo en el próximo capítulo donde se comprobará que el circuito resultante cumple las especificaciones esperadas.

CAPITULO 7

Mezclador con etapa de amplificación

7.1 Introducción

Una vez completado los diseños del mezclador y de la etapa de amplificación, en este capítulo, se finalizará la realización del diseño con la unión de ambos circuitos. Así se realizarán simulaciones que mostrarán la influencia que produce la unión de ambos circuitos sobre las prestaciones del conjunto. Finalmente se presentará el layout del sistema completo y las simulaciones *post-layout* del mismo.

7.2 Simulación del conjunto

En la tabla 7.1 se muestra las simulaciones a nivel de esquemático del mezclador con la etapa de amplificación. En la tabla puede observarse como los distintos parámetros del mezclador se ven influenciados al añadir el amplificador. Entre estos parámetros cabe destacar la ganancia que como es lógico ha mejorado notablemente. Otro parámetro que se ve influenciado positivamente es la linealidad. Esta mejora se debe a que el amplificador no presenta un ancho de banda infinito y, en consecuencia, actúa como filtro sobre las componentes de

intermodulación a altas frecuencias, mejorando de esta forma tanto el IIP3 como el OIP3 del conjunto.

Tabla 7.1. Simulaciones del sistema completo con distintos modelos

Simulaciones finales del sistema completo			
Parámetros	Typical Mean	Worst Speed	Worst Power
Ganancia (dB)	33,67	31,40	25,86
VSWR RF	1,30	1,31	1,30
VSWR LO	1,69	2,90	1,04
NF SSB (dB)	35,49	33,88	42,08
NF DSB (dB)	32,47	30,85	39,07
IIP3 (dBm)	45(aprox.)	43(aprox.)	40(aprox.)
OIP3 (dBm)	82(aprox.)	75(aprox.)	65(aprox.)

Observando la tabla 7.1 puede comprobarse como la figura de ruido ha sufrido un aumento considerable. Este aumento en la figura de ruido se verifica mediante la fórmula de Friis para la determinación de la figura de ruido en cadenas de recepción.

$$NF_T = NF_{S1} + \frac{NF_{S2}}{G_{S1}} + \frac{NF_{S3}}{G_{S1} \cdot G_{S2}} + \dots \quad (\text{Ec. 7.1})$$

Esta ecuación implica que la figura de ruido de la segunda etapa es atenuada por la ganancia de la primera etapa. Sin embargo, en nuestro caso la primera etapa presenta pérdidas y por tanto la figura de ruido total se ve amplificada por dichas pérdidas.

7.3 Layout del mezclador con el amplificador

En la figura 7.1 se muestra una vista general del layout del mezclador con la etapa de amplificación. Como puede observarse la mayor parte del área la ocupan las bobinas que forman parte de las redes de adaptación de impedancias y los *pads*. El centro lo forma solamente el mezclador con la etapa de amplificación. En la parte superior e inferior del diseño se encuentran los *pads* correspondientes a las señales del oscilador local y la señal de radiofrecuencia. A la izquierda del mismo se sitúan los *pads* de alimentación del circuito y a la derecha los correspondientes a los terminales de la señal de frecuencia intermedia.

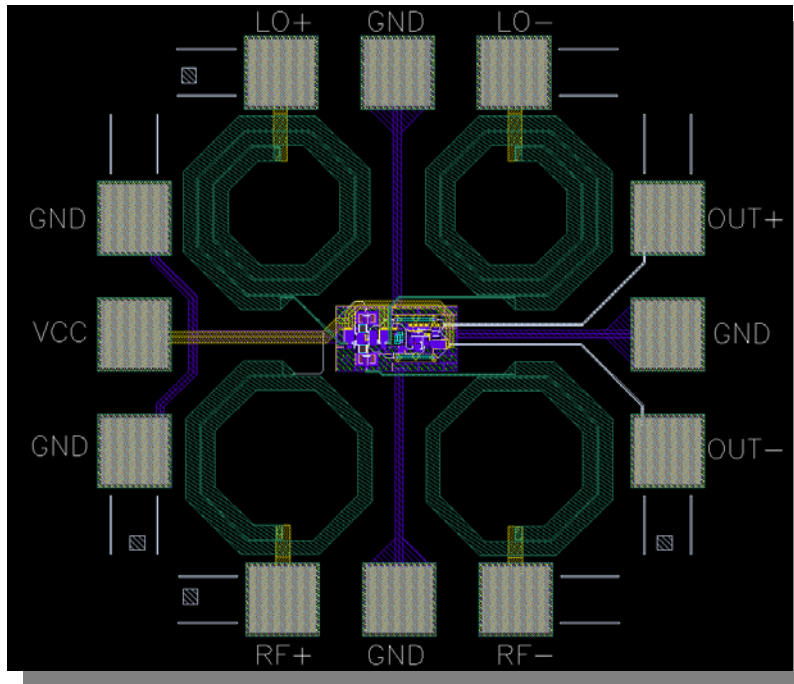


Figura 7.1. *Layout* del mezclador con la etapa de amplificación.

A modo de detalle en la figura 7.2 se muestra una vista general del núcleo del circuito donde se puede observar a la izquierda del mismo la etapa de mezclado constituida por los MOSFET con sus correspondientes estructuras de polarización y parte de las redes de adaptación de entrada. Por otro lado a la derecha de la figura se observa la estructura del amplificador operacional.

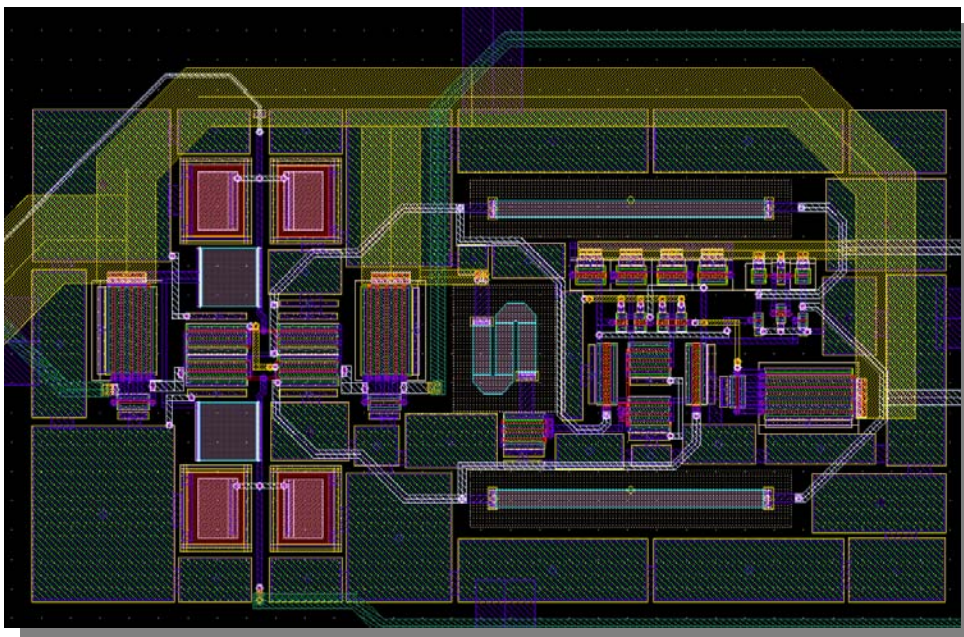


Figura 7.2. Detalle del núcleo del circuito.

7.4 Simulaciones *Post-Layout*

Para comprobar el funcionamiento del mezclador con la etapa de amplificación deben realizarse las simulaciones pertinentes. En la figura 7.3 se muestra la simulación de los parámetros S del sistema.

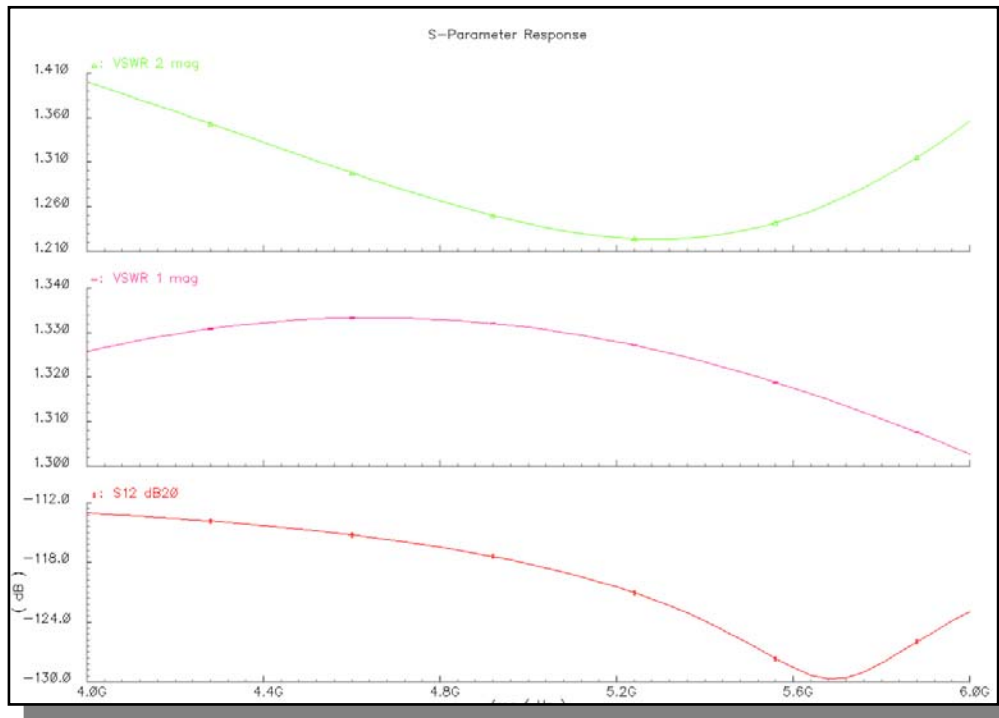


Figura 7.3. Simulación de parámetros S.

Como puede observarse el conjunto presenta una buena adaptación de entrada ya que los coeficientes de onda estacionaria tienen valores muy próximos a la unidad. Por otro lado el sistema proporciona un buen aislamiento entre las entradas de RF y LO (120 dB).

Una vez comprobada la adaptación de impedancias en las entradas, en la figura 7.4 se muestra la simulación de ganancia del conjunto mezclador – amplificador. En esta simulación se ha situado un tono de 5GHz con una potencia 0 dBm y se ha representado la potencia del armónico fundamental en la salida del sistema. De la figura 7.4 se desprende ganancia del conjunto está en torno a los 43 dB, observándose como se han contrarrestado con creces las pérdidas que inicialmente introducía el mezclador solo.

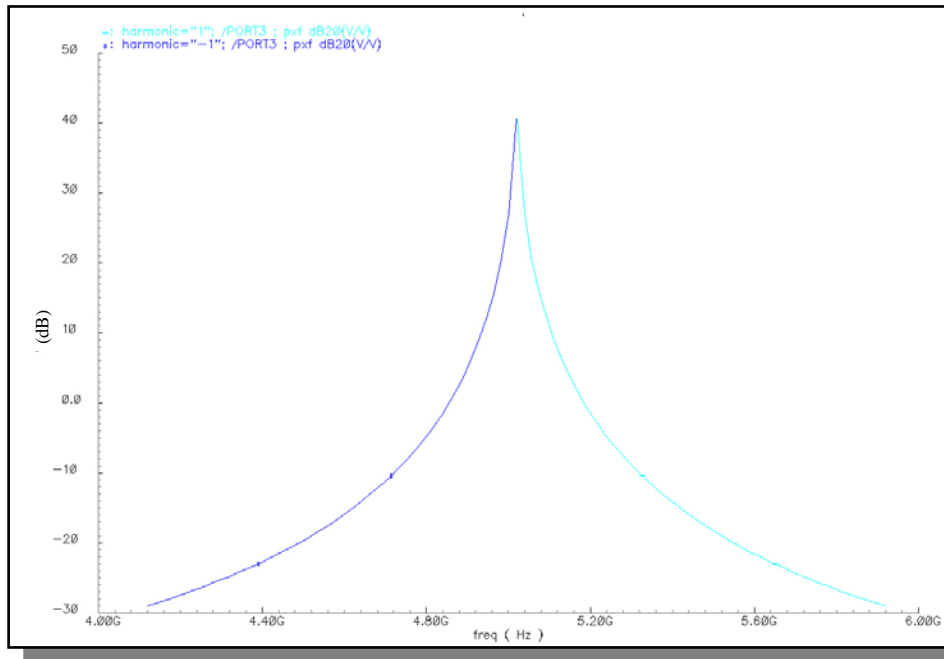


Figura 7.4. Simulación de ganancia del mezclador con etapa de amplificación.

Continuando con la comprobación del *layout* del conjunto, en la figura 7.5 aparece la simulación de la figura de ruido. Como se ha comentado, la figura de ruido del mezclador con la etapa de amplificación ha aumentado respecto a la figura del ruido del mezclador por separado (45 dB). Por otro lado, se observa también que el aporte de ruido *flicker* es el más importante a baja frecuencia.

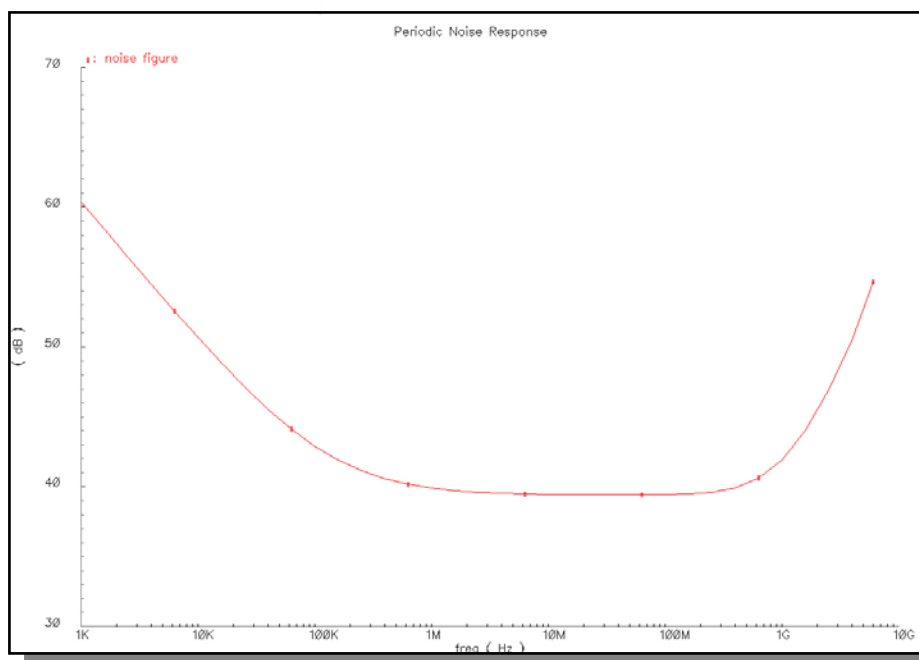


Figura 7.5. Figura de ruido del conjunto.

Para finalizar con la comprobación del sistema en la figura 7.6 se muestra la respuesta en frecuencia del conjunto. Como puede observarse, el circuito realiza las tareas de mezclado de forma adecuada. Para la comprobación en la entrada de RF se colocó un tono a la frecuencia de 5.52 GHz y en la entrada de LO un tono de 5.5GHz, en la salida del sistema aparece un tono con una frecuencia de 20 MHz.

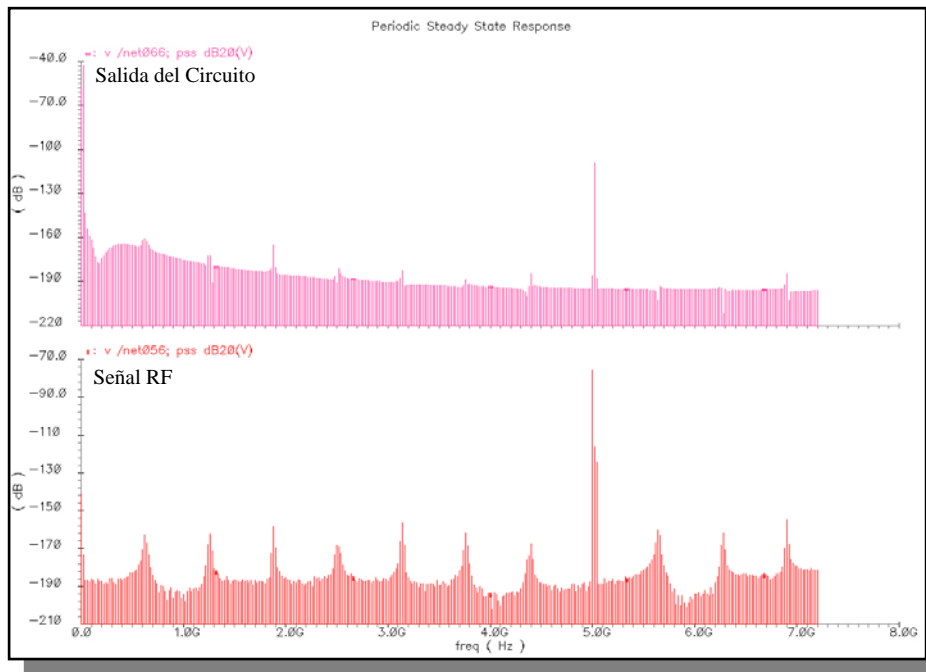


Figura 7.6. Respuesta en frecuencia.

7.5 Acoplamiento de señales

Uno de los aspectos más delicado a la hora de realizar el *layout* ha sido el problema de los acoplamientos de señales. Este problema se ve agudizado en cruces de pistas donde los niveles de potencia de señal manejados presentan una gran diferencia entre ellos. En este caso, en la pista que transporta la señal de menor potencia aparece una interferencia que puede influir en el funcionamiento final del circuito.

Para evitar que se produzcan fenómenos de acoplamiento es recomendable que los metales empleados para la implementación de las pistas estén lo más separado posible entre ellos y que los anchos de las pistas no sean excesivamente grandes para intentar conseguir que la superficie de cruce entre las pistas sea lo menor posible.

En el del diseño del mezclador con etapa de amplificación se ha tenido especial cuidado en la disposición de los componentes para evitar que se produzcan cruces entre pistas con gran diferencia de potencia entre ellas, en el caso de la entrada de la señal de RF y la señal del oscilador local se ha producido inevitablemente un pequeño cruce. En la figura 7.7 se muestra la implementación del cruce sin tener ninguna consideración a la hora de realizarlo. En este caso se han empleado dos pistas de metales muy poco separados y unos anchos de pista considerables.

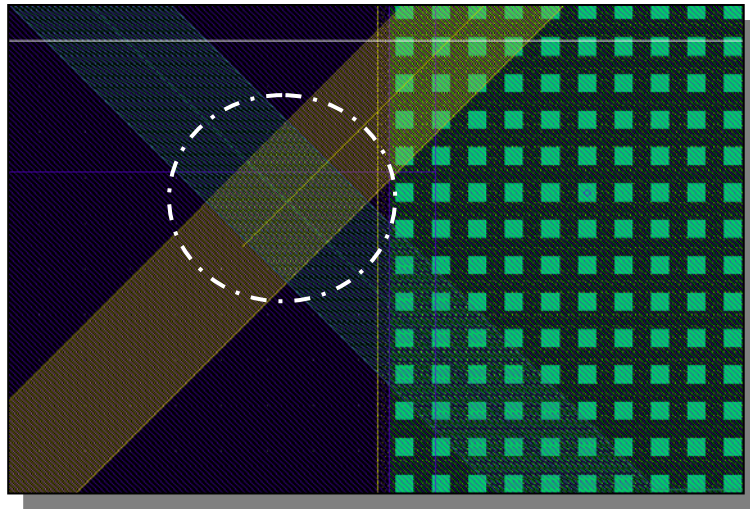


Figura 7.7. Cruce de pistas mal realizado.

En la figura 7.8 se observa como el cruce de señal no solo afecta a la señal de RF, sino que también se ve reflejado en la señal de salida del circuito, ya que puede observarse como en la salida aparece un nivel de continua que puede influir en el funcionamiento de etapas posteriores.

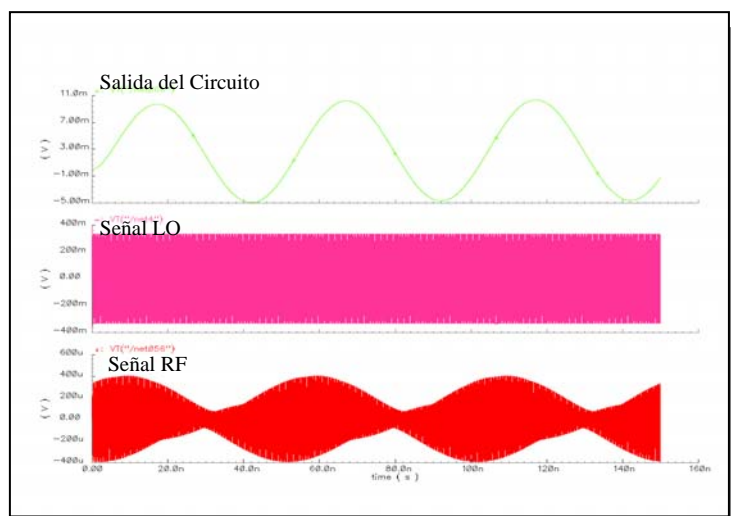


Figura 7.8. Respuesta transitoria con cruce de señales.

Por otro lado teniendo en la figura 7.9 se muestra el cruce de pistas teniendo en cuenta las consideraciones expuestas anteriormente en cuanto a la distribución de las pistas en el momento del cruce. Como puede observarse en este caso se ha utilizado para la implementación del cruce metales bastante separados y pequeños anchos de pista para la realización del cruce.

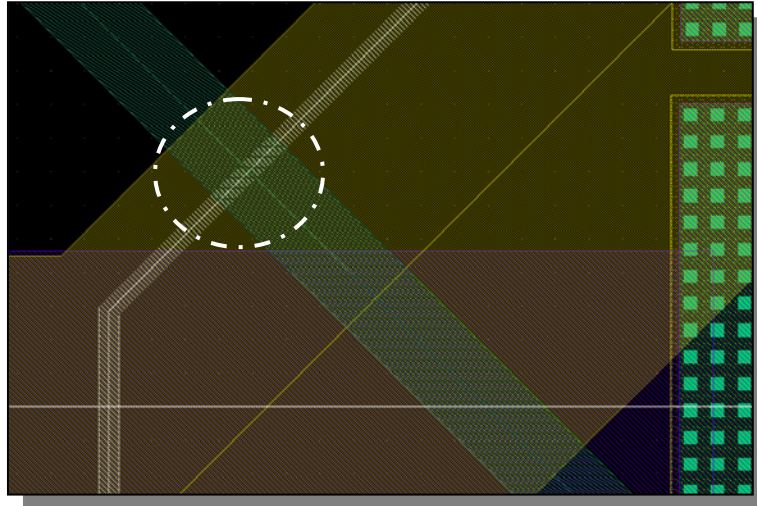


Figura 7.9. Cruce de pistas correctamente realizado.

Una vez realizado el cruce se obtiene una respuesta como la mostrada en la figura 7.10. Puede observarse como el acoplamiento de la señal del oscilador local en la señal de RF se ha reducido considerablemente. Así mismo se observa también en la figura 7.10 como el nivel de continua de la señal de salida ha disminuido considerablemente con respecto al obtenido en la figura 7.8.

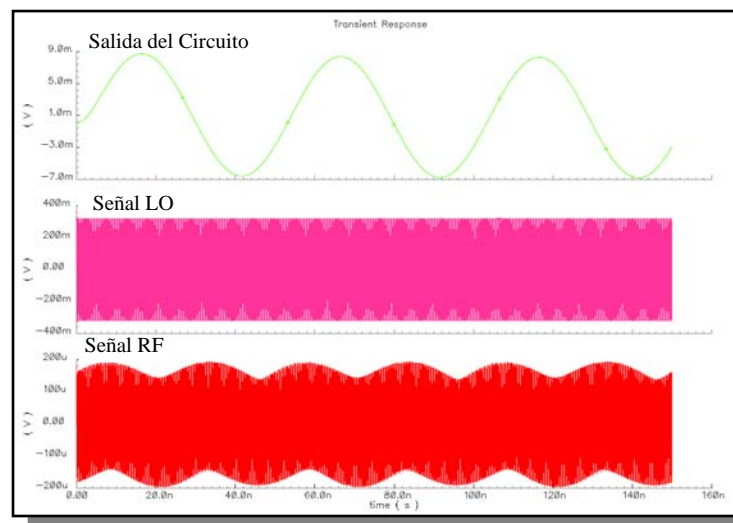


Figura 7.10. Respuesta transitoria minimizando el cruce de señales.

A pesar de que existe todavía un pequeño acoplamiento de señal en el sistema, este puede considerarse como aceptable. Además hay que tener en cuenta que el acoplamiento desde la entrada de RF del mezclador hacia la etapa de entrada del receptor, se verá atenuado por el aislamiento en inversa que presentará el amplificador de bajo ruido que se coloque en la entrada de la cadena de recepción. Por otro lado el pequeño nivel de continua que se encuentra en la salida puede eliminarse para que no interfiera en las etapas posteriores.

El diseño del mezclador con la etapa de amplificación se ha completado y solo resta comprobar el funcionamiento del mezclador dentro de una cadena de recepción. Con la integración del mezclador dentro de la cadena de recepción se intentará verificar que el acoplamiento de señal que se ha producido no afecta al funcionamiento del sistema final y que se siguen cumpliendo las especificaciones obtenidas hasta el momento.

CAPITULO 8

Integración en una cadena de recepción

8.1 Introducción

Para comprobar el correcto funcionamiento del circuito diseñado, en este capítulo se mostrarán los resultados obtenidos una vez integrado el mezclador dentro de una cadena de recepción. Para ello el mezclador se conectará a la salida de un LNA diferencial desarrollado por Jesús Rubén Pulido Medina [1].

8.2 Consideraciones previas

Como ya se ha comentado en capítulos anteriores se pretende implementar un receptor de conversión directa. En la figura 8.1 se muestra un diagrama de bloques general, donde se aprecian las conexiones a realizar. Como se puede observar el mezclador se conectará a la salida del LNA diferencial.

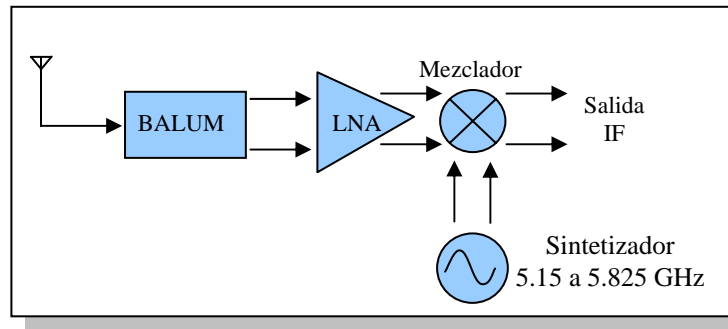


Figura 8.1. Diagrama de bloques.

8.3 Amplificador de bajo nivel de ruido (LNA)

La primera etapa de un receptor es típicamente un amplificador de bajo nivel de ruido (LNA). Su función principal es proporcionar suficiente ganancia para minimizar el impacto final del ruido introducido por las etapas posteriores (por lo general un mezclador). Además, un LNA debe introducir el menor ruido posible y debe ser capaz de operar sin distorsionar las señales. Frecuentemente debe presentar también una impedancia de entrada y salida específica.

En este apartado se comenzará determinando las prestaciones requeridas para amplificadores de bajo nivel de ruido en sistemas de RF. Posteriormente, se analizarán las características del LNA diseñado por Jesús Rubén Pulido Medina, el cual precederá al mezclador diseñado en este proyecto. Finalmente, se observarán los detalles de su implementación física mediante su correspondiente *layout*.

8.3.1 Especificaciones de LNAs

Los valores de los parámetros que se suelen dar como aceptables en el rendimiento de un LNA en sistemas de RF son los mostrados en la Tabla 8.1 [22].

Tabla 8.1. Valores típicos de los LNAs

NF	2 dB
$IIP3$	-10 dBm
Ganancia	15 dB
Impedancia de entrada	50 Ω
Impedancia de salida	50 Ω
Aislamiento inverso	20 dB
Factor de estabilidad	>1

En la tabla 8.1 se hace mención a un nuevo concepto: el factor de estabilidad. Este concepto determina el valor mínimo que debe poseer un amplificador para no ser inestable. Dicho valor es 1 y siempre que lo superemos, podemos asegurar esta condición.

8.3.2 Esquemático del LNA

En la Figura 8.2 se muestra el esquemático del LNA. Esta configuración se denomina LNA balanceado (*Balanced LNA*). Posee una estructura diferencial, ya que trata de solventar el problema del ruido en modo común. Este ruido aparece en la entrada de cualquier circuito no ideal. Por tanto, en un circuito diferencial aparecerá este ruido en sus dos entradas. Sin embargo, como un amplificador de este tipo amplifica la diferencia de potencial en sus entradas, la contribución de ruido común a estas desaparece. Esto elimina en gran medida el acoplamiento de ruido con el sustrato y entre otros parámetros hará al circuito menos sensible a la temperatura.

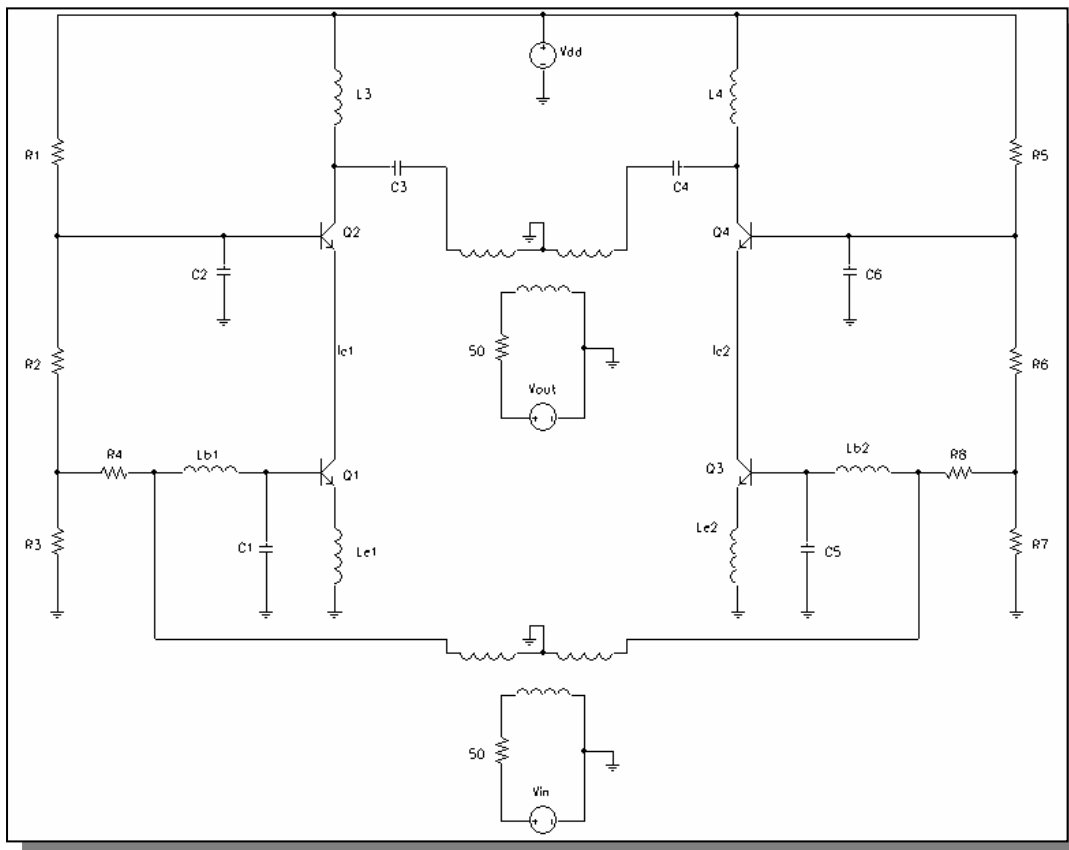


Figura 8.2. Esquemático del LNA.

El empleo de una estructura diferencial obliga a transformar la señal que llega de la antena de RF de asimétrica a diferencial. Esta conversión se consigue con el uso de un *balun* o transformador que inevitablemente introduce pérdidas en la señal. Dicho *balun* se muestra en la Figura 8.2 tanto en la entrada como en la salida del circuito.

8.3.3 *Layout* del LNA

En la Figura 8.3 se muestra el *layout* del circuito. Si se traza una línea imaginaria que corte por la mitad a la imagen verticalmente, se podrá observar una gran simetría. Esta simetría se hace fundamental para lograr el máximo apareamiento entre los componentes de las dos ramas que conforman el LNA. Por otro lado, en las esquinas del *layout* y en su núcleo interno, se observan las conexiones con el sustrato, las cuales evitarán fluctuaciones que pudieran afectar al circuito.

Para facilitar el conexionado del LNA con el exterior, se ha hecho uso de dos tipos de terminales: el denominado GSG (*Ground-Signal-Ground*), y el terminal SGS (*Signal-Ground-Signal*). El primero ha sido utilizado para la alimentación del circuito, mientras que el segundo se ha utilizado para introducirle la señal de RF y obtener la señal de salida del LNA.

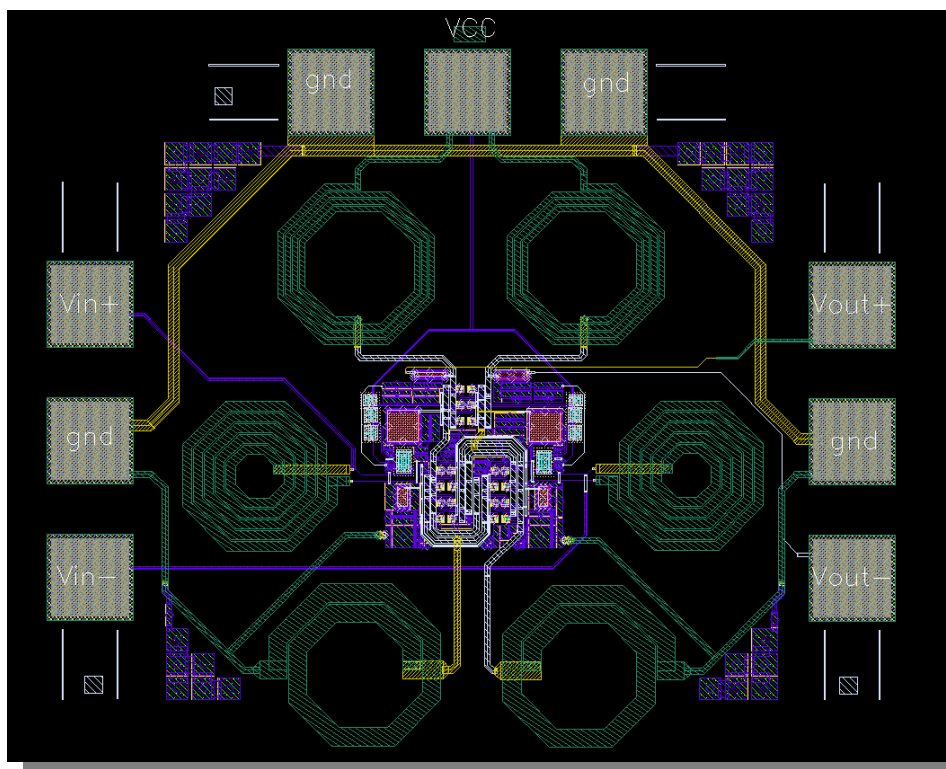


Figura 8.3. *Layout* del LNA.

8.3.4 Prestaciones del LNA

En la Tabla 8.2 se muestran los resultados obtenidos del LNA. Si comparamos estos valores con los mostrados en la Tabla 8.1 se puede apreciar como circuito cumple con todos los requisitos establecidos inicialmente.

Tabla 8.2. Especificaciones obtenidas

Ganancia	15.910 dB
NF	3.127 dB
VSWR1	1.35
VSWR2	1.93
S11	-32.81 dB
S12	-44 dB
S21	15.910 dB
S22	-14.43 dB
IIP3	-1.32 dBm
OIP3	14.59 dBm
Consumo de potencia	19.64 mW
Área del chip	767 μm x 932 μm

8.4 Conexión LNA – Mezclador

En el diseño original el LNA tenía adaptada la salida a 50 Ohmios mediante un condensador en serie en cada rama de salida mientras que el mezclador tenía adaptada su entrada de RF a 50 Ohmios mediante una red formada por un condensador y una bobina en cada rama. Al unirlos se ha quitado la adaptación de entrada del mezclador de forma que se ahorran 2 bobinas y 2 condensadores. La adaptación entre el LNA y el mezclador se ha realizado variando el condensador de salida que tiene el LNA en cada rama. Una vez hecho el layout se ha variado este condensador hasta conseguir la máxima excursión a la salida.

En la figura 8.4 puede observarse el esquemático del conexionado entre el LNA y el mezclador. Como se ha comentado, la adaptación de entrada del mezclador ha sido eliminada y el ajuste de la impedancia entre el mezclador y el LNA se realiza mediante el condensador de salida integrado en el LNA. Puede observarse también en la figura 8.4 como el uso del *balun* para la conversión de la señal de modo asimétrico a diferencial y viceversa tanto en la entrada como en la salida del circuito.

En el centro de la figura 8.5 puede observarse el LNA rodeado por sus seis bobinas. A la derecha se encuentra el núcleo del Mezclador con las bobinas de adaptación de la entrada del oscilador local.

8.6 Simulación Post-Layout

Para finalizar con el proceso de unión del LNA y el mezclador solo resta comprobar el funcionamiento del conjunto mediante simulación. Debido a problemas de convergencia con el simulador solo se pudo realizar la simulación en régimen transitorio. La ganancia, figura de ruido y demás parámetros se pueden obtener de la simulación transitoria y de la fórmula de Friis teniendo en cuenta las prestaciones de los circuitos por separado.

En la figura 8.6 se muestra el esquemático empleado para la simulación del conjunto. Como puede observarse las bobinas se ponen externas al circuito ya que en Cadence no se modelan las bobinas y se tratan como pistas normales. En consecuencia, para la simulación de las bobinas se emplea el modelo clásico de dos puertos explicado en el capítulo referente a la tecnología (capítulo 4).

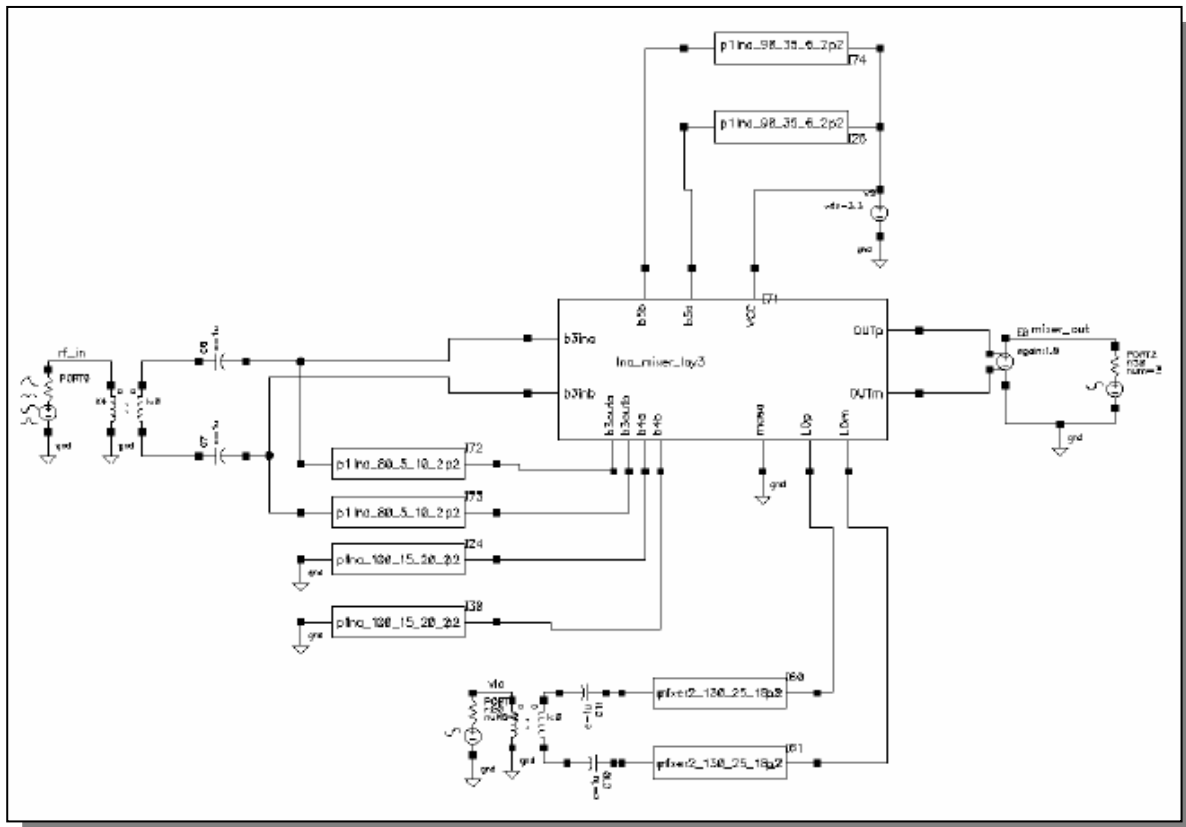


Figura 8.6. Esquemático utilizado para la simulación.

Para realizar la simulación transitoria se ha introducido un tono de 5.52 GHz con una potencia de -88 dBm a la entrada del LNA y un tono de 5.5GHz con una potencia de 0 dBm a la entrada del oscilador local. A la salida tendremos un tono de 20 MHz, tal como se ve en la simulación mostrada en la figura 8.7. En la misma figura se observa que con una entrada de tan solo unos pocos microvoltios se consigue una señal en banda base del orden de milivoltios.

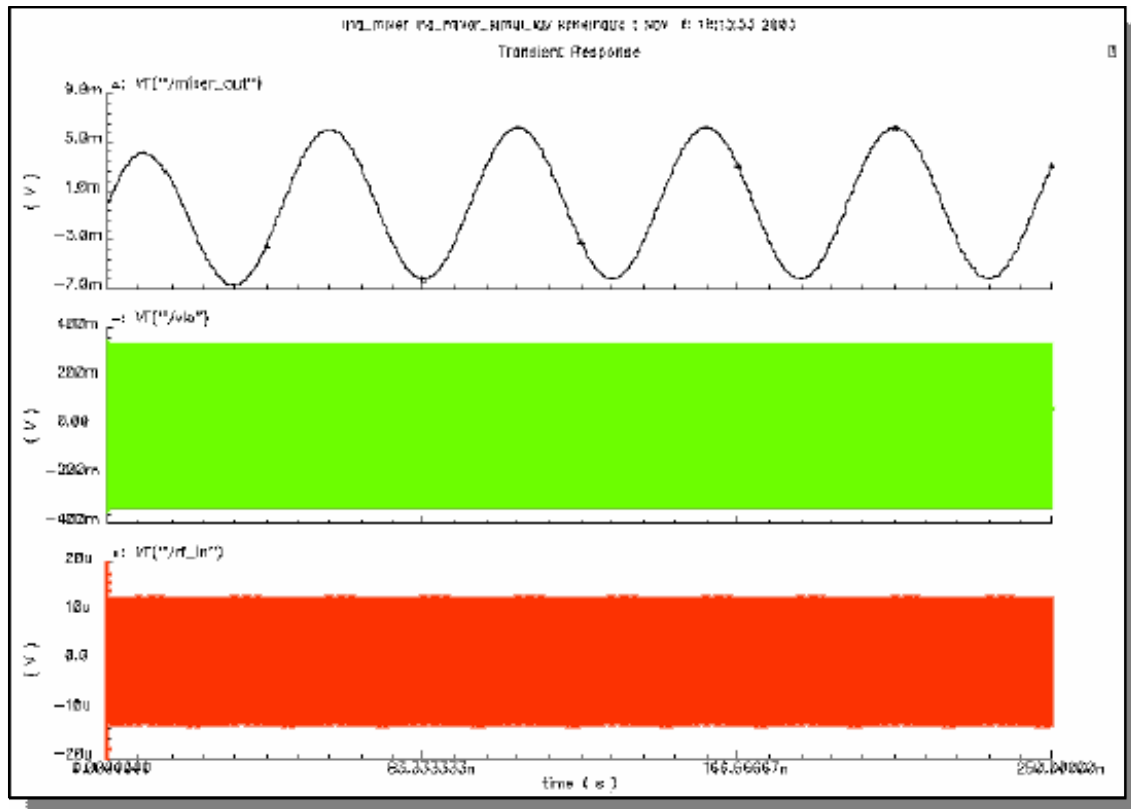


Figura 8.7. Simulación transitoria del conjunto.

Una vez comprobada la funcionalidad del conjunto con la simulación transitoria, en la tabla 8.1 se muestra los parámetros de los circuitos por separado y los valores obtenidos una vez unidos ambos circuitos.

Tabla 8.1. Especificaciones del conjunto

Parámetros	LNA	Mezclador	Conjunto
Ganancia (dB)	15,910	43	54
NF (dB)	3,127	45	5,93
IIP3 (dBm)	-1,32	40	-1,33
OIP3 (dBm)	14,59	83	57,57
Consumo (mW)	3,4	13,53	16,93
Área (mm ²)	0,714	0,605	1,07

Como ha podido observarse, el problema que se había comentado del aislamiento entre las señales al unir el mezclador al amplificador de bajo ruido se ha solucionado debido al aislamiento en inversa que presenta el LNA que hace que se mejoren las prestaciones del conjunto.

8.7 RUN de fabricación

Finalizada la comprobación de los circuitos diseñados e implementados en una cadena de recepción, es el momento de preparar el sistema para proceder a la fabricación. Los circuitos desarrollados han sido enviados a fábrica junto con otros dispositivos desarrollados en el IUMA. En total se enviaron un total de 31 dispositivos:

- Dieciséis bobinas [7].
- Cuatro estructuras de medidas para realizar el *de-embedding* de las bobinas [7].
- Tres VCOs (Voltage controlled oscillator) [23].
- Dos LNAs (Low Noise Amplifier) [1].
- El mezclador pasivo desarrollado en este proyecto.
- El amplificador operacional desarrollado en este proyecto.
- El mezclador con etapa de amplificación desarrollado en este proyecto.
- El conjunto del LNA con el mezclador desarrollado en este capítulo.

En la figura 8.8 se muestra el *layout* de todos los sistemas que se han enviado a fabricar. El *layout* final tiene unas dimensiones de 3488 μm x 3538 μm , los que significa un área total de unos 12 mm^2 . El *layout* mostrado en la figura se ha mandado a la fundidora AMS para ser procesado en el RUN del 3 de Noviembre de 2003.

Por otro lado, en la figura 8.9 se muestra un diagrama donde se detallan cada uno de los circuitos que forman parte del *layout* final mandado a fábrica. Puede observarse como entre las bobinas mandadas a fábrica se han incluyen las bobinas usadas tanto en el diseño del mezclador como del LNA para comprobar el correcto funcionamiento de las mismas.

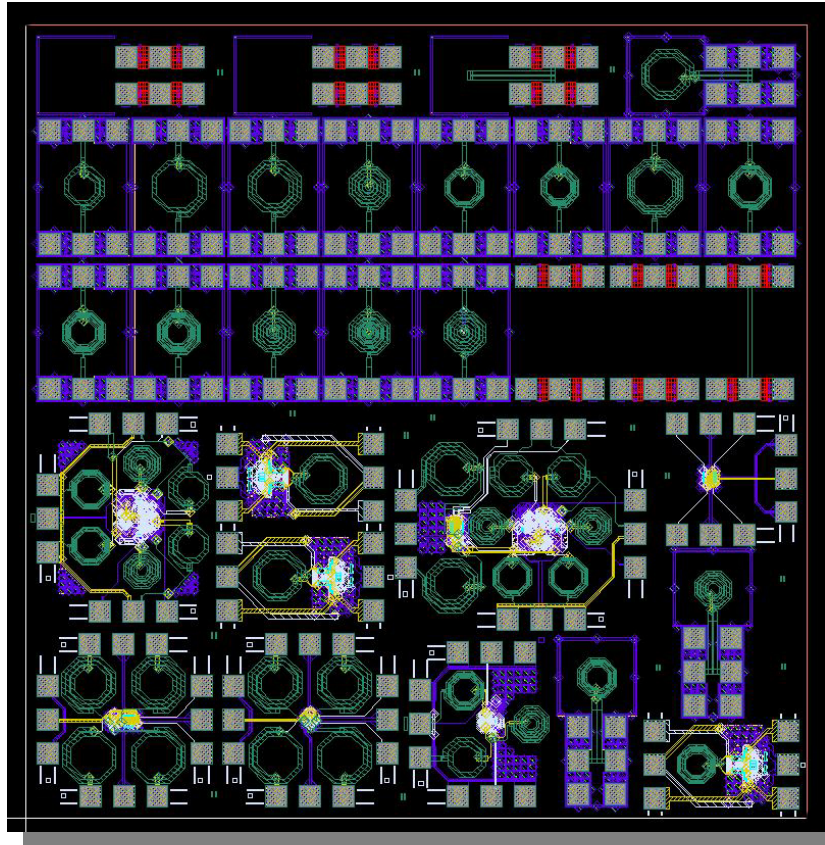


Figura 8.8. Layout de los dispositivos a fabricar.

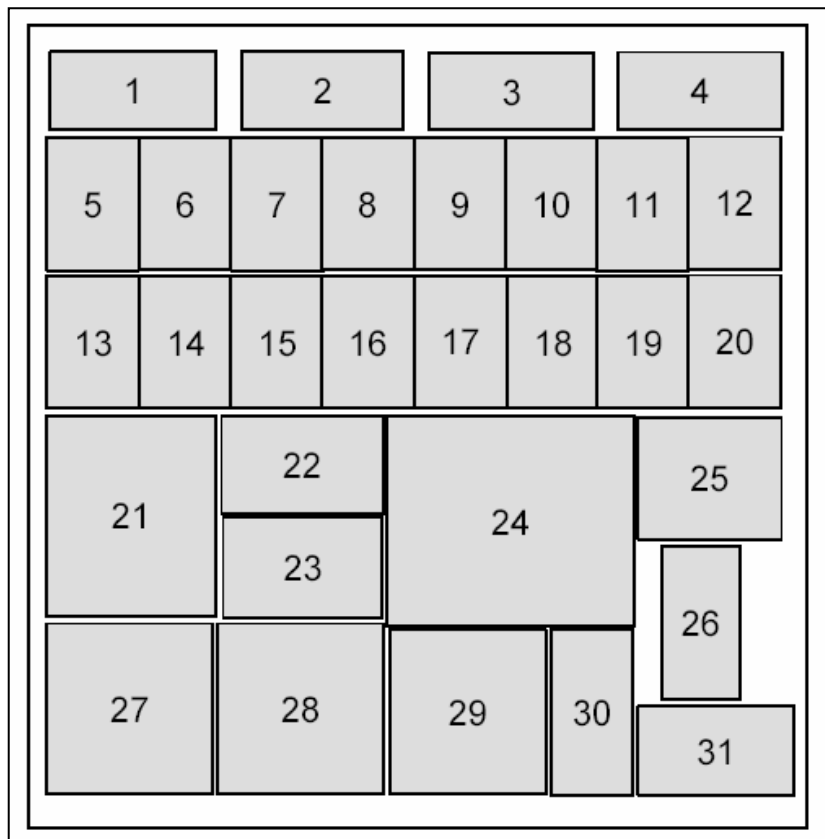



Figura 8.9. Esquema del layout final.

A continuación se detallan cada uno de los circuitos incluidos dentro del layout del RUN mediante los números representados en la figura 8.9.

- 1.- Estructura de medida *open* para bobinas con ambas salidas hacia el mismo lado.
- 2.- Estructura de medida *short* para bobinas con ambas salidas hacia el mismo lado.
- 3.- Estructura de medida *thru* para bobinas con ambas salidas hacia el mismo lado.
- 4.- vco_120_2_16_2.
- 5.- lna_100_15_20_2.
- 6.- mix_130_15_18_2.
- 7.- mix_130_25_18_2.
- 8.- bob_100_55_13_2.
- 9.- lna_90_35_6_2.
- 10.- lna_90_45_6_2.
- 11.- bob_130_35_10_2.
- 12.- bob_100_45_6_2.
- 13.- bob_100_55_6_2.
- 14.- bob_100_65_6_2.
- 15.- con0y5_100_55_13_2.
- 16.- con3y5_100_55_13_2.
- 17.- salm1_100_55_13_2.
- 18.- Estructura de medida *open* para bobinas con salidas hacia distinto lado.
- 19.- Estructura de medida *short* para bobinas con salidas hacia distinto lado.
- 20.- Estructura de medida *thru* para bobinas con salidas hacia distinto lado.
- 21.- LNA diferencial.
- 22.- VCO2.
- 23.- VCO1.
- 24.- LNA y mezclador.
- 25.- Amplificador operacional.
- 26.- lna_80_5_10_2.
- 27.- Mezclador completo (mezc.+ oper.).
- 28.- Mezclador.
- 29.- LNA asimétrico.
- 30.- vco_90_5_6_2.
- 31.- VCO3.

Una vez completado el diseño del mezclador con la etapa de amplificación y comprobar el correcto funcionamiento del mismo dentro de una cadena de recepción sólo resta obtener las conclusiones que se han ido sacando a lo largo de todo el proyecto y la evaluación de los costes económicos debidos a la implementación del diseño. Los objetivos comentados, serán analizados en profundidad en los capítulos restantes.



CAPITULO 9

Conclusiones

9.1 Introducción

Completado el diseño del mezclador y del amplificador operacional, y comprobado el correcto funcionamiento mediante las simulaciones de los diseños, en este capítulo se expondrán las conclusiones obtenidas y se compararán los diseños con trabajos similares. Así mismo se desarrollarán las posibles líneas de trabajo futuras, ya que los diseños realizados abren un gran campo de estudio como veremos al final de este capítulo.

9.2 Mezclador pasivo

A lo largo del proyecto se ha desarrollado un mezclador pasivo basado en la tecnología SiGe 0,35 μm de la fundidora AMS. El diseño del mezclador se fue desarrollando de forma metódica partiendo de la polarización de los transistores, dimensionado de los MOSFET y adaptación de la impedancia de entrada para facilitar la medida del circuito. Una vez completado el diseño y comprobado el correcto funcionamiento del mismo, se procedió a la elaboración del *layout* del mezclador. En la tabla 9.1 se muestra un cuadro resumen donde se

comprara el mezclador pasivo desarrollado con otros mezcladores de características similares, hay que tener en cuenta que estos trabajos presentan medidas sobre los circuitos mientras que el diseño desarrollado solo presenta simulaciones. Esto último significa que los resultados pueden variar ligeramente.

Tabla 9.1 Comparación del mezclador pasivo

Mezclador	IUMA	Juan Melendez	Frank Elliger
Tecnología	SiGe 0.35 μm	CMOS 0.35 μm	GaAs 0.6 μm
Vdd (V)	3.3	3.3	---
Consumo (mW)	0.3	0.3	---
Frec. RF (GHz)	5.5	1.575	5.2
Frec. IF (MHz)	20	3	950
Ganancia (dB)	-13	-30.5	-12.6
IIP3 (dBm)	20	19.7	2
NF (dB)	24	33.3	13
Fecha	2004	2001	2002
Referencia	Este proyecto	[17]	[24]

Partiendo de la tabla 9.1, la figura 9.1 muestra de forma gráfica la comparación de las características principales de los sistemas comparados. Como puede observarse, el mezclador desarrollado presenta unas pérdidas en la conversión muy similares a las del desarrollado en Arseniuro de Galio y mejora al desarrollado en CMOS. En cuanto a la linealidad, se observa como la del mezclador desarrollado es similar al desarrollado con CMOS y está por encima del desarrollado en Arseniuro de Galio. Finalmente, en cuanto a figura de ruido, el mezclador desarrollado presenta una respuesta media comparándolo con el mezclador desarrollado en CMOS y el desarrollado en GaAs.

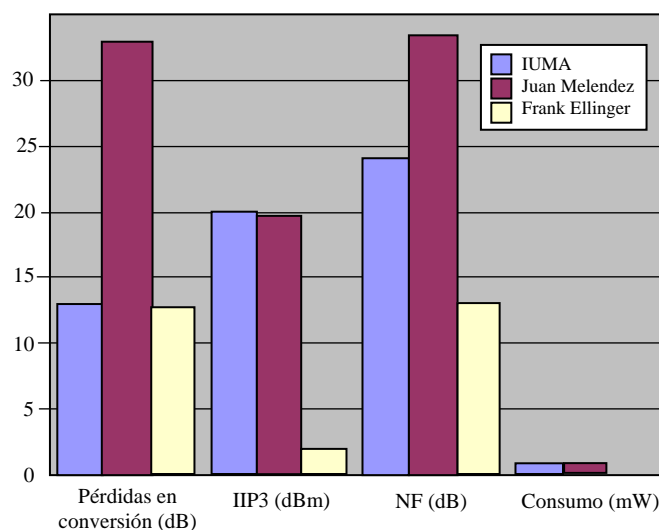


Figura 9.1. Comparación del mezclador pasivo.

9.3 Mezclador con etapa de amplificación

Una vez se completó el diseño del mezclador pasivo, se procedió al desarrollo del amplificador operacional encargado de evitar las pérdidas. El diseño del amplificador se hizo atendiendo básicamente a las especificaciones de ancho de banda impuestas por el mezclador. Concluido el diseño del amplificador tanto a nivel de esquemático como *layout* se procedió a la unión del amplificador con el mezclador y se comprobó que el sistema cumplía las especificaciones esperadas inicialmente. En la tabla 9.2 se muestra un cuadro resumen, donde se compara el amplificador con la etapa de amplificación con otros mezcladores activos. Al igual que en el caso del mezclador, el sistema desarrollado se está comparando con sistemas que han sido medidos y en consecuencia es probable que a la hora de medir el diseño desarrollado varíe ligeramente el valor de los parámetros.

Tabla 9.2 Comparación del mezclador con etapa de amplificación

Mezclador	IUMA	Chakraborty	Tang Jing Jung
Tecnología	SiGe 0.35 μm	SiGe 0.24 μm	CMOS 0.35 μm
Vdd (V)	3.3	3.1	2
Consumo (mW)	3.4	32	10
Frec. RF (GHz)	5.5	5.5	3
Frec. IF (MHz)	20	20	100
Ganancia (dB)	43	9.23	9
IIP3 (dBm)	40	6	5
NF (dB)	45	19,5	18
Fecha	2004	2002	2001
Referencia	Este proyecto	[25]	[26]

Partiendo de los resultados mostrados en la tabla 9.2 se obtiene la figura 9.2, donde se puede observar como el mezclador desarrollado presenta una ganancia muy superior a los dos sistemas con los que se esta comparando. En cuanto a la linealidad, el hecho de tener un amplificador que actúa a su vez como filtrado de la señal de salida hace que la linealidad mejore notablemente en comparación con los otros sistemas. Por otro lado la figura de ruido del sistema desarrollado está muy por encima de los sistemas con que se compara. Sin embargo, al integrar en una cadena de recepción, la figura de ruido viene determinada básicamente por la figura de ruido de la primera etapa, por lo que la figura de ruido que presenta el sistema puede tomarse como aceptable. Finalmente en cuanto al consumo, el

mezclador desarrollado presenta una especificación muy superior a los otros dos sistemas con los que se está comparando.

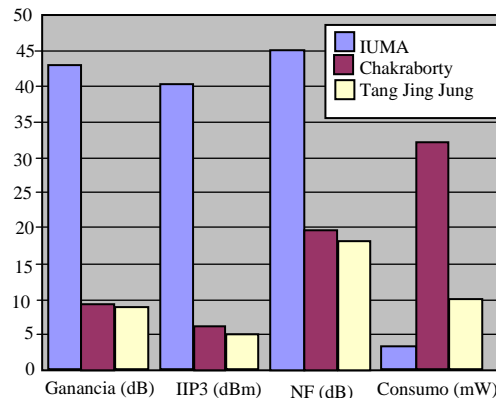


Figura 9.2. Comparación del mezclador con etapa de amplificación

9.4 Conclusiones

En este proyecto se ha presentado el desarrollo e implementación de un mezclador pasivo de radiofrecuencias haciendo uso de la tecnología SiGe 0.35 μm de la fundidora AMS.

Para el desarrollo del mezclador, inicialmente se realizó un estudio general de los sistemas de comunicaciones inalámbricas así como de los tipos de arquitecturas empleadas y los parámetros más importantes en los sistemas de radiofrecuencia. Una vez completado el estudio de los sistemas de radiofrecuencia se procedió al estudio teórico de los mezcladores. En este estudio se profundizó aún más en los parámetros que caracterizan a los mezcladores y las diferentes topologías existentes.

Llegados a este punto y con la arquitectura a implementar elegida, se procedió a al estudio de la tecnología. A lo largo del estudio tecnológico se profundizó en las características de los distintos componentes ofrecidos dentro de la tecnología a emplear en el diseño.

Una vez conocida la arquitectura y la tecnología a emplear, sólo restaba realizar el diseño del sistema. Para ello se comenzó diseñando el mezclador pasivo tanto a nivel de esquemático como *layout*, comprobando su correcto funcionamiento. Seguidamente se procedió al diseño del amplificador operacional y a comprobar su funcionalidad. Finalmente, el último paso acometido en el diseño fue la unión del mezclador y el amplificador comprobando su funcionamiento tanto de forma independiente como integrado en una cadena de recepción.

Para concluir el proyecto se ha procedido a la comparación tanto del mezclador pasivo como del mezclador con la etapa de amplificación con otros trabajos similares. Esta comparativa ha demostrado que el flujo de trabajo elegido ha sido el correcto, ya que las especificaciones obtenidas son análogas a otros trabajos e incluso mejores en algunos casos.

Como se ha podido observar, el aislamiento, que inicialmente se consideraba un aspecto con poca relevancia en el diseño, al final fue un parámetro fundamental a la hora de la implementación del mezclador ya que condicionaba notablemente el funcionamiento del mismo. Ha podido observarse también como se solucionó el problema del aislamiento teniendo en cuenta unas sencillas reglas a la hora de rutear el *layout* y que sin tenerlas en cuenta hubiera llevado al traste todo el diseño completo.

Para concluir se puede decir que los objetivos planteados inicialmente se han satisfecho de forma satisfactoria. En cualquier caso la línea de trabajo que subyace a este proyecto fin de carrera es parte de una línea de investigación de mayor envergadura en la que se desarrollan varios proyectos de investigación. De este modo, la temática de este trabajo tiene continuidad en aspectos como la medida de los circuitos realizados, la implementación del PLL, el desarrollo de mezcladores para etapas de transmisión etc.

PRESUPUESTO

Introducción

Una vez completado el diseño del circuito y comprobado su correcto funcionamiento tanto de forma independiente como integrado en una cadena de recepción, para concluir con el estudio en este capítulo se realizará un estudio económico con los costes tanto parciales como totales del proyecto.

Costes debidos a los Recursos Humanos

Este coste es el producido por el personal empleado para el mantenimiento de las herramientas y las estructuras necesarias. Este personal esta formado por dos técnicos a tiempo completo para un total de cien usuarios.

Descripción	Gastos
2 Técnicos a tiempo completo	36.060,73 €/año
Proporción suponiendo 100 usuarios	360,61 €/año-usuario
TOTAL (6 meses)	180,31 €

Costes de Ingeniería

En este apartado se establece una tabla indicativa de las partes en que se ha dividido el Proyecto y el tiempo parcial empleado para cada una de estas fases. Estas fases están constituidas por: documentación y formación, especificación, desarrollo, análisis de resultados y realización de la memoria.

Descripción	Gastos
Búsqueda y estudio de la documentación y herramientas de trabajo.	160 horas
Desarrollo y análisis de resultado	640 horas
Realización de la memoria	160 horas
TOTAL	960 horas

Para el cálculo de honorarios, se ha seguido la propuesta de baremos establecida por el Colegio Oficial de Ingenieros Técnicos de Telecomunicación a partir del 1-01-2003.

$$H = Hn \cdot 58 + He \cdot 63$$

Donde:

H: Honorarios a percibir.

Hn: Horas en jornada normal de trabajo.

He: Horas fuera de la jornada de trabajo.

Considerando que las horas empleadas en la realización del proyecto son en jornada laboral se obtienen los siguientes honorarios:

$$H = 960 \cdot 58 = 55.680 \text{ €}$$

Costes de amortización

En este apartado se realiza el análisis de los costes relacionados con el uso de paquetes software, material hardware y el mantenimiento de estos. Estos equipos hardware y paquetes software presentan un coste de amortización, en función del periodo de tiempo usado y el número de usuarios que accedan a estos, los cuales se ha estimado en 50.

Descripción	Tiempo de uso	Coste anual		Total
		Total	Usuario	
Estación de trabajo SUN Sparc Modelo Sparc Station 10	6 meses	6.803€	136€	68€
Servidor para simulación SUN Sparc Station 10	6 meses	6.643€	133€	66€
Impresora Hewlett Packard Laserjet 4L	6 meses	296€	6€	3€
Ordenador Personal Pentium II 266 MHz	6 meses	411€	8€	4€
Sistema operativo SunOs Release 4.1.3, Open Windows y aplicaciones X11	6 meses	903€	18€	9€
Entorno Windows 2000 Profesional	6 meses	306€	6€	3€
Microsoft Office XP	6 meses	449€	9€	4€
Advance Design System (ADS)	6 meses	3.200€	64€	32€
Cadence con Kit de diseño	6 meses	1.500€	30€	15€
TOTAL				204€

Costes de fabricación

En este apartado se incluyen los costes derivados de la fabricación.

Descripción	mm ²	Precio mm ²	Gastos
Fabricación de los circuitos	2,88	1.000€	2.880€
TOTAL			2.880€

Otros costes

Para finalizar con los costes parciales a continuación se muestran los costes debidos al material fungible y a la elaboración del documento final del proyecto.

Descripción	Unidades	Costes unidad	Gastos
Paquetes de DIN_A4 80 gr/m	3	4€	12€
Fotocopias	1000	0,03€	30€
CDs	3	3€	9€
Otros gastos			100€
TOTAL			151€

Coste Total

Para finalizar en la siguiente tabla se recoge el coste total del proyecto en función de los costes parciales comentados en las secciones anteriores.

Descripción	Gastos
Costes de recursos humanos	180,31€
Costes de ingeniería	55.680,00€
Costes de amortización	204,00€
Costes de fabricación	2880,00€
Otros costes	151,00€
PRESUPUESTO FINAL	59.095,31€
TOTAL (IGIC 5%)	62.050,08€

D. Roberto Díaz Ortega declara que el proyecto “Diseño de un mezclador en CMOS 0,35 μm para un receptor basado en el estándar 802.11^{ab}” asciende a un total de sesenta y dos mil cincuenta con ocho euros.

Fdo.

DNI:78508162-P.

Las Palmas, a 3 de Mayo de 2004



BIBLIOGRAFÍA

- [1] J. Rubén Pulido Medina, “Diseño de un amplificador de bajo ruido (LNA) en tecnología SiGe 0.35 μm para el estándar inalámbrico IEEE802.11a”.
- [2] “IEEE std 802.11.a-1999. Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz band”.
- [3] T.H. Lee, H. Samavati, H.R. Rategh, “5-GHz CMOS wireless LANs”, IEEE Transactions on Microwave Theory and Techniques, vol. 50, iss. 1, pp. 268 -280, Jan. 2002.
- [4] Thomas H. Lee, “Design of CMOS Radio-Frequency integrated Circuits”, Cambridge University Press, 1998.
- [5] R. Esper-Chain, J. Cabrera, M Marrero, “Electrónica Analógica Tomos I y II”, ULPGC 1996.

- [6] J. del Pino "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [7] Informe "Run 2003" asociado al proyecto "Desarrollo de Circuitos Integrados para Redes Inalámbricas en la Banda de 5GHz" desarrollado por el Instituto de Microelectrónica Aplicada, Noviembre 2003.
- [8] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation, IEEE Press, 1998.
- [9] R.L. Boylestad, L. Nashelsky, "Electrónica: Teoría de Circuitos", Prentice Hall, 1997
- [10] J.S. Yuan, "SiGe, GaAs, and InP Heterojunction Bipolar Transistors," John Wiley & Sons, 1999.
- [11] H. Presting, U. König, "State and Applications of Si/SiGe High frequency and Optoelectronic Devices", Daimler-Chrysler Research Center, disponible en <http://iaee.tuwien.ac.at/gme/hofg99/presting.htm>, 1999.
- [12] M. Schatzmayr, "Development of a SiGe BiCMOS process for ASIC Applications", AMS, Austria Mikro Systeme International AG, disponible en <http://iaee.tuwien.ac.at/gme/hofg99/schatzmayr.htm> , 1999.
- [13] S.L. Long, S.E. Butner, "Galium Arsenide Digital Circuit Design", McGraw-Hill. 1990.
- [15] R. Götzfried, F. Beißwanger, S. Gerlach, A. Schüppen, H. Dietrich, U. Seiler, K. Bach, J. Albers, "RFIC's for Mobile Communication Systems Using SiGe Bipolar Technology", *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, no. 5, pp. 661-668, Mayo 1998.
- [16] Ben G. Streetman, "Solid state electronic devices", , Prentice Hall, Fourth Edition 1995.
- [17] Juan Melendez Lagunillas. "Diseño de un terminal de conversión Directa a Baja Frecuencia para GPS en tecnología CMOS". Univ. De Navarra, 2001
- [18] M. Nuria Rodríguez Martínez "Mezcladores Integrados en Tecnologías SiGe y Bicmos para frecuencias inferiores a 1.8 GHz.". Campus Tecnológico de la Universidad de Navarra. 2002.
- [19] Willy M.C. Sansen."Design of analog integrated circuits and systems". Mc Graw Hill. 1994

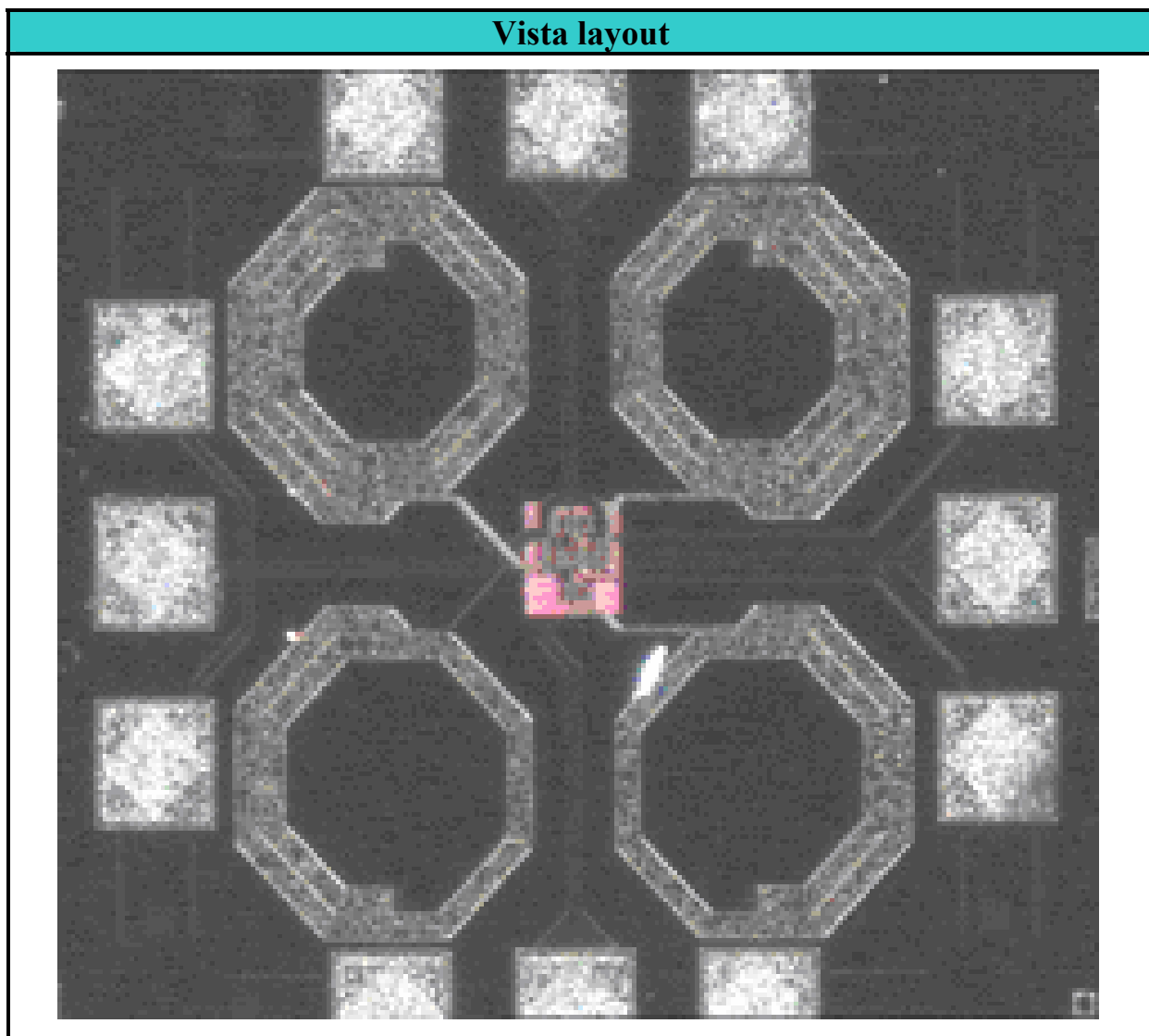
- [20] J. del Pino "Analog Integrated Filter Design" Internal Report, Fraunhofer Institute for Integrated Circuits, 2003
- [21] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2000.
- [22] Behzad Razavi, "RF Microelectronics", Prentice Hall PTR, 1999.
- [23] Sunil Lalchand Khemchandani, Amaya Goñi Iturri, Francisco Javier del Pino Suárez, Antonio Hernández Ballester, "A Fully Integrated VCO for 5 GHz WLAN band in 0,35 μm SiGe Technology", *Microelectronics Journal, Elsevier's*. Pendiente de aprobación.
- [24] Frank Ellinger, Rolf Vogt, Wener Bätchold, "Compact monolithic integrated resistive mixers with low distortion for HPERLAN", *IEEE transaction on microwave theory and techniques* – vol 50, 2002.
- [25] Sudipto Chakraborty, Scott K. Reynolds y otros, "Architectural Trade-Off for SiGe BiCMOS Direct Conversion receivers front-ends for IEEE 802.11a", *IEEE GaAs Digest*, 2002
- [26] Tan Jing Jung, Cary Cheung King Sau y Jack Lau, "2.4 GHz four port mixer for direct conversion used in telemetering", *IEEE*, 2001



ANEXO

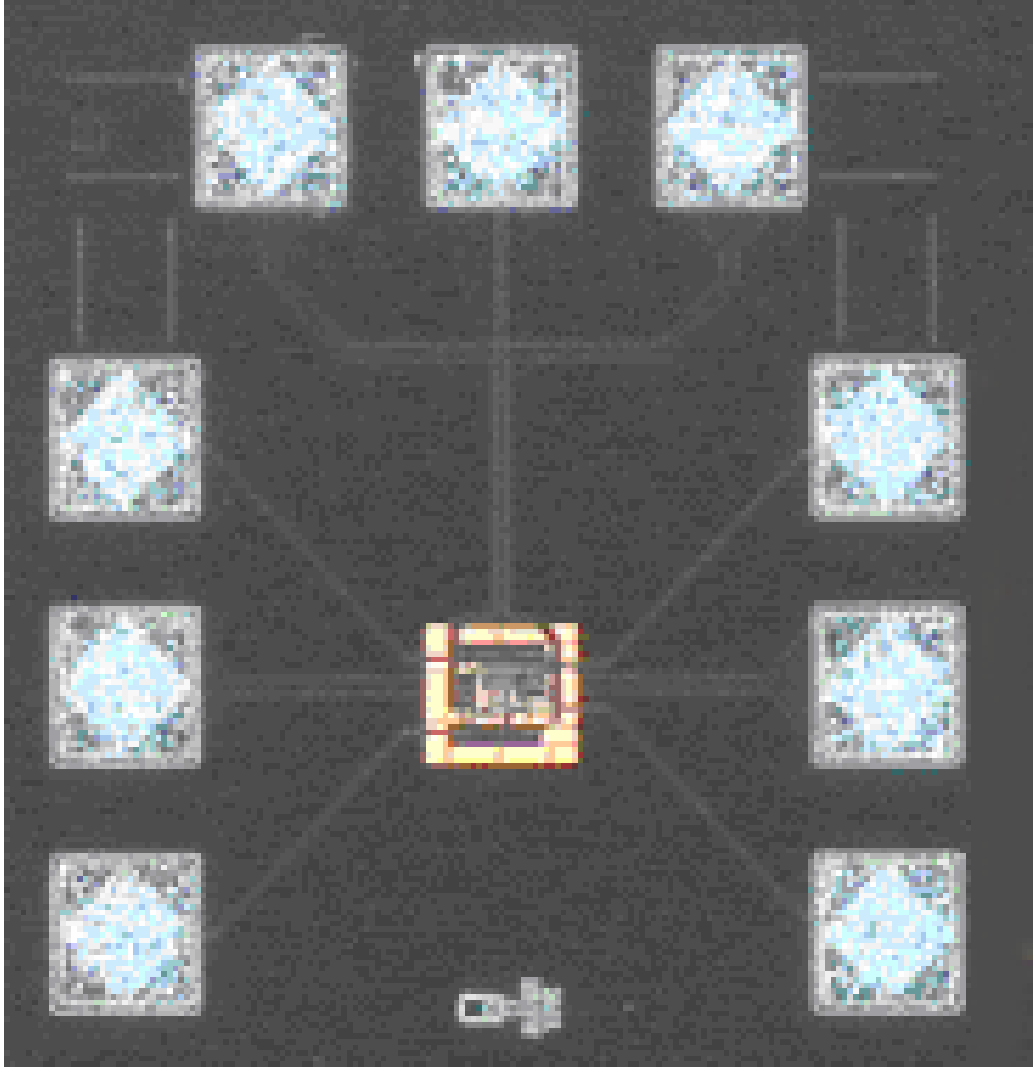
Fotografías de los diseños

Datos Generales			
Proyecto	Diseño de un mezclador pasivo en CMOS 0,35 μm para un receptor basado en el estándar 802.11a		
Autor	Roberto Díaz Ortega	Fecha	Noviembre 2003
Circuito	Mezclador pasivo con entradas adaptadas para ser medido <i>On-Waffer</i>		



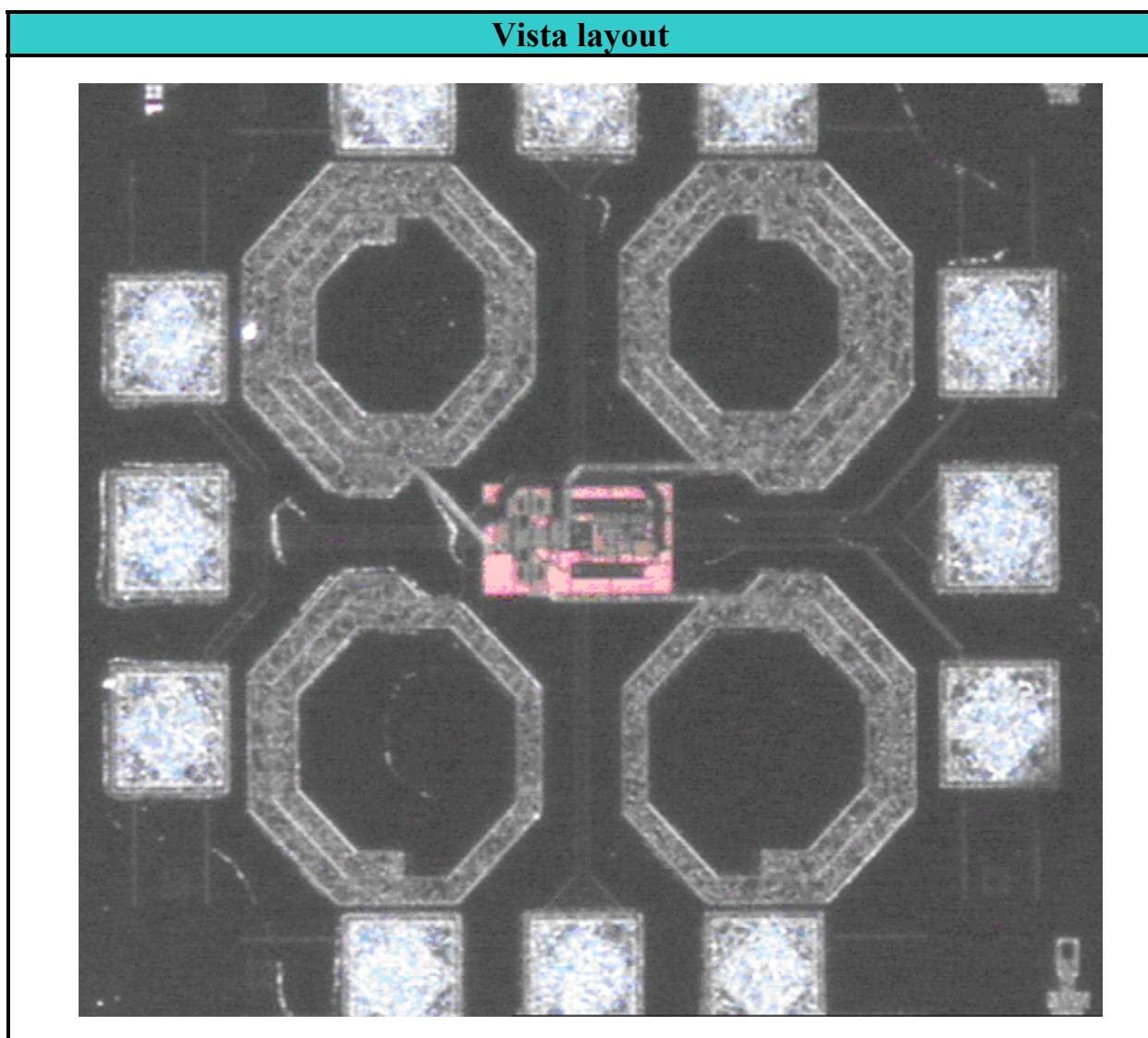
Simulaciones			
Ganancia	-13.14 dB	Figura de Ruido	24,6 dB
VSWR RF	1,32	IIP3	20 dBm (aprox.)
VSWR LO	1,22	OIP3	0 dBm (aprox.)

Datos Generales			
Proyecto	Diseño de un mezclador pasivo en CMOS 0,35 um para un receptor basado en el estándar 802.11a		
Autor	Roberto Díaz Ortega	Fecha	Noviembre 2003
Circuito	Amplificador Operacional totalmente diferencial		

Vista layout	
	

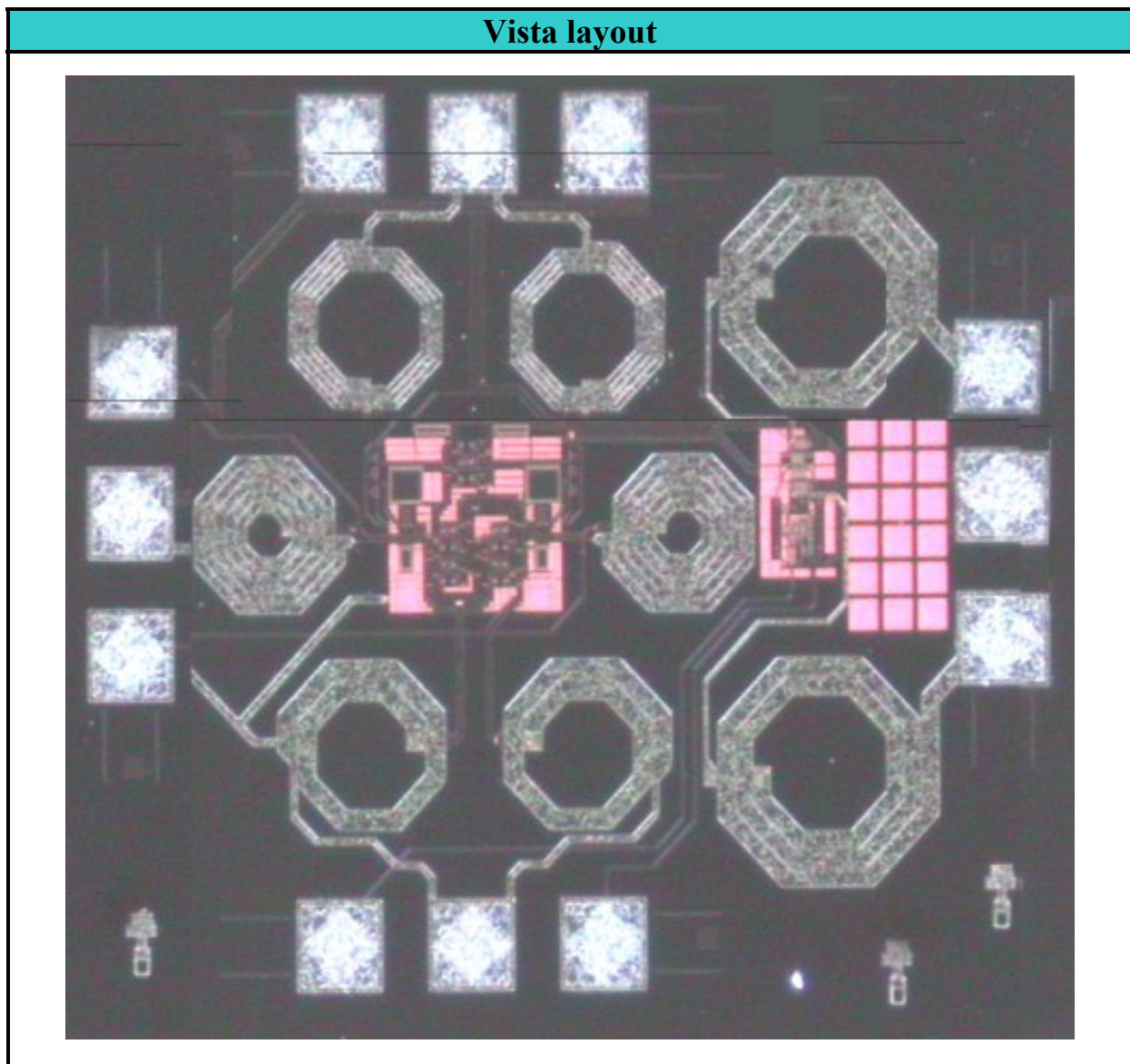
Simulaciones			
Ganancia	40 dB	Ancho de Banda	20 MH

Datos Generales			
Proyecto	Diseño de un mezclador pasivo en CMOS 0,35 μm para un receptor basado en el estándar 802.11a		
Autor	Roberto Díaz Ortega	Fecha	Noviembre 2003
Circuito	Mezclador pasivo con entradas adaptadas para ser medido <i>On-Wafer</i> con etapa de amplificación.		



Simulaciones			
Ganancia	41dB	Figura de Ruido	38 dB
VSWR RF	1,32	IIP3	45 dBm (aprox.)
VSWR LO	1,22	OIP3	82 dBm (aprox.)

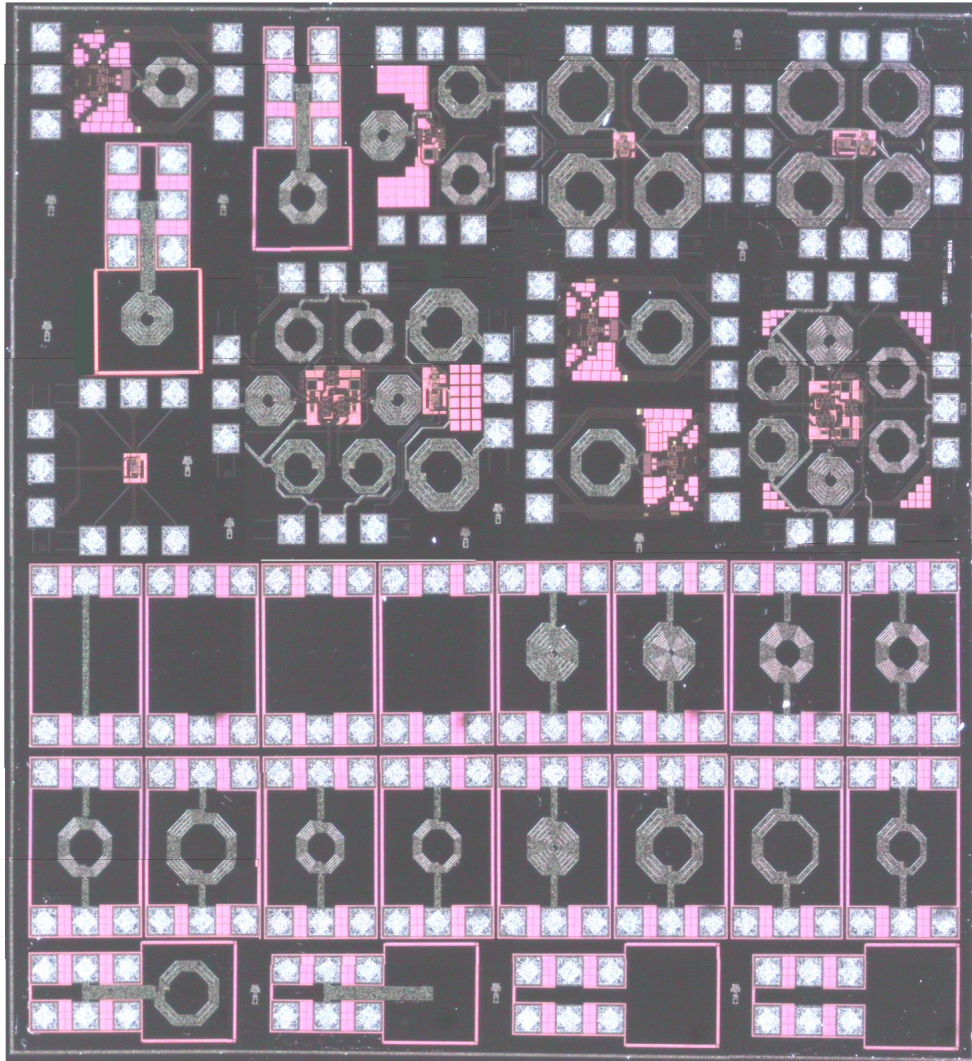
Datos Generales			
Proyecto	Diseño de un mezclador pasivo en CMOS 0,35 um para un receptor basado en el estándar 802.11a		
Autor	Roberto Díaz Ortega Jesús Rubén Pulido Medina	Fecha	Noviembre 2003
Circuito	Integración del mezclador en una cadena de recepción		



Simulaciones			
Ganancia	54 dB	Figura de Ruido	5,93 dB
VSWR RF	1,35	IIP3	-1,33 dBm (aprox.)
VSWR LO	1,22	OIP3	57,57 dBm (aprox.)

Datos Generales

Proyecto	Diseño de un mezclador pasivo en CMOS 0,35 μm para un receptor basado en el estándar 802.11a		
Autor	IUMA	Fecha	Noviembre 2003
Circuito	RUN de fabricación		

Vista layout

Datos Generales			
Proyecto	Diseño de un mezclador pasivo en CMOS 0,35 um para un receptor basado en el estándar 802.11a		
Autor	IUMA	Fecha	Noviembre 2003
Circuito	RUN de fabricación (Comparativa de tamaño)		

