



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO DE FIN DE GRADO

DISEÑO DE UN VGA PARA UN RECEPTOR PARA EL ESTÁNDAR IEEE 802.15.4 EN TECNOLOGÍA CMOS DE 65 nm

Titulación: Grado en Ingeniería en Tecnologías de la
Telecomunicación

Mención: Sistemas Electrónicos

Autor: David Galante Sempere

Tutores: Dr. D. Francisco Javier del Pino Suárez
D. Daniel Mayor Duarte

Fecha: julio 2017



UNIVERSIDAD DE LAS PALMAS
DE GRAN CANARIA

ESCUELA DE INGENIERIA DE TELECOMUNICACIÓN Y ELECTRÓNICA



PROPUESTA DE TRABAJO DE FIN DE GRADO

**DISEÑO DE UN AMPLIFICADOR DE GANANCIA VARIABLE
PARA EL ESTÁNDAR IEEE 802.15.4 EN TECNOLOGÍA CMOS
DE 65nm.**

HOJA DE FIRMAS

Alumno

Fdo.: David Galante Sempere

Tutor

Tutor

Fdo.: Dr. D. Francisco Javier del Pino Suárez Fdo.: D. Daniel Mayor Duarte

Fecha: julio de 2017

ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



TRABAJO DE FIN DE GRADO

**DISEÑO DE UN VGA PARA UN RECEPTOR PARA EL
ESTÁNDAR IEEE 802.15.4 EN TECNOLOGÍA CMOS DE
65 nm**

HOJA DE EVALUACIÓN

Calificación: _____

Presidente

Fdo.: _____

Vocal

Secretario/a

Fdo.: _____

Fdo.: _____

Fecha: julio de 2017

Agradecimientos

El desarrollo de este Trabajo de Fin de Grado no hubiera sido posible sin el apoyo incondicional de mi familia, de mis tutores y de mis compañeros de fatigas. Quiero agradecerles la ayuda que me han prestado y los ánimos que me han transmitido.

En primer lugar, quiero darles las gracias a mis padres y a mi abuela. Ellos son quienes me han dado ánimos para seguir adelante, han creído en mí desde el principio y se han mostrado comprensivos en los peores momentos. Sin ellos, no sería quien soy ni estaría donde estoy. Gracias por vuestro apoyo incondicional, os quiero.

En segundo lugar, quiero agradecerles a mis dos tutores, Javier y Dani, la paciencia que han tenido conmigo (que no es poca) y la ayuda prestada a lo largo de este trabajo. La calidad de este documento no sería la que es si no hubiera contado con su ayuda. Gracias por mostrarnos siempre disponibles para mí y por poner todo vuestro empeño en lograr que este trabajo sea lo que es. Vosotros habéis conseguido sacar lo mejor de mí.

En tercer lugar, quiero darles las gracias a mis compañeros Andrea y Saúl. Con ellos he pasado muchísimo tiempo corrigiendo y revisando esta memoria. Gracias a los dos por animarme a seguir adelante y ofrecermos vuestro apoyo en los mejores y en los peores momentos. Sin vosotros, todo el tiempo que le he dedicado a este documento habría sido muy diferente. Me habéis alegrado el día en incontables ocasiones y me considero muy afortunado por contar con una amistad tan preciada como la vuestra. De corazón, muchas gracias a los dos.

Por último, quiero dedicarle un agradecimiento especial a mi compañero Guillermo, con el que he compartido momentos de alegría y sufrimiento en el desarrollo de este TFG. Gracias por la ayuda que me has prestado y por los momentos que hemos compartido. Me alegro de haber estado trabajando contigo todo este tiempo y espero que volvamos a trabajar juntos en el futuro. Sinceramente, gracias, Guille.

Pido disculpas si he podido ofender a alguien por no dedicarle un agradecimiento individualizado, pero si mencionara a todos, esta sección sería interminable. Aun así, les doy las gracias a todas aquellas personas que han formado parte de mi vida en estos años, pues todos ellos también forman parte de este proyecto.

Índice de Contenido

Agradecimientos	vii
Índice de Contenido	i
Índice de Figuras	v
Índice de Tablas.....	x
Lista de Acrónimos	xiii
Capítulo 1. Introducción	1
1.1 El estándar IEEE 802.15.4	1
1.2 Ámbito del proyecto y estado del arte	3
1.3 Objetivos	4
1.4 Estructura del documento	5
Capítulo 2. Fundamentos teóricos.....	7
2.1 El transistor MOS	7
2.2 Operación básica de los MOS	10
2.2.1 Regiones de operación	12
2.3 Modelos en pequeña señal.....	14
2.3.1 Región activa	15
2.3.2 Región lineal	15
2.4 Regiones sub-umbral	16
2.5 Características de la tecnología CMOS UMC 65 nm	17
2.6 La metodología de diseño g_m/I_D	19
2.6.1 Método de diseño g_m/I_D	19
2.6.2 La curva g_m/I_D frente a $I_D/(W/L)$	20
2.7 Conclusiones	24
Capítulo 3. Introducción a los amplificadores de ganancia variable	25
3.1 Introducción.....	25
3.2 Formas de integrar un VGA en un receptor	26
3.2.1 VGA precedido por el filtro.....	27
3.2.2 VGA antes del filtro	27
3.2.3 VGA entre etapas de filtrado.....	28

3.2.4 VGA previo al mezclador y el filtro	29
3.3 Tipos de VGAs por componentes	30
3.3.1 OTA con resistencias conmutables.....	31
3.3.2 Etapas de ganancia con OTAs en serie	33
3.4 Conclusiones	33
Capítulo 4. Amplificadores operacionales	35
4.1 Introducción.....	35
4.2 El amplificador operacional de trasconductancia	35
4.3 Etapa de entrada del OTA.....	36
4.3.1 Amplificador diferencial fuente común.....	36
4.3.2 Amplificador diferencial con carga activa	37
4.3.3 Relación de rechazo al modo común	42
4.3.4 Eficiencia frente al ruido.....	43
4.4 Fuentes y espejos de corriente	44
4.4.1 Configuraciones posibles de espejos de corriente.....	46
4.5 Etapa de salida	54
4.5.1 El amplificador clase A	55
4.6 Respuesta en frecuencia.....	58
4.7 Realimentación y compensación	62
4.7.1 Estabilidad	63
4.7.2 Compensación	65
4.7.3 Producto ganancia por ancho de banda.....	68
4.8 Conclusiones	69
Capítulo 5. Diseño de un VGA con entrada diferencial y salida asimétrica.....	71
5.1 Diseño del OTA.....	71
5.1.1 Resultados del análisis en lazo abierto.....	75
5.1.2 Diseño de la resistencia variable	78
5.1.3 Diseño del varactor	80
5.2 VGA de una etapa	81
5.3 VGA de dos etapas	83
5.4 Conclusiones	85
Capítulo 6. Diseño de un VGA con entrada diferencial y salida diferencial	87
6.1 Diseño de un OTA completamente diferencial	87

6.2 Simulación en lazo abierto.....	88
6.3 Diseño de un VGA diferencial de dos etapas.....	92
6.4 Simulación y resultados del VGA	93
6.5 Conclusiones	95
Capítulo 7. Técnicas de optimización del VGA	97
7.1 La compensación Miller	98
7.2 La compensación de fuente.....	100
7.3 Aplicación de la compensación de fuente	102
7.3.1 VGA con entrada diferencial y salida asimétrica	103
7.3.2 VGA completamente diferencial	106
7.4 Conclusiones	110
Capítulo 8. Integración del VGA en un receptor.....	111
8.1 Cabezal de Recepción	112
8.1.1 Amplificador de bajo ruido (LNA).....	113
8.1.2 Mezclador.....	115
8.2 Filtro Polifásico.....	118
8.3 Receptor Completo.....	124
Capítulo 9. Conclusiones y trabajo futuro.....	133
9.1 Resumen del trabajo realizado	133
9.2 Resultados y conclusiones	134
9.3 Líneas futuras.....	139
Bibliografía.....	141
Presupuesto	145
P.1. Trabajo tarifado por tiempo empleado	145
P.2. Amortización del inmovilizado material	146
P.2.1. Amortización del material hardware	146
P.2.2. Amortización del material software	147
P.3. Redacción del trabajo.....	148
P.4. Derechos de visado del COITT	149
P.5. Gastos de tramitación y envío.....	150
P.6. Material fungible	150

P.7. Aplicación de impuestos y coste total..... 151

Índice de Figuras

Figura 1.1. Diagrama de bloques de la arquitectura interna de un transceptor.	4
Figura 2.1. Sección de un transistor CMOS, a la izquierda un transistor de tipo N, a la derecha un tipo P.....	8
Figura 2.2. Símbolos para representar los transistores NMOS (a), (c) y (e) y los PMOS (b), (d) y (f).....	9
Figura 2.3. Tensiones y corrientes en los transistores NMOS a la izquierda y de los PMOS a la derecha.....	10
Figura 2.4. Dimensiones de un transistor NMOS.	11
Figura 2.5. Densidad de carga del canal cuando $V_{DS} > 0$	12
Figura 2.6. Circuito para obtener las curvas características del transistor.	12
Figura 2.7. Curvas I_D frente a V_{DS} para diferentes valores de V_{GS}	13
Figura 2.8. Modelo en pequeña señal de baja frecuencia para un transistor MOS en la región activa.	15
Figura 2.9. Modelo simplificado del transistor MOS en pequeña señal para baja frecuencia en la región lineal, válido cuando V_{DS} es pequeña.	16
Figura 2.10. Ejemplo de un transistor con un número impar de fingers.	19
Figura 2.11. Curvas g_m/I_D vs $I_D/(W/L)$ para relación de aspecto 1 (rojo), 5 (azul) y 10 (violeta).....	21
Figura 2.12. Flujo de diseño propuesto siguiendo el método de diseño g_m/I_D	23
Figura 3.1. Estructura del VGA diferencial.	26
Figura 3.2. Ejemplo de una configuración con el VGA después del filtro [15]......	27
Figura 3.3. Ejemplo de configuración del VGA antes del filtro [16].	28
Figura 3.4. Configuración de de un receptor con el VGA entre etapas de filtrado [17].	28
Figura 3.5. Configuración de un receptor con etapas de ganancia entrelazadas con etapas de filtrado [18].	29
Figura 3.6. Configuración del VGA previo al filtro y al mezclador [19].	29
Figura 3.7. Estructura del amplificador con malla capacitiva [19].	30
Figura 3.8. Símbolo común del OTA (a) y del OTA diferencial (b).	30
Figura 3.9. Estructura del VGA formada por dos etapas de ganancia con resistencias y condensadores conmutables.	32

Figura 3.10. Amplificador en dos etapas [15].....	32
Figura 3.11. Configuración de un receptor con múltiples etapas de ganancia y un selector de la salida.	33
Figura 4.1. Modelo del Op-Amp (a) y del OTA (b).	36
Figura 4.2. Amplificador diferencial en configuración fuente común.....	37
Figura 4.3. Par diferencial con carga activa.....	37
Figura 4.4. Corriente de inyección en la carga en el par diferencial con carga activa... 38	
Figura 4.5. Modelo en pequeña señal del MOSFET.....	38
Figura 4.6. Modelo en pequeña señal del par diferencial con carga activa.....	39
Figura 4.7. Modelo en pequeña señal del par diferencial con carga activa simplificado.	40
Figura 4.8. Modelo detallado de la etapa de entrada con las fuentes de ruido.	43
Figura 4.9. Espejo sencillo.	45
Figura 4.10. Simulación del espejo de corriente simple.....	47
Figura 4.11. Estructura del cascode simple.....	47
Figura 4.12. Modelo simplificado del cascode simple.	48
Figura 4.13. Simulación del espejo de corriente en cascode simple.	49
Figura 4.14. Relación de tensiones para el cascode simple con mínima tensión.	50
Figura 4.15. Estructura del cascode para mínima tensión.....	50
Figura 4.16. Esquemático de simulación del cascode de mínima tensión.....	51
Figura 4.17. Simulación del espejo en cascode simple de mínima tensión con L_{MWS} de 4 veces L_{M4} (rojo), de 5 veces L_{M4} (azul) y de 6 veces L_{M4} (violeta).	52
Figura 4.18. Esquemático del espejo en Cascode Mejorado.	52
Figura 4.19. Resultados de simulación del cascode mejorado.	53
Figura 4.20. Comparativa de resultados de los espejos estudiados: espejo simple (rojo), cascode (azul), cascode low-voltage (violeta) y cascode mejorado (verde).....	53
Figura 4.21. Amplificador clase A en configuración Fuente Común.	55
Figura 4.22. Amplificador clase A en configuración de Drenador Común.	56
Figura 4.23. Circuito simplificando los nodos de baja impedancia para la respuesta en frecuencia.	59
Figura 4.24. Circuito final de la simplificación para obtener la respuesta en frecuencia del OTA.	59

Figura 4.25. Circuito resultante del análisis de capacidades parásitas de los transistores.	60
Figura 4.26. Circuito del OTA Miller con las capacidades parásitas a tener en cuenta en el análisis de respuesta en frecuencia.	61
Figura 4.27. Diagrama de realimentación.	63
Figura 4.28. Margen de ganancia y margen de fase.	65
Figura 4.29. Modelo en pequeña señal del OTA con condensador de compensación. .	66
Figura 5.1. Estructura del OTA Miller con compensación polo-cero.	72
Figura 5.2. OTA asimétrico, diseño inicial.	76
Figura 5.3. Esquema de simulación del OTA con salida asimétrica en lazo abierto.	77
Figura 5.4. Magnitud de la ganancia del OTA con salida asimétrica en lazo abierto.	77
Figura 5.5. Fase de la respuesta en frecuencia del OTA con salida asimétrica en lazo abierto.	78
Figura 5.6. Decodificador.	79
Figura 5.7. Estructura interna del varactor, decodificador y capacidades conmutables.	80
Figura 5.8. Esquema de la simulación del VGA de salida asimétrica de una etapa.	81
Figura 5.9. Ganancia del VGA de salida asimétrica de una etapa.	81
Figura 5.10. Fase del VGA de salida asimétrica de una etapa.	82
Figura 5.11. Esquema del VGA de salida asimétrica de dos etapas.	83
Figura 5.12. Magnitud de la respuesta en frecuencia del VGA de salida asimétrica de dos etapas.	83
Figura 5.13. Fase de la respuesta en frecuencia del VGA de salida asimétrica de dos etapas.	84
Figura 6.1. Circuito del OTA con compensación Miller completamente diferencial.	88
Figura 6.2. Balun para adaptar la entrada asimétrica a modo diferencial (a) y fuente VCVS para adaptar de señal diferencial a señal asimétrica (b).	89
Figura 6.3. Circuito de simulación de los parámetros del OTA completamente diferencial en lazo abierto.	89
Figura 6.4. Magnitud de la ganancia del OTA completamente diferencial en lazo abierto.	90
Figura 6.5. Fase de la respuesta en frecuencia del OTA completamente diferencial en lazo abierto.	90

Figura 6.6. Esquema de simulación de la relación de rechazo al modo común.	91
Figura 6.7. Esquema de simulación de la relación de rechazo al modo común.	91
Figura 6.8. Estructura del VGA completamente diferencial, con las ramas I y Q.	93
Figura 6.9. Circuito de simulación del VGA completamente diferencial.	93
Figura 6.10. Magnitud de la respuesta en frecuencia del VGA de dos etapas.....	94
Figura 6.11. Fase de la respuesta en frecuencia del VGA de dos etapas.	94
Figura 6.12. Resultados de la simulación AC para 42 dB de ganancia.	94
Figura 7.1. Amplificador operacional con compensación Miller y red de realimentación negativa R1, R2 con resistencia de compensación(a) y con buffer (b).	98
Figura 7.2. Compensación de un amplificador con realimentación tipo Miller (a) y esquema de compensación de fuente propuesto (b).	101
Figura 7.3. Respuestas en lazo cerrado para un amplificador operacional Miller convencional (a) y para un amplificador operacional con compensación de fuente con $A_{II} \gg G$ (b).....	102
Figura 7.4. Circuito del OTA con entrada diferencial y salida asimétrica con compensación Miller.	103
Figura 7.5. OTA con salida asimétrica, aplicación de la técnica de compensación de fuente.	104
Figura 7.6. Esquema de la simulación para obtener las respuestas en lazo abierto del OTA con compensación Miller y el OTA con compensación de fuente.	104
Figura 7.7. Magnitud de la ganancia del OTA con compensación Miller (rojo) y compensación de fuente (azul).	105
Figura 7.8. Fase de la respuesta en frecuencia del OTA con compensación Miller (rojo) y compensación de fuente (azul).	105
Figura 7.9. Circuito del OTA con entrada y salida diferencial con compensación Miller.	106
Figura 7.10. OTA con salida diferencial, aplicación de la técnica de compensación de fuente.	107
Figura 7.11. Esquema de la simulación para obtener la respuesta del VGA de dos etapas con compensación de fuente.	107
Figura 7.12. Magnitud de la ganancia del VGA de dos etapas con compensación de fuente para los distintos niveles de ganancia.	108
Figura 7.13. Fase de la respuesta en frecuencia del VGA de dos etapas con compensación de fuente para los distintos niveles de ganancia.	108

Figura 8.1. Diagrama de bloques de la arquitectura interna de un transceptor.	111
Figura 8.2. Esquema del cabezal de recepción con reutilización de corriente y current boosting.	113
Figura 8.3. Esquemático de la estructura del LNA.	114
Figura 8.4. Estructura del mezclador.	117
Figura 8.5. Representación de la arquitectura de rechazo de la frecuencia en el dominio complejo.	119
Figura 8.6. Desplazamiento de frecuencia de una banda de señal y su imagen con un mezclador en cuadratura.	120
Figura 8.7. Implementación práctica del rechazo de la frecuencia imagen.	120
Figura 8.8. Conversión de filtro paso bajo a uno polifásico centrado en ωFI . Representación compleja (a), implementación mediante diagramas de bloques(b)..	121
Figura 8.9. Filtro C-L-C (a), implementación g_m -C (b), implementación g_m -C polifásica (c).	123
Figura 8.10. Estructura del filtro polifásico implementado.	124
Figura 8.11. Esquema completo del receptor formado por el cabezal de recepción, el filtro polifásico y el VGA.	124
Figura 8.12. Adaptación de entrada del receptor completo.	125
Figura 8.13. Ganancia y figura de ruido para toda la banda del estándar IEEE 802.15.4.	126
Figura 8.14. Efecto del filtro polifásico después del cabezal de entrada.	128
Figura 8.15. Simulación de la figura de ruido de un canal.	128
Figura 8.16. Respuesta en frecuencia del receptor.	129
Figura 8.17. Resultados de la simulación del IP3 del receptor completo para el modo de mínima ganancia.	130

Índice de Tablas

Tabla 2.1. Características de los transistores MOS de la tecnología CMOS de UMC 65 nm: dimensiones y tensiones de polarización mínimas y máximas.....	18
Tabla 5.1. Especificaciones	71
Tabla 5.2. Parámetros resultantes del diseño g_m/I_D de los transistores	74
Tabla 5.3. Dimensiones de los transistores para 500 nm de longitud de puerta	77
Tabla 5.4. Resultados de la simulación en lazo abierto.....	78
Tabla 5.5. Valores de la red resistiva para una etapa	80
Tabla 5.6. Resultados del VGA de salida asimétrica de una etapa.....	82
Tabla 5.7. Resultados del VGA de salida asimétrica en dos etapas	84
Tabla 6.1. Resultados del OTA completamente diferencial, lazo abierto	90
Tabla 6.2. Resultados de la simulación del OTA diferencial-diferencial de dos etapas con una ganancia total de 42 dB en saltos de 3 en 3 dB.....	95
Tabla 7.1. Comparativa de resultados en lazo abierto del OTA con compensación Miller y compensación de fuente	106
Tabla 7.2. Resultados de la simulación del OTA diferencial-diferencial de dos etapas con una ganancia total de 42 dB en saltos de 3 en 3 dB.....	109
Tabla 8.1. Consumo de los elementos del receptor.....	130
Tabla 9.1. Comparativa de resultados del OTA diferencial-diferencial de dos etapas con compensación de fuente y compensación Miller	135
Tabla 9.2. Comparativa del área ocupada por los condensadores del VGA con compensación Miller y compensación de fuente	136
Tabla 9.3. Parámetros del receptor y especificaciones del estándar IEEE 802.15.4 (FE: Front-End o Cabezal de recepción; BB: Banda Base)	137
Tabla 9.4. Comparativa de los parámetros del receptor diseñado con otros receptores estudiados	138
Tabla 0.1. Costes de la amortización de recursos hardware.....	147
Tabla 0.2. Costes de la amortización de recursos software	147
Tabla 0.3. Presupuesto del trabajo tarifado y la amortización de inmovilizado material	148
Tabla 0.4. Presupuesto con el trabajo tarifado, la amortización de inmovilizado material y la redacción del trabajo.....	149

Tabla 0.5. Costes del material fungible	150
Tabla 0.6. Presupuesto total del Trabajo de Fin de Grado.....	151

Lista de Acrónimos

ADC	<i>Analog-Digital Converter</i>
DAC	<i>Digital-Analog Converter</i>
BJT	<i>Bipolar Junction Transistor</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
MOSFET	<i>Metal-Oxide Semiconductor Field-Effect Transistor</i>
UMC	<i>United Microelectronics Corporation</i>
CMFB	<i>Common-Mode Feedback</i>
CMRR	<i>Common-Mode Rejection Ratio</i>
IP3	<i>Third Order Intercept</i>
DIBL	<i>Drain-Induced Barrier Lowering</i>
GBW	<i>Gain Bandwidth</i>
NF	<i>Noise Figure</i>
HVT	<i>High $V_{threshold}$</i>
LVT	<i>LOW $V_{threshold}$</i>
RVT	<i>Regular $V_{threshold}$</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
LNA	<i>Low-Noise Amplifier</i>
LPF	<i>Low-Pass Filter</i>
PGA	<i>Programmable-Gain Amplifier</i>

PLL	<i>Phase-Locked Loop</i>
TIA	<i>Transimpedance Amplifier</i>
VCO	<i>Voltage-Controlled Oscillator</i>
VGA	<i>Variable-Gain Amplifier</i>
LECIM	<i>Low-Energy, Critical Infrastructure Monitoring</i>
LR-WPAN	<i>Low-Rate Wireless Personal Area Network</i>
MAC	<i>Medium Access Control</i> , referido a la capa con el mismo nombre del modelo OSI
MBAN	<i>Medical Body Area Network</i>
PHY	<i>Physical</i> , referido a la capa física del modelo OSI
RCC	<i>Rail Communications and Control</i>
RFID	<i>Radio Frequency Identification</i>
SUN	<i>Smart Utility Networks</i>
OA	<i>Operational Amplifier</i>
OTA	<i>Operational Transconductance Amplifier</i>
PA	<i>Power Amplifier</i>
VCVS	<i>Voltage-Controlled Voltage Source</i>
Rx	Receptor
Tx	Transmisor
SiP	<i>System in Package</i>
SoC	<i>System on a Chip</i>

MEMORIA

Capítulo 1. Introducción

El diseño de circuitos integrados es un campo de gran interés dentro del ámbito de la electrónica. Existen multitud de aplicaciones según el propósito con el que se diseña un circuito, así como diferentes técnicas de diseño y procedimientos de fabricación.

El presente documento se centra en el diseño de uno de los bloques necesarios en un transceptor y, específicamente, de cualquier receptor.

Este bloque recibe el nombre de amplificador de ganancia variable (*Variable-Gain Amplifier* o VGA). Su función principal es el de amplificar la señal trasladada a frecuencias intermedias por el mezclador (*Low-IF*, en este caso) y filtrada por el filtro polifásico. El diseño del VGA se desarrolla cumpliendo con los requisitos del estándar IEEE 802.15.4 (*Institute of Electrical and Electronics Engineers*), dedicado a dispositivos de muy bajo coste y baja tasa binaria. El diseño de este elemento se desarrolla empleando los modelos del proceso de fabricación de la tecnología CMOS (*Complementary Metal-Oxide Semiconductor*) de UMC (*United Microelectronics Corporation*) de 65 nm.

A continuación, se presenta el estándar IEEE 802.15.4. Una vez hecho esto, se muestran los objetivos del desarrollo del trabajo.

1.1 El estándar IEEE 802.15.4

El continuo crecimiento de la demanda de dispositivos de bajo consumo y altas prestaciones constituye un reto para los diseñadores de transceptores para comunicaciones inalámbricas de corta distancia. El estándar IEEE 802.15.4

surge con el objetivo de regular las comunicaciones entre dispositivos caracterizados por [1]:

- Reducida tasa binaria.
- Bajo consumo.
- Pequeñas distancias entre dispositivos.

Por lo tanto, al cumplir estas características se asegura el diseño de dispositivos de bajo coste con un funcionamiento eficiente y con una autonomía razonable. Dado que operan en distancias cortas, este tipo de dispositivos forman lo que se conoce como redes de área personal de reducida tasa de bits (*Low-Rate Wireless Personal Area Network* o LR-WPAN). Estas redes están pensadas para comunicaciones de bajo coste que permiten la conectividad entre dispositivos para aplicaciones de consumo y flujos de datos reducidos. Los objetivos de una LR-WPAN son: lograr una comunicación eficiente, asegurar una instalación simple y conseguir una buena autonomía de los dispositivos mediante el uso un protocolo simple y flexible. Las topologías que soporta este estándar son: en estrella, punto a punto y combinaciones de las mismas. Además, soporta dos modos de direcciones: corto y extendido.

Este estándar cuenta con un gran campo de aplicaciones que crece constantemente. De entre todas estas, cabe destacar algunas de las que están cobrando más fuerza en estos años. Entre ellas se pueden destacar las redes de utilidades inteligentes (*Smart Utility Networks* ó SUNs), las comunicaciones y el control de vías (*Rail Communications and Control* ó RCC), el aprovechamiento de los “espacios blancos” de televisión, la identificación por radiofrecuencia (*Radio Frequency IDentification* o RFID), las redes de área personal médica (*Medical Body Area Network* o MBAN) o las aplicaciones de monitorización de infraestructuras críticas de bajo consumo (*Low-energy, critical infrastructure monitoring* o LECIM), entre otras.

Un dispositivo básico IEEE 802.15.4 posee una interfaz de radio que implementa los requisitos de funcionalidad de las capas de acceso al medio

(*Medium Access Control* o MAC) y física (*Physical* o PHY) del estándar. Las bandas de frecuencias que soporta este estándar son:

- Europa: de 868 a 868.8 MHz.
- Norteamérica: de 902 a 928 MHz.
- China: las bandas de 314 a 316 MHz, de 430 a 434 MHz y de 779 a 787 MHz.
- Japón: la banda de 950 a 956 MHz.
- Para todo el mundo: de 2.4 a 2.4835 GHz.

Asimismo, los flujos de datos posibles están limitados entre 20 y 250 kb/s, en función de la banda de trabajo.

1.2 Ámbito del proyecto y estado del arte

Una vez conocidas las características fundamentales del estándar se puede introducir el ámbito de desarrollo del presente proyecto. Este Trabajo de Fin de Grado se centra en el diseño de uno de los bloques básicos de todo transceptor, que es el amplificador de ganancia variable o VGA. Para comprender la importancia del VGA conviene conocer algunos detalles asociados a los transceptores.

El transceptor constituye la interfaz de radiofrecuencia (RF) fundamental en cualquier dispositivo, independientemente del estándar en el que se trabaje. Todo transceptor está compuesto por un transmisor y un receptor integrados en un mismo circuito [2]. Estas dos estructuras principales se dividen, a su vez, en una serie de componentes. En la Figura 1.1 se pueden apreciar los distintos bloques que conforman la estructura de un transceptor típico. Tanto el transmisor como el receptor poseen un elemento llamado cabezal (o *front-end*), que trabaja en la frecuencia de RF, cuya función es la de tratar la señal para que pueda ser transmitida o recibida adecuadamente. En el caso del receptor, tras el cabezal se presenta, normalmente, la etapa de filtrado y un VGA que se encarga de amplificar la señal.

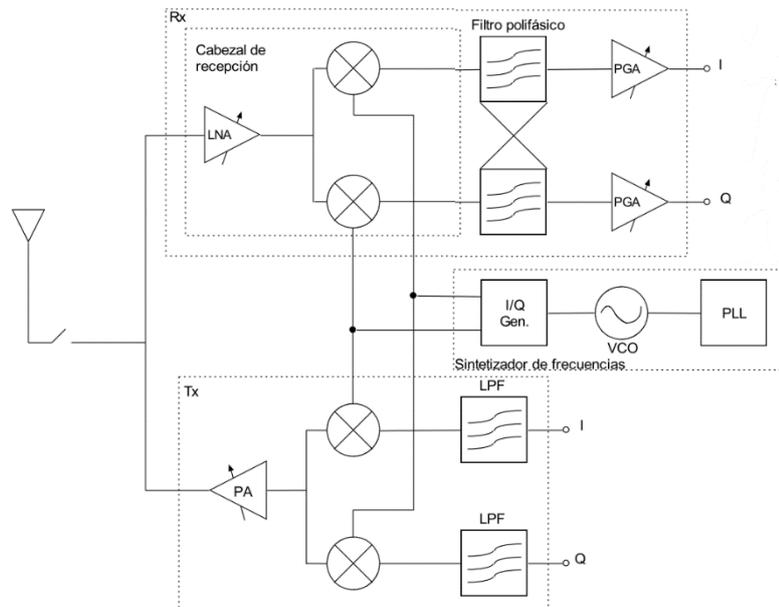


Figura 1.1. Diagrama de bloques de la arquitectura interna de un transceptor.

Para desarrollar el VGA se hace uso de la tecnología CMOS UMC de 65 nm. El VGA está conformado por distintas etapas implementadas a partir de OTAs (*Operational Transconductance Amplifiers*).

1.3 Objetivos

El objetivo fundamental del presente Trabajo de Fin de Grado es el de diseñar un amplificador de ganancia variable para el estándar IEEE 802.15.4 haciendo uso de la tecnología CMOS UMC de 65 nm. Como objetivo secundario se plantea el estudio de diferentes alternativas que permitan sustituir la compensación típica del VGA por una técnica de autocompensación que minimice el uso de condensadores, reduciendo notablemente el área ocupada por el circuito.

- O1.** Diseñar un amplificador de ganancia variable haciendo uso de la tecnología CMOS UMC de 65nm (Objetivo Principal).
- O2.** Estudio de diferentes alternativas que permitan sustituir la compensación típica de los VGA por una técnica de autocompensación que minimice el uso de condensadores (Objetivo Secundario).

Tal y como se ha comentado, el objetivo principal es el de diseñar el VGA. Sin embargo, la verdadera dificultad de este proyecto radica en el segundo

objetivo. Los OTAs necesitan de una red de compensación para mantener un ancho de banda constante para los distintos niveles de ganancia. Típicamente, esto se consigue haciendo uso de redes de condensadores que ocupan mucha área en el circuito. En este trabajo se implementa una alternativa que permite sustituir la compensación típica de los VGAs por una técnica de autocompensación que minimiza el uso de condensadores.

1.4 Estructura del documento

La estructura del documento está formada por 9 capítulos. El contenido de estos capítulos se describe a continuación.

- **Capítulo 1.** Constituye una introducción sobre el alcance del proyecto.
- **Capítulo 2.** Este capítulo está dedicado a los fundamentos teóricos del proyecto. Aquí se comentarán los aspectos básicos para el desarrollo del trabajo. Se comienza con una introducción a los MOSFET. Seguidamente se introducen las características de la tecnología CMOS UMC de 65 nm y se finaliza el capítulo con una descripción en detalle de la metodología de diseño g_m/I_D .
- **Capítulo 3.** En este capítulo se realiza una introducción a los amplificadores de ganancia variable, presentando las diferentes configuraciones posibles de los mismos según su localización en un receptor.
- **Capítulo 4.** En este capítulo se hace una introducción al funcionamiento y el diseño de amplificadores operacionales, que son los elementos principales del VGA. A continuación, se analizan las diferentes etapas de las que está compuesto el amplificador operacional de transconductancia (OTA). Asimismo, se realiza un estudio del funcionamiento en pequeña señal, extrayendo los parámetros característicos del OTA y la respuesta en frecuencia del mismo. Por último, se muestran las técnicas de compensación empleadas.
- **Capítulo 5.** En este capítulo se presenta el diseño completo del OTA con salida asimétrica. Una vez presentados los resultados en lazo

abierto, se calculan las redes resistivas de realimentación para el ajuste de ganancia con una y dos etapas. El diseño del OTA en dos etapas es el que pasará a formar el VGA. Finalmente, se verifica el funcionamiento del VGA, presentando resultados y conclusiones.

- **Capítulo 6.** Este capítulo está dedicado al diseño de un OTA completamente diferencial. Se parte del diseño con entrada diferencial y salida asimétrica, se añade la circuitería adicional necesaria para obtener una salida diferencial. Posteriormente, se ajustan la red resistiva y la de compensación calculadas para el caso anterior. Por último, se muestran los resultados obtenidos y las conclusiones extraídas de los mismos.
- **Capítulo 7.** En este capítulo se presenta la optimización del VGA. Esta optimización está basada en una técnica de compensación innovadora, denominada compensación de fuente (*Source Compensation*). Esta técnica permite mejorar el producto ganancia-ancho de banda (*Gain-Bandwidth Product*) del OTA y el consumo de área del circuito, puesto que se elimina la necesidad de emplear una red externa de condensadores de compensación. Esta red externa queda sustituida por un solo condensador integrado en la estructura del OTA.
- **Capítulo 8.** En este capítulo se presenta la integración del VGA en un receptor completo, formado por un cabezal de recepción, un filtro y el VGA. A continuación, se muestran los resultados de simulación realizados para el receptor conformado tras esta integración.
- **Capítulo 9.** Este capítulo está dedicado a presentar la recopilación del trabajo realizado en este Trabajo de Fin de Grado y mostrar una serie de líneas de trabajo futuro.
- **Anexos.** Al final del documento se incluyen una serie de documentos Anexos, correspondientes a los *set-ups* de simulación completos y otra información de interés para el lector.

Capítulo 2. Fundamentos teóricos

Este capítulo constituye una introducción a una serie de conceptos esenciales en el desarrollo del proyecto. Para ello, a lo largo del capítulo se presentan una serie de aspectos teóricos relacionados con el funcionamiento de los transistores de efecto de campo (MOSFETs). Finalmente, se analizan las características más importantes de los mismos.

2.1 El transistor MOS

Como se verá en capítulos posteriores, el amplificador operacional de transconductancia u OTA es la estructura principal del VGA. Esta estructura está mayoritariamente formada por transistores. Por este motivo, se debe conocer el funcionamiento de los transistores para comprender cómo operan los OTAs. De todos los elementos disponibles en la tecnología CMOS UMC de 65 nm, este apartado se centra en el estudio de los MOSFETs (*Metal-Oxide Semiconductor Field-Effect Transistor*).

Los circuitos MOS emplean dos tipos de transistores complementarios: los de canal n (o transistores tipo N) y los de canal p (o transistores tipo P) [3]. Se suele hacer referencia a los mismos como NMOS y PMOS, respectivamente. Los transistores NMOS hacen uso de electrones para conducir la corriente, mientras que los PMOS conducen mediante “huecos”. El concepto de “hueco” está relacionado con el dopaje con cargas positivas (región p) [4]. De igual forma, la conducción por electrones tiene que ver con el dopaje con cargas negativas (región n).

En la Figura 2.1 se presenta la sección transversal de un transistor de canal n . El transistor MOS está compuesto por cuatro terminales: la fuente (*source* o

S), el drenador (*drain* o D), la puerta (*gate* o G) y el sustrato (*substrate*, *bulk* o *body*, denotado como B). Los contactos de la fuente y el drenador está formados por una zona n^+ , caracterizada por la existencia de muchas cargas negativas (el '+' indica que está altamente dopado). Por otro lado, el sustrato está compuesto de cargas de tipo p^- , que son cargas positivas (el índice '-' indica que es una región con dopaje moderado).

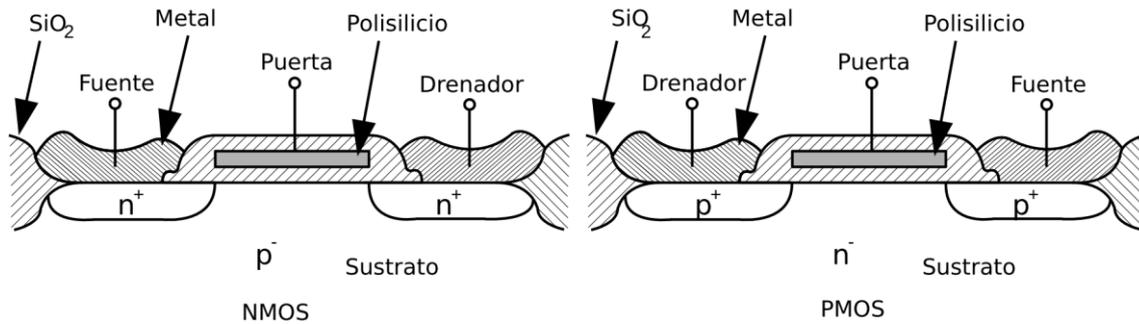


Figura 2.1. Sección de un transistor CMOS, a la izquierda un transistor de tipo N, a la derecha un tipo P.

La distancia entre el drenador y la fuente se la denomina longitud de canal y en las tecnologías más modernas se consigue que esta sea de 10 nm [5][6][7]. Se suelen emplear puertas hechas de poli-silicio que permiten modelar las dimensiones del transistor con una mayor precisión. La puerta del transistor está separada de la superficie del sustrato por una fina capa de dióxido de silicio, es decir, la puerta está eléctricamente aislada. Pese a esto, afecta al canal por acoplamiento electrostático (capacitivo). Dado que la puerta está aislada del canal, no circula corriente eléctrica apreciable a través de ella (en general se asume que $I_G = 0$ A).

Cabe mencionar que no existe diferencia alguna entre el drenador y la fuente desde el punto de vista físico. Sin embargo, se denomina como fuente a aquel terminal que está conectado a una tensión más negativa en los NMOS y más positiva en los PMOS. Cuando un transistor se activa, la corriente fluye desde el drenador hacia la fuente en un NMOS y de la fuente hacia el drenador en un PMOS.

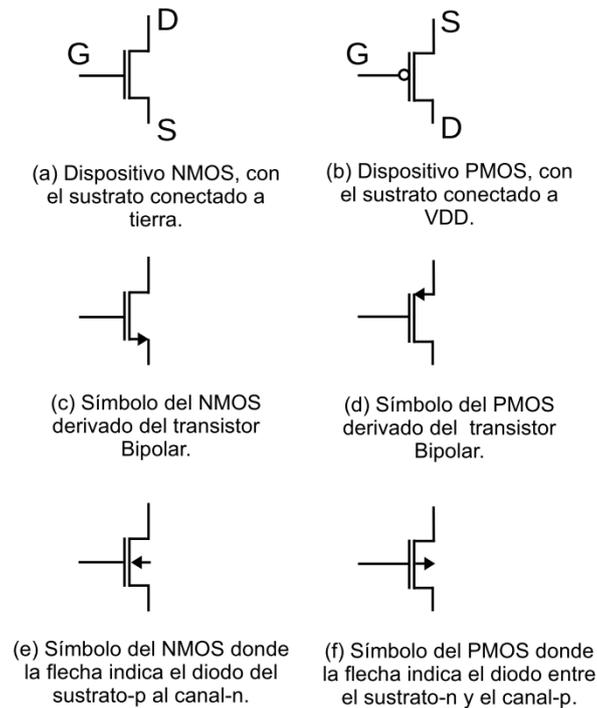


Figura 2.2. Símbolos para representar los transistores NMOS (a), (c) y (e) y los PMOS (b), (d) y (f).

En la Figura 2.2 se muestran los símbolos empleados para representar los transistores MOS. Cabe recordar que los MOSFET son elementos de cuatro terminales. Cuando no se representa el terminal correspondiente al sustrato, se está asumiendo que este terminal se haya conectado a la tensión más negativa en los NMOS y a la más positiva en los PMOS. Los símbolos que indican con una flecha el sentido de la corriente se suelen emplear en circuitos analógicos, en la Figura 2.2 (c), (d), (e) y (f), mientras que los que no muestran distinción entre drenador y fuente, en la Figura 2.2 (a) y (b), suelen verse más en circuitos digitales.

En la Figura 2.3 se puede ver la notación empleada para las tensiones características en los NMOS y PMOS. En esta figura se representan las tensiones y corrientes características en el modelado de los MOSFET. Todas las tensiones y corrientes representadas son positivas.

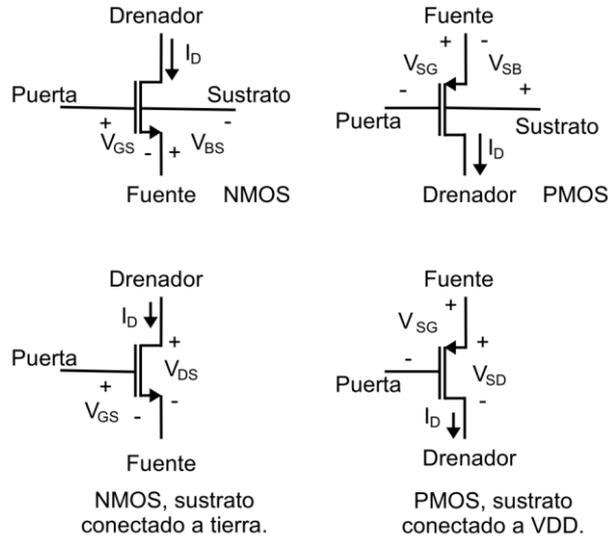


Figura 2.3. Tensiones y corrientes en los transistores NMOS a la izquierda y de los PMOS a la derecha.

2.2 Operación básica de los MOS

La tensión que gobierna la formación del canal en los MOSFET es V_{GS} (tensión puerta-fuente). A la tensión V_{GS} para la cual la concentración de electrones bajo la puerta es igual a la concentración de huecos en el sustrato alejado de la puerta, se la conoce como tensión umbral del transistor o V_{TH} (*threshold voltage*). Para tensiones V_{GS} por debajo de la tensión umbral se asume que en el transistor no circula corriente entre el drenador y la fuente.

La densidad de electrones en el canal aumenta conforme lo hace la tensión V_{GS} . Esta densidad es proporcional a $(V_{GS} - V_{TH})$, a veces llamada tensión efectiva V_{eff} . Si la tensión que hay en la puerta del transistor es mayor que la tensión umbral, entonces se forma canal entre la fuente y el drenador. Cuando se aplica una tensión positiva en el drenador, entonces existe una diferencia de tensión entre el drenador y la fuente, denotada como V_{DS} . Al aparecer esta diferencia de tensión, circula corriente desde el drenador hacia la fuente del transistor. Esta corriente se suele denotar como I_D y se asume que las corrientes de drenador y fuente son iguales ($I_D = I_S$). Asimismo, la relación entre esta tensión V_{DS} y la corriente que circula, I_D es la misma que en una resistencia cuando V_{DS} es pequeña. Esta relación queda representada en la expresión (2.1), donde μ_n

es la movilidad de los electrones sobre la superficie de silicio y Q_n es la concentración o densidad de cargas en el canal por unidad de superficie.

$$I_D = \mu_n Q_n \frac{W}{L} V_{DS} \quad (2.1)$$

Las dimensiones del transistor (ancho, W y largo, L) quedan claramente definidos en la Figura 2.4. De la ecuación (2.1) se puede deducir que cuando aumenta la longitud del transistor, la corriente se ve reducida, mientras que esta aumenta cuando lo hace la densidad de electrones o el ancho del transistor.

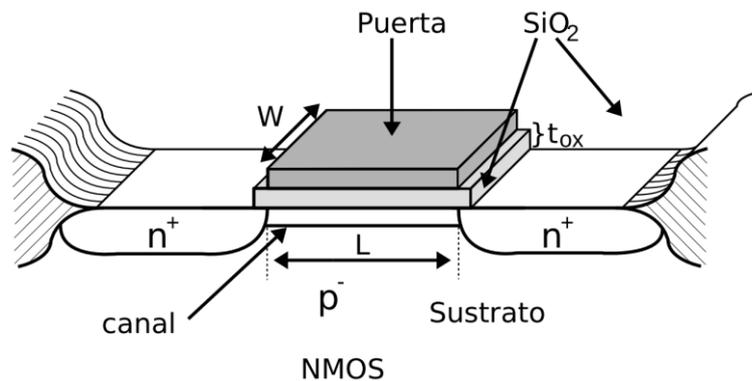


Figura 2.4. Dimensiones de un transistor NMOS.

La densidad de electrones total Q_{T-n} viene dada en función de las dimensiones del canal, la tensión puerta-fuente efectiva (V_{eff}) y la capacidad del óxido (C_{ox}) que separa la puerta del canal. La expresión que gobierna la operación del MOSFET viene dada por la relación (2.2). Hay que tener en cuenta que esta ecuación se cumple para tensiones V_{DS} cercanas a cero.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.2)$$

En la Figura 2.5 se puede ver la formación del canal entre el drenador y la fuente al aplicar una tensión V_{DS} positiva, para una tensión de puerta V_G mucho mayor que V_{TH} . A su vez, se aprecia un efecto importante, dado que el canal se estrecha en las cercanías del drenador. A este efecto se le conoce como estrangulamiento del canal. Esto sucede porque la diferencia de tensión entre la puerta y el canal es menor cerca del drenador, por lo que se atraen menos cargas negativas. El estrangulamiento del canal ocurre cuando la tensión $V_{GD} \leq V_{TH}$.

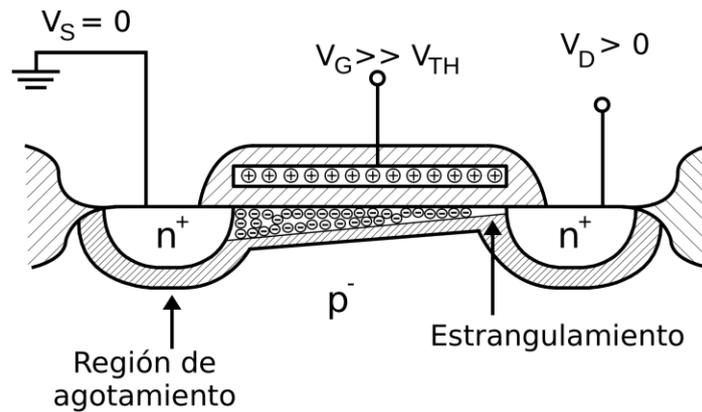


Figura 2.5. Densidad de carga del canal cuando $V_{DS} > 0$.

La corriente que circula por el canal “estrangulado” está saturada, de manera similar a un gas que pasa a través de un tubo muy pequeño cuando hay una gran diferencia de presión. Cuando esto ocurre, la corriente de drenador permanece constante, aunque V_{DS} siga creciendo.

2.2.1 Regiones de operación

Para obtener las curvas características de un transistor es necesario observar la corriente de drenador del transistor conforme V_{DS} va creciendo, para distintos valores de V_{GS} . Esta simulación se realiza sobre el esquemático representado en la Figura 2.6.

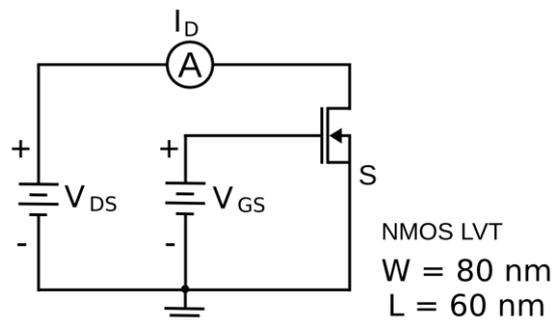


Figura 2.6. Circuito para obtener las curvas características del transistor.

El resultado que se obtiene al enfrentar en una gráfica la corriente de drenador y la tensión V_{DS} se muestra en la Figura 2.7,. Aquí se puede ver claramente la curva característica del transistor, donde se observa que tiene una relación lineal por debajo de la tensión umbral y una recta cuando se supera la misma. En este caso, se ha simulado un transistor LVT (ver apartado 2.5) de *mixed-mode* con unas dimensiones de 80 nm de ancho y 60 nm de largo, que son las mínimas que permite la tecnología.

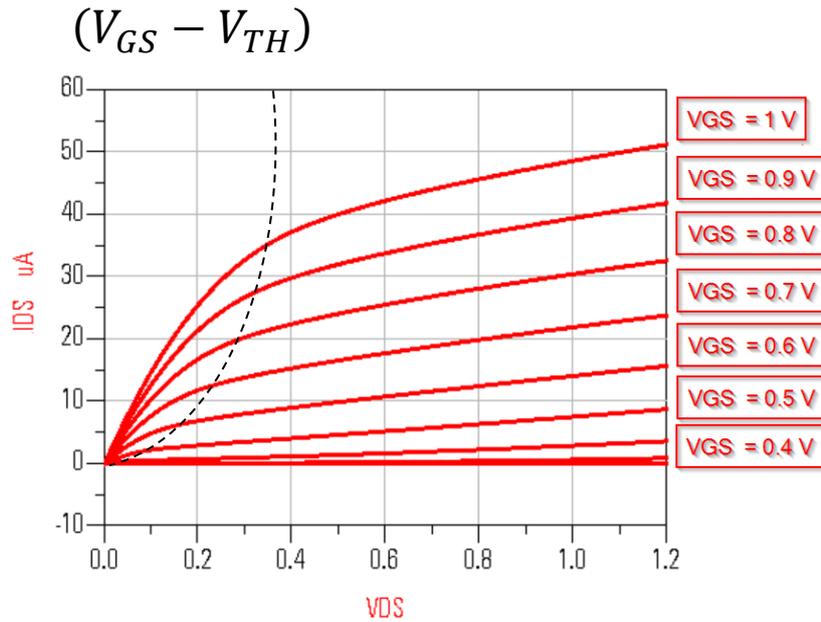


Figura 2.7. Curvas I_D frente a V_{DS} para diferentes valores de V_{GS} .

La zona en la que la corriente I_D permanece aproximadamente constante, se denomina región activa (o de saturación del canal) y la zona lineal se denomina región de “triángulo”, zona óhmica o, simplemente, región lineal.

Teniendo en cuenta la Figura 2.7 es posible distinguir las regiones de operación del transistor MOS. Se considera que el transistor está cortado u operando en la región de corte cuando se cumple la expresión (2.3) para los NMOS y la expresión (2.4) para los PMOS. Cuando el transistor se encuentra operando en la región lineal, la corriente de drenador I_D viene dada por la ecuación (2.5) en el caso de los NMOS y por la ecuación (2.6) en el caso de los PMOS. En esta relación se aprecia que I_D y V_{DS} son inversamente proporcionales hasta que el canal se empieza a estrangular cerca del drenador, que es cuando I_D deja de crecer.

$$V_{GS} \leq V_{TH} ; V_{DS} > 0 \rightarrow I_D = 0 \quad (2.3)$$

$$V_{GS} > V_{TH} ; V_{DS} < 0 \rightarrow I_D = 0 \quad (2.4)$$

$$V_{GS} \geq V_{TH} ; V_{DS} > 0 ; I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.5)$$

$$V_{GS} \leq V_{TH}; V_{DS} < 0; I_D = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.6)$$

Cuando se produce el estrangulamiento del canal es cuando el transistor opera en saturación o en la región activa. En este punto, la relación que gobierna el transistor queda representada por la ecuación (2.7) para los NMOS y por la expresión (2.8) para los PMOS.

$$V_{GS} > V_{TH}; V_{DS} > (V_{GS} - V_{TH}); I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^2 \quad (2.7)$$

$$V_{GS} < V_{TH}; V_{DS} < (V_{GS} - V_{TH}); I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^2 \quad (2.8)$$

En la práctica, la zona activa presenta una ligera pendiente, dado que la relación corriente-tensión es cuadrática. Tal y como se puede ver en la Figura 2.7, la corriente en saturación presenta una pendiente, este efecto tiene que ver con la modulación del canal. Se suele emplear el parámetro λ para referirse a la modulación del canal, cuyo valor se puede calcular a través de la expresión (2.9). Normalmente, el valor de λ se suele encontrar entre 0.1 V^{-1} y 0.01 V^{-1} . El término X_{dl} es la longitud de la región de agotamiento. Para tener en cuenta la modulación del canal basta con reescribir la ecuación característica de I_D tal y como se muestra en la ecuación (2.10).

$$\lambda = \frac{1}{L} \cdot \frac{dX_{dl}}{dV_{DS}} \quad (2.9)$$

$$I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^2 [1 + \lambda V_{DS}] \quad (2.10)$$

Las ecuaciones anteriores se basan en la asunción de que la tensión de fuente era la misma que la del sustrato.

2.3 Modelos en pequeña señal

En función de la polarización del transistor es posible trabajar en la región activa o en la región lineal.

2.3.1 Región activa

El modelo más empleado en pequeña señal del MOSFET cuando opera en la región activa es el presentado en la Figura 2.8 [3].

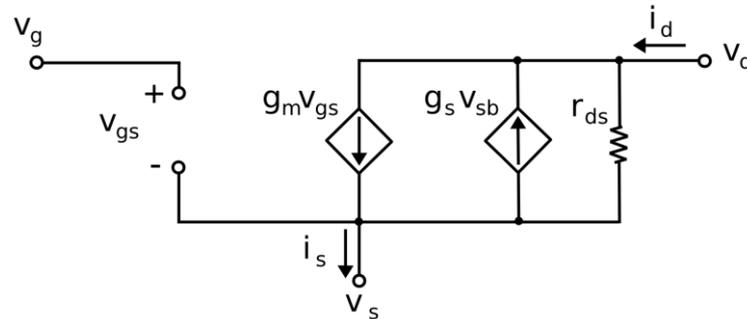


Figura 2.8. Modelo en pequeña señal de baja frecuencia para un transistor MOS en la región activa.

El valor de la transconductancia g_m , presentado en la ecuación (2.11), está definido como la derivada de I_D respecto a V_{GS} . Por lo tanto, la transconductancia representa la variación de la corriente de drenador para pequeñas variaciones en la tensión V_{GS} . Cuanto mayor sea g_m , mayor será la inyección de corriente en el canal para una misma variación de V_{GS} . La resistencia r_{ds} (también denotada como r_o), representa la resistencia del canal, cuyo valor viene dado por la expresión (2.12).

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.11)$$

$$r_{ds} = \frac{1}{\lambda \cdot I_{D,sat}} \quad (2.12)$$

En la región activa, la operación del MOSFET la gobierna la ecuación (2.7). Si se deriva dicha ecuación respecto a V_{GS} , se obtiene que la transconductancia g_m viene dada por la relación (2.13).

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{eff} \quad (2.13)$$

2.3.2 Región lineal

El modelo en pequeña señal para baja frecuencia del transistor MOS operando en la región lineal o región de triodo se muestra en la Figura 2.9 [3].

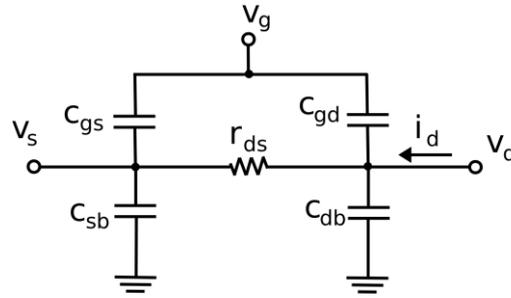


Figura 2.9. Modelo simplificado del transistor MOS en pequeña señal para baja frecuencia en la región lineal, válido cuando V_{DS} es pequeña.

2.4 Regiones sub-umbral

En ocasiones es necesario distinguir entre transistores en inversión *fuerte*, *moderada* o *débil* [3][4][8]. Cuando V_{GS} supera la tensión umbral se forma un canal invertido y la corriente entre drenador y fuente puede circular. Pero conforme aumenta V_{GS} , el canal no se invierte súbitamente, sino que lo hace de forma gradual.

La región de inversión fuerte implica que el canal está fuertemente invertido. Cabe destacar que las relaciones presentadas con anterioridad se cumplen bajo la suposición de que el transistor se encuentra en inversión fuerte. Cuando V_{eff} tiene un valor negativo, el transistor opera en inversión débil. En este estado, el mecanismo físico que gobierna la circulación de corriente entre drenador y fuente es la difusión. Por lo tanto, el transistor se modela con mayor precisión mediante una relación exponencial entre la tensión de control en la puerta y la corriente que circula por el canal.

La transconductancia de un transistor en la región sub-umbral se determina por medio de la expresión (2.14). Para una corriente de drenador fija (I_D) la transconductancia en la región sub-umbral es independiente de V_{eff} . Al normalizar la transconductancia con respecto a la corriente de drenador se obtiene un valor constante dado por la relación (2.15).

$$g_{m(sub-th)} = \left(\frac{q}{nkT}\right) I_{D0} \left(\frac{W}{L}\right) e^{\left(\frac{qV_{eff}}{nkT}\right)} = \frac{qI_D}{nkT} \quad (2.14)$$

$$\frac{g_{m(sub-th)}}{I_{D(sub-th)}} = \frac{q}{nkT} \quad (2.15)$$

Por lo tanto, para una corriente de drenador fija, la transconductancia de un dispositivo MOS es máxima en la región sub-umbral con el valor dado en la ecuación (2.14). En otras palabras, se puede obtener el mismo valor de transconductancia en la región sub-umbral empleando menos corriente de drenador que en inversión fuerte. Sin embargo, para obtener valores de transconductancia útiles en las regiones sub-umbral es necesaria una relación de aspecto (W/L) muy elevada. Estas elevadas relaciones de aspecto implican unas capacidades parásitas mayores, que dificultan la operación a muy alta velocidad. De ahí que la operación en las regiones sub-umbral se emplee principalmente cuando es viable sacrificar velocidad de funcionamiento para obtener menor corriente de drenador y, en general, menor consumo.

La transición entre las regiones sub-umbral y la inversión fuerte no es abrupta. Lo cierto es que para un extenso rango de tensión V_{GS} , ambas corrientes coexisten con magnitudes similares. Este hecho dificulta la precisión en el modelado de los dispositivos. A este tipo de inversión, que se encuentra a medio camino entre la inversión fuerte y débil, se la suele denominar inversión moderada.

2.5 Características de la tecnología CMOS UMC 65 nm

En el diseño del VGA se ha empleado la tecnología CMOS de UMC de 65 nm. Por ello, es necesario revisar y conocer en detalle las características de los dispositivos de esta tecnología [9].

Al trabajar con UMC de 65 nm se dispone de dos tipos de transistores principales: están los de baja frecuencia (o *mixed-mode* MM) y los de RF. A su vez, es posible diferenciar entre los transistores LVT (*Low V_{TH}*), RVT (*Regular V_{TH}*) y HVT (*High V_{TH}*). Estos tres tipos difieren en la tensión umbral que los caracteriza, de forma que los transistores LVT tienen una tensión umbral inferior a los RVT, que a su vez tienen una tensión umbral inferior a los HVT.

Por lo general, los transistores con menor tensión umbral son más rápidos, pero poseen mayores pérdidas (corrientes de fuga). En el caso en el que se trabaje con transistores de mayor tensión umbral, ocurre el caso contrario. Tal y como se verá más adelante estas características serán explotadas en el diseño del VGA. En cualquier caso, los transistores de interés son los LVT, RVT y HVT de baja frecuencia, dado que el VGA opera en frecuencias intermedias bajas (*Low-IF* en cursiva) en este caso de 2.5 MHz. Las limitaciones de esta tecnología se presentan en la Tabla 2.1.

Tabla 2.1. Características de los transistores MOS de la tecnología CMOS de UMC 65 nm: dimensiones y tensiones de polarización mínimas y máximas

Magnitud	Mínimo	Máximo
Longitud (L)	60 nm	3 μ m
Ancho (W)	80 nm	10 μ m
V_{GS}	0 V	1.2 V
V_{DS}	0 V	1.2 V
V_{BS}	1.2 V	0 V

Una característica interesante en los transistores MOS es el uso de *fingers*. Los fabricantes aconsejan adoptar estructuras *multi-finger* o múltiples puertas, sobre todo cuando el ancho de la puerta supera los 10 μ m.

El uso de varios *fingers* es una técnica aconsejada a la hora de diseñar transistores de grandes dimensiones. Las principales ventajas que aportan son las siguientes:

- Permiten una mayor flexibilidad en el *layout* de los transistores.
- Suelen mejorar el uso del área del circuito.
- Reducen la resistencia de puerta.
- Permiten una mayor precisión a la hora de obtener transistores con las mismas características (*matching*).

Un ejemplo del uso de múltiples *fingers* se muestra en la Figura 2.10. La tecnología CMOS de UMC de 65 nm permite incluir el número de *fingers* en los

modelos de los dispositivos y el ancho total de la puerta, de manera que se calcula automáticamente el ancho de cada *finger*. Esto asegura una gran precisión en el modelado y la simulación del comportamiento de los transistores.

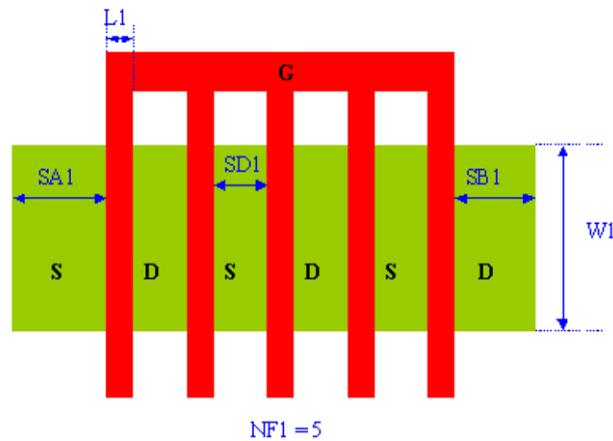


Figura 2.10. Ejemplo de un transistor con un número impar de fingers.

2.6 La metodología de diseño g_m/I_D

En este apartado se presenta el método de diseño g_m/I_D propuesto para realizar el diseño del VGA, con el fin de facilitar su entendimiento a la hora de aplicarlo en el diseño.

2.6.1 Método de diseño g_m/I_D

Para diseñar circuitos analógicos se suele realizar la aproximación de que la corriente de drenador es nula cuando la tensión de puerta es inferior a la tensión umbral. Asimismo, se supone que existe una corriente con una dependencia cuadrática con la tensión cuando la tensión de puerta es superior a la tensión umbral. Es decir, se considera siempre al transistor en inversión fuerte. Sin embargo, esto es solo una aproximación teórica para simplificar el diseño. Lo cierto es que por debajo de la tensión umbral la corriente de drenador de los transistores no es nula, aunque sí es muy reducida y, además, posee una dependencia exponencial con la tensión de puerta. Este hecho nos permite obtener circuitos de muy bajo consumo.

La metodología que se va a emplear en el diseño de los circuitos es conocida como g_m/I_D y fue introducida por F. Silveira, D. Flandre y P. G. A. Jespers en el año 1996. Las técnicas de diseño g_m/I_D permiten trabajar en cualquiera de los

tres niveles de inversión del transistor, aprovechando la relación existente entre la transconductancia y la corriente de drenador (g_m/I_D) [10]. Esta relación es una potente herramienta a la hora de dimensionar los transistores. Un buen compromiso entre área, consumo y velocidad se puede conseguir cuando los transistores trabajan en región de inversión moderada [11][12].

La relación g_m/I_D no depende de la relación de aspecto del transistor, ya que la transconductancia (g_m) y la corriente de drenador (I_D) varían en relación al ancho de puerta. Este punto es fundamental para el diseño y en él radica la efectividad del mismo.

2.6.2 La curva g_m/I_D frente a $I_D/(W/L)$

La relación g_m/I_D es especialmente útil en la fase inicial del diseño cuando las dimensiones de los transistores son desconocidas. Partiendo de las especificaciones de diseño y una vez conocidos un par de valores de g_m e I_D , entonces es posible determinar la relación de aspecto de los transistores. Una vez conocidas las curvas de los transistores es posible diseñar para la relación de aspecto necesaria, manteniendo el transistor en la región de inversión deseada. Para demostrar esta afirmación se han obtenido las curvas para tres relaciones de aspecto diferentes para los tres tipos de transistores disponibles en la tecnología UMC 65 nm: Low- V_T (LVT), Regular- V_T (RVT) y High- V_T (HVT).

Las curvas g_m/I_D vs $I_D/(W/L)$ se obtienen enfrentando la relación g_m/I_D y la corriente de drenador normalizada. Las curvas características que se obtienen son una relación única e identificativa para todos los transistores de una misma tecnología. A partir de ellas es posible diseñar las dimensiones de los MOSFETs para trabajar en cualquiera de los tres modos de inversión, aprovechando las ventajas que presenta cada uno de ellos.

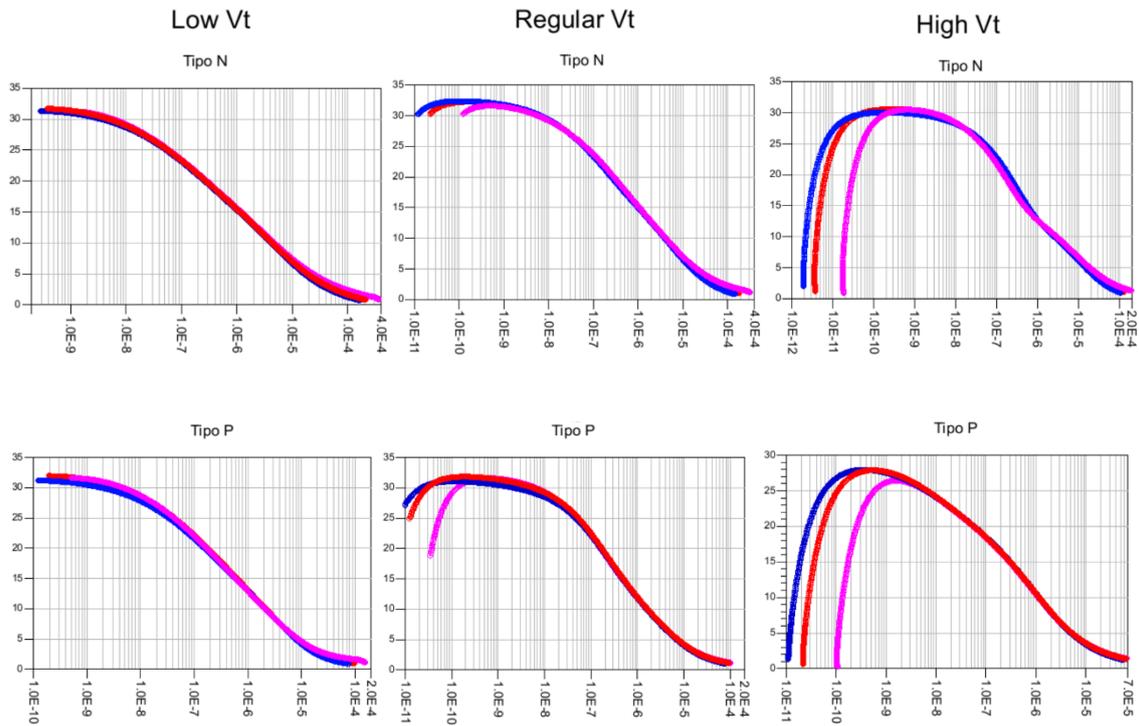


Figura 2.11. Curvas g_m/I_D vs $I_D/(W/L)$ para relación de aspecto 1 (rojo), 5 (azul) y 10 (violeta).

En la Figura 2.11 se puede comprobar que las curvas se superponen para las tres relaciones de aspecto diferentes, aunque presentan pequeñas variaciones en el caso de los HVT cuando la corriente normalizada es muy pequeña. En cualquier caso, en la región de interés, las tres relaciones de aspecto coinciden confirmando la afirmación de que la relación g_m/I_D es independiente de la relación de aspecto del transistor. Por lo tanto, es una herramienta muy potente a la hora de diseñar.

La forma de dimensionar los transistores con esta tecnología es la siguiente [13]:

1. Se obtienen las curvas g_m/I_D vs. $I_D/(W/L)$ para los transistores de tipo N y P.
2. Se establece la relación g_m/I_D deseada para el transistor, en función de la región en la que se pretende operar.
3. Se obtiene la g_m del transistor para cumplir las especificaciones de diseño.
4. A continuación, se obtiene la corriente de drenador del transistor en continua, tal y como se muestra en la ecuación (2.16).

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} \quad (2.16)$$

5. Llegados a este punto, se puede extraer el valor de $I_D/(W/L)$. A su vez, al conocer el valor de la corriente de drenador se puede extraer la relación de aspecto del transistor a través de la relación (2.17) y, con ello, fijando la longitud (L) se extrae el ancho (W).

$$\left(\frac{W}{L}\right) = \frac{I_D}{\left(\frac{I_D}{W/L}\right)^*} \quad (2.17)$$

La forma más sencilla de comprender esta metodología es aplicarla en un ejemplo. Para ello, se plantea el diseño de un transistor tipo N con una relación g_m/I_D de 10. Por las especificaciones del diseño se necesita una transconductancia $g_m = 60 \mu S$. A su vez, se sabe que el valor de $I_D/(W/L)$ es de $3.9 \mu A$, al observar la gráfica de la Figura 2.11 correspondiente. La corriente que circula por el transistor en continua se obtiene aplicando la ecuación (2.16). El resultado que se obtiene de esta operación se presenta en la expresión (2.18), de manera que la corriente de drenador del transistor deberá ser de $6 \mu A$. La relación de aspecto del transistor se obtiene aplicando la relación (2.17). Tras aplicar esta ecuación, la relación de aspecto resulta de 1.54, tal y como se puede ver en la expresión (2.19). Si la longitud de puerta mínima es de 65 nm, entonces el ancho de puerta será de 100 nm, tal y como se ve en la ecuación (2.20).

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} = \frac{60 (\mu S)}{10 \left(\frac{\mu S}{\mu A}\right)} = 6 \mu A \quad (2.18)$$

$$\left(\frac{W}{L}\right) = \frac{I_D}{\left(\frac{I_D}{W/L}\right)^*} = \frac{6 (\mu A)}{3.9 (\mu A)} = 1.54 \quad (2.19)$$

$$W = \left(\frac{W}{L}\right) L = 1.54 \cdot 65 (nm) = 100 nm \quad (2.20)$$

Por lo tanto, los pasos a seguir en el desarrollo de este método pueden resumirse siguiendo el flujo de diseño que se muestra en la Figura 2.12. A partir de los requisitos del circuito se obtiene el valor de la g_m de los dispositivos.

Después se decide en qué región opera cada transistor en función de las características que se deseen. Sabiendo la relación g_m/I_D y la transconductancia, se puede obtener la relación de aspecto operando con los valores obtenidos en la curva g_m/I_D vs. $I_D/(W/L)$. De la relación de aspecto, se obtiene el ancho de puerta fijando la longitud que va a tener el transistor. Si no se tiene una longitud de puerta mínima, se debe decidir el valor que se va a usar como tal, normalmente se aconseja utilizar unas dimensiones de puerta de unas cinco veces el tamaño mínimo que permita la tecnología.

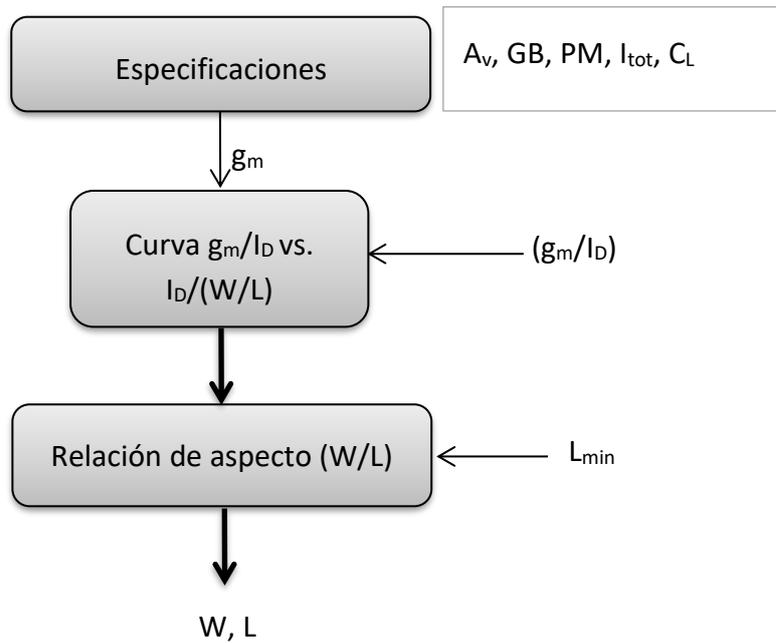


Figura 2.12. Flujo de diseño propuesto siguiendo el método de diseño g_m/I_D .

Existen dos formas de obtener las curvas g_m/I_D vs. $I_D/(W/L)$: experimental o analíticamente. La primera consiste en realizar medidas sobre un transistor cuyo ancho y longitud son conocidos, lo cual permite derivar la relación g_m/I_D de la característica I_D/V_{GS} de dicho transistor. El otro método emplea expresiones analíticas para obtener la relación g_m/I_D . Estas expresiones se obtienen de modelos matemáticos como puede ser el modelo EKV [14]. Con estos modelos matemáticos se pueden hacer cálculos empleando programas para tal fin, como Matlab, o realizar dichos cálculos a mano.

2.7 Conclusiones

A lo largo del capítulo se ha presentado la operación de los MOSFETs en profundidad. Se ha realizado un repaso de algunos conceptos importantes, estudiando en detalle la formación del canal. También se han visto las regiones de operación del transistor y las ecuaciones por las que se rige la operación en estas regiones. Posteriormente se han presentado los modelos en pequeña señal. Se han estudiado algunos conceptos más avanzados, como son los modos de inversión del canal. A su vez, se han presentado los transistores MOS disponibles en la tecnología CMOS UMC de 65 nm. El capítulo finaliza con un repaso de la metodología de diseño g_m/I_D . Los conceptos definidos a lo largo de este capítulo son muy importantes para el diseño del VGA. En el capítulo siguiente se realiza una introducción a los mismos, mostrando las arquitecturas que puede presentar un receptor según la posición que ocupa el VGA y las diferentes configuraciones de estos amplificadores en función de los elementos que lo componen.

Capítulo 3. Introducción a los amplificadores de ganancia variable

A lo largo de este capítulo se presenta el papel del VGA en el receptor. A su vez, se tratan las distintas estructuras en las que se puede presentar un receptor en función de la forma de filtrar la señal que se haya tomado. Finalmente, se presentan las distintas configuraciones que puede tomar un VGA según los componentes que lo forman.

3.1 Introducción

El amplificador de ganancia variable (*Variable Gain Amplifiers* o VGAs) también conocido como amplificador de ganancia programable (*Programmable Gain Amplifiers* o PGAs), es uno de los elementos fundamentales de una cadena de recepción. Su función principal es la de amplificar la señal de baja frecuencia, una vez mezclada. Para ello, debe ofrecer distintos niveles de ganancia que se podrán ajustar en función del nivel de la señal de entrada. A continuación, se estudiarán aspectos generales de los VGA. El diseño en detalle de los OTAs que componen las dos etapas de amplificación del VGA serán tratados en el siguiente capítulo.

Un VGA está formado, normalmente, por varias etapas de amplificación, como se puede observar en la Figura 3.1. Cada una de estas etapas está compuesta por un amplificador operacional con realimentación negativa, para ajustar la ganancia de la etapa. Para trabajar con señales analógicas lo más habitual es utilizar configuraciones completamente diferenciales. De esta forma se consigue mejorar la eficiencia frente al ruido. Además, en este caso, la señal se presenta en la entrada en fase (I) y en cuadratura (Q).

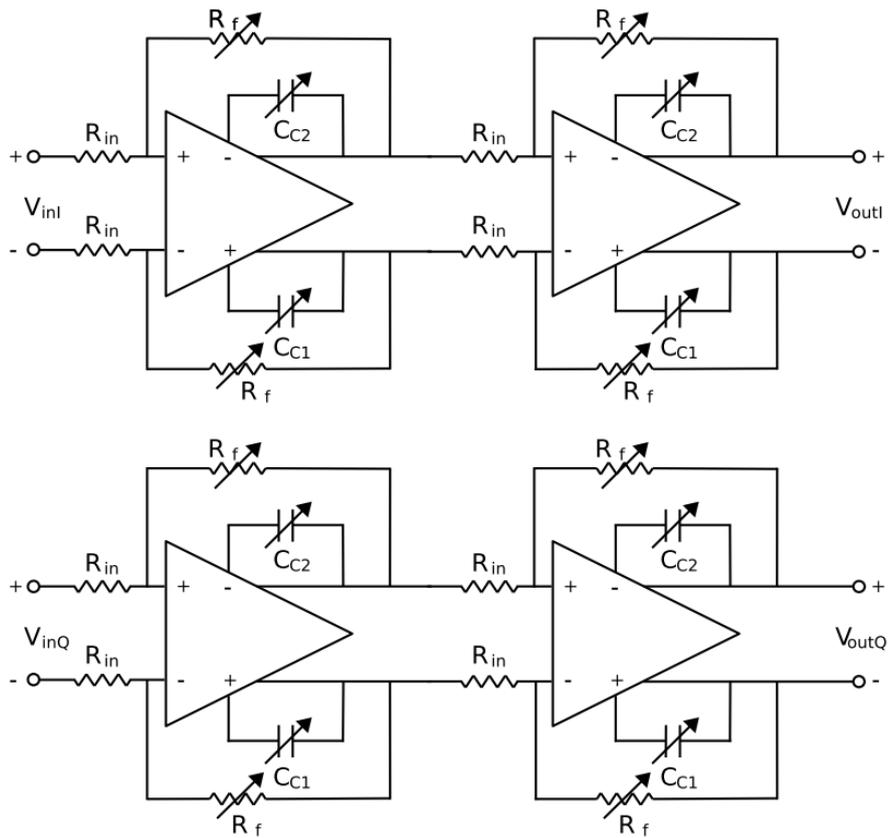


Figura 3.1. Estructura del VGA diferencial.

En general, el VGA debe ajustarse a los requisitos de la aplicación para la que se diseña, en este caso, a los requisitos del estándar IEEE 802.15.4. Un VGA debe ser capaz de mantener un ancho de banda uniforme para los distintos niveles de ganancia, poseer una alta linealidad en la banda de trabajo y presentar un rango dinámico elevado. De esta manera se asegura la obtención del nivel óptimo de señal para su correcta recepción. En la bibliografía se pueden encontrar numerosas estructuras para diseñar un VGA.

3.2 Formas de integrar un VGA en un receptor

Por lo general, los VGAs suelen ubicarse al final de la cadena de recepción, precedidos por un filtro y un cabezal de recepción, aunque no siempre en ese orden. El cabezal de recepción está compuesto por un amplificador de bajo ruido (*Low-Noise Amplifier* o LNA) y un mezclador (*Mixer*). Cuando el mezclador es pasivo, también se incluye un amplificador de transimpedancia (*Transimpedance Amplifier* o TIA) a su salida para compensar las pérdidas que introduce. Según

como se dispongan estos elementos se pueden distinguir varias configuraciones. A continuación, se presentan las mismas.

3.2.1 VGA precedido por el filtro

A continuación, se muestra la configuración en la cual el VGA es el último elemento de la cadena de recepción [15], como se muestra en la Figura 3.2. Esta es la más utilizada, tal y como se había comentado previamente. En este caso, el filtro está precedido por el cabezal de recepción completo, de manera que en esta configuración el VGA es el último elemento en la cadena de recepción.

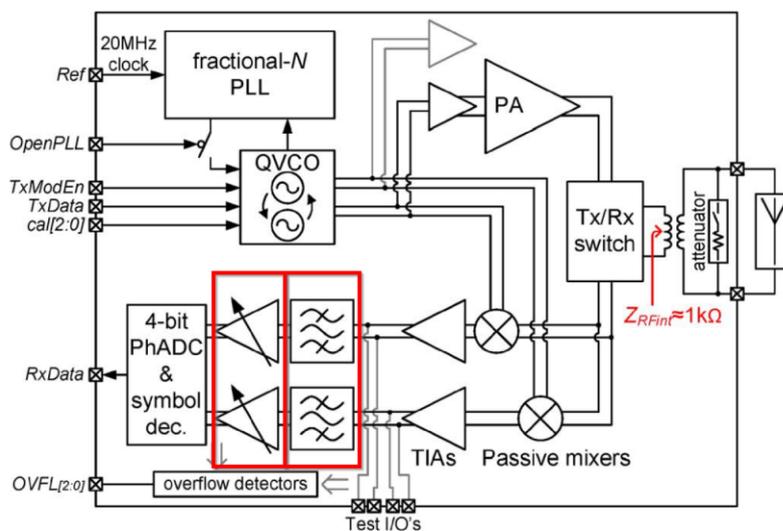


Figura 3.2. Ejemplo de una configuración con el VGA después del filtro [15].

Por lo general, el propio amplificador suele realizar un filtrado independiente de la etapa anterior para eliminar el posible ruido generado en bajas frecuencias (ruido *flicker*). De forma ocasional, también se incluye un filtro paso bajo para evitar problemas de *aliasing*.

3.2.2 VGA antes del filtro

En este caso, se presenta la configuración en la que se sitúa el VGA entre el mezclador y la etapa de filtrado [16], tal y como se puede ver en la Figura 3.3. En esta configuración, la linealidad total de la banda está limitada por la linealidad del amplificador. Cuando el nivel de señal recibida es bajo, la ganancia debe ser alta. De esta forma se evita que la variación de la ganancia del sistema influya en la sensibilidad del receptor.

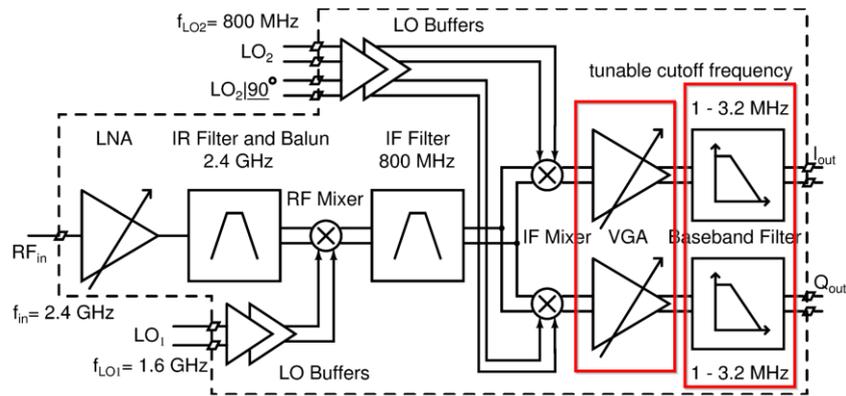


Figura 3.3. Ejemplo de configuración del VGA antes del filtro [16].

3.2.3 VGA entre etapas de filtrado

Una de las características de los circuitos en banda base en los que se sitúa el VGA seguido por un filtro es que la linealidad total de la banda se ve limitada por la linealidad del amplificador.

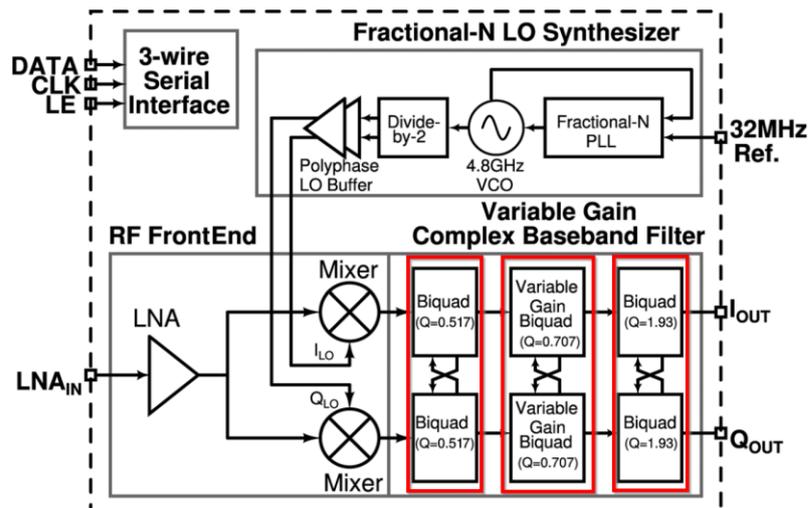


Figura 3.4. Configuración de de un receptor con el VGA entre etapas de filtrado [17].

En ocasiones se coloca el filtro antes del amplificador con el objetivo de mejorar esta característica [17], como se muestra en la Figura 3.4. Sin embargo, esta situación requiere un nivel de ruido muy bajo por parte del filtro, con el consecuente aumento en el consumo de potencia. En la Figura 3.5 se puede ver otro ejemplo de una estructura con etapas de filtrado alternadas con etapas de amplificación para mejorar la figura de ruido y la linealidad del receptor [18].

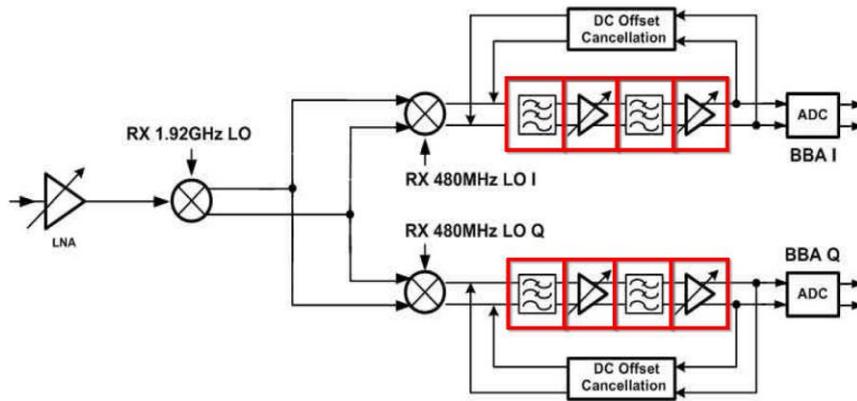


Figura 3.5. Configuración de un receptor con etapas de ganancia entrelazadas con etapas de filtrado [18].

3.2.4 VGA previo al mezclador y el filtro

En la Figura 3.6 se muestra otra arquitectura empleada en receptores, aunque menos usual que las otras presentadas. En esta se sitúa el VGA antes del mezclador y del filtrado [19]. Para emplear esta configuración, el circuito se debe diseñar de tal forma que la figura de ruido sea lo más reducida posible.

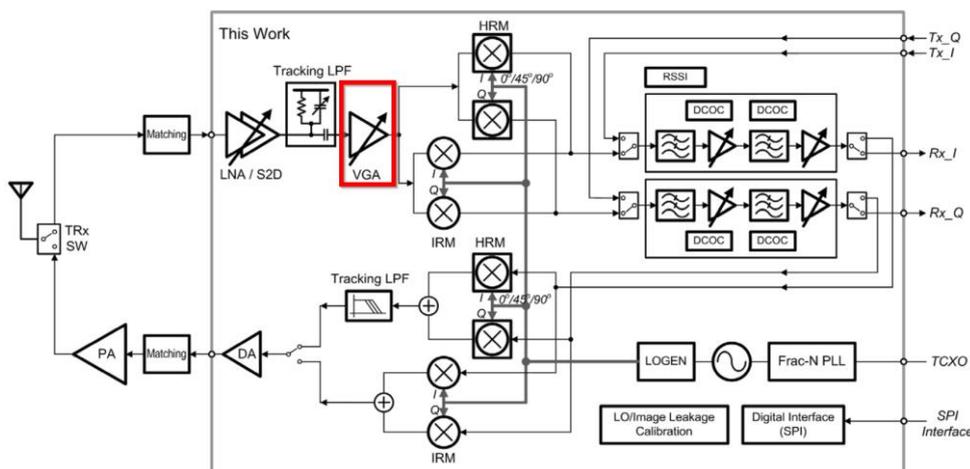


Figura 3.6. Configuración del VGA previo al filtro y al mezclador [19].

En la Figura 3.7 se muestra la malla de atenuación capacitiva que forma el VGA, esta malla asegura una figura de ruido baja, proporciona un ancho de banda amplio y un buen rango de control de ganancia. Asimismo, la impedancia vista desde el LNA que precede al VGA prácticamente no cambia, por lo que resulta muy útil para trabajar en banda ancha.

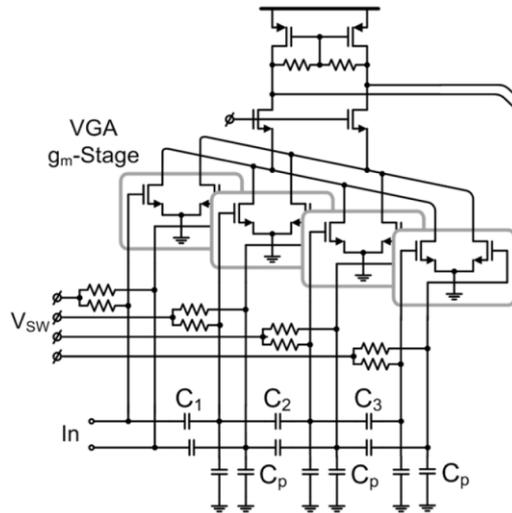


Figura 3.7. Estructura del amplificador con malla capacitiva [19].

3.3 Tipos de VGAs por componentes

El amplificador de ganancia variable se diseña, normalmente, a partir de amplificadores operacionales de transconductancia u OTAs. Estos se caracterizan por proporcionar una señal de salida en corriente a partir de una entrada en tensión. El símbolo de un OTA puede representarse tal y como se muestra en la Figura 3.8 (a) o en el formato que ve en la Figura 3.8 (b), en el caso de los transconductores con salida diferencial. En ocasiones, el OTA también se representa con el mismo símbolo que un amplificador operacional.

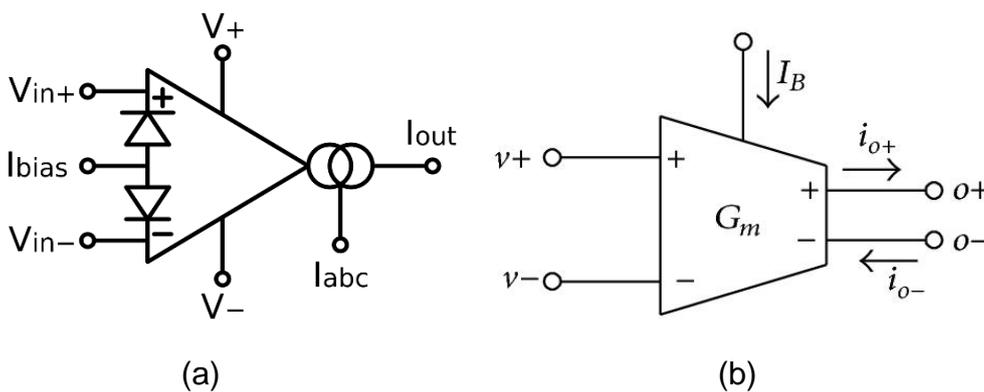


Figura 3.8. Símbolo común del OTA (a) y del OTA diferencial (b).

Generalmente la expresión que relaciona la entrada del OTA con su salida es del tipo (3.1). El término G_{mcc} es la transconductancia en cortocircuito del amplificador, V_{in+} y V_{in-} son las entradas no inversora e inversora del OTA, I_{out} es la corriente que sale del OTA. La tensión de salida de este amplificador es la

corriente de salida I_{out} multiplicada por la resistencia de carga R_L , tal y como indica la expresión (3.2). De esta forma, se puede obtener la ganancia en tensión del OTA, mediante la ecuación (3.3).

$$I_{out} = (V_{in+} - V_{in-}) \cdot G_{mcc} \quad (3.1)$$

$$V_{out} = I_{out} \cdot R_L \quad (3.2)$$

$$A_v = \frac{V_{out}}{V_{in+} - V_{in-}} = \frac{I_{out} \cdot R_L}{I_{out} / G_{mcc}} = R_L \cdot G_{mcc} \quad (3.3)$$

Con el objetivo de tener la posibilidad de variar la ganancia se pueden emplear dos métodos:

1. Utilizar una red de resistencias entre las cuales se puede conmutar con el fin de obtener los distintos niveles de ganancia.
2. Utilizar varios OTAs en series, entre los que se puede conmutar para obtener distintos niveles de ganancia en función de cual esté activo.

3.3.1 OTA con resistencias conmutables

Si se aplica realimentación negativa es posible ajustar la ganancia del amplificador empleando resistencias conmutables, esto se muestra en la Figura 3.9. El valor de las resistencias se puede calcular para obtener saltos uniformes de ganancia. De igual forma, es posible colocar resistencias en paralelo con cada una de las entradas del amplificador para hacer variar la ganancia. En este tipo de configuraciones suele estar presente una red de compensación formada por una serie de condensadores conmutables. La presencia de los mismos asegura mantener el ancho banda para los distintos niveles de ganancia.

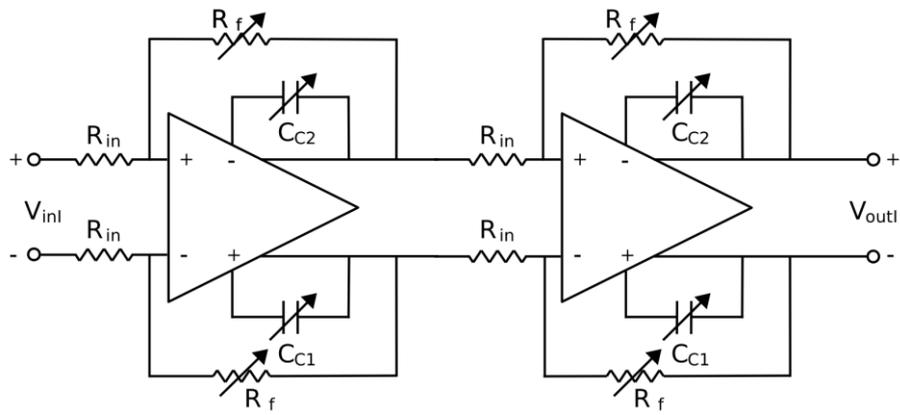


Figura 3.9. Estructura del VGA formada por dos etapas de ganancia con resistencias y condensadores conmutables.

A su vez, existe la posibilidad de obtener un VGA de dos etapas de la forma mostrada en la Figura 3.10. En la primera etapa se emplea una configuración con reutilización de corriente, en la cual se implementa un filtro paso alto para eliminar los niveles de continua y el ruido *flicker*. La segunda etapa constituye un filtro paso bajo de segundo orden en configuración Sallen Key, empleando un operacional con ganancia programable. Dicho amplificador está formado por un par diferencial con degeneración de fuente, en el que el control de ganancia se realiza mediante la variación del valor de la resistencia de degeneración. Sin embargo, en esta configuración es necesario reajustar los valores de las resistencias y capacidades del filtro para mantener la frecuencia de corte en cada nivel de ganancia. Para evitar este inconveniente, se añade una realimentación formada por un atenuador que compensa los incrementos de ganancia del amplificador operacional.

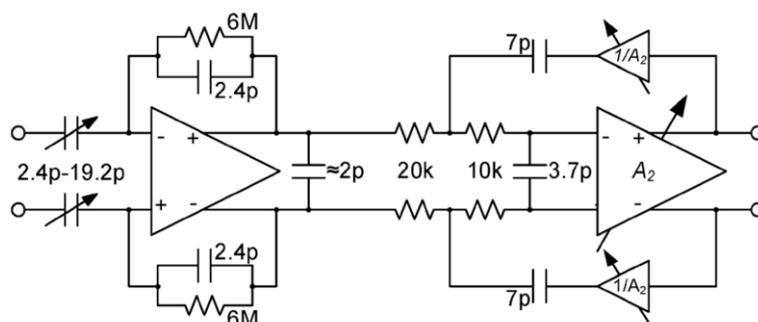


Figura 3.10. Amplificador en dos etapas [15].

3.3.2 Etapas de ganancia con OTAs en serie

Es posible situar varias etapas de ganancia conectando OTAs en serie. De esta forma, se da la posibilidad de seleccionar la salida deseada mediante el uso de *switches*. Este tipo de VGA es el que se muestra en la Figura 3.11.

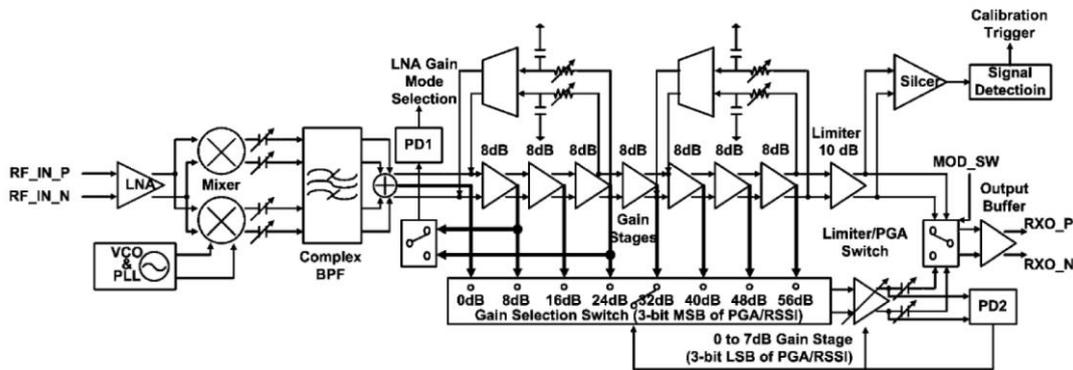


Figura 3.11. Configuración de un receptor con múltiples etapas de ganancia y un selector de la salida.

3.4 Conclusiones

En este capítulo, se han presentado las distintas configuraciones que se pueden encontrar en la bibliografía a la hora de diseñar un VGA. Estas estructuras se distinguen por el lugar que ocupa el VGA en la cadena de recepción. A su vez, se ha visto que la estructura del propio VGA puede cambiar en función de los elementos que lo forman. Es posible encontrar VGAs compuestos por etapas sucesivas de ganancia y de filtrado o por etapas alternadas de las mismas. También existen VGAs con distintas formas de implementar la regulación de ganancia. Algunos emplean realimentación negativa y otros están compuestos por etapas sucesivas de ganancia fija y selectores de nivel de salida. Cabe destacar que cada configuración posee diferentes ventajas e inconvenientes que la hacen más o menos adecuada para una determinada aplicación. En general, los ejemplos presentados pretenden dar una idea global de los tipos de receptores que se pueden encontrar hoy en día.

Capítulo 4. Amplificadores operacionales

En este capítulo se desarrolla un estudio en profundidad de la configuración del VGA, cuyo elemento principal es el amplificador operacional de transconductancia (OTA). Este capítulo es eminentemente teórico y por ello, se emplaza al lector experimentado en estos temas al apartado 4.4, en el que se presenta un estudio realizado sobre fuentes y espejos de corriente.

4.1 Introducción

El amplificador operacional es un dispositivo que tiene una gran presencia en el diseño de circuitos analógicos, debido a su gran versatilidad. Por otro lado, gracias a la realimentación negativa es posible regular parámetros como la ganancia, la impedancia de entrada, la impedancia de salida y el ancho de banda del operacional con componentes externos. A su vez, las configuraciones con realimentación negativa presentan menor dependencia de la temperatura y las posibles imperfecciones producidas durante el proceso de fabricación.

4.2 El amplificador operacional de transconductancia

Dado que el VGA está formado por OTAs, este es el tipo de operacional que trata el resto del capítulo.

En el procesado de señales analógicas se suelen usar amplificadores operacionales que operan en modo tensión. Sin embargo, el rango de frecuencias de aplicación de los operacionales puede extenderse si se diseñan dispositivos activos que operen en modo corriente. Estas estructuras se caracterizan por proporcionar a su salida una señal en corriente y no en tensión, a partir de una entrada en tensión.

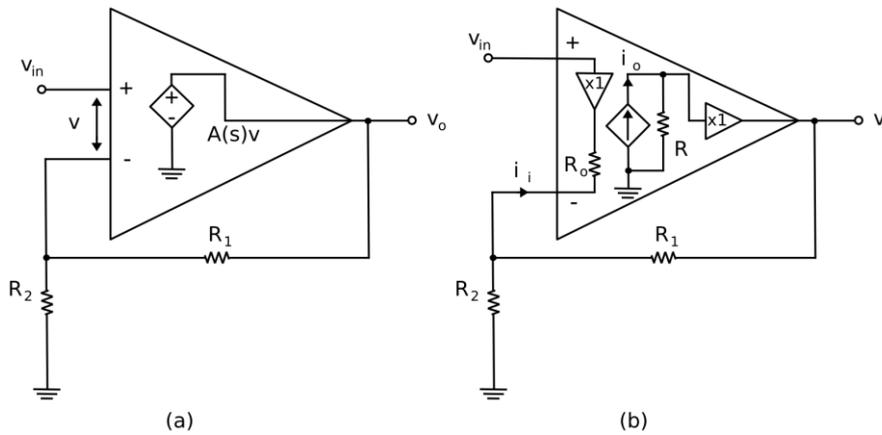


Figura 4.1. Modelo del Op-Amp (a) y del OTA (b).

En la Figura 4.1 se presenta el modelo usado para el operacional ideal (a) y el modelo de un OTA (b). Existen una serie de elementos que distinguen al OTA, estos son: tener una salida en corriente, un buffer a la entrada y otro a la salida. El amplificador operacional de transconductancia puede definirse como un tipo de amplificador donde todos los nodos son de baja impedancia, excepto los nodos de la entrada y la salida [4]. El amplificador diferencial con carga activa es un ejemplo de un OTA muy simple.

4.3 Etapa de entrada del OTA

La etapa de entrada del amplificador operacional suele estar formada por un amplificador diferencial. Este tipo de amplificador a menudo recibe el nombre de par diferencial. Una de las ventajas que presenta este tipo de amplificadores es que es posible variar las tensiones de entrada sin afectar a la polarización de las etapas de ganancia.

4.3.1 Amplificador diferencial fuente común

Existen varios tipos de amplificadores diferenciales, siendo el más sencillo el de fuente común [4], presentado en la Figura 4.2.

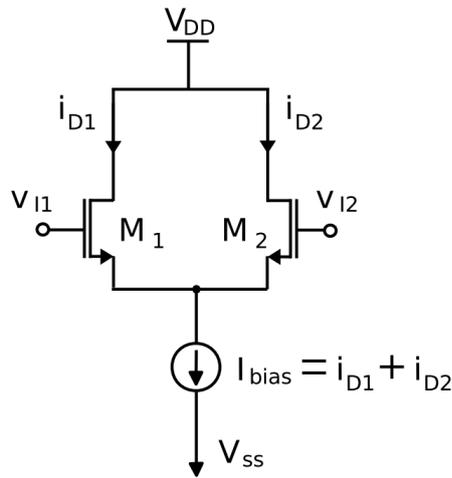


Figura 4.2. Amplificador diferencial en configuración fuente común.

La corriente de polarización I_{bias} , es la suma de las corrientes de las dos ramas del par diferencial. Si las tensiones de puerta de M1 y M2 son iguales, entonces, se asume que ambos están en saturación, se cumple la expresión (4.1).

$$I_{D1} = I_{D2} = \frac{I_{bias}}{2} \quad (4.1)$$

4.3.2 Amplificador diferencial con carga activa

La etapa de entrada del amplificador operacional de transconductancia está formada por un par diferencial con carga activa. La carga activa está formada por un espejo de corriente, el cual está formado por transistores PMOS. En la Figura 4.3 se aprecia claramente la estructura del mismo.

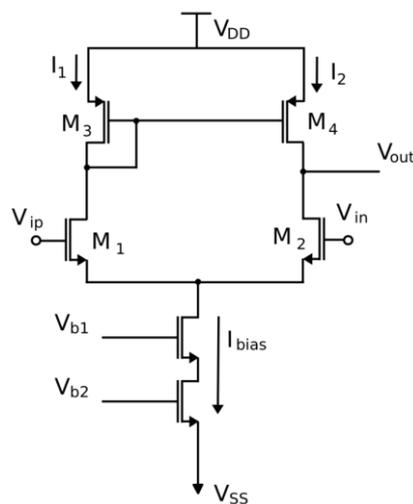


Figura 4.3. Par diferencial con carga activa.

La carga en forma de espejo de corriente se introduce con el objetivo de trabajar con una salida en tensión. A su vez, dicha carga posee una impedancia muy elevada y, por lo tanto, asegura máxima ganancia. La carga activa está formada por dos transistores PMOS en espejo, donde el transistor dominante es M3. De esta forma, M2 refleja la corriente de M1 y cualquier desequilibrio en las corrientes de drenador de M1 y M2 hace que la salida se derive a V_{DD} o a tierra. Esta situación queda reflejada en la Figura 4.4.

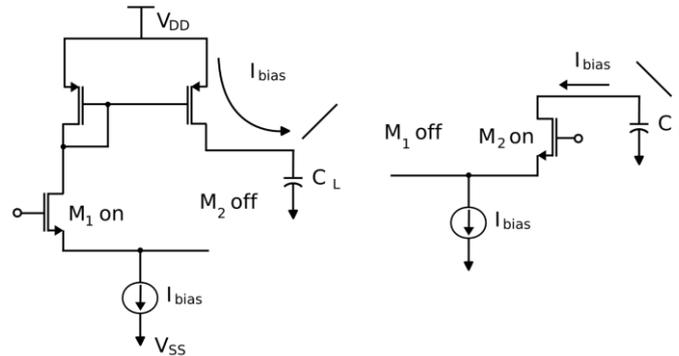


Figura 4.4. Corriente de inyección en la carga en el par diferencial con carga activa.

Para comprender mejor cómo se comporta esta etapa conviene realizar un estudio en pequeña señal. Como es bien sabido, el modelo en pequeña señal de los MOSFET se puede representar de la forma que se ve en la Figura 4.5.

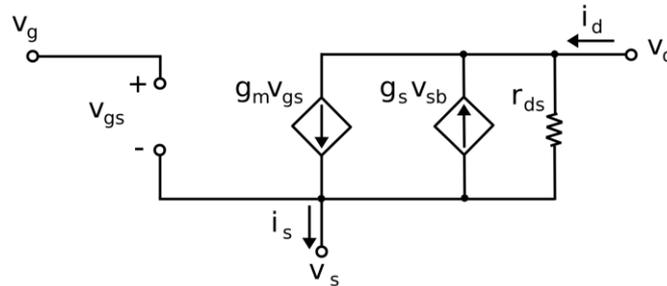


Figura 4.5. Modelo en pequeña señal del MOSFET.

En esta representación se supone que la fuente de corriente asociada a la tensión v_{sb} es despreciable. Asimismo, la resistencia entre drenador y fuente r_{ds} tiene un valor dado por la relación (4.2). El valor de la transconductancia en pequeña señal, que gobierna la generación de corriente del MOSFET viene dada por la expresión (4.3).

$$r_{ds} = \frac{1}{\lambda \cdot I_D} \quad (4.2)$$

$$g_m = K_n \frac{W}{L} (V_{GS} - V_{TH}) \quad (4.3)$$

Para realizar el estudio es pequeña señal, los pasos a seguir son los siguientes:

1. Sustituir las fuentes de corriente continua por circuitos abiertos y las fuentes de tensión por cortocircuitos.
2. Calcular los parámetros en pequeña señal, a partir de los valores calculados del análisis en continua.
3. Sustituir cuidadosamente los transistores por sus modelos en pequeña señal.

El modelo para el transistor M3, en el que la puerta y el drenador están cortocircuitados, es el paralelo de dos resistencias. Como $v_{gs3} = v_{ds3}$, la fuente dependiente de corriente posee una resistencia $\frac{v_{gs3}}{v_{gs3} \cdot g_{m3}} = \frac{1}{g_{m3}}$. Teniendo en cuenta los dos modelos en pequeña señal, el circuito final queda como se presenta en la Figura 4.6. Cabe recordar que, tal y como se ve en la Figura 4.3, el drenador del transistor M1 está conectado al drenador de M3, el drenador del transistor M2 está conectado al de M4, la fuente de los transistores M3 y M4 están unidas y las fuentes de M1 y M2 están unidas. Teniendo esto en cuenta, se puede simplificar el modelo, quedando de la forma que se muestra en la Figura 4.7.

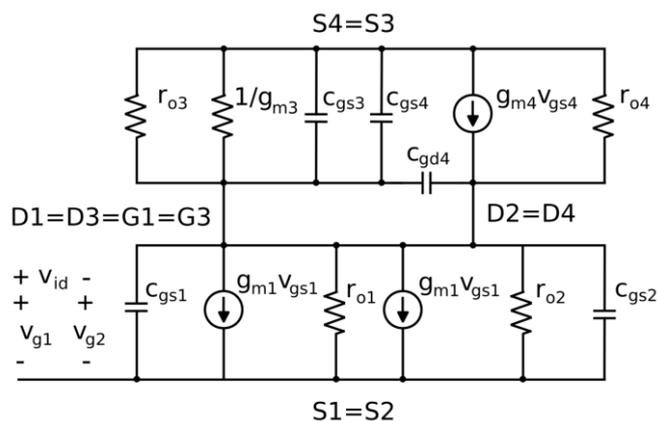


Figura 4.6. Modelo en pequeña señal del par diferencial con carga activa.

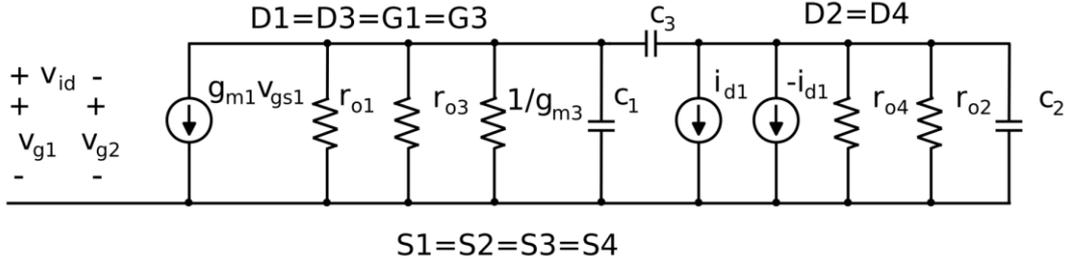


Figura 4.7. Modelo en pequeña señal del par diferencial con carga activa simplificado.

La fuente de corriente asociada al transistor M1 proporciona corriente al aparecer una tensión en la puerta del mismo. De esta forma, la corriente que se genera en M1 viene dada por la expresión (4.4).

$$i_{d1} = g_{m1} \cdot v_{gs1} \quad (4.4)$$

La corriente i_{d1} se refleja del transistor M3 al M4 de la forma que se ve en la relación (4.5), formando así un espejo de corriente. Debido a que la corriente que circula por el transistor M4 es la misma que circula por M2, se puede deducir la ecuación (4.6). Por esta razón, la corriente de salida viene dada por la expresión (4.7).

$$i_{d1} = i_{d4} = g_{m4} \cdot v_{gs4} \quad (4.5)$$

$$-i_{d1} = i_{d2} = g_{m2} \cdot v_{gs2} \quad (4.6)$$

$$i_{out} = i_{d1} - (-i_{d1}) = 2i_{d1} \quad ; \quad r_{out} = r_{ds2} || r_{ds4} \quad (4.7)$$

A su vez, dado que $v_{gs1} = v_{gs2}$, se deduce la tensión v_{id} viene dada por la expresión (4.8). Por su parte, la tensión de salida viene dada por la ecuación (4.9).

$$v_{id} = 2v_{gs1} \quad ; \quad \frac{i_{d1}}{v_{id}} = \frac{g_{m1} \cdot v_{gs1}}{2v_{gs1}} = \frac{g_{m1}}{2} \quad (4.8)$$

$$v_{out} = i_{out} r_{out} = 2i_{d1} (r_{ds2} || r_{ds4}) \quad (4.9)$$

Finalmente, se divide la tensión de entrada entre la tensión de salida para obtener la ganancia, la cual es equivalente a la relación (4.10). En esta expresión, la transconductancia del transistor M1, que es la misma que la de M2, viene dada por la expresión (4.11). Nótese que el término β_n queda fijado por la expresión $\beta_n = \frac{K_n \cdot W}{L}$.

$$A_v = \frac{v_{out}}{v_{id}} = \frac{2i_{d1} \cdot (r_{ds2} || r_{ds4})}{\frac{2i_{d1}}{g_{m1}}} = g_{m1}(r_{ds2} || r_{ds4}) \quad (4.10)$$

$$g_{m1,2} = \sqrt{2\beta_{1,2}I_{D1,2}} \quad (4.11)$$

La resistencia drenador-fuente en pequeña señal de los transistores M2 y M4 tiene un valor que viene dado por la expresión (4.12). Al sustituir en la ecuación de la ganancia (4.13) y operando se obtiene que el valor de la ganancia se puede aproximar como (4.14).

$$(r_{ds2} || r_{ds4}) \cong \frac{1}{2\lambda I_{D1,2}}, \quad \text{siendo } r = \frac{1}{\lambda I} \quad (4.12)$$

$$A_v = \frac{v_{out}}{v_{id}} \cong \sqrt{2\beta_{1,2}I_{D1,2}} \cdot \left(\frac{1}{2\lambda I_{D1,2}} \right) \quad (4.13)$$

$$\frac{v_{out}}{v_{id}} \cong K_n \cdot \sqrt{\frac{W_{1,2}}{L_{1,2}I_{D1,2}}} \cdot \left(\frac{1}{\lambda} \right) \quad (4.14)$$

El valor de K_n es constante y no puede ser modificado por el diseñador. El parámetro λ es la modulación del canal y su efecto en la ganancia disminuye conforme aumenta la longitud del canal. Es decir, que la longitud y la modulación del canal son inversamente proporcionales. Por lo tanto, se puede enlazar la relación de aspecto de los transistores M1/M2 y la corriente de drenador que circula por los mismos, con la ganancia en pequeña señal, tal y como se indica en la expresión (4.15).

$$\frac{v_{out}}{v_{id}} \propto \sqrt{\frac{W_{1,2}L_{1,2}}{I_{D1,2}}} \quad (4.15)$$

Por último, de la relación (4.15) se puede extraer que la ganancia aumenta cuando se incrementan el ancho o la longitud del canal, o cuando se disminuye la corriente de drenador de los transistores M1 y M2.

4.3.3 Relación de rechazo al modo común

Por lo general, en los sistemas analógicos, las señales se transmiten de forma diferencial. Por lo tanto, es necesario que el amplificador rechace el ruido existente en sus líneas. En estos casos, la señal en modo común es el ruido, pues aparece en ambos terminales. La relación de rechazo al modo común (*Common-Mode Rejection Ratio* o CMRR) puede calcularse aplicando una señal alterna, v_c , idéntica en los terminales de entrada del amplificador diferencial. Esta señal de entrada común en alterna viene dada por la ecuación (4.16). Los transistores M1 y M2 generan cada uno una corriente, i_d , a través de la resistencia de la fuente de corriente, R_o . Por lo tanto, la ecuación (4.16) puede reescribirse como se muestra en la expresión (4.17).

$$v_c = v_{gs1,2} + 2i_d R_o \quad (4.16)$$

$$v_c = i_d \left(\frac{1}{g_m} + 2R_o \right) \approx 2i_d R_o \quad (4.17)$$

Asimismo, debido a la simetría, la tensión de salida viene dada por la expresión (4.18). Por esta razón, la ganancia en modo común tiene el valor dado por la ecuación (4.19).

$$v_{out} = -i_d \cdot \frac{1}{g_{m3}} = -i_d \frac{1}{g_{m4}} \quad (4.18)$$

$$A_c = \frac{v_{out}}{v_c} = \frac{-1/g_{m3,4}}{2R_o} = -\frac{1}{2g_{m3,4}R_o} \quad (4.19)$$

Cabe destacar que, al incrementar la resistencia de la fuente de corriente, la ganancia en modo común disminuye. La relación de rechazo al modo común o CMRR definida en dB, viene dada por la expresión (4.20). Cuanto mayor sea el CMRR, más eficiente será el amplificador diferencial.

$$CMRR = 20 \cdot \log \left| \frac{A_d}{A_c} \right| = 20 \cdot \log [g_{m1,2}(r_{ds2} || r_{ds4}) \cdot 2g_{m3,4}R_o] \quad (4.20)$$

4.3.4 Eficiencia frente al ruido

Las fuentes de ruido del par diferencial se muestran en la Figura 4.8. El ruido que introduce I_{bias} se introduce tanto por M1 como por M2. Por lo tanto, el efecto de la fuente de corriente formada por M3 y M4 no afecta a la salida, en el caso ideal. Por ese motivo, se ignora el ruido que se introduce por I_{bias} . La densidad espectral de potencia (*Power Spectral Density* o PSD) de ruido referida a la entrada viene dada por la ecuación (4.21).

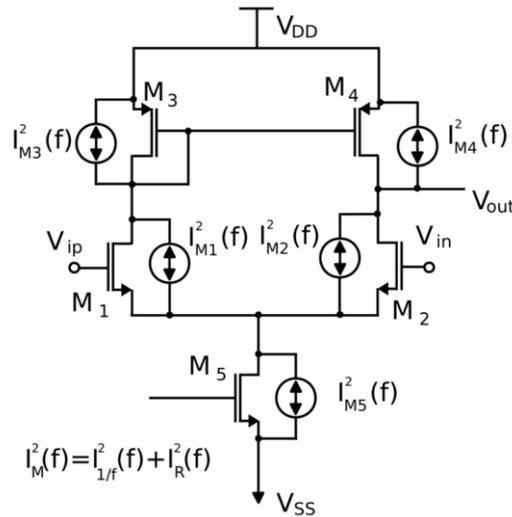


Figura 4.8. Modelo detallado de la etapa de entrada con las fuentes de ruido.

$$V_{i-noise}^2(f) = \frac{V_{o-noise}^2}{A_d^2} = \frac{I_{M1}^2 + I_{M2}^2 + I_{M3}^2 + I_{M4}^2}{g_m^2} \quad (4.21)$$

Si se maximiza la transconductancia g_m del par diferencial se puede reducir el ruido referido a la entrada. Sin embargo, hay que tener en cuenta que al aumentar la corriente de drenador se incrementa la PSD de ruido. Por lo tanto, para reducir el ruido referido a la entrada, se debe maximizar la transconductancia aumentando el ancho del par diferencial (de los transistores M1 y M2), mientras se mantiene constante la corriente I_{bias} .

4.4 Fuentes y espejos de corriente

Como trabajo adicional, se ha realizado un estudio de las posibles configuraciones que permitan sustituir la estructura clásica del espejo de corriente simple. Este estudio se hace necesario debido a la reducida tensión de alimentación del amplificador operacional de transconductancia, que dificulta la polarización de los transistores en la región de saturación. Para solucionar dicho inconveniente se plantea este estudio, cuyo fin es el de tratar de mejorar las prestaciones de la fuente de corriente. Con este objetivo, se han estudiado diferentes estructuras para implementar la fuente de corriente del OTA. A continuación, se muestran las estructuras estudiadas y las simulaciones realizadas sobre las mismas.

Las fuentes de corriente controladas juegan un papel fundamental en el diseño de circuitos, donde son necesarias unas condiciones de polarización específicas. La polarización de los transistores es un factor fundamental, dado que el comportamiento en pequeña señal depende del punto de operación de los transistores. Al establecer el punto de operación en forma de corriente, se asegura que los transistores operen en la región de saturación. Este requisito es fundamental para que el amplificador de transconductancia presente las características deseadas de ganancia, *slew-rate*, linealidad, etc.

La característica principal de una fuente de corriente ideal es que mantiene una corriente constante a su salida. Por lo tanto, una forma de medir lo eficiente que es una fuente de corriente consiste en observar si la corriente de salida varía cuando se modifica la corriente de entrada.

Las fuentes de corriente se suelen implementar a partir de espejos de corriente. En la Figura 4.9 se muestra un espejo de corriente básico. Esta estructura busca establecer una misma caída de tensión V_{GS} para dos o más transistores. Con este objetivo, se conectan las puertas de los transistores y se establece un transistor dominante, con drenador y puerta cortocircuitados para que opere en saturación. De esta manera se establece una caída de tensión V_{GS} que debe ser igual en los transistores con la misma V_G .

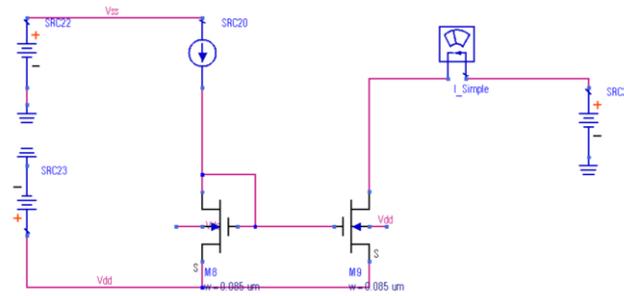


Figura 4.9. Espejo sencillo.

En el circuito de la Figura 4.9 se puede apreciar que al resolver la malla que forman las fuentes de los dos transistores, se cumple la expresión (4.22).

$$V_{GS1} - V_{GS2} = 0 ; V_{GS1} = V_{GS2} \quad (4.22)$$

Si se usaran transistores bipolares, lo habitual sería situar una resistencia en el drenador de los transistores para regular la caída de tensión que hay en el drenador y así regular la V_{GS} . Sin embargo, si se introduce dicha resistencia, el espejo se volvería muy sensible a los cambios en la tensión de alimentación. Tal y como se comenta en [4]. Por lo general, la corriente de salida del espejo depende de la tensión V_{DS} del transistor de salida y la corriente de la rama de referencia. Con el fin de reducir la sensibilidad del espejo a los cambios en V_{DD} , hay que reducir las variaciones de V_{DS} . Por lo tanto, se trata de controlar dicha caída de tensión mediante el uso de transistores, pues al variar las dimensiones de estos se consigue regular la corriente de la rama de referencia.

Al regular V_{GS} , es posible controlar la corriente de drenador, dado que la tensión V_G es equivalente a V_D . En definitiva, dado que $V_G = V_D$, se tendrá que $V_{GS} = V_{DS}$. Conviene analizar en detalle lo que esto implica. Es conocido que la corriente de drenador del transistor M1 viene dada por la expresión (4.23), para $\lambda = 0$ y donde la movilidad de los electrones multiplicada por la capacidad del óxido ($\mu_n C_{ox}$) queda representada por K_n . Esta ecuación puede reordenarse como se ve en la relación (4.24). Como las tensiones V_{GS} de M1 y M2 son iguales, si se supone que ambos se encuentran en la región de saturación, la corriente a la salida del espejo vendrá dada por la expresión (4.25). Se pueden relacionar las dos ecuaciones anteriores de la forma que se ve en la expresión (4.26).

$$I_{ref} = I_{D1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right)_1 (V_{GS} - V_{TH})^2 \quad (4.23)$$

$$\frac{I_{ref}}{\left(\frac{W}{L}\right)_1} = \frac{K_n}{2} (V_{GS} - V_{TH})^2 \quad (4.24)$$

$$I_o = I_{D2} = \frac{K_n}{2} \left(\frac{W}{L}\right)_2 (V_{GS} - V_{TH})^2 \quad (4.25)$$

$$I_o = \left[\frac{K_n}{2} (V_{GS} - V_{TH})^2 \right] \left(\frac{W}{L}\right)_2 = I_{ref} \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (4.26)$$

La expresión (4.26) indica que es posible regular la corriente de salida modificando la relación de aspecto del transistor que copia la corriente. Por ejemplo, si se fijara la longitud del canal de los dos transistores, se puede duplicar la corriente de salida respecto a la de referencia simplemente al aumentar el ancho de M2 al doble que M1.

4.4.1 Configuraciones posibles de espejos de corriente

Aunque el espejo de corriente simple proporciona buenos resultados, dista de comportarse como una fuente de corriente ideal. Lo cierto es que dicho espejo posee una región de saturación con pendiente positiva, que se puede apreciar en la Figura 4.10. Esta pendiente viene dada por la resistencia de salida del MOSFET, de la forma que se presenta en la ecuación (4.27). Esta característica es importante, puesto que, tal y como se ha mencionado, una fuente de corriente ideal debe mantener constante la corriente de salida, aunque se produzcan pequeños cambios en la alimentación. Lo ideal es que la corriente de drenador se mantenga constante una vez que se alcanza la región de saturación. En otras palabras, hay que tratar de eliminar o de reducir al máximo la pendiente en esta región.

$$Pendiente = \frac{1}{r_o} \quad (4.27)$$

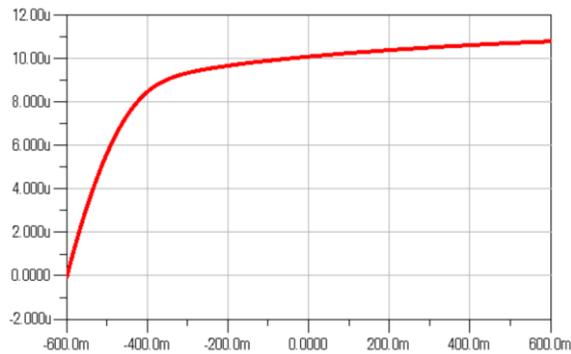


Figura 4.10. Simulación del espejo de corriente simple.

El primer objetivo es alcanzar rápidamente la región de saturación. El segundo objetivo que se persigue con este estudio es el de tratar de reducir la tensión V_{eff} ($V_{GS} - V_{TH}$). Si se reduce esta tensión, los transistores que forman el espejo alcanzan más rápidamente la saturación.

El espejo de corriente en cascodo simple

En la Figura 4.11 se muestra el cascodo simple. Es importante comprender que la corriente de salida (I_o) está determinada por las tensiones V_{GS} de los transistores M1 y M2. Modificando las dimensiones de M3 y M4 se consigue variar la tensión V_{DS} de M1 y M2, afectando a la corriente espejada. Si se mantiene la tensión V_{DS} del MOSFET constante, es posible mantener constante la corriente de drenador. Las modificaciones que se hacen de este circuito tratan de mantener la tensión V_{DS} de M1 y M2 constante para aumentar la impedancia de salida del espejo (hacer que I_o cambie menos con las variaciones de V_o).

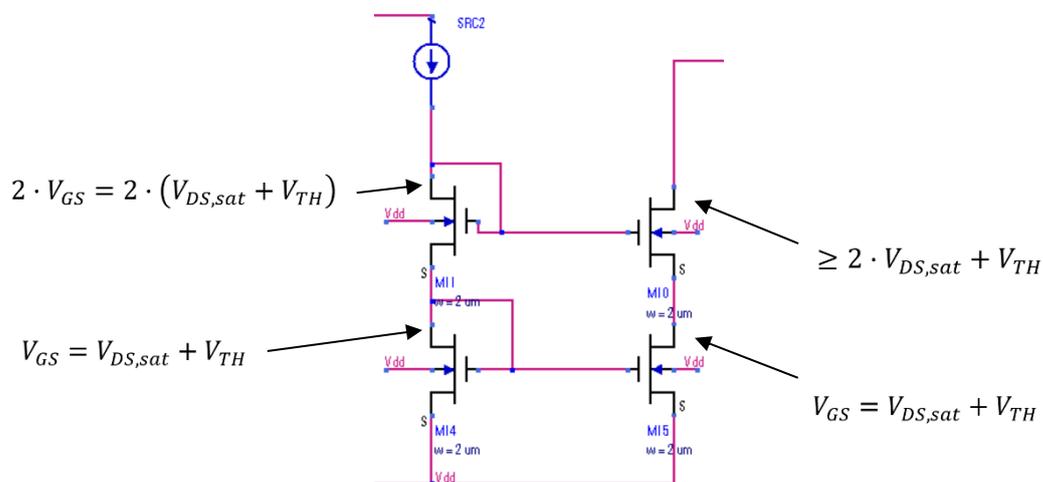


Figura 4.11. Estructura del cascodo simple.

La tensión en la puerta de M4 viene dada por la expresión (4.28).

$$V_{GS} = (V_{DS,sat} + V_{TH}) \quad (4.28)$$

La tensión en el drenador de M2 es V_{GS} , al considerar que está en saturación. Para mantener M2 y M4 en saturación hay que asegurarse de que los atraviese una tensión $V_{DS,sat}$.

Para estimar la impedancia de salida del circuito se utiliza el modelo simplificado de la Figura 4.12. Los transistores M1 y M3 se tratan como fuentes de corriente continua (tierra, en alterna) y se asume que la corriente I_D en el transistor M4 es suficiente para mantener M2 y M4 en saturación. Nótese que la tensión v_{gs} de M2 es igual a cero en pequeña señal y su tensión en el drenador es $(-v_{gs4})$. La resistencia vista desde el drenador de M4 queda definida por la expresión (4.29). Al observar la Figura 4.12 se puede afirmar que la tensión v_{gs4} viene dada por la ecuación (4.30). De igual forma, la corriente que circula por M4 se puede calcular como se muestra en la expresión (4.31).

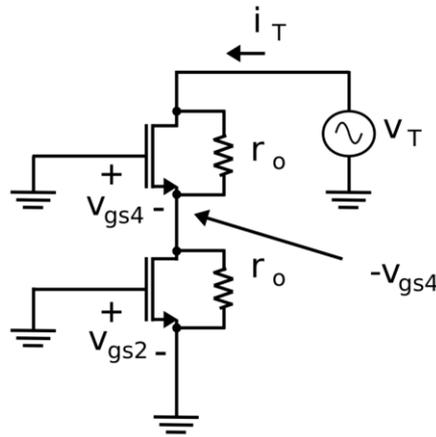


Figura 4.12. Modelo simplificado del cascode simple.

$$R_o = \frac{v_T}{i_T} \quad (4.29)$$

$$-v_{gs4} = i_T \cdot r_o \quad (4.30)$$

$$i_T = g_m v_{gs4} + \frac{v_T - (-v_{gs4})}{r_o} \quad (4.31)$$

Al unir las expresiones (4.30) y (4.31) se tiene que la corriente i_T vendrá dada por la ecuación (4.32) y la resistencia de salida quedará definida como se muestra en la expresión (4.33).

$$i_T = g_m(-i_T \cdot r_o) + \frac{v_T}{r_o} - i_T \quad (4.32)$$

$$R_o = (2 + g_m r_o)r_o \approx g_m r_o^2 \quad (4.33)$$

Para realizar una comparativa de las diferentes estructuras y obtener la mejor etapa de polarización, se ha probado esta estructura. De esta forma se han obtenido los resultados mostrados en la Figura 4.13.

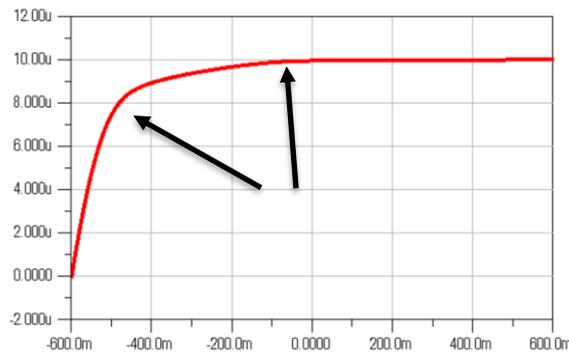


Figura 4.13. Simulación del espejo de corriente en cascodo simple.

En la Figura 4.13 se pueden distinguir dos puntos principales: la fuente presenta una pendiente muy reducida en saturación, pero la tensión a la que se alcanza esta corriente constante es casi la mitad de la alimentación. La subida está dividida en dos pendientes, la primera corresponde al paso de M2 de región lineal a saturación y la segunda corresponde a la misma transición del transistor M4.

El Cascodo Simple de mínima tensión

En el cascodo simple, el drenador del transistor M2 no trabaja con la tensión de saturación mínima, si no que esta es ligeramente superior. Este margen de tensión se puede eliminar al fijar la tensión en el drenador de M4 al mínimo posible que mantenga los transistores M2 y M4 en saturación. Esta idea queda representada en la Figura 4.14.

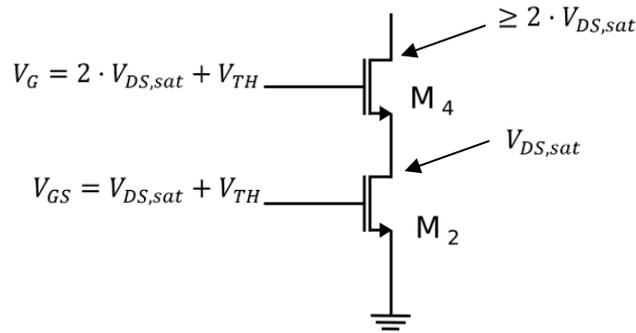


Figura 4.14. Relación de tensiones para el cascode simple con mínima tensión.

Para generar la tensión de puerta de M2 se emplea un transistor en configuración de diodo, es decir, con puerta y drenador cortocircuitados. La corriente de referencia de la rama de M1 viene dada por la ecuación (4.34).

$$I_{ref} = \frac{KP_n}{2} \cdot \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (4.34)$$

Es posible regular la tensión de polarización del transistor M4 ajustando las dimensiones del transistor MWS, como se ve en la Figura 4.15.

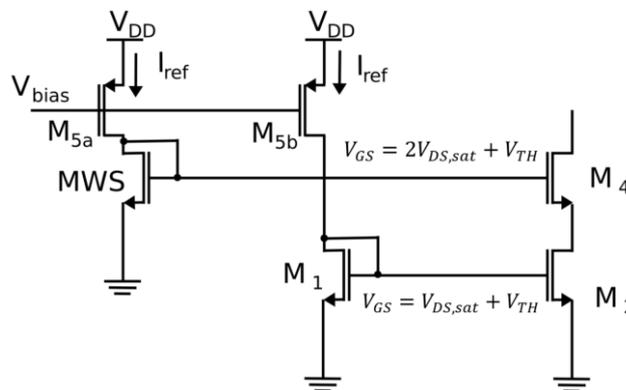


Figura 4.15. Estructura del cascode para mínima tensión.

Se sabe que $V_{GS} = V_{DS,sat} - V_{TH}$. Por lo tanto, se puede afirmar que la corriente que circula por la rama del transistor MWS viene dada por la expresión (4.35). Al operar, resulta que se puede escribir esta misma ecuación como se muestra en la ecuación (4.36).

$$I_{ref} = \frac{KP_n}{2} \cdot \frac{W_{MWS}}{L_{MWS}} (2(V_{GS} - V_{TH}) + V_{TH} - V_{TH})^2 \quad (4.35)$$

$$I_{ref} = \frac{KP_n}{2} \cdot \frac{W_{MWS}}{L_{MWS}} 4(V_{GS} - V_{TH})^2 \quad (4.36)$$

Al seguir este razonamiento es posible relacionar las dimensiones de los transistores MWS y M4, como se presenta en la expresión (4.37).

$$\frac{W}{L} = 4 \frac{W_{MWS}}{L_{MWS}} \quad (4.37)$$

Cabe recordar que se está polarizando M2 en el límite entre la región lineal y de saturación cuando se sigue la ecuación (4.37). En la mayoría de los casos conviene dejar cierto margen de saturación. Se puede observar que, si se aumenta la longitud de MWS, se incrementa la resistencia efectiva y, por lo tanto, también la caída de tensión. De esta manera se puede asegurar que M2 actúe en saturación.

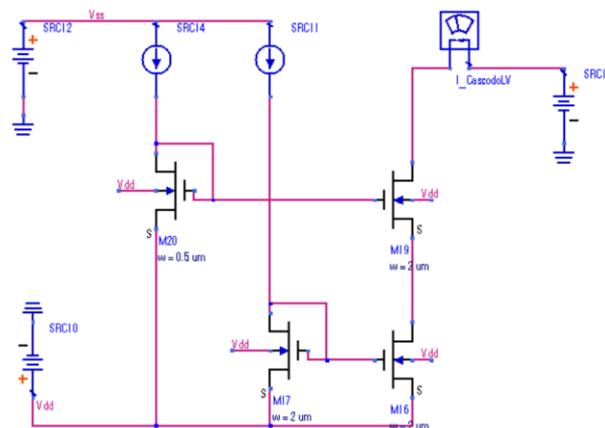


Figura 4.16. Esquemático de simulación del cascode de mínima tensión.

En la Figura 4.16 se presenta el esquemático con el que se ha probado esta estructura. En la Figura 4.17 se muestran los resultados de la corriente obtenida a la salida. Cuando la longitud del transistor MWS (L_{MWS}) es cuatro veces superior a L_{M4} , no se alcanzan los $10 \mu A$ para los que se ha diseñado la fuente. Esto sucede porque M2 está en la transición de zona lineal a saturación. Si se compara este resultado con el cascode simple, puede verse que el punto a partir del cual I_o permanece constante se alcanza de forma más rápida. Si se usa una L_{MWS} de cinco veces la longitud de M4, la corriente de salida se acerca más a los $10 \mu A$, pero sigue sin ser suficiente y además aparece un tramo similar al del cascode simple (entre los -0.2 y -0.1 V). Cuando se incrementa la relación entre

L_{MWS} y L_{M4} , el comportamiento de este cascode se asemeja cada vez más al cascode simple.

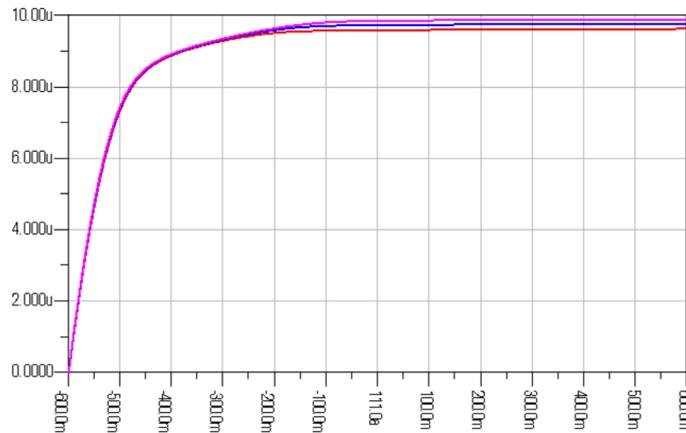


Figura 4.17. Simulación del espejo en cascode simple de mínima tensión con L_{MWS} de 4 veces L_{M4} (rojo), de 5 veces L_{M4} (azul) y de 6 veces L_{M4} (violeta).

Cascode “Mejorado”

Dado que la estructura anterior no alcanza la corriente deseada, es necesario realizar algunas modificaciones. Con este objetivo, es necesario mantener M2 en saturación con cierto margen. Esto se hace usando un transistor MWS de mayor longitud, como se vio en el caso anterior, pero así empeora el punto en el que la corriente se mantiene constante.

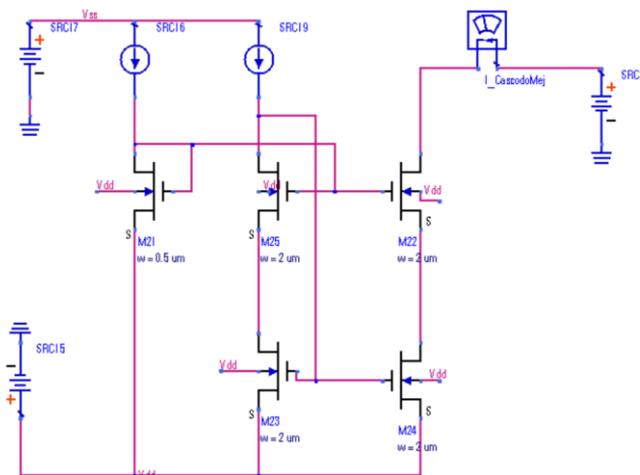


Figura 4.18. Esquemático del espejo en Cascode Mejorado.

Dado que el motivo de este estudio es mantener V_{GS} y V_{DS} con el mismo valor, el cascode de mínima tensión presenta un inconveniente. La tensión V_{DS}

de M1 no es la misma que la de M2. Aumentando la tensión de puerta de M4, es posible igualar las dos tensiones V_{GS} . Sin embargo, también es posible añadir un transistor M3 para reducir la V_{DS} de M1 y que sea igual a la de M2. Esta situación queda reflejada en la Figura 4.18. Este espejo se denomina cascode de amplia basculación (*wide-swing*) y se ha diseñado para que la corriente que circule por la rama de salida sea de 10 μA . Los resultados obtenidos se presentan en la Figura 4.19.

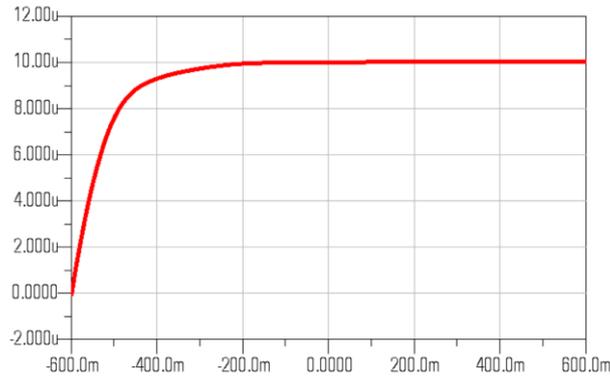


Figura 4.19. Resultados de simulación del cascode mejorado.

Comparativa de resultados

La mejor forma de comparar las características de las fuentes estudiadas es representarlas en una misma gráfica. En la Figura 4.20 se pueden ver los resultados de las configuraciones estudiadas.

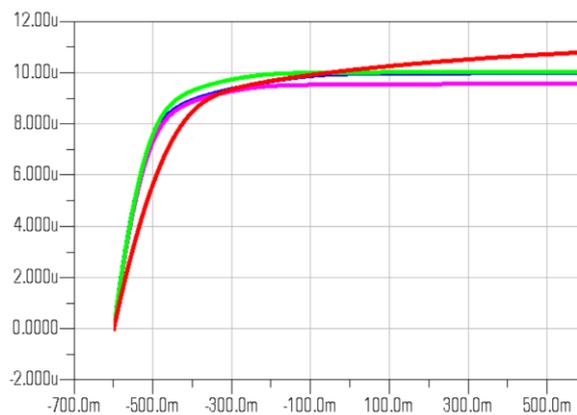


Figura 4.20. Comparativa de resultados de los espejos estudiados: espejo simple (rojo), cascode (azul), cascode low-voltage (violeta) y cascode mejorado (verde).

En primer lugar, tal y como se puede ver en la Figura 4.20, el espejo sencillo presenta una pendiente muy elevada y es el que más tarda en alcanzar región

de saturación. Por otro lado, el cascode simple y el de mínima tensión son muy parecidos: ambos presentan una subida más pronunciada hasta los -0.45 V y una segunda subida más lenta hasta que alcanzan la corriente de salida constante. Se aprecia que el de mínima tensión no alcanza los $10\ \mu\text{A}$ para los que se ha diseñado. Por último, el cascode “mejorado” alcanza más rápido que los demás los $10\ \mu\text{A}$, aunque también presenta dos pendientes. Por lo tanto, se considera que este último es el que ofrece mejores prestaciones.

4.5 Etapa de salida

Tal y como se ha reflejado, la salida del amplificador operacional de transconductancia debe ser en forma de corriente. Para cumplir dicho objetivo, se suele emplear una etapa de salida formada por un amplificador clase A. Las características principales de una etapa de salida óptima son:

1. Alcanzar una ganancia muy elevada, en este caso, en corriente.
2. Mantener una buena linealidad en la señal de salida, es decir, evitar o reducir la distorsión.
3. Alcanzar una buena eficiencia.
4. Por último, deben proporcionar cierta protección frente a condiciones de funcionamiento anormales al circuito.

Una de las características más importantes de esta etapa es que proporciona al amplificador una impedancia de salida reducida, aunque la linealidad también es un requisito muy importante. La etapa de salida trabaja con señales relativamente grandes, ya que la señal entrante ha sido amplificada en la etapa de entrada y la etapa de salida también proporciona una ganancia muy elevada. Por este mismo motivo, no se suele trabajar con modelos en pequeña señal.

Dado que la topología seleccionada para la etapa de salida es el amplificador clase A, se verán varias implementaciones del mismo.

4.5.1 El amplificador clase A

La etapa de salida en clase A se caracteriza por poseer transistores que trabajan durante el ciclo completo de señal. Las dos configuraciones posibles son en fuente común y en drenador común.

Salida simple en fuente común

En esta configuración se emplean dos transistores complementarios, uno tipo P y otro tipo N. Esta configuración se muestra en la Figura 4.21.

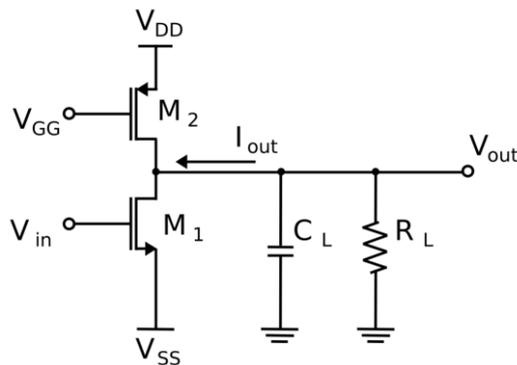


Figura 4.21. Amplificador clase A en configuración Fuente Común.

Salida Simple en drenador común

La configuración de salida simple en drenador común se muestra en la Figura 4.22. Esta se diferencia en el hecho de que emplea dos transistores tipo N. Esta estructura posee una impedancia de salida muy reducida, sin embargo, uno de los problemas que presenta es su dependencia con el *body-effect*, debido a que la fuente es el nodo de salida. El *body-effect* es un fenómeno que provoca que la tensión umbral V_{TH} , aumente cuando lo hace la tensión de salida. Este efecto reduce el voltaje máximo a la salida del amplificador.

La eficiencia de esta configuración es similar a la del amplificador en fuente común, pero la distorsión del drenador común es mejor a causa de la inherente realimentación negativa.

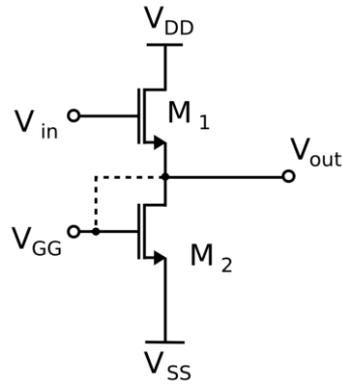


Figura 4.22. Amplificador clase A en configuración de Drenador Común.

Eficiencia del amplificador Clase A

La eficiencia del circuito se define como el porcentaje de potencia entregada a la carga respecto a la potencia suministrada por la alimentación. Para calcular la eficiencia del circuito se parte de la definición de la eficiencia, que se puede comprobar en la expresión (4.38). La potencia máxima entregada a la carga queda definida por la ecuación (4.39).

$$E_{ff} = \frac{\text{potencia en la carga } (P_L)}{\text{potencia de alimentación } (P_S)} \quad (4.38)$$

$$P_L = V_{ef} \cdot I_{ef} \quad (4.39)$$

Generalmente, en las etapas clase A se puede alcanzar una tensión de salida entre 0 y V_{DD} si se selecciona una buena corriente de polarización. De esta forma, el valor medio absoluto a la salida es la mitad de V_{DD} . Por tanto, la corriente que se entrega a la carga viene dada por la expresión (4.40), donde R_L representa la resistencia de la carga. La corriente de drenador del transistor varía de 0 a $2I$, cuyo valor medio absoluto es I . La potencia máxima instantánea disipada por el transistor superior se puede expresar como se muestra en la ecuación (4.41).

$$I = \frac{V_{DD}}{2R_L} \quad (4.40)$$

$$P_{dis} = V_{DD} \frac{I}{2} \quad (4.41)$$

A partir del análisis anterior es posible obtener el valor eficaz de tensión definido en la expresión (4.42) y corriente en la carga, mostrada en la ecuación (4.43). La potencia en la carga queda fijada por la relación (4.44).

$$V_{ef} = \frac{V_{max}}{\sqrt{2}} = \frac{V_{DD}}{2\sqrt{2}} \quad (4.42)$$

$$I_{ef} = \frac{I_{max}}{\sqrt{2}} = \frac{V_{DD}}{2R_L\sqrt{2}} \quad (4.43)$$

$$P_L = \frac{V_{DD}^2}{8R_L} \quad (4.44)$$

A su vez, para calcular la eficiencia es necesario conocer la potencia que suministra la alimentación, que viene dada por la ecuación (4.45). Una vez dicho esto, es posible calcular la eficiencia en el caso de máxima potencia, dada por la expresión (4.46).

$$P_S = V_{DD} \cdot I_{media} = V_{DD} \cdot \left(\frac{V_{DD}}{2R_L}\right) \quad (4.45)$$

$$E_{ff} = \frac{P_L}{P_S} = \frac{\frac{V_{DD}^2}{8R_L}}{\frac{V_{DD}^2}{2R_L}} = \frac{1}{4} = 0.25 \quad (4.46)$$

Como se ha podido comprobar, las etapas de salida en Clase A presentan una eficiencia del 25%, la cual es muy baja. Nótese que esta es la eficiencia máxima que se puede obtener con esta configuración. Hay que tener en cuenta que en la práctica la salida suele estar limitada en tensión para evitar tanto la saturación de los transistores como la distorsión de la señal. En definitiva, la eficiencia de los Clase A suele rondar entre el 10% y el 20%.

Análisis en pequeña señal

En el análisis del comportamiento en pequeña señal del circuito es útil emplear una aproximación a la hora de calcular la ganancia. Esta aproximación se realiza sustituyendo el transistor M2 (de la configuración fuente común) por una resistencia de valor $\frac{1}{g_{m2}}$ y el transistor M1 por una fuente dependiente de

corriente $g_{m1} \cdot v_{in}$, con $\frac{1}{g_{m2}} \ll r_{ds1} || r_{ds2}$. Entonces la ganancia se puede escribir como muestra la expresión (4.47).

$$A_v = \frac{v_{out}}{v_{in}} = - \frac{\text{resistencia en el drenador}}{\text{resistencia en la fuente}} \quad (4.47)$$

Ganancia en pequeña señal

A su vez, se puede deducir que la ganancia de un amplificador de clase A, que se muestra en la expresión (4.48), es el paralelo de las resistencias en el drenador de M1 entre la resistencia en la fuente de M1.

$$A_v = \frac{v_o}{v_i} = - \frac{r_{ds1} || r_{ds2}}{\frac{1}{g_{m1}}} = -g_{m1}(r_{ds1} || r_{ds2}) = - \frac{g_{m1}}{g_{ds1} + g_{ds2}} \quad (4.48)$$

4.6 Respuesta en frecuencia

Para calcular la respuesta en frecuencia del amplificador operacional de transconductancia, se parte del circuito simplificado en pequeña señal (Figura 4.7). Este circuito puede simplificarse eliminando los nodos de baja impedancia, dado que presentan una constante de tiempo RC elevada y, por lo tanto, proporcionarán polos a muy alta frecuencia.

Si se supone que se cumple la expresión (4.49), el nodo al que están conectados los drenadores de los transistores M1 y M2, que es el mismo al que corresponde la puerta de los transistores M3 y M4, es un nodo de baja impedancia y se puede eliminar. Con esta pequeña simplificación, el circuito resultante es el que se muestra en la Figura 4.23.

$$\frac{1}{c_1 \cdot \frac{1}{g_{m3}}} \gg \frac{1}{[c_2 \cdot (r_{ds2} || r_{ds4})]} \quad (4.49)$$

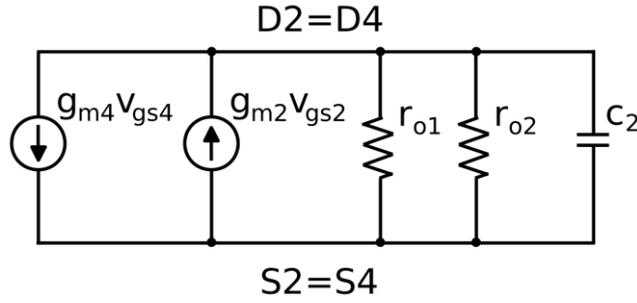


Figura 4.23. Circuito simplificando los nodos de baja impedancia para la respuesta en frecuencia.

Si se considera que la puerta del transistor M2 está conectada a tierra y que en la puerta de M1 se aplica una señal de entrada, resulta que la tensión v_{gs2} es equivalente a tierra y que v_{id} tiene el mismo valor que v_{gs1} . Esto implica que se cumple la expresión (4.50). Con estas modificaciones el circuito queda como se presenta en la Figura 4.24.

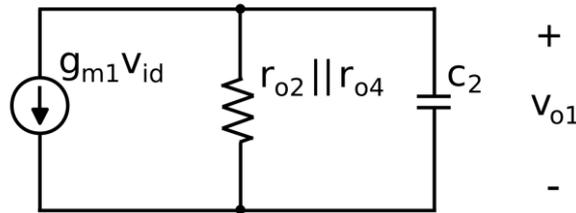


Figura 4.24. Circuito final de la simplificación para obtener la respuesta en frecuencia del OTA.

$$g_{m4}v_{gs4} = i_{d1} = g_{m1}v_{gs1} = g_{m1}v_{id} \quad (4.50)$$

En este caso, la salida en alta frecuencia viene dada por la expresión (4.51). De manera que la respuesta en frecuencia queda, finalmente, como se muestra en la ecuación (4.52).

$$v_{o1} = g_{m1}v_{gs1}(r_{ds2} || r_{ds4}) \frac{1}{\left[1 + s \cdot \frac{1}{c_2(r_{ds2} || r_{ds4})}\right]} \quad (4.51)$$

$$\frac{v_{o1}}{v_{id}} = g_{m1}(r_{ds2} || r_{ds4}) \frac{1}{\left[1 + s \cdot \frac{1}{c_2(r_{ds2} || r_{ds4})}\right]} \quad (4.52)$$

Asimismo, si se analizan las etapas de entrada y salida vistas en los apartados anteriores, es posible obtener un modelo simplificado para calcular la

respuesta en frecuencia. Para realizar este análisis es necesario tener en cuenta todas las capacidades asociadas a los transistores. El condensador de compensación C_c no se tiene en cuenta en esta etapa, sin embargo, hay que tener en cuenta las capacidades parásitas de los transistores. Entre estas capacidades parásitas se incluyen las capacidades en las zonas de deplexión (C_{gb} , C_{sb} , C_{db}) y las capacidades de solapamiento (C_{gs} , C_{gd}). El circuito resultante es el de la Figura 4.25, los condensadores c_1 y c_2 representan el efecto de todas estas capacidades.

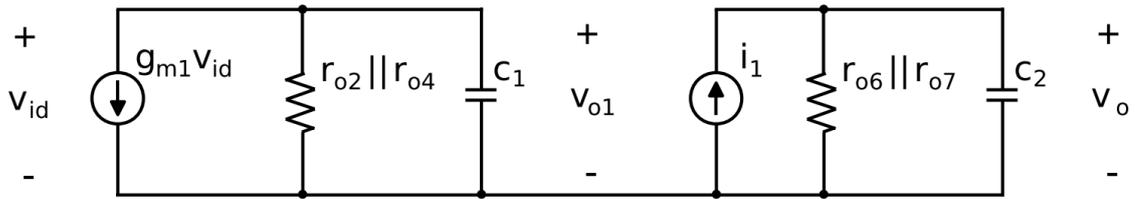


Figura 4.25. Circuito resultante del análisis de capacidades parásitas de los transistores.

Es necesario emplear el teorema de Miller para determinar el efecto del condensador c_{gd6} . Este teorema aproxima los efectos del condensador reemplazándolo por un condensador de entrada y un condensador de salida. El valor del condensador de entrada viene dado por la expresión (4.53), mientras que el valor del condensador de salida queda fijado por la ecuación (4.54).

$$c_i = c_{gd6}(1 + A_2) \quad (4.53)$$

$$c_o = c_{gd6} \left(1 + \frac{1}{A_2}\right) \quad (4.54)$$

El término A_2 es la ganancia entre los nodos a los que está conectado el condensador c_{gd6} original. El valor de esta ganancia se puede calcular a partir de la Figura 4.25, de forma que se obtiene en la expresión (4.55).

$$A_2 = \frac{v_o}{v_{o1}} = -g_{m6} \cdot v_{o1} \frac{r_{o6} || r_{o7}}{v_{o1}} = -g_{m6} \cdot (r_{o6} || r_{o7}) \quad (4.55)$$

Los condensadores c_1 y c_2 pueden calcularse examinando la Figura 4.26, de forma que el valor de c_1 se expresa como en la expresión (4.56) y c_2 viene dado por la ecuación (4.57).

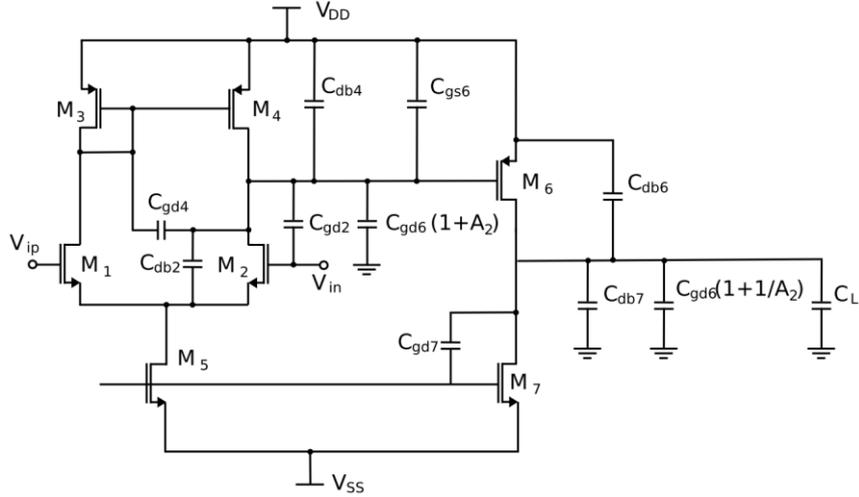


Figura 4.26. Circuito del OTA Miller con las capacidades parásitas a tener en cuenta en el análisis de respuesta en frecuencia.

$$c_1 = c_{db4} + c_{gd4} + c_{db2} + c_{gd2} + c_{gs6} + c_{gd6} \cdot (1 + A_2) \quad (4.56)$$

$$c_2 = c_{db6} + c_{gd7} + c_{db7} + c_{gd6} \cdot \left(1 + \frac{1}{A_2}\right) + C_L \quad (4.57)$$

Al suponer que $c_1 < c_2$, el polo asociado a la salida del amplificador diferencial dado por $\frac{1}{[c_1 \cdot (r_{ds2} || r_{ds4})]}$ será más pequeño que el polo asociado a la salida del amplificador de clase A, que queda definido como $\frac{1}{c_2(r_{ds6} || r_{ds7})}$.

A su vez, se tiene que la respuesta en frecuencia viene dada por la ecuación (4.58), donde el término $\frac{v_o}{v_{o1}}$ viene dado por la expresión (4.59), donde el término

$\frac{v_{o1}}{v_{id}}$ se puede expresar como se ve en la ecuación (4.60).

$$\frac{v_o}{v_{id}} = \left(\frac{v_o}{v_{o1}}\right) \cdot \left(\frac{v_{o1}}{v_{id}}\right) \cdot \left[\frac{1}{\left(1 + \frac{s}{c_1(r_{o2} || r_{o4})}\right)}\right] \cdot \left[\frac{1}{\left(1 + \frac{s}{c_2(r_{o2} || r_{o4})}\right)}\right] \quad (4.58)$$

$$\frac{v_o}{v_{o1}} = g_{m6} \cdot (r_{o6} || r_{o7}) \frac{1}{\left(1 + \frac{s}{c_2(r_{o6} || r_{o7})}\right)} \quad (4.59)$$

$$\frac{v_{o1}}{v_{id}} = g_{m6} \cdot (r_{o2} || r_{o4}) \frac{1}{\left(1 + \frac{s}{c_1(r_{o2} || r_{o4})}\right)} \quad (4.60)$$

A partir de las ecuaciones anteriores, es posible obtener la respuesta en frecuencia definida como se muestra en la relación (4.61). Finalmente, los polos de dicha ecuación quedan definidos de la forma que se ve en las expresiones (4.62) y (4.63).

$$\frac{v_o}{v_{id}} = g_{m6} \cdot (r_{o6} || r_{o7}) \cdot g_{m1} \cdot (r_{o2} || r_{o4}) \cdot \frac{1}{\left(1 + \frac{s}{c_1(r_{o2} || r_{o4})}\right)} \cdot \frac{1}{\left(1 + \frac{s}{c_2(r_{o6} || r_{o7})}\right)} \quad (4.61)$$

$$P_1 = \frac{1}{c_1(r_{o2} || r_{o4})} \quad (4.62)$$

$$P_2 = \frac{1}{c_2(r_{o6} || r_{o7})} \quad (4.63)$$

4.7 Realimentación y compensación

La realimentación negativa es una de las técnicas más usadas a la hora de estabilizar la ganancia del amplificador frente a la variación en la tensión de alimentación, los cambios de temperatura o al envejecimiento del dispositivo. Algunas de las ventajas de aplicar dicha técnica son:

- Reducir la distorsión lineal: Hace que la salida sea proporcional a la entrada y que la ganancia sea uniforme independientemente del nivel de señal.
- Hacer que la ganancia sea menos sensible frente a las variaciones de los componentes del circuito.
- Reducir el efecto del ruido, al minimizar la contribución de señales no deseadas a la salida.
- Permite ajustar las impedancias de entrada y salida.
- Permite ampliar el ancho de banda del amplificador.

Todas estas ventajas se pueden lograr a costa de una ligera pérdida en la ganancia. Asimismo, se reduce el riesgo de que el amplificador se vuelve inestable.

4.7.1 Estabilidad

El diagrama típico de un sistema realimentado es el que se muestra en la Figura 4.27. Cuando se realimenta un sistema de esta manera, la función de la ganancia queda descrita por la expresión (4.64), donde A_{OL} es la función de transferencia de la planta en lazo abierto y β , la de la realimentación. El término A_F representa la ganancia del sistema realimentado. Cuando la ganancia A_{OL} es muy alta, se puede aproximar a la expresión (4.65), donde la función de transferencia viene dada por $\frac{1}{\beta}$.

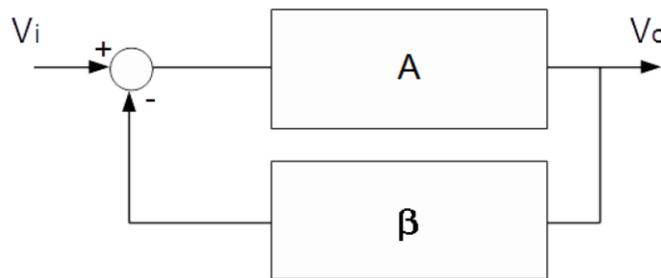


Figura 4.27. Diagrama de realimentación.

$$A_F(f) = \frac{v_o}{v_i} = \frac{A_{OL}(f)}{1 + \beta \cdot A_{OL}(f)} \quad (4.64)$$

$$A_F(f) = \frac{v_o}{v_i} = \frac{A_{OL}(f)}{1 + \beta \cdot A_{OL}(f)} \xrightarrow{A_{OL} \rightarrow \infty} A_F(F) \cong \frac{1}{\beta} \quad (4.65)$$

Para determinar si un sistema es inestable se suele emplear el criterio de Nyquist, el cual consiste en estudiar la magnitud y fase de la función de transferencia a través del diagrama de Bode. Este criterio demuestra que el sistema es inestable cuando la fase del sistema es 180° en la frecuencia en la que la ganancia pasa por 0 dB. Esto se puede demostrar si se observa con detenimiento la expresión (4.64). A partir de esta expresión se extrae que cuando se cumple o bien la expresión (4.66), o lo que es lo mismo, la igualdad (4.67), la respuesta en lazo cerrado se hace inestable.

$$\beta \cdot A_{OL}(f) = -1 \quad (4.66)$$

$$|\beta \cdot A_{OL}(f)| = 1 \text{ y } \angle \beta \cdot A_{OL}(f) = \pm 180^\circ \quad (4.67)$$

El caso en el cual β tiene un valor muy elevado ocurre cuando toda la salida del operacional es realimentada hacia la entrada del mismo. El seguidor de tensión es un ejemplo de esta situación. Nótese que cuanto mayor es la ganancia en lazo cerrado, menor es el valor de β (se realimenta menos señal) y el amplificador es menos susceptible a hacerse inestable. Mientras que la realimentación hace la ganancia del operacional más robusta ante variaciones de la ganancia en lazo abierto, introduce problemas de estabilidad.

La estabilidad del sistema realimentado puede cambiar cuando hay variaciones en la temperatura, debido al proceso de fabricación o en la alimentación. Por este motivo, se definen los márgenes de ganancia (*Gain Margin* o GM) y de fase (*Phase Margin* o PM) como una medida de la estabilidad de un operacional bajo unas condiciones de operación determinadas. Para calcular el margen de ganancia basta con medir la diferencia entre la ganancia en lazo abierto y la unidad cuando la fase del operacional es de 180° . El margen de fase se determina observando la fase que presenta el sistema cuando la ganancia es la unidad. La diferencia de fase que hay respecto a 180° es el margen de fase. Estas situaciones se pueden observar en la Figura 4.28.

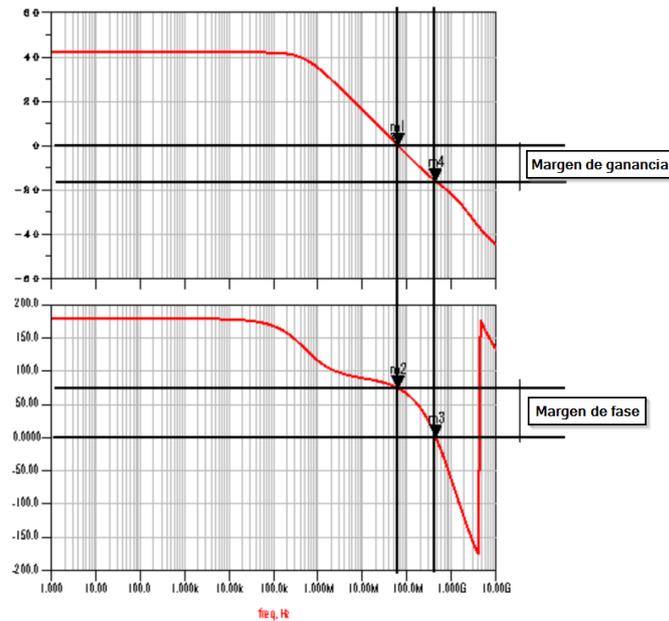


Figura 4.28. Margen de ganancia y margen de fase.

4.7.2 Compensación

Uno de los pasos más importantes al diseñar, es implementar la red de compensación. Las técnicas de compensación permiten corregir la respuesta de los amplificadores realimentados, asegurando que se comporten como sistemas estables. Entre las técnicas existentes destacan:

- La limitación de β , fundamentada en limitar el valor de la ganancia de realimentación. Al limitar este valor se asegura que se cumpla el criterio de Nyquist.
- Compensación por polo dominante: Esta técnica simplemente introduce un polo en baja frecuencia que sea dominante. De esta forma, se asegura que la ganancia pase por 0 dB cuando la fase esté alejada de 180°.
- Compensación de polo-cero: Mediante esta técnica es posible introducir un polo en baja frecuencia y un cero en alta frecuencia. La ventaja de este método es que obtiene mejor ancho de banda. Normalmente se sitúa un cero sobre el primer polo y luego se compensa por polo dominante.

- Compensación de adelanto de fase (*lead compensation*): Este método es el más complicado de llevar a cabo en la práctica, pero obtiene mejor ancho de banda que los anteriores.

Compensación por polo dominante o tipo Miller

Las compensaciones más empleadas son por polo dominante y por polo-cero. Para aplicar esta compensación hay que incluir en el análisis el condensador de compensación C_c , tal y como se aprecia en la Figura 4.29. Los dos polos determinados previamente son los que se vieron en las expresiones (4.62) y (4.63).

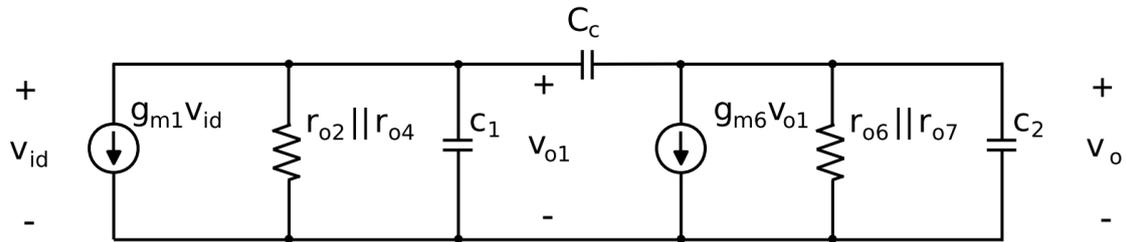


Figura 4.29. Modelo en pequeña señal del OTA con condensador de compensación.

Al añadir C_c se alcanzan dos compromisos. En primer lugar, la capacidad efectiva asociada a $r_{o2}||r_{o4}$ ha cambiado, ahora su valor viene dado por la ecuación (4.68). Por lo tanto, se reduce la frecuencia del primer polo P_1 en una magnitud considerable. De esta forma, el condensador C_c dominará el valor de c_1 y hará que el polo cambie a una nueva localización. En segundo lugar, el valor del segundo polo también se ve afectado por el condensador C_c , de la forma que se ve en la expresión (4.69).

$$P_1 = \frac{1}{c_1(r_{o2}||r_{o4})} \xrightarrow{C_c} P_1 = \frac{1}{c_1(g_{m1} \cdot r_{o2}||r_{o4} \cdot C_c)} \quad (4.68)$$

$$\frac{v_o}{v_i} = \frac{g_{m1}g_{m6}r_1r_2 \left(1 - S \frac{C_c}{g_{m6}}\right)}{1 + S[r_1(c_1 + C_c) + r_2(c_2 + C_c) + g_{m6}r_1r_2] + S^2r_1r_2[c_1c_2 + C_c(c_1 + c_2)]} \quad (4.69)$$

Si se tiene en cuenta que en la expresión (4.69) el valor de $r_1 = r_{o2}||r_{o4}$, $r_2 = r_{o6}||r_{o7}$, es posible obtener un polinomio de segundo orden que

represente al denominador. Este polinomio queda definido de la forma que se ve en la ecuación (4.70). Si se asume que el primer polo es mucho mayor que el segundo, la expresión polinómica se puede simplificar como se ve en la expresión (4.71). De este modo, el valor de P_1 y P_2 se puede escribir en términos de a y b como se muestra en la ecuación (4.72).

$$\begin{aligned} P(S) &= 1 + aS + bS^2 = \left(1 - \frac{S}{P_1}\right) \left(1 - \frac{S}{P_2}\right) \\ &= 1 - S \left(\frac{1}{P_1} + \frac{1}{P_2}\right) + \frac{S^2}{P_1 P_2} \end{aligned} \quad (4.70)$$

$$\text{Si } |P_1| \gg |P_2| \rightarrow P(S) = 1 - \frac{S}{P_1} + \frac{S^2}{P_1 P_2} \quad (4.71)$$

$$P_1 = \frac{-1}{a} ; P_2 = \frac{-a}{b} \quad (4.72)$$

Es posible obtener el valor de los polos, identificando a y b en la expresión (4.69). De esta forma, el primer polo se puede aproximar a la expresión (4.73) y el segundo tiene un valor que se puede calcular como se ve en la ecuación (4.74).

$$P_1 = \frac{-1}{r_1(c_1 + C_c) + r_2(c_2 + C_c) + g_{m6}r_1r_2C_c} \cong \frac{-1}{g_{m6}r_1r_2C_c} \quad (4.73)$$

$$\begin{aligned} P_2 &= -\frac{r_1(c_1 + C_c) + r_2(c_2 + C_c) + g_{m6}r_1r_2C_c}{r_1r_2[c_1c_2 + C_c(c_1 + c_2)]} \cong \frac{-g_{m6}C_c}{c_1c_2 + C_c(c_1 + c_2)} \\ &\cong \frac{-g_{m6}}{c_2} \end{aligned} \quad (4.74)$$

El segundo polo no debería afectar a la ganancia hasta que su magnitud decaiga por debajo de 0 dB. Cabe destacar que ahora se tiene un cero debido a la presencia de C_c , cuyo valor viene dado por la expresión (4.75).

$$Z_1 = \frac{g_{m6}}{C_c} \quad (4.75)$$

La presencia de este cero hace que la fase se acerque a 180° más rápidamente. Para evitar la influencia de este cero, lo ideal es alejarlo del punto donde la magnitud de la ganancia pasa por 0 dB.

Compensación por polo-cero

Con el fin de solucionar el problema del cero que se introduce con la técnica de compensación anterior, se suele añadir una resistencia R_c en serie con C_c . Dicha resistencia permite trasladar el cero para obtener un margen de fase óptimo. Si se tiene en cuenta que el valor del cero viene dado por la expresión (4.76), cuando $R_c = 0$, entonces se tiene el cero original. A su vez, si $R_c = 1/g_{m6}$ el cero se sitúa en infinito. Si se le da a R_c un valor mayor que $1/g_{m6}$ se mejora el margen de fase, debido a que el desfase será contrario al original.

$$Z_1 = \frac{1}{\left[C_c \left(\frac{1}{g_{m6}} - R_c \right) \right]} \quad (4.76)$$

4.7.3 Producto ganancia por ancho de banda

El producto ganancia por ancho de banda (*Gain-Bandwidth Product* o GBW) para el amplificador operacional compensado viene dado por el valor de la ganancia en lazo abierto multiplicada por el ancho de banda del amplificador (que se establece a través de P_2). El valor del producto GBW se ve disminuido por el valor de C_c de la forma que se ve en la expresión (4.77). Por esta razón, hay que alcanzar un compromiso en el valor del condensador de compensación. El valor del mismo debe ser lo bastante elevado para que el margen fase sea el deseado y lo suficientemente pequeño para obtener un buen GBW.

$$GBW = g_{m1}r_1g_{m6}r_2 \left[\frac{1}{g_{m6}r_1C_cr_2} \right] \cong \frac{g_{m1}}{C_c} \quad (4.77)$$

4.8 Conclusiones

En este capítulo se ha realizado un estudio en detalle del amplificador operacional de transconductancia y cada una de las etapas que lo componen. De tal forma, se ha estudiado en detalle la estructura del par diferencial con carga activa, se han presentado varias estructuras de fuentes de corriente y se ha analizado el amplificador clase A. A partir del estudio en pequeña señal del circuito, se ha obtenido la respuesta en frecuencia. Asimismo, de las fuentes de corriente estudiadas para polarizar el circuito, se puede concluir que el cascode mejorado es el que obtiene los mejores resultados. Se han repasado las ventajas asociadas a la realimentación negativa y los problemas de estabilidad en sistemas realimentados. Finalmente, se han estudiado algunas técnicas de compensación para evitar la inestabilidad de estos sistemas, viendo cómo se aplican algunas de ellas de forma práctica.

Capítulo 5. Diseño de un VGA con entrada diferencial y salida asimétrica

Tras realizar el estudio de la estructura interna del VGA y los elementos que lo forman, se procede a realizar el diseño del mismo. A continuación, se presenta el diseño completo de un amplificador operacional de transconductancia tipo Miller con compensación polo-cero. Este amplificador posee entrada diferencial y salida asimétrica. El diseño del OTA se desarrolla haciendo uso de los modelos de la tecnología UMC de 65 nm, tal y como se había comentado previamente.

5.1 Diseño del OTA

Las especificaciones que debe cumplir el amplificador se presentan en la Tabla 5.1. Estos criterios se han extraído de un estudio realizado de la bibliografía y el estándar IEEE 802.15.4.

Tabla 5.1. Especificaciones

A_v (dB)	>40
Margen de fase ($^\circ$)	>60
GBW (MHz)	50
V_{DD} (V)	0.6
V_{SS} (V)	-0.6
I_{DD} (mA)	<0.5
Capacidad de carga C_L (pF)	1

A partir las especificaciones, es posible obtener las dimensiones de los transistores aplicando la metodología de diseño g_m/I_D . Tal y como se explicó en

el capítulo de fundamentos teóricos, el diseño g_m/I_D se basa en el uso de las curvas características de los transistores, que enfrentan la relación g_m/I_D frente a la corriente de drenador normalizada, $I_D/(W/L)$. Estas curvas ya fueron tratadas en este documento (Figura 2.11) y se usan para dimensionar los transistores.

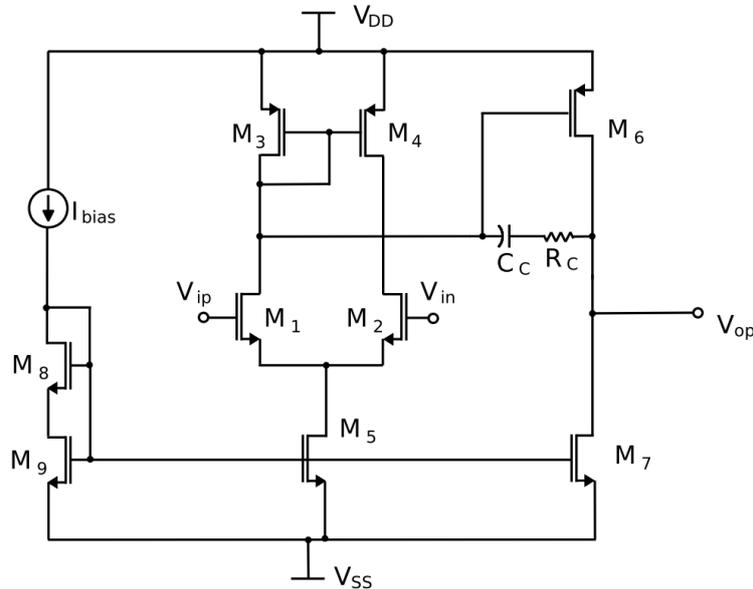


Figura 5.1. Estructura del OTA Miller con compensación polo-cero.

El OTA se ha diseñado siguiendo la estructura Miller [17], presentada en la Figura 5.1. El objetivo de la compensación es conseguir un margen de fase superior a 45° , preferiblemente de 60° . Se puede demostrar que, si se sitúa un cero al menos diez veces superior al producto GBW, entonces para conseguir los 60° de margen de fase, el segundo polo P_2 debe situarse a una frecuencia 2.2 veces superior al producto GBW [8]. Ya que se desea un margen de fase de al menos 60° , se debe aplicar la relación (5.1). En este caso, la relación anterior se puede reescribir como se muestra en la ecuación (5.2), teniendo en cuenta donde debe situarse el segundo polo. Al combinar las dos expresiones anteriores se obtiene la relación (5.3). A partir de las especificaciones del estándar es posible obtener el valor del condensador de compensación C_c , que sigue la relación (5.3). Esta expresión debe cumplirse para alcanzar un margen de fase de 60° . Teniendo en cuenta la expresión (5.3) se opta por un valor del condensador de compensación C_c de 0.25 pF.

$$\left(\frac{g_{m6}}{C_c}\right) > 10 \cdot \left(\frac{g_{m1}}{C_c}\right) ; g_{m6} > 10 \cdot g_{m1} \quad (5.1)$$

$$\left(\frac{g_{m6}}{C_L}\right) > 2.2 \left(\frac{g_{m1}}{C_c}\right) \quad (5.2)$$

$$C_c > \frac{2.2}{10} \cdot C_L = 0.22 \cdot C_c = 0.22 \text{ pF} \quad (5.3)$$

Con el fin de reducir el consumo, el valor de la corriente de polarización I_{bias} se fija en 15 μA , de manera que circulan 7.5 μA por cada rama del par diferencial. La transconductancia de los transistores M1/M2 se puede calcular siguiendo la relación (5.4). Teniendo el valor de la transconductancia y la corriente que circula por M1/M2, se puede obtener la relación g_m/I_D aplicando la definición (5.5), resultando una relación g_m/I_D de 10.472.

$$g_{m1,2} = 2\pi \cdot GBW \cdot C_c = 78'54 \mu\text{S} \quad (5.4)$$

$$\left(\frac{g_m}{I_D}\right)_{1,2} = \frac{g_{m1,2}}{I_{D1,2}} = \frac{78'54}{7.5} = 10.472 \quad (5.5)$$

El siguiente paso consiste en calcular la relación g_m/I_D del transistor M6, que forma la etapa de salida del OTA. Se opta por una relación g_m/I_D de 8 para trabajar en inversión moderada. A su vez, las transconductancias de los transistores M6 y M1 (g_{m6} y g_{m1}) siguen la relación (5.1). Al dividir la transconductancia entre la relación g_m/I_D de 8, resulta una corriente de drenador de 98.2 μA para M6, que es la misma que circula por el transistor M7.

Para que los transistores M3 y M4 (que forman la carga activa del par diferencial) trabajen en inversión moderada, se fija su relación g_m/I_D a un valor de 10.

Teniendo en cuenta los valores obtenidos, es posible hallar las relaciones de aspecto tanto de los transistores del par diferencial como del transistor M6 de la etapa de salida. Esto es, para los transistores M1/M2 se sabe que los valores de g_m , I_D y g_m/I_D vienen dados por la expresión (5.6). Partiendo de que los modelos

a emplear para el par diferencial son los LVT, basta con obtener la $I_D/(W/L)$ correspondiente a la relación $g_m/I_D = 10.472$ de los transistores NMOS, que resulta: $I_D/(W/L) = 4 \mu A$. Al dividir la corriente de drenador ($7.5 \mu A$) entre esta relación $I_D/(W/L)$ se obtiene la relación de aspecto correspondiente. Esta operación se refleja en la expresión (5.7).

$$g_{m1,2} = 78'54\mu S ; I_{D1,2} = 7.5 \mu A ; \left(\frac{g_m}{I_D} \right)_{1,2} = 10.472 \quad (5.6)$$

$$\left(\frac{I_D}{W/L} \right)_{curvas} = \frac{I_D^*}{(W/L)^*} ; (W/L)^* = \frac{I_D^*}{\left(\frac{I_D}{W/L} \right)_{curvas}} \quad (5.7)$$

La corriente I_D^* es la corriente de drenador calculada y $(W/L)^*$ la relación de aspecto que se desea conocer. Al realizar estos cálculos para cada transistor, se obtienen los resultados presentados en la Tabla 5.2.

Tabla 5.2. Parámetros resultantes del diseño g_m/I_D de los transistores

MOSFET	Tipo	g_m/I_D	$g_m(\mu S)$	$I_D(\mu A)$	$I_D/(W/L)(\mu A)$	W/L
M1, M2	N	10.472	78.54	7.5	4	1.88
M3, M4	P	10	75	7.5	2.15	3.48
M6	P	8	785.4	98.2	3.46	13.36

Los resultados mostrados en la Tabla 5.2 se han obtenido a partir de las curvas características de los transistores LVT que, tal y como se ha dicho, es el tipo de transistores de UMC 65 nm a emplear.

Las dimensiones de los transistores M5, M7, M8 y M9 se ajustan experimentalmente para obtener las corrientes que se desea copiar en espejo, siguiendo la referencia [17].

Con el fin de mejorar el ancho de banda del OTA se ha aplicado la técnica de compensación por polo-cero. Esta técnica se aplica añadiendo una resistencia R_c y un condensador C_c . Es posible ajustar el valor de C_c para los diferentes niveles de ganancia de forma que es posible aumentar el ancho de banda conforme se reduce la ganancia. De esta forma se asegura que el producto GBW

sea constante. El valor de la capacidad C_c se ha fijado a 0.25 pF, tal y como se presenta en la ecuación (5.3). El valor de la resistencia de compensación R_c viene dado por la expresión (5.8). Se decide fijar esta resistencia a un valor de 1 k Ω .

$$R_c = \frac{1}{g_{m6}} = 1,273 \Omega \rightarrow 1 \text{ k}\Omega \quad (5.8)$$

5.1.1 Resultados del análisis en lazo abierto

Con ayuda del software *Advanced Design System* (ADS) de *Keysight* se conforma el transconductor a partir de las relaciones de aspecto calculadas en el apartado anterior.

Para calcular las dimensiones de los transistores M1, M2, M3, M4 y M6 se fija la longitud de los mismos a 500 nm. Teniendo la longitud de los transistores, se aplica la relación de aspecto calculada anteriormente y se obtiene directamente el ancho de los mismos. Tras realizar varias simulaciones se establecen las dimensiones de los transistores M5, M7, M8 y M9. Se detecta un problema con los transistores M5 y M7 y es que no alcanzan la región de saturación. Por ello, se realizó un estudio dedicado a las fuentes de corriente (capítulo 4, apartado 4.4).

Como solución final se decide implementar el espejo de la Figura 5.1, y aumentar el ancho de M5 y M7 para alcanzar una corriente suficientemente elevada. Primero, se establece el tamaño de los transistores de la rama de referencia M8 y M9 que son de 20 μm y 4 μm de ancho, respectivamente. Con la configuración del espejo propuesta se consigue que las tensiones V_{GS} de los transistores M9 y M5 sean iguales y lo suficientemente elevadas para asegurar la saturación. El ancho de M8 tiene una gran importancia en la implementación del OTA con salida diferencial, su papel se explica en el capítulo siguiente. El ancho de M5 es cuatro veces el de M9 para que circulen más de 15 μA , puesto que existen dificultades para que M5 alcance la saturación. Todos estos ajustes se basan en la aplicación de la relación (5.9). Aun así, la tensión V_{DS} que se alcanza en M5 es insuficiente, ya que el par diferencial deja muy poco margen de tensión.

$$I_o = \left[\frac{K_n}{2} (V_{GS} - V_{TH})^2 \right] \left(\frac{W}{L} \right)_2 = I_{ref} \left(\frac{W}{L} \right)_2 \left(\frac{W}{L} \right)_1 \quad (5.9)$$

En principio, aumentar el ancho de los transistores del espejo es una solución temporal. El hecho de que el transistor M5 no alcance la saturación hace que el circuito se vuelva muy sensible a las variaciones en la alimentación. Tal situación limita la operación del OTA, de forma que cualquier variación de temperatura, del proceso de fabricación o la alimentación del dispositivo puede provocar que la ganancia del OTA se reduzca drásticamente. Una solución más atractiva es la de usar un circuito de CMFB (*Common Mode Feedback* o realimentación en modo común). Este tipo de circuito se introduce en el siguiente capítulo, dedicado al diseño del OTA con salida diferencial.

En resumen, la longitud de los transistores M5, M7, M8 y M9 es la misma que para los anteriores que es de 500 nm. Los anchos de M5 y M8 son de 20 μm , el de M9 es de 4 μm y el de M7 es de 10 μm .

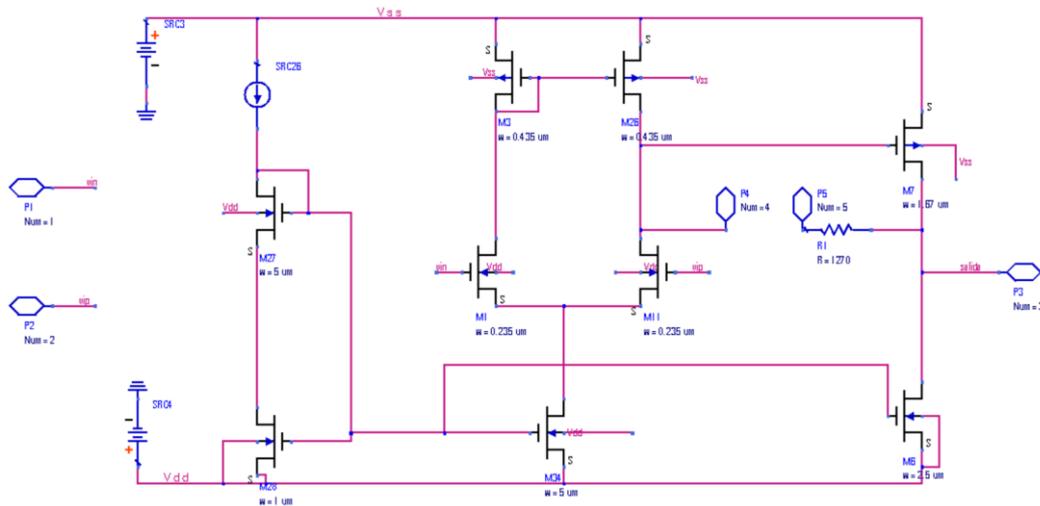


Figura 5.2. OTA asimétrico, diseño inicial.

Las dimensiones de los transistores se presentan en la Tabla 5.3, quedando el circuito de la Figura 5.2.

Tabla 5.3. Dimensiones de los transistores para 500 nm de longitud de puerta

Transistor	W (nm)	L (nm)	W/L
M1, M2	940	500	1.88
M3, M4	1,740	500	3.48
M5	20,000	500	40
M6	6,680	500	13.36
M7	10,000	500	20
M8	20,000	500	40
M9	4,000	500	8

Para obtener los parámetros del OTA en lazo abierto se realiza una simulación siguiendo el esquema de la Figura 5.3. La señal de entrada es una señal senoidal de 1 V de amplitud y se hace un barrido en frecuencia.

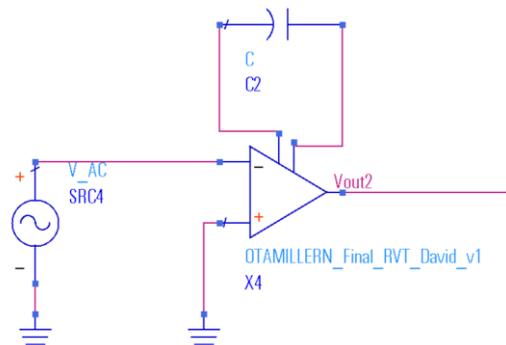


Figura 5.3. Esquema de simulación del OTA con salida asimétrica en lazo abierto.

Una vez simulado el esquema del OTA en lazo abierto, se obtienen las respuestas mostradas en la Figura 5.4 y la Figura 5.5.

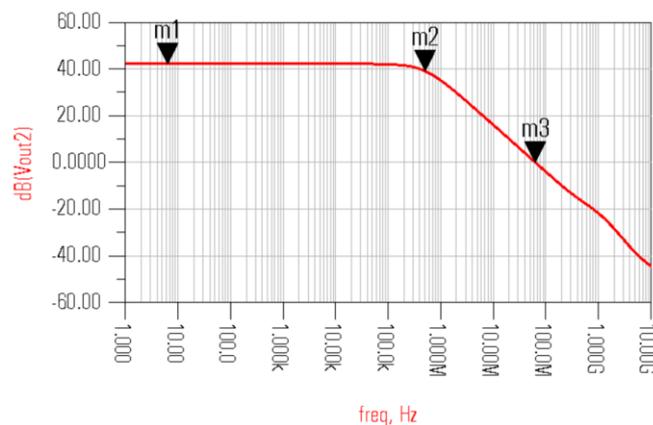


Figura 5.4. Magnitud de la ganancia del OTA con salida asimétrica en lazo abierto.

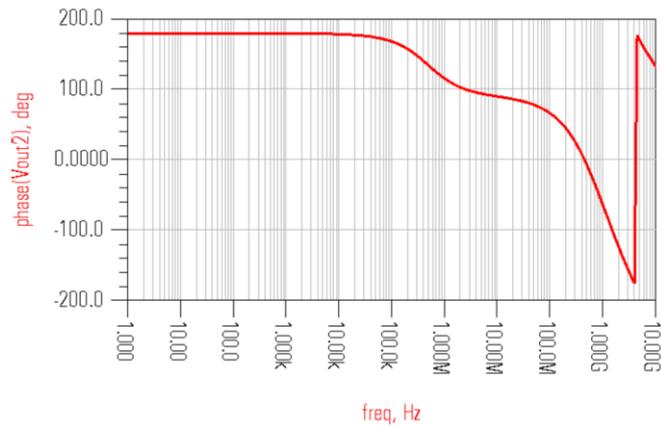


Figura 5.5. Fase de la respuesta en frecuencia del OTA con salida asimétrica en lazo abierto.

Al medir los parámetros de interés, se obtienen los resultados presentados en la Tabla 5.4, donde se aprecia que la ganancia es de 42.4 dB. Por otra parte, el ancho de banda es de 630 kHz, el producto ganancia por ancho de banda es de 79.4 MHz y el margen de fase, 71°. Por último, el consumo es de tan solo 0.125 mW.

Tabla 5.4. Resultados de la simulación en lazo abierto

Ganancia (dB)	42.4
Ancho de banda a 3 dB (kHz)	630
Ganancia por ancho de banda (MHz)	79.4
Margen de fase (°)	71
Potencia disipada (mW)	0.125

5.1.2 Diseño de la resistencia variable

Con el fin de ajustar la ganancia del OTA se utiliza la realimentación negativa, que introduce numerosas ventajas en la operación del amplificador. El objetivo es lograr una ganancia total de 21 dB en pasos de 3 dB para el ajuste de nivel de señal recibida, por lo que son necesarios 8 valores de resistencias. La implementación de la red resistiva se realiza a través de un decodificador, situando las 8 resistencias en paralelo. Es posible seleccionar la resistencia deseada con un *switch*. La implementación del decodificador y el *switch* se muestran en la Figura 5.6. Dado que la ganancia del amplificador viene dada en función de las resistencias R_i y R_f , es posible obtener los valores de R_f para la

ganancia deseada a través de la expresión (5.10). Al aplicar esta expresión se obtienen los valores teóricos de la resistencia de realimentación. Estos valores se ajustan de forma experimental para afinar los resultados y obtener los niveles de ganancia con la mayor exactitud posible.

$$A_v(dB) = 20\log\left(\frac{R_f}{R_i}\right) ; R_f = R_i \cdot 10^{A_v/20} \quad (5.10)$$

Para la correcta adaptación de impedancias, el valor de la resistencia R_i es de $6\text{ k}\Omega$ y corresponde a la resistencia de salida del filtro polifásico, que se sitúa antes del VGA en la cadena de recepción [12].

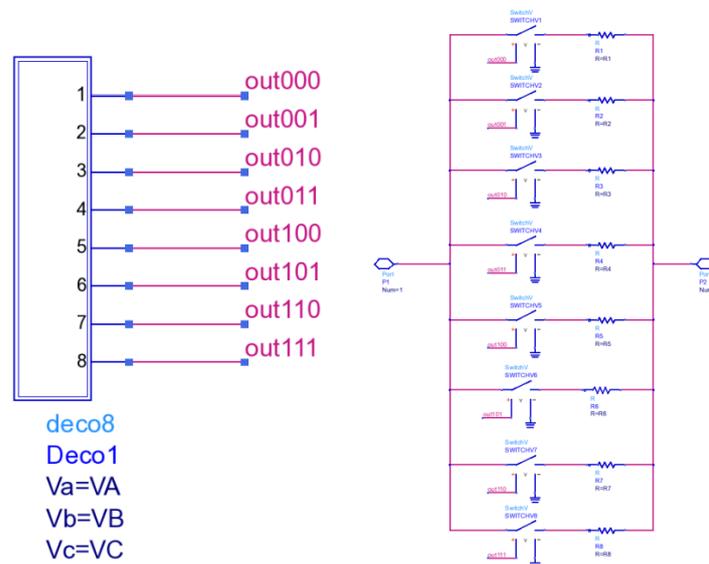


Figura 5.6. Decodificador.

Los *switches* están conectados a cada una de las salidas del decodificador para que no pueda haber más de una resistencia activa a la vez. Con cada palabra de control se activa un *switch* y la corriente circula por la resistencia activa. Tras realizar los cálculos y afinar los valores de las resistencias se obtienen los resultados presentados en la Tabla 5.5.

Tabla 5.5. Valores de la red resistiva para una etapa

Valor de R_f (Ω)	Ganancia (dB)
6,500	0
9,100	3
12,850	6
18,150	9
25,630	12
36,490	15
52,200	18
75,200	21

5.1.3 Diseño del varactor

De forma paralela al diseño de la resistencia variable se ha diseñado un varactor, que es un condensador de capacidad variable. Este varactor se usa como condensador de compensación, ajustando su valor en función de la ganancia deseada para mantener un ancho de banda uniforme.

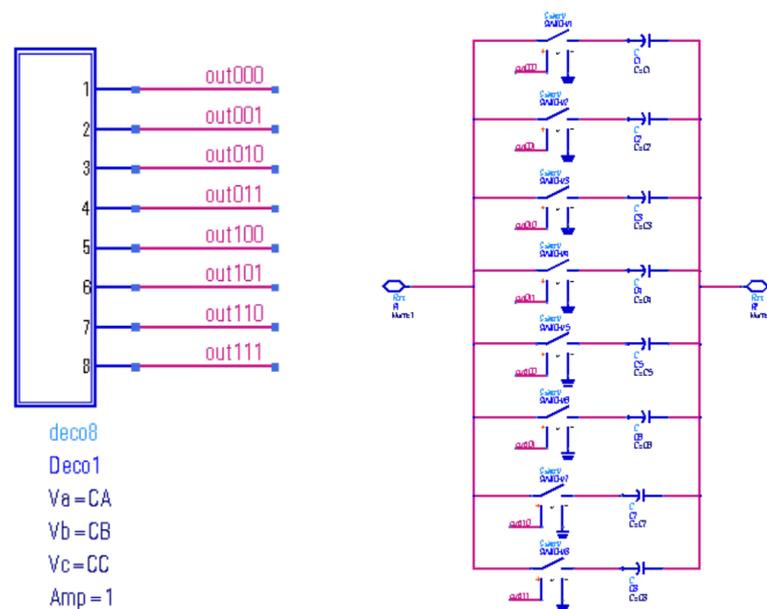


Figura 5.7. Estructura interna del varactor, decodificador y capacidades conmutables.

El valor de cada capacidad se obtiene mediante simulación, tratando de ajustar la misma para cumplir con los requisitos de margen de fase (más de 60°)

y ancho de banda (al menos 10 MHz). En la Figura 5.7 se puede ver la estructura del varactor diseñado. Al igual que en el caso anterior, en función de la palabra de control el varactor dará una capacidad diferente.

5.2 VGA de una etapa

A partir del diseño del OTA en lazo abierto, es posible obtener un VGA formado por una sola etapa. Para ello es necesario realimentar el amplificador con la resistencia variable y conectar el varactor entre los terminales de C_c . El esquemático de simulación se muestra en la Figura 5.8.

Para obtener la ganancia del circuito se introduce una señal senoidal de 1 V y se realiza un barrido en frecuencia. A su vez, es necesario ajustar los valores de la resistencia variable y del varactor para obtener los distintos niveles de ganancia.

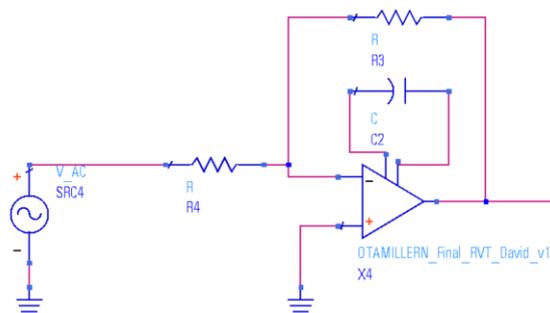


Figura 5.8. Esquema de la simulación del VGA de salida asimétrica de una etapa.

Una vez simulado, hay que comprobar que los valores de ancho de banda y margen de fase cumplen con los requisitos del estándar. Tras simular todos los casos de 0 a 21 dB, se obtiene la ganancia mostrada en la Figura 5.9 y la fase mostrada en la Figura 5.10.

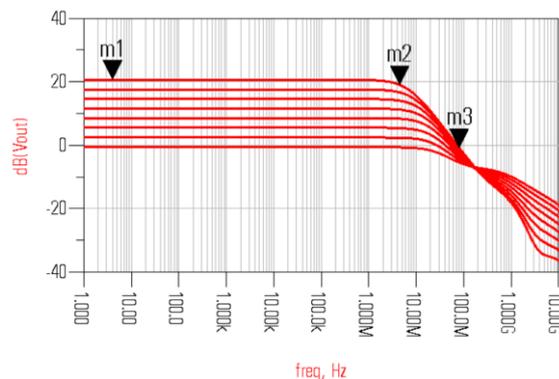


Figura 5.9. Ganancia del VGA de salida asimétrica de una etapa.

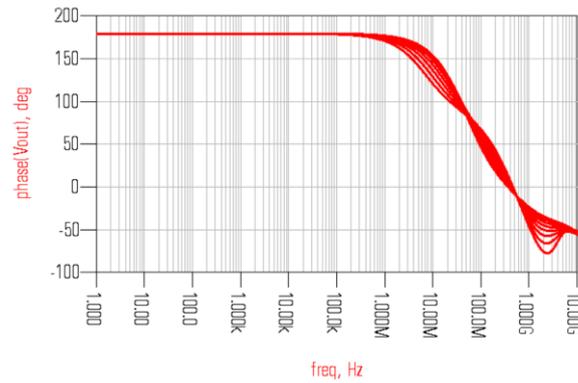


Figura 5.10. Fase del VGA de salida asimétrica de una etapa.

Para analizar las características de cada caso, se simula cada nivel de ganancia por separado y se utilizan los marcadores m1, m2 y m3 para obtener los diferentes parámetros del OTA. El marcador m1 se utiliza para comprobar el nivel de ganancia. El marcador m2 se lleva hasta la caída a 3 dB para ver el ancho de banda del OTA. Por último, con el marcador m3 se obtiene la frecuencia a la que la ganancia cae hasta 0 dB, a partir de dicha frecuencia se calcula el margen de fase. Los resultados se muestran en la Tabla 5.6.

Tabla 5.6. Resultados del VGA de salida asimétrica de una etapa

Ganancia ideal (dB)	Ganancia real (dB)	Margen de fase (°)	Ancho de banda a 3 dB (MHz)	Condensador de compensación
0	0.1	71	35.5	0.25
3	3.0	117	28.2	0.25
6	6.0	99	19.9	0.25
9	9.0	92	15.9	0.25
12	12.0	80	19.9	0.15
15	15.0	79	15.9	0.15
18	18.0	67	22.4	0.08
21	21.0	66	15.9	0.08

5.3 VGA de dos etapas

Una vez ajustado el funcionamiento del VGA de una etapa, se puede implementar el amplificador de dos etapas para obtener los niveles de ganancia de 0 a 42 dB, en pasos de 3 dB. Cada etapa de amplificación proporciona 21 dB de ganancia, por lo que se consiguen un total de 42 dB, en máxima ganancia, con las dos etapas. El esquemático del circuito para simular los resultados es el que se muestra en la Figura 5.11.

De igual forma, para comprobar los resultados se introduce una señal senoidal de 1 V al amplificador y se realiza un barrido en frecuencia. Al medir cada nivel de ganancia por separado y siguiendo el método anterior, se obtienen los resultados mostrados en la Tabla 5.7.

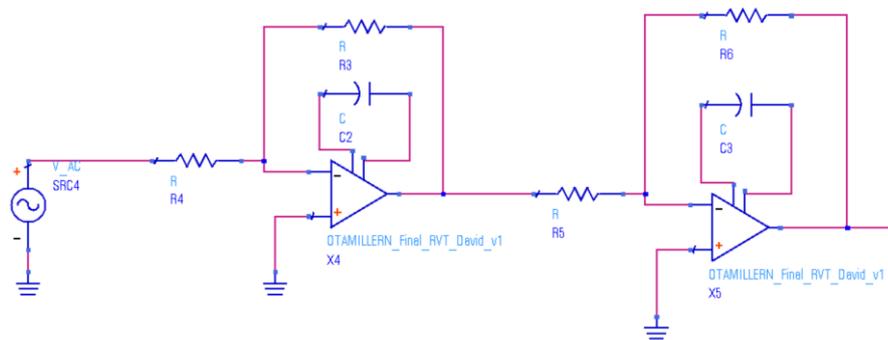


Figura 5.11. Esquema del VGA de salida asimétrica de dos etapas.

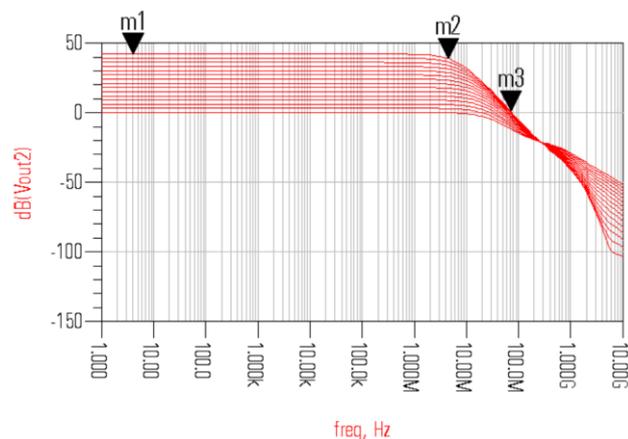


Figura 5.12. Magnitud de la respuesta en frecuencia del VGA de salida asimétrica de dos etapas.

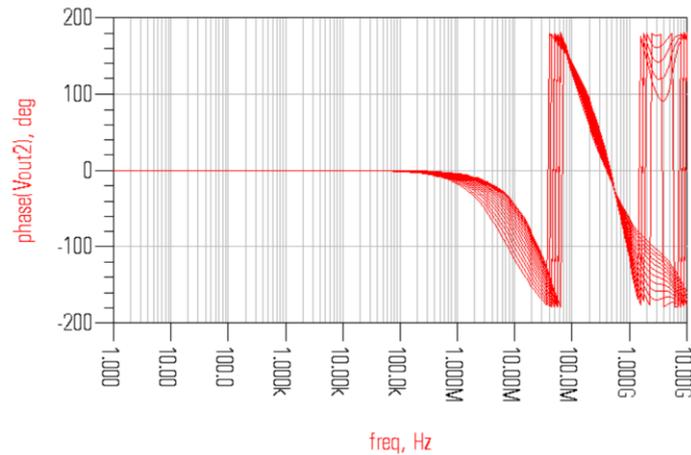


Figura 5.13. Fase de la respuesta en frecuencia del VGA de salida asimétrica de dos etapas.

Tabla 5.7. Resultados del VGA de salida asimétrica en dos etapas

Ganancia ideal (dB)	Ganancia real (dB)	Margen de fase (°)	Ancho de banda a 3 dB (MHz)	Cc (pF)
0	0.1	71	16	0.25
3	3.0	82	15.9	0.25
6	6.0	100	15.9	0.25
9	9.0	128	12.6	0.25
12	12.0	142	14	0.2
15	15.0	163	12.6	0.2
18	18.0	165	12.6	0.2
21	21.0	170	17.8	0.1
24	24.0	158	15.9	0.1
27	27.0	156	15.2	0.1
30	30.0	154	13.3	0.1
33	33.0	118	12.6	0.08
36	36.0	117	12.6	0.08
39	39.0	125	14	0.06
42	42.0	124	12.6	0.06

A partir de los resultados anteriores, se puede afirmar que los distintos niveles de ganancia cumplen con los requisitos del estándar. Sin embargo, uno de los

aspectos más importantes a destacar es la necesidad de al menos 5 condensadores diferentes para la compensación del OTA. La implementación de dichas capacidades hace que el consumo de área del circuito sea muy elevado, puesto que ocupan una gran área. Esto será objeto de un estudio más detallado en el capítulo 7, que está dedicado a la optimización del área del VGA.

5.4 Conclusiones

A lo largo del capítulo se ha visto el diseño de un VGA con entrada diferencial y salida asimétrica. Cabe destacar que, tras simular el circuito del OTA en lazo abierto, se descubre que la tensión V_{DS} de los transistores M5 y M7 no es lo suficientemente elevada para que estos alcancen la región de saturación. Por este motivo, se ha reajustado el ancho de los transistores M5 y M7, manteniendo un consumo muy reducido. Esta solución es temporal y hace que el circuito sea muy sensible a las variaciones de la alimentación, la temperatura o de posibles variaciones durante el proceso de fabricación. Se plantea el uso de un circuito CMFB para solucionar este problema. Por otra parte, se ha comprobado que son necesarias varias capacidades para la compensación del OTA. La implementación de estas capacidades resulta en un mayor consumo de área, de forma que se plantea el estudio de una alternativa que permita optimizar el área del circuito. Finalmente, se ha comprobado que los resultados obtenidos por el VGA de dos etapas satisfacen los requisitos del estándar.

Capítulo 6. Diseño de un VGA con entrada diferencial y salida diferencial

Una vez se ha completado y verificado el diseño del VGA con entrada diferencial y salida asimétrica, se procede al diseño del VGA completamente diferencial. Para realizar dicho diseño es necesario realizar algunas modificaciones en la estructura del OTA diseñado anteriormente.

6.1 Diseño de un OTA completamente diferencial

El diseño del OTA con entrada diferencial y salida diferencial se desarrolla a partir del OTA con salida asimétrica, que posee una sola salida. La metodología para obtener las dimensiones de los transistores es similar a la aplicada en el diseño realizado en el capítulo anterior.

El esquema del OTA diferencial se presenta en la Figura 6.1. La etapa de entrada en forma de par diferencial con carga activa está compuesta por los transistores M1/M2 y M3/M4. La etapa de polarización es una fuente de corriente (cuya estructura ha sido extraída de [17]), los transistores que lo forman son M6, M7, M8, M9 y M10. Los transistores de esta etapa trabajan en inversión fuerte para asegurar una buena adaptación y mejorar las propiedades de ruido. Siguiendo el procedimiento explicado en el apartado correspondiente al estudio de fuentes de corriente, se han establecido los transistores M9 y M7 como transistores dominantes al cortocircuitar el drenador con la puerta del transistor. En contraste con la estructura de salida asimétrica, el OTA de la Figura 6.1 posee dos amplificadores clase A. Se puede apreciar que existe un amplificador clase A para la salida no inversora (transistores M11/M13) y otro para la salida inversora (transistores M12/M14). La señal de salida inversora se toma del

drenador del transistor M14, cuya tensión de puerta procede del drenador de M2. A su vez, la señal de salida no inversora se toma del drenador del transistor M13, cuya puerta se conecta al drenador del transistor M1. Por último, se destaca la presencia de un circuito de realimentación en modo común (*Common-Mode Feedback* o CMFB). Este circuito se encarga de regular los niveles de continua en la puerta de los transistores M3/M4 para mantenerlos en saturación. Dicha regulación se hace a partir de una tensión de referencia V_{ref} , conectada a la puerta del transistor M16. El valor de esta tensión de referencia es la mitad de la alimentación (0.6 V). Al igual que en el caso de salida asimétrica, se aprecia que se han añadido dos condensadores y dos resistencias de compensación (C_{c1} , C_{c2} , R_{c1} y R_{c2}), ya que se ha aplicado la técnica de compensación por polo-cero.

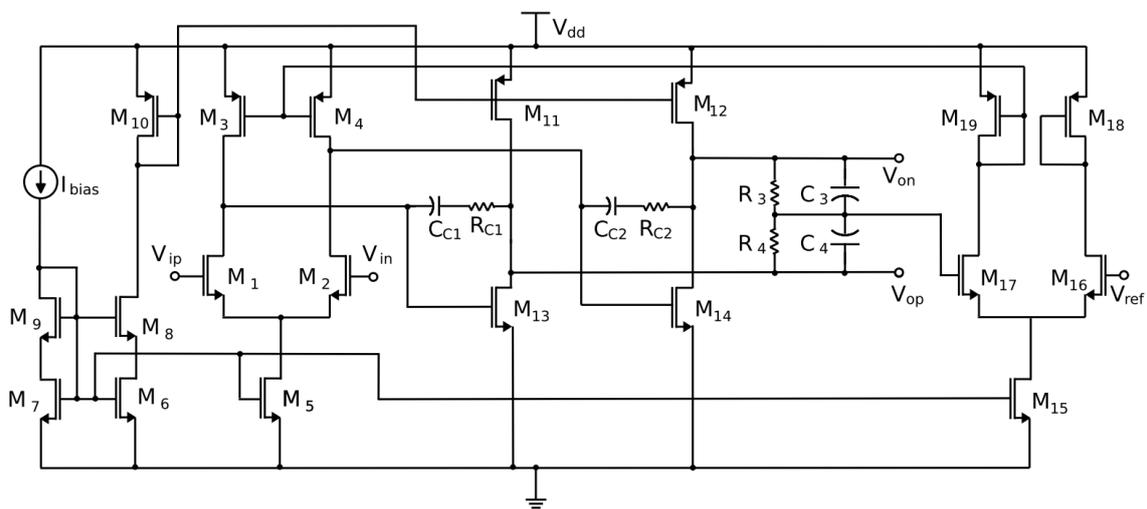


Figura 6.1. Circuito del OTA con compensación Miller completamente diferencial.

6.2 Simulación en lazo abierto

Con el fin de analizar los resultados de la simulación en alterna es necesario convertir la señal asimétrica a señal diferencial. Por este motivo, se hace uso de un transformador o *balun*, que transforma la señal de entrada asimétrica a diferencial. Este elemento se muestra en la Figura 6.2 (a). De la misma forma, para observar la salida del OTA es necesario transformar la señal diferencial a señal asimétrica. Para ello hay que utilizar una fuente de tensión controlada por tensión (*Voltage-Controlled Voltage Source* o VCVS), este elemento se muestra en la Figura 6.2 (b). Las entradas inversora y no inversora se han conectado a las entradas del par diferencial, que son las puertas de los transistores M2 y M1.

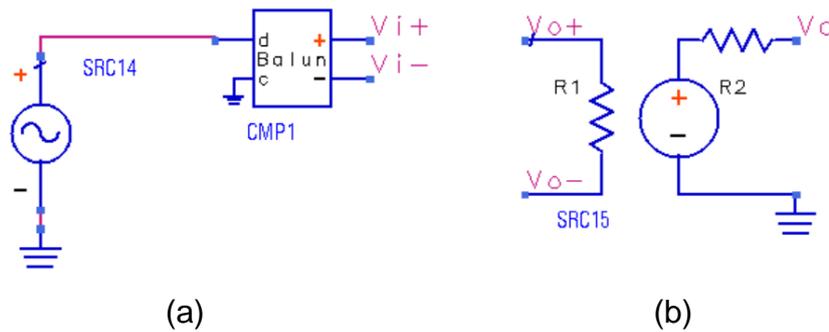


Figura 6.2. Balun para adaptar la entrada asimétrica a modo diferencial (a) y fuente VCVS para adaptar de señal diferencial a señal asimétrica (b).

A continuación, para obtener los parámetros en lazo abierto del OTA completamente diferencial se conecta la salida del *balun* a la entrada del OTA y se observa la respuesta en frecuencia del mismo. Asimismo, al igual que en el caso de la salida asimétrica, se introduce una señal de 1 V con un barrido en frecuencia. De esta forma, se espera obtener la magnitud de la ganancia en dB y la fase del amplificador de transconductancia. El circuito para obtener los parámetros en lazo abierto es el que se muestra en la Figura 6.3.

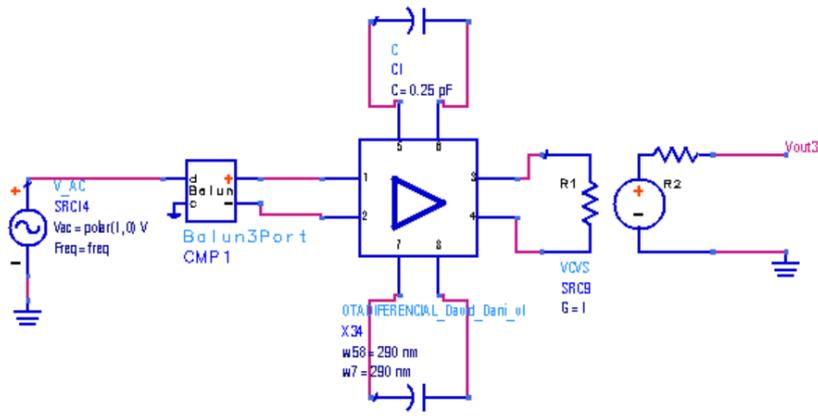


Figura 6.3. Circuito de simulación de los parámetros del OTA completamente diferencial en lazo abierto.

Una vez se ha simulado el circuito anterior con ayuda del software ADS, se obtiene la magnitud y fase presentadas en la Figura 6.4 y la Figura 6.5. A su vez, en la Tabla 6.1 se pueden ver los resultados de la simulación en lazo abierto.

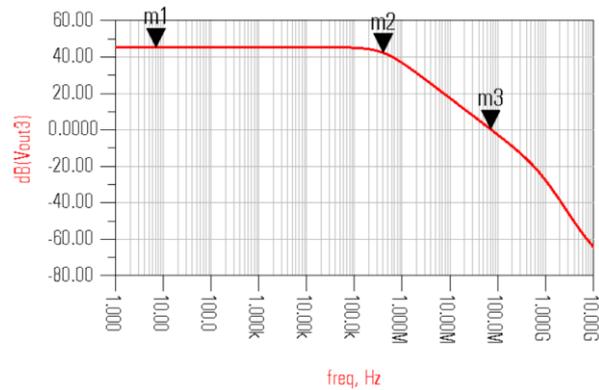


Figura 6.4. Magnitud de la ganancia del OTA completamente diferencial en lazo abierto.

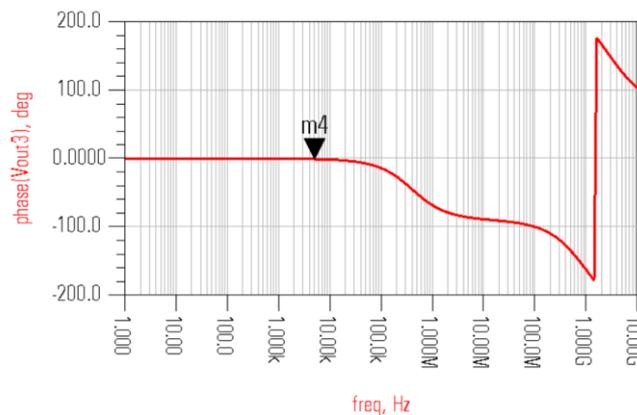


Figura 6.5. Fase de la respuesta en frecuencia del OTA completamente diferencial en lazo abierto.

Tabla 6.1. Resultados del OTA completamente diferencial, lazo abierto

Ganancia (dB)	45.5
Ancho de banda a 3 dB (kHz)	400
Ganancia por ancho de banda (MHz)	70.8
Margen de fase (°)	98
Potencia disipada (mW)	0.44
CMRR (dB)	305.5
Slew-rate (V/μseg)	107

En la tabla de resultados se comprueba que hay 45.5 dB de ganancia en lazo abierto, un ancho de banda de 400 kHz, un margen de fase de 98°, superior a los 60° requeridos y un consumo reducido.

Uno de los parámetros más importantes del OTA es la relación de rechazo al modo común (*Common-Mode Rejection Ratio* o CMRR), que como se ha visto, se desea que sea lo más alta posible para asegurar que la atenuación del ruido sea muy elevada. Para medir la CMRR es necesario aplicar una señal común en ambas entradas del OTA. El circuito empleado para obtener la CMRR es el de la Figura 6.6, donde se ha introducido un tono de 1 V de amplitud en ambas entradas del OTA.

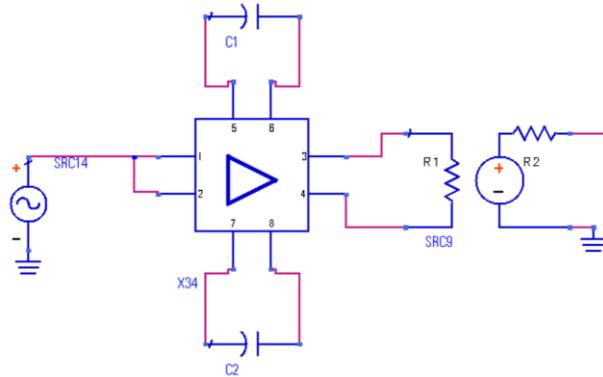


Figura 6.6. Esquema de simulación de la relación de rechazo al modo común.

Una vez simulado el circuito de la Figura 6.6, se obtiene un CMRR de 305.5 dB, ya que la definición de esta relación viene dada tal y como se muestra en la expresión (6.1).

$$\begin{aligned}
 CMRR &= 20 \cdot \log \left| \frac{A_d}{A_c} \right| = A_d(dB) - A_c(dB) = 45.5 - (-260) \\
 &= 305.5 \text{ dB}
 \end{aligned}
 \tag{6.1}$$

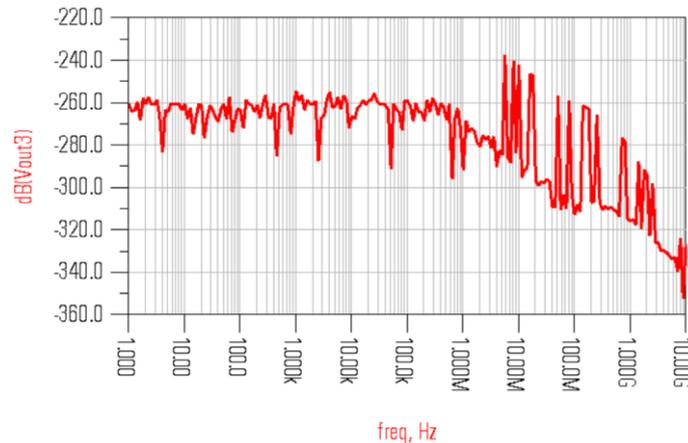


Figura 6.7. Esquema de simulación de la relación de rechazo al modo común.

Por otro lado, también se puede calcular el *slew-rate* del OTA, que es el parámetro que mide la capacidad del amplificador de seguir las variaciones de

la señal de entrada. Dado que, en este caso, la capacidad de carga tiene un valor de 1 pF y la corriente máxima de inyección en la carga es de 107 μA , el *slew-rate* posee un valor de 107 (V/ μs). Este valor viene dado por la expresión (6.2).

$$SR = \frac{dV_o}{dt} = \frac{I_L}{C_L} = \frac{107 (\mu\text{A})}{1 (\text{pF})} = 107 \left(\frac{\text{V}}{\mu\text{s}} \right) \quad (6.2)$$

6.3 Diseño de un VGA diferencial de dos etapas

El VGA está formado por dos amplificadores en cascada para cada rama, es decir, dos para la fase (I) y dos para la cuadratura (Q). A su vez, cada amplificador está realimentado con una resistencia variable para conseguir una alta linealidad y un buen rango dinámico. Tal y como se ha comentado previamente, al modificar el valor de la resistencia variable se obtienen los distintos niveles de ganancia. Asimismo, cada amplificador posee un varactor para ajustar la compensación en cada nivel de ganancia y asegurar un ancho de banda constante. Los valores de la red resistiva y el varactor se han ajustado para conseguir los niveles de ganancia en cada amplificador, obteniendo desde 0 hasta 21 dB en pasos de 3 dB. De esta forma, se consiguen los niveles de ganancia desde 0 hasta 42 dB en pasos de 3 dB cuando se conectan los dos amplificadores en serie.

En la Figura 6.8 se muestra la estructura del VGA, donde se aprecian las resistencias variables y los varactores de cada amplificador en cada rama.

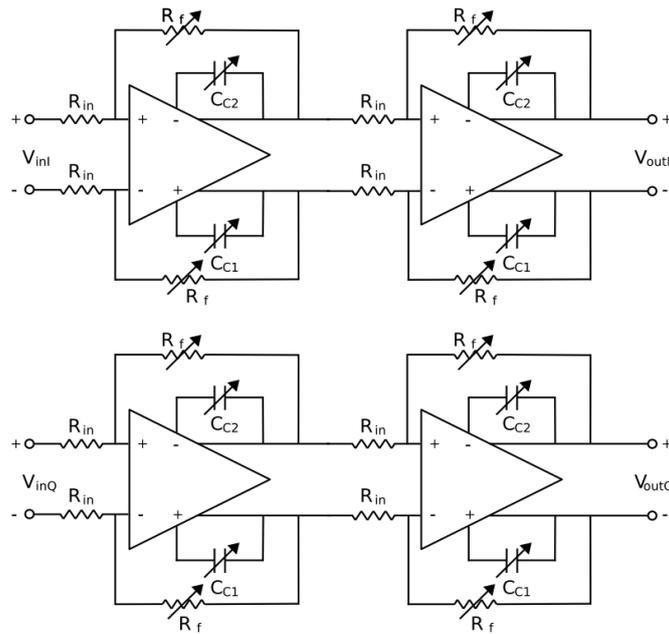


Figura 6.8. Estructura del VGA completamente diferencial, con las ramas I y Q.

6.4 Simulación y resultados del VGA

A la hora de obtener los resultados deseados es posible simular una de las ramas (I y Q), puesto que son idénticas. Al igual que en la simulación en lazo abierto, es necesario el uso de un *balun* para pasar la señal de entrada a modo diferencial. El circuito de simulación se presenta en la Figura 6.9. Al modificar la palabra de control se obtienen los diferentes niveles de ganancia del VGA, los cuales se pueden apreciar en la Figura 6.10. A su vez, en la Figura 6.11 se presenta la fase de la señal para cada uno de estos casos.

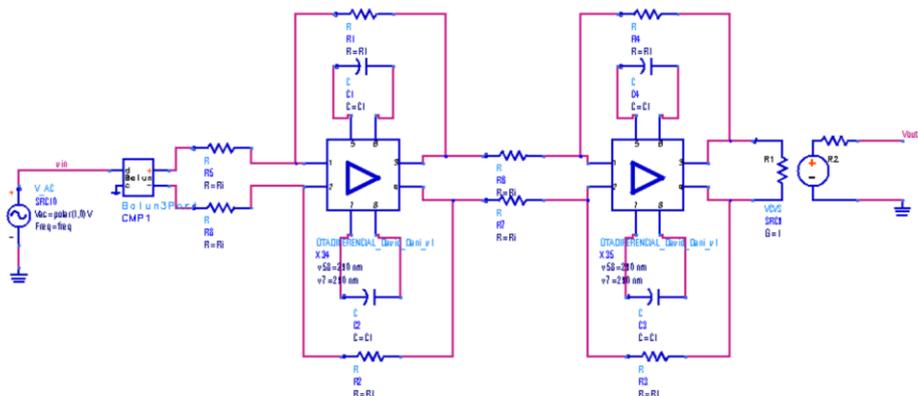


Figura 6.9. Circuito de simulación del VGA completamente diferencial.

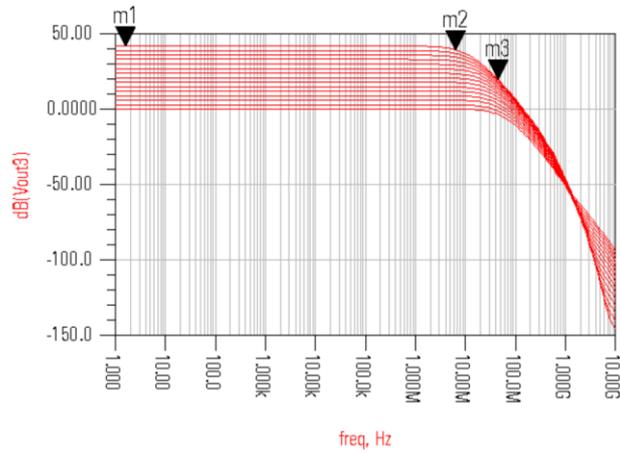


Figura 6.10. Magnitud de la respuesta en frecuencia del VGA de dos etapas.

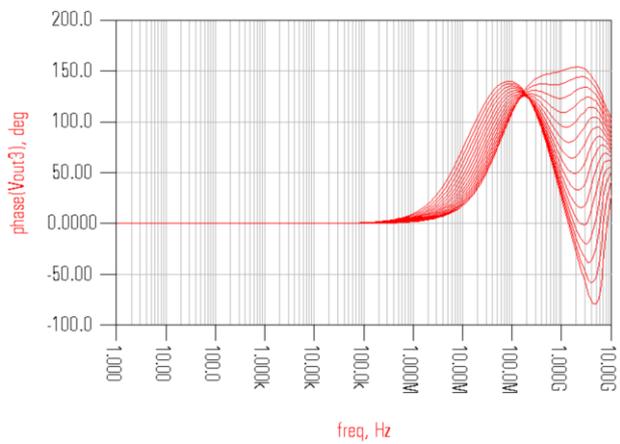


Figura 6.11. Fase de la respuesta en frecuencia del VGA de dos etapas.

A partir de la simulación de cada uno de los niveles de ganancia, se comprueban los parámetros de ancho de banda, margen de fase y ganancia real del VGA. En la Figura 6.12 se muestra el ejemplo para medir los parámetros de la máxima ganancia. La recopilación de estos resultados se muestra en la Tabla 6.2.

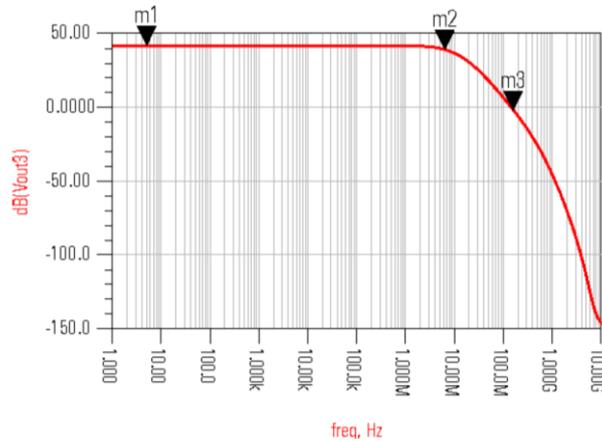


Figura 6.12. Resultados de la simulación AC para 42 dB de ganancia.

Tabla 6.2. Resultados de la simulación del OTA diferencial-diferencial de dos etapas con una ganancia total de 42 dB en saltos de 3 en 3 dB

R (Ω)	Ganancia (dB)	PM ($^{\circ}$)	BW (MHz)	Cc (pF)
6.300	0.6	71 $^{\circ}$	22.40	0.25
7.470	3.0	73 $^{\circ}$	19.95	0.25
8.900	6.0	99 $^{\circ}$	17.78	0.25
10.600	9.0	119 $^{\circ}$	17.78	0.25
12.650	12.1	138 $^{\circ}$	15.85	0.25
15.100	15.1	150 $^{\circ}$	14.13	0.25
18.000	18.1	153 $^{\circ}$	12.6	0.25
21.500	21.1	163 $^{\circ}$	11.22	0.25
25.700	24.0	170 $^{\circ}$	11.22	0.2
30.800	27.05	178 $^{\circ}$	10.00	0.2
37.000	30.1	-170 $^{\circ}$	11.22	0.15
44.500	33.1	-167 $^{\circ}$	10.00	0.15
53.500	36.0	-151 $^{\circ}$	12.60	0.1
65.000	39.1	-150 $^{\circ}$	11.22	0.1
78.500	42.0	-142 $^{\circ}$	10.00	0.1

6.5 Conclusiones

En este capítulo, se ha implementado el VGA con entrada y salida diferencial, lo cual corresponde con el objetivo principal del proyecto. Para ello, se ha partido de la implementación con salida asimétrica desarrollada previamente. Con este fin, se ha implementado el diseño completo de un OTA con entrada y salida diferencial. En primer lugar, se han simulado los parámetros en lazo abierto del VGA formado por dos etapas. Una vez hecho esto, se han calculado los valores de la red de realimentación para obtener los niveles de ganancia de 0 a 42 dB en pasos de 3 dB. A su vez, se han ajustado los valores de las capacidades del varactor para que la compensación del OTA asegure un ancho de banda constante. Se ha logrado una ganancia en lazo abierto de 45.5 dB y un producto GBW de 70.8 MHz, asimismo, para todos los niveles de ganancia se ha obtenido

un ancho de banda de entre 20 y 10 MHz y un margen de fase mayor de 60° . A partir de los resultados obtenidos, se puede afirmar que se cumplen las especificaciones del estándar.

Como se mencionó anteriormente, el uso de varactores resulta en un consumo muy elevado de área. Nótese que el VGA posee un total de cuatro varactores, cada uno de ellos formado por 5 capacidades diferentes. En el siguiente capítulo se introduce una técnica que permite optimizar el área del VGA.

Capítulo 7. Técnicas de optimización del VGA

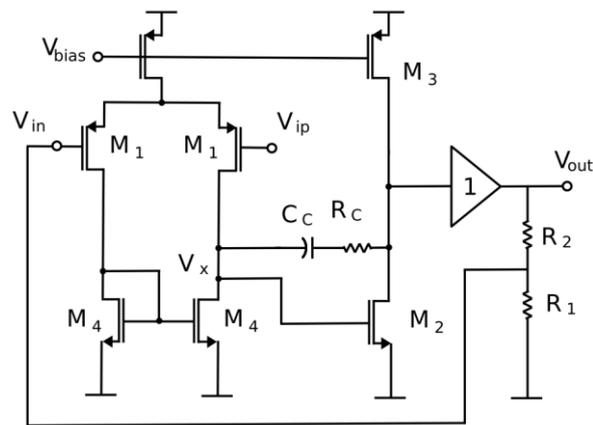
En este punto, se ha diseñado y verificado el amplificador de ganancia variable. A su vez, se ha comprobado que este circuito funciona acorde a las especificaciones planteadas en los objetivos del trabajo. Sin embargo, el consumo en términos de área del circuito es elevado debido al uso de una red de condensadores en la compensación. Por esta razón, en este capítulo se realiza el estudio de una técnica de compensación que permita optimizar el área del diseño.

Tal y como se ha visto, hasta ahora el VGA se ha compensado aplicando la técnica de compensación por polo-cero. Para implementar esta técnica es necesario añadir una resistencia y un varactor, que está formado por una serie de condensadores conmutables. Cabe destacar que existen dos varactores por cada OTA y que el VGA posee cuatro OTAs en total: dos para la rama I y dos para la rama Q. A su vez, cada varactor posee cuatro capacidades diferentes para mantener un ancho de banda constante en los diferentes niveles de ganancia. Por lo tanto, esta técnica de compensación se hace ineficiente en términos de área, puesto que el área ocupada por cada condensador es considerable.

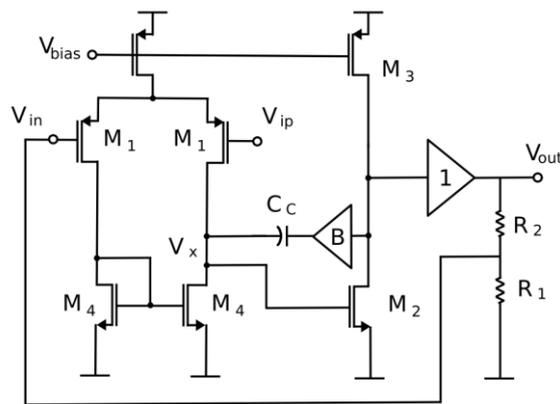
Este capítulo se centra en reducir el área del VGA por medio de una técnica de compensación que reduzca al mínimo el uso de condensadores. La técnica aplicada se denomina compensación de fuente (*Source Compensation*) y permite mejorar el ancho de banda en configuraciones con realimentación negativa [20]. Esta mejora es aplicable recolocando el condensador de compensación, sin introducir circuitería adicional o afectar al consumo del VGA.

7.1 La compensación Miller

Los amplificadores de dos etapas emplean compensación Miller (o polo-cero) para generar un polo dominante y asegurar un comportamiento estable. Esta técnica consiste en insertar entre la entrada y la salida de la etapa de salida del amplificador una capacidad C_c con un valor relacionado con la capacidad de carga C_L (ver la ecuación (5.3)). Aplicando esta técnica se generan polos muy separados entre sí, fijando un polo f_{p1} (en la salida de la primera etapa) a muy baja frecuencia y otro polo f_{p2} (en el terminal de salida del amplificador) a alta frecuencia [3][8]. En la Figura 7.1 (a) se muestra un amplificador operacional con compensación Miller configurado como amplificador no inversor.



(a)



(b)

Figura 7.1. Amplificador operacional con compensación Miller y red de realimentación negativa R_1, R_2 con resistencia de compensación (a) y con buffer (b).

En la respuesta en lazo abierto del amplificador, el polo en el nodo V_x se hace dominante debido al efecto Miller. El valor de este polo viene dado por la ecuación (7.1), mientras que el valor del segundo polo, situado en alta frecuencia, viene dado por la expresión (7.2). El término R_I representa la impedancia de salida de la primera etapa, g_{m2} es la transconductancia del transistor M2 y A_{II} es la ganancia de la etapa de salida. La ganancia por unidad de frecuencia de la respuesta en lazo abierto A_{OL} del amplificador operacional viene dada aproximadamente por la aproximación (7.3). El término GBW es el producto ganancia por ancho de banda y g_{m1} es la ganancia en transconductancia de la etapa de entrada en forma de par diferencial.

$$f_{p1} = \frac{1}{2\pi R_I A_{II} C_c} \quad (7.1)$$

$$f_{p2} = \frac{g_{m2}}{2\pi C_L} \quad (7.2)$$

$$f_{uA_{OL}} \approx GBW \approx A_{OL} f_{p1} \approx \frac{g_{m1}}{2\pi C_c} \quad (7.3)$$

En el caso del OTA diseñado, también se incluye una resistencia R_c fija, cuyo valor viene dado por la expresión (7.4). Esta resistencia tiene como fin desplazar el cero situado en el semiplano izquierdo del plano s a muy alta frecuencia, cuyo valor se obtiene a partir de la expresión (7.5). De esta forma se previene que f_{pz} degrade el margen de fase del amplificador. Este cero aparece debido a la realimentación positiva desde el nodo V_x hacia el nodo de salida a través de C_c . Asimismo, es posible usar un *buffer* para evitar la ruta de realimentación positiva y el cero, tal y como se presenta en la Figura 7.1 (b).

$$R_c = \frac{1}{g_{m2}} \quad (7.4)$$

$$f_{pz} = \frac{1}{2\pi \left(\frac{1}{g_{m2}} - R_c \right) C_c} \quad (7.5)$$

Por lo general, el valor de C_c se selecciona para obtener un margen de fase $PM > 60^\circ$ para la ganancia unidad en lazo cerrado, el cual se corresponde con

el peor caso. Esta técnica proporciona un margen de fase suficiente para evitar que el sistema oscile.

La respuesta en lazo abierto del amplificador operacional compensado se puede aproximar como la función de polo simple (7.6), donde f_{p1} es la frecuencia del polo dominante, dada por la expresión (7.1). Al sustituir la igualdad (7.6) en la ecuación general de realimentación negativa, $G(s) = A(s)/(1 + A(s)\beta)$ la ganancia en lazo cerrado equivale a la aproximación (7.7).

$$A(s) = \frac{A_{OL}}{1 + \frac{s}{2\pi f_{p1}}} \quad (7.6)$$

$$G(s) \approx \frac{1/\beta}{1 + \frac{s}{GBW \cdot \beta}} \quad (7.7)$$

Por lo tanto, el ancho de banda en lazo cerrado se puede aproximar como $BW_{CL} = GBW \cdot \beta$, de manera que BW_{CL} es proporcional al factor de realimentación β (o inversamente proporcional a la ganancia en lazo cerrado). Esta relación lleva a la conocida relación de compromiso entre la ganancia y el ancho de banda en los amplificadores con realimentación negativa.

7.2 La compensación de fuente

En la práctica, la relación de compromiso entre la ganancia y el ancho de banda en el amplificador operacional Miller convencional es el resultado de usar un factor de multiplicación Miller $A_{MILLER} = 1 + |A_{II}|$, que permanece constante independientemente de la ganancia en lazo cerrado G . Esta aproximación reduce el ancho de banda, pero proporciona un margen de fase adicional para ganancias elevadas, mientras que el polo de salida (o de alta frecuencia) f_{p2} permanece en una posición fija.

Una forma de mejorar el ancho de banda sin comprometer el margen de fase consiste en reducir el factor de multiplicación de Miller conforme la ganancia aumenta [20]. Con este objetivo, es posible trasladar la conexión del condensador de compensación de la salida del amplificador operacional a la salida del bloque de realimentación β como se muestra en la Figura 7.2.

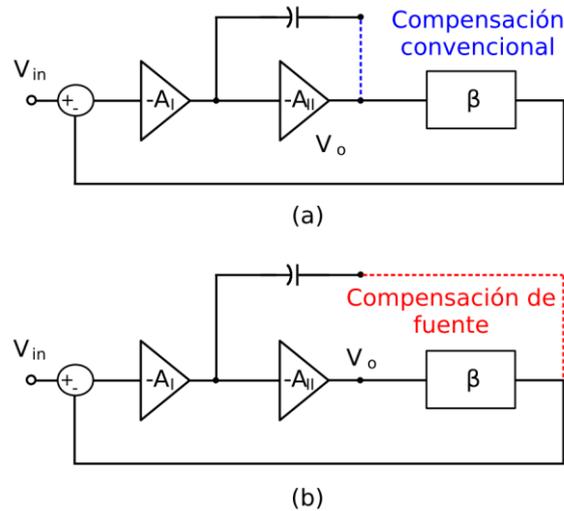


Figura 7.2. Compensación de un amplificador con realimentación tipo Miller (a) y esquema de compensación de fuente propuesto (b).

En este caso, el valor del condensador Miller en el nodo de salida de la primera etapa se reduce en función de la ganancia a razón de la expresión (7.8). La técnica de compensación de fuente incrementa la frecuencia del polo dominante y el producto GBW del operacional. El ancho de banda resultante varía a razón de la expresión (7.9).

$$C'_{MILLER} = (1 + |A_{II}|\beta)C_c = \left(1 - \frac{|A_{II}|}{G}\right)C_c \quad (7.8)$$

$$BW' = \frac{GBW}{1 + \frac{G}{|A_{II}|}} \quad (7.9)$$

Al considerar que el producto $GBW = G \cdot BW$, se puede ver que el ancho de banda BW' de un amplificador con compensación de fuente mejora con respecto al ancho de banda BW de un amplificador con la compensación Miller convencional de acuerdo con la relación (7.10). Para ganancias típicas de valor $|A_{II}| \sim 50V/V$, el ancho de banda mejora en función de $G/|A_{II}|$. Cabe resltar que para $A_{II} \gg G$, el ancho de banda en lazo cerrado se puede aproximar siguiendo la expresión (7.11).

$$\frac{BW'}{BW} = \frac{G}{1 + \frac{G}{|A_{II}|}} \quad (7.10)$$

$$BW' \approx \frac{g_{m1}}{2\pi C_c} \approx GBW \quad (7.11)$$

Tal y como se puede comprobar en la expresión (7.11), se confirma que el ancho de banda BW' del amplificador con compensación de fuente permanece aproximadamente constante y es independiente de la ganancia en lazo cerrado G .

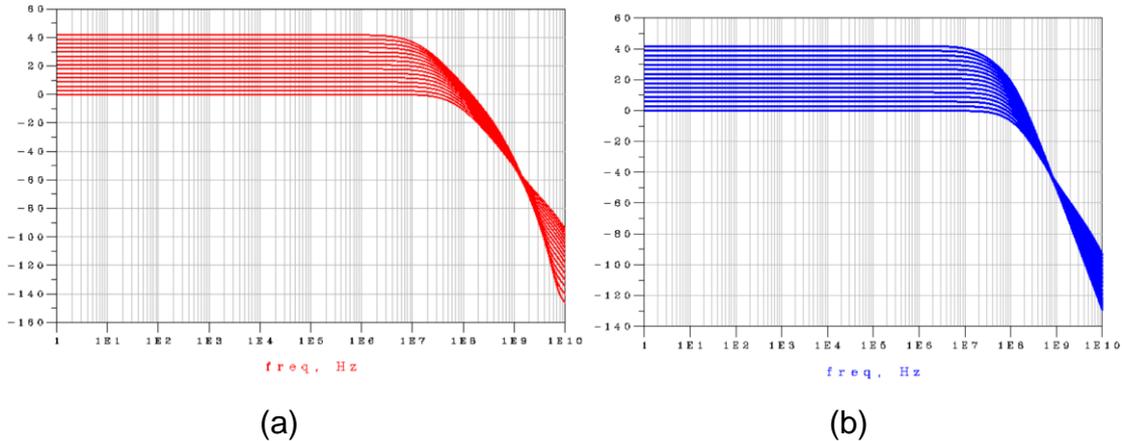


Figura 7.3. Respuestas en lazo cerrado para un amplificador operacional Miller convencional (a) y para un amplificador operacional con compensación de fuente con $A_{II} \gg G$ (b).

En la Figura 7.3 (a) se muestran las respuestas en lazo cerrado para un amplificador operacional con compensación Miller convencional, mientras que en la Figura 7.3 (b) se muestran las respuestas para el mismo amplificador con compensación de fuente cumpliendo con (7.11). En este último caso, el polo dominante de la ganancia en lazo abierto del amplificador A'_{OL} aumenta en proporción a la ganancia, de forma que la ganancia por unidad de frecuencia de la ganancia de lazo $LG' = A'_{OL}/G$ permanece constante.

7.3 Aplicación de la compensación de fuente

La técnica de compensación de fuente propuesta se ha aplicado a los VGAs diseñados. En primer lugar, se prueba esta técnica en el VGA con entrada diferencial y salida asimétrica para comprobar si los resultados obtenidos con esta técnica son óptimos. En segundo lugar, se implementa esta técnica de compensación en el VGA completamente diferencial.

7.3.1 VGA con entrada diferencial y salida asimétrica

Tal y como se ha dicho, se comenzará con el OTA con salida asimétrica, presentado en la Figura 7.4. Cabe recordar que la compensación Miller está formada por un condensador C_c en serie con una resistencia R_c , situados entre la salida del par diferencial y la entrada del amplificador en clase A.

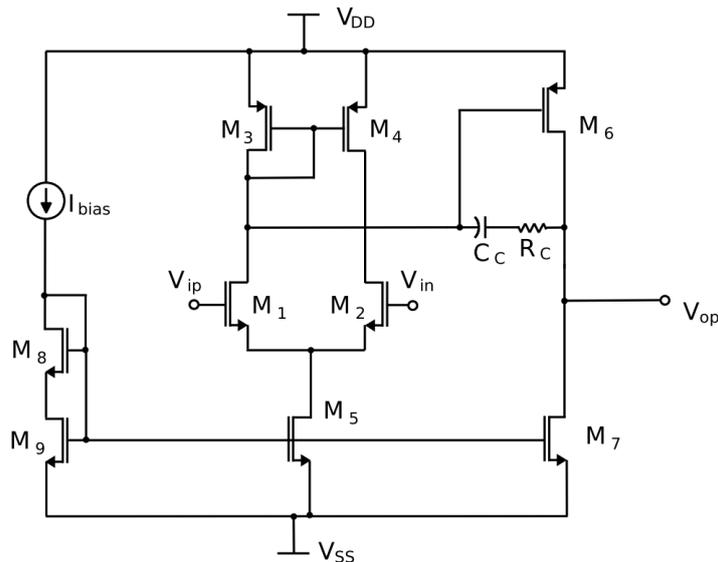


Figura 7.4. Circuito del OTA con entrada diferencial y salida asimétrica con compensación Miller.

La compensación de fuente se puede aplicar en este diseño haciendo uso de los conceptos tratados. En este caso se debe eliminar la resistencia R_c y trasladar el conexionado del condensador C_c , de forma que este se conecta entre el nodo de salida de la etapa de entrada V_x y el nodo V_s situado en la fuente de los transistores M1/M2. Esta situación queda reflejada en la Figura 7.5. La solución presentada es una forma eficiente de aplicar el *buffer* presentado en la Figura 7.1 (b). Dado que la realimentación negativa fuerza a que ambas entradas del operacional sean iguales ($V_{in}^+ = V_{in}^-$), la tensión V_s en el nodo de fuente común en la entrada del par diferencial sigue las variaciones de V_{in}^- , de modo que el transistor M2 actúa como *buffer*, tal y como se puede apreciar en la Figura 7.1 (b).

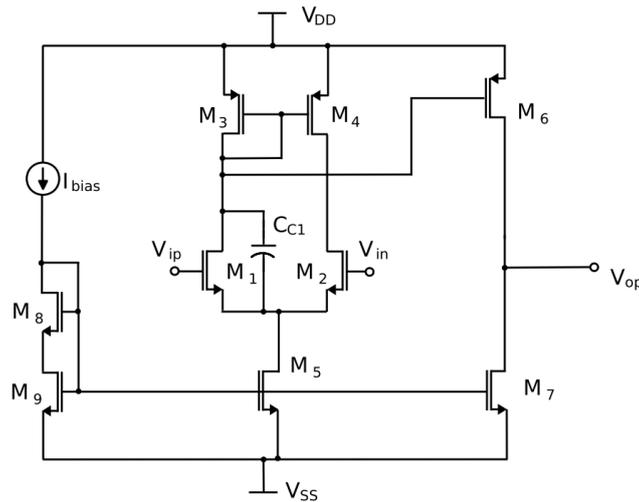


Figura 7.5. OTA con salida asimétrica, aplicación de la técnica de compensación de fuente.

Resultados del OTA con salida asimétrica en lazo abierto

Con el fin de obtener los parámetros del OTA con compensación de fuente se simula el circuito de la Figura 7.6, donde se ha incluido, a su vez, el OTA con compensación Miller. El valor de C_c es idéntico para ambos, con un valor de 0.25 pF. De esta forma, es posible comparar los resultados en lazo abierto de ambos diseños.

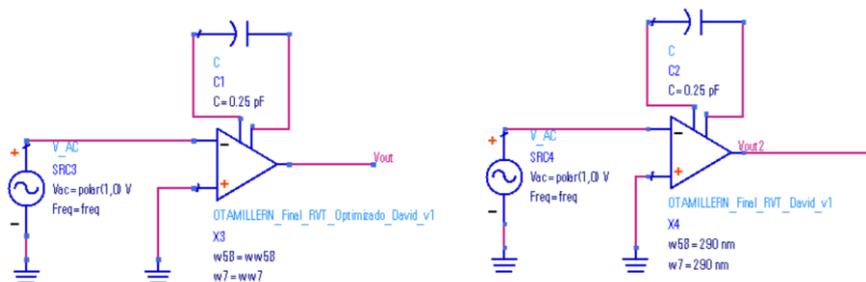


Figura 7.6. Esquema de la simulación para obtener las respuestas en lazo abierto del OTA con compensación Miller y el OTA con compensación de fuente.

A partir del *set-up* mostrado en la Figura 7.6, se introduce una señal senoidal con una amplitud de 1 V y se realiza un barrido en frecuencia. Tras simular este circuito se obtienen las respuestas de ambos OTAs, los resultados de la magnitud y fase de la ganancia de ambos se muestran en la Figura 7.7 y en la Figura 7.8, respectivamente.

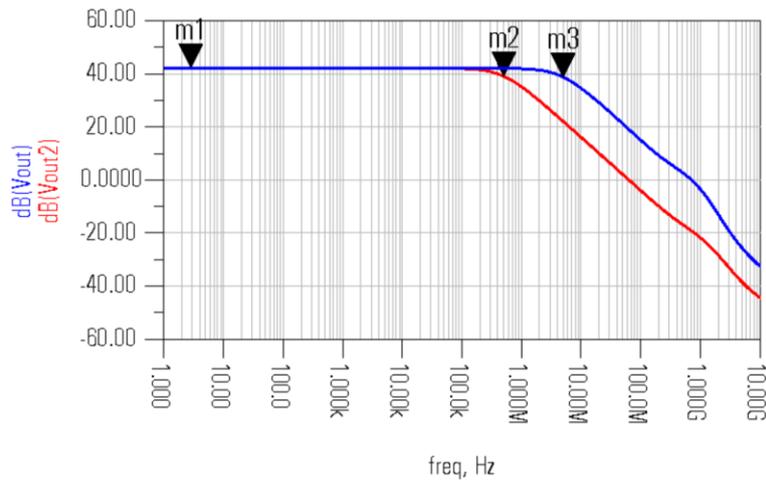


Figura 7.7. Magnitud de la ganancia del OTA con compensación Miller (rojo) y compensación de fuente (azul).

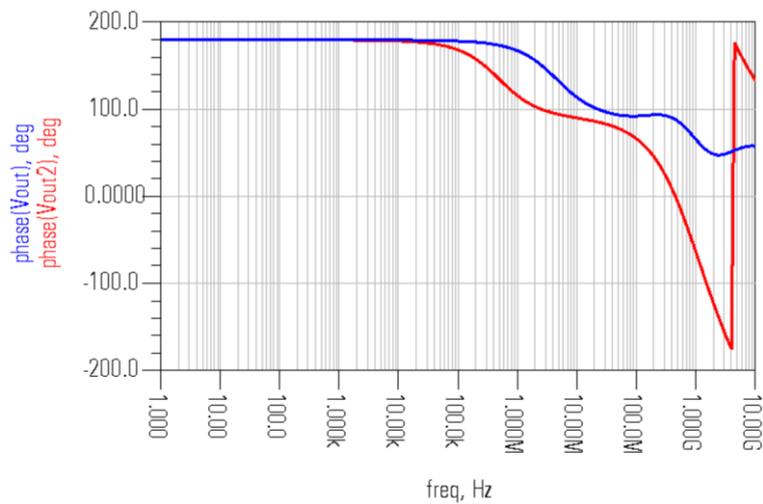


Figura 7.8. Fase de la respuesta en frecuencia del OTA con compensación Miller (rojo) y compensación de fuente (azul).

Tal y como se había comentado, el producto ganancia por ancho de banda del OTA con compensación de fuente es muy superior al OTA con compensación Miller. En la Tabla 7.1 se muestra una comparativa de los resultados obtenidos. Una vez que se comprueba que los resultados del OTA con salida asimétrica cumplen los criterios establecidos, se procede a adaptar la técnica de compensación para el caso de salida diferencial.

Tabla 7.1. Comparativa de resultados en lazo abierto del OTA con compensación Miller y compensación de fuente

Compensación	Miller	fuerate
Ganancia (dB)	42.4	42.4
Ancho de banda a 3 dB (kHz)	630	5,300
Ganancia por ancho de banda (MHz)	79.4	708
Margen de fase (°)	71	73
Potencia disipada (mW)	0.125	0.125

7.3.2 VGA completamente diferencial

A la hora de aplicar la compensación de fuente en el diseño del OTA de salida diferencial, se parte del diseño del OTA con entrada y salida diferencial con compensación Miller, presentado en la Figura 7.9.

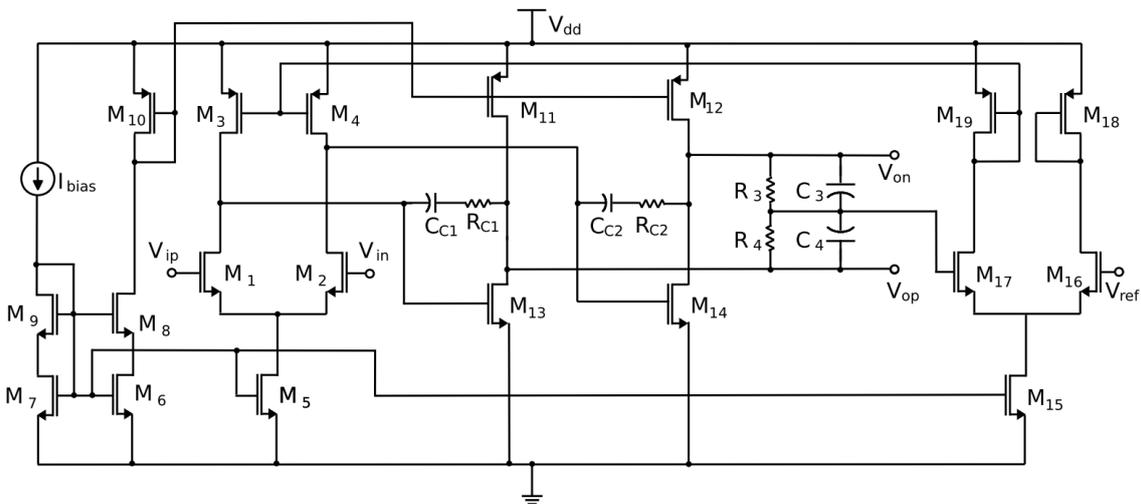


Figura 7.9. Circuito del OTA con entrada y salida diferencial con compensación Miller.

A continuación, se aplican los conceptos tratados previamente. Es posible compensar el diseño del OTA diferencial añadiendo otro condensador entre la fuente y el drenador del transistor M2. Esta situación queda reflejada en la Figura 7.10.

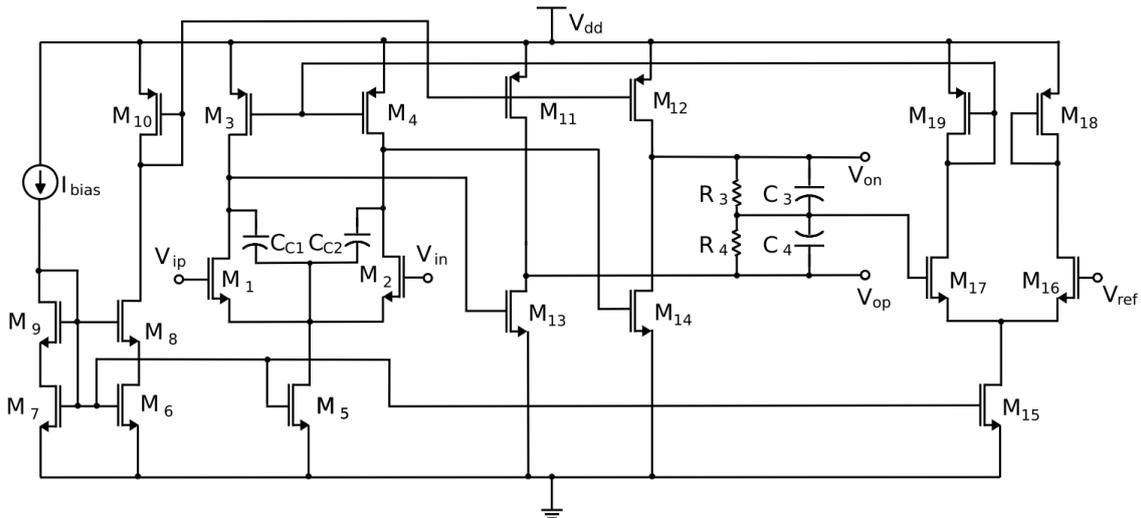


Figura 7.10. OTA con salida diferencial, aplicación de la técnica de compensación de fuente.

Resultados del VGA de dos etapas

A continuación, se procede a implementar un VGA de dos etapas a partir del OTA de entrada y salida diferencial con compensación de fuente. El circuito empleado para realizar las simulaciones de los resultados es el que se muestra en la Figura 7.11. Para obtener los niveles de ganancia deseados es necesario reajustar la red de realimentación.

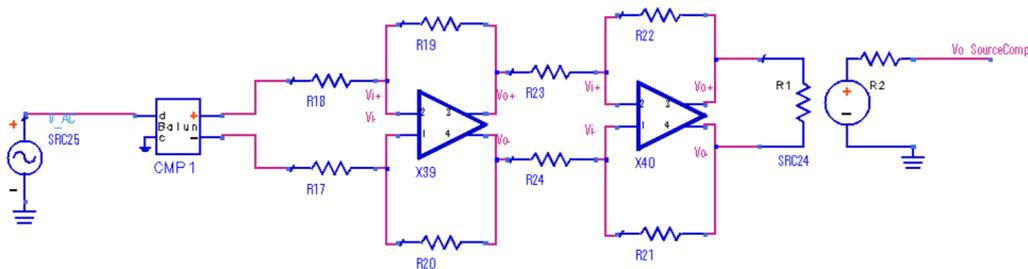


Figura 7.11. Esquema de la simulación para obtener la respuesta del VGA de dos etapas con compensación de fuente.

En este caso, se parte de los valores de las resistencias calculadas con anterioridad y se realizan simulaciones para ajustar los niveles de ganancia. A su vez, los condensadores C_{c1} y C_{c2} se han reducido a 0.125 pF cada uno, ya que con este valor se consigue un ancho de banda suficiente para todos los niveles. Para simular el circuito de la Figura 7.11 se introduce una señal senoidal de 1 V de amplitud y se realiza un barrido en frecuencia. Como se trata del VGA

de entrada y salida diferencial es necesario adaptar la entrada y la salida del mismo. A la entrada se sitúa un *balun* y a la salida una fuente de tensión controlada por tensión, proporcionada por la herramienta de diseño ADS. Al simular el circuito, se obtienen los resultados de magnitud y fase presentados en la Figura 7.12 y la Figura 7.13.

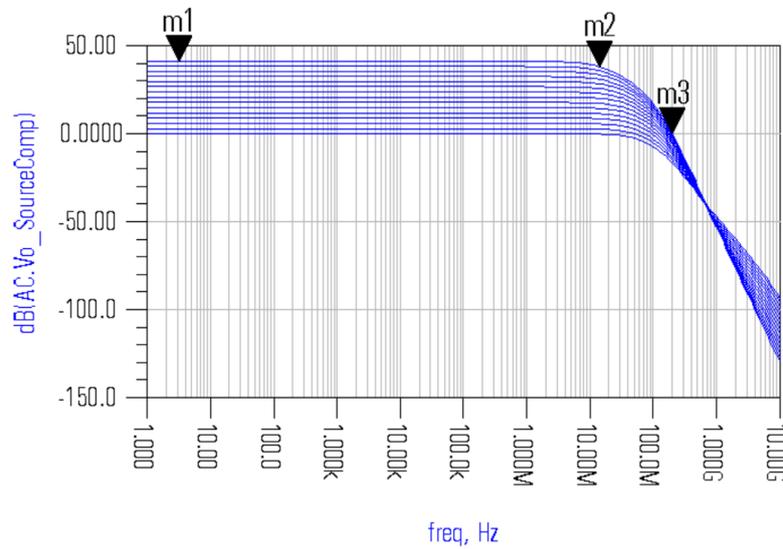


Figura 7.12. Magnitud de la ganancia del VGA de dos etapas con compensación de fuente para los distintos niveles de ganancia.

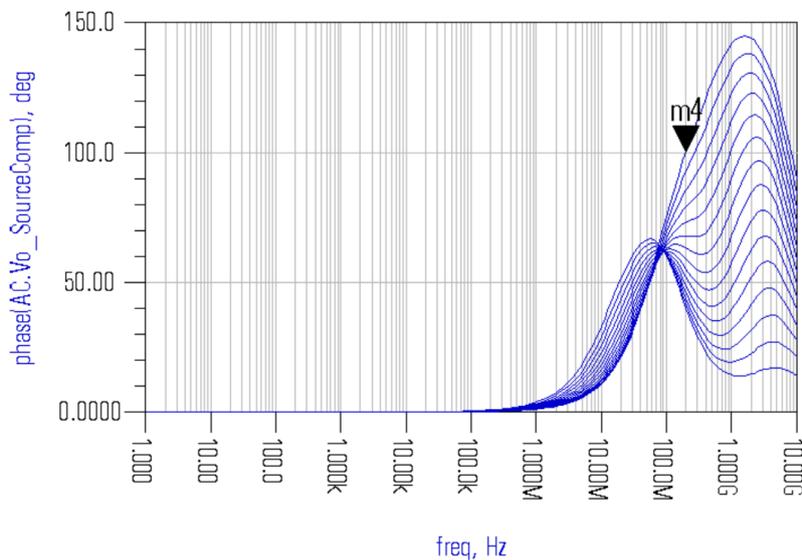


Figura 7.13. Fase de la respuesta en frecuencia del VGA de dos etapas con compensación de fuente para los distintos niveles de ganancia.

Cabe destacar que las resistencias de realimentación en este caso tienen un valor inferior al calculado para el VGA con compensación Miller. Esta reducción se debe a la eliminación de la resistencia de compensación Miller R_c , de forma

que la impedancia vista desde la segunda etapa de amplificación es menor para el VGA con compensación de fuente. Por lo tanto, es posible obtener los mismos niveles de ganancia con una resistencia de realimentación inferior. Una vez ajustados los valores de la red resistiva, se obtienen los resultados presentados en la Tabla 7.2. Estos se han obtenido utilizando los marcadores m1, m2 y m3 tal y como se ha hecho en los casos anteriores, al simular los distintos niveles de ganancia de uno en uno.

Tabla 7.2. Resultados de la simulación del OTA diferencial-diferencial de dos etapas con una ganancia total de 42 dB en saltos de 3 dB

R (Ω)	ΔR (Ω)	Gain (dB)	PM ($^\circ$)	BW (MHz)	PM ($^\circ$)	BW (MHz)
Comp.		fuelle		Miller		
5,600	-200	0.1	110 $^\circ$	63.1	71 $^\circ$	22.40
6,610	210	3.0	133 $^\circ$	56.2	73 $^\circ$	19.95
7,850	-300	6.0	120 $^\circ$	56.2	99 $^\circ$	17.78
9,300	-350	9.0	115 $^\circ$	50.1	119 $^\circ$	17.78
11,000	-400	12.1	115 $^\circ$	50.1	138 $^\circ$	15.85
13,000	-500	15.1	116 $^\circ$	44.7	150 $^\circ$	14.13
15,350	-650	18.1	118 $^\circ$	39.8	153 $^\circ$	12.6
18,100	-700	21.1	122 $^\circ$	35.5	163 $^\circ$	11.22
21,300	-950	24.0	124 $^\circ$	35.5	170 $^\circ$	11.22
25,000	-1,300	27.0	130 $^\circ$	31.6	178 $^\circ$	10.00
29,200	-1,700	30.1	131 $^\circ$	28.2	-170 $^\circ$	11.22
34,100	-2,300	33.1	137 $^\circ$	22.4	-167 $^\circ$	10.00
39,650	-2,900	36.0	140 $^\circ$	20	-151 $^\circ$	12.60
45,900	-3,800	39.1	141 $^\circ$	17.8	-150 $^\circ$	11.22
52,850	-5,200	42.0	143 $^\circ$	15.9	-142 $^\circ$	10.00

Tal y como se puede apreciar en la Tabla 7.2, el ancho de banda que se obtiene con la técnica de compensación de fuente es mucho mayor que el que se consigue con la compensación Miller. Por otro lado, los márgenes de fase que

presenta el VGA con compensación de fuente para los distintos niveles de ganancia se mantienen entre los 110° y los 140° .

7.4 Conclusiones

A lo largo de este capítulo se ha presentado la técnica de compensación Miller en profundidad. En segundo lugar, se ha presentado la técnica de compensación de fuente y se ha aplicado al diseño del OTA de salida asimétrica realizado en el capítulo 5. Habiendo aplicado esta técnica en el OTA de salida asimétrica, se ha adaptado la compensación de fuente para el caso completamente diferencial. Como se ha visto, se mejora significativamente el ancho de banda del OTA. Posteriormente, se ha reajustado la red resistiva para diseñar el VGA de dos etapas a partir del OTA de entrada y salida diferencial con compensación de fuente. Se ha visto que los valores de las resistencias necesarias son menores que en el OTA convencional.

La ventaja principal de la compensación de fuente es que para aplicarla solo son necesarios dos condensadores de valor fijo, que están integrados en la propia estructura del VGA. A su vez, el valor de estos elementos es la mitad del condensador de compensación Miller. Por lo tanto, se reduce el área del circuito, sin aumentar el consumo del mismo, cumpliendo con el segundo objetivo principal de este Trabajo de Fin de Grado.

Capítulo 8. Integración del VGA en un receptor

El presente Trabajo de Fin de Grado forma parte de un proyecto de mayor alcance cuyo fin es diseñar un transceptor completo para el estándar IEEE 802.15.4. Este proyecto se denomina ComRAD y busca diseñar dispositivos de comunicación para entornos de alta radiación ambiental. Tal y como se había comentado en el capítulo introductorio, el VGA diseñado en este TFG está integrado en un receptor. La función del VGA es amplificar la señal en función de los niveles de potencia de entrada. Esta gestión del modo de ganancia se realiza con una palabra de control. La estructura del receptor se puede ver en la Figura 8.1, este está formado por un cabezal de recepción, un filtro polifásico y un VGA. Los diseños del cabezal de recepción y del filtro polifásico no entraban dentro del alcance de este TFG. Sin embargo, estos fueron diseñados por compañeros del grupo de trabajo.

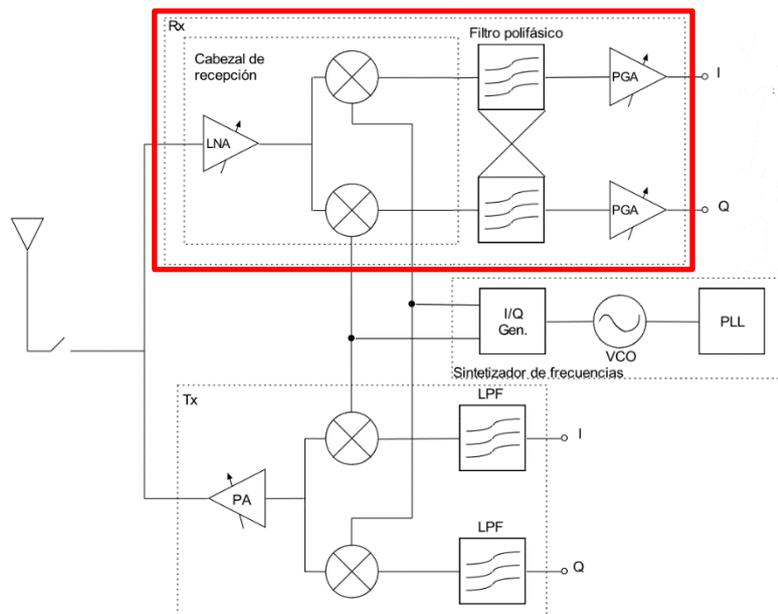


Figura 8.1. Diagrama de bloques de la arquitectura interna de un transceptor.

En este capítulo se busca realizar las simulaciones del receptor completo una vez se ha integrado el VGA. Antes de realizar las simulaciones del receptor, se presenta la estructura del mismo y se hace una introducción a los elementos que lo forman.

8.1 Cabezal de Recepción

El cabezal de recepción es la primera etapa del receptor. Este bloque se encarga de adaptar la señal de entrada, que está en alta frecuencia, para que pueda ser tratada. La función principal del cabezal es adaptar la señal entrada, amplificarla y trasladarla a la frecuencia de trabajo. Por lo general, los elementos que posee un cabezal de recepción son:

- Un amplificador de bajo ruido (*Low-Noise Amplifier* o LNA), que se ocupa de adaptar la señal de recepción y amplificarla. El LNA debe introducir el menor ruido posible, ya que es el primer elemento en la línea de recepción, que es el que mayor peso tiene en la figura de ruido total del sistema.
- Un mezclador encargado de mezclar la señal entrante con la señal generada por un oscilador local. El objetivo de esta operación es llevar la señal de la frecuencia de entrada (que suele ser elevada) a una frecuencia menor para facilitar el procesado de la misma.

La arquitectura del cabezal de recepción seleccionada es la *Low-IF*, por ser adecuada para aplicaciones de bajo coste y bajo consumo. En este tipo de arquitectura no es necesario implementar filtros con complejos sistemas de realimentación para eliminar problemas como el nivel de continua introducido. A su vez, la arquitectura *Low-IF* también reduce problemas producidos por ruido *flicker*. En cualquier caso, este tipo de arquitecturas presentan problemas con la frecuencia imagen, por lo que se precisa de una etapa de rechazo de imagen, en este caso, un filtro polifásico a la salida del cabezal.

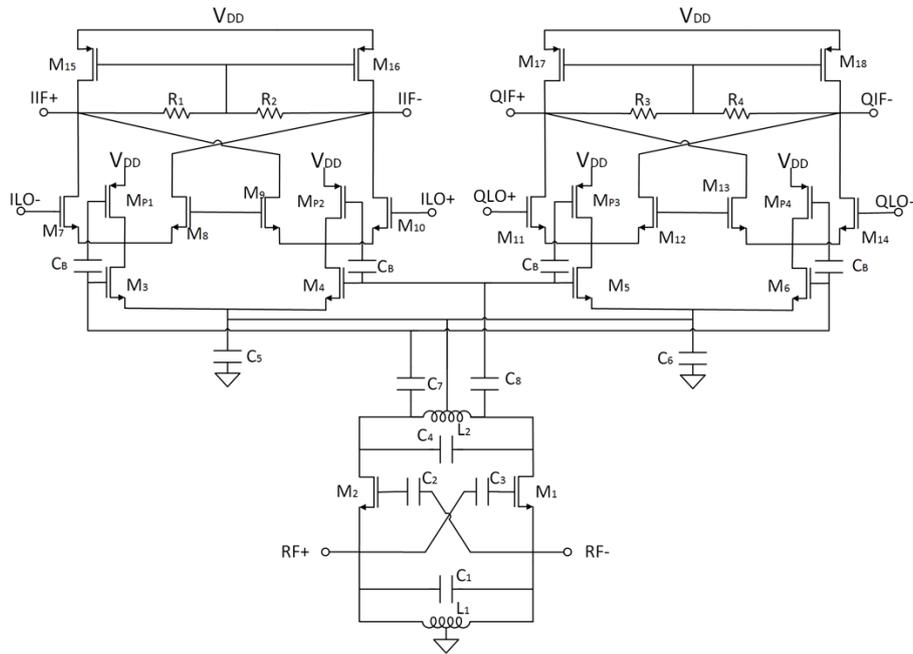


Figura 8.2. Esquema del cabezal de recepción con reutilización de corriente y *current boosting*.

Para obtener los parámetros del receptor se ha simulado el VGA junto con un cabezal de recepción con reutilización de corriente y *current boosting* (inyección de corriente), que apila el mezclador sobre el LNA, dicha configuración se puede ver en la Figura 8.2. Por esta razón, el LNA reutiliza la corriente de alimentación del mezclador, reduciendo el consumo de potencia del circuito. Los condensadores C_5 y C_6 permiten que la tensión de alimentación pase al LNA. A su vez, los condensadores C_7 y C_8 conectan el LNA con el mezclador, permitiendo el paso de pequeña señal hacia este último.

8.1.1 Amplificador de bajo ruido (LNA)

El objetivo del LNA es amplificar la señal recibida y añadir un nivel de ruido lo menor posible. Dado que es el primer elemento del receptor, debe adaptar la señal que procede de la antena. La característica principal del LNA es que posee una baja figura de ruido (*Noise Figure* o NF) y una ganancia lo suficientemente elevada para que la aportación de la NF en las siguientes etapas de la cadena de recepción sea mínima. Un LNA se caracteriza, a su vez, por poseer una alta linealidad, que le permite trabajar con señales de entrada de alta frecuencia y con interferencias. Por lo general, el LNA debe poseer una impedancia de entrada de 50Ω para la correcta adaptación con la antena o con algún

componente adicional, como un filtro de selección de canal o un conmutador entre transmisor y receptor.

Para diseñar el LNA se optó por una topología CG (puerta común o *common gate*) con acoplamiento cruzado capacitivo (*capacitive cross coupling*). Esta topología se distingue por obtener una mayor linealidad y reducir el consumo de los transistores. La razón principal para escoger esta topología en vez de una configuración de cascode es que se reduce el número de condensadores apilados y, por lo tanto, el consumo. En la Figura 8.3 se muestra el esquema de la topología empleada.

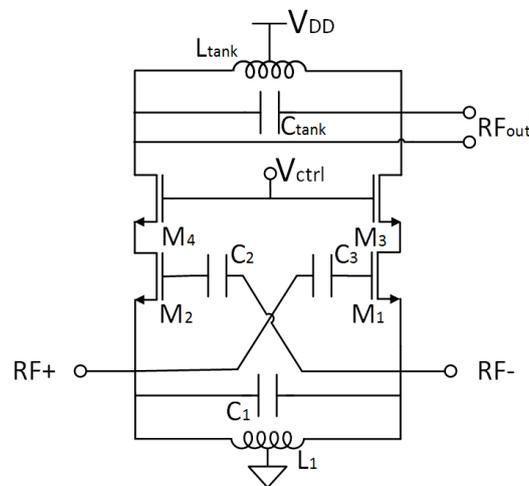


Figura 8.3. Esquemático de la estructura del LNA.

Al usar esta configuración se consigue aumentar la ganancia y reducir el ruido presente en el circuito. El tanque LC del LNA está formado por una bobina L_{tank} y un condensador C_{tank} . A su vez, el LNA posee un circuito LC a la entrada compuesto por una bobina *center-tap* (L_1) y un condensador MIM (C_1), el objetivo de estos últimos es aislar el nivel de continua del circuito y la señal de RF. Por otra parte, los condensadores C_2 y C_3 forman el par principal del *capacitive cross-coupling*. Finalmente, los transistores M_3 y M_4 forman la etapa cascode.

El LNA debe poseer una impedancia de entrada de 50Ω , ya que es el primer elemento en la cadena de recepción y es el encargado de obtener una correcta adaptación de entrada. Si no se tienen en cuenta la modulación del canal y los cambios en la tensión umbral, la impedancia de entrada del amplificador CG viene dada por la expresión (8.1). En este caso, se escogen las dimensiones del transistor M_1 , de forma que se cumple la relación (8.2). Existe un inconveniente

con esta arquitectura, puesto que su figura de ruido (NF), cuyo valor suele ser de 2.2 dB, viene dada por R_s y no se puede mejorar. Al utilizar la configuración CG se puede realizar la adaptación de entrada sin usar una bobina, de forma que se reduce el área del circuito.

$$Z_{in} = \frac{1}{g_m} \quad (8.1)$$

$$g_m = \frac{1}{R_s} = 50 \Omega^{-1} \quad (8.2)$$

8.1.2 Mezclador

La función del mezclador es trasladar la señal entrante de RF a la frecuencia intermedia deseada. Esta operación se realiza sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.). En este caso, la señal de RF se encuentra a una frecuencia de 2.4 GHz, mientras que la frecuencia intermedia es de 2.5 MHz. Los mezcladores de este tipo se denominan *down-conversion*, ya que trasladan la señal de alta frecuencia a una más baja. Por este motivo, este tipo de mezcladores se encuentran en los receptores. Asimismo, existen los mezcladores *up-conversion*, que realizan la operación opuesta, pasando de una frecuencia intermedia a una más elevada. Estos últimos mezcladores se suelen encontrar en los transmisores.

Un mezclador se encarga de sumar o restar un valor de frecuencia constante a la banda de señal de RF, este valor de frecuencia constante procede de un oscilador local. A la salida del mezclador se obtiene la señal en la frecuencia intermedia deseada. La estructura del mezclador posee un multiplicador y un filtro paso banda, aunque en un receptor se puede emplear un filtro paso bajo para eliminar componentes de alta frecuencia.

La señal de entrada de RF se puede escribir como la expresión (8.3). A su vez, la señal del oscilador local viene dada por la relación (8.4). Por lo tanto, a la salida del mezclador se obtiene la ecuación (8.5), que se puede reescribir como la expresión (8.6). Después del filtro paso bajo se obtiene la señal de frecuencia intermedia dada por la expresión (8.7).

$$X_{RF} = g(t) \cdot \cos(\omega_{RF}t) \quad (8.3)$$

$$X_{OL} = A \cdot \cos(\omega_{OL}t) \quad (8.4)$$

$$X_{RF} \cdot X_{OL} = A \cdot g(t) \cdot \cos(\omega_{RF}t) \cdot \cos(\omega_{OL}t) \quad (8.5)$$

$$X_{RF} \cdot X_{OL} = \frac{A}{2} g(t) [\cos(\omega_{RF} + \omega_{OL})t + \cos(\omega_{RF} - \omega_{OL})t] \quad (8.6)$$

$$X_{FI} = \frac{A}{2} g(t) [\cos(\omega_{RF} - \omega_{OL})t] = \frac{A}{2} g(t) [\cos(\omega_{FI}t)] \quad (8.7)$$

A partir de este procedimiento, se puede concluir que el mezclador realiza una operación no lineal. El parámetro principal del mezclador es la ganancia de conversión, que se define como la relación entre la amplitud de la señal de salida del filtro y la amplitud de la señal entrante de RF. El comportamiento del mezclador también se define por parámetros como la figura de ruido, el margen dinámico, el aislamiento entre puertos, etc. [21].

Por lo general, los mezcladores se clasifican en dos tipos dependiendo de si los elementos que lo forman son activos (BJT, MOSFET) o si son pasivos (diodos o MOSFETs actuando como resistencias no lineales). Los mezcladores del primer tipo poseen una ganancia de conversión superior a uno y los del segundo tipo consiguen menor ruido y mayor margen dinámico, pero no proporcionan ganancia.

Por otra parte, se pueden clasificar en función de las componentes de la señal de salida. Aquellos mezcladores en los que las frecuencias ω_{OL} y ω_{RF} no aparecen antes del filtro de salida se denominan doblemente balanceados; si aparece una de las dos frecuencias, se denominan balanceados respecto a la que no aparece; y si aparecen ambas, se denominan no balanceados.

A la hora de diseñar el mezclador se ha optado por utilizar una estructura basada en una célula de Gilbert. A su vez, se ha optado por utilizar una

configuración de un mezclador doble balanceado, cuyo esquema se presenta en la Figura 8.4. La razón principal de que se haya seleccionado esta configuración es que asegura un uso de área reducido y un buen aislamiento.

El mezclador está formado por un circuito con entrada y salida diferencial, como se muestra en la Figura 8.4. En esta figura se aprecia la existencia de dos mezcladores idénticos, uno para la rama I y otro para la rama Q. Cada rama posee una célula de Gilbert, formada a su vez por una etapa de entrada en forma de par diferencial y una etapa de salida constituida por dos pares diferenciales con salidas cruzadas. La función de estas es la de realizar la multiplicación de las señales conmutando la señal de salida entre las dos resistencias [22].

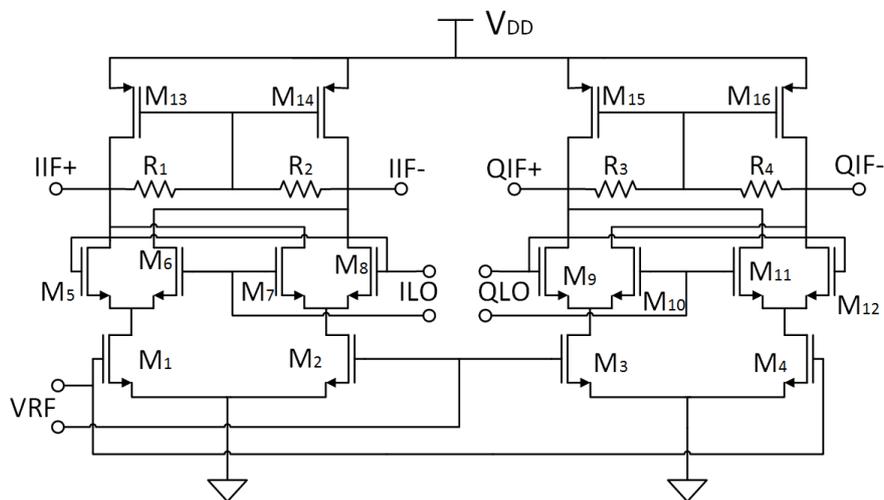


Figura 8.4. Estructura del mezclador.

Tal y como se ha dicho, el circuito del mezclador diferencia entre fase y cuadratura, de forma que posee una rama para cada una. En la práctica, un mezclador en cuadratura puede considerarse como la unión de dos mezcladores cuyas entradas del oscilador local están desfasadas 90°. En el circuito de la Figura 8.4, la mezcla de señales se realiza mediante la conmutación de los transistores. Una de las características de los transistores MOS es que son buenos conmutadores, de forma que las dimensiones de los mismos son uno de los parámetros clave para obtener las mejores prestaciones del mezclador. Otro de los parámetros más importantes para el mezclador es la señal del oscilador local, concretamente, el nivel de continua de la señal que este proporciona.

A la hora de dimensionar los transistores del mezclador, hay que alcanzar un compromiso entre el ruido del mezclador y la ganancia del LNA. La estructura del LNA posee un tanque que actúa como circuito resonante, la frecuencia de resonancia (de 2.4 GHz) se consigue variando los valores de la bobina y el condensador que forman el tanque. Por otra parte, cuando la capacidad de conmutación del mezclador aumenta, la inductancia de la bobina disminuye. Esta situación decreta la ganancia del LNA, dado que la impedancia de carga es menor [23].

En el mezclador que se va a utilizar, se ha implementado la técnica de inyección de corriente o *current boosting* que permite mejorar la ganancia y la linealidad del cabezal. Al aplicar la técnica de inyección de corriente se logra mantener baja la corriente de los transistores de conmutación a la vez que se “inyecta” una corriente elevada en los transistores del par de entrada, consiguiendo unas altas prestaciones. La inyección de corriente se implementa situando un transistor PMOS en cada par diferencial principal de la célula de Gilbert. Gracias a la elevada corriente que circula por los transistores M3/M4/M5/M6 se consigue incrementar la ganancia y la linealidad del circuito. A su vez, por los transistores de conmutación debe circular una corriente reducida para asegurar la reducción de ruido *flicker* y el aumento de la ganancia de conversión del circuito.

8.2 Filtro Polifásico

La estructura del receptor, que es de tipo homodino *Low-IF*, presenta un problema, que es la aparición de la frecuencia imagen en la banda de trabajo. Para solucionar este problema, se hace necesaria la implementación de un filtro polifásico. Dicho filtro es capaz de distinguir la señal deseada de su imagen basándose en la diferencia de fase entre la rama I y la rama Q.

Con el fin de explicar la forma en que el filtro polifásico rechaza la señal imagen de la banda de interés, considérese el diagrama de bloques de la Figura 8.5. Se supone que a la entrada del mezclador sólo existen la señal deseada y su imagen. Por lo tanto, la frecuencia de la señal deseada será $\omega_{OL} + \omega_{FI}$, mientras que la frecuencia de la imagen será $\omega_{OL} - \omega_{FI}$, donde ω_{OL} y ω_{FI} son la

frecuencia angular del oscilador y la frecuencia angular intermedia, respectivamente.

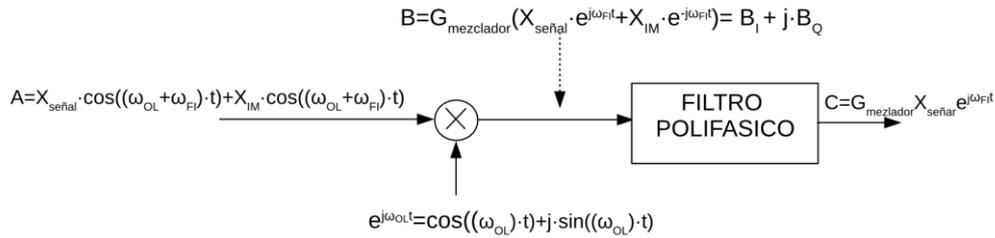


Figura 8.5. Representación de la arquitectura de rechazo de la frecuencia en el dominio complejo.

El resultado de mezclar las señales del oscilador local (OL) y radiofrecuencia (frecuencia intermedia o FI) en el dominio complejo, una vez eliminados los términos en $2\omega_{OL}$, es la expresión (8.8). Los términos B_I y B_Q representan la parte real y la parte imaginaria de la salida del mezclador, respectivamente y vienen dados por las expresiones (8.9) y (8.10).

$$B = G_{mezcz} (x_{señal} e^{j\omega_{FI}t} + x_{imagen} e^{-j\omega_{FI}t}) = B_I + jB_Q \quad (8.8)$$

$$B_I = G_{mezcz} (x_{señal} \cos(\omega_{FI}t) + x_{imagen} \cos(\omega_{FI}t)) \quad (8.9)$$

$$B_Q = G_{mezcz} (x_{señal} \sin(\omega_{FI}t) + x_{imagen} \sin(\omega_{FI}t)) \quad (8.10)$$

En las ecuaciones (8.9) y (8.10), tanto la señal deseada como su imagen en la rama I están desfasadas 90° respecto a sus equivalentes de la rama Q. En la Figura 8.6 se muestra el proceso de mezclado complejo de la señal deseada y su equivalente. Después de la conversión se mantiene la separación entre la señal y su imagen. El filtro complejo de selección de canal es una versión desplazada en frecuencia de un filtro paso bajo. Es decir, el filtro deja pasar la señal en la frecuencia ω_{FI} y atenúa la señal en la frecuencia $-\omega_{FI}$.

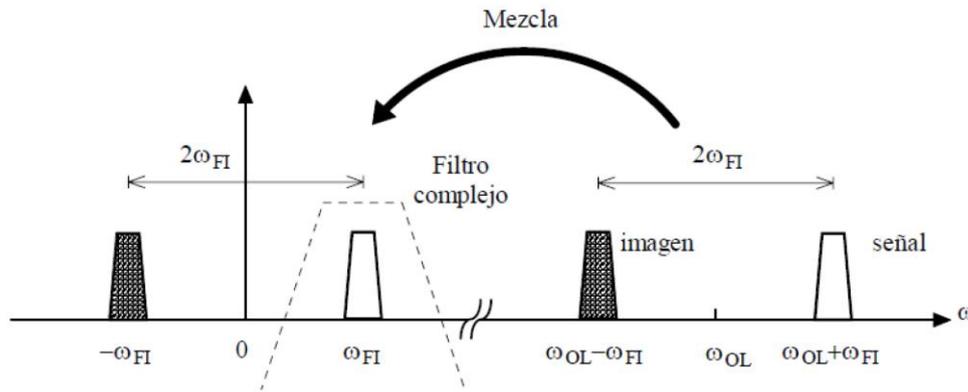


Figura 8.6. Desplazamiento de frecuencia de una banda de señal y su imagen con un mezclador en cuadratura.

Como el filtro tiene una respuesta asimétrica alrededor del eje $j\omega$, su respuesta en el dominio del tiempo es compleja. Este comportamiento difiere de los filtros reales, en los que los polos complejos son siempre conjugados. Sin embargo, en los filtros complejos es posible tener polos complejos simples (de ahí su nombre), de forma que la respuesta en frecuencia de los filtros complejos es simétrica alrededor de ω_{FI} y no alrededor de 0.

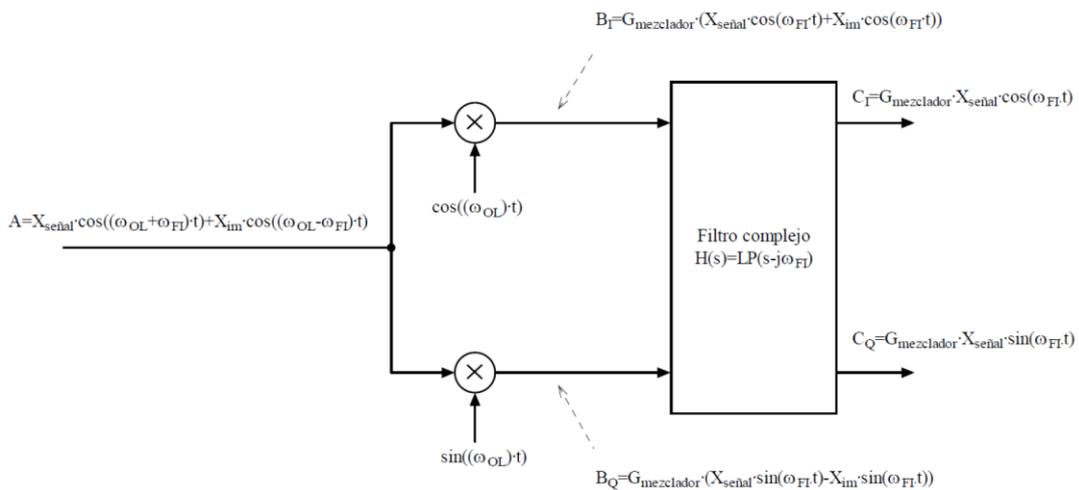


Figura 8.7. Implementación práctica del rechazo de la frecuencia imagen.

La implementación práctica del rechazo de la frecuencia imagen se realiza mediante un mezclador en cuadratura, que multiplica la señal de RF por $e^{j\omega_{FI}t}$. En la representación compleja de la Figura 8.5, la señal deseada a la salida del mezclador se encuentra en una frecuencia intermedia positiva, mientras que su señal imagen se encuentra en una frecuencia intermedia negativa. En la

implementación práctica de la Figura 8.7, tanto la señal deseada como su imagen en la rama I están desfasadas 90° con la rama Q.

Un filtro polifásico es capaz de distinguir entre la señal deseada y su imagen basándose en la diferencia entre la fase de las ramas I y Q. En el dominio complejo, un filtro paso banda polifásico es una versión desplazada de un filtro paso bajo. Para convertir un filtro paso bajo en un filtro paso banda polifásico centrado en ω_{FI} , se debe modificar cada elemento dependiente de la frecuencia para que sea una función de $(s - j\omega_{FI})$ en vez de una función de s . El elemento básico en un filtro dependiente de la frecuencia es el integrador. Si se considera el caso más simple de convertir un filtro paso bajo de primer orden, con una frecuencia de corte ω_{LP} , a un filtro paso banda polifásico centrado en ω_{FI} , para desplazar en frecuencia la respuesta del filtro paso bajo, se debe insertar un lazo de realimentación tal y como se muestra en la Figura 8.8 (a).

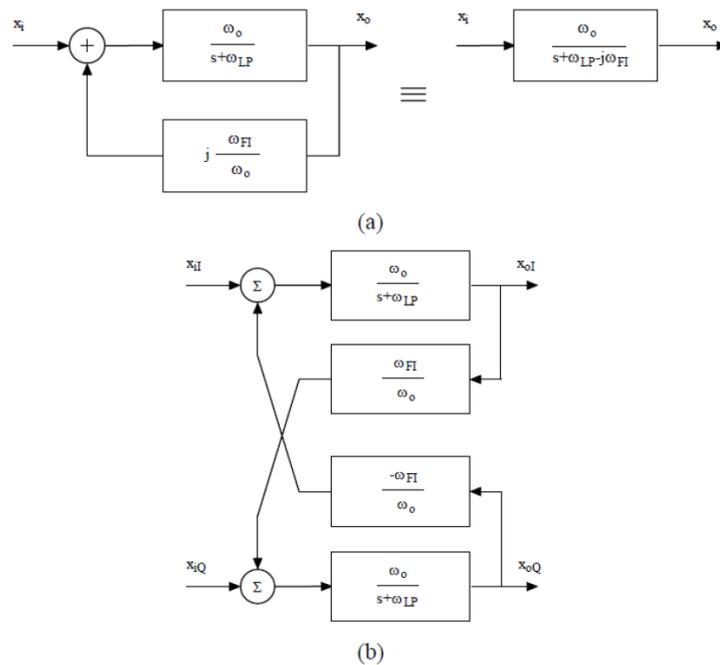


Figura 8.8. Conversión de filtro paso bajo a uno polifásico centrado en ω_{FI} . Representación compleja (a), implementación mediante diagramas de bloques(b).

La relación compleja entre la entrada y la salida vendrá dada por la expresión (8.11), teniendo en cuenta que X_i y X_o , vienen dadas por las relaciones (8.12) y (8.13).

$$X_o = X_i \frac{\omega_o}{s + \omega_{LP} - j\omega_{FI}} \quad (8.11)$$

$$X_i = X_{iI} + jX_{iQ} \quad (8.12)$$

$$X_o = X_{oI} + jX_{oQ} \quad (8.13)$$

La ecuación (8.11) puede escribirse para la fase y cuadratura de la forma que se muestra en las expresiones (8.14) y (8.15), respectivamente.

$$X_{oI} = \frac{\omega_o}{s + \omega_{LP}} \left(X_{iI} - \frac{\omega_{FI}}{\omega_o} X_{oQ} \right) \quad (8.14)$$

$$X_{oQ} = \frac{\omega_o}{s + \omega_{LP}} \left(X_{iQ} - \frac{\omega_{FI}}{\omega_o} X_{oI} \right) \quad (8.15)$$

Esta distinción entre la componente en fase y en cuadratura se hace en la práctica tal y como se muestra en la Figura 8.8 (b). La traslación en frecuencias de $H(s) \rightarrow H(s - j\omega_{FI})$ o lo que es lo mismo, $H(j\omega) \rightarrow H(j(\omega - \omega_{FI}))$, se puede usar de forma directa para generar la estructura de un filtro paso banda polifásico basado en la técnica gm-C. Dicha traslación puede aplicarse a cada elemento reactivo en el filtro pasivo paso bajo prototipo. Así, un condensador C cualquiera se transforma tal y como se muestra en la expresión (8.16), donde $\omega_{FI}C$ es una conductancia con un valor independiente de la frecuencia. Esta traslación se podrá hacer solamente si se tienen señales en cuadratura.

$$j\omega C \rightarrow j(\omega - \omega_{FI})C = j\omega C - j\omega_{FI}C \quad (8.16)$$

En la Figura 8.9 se presenta un ejemplo de la utilización de esta técnica. El filtro paso bajo C-L-C (condensador-bobina-condensador) de la Figura 8.9 (a) se convierte a un filtro gm-C paso bajo en la Figura 8.9 (b). La versión polifásica del filtro se muestra en la Figura 8.9 (c), que está compuesta por dos filtros como el de la Figura 8.9 (b), más los circuitos de traslación.

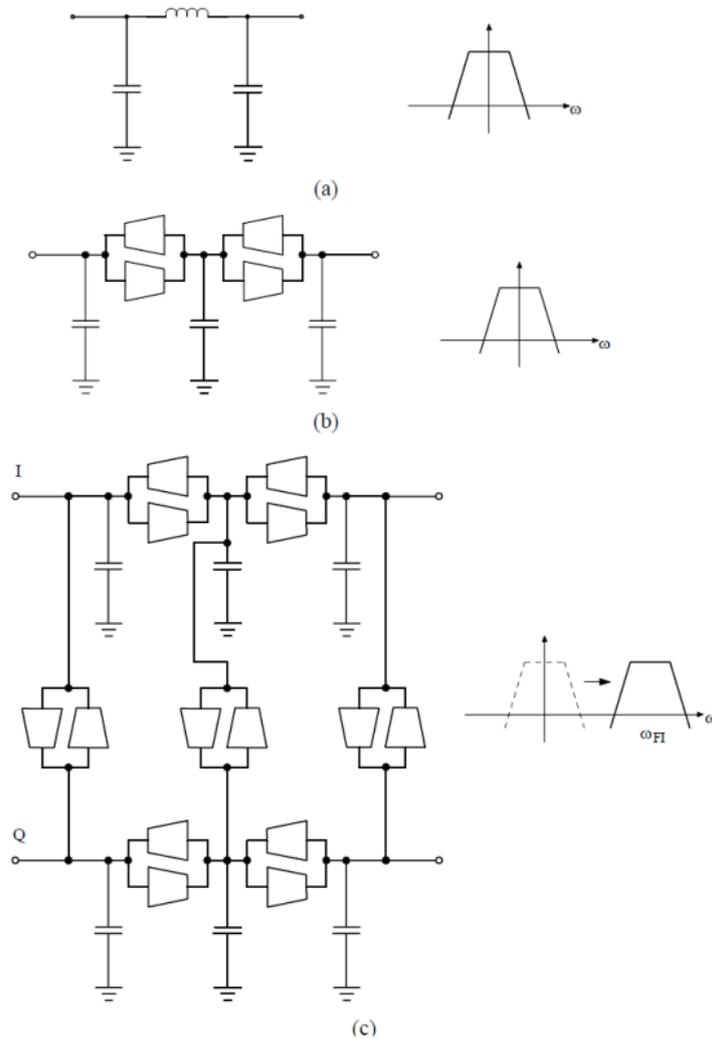


Figura 8.9. Filtro C-L-C (a), implementación g_m -C (b), implementación g_m -C polifásica (c).

El filtro que se ha implementado para hacer las simulaciones del receptor es un filtro polifásico ideal, de forma que los transconductores que lo forman son fuentes de corriente controladas por tensión ideales proporcionados por la herramienta de diseño ADS. La topología por la que se ha optado es un filtro Butterworth de tercer orden, implementado mediante la técnica g_m -C. La ventaja principal de dicha topología es que se compensan las pérdidas de inserción (típicas de los filtros pasivos) con el transconductor de la etapa de entrada. A su vez, es posible obtener un buen compromiso entre potencia, frecuencia de trabajo y figura de ruido.

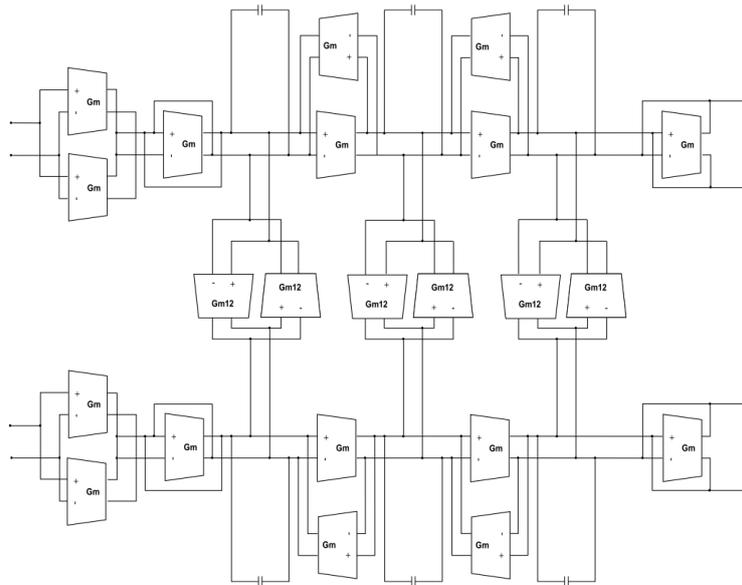


Figura 8.10. Estructura del filtro polifásico implementado.

Como se puede observar en la Figura 8.10, la estructura del filtro está formada por dos filtros Butterworth de tercer orden g_m -C paso bajo para las ramas I y Q. A su vez, se incluyen las ramas cruzadas o integradores que desplazan la respuesta del filtro paso bajo a la frecuencia de 2.5 MHz.

8.3 Receptor Completo

El receptor se ha implementado al integrar el cabezal de recepción y el filtro polifásico explicados en los apartados anteriores con el VGA diseñado. El esquema del receptor completo se muestra en la Figura 8.11.

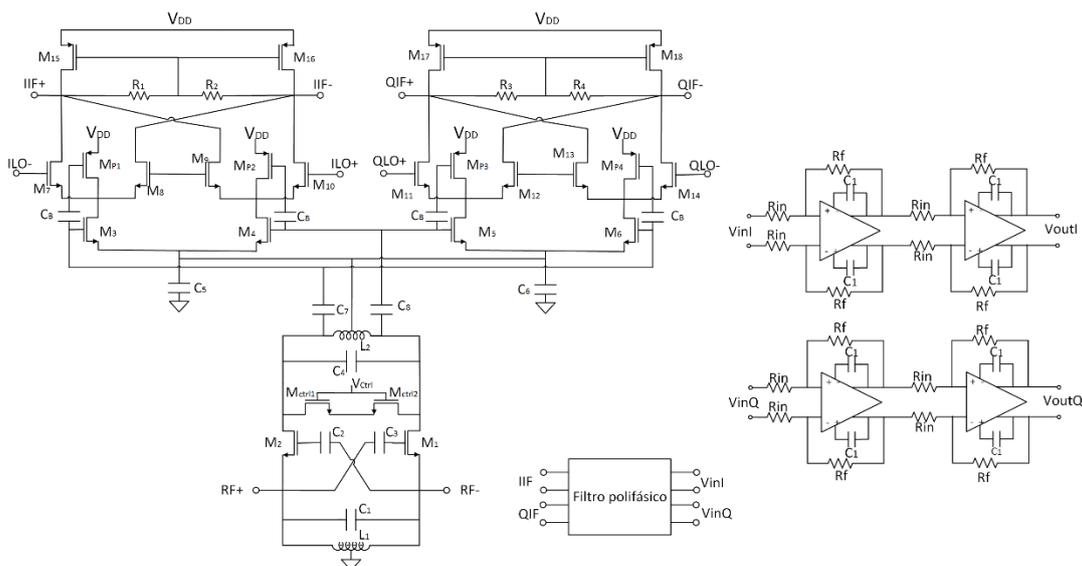


Figura 8.11. Esquema completo del receptor formado por el cabezal de recepción, el filtro polifásico y el VGA.

Como generador de la señal de entrada del cabezal se ha empleado un generador de tonos con una potencia de -85 dBm a una frecuencia de 2.4 GHz. Este valor es el de la sensibilidad para el estándar IEEE 802.15.4, que es la potencia de la señal de entrada a partir del cual el receptor funciona correctamente. El primer elemento del cabezal de recepción es el LNA, que posee dos condensadores de desacoplo para la entrada (C_2 y C_3) y otros dos para la salida (C_7 y C_8). Tras el LNA se encuentra el mezclador con la señal del oscilador local. A la salida de cada rama del mezclador se conecta el filtro polifásico. Por último, a la salida del filtro polifásico se conecta el VGA.

Los parámetros que se han medido en el receptor completo son: la adaptación de entrada, la ganancia de conversión y figura de ruido para toda la banda, la figura de ruido para un canal y el IP3 del receptor completo. A su vez, se ha simulado la respuesta en frecuencia del receptor.

La adaptación de entrada obtenida con el receptor es de alrededor de -18 dB para la frecuencia de trabajo, los resultados obtenidos se muestran en la Figura 8.12.

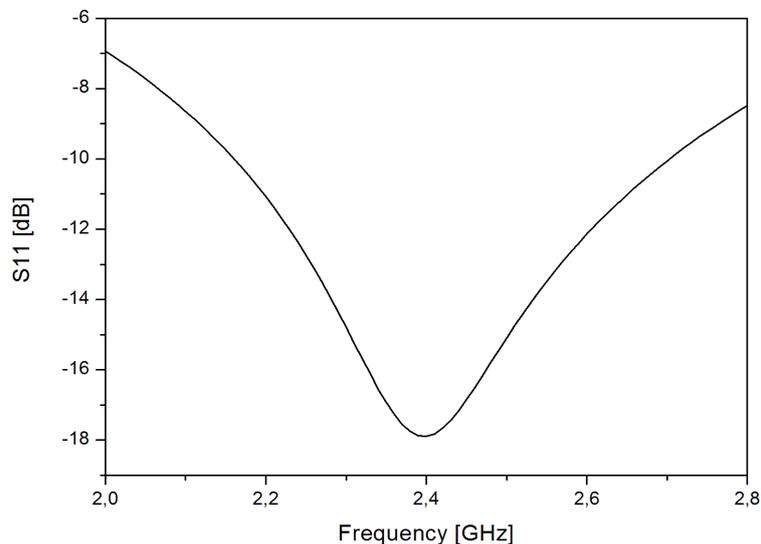


Figura 8.12. Adaptación de entrada del receptor completo.

Los resultados de la simulación de la figura de ruido y la ganancia de conversión se muestran en la Figura 8.13. Tal y como se puede comprobar, la ganancia de conversión varía entre los 74.23 y los 73.65 dB, mientras que la figura de ruido varía entre 9.63 y 9.99 dB.

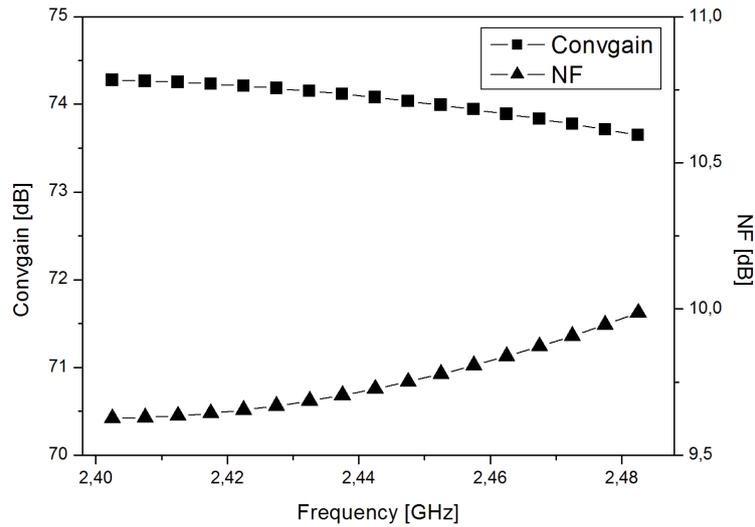


Figura 8.13. Ganancia y figura de ruido para toda la banda del estándar IEEE 802.15.4.

Se puede apreciar que la figura de ruido que presenta el receptor está en torno a 9.7 dB, mientras que la figura de ruido que presentaba el cabezal de recepción sin el filtro polifásico y el VGA era de 10.7 dB. La figura de ruido a la salida del mezclador se puede interpretar de dos maneras: como figura de ruido banda lateral única (*Noise Figure single-side band* o NF_{ssb}) o figura de ruido doble banda lateral (*Noise Figure double-side band* o NF_{dsb}).

En el caso de la NF_{ssb} , sólo se considera la señal en la IF obtenida tras realizar la mezcla y el ruido presente en dicha frecuencia y su imagen. La señal y el ruido presentes en la salida del mezclador vienen dados por las expresiones (8.17) y (8.18), respectivamente. En estas expresiones, el término S_o es la señal de salida, S_d es la señal de entrada y G_{mix_d} es la ganancia del mezclador. Asimismo, N_o es el ruido a la salida, N_d es la figura de ruido en la banda de la señal de entrada y N_{mix} es el ruido generado internamente por el mezclador.

$$S_o = S_d \cdot G_{mix_d} \tag{8.17}$$

$$N_o = 2 \cdot N_d \cdot G_{mix_d} + 2 \cdot N_{mix} \cdot G_{mix_d} \tag{8.18}$$

A partir de estas ecuaciones (8.17) y (8.18), se puede extraer la relación señal a ruido $\frac{S}{N}$ y el factor de ruido F_{SSB} , los cuales se presentan en las ecuaciones (8.19) y (8.20), respectivamente.

$$\frac{S}{N} = \frac{S_d}{2 \cdot N_d + 2 \cdot N_{mix}} = \frac{S_d}{S_d} \left(\frac{1}{2 + \frac{2 \cdot N_{mix}}{N_d}} \right) \quad (8.19)$$

$$F_{SSB} = 1 + \frac{2 \cdot N_{mix}}{N_d} \quad (8.20)$$

En el caso de la NF_{dsb} se consideran la señal y el ruido presentes en la IF y en la frecuencia imagen. Por lo tanto, estos se deben tener en cuenta en las ecuaciones anteriores, de forma que las expresiones de la señal y del ruido a la salida se pueden reescribir como se muestra en las expresiones (8.21) y (8.22). De forma análoga al procedimiento anterior, se puede expresar la relación señal a ruido como (8.23) y el factor de ruido viene dado por la expresión (8.24).

$$S_o = 2 \cdot S_d \cdot G_{mix_d} \quad (8.21)$$

$$N_o = 2 \cdot N_d \cdot G_{mix_d} + 2 \cdot N_{mix} \cdot G_{mix_d} \quad (8.22)$$

$$\frac{S}{N} = \frac{2 \cdot S_d}{2 \cdot N_d + 2 \cdot N_{mix}} = \frac{S_d}{S_d} \left(\frac{1}{1 + \frac{N_{mix}}{N_d}} \right) \quad (8.23)$$

$$F_{dsb} = 1 + \frac{N_{mix}}{N_d} \quad (8.24)$$

Si se observan con detenimiento las ecuaciones de los factores de ruido para SSB y DSB, es posible determinar que entre ambas existe la relación (8.25).

$$F_{SSB} = 2F_{dsb} \rightarrow NF_{SSB} = NF_{dsb} + 3dB \quad (8.25)$$

Para el cabezal de recepción se ha considerado la NF_{SSB} como la figura de ruido a la salida, ya que el mezclador suma el ruido presente en la señal y su imagen. Sin embargo, una vez que se aplica el filtro polifásico a la salida para

formar el receptor completo se produce el efecto presentado en la Figura 8.14. El filtro polifásico es capaz de diferenciar la señal de su imagen y es capaz de eliminar esta última, conservando la señal de interés. Tras aplicar el filtro polifásico, a la salida del cabezal se debe medir la figura de ruido NF_{dsb} .

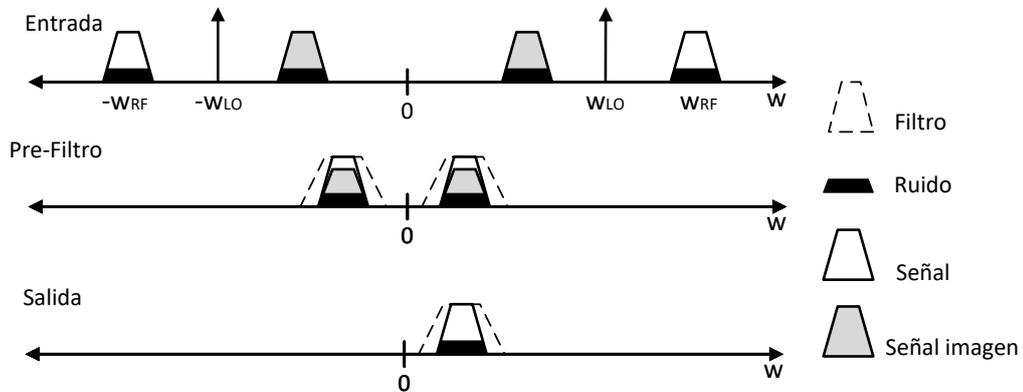


Figura 8.14. Efecto del filtro polifásico después del cabezal de entrada.

El resultado de simular la figura de ruido de un único canal se presenta en la Figura 8.15. Se puede comprobar que la figura de ruido en la banda de trabajo es prácticamente constante, con un valor de 9.5 dB. En baja frecuencia se observa la transición a una figura de ruido más elevada, causada por el ruido *flicker* típico en los receptores *Low-IF*. En este caso, dicho ruido aparece por debajo de los 250 kHz, de forma que su aportación apenas afecta a la banda de trabajo. Al usar un mezclador pasivo doble balanceado, se minimiza el impacto del ruido *flicker*. A su vez, debido al efecto del filtro, existe mayor ruido después de los 4 MHz.

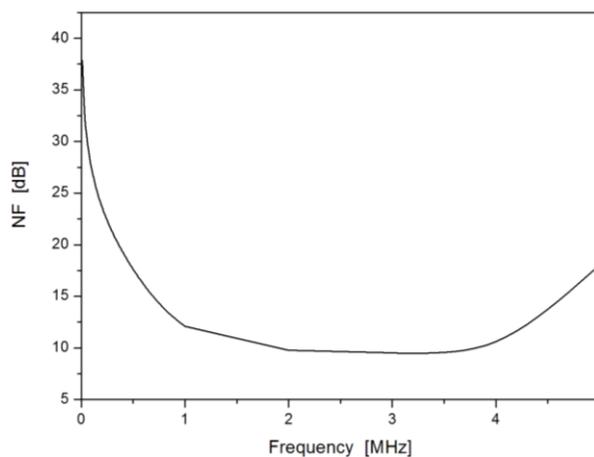


Figura 8.15. Simulación de la figura de ruido de un canal.

Si se analiza la respuesta en frecuencia del receptor, se puede verificar que la máxima ganancia se sitúa sobre los 74 dB, tal y como se había visto. Asimismo, es posible calcular el rechazo de imagen, para ello es necesario calcular antes la ganancia en el canal adyacente. El ancho del canal para el estándar IEEE 802.15.4 es de 3 MHz y la separación entre canales adyacentes es de 5 MHz. Para obtener la respuesta en frecuencia del receptor se realizó una simulación de tipo balance de armónicos (*Harmonic Balance*), realizando un barrido de -8 MHz a 8 MHz. Así se calcula el valor de la ganancia para cada punto de simulación entre las frecuencias mencionadas. En la Figura 8.16 se observa la diferencia entre la ganancia en el canal de trabajo y el canal adyacente, que es de unos 31 dB. Por lo tanto, se concluye que el rechazo imagen del canal adyacente para este receptor es de 31 dB.

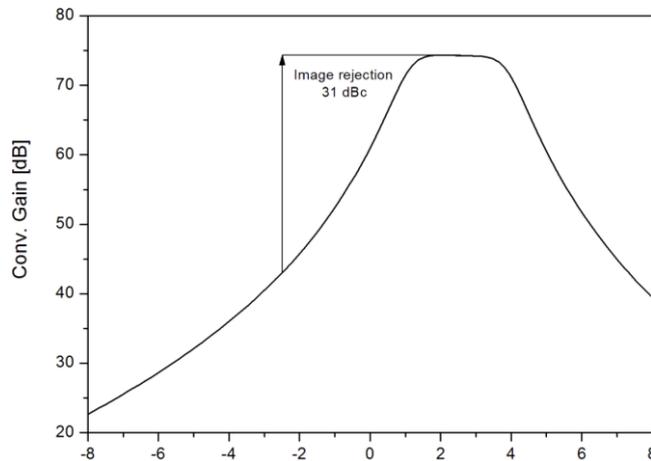


Figura 8.16. Respuesta en frecuencia del receptor.

Para medir la linealidad del receptor se ha simulado el IIP3 (*Third Order Intercept*). Dado que al realizar dicha simulación para el modo de máxima ganancia aparecen problemas de convergencia, se opta por simular este parámetro para el modo de mínima ganancia. El resultado de esta simulación se muestra en la Figura 8.17.

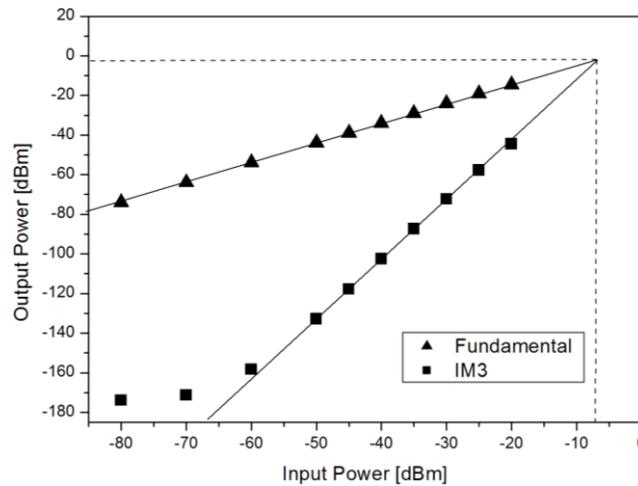


Figura 8.17. Resultados de la simulación del IP3 del receptor completo para el modo de mínima ganancia.

Como se puede observar en la Figura 8.17, el IIP3 del receptor tiene un valor de -7 dBm. Este es el resultado obtenido al introducir en el receptor dos tonos con un espaciado de 500 kHz respecto a la frecuencia central del canal.

Finalmente, se realizan medidas del consumo del receptor. Para ello se calcula el consumo de cada uno de los elementos por separado y se suman para obtener el total. Para hallar el consumo de cada elemento se realiza la operación $P = V \cdot I$, donde V es la tensión de alimentación del dispositivo e I su consumo de corriente. Los resultados del consumo del receptor se muestran en la Tabla 8.1.

Tabla 8.1. Consumo de los elementos del receptor

Circuito	Alimentación	Consumo de corriente (μA)	Consumo de potencia (mW)
LNA + Mezclador	1.2 V	1830	2.2
VGA	1.2 V	366.4	0.81
TOTAL	1.2 V	2,196.4	3.45

Como se puede ver, el consumo total es de 3.45 mW, aunque no se incluye el consumo del filtro, ya que este es ideal. Asimismo, se ve que el consumo del VGA es de 0.81 mW, debido a que el consumo del OTA ronda los 0.4 mW y el VGA posee dos OTAs. El consumo del mezclador y el LNA se calcula

conjuntamente, ya que se han diseñado a partir de la técnica de reutilización de corriente, obteniendo el reducido consumo de 2.2 mW.

En el capítulo siguiente se presenta una recopilación del trabajo realizado y los resultados obtenidos, así como las conclusiones extraídas de los mismos.

Capítulo 9. Conclusiones y trabajo futuro

A continuación, se presenta un resumen del trabajo realizado y una recopilación de los resultados obtenidos. A su vez, se realiza una comparativa del receptor desarrollado con otros diseños existentes en la bibliografía implementados para el mismo estándar. Una vez mostrados los resultados, se presentan una serie de conclusiones sobre los mismos. Asimismo, se muestran las líneas futuras del trabajo realizado.

9.1 Resumen del trabajo realizado

El objetivo principal de este Trabajo de Fin de Grado era el de diseñar un amplificador de ganancia variable con la tecnología CMOS de 65 nm de UMC para el estándar IEEE 802.15.4. Por otra parte, el objetivo secundario de este trabajo era optimizar el diseño realizado, con el fin de reducir el área del circuito.

A lo largo de este documento, se han presentado los transistores MOS, la metodología de diseño g_m/I_D y la teoría básica de los amplificadores operacionales. Tras presentar estos fundamentos teóricos, se ha procedido a al diseño del VGA.

En primer lugar, se ha realizado el diseño de un OTA Miller de entrada diferencial y salida asimétrica con compensación polo-cero y, a partir de este, se ha desarrollado un VGA de una y de dos etapas. El diseño se ha realizado siguiendo la metodología de diseño g_m/I_D . A su vez, se ha empleado realimentación negativa para el ajuste de ganancia y un condensador variable o varactor para la compensación del OTA. Una vez finalizado el diseño se ha comprobado que los resultados obtenidos cumplen con los requisitos del estándar.

En segundo lugar, se ha diseñado un VGA con entrada y salida diferencial de dos etapas. Este circuito ha sido diseñado a partir de dos OTAs completamente diferenciales con compensación Miller, que son realimentados, al igual que en el caso asimétrico, con redes resistivas y varactores. Una vez finalizado el diseño del VGA se ha comprobado que los resultados cumplen las especificaciones, cumpliendo con el primer objetivo del presente Trabajo de Fin de Grado. Una vez implementado el diseño completo del VGA, se ha aplicado la técnica de compensación de fuente con el objetivo de reducir el área del mismo, cumpliendo con el segundo objetivo de este TFG.

Por último, se ha realizado una simulación completa de un receptor formado por un cabezal de recepción, un filtro polifásico y el VGA desarrollado para validar el funcionamiento del mismo. En la simulación completa del receptor se han obtenido los parámetros importantes del mismo, como son la ganancia, el consumo, la figura de ruido, etc. Estos resultados se presentan a continuación.

9.2 Resultados y conclusiones

Tal y como se ha reflejado en el documento, se ha cumplido el primer objetivo al implementar un VGA de entrada y salida diferencial con 15 niveles de ganancia, desde 0 hasta 42 dB en pasos de 3 dB. A su vez, tal y como se planteó como segundo objetivo, se ha aplicado la técnica de compensación de fuente en el VGA diseñado, de forma que se reduce el área del circuito de forma significativa. Por un lado, se elimina la necesidad de implementar una red de condensadores de compensación, que queda sustituida por tan solo dos condensadores de valor fijo integrados en la estructura del OTA. Asimismo, el valor de estos condensadores es la mitad del condensador necesario para la compensación Miller. Finalmente, los valores de las resistencias de realimentación disminuyen respecto al VGA con compensación tipo Miller, de forma que el área que estas ocupan también se reduce.

A continuación, en la Tabla 9.1 se muestra una comparativa de los resultados obtenidos con la técnica de compensación de fuente y la compensación Miller.

Tabla 9.1. Comparativa de resultados del OTA diferencial-diferencial de dos etapas con compensación de fuente y compensación Miller

R (Ω)	ΔR (Ω)	Gain (dB)	PM ($^\circ$)	BW (MHz)	PM ($^\circ$)	BW (MHz)
Comp.		fuelle		Miller		
5,600	-200	0.1	110 $^\circ$	63.1	71 $^\circ$	22.40
6,610	-210	3.0	133 $^\circ$	56.2	73 $^\circ$	19.95
7,850	-300	6.0	120 $^\circ$	56.2	99 $^\circ$	17.78
9,300	-350	9.0	115 $^\circ$	50.1	119 $^\circ$	17.78
11,000	-400	12.1	115 $^\circ$	50.1	138 $^\circ$	15.85
13,000	-500	15.1	116 $^\circ$	44.7	150 $^\circ$	14.13
15,350	-650	18.1	118 $^\circ$	39.8	153 $^\circ$	12.6
18,100	-700	21.1	122 $^\circ$	35.5	163 $^\circ$	11.22
21,300	-950	24.0	124 $^\circ$	35.5	170 $^\circ$	11.22
25,000	-1,300	27.0	130 $^\circ$	31.6	178 $^\circ$	10.00
29,200	-1,700	30.1	131 $^\circ$	28.2	-170 $^\circ$	11.22
34,100	-2,300	33.1	137 $^\circ$	22.4	-167 $^\circ$	10.00
39,650	-2,900	36.0	140 $^\circ$	20	-151 $^\circ$	12.60
45,900	-3,800	39.1	141 $^\circ$	17.8	-150 $^\circ$	11.22
52,850	-5,200	42.0	143 $^\circ$	15.9	-142 $^\circ$	10.00

A su vez, se ha realizado una estimación en la que se compara entre el área ocupada por el VGA con compensación Miller y el VGA con compensación de fuente. Esta comparativa se realiza con el fin de demostrar el ahorro en términos de área en el VGA. Para ello se han usado condensadores de la tecnología CMOS UMC de 65 nm, de forma que se han introducido los valores necesarios y se ha obtenido el área que ocupa cada uno de ellos. Los resultados de esta comparativa se muestran en la Tabla 9.2. Nótese que el VGA Miller posee un total de 32 condensadores (0.25 pF, 0.2 pF, 0.15 pF y 0.1 pF) y el VGA con compensación de fuente posee solamente 8 condensadores (todos ellos de 0.125 pF).

Tabla 9.2. Comparativa del área ocupada por los condensadores del VGA con compensación Miller y compensación de fuente

	Varactores totales	Condensadores por Varactor	Condensadores totales	Área ocupada (μm^2)
VGA Miller	8	4	32	2765.0258
VGA Fuente	0	0	8	492.98

Al observar la Tabla 9.2, se aprecia que el área ocupada por los condensadores del VGA con compensación de fuente es el **18%** del área ocupada por los condensadores del VGA con compensación Miller. Por lo tanto, la reducción de área conseguida es del **82%**.

Una vez diseñado el VGA completamente diferencial con compensación de fuente, se ha simulado el funcionamiento del mismo junto con un cabezal de recepción (con reutilización de corriente y *current boosting*) y un filtro polifásico ideal. En la Tabla 9.3 se muestran los resultados obtenidos en el receptor en comparación con las especificaciones del estándar IEEE 802.15.4. Al comprobar los resultados es posible afirmar que se cumplen los requisitos necesarios para que el receptor funcione bajo las condiciones requeridas por el estándar.

Tabla 9.3. Parámetros del receptor y especificaciones del estándar IEEE 802.15.4 (FE: Front-End o Cabezal de recepción; BB: Banda Base)

Parámetro	Especificaciones del estándar	Resultados obtenidos
Consumo (mW)	Lo menor posible	3.45 (LNA, mezclador y VGA)
Ganancia (dB)	>30 (FE) (-20 a 65) (BB)	31.3 (FE) 42 (BB)
Variación de ganancia (dB)	65 (FE + BB)	--
NF (dB)	<15.5	9.63
Rechazo de imagen (dBc)	>20	>31
IIP3 (dBm)	>(-32) máxima ganancia >(-10) mínima ganancia	--
Sensibilidad (dB)	-85	-90

Adicionalmente, se ha realizado una comparativa entre los resultados obtenidos en el receptor desarrollado en este Trabajo de Fin de Grado y otras soluciones propuestas en la bibliografía para el estándar IEEE 802.15.4. Dicha comparativa tiene como fin presentar una visión general de los resultados obtenidos. La recopilación de los resultados se presenta en la Tabla 9.4.

Tabla 9.4. Comparativa de los parámetros del receptor diseñado con otros receptores estudiados

Parámetro	LNA, mixer, filtro y VGA [24]	LNA, mixer, TIA y filtro [26]	LNA, mixer, filtro y VGA [18]	Este trabajo: LNA, mixer, filtro y VGA
Tecnología	0.18 μm	0.18 μm	65 nm	65 nm
Consumo (mW)	9	5.5	1.7	3.45
Ganancia (dB)	32 (FE) --	42 (FE) --	57 (FE + BB)	31.3 (FE) 43 (BB) 74.3 (FE + BB)
NF (dB)	--	10.3	8.5	9.63
Sensibilidad (dBm)	-94	-92	-93.7	-92.5
Rechazo imagen (dBc)	42	28	--	31
IIP3 (dBm)	--	-5	-6	-7

En primer lugar, se destaca que la ganancia obtenida en el receptor diseñado, con un valor de 74.3 dB, es elevada en comparación con el resto de receptores. Sin embargo, el receptor descrito en la referencia [25] no incluye el VGA en las medidas, que significaría un aumento significativo en la ganancia y en el consumo del mismo. Por otro lado, la figura de ruido del receptor desarrollado es de alrededor de 10 dB, algo mayor que la que se obtiene en el receptor presentado en la referencia [26] y semejante a la que presenta el receptor tomado de la referencia [25]. Finalmente, la sensibilidad del receptor, cuyo valor viene dado por la expresión (9.1), es similar a las alternativas presentes. En el receptor diseñado, la linealidad es el peor de los resultados, el IIP3 para máxima ganancia es inferior al presentado por otras alternativas, a pesar de que cumple con los requisitos del estándar.

$$Se = -174 + 10 \log(B) + NF + S/N_{o,min} \quad (9.1)$$

Es importante destacar que no se ha incluido el consumo del filtro polifásico en el consumo total del receptor, ya que se trata de un filtro ideal. Para realizar

una comparativa más realista se puede tomar el consumo de potencia del filtro polifásico diseñado en [12]. Sin embargo, este filtro se implementó con una tecnología de 0.18 μm , de forma que se puede asumir un consumo inferior. De esta forma, se asume que si el filtro se implementa con la tecnología de 65 nm tendría un consumo inferior a 1.12 mW. Teniendo en cuenta el consumo del filtro, el receptor presentaría un consumo menor de 4.6 mW. Este consumo de potencia es inferior al presentado para los receptores diseñados en la tecnología de 0.18 μm . El receptor de la referencia [26] presenta menor consumo, pero a costa de presentar una ganancia bastante inferior.

La principal desventaja de la estructura del receptor implementado es la linealidad que este consigue. Si se compara el IIP3 obtenido con este diseño frente al presentado por las otras alternativas de la bibliografía, se puede apreciar que este es ligeramente inferior. Sin embargo, este resultado se mantiene dentro de las especificaciones del estándar. Por otra parte, el receptor implementado presenta un consumo de potencia muy reducido, que es el objetivo prioritario de la línea de trabajo en desarrollo.

Por lo tanto, el receptor diseñado cumple con los requisitos del estándar IEEE 802.15.4 y además presenta unas características que lo convierten en un diseño competitivo frente a otros diseños presentes en la bibliografía.

9.3 Líneas futuras

Tal y como se ha reflejado, este Trabajo de Fin de Grado se ha desarrollado dentro de una línea de trabajo de mayor alcance, cuyo fin es obtener un transceptor de RF tolerante a entornos de alta radiación ambiental. Las posibles líneas futuras que continúan a este diseño:

- Diseñar el filtro polifásico real en tecnología UMC 65 nm.
- Diseñar el transmisor en tecnología UMC 65 nm.
- Realizar el *Layout* y simulaciones post-layout del VGA implementado.

- Integración conjunta del transceptor y realización de co-simulaciones.
- Fabricar el transceptor y realizar medidas sobre el chip en la estación de puntas.

Bibliografía

- [1] LAN/MAN Standards Committee of the IEEE Computer Society, "IEEE Std 802.15.4™-2015 (Revision of IEEE Std 802.15.4-2011)," *IEEE Std 802.15.4 TM-2015*, 22 April 2016, 2016.
- [2] F. J. del Pino Suárez, "Transparencias del Tema 5: Arquitectura de transmisores y receptores y Tema 7: Dispositivos CMOS," *Electrónica de Comunicación*, Universidad de Las Palmas de Gran Canaria, 2016.
- [3] T. C. Carusone, D. Johns and K. Martin, *Analog Integrated Circuit Design*. 2011 Available: <https://books.google.es/books?id=1OIJZzLvVhcC>.
- [4] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*. (3rd ed.) 2010.
- [5] (22 June 2017 10:46 UTC). *10 nanometer*. Available: https://en.wikipedia.org/w/index.php?title=10_nanometer&oldid=785505700. DOI: 785505700.
- [6] (Mar 15, 2017). *Samsung Electronics on Track for 10nm FinFET Process Technology Production Ramp-up*. Available: <http://www.samsung.com/semiconductor/about-us/news/26364/samsung-electronics-on-track-for-10nm-finfet-process-technology-production-ramp-up>.
- [7] (2/4/2016 08:00 AM EST). *Samsung Describes 10nm SRAM*. Available: http://www.eetimes.com/document.asp?doc_id=1328866. DOI: 1328866.
- [8] D. R. Holberg and P.E. Allen, *CMOS Analog Circuit Design*. Oxford University Press, 2002.
- [9] United Microelectronics Corporation 2010-2017, "UMC 65 nm Low K Logic/Mixed Mode Low Leakage Processes Release Note" 2012.

-
- [10] F. Silveira, D. Flandre and P. G. A. Jespers, "A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," *IEEE Journal of Solid-State Circuits*, vol. 31, (9), pp. 1314-1319, 1996. DOI: 10.1109/4.535416.
- [11] E. Ortega García, "Diseño De Un Modulador Sigma-Delta En Tiempo Continuo Para Un PLL N-Fraccional En Tecnología UMC 90nm." EITE, Universidad de Las Palmas de Gran Canaria, 2012.
- [12] D. Mayor Duarte, "Diseño De Un Filtro Polifásico Para Un Receptor IEEE 802.15.4 En Tecnología CMOS 0.18 Mm." EITE, Las Palmas de Gran Canaria, 2016.
- [13] Cruz Ramón, "Diseño De Un Amplificador De Ganancia Programable Para Un Receptor IEEE 802.15.4 En Tecnología CMOS 0.18 Mm." EITE, Las Palmas de Gran Canaria, 2016.
- [14] P. G. A. Jespers, "The G_m/I_D Methodology, a Sizing Tool for Low-Voltage Analog CMOS Circuits". Springer, 2010.
- [15] J. Masuch and M. Delgado-Restituto, "A 1.1-mW-RX -81.4 -dBm Sensitivity CMOS Transceiver for Bluetooth Low Energy," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, (4), pp. 1660-1673, 2013. DOI: 10.1109/TMTT.2013.2247621.
- [16] N. Stanica *et al*, "A 2.4-GHz ISM-Band Sliding-IF Receiver With a 0.5-V Supply," *IEEE Journal of Solid-State Circuits*, vol. 43, (5), pp. 1138-1145, 2008. DOI: 10.1109/JSSC.2008.920357.
- [17] A. Balankutty *et al*, "A 0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications," *IEEE Journal of Solid-State Circuits*, vol. 45, (3), pp. 538-553, 2010. DOI: 10.1109/JSSC.2009.2039827.
- [18] I. Kwon *et al*, "A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2006*. DOI: 10.1109/RFIC.2006.1651136.
- [19] J. Kim *et al*, "A 54–862-MHz CMOS Transceiver for TV-Band White-Space Device Applications," *IEEE Transactions on Microwave Theory and*

- Techniques*, vol. 59, (4), pp. 966-977, 2011. DOI: 10.1109/TMTT.2010.2103089.
- [20] J. Ramírez-Angulo *et al*, "Source Compensated Miller Op-Amps: A simple Approach to Enhance Amplifier's Bandwidth," 2014.
- [21] T. K. Nguyen *et al*, "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18-um CMOS Technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, (12), pp. 4062-4071, 2006. DOI: 10.1109/TMTT.2006.885556.
- [22] G. Ojeda Rodríguez, "Diseño De Un Cabezal De Recepción Para El Estándar IEEE 802.15.4 En Tecnología CMOS De 65 Nm." EITE, Las Palmas de Gran Canaria, 2017.
- [23] L. Weiyang *et al*, "A low power 2.4 GHz transceiver for ZigBee applications," *Journal of Semiconductors*, vol. 34, (8), pp. 085007, 2013. Available: <http://stacks.iop.org/1674-4926/34/i=8/a=085007>.
- [24] M. K. Raja *et al*, "A 18 mW tx, 22 mW rx transceiver for 2.45 GHz IEEE 802.15.4 WPAN in 0.18- μ m CMOS," in *2010 IEEE Asian Solid-State Circuits Conference*, 2010. DOI: 10.1109/ASSCC.2010.5716552.
- [25] S. Mateos Angulo, "Diseño De Un Cabezal De Recepción Para El Estándar IEEE 802.15.4 En Tecnología CMOS 0.18 Mm." EITE, Las Palmas de Gran Canaria, 2015.
- [26] Z. Lin, P. I. Mak and R. P. Martins, "A 2.4 GHz ZigBee Receiver Exploiting an RF-to-BB-Current-Reuse Blixer + Hybrid Filter Topology in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 49, (6), pp. 1333-1344, 2014. DOI: 10.1109/JSSC.2014.2311793.

Presupuesto

En el presupuesto se recogen los gastos generados por el presente Trabajo de Fin de Grado, en el cual se pueden distinguir las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
 - Amortización del material hardware.
 - Amortización del material software.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envía.

A continuación, se presenta cada uno de estos presupuestos por separado, donde se aplican los impuestos vigentes y se procede a la obtención del coste total de la realización de este Trabajo de Fin de Grado.

P.1. Trabajo tarifado por tiempo empleado

El trabajo tarifado por tiempo empleado corresponde a la mano de obra, según el salario correspondiente a la hora de trabajo de un graduado en ingeniería de telecomunicaciones. Para calcular este presupuesto se propone utilizar la expresión (0.1). El término H corresponde a los honorarios totales correspondientes al tiempo dedicado, H_n son las horas normales trabajadas en la jornada laboral y H_e son las horas especiales. Teniendo en cuenta que las

horas de dedicación al Trabajo de Fin de Grado son aproximadamente un total de 300 horas, los honorarios ascienden al valor calculado mediante la expresión (0.2).

$$H = 14.48 \times H_n + 20.27 \times H_e \text{ (€)} \quad (0.1)$$

$$H = 14.48 \times 300 + 20.27 \times 0 = 4,344.00 \text{ €} \quad (0.2)$$

El trabajo tarifado por tiempo empleado equivale a la cantidad de **cuatro mil trescientos cuarenta y cuatro euros**.

P.2. Amortización del inmovilizado material

En el inmovilizado material se consideran el conjunto de recursos hardware y software empleados en el desarrollo del presente Trabajo de Fin de Grado.

El coste de amortización se estipula para un periodo de 3 años, por medio de un sistema de amortización lineal en el que se supone que el inmovilizado material se deprecia uniformemente a lo largo de su vida útil. La cuota de amortización anual se calcula por medio de la relación (0.3), donde el valor residual es el valor teórico que supuestamente tendrá el elemento en cuestión después de su vida útil.

$$\text{Coste anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Años de vida útil}} \quad (0.3)$$

P.2.1. Amortización del material hardware

La duración real del trabajo ha sido de 5 meses, no de 3 años, por lo que los costes serán los derivados de los primeros 5 meses. En la Tabla 0.1 se muestra el hardware necesario para la realización del trabajo, indicando el valor de adquisición, valor residual, coste anual y coste de la amortización de cada elemento. El coste de amortización corresponde a aplicar la expresión (0.4). Aplicando esta fórmula, se obtiene que el coste total del material hardware asciende a **noventa y siete euros y veintidós céntimos**.

Tabla 0.1. Costes de la amortización de recursos hardware

Elemento	Valor de adquisición	Valor residual	Coste anual	Coste de la amortización
Ordenador portátil HP OMEN 15-ax003ns	1,000 €	300 €	233.33 €	97.22 €
Total	1,000 €	300 €	233.33 €	97.22 €

$$\text{Coste amortización} = \text{Coste anual} \times \frac{\text{Meses de trabajo}}{12 \text{ (Meses en un año)}} \quad (0.4)$$

P.2.2. Amortización del material software

Para el cálculo de la amortización de material software se tienen en cuenta los recursos de este tipo que han sido imprescindibles en el desarrollo del proyecto. Los recursos software y sus costes se muestran en la Tabla 0.2. Al igual que en el caso anterior, se consideran los costes de los primeros 5 meses.

Tabla 0.2. Costes de la amortización de recursos software

Software	Valor de adquisición	Valor residual	Coste de la amortización
Windows 10 HOME OS	0 €	0 €	0 €
Licencia anual de ADS 2009	1722.23 €	0 €	717.60 €
LibreOffice v5.3	0 €	0 €	0 €
Total	1,722.23 €	0 €	717.60 €

El coste total de los recursos software empleados en el desarrollo del presente Trabajo de Fin de Grado es de **setecientos diecisiete euros y sesenta céntimos**.

P.3. Redacción del trabajo

El coste de redacción se calcula haciendo uso de la ecuación (0.5), donde P es el presupuesto y C_n , el coeficiente de ponderación del presupuesto. En este caso, C_n tiene valor unidad, ya que el coste total del proyecto no supera los 30,050.00 €.

$$R = 0.07 \times P \times C_n \quad (0.5)$$

El valor del presupuesto se calcula como la suma del coste de todos los elementos anteriores, la recopilación de los costes y el presupuesto final se muestran en la Tabla 0.3.

Tabla 0.3. Presupuesto del trabajo tarifado y la amortización de inmovilizado material

Elemento	Coste
Trabajo tarifado por tiempo empleado	4,344.00 €
Amortización de recursos hardware	97.22 €
Amortización de recursos software	717.60 €
Total (P)	5,158.82 €

Dado el coste total de **cinco mil ciento cincuenta y ocho euros y ochenta y dos céntimos**, el coste derivado de la redacción del Trabajo de Fin de Grado se calcula como (0.6).

$$R = 0.07 \times 5,158.82 = 361.12 \text{ €} \quad (0.6)$$

El coste total de la redacción es de **trescientos sesenta y dos euros con cinco céntimos**.

P.4. Derechos de visado del COITT

El COITT establece que, para proyectos de carácter general, los derechos de visado en el año 2014 se calculan en base a la expresión (0.7). El término V es el coste del visado del trabajo, P es el presupuesto del proyecto y C es el coeficiente reductor en función del presupuesto.

$$V = 0.0035 \times P \times C \quad (0.7)$$

El valor del presupuesto P se obtiene a partir de los costes de los elementos anteriores, es decir, el trabajo tarifado por tiempo empleado, la amortización del inmovilizado material y la redacción del documento. La recopilación de estos costes se muestra en la Tabla 0.4, en este caso, el coeficiente C tiene valor unidad, ya que se trata de un presupuesto de valor inferior a 30,050.00 €.

Tabla 0.4. Presupuesto con el trabajo tarifado, la amortización de inmovilizado material y la redacción del trabajo

Concepto	Coste
Trabajo tarifado por tiempo empleado	4,344.00 €
Amortización del material hardware	97.22 €
Amortización del material software	717.60 €
Redacción del trabajo	361.12 €
Total (P)	5,519.94 €

De esta forma, aplicando la expresión (0.7) con los datos de la Tabla 0.4, se obtiene el valor dado por la ecuación (0.8).

$$V = 0.0035 \times 5,519.94 \times 1 = 19.32 \text{ €} \quad (0.8)$$

Los costes por derechos de visado del presupuesto ascienden a **diecinueve euros y treinta y dos céntimos**.

P.5. Gastos de tramitación y envío

Los gastos de tramitación y envío están estipulados en **seis euros** (6.00 €) por cada documento visado de forma telemática.

P.6. Material fungible

Aparte de los recursos ya mencionados, se han empleado otros materiales en el desarrollo de este trabajo, como material de oficina, la impresión del documento, los CDs, etc. Estos materiales se engloban en el material fungible y sus costes quedan representados en la Tabla 0.5.

Tabla 0.5. Costes del material fungible

Material	Coste
Material de papelería	10.00 €
CD-ROM	5.00 €
Impresión de documentos	30.00 €
Encuadernación	5.00 €
Total	50.00 €

El coste total del material fungible es de **cincuenta euros**.

P.7. Aplicación de impuestos y coste total

Al desarrollo de este Trabajo de Fin de Grado se le debe aplicar el Impuesto General Indirecto Canario (IGIC), el cual supone un 7% del presupuesto.

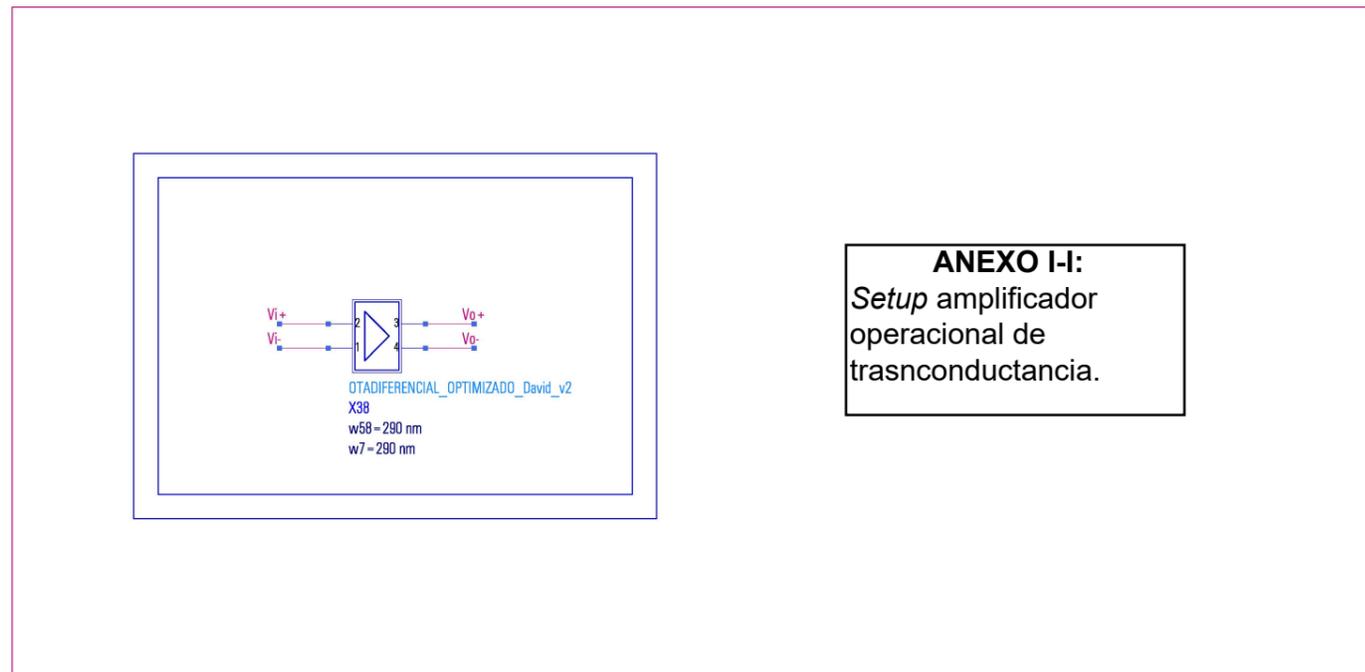
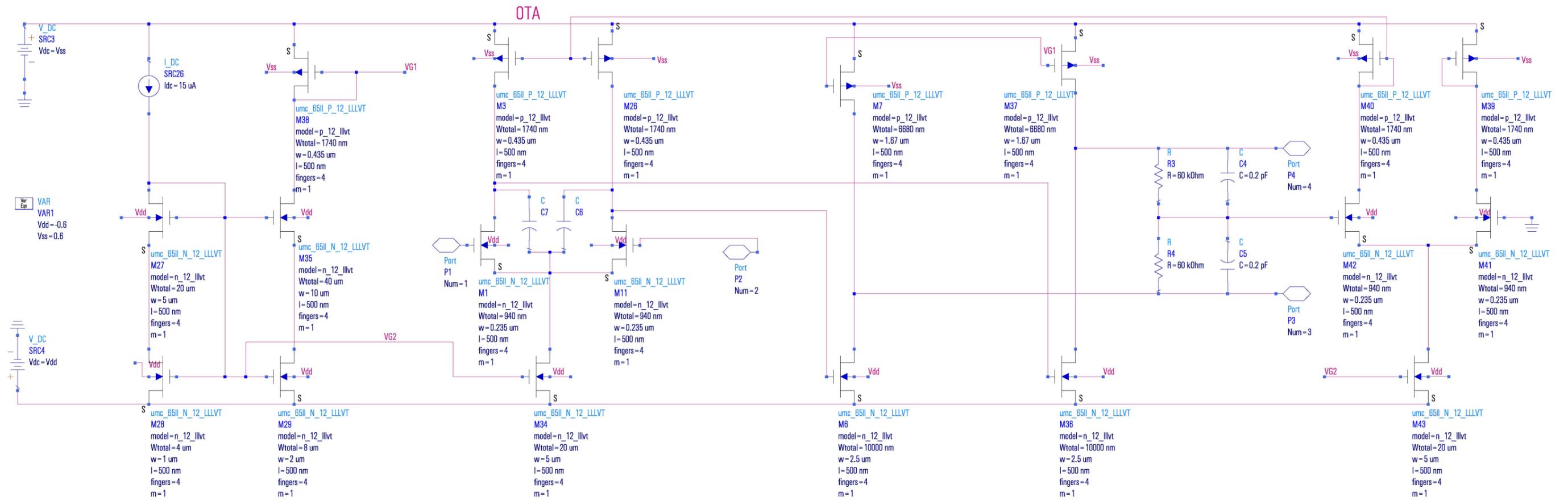
Tabla 0.6. Presupuesto total del Trabajo de Fin de Grado

Concepto	Coste
Trabajo tarifado por tiempo empleado	4,344.00 €
Amortización del material hardware	97.22 €
Amortización del material software	717.60 €
Redacción del trabajo	361.12 €
Derechos de visado del COITT	19.32 €
Gastos de tramitación y envío	6.00 €
Costes de material fungible	50.00 €
Subtotal (Sin IGIC)	5,595.26 €
IGIC (7%)	391.67 €
Total	5,986.93 €

El presupuesto total del trabajo “Diseño de un amplificador de ganancia variable para el estándar IEEE 802.15.4 en tecnología CMOS de 65 nm” es de **cinco mil novecientos ochenta y seis euros con noventa y tres céntimos**.

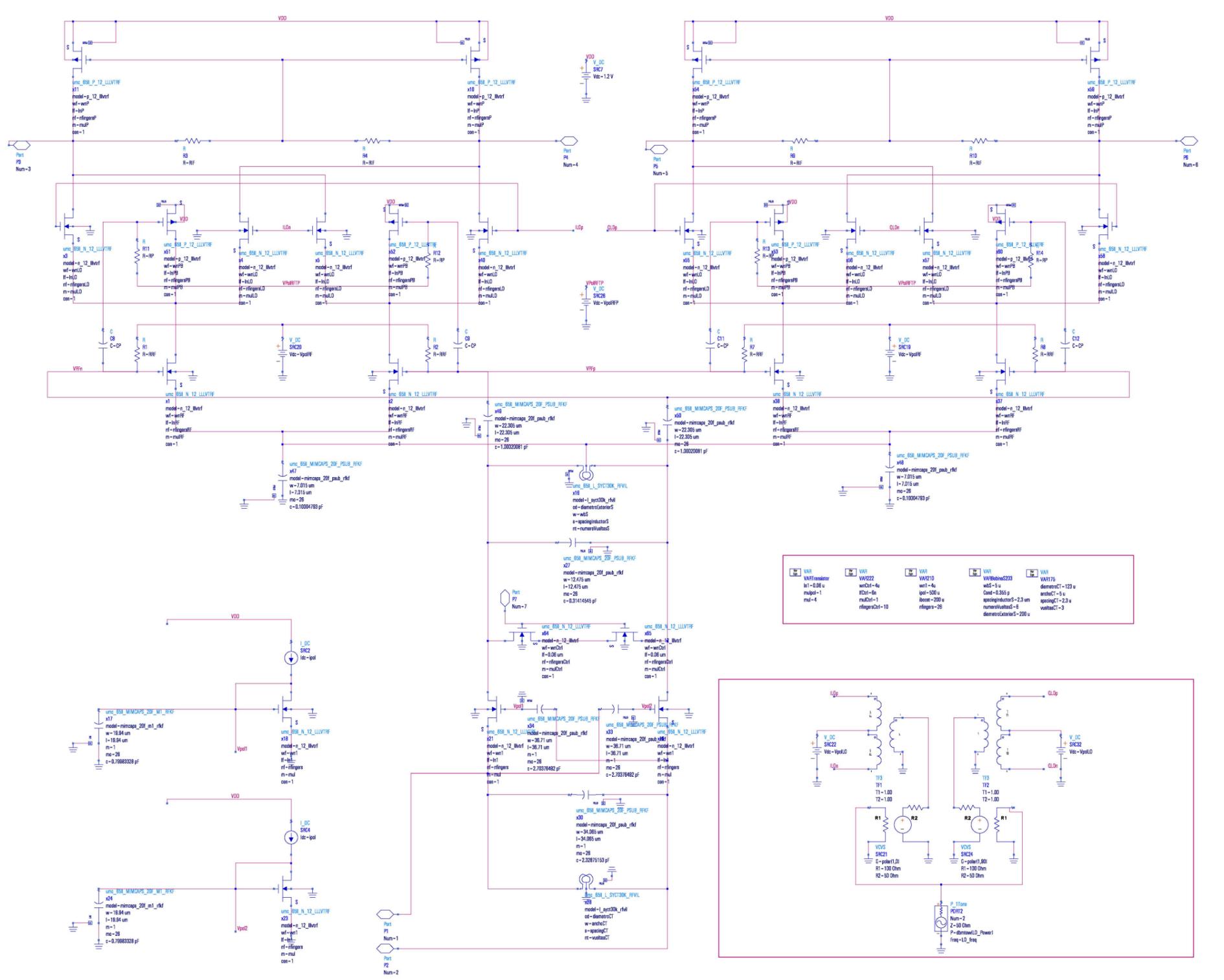
Fdo.: D. David Galante Sempere
En Las Palmas de Gran Canaria a 8 de julio de 2017

ANEXOS

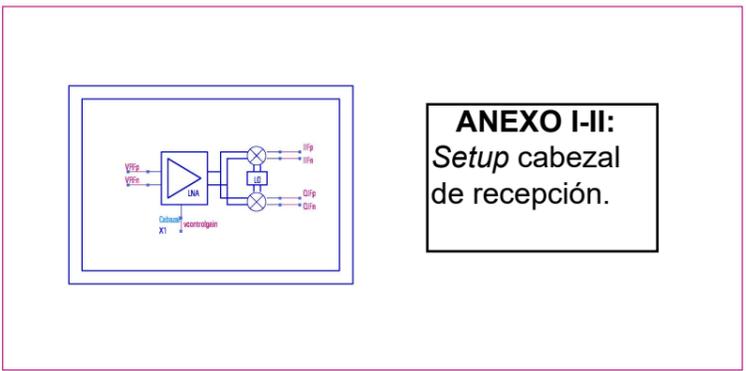
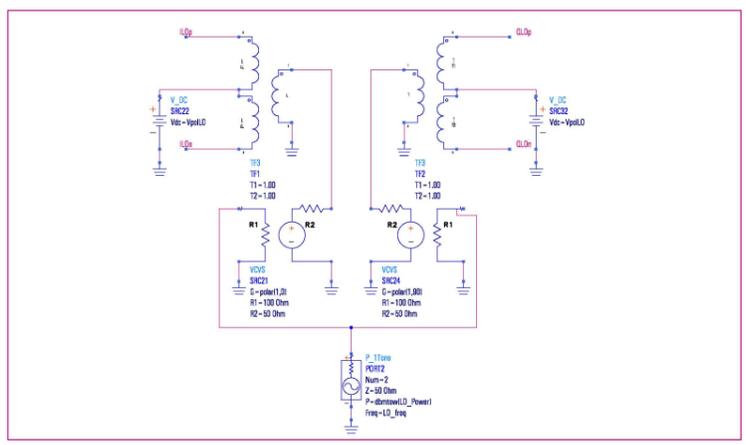


ANEXO I-I:
Setup amplificador
operacional de
transconductancia.

VAR	VAR	VAR	VAR	VAR	VAR
VAPParametros	VAPTransistorALD	VAPTransistorNF	VAPTransistorP	VAPTransistorPB	VAP218
CF=1p	wfD=0.5u	wfF=0.08u	wfP=0.08u	wfPB=0.08u	VpD=0.8
CF=1p	hC=0.08u	hF=0.08u	hP=0.08u	hPB=0.08u	VpF=0.7
CF=1p	rfD=0.5	rfF=2u	rfP=0.5u	rfPB=0.5u	VpR=0.7
RF=20k	mALD=1	mNF=0	mP=1	mPB=1	VpRP=0.8
RF=10k					
RF=10k					



VAR	VAR	VAR	VAR	VAR
VAPTransistor	VAP22	VAP218	VAPParametros	VAP175
hC=0.08u	wfD=4u	wfF=4u	hC=0.08u	hC=0.08u
hF=0.08u	hC=0.08u	hF=0.08u	hF=0.08u	hF=0.08u
rfD=0.5	mALD=1	mNF=0	mALD=1	mNF=0
RF=20k			RF=20k	RF=20k
RF=10k			RF=10k	RF=10k
RF=10k			RF=10k	RF=10k



ANEXO I-II:
Setup cabezal
de recepción.

S-PARAMETERS

S_Param
SP3
Start=2 GHz
Stop=2.8 GHz
Step=10 MHz

VAR
VAR225
LO_freq=RF_freq-IF_freq
F_Spacing=1 MHz
IF_freq=2.5 MHz
RF_freq=2.4 GHz
RF_Power=-85
LO_Power=0

NETLIST INCLUDE

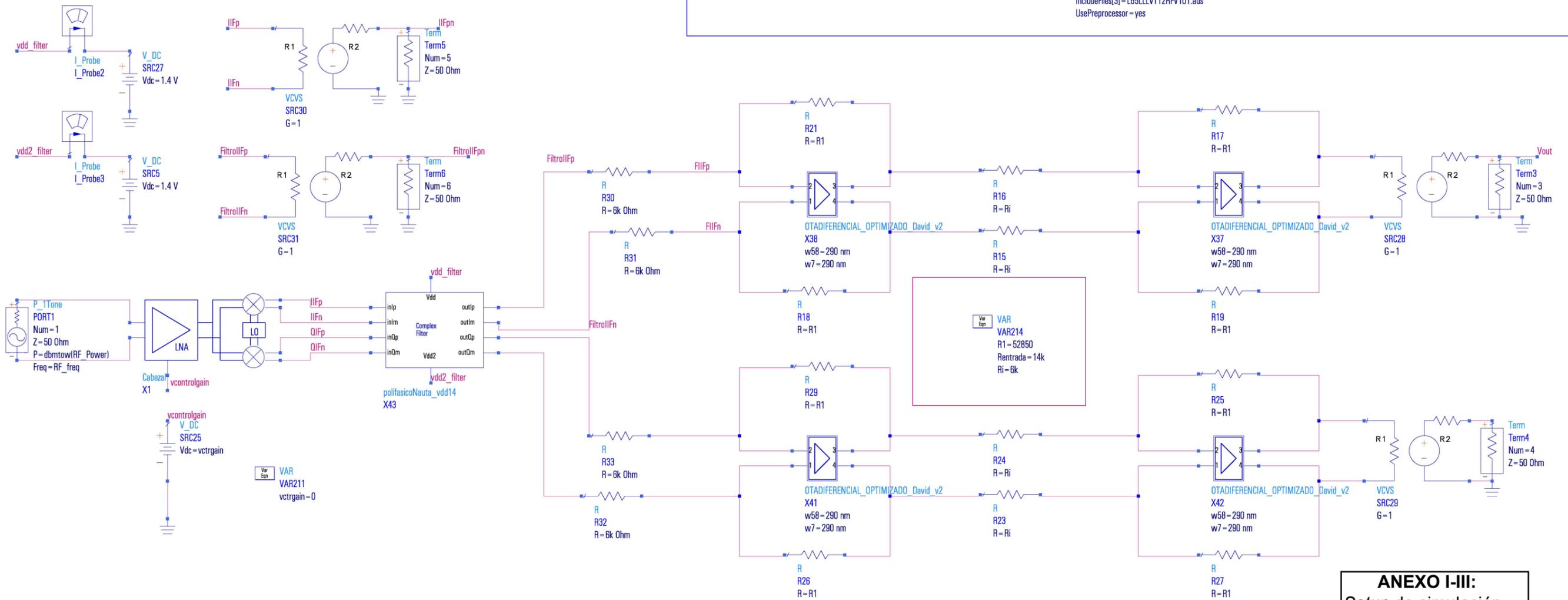
```
NetlistInclude
NetlistInclude7
IncludePath = /home/users/PFC/divitecno/gojeda/ADS_FDK_B04_PB_UMCB5/modelos
IncludeFiles(1) = I_slcr30k_vil_V111_RF.lib.net typ
IncludeFiles(2) = I_slcr30k_vil_V111_RF.lib.net typ
IncludeFiles(3) = L65_MIMCAPS_20F_KF_V101_RF.lib.net tt
IncludeFiles(4) = I_sqsk_vil_V111_RF.lib.net typ
IncludeFiles(5) = momcaps_array_vp3_rfvc1_V101.lib.net typ
IncludeFiles(6) = momcaps_array_vp4_rfvc1_V101.lib.net typ
IncludeFiles(7) = momcaps_array_vp5_rfvc1_V101.lib.net typ
IncludeFiles(8) = L65_pad_rf_V101.lib.scs typ
IncludeFiles(9) = I65ll_v121.lib.scs tt_II_hvt12
IncludeFiles(10) = I65ll_v121.lib.scs tt_II_nv12
IncludeFiles(11) = I65ll_v121.lib.scs tt_II_rvt12
IncludeFiles(12) = I65ll_v121.lib.scs tt_II_lvt12
```

NETLIST INCLUDE

```
NetlistInclude
NetlistInclude3
IncludePath = /home/users/PFC/divitecno/smateos/fcdk_A02_PB_ICB/Models/Spectre
IncludeFiles(1) = core_rf_v2d4.lib.scs tt
IncludeFiles(2) = mm180_reg18_v124.lib.scs tt
IncludeFiles(3) = mimcapm_rf_v2d3.lib.scs typ
IncludeFiles(4) = mhr_rf_v2d4.lib.scs typ
IncludeFiles(5) = mm180_res_v141.lib.scs res_typ
IncludeFiles(6) = I_slcr20k_rf_v2d3.lib.scs typ
IncludeFiles(7) = pad_rf_v2d3.lib.scs typ
```

NETLIST INCLUDE

```
NetlistInclude
NetlistInclude4
IncludePath = /home/users/PFC/divitecno/gojeda/ADS_FDK_B04_PB_UMCB5/ADS/G-05AM-RFCMOS65N-1.2V-LL_LVT-SPICE-ADS_MOSFET-Ver.1.0_P1
IncludeFiles(1) = L65LL_LVT12_V101_RF.lib.net tt
IncludeFiles(2) = Rde65LL_LVT12_RF_V101_ADS.scs
IncludeFiles(3) = L65LLVT12RFV101.ads
UsePreprocessor = yes
```



ANEXO I-III:
Setup de simulación
para calcular la
adaptación de entrada.

HARMONIC BALANCE

HarmonicBalance
HB16
MaxOrder=6
Freq[1]=LO_freq
Freq[2]=RF_freq
Order[1]=5
Order[2]=1
InputFreq=RF_freq
NLNoiseMode=yes
NLNoiseStart=
NLNoiseStop=
NLNoiseStep=
FreqForNoise=IF_freq
NoiseInputPort=1
NoiseOutputPort=3
NoiseNode[1]="Vifl"
UseKrylov=yes

SweepVar="IF_freq"
SweepPlan="SwpPlan13"
Start=
Stop=
Step=

SWEEP PLAN

SweepPlan
SwpPlan16
Start=-8MHz Stop=8MHz Step= Lin=100
UseSweepPlan=
SweepPlan=
Reverse=no

VAR
VAR225
LO_freq=2.4 GHz
F_Spacing=1 MHz
IF_freq=10 k
RF_freq=LO_freq+IF_freq
RF_Power=-85
LO_Power=0

NETLIST INCLUDE

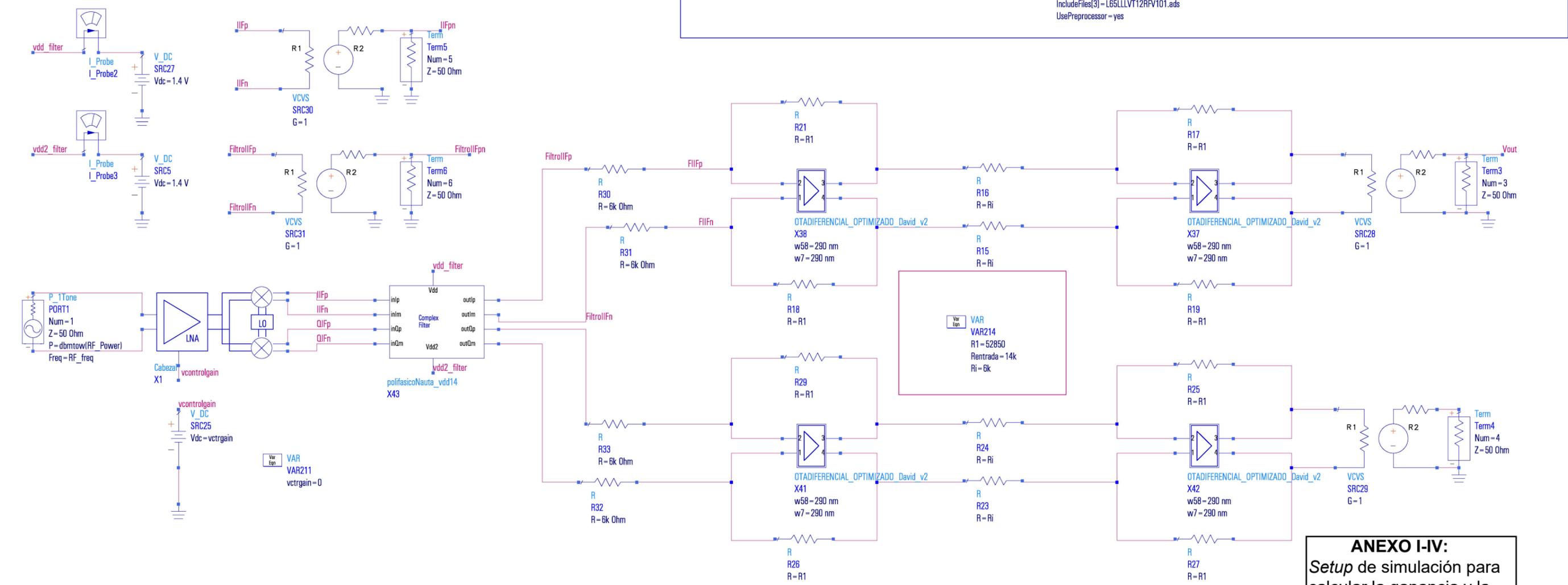
NetlistInclude
NetlistInclude7
IncludePath=/home/users/PFC/divtecnica/gojeda/ADS_FDK_B04_PB_UMC65/modelos
IncludeFiles[1]=I_slcr30k_vil_V111_RF.lib.net typ
IncludeFiles[2]=I_syct30k_vil_V111_RF.lib.net typ
IncludeFiles[3]=L65_MIMCAPS_20F_KF_V101_RF.lib.net tt
IncludeFiles[4]=I_sqsk_vil_V111_RF.lib.net typ
IncludeFiles[5]=momcaps_array_vp3_rfvc1_V101.lib.net typ
IncludeFiles[6]=momcaps_array_vp4_rfvc1_V101.lib.net typ
IncludeFiles[7]=momcaps_array_vp5_rfvc1_V101.lib.net typ
IncludeFiles[8]=L65_pad_rf_V101.lib.scs typ
IncludeFiles[9]=I65ll_v121.lib.scs tt_ll_hvt12
IncludeFiles[10]=I65ll_v121.lib.scs tt_ll_nv12
IncludeFiles[11]=I65ll_v121.lib.scs tt_ll_nv12
IncludeFiles[12]=I65ll_v121.lib.scs tt_ll_lvt12

NETLIST INCLUDE

NetlistInclude
NetlistInclude3
IncludePath=/home/users/PFC/divtecnica/smateos/fcdk_A02_PB_IC6/Models/Spectre
IncludeFiles[1]=core_rf_v2d4.lib.scs tt
IncludeFiles[2]=mm180_reg18_v124.lib.scs tt
IncludeFiles[3]=mimcapm_rf_v2d3.lib.scs typ
IncludeFiles[4]=mhr_rf_v2d4.lib.scs typ
IncludeFiles[5]=mm180_res_v141.lib.scs res_typ
IncludeFiles[6]=I_slcr20k_rf_v2d3.lib.scs typ
IncludeFiles[7]=pad_rf_v2d3.lib.scs typ

NETLIST INCLUDE

NetlistInclude
NetlistInclude4
IncludePath=/home/users/PFC/divtecnica/gojeda/ADS_FDK_B04_PB_UMC65/ADS/G-05AM-RFCMOS65N-1.2VLL-LVT-SPICE-ADS-MOSFET-Ver.1.0_P1
IncludeFiles[1]=L65LL_LVT12_V101_RF.lib.net tt
IncludeFiles[2]=Rde65LL_LVT12_RF_V101_ADS.scs
IncludeFiles[3]=L65LLV12RFV101.ads
UsePreprocessor=yes



ANEXO I-IV:
Setup de simulación para calcular la ganancia y la figura de ruido para toda la banda del estándar 802.15.4.

HARMONIC BALANCE

HarmonicBalance
 HB14
 MaxOrder=6
 Freq[1]=LO_freq
 Freq[2]=
 Order[1]=5
 Order[2]=
 InputFreq=RF_freq
 NLNoiseMode=yes
 NLNoiseStart=
 NLNoiseStop=
 NLNoiseStep=
 FreqForNoise=IF_freq
 NoiseInputPort=1
 NoiseOutputPort=3
 NoiseNode[1]="Vfif"
 UseKrylov=yes

SWEEP PLAN

SweepPlan
 SwpPlan10
 Start=2400MHz Stop=2401MHz Step=10kHz Lin=
 UseSweepPlan=yes
 SweepPlan="SwpPlan10"
 Start=
 Stop=
 Step=

SWEEP PLAN

SweepPlan
 SwpPlan12
 Start=2401MHz Stop=2403 MHz Step=1MHz Lin=
 UseSweepPlan=yes
 SweepPlan="SwpPlan11"
 Start=
 Stop=
 Step=

SWEEP PLAN

SweepPlan
 SwpPlan11
 Start=2403MHz Stop=2405 MHz Step=0.1MHz Lin=
 UseSweepPlan=
 SweepPlan=
 Reverse=no

Var
 Egn
 VAR
 VAR223
 LO_freq=2.4 GHz
 F_Spacing=1 MHz
 IF_freq=RF_freq-LO_freq
 RF_freq=2.4 GHz
 RF_Power=-85
 LO_Power=0

NETLIST INCLUDE

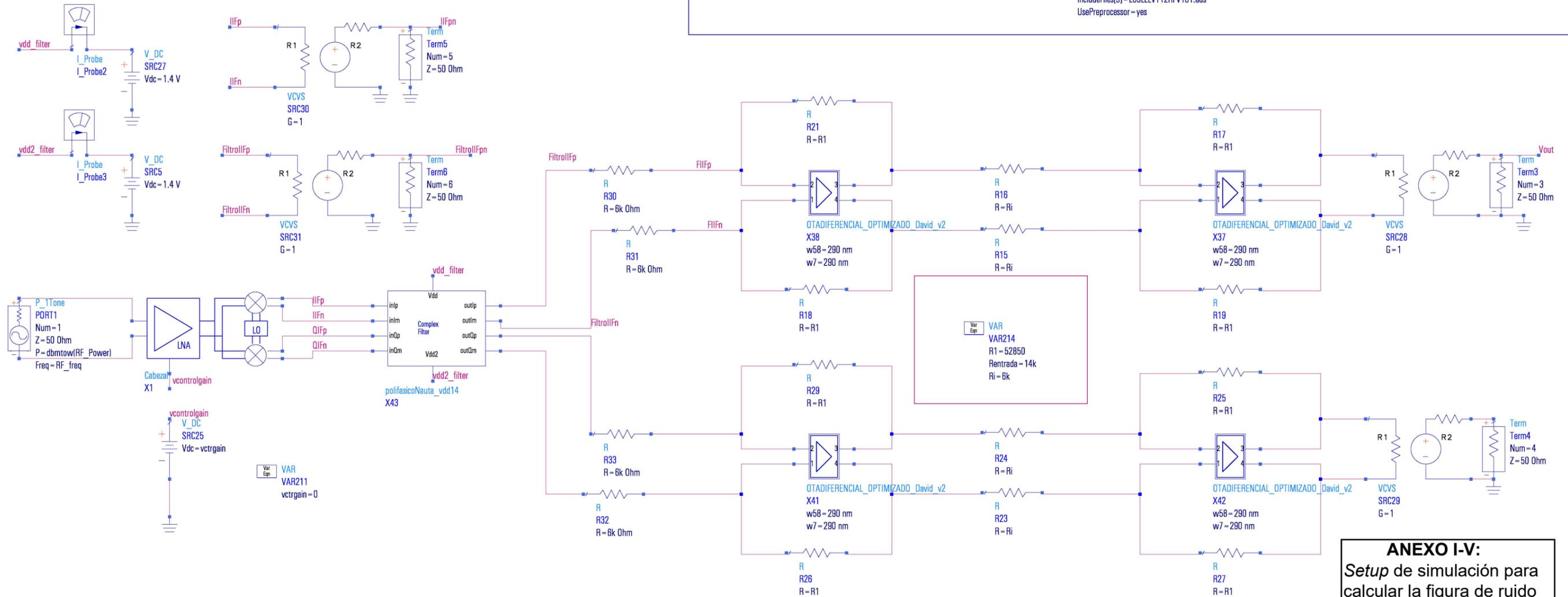
NetlistInclude
 NetlistInclude7
 IncludePath=/home/users/PFC/divitecno/gojeda/ADS_FDK_B04_PB_UMC65/modelos
 IncludeFiles[1]=l_slcr30k_vil_V111_RF.lib.net typ
 IncludeFiles[2]=l_syct30k_vil_V111_RF.lib.net typ
 IncludeFiles[3]=L65_MIMCAPS_20F_KF_V101_RF.lib.net tt
 IncludeFiles[4]=l_sqsk_vil_V111_RF.lib.net typ
 IncludeFiles[5]=momcaps_array_vp3_rfvc_V101.lib.net typ
 IncludeFiles[6]=momcaps_array_vp4_rfvc_V101.lib.net typ
 IncludeFiles[7]=momcaps_array_vp5_rfvc_V101.lib.net typ
 IncludeFiles[8]=L65_pad_rf_V101.lib.scs typ
 IncludeFiles[9]=I65il_v121.lib.scs tt_II_hvt12
 IncludeFiles[10]=I65il_v121.lib.scs tt_II_nv12
 IncludeFiles[11]=I65il_v121.lib.scs tt_II_lv12
 IncludeFiles[12]=I65il_v121.lib.scs tt_II_lv12

NETLIST INCLUDE

NetlistInclude
 NetlistInclude3
 IncludePath=/home/users/PFC/divitecno/smateos/fcdk_A02_PB_IC6/Models/Spectre
 IncludeFiles[1]=core_rf_v2d4.lib.scs tt
 IncludeFiles[2]=mm180_reg18_v124.lib.scs tt
 IncludeFiles[3]=mimcapm_rf_v2d3.lib.scs typ
 IncludeFiles[4]=nmr_rf_v2d4.lib.scs typ
 IncludeFiles[5]=mm180_res_v141.lib.scs res_typ
 IncludeFiles[6]=l_slcr20k_rf_v2d3.lib.scs typ
 IncludeFiles[7]=pad_rf_v2d3.lib.scs typ

NETLIST INCLUDE

NetlistInclude
 NetlistInclude4
 IncludePath=/home/users/PFC/divitecno/gojeda/ADS_FDK_B04_PB_UMC65/ADS/G-05AM-RFCMOS65N-1.2V-LL-LVT-SPICE_ADS_MOSFET-Ver.1.0_P1
 IncludeFiles[1]=L65LL_LVT12_V101_RF.lib.net tt
 IncludeFiles[2]=Rde65LL_LVT12_RF_V101_ADS.scs
 IncludeFiles[3]=L65LLLVT12RFV101.ads
 UsePreprocessor=yes



ANEXO I-V:
 Setup de simulación para
 calcular la figura de ruido
 para un canal del estándar
 802.15.4.

HARMONIC BALANCE

HarmonicBalance
HB4
MaxOrder = 6
Freq[1] = LO_freq
Freq[2] = RF_freq
Order[1] = 5
Order[2] = 1
InputFreq = RF_freq
NLNoiseMode = yes
NLNoiseStart =
NLNoiseStop =
NLNoiseStep =
FreqForNoise = IF_freq
NoiseInputPort = 1
NoiseOutputPort = 3
NoiseNode[1] = "Vout"
UseKrylov = yes

SWEEP PLAN

SweepPlan
SwpPlan1
Start = 2402.5MHz Stop = 2482.5MHz Step = 5MHz Lin =
UseSweepPlan =
SweepPlan =
Reverse = no

Var Egn
VAR
VAR4
LO_freq = RF_freq-IF_freq
F_Spacing = 1 MHz
IF_freq = 2.5 MHz
RF_freq = 2.4 GHz
RF_Power = -85
LO_Power = 0

NETLIST INCLUDE

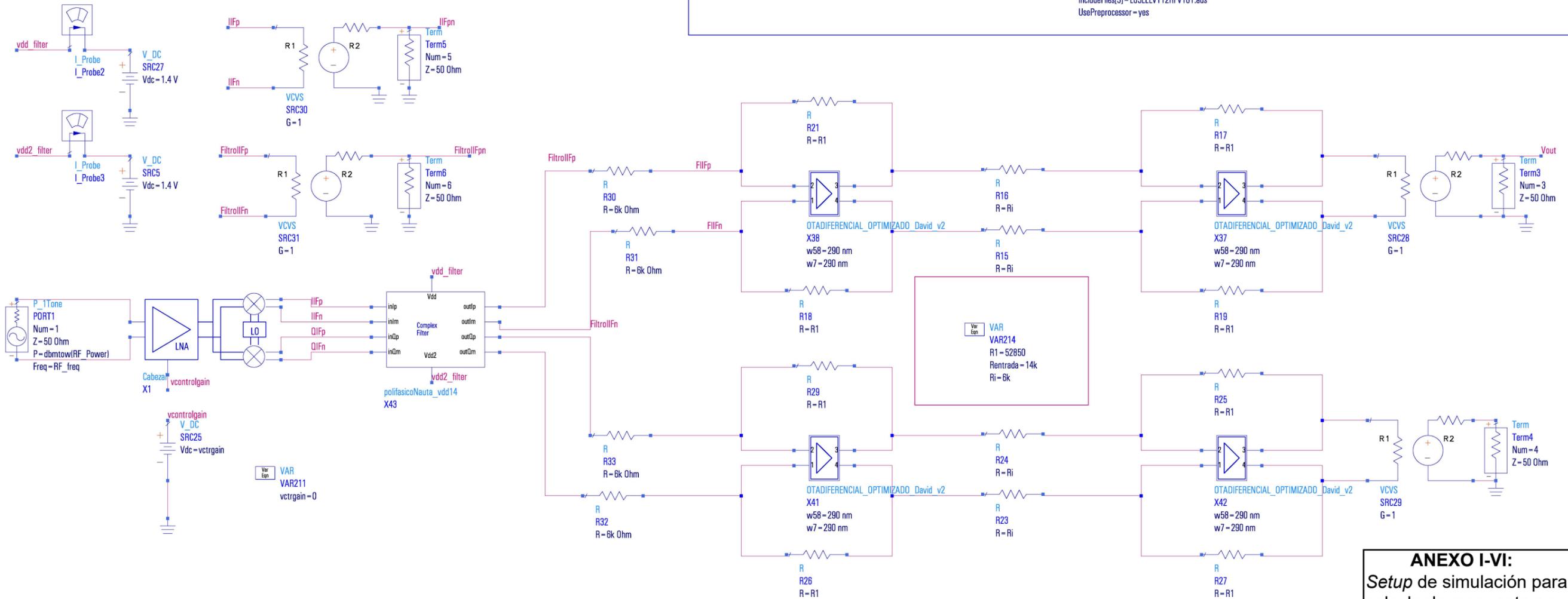
NetlistInclude
NetlistInclude7
IncludePath = /home/users/PFC/divitecno/gojeda/ADS_FDK_B04_PB_UMCB5/modelos
IncludeFiles[1] = I_sscr30k_vil_V111_RF.lib.net typ
IncludeFiles[2] = I_sscr30k_vil_V111_RF.lib.net typ
IncludeFiles[3] = L65_MIMCAPS_20F_KF_V101_RF.lib.net tt
IncludeFiles[4] = I_sqsq_vil_V111_RF.lib.net typ
IncludeFiles[5] = momcaps_array_vp3_rfvc1_V101.lib.net typ
IncludeFiles[6] = momcaps_array_vp4_rfvc1_V101.lib.net typ
IncludeFiles[7] = momcaps_array_vp5_rfvc1_V101.lib.net typ
IncludeFiles[8] = L65_pad_rf_V101.lib.scs typ
IncludeFiles[9] = I65ll_v121.lib.scs tt_ll_hvt12
IncludeFiles[10] = I65ll_v121.lib.scs tt_ll_nvt12
IncludeFiles[11] = I65ll_v121.lib.scs tt_ll_rvt12
IncludeFiles[12] = I65ll_v121.lib.scs tt_ll_lv12

NETLIST INCLUDE

NetlistInclude
NetlistInclude3
IncludePath = /home/users/PFC/divitecno/smateos/fcdk_A02_PB_ICB/Models/Spectre
IncludeFiles[1] = core_rf_v2d4.lib.scs tt
IncludeFiles[2] = mm180_reg18_v124.lib.scs tt
IncludeFiles[3] = mimcapm_rf_v2d3.lib.scs typ
IncludeFiles[4] = rnh_r_v2d4.lib.scs typ
IncludeFiles[5] = mm180_res_v141.lib.scs res_res_typ
IncludeFiles[6] = I_sscr20k_rf_v2d3.lib.scs typ
IncludeFiles[7] = pad_rf_v2d3.lib.scs typ

NETLIST INCLUDE

NetlistInclude
NetlistInclude4
IncludePath = /home/users/PFC/divitecno/gojeda/ADS_FDK_B04_PB_UMCB5/ADS/G-05AM-RFCMOS65N-1.2V-LL_LVT-SPICE_ADS_MOSFET-Ver.1.0_P1
IncludeFiles[1] = L65LL_LVT12_V101_RF.lib.net tt
IncludeFiles[2] = Rde65LL_LVT12_RF_V101_ADS.scs
IncludeFiles[3] = L65LLVT12RFV101.ads
UsePreprocessor = yes



ANEXO I-VI:
Setup de simulación para
calcular la respuesta en
frecuencia del receptor.

HARMONIC BALANCE

HarmonicBalance
HB12
MaxOrder=11
Freq[1]=LO_freq
Freq[2]=RF_freq+F_Spacing/2
Freq[3]=RF_freq-F_Spacing/2
Order[1]=9
Order[2]=5
Order[3]=5
InputFreq=RF_freq
NLNoiseMode=yes
NLNoiseStart=1
NLNoiseStop=
NLNoiseStep=
FreqForNoise=IF_freq
NoiseNode[1]="Vout"
UseKrylov=yes

SweepVar="RF_Power"
Start=
Stop=
Step=
Reverse=no

SWEEP PLAN

SweepPlan
SwpPlan14
Start=-80 Stop=-50 Step=10 Lin=
UseSweepPlan=yes
SweepPlan="SwpPlan15"
Reverse=no

VAR
VAR220
LO_freq=2.3975 GHz
F_Spacing=1 MHz
IF_freq=RF_freq-LO_freq
RF_freq=2.4 GHz
RF_Power=-70
LO_Power=0

SWEEP PLAN

SweepPlan
SwpPlan15
Start=-45 Stop=-20 Step=5 Lin=
UseSweepPlan=
SweepPlan=
Reverse=no

NETLIST INCLUDE

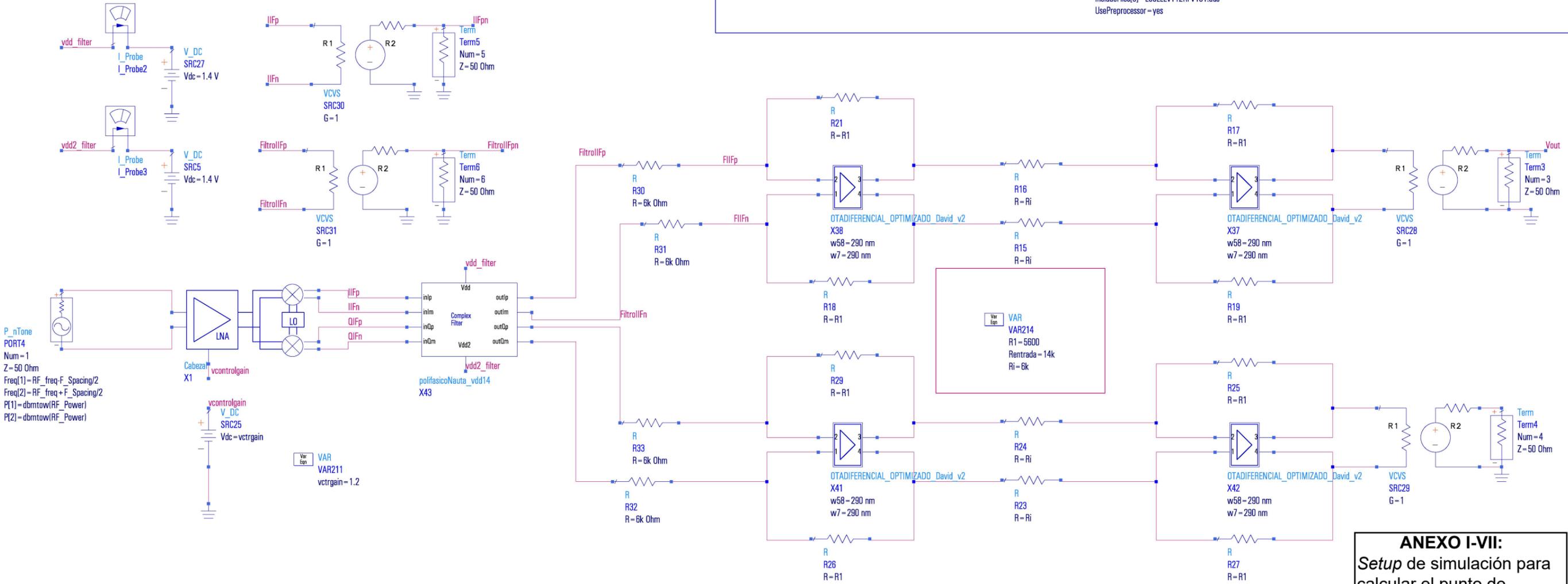
NetlistInclude
NetlistInclude7
IncludePath=/home/users/PFC/divtecnica/gojeda/ADS_FDK_B04_PB_UMC65/modelos
IncludeFiles[1]=l_slcr30k_vil_V111_RF.lib.net typ
IncludeFiles[2]=l_syct30k_vil_V111_RF.lib.net typ
IncludeFiles[3]=L65_MIMCAPS_2DF_KF_V101_RF.lib.net tt
IncludeFiles[4]=l_sqsk_vil_V111_RF.lib.net typ
IncludeFiles[5]=momcaps_array_vp3_rfvc_V101.lib.net typ
IncludeFiles[6]=momcaps_array_vp4_rfvc_V101.lib.net typ
IncludeFiles[7]=momcaps_array_vp5_rfvc_V101.lib.net typ
IncludeFiles[8]=L65_pad_rf_V101.lib.scs typ
IncludeFiles[9]=I65ll_v121.lib.scs tt_ll_hvt12
IncludeFiles[10]=I65ll_v121.lib.scs tt_ll_nv12
IncludeFiles[11]=I65ll_v121.lib.scs tt_ll_rvt12
IncludeFiles[12]=I65ll_v121.lib.scs tt_ll_lvt12

NETLIST INCLUDE

NetlistInclude
NetlistInclude3
IncludePath=/home/users/PFC/divtecnica/smateriaos/fcdk_A02_PB_ICB/Models/Spectre
IncludeFiles[1]=core_rf_v2d4.lib.scs tt
IncludeFiles[2]=mm180_reg18_v124.lib.scs tt
IncludeFiles[3]=mimcapm_rf_v2d3.lib.scs typ
IncludeFiles[4]=mhr_rf_v2d4.lib.scs typ
IncludeFiles[5]=mm180_res_v141.lib.scs res_typ
IncludeFiles[6]=l_slcr20k_rf_v2d3.lib.scs typ
IncludeFiles[7]=pad_rf_v2d3.lib.scs typ

NETLIST INCLUDE

NetlistInclude
NetlistInclude4
IncludePath=/home/users/PFC/divtecnica/gojeda/ADS_FDK_B04_PB_UMC65/ADS/G-05AM-RFCMOS65N-1.2V-LL-LVT-SPICE_ADS_MOSFET-Ver.1.0_P1
IncludeFiles[1]=L65LL_LVT12_V101_RF.lib.net tt
IncludeFiles[2]=Rde65LL_LVT12_RF_V101_ADS.scs
IncludeFiles[3]=L65LLVT12RFV101.ads
UsePreprocessor=yes



ANEXO I-VII:
Setup de simulación para calcular el punto de intercepción IIP3 del receptor.