



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Departamento de Ingeniería Electrónica
y Automática

TESIS DOCTORAL

APORTACIONES AL DISEÑO DE CIRCUITOS
DE ALTAS PRESTACIONES EN TECNOLOGÍAS CMOS:
LA FAMILIA LÓGICA FTL-CMOS

Victor Navarro Botello

Las Palmas de Gran Canaria , a 20 de Julio de 2015



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Departamento de Ingeniería Electrónica
y Automática

TESIS DOCTORAL

APORTACIONES AL DISEÑO DE CIRCUITOS
DE ALTAS PRESTACIONES EN TECNOLOGÍAS CMOS:
LA FAMILIA LÓGICA FTL-CMOS

Víctor Navarro Botello

Las Palmas de Gran Canaria, a 20 de Julio de 2015

*"Vivimos en el mundo cuando amamos.
Sólo una vida vivida para los demás merece la pena ser vivida."*

Albert Einstein, físico Alemán.
14 de marzo de 1879 a 18 de abril de 1955.

Al más maravilloso regalo que me hizo la vida, mi mujer Luciana, y mi hijo Iain
a mis padres, Jaime y Mercedes,
y a mi queridísima suegra, María José.

Agradecimientos

Quisiera empezar expresando mi más sincero y profundo agradecimiento a todas las personas, no siempre visibles, que directa o indirectamente, consciente o inconscientemente, han intervenido en que hoy día me halle aquí, redactando la última página de este trabajo.

En primer lugar, he de agradecer a mi mujer, Luciana, por todo el apoyo, ánimo y fuerza que me ha aportado durante todo este tiempo. Por saber entender y comprender lo que para mí significaba esta importante etapa. Por aguantar estoicamente en múltiples ocasiones aburridas charlas y disertaciones filosóficas derivadas de tan simple y sencilla pregunta como “¿qué tal va la tesis?”. Por darme tanta paz, ilusión y ganas por avanzar en mi desarrollo personal y profesional. Y por supuesto por darme el mejor regalo de la vida: nuestro hijo Iain, motor de tantos y tantos cambios en nuestras vidas. De no ser por ambos posiblemente hoy no me encontrase aquí, cerrando este capítulo de mi formación como investigador.

He de agradecer también a mis padres, Jaime y Mercedes, por la magnífica labor realizada como padres. A ellos debo principalmente mi formación y educación, base de mi crecimiento como persona. Por inculcarme el amor al trabajo, la curiosidad por lo desconocido, la búsqueda no sólo de respuestas, sino también de preguntas, y en resumen, el interés científico que me ha llevado a completar mis estudios de postgrado. Gracias por vuestro constante apoyo y por los buenos cimientos que me dísteis.

A mi segunda madre, María José, por su constante, incondicional e ilimitado apoyo. Por estar siempre ahí, dispuesta a prestar su ayuda en los momentos difíciles, y en resumen por acogerme como si fuese su propio hijo.

A mi hermano Héctor por su consejo y opinión. Por preocuparse por el desarrollo de mi trabajo y aguantar numerosas charlas acerca de los problemas y soluciones que se me planteaban.

Y por último, pero no por ello menos importante, a mi tutor, Juan, por guiar mi carrera investigadora durante todos estos años, dentro y fuera del marco de esta tesis.

Gracias.

Reconocimientos

Para el correcto desarrollo de esta tesis doctoral se han precisado diversos recursos, tanto materiales como humanos, más allá del propio doctorando. Me gustaría agradecer aquí el apoyo a las diversas instituciones que ya sea de forma directa o indirecta, han contribuido en el desarrollo del presente trabajo de investigación.

En primer lugar, he de agradecer al Instituto Universitario de Microelectrónica Aplicada (IUMA) y al Departamento de Ingeniería Electrónica y Automática (DIEA) de la Universidad de Las Palmas de Gran Canaria (ULPGC) por facilitarme el acceso a las instalaciones, equipos informáticos y laboratorios de medida. Es gracias a su gran equipo profesional y humano, cargado de años y años de experiencia, dedicación y pasión por la electrónica, microelectrónica y las telecomunicaciones, que dispongamos de prestigiosos centros de investigación, punteros, motor de la excelencia en nuestras islas.

Quisiera agradecer de forma particular a Pedro Pérez Carballo, a Agustín Quintana, y Enrique Montesdeoca, así como al resto del equipo informático, por su valiosa ayuda como soporte de las tecnologías e infraestructuras informáticas, labor muy pesada y poco reconocida en muchas ocasiones.

A las divisiones de Diseño de Sistema Integrados (DSI) y Microelectrónica y Micosistemas (MEMS) de las que he formado parte, en las personas de Roberto Sarmiento y Juan A. Montiel, por brindarme la oportunidad de desarrollar mi creatividad e ingenio con retos y oportunidades motivadoras, formando parte de un excelente equipo.

A la Fundación Universitaria de Las Palmas (FULP), al Servicio de Investigación y Tercer Ciclo de la ULPGC, al Gobierno de Canarias y al Ministerio de Educación y Cultura, por sustentar la investigación. El apoyo económico de las ayudas es un engranaje de vital importancia, actualmente, para el desarrollo de la investigación en nuestro país.

Adicionalmente, la presente tesis se ha desarrollado en colaboración con el Dr. Saeid Nooshabadi, del Departamento de Información y Comunicaciones del Gwianju Institute of Science and Technology (GIST) en la República de Corea, y de la Escuela de Ingeniería y Telecomunicaciones de la Universidad de New South Wales en Australia.

Resumen

En esta tesis se propone el estudio de una nueva familia lógica CMOS utilizando el concepto de evaluación anticipada (feedthrough) presentada recientemente en diversas referencias. La lógica Feedthrough (Fast feedThrough Logic, FTL) ha sido una interesante metodología de diseño en tecnologías GaAs en los últimos años, y ha permitido superar muchos de los principales problemas que presentan las familias lógicas dinámicas GaAs. FTL se basa en el concepto de lógica dominó, y permite realizar bloques aritméticos de alta velocidad.

Los esfuerzos realizados hasta la fecha por adaptar FTL a CMOS, así como para estudiar este tipo de lógica en CMOS, han obtenido interesantes resultados, si bien, se precisa de un estudio en profundidad que permita determinar los factores que influyen en el diseño FTL en tecnologías CMOS, su campo de aplicación, limitaciones y ventajas, fundamentos teóricos, aspectos de diseño, estudios de estabilidad frente a variaciones de diversos parámetros (temperatura, tensión de alimentación o referencia, esquinas del proceso tecnológico, etc.) e inmunidad frente a ruido, el establecimiento de una metodología de diseño en FTL, comparativas de casos reales de diseño, así como incorporar las herramientas y librerías necesarias cara a los diseñadores de circuitos si se desea que las ventajas del diseño FTL lleguen a tener repercusión en el tejido industrial.

A lo largo de esta tesis se ha aplicado el concepto FTL al diseño e implementación de sumadores RCA en tecnologías CMOS. Los resultados presentados resultan concluyentes: FTL consigue importantes mejoras significativas tanto en retardo como en eficiencia energética cuando se compara con las familias lógicas convencionales (CMOS, nMOS y dominó). Es más, los sumadores RCA FTL presentan mejores prestaciones en término de velocidad y eficiencia energética incluso cuando se comparan con sumadores de altas prestaciones CSA multinivel en tecnologías CMOS.

Tanto la simulación MonteCarlo de los circuitos implementados como la medida de los circuitos fabricados confirman que la lógica FTL, si bien se encuentra limitada por las características de *mismatch* del proceso tecnológico, tiene un interesante espacio de diseño donde se aprecian mejoras significativas de las prestaciones de retardo y consumo energético, en las que se puede considerar que la variabilidad *chip-a-chip* y *on-chip* resulta similar a las presentadas por otras tecnologías comerciales.

A partir del análisis teórico y de la experiencia adquirida durante el diseño e implementación de sumadores se concluye una metodología a seguir en las fases de diseño circuital y físico, a la hora de aplicar el concepto FTL a otros circuitos aritmético/lógicos, que resulta de gran valía para disminuir los tiempos de diseño ante quienes se enfrenten por primera vez al diseño con este tipo de lógicas. Con este mismo objetivo se han modelado y caracterizado los sumadores FTL. Los modelos de comportamiento desarrollados en esta tesis doctoral, tanto para retardo como para potencia, así como los procedimientos seguidos para parametrizar la caracterización, son totalmente extrapolables a otros circuitos.

Índice de Contenidos

I Introducción	1
1 Introducción	3
1.1 Evolución de los Sistemas Integrados	3
1.2 Análisis del sector	5
1.3 Antecedentes y estado actual de los conocimientos científico-técnicos	7
1.4 Objetivos	14
1.5 Estructura de la memoria de tesis	15
II Aportaciones	17
2 Evaluación de la lógica FTL	19
2.1 Principio de funcionamiento	19
2.2 Estructuras propuestas	22
2.3 Análisis del inversor	26
2.4 Campo de aplicación	44
3 Sumadores RCA	47
3.1 Diseño	48
3.2 Implementación	57
3.3 Caracterización de sumadores RCA en FTL	69
3.4 Análisis de sensibilidad	84
4 Fabricación y Medidas	99
4.1 Descripción del <i>test-set</i>	99
4.2 Procedimiento de medida	102
4.3 Resultado de las medidas	112
4.4 Estimación de prestaciones en base a medidas obtenidas	114
III Discusión	125
5 Conclusiones y Líneas Futuras	127
5.1 Conclusiones	127
5.2 Líneas Futuras	135

IV Anexos **141****Publicaciones** **143**

CMOS Technology, NOVA Science Publ., 2010 (Cap.libro)	143
IEEE Trans. Circuits and Systems II, 2007 (Art. revista)	177
Microelectronics Journal, 2007 (Art. revista)	183
ASP J. Low Power Electronics, 2006 (Art. revista)	191
IEEE Asian Solid-State Circuits, 2008 (Conf.)	199
Design of Circuits and Integrated Circuits, 2008 (Conf.)	203
IEEE Midwest Symp. on Circ. and Systems, 2007 (Conf.)	209
IEEE Midwest Symp. on Circ. and Systems, 2006 (Conf.)	213
Design of Circuits and Integrated Circuits, 2005 (Conf.)	217

Índice de Figuras

1.1	Ley de Moore (límite tecnológico) en sistemas integrados.	6
1.2	Productividad vs límite tecnológico en sistemas integrados.	6
1.3	Volúmen de producción frente a <i>time-to-market</i> en sistemas integrados.	7
1.4	Más allá de la Ley de Moore.	10
2.1	Estructura básica FTL.	20
2.2	Transiciones en la cadena de inversores FTL.	21
2.3	Estructuras FTL propuestas.	23
2.4	Análisis del inversor FTL.	26
2.5	Modelo para la estimación del retardo de propagación.	27
2.6	Corrientes de carga y descarga para la estimación de retardos.	30
2.7	Resultados de simulación de una cadena de inversores CMOS y FTL, tiempo de propagación.	34
2.8	Resultados de simulación de una cadena de inversores CMOS y FTL, producto retardo–potencia.	35
2.9	Márgenes de ruido de CMOS, pseudo-nMOS y FTL.	39
2.10	Efecto del desequilibrio por diferencias de carga en cadena de inversores FTL.	43
3.1	Esquemático de los sumadores Ripple Carry Adder en familias lógicas FTL.	49
3.2	<i>Layout</i> de las celdas RCA usando trazados de alta simetría.	62
3.3	<i>Layout</i> de las celdas RCA usando trazados compactos.	66
3.4	Tipos de desequilibrio en FTL.	71
3.5	Retardo de evaluación en sumadores FTL.	74
3.6	Punto de desequilibrio frente al tiempo de precarga en sumadores FTL.	76
3.7	Consumo dinámico en sumadores FTL.	79
3.8	Sensibilidad del retardo de propagación en domino, CMOS y FTL frente al número de bits.	85
3.9	Sensibilidad del retardo de propagación en domino, CMOS, y FTL frente a parámetros de diseño.	87
3.10	Efecto del acoplamiento capacitivo en sumadores FTL.	91
3.11	Formas de onda obtenidas con variaciones del proceso tecnológico y <i>mismatch</i> de los dispositivos.	95
3.12	Retardo de propagación frente al número de bits del sumador en simulaciones Montecarlo.	96
3.13	Número de iteraciones que muestran desequilibrio considerando variaciones del proceso tecnológico y <i>mismatch</i> de los dispositivos.	97
4.1	Microfotografía del circuito fabricado.	100
4.2	Detalle del <i>test-set</i> .	101
4.3	Medidas de retardo: (a) variaciones <i>chip-a-chip</i> , (b) variaciones <i>on-chip</i> .	113

- 4.4 Estimación de prestaciones en base a medidas y caracterización *postlayout*. 115

Índice de Tablas

2.1	Estimación de los parámetros del modelo de retardo para la inversores CMOS, pseudo-nMOS y FTL.	31
2.2	Tiempos de propagación para cadena de 20 inversores CMOS, pseudo-nMOS y FTL.	32
2.3	Márgenes de ruido y tensiones de entrada a nivel bajo y alto de CMOS, nMOS, y FTL.	40
3.1	Comparación de los sumadores RCA en lógica dinámica dominó, CMOS, pseudo-nMOS y FTL.	54
3.2	Resultados de la simulación <i>postlayout</i> empleando trazados de alta simetría.	63
3.3	Resultados de la simulación <i>postlayout</i> empleando trazados compactos.	67
3.4	Factores de desequilibrio de los sumadores FTL en función del tipo de desequilibrio.	73
3.5	Resultados de la caracterización de sumadores FTL de trazado de alta simetría.	83
3.6	Resultados de la caracterización de sumadores FTL de trazado compacto.	83
3.7	Variación absoluta de retardo en sumadores FTL, CMOS y dominó.	87
3.8	Variación relativa de retardo en sumadores FTL, CMOS y dominó.	88
3.9	Sensibilidad de sumadores FTL frente a acoplamiento capacitivo de señales digitales de alta frecuencia.	90
4.1	Medidas de retardo de las celdas de referencia.	104
4.2	Medidas de retardo de las celdas FTL <i>HS0</i>	105
4.3	Medidas de retardo de las celdas FTL <i>HS06</i>	106
4.4	Medidas de retardo de las celdas FTL <i>LP0</i>	106
4.5	Medidas de retardo de las celdas FTL <i>LP06</i>	107
4.6	Medidas de retardo de las celdas FTL <i>LP06_0</i>	107
4.7	Activación y desactivación de bloques lógicos N y P según los casos de propagación y generacion de acarreo.	108
4.8	Corriente medida por el <i>chip</i> según los casos de propagación y generacion de acarreo.	109
4.9	Corrientes medidas por la alimentación de las celdas de referencia.	110
4.10	Corrientes medidas por la alimentación de $1.2V$ de las celdas FTL.	111
4.11	Corrientes medidas por la alimentación de $0.6V$ de las celdas FTL.	112
4.12	Ventaja de retardo de los sumadores FTL en base a las medidas de <i>chip</i>	114
4.13	Consumos estáticos y dinámicos medidos de los circuitos fabricados.	114
4.14	Factor de desequilibrio promedio en base a las medidas.	117
4.15	Factores de corrección simulación-medidas y trazado simétrico-compacto.	118

4.16 Estimación de prestaciones, en base a medidas y caracterización, para el máximo número de bits sin desequilibrio de sumadores con trazado de alta simetría	119
4.17 Estimación de prestaciones, en base a medidas y caracterización, para el máximo número de bits sin desequilibrio de sumadores con trazado compacto.	121
4.18 Comparación de prestaciones de los sumadores FTL con otros sumadores de altas prestaciones	123

Parte I

Introducción

Capítulo 1

Introducción

Índice General

1.1	Evolución de los Sistemas Integrados	3
1.2	Análisis del sector	5
1.3	Antecedentes y estado actual de los conocimientos científico-técnicos	7
1.3.1	Antecedentes	7
1.3.2	Estado del arte	10
1.4	Objetivos	14
1.5	Estructura de la memoria de tesis	15

Resumen: La presente tesis se centra en el estudio de una nueva familia lógica de altas prestaciones para tecnologías CMOS, basada en el concepto de lógica anticipada (*feedthrough*). En este Capítulo dirigiremos nuestra atención hacia la motivación y los objetivos perseguidos con el desarrollo de esta tesis, y en la estructura de esta memoria.

1.1 Evolución de los Sistemas Integrados

El desarrollo de sistemas integrados ha sido uno de los campos de mayor evolución en las últimas décadas, sentando las bases, en gran medida, del *boom* tecnológico del que todos hemos sido partícipes. Nuevas aplicaciones y nuevos mercados se hacían posibles gracias al avance de las tecnologías integradas en el campo de la computación y de las comunicaciones, y con ello, nuevos retos tecnológicos se sucedían constantemente.

El desarrollo de las tecnologías de la comunicación, y particularmente el auge de internet y de las comunicaciones móviles, aceleró la investigación y el desarrollo de aplicaciones multimedia y de sistemas portátiles. En pocos años se asistió a una espectacular eclosión en el campo de la computación: los ordenadores incrementaban sus capacidades de cómputo día a día, los sistemas operativos aprovechaban las capacidades gráficas de las nuevas tecnologías y facilitaban la integración de los usuarios en la informática, las aplicaciones software se ponían al alcance de todos a unos precios muy competitivos y dentro de las posibilidades económicas de una gran mayoría, y el acceso a la información era más fácil que nunca con la evolución de la red de redes. Los ordenadores personales (PC, *Personal Computer*) dejaron de pertenecer exclusivamente al ámbito profesional y

se incorporaron a la vida cotidiana al proporcionar entretenimiento y comunicación entre sus usuarios.

En un principio los esfuerzos tecnológicos estaban dirigidos hacia dos puntos clave: reducir el tamaño de los dispositivos, incrementando la capacidad de integración, para así poder desarrollar sistemas más complejos; y conseguir dispositivos capaces de operar a mayores frecuencias de trabajo, para mejorar la velocidad de cómputo de los sistemas, inicialmente muy limitada a unos pocos millones de operaciones por segundo. El escalado de las tecnologías actuó durante esta etapa como el principal motor del desarrollo tecnológico, conforme los dispositivos de menor tamaño permitían mejorar tanto la integración como obtener dispositivos más rápidos para una restricción de área dada. No obstante, fue la época también del desarrollo de nuevas tecnologías y dispositivos, de la investigación de nuevos materiales, y del nacimiento de varias familias lógicas de alta velocidad.

Las tecnologías CMOS se perfilaban como las idóneas para sistemas complejos, pero constantemente salían a la luz nuevas tecnologías que ponían de manifiesto las ventajas, sobre todo en términos de velocidad, de otras soluciones tecnológicas. Tecnologías bipolares, tecnologías InP y GaAs, heterouniones, dispositivos de alta movilidad de electrones (HEMT, *High Electron Mobility Transistor*) o tecnologías BiCMOS son sólo algunas de las tecnologías que surgieron durante la época y que obtuvieron mayor éxito en el diseño de sistemas integrados. Todo ello fomentó un interés creciente por la investigación de nuevas familias lógicas, bien fuese para explotar las características de las tecnologías CMOS o para permitir modos de operación más efectivos en las tecnologías emergentes: estilos lógicos dinámicos (dominó), lógicas diferenciales (CVSL), DCFL, registros y latches de alta velocidad, registros y latches de una única fase de reloj, son algunos de los más importantes estilos de diseño. Por último, se propusieron soluciones también tanto a nivel arquitectural como de herramientas de diseño: sumadores paralelos de prefijo (BKS, KGS, MCC) o CSA multinivel, herramientas de diseño para la optimización de retardos, técnicas para reducir la dispersión del reloj, segmentación y parallelización de operaciones, son algunas de las propuestas de alto nivel en las que mayores esfuerzos se realizaron.

El desarrollo tecnológico no dejaba de sorprender, pues no sólo permitía desarrollar sistemas cada vez más complejos o incrementar la velocidad de los procesadores, sino que también abría campo al desarrollo de sistemas de tamaño muy reducido con prestaciones computacionales cada vez más notables. Las aplicaciones portátiles, inicialmente muy limitadas en capacidades de cómputo y procesado gráfico, se convirtieron así en una de las principales demandas tecnológicas en el sector, y rápidamente entró en juego también el consumo de potencia como un factor determinante en los requisitos de los sistemas integrados. Consolas de videojuego, ordenadores portátiles y teléfonos móviles fueron sin lugar a dudas los principales motores del rápido desarrollo que obtuvo este sector, promovido por el alto impacto social y la fuerte demanda de dichos productos. Todas estas aplicaciones portátiles precisan de tecnologías con características a su vez de bajo consumo y alta velocidad, en lo que se han denominado *tecnologías de altas prestaciones*¹.

La elevada capacidad de integración alcanzada por medio del continuo escalado de

¹si bien se habla comúnmente de tecnologías de bajo consumo, este nuevo concepto recoge aquellas tecnologías que, aun presentando consumos significativos, proporcionan mecanismos de reducción del consumo energético y han sido desarrolladas atendiendo a una optimización en la que la potencia es considerada un importante parámetro de diseño.

las tecnologías pronto permitió construir sistemas completos dentro de un sólo chip. Los dispositivos eran cada vez más pequeños y centenares, incluso miles, de millones de transistores podían integrarse dentro de los chips. Este nuevo panorama daba lugar a que sistemas muy complejos, formados incluso por potentes procesadores y sistemas de comunicaciones pudiesen integrarse en un único circuito integrado. Esto planteaba nuevos retos tecnológicos, principalmente concentrados en la reducción y disipación del consumo energético producido por sistemas con tal cantidad de dispositivos integrados. Si bien inicialmente el interés se centraba en la reducción de consumos dinámicos, pronto se hizo patente la necesidad de reducir también los consumos estáticos conforme el escalado tecnológico hacía que cada vez estos fuesen más significativos. Se presentaron soluciones tanto a nivel tecnológico, como de diseño, e incluso software, entre las que destacan las tecnologías de transistores multi-umbral (MTCMOS, *Multi-Threshold CMOS*), o de umbral variable (VTCMOS, *Variable-Threshold CMOS*), la optimización de vectores de entrada, las técnicas de conmutación de alimentación (*power gating*) o de enmascaramiento de la señal de reloj (*clock gating*), y la introducción de modos de bajo consumo (*sleep transistors*)

De esta forma las tecnologías de altas prestaciones se han consolidado como esenciales elementos de diseño no sólo para aplicaciones portátiles, sino también para el diseño de sistemas en chip (*SoC, System-on-Chip*).

1.2 Análisis del sector

Bajo esta sección se subraya el interés en esta tesis dentro del panorama actual de la fabricación de circuitos integrados de altas prestaciones. Los requisitos que plantean los sistemas integrados implican un esfuerzo conjunto: no sólo se buscan circuitos de alta velocidad, sino que el consumo y el área empleada también son importantes parámetros de diseño. Se precisan tecnologías capaces de soportar muy altas escalas de integración para dar cabida a los complejos sistemas diseñados.

El análisis del sector recogido en el International Roadmap for Semiconductors [1], es una importante fuente de referencia a la hora de evaluar las tendencias y objetivos prioritarios en el desarrollo de las tecnologías de semiconductores. En su resumen ejecutivo se recoge un movimiento de las tecnologías hacia longitudes de puerta cada vez menores. Sin embargo, en el mismo se indica que si bien este ha sido el motor principal en la mejora de prestaciones de los circuitos integrados en el pasado, en la actualidad, el sector empieza a tropezarse con importantes conflictos de difícil solución mientras no se introduzcan mejoras significativas en los procesos de fabricación. Con el fin de mantener el ritmo de crecimiento estimado por la Ley de Moore se hacen necesarios nuevos avances tecnológicos capaces de contrarrestar los efectos del escalado tecnológico (ver Figura 1.1)

Algunos objetivos para medio plazo son la mejora en las tecnologías de interconexiónado, así como la mejora de dispositivos para ofrecer, entre otros, mayor capacidad de *drive*, capaz de afrontar con menor variación de retardo el incremento de carga que supone conexiónado, que en la actualidad es muy superior a las capacidades de los propios dispositivos. Estos aspectos son los que actualmente limitan en mayor parte la profundidad de lógica entre etapas de segmentación, y por tanto, limitan la complejidad de cómputo y procesamiento de los sistemas actuales.

En los últimos años se ha puesto bastante énfasis en acercar los límites de los sistemas a los ofrecidos por las tecnologías. La Figura 1.2 refleja la evolución en el tiempo de

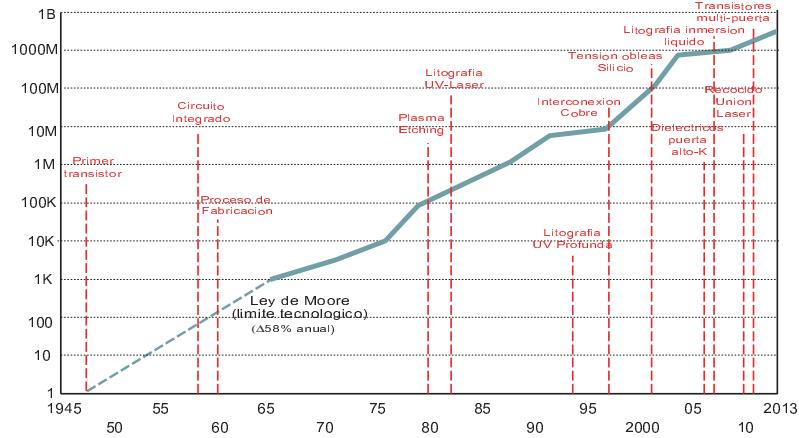


Figura 1.1: Ley de Moore (límite tecnológico) en sistemas integrados.

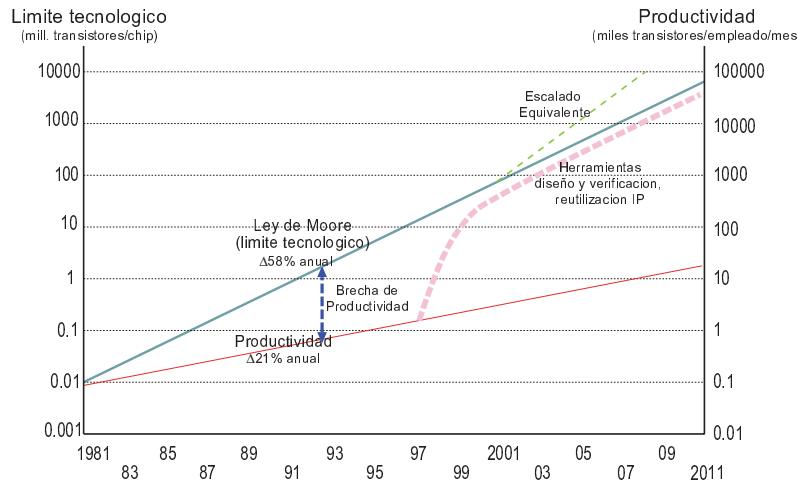


Figura 1.2: Productividad vs límite tecnológico en sistemas integrados.

la capacidad productiva en las tecnologías frente al crecimiento previsto de acuerdo con la tecnología de fabricación. Se puede apreciar como existe un claro desajuste entre el potencial ofrecido por la tecnología y el nivel de complejidad que se alcanza. Ello se debe a que las herramientas de diseño y verificación no son capaces de manejar toda la complejidad –medida en número de dispositivos, o de funciones realizables– que permiten las tecnologías.

Sin embargo, la aparición de nuevas herramientas en el tiempo y la reutilización de núcleos IP permiten estrechar esta separación. Gracias al esfuerzo que se ha realizado en el desarrollo de estas herramientas desde el año 1997, cada vez nos acercamos más a los límites tecnológicos, y el desarrollo de sistemas, puede decirse que en la actualidad, se ve frenado por las limitaciones tecnológicas. La introducción de nuevas herramientas repercute además en una reducción de los costos de producción.

En un entorno fuertemente competitivo, donde múltiples fabricantes se disputan el mercado, y la tecnología empleada es similar para todos ellos, el *time-to-market*² resulta

²Se define el *time-to-market* como el tiempo que transcurre desde que se define un producto hasta

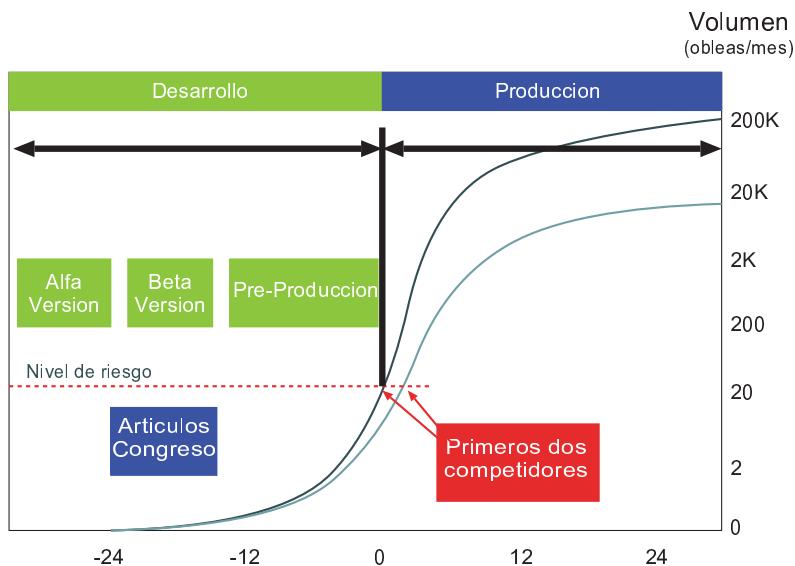


Figura 1.3: Volumen de producción frente a *time-to-market* en sistemas integrados.

de una importancia tremenda. En la Figura 1.3 se aprecia como repercute el tiempo de desarrollo de un sistema integrado en la cuota de mercado: el competidor que consigue sacar el producto primero obtiene un nivel de producción/ventas muy superior al que obtiene el siguiente competidor en el mercado.

El desarrollo de nuevas tecnologías y su aparición comercial plantea a su vez la necesidad de incorporar no sólo nuevas herramientas, sino también, librerías tecnológicas a las herramientas de diseño. Cada aparición de una nueva tecnología, ya sea debida a un nuevo proceso tecnológico, bien a una nueva familia lógica, ha de ir seguida de una fase de desarrollo de estas herramientas que permitan disminuir los tiempos de diseño de los SoC. Es por ello que se acompañe el estudio teórico/práctico con el desarrollo de nuevas herramientas, librerías y metodologías. Cuanto antes se faciliten las herramientas que puedan dar soporte a la nueva familia lógica FTL-CMOS, antes será la repercusión de la misma en el tejido industrial y antes nos veremos beneficiados de sus posibles ventajas.

1.3 Antecedentes y estado actual de los conocimientos científico-técnicos

1.3.1 Antecedentes

Los antecedentes de la lógica FTL se enmarcan en el desarrollo de las tecnologías de los semiconductores de las familias III/V, y por tanto para situar el nacimiento de este reciente estilo lógico hemos de indicar brevemente el diferente crecimiento de, al menos, las principales tecnologías actuales. De éstas, las más destacables son las basadas en dispositivos MOSFET, BJT y MESFET, presentando cada una de ellas distintas características en sus dispositivos.

que finalmente llega al mercado.

La tecnología CMOS dispone de transistores MOSFET de tipo N y P, cuyo principio de funcionamiento fue propuesto y patentado por J.E. Lilienfeld (1930) y O. Heil (1935). Los experimentos con dicho dispositivo llevaron posteriormente al descubrimiento del transistor bipolar (BJT), con la consiguiente pérdida de interés en el MOSFET. Hasta 1967, diversos problemas retrasaron la entrada de la tecnología MOS para usos comerciales, y la complejidad relativa de CMOS respecto a las lógicas unipolares (nMOS) relegaba a CMOS a aplicaciones digitales de muy bajo consumo. En aplicaciones LSI, la tecnología TTL basada en el transistor bipolar tenía una amplia aceptación, pero la imposibilidad de desarrollar circuitos con mayor número de transistores debido al excesivo consumo, junto con el aumento de complejidad que sufrían respecto a los procesos nMOS, favorecieron la consolidación de la tecnología CMOS como la más importante en el desarrollo de circuitos de alta escala de integración, o VLSI³.

Durante estos últimos 5 años, al margen de la reducción de las dimensiones de los transistores hacia escalas nanométricas, se han realizado mejoras en los procesos de fabricación, con el fin de lograr dispositivos con mejores prestaciones de conmutación sin incremento de consumo estático por fugas de corrientes. Consecuentemente, el aumento de las frecuencia de reloj y el incremento en los niveles de integración ha impulsado el desarrollo de microprocesadores con múltiples núcleos.

La tecnología BiCMOS, al principio de la década de los noventa competía por hacerse un hueco en el ámbito digital, aunque en la actualidad, no compite comercialmente debido al incremento de costos de fabricación⁴. La tecnología es una combinación de estructuras lógicas CMOS con entradas/salidas bipolares que incrementan la velocidad de los circuitos y sistemas, a costa de una mayor complejidad del proceso tecnológico y del consumo de potencia.

Sin embargo, la amplísima difusión de los procesos de fabricación de tecnologías CMOS, prácticamente, ha neutralizado cualquier intento de competencia desde un principio, principalmente por la importantísima ventaja del coste de fabricación. Este hecho ha sustentado en gran parte el desarrollo de sistemas hasta prácticamente la actualidad. Sin embargo, el estudio los materiales semiconductores de la familia III/V como el Arseniuro de Galio (GaAs), despertaron cierto interés en el ámbito digital, ya que gozan de mejores características de conmutación que el Silicio⁵. En estas tecnologías se dispone de transistores MESFET tipo N de enriquecimiento y empobrecimiento (E/D-MESFET), obligando a utilizar lógicas que se caracterizan por un alto consumo de potencia en régimen estático aunque con inmejorables prestaciones de consumo dinámico y frecuencias límite de trabajo, resultando por lo tanto de gran interés en aplicaciones que requieran de altas frecuencias de trabajo. No obstante, sus características de consumo estático y tipos de lógica empleadas no las hacen atractivas para los requisitos de muy alta escala de integración.

El desarrollo tecnológico de los procesos CMOS, si bien ha continuado avanzando, es evidente que se acerca cada vez a más a los límites físicos. Aunque es una temeridad adelantar cuál es el nodo tecnológico límite, parece evidente que la sucesiva reducción del grosor de la capa de óxido de las puertas tiene los días contados. Si se quiere mantener la tendencia actual de la Ley de Moore, no queda otra que seguir reduciendo el grosor

³Acrónimo de *Very Large Scale of Integration*. Se denominan así a los circuitos y sistemas de entre aproximadamente 400000 y 2 millones de celdas básicas.

⁴Una dificultad inherente es la necesidad de añadir etapas de fabricación extra al proceso CMOS a fin de optimizar los dispositivos BJT y MOS.

⁵En el ámbito analógico para aplicaciones de muy alta frecuencia –RF y microondas– y robustas a la radiación no se discute su predominio.

del óxido de puerta, pero los límites empiezan a frenar esta tendencia cuando la capa de óxido se aproxima a la longitud de unos pocos átomos. Lo que en su momento fue la gran ventaja de la tecnología CMOS, su inexistente corriente de fuga, se transforma en su mayor enemigo. Para combatirlas la tensión de alimentación debe escalarse inversamente con el tamaño de los transistores. Con ecuaciones básicas de electromagnetismo, se entiende que la capacidad efectiva del transistor se verá reducida, y se incrementará el ruido térmico, con la consecuente reducción de los márgenes de ruido. En su momento, ya se sabía que a partir de tecnologías de 180nm el retardo debido al conexionado de las señales comienza a ser mucho más importante que el propio retardo de los dispositivos. Las previsiones tecnológicas para el 2017 en circuitos VLSI, de acuerdo al Technology Roadmap for Semiconductors [1], indican incrementos en términos de densidad de integración, velocidad y consumo⁶ que el escalado no ideal de los procesos CMOS, junto con las dificultades de interconexión y encapsulado no puede afrontar de forma inmediata. Por todo lo anterior, la investigación y desarrollo en otras tecnologías, estructuras lógicas y arquitecturas que fuesen más allá de la Ley de Moore y de los límites físicos de CMOS han empezado a tener su espacio en estos últimos años.

Ya no sólo hablamos de incrementar las prestaciones de los sistemas integrados mediante el escalado geométrico de las tecnologías, sino que se plantean otras soluciones como las tecnologías de transistores en 3D, que plantean una forma de escalado equivalente alternativa al escalado geométrico, o el diseño de bajo consumo (*sleep transistors*, *clock gating*, *multi-V_{dd}* o *multi-V_{th}*, etc.) y soluciones *multi-core* SoC, que logran un escalado equivalente a nivel de diseño. Estas técnicas, dentro de las que se enmarca esta tesis, se han hecho necesarias para sostener el crecimiento esperado según la Ley de Moore en los últimos años. Por otra parte, la integración de funciones analógicas (RF, señal mixta, MEMS, etc.) son ejemplos claros de otro tipo de integración que permite hacer crecer a los sistemas integrados más allá de la Ley de Moore (véase Figura 1.4).

El estudio de las tecnologías de la familia III/V ha permitido que nuevas tecnologías, además de GaAs, se hayan desarrollado con cierta intensidad, destacando entre ellas la tecnología de InP. Las tecnologías bipolares se han beneficiado de los avances en heterouniones y compuestos de estos semiconductores, llegando al desarrollo de las tecnologías HBT. Son ejemplos de alternativas tecnológicas más allá de la Ley de Moore. Por otro lado, y a nivel lógico, existen técnicas que permiten incorporar las ventajas de las tecnologías de GaAs en diseños VLSI. Las técnicas Fast Feed Through Logic, FTL, desarrolladas en tecnologías GaAs, han permitido superar muchos inconvenientes que limitaban el uso de dispositivos MESFET en sistemas VLSI, hasta tal punto que actualmente se han mostrado resultados que indican mejores prestaciones de sistemas en FTL sobre GaAs frente a sus equivalentes en tecnologías CMOS. Las primeras publicaciones documentadas sobre este estilo lógico datan de 1994, si bien en los últimos años han aparecido diversos artículos de los autores originales en revistas tan prestigiosas como las IEEE Transactions on Circuits and Systems. En los últimos 5 años, otros autores han propuesto otras aplicaciones técnicas del concepto FTL, tanto a nivel digital como analógico –conversores SAR basados en comparadores de umbral.

Este estilo lógico, en su momento aplicado a tecnologías GaAs, ha permitido superar muchos de los principales problemas asociados con las lógicas dinámicas en esas tec-

⁶Se consideran niveles de integración de hasta 8575 millones de transistores por centímetro cuadrado, hasta 73573 millones de transistores por *chip* para procesadores de altas prestaciones y diseños de aplicación específica (ASICs), longitudes de puerta de 17nm (14nm físico), reloj local de 4.7GHz y disipación de potencia de 130W.

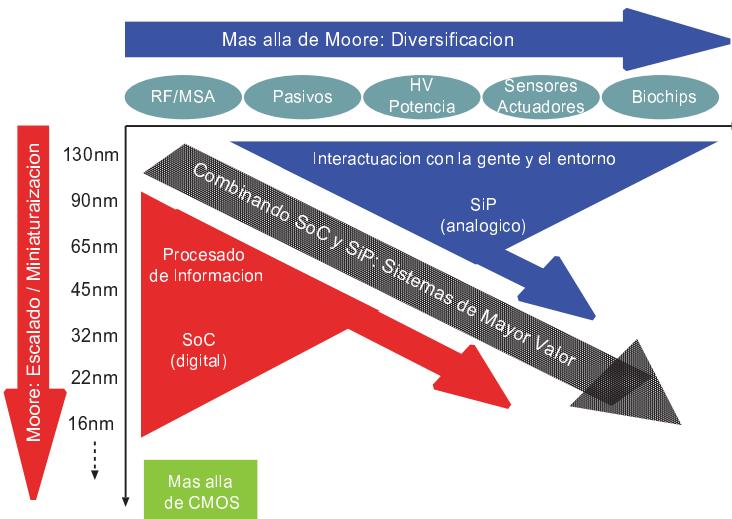


Figura 1.4: Más allá de la Ley de Moore.

nologías, tales como la redistribución de cargas o las corrientes de fugas. Además, el principio de funcionamiento en el que se sustenta FTL permite reducir considerablemente los retardos por puerta, obteniéndose circuitos mucho más rápidos. Por otra parte, este tipo de lógica no necesita de inversores entre etapas, característica típica de los estilos lógicos dominó. Todo ello supone una mejora tanto en velocidad como en área en los diseños realizados al utilizar el estilo lógico FTL.

1.3.2 Estado del arte

De entre las diversas técnicas surgidas para superar las limitaciones de las familias lógicas en GaAs, FTL ha demostrado ser notablemente superior al resto, obteniendo inferiores retardos, consumos de potencia y áreas. Los artículos aparecidos en el 2004 [2] arrojan resultados en tecnologías GaAs que superan en prestaciones de velocidad a los diseños equivalentes en tecnologías CMOS obteniéndose Factores de Mérito⁷ de cierto interés. FTL puede enmarcarse dentro del grupo de familias lógicas dinámicas.

Estas familias se han desarrollado de forma notable en décadas pasadas para extender las prestaciones y acercarse más a los límites tecnológicos. Las ventajas en prestaciones y aprovechamiento de los límites tecnológicos de las familias dinámicas son bien conocidas por los desarrolladores, si bien, para su óptimo aprovechamiento y que exista un efectivo uso industrial, es necesario proveer de las herramientas y librerías de diseño adecuadas, siendo éste un trabajo de cuidada caracterización y análisis a fin de garantizar una buena fiabilidad en los diseños. Por otra parte, las familias FTL han aparecido, recientemente, y se han presentado como un serio candidato en cuanto a mejoras que ofrecen en otras tecnologías. Pero un análisis en profundidad se hace necesario para adecuar la misma a su integración en SoC, usando tecnologías CMOS y manteniendo la fiabilidad.

A mediados de los noventa, los principales investigadores en esta línea son Juan A. Montiel-Nelson y Saeid Nooshabadi, tal como reflejan las publicaciones aparecidas.

⁷Un Factor de Mérito es el producto retardo, potencia y área activa de un circuito, como medida de mérito del mismo a fines de comparación entre diversas tecnologías, familias lógicas o estructuras de cómputo.

Pero en la actualidad, la línea de desarrollo y las publicaciones existentes demuestran el interés aún abierto en el estudio de la aplicación del concepto FTL con fin de superar las prestaciones de los circuitos actuales. Comparando las características de retardo (tp), potencia rms, consumo estático, área activa y Factor de Mérito (FoM) de las puertas básicas (inversores) de los estilos lógicos que sirven de referencia de dos tecnologías de uso reciente en GaAs⁸ y CMOS⁹, se observa un consumo casi estático en tecnologías GaAs, lo cual indica que sólo habrá ventaja comparado con los estilos lógicos *Full-Complementary* de tecnologías CMOS cuando se trabaja a frecuencias suficientemente altas. FTL permite superar en prestaciones al estilo DCFL en las tecnologías GaAs, alcanzando las prestaciones, medidas en Factor de Mérito (FoM), a las de las tecnologías CMOS pero extendiendo su campo de aplicación a circuitos de muy alta velocidad. Sin embargo, esta tecnología presenta elevados consumos estáticos, y por tanto, tiene límites de integración, siendo esta una demanda actual y futura para el desarrollo de sistemas complejos.

Este hecho, unido a que los estudios del sector¹⁰ señalan que los procesos CMOS seguirán siendo el soporte tecnológico, suscitan el interés por aplicar el estilo FTL a tecnologías CMOS. Con ello se pretende no sólo acercar las ventajas de FTL a tecnologías de menor coste, sino también más adecuadas a la demanda en los requisitos de integración de las aplicaciones actuales y futuras, mejorando las prestaciones que son capaces de alcanzarse en dicha tecnología, como ha sucedido con la aplicación del concepto FTL en tecnologías GaAs. Este mismo principio FTL, de ser empleado en tecnologías CMOS, podrá mejorar las prestaciones de los circuitos implementados, mejorando su velocidad y bajo ciertas restricciones su producto retardo-potencia-área ya que la aplicación del concepto FTL de por sí no añade consumo ni área apreciable en celdas de cierta complejidad, pero con la ventaja de obtener estas prestaciones sobre tecnologías CMOS de gran difusión y, por tanto, considerablemente más económicas.

Hasta finales del 2005 toda la bibliografía existente se enmarca en el contexto de la aplicación del principio FTL sobre tecnologías GaAs, no existiendo referencias previas que justifiquen la viabilidad de diseño, ventajas, campo de aplicación y limitaciones, así como un estudio serio y en profundidad que permita emplear dicho estilo lógico con un alto grado de fiabilidad en las tecnologías de mayor difusión e impacto en el mercado y menor coste, como CMOS. Sin embargo, el principio FTL puede ser aplicado a otras tecnologías, si bien para ello se ha de realizar el correspondiente análisis, diseño y optimización que permita acometer esta adaptación, así como para establecer las pautas de diseño, el campo de aplicación y los límites que impone dicho cambio tecnológico.

Los primeros estudios realizados sobre FTL en tecnologías CMOS son esperanzadores: los resultados presentados en esta tesis arrojan mejoras significativas en términos de retardos de propagación comprendidas entre 5 y 10 veces, permitiendo incrementos de las frecuencias máximas de trabajo próximos a 3 veces, manteniendo el producto retardo-potencia-área, y reduciendo el consumo de energía en un 30%. Además, la familia lógica FTL propuesta sobre tecnologías CMOS resulta menos sensible frente a la capacidad de carga que la familia lógica CMOS convencional, lo que permite mejorar las prestaciones de los circuitos en tecnologías submicra profunda, reduciendo el retardo debido a las fuertes cargas que supone el interconexión de los dispositivos.

⁸HGaAs-IV de Vitesse Semiconductor Corporation.

⁹1.8V/3.3V Mixed Signal SALICIDE 1P6M+ de 0.18μm de Taiwan Semiconductor Manufacturing Company, TSMC.

¹⁰Según el International Roadmap for Semiconductors 2012

La lógica FTL, tal y como fue concebida por los autores originales, es mucho más rápida y eficiente que las lógicas dinámicas, fundamentalmente, por tres razones: a) sólo requieren transistores NMOS, y por tanto la carga queda reducida; b) no requiere el uso de inversores entre etapas, y c) la salida es pre-evaluada antes de que las entradas de la etapa previa estén disponibles. Además de todo lo anterior, el margen de ruido estático es el mismo que el de lógicas no dinámicas.

La ganancia en retardo de la lógica FTL se mantiene mientras la señal de reloj esté igualmente de retrasada que la de los datos. En cuanto, el reloj comienza a retrasarse, el comportamiento de la lógica FTL tiende hacia la lógica convencional. Este último concepto ya fue analizado por los autores originales, y a lo largo del 2009 y 2010, las publicaciones basadas en FTL han introducido modificaciones para mejorar la sincronización y aumentar la profundidad de la lógica. Por otro lado, prescindiendo de cualquier artefacto orientado a mantener la sincronía entre la ruta de datos y la del reloj –señal de pre-evaluación– se demuestra a lo largo de esta tesis que los desequilibrios de carga entre etapas determinan la profundidad de la lógica. La pérdida de sincronía conlleva la pérdida de pre-evaluar las salidas, y por tanto el comportamiento de la lógica es el convencional. De hecho, las salidas se pre-evalúan, pero de forma incorrecta hasta que se produce la evaluación final, la cual no depende del desequilibrio de cargas. Estos espúreos indeseados, o *glitches*, tienen asociados el consiguiente incremento de potencia dinámica.

A pesar de los interesantes resultados y conclusiones obtenidas al aplicar el concepto FTL a tecnologías CMOS, se requiere analizar la estabilidad, inmunidad frente a ruidos, las prestaciones, es decir, realizar un estudio teórico y práctico riguroso a fin de prever las posibles limitaciones y campo de aplicación, realización de librerías de diseño, modelado y caracterización de las mismas, así como generación de herramientas que permitan la automatización con fin a que su utilización e impacto en el diseño de circuitos integrados de altas prestaciones se vea reflejado en los productos del mercado en años próximos. Estos aspectos son abordados en la presente memoria de tesis y han sido objeto del trabajo de investigación.

Publicaciones propias y ajenas en el desarrollo de la tesis

A lo largo del desarrollo de esta tesis, los resultados de esta línea de investigación han sido publicados en diversas revistas científicas especializadas¹¹, en un capítulo de libro¹², así como en múltiples congresos científicos especializados¹³.

En concreto, el capítulo de libro [6] resulta un resumen muy completo de la lógica FTL, donde se presentan tanto las familias lógicas de alta velocidad como las de bajo consumo, se detalla su principio de funcionamiento y se analiza teórica y prácticamente su ventaja sobre otras familias lógicas, se profundiza en el análisis de sensibilidad a variaciones de parámetros tanto globales (alimentación, fanout, temperatura, etc.) como locales (*mismatch*), y se presentan los resultados de las prestaciones estimadas en base a la simulación y medida de *chips* fabricados. Además, se comparan dichas prestaciones con las de otros sumadores de altas prestaciones que superan en eficiencia energética, velocidad y consumo a sumadores Brent-Kung, Kogge-Stone o Sklansky.

¹¹Journal of Low Power Electronics [9], IEEE Transactions on Circuits and Systems II [4], Microelectronics Journal [5].

¹²CMOS Technology, de la editorial NOVA Science Publishers [6].

¹³Conference on Design of Circuits and Integrated Systems [7, 8], IEEE Midwest Symposium on Circuits and Systems [9, 10], IEEE Asian Solid-State Circuits Conference [11].

Al margen de las publicaciones a que ha dado lugar esta tesis, hasta la fecha de revisión de la actual memoria de tesis se constatan una docena de artículos publicados en conferencias y revistas basados en FTL, todos ellos referenciando publicaciones aparecidas como consecuencia de esta tesis doctoral, lo que avala que la línea de investigación y los resultados obtenidos han suscitado el interés de la comunidad científica en esta familia lógica. De entre estas publicaciones se profundizará en aquellas que suponen una aplicación y mejora significativa fundada en la publicación original de los autores Juan A. Montiel-Nelson y Saeid Nooshabadi, y del doctorando Víctor Navarro-Botello.

Destacan entre todas ellas, por su relevancia, los trabajos de Chuan [12, 13, 14] presentando dos familias lógicas, CD y DFTL, combinando FTL con CMOS y dominó. En [12] se presenta el diseño de un sumador Sklansky de 64-bits utilizando *DFTL*, que es la denominación de un nuevo estilo lógico en el que se mezcla la lógica dinámica con FTL en tecnologías CMOS. Para limitar el consumo de potencia en las celdas FTL de alta velocidad, y no degradar así las prestaciones cuando ésta no opera a su límite de trabajo, los autores aplican un enventanado de la señal de reloj (*timing window*). En esta publicación se estudia también el dimensionamiento óptimo de los regeneradores de señal necesarios para mantener unos márgenes de ruido suficientemente robustos¹⁴.

En la tesis [13], de la Universidad de Waterloo (Ontario, Canada), se presenta una familia lógica de retardo constante (*CD, Constant Delay*), variante de FTL en la que en vez de producir una pre-evaluación a un nivel intermedio de tensión, se pre-evalua al nivel lógico bajo de pseudo-nMOS, precargando todas las entradas FTL a nivel lógico alto (en DFTL esto se consigue mediante lógica dinámica dominó). Con esto se controla el *glitch* de salida, a costa de obtener un mayor retardo de propagación que en FTL. También se estudia el sincronismo entre reloj y datos para sacar máximo provecho de esta nueva familia lógica, y se aplica una técnica de enventanado para limitar el consumo estático, esto es, limitar el tiempo en el que la celda FTL se comporta como una puerta pseudo-nMOS durante la fase de evaluación. Dado que el *glitch* producido puede degradar la salida del inversor al que se conecta la puerta FTL, se analizan los márgenes de ruido en función del ancho de la ventana temporal y se propone el uso de regeneradores de tamaño mínimo (*keepers*) para mejorarlos. La familia lógica así creada no comparte al 100% el principio de funcionamiento de FTL, aunque sí algunos de sus principios más importantes. Si bien se obtienen ventajas de retardo más moderadas, se presenta como una interesante variante para mejorar las prestaciones de circuitos sin muchos de los inconvenientes que presenta FTL, sobre todo a la hora de aplicarse a lógica no regular.

En lo relativo al margen de ruido, han aparecido publicaciones [15, 16] que versan sobre la influencia del escalado tecnológico y de la tensión de alimentación en la inmunidad al ruido dinámico de la lógica FTL. En estas publicaciones se propone precargar los nodos intermedios, y no sólo los de salida, para incrementar la inmunidad frente al ruido, mejorando las curvas de inmunidad frente a ruidos y el umbral de energía de ruido (curvas *ANTE*)¹⁵.

Entre otras aplicaciones de FTL se puede encontrar un sumador CLA de 4 etapas con puertas flotantes [17], en el que se propone incorporar como *buffer* un inversor FTL para regenerar la señal de mayoría. El diseño, basado en puertas flotantes y lógica de mayortarios, se muestra especialmente interesante por su bajo consumo y buen rendimiento

¹⁴Esto se hace obteniendo los parámetros de diseño para obtener un UGDN, o factor de ganancia unitaria de ruido, de 100mV. Con ello se garantiza que, para ruidos inferiores a 100mV en las entradas a las puertas FTL, las salidas de las lógicas dominó se degraden en menos de 100mV.

¹⁵Acrónimo de Average Noise Threshold Energy.

energético. Otras publicaciones [18, 19] proponen ligeras variantes sobre los circuitos FTL con el fin de reducir el consumo dinámico, actuando sobre las redes de *reset* o reduciendo la corriente por la alimentación añadiendo transistores en serie.

1.4 Objetivos

Se plantea como principal objetivo de la presente tesis, de acuerdo a los puntos de interés comentados anteriormente, la aplicación del concepto FTL sobre tecnologías CMOS, creando nuevas familias lógicas FTL sobre dichas tecnologías. El trabajo presentado en esta tesis proveerá los mecanismos necesarios para asistir al usuario final en el diseño de SoC¹⁶ usando familias lógicas FTL CMOS. Es decir, se darán aportaciones a las etapas de síntesis y simulación, bien sea a nivel de librería de celdas predefinidas de altas prestaciones como a nivel de metodologías de diseño, caracterización y/o simulación de las mismas. En concreto, el trabajo realizado cubre los siguiente hitos:

1. Estudio de sensibilidad a diversos parámetros tanto globales a un *chip* (tensión de alimentación, temperatura, esquina del proceso tecnológico, capacidad de carga, ruido presente en el sistema) como los locales (variaciones causadas por el *mismatch* de los dispositivos y capacidades debidos a los procesos de fabricación).
2. Estudio de la validez de las metodologías de diseño y propuesta de metodologías a seguir para dar soporte a la familia lógica FTL en las etapas de diseño y síntesis.
3. Desarrollo de librerías y herramientas para el diseño con los estilos FTL propuestos sobre tecnologías CMOS. Son numerosos y extensos los hitos que se podrían plantear dentro de este apartado, si bien, el interés de esta tesis se centra en el estudio, caracterización y medida de una familia de sumadores optimizada a nivel *fullcustom*, de forma que pueda ser reutilizada en otros diseños de forma fiable. Al margen de los resultados que se indican en la tesis, quedan implementadas una serie de herramientas, que facilitan la medida automática, el análisis y la caracterización de puertas FTL. Estas herramientas han permitido al doctorando salvar importantes características que dificultan el análisis y medida automática con herramientas convencionales, causadas principalmente por la pérdida del umbral o condición de desequilibrio de FTL.
4. Estudio del campo de aplicación y limitaciones, basado en un estudio teórico y experimental del principio FTL aplicado a tecnologías CMOS, así como por una comparativa de casos prácticos de diseño en circuitos aritméticos de altas prestaciones, de aplicación directa sobre SoC.

Con el hito 1 se pretende obtener un conocimiento profundo de los diversos parámetros que afectan a los diseños en las familias FTL, incrementando el *know-how* acerca del mismo, y de los aspectos prácticos de diseño que han de cuidarse y conocerse. Este hito será además necesario para la consecución de otros objetivos que requieren de este *know-how* previo para su éxito. Los aspectos indicados pueden influir de forma decisiva en aspectos como la robustez y límites en las ventajas de prestaciones que el estilo FTL puede aportar. Un estudio acerca de dichos parámetros puede arrojar mayor luz acerca de los parámetros de diseño que es importante cuidar y cuales, por otra parte,

¹⁶Acrónimo de System-on-Chip, o Sistemas-en-Chip.

pueden despreciarse, pues existen aspectos de sensibilidad y robustez no resueltos en este estilo de diseño y que plantean dudas razonables respecto a la fiabilidad y robustez de los diseños tras ser fabricados. De no cuidarse estos aspectos y analizarse en detalle podrían influir de forma negativa sobre la fiabilidad del estilo lógico, y con ello, evitar su aprovechamiento industrial.

El hito 2 tiene tanto un interés científico como industrial. Por una parte se pretende con ello proponer una metodología de diseño para las nuevas familias lógicas FTL CMOS planteadas; pero por otra parte, esta metodología sirve eficientemente para reducir los ciclos de diseño en tiempo y costes, mejorando el *time-to-market*. Esta metodología es fruto, por una parte, del *know-how* obtenido en el desarrollo de las aplicaciones prácticas en esta tesis, y por otra, de las conclusiones alcanzadas durante los análisis realizados (principio de funcionamiento, márgenes de ruido, sensibilidad a parámetros de diseño y desequilibrio de cargas).

El hito 3 se enfoca a facilitar el diseño y simulación automatizada de puertas FTL CMOS, incorporando la familia lógica FTL a las librerías de diseño *semicustom* o herramientas de síntesis automáticas, con fin de facilitar la reusabilidad de los circuitos desarrollados. Este objetivo responde claramente a una reducción del *time-to-market* nuevamente, para permitir el aprovechamiento de las ventajas aportadas por este nuevo estilo de diseño sin requerirse largos tiempos de formación y experiencia que requeriría tener que empezar los diseños desde cero.

Por último, el hito 4 persigue un estudio del alcance y campo de aplicación de la lógica FTL en circuitos reales de altas prestaciones, donde el retardo debido al interconexiónado resulta muy superior al retardo impuesto por los dispositivos, ya que éste es el factor que de acuerdo a los estudios actuales [1] tiende a limitar el número de etapas de lógica entre registros de *pipeline*, y por tanto, limita la complejidad de cálculo que puede integrarse en los diseños. Además, el estudio teórico será una importante fuente de referencia para comprender el principio de funcionamiento y saber cómo mejorar los diseños para aplicar y extender la ventaja de FTL en tecnologías CMOS. Un aspecto crucial en el desarrollo de esta tesis consiste en saber mantener y garantizar la ventaja FTL para un elevado número de bits. Si esto se consigue, se habrá logrado un importante objetivo de interés científico y de fuerte repercusión tecnológica para los próximos años.

1.5 Estructura de la memoria de tesis

La memoria de tesis se ha estructurado en un total de 4 partes.

- La primera parte de la memoria se corresponde con una introducción al sector y su estado del arte, así como a describir los objetivos tratados en el trabajo de tesis, y a indicar al lector la estructura de contenidos de la presente memoria, dándose por concluído en este apartado que está ahora mismo leyendo. Con ello se enmarca la presente tesis y sus objetivos dentro del panorama actual del diseño de sistemas integrados.
- En una segunda parte, esta memoria aborda las distintas aportaciones realizadas: a) la evaluación de la lógica en base al análisis de su celdas básicas, b) la aplicación de las familias lógicas presentadas a un caso práctico de diseño, el diseño de sumadores RCA, y c) las medidas realizadas sobre los circuitos fabricados y la estimación de prestaciones finales en base a dichas medidas para otros puntos de

operación distintos a los fabricados; correspondiéndose cada uno de estos puntos a un capítulo distinto.

- Dentro del trabajo realizado en base al estudio de las celdas básicas (inversores), las aportaciones cubren desde la presentación de las familias lógicas FTL, el análisis detallado del principio de funcionamiento, la comparación de prestaciones en base a la simulación y el análisis teórico de sus celdas básicas (inversores) con los estilos lógicos de referencia, y la determinación del campo de aplicación en base a los resultados anteriores.
 - En lo que respecta a la aplicación de las familias al diseño de sumadores RCA, no sólo se aplican las familias presentadas al diseño de sumadores, sino que también se extraen valiosas conclusiones acerca de la metodología de diseño que ha de seguirse para abordar de forma efectiva tanto el diseño circuital como físico para sacar el máximo provecho de la aplicación de FTL sobre tecnologías CMOS, se caracterizan los sumadores en base a los resultados de simulación *postlayout*, y se analiza la sensibilidad de los mismos ante variaciones en los parámetros de diseño (número de bits, tensión de alimentación, esquina del proceso tecnológico, capacidad de carga, temperatura, ruido y *mismatch* tecnológico).
 - Por último, en lo que respecta a la medida de circuitos, por un lado se detallan las condiciones de medida y el procedimiento empleado, y por otro lado se indican los resultados obtenidos tanto directamente de la medida de los retardos y consumos como de la estimación de las prestaciones de los circuitos, en base a las medidas realizadas, para justo el máximo número de bits en el que no se aprecia una condición de desequilibrio apreciable, y se comparan dichos resultados con los obtenidos por otros circuitos de referencia.
- La tercera parte de esta memoria se dedica a la discusión de las principales conclusiones y líneas futuras que se desprenden del trabajo realizado.
 - En la última parte de esta memoria se presenta la bibliografía empleada en esta memoria de tesis.

Parte II

Aportaciones

Capítulo 2

Evaluación de la lógica FTL

Índice General

2.1 Principio de funcionamiento	19
2.2 Estructuras propuestas	22
2.2.1 Clasificación de la lógica FTL	24
2.3 Análisis del inversor	26
2.3.1 Estimación de retardo	26
2.3.2 Simulación y caracterización del inversor	32
2.3.3 Ruido	37
2.4 Campo de aplicación	44

Resumen: En este capítulo se detalla el principio de funcionamiento de la lógica FTL y se proponen estructuras FTL para alta velocidad y bajo consumo. Así mismo se analiza el comportamiento de sus celdas básicas (inversores) atendiendo a dos vertientes: un simple pero efectivo modelo de retardo, que justifica la ventaja de esta nueva familia lógica respecto a la lógica CMOS convencional; y una caracterización de dichas celdas frente a la capacidad de carga, a la frecuencia de trabajo y a las diferencias de carga. Por último, y en base a los resultados obtenidos durante el análisis, se resume el campo de aplicación de esta nueva familia lógica.

2.1 Principio de funcionamiento

La estructura básica de una puerta FTL se muestra en la Figura 2.1(a). Está formada por una red de evaluación lógica NMOS(*NMOS block*), un transistor NMOS (T_r) para reiniciar el nodo de salida al nivel lógico bajo, y una carga activa (T_p) para polarizar el nodo de salida al nivel de alimentación . T_r y T_p están controlados por medio de la señal de reloj (ϕ).

Durante el nivel alto de ϕ (fase de reinicio o precarga), el nodo de salida de la puerta FTL es conmutada a tierra (GND) mediante el transistor T_r . Tan pronto como ϕ transite a nivel bajo (fase de evaluación), T_r se desconecta y el nodo de salida evalúa condicionalmente hacia el nivel lógico alto o bajo, según corresponda. Si la red lógica evalúa al nivel lógico alto, el nodo de salida (*out*) es polarizado hacia V_{cc} , de lo contrario es conmutado hacia el GND por la red de evaluación NMOS, siguiendo un funcionamiento de lógica inversora.

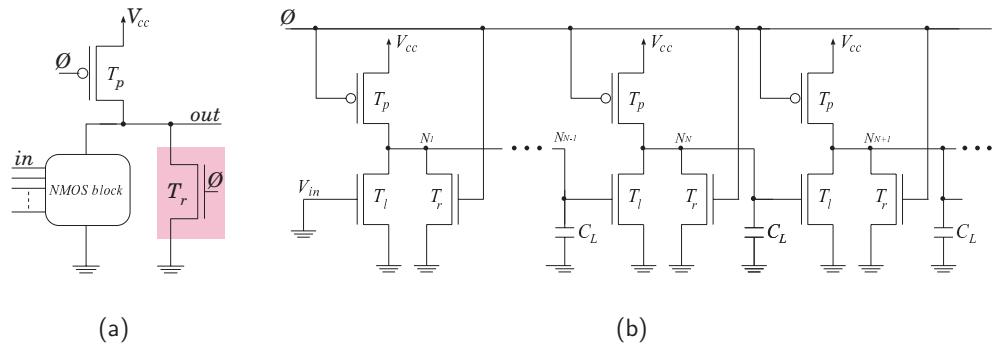


Figura 2.1: (a) Estructura básica de puerta FTL, y (b) Cadena de inversores FTL.

La diferencia principal entre FTL y el resto de familias lógicas dinámicas, como la lógica dominó de tecnologías CMOS, es que no requiere inversores a la salida para restaurar la polaridad o evitar la descarga de los nodos. A diferencia de otras lógicas dinámicas, FTL no se basa en el almacenamiento de cargas en nodos en alta impedancia, sino que el nodo de salida se encuentra en todo momento conectado a V_{cc} o GND por medio de redes resistivas de baja impedancia, evaluando permanentemente la función lógica, y por tanto no existe peligro de pérdida del nivel lógico por descarga de los nodos.

Consideremos ahora lo que sucede cuando varios inversores FTL se conectan en cascada, formando una cadena como la mostrada en la Figura 2.1(b). Asumamos que todos los nodos de salida de la cadena de inversores se encuentran completamente descargados en el instante inicial debido a una operación de reinicio o precarga previa suficientemente larga. Asumamos también que todos los inversores de la cadena están sujetos a las mismas condiciones de carga, ya sea esta debida al interconexión o a la carga lógica, y que además, las características de *drive* de todas las celdas en la cascada de inversores son idénticas ya que sus dispositivos están idénticamente dimensionados. Analizaremos a continuación el comportamiento transitorio de los nodos N_{N-1} , N_N , y N_{N+1} de la cadena de inversores.

Tan pronto como la señal de reloj pasa a nivel bajo comienza la evaluación, y el nodo de entrada de la etapa $N + 1$ (nodo N_N), está a nivel lógico bajo, lo que a su vez causa que el nodo de salida (N_{N+1}) comience a cargarse. Pero el nodo de entrada (N_N) resulta también ser el nodo de salida de la etapa anterior, la cual tiene su nodo de entrada propio (N_{N-1}) a nivel lógico bajo. Por tanto, y debido a que ambas etapas poseen idénticas características tanto de *drive* como de carga, ambos nodos de salida (N_N y N_{N+1}) comenzarán a cargarse juntos.

Dada la naturaleza inversora de las celdas, tan pronto como los nodos de entrada de las etapas intermedias alcanzan el nivel umbral de las celdas inversoras¹ (V_{TH}), los nodos de salida dejarán de cargarse más, permaneciendo en dicho umbral. Sin embargo, la eventual propagación de la entrada de la cadena de inversores a través de las etapas intermedias forzará en algún instante al nodo de entrada de la etapa N (nodo N_{N-1}) hacia el nivel lógico alto o bajo, el cual a su vez causará que su nodo de salida (N_N) evalúe hacia el nivel lógico opuesto. Este mismo comportamiento puede extrapolarse al

¹Se define el nivel umbral de una puerta (V_{TH}) como el punto donde la tensión de salida se iguala a la tensión de entrada en la curva característica de transferencia en DC.

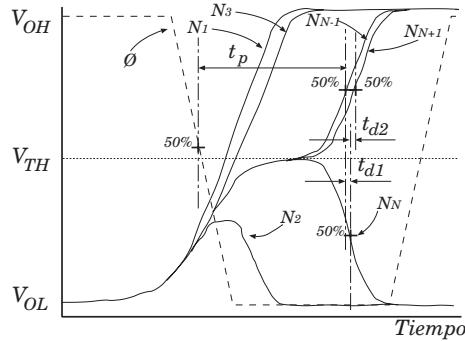


Figura 2.2: Transiciones en la cadena de inversores FTL.

resto de etapas: primero se realiza una transición al umbral V_{TH} para después transitar definitivamente hacia el nivel lógico alto o bajo. Hay que tener en cuenta que en las primeras etapas la transición hacia el nivel umbral puede ser casi inapreciable, dado que el tiempo que tardan las entradas en estar preparadas es muy reducido, o inexistente, tal como sucede en la primera etapa. La forma de onda asociada a la transición de cada uno de los nodos de salida ($N_1 \dots N_{N+1}$) de la cascada de inversores se muestra en la Figura 2.2.

Por tanto, concluiremos que todas las puertas en la cadena de inversores están sujetas a una fase de pre-evaluación simultánea hacia un nivel de tensión intermedio (V_{TH}), antes de pasar a la definitiva fase de evaluación hacia el nivel lógico alto o bajo. Esta fase de pre-evaluación no sólo reduce la excursión de las transiciones en los nodos de salida (*swing*), haciendo que las transiciones sean más rápidas, sino que también acelera la evaluación dado que todas las puertas de la cadena de inversores se sitúan en una región de elevada ganancia en la que los transistores T_p y T_l se encuentran en saturación. Esta característica, típica en otras tecnologías de alta velocidad como las bipolares o GaAs, distingue de forma única a la lógica FTL del resto de familias lógicas convencionales CMOS para diseño digital: en este punto de trabajo cualquier pequeña variación en los nodos de entrada causará una rápida transición en los nodos de salida, mientras que en el resto de familias lógicas, como CMOS, pseudo-nMOS, o dominó, es necesario esperar hasta que las entradas alcancen el umbral de los dispositivos antes de que las salidas empiecen a transitar.

Esta pre-evaluación, que efectivamente comienza incluso antes de que las entradas al inversor estén preparadas, ha de entenderse como una operación de transición a un punto de tensión intermedia de la transición total, la cual es realizada en paralelo entre todas las puertas de la cascada de inversores. La paralelización de esta parte de la transición supone un ahorro importante en términos de retardo, el cual resulta aún mayor si tenemos en cuenta que, en las lógicas CMOS convencionales, esta fase puede prolongarse durante un tiempo considerable respecto al retardo total dada la lenta variación de la corriente mientras las entradas no superan el umbral de los transistores. Además, puesto que el nodo de salida estará precargado al umbral V_{TH} , próximo al punto medio de la transición, el movimiento de carga requerido para completar la transición resultará inferior en FTL comparado con el de las lógicas convencionales CMOS.

Los efectos que tiene esta fase de pre-evaluación sobre el consumo son diversos. Por un lado, el escalonamiento de las transiciones usando un nivel intermedio reduce la potencia requerida para la carga y descarga de las capacidades parásitas a aproximadamente

mente la mitad de su valor². No obstante, la actividad durante la evaluación en FTL resulta superior a la resultante en lógicas CMOS, pseudo-nMOS y dominó³. Por último, mientras los nodos permanecen en el umbral existen fuertes corrientes de cortocircuito, así como corrientes de fugas (*leakage current*) por los dispositivos, que producen un incremento del consumo por etapa a medida que se incrementa el número de etapas.

2.2 Estructuras propuestas

Para satisfacer el compromiso entre velocidad y consumo, se proponen en esta tesis cuatro estructuras FTL básicas, mostradas en la Figura 2.3. Dos de las estructuras (Figuras 2.3(a) y 2.3(b)) se derivan de la familia lógica pseudo-nMOS, y son adecuadas para aplicaciones de alta velocidad. Las otras dos estructuras (Figuras 2.3(c) y 2.3(d)) se basan en la familia lógica complementaria CMOS, y son útiles para aplicaciones de bajo consumo. Cada uno de estos dos grupos de estructuras básicas puede operar en dos configuraciones: con su tensión de referencia, o nivel de precarga, puesto a *GND* ($V_{ref} = 0$), o con la tensión de referencia ajustada a la mitad de la tensión de alimentación ($V_{ref} = V_{cc}/2$).

Como se observa en la Figura 2.2, correspondiente a las formas de onda de una cascada de puertas FTL de alta velocidad con referencia a *GND*, las primeras etapas de una cascada de puertas FTL tienen un comportamiento distinto en retardo que el resto. Esto se debe a que las entradas están preparadas antes de que se consiga alcanzar la tensión umbral de las puertas, que es lo que caracteriza a la lógica FTL. Por tanto, la etapa de pre-evaluación es inexistente, y las transiciones de esta primera etapa son similares a las obtenidas en las familias lógicas complementarias CMOS y pseudo-nMOS. Sin embargo, utilizando $V_{ref} = V_{cc}/2$, esta diferencia entre el comportamiento de la primera etapa y las intermedias se elimina casi completamente, obteniéndose ventajas de retardo apreciables respecto a las soluciones de $V_{ref} = 0$ en circuitos de poco ancho de palabra. Por otra parte, si se considera la complejidad asociada a la distribución de una tensión de referencia ($V_{cc}/2$) y una señal de reloj ($\bar{\phi}$) adicional, la estructura de bajo consumo con $V_{ref} = V_{cc}/2$ debe descartarse para circuitos de gran ancho de palabra.

Las estructuras de alta velocidad presentan consumo estático durante la fase de evaluación dada la corriente de cortocircuito que circula desde la alimentación (V_{cc}) a tierra (*GND*), a través del transistor T_p y la red de evaluación NMOS cuando se evalúa a nivel lógico bajo. Durante la fase de precarga, o reinicio, no existe consumo estático en las estructuras con $V_{ref} = 0$. Sin embargo, la topología con $V_{ref} = V_{cc}/2$ sí tiene consumo estático debido al camino de corriente entre la tensión de referencia (V_{ref}) y *GND*, a través del transistor (T_r) y la red de evaluación NMOS.

Las estructuras de bajo consumo eliminan totalmente el consumo estático tanto en la fase de evaluación como en la de precarga, gracias a los transistores T_p y T_n mostrados en las Figuras 2.3(c) y 2.3(d). Obsérvese que la estructura de bajo consumo con $V_{ref} = 0$ utiliza una única fase de reloj, mientras que la misma estructura con $V_{ref} = V_{cc}/2$ usa dos. Esto se debe a que el transistor T_n de la Figura 2.3(d) no es necesario cuando se

²Las técnicas de escalonamiento de transiciones (*step-wise charging*), ya sea usando uno o varios niveles intermedios, son ampliamente utilizadas en el diseño analógico de ultra baja potencia [20].

³Nótese que en FTL se produce una transición desde el nivel lógico bajo al umbral y del umbral al nivel lógico alto o bajo cada vez que se inicia una nueva fase de evaluación, mientras que en CMOS y pseudo-nMOS no hay transiciones si no varía la salida, y en la lógica dominó no hay transiciones en la fase de evaluación si se evalúa hacia el nivel lógico bajo.

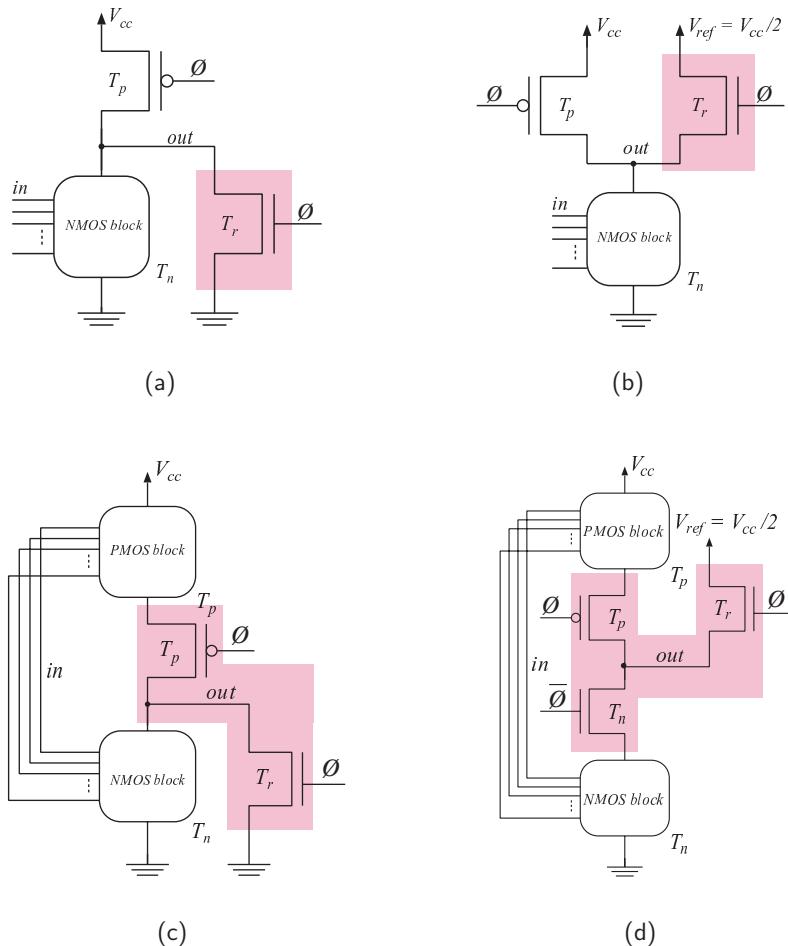


Figura 2.3: Estructuras FTL propuestas: (a) estructura de alta velocidad con $V_{ref} = 0$, (b) estructura de alta velocidad con $V_{ref} = V_{cc}/2$, (c) estructura de bajo consumo con $V_{ref} = 0$ and (d) estructura de bajo consumo con $V_{ref} = V_{cc}/2$.

precarga con $V_{ref} = 0$, ya que no existe camino posible de corriente en régimen estático hacia ningún otro nodo que no sea GND . La principal desventaja de las estructuras de bajo consumo es que presentan mayor capacidad de entrada que las de alta velocidad, y por tanto son más lentas. Pero gracias a su reducido consumo estático, las estructuras de bajo consumo superan en prestaciones a la lógica CMOS incluso a pequeñas frecuencias de trabajo.

2.2.1 Clasificación de la lógica FTL

Rabaey, Chandrakasan y Nocolic [21] definen las lógicas estáticas como aquellas en las que los nodos de salida se encuentran siempre conectados a los nodos de V_{cc} o GND por un camino de baja impedancia en régimen estacionario (esto es, en todo instante de tiempo excepto los transitorios); y las lógicas dinámicas como aquellas que se basan en el almacenamiento temporal de la carga en la capacidad de nodos en alta impedancia, bien sean estas capacidades obtenidas mediante condensadores específicos o capacidades parásitas de puerta de los dispositivos. Sin embargo, se acepta comúnmente en el diseño de circuitos integrados la definición de lógica dinámica como aquellas metodologías de diseño en las que se emplean señales de reloj para sincronizar la evaluación de bloques lógicos combinacionales, por lo general mediante una fase de precarga y otra de evaluación.

Durante la fase de precarga todos los nodos son cargados a un nivel lógico, y posteriormente en la evaluación se decidirá bien mantener dicha carga con un estado de alta impedancia o variarla mediante un camino de baja impedancia a otro nivel lógico. Este modo de operación es bien conocido entre las técnicas de altas prestaciones, al reducir el número de transiciones derivadas de la dispersión (*skew*) y desplazamiento (*race*) de señales: al no permitirse más que una posible transición de las entradas durante la fase de evaluación, el nodo de salida sólo presenta una posible transición hacia su valor final, evitando así la aparición de transiciones indeseadas en forma de espureos (*glitches*) y reduciendo el consumo.

Conforme la lógica FTL no se basa en el almacenamiento de cargas, sino que en todo momento los nodos son conducidos por rutas de baja impedancia bien a V_{cc} o a GND , y en su principio de funcionamiento se observan con claridad dos fases bien diferenciadas de trabajo (precarga y evaluación) para evaluar funciones lógicas combinacionales, en el sentido más estricto de la definición la lógica FTL se clasificaría como una familia lógica estática CMOS dirigida por reloj (*clocked CMOS*). Sin embargo, en un sentido más amplio puede entenderse que FTL tiene un comportamiento de lógica dinámica, dada su operación en dos fases de reloj para evaluar bloques combinacionales. Además, al no basarse FTL en almacenamiento de cargas en nodos en alta impedancia, se eliminan la mayor parte de los problemas que surgen en las lógicas dinámicas convencionales, tales como la pérdida de carga (*charge leakage*) cuando se emplean grandes períodos para la evaluación, la redistribución de carga (*charge sharing*), la inyección de carga por portadores minoritarios, o los acoplamientos de la señal de puerta, del reloj, del ruido de alimentación, u otros nodos mediante acople capacitivo. De esta forma, FTL a diferencia de otras lógicas dinámicas, no requiere el uso de restauradores de nivel (*keepers*) para evitar la descarga de nodos a frecuencias de trabajo pequeñas, ni de transistores adicionales para precargar nodos internos y evitar así la redistribución de cargas.

En lo que respecta a la influencia del dimensionamiento sobre las prestaciones, es

común clasificar las lógicas en sensibles a las relaciones de los dispositivos (*ratioed logic*) o insensibles a las mismas (*ratioless logic*). Sin embargo, esta diferenciación en cuanto a sensibilidad respecto a las dimensiones de los dispositivos se refiere exclusivamente a los niveles lógicos, es decir a la tensión de salida en régimen estático. De esta forma, la lógica estática CMOS se clasifica como una lógica insensible al dimensionamiento, ya que sus niveles lógicos no varían con el dimensionamiento, aunque si lo puedan hacer otras características en DC o transitorias, como los márgenes de ruido, tiempos de subida y bajada, o retardos. Sin embargo, la lógica pseudo-nMOS es un claro ejemplo de lógica sensible al dimensionamiento, ya que sus niveles lógicos varían según sea la relación entre los dispositivos N y P.

La lógica FTL de bajo consumo, al estar basada en la lógica estática CMOS, muestra el mismo comportamiento que esta durante la evaluación, y por tanto, ha de entenderse como una lógica insensible a las dimensiones de los dispositivos (o *ratioless logic*); mientras que la familia lógica FTL de alta velocidad, al basarse en la lógica psuedo-nMOS, ha de entenderse como una lógica sensible a la relación de dimensiones de los dispositivos (o *ratioed logic*). Debe destacarse que el nivel umbral (V_{TH}) sí es dependiente del dimensionamiento de los dispositivos, y por tanto, también lo serán prestaciones como el retardo, consumo dinámico o márgenes de ruido.

Por otra parte, las fuertes corrientes de fugas (*leakage current*) en tecnologías submicra–profunda se han convertido en un factor importante en la disipación de potencia de los circuitos CMOS en la medida en que los dispositivos presentan menores umbrales de tensión, longitudes de canal, y espesores de óxido de puerta [22]. Los mecanismos que intervienen en las corrientes de fuga pueden resumirse en las corrientes inversas por las uniones drenador–substrato y fuente–substrato, la corriente de puerta inducida por el drenador, la corriente de puerta por efecto túnel directo (*direct tunneling*), y las corrientes drenador–fuente en régimen sub–umbral (*subthreshold*) [22, 23].

Diversas técnicas circuitales se han propuesto para minimizar la disipación debida a las fugas de corriente. Entre ellas destaca la conmutación de los buses de alimentación, o *power gating*, ya sea mediante el uso de dispositivos con dos o varios umbrales (*Dual-V_{th} CMOS* y *MTCMOS*) [24, 25]; dispositivos con umbrales variables (*VTMOS*) [26], las técnicas de polarización de la puerta (*Super Cutoff CMOS*, *SCCMOS*) [27], el control de los vectores de entrada [28], o transistores apilados para reducir el consumo [29]. Adicionalmente se han propuesto también soluciones a nivel arquitectural, basadas principalmente en el control de la tensión de susbtrato [30, 31] o de la tensión de alimentación [32, 33] dentro de bucles realimentados.

Nótese que el diseño FTL conduce a corrientes de fuga reducidas puesto que comparte algunas de las técnicas comunes del diseño orientado a bajo consumo. Los transistores T_p y T_n de las estructuras FTL actúan como dispositivos que se desactivan en los instantes de bajo consumo (*sleep transistors*), y que reducen las fugas de corriente debido al efecto de apilación⁴. Es más, estos transistores podrían implementarse usando

⁴El efecto de apilación, o *stack effect*, determina que el consumo en régimen sub–umbral de una pila de transistores conectados en serie es inferior al consumo obtenido con un único dispositivo [22, 28]. Cuando se desactivan dos dispositivos nMOS conectados en serie la tensión en el nodo intermedio entre ambos transistores permanece positiva dado que circula una pequeña corriente drenador–fuente por los dispositivos. Esta tensión positiva en el nodo intermedio reduce notablemente las corrientes en régimen sub–umbral del transistor superior de la pila, y por tanto del conjunto, al disminuir la tensión puerta–fuente, e incrementar el umbral V_{th} del dispositivo. El incremento de la tensión umbral se debe tanto a la existencia de una tensión substrato–fuente negativa como al decremento de la tensión drenador–fuente.

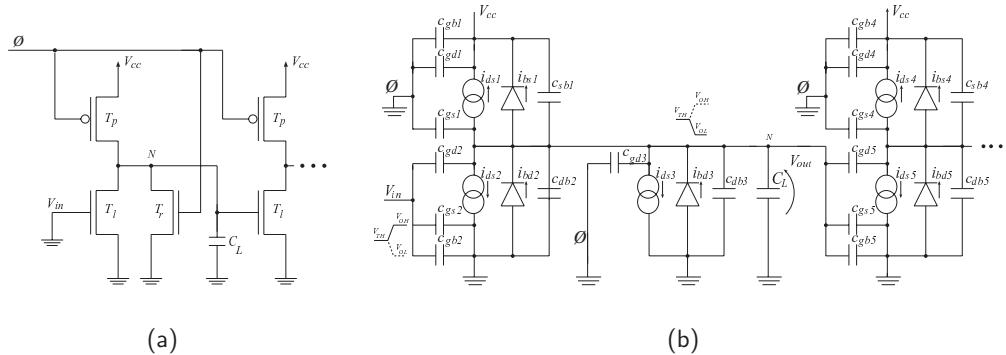


Figura 2.4: Análisis del inversor FTL: (a) esquemático, y (b) circuito equivalente para el análisis transitorio.

dispositivos de umbral alto, y el resto en dispositivos de umbral reducido, como una variante de *MTCMOS*. Adicionalmente, las estructuras con $V_{ref} = 0$ contribuyen a reducir las corrientes de fugas durante el modo de bajo consumo (precarga), actuando como una técnica de control de las entradas que lleva todos los nodos a un estado de reducido consumo estático. Tan sólo las estructuras de alta velocidad con $V_{ref} = V_{cc}/2$ son susceptibles a elevadas fugas de corriente para circuitos CMOS de nanoescala.

2.3 Análisis del inversor

En este apartado analizaremos las prestaciones de las celdas básicas, esto es, inversores, tanto en la familia lógica CMOS convencional como en FTL, y las compararemos. En primer lugar presentaremos una estimación del retardo basada en un análisis teórico-práctico, que justificará la ventaja de la familia lógica FTL. Posteriormente caracterizaremos el comportamiento de los inversores respecto a las variaciones de carga y a la frecuencia de trabajo. Concluiremos este análisis mostrando cómo puede verse afectado el funcionamiento de la lógica FTL frente a una fuente de ruido acoplado capacitivamente a todos los nodos del sistema.

2.3.1 Estimación de retardo

Con fin de justificar analíticamente la ventaja de la familia lógica FTL, realizaremos una estimación del retardo de propagación (t_p) tanto en el caso del inversor FTL como en el del inversor CMOS. Nos basaremos en un simple modelo de retardo, obtenido a partir de la estimación de las corrientes y capacidades medias, así como en las variaciones de tensión ocurridas en los nodos de la cadena de inversores mostrada en la Figura 2.1(b). El esquemático de la celda inversora FTL así como su circuito equivalente para análisis transitorio se muestran en la Figura 2.4(a) y 2.4(b), respectivamente.

Si bien podrían usarse las expresiones analíticas derivadas del circuito equivalente para obtener los distintos parámetros del circuito asociados al nodo N , incluyendo la corriente neta (I_N), la capacidad equivalente (C_N) y la tensión (V_N) durante las transiciones de dicho nodo, utilizaremos el valor medio de corriente (\bar{I}_N) y de carga capacitiva (\bar{C}_N) en el nodo N para, con la ayuda de la Ecuación 2.1, obtener una expresión simplificada de

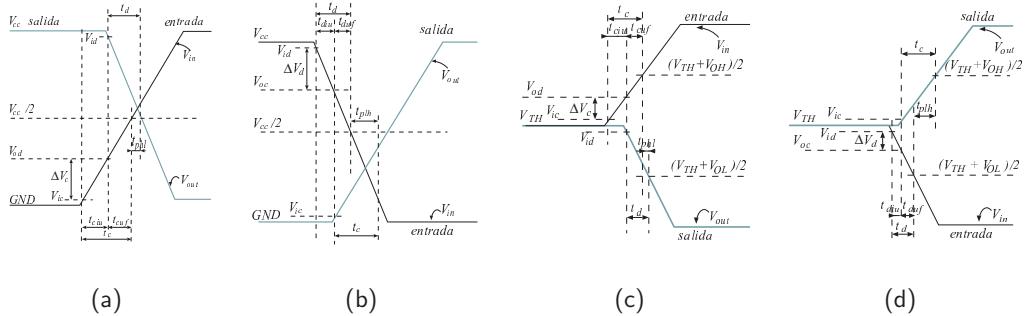


Figura 2.5: Modelo simple para la estimación del retardo de propagación. Tensión de salida frente a tensión de entrada para lógica estática CMOS (a) alto–bajo, (b) bajo–alto; y FTL (c) alto–bajo, (d) bajo–alto.

los retardos de propagación. Promediaremos los valores de corriente (I_N) y capacidad (C_N) de los transitorios con *hspice*, accediendo a los parámetros circuitales⁵ que definen las corrientes y capacidades de los elementos del modelo de simulación a lo largo de las regiones de variación de tensión en el nodo N para obtener los valores de corriente y capacidad media (\bar{I}_N y \bar{C}_N , respectivamente).

$$\Delta t = \bar{C}_N \frac{\Delta V}{\bar{I}_N} \quad (2.1)$$

Modelo de retardo

Desarrollaremos un modelo simple para el retardo de propagación de las puertas válido tanto para los inversores CMOS como para FTL, con la ayuda de la Figura 2.5. Las Figuras 2.5(a) y 2.5(b) muestran las transiciones alto–bajo y bajo–alto de inversores CMOS, respectivamente; mientras que las Figuras 2.5(c) y 2.5(d) muestran las transiciones alto–bajo y bajo–alto de inversores FTL. En ambos casos se han marcado en negro las transiciones de entrada y en verde las de salida.

Atendiendo a las transiciones bajo–alto en el nodo de salida, y por tanto transiciones alto–bajo en los nodo de entrada, identificaremos dos niveles de tensión: V_{id} y V_{oc} . El nivel de tensión V_{id} corresponde a la tensión de entrada en el inversor para la cual la corriente que descarga el mismo nodo de entrada se corresponde con el 50% de su máximo valor. Es decir, V_{id} es el umbral de tensión para un nodo que se descarga de forma apreciable. Por otra parte, V_{oc} indica la tensión de entrada al inversor, en una transición bajo–alto de la salida, tal que la corriente de carga del nodo de salida es el 50% de su valor máximo. Por tanto, V_{oc} indica el umbral de tensión a la entrada

⁵Los parámetros $lx4$, $lx5$, $lx6$, $lx18$ y $lx33$ definen las corrientes drenador–fuente (i_{ds}), substrato–fuente (i_{bs}) y substrato–drenador (i_{bd}), así como las capacidades equivalentes de puerta ($c_g = c_{gs} + c_{gd} + c_{gb}$) y de drenador ($c_d = c_{gd} + c_{db}$) de los transistores MOSFET. Así, los parámetros ($-lx4(xdrive.m1)-lx5(xdrive.m1)-lx4(xdrive.m2)+lx6(xdrive.m2)-lx4(xdrive.m3)+lx6(xdrive.m3)$) y ($lx18(xload.m2)+lx33(xdrive.m1)+lx33(xdrive.m2)+lx33(xdrive.m3)$) definen respectivamente la corriente neta y capacidad equivalente en el nodo N , siendo *xdrive* y *xload* los inversores que actúan de ataque y carga, y $m1$, $m2$ y $m3$ los transistores T_p , T_l y T_r , respectivamente. Nótese que las corrientes por los dispositivos P tienen sentido opuesto a la de los dispositivos N. Estas expresiones coinciden plenamente con las expresiones de la corriente y capacidad de la Figura 2.4(b).

de un inversor que implica que la transición de salida comienza a ser efectiva, para transiciones bajo-alto de la salida. Se definen igualmente los puntos V_{id} y V_{od} para las transiciones alto-bajo de las salidas del inversor. Los puntos, V_{ic} y V_{od} serán de ayuda en las estimaciones de retardo bajo-alto para las puertas CMOS y FTL (véase Figura 2.6), mientras que los puntos V_{id} y V_{oc} serán requeridos para las estimaciones de retardo en transiciones alto-bajo.

Los valores de V_{ic} , V_{od} , V_{id} y V_{oc} son 43.31 mV, 613.47 mV, 1096.55 mV y 383.70 mV para los inversores CMOS, y 686.83 mV, 765.11 mV, 631.59 mV y 570.49 mV para los FTL. Estos valores han sido obtenidos mediante simulación con la herramienta *hspice* utilizando los dispositivos de la tecnología CMOS 0.13 μm 1.2 V 3.3 V *Logic High Speed Process* del fabricante *United Microelectronics Corporation* (UMC), con una capacidad de 10 fF en todos los nodos más las parásitas de los dispositivos, en la esquina de proceso típica, a una temperatura de 25°C, y con dimensiones mínimas de todos los dispositivos. Nótese que al emplearse transitorios obtenidos por simulación se contemplan los efectos del sobreimpulso causados por el acoplamiento capacitivo de los nodos de entrada. Dicho sobreimpulso es apreciable en CMOS al no circular corriente por ninguno de los dispositivos en el inicio de la transición, mientras que en FTL su efecto puede despreciarse.

Consideremos a continuación las transiciones alto-bajo tal como se muestran en las Figuras 2.5(a) y 2.5(c). Si la transición del nodo de entrada tarda $t_{c_{iu}}$ en cargarse desde su tensión inicial V_{ic} hasta el umbral V_{od} , y después $t_{c_{uf}}$ en alcanzar el punto final (50% de la transición), entonces podemos expresar el tiempo total de carga (t_c) en el nodo de entrada como $t_c = t_{c_{iu}} + t_{c_{uf}}$. El mismo procedimiento puede seguirse para obtener los tiempos de descarga (t_d), tal como se muestra en las Figuras 2.5(b) y 2.5(d). Además, si asumimos que la cadena de inversores está formada por inversores idénticos, el rol de nodo de entrada y de salida es fácilmente intercambiable, conforme las características transitorias serán idénticas en todos los nodos, y el nodo de entrada de un inversor es nodo a su vez de salida de otro inversor previo. Por tanto, podemos referirnos a t_c y t_d como los tiempos de carga y descarga de los nodos, independientemente de si estos son nodos de entrada o salida del inversor. Atendiendo a la Figura 2.5, se consideran las siguientes expresiones:

$$\begin{aligned} t_{phl} &= t_d - t_{c_{uf}} = t_{d_{iu}} + t_{d_{uf}} - t_{c_{uf}} \\ t_{plh} &= t_c - t_{d_{uf}} = t_{c_{iu}} + t_{c_{uf}} - t_{d_{uf}} \\ t_p &= \frac{t_{phl} + t_{plh}}{2} = \frac{t_{d_{iu}} + t_{c_{iu}}}{2} \end{aligned} \quad (2.2)$$

La Ecuación 2.2 indica que el retardo medio de propagación (t_p) puede obtenerse en términos exclusivamente de los tiempos de carga ($t_{c_{iu}}$) y descarga ($t_{d_{iu}}$) desde los umbrales V_{ic} y V_{id} a los umbrales V_{od} y V_{oc} respectivamente; esto es, en función exclusivamente del tiempo que se tarda en comenzar a mover los nodos de salida desde que comienzan a transitar los nodos de entrada. Por tanto, las regiones de interés para obtener las corrientes y capacidades medias abarcarán los rangos de tensión definidos por $V_{ic}-V_{od}$ y $V_{id}-V_{oc}$.

Cómputo del retardo en CMOS y HS0 FTL

A continuación demostraremos la ventaja de la lógica FTL sobre la lógica estática convencional CMOS, en términos de retardo, calculando los valores de $t_{c_{iu}}$ y $t_{d_{iu}}$ mediante

el uso de la Equación 2.1.

Para calcular las corrientes medias que fluyen por el nodo N , promediaremos los valores de corriente en los puntos iniciales y finales de interés durante las transiciones. Esto nos permitirá obtener una aproximación, cuyo error dependerá de la falta de linealidad en la curva de corriente frente al tiempo, el cual, a su vez puede expresarse en términos de falta de linealidad en la curva de corriente frente a tensión, y en la curva tensión frente al tiempo. Para evitar falta de linealidad en las curvas de tensión frente al tiempo se han fijado los umbrales en un 50% de la corriente final, lo cual garantiza que circulan corrientes apreciables por la carga y que se producen variaciones de tensión apreciables. Para disminuir aún más el error cometido en la aproximación, podría optarse alternativamente por una linealización a tramos de las curvas de corriente frente a tensión.

Las corrientes medias de carga (\bar{I}_{Nc}) se obtienen de la aproximación lineal de las curvas de corriente frente a tensión de salida en las transiciones bajo-alto. Dichas curvas se muestran en las Figuras 2.6(a) y 2.6(b), para las transiciones en CMOS y FTL, respectivamente. Previamente, identificamos los puntos V_{od} y V_{id} en las curvas de corriente por el nodo de salida frente a la tensión de entrada (Figuras 2.6(c) y 2.6(d)) y de salida (Figuras 2.6(a) y 2.6(b)). El mismo procedimiento se sigue para obtener los puntos V_{id} y V_{oc} , y las corrientes medias de descarga (\bar{I}_{Nd}), utilizando las curvas de corriente en transiciones alto-bajo.

Nótese en las Figuras 2.6(c) y 2.6(d) cómo en las puertas FTL las corrientes de descarga de los nodos incrementan rápidamente tan pronto como comienza la transición de la entrada, mientras que en las puertas CMOS es necesario que la entrada realice una transición considerable antes de que las corrientes de descarga empiecen a incrementar considerablemente, siendo esta la principal ventaja en términos de retardo de la lógica FTL.

Los valores medios de las corrientes de carga y descarga son $\bar{I}_{Nc} = 40.064 \mu\text{A}$ y $\bar{I}_{Nd} = -75.44 \mu\text{A}$ para el inversor CMOS, y $\bar{I}_{Nc} = 26.184 \mu\text{A}$ y $\bar{I}_{Nd} = -30.380 \mu\text{A}$ para el inversor FTL.

La variación de tensión durante la carga (ΔV_c), para la transición bajo-alto, se obtiene como la diferencia entre la tensión final e inicial ($\Delta V_c = V_{od} - V_{ic}$). De forma análoga se obtiene la variación de tensión durante la descarga ($\Delta V_d = V_{oc} - V_{id}$). Los valores calculados indican excursiones de tensión de 570.16 mV y -712.85 mV para ΔV_c y ΔV_d , respectivamente, en las puertas CMOS; y de 78.28 mV y -61.10 mV para ΔV_c y ΔV_d , respectivamente, en las puertas FTL.

Por último, insertando los valores obtenidos para las corrientes medias y variaciones de tensión en las Equaciones 2.1 y 2.2, se obtiene:

$$\begin{aligned} t_p &= \frac{\bar{C}_N}{2} \frac{\Delta V_c}{\bar{I}_{Nc}} + \frac{\bar{C}_N}{2} \frac{\Delta V_d}{\bar{I}_{Nd}} \\ t_{p_{CMOS}} &= 11.8402 \times \bar{C}_{N_{CMOS}} (\text{fF}) \\ t_{p_{FTL}} &= 2.5004 \times \bar{C}_{N_{FTL}} (\text{fF}) \end{aligned}$$

... de donde se justifica que el retardo de los inversores FTL es 4.7 veces inferior que el retardo de los inversores CMOS, para una misma capacidad media de carga en el nodo de salida. Este valor es próximo a los resultados obtenidos mediante simulación, que indican una ventaja de retardo de 3.8 veces. La diferencia resultante (23.7%) entre la estimación y la simulación se debe mayormente al error cometido en la obtención de los valores de

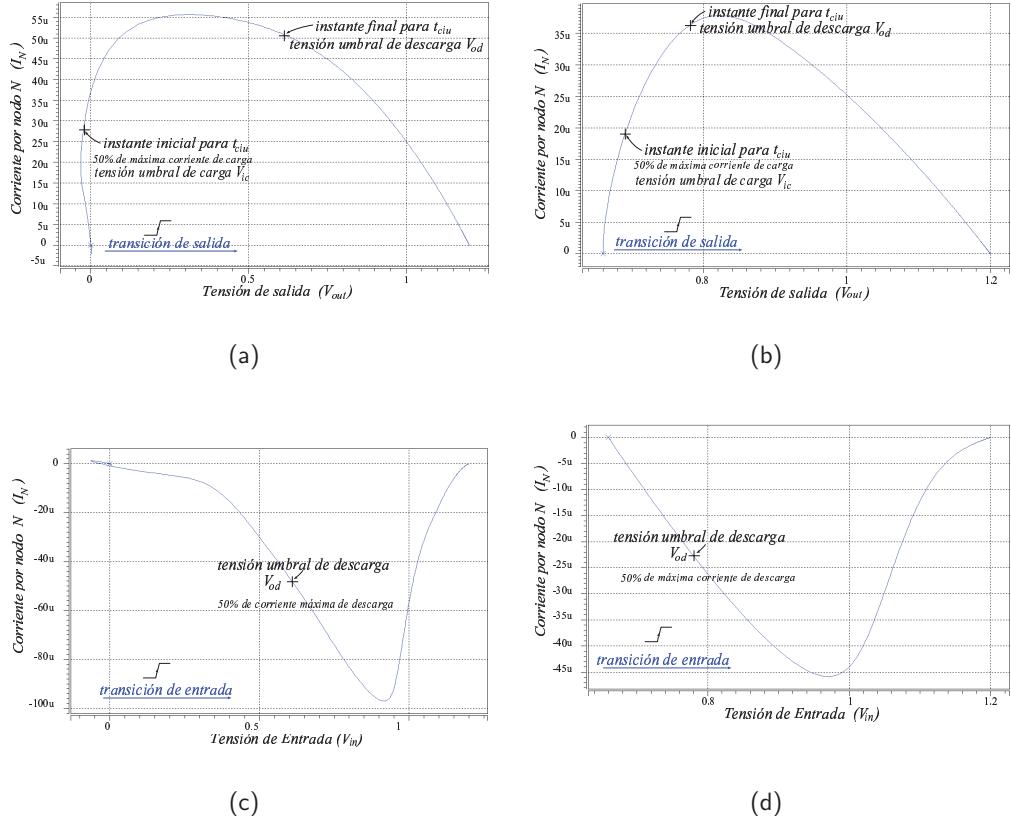


Figura 2.6: Corrientes de carga/descarga para la estimación de t_{ciu} . Corriente por el nodo de salida (I_N) frente a la tensión de salida (V_{out}) obtenidas en las transiciones bajo-alto de las salidas para: (a) lógica estática CMOS y (b) FTL. Corriente por el nodo de salida (I_N) frente a la tensión de entrada (V_{in}) obtenidas en las transiciones bajo-alto de las entradas para: (c) lógica estática CMOS y (d) FTL. Se utiliza la tecnología 0.13 μ m 1.2 V / 3.3 V 1P8M Logic High Speed Process de UMC.

Tabla 2.1: Estimación de los parámetros del modelo de retardo para la inversores CMOS, pseudo-nMOS y FTL. Tecnología UMC 0.13 μm . Capacidad de carga=10 fF. Esquina de proceso típica. Temperatura 25°C.

Familia lógica	ΔV (mV)		\bar{I}_N (μA)		\bar{C}_N (fF)		Δt (ps)		t_p (ps)	t_p ratio
	carga	descarga	carga	descarga	carga	descarga	$t_{c_{iu}}$	$t_{d_{iu}}$		
CMOS	570.16	-712.85	40.064	-75.444	11.438	11.362	162.776	107.362	135.069	1.00
nMOS	359.61	-454.67	40.566	-47.632	11.063	11.154	98.071	106.474	102.272	1.32
LP0	121.33	-20.66	18.093	-24.036	11.661	11.638	78.2	10.004	44.102	3.06
LP06	97.95	-38.79	19.066	-24.71	11.81	11.707	60.674	18.378	39.526	3.42
HS0	78.28	-61.10	26.184	-30.38	11.331	11.336	33.876	22.799	28.337	4.77
HS06	78.28	-61.10	26.184	-30.38	11.331	11.336	33.875	22.799	28.337	4.77

corriente media (promediado de punto inicial y final). El error cometido en la obtención del valor de corriente media es casi despreciable en FTL (error del 5.1% y 2.6% para las corrientes de carga y descarga respectivamente), mientras que en CMOS es apreciable (error del 28.7% y 11.7% para las corrientes de carga y descarga respectivamente); esto se debe a la menor linealidad de las curvas de corriente en CMOS. Por otra parte, el error obtenido al asumir capacidades idénticas en CMOS y FTL resulta inferior al 1% ya que se usan capacidades de 10 fF en todos los nodos.

Comparación de resultados FTL vs CMOS y pseudo-nMOS

Se han estimado los parámetros de los inversores de las distintas estructuras FTL propuestas, así como del inversor CMOS y pseudo-nMOS, siguiendo el procedimiento anteriormente descrito. En la familia FTL se ha seguido la nomenclatura “[estructura][vref]”, indicando *estructura* el tipo de estructura FTL de la que se trata: alta velocidad (*HS*) o bajo consumo (*LP*); y *vref* la tensión de referencia empleada: *GND* (0) o $V_{cc}/2$ (06). Los valores obtenidos de excursión de tensión en la región de interés (ΔV), corriente media por el nodo N (\bar{I}_N), capacidad media (\bar{C}_N), retardo de propagación para la carga y descarga ($t_{c_{iu}}$ y $t_{d_{iu}}$), así como los valores medios del retardo (t_p) y del factor de aceleración (t_p ratio) se resumen en la Tabla 2.1.

Los valores mostrados en la Tabla 2.1 reflejan que las excursiones de tensión requeridas en los nodos de entrada para que comience una fuerte circulación de corriente por los nodos de salida de los inversores son considerablemente inferiores (7 veces) en FTL que en CMOS y pseudo-nMOS, siendo este el principal indicador de la ventaja FTL en términos de retardo. Nótese que esta característica se debe a que los transistores se encuentran en zona activa o de saturación durante el inicio de la transición final en FTL, mientras que en CMOS se encuentran los dos en zona de corte. La causa principal de la ventaja obtenida en la lógica pseudo-nMOS se debe a este mismo hecho⁶, si bien aprovechado sólo en las transiciones bajo-alto. Por otra parte, al acercarse más los dispositivos al punto de transición entre región lineal y de saturación, siendo éste

⁶Durante las transiciones bajo-alto, el transistor P que actúa como carga activa se encuentra en saturación, y el transistor N de evaluación queda en zona lineal. Nótese en los resultados de la Tabla 2.1 cómo la excursión de tensión requerida para la carga del nodo de salida resulta muy inferior, lo que permite que con una corriente neta similar a CMOS se obtenga una respuesta mucho más rápida. Por otra parte, la mejora en las transiciones alto-bajo, si bien es apreciable, es considerablemente inferior, y se debe exclusivamente a la reducción de capacidad en el nodo de salida.

Tabla 2.2: Tiempos de propagación para cadena de 20 inversores CMOS, pseudo-nMOS y FTL (HS0, HS06, LP0 y LP06). Tecnología UMC 0.13 μm . Capacidad de carga=10 fF. Esquina de proceso típica. Temperatura 25°C.

Parámetro	CMOS	nMOS	domino	LP0	LP06	HS0	HS06
t_{plh} (ns)	2.234	1.823	—	0.863	0.776	0.620	0.401
t_{phl} (ns)	2.247	1.861	2.595	0.789	0.681	0.690	0.468
t_p (ns)	2.240	1.842	2.595	0.826	0.728	0.655	0.434
t_p ratio	1.000	1.217	0.863	2.712	3.077	3.420	5.161

un punto de mayor ganancia, FTL consigue reducir aún más (3 veces) la variación de tensión requerida en los nodos de entrada respecto a la lógica pseudo-nMOS. Además, en FTL la mejora se obtiene tanto en las transiciones alto-bajo como en las bajo-alto.

Nótese también que si bien las corrientes medias resultan inferiores (3 veces) en FTL respecto a CMOS ya que la tensión puerta-drenador es menor, y a pesar de que las capacidades parásitas de los dispositivos tienden a incrementarse ligeramente (20%), el conjunto de estos factores no es capaz de contrarrestar el efecto positivo de requerir menor variación de tensión en los nodos de entrada.

Por último, recordemos que el modelo aquí descrito es aplicable a las etapas intermedias, donde tanto los nodos de entrada como los de salida tienen tiempo suficiente para situarse en el umbral V_{TH} . Así pues, aunque los resultados del modelo indiquen idénticas prestaciones para las estructuras de alta velocidad con $V_{ref} = 0$ y $V_{ref} = V_{cc}/2$, hay que tener en cuenta que el comportamiento durante las primeras etapas puede diferir, marcando el modelo únicamente una tendencia idéntica en las etapas suficientemente alejadas de las primeras. El mismo razonamiento puede aplicarse a las estructuras de bajo consumo, si bien, en estas el modelo arroja distintos resultados para $V_{ref} = 0$ y $V_{ref} = V_{cc}/2$ ya que los esquemáticos difieren ligeramente.

2.3.2 Simulación y caracterización del inversor

Simulación de la cadena de inversores

Compararemos las prestaciones de las estructuras FTL propuestas frente a las lógicas estáticas CMOS y pseudo-nMOS, así como frente a las lógicas dinámicas dominó, mediante la simulación de una cadena de 21 inversores (Figura 2.1(b)). Para la simulación se usa la tecnología CMOS 1.2V /3.3V 1P8M Logic High Speed Process del fabricante UMC, en la esquina típica del proceso, a temperatura de 25°C y con capacidad de carga de 10 fF en todos los nodos. El retardo de propagación de las 20 primeras etapas, para cada una de las familias lógicas, se muestra en la Tabla 2.2. La columna correspondiente a la lógica dominó muestra los resultados de la simulación de 10 etapas no inversoras, al estar su puerta básica formada por dos etapas (un primer inversor dominó y un segundo inversor CMOS).

Nótese que todas las estructuras FTL mejoran los retardos del inversor respecto a las lógicas convencionales de forma significativa. La estructura de bajo consumo con $V_{ref} = V_{cc}/2$ (LP06), a pesar de tener mayor profundidad lógica para las transiciones alto-bajo, es capaz de mejorar las prestaciones de la misma estructura con $V_{ref} = 0$.

(LP0). La diferencia de retardo entre ambas estructuras se debe casi exclusivamente a la eliminación del retardo inicial.

También puede observarse que la lógica dominó resulta en peores retardos que CMOS: esto se debe a que la capacidad de carga de 10 fF (capacidad estimada de interconexión) es dominante sobre la capacidad de los dispositivos. Este efecto limita el uso de lógicas dominó conforme se reducen las dimensiones tecnológicas. Si bien este comportamiento se compensa en circuitos de mayor profundidad lógica al eliminarse tanto capacidades de dispositivos como de interconexión de la red de evaluación P, resulta que los dispositivos añadidos para eliminar los problemas asociados a la descarga de nodos y redistribución de carga suponen también un incremento en la complejidad de la celda que repercute en el interconexión y limita la ventaja de dicha lógica en tecnologías submicra–profunda.

Caracterización del inversor dentro de la cadena de inversores

Para obtener un mayor nivel de detalle, analizaremos las prestaciones de los inversores CMOS y FTL en la cadena de inversores. Cada inversor está idénticamente cargado, tanto en carga capacitiva como en carga lógica (*fan-out*). Las prestaciones se han medido en términos del retardo y producto retardo–potencia. Los resultados se muestran para distintas etapas de la cascada de inversores dado que las prestaciones de la lógica FTL varían entre las primeras etapas y las intermedias. En la Figura 2.7 se caracteriza el retardo de propagación frente al *fan-out*, y en la Figura 2.8 el producto retardo–potencia frente a la frecuencia de trabajo. Nótese que para comparar ambas familias (CMOS y FTL) en igualdad de condiciones, la frecuencia de trabajo se refiere al número de evaluaciones por segundo⁷ realizadas. Se asume una señal simétrica para el reloj de la lógica FTL, con el mismo tiempo de precarga que de evaluación. En las Figuras 2.7 y 2.8 se ha seguido la nomenclatura “[estructura][vref]_[longitud_canal]” para referirse a las distintas estructuras FTL; siendo *estructura* la estructura de alta velocidad (*HS*) o la de bajo consumo (*LP*), *vref* indica si se emplea tensión de referencia de *GND* (0) o de $V_{cc}/2$ (06), y *longitud_canal* identifica entre dos posibles longitudes de canal para la carga activa de las estructuras de alta velocidad, $0.12\text{ }\mu\text{m}$ (012) y $0.35\text{ }\mu\text{m}$ (035). Las longitudes de canal mayores se usan para reducir el consumo estático.

Se han eliminado de estas gráficas las simulaciones realizadas a frecuencias de trabajo superiores la frecuencia máxima para el correspondiente número de etapas, tanto para los casos en que el retardo de evaluación, o el de precarga, superen la mitad del periodo de la señal de reloj (ϕ). En los inversores *HS06* el factor limitante es el tiempo de precarga, conforme las tensiones puerta–fuente son reducidas.

De acuerdo a los resultados mostrados en la Figura 2.7(a), no se consigue mejora de retardo en la primera etapa de la lógica FTL respecto a CMOS, excepto para las estructuras con $V_{ref} = V_{cc}/2$. Ello se debe a que, en esta etapa, cuando se precargan los nodos a *GND*, no hay tiempo suficiente como para que el inversor alcance V_{TH} antes de que la entrada esté preparada. Es por ello que en estas estructuras esta primera transición sea idéntica a una transición de inversor CMOS o al de una puerta NOR2 CMOS, para las

⁷En CMOS una frecuencia de 1 MHz en las entradas implica 2 millones de evaluaciones por segundo, mientras que en FTL una frecuencia de reloj de 1 MHz implica sólo 1 millón de evaluaciones por segundo. Por tanto, nos referiremos en ambos casos a la frecuencia de trabajo del reloj de sistema ya que éste marca tanto en CMOS como en FTL el mismo número de evaluaciones por segundo que realiza la lógica combinacional.

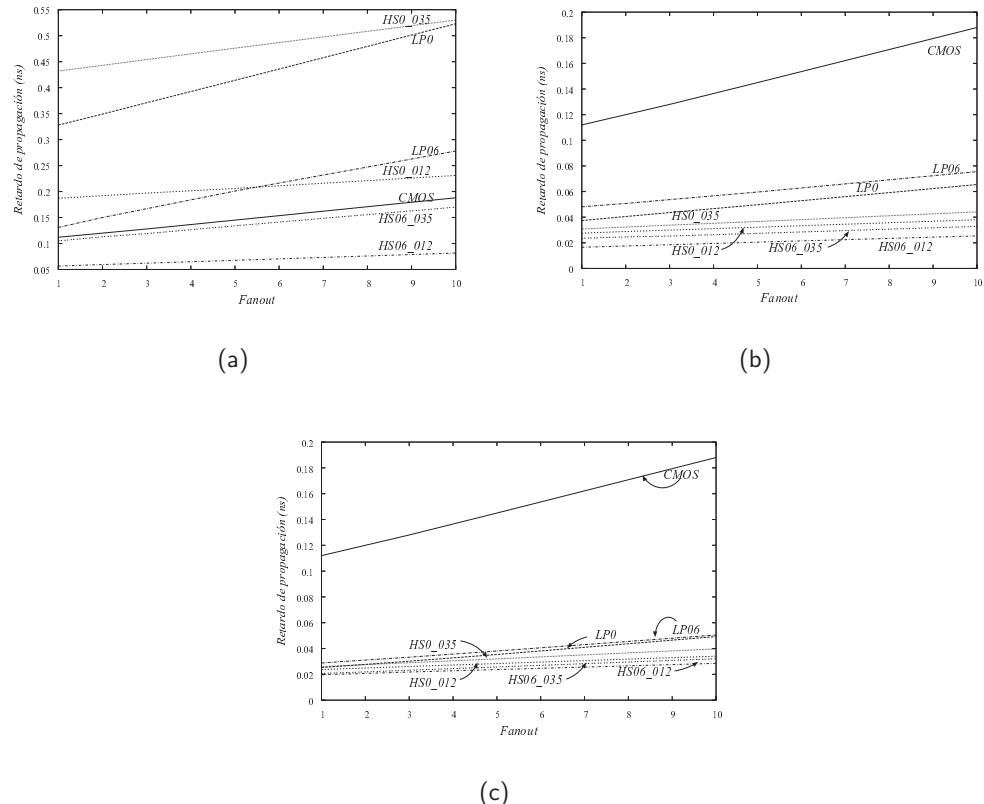


Figura 2.7: Resultados de simulación de una cadena de inversores CMOS y FTL: tiempo de propagación frente al *fanout* para la (a) primera, (b) tercera, y (c) vigésimoprimer etapa.

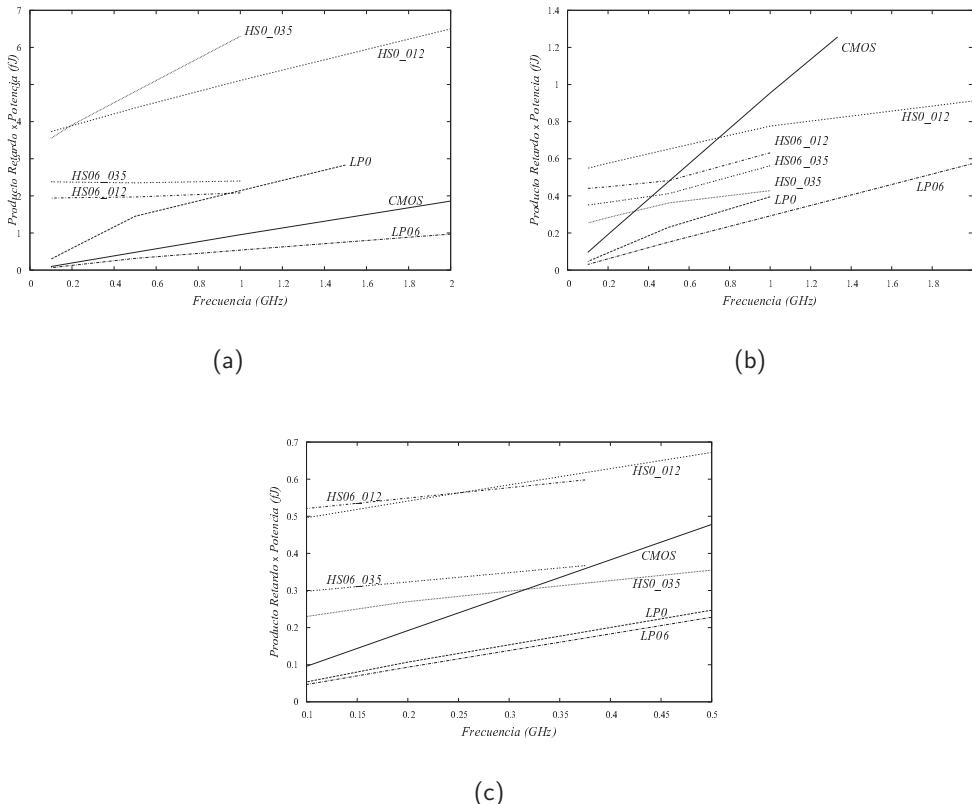


Figura 2.8: Resultados de simulación de una cadena de inversores CMOS y FTL: producto retardo–potencia frente a frecuencia para la (a) primera, (b) tercera, y (c) vigésimoprimer etapa.

estructuras $HS0$ y $LP0$ ⁸, respectivamente. Nótese que las estructuras con $V_{ref} = V_{cc}/2$ reducen sustancialmente el retardo de la primera etapa ya que sí se consigue alcanzar el umbral V_{TH} , y por ello pueden considerarse como una alternativa de interés en cadenas de pocos bits. Nótese que el retardo es inferior respecto a las estructuras con $V_{ref} = 0$ a pesar de que la medida hasta el 50% de la transición final implica mayor nivel de tensión en el instante final. Por otra parte, los resultados mostrados en la Figura 2.7(c) indican que todas las estructuras FTL mejoran de forma muy notable el retardo respecto a las familias CMOS. El retardo obtenido en la etapa 21 es representativo de la tendencia del retardo del inversor FTL para cadenas de inversores suficientemente largas, si bien, hay que destacar que el retardo permanece casi constante desde tan pronto como la tercera etapa (véase Figura 2.7(b)). Esto se debe a que desde dicha etapa los inversores tienen tiempo suficiente para situarse en el umbral V_{TH} del cual se obtiene la ventaja FTL.

El producto retardo–potencia frente a la frecuencia en la tercera y vigésimoprimera etapa de la cadena de inversores (véase Figuras 2.8(b) y 2.8(c), respectivamente) indica que el consumo de potencia, y consecuentemente el producto retardo–potencia, se incrementan con el numero de etapa ya que el umbral V_{TH} se mantiene en los nodos durante más tiempo. Este hecho queda patente en la mayor pendiente de las curvas retardo–potencia frente a frecuencia de la Figura 2.8(c) cuando se compara con la de la Figura 2.8(b). Dicha pendiente indica la energía dinámica disipada durante la operación. Las estructuras $LP0$ consiguen la menor variación del producto retardo–potencia para cadenas largas de inversores, con tan sólo un incremento de la energía dinámica disipada del 14.3%. Por otra parte, la mayor variación de energía dinámica se obtiene en el inversor $HS0_012$, donde la energía dinámica se incrementa en 3 veces de la tercera a la vigésimoprimera etapa. Sin embargo, aunque este inversor posee la mayor variación de energía dinámica desde las primeras a las últimas etapas, hay que destacar que su energía dinámica es 10 veces inferior que la del inversor CMOS en la tercera etapa. El resto de inversores FTL muestran incrementos del consumo dinámico que varían entre el 40% y 70% entre la tercera y vigésimoprimera etapa.

Nótese que los inversores FTL de bajo consumo superan fácilmente las prestaciones de retardo–potencia de CMOS a cualquier frecuencia de trabajo dado su menor consumo tanto estático como dinámico. Sin embargo, los inversores FTL de alta velocidad son una buena opción para aplicaciones de alta velocidad cuando la frecuencia de trabajo es suficientemente alta como para compensar la elevada disipación estática. Además, en los inversores FTL de alta velocidad se puede emplear la longitud del canal del transistor T_p para llegar a un compromiso entre velocidad y consumo. Téngase en cuenta que reduciendo el ciclo de trabajo de las estructuras con $V_{ref} = 0$ también se pueden reducir notablemente los consumos estáticos, ya que la disipación estática sólo se produce durante la fase de evaluación.

El producto retardo–potencia simulado en la primera etapa resulta superior en FTL (véase Figura 2.8(a)), por lo que para que el uso de FTL conlleve una ventaja apreciable tendremos que asegurar que el número de etapas sea suficientemente grande como para compensar la desventaja sufrida en la primera etapa. Sin embargo, para que FTL funcione correctamente en circuitos de gran número de etapas en cascada se ha de cuidar muy especialmente que todos los nodos presenten igual carga capacitiva y condiciones de drive, asegurándose así que todos los nodos transitén conjuntamente hasta alcanzar el

⁸Tanto en el inversor CMOS como en $HS0$, interviene un único transistor P en la carga del nodo de salida, e inicialmente el mismo se encuentra en corte y el nodo de salida está conmutado a GND . En la puerta NOR2 CMOS y $LP0$ intervienen dos transistores P, en idénticas condiciones iniciales.

umbral V_{TH} . Este asunto, de vital importancia en el diseño con familias lógicas FTL, será objeto de discusión posterior en el diseño e implementación de sumadores RCA.

2.3.3 Ruido

Cualquier sistema está sujeto a ruidos, ya sean estos de origen internos al propio circuito (acoplamientos de señales, compartición de carga, etc.), o externos (corrientes inducidas por sustrato, efectos de antena en interconexiones largas, etc.). En ambos casos, el ruido puede modelarse como una tensión aleatoria que se añade a las entradas del circuito, y cuyo efecto puede hacer variar en mayor o menor grado el comportamiento de los mismos.

De entre las distintas herramientas para caracterizar la robustez de los sistemas frente al ruido, caben destacar las siguientes:

Márgenes de ruido : Los márgenes de ruido indican el máximo ruido que un sistema puede soportar en DC a su entrada sin perder los niveles lógicos de sus salidas. Esta medida de la robustez es la más comúnmente aceptada para estimar la robustez de una lógica. Los márgenes de ruido aseguran que para unos niveles de ruido determinados, independientemente de cuantas etapas se conecten en cascada, no se pierde el nivel lógico, ya que las tensiones de salida siempre resultan dentro de los márgenes lógicos de tensión de entrada de la próxima etapa.

Ruido DC de ganancia unitario (UGDN) : Representa el valor máximo de ruido a la entrada de un sistema que causa una degradación del nivel de salida de igual magnitud. Valores de ruido por debajo de dicho umbral serán degradados a medida que se conectan etapas en serie, mientras que valores de ruido superiores a dicho valor se verán amplificados al discurrir por una cadena de puertas conectadas en cascada.

Curvas de inmunidad frente a ruido : Las curvas de inmunidad frente a ruido representan una medida de la robustez frente a ruidos, introducidos estos como espúreos de un determinado ancho y amplitud en el sistema en vez de en DC. Son generalmente usadas en la medida de la robustez en lógicas dinámicas, donde un espúreo puede afectar definitivamente a la pérdida del nivel lógico, ya que estas lógicas, durante su evaluación, no pueden analizarse en régimen DC. Estas curvas representan la máxima amplitud de ruido que puede soportar un sistema a sus entradas sin perder el nivel lógico de sus salidas, en función del ancho del impulso de ruido.

Curvas de umbral medio de energía de ruido (ANTE) : Las curvas ANTE, se obtienen de forma análoga a las de inmunidad frente a ruido, si bien, en vez de representar la amplitud de ruido máxima, indican la energía media de ruido máxima que puede soportarse a la entrada, en función igualmente del ancho del impulso de ruido.

En líneas generales, la robustez frente a ruidos depende principalmente de los umbrales de conmutación de las diversas puertas empleadas y familias lógicas. Esto implica que no se obtienen los mismos márgenes de ruido cuando se conecta una puerta NOR2 CMOS a una inversora CMOS, a otra puerta NOR2 CMOS, o una puerta inversora dinámica, y que cada configuración tiene sus propios niveles de ruido, y en resumen, la robustez frente a ruidos no es característica de una puerta concreta sino de una conexión

entre dos puertas, ya sean estas iguales o no. No obstante, el estudio de los márgenes de ruido o las curvas de inmunidad frente a ruido existente para una conexión en cascada de celdas básicas se toma como representativo de la robustez frente a ruido de la familia lógica completa.

Nótese que existe una enorme diferencia entre el concepto de robustez en casos de lógicas dinámicas y estáticas: en las lógicas dinámicas, un ruido introducido cuyo nivel de energía sea superior al umbral de ruido ANTE, o de una tensión superior a la curva de inmunidad, podrá hacer perder irremediablemente el nivel lógico dado que se descargarán los nodos que almacenaban la carga, y aunque el ruido desaparezca posteriormente, el fallo lógico será irrecuperable; mientras que en lógicas estáticas, si bien es cierto que las condiciones de ruido pueden hacer conmutar la puerta en la dirección errónea, esto sucede sin perjuicio de que la puerta finalmente evalúe las entradas de la forma correcta. En lógicas estáticas, para que se produzca una pérdida del nivel lógico, el ruido introducido ha de permanecer presente hasta que el resultado del cómputo sea requerido, y esto implica que el efecto del ruido es sólo apreciable durante una pequeña ventana de tiempo, justo una fracción del tiempo de transición antes de que el dato sea requerido. A pesar de ello, el efecto de ruidos transitorios aparecidos durante la evaluación de lógicas estáticas puede degradar las prestaciones de retardo y consumo, al producir transiciones indeseadas, o *glitches*. A este respecto, FTL se comporta como una familia lógica estática⁹.

En el caso de FTL, este último aspecto de degradación de prestaciones por efecto del ruido transitorio resulta especialmente importante, dado que el ruido puede hacer perder el umbral FTL durante la evaluación, y por tanto, hacer que durante el resto de la evaluación se comporte en consumo y retardo como una puerta CMOS o pseudo-nMOS convencional. En conclusión, podremos decir que un determinado umbral de ruido transitorio hará que la lógica dominó obtenga un fallo lógico, mientras que el umbral de ruido en FTL causará la pérdida de la ventaja FTL y el comportamiento de la celda como una puerta CMOS o pseudo-nMOS, y en éstas últimas una degradación de las prestaciones. Esos mismos ruidos, presentados en régimen DC, causarán un fallo lógico sea cual sea el estilo lógico empleado.

Márgenes de ruido

Conforme la lógica FTL se comporta durante la evaluación como una puerta de lógica estática, facilitando un camino de corriente independientemente a que se evalúe al nivel lógico alto o bajo, la caracterización de la robustez frente a ruidos puede hacerse atendiendo a su característica de márgenes de ruido, que es la más comúnmente empleada como referencia.

El estudio de los márgenes de ruido resulta de vital importancia a la hora de indicar la fiabilidad de la lógica, pues si estos resultan muy pequeños se estará expuesto a que cualquier ruido introducido en los diseños resulte en fallos lógicos en las puertas. Este factor es especialmente crítico en ambientes sometidos a fuertes radiaciones, como es el caso de diseño de alta velocidad, donde circulan fuertes variaciones de corriente.

Se define el margen de ruido como el máximo nivel DC de ruido que se puede introducir a la entrada de una puerta sin que se produzca con ello una pérdida del nivel lógico en su salida.

⁹Dado que FTL no se basa en el almacenamiento de cargas en el que se basan las lógicas dinámicas, sino que siempre hay un camino de baja impedancia entre el nodo de salida y las líneas de alimentación.

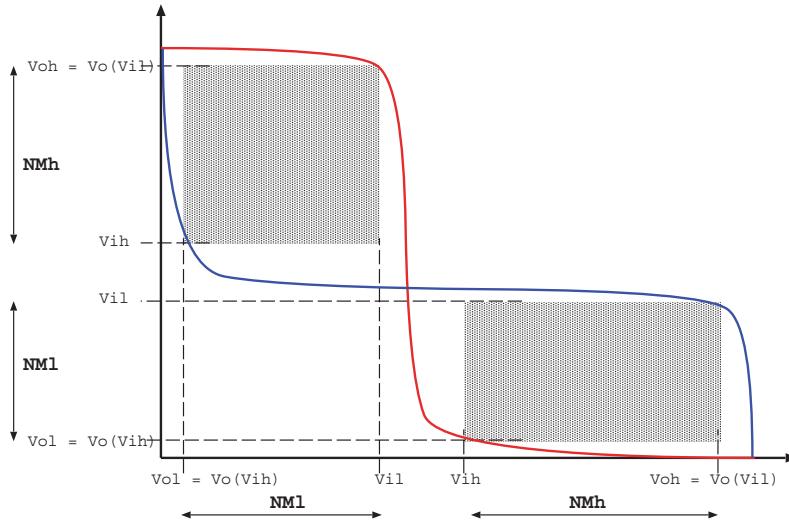


Figura 2.9: Márgenes de ruido de CMOS, pseudo-nMOS y FTL.

Analicemos ahora por un momento lo que ocurre en una puerta lógica con carácter inversor. En la curva de transferencia se puede observar cómo conforme se incrementa la tensión de entrada, la tensión de salida va decrementando, al principio muy lentamente y luego de forma abrupta. Por ello se define la *tensión mínima de entrada a nivel alto* (V_{ih}), y la *tensión máxima de entrada a nivel bajo* (V_{il}) como aquellos valores de tensión de entrada que causan una salida máxima a nivel bajo ($V_{ol} = V_o(V_{ih})$) y mínima a nivel alto ($V_{oh} = V_o(V_{il})$). Esto da lugar a dos márgenes de ruido: el margen de ruido a nivel alto, y el margen de ruido a nivel bajo, que asumiendo que la característica de transferencia es monótona decreciente¹⁰, se rigen por las expresiones siguientes:

$$|x| = \begin{cases} V_{il} - V_o(V_{ih}) & \text{si } V_{il} \geq V_o(V_{ih}) \\ 0 & \text{si } V_{il} < V_o(V_{ih}) \end{cases}$$

$$|x| = \begin{cases} V_{il} - V_o(V_{ih}) & \text{si } V_{il} \geq V_o(V_{ih}) \\ 0 & \text{si } V_{il} < V_o(V_{ih}) \end{cases}$$

Para maximizar los márgenes de ruido, ha de hallarse V_{il} y V_{ih} que cumplan:

$$\delta \frac{NM_l \cdot NM_h}{\delta V_{il}} = V_o(V_{ih}) + V'_o(V_{ih}) - V_{il} - V'_o(V_{ih}) \cdot V_o(V_{il}) = 0$$

$$\delta \frac{NM_l \cdot NM_h}{\delta V_{ih}} = V_o(V_{il}) + V'_o(V_{il}) - V_{ih} - V'_o(V_{il}) \cdot V_o(V_{ih}) = 0$$

Dada la complejidad del sistema de ecuaciones resultante teniendo en cuenta la expresión de $V_o(V_i)$, es preferible recurrir a otros métodos distintos de la expresión analítica para encontrar el par de valores V_{il} , V_{ih} óptimo.

Nótese que si vamos a conectar en cascada bloques lógicos con una curva de transferencia determinada, la tensión de salida de una puerta actúa como tensión de entrada de la siguiente y viceversa. Por tanto, representando gráficamente la característica de transferencia ($V_o(V_i)$) junto con su inversa ($V_i(V_o)$), sobre unos mismos ejes, y fijándonos

¹⁰Esto es, se asume que las funciones son de tipo inversor.

Tabla 2.3: Márgenes de ruido y tensiones de entrada a nivel bajo y alto de CMOS, nMOS, y FTL.

Familia Lógica	V_{il} (mV)	V_{ih} (mV)	V_{ol} (mV)	V_{oh} (mV)	NM_l (mV)	NM_h (mV)
nMOS	442	828	222	1088	220	260
HS0	442	828	222	1088	220	260
HS06	442	828	222	1088	220	260
nMOS*	369	648	108	1090	261	442
HS0*	369	648	108	1090	261	442
HS06*	369	648	108	1090	261	442
CMOS	381	597	56	1110	325	513
LP0	360	574	49	1102	311	528
LP06	379	582	61	1110	318	528

* usando *pull-up* débil ($w=0.35\mu W$).

en el rectángulo de área máxima que puede inscribirse en el área superior¹¹ definida por la intersección de las mismas, tal como se aprecia en la Figura 2.9, se puede observar:

- La intersección de los vértices del rectángulo con las curvas de transferencia indica los puntos de V_{il} (valor de la ordenada de la intersección con la curva de transferencia), y V_{ih} (valor en la abcisa de la intersección con la función inversa de transferencia).
- El margen de ruido a nivel alto está determinado por la altura de dicho rectángulo ($V_o(V_{il}) - V_{ih}$).
- El margen de ruido a nivel bajo está determinado por el largo de dicho rectángulo ($V_{il} - V_o(V_{ih})$).

Determinar el par de valores V_{il} y V_{ih} que hacen que el producto $(NM_l)(NM_h)$ sea máximo consiste, por tanto, en determinar el rectángulo de área máxima que es capaz de inscribirse en el área delimitada por dichas curvas.

El método que seguiremos para obtener los valores de V_{il} y V_{ih} que se corresponden con la anterior definición consiste en hacer un barrido de los posibles valores de V_{il} y V_{ih} , entre $0V$ y $1.2V$, y determinar, en cada punto los valores de NM_l , NM_h y su producto, para buscar luego el par de valores V_{il} , V_{ih} que maximizan el producto $(NM_l)(NM_h)$. Procediendo de dicha manera, se obtienen los márgenes de ruido y tensiones de entrada a nivel alto y bajo que se indican en la Tabla 2.3, para cada familia lógica:

Puede observarse que los márgenes de ruido de la familia FTL de alta velocidad, independientemente de la V_{ref} empleada, resultan idénticos a los obtenidos en la lógica pseudo nMOS, y que los obtenidos por las familias de baja velocidad son tan sólo ligeramente inferiores a los de la lógica CMOS convencional. Esto se debe a que, como se ha comentado, las puertas FTL durante la evaluación se comportan de forma idéntica a una puerta NOR2 pseudo-nMOS y CMOS respectivamente. En la Tabla 2.3 se han indicado los resultados obtenidos para dos versiones distintas de nMOS y FTL de alta velocidad: una versión de dimensiones mínimas ($w=0.28\mu m$, $l=0.12\mu$), y otra de *pull-up* reducido ($w=0.28\mu m$, $l=0.35\mu$). Se observa que los márgenes de ruido de pseudo-nMOS y FTL de alta velocidad resultan inferiores a los obtenidos por CMOS o FTL de bajo

¹¹Nótese que puesto que la gráfica tiene simetría oblicua, con fijarnos sólo en una de las dos áreas y uno de los dos rectángulos inscritos es suficiente.

consumo, debido a que la característica de transferencia de los primeros resulta menos abrupta.

Nótese que los márgenes de ruido aquí indicados son válidos para las conexiones de inversor FTL - inversor FTL, o inversor CMOS - inversor CMOS. Cuando se mezclan distintas familias lógicas, o distintas puertas básicas, los márgenes de ruido resultarán diferentes a los indicados. No obstante, si los márgenes de ruido se reducen sustancialmente al conectar distintas familias lógicas, siempre podrán encajarse mediante una etapa *buffer* adecuada que adapte los niveles lógicos de una familia a otra.

Desequilibrio en FTL

Si bien los márgenes de ruido de FTL son más que aceptables dada la similitud de las características en DC con las lógicas estáticas de las que se derivan, esta condición no garantiza que las prestaciones de la lógica FTL no se vean degradadas en presencia de ruido.

De acuerdo a lo que se ha comentado en este mismo capítulo, tanto en la sección de “Principio de funcionamiento” como en la de “Estimación de retardo” (apartados 2.1 y 2.3.1 respectivamente), es una condición necesaria para la existencia de ventaja FTL que los nodos se estabilicen en el umbral V_{TH} , y para ello, se requiere:

1. Que todos los nodos tengan idénticas características de *drive*.
2. Que todos los nodos tengan idénticas características de carga.
3. Que todos los nodos tengan partan de una misma condición inicial, o tensión de precarga.

Si bien estos requisitos pueden conseguirse con un elevado grado de *matching* y con un cuidado diseño circuital, existen consideraciones tanto de diseño y fabricación, como externas al propio diseño, que pueden afectar a tales condiciones. Este es el caso por ejemplo del *mismatch* de dispositivos y capacidades parásitas durante la fabricación, o de las fuentes externas de ruido. El *mismatch* de los dispositivos incide directamente en las características de *drive*, si bien también puede influir indirectamente en las condiciones de carga (al variar parásitos de los dispositivos) y de tensión iniciales en los nodos (al variar los niveles lógicos de salida). Por otra parte, el *mismatch* de las capacidades de interconexión así como las diferentes implementaciones de los trazados afectan básicamente a las diferencias de carga entre nodos. Por último, el acoplamiento de ruidos electromagnéticos, ya sea de forma capacitiva o inductiva, repercute básicamente sólo sobre las condiciones iniciales de los nodos y dispositivos.

Es de esperar que FTL sea considerablemente sensible a estos parámetros de diseño, y que las prestaciones de FTL se vean degradadas por tanto a partir de un determinado número de etapas. En este apartado nos centraremos exclusivamente en exponer brevemente el principio por el cual se degradan las prestaciones de la lógica FTL como resultado de cualquiera de estos efectos, que en términos de modelado del sistema siempre puede entenderse como una fuente de ruido en el mismo. El efecto del *mismatch* de los dispositivos y capacidades como consecuencia de los procesos de fabricación se analiza en mayor profundidad en el apartado 3.4 (“Análisis de sensibilidad”, pág. 84).

Cuando se introduce un ruido, ya sea en las condiciones iniciales de tensión de los nodos, en las características de *drive* o en las características de carga (ya sea ésta carga lógica o capacitiva), se impide directamente que las transiciones de los nodos sucedan

de forma simultánea. Habrá nodos cuyas transiciones sean más rápidas, y otros con transiciones más lentas; unos cuyas transiciones partan más próximos al umbral y otros más alejados; y en consecuencia unos alcanzarán antes el umbral V_{TH} que otros. Esto provocará que no todos los nodos permanezcan en el umbral V_{TH} al mismo tiempo, y que existan pequeñas diferencias entre las tensiones de los nodos y el umbral V_{TH} . Estas diferencias de tensión serán amplificadas posteriormente por el resto de etapas en la cadena de inversores, consiguiendo en pocas etapas que la transición final en la evaluación parte de un nivel de tensión próximo a V_{cc} o GND (en vez del umbral V_{TH}), otorgando por tanto un comportamiento transitorio de características similares a las de la puerta NOR2 CMOS o pseudo-nMOS y eliminando desde dicha etapa la ventaja FTL. En este punto, diremos que las etapas FTL han perdido el umbral V_{TH} y se encuentran en situación de *desequilibrio*.

Es importante destacar que en la condición de desequilibrio los niveles lógicos no se pierden, y la evaluación se realiza siempre correctamente, viéndose afectadas exclusivamente las prestaciones transitorias de retardo y consumo a partir de un determinado número de etapas. En el peor de los casos, en presencia de desequilibrio desde casi las primeras etapas, la lógica FTL presentará resultados similares a los de las puertas NOR2 de las familias CMOS o pseudo-nMOS, según se trate de estructuras de bajo consumo o de alta velocidad, respectivamente.

La contribución principal al desequilibrio es sin lugar a dudas el número de etapas, conforme la amplificación en tensión es exponencial respecto a dicho factor. Para un número de etapas suficientemente grande, el valor de ganancia también tendrá un peso relevante en la sensibilidad. Veamos esto numéricamente con un ejemplo: asumamos una ganancia de tensión muy moderada, de valor 1.5 en el umbral, y una diferencia en la capacidad de carga tan baja como el 0.1%. Asumamos también un umbral de 0.6V. En estas condiciones, el nodo en el que se presente el exceso de carga quedará con una tensión de aproximadamente 599.4 mV cuando el resto de etapas alcancen el umbral de 600 mV. Esta diferencia de 600 μ V requerirá tan sólo de 17 etapas para alcanzar los niveles de tensión de $V_{cc} = 1.2$ V, y por tanto para poder considerar que no existirá ya ventaja alguna en las transiciones de dicha etapa respecto a la lógica CMOS o pseudo-nMOS. Si aumentamos la ganancia a un valor de 2, correspondiente a una característica DC más abrupta, el número de etapas requeridas para observar la pérdida total del umbral se decrementará a tan sólo 10 etapas. Por tanto, el número de etapas que se puede considerar sin verse afectado por la pérdida del umbral dependerá por una parte de las características de ruido y de las diferencias de *drive* y de cargas de los nodos, y por otra parte de la característica en DC del inversor FTL de la estructura elegida, la cual a su vez resulta muy parecida a la característica en DC de la puerta NOR2 de la familia lógica en que se basa (CMOS o pseudo-nMOS).

El efecto de utilizar cargas capacitivas diferentes en los diversos nodos de las etapas inversoras, se muestra en la Figura 2.10. Se observan los efectos sobre las prestaciones de retardo en la estructura de bajo consumo con $V_{ref} = 0$. En dicho ejemplo se ha añadido un exceso de 1 fF a la salida de la undécima etapa inversora, sobre una cascada de inversores con capacidad de carga de 10 fF. Dicho exceso de carga disminuye la velocidad de carga al umbral V_{TH} de dicha etapa, incrementando su retardo, y esto a su vez causa una mayor velocidad de carga en la duodécima etapa. De esta forma, justo cuando la salida de la décima etapa alcance el umbral V_{TH} , la undécima etapa quedará algo por debajo de dicho umbral, y la duodécima algo por encima. Esta diferencia entre el umbral y la tensión en el nodo es amplificada y propagada desde la undécima etapa

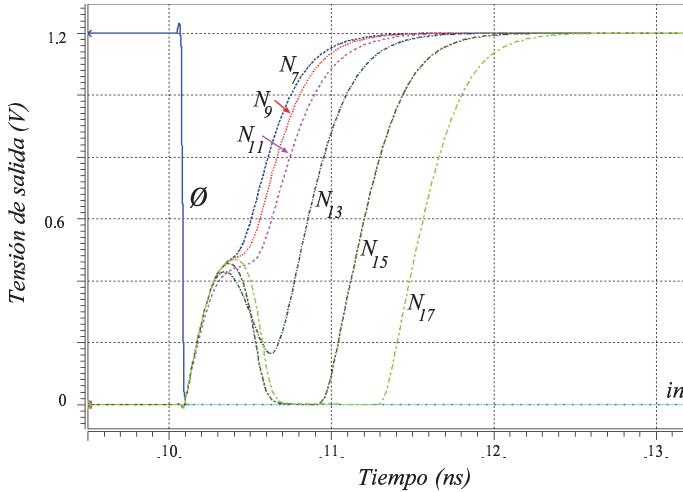


Figura 2.10: Efecto del desequilibrio por diferencias de carga en cadena de inversores FTL (estructura LP0).

en adelante, causando que los inversores FTL pierdan el umbral y se comporten como puertas NOR2 de la familia CMOS convencional. Este efecto se denomina *desequilibrio por descompensación de cargas*. Nótese que, a consecuencia de este desequilibrio, el retardo de la vigésimoprimera etapa llega a un valor de 181 ps para la estructura de bajo consumo, coincidiendo este valor con el retardo de una puerta NOR2 de la lógica estática CMOS. Este resultado es un 59% superior al retardo del inversor CMOS convencional debido al transistor T_p adicional respecto a tal inversor.

Los resultados obtenidos de la simulación con otras estructuras distintas a las de bajo consumo con $V_{ref} = 0$ indican que:

1. Las estructuras con $V_{ref} = V_{cc}/2$ son más insensibles en los primeros nodos al efecto del desequilibrio por descompensación de las capacidades de carga. Evidentemente este comportamiento se justifica en base a que las transiciones requeridas desde la tensión de precarga hasta el umbral son pequeñas tanto en excursión de tensión como en el tiempo que dura la transición, y por ello, la sensibilidad respecto a la velocidad de carga o descarga de los nodos es considerablemente inferior.
2. Las estructuras con $V_{ref} = V_{cc}/2$ tienden a incrementar la sensibilidad respecto al efecto de desequilibrio por compensación de las capacidades de carga conforme nos alejamos de las primeras etapas, tendiendo al comportamiento de estructuras con $V_{ref} = 0$. Esto es debido al mayor tiempo que permanecen las etapas en el umbral conforme incrementa el número de etapas, estando por tanto expuestas más tiempo a las diferencias de velocidad de carga o descarga de los nodos.
3. Las estructuras de alta velocidad presentan una menor sensibilidad al desequilibrio de cargas. Ello se debe principalmente a la menor ganancia en el umbral de dichas estructuras respecto a las de bajo consumo.
4. Las estructuras de alta velocidad con $V_{ref} = V_{cc}/2$ presentan la menor sensibilidad al desequilibrio. Juega a favor de estas estructuras la reducida ganancia en DC

y que la precarga sea a niveles de tensión próximos al umbral V_{TH} , mientras que juega en contra que la tensión de precarga de todos los nodos no sea idéntica en todos los nodos dada la dependencia entrada–salida en las primeras etapas de la cascada. El efecto combinado de estos factores, de acuerdo a los resultados de las simulaciones, indica que prevalecen los efectos positivos frente a los negativos (los cuales sólo se dan en las primeras etapas), y por tanto, en general tiene un efecto beneficioso sobre el máximo número de etapas que se soportan sin experimentar desequilibrio.

2.4 Campo de aplicación

Según se ha descrito en este capítulo, para que FTL resulte de interés es un requisito indispensable que exista una larga cascada de puertas de carácter inversor. De lo contrario, las puertas FTL se comportarán de forma similar a las puertas de otras familias lógicas. Esta característica, necesaria para que las puertas se sitúen en un punto de elevada ganancia y transiten luego rápidamente tan pronto la entrada esté preparada, implica una primera restricción en el uso efectivo de la lógica FTL para arquitecturas tipo *bit-slice*. Si bien FTL puede emplearse como un estilo lógico para circuitos combinacionales de carácter general, sólo obtendrá su máximo rendimiento cuando es empleado en largas cadenas de puertas idénticas conectadas en cascada.

Además, la menor sensibilidad de la lógica FTL respecto a la carga supone una clara ventaja de éste estilo lógico respecto a otras familias lógicas cuando es usado en condiciones de fuerte carga capacitiva, escenario por otra parte habitual cuando se atiende a las capacidades parásitas en tecnologías submicrométricas. En las tecnologías actuales, inferiores a $0.25\text{ }\mu\text{m}$, las capacidades de interconexión resultan superiores a las de los dispositivos, convirtiéndose este aspecto en uno de los principales factores limitantes del desarrollo tecnológico. El desarrollo de nuevas tecnologías de interconexión, así como el de dispositivos de mayor *drive* son objetivos prioritarios en las tecnologías de semiconductores futuras, según los informes del ITRS [1]. La lógica FTL puede verse como un estilo lógico que permite incrementar el *drive* aparente de las puertas ante las capacidades de interconexión, al presentar menor variación de retardo respecto a la carga que el resto de estilos lógicos. Por este motivo, FTL resulta una interesante opción de diseño para mejorar las prestaciones de circuitos cuya profundidad lógica entre etapas de segmentación (o *pipeline*) esté limitada por los retardos de interconexión. Nótese que actualmente la profundidad lógica se limita a aproximadamente el retardo de 8 inversores CMOS con carga lógica (*fanout*) de 4 puertas [34, 35].

Por otra parte, la menor sensibilidad del consumo respecto a la frecuencia de trabajo, o lo que es lo mismo, el menor consumo energético por operación de la lógica FTL, indica que la lógica FTL está especialmente indicada en circuitos que operen a frecuencias de trabajo elevadas. Estos circuitos se beneficiarán tanto del menor retardo como del menor consumo dinámico. En aplicaciones con requisitos de bajo consumo se podrán utilizar las estructuras FTL de bajo consumo, eliminando totalmente los consumos estáticos, a costa de disminuir la velocidad de los diseños.

El principal objetivo en el uso efectivo de estructuras FTL es conseguir compensar adecuadamente las posibles diferencias de carga y *drive* de los nodos para las distintas rutas de evaluación entrada–salida y transiciones alto–bajo o bajo–alto. Para ello se requiere añadir transistores adicionales de forma que se compensen las diferencias detectadas. En el capítulo 3 se muestran algunos ejemplos de cómo se puede realizar esta

compensación para sumadores de gran ancho de palabra. Estos transistores adicionales pueden conllevar un incremento de la complejidad de las celdas, y por tanto, tambien de las capacidades de interconexionado, en el caso de que resulte compleja tal compensación. Por tanto, con el fin de que el proceso de compensación de cargas no resulte costoso, la complejidad de las celdas a compensar ha de mantenerse baja, y en consecuencia, FTL no resulta a priori una metodología de diseño adecuada para celdas de gran complejidad o profundidad lógica. Nótese que la complejidad en detectar y compensar las cargas tiene una relación exponencial con el número de entradas de la celda.

En conclusión, de acuerdo a los aspectos anteriormente citados, el estilo FTL es adecuado para aplicaciones donde la ruta crítica esté formada por una larga cascada de puertas con carácter inversor. Diseños tipo *bit slice* de moderada o baja complejidad resultan idóneos para habilitar la operación FTL y obtener de ella un rendimiento óptimo. Es por ello que diversos circuitos aritméticos como sumadores, multiplicadores, filtros FIR y otras aplicaciones similares sean candidatos ideales para su implementación en lógicas FTL.

Capítulo 3

Sumadores RCA

Índice General

3.1 Diseño	48
3.1.1 Estructuras propuestas	48
3.1.2 Compensación de cargas	48
3.1.3 Resultados simulación pre-layout	52
3.2 Implementación	57
3.2.1 Trazado de alta simetría	58
3.2.2 Trazado compacto	64
3.3 Caracterización de sumadores RCA en FTL	69
3.3.1 Tipos de desequilibrio	70
3.3.2 Modelos propuestos de retardo y consumo	73
3.3.3 Procedimiento seguido	81
3.3.4 Resultados de la caracterización	83
3.3.5 Limitaciones de la caracterización	83
3.4 Análisis de sensibilidad	84
3.4.1 Sensibilidad frente a parámetros de diseño	84
3.4.2 Sensibilidad frente a proceso de fabricación	91

Resumen: En este capítulo se aplica el principio FTL a un caso práctico: el diseño de sumadores *Ripple Carry Adder*. Los primeros apartados del capítulo resumen el *know-how* obtenido durante el diseño e implementación usando esta nueva familia lógica, así como los resultados obtenidos en base a simulaciones *prelayout* y *postlayout* y su comparación con otros estilos lógicos. Nos centraremos principalmente en las decisiones de diseño físico y circuital que han de cuidarse durante las etapas de diseño e implementación con familias lógicas FTL, para posteriormente caracterizar el comportamiento de dichos sumadores frente al número de bits, la frecuencia de trabajo y el tiempo de precarga, o el ciclo de trabajo, de forma que se puedan estimar con precisión tanto el retardo como el consumo de tales sumadores en condiciones de diseño que difieren de las indicadas en las secciones previas. En la última sección del capítulo se analiza la sensibilidad de los sumadores RCA en lógica FTL frente a variaciones en diversos parámetros de diseño, como consecuencia bien de las condiciones de operación bien de las variabilidad determinada

por los procesos de fabricación. Los resultados obtenidos indican importantes ventajas de la lógica FTL en este tipo de circuitos así como una baja sensibilidad respecto a las variaciones globales en los parámetros de diseño, si bien se muestra también una elevada sensibilidad frente al *mismatch* de los dispositivos durante la fabricación, siendo éste el factor limitante en las prestaciones finales.

3.1 Diseño

Durante la etapa de diseño se ha estudiado cómo obtener sumadores RCA en lógica FTL sobre tecnologías CMOS, orientadas tanto a aplicaciones de alta velocidad como de bajo consumo. Dentro de las celdas de alta velocidad se han estudiado tanto estructuras diferenciales como estructuras no diferenciales, ambas basadas en la lógica pseudo-nMOS. Por otra parte, las celdas de bajo consumo se han basado en la lógica estática CMOS convencional.

3.1.1 Estructuras propuestas

Las celdas de acarreo y suma diferenciales empleadas en esta tesis se basan en las propuestas por Montiel y Nooshabadi en tecnologías GaAs [2, 36]. Para ello se ha substituido la carga activa, formada por un transistor de empobrecimiento, por un transistor pMOS (T_p) conectado a la señal de reloj (ϕ), y se ha añadido un transistor nMOS para la precarga (T_r) en cada una de las ramas de evaluación del esquema diferencial.

Por otra parte, los sumadores de bajo consumo están basados en el sumador RCA típico de la lógica combinacional CMOS, haciendo uso de la variante de salida negada (véase apartado 8.2 en [37]). Esta variante u optimización, ampliamente usada, permite reducir tanto el número de dispositivos como el retardo y consumo, al evitar el uso de inversores en la ruta crítica del sumador. Los sumadores de alta velocidad no diferenciales comparten la misma función de evaluación que los de bajo consumo, si bien, emplean únicamente dispositivos nMOS para la evaluación de la función lógica. La adaptación a FTL se corresponde, en todos los casos, con el esquema expuesto para estructuras de alta velocidad y bajo consumo tal como fueron introducidas en el apartado 2.2. Dado el carácter inversor de las celdas no diferenciales, y con el fin de mantener la polaridad correcta entre etapas, las entradas a y b de etapas pares y las salidas *sum* de etapas pares se han conectado por medio de inversores a las entradas y salidas del sumador.

Las celdas básicas de suma y acarreo resultantes, en su versión de alta velocidad con $V_{ref} = 0$, se muestran en la Figura 3.1. Idénticos bloques lógicos son empleados para las estructuras de bajo consumo sin más que reemplazar transistores nMOS por pMOS para los bloques de evaluación P. Los bloques de evaluación se mantienen constantes para las versiones con $V_{ref} = V_{cc}/2$. Las celdas de suma y acarreo de los sumadores diferenciales se muestran en las Figuras 3.1(b) y 3.1(d) respectivamente, mientras que las de los sumadores no diferenciales se hace en las Figuras 3.1(b) y 3.1(d). En ambos casos, se muestran los esquemas de estructuras FTL de alta velocidad.

3.1.2 Compensación de cargas

El principal problema de estas estructuras, cuando se ignoran los transistores resaltados en la Figura 3.1, es la existencia de diferencias de carga para distintas rutas de propa-

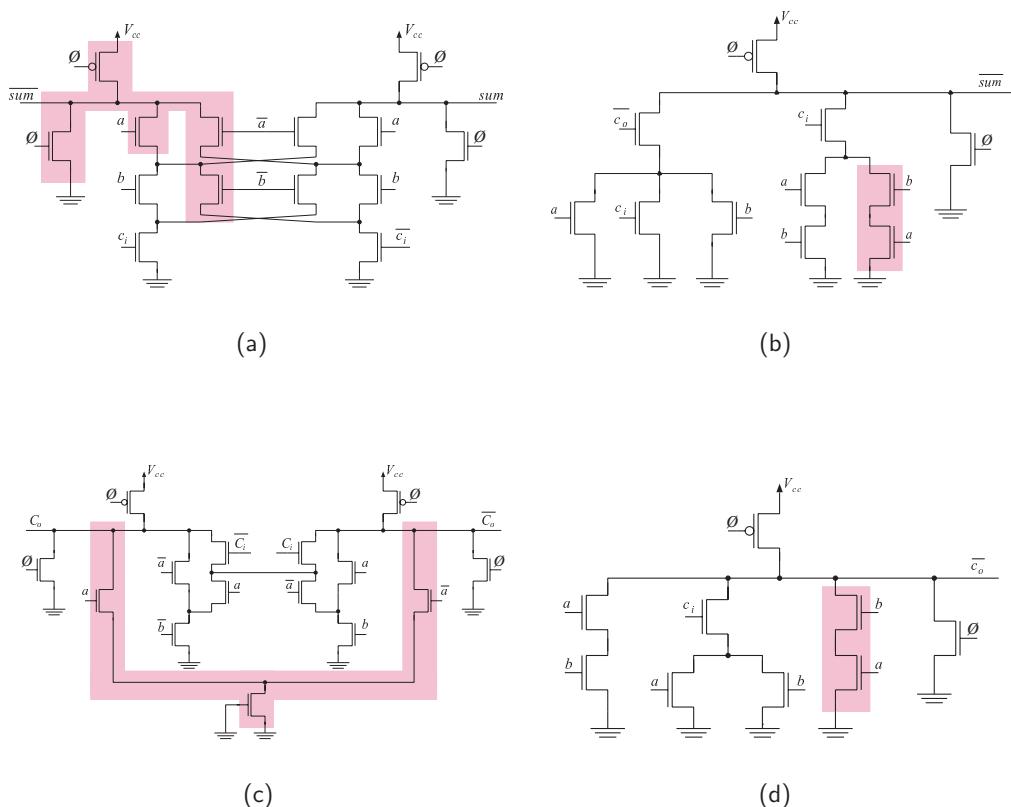


Figura 3.1: Sumadores Ripple Carry Adder: (a) celda de suma diferencial, (b) celda de suma no diferencial, (c) celda de acarreo diferencial y (d) celda de acarreo no diferencial.

gación del acarreo (esto es, para las configuraciones $a = 1, b = 0$; y $a = 0, b = 1$). Estas diferencias de carga conllevan tensiones de pre-evaluación en las celdas de acarreo que difieren del umbral V_{TH} , tal como se indica en el apartado 2.3.3. Por tanto, se produce una pérdida del umbral, en lo que se ha denominado *situación de desequilibrio*. Llamaremos *punto de desequilibrio* al número de bits, o número de etapa, en el que aparece la condición de desequilibrio. Cuando se ignoran los transistores resaltados en la Figura 3.1 las estructuras mostradas presentan un punto de desequilibrio de tan sólo 4 bits cuando se alternan las distintas rutas de propagación para $V_{ref} = 0$. El punto de desequilibrio de estas mismas estructuras mejora notablemente cuando se usan tensiones de precarga de $V_{ref} = V_{cc}/2$, incrementándose hasta el bit 12–16. Este mismo comportamiento se observa tanto para las estructuras diferenciales como para las no diferenciales.

Con el fin de extender la ventaja de la lógica FTL a sumadores RCA de mayor ancho de palabra se ha compensado la carga de las estructuras anteriores. Para compensar las diferencias de capacidad en los nodos durante los transitorios se han añadido los transistores resaltados en la Figura 3.1. Dichos transistores, si bien incrementan ligeramente el área de diseño, afectan mínimamente al consumo y al retardo en la ruta crítica dado que dichas características se encuentran dominadas mayormente por las capacidades de interconexión. Obsérvese que si bien los transistores añadidos no modifican en absoluto la función lógica de las celdas, sin embargo permiten incrementar la simetría de cargas y dispositivos para las distintas rutas de propagación. Los transistores añadidos, sin embargo, sí pueden modificar el consumo tanto estático como dinámico durante la generación de acarreo en la estructura no diferencial. Si se desea evitar esta situación, pueden dimensionarse los transistores de compensación tanto como los de su rama simétrica para obtener menor β usando longitudes de canal de valor doble a los empleados sin compensación de carga. Este mecanismo reproduce el comportamiento de consumos de las estructuras sin compensación y tan sólo incurre en un mínimo incremento de las capacidades de carga.

Nótese que, por ejemplo, el nodo de salida en la celda de acarreo no diferencial está cargada, entre otras, por una conexión serie de dos dispositivos nMOS conectados a las entradas a y b . Ahora bien, la carga de dicha conexión serie no resulta idéntica para las configuraciones $a = 0, b = 1$; y $a = 1, b = 0$ dado el efecto de cuerpo¹ (*body effect*), entre otros. Sin embargo, cuando se añaden los transistores sombreados, esta diferencia de carga deja de existir ya que el nodo de salida se encuentra ahora cargado por dos conexiones serie: una a través de las entradas a y b , y otra a través de las entradas b y a . De esta forma, sea cual sea la ruta de propagación, la carga del nodo de salida resulta idéntica, pues siempre estará formada por una rama con una conexión serie off-on y otra rama con una conexión on-off.

También puede observarse que se han compensado las diferencias de carga en la celda de suma. Si bien estas celdas no forman parte directamente de la ruta crítica, y que funcionalmente no es necesaria la compensación de carga en el nodo de suma, en ellas se producen diferencias de carga para las entradas c_i y $\overline{c_o}$ según el estado de las entradas a y b . Si bien estas diferencias de carga son mínimas, resultan suficientes como

¹El efecto de cuerpo indica que existe una dependencia entre la tensión fuente–substrato y la tensión umbral de los dispositivos. Conforme en una conexión serie de dispositivos existe una pequeña caída de tensión entre drenador y fuente, dada la conductancia finita del canal, el efecto de cuerpo implica que existe una diferencia entre las tensiones umbrales de ambos dispositivos. Por otra parte, dada la dependencia de las capacidades del dispositivo con la tensión umbral y fuente–substrato del mismo [38], se desprende que ambos dispositivos, a causa del efecto de cuerpo, presentarán pequeñas diferencias de carga entre sus nodos.

para provocar desequilibrio en las celdas de acarreo para sumadores de elevado ancho de palabra. La compensación de estas celdas, por tanto, resulta un eficaz mecanismo para disminuir las diferencias de carga en la salida de las celdas de acarreo, desplazando el punto de desequilibrio hacia un mayor número de bits y permitiendo por tanto obtener sumadores de mayor ancho de palabra, o más robustos para un mismo número de bits.

En los sumadores diferenciales, la diferencia de carga se ha compensado conmutando la capacidad de un dispositivo en región de corte a una de las dos ramas de la estructura diferencial. La capacidad añadida coincide exactamente con la diferencia de capacidad existente en los nodos de salida entre ambas rutas de propagación. Los dispositivos conectados a a y \bar{a} conmutan la capacidad añadida al nodo de salida que presenta la menor capacidad, según la ruta de propagación seleccionada. En base a las simulaciones realizadas con *hspice* y tecnología UMC de 130 nm, los sumadores diferenciales muestran menor sensibilidad al desequilibrio de cargas en los nodos internos que los de estructura no diferencial, y por tanto, son más adecuados para construir sumadores de gran ancho de palabra y altas prestaciones. Las simulaciones pre-layout realizadas, teniendo en cuenta una capacidad de carga de 10 fF en todos los nodos debido al interconexión, y las compensaciones de carga anteriormente mencionadas, permiten obtener sumadores cuyo punto de desequilibrio es superior a los 64 bits, tanto para $V_{ref} = 0$ como para $V_{ref} = V_{cc}/2$.

Por otra parte, los sumadores no diferenciales muestran una mayor sensibilidad al desequilibrio de cargas y en ellos el proceso de compensación resulta más complejo. Las estructuras de alta velocidad resultan menos sensibles que las de bajo consumo, dada la mayor suavidad de sus curvas características en DC (menor ganancia máxima) y el menor número de dispositivos que poseen. Se ha constatado que incluso con la compensación de carga de las celdas de suma resulta complejo obtener puntos de desequilibrio superiores a 32–40 bits en las estructuras de alta velocidad y 24–32 bits en las de bajo consumo, según se use $V_{ref} = 0$ o $V_{ref} = V_{cc}/2$. Ello se debe principalmente a cómo varía la carga de la primera etapa a lo largo del tiempo respecto al resto de etapas. La primera etapa tiene sus entradas preparadas desde el instante inicial, mientras que el resto transitan primero hasta el umbral. Esto provoca una ligera diferencia en la evolución temporal de la carga en las entradas de la primera etapa, que si bien, no es importante en la celda de acarreo (conforme la entrada está conectada a una entrada directa del sumador), sí lo es en las de suma (puesto que repercute en la carga de la salida de la primera etapa de acarreo). Para reducir el efecto de la diferencia de cargas en esta primera etapa, insertaremos dos celdas inversoras, a modo de *buffer* entre las salidas de acarreo y las entradas de acarreo de las celdas de suma. Esta técnica, si bien permite reducir la diferencia de carga, se realiza a costa de un mayor área de diseño. Hay que destacar que a pesar de incrementarse el área, el impacto sobre el consumo es a penas despreciable, e incluso favorable cuando se usan transistores de dimensiones mínimas, dado dos efectos opuestos: por una parte los *buffers* producen un consumo adicional, si bien, por otra parte, al recuperar los niveles lógicos en las entradas del sumador y eliminar las transiciones FTL en las celdas de suma, contribuyen a reducir el consumo en las mismas. Los *buffer* han de insertarse en todas las etapas para garantizar que la carga sobre los nodos de acarreo resulte idéntica en todos los bits. Gracias a esta compensación se consigue extender el funcionamiento de los sumadores no diferenciales hasta 28–40 bits en el caso de bajo consumo, y 40–64 bits en los de alta velocidad.

En lo que respecta a la configuración de las simulaciones, para obtener los resultados de mayor precisión posible se requiere habilitar la opción *accurate* en la simulación con

hspice, aún a costa de incrementar el tiempo de simulación. Por otra parte, dada la elevada sensibilidad de FTL a cualquier diferencia en condiciones iniciales y de carga, y con el fin de obtener una simulación lo más real posible, se recomienda atacar todas las entradas mediante inversores para simular niveles de tensión reales, así como aislar todas las salidas FTL mediante inversores para evitar que cualquier diferencia de carga pueda afectar a las prestaciones de los circuitos FTL diseñados. Por último, destacar que la ruta crítica se corresponde a la generación de acarreo en la primera etapa y propagación de acarreo en el resto, puesto que esta situación induce una diferencia de *drive* y carga en la primera etapa, resultando más desfavorable en términos de desequilibrio que el caso de propagación en todas las etapas. Esta condición es especialmente importante en las celdas de bajo consumo. Todas estas consideraciones han sido tenidas en cuenta en las simulaciones y resultados mostrados en esta tesis doctoral.

3.1.3 Resultados simulación pre-layout

Con el fin de obtener una comparativa de las prestaciones obtenidas en sumadores FTL respecto a otros estilos lógicos se ha simulado el conjunto de sumadores FTL, diferenciales y no diferenciales, en sus estructuras de alta velocidad y bajo consumo, así como las correspondientes versiones de las celdas no diferenciales en lógica estática CMOS y pseudo-nMOS. Con el propósito de obtener una comparación también de los resultados respecto a otras familias lógicas de mayor velocidad, se ha simulado también el sumador RCA en lógica dinámica dominó. De entre las diversas variantes de sumadores RCA en lógica dominó se ha elegido el sumador NP_DRCA domino CMOS [39] ya que es una implementación de altas prestaciones formada por etapas de lógica combinada (lógica-lógica) en vez de las implementaciones simples (lógica-inversor), la cual, además, obtiene buenos resultados tanto en términos de retardo como de consumo energético.

En este apartado se exponen los resultados obtenidos en la simulación con *hspice* de dichos sumadores empleando la tecnología CMOS $0.13\text{ }\mu\text{m}$ 1.2 V $3.3\text{ V Logic High Speed Process}$ de UMC. Los parámetros de simulación incluyen una capacidad de carga de 10 fF en todos los nodos, esquina típica de proceso tecnológico, y una temperatura de 25°C . Las prestaciones son medidas en términos del retardo de propagación (t_p), potencia y Figura de Mérito (FoM), Γ , expresada esta como el producto retardo–potencia por MHz. Nótese que la Figura de Mérito es una medida de la eficiencia energética para una frecuencia de reloj, o prestaciones, determinada [40] y que, por tanto, permite comparar la bondad de las prestaciones incluso cuando se emplean distintas frecuencias de trabajo. Esto se debe a que el producto retardo–potencia por MHz es una medida precisa del producto energía–retardo². Nótese además que en lógicas puramente combinacionales (CMOS y pseudo-nMOS) el valor de frecuencia se refiere a la frecuencia de trabajo del *pipeline* en el que el sumador estaría inmerso dentro de un diseño síncrono, y no a la frecuencia de las señales de entrada o salida. De esta forma las prestaciones de todos los sumadores se expresan en términos del rendimiento energético y del producto retardo–energía por operación realizada. De lo contrario, los estilos lógicos estáticos saldrían perjudicados en la comparación conforme en cada ciclo de reloj se procesarían dos operaciones de suma, en vez de una.

²El valor de potencia por MHz resulta ser el consumo energético del sumador durante un ciclo de trabajo completo, o lo que es lo mismo, durante una operación de suma completa. Por tanto, el producto retardo–potencia por MHz se corresponde fielmente con el producto energía–retardo del mismo. Nótese que cuando la frecuencia de trabajo coincide con su valor máximo, además, este valor resulta próximo tanto al producto retardo²–potencia como a la energía por operación realizada, o eficiencia energética.

Se configuran las entradas $a = 0$ y $b = 1$ de forma que se seleccione la ruta más desfavorable, o ruta crítica, formada por la propagación de acarreo a través de todas las etapas. Esta configuración causa el máximo desequilibrio de cargas en FTL dado que las etapas pares se conectan a las entradas a y b del sumador por medio de inversores. Adicionalmente, en FTL, se fuerza una generación de acarreo en la primera etapa usando $a_0 = b_0 = c_0 = 0$ o bien $a_0 = b_0 = c_0 = 1$, según se desee generar un acarreo a nivel bajo o alto, para forzar la condición de mayor desequilibrio y la ruta más crítica en retardo. La entrada de acarreo se hace transitar entre el nivel lógico alto y bajo, para medir el consumo medio de ambos casos en las familias CMOS, pseudo-nMOS y FTL. En la lógica dominó se usa una entrada de acarreo siempre a nivel alto³.

Se puede demostrar que el consumo medio de un patrón de entradas aleatorio suficientemente grande resulta aproximadamente el 50% del valor del consumo activo indicado en la Tabla 3.1 para las familias lógicas CMOS, pseudo-nMOS y dominó⁴. En FTL este valor se sitúa también próximo al 50% del valor mostrado en la Tabla 3.1 para sumadores de pocos bits con $V_{ref} = 0$ dado el comportamiento similar a lógicas dinámicas en las primeras etapas, mientras que se acercará al 100% de dicho valor conforme el número de bits se incremente o se utilicen tensiones de precarga de $V_{ref} = V_{cc}/2$, conforme una vez alcanzado el umbral se producirá siempre una transición completa.

La Tabla 3.1 recoge los resultados obtenidos, mostrando el tiempo de precarga (t_{pre}) y evaluación (t_{eval}), el retardo (t_p), la potencia y la Figura de Mérito (Γ) para cada familia lógica. Así mismo se indican las prestaciones relativas al sumador NP_DRCA dominó en términos de ventaja de retardo, frecuencia máxima de operación, y Figura de Mérito. Se presentan los resultados para la lógica CMOS (CMOS), pseudo-nMOS (nMOS), NP_DRCA dominó (dominó), así como para la FTL no diferencial de bajo consumo y de alta velocidad y FTL diferencial de alta velocidad tanto en sus versiones con $V_{ref} = 0$ (lp0, hs0, diff_hs0, respectivamente) como con $V_{ref} = V_{cc}/2$ (lp06, hs06 y diff_hs06, respectivamente). Los datos mostrados se refieren a la máxima frecuencia de trabajo en cada estilo lógico, para sumadores de 40 y 64 bits. Las prestaciones relativas son expresadas en todos los casos respecto al sumador dominó con el mismo número de bits. El periodo mínimo de reloj (inversa de la máxima frecuencia de trabajo) se obtiene como suma de los tiempos de precarga y evaluación requeridos para asegurar una degradación de niveles lógicos inferior al 5% (degradación de la señal inferior al 10%).

De acuerdo a los resultados de la simulación presentados en la Tabla 3.1, se extraen las siguientes conclusiones:

- **Los sumadores dinámicos dominó presentan peores prestaciones que los sumadores estáticos CMOS:** La falta de rendimiento de la lógica dominó, siendo considerada una tecnología que ofrece mejores prestaciones que la lógica estática

³El valor de consumo al que se refiere en la Tabla 3.1 se corresponde a la condición de consumo activo tanto por la celda de suma como de acarreo ($P_{carry} + P_{sum}$). En CMOS y pseudo-nMOS tal condición se debe a la presencia de una transición entre el estado actual y el próximo, mientras que en dominó representa el caso de descarga del nivel de precarga, esto es, salida tanto de suma como de acarreo a nivel alto (dado que las celdas son de lógica negada y con precarga a nivel alto). Es por ello que en CMOS se haga transitar la entrada de acarreo, mientras que en dominó se haga permanecer a nivel lógico alto.

⁴El consumo medio obtenido de un patrón de entradas aleatorias puede expresarse en términos de la suma de cada una de las probabilidades de tránsito de un estado a otro y del consumo asociado a cada variación de estado, el cual puede expresarse como un porcentaje del consumo máximo (consumo activo por la celdas de acarreo y suma).

Tabla 3.1: Comparación entre sumadores RCA en lógica dinámica dominó, CMOS, pseudo-nMOS y FTL diferencial y no diferencial en términos de las prestaciones de frecuencia y retardo, consumo, rendimiento energético y sus respectivos ratios.

familia lógica	bits	t_{pre} (ns)	t_{eval} (ns)	f_{max} (MHz)	t_p (ns)	consumo (mW)	área (μm^2)	Γ (fJ/MHz)	Γ ratio	f_{max} ratio	t_p ratio
dominó	40	0.337	12.640	77.059	12.060	0.133	30.912	20.752	1.000	1.000	1.000
cmos	40	0.000	10.220	97.847	10.040	0.099	36.288	10.169	2.041	1.270	1.201
nmos	40	0.000	5.033	198.689	4.874	3.097	22.848	75.972	0.273	2.578	2.474
*lp0	40	1.100	2.809	255.820	2.440	0.745	52.416	7.106	2.920	3.320	4.943
*Ip06	40(28)	1.300	7.241	117.082	6.905	0.498	55.104	29.370	0.707	1.519	1.747
hs0	40	0.283	2.279	390.396	2.172	4.053	30.912	22.549	0.920	5.066	5.552
hs06	40	1.350	2.074	292.056	1.970	3.657	30.912	24.667	0.841	3.790	6.122
dhs0	40	0.300	1.752	487.329	1.577	6.634	38.976	21.468	0.967	6.324	7.647
dhs06	40	1.400	1.534	340.832	1.366	4.634	38.976	18.572	1.117	4.423	8.829
dominó	64	0.337	19.900	49.414	19.320	0.136	49.459	53.290	1.000	1.000	1.000
cmos	64	0.000	16.210	61.690	16.100	0.100	58.061	26.098	2.042	1.248	1.200
nmos	64	0.000	7.946	125.849	7.796	4.881	36.557	302.363	0.176	2.547	2.478
*lp0	64(42)	1.100	9.700	92.593	9.603	0.542	83.866	56.254	0.947	1.874	2.012
*Ip06	64(28)	1.300	15.970	57.904	15.640	0.454	88.166	122.627	0.435	1.172	1.235
*hs0	64(42)	0.283	5.032	188.164	4.937	5.901	49.459	154.829	0.344	3.808	3.913
*hs06	64	2.000	3.125	195.122	3.021	5.950	49.459	92.122	0.578	3.949	6.395
dhs0	64	0.400	2.563	337.541	2.355	10.520	62.362	73.397	0.726	6.831	8.204
dhs06	64	2.000	2.258	234.852	2.087	7.466	62.362	66.346	0.803	4.753	9.257

*Sumadores en desequilibrio: El número entre paréntesis indica el máximo número de bits antes de que aparezca la condición de desequilibrio (punto de desequilibrio). Los sumadores que presentan desequilibrio pierden la ventaja FTL a partir del dicho número de bits, presentando en adelante consumos y retardos próximos a sus equivalentes CMOS o pseudo-nMOS.

CMOS, se debe a que esta sólo es capaz de mejorar en retardo a las lógicas estáticas CMOS sobre el supuesto de bajas capacidades de carga. Obsérvese que el menor retardo de dominó proviene en gran parte del hecho de que cada entrada sólo esté conectada a un dispositivo nMOS. Cuando la capacidad de carga es significativa respecto a la de los dispositivos, dicha ventaja desaparece y los retardos en CMOS resultan inferiores⁵. A medida que se incrementa el escalado tecnológico, menores capacidades de carga se requieren para que las prestaciones de CMOS superen a las de la lógica dominó sobre el supuesto de igualdad de cargas. No obstante, hay que destacar que la lógica dominó, a pesar de requerir dispositivos adicionales para evitar la descarga de nodos en alta impedancia o los efectos de la compartición de cargas, dada su menor complejidad permite realizar diseños físicos más compactos y por tanto, con capacidades de interconexión menores. Por tanto, la comparación en condiciones de igualdad de cargas no resulta real, desfavoreciendo a la lógica dominó (véanse resultados *postlayout* en el apartado 3.2.2). El valor seleccionado de capacidad de carga (10 fF) resulta adecuado para las simulaciones *prelayout* conforme se sitúa entre las capacidades equivalentes extraídas de la implementación física del sumador dominó y CMOS (7 fF y 12 fF respectivamente).

⁵Durante la evaluación en lógica dominó, la impedancia del bloque nMOS de evaluación resulta ligeramente superior al del correspondiente bloque CMOS. Sin embargo, la capacidad equivalente, si sólo se atiende a la de los dispositivos y se puede despreciar la capacidad de carga, resulta notablemente inferior. En consecuencia, la evaluación en dominó se completará antes. Sin embargo, cuando la capacidad de carga es dominante, al existir valores de capacidad equivalente similares y tener mayor capacidad de *drive* la lógica CMOS, la evaluación de la lógica dominó será más lenta. A modo de ejemplo, cuando se emplean capacidades de carga de 3 fF se puede apreciar una ligera ventaja de dominó en términos de retardo (5.5%) y un rendimiento energético similar al de CMOS (0.6% mejor); mientras que cuando se elimina completamente la capacidad de carga de las simulaciones, la lógica dominó presenta tanto mejores retardos (69.3%) como rendimientos energéticos (2.57 veces mejor, o reducción del consumo energético por operación del 61.1%).

- **Conforme el número de bits se incrementa (en sumadores sin desequilibrio), las prestaciones de retardo FTL mejoran respecto al resto de familias lógicas:** Ello se debe a que un mayor número de etapas se benefician de la ventaja FTL, conforme son capaces de alcanzar el umbral y mantenerse en él. A mayor número de etapas más se aproxima el retardo medio al retardo FTL, y más se compensa el retardo de las primeras etapas similar al de CMOS o pseudo-nMOS. A partir de la aparición del desequilibrio, la ventaja de retardo se reduce, conforme el retardo de las etapas que superan el desequilibrio tiende a ser similar al de CMOS o pseudo-nMOS.
- **Conforme el número de bits se incrementa (en sumadores sin desequilibrio), el rendimiento energético se reduce ligeramente:** La menor eficiencia energética de los sumadores de mayor ancho de palabra, incluso en ausencia de desequilibrio, se debe a que mayor número de etapas permanecen en el umbral durante una cantidad de tiempo notable, entregando por tanto una gran carga, y contribuyendo al consumo con fuertes corrientes de cortocircuito. Esta situación causa que los consumos dinámicos de las etapas se incremente conforme se incrementa el número de bits, y que los sumadores de mayor ancho de palabra (64 bits) obtengan peores rendimientos energéticos que los de anchos de palabra más moderados (40 bits).
- **Las estructuras de bajo consumo son las más sensibles al desequilibrio, y las diferenciales las más insensibles:** Atendiendo al punto de desequilibrio, los sumadores FTL de bajo consumo no son adecuados para sumadores de más de 40 bits, cuando se emplea $V_{ref} = 0$. Este valor es todavía inferior cuando se usa $V_{ref} = V_{cc}/2$ (28 bits). Sin embargo, las estructuras de alta velocidad permiten operar a 64 bits sin que aparezca la condición de desequilibrio tanto en sus versiones diferenciales como en las no diferenciales. En las estructuras no diferenciales de alta velocidad, esto se consigue sólo cuando se emplea $V_{ref} = V_{cc}/2$ (*hs06*). Por otra parte, las estructuras diferenciales operan a 64 bits sin requerir ninguna fuente de tensión adicional más que la alimentación. Nótese que las estructuras de bajo consumo están limitadas en prestaciones por la aparición de desequilibrio, si bien, en términos de rendimiento energético estas estructuras presentan una considerable mejora respecto a la obtenida en lógica dominó.
- **Las prestaciones de velocidad son considerablemente mejores en FTL que en el resto de familias lógicas:** La mayor mejora de velocidad respecto a la lógica dominó se obtiene con estructuras diferenciales de alta velocidad, con $V_{ref} = 0$ (*dhs0*) y 64 bits. Estas estructuras obtienen ventajas de 8.2 veces en términos de retardo de propagación, y de 6.8 veces en términos de frecuencia máxima de trabajo. Por otra parte, las estructuras diferenciales de 40 bits con $V_{ref} = V_{cc}/2$ (*dhs06*) mantienen elevadas ventajas de retardo 8.8 veces, con unas ventajas en término de frecuencia máxima más moderadas (4.4 veces superiores a dominó). Nótese que incluso las estructuras de bajo consumo con mayor desequilibrio obtienen siempre ventajas de retardo tanto respecto a dominó como a CMOS. Obsérvese también que las estructuras de bajo consumo que no presentan desequilibrio (*lp0*, 40 bits) obtienen importantes méritos tanto en retardo como en frecuencia máxima cuando se compara con las lógicas dominó y CMOS. Respecto a dominó se obtienen 4.9 veces inferiores retardos y 3.3 veces superiores frecuen-

cias de trabajo. Cuando se compara con CMOS se obtienen 4.1 veces inferiores retardos y 2.6 veces superiores frecuencias de trabajo.

- **El máximo rendimiento energético se obtiene en sumadores FTL:** El mayor rendimiento en términos del producto energía–retardo se obtiene en sumadores FTL no diferenciales de bajo consumo con $V_{ref} = 0$ $lp0$ para 40 bits. Estas estructuras, al no presentar desequilibrio y basarse en lógica estática CMOS ofrecen importantes ventajas en términos de rendimiento energético cuando se comparan con el resto de estilos lógicos. Nótese que este sumador, a su vez, obtiene importantes méritos en velocidad. Las mejoras en el rendimiento energético, son de 2.92 veces (reducción en el consumo energético por operación del 65.8%) cuando se compara con el sumador dominó del mismo número de bits. Si se compara con el sumador CMOS, el rendimiento energético resulta 2.6 veces superior (30% inferior consumo energético por operación). Nótese además que las estructuras de alta velocidad plantean también considerables mejoras en el rendimiento energético cuando se comparan con los sumadores pseudo-nMOS en los que se basan. En las versiones de 40 bits los rendimientos energéticos de los sumadores FTL de alta velocidad son próximos a los de la lógica dominó, mientras que se consiguen ventajas de velocidad muy destacables. El mayor rendimiento energético se obtiene en las estructuras diferenciales con $V_{ref} = V_{cc}/2$ ($dhs06$), consiguiendo superar incluso en un 10% el rendimiento energético del sumador dominó, a la vez que se presentan mejoras de retardo de 8.8 veces y de frecuencia máxima de 4.4 veces. Cuando se compara con las lógicas pseudo-nMOS, el rendimiento energético resulta 4.1 veces mejor (reducción del consumo energético por operación del 75.6%), mientras los retardos mejoran en 3.6 veces y las frecuencias máximas de trabajo en 1.7 veces. Si bien el rendimiento energético de las estructuras de alta velocidad se reduce moderadamente cuando se usan sumadores de 64 bits, los resultados son interesantes dada la ventaja que suponen en términos velocidad y consumo energético respecto a pseudo-nMOS. Los sumadores diferenciales de 64 bits presentan rendimientos energéticos que tan sólo son entre un 25% y 38% inferiores a la lógica dominó, pero con retardos entre 8.2 y 9.2 inferiores, y frecuencias máximas de trabajo entre 4.7 y 6.8 veces superiores. Estos sumadores superan entre 4.1 y 4.6 veces el rendimiento energético de sumadores pseudo-nMOS.
- **El uso de $V_{ref} = V_{cc}/2$ mejora el retardo, si bien no sucede así con las frecuencias de operación, respecto a las estructuras con $V_{ref} = 0$:** En las estructuras de alta velocidad puede constatarse una reducción media del retardo de propagación del 13% cuando se comparan los resultados con $V_{ref} = V_{cc}/2$ y $V_{ref} = 0$. Sin embargo, las máximas frecuencias de trabajo se reducen en un 39%. Esto sucede dado que los tiempos de evaluación se reducen, pero a costa de un incremento mayor en los tiempos de precarga. Hay que destacar que en FTL los tiempos de precarga han de cuidarse con el fin de que no se favorezca el desequilibrio. Esta condición implica que las tensiones de los nodos alcancen casi totalmente sus valores finales. Obsérvese que, en sumadores que no presentan desequilibrio, cuanto mayor es el número de bits a soportar, más restrictiva resulta también al condición de precarga.

Con todo, se puede indicar que los resultados obtenidos a nivel de simulación pre-layout son positivos para FTL. Las estructuras de bajo consumo, si bien presentan el

inconveniente de estar limitadas por su desequilibrio a partir de 28 o 40 bits (según se use $V_{ref} = V_{cc}/2$ o $V_{ref} = 0$), obtienen los mejores méritos en el producto energía–retardo, o rendimiento energético. Por otra parte, en términos de velocidad, las estructuras de alta velocidad presentan ventajas de retardo apreciables manteniendo rendimientos energéticos muy aceptables, incluso superando a los de dominó para 40 bits.

3.2 Implementación

Una vez analizadas las prestaciones de los sumadores FTL en base a resultados *prelayout* con capacidades estimadas de interconexionado se ha realizado la implementación física de los mismos a fin de verificar la viabilidad de diseño físico y cómo se ven afectadas las prestaciones por el mismo. Se comprueba de esta manera que la elevada sensibilidad de la lógica FTL al desequilibrio de cargas es un obstáculo superable durante las etapas de implementación.

A lo largo de esta tesis se han desarrollado diversas versiones de implementación física. En una primera aproximación se realizaron implementaciones poco optimizadas pero de gran simetría para evitar al máximo el desequilibrio de cargas. Una vez verificada la viabilidad de implementación, se optimizaron los trazados físicos manteniendo la simetría de cargas. Si bien estas implementaciones obtienen las mejores prestaciones en cuanto a punto de desequilibrio, difícilmente pueden compararse con las implementaciones comunes en tecnologías CMOS o dominó dada la gran diferencia de capacidades de interconexionado. Una vez verificado que el proceso de fabricación es el limitante final en las prestaciones (véase apartados 3.4 y 4.3), y no la simetría del trazado físico, se procedió a optimizar nuevamente los trazados físicos, eliminando la simetría en el trazado salvo en los transistores de compensación. De esta forma se obtuvieron *layouts* compactos, de baja carga, con puntos de desequilibrio no limitados por la implementación, que pueden ser comparados con otras implementaciones CMOS y dominó, y por tanto, también de mayor interés en lo que respecta a su divulgación científica.

Se han implementado las estructuras FTL no diferenciales de alta velocidad y de bajo consumo presentadas en el apartado 3.1. Si bien las estructuras diferenciales resultan más atractivas dada su menor sensibilidad al desequilibrio y sus prestaciones de alta velocidad, se seleccionaron para su implementación estructuras no diferenciales de acuerdo a criterios de comparación final de prestaciones con respecto a sumadores estáticos CMOS y de lógica dinámica dominó. Al tratarse de la primera implementación con la familia lógica FTL en tecnologías CMOS se requiere de una comparación con los sumadores RCA convencionales CMOS (estático y dominó). La comparación de estructuras diferenciales con otras no diferenciales favorece a las estructuras diferenciales y, por tanto, no se obtendría una conclusión justa respecto a la ventaja que puede aportar el diseño FTL⁶ sobre la implementación de sumadores en tecnologías CMOS. Por otra parte, la implementación de estructuras no diferenciales tanto de alta velocidad como de bajo consumo permite evaluar la sensibilidad de las familias lógicas FTL respecto a las decisiones tomadas en el trazado físico tanto en un escenario de elevada sensibilidad al desequilibrio de cargas como en escenarios menos sensibles al desequilibrio, y por tanto, más robustos.

⁶La ventaja obtenida tendría dos componentes: por un lado la ventaja en prestaciones obtenida por usar diseños diferenciales, y por otra parte la ventaja obtenida al aplicar el diseño FTL sobre estructuras diferenciales en CMOS.

Se detallan a continuación, en los siguientes apartados, los resultados y las conclusiones más destacables derivadas de la etapa de diseño físico de las estructuras anteriormente indicadas. Este conjunto de aportaciones forman un valioso *know-how* de cara al diseño e implementación de futuros circuitos en familias lógicas FTL. Los resultados y conclusiones mostrados se han diferenciado entre aquellos obtenidos usando trazados de alta simetría, y que requieren un esmerado diseño físico, y los obtenidos cuando se usan trazados compactos, poco costosos en términos de tiempo de diseño físico.

Cabe destacar que se han empleado dimensiones mínimas de los dispositivos. Esta configuración en el dimensionamiento es la que, en base a simulaciones *prelayout*, obtiene las mejores prestaciones de retardo para las condiciones de bajo *fanout* y carga capacitiva (10 fF estimados para interconexionado). Adviértase que el dimensionamiento óptimo puede variar respecto al indicado bajo distintas condiciones de carga y *fanout*.

3.2.1 Trazado de alta simetría

Dada la elevada sensibilidad de la familia lógica FTL al desequilibrio de cargas, se realiza una primera implementación de los sumadores no diferenciales atendiendo a una máxima simetría en el trazado físico. Si bien esta condición de máxima simetría implica un elevado coste de diseño, tanto en términos de tiempo de diseño como en términos de área y complejidad en las interconexiones, es necesario con el fin de evaluar las limitaciones que se puedan presentar en esta etapa de diseño. El principal objetivo buscado durante la implementación consistirá, pues, en evitar toda diferencia de carga que pudiera ser evitable durante el trazado físico de las estructuras FTL.

Consideraciones de diseño

Diversas implementaciones fueron necesarias hasta conseguir una metodología de trazado físico cuyo impacto sobre el punto de desequilibrio respecto a las simulaciones *prelayout* fuese mínimo, especialmente cuando se atendían a todas las consideraciones de compensación de cargas recomendadas a nivel circuital (véase el apartado 3.1.2). Las principales consideraciones de diseño necesarias para minimizar el efecto del trazado físico sobre la aparición de la condición de desequilibrio en los sumadores FTL, fueron las siguientes:

- **Diseño basado en centroide común:** La utilización de técnicas de trazado basadas en centroide común repercute en una mínima sensibilidad del trazado final respecto a los gradientes de presión y temperatura por autocalentamiento y efecto piezo-resistivo [41]. Por otra parte, el diseño basado en un centroide común implica la disposición simétrica de dispositivos, lo que favorece a su vez una interconexión también simétrica, y con ello, se minimiza la posible diferencia de carga entre nodos. Nótese que el efecto piezo-resistivo y del autocalentamiento provoca diferencias tanto en el *drive* como en la carga de los distintos nodos, y sus diferencias son mínimas cuando todos los dispositivos de una celda guardan simetría respecto a un punto o eje central (centroide común). Además, con el fin de minimizar la distancia entre centroides, se prefieren implementaciones cuya longitud máxima de la celda, medida en el sentido del eje de simetría, resulte mínima. Con ello, las diferencias de carga entre celda y celda, y no sólo dentro de cada celda, resultan mínimas.
- **Simetría en el trazado de pistas y dispositivos relacionados circuitualmente:** Si bien la técnica de centroide común implica la colocación de dispositivos de forma

simétrica, no implica en sí misma una relación unívoca entre la simetría circuital y la colocación de los dispositivos. Esto se debe a que la técnica de centroide común busca únicamente una colocación física de dispositivos que guarde simetría en las variables físicas, como por ejemplo, en el caso de la presión ejercida sobre la oblea. Sin embargo, no tiene porque existir ninguna relación eléctrica o circuital sobre los mismos, y pueden ser dispositivos idénticos pero no simétricos en cuanto a su función circuital. Combinando el diseño basado en centroide común con el trazado simétrico de la estructura circuital se consiguen trazados totalmente simétricos tanto en variables físicas como eléctricas. Para garantizar la máxima simetría tanto a nivel de dispositivos como de interconexión, atendiendo a las capacidades y resistencias parásitas del mismo, se aplican las siguientes consideraciones:

- **Secuenciación del colocado de los dispositivos:** Se dará prioridad a la colocación de dispositivos únicos sobre el eje de simetría. Esto es, se comenzará por colocar aquellos dispositivos que no tengan circuitalmente equivalentes simétricos, como los conectados a c_i , $\overline{c_o}$, o ϕ). El siguiente nivel de prioridad está formado por las ramas que de forma natural están compensadas en carga⁷. Las ramas que hayan requerido compensación de cargas durante la etapa de diseño se colocarán con menor prioridad, colocando siempre un único bloque para ramas circuitalmente simétricas. Siguiendo esta priorización, la duplicación de dispositivos resulta mínima.
- **Implementación basada en ramas de carga (bloques de dispositivos):** Las diversas ramas que cargan el nodo de acarreo y suma, denominadas ramas de carga, serán trazadas siempre ocupando posiciones simétricas respecto al eje de simetría. Ramas circuitalmente simétricas serán tratadas como una única rama de carga, y serán implementadas conjuntamente. Dentro de cada rama, se localizarán bloques de dispositivos, estando estos formados por agrupaciones de dispositivos de un mismo nivel jerárquico (distancia en conexión serie a la alimentación), y tipo (transistores circuitalmente aislados, como los conectados a c_i , $\overline{c_o}$, o ϕ ; o los que circuitalmente proporcionan simetría de carga, como los conectados a a y b). Se buscará la simetría de trazado siempre a nivel de bloque, y no de dispositivos. Es decir, a un lado del eje de simetría se colocará un bloque de diseño, y ese mismo bloque de diseño, sin reflejarse respecto al eje de simetría, se colocará en el lado opuesto y a la misma distancia. De esta manera se evita que siempre una de las entradas que intervienen en la ruta de propagación (a o b) quede conectada más próxima o alejada al eje de simetría, consiguiéndose un mayor equilibrio de cargas entre dichas entradas: quedará siempre en un lado conectada más próxima, y en el lado opuesto más alejada, pero la capacidad equivalente resultará la misma tanto para las entradas a y b .
- **División de dispositivos (device splitting):** Los dispositivos, o bloques, que no coincidan sobre el eje de simetría deberán duplicarse, implementándose en dos dispositivos o bloques conectados en paralelo, siendo cada uno de doble longitud de puerta respecto a la deseada. Con ello se obtienen capacidades de interconexión simétricas respecto al eje de simetría. Esta restricción

⁷En el caso de los sumadores no diferenciales de alta velocidad, esta condición se refiere a la rama formada por los transistores c_i en serie con los transistores a y b en el bloque de evaluación nMOS.

implica un incremento notable de la carga de los nodos que perjudica las prestaciones de retardo y consumo, si bien es la única forma de garantizar una simetría perfecta del trazado físico, interconexiones y acoplamientos.

- **Simetría de interconexionado:** Una vez colocados todos los dispositivos simétricamente, se formarán canales de interconexión en el sentido perpendicular al eje de simetría para las señales principales, y se conectarán los dispositivos. La colocación de dispositivos facilitará el interconexionado con total simetría de cargas al requerir unir puntos totalmente simétricos en el trazado físico. Con fin de garantizar la simetría de acoplamientos es importante cuidar que los trazados de canales de interconexión de nodos equivalentes en carga sean simétricos respecto al eje de simetría. Esto en ocasiones puede implicar extender algunas líneas de interconexión más allá del límite donde están empleadas para conexiones, conforme la no realización de tal operación podría implicar acoplamientos no simétricos respecto al eje de simetría de dicho nodo con otros nodos o dispositivos.
- **Simetría de interconexionado de E/S:** Las entradas y salidas del circuito deberán discurrir paralelamente al eje de simetría, conectándose directamente sobre el eje de simetría, o en su defecto, de forma simétrica en pistas paralelas al mismo, conectadas directamente sobre puntos simétricos del trazado físico. Con fin de minimizar las diferencias de carga entre las entradas que intervienen en las distintas rutas de propagación (a y b), y teniendo en cuenta que la colocación a nivel de bloques de dispositivos garantiza la simetría de carga entre las diversas entradas, se considerarán igualmente bloques de diseño a las vías y canales de interconexión de dichas entradas (a y b), de forma que se tracen pistas de interconexión más próximas a un lado del eje de simetría, y más alejadas en el lado opuesto, para cada una de las entradas.
- **Simetría y apantallamiento de la señal de reloj:** La señal de reloj o sincronismo, ϕ , discurrirá de forma totalmente simétrica en canales paralelos al eje de simetría, pero alejados del mismo para disminuir el acoplamiento sobre las señales más críticas (c_i y \bar{c}_o , que discurren por el eje de simetría). Se trazarán, además, sobre las metalizaciones más superiores, apantallada superior e inferiormente con la alimentación y tierra. Si bien esto conlleva una elevada capacidad parásita sobre dicho nodo, también asegura el mínimo acoplamiento de ruido eléctrico sobre los dispositivos y el sustrato y una menor resistencia de conexión. Se dimensionarán adecuadamente los anchos de pistas para soportar sobradamente las fuertes corrientes eficaces que circulan por ellas. Adicionalmente, se ha cuidado que las señales de reloj, en sus conexiones por metales inferiores, no se tracen directamente sobre los dispositivos para disminuir los efectos del ruido eléctrico.
- **Orientación única de dispositivos:** El uso de dispositivos siempre siguiendo una misma orientación, reduce el *mismatch* debido al proceso de fabricación [42]. Se ha elegido una disposición con el eje de simetría del dispositivo paralelo al de la celda. Si bien es indiferente la orientación elegida en lo que respecta a la reducción del *mismatch*, siempre que se respete una misma orientación en todos los dispositivos, la orientación elegida permite obtener trazados más compactos en la dirección del eje de simetría, logrando mayor proximidad entre centroides de celdas contiguas, y reduciendo por tanto las diferencias de cargas debidas a efectos piezo-resistivos

y de temperatura [41].

Resultados del trazado simétrico

Las celdas resultantes de la implementación de los sumadores no diferenciales atendiendo a las consideraciones de diseño anteriormente expuestas se muestran en la Figura 3.2. Se ha empleado la tecnología UMC 0.13 μm 1.2 V / 3.3 V 1P8M Logic High Speed Process. Además de implementar los sumadores FTL no diferenciales, se ha implementado este mismo sumador en la familia lógica estática CMOS convencional, basándose en las mismas restricciones de trazado. Este sumador CMOS se ha utilizado con propósitos de comparación con el fin de obtener una medida objetiva de la ventaja obtenida al aplicar el concepto FTL sobre sumadores CMOS en condiciones de diseño similares a las empleadas en FTL, ya que se han impuesto unas restricciones a la implementación física en FTL muy fuertes que repercuten en elevadas capacidades de interconexión, y con ello, en mayores consumos y retardos. Si bien es cierto que se puede realizar una implementación mucho más compacta de tal sumador en tecnologías CMOS, también es cierto que FTL puede beneficiarse de *layouts* más compactos, tal como se indica en el apartado 3.2.2. En la Figura 3.2 se pueden apreciar los *layouts* obtenidos para la implementación CMOS equivalente (*cmos_eq*), y para las implementaciones FTL de bajo consumo (*lp0* y *lp06*) y alta velocidad (*hs*, válida tanto para $V_{ref} = 0$ como para $V_{ref} = V_{cc}/2$). Nótese la elevada simetría de los trazados obtenidos.

Utilizando las celdas indicadas en la Figura 3.2 se realizaron simulaciones *postlayout* de los sumadores, con un ancho de palabra de 64 bits, y se identificaron los puntos de desequilibrio de cada estructura. Cabe destacar, en base al *know-how* obtenido durante la etapa de implementación, que para sumadores de poco ancho de palabra (inferior a 12 bits) la simetría del trazado es irrelevante. Sin embargo, a partir de 12–16 bits se requiere un cuidado diseño, al menos en los transistores de compensación, con el fin de asegurar la simetría de cargas. Si bien resulta relativamente sencillo obtener estructuras compensadas en carga de hasta 16–20 bits, para superar el límite de los 20–32 bits, según se trate de estructuras de bajo consumo o alta velocidad, se requiere atender a todas las consideraciones de diseño físico comentadas con anterioridad, así como a las circuitales. Para la simulación se utiliza un modelo de extracción completo de resistencias, capacidades parásitas y de acoplamientos (RC+C) de los *layout*.

Una vez obtenidos los puntos de desequilibrio de cada estructura FTL se procede a redimensionar el ancho de palabra de los sumadores con el fin de medir las prestaciones obtenidas en el punto de desequilibrio. A partir de dicho número de bits, al producirse la condición de desequilibrio, las estructuras FTL ven degradadas sus prestaciones progresivamente hasta alcanzar unas prestaciones similares a las de los sumadores CMOS y pseudo-nMOS para anchos de palabra suficientemente grandes.

En la Tabla 3.2 se presenta el número máximo de bits, la frecuencia de trabajo, el retardo (t_p), el consumo, el área y la Figura de Mérito, o producto energía–retardo, (Γ , siendo éste parámetro una medida de la eficiencia energética) para cada familia lógica, así como los respectivos factores de mejora en la Figura de Mérito, frecuencia máxima y retardo respecto a CMOS. Se presentan los resultados obtenidos tanto para una frecuencia de 100 MHz como para la máxima frecuencia de trabajo de cada familia lógica, y se comparan las prestaciones con los sumadores CMOS implementados siguiendo idéntica metodología de trazado (*cmos_eq*). De esta forma se evalúa en qué forma repercute la frecuencia de trabajo sobre las prestaciones, como efecto de los distintos consumos estáticos y dinámicos. Nótese que las prestaciones indicadas en la Tabla 3.2

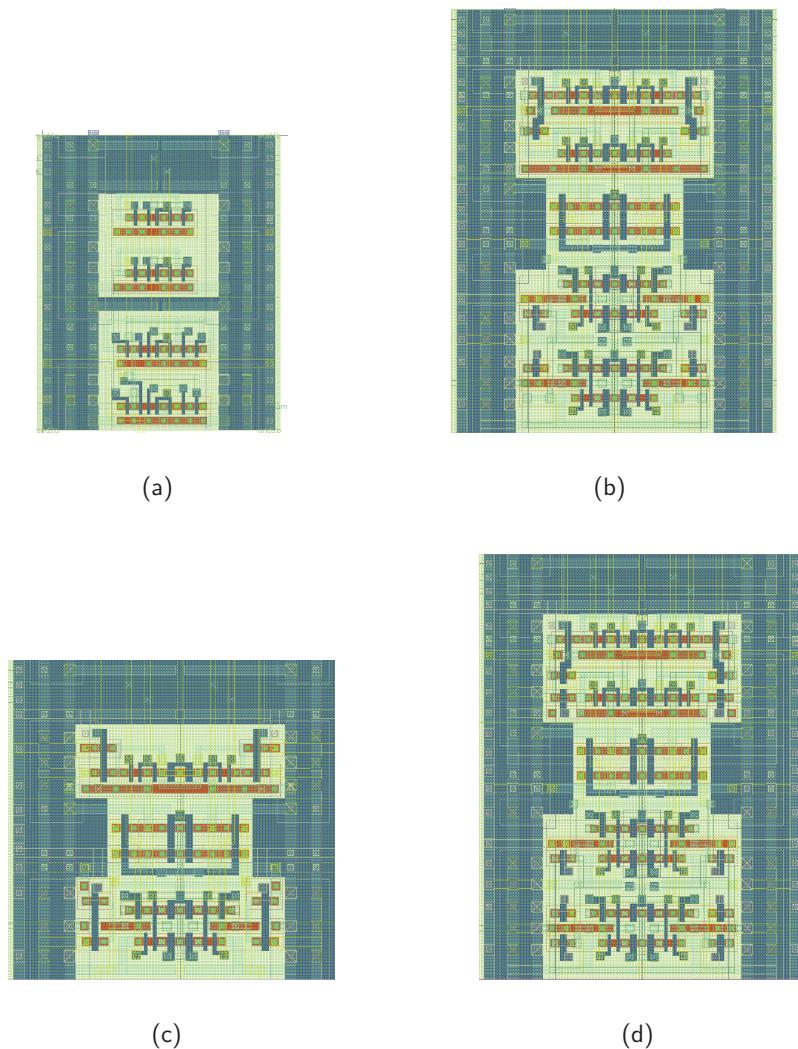


Figura 3.2: *Layout* de las celdas RCA: (a) CMOS, (b) FTL de bajo consumo con $V_{ref} = 0$, (c) FTL de alta velocidad ($V_{ref} = 0$; $V_{ref} = V_{cc}/2$), y (d) FTL de bajo consumo con $V_{ref} = V_{cc}/2$. Trazado de alta simetría.

Tabla 3.2: Resultados de la simulación *postlayout* empleando trazados de alta simetría en sumadores FTL de alta velocidad (hs0, hs06) y bajo consumo (lp0, lp06), y comparación con la implementación de sumadores CMOS usando idéntica metodología de trazado (cmos_eq).

familia lógica	bits*	frec (MHz)	t_p (ps/bit)	consumo (nW/MHz/bit)	área (μm^2 /bit)	$\Gamma \times 10^6$ (fJ/MHz/bit)	Γ ratio	f_{max} ratio	t_p ratio
cmos_eq	32 (27,13)	100 83.88	364.39	50.59 50.59	122.67	18435.89 18435.89	1.00 1.00	1.00	1.00
lp0	28 (41,32)	100 213.42	107.86	107.39 107.25	188.73	11582.99 11568.09	1.59 1.59	2.23	3.38
lp06	26 (37,31)	100 224.97	86.54	191.45 156.01	188.73	16567.57 13500.64	1.11 1.37	2.19	4.21
hs0	40 (105,66)	100 477.21	44.25	500.93 184.99	134.74	22166.33 8185.86	0.83 2.25	7.08	8.23
hs06	48 (104,71)	100 308.57	43.96	926.84 343.72	134.74	40742.28 15109.30	0.45 1.22	5.48	8.29

* La columna bits indica el máximo número de bits antes de que aparezca la condición de desequilibrio (punto de desequilibrio). Se indica entre paréntesis el máximo número de bits que se pueden acomodar para reloj asimétrico y simétrico de 10 ns de periodo, atendiendo al retardo obtenido pasado el punto de desequilibrio.

se expresan como cantidades por bit y por MHz, con el fin de facilitar la comparación de prestaciones en sumadores de distintos anchos de palabra y frecuencias de trabajo. Nótese igualmente que los factores de mejora en la frecuencia máxima son referidos a la frecuencia máxima de trabajo de los sumadores CMOS de idéntico número de bits al que se realiza la comparación. Por último, indicar que la frecuencia máxima se obtiene como la suma de los tiempos de precarga y evaluación requeridos para no degradar en más de un 5% los niveles lógicos.

Para cada estructura de sumador indicada en la Tabla 3.2 se indican tres valores para la columna del máximo número de bits: de ellos, el primero indica el punto de desequilibrio, y los dos siguientes, indicados entre paréntesis, indican el número máximo de bits que se pueden acomodar para un reloj asimétrico y simétrico de 100 MHz, respectivamente. El reloj se considera simétrico cuando los tiempos dedicados a la precarga y evaluación son idénticos (5 ns). Cuando el reloj es asimétrico, el ciclo de trabajo se ajusta para permanecer a nivel alto justo el tiempo de precarga requerido en cada implementación, y a nivel bajo el tiempo restante hasta los 10 ns del periodo de reloj. En el caso de CMOS, todo el período de reloj (10 ns) es dedicado a la evaluación, independientemente de si el reloj se considera simétrico o asimétrico. Para el cómputo de estos valores se ha tenido en cuenta el distinto retardo, similar al de las estructuras CMOS y pseudo-nMOS, de los bits que muestran desequilibrio en los sumadores FTL.

De los resultados mostrados en la Tabla 3.2 se infieren las siguientes conclusiones:

1. Se obtienen puntos de desequilibrio de 28 y 26 bits para las estructuras FTL de bajo consumo, y de 40 y 48 bits para las de alta velocidad, según se haga uso de $V_{ref} = 0$ o $V_{ref} = V_{cc}/2$ respectivamente.
2. A una frecuencia de trabajo fija de 100 MHz, es decir, 100 millones de sumas por segundo, los sumadores FTL de alta velocidad son capaces de acomodar hasta 3.88 veces más bits que los equivalentes diseños CMOS. Por otra parte, los sumadores FTL de bajo consumo permiten acomodar hasta un 48% mayor número de bits que sus equivalentes CMOS.
3. Los sumadores FTL de bajo consumo mejoran las prestaciones tanto de retardo,

frecuencia máxima de trabajo y eficiencia energética respecto a la implementación en CMOS. Incluso cuando se trabaja a bajas frecuencias de trabajo la Figura de Mérito de los sumadores FTL resulta ligeramente mejor (37% y 10% para Ip0 y Ip06, respectivamente), a la vez que las prestaciones de velocidad se mejoran sustancialmente (las frecuencias máximas superan el doble que las de CMOS, y los retardos resultan entre 3.3 y 4.2 veces inferiores).

4. Las prestaciones de los sumadores FTL de bajo consumo, relativas a CMOS, permanecen casi constantes con independencia de la frecuencia. Si bien existe una variación apreciable en los sumadores con $V_{ref} = V_{cc}/2$, dicha variación es considerablemente inferior a la obtenida en sumadores de alta velocidad. Ello se debe a que, si bien existe consumo estático, su valor resulta muy reducido dado que proviene de corrientes de fuga y subumbral en los dispositivos.
5. Los sumadores de alta velocidad con $V_{ref} = 0$ consiguen mejoras muy significativas tanto de los retardos de propagación (8 veces) como en las frecuencias máximas de trabajo (7 veces) y en el rendimiento energético (2.25 veces, o lo que es lo mismo, ahorro energético del 55%) cuando se trabaja a las frecuencias máximas de trabajo.
6. Las prestaciones relativas de los sumadores de alta velocidad varían significativamente con la frecuencia de trabajo, dado su elevado consumo estático como consecuencia de las fuertes corrientes de cortocircuito durante la evaluación (y también durante la precarga para el caso de $V_{ref} = V_{cc}/2$). Si bien las prestaciones de velocidad son significativas, el rendimiento energético pasa de obtener una calificación de 2.25 a 0.83, esto es, de un ahorro energético del 55% a un incremento del 20% cuando se pasa de trabajar de las frecuencias máximas de trabajo a 100 MHz.
7. Las mejores prestaciones se obtienen con los sumadores de alta velocidad y $V_{ref} = 0$ (hs0), operando a altas frecuencias de trabajo. Sin embargo, cuando se opera a bajas frecuencias de trabajo, las estructuras de bajo consumo con $V_{ref} = 0$ (Ip0) son las que consiguen mejor rendimiento energético, a costa obtener unas prestaciones de velocidad más moderadas.

3.2.2 Trazado compacto

De acuerdo a los resultados y conclusiones obtenidos durante la etapa de diseño físico con trazados de alta simetría, y una vez constatado que el factor limitante en todo el proceso no resulta el trazado físico sino las variaciones del proceso de fabricación, se procede a realizar una optimización del trazado. Esta optimización tiene por objeto reducir la complejidad del trazado físico de forma que, si bien se garantizan puntos de desequilibrio superiores a aquellos obtenidos como resultado final tras realizar el proceso de fabricación, se disminuyan las capacidades parásitas y se obtengan *layouts* más compactos, y por tanto, de mejores prestaciones. En el apartado 3.4 se demuestra mediante un análisis de MonteCarlo que la variabilidad de los procesos de fabricación justifica la reducción del punto de desequilibrio hasta los valores medidos de los circuitos fabricados. Los resultados de las medidas sobre circuitos fabricados se detallan en los apartados 4.3 y 4.4.

Los trazados obtenidos, a diferencia de los de elevada simetría, sí pueden compararse directamente con otras implementaciones típicas de tecnologías CMOS, tanto estáticas como dinámicas, puesto que las restricciones impuestas sobre el trazado físico resultan mínimas y no modifican sustancialmente las condiciones de operación. Es por ello que, a modo de comparación se hayan implementado en la misma tecnología los sumadores CMOS y dominó.

Consideraciones de diseño

Con el fin de superar los límites impuestos por la variabilidad del proceso de fabricación, y de acuerdo a lo comentado en el apartado 3.2.1, la única consideración de diseño físico relevante resulta la simetría de cargas en los transistores de compensación. Para ello, se recomienda identificar las ramas que intervienen en la compensación de cargas, y afrontar el diseño conjunto de dicho bloque de dispositivos atendiendo a la simetría en posición y conexionado de los mismos. Nótese que si bien no es necesaria simetría en todo el diseño, esta condición sí implica una cierta simetría al menos en el conexionado de las señales que afectan a tales dispositivos: esto es, el interconexionado de las señales a y b dentro de las celdas, y hasta los dispositivos de compensación de cargas, si debe mantener un fuerte parecido. No obstante, la simetría circuital del sumador respecto a las entradas a y b favorece dicha similitud en el interconexionado de ambas señales.

Adicionalmente se ha cuidado que la orientación de todos los dispositivos fuese la misma, conforme esta restricción no repercute en incremento alguno de la complejidad del interconexionado mientras que favorece la disminución de la variabilidad, o *mismatch*, de los dispositivos en el proceso de fabricación.

El resto de consideraciones sobre el diseño físico atienden a los criterios de optimización de *layout* comunes en tecnologías CMOS. Los trazados se realizaron siguiendo metodologías *fullcustom*, prestando especial atención a la eliminación y superposición de contactos y vías en conexiones serie y paralelo de dispositivos, así como a la minimización de las distancias de interconexionado. Hay que destacar que se reservan unos canales, superiores e inferiores, de dimensiones superiores a las mínimas y dimensionadas adecuadamente para las densidades de corriente que circulan, para la distribución de las señales de alimentación y reloj.

Resultados del trazado compacto

Las celdas obtenidas de la implementación, usando la tecnología UMC 0.13 μm , y atendiendo a las consideraciones de diseño anteriores, se muestran en la Figura 3.3. Además de implementar los sumadores FTL no diferenciales se han implementado, con propósitos de comparación de prestaciones, los sumadores estáticos CMOS y dinámico dominó. La reducción de área y complejidad respecto a los sumadores con trazado de alta simetría es apreciable.

Se sigue la misma metodología que se indicó para sumadores de trazado simétrico: conforme nos interesan los resultados obtenidos para sumadores de tantos bits como se observen en el punto de desequilibrio, primero determinamos dicho punto basándonos en simulaciones *postlayout* de sumadores de 64 bits, y posteriormente, redimensionamos los sumadores hasta dicho ancho de palabra, y medimos las prestaciones obtenidas tanto para una frecuencia de 100 MHz como para la máxima frecuencia de trabajo.

En la Tabla 3.3 se presenta el número máximo de bits, la frecuencia de trabajo, el retardo (t_p), el consumo, el área y la Figura de Mérito (Γ) para cada familia lógica, así

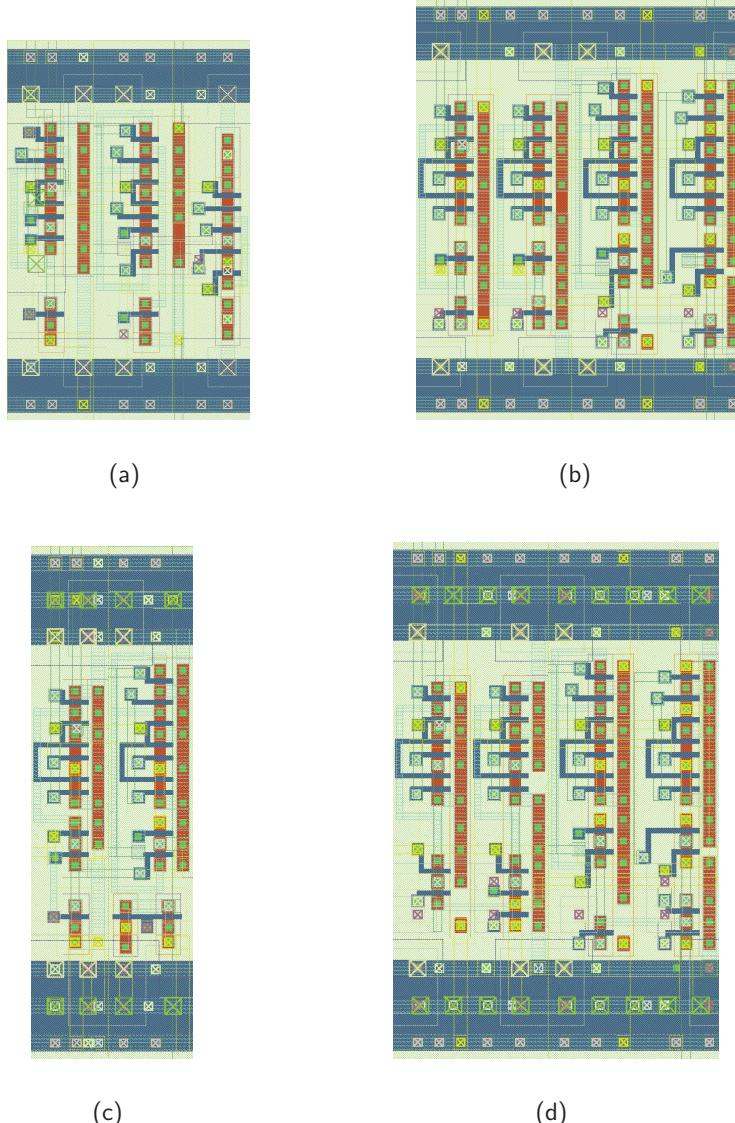


Figura 3.3: *Layout* de las celdas RCA: (a) dominó, (b) FTL de bajo consumo con $V_{ref} = 0$, (c) FTL de alta velocidad ($V_{ref} = 0$; $V_{ref} = V_{cc}/2$), y (d) FTL de bajo consumo con $V_{ref} = V_{cc}/2$. Trazado compacto.

Tabla 3.3: Resultados de la simulación *postlayout* empleando trazados compactos en sumadores FTL de alta velocidad (hs0, hs06) y bajo consumo (lp0, lp06), y comparación con la implementación de sumadores CMOS (cmos_eq) y NP_DRCA dominó (dominó).

familia lógica	bits*	freq (MHz)	t_p (ps/bit)	consumo (nW/MHz/bit)	área (μm^2 /bit)	$\Gamma \times 10^6$ (fJ/MHz/bit)	Γ ratio	f_{max} ratio	t_p ratio
dominó	16 (54,28)	100.00 288.48	177.38	23.99 23.33	54.10	4255.89 4138.83	1.00 1.00	1.00	1.00
cmos	16 (51,25)	100.00 293.43	193.00	13.74 13.71	60.57	2651.43 2645.07	1.56 1.56	1.02	0.92
lp0	16 (43,29)	100.00 452.55	64.06	32.30 31.90	80.79	2069.22 2043.75	2.06 2.02	1.57	2.77
lp06	20 (42,31)	100.00 301.94	62.60	65.90 40.06	99.29	4125.34 2507.59	1.03 1.65	1.26	2.83
hs0	32 (157,89)	100.00 737.25	31.75	396.87 107.62	49.33	12600.78 3416.97	0.34 1.21	4.65	5.59
hs06	40 (160,99)	100.00 576.76	21.70	544.50 116.69	49.33	11815.65 2532.10	0.36 1.63	4.45	8.17

* La columna bits indica el máximo número de bits antes de que aparezca la condición de desequilibrio (punto de desequilibrio). Se indica entre paréntesis el máximo número de bits que se pueden acomodar para reloj asimétrico y simétrico de 10 ns de periodo, atendiendo al retardo obtenido pasado el punto de desequilibrio.

como los respectivos factores de mejora en la Figura de Mérito, frecuencia máxima y retardo respecto a la lógica dominó. Al igual que anteriormente, las prestaciones son indicadas como cantidades por bit y por MHz para facilitar la comparación de prestaciones en sumadores de distintos anchos de palabra y frecuencias de trabajo. Los factores de mejora en la frecuencia máxima son referidos a la frecuencia máxima de trabajo de los sumadores dominó de idéntico número de bits al que se realiza la comparación, y la frecuencia máxima se obtiene en base a los tiempos de precarga y evaluación requeridos para no degradar en más de un 5% los niveles lógicos. Los valores indicados en la columna referente al número de bits tienen el mismo significado que en los resultados expuestos para trazados de alta simetría: el valor principal es el punto de desequilibrio y los valores secundarios, entre paréntesis, reflejan el número máximo de bits que pueden evaluarse para una tasa de operaciones (*throughput*) de 100 millones de sumas por segundo.

De los resultados mostrados en la Tabla 3.3 se destacan los siguientes aspectos:

1. El sumador dominó obtiene un retardo de propagación que mejora en un 8.1% los retardos de la lógica CMOS. Sin embargo, a pesar del menor retardo de propagación, la implementación dominó no consigue mejorar las frecuencias máximas de trabajo de CMOS cuando se tienen en cuenta también los tiempos de precarga.
2. La eficiencia energética de la lógica CMOS, usando la tecnología UMC de 130 nm es superior a la de la lógica dominó cuando se comparan ambas familias lógicas a idénticas frecuencias de operación (operaciones de suma por unidad de tiempo).
3. Los puntos de desequilibrio observados siguiendo este tipo de trazado indican que los sumadores de bajo consumo permiten una operación FTL sin desequilibrio apreciable hasta los 16–20 bits (según se use $V_{ref} = 0$ o $V_{ref} = V_{cc}/2$). Dicho valor se ve incrementado hasta los 32–40 bits en sumadores de alta velocidad. Comparando los puntos de desequilibrio obtenidos de la implementación de sumadores FTL usando trazados de alta simetría (3.2) y compactos (3.3) se puede observar que los trazados simétricos permiten desplazar el punto de desequilibrio hacia un mayor número de bits. El incremento de bits oscila entre un 20% y 25% para los

sumadores de alta velocidad, y entre un 30% y un 75% para los de bajo consumo. Si bien el desplazamiento del punto de desequilibrio es especialmente notable en las estructuras de bajo consumo con $V_{ref} = 0$, el mismo se produce a costa de una mayor complejidad en el trazado que redunda en superiores capacidades parásitas de interconexionado, y por tanto conlleva un incremento del retardo (entre 1.4 y 2 veces), del área (entre 2.3 y 2.7 veces) y de la potencia (entre 1.4 y 3.6 veces).

4. Los sumadores FTL superan en prestaciones de retardo, frecuencia máxima de operación y eficiencia energética tanto a las implementaciones de sumadores dominó como a las de sumadores CMOS.
5. El mejor rendimiento energético se obtiene con sumadores de bajo consumo y $V_{ref} = 0$ ($lp0$), independientemente de la frecuencia de trabajo. Este sumador obtiene un rendimiento energético 2.06 veces superior al obtenido por la lógica dominó, lo que equivale a una reducción del consumo energético por operación del 51.4%. Dichos sumadores, operando a 16 bits, obtienen retardos 2.77 veces inferiores a la vez que mejoran las frecuencias máximas de trabajo en un 56.9%. Comparados con la implementación CMOS estos sumadores consiguen mejorar la eficiencia energética en un 24.1%, a la vez que permiten incrementar las frecuencias de trabajo en un 54.2% y reducen el retardo medio por bit a una tercera parte.
6. La mayor ventaja en términos de velocidad se consigue usando las estructuras de alta velocidad. En términos de retardo, la máxima ventaja se obtiene usando $V_{ref} = V_{cc}/2$, donde el retardo medio por bit se reduce en 8.1 veces respecto al retardo obtenido en lógica dominó. Sin embargo, la frecuencia máxima de trabajo de los sumadores $hs06$ no supera las de los sumadores $hs0$ dado sus mayores tiempos de precarga. En términos de frecuencia, las mejores prestaciones las obtiene el sumador $hs0$, el cual, operando a 40 bits, consigue incrementar las frecuencias de trabajo en 4.6 veces respecto a la frecuencia máxima de sumadores dominó del mismo número de bits.
7. La diferencia en ventaja de retardo entre sumadores de alta velocidad con $V_{ref} = 0$ y $V_{ref} = V_{cc}/2$ indica que una parte importante de la ventaja de estos últimos se debe a la reducción del retardo en la primera etapa.
8. Al igual que ocurre en los trazados de alta simetría, las prestaciones de los sumadores FTL de bajo consumo no dependen de la frecuencia de trabajo cuando se usa $V_{ref} = 0$. Si bien existe una pequeña dependencia en sumadores de bajo consumo con $V_{ref} = V_{cc}/2$, tal dependencia es insignificante comparada con la que presentan los sumadores de alta velocidad dado su elevado consumo en régimen estático. El elevado consumo estático de los sumadores de alta velocidad hace que estos sumadores tengan un rendimiento energético inferior a dominó y CMOS cuando se emplean bajas frecuencias de trabajo.
9. Incluso con un efecto de desequilibrio totalmente en juego, los sumadores FTL de alta velocidad permiten evaluar aproximadamente 3 veces mayor número de bits que los sumadores dominó para una frecuencia de trabajo de 100 MHz. Ello se debe a varios factores: por un lado, al menor retardo de FTL durante los bits que no muestran desequilibrio; por otra lado, al elevado número de bits que no muestran desequilibrio; y por último, al reducido retardo de los bits en desequilibrio (similar

al de pseudo-nMOS) respecto al retardo de dominó. Sin embargo, en sumadores de bajo consumo el rápido desequilibrio (16 bits) unido al mayor retardo de los bits en desequilibrio implica que el número de bits que se pueden acomodar resulte muy similar tanto en FTL como en dominó y CMOS. No obstante, mediante el uso de bloques FTL de 16 bits correctamente sincronizados para comenzar la evaluación de un bloque tan pronto termine la del bloque previo, el número de bits que se podría evaluar en sumadores FTL $lp0$ para una frecuencia de 100 MHz se incrementaría en un 72.5% respecto a la lógica CMOS (62.9% respecto a dominó).

3.3 Caracterización de sumadores RCA en FTL

Los resultados mostrados en los apartados anteriores resumen el comportamiento de los sumadores FTL cuando se opera al máximo número de bits posible sin que se manifiesten efectos de desequilibrio, con frecuencias de trabajo tanto de 100 MHz como de la máxima frecuencia de trabajo, y con ciclos de trabajo del 50% (50% del tiempo de ciclo para la precarga y 50% para la evaluación). Este punto de trabajo implica un máximo rendimiento en términos de retardo por bit.

El diseño de sumadores FTL de diferente número de bits o puntos de trabajo presentará rendimientos en términos de consumo, retardo y energía distintos de los especificados en los resultados anteriormente expuestos, debido principalmente a los siguientes efectos:

1. Dependencia del retardo medio con respecto al número de bits, debido tanto a la existencia de transiciones completas $GND-V_{cc}$ en la evaluación de la primera etapa y de las etapas que sobrepasan el punto de desequilibrio, como a la influencia de la tensión umbral en las prestaciones de retardo de las etapas intermedias.
2. Variación del consumo dinámico de cada etapa dado el mayor tiempo que permanecen las etapas en el nivel umbral conforme nos alejamos de las primeras etapas.
3. Aparición de consumos dinámicos constantes a partir del punto de desequilibrio, dado que a partir de dicha etapa, se producirán transiciones completas tipo CMOS o pseudo-nMOS.

Hay que destacar que, de acuerdo a las consideraciones anteriores, se pueden obtener puntos de trabajo óptimos distintos en base a qué parámetro se optimice. Así pues, por ejemplo, podemos buscar el punto de máximo rendimiento energético de los sumadores FTL; o el punto de máxima ventaja de eficiencia energética respecto a otra familia lógica; o bien el punto que maximiza las frecuencias de trabajo, o el que consigue un consumo inferior respecto a otras familias lógicas, entre otros.

En resumen, lo que se busca es conocer el espacio de diseño para poder determinar un punto de trabajo óptimo, y para ello se hace necesaria una caracterización de los sumadores FTL que permita estimar sus prestaciones en distintos puntos de trabajo y comparar sus prestaciones con otras familias lógicas en términos del retardo y consumo medio obtenidos. Además, para que dicha caracterización sea útil respecto a estimaciones de eficiencia energética, la caracterización del consumo deberá atender tanto a las componentes de consumo estáticas como a las dinámicas. De esta manera se podrá estimar el consumo medio a la frecuencia máxima de trabajo, ajustando la misma al límite impuesto por el retardo de evaluación para el número de bits requerido, y obtener así,

indirectamente, la energía disipada en cada ciclo de trabajo y el producto energía–retardo o eficiencia energética del sumador⁸.

A continuación expondremos los modelos propuestos para la caracterización del retardo y consumo en los sumadores FTL, el procedimiento seguido para ajustar los parámetros de los modelos propuestos en base a las simulaciones, las limitaciones de la caracterización realizada y los resultados obtenidos.

Conforme el concepto de desequilibrio condiciona totalmente el comportamiento de los sumadores FTL más allá del punto de desequilibrio, previamente a la exposición de los modelos propiamente de retardo y consumo, introduciremos al lector en los distintos tipos de desequilibrio que pueden darse en la práctica. Este modelo o clasificación del desequilibrio será empleado posteriormente para determinar el comportamiento en retardo y consumo de las etapas que muestren una condición de desequilibrio efectiva.

3.3.1 Tipos de desequilibrio

De acuerdo a lo comentado en los apartados anteriores, los sumadores FTL presentan una apreciable condición de desequilibrio, o pérdida del umbral V_{th} , y por tanto, de la ventaja FTL. La condición de desequilibrio atiende tanto a características del diseño lógico, como a características de la implementación y está condicionado básicamente por las diferencias de carga existentes entre las distintas rutas de propagación, así como por las diferencias de velocidad y carga existentes entre la primera etapa, configurada en generación de acarreo, y el resto, configurada en propagación de acarreo. Es por este motivo que, aun cuando se consiga una perfecta simetría de carga entre las distintas rutas de propagación, se pueda apreciar la aparición del desequilibrio para un número de bits, o ancho de palabra de suma, suficientemente elevado.

Otro importante parámetro que influye en la pérdida del umbral, o aparición del desequilibrio, es evidentemente la diferencia existente en las condiciones iniciales de los nodos. Así pues, aun obteniendo un diseño perfecto en lo que se refiere a capacidad de *drive* y carga, independientemente de que se produzca generación o propagación de acarreo, e independientemente también de cual sea la configuración de entradas que causa la propagación, se podrán hacer patentes condiciones de desequilibrio causadas por este otro efecto. Nótese que en el funcionamiento normal del sumador, se procederá a la precarga de todos los nodos a una misma tensión desde un valor de tensión inicial que corresponde con el definido en cada nodo para la última palabra de salida. Conforme la carga de los nodos es exponencial, y no se alcanza el valor de precarga final salvo para tiempos de precarga infinitos, existirán diferencias de tensión en la precarga de los nodos cuyo valor dependerá del tiempo de precarga empleado. Estas diferencias de tensión son trasladadas hacia el nivel umbral durante el comienzo de la evaluación, asumiendo idénticas condiciones de velocidad de carga y descarga de los nodos. Puesto que en dicho punto de trabajo la ganancia es elevada, las diferencias de tensión son amplificadas, haciendo que en un determinado número de etapas la tensión de los nodos se aleje del umbral apreciablemente. Mayor detalle de este comportamiento será expuesto en el modelado de los tiempos de precarga y su relación con el punto de desequilibrio

⁸Nótese que el producto energía–retardo y el rendimiento energético por operación, son medidas directamente relacionadas y muy próximas cuando se opera a la máxima frecuencia de trabajo posible. Ello se debe a que el producto retardo–potencia resulta ser una buena aproximación del mínimo consumo energético en el cómputo de una evaluación, el cual se obtiene operando a la mayor frecuencia de trabajo posible.

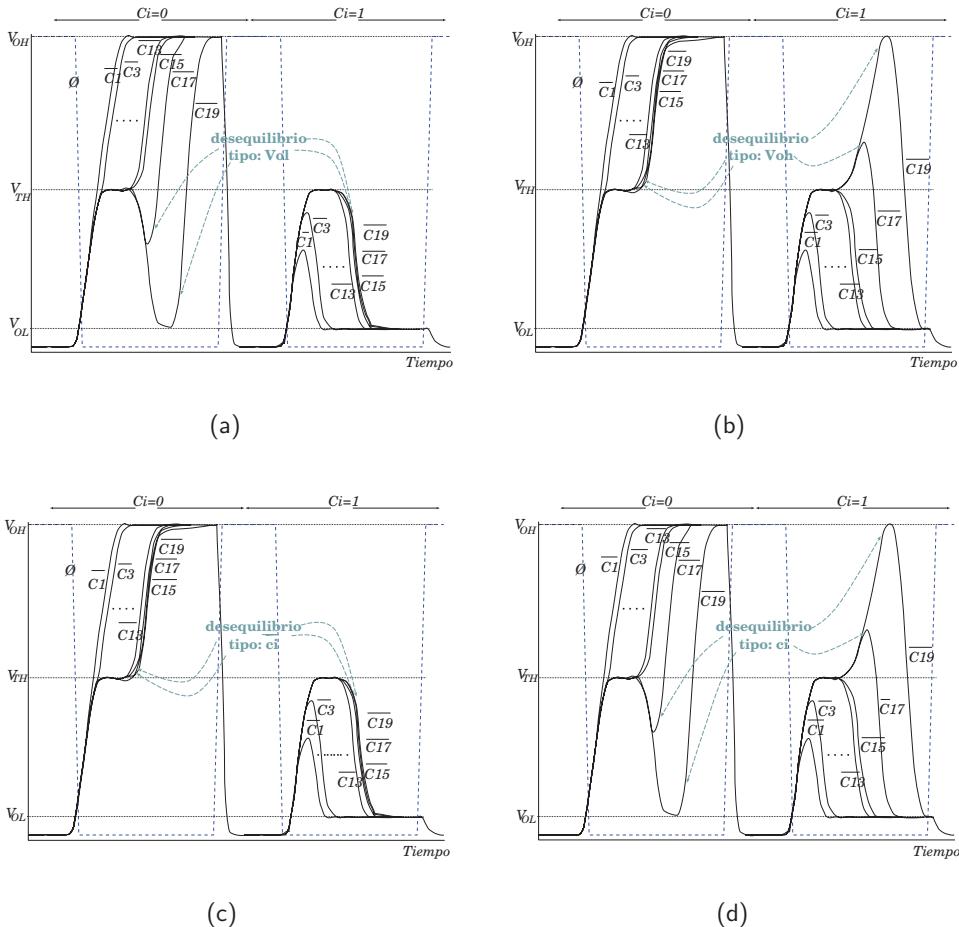


Figura 3.4: Tipos de desequilibrio en FTL: (a) desequilibrio hacia V_{OL} , (b) desequilibrio hacia V_{OH} , (c) desequilibrio hacia \bar{C}_i y (d) desequilibrio hacia C_i .

en el apartado 3.3.2. Nótese también que el ruido es otro factor que puede afectar de idéntica manera, causando diferencias de tensión en los nodos que afecten al punto de desequilibrio, dependiendo de la magnitud del ruido introducido y de las características de ganancia próxima a la tensión umbral.

Evidentemente, los sumadores FTL presentarán una condición de desequilibrio más relajada cuando se atienda exclusivamente a la simulación circuital, siempre y cuando los diseños hayan sido debidamente compensados en carga durante la fase de diseño. Al incluir los efectos de las capacidades y resistencias parásitas del interconexiónado en las distintas implementaciones, el punto de desequilibrio tenderá a desplazarse hacia un menor número de bits. A mayor sea la calidad del trazado físico en lo que respecta a la simetría de cargas, menor será el desplazamiento en bits del punto de desequilibrio. Adicionalmente, a mayor calidad del diseño lógico en cuanto a simetría de cargas y de drive, menor sensibilidad se observará frente a la calidad del trazado.

Durante la propagación de acarreo, el efecto de desequilibrio se podrá manifestar en cuatro opciones bien diferenciadas, dadas las dos posibles opciones hacia dónde se pueden desequilibrar los nodos (nivel lógico alto y bajo), y las dos posibles opciones que

puede tomar la salida durante en su correcta evaluación (nivel alto y bajo). La Figura 3.4 muestra las cuatro posibles configuraciones o tipos de desequilibrio, tal como se detallan a continuación:

Desequilibrio hacia V_{ol} : El nivel umbral se pierde dirigiéndose los nodos posteriores a un determinado número de etapas siempre hacia el nivel lógico bajo. En esta configuración se observarán transiciones completas $V_{ol}-V_{oh}$ cuando las salidas evalúan hacia el nivel lógico alto (V_{oh}). Estas transiciones incrementan el consumo y retardo, al incorporar una transición completa tipo CMOS o pseudo-nMOS, según se trate de sumadores de bajo consumo o alta velocidad, respectivamente. Sin embargo, cuando las salidas evalúan hacia el nivel lógico bajo (V_{ol}), no se observarán transiciones completas de ningún tipo, ya que desde el instante de evaluación del último bit sin desequilibrio, todas las etapas transituarán desde el umbral V_{th} hacia el nivel bajo V_{ol} , siendo este el nivel final de la evaluación. Para tales transiciones, a todos los efectos, es como si la evaluación se adelantara hasta el instante de la evaluación final del último bit en equilibrio. Sin embargo, esta condición no repercute en decrementar el retardo de evaluación, ya que éste queda definido por el máximo valor de retardo entre el obtenido para salida a nivel lógico alto y bajo.

Desequilibrio hacia V_{oh} : El nivel umbral se pierde desequilibrándose siempre hacia el nivel lógico alto. Esta configuración tiene un comportamiento análogo al del caso anterior, si bien en este caso el incremento de retardo y consumo se produce para salidas a nivel bajo, y el adelanto de la evaluación se produce para salidas a nivel lógico alto.

Desequilibrio hacia \bar{c}_i : El nivel umbral se pierde acoplándose hacia el valor opuesto al acarreo de entrada. En esta configuración se observarán transiciones completas $V_{ol}-V_{oh}$ y $V_{oh}-V_{ol}$ tanto durante la evaluación de salidas a nivel lógico alto como bajo, respectivamente. Así pues, en ambos casos de nivel de salida, se producirán incrementos de retardo y consumo causados por estas transiciones adicionales de naturaleza idéntica a la que presentan las familias CMOS y pseudo-nMOS.

Desequilibrio hacia c_i : El nivel umbral se pierde, dirigiéndose hacia el mismo valor que el acarreo de entrada. Esta configuración tiene un comportamiento especial, conforme no se observa ninguna transición completa $V_{ol}-V_{oh}$, ni $V_{oh}-V_{ol}$ ni durante salidas a nivel alto ni a nivel bajo. Conforme no se observan transiciones completas, tampoco se observa ningún incremento de retardo ni de consumo respecto al obtenido en la última etapa sin desequilibrio. Es por ello que a todos los efectos el retardo, y el consumo, permanezcan constantes a partir del punto de desequilibrio. Nótese que esta condición se mantendrá mientras las etapas estén configuradas en propagación de acarreo.

Puesto que cada tipo de desequilibrio influye de manera inequívoca sobre el consumo y retardo, se han definido dos parámetros que relacionan los distintos tipos de desequilibrio posibles y la forma en que estos repercuten sobre el retardo y el consumo, separadamente. Denominaremos *factor de desequilibrio* a dichos parámetros, siendo indicadores numéricos del tipo de desequilibrio que se produce. Los dos factores de desequilibrio definidos son:

i_f : El factor de desequilibrio i_f refleja el número de transiciones que se producen durante el desequilibrio cuando se atiende a todas las posibles combinaciones de entradas, respecto a su valor máximo posible.

Tabla 3.4: Factores de desequilibrio de los sumadores FTL en función del tipo de desequilibrio.

Factor de desequilibrio	Tipo de desequilibrio			
	V_{ol}	V_{oh}	c_i	\bar{c}_i
i_f	0.5	0.5	1.0	0.0
f_{imb}	1	1	1	0

f_{imb} : El factor de desequilibrio f_{imb} indica si el tipo de desequilibrio repercute o no en el retardo y consumo más allá del punto de desequilibrio. Un valor nulo indica que el tipo de desequilibrio no tiene repercusión sobre el retardo ni consumo conforme no se aprecian transiciones, y un valor unitario especifica que sí existen transiciones adicionales debido al desequilibrio, y por tanto, que tiene repercusión sobre el retardo y consumo.

Los valores que toman cada uno de estos factores de desequilibrio en función del tipo de desequilibrio se muestran en la Tabla 3.4. Nótese que el factor de desequilibrio f_{imb} puede obtenerse en función del factor de desequilibrio i_f : si el factor de desequilibrio i_f es nulo también lo será el factor f_{imb} ; por el contrario, si el factor i_f no es nulo, el factor f_{imb} toma valor unitario.

3.3.2 Modelos propuestos de retardo y consumo

En este apartado expondremos los modelos que se han empleado para la caracterización del retardo y consumo en sumadores FTL, detallando cada uno de los parámetros que intervienen en los mismos.

Retardo de evaluación

En la Figura 3.5 se muestran tanto las formas de onda correspondientes a la evaluación del acarreo en función del número de bits (Figura 3.5(a)) como el modelo propuesto para caracterizar el retardo de evaluación (Figura 3.5(b)).

Obsérvese en la Figura 3.5(a) que las características transitorias en la lógica FTL quedan definidas por la tensión umbral (V_{uc}) y los niveles de tensión alto (V_{oh}) y bajo (V_{ol}). El retardo de evaluación a nivel lógico alto se define como el tiempo que transcurre entre que la señal de reloj pasa por el 50% de su transición (0.6 V) y el nodo de salida cruza por el nivel medio de tensión entre el umbral (V_{uc}) y el nivel lógico alto (V_{oh}). De manera análoga se define el retardo de evaluación para nivel lógico bajo, atendiendo al cruce por el nivel medio entre el umbral y el nivel lógico bajo.

Los parámetros que definen el comportamiento de retardo frente al número de bits del sumador se han indicado tanto en las formas de onda como en el modelo de retardo mostrados en la Figura 3.5. Dichos parámetros se describen a continuación:

t_0, t_0^{50} : El retardo inicial (t_0) corresponde al retardo que se obtendría para un sumador de 1 bit, es decir, al retardo de la primera etapa de acarreo/suma. En esta etapa las características transitorias de los sumadores FTL con $V_{ref} = 0$ son similares a las de las familias lógicas CMOS y pseudo-nMOS, ya que las transiciones se producen desde GND en vez de desde V_{uc} . Sin embargo, el valor de t_0 observado resultará notablemente superior, conforme este retardo, en FTL, se define hasta el instante

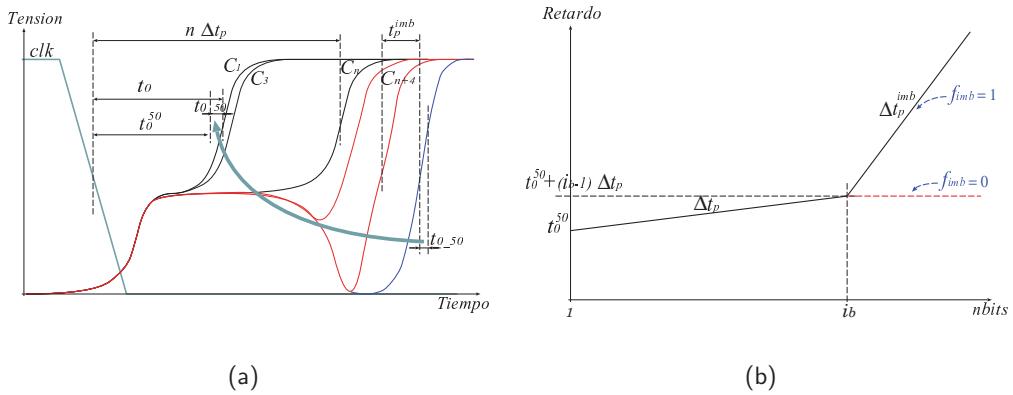


Figura 3.5: Retardo de evaluación en sumadores FTL: (a) formas de onda, y (b) modelo propuesto para la caracterización.

en que el nodo de salida pasa por $(V_{uc} + V_{oh})/2$, mientras que en la transición CMOS o pseudo-nMOS se define hasta que pasa por $(V_{ol} + V_{oh})/2$. Es por ello que además se indique un valor de retardo corregido (t_0^{50}), que refleja el retardo equivalente CMOS o pseudo-nMOS, esto es, el retardo hasta el cruce por el nivel $(V_{ol} + V_{oh})/2$, asumiendo que la transición fuese desde V_{ol} a V_{oh} , y coincidiese en el instante de cruce por $(V_{uc} + V_{oh})/2$. El valor de corrección entre t_0 y t_0^{50} se obtiene fácilmente midiendo el retardo desde $(V_{ol} + V_{oh})/2$ hasta $(V_{uc} + V_{oh})/2$ en etapas que muestren desequilibrio, o forzando los sumadores al modo de evaluación permanentemente. Nótese que en ambos casos, los transitorios siguen formas de onda similares para tensiones superiores al umbral.

Δt_p : El retardo por bit (Δt_p), desde la primera etapa hasta el punto de desequilibrio, se asume constante. Si bien no es rigurosamente cierto, conforme el nivel umbral no se alcanza al 100% si no es con un tiempo infinito, y por tanto existen sutiles diferencias entre el retardo de etapas consecutivas, resulta una consideración notablemente útil desde el punto de vista de la complejidad, y que además se aproxima fielmente a los resultados puesto que desde las primeras etapas ya se puede observar con claridad el umbral V_{uc} en las formas de onda FTL.

Δt_p^{imb} : El retardo por bit a partir del punto de desequilibrio (Δt_p^{imb}), se asume también constante. El valor de Δt_p^{imb} siempre será mayor que el de Δt_p conforme los transitorios en la región de desequilibrio siempre son más lentos que los obtenidos en operación FTL.

f_{imb} : El factor de desequilibrio f_{imb} es un indicador numérico del tipo de desequilibrio que se produce en el sumador. Conforme a lo comentado en el apartado 3.3.1, hay tres tipos de desequilibrio que provocan que se observen transiciones tipo CMOS o pseudo-nMOS en las salidas de acarreo a partir del punto de desequilibrio: cuando el desequilibrio fuerza al nodo de salida siempre hacia el nivel alto (desequilibrio hacia V_{oh}), siempre hacia el nivel bajo (desequilibrio hacia V_{ol}), o hacia el nivel alto cuando la salida tiene que evaluar hacia bajo y hacia nivel bajo cuando tiene que hacerlo hacia el alto (desequilibrio hacia c_i). En todos estos casos el factor de

desequilibrio toma valor unitario ($f_{imb} = 1$) puesto que se observan transiciones completas tipo CMOS o pseudo-nMOS, y por tanto, a partir del punto de desequilibrio el retardo de evaluación toma la pendiente Δt_p^{imb} , correspondiente a dichas transiciones. Sin embargo, queda un posible caso de desequilibrio (desequilibrio hacia \bar{C}_i) en el que los nodos de salida se desequilibrarían anticipadamente hacia el nivel lógico que finalmente tendrían que alcanzar. En este caso particular, en el que el factor de desequilibrio f_{imb} tiene valor nulo, no existirá variación de retardo apreciable a partir del punto de desequilibrio.

- i_b : El punto de desequilibrio i_b corresponde al mayor número de bits para el cual no se observa una condición de desequilibrio significativa, esto es, un espúreo que sobrepasa el nivel $(V_{uc} + V_{ol})/2$ para salidas a nivel alto, o $(V_{uc} + V_{oh})/2$ para salidas a nivel bajo. El punto de desequilibrio puede verse desplazado, respecto al punto de desequilibrio de la implementación, para tiempos de precarga por debajo de un determinado umbral (véase apartado 3.3.2).

Tiempo de precarga

La operación de precarga se realiza de forma paralela entre todas y cada una de las etapas del sumador, y se caracteriza por una curva exponencial negativa, típica de la carga o descarga de nodos mediante un modelo de resistencia y capacidad. El retardo de precarga propiamente dicho, es por tanto constante, independiente del número de bits y de la frecuencia de trabajo. Sin embargo, hay que tener en cuenta una restricción mínima sobre el tiempo mínimo, considerablemente superior al retardo de precarga, con la cual mantener la operación de precarga activa el suficiente tiempo como para asegurar la completa carga y/o descarga de los nodos de salida. Esta restricción es en cierta medida flexible, conforme el mínimo tiempo que ha de permanecerse en precarga depende del número de bits que se deseen mantener operativos sin desequilibrio. A mayor sea el número de etapas a soportar, menor diferencia de tensión entre los nodos se requerirá, y por tanto, mayor será el tiempo que se requiera para la precarga. Por otra parte, si el número de bits es suficientemente bajo, se podrá reducir el tiempo de precarga y alterar el punto de desequilibrio hasta que el mismo se sitúe justo en el número de bits requeridos para funcionar.

Asumiremos que el desequilibrio se produce como efecto de la amplificación de la diferencia de tensión en la precarga de los nodos respecto a su valor final, ya que dicho valor impone un límite máximo en la diferencia de tensión de nodos consecutivos. Así mismo, consideraremos que la carga y descarga de los nodos de salida como efecto de la precarga sucede de acuerdo a una curva exponencial negativa con el tiempo de precarga. Teniendo ambas consideraciones en cuenta, se demuestra que la curva que indica el punto de desequilibrio en función del tiempo de precarga puede aproximarse por una línea recta. Para ello, calcularemos el número de etapas en base a dos pasos:

1. El tiempo de precarga finito produce una diferencia de tensión respecto al valor de tensión de precarga que sigue la siguiente expresión:

$$\Delta V = K e^{-\frac{t}{RC}} \quad (3.1)$$

... siendo t el tiempo de precarga, K la constante que define la máxima diferencia de tensión respecto a la de precarga ($V_{oh} - V_{ref}$), y RC la constante de tiempo propia de cada estructura e implementación.

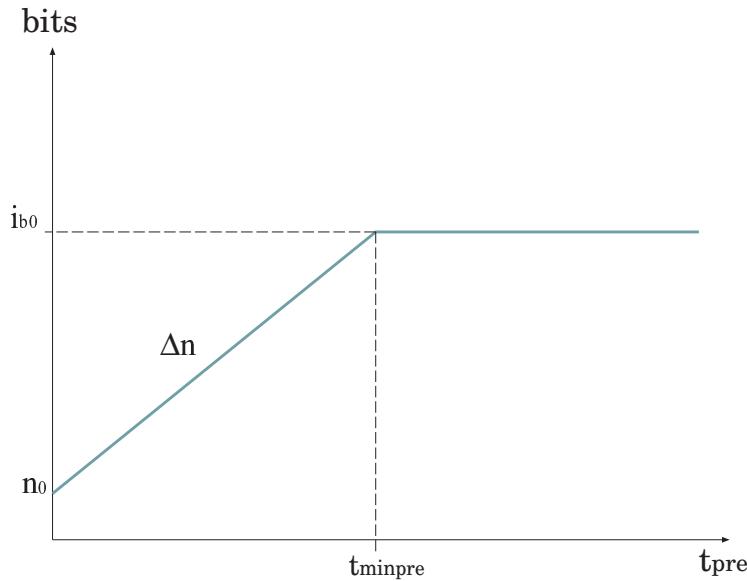


Figura 3.6: Punto de desequilibrio frente al tiempo de precarga en sumadores FTL.

2. La diferencia de tensión es amplificada por una cadena de etapas en cascada. Asumiendo que la ganancia media de todas las etapas es constante, y haciendo uso de la Ecuación 3.1, se obtiene que el punto de desequilibrio sigue una expresión en la forma siguiente:

$$i_b = n_i - \log_G \frac{\Delta V}{V_i} = n_i - \frac{\ln(K/V_i)}{\ln(G)} + \frac{t_{pre}}{RC\ln(G)} \quad (3.2)$$

$$i_b = n_0 + \Delta n \cdot t_{pre} \quad (3.3)$$

... siendo G la ganancia media de las etapas, y n_i el punto de desequilibrio observado para una diferencia de tensión V_i . Nótese cómo el comportamiento exponencial de la diferencia de tensión con respecto al tiempo de precarga se contrarresta con el comportamiento logarítmico del número de etapas respecto a la diferencia de tensión, dando lugar a un comportamiento lineal entre el tiempo de precarga y el punto de desequilibrio obtenido. Se ha comprobado que las simulaciones se adaptan bastante bien a dicho comportamiento.

Por último, la relación anterior sólo será aplicable para tiempos de precarga por debajo de un determinado valor. Por encima de dicho umbral, por más que se incremente el tiempo de precarga, el número de bits que no muestra desequilibrio permanecerá constante, limitado por las condiciones del diseño físico y lógico de cada estructura de sumador en vez de por el tiempo de precarga. Consideraremos dicho umbral como el tiempo mínimo de precarga requerido para garantizar un máximo punto de desequilibrio, de valor igual al limitado por la implementación de cada estructura.

En la Figura 3.6 se muestra el modelo propuesto para la caracterización del tiempo de precarga de acuerdo a las consideraciones anteriores. Los parámetros asociados a dicho modelo se detallan a continuación:

n_0 : Coordenada en el origen del punto de desequilibrio frente al tiempo de precarga, esto es, el punto de desequilibrio observado para tiempos de precarga suficientemente

pequeños. El valor de la coordenada en el origen (n_0) depende de las constantes n_i , V_i , K y de la ganancia G . Por otra parte, cabe esperar que n_0 se situe próximo a la unidad, conforme para tiempos de precarga muy pequeños, la única etapa que no realiza transiciones tipo FTL (desde el umbral V_{uc}) es la primera.

Δn : Pendiente de la recta que determina el punto de desequilibrio frente al tiempo de precarga cuando la aparición del desequilibrio está causada principalmente por las diferencias de tensión obtenidas durante la precarga. El valor de la pendiente (Δn) depende de la constante de tiempo RC y de la ganancia G . Nótese que a mayor ganancia G o constante de tiempo RC , menor resulta la pendiente de la recta, lo que conlleva sumadores con puntos de desequilibrio inferiores, esto es, más sensibles al desequilibrio.

i_{b0} : Indica el número de bits en el cual se aprecia condición de desequilibrio para tiempos de precarga suficientemente elevados como para considerar que el desequilibrio se encuentra limitado por las diferencias de tensión obtenidas en la precarga. El punto de desequilibrio máximo (i_{b0}) está asociado a un umbral de tiempo de precarga ($t_{min,pre}$), de forma que para tiempos de precarga inferiores a dicho umbral, el punto de desequilibrio $imbBits$ se ve decrementado y limitado por el tiempo de precarga, y para valores superiores de tiempo de precarga, el punto de desequilibrio permanecerá constante ($i_b = i_{b0}$), limitado por las condiciones de diseño e implementación.

$t_{min,pre}$: Este parámetro determina el tiempo mínimo de precarga para garantizar que el punto de desequilibrio no se vea afectado por las diferencias de tensión existentes en los nodos dado el tiempo de precarga finito. Tal como se ha comentado anteriormente, este parámetro está asociado a un determinado punto de desequilibrio máximo (i_{b0}), de forma que tiempos de precarga superiores a $t_{min,pre}$ mostrarán puntos de desequilibrio limitados a dicho punto de desequilibrio máximo, y tiempos de precarga inferiores obtendrán puntos de desequilibrio inferiores a dicho valor, limitados por la expresión de la Ecuación 3.3.

Consumo estático

El consumo estático es prácticamente constante entre unas y otras etapas, dado que durante la precarga todos los nodos de salida de acarreo, y por consiguiente también todas las entradas, se precargan a una misma tensión. La alta simetría circuital de los sumadores FTL implica que, durante la propagación de acarreo, el consumo estático permanezca constante para los distintos posibles vectores de entrada ($a = 0, b = 1$ y $a = 1, b = 0$). Tan sólo existen diferencias apreciables en los consumos estáticos de distintas etapas cuando se emplean sumadores FTL de alta velocidad con $V_{ref} = V_{cc}/2$. En éstos, el consumo estático debido a la corriente de cortocircuito que circula entre el nodo de precarga (V_{ref}) y GND , varía entre etapas, dada la dependencia de dicha corriente, y por consiguiente de la tensión de salida (entrada de la próxima etapa), con la tensión de entrada. Si bien este efecto es sólo apreciable durante las primeras 4 etapas, también hay que indicar que en valor medio los valores se mantienen: la primera etapa precargará a un nivel de tensión superior a la final, la segunda a uno inferior, la tercera a uno superior, y así sucesivamente, pero cada vez con menores diferencias respecto al valor de precarga efectivo. Etapas posteriores a la cuarta presentan en la práctica

diferencias despreciables tanto en tensión de precarga efectiva de los nodos como en consumos estáticos.

Por otra parte, el consumo estático depende del ciclo de trabajo, esto es, de la relación entre el tiempo de precarga y evaluación, conforme ambos regímenes de funcionamiento presentan distintos consumos estáticos. Las estructuras de bajo consumo presentan muy bajos consumos estáticos, ya que son debidos a corrientes de fugas por los dispositivos (corrientes de puerta y subumbral), tanto en régimen de precarga como en evaluación. Sin embargo, las estructuras de alta velocidad presentan consumos estáticos elevados durante la evaluación, debido a corrientes de cortocircuito. Durante la precarga, el consumo sólo resulta elevado para $V_{ref} = V_{cc}/2$, donde existen corrientes de cortocircuito entre el nodo V_{ref} y GND . El consumo estático definitivo vendrá definido por la expresión mostrada en la Ecuación 3.4, siendo dc el ciclo de trabajo de la señal de reloj, P_s el consumo estático para el ciclo de trabajo indicado, $P_{s_{pre}}$ el consumo estático durante la precarga, y $P_{s_{eval}}$ el consumo estático durante la evaluación. Tanto $P_{s_{pre}}$ como $P_{s_{eval}}$ se refieren al valor medio de consumo estático a nivel lógico alto y bajo. Nótese que el ciclo de trabajo (dc) se define como la relación entre el tiempo de evaluación (t_{eval}) y el tiempo de ciclo (T), siendo este último la suma del tiempo de precarga (t_{pre}) y evaluación (t_{eval}).

$$P_s = \frac{P_{s_{pre}}t_{pre} + P_{s_{eval}}t_{eval}}{T} = P_{s_{pre}}(1 - dc) + P_{s_{eval}}dc \quad (3.4)$$

Consumo dinámico

La componente dinámica del consumo se debe a la energía requerida para cargar y descargar los nodos durante las transiciones de cada operación, y por tanto, está íntimamente relacionada con las capacidades parásitas y de dispositivos existentes en cada nodo. En las familias lógicas CMOS, pseudo-nMOS y dominó la energía disipada es idéntica en todas las etapas de suma cuando se analiza el consumo obtenido en la ruta crítica, esto es, con todas las etapas configuradas en propagación de acarreo. Por consiguiente, el consumo dinámico puede obtenerse sin más que multiplicar la energía dinámica por la frecuencia de trabajo. Sin embargo, en la lógica FTL, la energía disipada en cada operación no es igual para todas las etapas, sino que depende de la posición que ocupa la celda dentro de la cadena de acarreo/suma. Esto se debe a que existen una dependencia entre las componentes del consumo dinámico y la posición en la cadena de bits que se ocupa.

En la Figura 3.7(a) se muestran las distintas componentes que determinan el consumo dinámico en la lógica FTL. Tales componentes se detallan a continuación:

$E_{d_{pre}}$: Precarga de los nodos desde su valor previamente evaluado, V_{oh} o V_{ol} , hasta la tensión de precarga.

$E_{d_{pre}}^{in}$: Carga o descarga de nodos internos, durante la precarga, debidos a transiciones de las entradas a o b . Si bien estas transiciones no tienen porque verse reflejadas en el la carga o descarga de nodos de salida, si pueden implicar circulación de cargas por dispositivos para cargar o descargar capacidades internas.

$E_{d_{t_{h0}}}$: Transición inicial al umbral V_{uc} , tan pronto comienza la fase de evaluación. Esta operación sucede de forma paralela en todas las etapas de la lógica FTL,

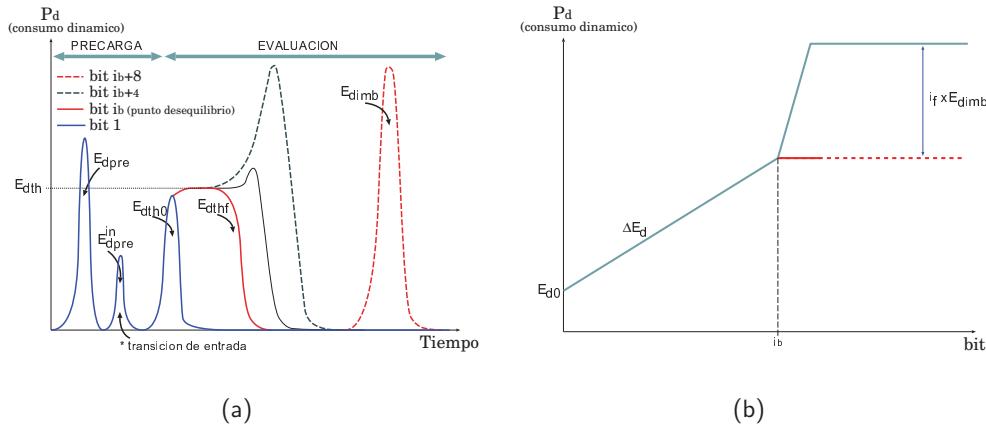


Figura 3.7: Consumo dinámico en sumadores FTL: (a) formas de onda, y (b) modelo propuesto para la caracterización.

y por tanto, independientemente de la posición de la etapa, conlleva una misma dissipación energética.

$E_{d_{th}}$: Permanencia en el umbral durante la propagación de señales en la evaluación. Durante esta fase se produce una fuerte corriente de cortocircuito, si bien, el tiempo que circulan estas corrientes resulta muy pequeño en las primeras etapas del sumador, y se incrementa a medida que lo hace el número de etapa, dada la propagación de señales hasta la entrada. Como resultado, la contribución energética en cada etapa se incrementa a medida que la posición se aleja de la primera etapa.

$E_{d_{thf}}$: Transición del umbral al nivel lógico de alto o bajo. Corresponde a la etapa de evaluación final de la transición FTL, o bien a la condición de desequilibrio mediante la que se sale de la permanencia en el umbral.

$E_{d_{imb}}$: Transiciones debidas al desequilibrio durante la etapa de evaluación. Este tipo de transiciones tienen un consumo energético similar al de la transición de la familia lógica de referencia, CMOS o pseudo-nMOS. Transiciones de este tipo sólo se darán en las etapas posteriores al punto de desequilibrio. Según sea el tipo de desequilibrio la contribución energética se producirá en todas las transiciones, sólo en las transiciones hacia niveles altos o bajos, o en ninguna.

En la Figura 3.7(b) se presenta el modelo de consumo dinámico propuesto para caracterizar el comportamiento en cada una de las etapas del sumador FTL. Los parámetros de dicho modelo mantienen una relación directa con las componentes del consumo dinámico expuestas anteriormente:

E_{d0} : Energía dinámica disipada en la primera etapa. Este parámetro se corresponde con la suma de todas las componentes de consumo dinámico asumiendo que no existe permanencia en el nivel umbral ni desequilibrio, y por tanto, $E_{d_{th}} = 0$ y $E_{d_{imb}} = 0$.

ΔE_d : Indica el incremento del consumo dinámico que se produce en cada etapa. Se asume que el incremento de consumo es idéntico en cada etapa. Esta presuposición es consistente con la realizada anteriormente en cuanto al retardo de evaluación, que supone un retardo también constante a partir del primer bit y hasta el desequilibrio. Conforme el incremento de tiempo es constante, y la corriente también, ΔE_d también lo será, y su valor se corresponderá con el producto del retardo FTL entre una etapa y la consecutiva, la corriente que circula durante la permanencia en el umbral, y la tensión de alimentación. En términos de las componentes de consumo dinámico, ΔE_d se puede expresar como el valor medio de la diferencia entre el valor $E_{d_{th}}$ de dos etapas consecutivas, previas al punto de desequilibrio.

i_f : El factor de desequilibrio i_f , al igual que f_{imb} , es un indicador numérico del tipo de desequilibrio que se produce en el sumador. Si bien el factor f_{imb} daba cuenta tan sólo de si el tipo de desequilibrio repercute o no en el retardo y consumo, en este caso, el factor i_f indica el número medio de transiciones, respecto al máximo, que se producen durante la condición de desequilibrio. Esto es, un factor de valor unitario indica que se producen tanto transiciones $V_{ol}-V_{oh}$ posteriores a un desequilibrio hacia el nivel bajo cuando la salida tiene que evaluarse a nivel alto, como transiciones $V_{oh}-V_{ol}$ posteriores a un desequilibrio hacia el nivel alto cuando la salida tiene que evaluarse a nivel bajo. Este comportamiento se corresponde, por tanto, a desequilibrios hacia c_i (lado incorrecto de la evaluación). Por otra parte, un factor de valor 0.5 indica que sólo se produce una de las dos transiciones: o bien se produce sólo la transición $V_{ol}-V_{oh}$, o la transición $V_{oh}-V_{ol}$, siendo este tipo de desequilibrio el más común, correspondiéndose tanto a las condiciones de desequilibrio hacia V_{oh} como hacia V_{ol} . Por último, un factor nulo se observa cuando en la condición de desequilibrio no se producen transiciones de nivel alto a bajo ni viceversa, dándose este caso sólo cuando el desequilibrio se produce hacia \bar{c}_i .

i_b : Indica el punto de desequilibrio. Se corresponde con el mayor número de bits para el cual no se observa una condición de desequilibrio significativa, esto es, un espúreo que sobrepasa el nivel $(V_{uc} + V_{ol})/2$ para salidas a nivel alto, o $(V_{uc} + V_{oh})/2$ para salidas a nivel bajo. Nótese que el valor de i_b se puede obtener a partir del tiempo de precarga y el valor de i_{b0} (véase Figura 3.6).

$E_{d_{imb}}$: Energía dinámica de la transición completa $V_{ol}-V_{oh}$ y $V_{oh}-V_{ol}$. Se corresponde directamente con la componente $E_{d_{imb}}$ del consumo, correspondiendo por tanto a la energía máxima disipada durante transiciones en desequilibrio. Este componente de consumo es aplicable sólo en etapas posteriores al punto de desequilibrio. La energía total disipada depende del tipo de desequilibrio, motivo por el cual éste término se multiplica por el factor de desequilibrio (*imbFactor*) para obtener la disipación energética efectiva debido al desequilibrio. Nótese que se establece un margen de adaptación de 4 bits en torno al punto de desequilibrio en el que la energía dinámica de la transición se incorpora gradualmente. A partir de $i_b + 4$ el consumo dinámico será constante, correspondiendo a la suma del consumo máximo FTL y el consumo de la transición en desequilibrio, según el tipo de desequilibrio.

De acuerdo al modelo anterior, la expresión que determina el consumo dinámico en la etapa i -ésima del sumador es la que se indica en la Ecuación 3.5. El consumo energético

dinámico total de un sumador de n bits con punto de desequilibrio en i_b , expresado como valor promedio del consumo dinámico de todos los bits, se indica en la Ecuación 3.6.

$$E_{d_i} = \begin{cases} E_{d_0} + \Delta E_d(i - 1) & \text{si } 1 \leq i \leq i_b \\ E_{d_0} + \Delta E_d(i_b - 1) + E_{d_{imb}} i_f \frac{(i - i_b)}{4} & \text{si } i_b + 1 \leq i \leq i_b + 4 \\ E_{d_0} + \Delta E_d(i_b - 1) + E_{d_{imb}} i_f & \text{si } i \geq i_b + 5 \end{cases} \quad (3.5)$$

$$\overline{E_{d_{1-n}}} = \sum_{i=1}^n E_{d_i} \quad (3.6)$$

Nótese que, si desarrollamos la sumatoria, la pendiente del consumo dinámico medio frente al número de bits se corresponde con la mitad de la obtenida respecto al número de etapa para sumadores que no presentan condición de desequilibrio. A partir de la aparición de la condición de desequilibrio el consumo respecto al número de bits deja de seguir un comportamiento lineal y cada vez el consumo medio se incrementa en menor cuantía.

3.3.3 Procedimiento seguido

El procedimiento que se ha seguido para obtener los distintos parámetros de los modelos que definen la caracterización realizada se resume en los siguientes puntos:

1. Inicialmente se realizan una serie de *scripts* capaces de lanzar las simulaciones y medidas del retardo y consumo de cada una de las implementaciones de los sumadores FTL para distintos números de bits. Estos *scripts* son capaces de detectar las posibles condiciones de desequilibrio atendiendo tanto a las formas de onda como a los incrementos de retardo⁹. Con fin de acelerar las simulaciones, las medidas de retardo y consumo se realizan en grupos de 4 bits: los sumadores de alta velocidad se simulan hasta 64 bits, y los sumadores de bajo consumo, dada su mayor sensibilidad al desequilibrio, se simulan sólo hasta 32 bits.
2. Se realizan simulaciones con ciclo de trabajo del 50% para frecuencias de trabajo de 100 MHz y 33 MHz. A partir de dichas simulaciones se obtienen los parámetros de retardo, consumo estático y dinámico medio por bit en cada grupo de 4 bits. Adicionalmente, se mide el consumo estático medio durante la precarga en cada grupo de 4 bits.
3. Los parámetros correspondientes al retardo de evaluación en régimen FTL, t_0^{50} y Δt_p , se obtienen mediante el ajuste lineal de los retardos obtenidos en los bits que no muestran desequilibrio usando el método de mínimos cuadrados, el cual minimiza el error cuadrático medio.
4. El parámetro que define el retardo en desequilibrio, Δt_p^{imb} , se obtiene midiendo el retardo de propagación obtenido al simular los sumadores forzados a un régimen de evaluación continua ($\phi = 0$) y haciendo transitar la entrada de acarreo. Nótese que las transiciones obtenidas de esta forma corresponden con las obtenidas durante una transición con un efecto de desequilibrio totalmente en juego.

⁹Nótese que los tipos de desequilibrio hacia V_{ol} , V_{oh} y c_i pueden determinarse mediante la detección de espúreos en las formas de onda que superen determinados umbrales. Sin embargo, en el caso de desequilibrio hacia $\overline{c_i}$, la condición de desequilibrio tan sólo es observable mediante la detección de incrementos de retardo casi nulos.

5. Para obtener el punto de desequilibrio máximo, i_{b0} , se construye la recta que, con pendiente (Δt_p^{imb}) pasa por el valor de retardo obtenido en la penúltima etapa simulada¹⁰, y se calcula el corte de ésta con el de la recta definida por t_0 y Δt_p . Por último, se redondea al punto de desequilibrio así obtenido al entero más próximo para obtener el número de etapas correspondiente al punto de desequilibrio máximo. Nótese que el punto de desequilibrio final para una condición de funcionamiento dada, vendrá determinado también por el tiempo de precarga.
6. Los factores de desequilibrio, i_f y f_{imb} , se obtienen directamente en base al tipo de desequilibrio observado en las simulaciones, de acuerdo a lo especificado en la Tabla 3.4.
7. Se calculan los consumos tanto estáticos como dinámicos a partir de las medidas de consumo totales a 100 MHz y 33 MHz y del consumo estático medio en precarga, teniendo en cuenta que el consumo total (P_t) puede obtenerse en función del consumo estático (P_s), dinámico (E_d) y frecuencia de trabajo (f) según la expresión $P_t = P_s + E_d f$. El consumo estático durante la evaluación en cada grupo de bits se calcula atendiendo a la Ecuación 3.4, en base al consumo estático total, el consumo estático durante la precarga y el ciclo de trabajo.
8. El consumo estático total (P_s), durante precarga ($P_{s_{pre}}$) y durante evaluación ($P_{s_{eval}}$), por bit, se obtiene promediando los valores de consumo en todos los grupos de 4 bits cuyas transiciones están totalmente terminadas. Nótese que se excluyen de este promedio aquellas etapas que, pasado el punto de desequilibrio, no hayan terminado la evaluación a las frecuencias de reloj empleadas, conforme el cálculo del consumo estático y dinámico en dichas etapas induciría a error dada la existencia de distinto número de transiciones completadas entre ambas frecuencias de trabajo.
9. Los parámetros de consumo dinámico, E_{d0} y ΔE_d , se obtienen de manera análoga a los de retardo de evaluación: los parámetros asociados a la región en equilibrio (E_{d0} y ΔE_d) se obtienen mediante aproximación lineal por mínimos cuadrados a los puntos obtenidos mediante simulación, y los parámetros asociados a la región más allá de la aparición del desequilibrio ($\Delta E_{d_{imb}}$), se obtienen mediante la medida de los consumos asociados a las transiciones tipo CMOS y pseudo-nMOS forzando los sumadores al modo de evaluación de forma continuada.
10. Los parámetros asociados al modelado del tiempo de precarga y su efecto sobre el punto desequilibrio, n_0 , Δn , y $t_{min,pre}$ se obtienen simulando los sumadores con tiempos de precarga que producen diferencias máximas en la tensión de precarga de entre 1 mV y 1 μ V. El valor asociado al tiempo mínimo de precarga ($t_{min,pre}$) se obtiene mediante ensayos de tipo prueba–error hasta observar en las formas de onda que el punto de desequilibrio comienza a desplazarse. La búsqueda se realiza hasta obtener una resolución en la determinación del tiempo de precarga superior a 25 ps¹¹. Por otra parte, los parámetros n_0 y Δn se obtienen mediante el ajuste

¹⁰Se evita el uso de la última etapa ya que en dicha etapa se obtienen condiciones de carga diferentes al resto de etapas. Nótese que, además, la penúltima etapa muestra un efecto de desequilibrio claramente en juego en todos los casos simulados.

¹¹Hay que destacar que los tiempos mínimos de precarga así obtenidos, en todas las estructuras, implican diferencias de tensión de precarga máximas en torno a 10 μ V.

Tabla 3.5: Resultados de la caracterización de sumadores FTL de trazado de alta simetría.

Familia Lógica	i_{b0} (bits)	t_0^{50} (ns)	Δt_p (ps/bit)	Δt_p^{imb} (ps/bit)	P_s (uW/bit)	E_{d0} (nW/MHz/bit)	ΔE_d (nW/MHz/bit)	ΔE_d^{imb} (nW/MHz/bit)	i_f (factor)
HS0	34	0.101	44	126.36	39.97	38.21	3.232	34.352	0.0
HS06	45	0.013	44	126.36	86.28	1.60	2.661	34.352	0.5
LP0	28	0.237	108	543.75	0.03	71.87	2.612	62.491	1.0
LP06	13	0.049	144	602.48	6.37	50.78	4.179	64.347	1.0

Tabla 3.6: Resultados de la caracterización de sumadores FTL de trazado compacto.

Familia Lógica	i_{b0} (bits)	t_0^{50} (ns)	Δt_p (ps/bit)	Δt_p^{imb} (ps/bit)	P_s (uW/bit)	E_{d0} (nW/MHz/bit)	ΔE_d (nW/MHz/bit)	ΔE_d^{imb} (nW/MHz/bit)	i_f (factor)
HS0	27	0.055	31.75	68.84	37.15	7.63	1.154	7.276	0.5
HS06	40	0.013	21.70	68.84	52.32	0.01	1.128	7.276	0.0
LP0	16	0.237	64.07	296.37	0.03	25.24	1.256	18.821	0.5
LP06	20	0.049	62.60	319.4	3.64	13.74	1.699	18.331	0.5

lineal por mínimos cuadrados de las medidas obtenidas del punto de desequilibrio para cada valor de tiempo de precarga. La estimación del punto de desequilibrio para cada tiempo de precarga sigue un procedimiento análogo al indicado para la estimación del punto de desequilibrio máximo, analizando las formas de onda y retardos obtenidos mediante simulación frente al número de bits, si bien difieren en los tiempos de precarga y ciclos de trabajo empleados.

3.3.4 Resultados de la caracterización

En las Tablas 3.5- 3.6 se detallan los resultados obtenidos de aplicar el procedimiento indicado para caracterizar el comportamiento de los sumadores FTL, en base a simulaciones *postlayout*. Se observa que los sumadores FTL de alta velocidad son los que obtienen también menor incremento de consumo dinámico y retardo por bit, además de puntos de desequilibrio más altos. Sin embargo, estos sumadores presentan elevados consumos dinámicos. Por tanto, los sumadores FTL de alta velocidad se presentan como los más adecuados para circuitos de alta velocidad siempre que se trabaje a frecuencias suficientemente elevadas o se limite adecuadamente el tiempo de evaluación para minimizar el consumo estático.

En base a las observaciones de las medidas, se puede aplicar el mismo modelo para estimar las prestaciones en base a simulación, sin más que sustituir los parámetros i_{b0} , i_f y f_{imb} por los observados durante el proceso de medida, ya que estos van a depender en gran medida del *mismatch* tecnológico.

3.3.5 Limitaciones de la caracterización

La caracterización acometida, atendiendo a los modelos y procedimientos tal y como se indica en los apartados anteriores, se adapta fielmente a los resultados de las simulaciones siempre y cuando se cumplan los siguientes requisitos:

1. Los tiempos de evaluación han de ser suficientes como para completar totalmente todas las transiciones en todos los nodos a las frecuencias de trabajo empleadas.
2. Los tiempos de precarga usados han de ser suficientes como para permitir al menos la operación sin desequilibrio de 4 bits FTL.
3. Los resultados obtenidos son aplicables para un número de bits que, en estructuras de bajo consumo no supera los 32, y en estructuras de alta velocidad resulta inferior a 64.

Se han excluido de la caracterización medidas que muestren transiciones no completadas, dado que producirían valores incorrectos en los cálculos de consumo estático y dinámico a partir de las medidas de consumo total a distintas frecuencias de trabajo. No obstante, la corrección que ha de realizarse para obtener el consumo real a cualquier frecuencia de trabajo, independientemente de que se completen las transiciones o no, es bastante sencilla: tan sólo hay que atender a quitar el consumo $E_{d_{imb}}$ de aquellos bits cuyo retardo de evaluación supere el tiempo de evaluación disponible.

Por otra parte, la calidad de la caracterización disminuye cuando se intentan minimizar los tiempos de precarga para ajustarse a una condición de desequilibrio en menor número de etapas al desequilibrio natural de las estructuras (i_{b0}). Para mejorar la calidad del modelo de retardo en dichas condiciones deben emplearse parámetros de retardo de evaluación ajustados a cada tiempo de precarga. Las variaciones que sufren dichos parámetros respecto a los obtenidos con ciclo de trabajo del 50% se deben por una parte a la reducción del número de etapas sin desequilibrio a medida que se usan menores tiempos de precarga, y por otra, a que el retardo FTL no es constante en cada etapa, lo que origina una ligera falta de linealidad especialmente apreciable en las primeras etapas. En consecuencia, a medida que se usan tiempos de precarga más bajos los valores de t_0 tienden a disminuir y los valores de Δt tienden a incrementarse ligeramente.

3.4 Análisis de sensibilidad

La especial sensibilidad de la familia lógica FTL frente al desequilibrio de cargas, a las características de *drive* o a las condiciones iniciales hace necesario un análisis de sensibilidad frente a los distintos parámetros de diseño y fabricación. Este análisis se ha dividido, de acuerdo a su naturaleza, en dos análisis bien diferenciados: por una parte se estudia el efecto de la variación de las condiciones de operación, como consecuencia de modificar alguno de los parámetros de diseño; y por otra parte se analiza el efecto de la variabilidad de los dispositivos como efecto de los procesos de fabricación.

3.4.1 Sensibilidad frente a parámetros de diseño

Este primer análisis de sensibilidad tiene por objeto determinar la variación de las prestaciones que sufren los sumadores FTL como efecto de cambiar los parámetros de diseño. Para ello se ha simulado el comportamiento de los sumadores FTL cuando se varían de forma global al circuito los siguientes parámetros:

- Número de bits
- Condiciones de trabajo (capacidad de carga, temperatura de funcionamiento, tensión de alimentación, esquina del proceso tecnológico)

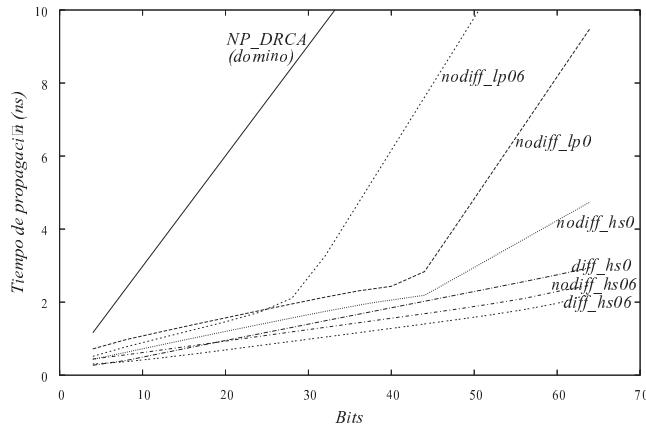


Figura 3.8: Sensibilidad del retardo de propagación en domino, CMOS, FTL diferencial y FTL no diferencial frente al número de bits.

- Acoplamiento capacitivo a señales digitales de alta frecuencia

Conforme los parámetros de diseño se analizan en las primeras etapas de diseño, el análisis de sensibilidad respecto a tales parámetros se ha realizado a nivel circuital basándose en simulaciones *prelayout*. Por defecto, las condiciones de operación se refieren a una temperatura de 25°C, en la esquina típica del proceso tecnológico (TT), con tensión de alimentación de 1.2 V, capacidad de carga de 10 fF y sin acoplamiento de ruidos eléctricos. Se han analizado tanto los sumadores diferenciales de alta velocidad como los no diferenciales de alta velocidad y bajo consumo. En los casos en los que los sumadores FTL presentan desequilibrio antes de 64 bits se ha analizado el comportamiento tanto para un número de bits con la condición de desequilibrio en juego como sin que esté presente.

Sensibilidad respecto al número de bits

La Figura 3.8 muestra el retardo de propagación frente al número de bits para cada tipo de sumador FTL, para el sumador domino y sumador CMOS. El número de bits se ha variado desde 4 bits hasta 64, en pasos de 4 bits.

Se pueden observar los siguientes aspectos:

1. El punto de desequilibrio de los sumadores de bajo consumo resulta inferior al de los sumadores de alta velocidad. Ellos se deben tanto a la mayor complejidad de las celdas de bajo consumo, como a las mayores ganancias en DC determinadas por las curvas de transferencia más abruptas.
2. Los sumadores diferenciales tienen menor sensibilidad al desequilibrio de cargas que los no diferenciales. Puede observarse que los puntos de desequilibrio de los sumadores diferenciales están siempre por encima de los 64 bits, mientras que en los sumadores no diferenciales, únicamente el sumador de alta velocidad con $V_{ref} = V_{cc}/2$ es capaz de alcanzar tales anchos de palabra sin mostrar desequilibrio.
3. Las mejores prestaciones en términos de retardo las obtienen los sumadores diferenciales con $V_{ref} = V_{cc}/2$ (*hs06*).

4. En los sumadores FTL, a medida que el número de bits crece hasta el punto de desequilibrio, la ventaja en velocidad respecto a sumadores dominó y CMOS se incrementa. Más allá del punto de desequilibrio, el comportamiento en retardo de los sumadores de bajo consumo se aproxima al de la lógica dominó y CMOS. Los sumadores de alta velocidad, sin embargo, incluso más allá del punto de desequilibrio obtienen un retardo por bit que resulta considerablemente inferior al de la lógica dominó y CMOS, puesto que su retardo se aproxima al de la lógica pseudo-nMOS.

Sensibilidad respecto a las condiciones de trabajo

La Figura 3.9 muestra la variación que experimenta el retardo de propagación frente a las variaciones en las distintas condiciones de operación. Para ello, se hace variar la capacidad de carga entre etapas (desde 0.5 fF hasta 20 fF), la temperatura de funcionamiento (entre -25°C y 125°C), la tensión de alimentación (variación del 10% respecto al valor nominal de 1.2 V, es decir, entre 1.08 V y 1.32 V), y la esquina del proceso tecnológico (variación desde esquina SS —slow/slow— a FF —fast/fast—) de todos los dispositivos para cada tipo de sumador. Los resultados muestran tanto sumadores con número de bits que presentan un efecto de desequilibrio totalmente en juego como sin él. Se ha marcado con (*) aquellos sumadores en los que se aprecia desequilibrio para el número de bits indicado.

Obsérvese que para cada uno de los parámetros considerados, las versiones balanceadas de sumadores FTL (esto es, las que no muestran desequilibrio para el número de bits considerado), son las que obtienen la menor sensibilidad de entre todas. Inmediatamente después en términos de sensibilidad se encuentran los sumadores FTL en los que se aprecia desequilibrio, y por último los sumadores dominó y CMOS que son los que mayor variación de retardo sufren en términos absolutos. Los sumadores diferenciales de alta velocidad son los que presentan la mayor insensibilidad frente a las variaciones en la capacidad de carga y esquina del proceso tecnológico; mientras que los no diferenciales de alta velocidad y bajo consumo son los más insensibles frente a la tensión de alimentación y temperatura, respectivamente. Nótese también que en lo que respecta al rendimiento en velocidad, los sumadores FTL diferenciales de alta velocidad son los que siempre obtienen las mejores prestaciones, independientemente de las condiciones de trabajo.

En las Tablas 3.7 y 3.8 se resumen los resultados obtenidos, en términos de variación de retardo absoluto (Δt_p) y relativos ($\Delta t_{p_{rel}}$), respectivamente. Las variaciones relativas se han considerado como la relación entre la variación de retardo observada y el valor de retardo máximo. Las variaciones de retardo observadas se han comparado con los presentadas por sumadores dominó (ratio). Se han resaltado los sumadores que presentan la menor sensibilidad para cada una de las posibles condiciones de trabajo (capacidad de carga, temperatura, tensión de alimentación y esquina del proceso tecnológico). Nótese que la mayor insensibilidad en términos absolutos siempre es obtenida en sumadores FTL, con una ventaja apreciable sobre dominó. Por otra parte, cuando se comparan los resultados en base a variaciones relativas de retardo, en vez de absolutas, las diferencias son menos apreciables. En términos relativos, la mayor insensibilidad pertenece a sumadores FTL con excepción de la temperatura, parámetro para el cual la lógica dominó es la que presenta menor variación porcentual. Tanto en términos absolutos como relativos destaca especialmente la baja sensibilidad de los sumadores de alta velocidad con $V_{ref} = 0$ (*hs0*) frente a las variaciones en la tensión de alimentación.

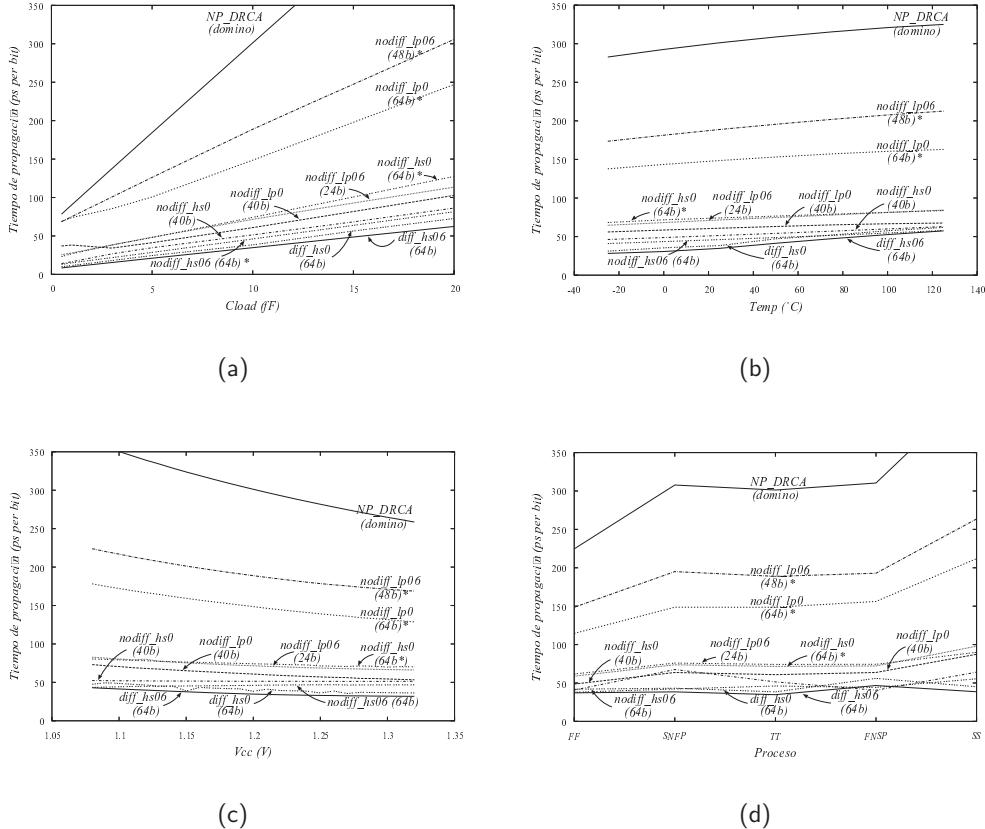


Figura 3.9: Sensibilidad del retardo de propagación en domino, CMOS, FTL diferencial y FTL no diferencial frente a (a) capacidad de carga, (b) temperatura, (c) tensión de alimentación, y (d) esquina del proceso tecnológico. Los sumadores marcados con (*) indican que en tales sumadores se aprecian bits en desequilibrio.

Tabla 3.7: Variación absoluta de retardo frente a variaciones en la capacidad de carga (C_l), temperatura (temp), tensión de alimentación (V_{cc}) y esquina del proceso tecnológico (proceso). La columna *ratio* especifica la relación de variación de retardo respecto a la experimentada en familias lógicas dominó.

familia lógica	C_l		temp		V_{cc}		proceso	
	Δt_p (ps)	ratio	Δt_p (ps)	ratio	Δt_p (ps)	ratio	Δt_p (ps)	ratio
cmos	336.47	1.35	43.97	0.96	75.56	1.37	152.28	1.38
domino	455.41	1.00	42.22	1.00	103.59	1.00	210.44	1.00
lp0	65.83	6.92	11.58	3.65	19.80	5.23	38.73	5.43
lp06	87.93	5.18	19.67	2.15	16.71	6.20	39.08	5.38
hs0	72.18	6.31	16.75	2.52	1.03	101.07	26.95	7.81
hs06	68.51	6.65	16.95	2.49	3.38	30.69	17.50	12.03
dhs0	62.73	7.26	30.80	1.37	13.19	7.85	14.08	14.95
dhs06	54.03	8.43	29.25	1.44	11.20	9.25	11.92	17.65

Tabla 3.8: Variación relativa de retardo (respecto a retardo máximo) frente a variaciones en la capacidad de carga (C_l), temperatura (temp), tensión de alimentación (V_{cc}) y esquina del proceso tecnológico (proceso). La columna *ratio* especifica la relación de variación de retardo relativo respecto a la experimentada en familias lógicas dominó.

familia lógica	C_l		temp		V_{cc}		proceso	
	Δt_p (ps)	ratio						
cmos domino	0.80	1.07	0.16	0.82	0.26	1.12	0.44	1.10
	0.85	1.00	0.13	1.00	0.29	1.00	0.48	1.00
lp0	0.64	1.33	0.17	0.76	0.27	1.06	0.44	1.09
	0.77	1.10	0.23	0.56	0.20	1.42	0.40	1.21
hs0	0.84	1.02	0.27	0.49	0.02	14.60	0.40	1.21
	0.84	1.02	0.29	0.44	0.07	3.96	0.32	1.53
dhs0	0.86	0.99	0.50	0.26	0.27	1.07	0.25	1.92
	0.87	0.98	0.51	0.25	0.26	1.10	0.26	1.89

De los resultados obtenidos, cabe destacar:

Sensibilidad frente a la capacidad de carga: La variación de retardo experimentada por los sumadores cuando se varía la capacidad de carga se muestra en la Figura 3.9(a). Las variaciones obtenidas resultan entre 5.2 y 8.4 veces inferiores a las variaciones experimentadas por los sumadores dinámicos dominó, y entre 3.8 y 6.2 veces inferiores comparadas con las variaciones sufridas por los sumadores CMOS. Los sumadores diferenciales de alta velocidad son los que muestran la mayor reducción en la sensibilidad frente a este parámetro, lo que confiere a este sumador una posición de privilegio para ser usado bajo condiciones de gran carga capacitiva. Nótese que una reducida sensibilidad frente a la capacidad de carga es deseable para mejorar la velocidad de circuitos segmentados donde el tiempo de ciclo se vea dominado por los retardos de interconexión, condición cada vez más habitual conforme el escalado tecnológico sigue avanzando y las tecnologías de interconexionado no son capaces de adaptarse al mismo ritmo que el escalado de los dispositivos [1].

Sensibilidad frente a la temperatura de funcionamiento: En la Figura 3.9(b) se representa el tiempo de propagación frente a la temperatura de funcionamiento. Se puede observar que la sensibilidad de los sumadores FTL, cuando no entra en juego el desequilibrio, resulta entre 1.4 y 3.6 veces inferior a la presente en sumadores dominó (entre 1.4 y 3.8 veces inferiores a CMOS). El sumador más insensible a la temperatura resulta el FTL no diferencial de bajo consumo con $V_{ref} = 0$. Este tipo de sumadores puede por tanto ser de mayor utilidad en entornos donde se esperen grandes variaciones de temperatura de funcionamiento, a causa por ejemplo del autocalentamiento, y se requiera disminuir la variación del retardo, si bien estará limitado a menores anchos de palabra.

Sensibilidad frente a la tensión de alimentación: Las versiones equilibradas de los sumadores no diferenciales de bajo consumo resultan aproximadamente 6 veces menos sensibles a las variaciones en la tensión de alimentación que la lógica dominó, y las versiones diferenciales de alta velocidad aproximadamente 8 veces más insensibles (véase Figura 3.9(c)). Comparado con la lógica CMOS se obtienen, aproximadamente, variaciones de retardo entre 4 y 6 veces menores. Es destacable

la elevada insensibilidad de las estructuras no diferenciales de alta velocidad a las variaciones en la tensión de alimentación, especialmente cuando se usa $V_{ref} = 0$: se obtienen variaciones absolutas de retardo hasta 2 órdenes de magnitud inferiores respecto a dominó (73 veces inferiores respecto a las experimentadas en CMOS). Esta característica hace especialmente atractivos los sumadores no diferenciales de alta velocidad ($hs0$) para aplicaciones de baja tensión de alimentación, tales como aplicaciones móviles, conforme permiten reducir el consumo sin incurrir en un incremento apreciable del retardo, maximizando de esta forma las ventajas respecto a CMOS y dominó. Lógicamente consideraciones sobre márgenes de ruido y fiabilidad del diseño impondrán límites a la reducción de la tensión de alimentación. La variación relativa de estos sumadores indica variaciones relativas inferiores al 2% para una variación de alimentación de $\pm 10\%$.

Sensibilidad frente a la esquina del proceso tecnológico: La Figura 3.9(d) muestra el retardo de propagación para cada una de las esquinas del proceso tecnológico. Se observan variaciones absolutas de retardo entre 5.4 y 12 veces inferiores para los sumadores FTL no diferenciales respecto a las variaciones en lógica dominó (entre 3.9 y 8.7 veces inferiores variaciones de retardo que en CMOS). Los sumadores diferenciales muestran aún mayor insensibilidad respecto a las variaciones en el proceso tecnológico, obteniendo variaciones de retardo por encima de un orden de magnitud inferiores a las obtenidas en CMOS y dominó. Adicionalmente, los sumadores FTL diferenciales son los que menor variación porcentual de retardo presentan. Por tanto, cabe esperar que los sumadores diferenciales sean los que presenten menor variación de retardo entre distintos chips fabricados.

Sensibilidad respecto al acoplamiento de señales digitales de alta frecuencia

Por último, se ha contemplado dentro de este análisis a parámetros globales del diseño el acoplamiento capacitivo del sumador a señales digitales de alta frecuencia, para tener en cuenta el efecto que pudiera producir el ruido eléctrico acoplado por señales de reloj que discurren próximas y puedan introducir ruido ya sea en los nodos de acarreo o suma del sumador, o en el substrato de los dispositivos, como efecto de las capacidades parásitas de interconexión.

Para ello, se ha introducido un acoplamiento capacitivo entre cada uno de los nodos internos del sumador y una fuente de ruido digital (onda cuadrada con 50% de ciclo de trabajo) con una frecuencia de trabajo y velocidad de subida–bajada (*slew rate*) 10 veces mayor que las de la señal de reloj o precarga, ϕ . Para crear un máximo efecto adverso en el acoplamiento, se han sincronizado los flancos de subida con el comienzo de las fases de evaluación, de forma que el acoplamiento resultante obtuviese un máximo efecto sobre el desequilibrio. Nótese que el máximo efecto de acoplamiento se consigue haciendo coincidir los instantes de máximo sobreimpulso de la señal acoplada con los instantes de máxima impedancia en la transición de reloj ϕ , por lo que entra en juego el retardo reloj–salida de la celda de acarreo del sumador. Para localizar el punto de máximo acoplamiento se ha variado el sincronismo entre las señales de reloj y ruido, hasta obtener un máximo efecto adverso en lo que se refiere a desequilibrio, y una resolución del instante de máximo acoplamiento inferior a 5 fs.

Con el fin de variar la tensión del ruido acoplado se ha variado la capacidad de acople entre 0.5 fF y 10 fF, manteniendo la amplitud de la fuente de ruido como una señal digital que varía entre V_{cc} y GND , para reflejar más fielmente el acoplamiento a señales de reloj

Tabla 3.9: Sensibilidad de sumadores FTL frente a acoplamiento capacitivo de señales digitales de alta frecuencia.

C_c (fF)	lp0				lp06			
	ΔV (mV)	ΔV_0 (mV)	bits	Δ bits	ΔV (mV)	ΔV_0 (mV)	bits	Δ bits
0.5	33	56	40	0	42	11	28	0
1	71	96	40	0	83	55	28	0
3	180	223	36	4	226	203	26	2
5	305	339	34	6	338	319	26	2
10	495	525	32	8	535	518	24	4

C_c (fF)	hs0				hs06			
	ΔV (mV)	ΔV_0 (mV)	bits	Δ bits	ΔV (mV)	ΔV_0 (mV)	bits	Δ bits
0.5	34	37	42	0	38	5	64	0
1	68	72	42	0	76	49	64	0
3	188	204	40	2	203	183	64	0
5	289	307	40	2	310	293	64	0
10	476	496	38	4	502	489	62	2

u otras señales digitales con rápidas transiciones. Este proceso se ha realizado sobre los sumadores no diferenciales de bajo consumo y alta velocidad al ser estos más sensibles al desequilibrio que los sumadores diferenciales.

La Tabla 3.9 resume los resultados obtenidos, indicando para cada sumador FTL y valor de acoplamiento capacitivo (C_c) la amplitud de ruido introducido (ΔV y ΔV_0), el punto de desequilibrio (bit), y el desplazamiento del mismo (Δ bits). El valor ΔV se refiere exclusivamente al acoplamiento de ruido, mientras que el valor ΔV_0 indica el máximo sobreimpulso en el instante inicial como efecto conjunto del acoplamiento de la señal de reloj ϕ y del ruido. De acuerdo a los resultados obtenidos, las estructuras que requieren menor capacidad de acople para desplazar su punto de desequilibrio en un 10% respecto a su punto de desequilibrio son las estructuras de bajo consumo. Estos sumadores requieren una capacidad de acople considerable (3 fF), o fuertes amplitudes de ruido acoplado (en torno a 200 mV) para que su punto de desequilibrio se desplace significativamente. Las estructuras de alta velocidad con $V_{ref} = 0$ (hs0) son considerablemente más insensibles, requiriendo ruidos aún más fuertes (cerca de 500 mV, o 10 fF de capacidad de acople) para conseguir el mismo efecto. Por último, las estructuras de alta velocidad con $V_{ref} = V_{cc}/2$ resultan las más insensibles a este efecto. Nótese que los resultados obtenidos son consistentes con la sensibilidad al desequilibrio detectada durante las etapas de diseño e implementación: las estructuras que consiguen puntos de desequilibrio más altos son a su vez las que menor sensibilidad muestran al efecto del acoplamiento de ruidos.

En la Figura 3.10 se muestra el efecto producido sobre el desequilibrio en sumadores de bajo consumo con $V_{ref} = 0$ de un acoplamiento capacitivo de 3 fF. Nótese que incluso con un acoplamiento tan fuerte como 3 fF, el cual induce una considerable amplitud de ruido (180 mV de acoplamiento de ruido, y 223 mV teniendo en cuenta el efecto conjunto con el acoplamiento de reloj), el punto de desequilibrio se desplaza en tan sólo 4 bits (10% respecto al total), pasando de los 40 bits observados en ausencia de ruido, a los 36 bits observados con dicha condición de ruido. La mayor insensibilidad de los sumadores de alta velocidad implica que aún mayores amplitudes de ruido o capacidades de acoplamiento se requieran para desplazar el punto de desequilibrio en tales estructuras FTL.

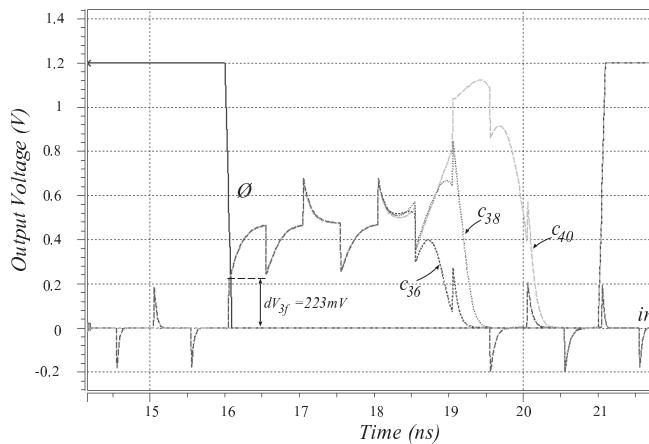


Figura 3.10: Efecto del acoplamiento capacitivo a señal digital de alta frecuencia en sumador FTL no diferencial de bajo consumo con $V_{ref} = 0$ (I_{p0}). Se usa una capacidad de acople de 3 fF , la cual produce una amplitud de señal acoplada de 180 mV (223 mV) cuando se tiene en cuenta también el acoplamiento del reloj ϕ .

3.4.2 Sensibilidad frente a proceso de fabricación

Si bien el análisis de sensibilidad presentado en el apartado anterior, en el que analiza la variación de retardos respecto a los distintos parámetros globales de diseño, es suficiente para la mayor parte de las aplicaciones, la elevada sensibilidad de FTL a las diferencias de carga hace necesario un análisis en mayor profundidad en el que se tengan en cuenta no sólo las variaciones globales, sino también variaciones locales de los dispositivos conforme a la posible variabilidad entre dispositivos causada por los procesos de fabricación.

Variabilidad en los procesos CMOS

Este tipo de análisis, en el que se atiende a variaciones entre dispositivos idénticos, se encuentra integrado dentro de las técnicas del diseño para fabricación (*Design for Manufacturing, DFM*). Este tipo de técnicas ha venido cobrando especial importancia dentro de las metodologías de diseño y verificación en los últimos años, y es especialmente importante en los nodos tecnológicos por debajo de 65 nm . A medida que el escalado tecnológico ha permitido fabricar dispositivos cada vez más próximos a los límites de los procesos, tales como las dimensiones atómicas o la longitud de onda de la luz empleada en la creación de máscaras litográficas, y dado que los circuitos han conseguido integrar cada vez mayor número de dispositivos, las diferencias entre dispositivos han resultado cada vez más importantes en términos de fiabilidad de diseño, influyendo de forma decisiva en la cosecha (*yield*) de los circuitos fabricados. Variaciones en la tensión umbral, en los espesores de óxido, en las dimensiones efectivas de los anchos y largos de los dispositivos, o en las dimensiones y rugosidad de las pistas de interconexión son sólo algunos de los parámetros más importantes, y que nos afectan directamente en el diseño con familias lógicas FTL. Para tratar con estos nuevos escenarios, los fabricantes de tecnologías han incorporado en sus metodologías tanto de diseño como de verificación, generalmente para nodos por debajo de los 180 nm , herramientas capaces de simular, analizar y detectar conflictos relacionados con este tipo de efectos que anteriormente se despreciaban.

Son varios los factores que determinan la variabilidad entre dispositivos fabricados, o *mismatch* [41, 42]. Por una parte, existen errores sistemáticos, entre dispositivos que en principio pueden parecer emparejados, pero que por condiciones inherentes al proceso de fabricación, y de forma totalmente predecible, resultan finalmente desemparejados. Por otra parte se pueden distinguir parámetros que responden a comportamientos estadísticos dentro del proceso de fabricación, y que por tanto, inducen un error aleatorio en las variables físicas que rigen el comportamiento de los dispositivos. Este tipo de errores, a diferencia de los anteriores, no pueden predecirse de forma sistemática, sino de forma estadística, y por tanto, no pueden eliminarse totalmente.

Las causas más comunes de los errores sistemáticos son:

- El desplazamiento de los procesos litográficos (*process biases*), causante de diferencias entre las dimensiones efectivas de los dispositivos y las dibujadas en las máscaras.
- El desplazamiento lateral en el crecimiento epitaxial (*pattern shift*).
- Las variaciones en la velocidad de ataque de los procesos de eliminación de polisilicio (*etch rate*).
- La interacción entre difusiones.
- Los efectos piezoelectricos y termoelectricos en dispositivos sometidos a distintas condiciones de temperatura o presión mecánica (*stress*).

Por otra parte, entre los errores aleatorios más destacables se encuentran:

- La falta de homogeneidad en la concentración de dopantes
- La falta de homogeneidad en los espesores de óxido
- La rugosidad de los materiales y de las aristas
- La variación de la movilidad de electrones a lo largo de los cristales

Así, por ejemplo, la rugosidad de los materiales determina que dos dispositivos dibujados exactamente iguales presenten fluctuaciones perimetrales y de área, en base a las que se pueden determinar sus diferencias eléctricas siguiendo un modelo estadístico.

Los errores sistemáticos pueden minimizarse, e incluso eliminarse totalmente, mediante adecuadas técnicas de diseño: cuidando la ubicación de los elementos de potencia, situando los dispositivos que requieran máximo emparejamiento en los ejes de simetría de presión y temperatura, usando técnicas de centroide común para eliminar los efectos de los gradiantes, utilizando réplicas de dispositivos conectados en serie o paralelo en vez de variar dimensiones, evitando usar las posiciones extremas en matrices de dispositivos, etc.

El análisis realizado por Pelgrom [42] es sin lugar a dudas un punto de referencia en lo que respecta al modelado del *mismatch* en dispositivos CMOS. El análisis se centra en las fluctuaciones estadísticas del proceso, causantes de variabilidad no sistemática entre dispositivos, y que por tanto, no puede ser cancelada ni disminuida mediante un cuidado diseño de los trazados físicos. En su análisis, Pelgrom modela las imperfecciones como fuentes de ruido que contienen por una parte características de dependencia espacial, y por otra de ruido blanco. La variación de características eléctricas entre dispositivos se

obtiene al integrar a lo largo de un área las variables físicas de acuerdo a dicho modelo, siguiendo una distribución estadística cuya desviación típica se indica en la ecuación 3.7:

$$\sigma^2(\Delta x) = \frac{A_x^2}{WL} + S_x^2 D^2 \quad (3.7)$$

... siendo x la variable bajo estudio, A_x y S_x parámetros que definen la calidad del proceso tecnológico, W y L las dimensiones físicas de los dispositivos, y D la distancia que separa los dispositivos. Se utiliza esta aproximación en [42] para obtener la variabilidad de la tensión umbral (ΔV_{to}), y de la ganancia de los dispositivos ($\Delta\beta$). Posteriormente se estiman otras características como las variaciones de las corrientes de drenador-fuente (ΔI_{DS}) o tensiones puerta-fuente (ΔV_{gs}), en casos concretos de diseño, a partir de las variaciones de tensión umbral y ganancia.

La ecuación 3.7 demuestra que, si bien existe una relación entre la variabilidad de los dispositivos y tanto el área de los dispositivos fabricados (WL) como de la distancia que separa los mismos (D), cuando el área de los dispositivos es pequeña la dependencia del *mismatch* con la separación de los dispositivos es despreciable y el término dominante es el factor A_x^2/WL . La influencia de la orientación de los dispositivos en la variabilidad también ha sido objeto de estudio en [42], demostrándose empíricamente que la variabilidad entre dispositivos con distinta orientación espacial es mayor que entre dispositivos con la misma orientación. Esto se refleja en mayores parámetros tecnológicos A_{Vto} y A_β .

Variabilidad en sumadores FTL

La principal herramienta para simular el comportamiento aleatorio de dispositivos consiste en el análisis de Montecarlo. Este método permite analizar el comportamiento obtenido en un sistema sometido a condiciones aleatorias de funcionamiento, mediante una simulación paramétrica en la cual los distintos parámetros de los dispositivos toman valores aleatorios dentro de unos límites establecidos. Generalmente el comportamiento aleatorio se modela mediante una distribución normal cuyos parámetros son la media y desviación típica. La simulación se repite sistemáticamente, tomando valores aleatorios de acuerdo a la distribución definida, un número suficiente de veces como para obtener resultados estadísticamente significativos.

El correcto modelado y ajuste de los parámetros de la distribución de la variable aleatoria con respecto a la variabilidad real del proceso de fabricación es indispensable con el fin de que los resultados obtenidos mediante este tipo de análisis resulten fiables. Es en este aspecto donde los fabricantes de tecnologías han facilitado, entre otros, este tipo de análisis para los nodos tecnológicos inferiores a 180 nm, incluyendo los parámetros e incluso modelos que definen el comportamiento aleatorio de los dispositivos de acuerdo a la variabilidad observada en el proceso de fabricación. Conforme la variabilidad final depende en parte de las condiciones de diseño, como la orientación de dispositivos, es normal que los fabricantes incluyan librerías de dispositivos de máximo emparejamiento, principalmente resistencias y condensadores para aplicaciones de analógicas o de señal mixta de altas prestaciones, con sus parámetros específicos de *matching*. En nuestro caso concreto, la tecnología CMOS 0.13 μm 1.2 V 3.3 V *Logic High Speed Process* de UMC incopora entre sus modelos de simulación para *hspice* parámetros que permiten realizar análisis de Montecarlo atendiendo tanto a la variabilidad local de dispositivos o *mismatch*, como a las variaciones del proceso tecnológico, o variaciones globales en

las características de los dispositivos¹², dentro del espacio definido por las esquinas del proceso.

Con el propósito de evaluar las prestaciones de la lógica FTL frente a las variabilidad de los procesos de fabricación y de los dispositivos, se han realizado una serie de simulaciones Montecarlo sobre la implementación de los sumadores no diferenciales de alta velocidad con $V_{ref} = 0$ ($hs0$). Se han elegido las estructuras de alta velocidad para el análisis conforme estas estructuras FTL presentan un punto de desequilibrio elevado, indicativo de una alta simetría de cargas tanto en el trazado físico como en el diseño lógico, y por tanto, cabe esperar que el efecto del *mismatch* sea más apreciable que en estructuras de bajo consumo, cuyos puntos de desequilibrio resultan considerablemente inferiores.

Para la simulación se ha utilizado un modelo simplificado de extracción de los *layout* en el que se atiende exclusivamente a la capacidad distribuida y de acoplamientos (modelo C+CC) en todas las conexiones, con el fin de acelerar las simulaciones. Las simulaciones *postlayout* con *hspice* indican que, cuando se usa este modelo de extracción simplificado en vez del modelo de extracción completo que incluye también las resistencias parásitas, el punto de desequilibrio se desplaza tan sólo en 4 bits (aproximadamente del bit 40 al bit 36). Por otra parte, y de acuerdo con las recomendaciones tanto del fabricante tecnológico (UMC) [43] como del manual de *hspice* [44], se realizan 30 iteraciones con un nivel de $\sigma = 3$. Dichos parámetros de simulación aseguran una significancia estadística considerable, ya que el intervalo de confianza obtenido en tales condiciones implica que el 95% de los circuitos fabricados muestren un comportamiento dentro de los límites simulados.

En la Figura 3.11 se muestran las formas de onda obtenidas en las transiciones bajo–alto para la salida del bit 12 y 16, tanto en presencia sólo de variaciones globales en las características del proceso tecnológico (Figura 3.11(a)), como en presencia tanto de variaciones del proceso tecnológico como de *mismatch* entre dispositivos (Figura 3.11(b)). Nótese las variaciones globales en las características de los dispositivos, tomando valores aleatorios entre las distintas esquinas del proceso de fabricación, son incapaces de alterar el equilibrio observado en los bits 16 y 12, mientras que, sin embargo, cuando se atiende tanto a variaciones globales como a variaciones locales entre los dispositivos, se pueden observar desequilibrios apreciables tanto para el bit 12 como para el 16. Del total de 30 simulaciones realizadas, 6 muestran una condición de desequilibrio apreciable en el bit número 12 (frente a 24 que no muestran desequilibrio en dicha transición). El número de simulaciones que muestran condición de desequilibrio asciende a 13 para el bit número 16 (frente a 17 que no muestran desequilibrio). En estas condiciones se puede indicar que el punto de desequilibrio finalmente obtenido estará próximo 12–16 bits, si bien, hay que considerar todavía los desequilibrios de las transiciones alto–bajo.

Adicionalmente, la Figura 3.12 sintetiza los resultados de las simulaciones Montecarlo para sumadores FTL de alta velocidad con $V_{ref} = 0$ ($HS0$), pseudo-nMOS ($nMOS$), y de lógica dinámica estilo dominó (*dominó*) en cuanto a retardo de propagación frente al número de bits, considerando tanto a las transiciones bajo–alto como las alto–bajo. Se muestran como referencia de los sumadores FTL los resultados obtenidos para la esquina típica del proceso ($HS0(typ)$), además de los obtenidos cuando se atiende a las variaciones del proceso tecnológico y *mismatch* de los dispositivos. Los resultados

¹²Los parámetros variados en el modelo de MonteCarlo afectan a la tensión umbral, al espesor de óxido y a las dimensiones efectivas de los dispositivos.

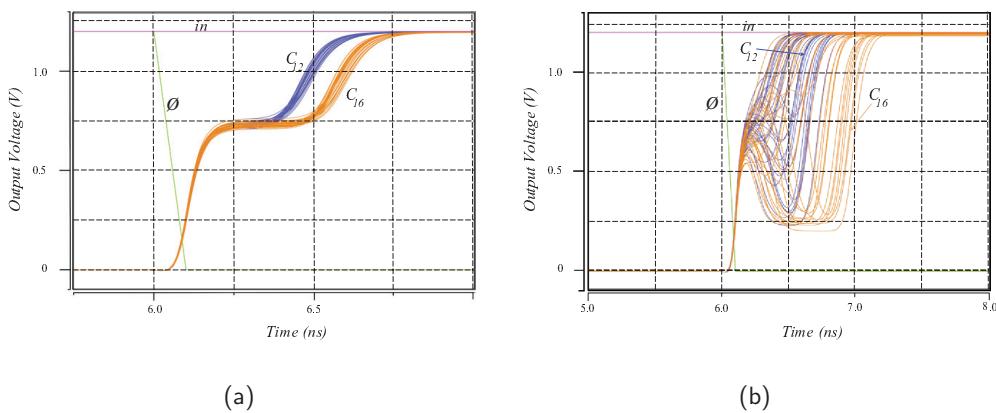


Figura 3.11: Formas de onda obtenidas en las simulaciones de Montecarlo atendiendo a variaciones (a) del proceso tecnológico, y (b) del proceso tecnológico y *mismatch* de los dispositivos.

indican que el retardo de los sumadores *HS0*, antes del punto de desequilibrio (12–16 bits), se aproxima al retardo obtenido en la esquina típica del proceso. Sin embargo, conforme el número de bits se incrementa más allá del punto de desequilibrio, el retardo tiende a obtener valores que se sitúan entre los obtenidos en la esquina típica del proceso y el obtenido por los sumadores pseudo-nMOS en los que se basa, y en consecuencia, la variación de retardo se incrementa considerablemente. Para el bit número 12 tan sólo unas pocas iteraciones muestran un retardo que se acerca al mostrado por el caso de sumadores pseudo-nMOS, mientras que para el bit número 16 el número de casos en que esto sucede se incrementa drásticamente.

Estos resultados confirman los resultados obtenidos en el análisis de sensibilidad presentado en el apartado 3.4.1, que indican que los sumadores FTL son considerablemente inmunes a las variaciones globales de los parámetros de diseño, si bien, por otra parte constatan la elevada sensibilidad de la lógica FTL frente al *mismatch* de dispositivos obtenidos en los procesos de fabricación. En conclusión, los sumadores FTL estarán limitados en primera instancia por la calidad de los procesos de fabricación, siendo estos quienes delimiten el número de bits útiles antes de que se presente la condición de desequilibrio.

Las conclusiones obtenidas en base a los resultados anteriores hacen sospechar que los trazados de alta simetría puedan ser optimizados, atendiendo exclusivamente a las condiciones necesarias para obtener un punto de desequilibrio suficientemente superior a los 12–16 bits. Es por ello que se ha procedido a computar automáticamente el número de iteraciones que muestran desequilibrio en la simulación Montecarlo sobre los *netlists* extraídos tanto en las versiones de alta simetría en el trazado (*SL*) como en las de trazado compacto (*CL*), y se han comparado posteriormente los resultados obtenidos cuando se atienden tanto a variaciones sólo del proceso tecnológico (*proceso*) como a las variaciones conjuntas del proceso tecnológico y del *mismatch* de los dispositivos (*proceso+mismatch*).

Los resultados de dicho estudio se resumen en la Figura 3.13, donde se observa el número de simulaciones acumuladas que muestra un efecto de desequilibrio en pleno juego frente al número de bits del sumador. Se atiende al desequilibrio observado tanto

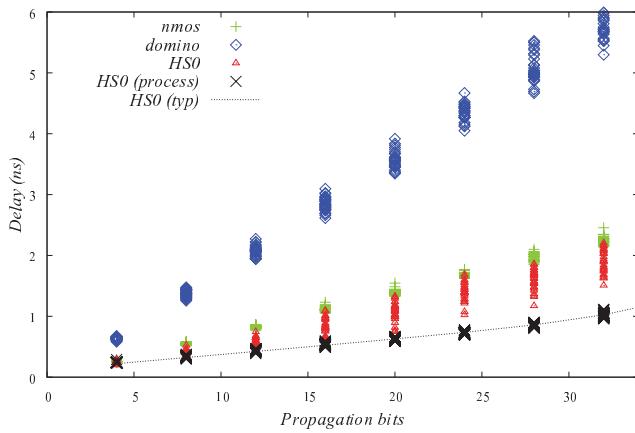


Figura 3.12: Retardo de propagación considerando variaciones del proceso tecnológico y *mismatch* de los dispositivos.

en transiciones alto–bajo como bajo–alto. De los resultados obtenidos en la Figura 3.13 cabe resaltar que:

- (a) Cuando se atiende sólo a las variaciones en el proceso tecnológico, y no se tiene en cuenta el *mismatch* de los dispositivos, el punto de desequilibrio obtenido por el trazado compacto (*CL*) del sumador de alta velocidad con $V_{ref} = 0$ (*hs0*) resulta considerablemente inferior al obtenido cuando se usan trazados de alta simetría (*SL*).
- (b) Cuando se atiende tanto a variaciones del proceso tecnológico como al *mismatch* de los dispositivos, el punto de desequilibrio obtenido con trazados compactos (*CL*) resulta muy similar al obtenido usando trazados de alta simetría (*SL*). Por tanto, en presencia de todos los efectos de variabilidad, puede asegurarse que son las decisiones topológicas y la calidad del proceso tecnológico, y no la simetría del trazado, los factores clave que limitan las prestaciones de la lógica FTL.
- (c) Las variaciones del proceso tecnológico son incapaces por sí solas de desplazar significativamente el punto de desequilibrio.
- (d) El factor determinante en la limitación de las prestaciones de la lógica FTL es el *mismatch* de los dispositivos, el cual causa un desequilibrio significativo para el bit 16 mientras que su efecto es casi inapreciable para el bit 12¹³.
- (e) Si fijamos una reducción de la cosecha (*yield*) del 50%, el punto de desequilibrio para el sumador *hs0* se sitúa próximo a los 14 bits cuando se atienden a todos los efectos de variabilidad. Este valor se sitúa considerablemente próximo al valor observado en los chips fabricados (véase Capítulo 4). El error cometido, de tan sólo 4 bits, puede deberse a varios factores: por un lado, se ha usado un modelo de extracción de los *layout* que resulta menos preciso que un modelo completo,

¹³Entre 21 y 25 simulaciones de las 30 muestran desequilibrio en el bit número 16, según se trate de un trazado compacto o de alta simetría. Sin embargo, para el bit número 12, el número de iteraciones que muestran desequilibrio resulta de tan sólo entre 5 y 10, según se use un trazado compacto o no.

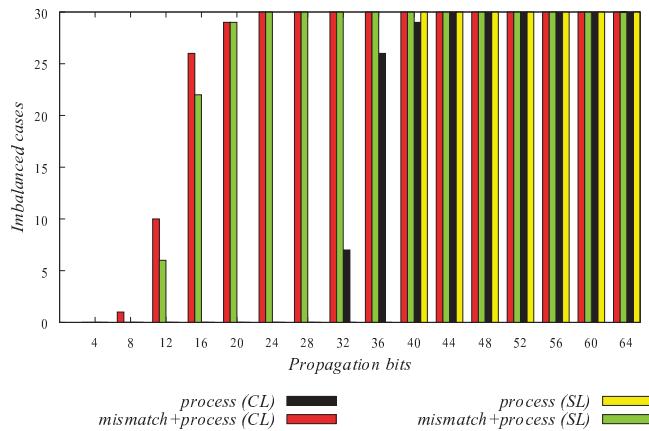


Figura 3.13: Número de iteraciones que muestran desequilibrio frente al número de bits del sumador para *layout* compacto (CL) y de alta simetría (SL).

que de por sí sólo es capaz de desplazar el punto de desequilibrio, a favor, en 4 bits; por otro lado, los trazados realizados atienden a criterios que tienden a disminuir el *mismatch* de los dispositivos, como puede ser el diseño basado en centroide común o que todos los dispositivos mantengan una misma orientación y estén alineados sobre un eje de simetría en la distribución de temperatura y fuerza mecánica, obteniendo parámetros de *mismatch* inferiores a los contemplados en los modelos genéricos de *mismatch* que ofrece el fabricante, que han de adaptarse al peor caso de diseño.

En conclusión, se puede indicar que aunque el sumador FTL *hs0* tenga una baja sensibilidad frente a las variaciones globales en los parámetros de diseño y de los dispositivos, como puede ser la esquina del proceso tecnológico, resulta altamente sensible a las variaciones locales de dichos parámetros, como sucede con el *mismatch* de los dispositivos. Líneas de trabajo futuras son necesarias para mejorar la robustez de la lógica FTL frente a las variaciones locales de los parámetros de diseño.

Capítulo 4

Fabricación y Medidas

Índice General

4.1 Descripción del test-set	99
4.2 Procedimiento de medida	102
4.2.1 Medida de retardos	103
4.2.2 Medida de consumos	106
4.2.3 Consumo de las celdas FTL	111
4.3 Resultado de las medidas	112
4.3.1 Resultados de retardos	113
4.3.2 Resultados de consumos	114
4.4 Estimación de prestaciones en base a medidas obtenidas . . .	114
4.4.1 Procedimiento seguido	115
4.4.2 Resultados obtenidos	117

Resumen: En este capítulo se exponen los resultados obtenidos de la medida directa de los circuitos fabricados, así como las prestaciones finales para el punto de trabajo óptimo de dichos circuitos como resultado de la estimación en base a dichas medidas y al perfil aportado por las simulaciones *postlayout*. Comenzaremos este capítulo describiendo el *test-set* empleado para realizar las medidas, para pasar inmediatamente a describir el procedimiento seguido para la medida y estimación de retardos y consumos, y por último, exponer los resultados obtenidos.

4.1 Descripción del test-set

Con el fin de probar las ventajas potenciales de FTL como una familia lógica CMOS de altas prestaciones se ha fabricado una pequeña serie de 25 circuitos integrados incluyendo, entre otros circuitos de prueba, los sumadores FTL no diferenciales tanto de alta velocidad como de bajo consumo. Al ser esta la primera fabricación que se realiza con esta tecnología, se han utilizado trazados de alta simetría y un elevado número de bits¹, con el fin de evaluar los límites máximos que se pueden alcanzar en la operación

¹64 bits para los sumadores de alta velocidad y 32 bits para los sumadores de bajo consumo.

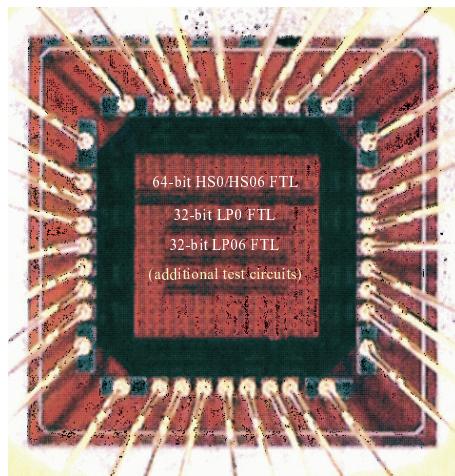


Figura 4.1: Microfotografía del circuito fabricado.

real con estos circuitos una vez fabricados, si bien, como ya ha sido comentado suficientemente en el capítulo anterior (véase 3.4.2), es de esperar que el *mismatch* de la fabricación sea el factor limitante en la operación real de tales circuitos.

El chip fabricado dispone de una entrada para la tensión de referencia, de tal forma que permite operar a los sumadores FTL tanto con $V_{ref} = 0$ como con $V_{ref} = V_{cc}/2$. De forma muy simplificada, el circuito fabricado incorpora un sumador FTL de alta velocidad de 64 bits, que según la tensión de entrada V_{ref} se comportará como una estructura *HS0* o *HS06*, un sumador FTL de baja velocidad *LP0* de 32 bits, y un sumador FTL de baja velocidad *LP06* también de 32 bits. Nótese que para las estructuras *LP06* se dan lugar a dos variantes de funcionamiento, según el valor de V_{ref} , que denominaremos en adelante *LP06_0* y *LP06* según se emplee $V_{ref} = 0$ o $V_{ref} = V_{cc}/2$, respectivamente. Puede observarse una microfotografía del circuito fabricado en la Figura 4.1

En cuanto a consideraciones de *layout*, tan sólo destacar que todos los sumadores FTL han sido situados en torno a un eje de simetría horizontal, y separados en distancia vertical suficientemente como para minimizar los efectos de *crossover*, o acoplamientos cruzados, así como las posibles faltas de simetría. Además, cada bloque FTL ha sido debidamente apantallado por capas de metal conectadas a tierra, con el fin de minimizar los efectos de ruido eléctrico y acoplamientos capacitivos entre distintos sumadores y entre los mismos y el exterior. Por último, con el fin de minimizar el *skew* o dispersión de la señal de reloj, las salidas de los buffer de reloj entran a los sumadores FTL desde cuatro esquinas, las cuales están distribuidas de una forma totalmente simétrica a cada bit del mismo.

Adicionalmente, el *chip* fabricado incorpora también otros circuitos de prueba, así como la circuitería adicional requerida para introducir los datos en el sumador y poder realizar una serie de medidas básicas. Entre estos elementos adicionales hay que destacar los *buffer* para la señal de reloj y otras señales globales, las celdas de E/S, un registro serie para introducir las palabras de suma a los sumadores y obtener la palabra de suma del resultado, un multiplexor para seleccionar la señal de salida de acarreo que se desea obtener² por el pin de salida de acarreo. Hay que tener en cuenta que todos estos

²se puede seleccionar el acarreo de entrada o cualquiera de los acarreos de salida de los sumadores FTL incluidos, con el fin de poder calibrar el retardo de los *buffer* de E/S de acarreo y la lógica de

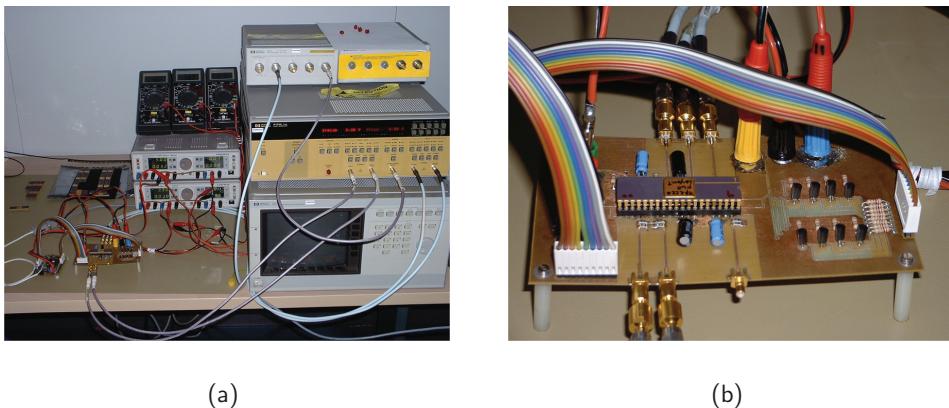


Figura 4.2: *Test-set*: a) equipos de medida, b) PCB.

elementos afectan al comportamiento del *chip*, al compartir alimentación, y es por ello que, con el fin de obtener unas medidas lo más ajustadas posibles al comportamiento de las estructuras que se desean observar, se establezca un procedimiento de calibración inicial para poder eliminar la aportación de dichas contribuciones.

Para medir las prestaciones de los circuitos fabricados se requiere una elevada precisión, conforme deseamos poder medir diferencias de retardos del orden de decenas de picosegundos. Esta precisión afectará a la elección del equipamiento utilizado para la medida, así como en la conexión del mismo a los dispositivos bajo *test*. El *test-set* empleado para la medida se forma de una *PCB*³ diseñada a medida, conectada a un generador de patrones/pulsos de alta velocidad HP8133A y a un osciloscopio digital de alta velocidad (Mainframe HP54120B + módulo DC-20 GHz/4 canales HP54121A) a través de líneas de transmisión de 50Ω y cables de bajas pérdidas de 50Ω . El *test-set* también incluye fuentes de alimentación programables HM8142 y multímetros digitales HC3500T para detectar la corriente por cada una de las alimentaciones. La *PCB* incluye un microcontrolador Motorola 68HC11 y una pequeña circuitería adicional que permite interactuar con el puerto serie de un PC para generar o leer los registros serie del *chip* y generar las señales de selección de multiplexor de salida. No obstante, las señales de reloj y acarreo de entrada/salida son monitorizadas y generadas directamente por los equipos de alta velocidad. Con esta configuración conseguimos minimizar la degradación de las señales, corregir efectivamente las dispersión entre los relojes *clk* y *nclk*, y obtener medidas precisas y repetibles con precisión. El *test-set* empleado se aprecia en la Figura 4.2.

El *test-set* empleado, calibrado convenientemente, nos permite obtener una dispersión (*skew*) inferior a 1 ps entre todas las señales, con un valor cuadrático medio de ruido *jitter* inferior a 5 ps (1 ps típico). Los tiempos de subida y bajada medidos en las entradas del *chip* resultan inferiores a 200 ps.

La alimentación se compone de cuatro fuentes: una fuente de 1.2V para alimentar el núcleo de los circuitos fabricados, una fuente de 0.6V para utilizar como referencia en caso de desear configurar los sumadores FTL con $V_{ref} = V_{cc}/2$, una fuente de 3.3V utilizada para alimentar las celdas de E/S y la circuitería de interfaz de la *PCB* con el

selección.

³Acrónimo de *Printed Circuit Board*, o placa de circuito impreso.

chip, y una fuente de 5V empleada para alimentar la *PCB*. Hay que resaltar que, si bien, la *PCB* puede afectar a los consumos medidos por las alimentaciones de 3.3V y 5V, no afecta en manera alguna a los de las alimentaciones de 1.2V y 0.6V. Este aspecto es importante conforme los resultados expuestos en este capítulo se basarán exclusivamente en medidas obtenidas por estas últimas alimentaciones.

4.2 Procedimiento de medida

En esta sección se detalla el procedimiento seguido tanto para la medida de los retardos como de los consumos de los circuitos FTL fabricados. En ambos casos el procedimiento consta de un primer paso de calibración, un segundo paso de medida de los circuitos de referencia⁴ y un tercer y último para la medida de los circuitos FTL propiamente. El proceso de calibración tiene como objetivo aislar o separar las componentes de retardo y consumo producidas por el *test-set* y las propias de los circuitos bajo *test*.

Un primer paso en el proceso de medida consiste en la calibración del *test-set*. Este paso implica la correcta configuración de los equipos de medida para garantizar la precisión en la generación y medida de señales, minimizando la dispersión entre las señales de reloj y obteniendo el retardo introducido por el *test-set*. En este paso se incluye la selección de los cables de medida, la configuración del generador de pulsos/patrones de alta velocidad para producir adecuadas señales de reloj (*clk* y *nclk*) y de acarreo de entrada (C_{in}) para los circuitos FTL así como las señales de disparo, o *triggers*, requeridas para sincronizar adecuadamente el muestreo del osciloscopio digital de alta velocidad. Adicionalmente, pero no por ello menos importante, se realiza de forma previa a la calibración una fase de estabilización, o tiempo de calentamiento del *test-set*, con fin de garantizar la estabilidad de los parámetros durante todo el proceso de medida posterior.

En líneas generales, para cada *chip* medido se han aplicado los siguientes pasos de medida:

1. Forzar el resto de circuitos del *chip* a una posición de mínimo consumo, desabilitando para ello los circuitos FTL y ajustando las entradas del resto de circuitos.
2. Cargar la palabra de suma con una configuración que cause propagación de todos los bits. Repetir este punto cargando posteriormente palabras para generar niveles lógicos altos y bajos en todos los bits, secuencialmente.
 - (a) Seleccionar en el multiplexor de salida la entrada de acarreo y deshabilitar estructuras *LP06* ($nclk = 0$). Cambiar la señal de reloj entre precarga ($clk = 1$) y evaluación ($clk = 0$), para señales de acarreo de entrada a ambos niveles lógicos ($C_i = 0, C_i = 1$). Medir consumos estáticos
 - (b) Cambiar a $V_{ref} = 0.6V$ y repetir medidas de consumo estático. Al seleccionar el modo de evaluación, anotar consumos tanto con las estructuras *LP06* habilitadas ($nclk = 1$) como deshabilitadas ($nclk = 0$) para determinar diferencias debidas a la activación de dichas estructuras, si fuesen apreciables.

⁴Se utilizan las estructuras FTL fijadas al modo de evaluación de forma permanente como circuitos de referencia conforme dichas estructuras deben obtener un comportamiento similar a las lógicas pseudo-nMOS y CMOS en igualdad de condiciones de carga que FTL, obteniendo de esta forma una comparativa justa de la ventaja que tiene el uso del concepto FTL bajo unas mismas restricciones de diseño físico.

3. Seleccionar el modo de evaluación ($clk = 0$ y $nclk = 1$) en las estructuras FTL y $V_{ref} = 0V$. Seleccionar el multiplexor de salida a C_i . Introducir un tren de pulsos por la entrada de acarreo. Anotar retardos $C_i \rightarrow C_{out}$ y consumos a distintas frecuencias (33.33, 50.00, 66.66 y 100.00 MHz).
4. Fijar los sumadores FTL al modo de evaluación ($clk = 1$ y $nclk = 0$) y repetir medidas de retardos seleccionando en el multiplexor de salida los sumadores $HS0$ y $LP0$, que en esta configuración se comportarán como las celdas de referencia, equivalentes a pseudo-nMOS y CMOS en igualdad de cargas.
5. Cargar en la palabra de suma con una configuración que cause propagación de todos los bits, mantener fijo $C_i = 0$ e introducir un tren de pulsos por la señal de reloj. Dejar deshabilitada la evaluación de estructuras $LP06$ ($nclk = 0$). Seleccionar en el multiplexor de salida la salida de acarreo correspondiente al sumador $LP0$. Medir retardo $clk \rightarrow C_{out}$ para distintos anchos de palabra del sumador⁵. Repetir medida de retardo pero seleccionando en el multiplexor de salida la estructura $HS0$. Anotar consumo a distintas frecuencias de trabajo (33.33, 50.00, 66.66 y 100.00 MHz).
6. Cambiar a $V_{ref} = 0.6V$ e introducir trenes de pulsos desfasados 180° por clk y $nclk$. Seleccionar en multiplexor la salida de la estructura $HS06$. Anotar retardos $clk \rightarrow C_{out}$ para distintos anchos de palabra del sumador. Cambiar multiplexor a salida de estructura $LP06$. Anotar retardos $clk \rightarrow C_{out}$. Medir consumos a distintas frecuencias de trabajo (33.33, 50.00, 66.66 y 100.00 MHz).

En los apartados siguientes describiremos en mayor detalle, y de forma agrupada según la naturaleza de las medidas, los pasos anteriores.

4.2.1 Medida de retardos

Con el fin de eliminar la contribución al retardo impuesta por el *test-set*, incluyendo este la circuitería adicional al propio sumador FTL, realizamos una medida inicial del retardo de propagación $C_i \rightarrow C_{out}$. Esta medida, correspondiente al paso 3 de la sección anterior, incluye los retardos del *test-set*, el retardo de los buffer de E/S de las señales C_i y C_{out} , así como el retardo del multiplexor de salida.

Posteriormente se realizan una serie de medidas de retardo variando los anchos de propagación en las entradas de suma A y B de los sumadores RCA FTL con el fin de observar el comportamiento del retardo en función del número de bits que se propagan, primero para las celdas de referencia⁶, y luego para las estructuras FTL tanto con $V_{ref} = 0V$ como con $V_{ref} = 0.6V$, utilizando para ello un reloj con ciclo de trabajo del 50%. Estas medidas se corresponden, respectivamente, a los pasos 4, 5 y 6 del apartado anterior.

Para cada uno de los *chips* se toman medidas del retardo medio de 1024 muestras de señal, así como de los retardos máximos y mínimos obtenidos en una ventana temporal de 10s, con el fin de poder observar los fenómenos de *jitter* y variaciones de retardo

⁵Obtendremos distintos anchos de palabra configurando adecuadamente las palabras de suma para producir propagación del acarreo de 4 bits a 32 o 64 bits, dependiendo de si medimos estructuras de alta velocidad o bajo consumo, en pasos de 4 bits.

⁶Para configurar las celdas FTL como celdas de referencia sólo tenemos que fijar las entradas $clk = 0$ y $nclk = 1$, de forma que se produzca una evaluación permanente.

Tabla 4.1: Medidas de retardo de las celdas de referencia.

Celda	t_0 (ns)	σ_{t_0} (ps)	Δt_d (ps/bit)	$\sigma_{\Delta t_d}$ (ps/bit)	t_0^s (ps/bit)
HS0_ref (nMOS_eq)	1.406	64.1	125.6	3.3	100.5
LP0_ref (CMOS_eq)	2.925	90.3	640.3	15.7	512.2

internas (*on-chip variations*). Los retardos medios, máximos y mínimos obtenidos, en función del ancho de palabra, se presentan en el apartado 4.3.1, atendiendo tanto a variaciones de *chip-a-chip* como a variaciones *on-chip*.

En los siguientes apartados se muestran los resultados obtenidos de la medida directa de retardos de cada una de las estructuras FTL, así como las de referencia, en función del número de bits.

Celdas de referencia

Conforme las celdas de referencia tienen un comportamiento totalmente lineal respecto al número de bits, se tomaron solo medidas de retardo para el caso todas las celdas en propagación de acarreo y ninguna celda en propagación de acarreo (todas en generación de acarreo). Con estos datos se determina el retardo inicial (t_0) y el incremento de retardo por bit (Δt_d), tal como se recoge en la Tabla 4.1. Adicionalmente se muestra la desviación típica del retardo inicial (σ_{t_0}) y del incremento de retardo ($\sigma_{\Delta t_d}$) que se observa entre las medidas de todos los *chips*.

Nótese que el retardo inicial resulta considerablemente elevado comparado con el incremento de retardo por bit, cuando cabría esperar que el retardo inicial y el incremento de retardo por bit fuesen muy parecidos⁷. Este comportamiento se debe a que no se ha dispuesto un *buffer* de salida en la salida de acarreo en la implementación del *chip* cuando, sin embargo, éstas atacan líneas muy cargadas que recorren casi todo el circuito hasta llegar al multiplexor de salida. Esto causa unos tiempos de subida y bajada de la salida de acarreo elevados, y en consecuencia, unos retardos también elevados. El retardo debido a esta larga interconexión hasta llegar al multiplexor de salida se observa en las medidas como un retardo inicial, que se suma a todas las medidas de retardo, y no puede diferenciarse del retardo del sumador. Sin embargo, este retardo no nos interesa conforme es debido a una condición del *test-set* y lo cancelaremos haciendo una aproximación basada en resultados de simulaciones *postlayout*: asumiremos que el retardo inicial, en base a simulaciones, resulta aproximadamente el 80% del retardo de propagación. El retardo estimado inicial se muestra en la columna t_0^s de la Tabla 4.1.

La diferencia entre el retardo inicial medido y el estimado será aplicada posteriormente como factor corrector del retardo a las medidas de retardo de los sumadores FTL.

Celdas FTL

A partir de los resultados de las medidas del retardo podemos obtener el incremento de retardo respecto al inicial⁸, en función del número de bits que se propagan por el

⁷El retardo inicial representa el retardo de un bit en generación de acarreo, y el incremento de retardo por bit representa el retardo de un bit en propagación, siendo el primero ligeramente inferior al segundo.

⁸Situación de generación de acarreo.

Tabla 4.2: Medidas de retardo de las celdas FTL *HS0*.

Bits	t_d (ns)	Δt_d (ps/bit)	$\sigma_{\Delta t_d}$ (ps/bit)
0–4	0.2323	33.0	2.54
0–8	0.3006	25.0	1.82
0–12	0.3430	20.2	2.18
0–16	0.3383	14.9	9.77
0–20	0.7628	33.1	34.02
0–24	1.5827	61.8	15.64
0–28	2.1306	72.5	15.46
0–32	2.6725	80.4	13.05
0–36	3.4633	93.4	6.74
0–40	3.2621	79.0	43.25
0–44	4.4853	99.7	6.14
0–48	4.0306	81.9	46.14
0–52	5.1242	96.6	10.23
0–56	6.1399	107.8	8.95
0–60	6.2867	103.1	8.06
0–64	6.1762	94.9	8.56

sumador. Esta información nos resultará útil a la hora de seguir una metodología para determinar el punto de desequilibrio de los sumadores FTL.

Se considerará que el punto de desequilibrio aparece cuando surgen algunas de las siguientes condiciones:

- Incremento del retardo medio, dado que a partir del punto de desequilibrio el retardo por bit se incrementa hasta el valor del retardo de las celdas de referencia, mientras que en los bits que no muestran desequilibrio el retardo es considerablemente inferior.
- Incremento de la desviación típica del retardo, conforme a partir del punto de desequilibrio el retardo de distintos *chips* tenderá a variar entre los distintos casos de desequilibrio.
- El retardo total permanece constante, puesto que en el caso de que se produzca desequilibrio en todos los *chips* hacia el lado correcto, sólo podrá observarse un retardo constante independiente del número de bits

Se muestran en la Tabla 4.2 los resultados de las medidas de retardo por bit obtenidas sobre los sumadores de alta velocidad FTL con $V_{ref} = 0V$, corrigiendo el retardo inicial según se ha comentado previamente⁹ (véase apartado 4.2.1). La columna $t_d(ns)$ indica el retardo total, teniendo en cuenta el retardo inicial estimado, mientras que la columna Δt_d indica el incremento de retardo por bit, descontando el retardo inicial de la medida y expresándolo en retardo por bit. Por último, la columna $\sigma_{\Delta t_d}$ indica la desviación típica observada en el incremento de retardo.

Se han resaltado los resultados correspondientes al conjunto de 4 bits inmediatamente anterior al punto de desequilibrio, que para esta estructura, y atendiendo a las consideraciones anteriores, aparece entre los 16 y los 20 bits.

El mismo procedimiento se sigue para los sumadores FTL de alta velocidad con $V_{ref} = 0.6V$ (*HS06*), y los de bajo consumo tanto con $V_{ref} = 0V$ (*LP0* y *LP06_0*)

⁹El retardo inicial de estas estructuras, tal como resulta de las medidas, se corresponde con el de la celda de referencia de alta velocidad (1.406 ns), si bien, el retardo inicial estimado a partir de los resultados de medidas equivale a 100.5 ps.

Tabla 4.3: Medidas de retardo de las celdas FTL *HS06*.

Bits	t_d (ns)	Δt_d (ps/bit)	$\sigma_{\Delta t_d}$ (ps/bit)
0–4	0.1671	38.6	66.83
0–8	0.3614	43.6	37.04
0–12	0.5451	44.4	38.44
0–16	0.5691	34.8	26.7
0–20	1.77	87.9	24.89
0–24	2.6712	110.8	9.72
0–28	3.2593	115.9	19.29
0–32	3.7158	115.7	20.41
0–36	4.0336	111.7	26.45
0–40	4.1125	102.5	49.62
0–44	5.3817	122.0	6.88
0–48	4.7413	98.5	49.67
0–52	5.7226	109.8	13.54
0–56	6.2375	111.2	9.58
0–60	7.3157	121.7	9.94
0–64	7.2064	112.4	8.79

Tabla 4.4: Medidas de retardo de las celdas FTL *LP0*.

Bits	t_d (ns)	Δt_d (ps/bit)	$\sigma_{\Delta t_d}$ (ps/bit)
0–4	2.4610	487.2	94.93
0–8	3.0802	321.0	4.71
0–12	5.4504	411.5	27.4
0–16	6.5176	375.3	137.08
0–20	9.0576	427.3	78.29
0–24	13.009	520.7	111.08
0–28	12.2303	418.5	116.78
0–32	14.5865	439.8	2.69

como con $V_{ref} = 0.6V$ (*LP06*). En los sumadores FTL con $V_{ref} = 0.6V$ no se aplica corrección del retardo inicial, conforme los nodos son precargados con $V_{ref} = 0.6V$, y ésto hace que se elimine casi totalmente la dependencia del retardo debido a la elevada carga del nodo de salida.

Los resultados obtenidos se muestran en las Tablas 4.3-4.6.

En base a las consideraciones anteriores, y a los resultados de las medidas, el punto de desequilibrio aparece entre los 16 y 20 bits para las estructuras *HS06*, entre los 8 y 12 bits para los sumadores *LP0*, y entre los 12 y 16 bits para los sumadores *LP06* y *LP06_0*. El retardo inicial estimado de las celdas FTL resulta en 100.5, 12.8, 512.2, 156.5 y 562.5 ps para los sumadores *HS0*, *HS06*, *LP0*, *LP06* y *LP06_0*, respectivamente.

4.2.2 Medida de consumos

El procedimiento seguido para la medida de consumos comparte cierto parecido con la medida de retardos, tanto en cuanto se comienza con una calibración con el fin de eliminar las contribuciones al consumo debidas al *test-set* y circuitería adicional, y se continua con la medida de los consumos, tanto estáticos como dinámicos, primero para las celdas de referencia, y posteriormente para las celdas operando en modo FTL. En todos los casos la medida del consumo se hace de forma indirecta a partir de la corriente media que circula por las distintas fuentes de alimentación (en concreto, alimentación del core y tensión de referencia), y la tensión de la misma.

Tabla 4.5: Medidas de retardo de las celdas FTL *LP06*.

Bits	t_d (ns)	Δt_d (ps/bit)	$\sigma_{\Delta t_d}$ (ps/bit)
0–4	0.7341	144.4	8.22
0–8	1.2184	132.7	29.84
0–12	2.5035	195.6	61.08
0–16	6.7659	413.1	224.54
0–20	9.9032	487.3	269.2
0–24	12.4027	510.3	225.35
0–28	11.7653	414.6	265.77
0–32	12.0542	371.8	216.85

Tabla 4.6: Medidas de retardo de las celdas FTL *LP06_0*.

Bits	t_d (ns)	Δt_d (ps/bit)	$\sigma_{\Delta t_d}$ (ps/bit)
0–4	2.0802	379.4	97.46
0–8	2.6828	265.0	22.96
0–12	2.8192	188.1	17.57
0–16	4.0315	216.8	75.93
0–20	4.1883	181.3	69.14
0–24	4.3673	158.5	68.39
0–28	6.2792	204.2	64.89
0–32	5.5262	155.1	99.89

Se diferencian claramente las siguientes fases:

Medida del consumo de referencia : El objetivo de esta fase es medir el consumo del *chip* en una situación de reposo de las celdas FTL, con el fin de poder cancelar las contribuciones de consumo debidas al resto de circuitos, no FTL, presentes en el *chip*, así como cualquier otra aportación que pudiese hacer el resto del *test-set*. Para ello se sitúan los sumadores FTL en modo de precarga ($clk = 1, nclk = 0$), la tensión de referencia a tierra ($V_{ref} = 0V$), y todas las entradas de suma a 0 ($A = 0, B = 0$). Esta configuración garantiza una fuga de corriente, o *leakage current*, mínima. Adicionalmente se configuran las entradas del *chip* destinadas al resto de circuitos en la condición que provoca también mínimo consumo, y sus valores son mantenidos durante todo el resto del proceso de medida. Esta fase se corresponde con el paso 1 del apartado 4.2.

Medida del consumo de las celdas de referencia : Esta fase tiene como objetivo la medida del consumo de las celdas pesudo-nMOS y CMOS equivalentes, en igualdad de condición de carga, para futuras comparaciones con las medidas de FTL, a fin de poder determinar la ventaja que se obtiene al aplicar el estilo FTL sobre dichas familias lógicas. Para ello se fuerza a los sumadores FTL a un régimen de evaluación continua ($clk = 0, nclk = 1$). Usaremos las medidas de consumo total efectuadas (P_t) introduciendo una señal cuadrada de distintas frecuencias¹⁰ (f) sobre el caso de propagación de acarreo en todos los bits ($A = 0, B = \#FFFFFFFFFF$) como base para determinar el consumo estático (P_s) y dinámico (P_d). Asumiremos que el consumo total de potencia puede calcularse a partir de la expresión $P_t = P_s + P_d \cdot f$. Esta fase equivale al paso 3 del apartado 4.2.

¹⁰Se introducen señales de 33.33, 50.00, 66.66 y 100.00 MHz.

Tabla 4.7: Activación y desactivación de bloques lógicos N y P según los casos de propagación (PROPAGA), generación de acarreo a nivel alto (GENERA1) y generación de acarreo a nivel bajo (GENERA0).

Bloque lógico (PRECARGA, $V_{ref} = 0V$)		PROPAGA ($A = \#00000000$, $B = \#FFFFFF$)	GENERA1 ($A = B = \#FFFFFF$)	GENERA0 $A = B = \#00000000$
ACARREO	Bloque N Bloque P	DESACTIVADO ACTIVADO	ACTIVADO DESACTIVADO	DESACTIVADO ACTIVADO
SUMA	Bloque N Bloque P	DESACTIVADO ACTIVADO	DESACTIVADO ACTIVADO	DESACTIVADO ACTIVADO

Medida del consumo de las celdas FTL : Se procede de forma análoga al paso anterior, si bien en esta ocasión se activa la operación FTL. Para ello fijamos $C_i = 0$ y $V_{ref} = 0V$, e introducimos una onda cuadrada de distintas frecuencias por clk , y su opuesta por $nclk$. Repetimos el resto de combinaciones de C_i y V_{ref} . Esta fase equivale a los pasos 5 y 6 del apartado 4.2.

A continuación detallaremos cada una de las fases anteriores, detallando cómo justifican los datos medidos las suposiciones y los resultados obtenidos.

Consumo de referencia o calibración

Conforme se ha indicado anteriormente, el *test-set* incluye elementos adicionales, externos a los propios sumadores FTL, pero que influyen en las medidas realizadas. Es por ello que se realice una primera fase de medida del consumo bajo unas condiciones de referencia del resto de circuitos, que se puedan garantizar durante el resto del proceso de medida, y llevando a los sumadores FTL en una situación de consumo mínimo. El consumo así obtenido será tenido en cuenta como un consumo de referencia para la situación de no consumo en la sección FTL del *chip*.

Para ello llevamos a los sumadores FTL a fase de precarga ($clk = 1$, $nclk = 0$), forzando $V_{ref} = 0V$. En estas condiciones ninguno de los sumadores FTL implementados tiene consumo estático significativo, salvo por las fugas de corriente en los dispositivos. Nótese que si hubiésemos fijado $V_{ref} = 0.6V$ podrían existir importantes corrientes de cortocircuito entre GND y V_{ref} . Nótese igualmente que las pequeñas corrientes de fuga de los sumadores FTL no pueden aislarse de las corrientes de fuga ni de los consumos estáticos del resto de circuitos, pero que, variando las entradas de suma para causar propagación ($A = 0$, $B = \#FFFFFF$), generación de acarreo a nivel bajo ($A = 0$, $B = 0$) o generación de acarreo a nivel alto ($A = \#FFFFFF$, $B = \#FFFFFF$) en todos los bits, podemos variar las corrientes de fuga y observar dichas diferencias en las medidas.

Ya que durante la precarga todos los nodos son reiniciados a $0V$, todos los nodos intermedios de acarreo y suma estarán a $0V$, y las medidas deberían ser casi iguales para $C_i = 0$ y $C_i = 1$, pues dicha entrada sólo afecta a la corriente de fugas de la primera celda de acarreo y suma. Además, cambiando entre los casos de propagación y generación de nivel lógico alto o bajo, tendremos las distintas situaciones de activación/desactivación de los bloques lógicos N y P mostradas en la Tabla 4.7, lo que repercute en distintas situaciones de fugas de corriente.

Tabla 4.8: Corriente medida por el *chip* según los casos de propagación (PROPAGA), generación de acarreo a nivel alto (GENERA1) y generación de acarreo a nivel bajo (GENERA0).

C_i	PROPAGA ($A = \#00000000$, $B = \#FFFFFF$)	GENERA1 ($A = B = \#FFFFFF$)	GENERA0 $A = B = \#00000000$
0	42.5 mA	43.0 mA	42.5 mA
1	42.5 mA	43.0 mA	42.5 mA

En estas condiciones, las corrientes medidas por la alimentación de $1.2V$, en uno de los *chips*, se muestran en la Tabla 4.8. Destacar que no existe consumo alguno bajo dichas condiciones por la alimentación de $V_{ref} = 0V$. Se observa en los datos de dicha tabla que existe una corriente de referencia de 42.5 mA. Esta corriente se debe principalmente a la corriente estática del resto de circuitos no FTL del *chip*, si bien, en ella se incluyen también las corrientes de fuga, en su valor mínimo, del sumador FTL, y las corrientes de fuga introducidas por el resto de circuitos no FTL y el resto del *test-set*.

Tal como era de esperar, los consumos con $C_i = 0$ y $C_i = 1$ son idénticos¹¹. De este hecho puede deducirse que los consumos estáticos introducidos por los registros de desplazamiento y la celda de E/S de acarreo no son significativos. Además, también se constata que los resultados son idénticos entre la configuración de propagación y generación de acarreo a nivel bajo¹², conforme en ambos casos la configuración de bloques lógicos activados y desactivados es la misma. La diferencia de 0.5 mA existente entre la configuración de generación de acarreo a nivel bajo y a nivel alto se atribuye por tanto a un incremento en las corrientes de fuga que se produce con la activación de los bloques lógicos N -y desactivación de los P- de las celdas de acarreo en los sumadores FTL.

Consumo de las celdas de referencia

Una vez obtenidos los consumos de referencia de calibración, o lo que es lo mismo, de cancelación de consumos no FTL, se miden los consumos medios de los sumadores FTL forzándolos inicialmente al régimen de evaluación ($clk = 0$, $nclk = 1$) de forma permanente. Bajo estas condiciones los sumadores FTL se comportan casi de forma idéntica a sumadores pseudo-nMOS o CMOS bajo las mismas condiciones de carga que los FTL, y es por ello que se usen a modo de referencia para comparación posteriormente.

Se ha decidido tomar como referencia estas celdas en vez de sumadores CMOS y pseudo-nMOS directamente dado que no pueden compararse implementaciones de circuitos de alta simetría en el trazado con otros que no tienen dichas restricciones de simetría, teniendo de esta forma una comparación justa que permite determinar la ventaja de usar el concepto FTL al margen de las restricciones de diseño físico empleadas, que

¹¹Las diferencias no son apreciables, si bien si existe una pequeña diferencia en las corrientes de fuga que puede haber tanto por la puerta como en régimen subumbral por los dispositivos del primer bit respecto al resto.

¹²Estrictamente no son iguales, ya que se diferencian por corrientes de fuga por las puertas de los dispositivos unidos a las palabras de suma. Por tanto, al observarse medidas idénticas en las configuraciones de propagación y generación de acarreo a nivel bajo, y distintas para generación de acarreo a nivel alto, se puede atribuir dicha diferencia de corriente a la diferencia de corrientes de fuga que circulan por los dispositivos entre ambas configuraciones.

Tabla 4.9: Corrientes medidas por la alimentación de las celdas de referencia (equivalentes pseudo-nMOS y CMOS en igualdad de carga que FTL).

V_{ref}	Frecuencia	PROPAGA	GENERA1	GENERA0
0V	33.33 MHz	47.0 mA	47.0 mA	46.5 mA
	50.00 MHz	47.3 mA	47.0 mA	46.5 mA
	66.66 MHz	47.5 mA	47.0 mA	46.5 mA
	100.00 MHz	48.0 mA	47.0 mA	46.5 mA
0.6V	33.33 MHz	47.0 mA	47.0 mA	46.5 mA
	50.00 MHz	47.2 mA	47.0 mA	46.5 mA
	66.66 MHz	47.5 mA	47.0 mA	46.5 mA
	100.00 MHz	48.0 mA	47.0 mA	46.5 mA

es otro factor a parte a la aplicación del concepto FTL. Se ha de tener en cuenta que la elección de los trazados de alta simetría se toma en base a que es un primer diseño y se desea poder observar los límites de diseño, si bien, como ya se ha adelantado, se pueden utilizar también trazados mucho más compactos sin alterar los límites de trabajo, en base a las observaciones del análisis de sensibilidad realizado.

Se toman medidas de la corriente por la alimentación de $1.2V$ usando tanto $V_{ref} = 0V$ como $V_{ref} = 0.6V$, introduciendo una onda cuadrada de frecuencia variable entre 33.33 y 100.00 MHz por la entrada de acarreo. La Tabla 4.9 recoge las medidas tomadas en uno de los *chip*. Los resultados obtenidos indican que la tensión de referencia no afecta al consumo ni estático ni dinámico de las celdas de referencia. Esto se debe a que durante la fase de evaluación la tensión de referencia está desconectada de los nodos de salida.

Puede observarse también en los datos de la Tabla 4.9 que la corriente media para el caso de generación de nivel alto y bajo no dependen en absoluto de la frecuencia de entrada. De ello se deduce que el consumo dinámico de las celdas de E/S de acarreo no es tampoco significativo. Por último, también puede observarse que se produce un incremento de corriente media de 4.0 mA en ambos casos respecto a la corriente de referencia de calibración, lo que indica que el consumo estático de las celdas de referencia debe ser de 4.0 mA.

Con fin de estimar el consumo estático y dinámico de las celdas de referencia, hacemos uso de las medidas tomadas a 33.33 y 100.00 MHz para $V_{ref} = 0V$, en la configuración de propagación de acarreo. Nótese que con esta configuración se promedian los casos de consumo para salida a nivel alto y bajo. Las corrientes estáticas y dinámicas pueden obtenerse a partir de las corrientes medidas a 33.33 y 100.00 MHz por medio de las siguientes expresiones:

$$I_d = (I_{100} - I_{33})/66.66(\text{mA/MHz}) \quad (4.1)$$

$$I_s = (I_{33} - 33.33 \cdot I_d) \quad (4.2)$$

... siendo I_{33} e I_{100} las corrientes medidas a 33.33 y 100.00 MHz después de quitarles la corriente obtenida como referencia de calibración, respectivamente, I_d la componente dinámica de la corriente e I_s la componente estática. Conforme el error de medida es de 0.1mA, el error máximo será de ± 0.2 mA para la corriente estática, y $\pm 3\mu\text{A}$ para la corriente dinámica. Aplicando las fórmulas mostradas en las ecuaciones 4.1 y 4.2, se obtienen valores finales de corriente estática y dinámica de $I_s = 4.0$ mA, e $I_d = 15\mu\text{A}/\text{MHz}$, respectivamente. Nótese que la corriente estática obtenida coincide

Tabla 4.10: Corrientes medidas por la alimentación de 1.2V de las celdas FTL.

C_i	V_{ref}	frecuencia C_i	PROPAGA	GENERA1	GENERA0
0	0V	33.33 MHz	45.4 mA	45.5 mA	45.0 mA
		50.00 MHz	45.7 mA	45.8 mA	45.2 mA
		66.66 MHz	46.1 mA	46.2 mA	45.5 mA
		100.00 MHz	46.8 mA	46.8 mA	46.0 mA
	0.6V	33.33 MHz	45.8 mA	45.5 mA	44.9 mA
		50.00 MHz	46.2 mA	45.8 mA	45.2 mA
		66.66 MHz	46.8 mA	46.1 mA	45.5 mA
		100.00 MHz	47.3 mA	46.8 mA	46.0 mA
0	0V	33.33 MHz	45.4 mA	45.5 mA	45.0 mA
		50.00 MHz	45.8 mA	45.8 mA	45.2 mA
		66.66 MHz	46.1 mA	46.2 mA	45.4 mA
		100.00 MHz	46.8 mA	46.8 mA	46.0 mA
	0.6V	33.33 MHz	45.8 mA	45.6 mA	44.9 mA
		50.00 MHz	46.2 mA	45.9 mA	45.2 mA
		66.66 MHz	46.8 mA	46.1 mA	45.5 mA
		100.00 MHz	47.3 mA	46.8 mA	46.0 mA

con el incremento de corriente observado en los casos de generación de acarreo respecto a la corriente de calibración, tal como era de esperar.

4.2.3 Consumo de las celdas FTL

Por último, se realiza la medida del consumo de las celdas FTL forzando la operación en modo FTL, esto es, usando la señal de reloj para precargar y evaluar repetidamente. Se realiza la medida tanto con $V_{ref} = 0V$ como con $V_{ref} = 0.6V$, y se introducen ondas cuadradas debidamente sincronizadas por clk y $nclk$, con las mismas frecuencias usadas anteriormente (33.33, 50.00, 66.66 y 100.00 MHz). Se realizan medidas tanto para $C_i = 0$ como para $C_i = 1$, si bien, los valores obtenidos en ambos casos, tal como era de esperar, no muestran diferencias significativas, y por tanto, emplearemos los resultados obtenidos con $C_i = 0$ a efectos de cálculo de consumos estáticos y dinámicos posteriormente. Las corrientes medidas se muestran en la Tabla 4.10.

Puede observarse en los valores mostrados en la Tabla 4.10 que incluso en la configuración de generación de acarreo existe consumo dinámico, tal como es de esperar. Conforme se ha concluido previamente que la contribución de las celdas de E/S al consumo dinámico medido por la alimentación de 1.2V no es apreciable, el consumo dinámico observado se refiere exclusivamente al consumo dinámico propio de los sumadores FTL al cambiar de precarga a evaluación, por una parte; y por otra parte al consumo dinámico de los *buffer* de reloj. En conclusión, ha de asumirse que los resultados de las medidas incluyen el consumo de los *buffer* de reloj dentro de las medidas de consumo dinámico indicadas.

También puede observarse que el consumo dinámico difiere entre los casos de propagación, generación de acarreo a nivel alto y generación de acarreo a nivel bajo. Esto se debe a la distinta distribución de cargas en los nodos intermedios existentes al comutar de distinta manera los bloques lógicos N y P en las redes de evaluación. Se tomará para la estimación de consumos estáticos y dinámicos de FTL los valores obtenidos para el caso de propagación de acarreo conforme esta configuración promedia el consumo obtenido con salida a nivel alto y nivel bajo, por una parte, y por otra porque el caso de propagación se corresponde con la ruta de mayor retardo y mayor carga en los nodos in-

Tabla 4.11: Corrientes medidas por la alimentación de $0.6V$ de las celdas FTL.

C_i	V_{ref}	frecuencia C_i	PROPAGA	GENERA1	GENERA0
0	0V	33.33 MHz	-0.1 mA	-0.1 mA	-0.1 mA
		50.00 MHz	-0.1 mA	-0.1 mA	-0.1 mA
		66.66 MHz	-0.1 mA	-0.1 mA	-0.1 mA
		100.00 MHz	-0.1 mA	-0.1 mA	-0.1 mA
	0.6V	33.33 MHz	2.6 mA	3.3 mA	2.5 mA
		50.00 MHz	2.6 mA	3.3 mA	2.5 mA
		66.66 MHz	2.6 mA	3.3 mA	2.5 mA
		100.00 MHz	2.6 mA	3.2 mA	2.4 mA

termedios de acarreo en el sumador. Teniendo en cuenta nuevamente las ecuaciones 4.1 y 4.2, y los datos reflejados en la Tabla 4.10, se obtienen corrientes estáticas y dinámicas de $I_s = 2.2 \text{ mA}$ e $I_d = 21\mu\text{A}/\text{MHz}$ respectivamente, para $V_{ref} = 0V$, y de $I_s = 2.55 \text{ mA}$ e $I_d = 22.5\mu\text{A}/\text{MHz}$ para $V_{ref} = 0.6V$.

Se toman medidas igualmente por la alimentación de tensión de referencia, si bien, sólo aparece consumo por dicha fuente para $V_{ref} = 0.6V$. Al igual que con las corrientes por la alimentación del núcleo ($1.2V$), las corrientes que circulan, y por tanto consumos, son idénticos para los casos de $C_i = 0$ y $C_i = 1$. Las corrientes por esta alimentación son debidas principalmente a las corrientes de cortocircuito del sumador FTL *HS06* durante la precarga, conforme las corrientes de fuga resultan muy inferiores. Las medidas de corriente obtenidas por la alimentación de referencia se muestran en la Tabla 4.11. Nótese que para $V_{ref} = 0V$ las corrientes son nulas (precisión de la medida $\pm 0.1 \text{ mA}$). Nótese también que en calibración la corriente por dicha alimentación es nula.

Puede observarse en los datos de la Tabla 4.11 que el consumo, y por tanto la corriente que circula por la alimentación de referencia, no depende de la frecuencia, pero sí de si se propaga o genera acarreo. Nótese que el consumo durante la evaluación por la tensión de referencia es prácticamente despreciable dado que sólo influyen corrientes de fuga por dispositivos, y que por tanto, el consumo y la corriente medida están directamente relacionados con la corriente de cortocircuito que circula durante la precarga, y ésta difiere según los casos de propagación y generación de acarreo. Al igual que para la alimentación de $1.2V$, tomaremos los resultados de consumo obtenido durante la propagación de acarreo conforme este caso, por un lado, representa un valor promedio de la salida a nivel alto y bajo, y por otro lado, corresponde con el caso más crítico en términos de retardo y carga de los nodos intermedios de acarreo. En base a las consideraciones indicadas, se obtiene una corriente estática de $I_s = 2.6 \text{ mA}$ por la alimentación de $0.6V$ para el caso de $V_{ref} = 0.6V$, sin consumo dinámico apreciable.

4.3 Resultado de las medidas

En el presente apartado se recogen los resultados de la medida de retardos y consumos de los circuitos FTL en base a las consideraciones de medida anteriormente indicadas, así como a las principales conclusiones que se desprenden de las medidas realizadas.

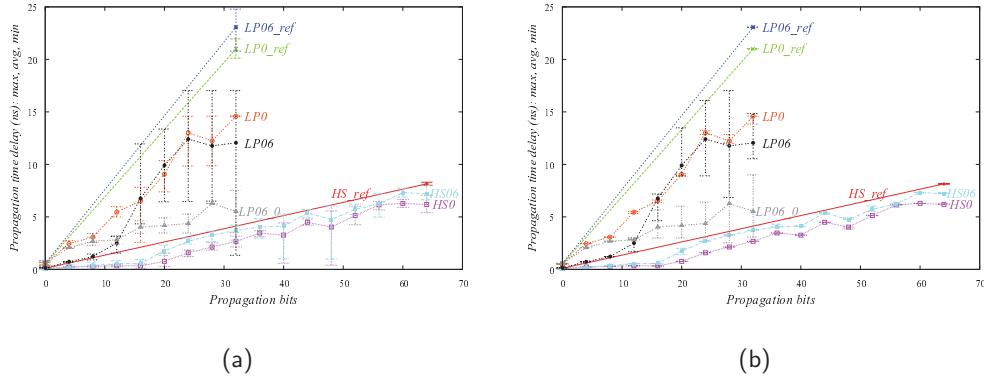


Figura 4.3: Medidas de retardo: (a) variaciones *chip-a-chip*, (b) variaciones *on-chip*.

4.3.1 Resultados de retardos

Los retardos medios, máximos y mínimos obtenidos, en función del ancho de palabra, se presentan en la Figura 4.3, tanto para los casos de variaciones observadas *on-chip* como para las de *chip-a-chip*. De estos resultados puede observarse que el máximo número de bits sin desequilibrio coincide con los resultados obtenidos en las simulaciones de Montecarlo al analizar la sensibilidad de los sumadores FTL al *mismatch* de dispositivos en el apartado 3.4.2. El efecto de desequilibrio se hace evidente a partir del bit 18 para sumadores FTL de alta velocidad, y a partir del bit 14 y 10 para sumadores de bajo consumo *LP0* y *LP06*, respectivamente. Se observa una pequeña diferencia de aproximadamente 4 bits entre los resultados de las medidas y de las simulaciones MonteCarlo, que puede explicarse dada la limitada exactitud del modelo de *mismatch* de la tecnología y la simplificada extracción de parásitos realizada con fin de acelerar dichas simulaciones. Por tanto, puede concluirse que la aparición de desequilibrio está dominada por el *mismatch* tecnológico de capacidades y dispositivos.

Obsérvese que la variación de retardo producida, tanto en variaciones *on-chip* como en variaciones *chip-a-chip*, resulta despreciable para un número de bits inferior al punto de desequilibrio de cada sumador FTL. Sin embargo, a partir de este punto, las variaciones de retardo *chip-a-chip* se incrementan drásticamente. La fuerte variación de retardo a partir de dicho punto se debe a que los nodos de salida tienden indistintamente hacia su valor final o al opuesto, dependiendo de las características del *mismatch* de capacidades y dispositivos. Nótese también que la variación de retardo *on-chip* no resulta apreciable, salvo para estructuras *LP06*, lo cual indica que éstas estructuras muestran una alta sensibilidad al ruido¹³. Los retardos medidos resultan fiables y repetibles para un número de bits inferior al punto de desequilibrio observado en cada estructura FTL, por lo que se concluye que, a pesar de la alta sensibilidad al *mismatch*, existe un espacio de diseño, suficientemente interesante, en el que puede explotarse el diseño FTL puro.

A modo de resumen, en la Tabla 4.12 se indican los factores de mejora del retardo respecto al equivalente CMOS (*HS0_ref*) del mismo número de bits. Puede observarse que la aplicación del concepto FTL consigue mejorar los retardos de propagación respecto

¹³El ruido acoplado a los nodos intermedios hace que los nodos de salida de acarreo a veces tiendan de forma anticipada hacia su valor correcto, y a veces hacia el valor opuesto, requiriendo una transición posterior a su valor final, lo cual incrementa o decremente el retardo observado.

Tabla 4.12: Ventaja de retardo de los sumadores FTL en base a las medidas de *chip*.

Familia	Bits	Factor de mejora
LP0_ref (CMOS_eq)	—	1.00
HS0_ref (nMOS_eq)	16	5.10
HS0	16	31.80
HS06	16	18.90
LP0	8	1.83
LP06	12	4.62
LP06_0	12	2.91

Tabla 4.13: Consumos estáticos y dinámicos medidos de los circuitos fabricados.

Familia	P_{s0V} (mW)	$P_{s0.6V}$ (mW)	P_d (μ W/MHz)
HS0_ref(64b) +2·LP0_ref(32b)	4.8	0	18.18
HS0(64b) + LP0(32b) + LP06_0(32b)	2.64	0	21.21
HS06(64b) + LP0(32b) + LP06(32b)	3.06	1.56	22.73

al circuito de equivalente CMOS en factores que oscilan entre 1.83 y 4.62 veces para las estructuras de bajo consumo, y entre 18.9 y 31.8 veces para las estructuras de alta velocidad (lo que equivale a mejoras entre 3.71 y 6.24 veces respecto al circuito equivalente pseudo-nMOS).

4.3.2 Resultados de consumos

El consumo estático y dinámico medio obtenido a partir de las medidas de corriente de los *chip* se recoge en la Tabla 4.13.

Puede observarse que el consumo estático total de los *chips* operando en modo FTL obtiene menor consumo estático que los mismos sumadores operando en modo CMOS/nMOS. Esto se debe, principalmente, a que en FTL las corrientes de cortocircuito de los sumadores de alta velocidad circulan sólo durante la mitad del tiempo de ciclo, mientras que en los sumadores nMOS la corriente permanece activa durante todo el ciclo. Por otra parte, también se aprecia que los consumos dinámicos de FTL resultan ligeramente superiores a los de sus respectivas celdas de referencia.

4.4 Estimación de prestaciones en base a medidas obtenidas

Las medidas de consumo presentadas en el apartado anterior corresponden al consumo total, tanto estático como dinámico, de los distintos sumadores FTL incluídos en los circuitos fabricados. Esto es, los consumos indicados representan la suma de un sumador de alta velocidad de 64 bits, un sumador de bajo consumo LP0, y un sumador de bajo consumo LP06. Sin embargo, nuestro interés se centra en obtener la medida de prestaciones de cada sumador FTL por separado, y no de forma conjunta. Además, hay que tener en cuenta que en las medidas de consumo presentadas se contempla el consumo total, incluyendo éste tanto los bits que no presentan desequilibrio como los que

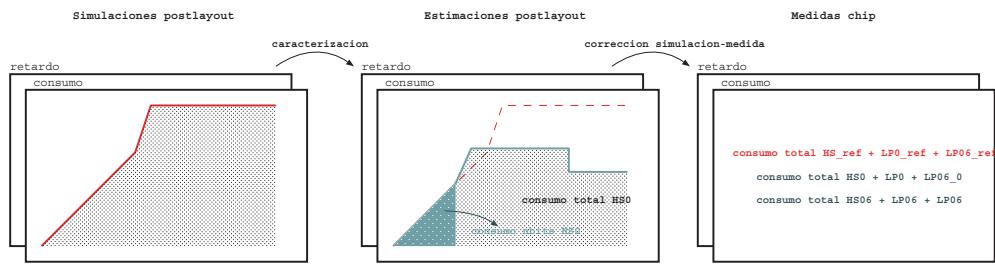


Figura 4.4: Estimación de prestaciones en base a medidas y caracterización *postlayout*.

sí lo presentan, y nuestro interés se centra en obtener el comportamiento de la sección útil de los sumadores FTL, esto es, hasta el punto de desequilibrio.

No obstante, era importante, atendiendo a que se trata de una primera fabricación en esta tecnología, poder medir el límite tecnológico en cuanto a punto de desequilibrio, más siendo conscientes de que el *mismatch* tecnológico iba a ser determinante en el mismo.

Asumiendo que el máximo punto de desequilibrio está determinado principalmente por el *mismatch* de dispositivos y capacidades durante el proceso de fabricación, estimaremos las prestaciones finales en trazados compactos, sin necesidad de volver a fabricar, en base a las estimaciones de retardo y consumo para sumadores de trazados compactos¹⁴, y los factores de conversión observados entre estimación y medidas de chip para los trazados de alta simetría.

4.4.1 Procedimiento seguido

Con el fin de obtener una estimación precisa del consumo de cada estructura FTL hasta el punto de desequilibrio, compararemos los resultados de las medidas con los de las estimaciones de retardos y consumo obtenidas en base a simulaciones *postlayout* en idénticas condiciones de funcionamiento¹⁵. Para ello, seguiremos el esquema mostrado en la Figura 4.4, el cual resume gráficamente los siguientes pasos:

1. Caracterizamos el comportamiento de los sumadores FTL en consumo y retardo, mediante simulaciones *postlayout* de cada estructura cada 4 bits.
2. Estimamos las prestaciones, en base a las consideraciones de caracterización indicadas en el apartado 3.3¹⁶, para un punto de desequilibrio igual al observado en

¹⁴La estimación de prestaciones para sumadores de trazado compacto se hace atendiendo tanto a resultados de simulación *postlayout* como a la caracterización para los distintos puntos de trabajo -con y sin *mismatch*.

¹⁵Esto es, para un número de bits y factor de desequilibrio igual al observado durante las medidas, en vez del observado durante simulación.

¹⁶De forma rigurosa aplicamos los mismos criterios en cuanto a cómo obtener el consumo y retardo más allá del punto de desequilibrio, pero sin embargo, no empleamos los parámetros del modelo expuesto en dicho apartado, que provienen del ajuste lineal de los datos de simulación en tres tramos –equilibrio, transición y desequilibrio–; sino que empleamos como punto de partida para los bits en desequilibrio aquellos observados en simulación para el punto de desequilibrio, conforme el punto de desequilibrio obtenido en simulación resulta siempre superior al finalmente obtenido en las medidas tras fabricar. De esta forma nos acercamos más los resultados reales, conforme el uso de los modelos de retardo y consumo redundarían en un mayor error para dicho punto de funcionamiento.

las medidas. Para ello necesitamos conocer previamente el punto de desequilibrio y el factor de desequilibrio a aplicar en la estimación de consumo a partir de dicho punto de trabajo. Ambos parámetros se obtienen a partir de los datos aportados en las medidas.

3. Sobre los resultados obtenidos en el punto anterior, eliminamos la contribución al consumo dinámico de transiciones tipo CMOS/nMOS no completadas, esto es, debidas a bits en desequilibrio cuyas transiciones no llegan a completarse porque el tiempo de evaluación disponible resulta inferior al retardo de propagación total de dichos bits.
4. Comparamos los resultados obtenidos en el punto anterior con los obtenidos en fase de medida, obteniendo con ello unos factores correctores tanto para los consumos estáticos y dinámicos como para los retardos de transiciones tipo FTL (bits en equilibrio) y CMOS/nMOS (bits en desequilibrio, o medidas de celdas de referencia). Obsérvese que si bien para los retardos disponemos de un conjunto de medidas para cada grupo de 4 bits, en el caso del consumo sólo podemos comparar el total de consumo del *chip* en una condición de V_{ref} y clk , $nclk$, C_i determinada.
5. Aplicamos los factores de corrección obtenidos en el punto anterior sobre los consumos y retardos estimados en base a simulación *postlayout*, para de esta forma, obtener la contribución de cada estructura y número de bits al consumo total, y determinar así las prestaciones tanto de consumo como de retardo de cada estructura FTL, para un número de bits cualesquiera. Nos centraremos en obtener las prestaciones de los sumadores hasta el punto de desequilibrio, conforme sabemos que en este punto existe una máxima ventaja de retardo.

Para obtener las prestaciones estimadas de sumadores FTL de trazado compacto, aplicamos los mismos factores de corrección¹⁷ sobre los resultados de la caracterización de sumadores de trazado compacto, ajustados previamente al punto de desequilibrio al observado en las medidas. Con propósito de comparación de resultados con sumadores CMOS reales, se han realizado simulaciones *postlayout* de los sumadores CMOS y dominó (*NP_DRCA*), aplicándose a estos los factores correctores de retardo y consumo obtenidos para las celdas de LP0_ref.

Adicionalmente, a las medidas de consumo de las celdas dominó se le añade la contribución estimada correspondiente al consumo del *buffer* de reloj, conforme tanto las medidas como las estimaciones *postlayout* de las celdas FTL incluyen la contribución de los *buffer* de reloj. Se utilizan los datos disponibles en la caracterización de las celdas del kit de diseño, estimando previamente la capacidad de carga equivalente al interconexionado y la carga lógica asociada al reloj¹⁸. Tan sólo es necesario atender a los consumos de las celdas del núcleo, conforme las celdas de la periferia, tal como se ha concluido previamente, no aportan consumo en la alimentación de 1.2V.

¹⁷Factores que indican la relación entre los resultados de consumos y retardos simulados y los medidos. Se asume que la relación simulación-medida será similar independientemente del tipo de trazado.

¹⁸En concreto, se tiene en cuenta una capacidad de interconexionado de 2.95 fF/bit ($\times 32$ bits), las líneas de interconexión entre el *driver* y las celdas (2 líneas en Metal2 de $0.4\mu m \times 70\mu m$, en total $23.4fF$) y que cada *driver* HDCLKBD32 tiene una carga aproximada de 19 puertas (2 *drivers* para atacar un total de 117.8 fF). Con estos datos, el consumo estimado para el *buffer* de la señal *clk* resulta de $P_s = 0.36\mu W$ y $P_d = 0.4076\mu W/MHz$ para el sumador dominó de 32 bits.

Tabla 4.14: Factor de desequilibrio promedio en base a las medidas.

Familia	desequilibrio V_{oh}	desequilibrio V_{oh}	desequilibrio C_i	desequilibrio nC_i	i_f
HS0	5	1	0	1	0.5714
HS06	4	1	0	2	0.6428
LP0	1	4	0	2	0.6428
LP06	0	6	1	0	0.4286
LP06_0	0	1	1	0	0.2500

Nótese que para poder obtener el comportamiento de los sumadores, para el total de bits de cada estructura, bajo idénticas condiciones de desequilibrio a las observadas en las medidas, es necesario determinar primero los factores de desequilibrio para el modelo de consumo (véase parámetro i_f en la sección 3.3.2), esto es, cual es el porcentaje de consumo respecto al de las transiciones CMOS/nMOS por el que se ven afectados los bits en desequilibrio. Para estimar este parámetro nos basamos en la observación de las formas de onda de las medidas realizadas, clasificando las transiciones más allá del punto de desequilibrio en uno de los cuatro casos posibles, según se indica en la sección 3.3.1. Para ello hay que tener en cuenta que la salida de acarreo FTL no es un nodo directamente observable, y que en el pin de E/S de C_o lo que se puede observar es el acarreo de salida tras pasar por los multiplexores de salida y las celdas de E/S, de tipo CMOS. Por tanto, al comenzar la evaluación los nodos FTL transitarán inicialmente a su umbral V_{th} , y esto podrá interpretarse por el multiplexor de salida como un nivel alto o bajo, dependiendo de si su umbral está por encima o por debajo del de las celdas FTL. Esta característica tendrá que deducirse de las formas de onda de la salida, para así determinar, en función de las transiciones observadas y su sincronismo con la señal de reloj, qué tipo de desequilibrio es el que está presente en cada *chip* y estructura medida.

Clasificando los desequilibrios observados en cada una de las estructuras FTL, y promediando sus factores de desequilibrio equivalentes¹⁹ (i_f), se obtienen los factores de desequilibrio medios mostrados en la Tabla 4.14. Estos mismos factores serán los que se apliquen sobre la caracterización del consumo para obtener las estimaciones del consumo a partir del punto de desequilibrio, en base a los datos de simulación.

4.4.2 Resultados obtenidos

En los siguientes apartados se mostrarán los resultados obtenidos al aplicar la metodología descrita anteriormente.

Factores de conversión simulación-medidas y trazado simétrico-compuesto

En la Tabla 4.15 se muestran los factores de corrección, tanto de retardo como de consumo. Estos factores indican las diferencias existentes entre los resultados esperados según las simulaciones *postlayout*²⁰ y los resultados obtenidos en el proceso de medida, para cada familia de sumadores. Nótese que los factores de corrección, si bien en el caso de retardos sí pueden particularizarse para cada tipo de sumador, en el caso de

¹⁹Se utiliza el factor de desequilibrio promediado de todos los casos observados puesto que los valores indicados en el apartado 4.3.2 reflejan también el valor promedio de las medidas de todos los *chips*.

²⁰Los resultados de las simulaciones son debidamente corregidos para estimar las prestaciones con el punto de desequilibrio que se advierte en las medidas de los circuitos fabricados.

Tabla 4.15: Factores de corrección simulación-medidas y trazado simétrico-compacto.

Familia	tipo conversión	factor P_s	factor P_d	factor t_p
HS0_ref	simulación → medida	0.938	1.439	0.994
	simétrico → compacto	0.929	0.262	0.545
LP0_ref	simulación → medida	0.938	1.439	1.177
	simétrico → compacto	0.929	0.262	0.546
LP06_ref	simulación → medida	0.938	1.439	1.167
	simétrico → compacto	0.929	0.262	0.530
HS0	simulación → medida	1.032	1.472	0.338
	simétrico → compacto	0.941	0.289	0.722
HS06	simulación → medida	0.811	2.022	0.790
	simétrico → compacto	0.628	0.313	0.493
LP0	simulación → medida	1.032	1.472	2.972
	simétrico → compacto	0.941	0.289	0.593
LP06	simulación → medida	0.811	2.022	1.387
	simétrico → compacto	0.628	0.313	0.444
LP06_0	simulación → medida	1.032	1.472	2.972
	simétrico → compacto	0.941	0.289	0.593

los factores de consumo son comunes a un conjunto de sumadores²¹. Igualmente se muestran los factores de corrección entre la simulación de trazados de alta simetría y sus correspondientes versiones compactas.

En los resultados de la Tabla 4.15 se observa que los factores de corrección del consumo estático son muy próximos a la unidad, especialmente para las celdas de referencia y celdas FTL con $V_{ref} = 0V$, lo que indica que los resultados de la simulación son fiables. El error aumenta ligeramente en la estimación de consumo estático de celdas FTL con $V_{ref} = 0.6V$, obteniéndose un consumo medido ligeramente inferior al estimado (factor de corrección de 0.81). En lo que respecta a los consumos dinámicos, se aprecia que el consumo dinámico medido es aproximadamente un 45% superior al estimado tanto para celdas de referencia como para celdas FTL con $V_{ref} = 0V$, si bien, nuevamente el error resulta algo mayor para las celdas FTL con $V_{ref} = 0.6V$ (el consumo dinámico medido, en este caso, resulta aproximadamente el doble del estimado).

Respecto a los factores de conversión de retardos, puede observarse que los factores de conversión resultan próximos a la unidad para las celdas de referencia y para las celdas FTL LP06, si bien, las celdas HS0 y LP0 muestran mayor variabilidad: los sumadores HS0 resultan en retardos en torno a 1/3 del valor simulado, mientras que los sumadores FTL LP0 muestran retardos de aproximadamente 3 veces el valor simulado.

Estimación de prestaciones en sumadores FTL de trazado simétrico

Las prestaciones de los sumadores FTL de trazado simétrico, de acuerdo a las medidas realizadas y la caracterización obtenida mediante simulación *postlayout* se presentan en la Tabla 4.16.

Las primeras 4 columnas de la Tabla 4.16 indican el tipo de sumador, el máximo número de bits antes de que aparezca la condición de desequilibrio, el consumo estático (P_s) y la energía dinámica (E_d) disipada en cada ciclo de reloj por cada bit del sumador. Las siguientes dos columnas presentan los datos del retardo inicial t_{p0} y el retardo por

²¹Conforme se observa el consumo total para celdas de referencia, celdas FTL con $V_{ref} = 0$ y celdas FTL con $V_{ref} = 0.6V$, sólo puede concluirse un factor de corrección común a todos las celdas que comparten dichos parámetros.

Tabla 4.16: Estimación de prestaciones, en base a medidas y caracterización, para el máximo número de bits sin desequilibrio de sumadores con trazado de alta simetría.

Familia Lógica	Bits	P_s (uW/bit)	E_d (nW/MHz/bit)	t_{p0} (ns)	t_p (ps/bit)	freq (MHz)	$\Gamma \times 10^6$ (fJ/MHz/bit)	Γ ratio	f_{max} ratio	t_p ratio
HS_ref	18	74.958	49.348	0.100	125.614	423.451 100.000	29698.52 104817.33	1.000 0.283	1.000	1.000
HS0		41.225	96.146	0.100	14.860	1816.746 100.000	1765.92 7554.71	16.818 3.931	4.290	8.453
HS06		69.284	46.868	0.028	34.772	722.771 100.000	4962.89 25721.16	5.984 1.155	1.707	3.613
LP0_ref	10	0.037	89.934	0.512	640.254	144.618 100.000	57742.85 57815.18	1.000 0.999	1.000	1.000
LP0		0.021	120.893	0.512	321.003	234.665 100.000	38836.10 38875.24	1.487 1.485	1.623	1.995
LP06_ref	14	0.047	92.620	0.563	703.136	96.095 100.000	65469.32 65455.84	1.000 1.000	1.000	1.000
LP06		5.789	200.847	0.156	195.586	186.558 100.000	45352.58 50606.34	1.444 1.294	1.941	3.595
LP06_0		0.029	136.967	0.563	188.058	256.425 100.000	25779.27 25812.99	2.540 2.536	2.668	3.739

bit (t_p). El retardo inicial es debido al comportamiento similar a CMOS/nMOS de la primera etapa en los sumadores FTL, dónde el efecto FTL todavía no se hace presente. Puede observarse que los sumadores FTL con $V_{ref} = 0.6V$ eliminan casi completamente la componente de retardo inicial, debido a su precarga a un nivel de tensión muy próximo al umbral. A continuación se presenta la frecuencia de trabajo, y la Figura de Mérito o producto energía–retardo (Γ , parámetro directamente relacionado con la medida de la eficiencia energética), para cada familia lógica, así como los respectivos factores de mejora en la Figura de Mérito, frecuencia máxima y retardo respecto al sumador de referencia aplicable a cada caso²². Se presentan los resultados obtenidos tanto para una frecuencia de 100MHz como para la máxima frecuencia de trabajo de cada familia lógica, evaluándose así en qué forma repercute la frecuencia de trabajo sobre las prestaciones como efecto de los distintos consumos estáticos y dinámicos. Nótese que las prestaciones indicadas se expresan como cantidades por bit y por MHz, con el fin de facilitar la comparación de prestaciones en sumadores de distintos anchos de palabra y frecuencias de trabajo.

Se ha de indicar que la frecuencia máxima de trabajo se obtiene a partir de la suma de los tiempos de precarga y evaluación requeridos para no degradar en más de un 5% los niveles lógicos. Para estimar los tiempos de precarga se han aplicado, sobre los valores obtenidos por simulación, los factores de corrección de retardo de las celdas de referencia, conforme la transición que ocurre durante la precarga es similar a las que ocurren en los equivalentes CMOS/nMOS.

Los resultados demuestran que la aplicación del concepto FTL consigue mejorar las prestaciones de retardo, frecuencia máxima y eficiencia energética en todos los casos

²²Puesto que los sumadores FTL de trazado simétrico no son comparables, dada su elevada carga de interconexión, con los sumadores CMOS/nMOS convencionales, se indican los datos de los sumadores FTL en régimen de continua evaluación para propósitos de referencia. Esta configuración debería presentar un comportamiento similar al de un sumador CMOS/nMOS en idénticas condiciones de carga que las celdas FTL realizadas con trazados de alta simetría, y por tanto, deberían permitirnos concluir más acertadamente respecto a la utilidad de emplear el concepto FTL.

cuando se compara con las prestaciones de los sumadores de referencia. Los sumadores que obtienen mayor beneficio son los de alta velocidad con $V_{ref} = 0V$, logrando mejorar la eficiencia energética en 16.8 veces (trabajando a la frecuencia límite operación), reduciendo el retardo de propagación en 8.5 veces y mejorando la frecuencia máxima en 4.3 veces. Sin embargo, dado que estas estructuras presentan consumo estático, su mejora en el rendimiento energético se reduce hasta un moderado valor de 3.9 veces cuando se opera a 100 MHz. Nótese que mediante un adecuado enventanamiento del reloj [12, 13] se puede conseguir evitar que el consumo estático reduzca las prestaciones de Figura de Mérito cuando se opera a bajas frecuencias con este tipo de estructuras.

En lo que respecta a los sumadores de bajo consumo, las estructuras que obtienen mejor rendimiento son las *LP06* operando con $V_{ref} = 0V$ (*LP06_0*). Esto se debe a que estas estructuras presentan ligeramente menor sensibilidad al desequilibrio de cargas, consiguiendo incrementar su punto de trabajo de 10 a 14 bits cuando se compara con los sumadores LP0. Además, los factores de corrección entre simulación y medida resultaron notablemente menos desfavorecedores para los sumadores *LP06_0* que para los *LP0*. Los resultados indican mejoras en la Figura de Mérito, o rendimiento energético, de 2.5 veces, reducciones de retardo de 3.7 veces, y mejoras en la frecuencia máxima de 2.7 veces. Por otra parte, estos sumadores, dada su ausencia de consumo estático cuando son usados con $V_{ref} = 0V$, no presentan prácticamente degradación de prestaciones al disminuir la frecuencia de trabajo, y por tanto, no requerirán de técnica alguna de enventanamiento para mantener sus prestaciones.

Estimación de prestaciones en sumadores FTL de trazado compacto

Puesto que, tal como ya se ha comentado, los resultados de los trazados de alta simetría no pueden compararse con los de otros sumadores convencionales, aportamos a continuación los resultados estimados de prestaciones de los sumadores FTL de trazado compacto, junto con los de un sumador dominó *NP_DRCA*. Tal como se ha indicado previamente, se aplican los factores correctores de simulación a medida, sobre las estimaciones de consumo y retardo obtenidos a partir de simulación *postlayout*, para estimar las prestaciones finales después de fabricación. La Tabla 4.17 recoge los resultados así estimados, que tal como se ha descrito incluyen, tanto en el caso de lógica FTL como de dominó, los consumos debidos a los *buffer* de reloj.

De forma análoga a los resultados anteriores, las primeras 4 columnas de la Tabla 4.17 indican el tipo de sumador, el máximo número de bits antes de que aparezca la condición de desequilibrio, el consumo estático (P_s) y la energía dinámica (E_d) disipada en cada ciclo de reloj por cada bit del sumador. Las siguientes dos columnas presentan los datos del retardo inicial t_{p0} y el retardo por bit (t_p). Posteriormente se presenta la frecuencia de trabajo, la Figura de Mérito o producto energía-retardo (Γ), así como los respectivos factores de mejora en la Figura de Mérito, frecuencia máxima y retardo respecto al sumador de referencia aplicable a cada caso. Adicionalmente se indican los resultados del sumador CMOS y dominó comparados también con el mismo circuito de referencia. Se indican los resultados obtenidos tanto para una frecuencia de 100MHz como para la máxima frecuencia de trabajo de cada familia lógica. Las prestaciones son expresadas como cantidades por bit y por MHz, con el fin de facilitar la comparación de prestaciones en sumadores de distintos anchos de palabra y frecuencias de trabajo.

Al igual que a lo largo de todas las simulaciones en esta tesis, la frecuencia máxima de trabajo se obtiene a partir de la suma de los tiempos de precarga y evaluación requeridos para no degradar en más de un 5% los niveles lógicos. Para estimar los tiempos de

Tabla 4.17: Estimación de prestaciones, en base a medidas y caracterización, para el máximo número de bits sin desequilibrio de sumadores con trazado compacto.

Logic family	Bits	P_s (uW/bit)	E_d (nW/MHz/bit)	t_{p0} (ns)	t_p (ps/bit)	freq (MHz)	$\Gamma \times 10^6$ (fJ/MHz/bit)	Γ ratio	f_{max} ratio	t_p ratio
HS_ref	18	69.654	10.071	0.055	68.436	777.248 100.000	6822.14 48357.27	1.000 1.000	1.000	1.000
CMOS		0,127	19,704	0,182	227,253	234,062 234,062	4600,83 4600,83	1,483 10,511	0,301	0,301
domino		0.027	58.942	0.167	208.855	238.612 100.000	12333.72 12366.24	0.553 3.910	0.307	0.328
HS0		38.296	25.089	0.055	10.723	2880.459 100.000	411.59 4375.45	16.575 11.052	3.706	6.382
HS06		42.502	17.070	0.014	17.149	1388.836 100.000	817.52 7581.32	8.345 6.378	1.787	3.991
LP0_ref	10	0.009	27.084	0.280	349.564	264.880 100.000	9478.97 9497.53	1.000 1.000	1.000	1.000
CMOS		0,127	19,704	0,182	227,253	407,442 407,442	4548,44 4548,44	2,084 2,088	1,538	1,538
domino		0.027	58.942	0.167	208.855	396.816 100.000	12324.36 12366.24	0.769 0.768	1.498	1.674
LP0		0.013	41.500	0.280	190.411	403.530 100.000	7908.06 7926.36	1.199 1.198	1.523	1.836
LP06_ref	14	0.009	26.394	0.298	372.759	181.263 100.000	9856.81 9871.57	1.000 1.000	1.000	1.000
CMOS		0,127	19,704	0,182	227,253	297,322 297,322	4574,63 4574,63	2,155 2,155	1,640	1,640
domino		0.027	58.942	0.167	208.855	298.020 100.000	12329.04 12366.24	0.799 0.798	1.644	1.785
LP06		2.948	45.885	0.069	86.835	385.764 100.000	4648.08 6544.63	2.121 1.506	2.128	4.293
LP06_0		0.022	48.341	0.298	81.753	550.597 100.000	3955.20 3969.68	2.492 2.487	3.038	4.560

precarga se han aplicado, sobre los valores obtenidos por simulación, los factores de corrección de retardo de las celdas de referencia, conforme la transición que ocurre durante la precarga es similar a las que ocurren en los equivalentes CMOS/nMOS.

Los resultados de la Tabla 4.17 indican que las estructuras que obtienen las mejoras prestacionales son los sumadores FTL de alta velocidad con $V_{ref} = 0V$ (*HS0*), logrando mejorar la eficiencia energética en 16.6 veces (trabajando a la frecuencia límite de operación), reduciendo el retardo de propagación en 6.4 veces y mejorando la frecuencia máxima en 3.7 veces cuando se compara con las celdas de referencia, resultados éstos bastante próximos a los obtenidos con trazados simétricos. Cuando se compara con los sumadores dominó, los sumadores *HS0* alcanzan mejoras significativas en el rendimiento energético (30 veces), en la reducción del retardo de propagación (19.5 veces), y en la mejora de la frecuencia máxima de trabajo (12.1 veces). No obstante, cuando se compara el mismo sumador FTL con sumadores CMOS, se observa que se consiguen igualmente mejoras muy significativa en el rendimiento energético (11.2 veces), así como en las prestaciones de retardo (21.2 veces) y frecuencia máxima (12.3 veces). En conclusión, los sumadores FTL parecen una forma efectiva de superar notablemente todas las métricas de prestaciones respecto a la lógica dominó y CMOS cuando se aprovechan las prestaciones FTL trabajando al límite de frecuencia.

Sin embargo, al igual que se matizaba en los resultados de sumadores de trazado simétrico, hay que tener en cuenta que las estructuras de alta velocidad presentan un consumo estático importante, y por tanto, esta mejora en el rendimiento energético

se reduce cuando se opera a frecuencias inferiores a su frecuencia máxima de trabajo. Trabajando a un *throughput* de 100 Mops/s, el rendimiento energético baja hasta valores más moderados cuando se compara con la lógica dominó (2.8 veces) y CMOS (mejora sólo del 5%). Un adecuado enventanamiento del reloj [12, 13] podrá evitar que el consumo estático reduzca el rendimiento energético, cuando se opera a bajas frecuencias con este tipo de estructuras.

En lo que respecta a los sumadores de bajo consumo, las estructuras que obtienen mejor rendimiento, nuevamente, son las *LP06* operando con $V_{ref} = 0V$ (*LP06_0*). Los resultados obtenidos con estos sumadores indican mejoras en la Figura de Mérito, o rendimiento energético, de 2.5 veces, reducciones de retardo de 4.6 veces, y mejoras en la frecuencia máxima de 3 veces cuando se compara con los sumadores de referencia. Cuando se compara con la lógica dominó (y CMOS), las mejoras de rendimiento energético, retardo y frecuencia máxima que resultan son de 3.1 (1.16), 2.6 (2.8) y 1.85 (1.85) veces, respectivamente. Los sumadores *LP06_0*, dado su mínimo consumo estático, no presentan prácticamente degradación de prestaciones al variar la frecuencia de trabajo, y por tanto, no requerirán de técnica alguna de enventanamiento para mantener sus prestaciones. En conclusión, se aprecia que incluso las estructuras de bajo consumo consiguen mejorar de forma apreciable, aunque más discreta, los rendimientos energéticos respecto a las lógicas dominó y CMOS, mejorando a su vez las prestaciones de velocidad (retardo y frecuencia) de forma significativa (entre 2 y 3 veces).

Comparación de prestaciones con otras estructuras complejas de sumadores CMOS

Por último, compararemos los resultados obtenidos con sumadores FTL *HS0* con los obtenidos por un sumador de altas prestaciones CMOS. Hemos elegido para la comparación los sumadores de altas prestaciones y bajo consumo *Carry Skip Adder* (CSA) multinivel de 32 bits presentados en [51, 52], los cuales obtienen importantes mejoras en las prestaciones de retardo y eficiencia energética respecto a otras bien conocidas estructuras de sumadores de altas prestaciones como los *Brent-Kung*, *Ladner-Fisher*, *Koge-Stone* o *Sklansky*.

Con el fin de reducir el retardo y el consumo de los sumadores CSA en [52], el mismo se divide en bloques de tamaño de bits variable con el fin de equilibrar las entradas al canal de acarreo. En cada bloque se emplean estructuras *Carry Look-Ahead* (CLA) para computar con mínimo retardo las señales de generación y propagación de acarreo. Adicionalmente, este tipo de sumadores reducen el consumo de forma efectiva al reducir el número de etapas lógicas, *glitches* y el número de transistores.

Hay que destacar que los sumadores presentados en [52] y [51] están implementados en tecnologías de $0.25\mu m$ y $0.13\mu m$, respectivamente. Usaremos los factores de mejora indicados en [51] y las estimaciones de prestaciones que se muestran en [52] para obtener las prestaciones estimadas del CSA mostrado en [52] sobre una tecnología equivalente CMOS de $0.13\mu m$.

La Tabla 4.18 resume las prestaciones de los sumadores en [51, 52] y nuestros sumadores *HS0*. Puede observarse que el sumador FTL *HS0* es capaz de superar las prestaciones de los sumadores presentes en [52, 51], tanto en función de la eficiencia energética como en retardos, obteniendo similares consumos. La eficiencia energética de los sumadores FTL resulta 2.9 y 1.7 veces mejor que la de los sumadores en [51, 52], con mejoras de retardo de 2.2 y 1.8 veces, respectivamente. Los sumadores FTL mejoran

Tabla 4.18: Comparación de prestaciones de los sumadores FTL de alta velocidad (HS0) con otros sumadores de altas prestaciones .

Logic family	t_p (ps/bit)	E_t (nW/MHz/bit)	$\Gamma \times 10^6$ (fJ/MHz/bit)
[52]	23.53	30.13	708.96
[51]	29.06	40.94	1189.64
HS0	13.17	38.38	411.59

tan sólo muy ligeramente (7%) el consumo presentado por [51]. Este consumo resulta ligeramente peor (21%) que el mostrado por los sumadores en [52].

Parte III

Discusión

Capítulo 5

Conclusiones y Líneas Futuras

Índice General

5.1 Conclusiones	127
5.1.1 Resultados obtenidos	127
5.1.2 Consideraciones de diseño	131
5.1.3 Ventajas y desventajas FTL	133
5.1.4 Campo de aplicación	134
5.2 Líneas Futuras	135

Resumen: En este capítulo se destacan las principales conclusiones que se han alcanzado en el desarrollo es la presente tesis doctoral. El capítulo consta de diversas discusiones acerca de los distintos aspectos abordados en el trabajo de investigación realizado, que cubren desde el campo de aplicación, y las consideraciones de diseño lógico y físico, a los resultados obtenidos en comparación con otros estilos lógicos. Se cierra la memoria de tesis con las líneas futuras de trabajo que podría resultar interesante abordar dentro de la misma línea de investigación.

5.1 Conclusiones

Discutiremos en esta sección las conclusiones principales que pueden extraerse del trabajo de investigación desarrollado en esta tesis desde distintos puntos de vista. Se resumen brevemente los resultados obtenidos en base a los análisis, simulaciones y medidas de los circuitos fabricados; los aspectos más relevantes a tener en cuenta durante el diseño físico y lógico; así como aquellas aplicaciones que por su naturaleza se muestran más propicias a su implementación usando la tecnología propuesta.

5.1.1 Resultados obtenidos

A lo largo de la presente trabajo de tesis se han analizado los siguientes aspectos de la lógica FTL: a) el principio de funcionamiento, b) los márgenes de ruido, c) la sensibilidad a variaciones globales de parámetros del diseño (temperatura, capacidad de carga, alimentación, esquina del proceso tecnológico), d) sensibilidad a variaciones de parámetros locales del diseño (*mismatch* de la tecnología), e) modelado del comportamiento de los sumadores de alta velocidad y bajo consumo.

En lo que respecta al principio de funcionamiento, podemos concluir que la lógica FTL, a diferencia de cualquier otro estilo lógico existente, realiza una pre-evaluación de los nodos de salida, y que esta pre-evaluación, consistente en realizar una transición desde la tensión de precarga a la tensión umbral de la función lógica implementada se realiza en paralelo entre todas las etapas FTL conectadas en cascada. La mayor parte de la ventaja de retardo de FTL se debe a esta pre-evaluación, ya que una buena parte del retardo empleado en el resto de lógicas se invierte en pasar a zona activa los transistores que estaban desactivados, y en FTL esta operación se realiza en paralelo. Además, este punto al que transitan todas las celdas FTL hace que la transición final, que ocurre en cuanto las entradas llegan como efecto de la evaluación en cascada por las celdas anteriores, sea considerablemente más rápida que la de sus equivalentes CMOS, nMOS y dominó. Por otra parte, esta característica es también la responsable de generar gran parte de los inconvenientes de FTL, conforme mantener el umbral FTL resulta una tarea considerablemente compleja, lo que limita la aplicación del mismo a circuitos de características muy concretas, e impone una importante dependencia de los resultados con el *mismatch* tecnológico.

Los márgenes de ruido resultantes cuando conectamos puertas FTL en cascada son tan robustos como sus respectivas versiones CMOS y pseudo-nMOS; esto es, los inversores FTL de bajo consumo tienen la misma robustez frente a ruidos que la lógica CMOS (> 300 mV para nivel bajo, y > 500 mV para nivel alto), y los de alta velocidad tienen márgenes de ruido más reducidos dado su menor nivel de salida ($> 200 - 260$ mV para nivel bajo y $> 250 - 440$ mV para nivel alto, según se usen *pullups* de dimensiones mínimas o para consumo reducido). No obstante, habrá que tener especial cuidado cuando se conecta FTL con otras familias lógicas¹, utilizando *buffers* debidamente dimensionados.

FTL resulta muy robusta también frente a variaciones globales de los principales parámetros de diseño. Las variaciones de retardo tanto absolutas como relativas que presenta FTL son considerablemente inferiores a las que presentan CMOS, pseudo-nMOS y dominó. En concreto cabe destacar, por su importancia, la menor variación del retardo con la capacidad de carga, llegando a reducirse este parámetros hasta 8 veces respecto al de la lógica dominó en estructuras FTL de alta velocidad. Esto implica que las estructuras FTL, y especialmente las de alta velocidad, sean ideales cuando se presentan condiciones de fuerte carga, como sucede en los circuitos CMOS de submicra profunda, en donde las capacidades de interconexión son dominantes. Hay que destacar también que los sumadores diferenciales se muestran como los menos sensibles al desequilibrio, y los más insensibles a las variaciones de parámetros, seguidos de cerca por los sumadores de alta velocidad, y por último, los de bajo consumo.

Sin embargo, a pesar de tener unos buenos márgenes de ruido, FTL resulta muy sensible al *mismatch* tecnológico, siendo prácticamente este parámetro el que finalmente limita la lógica FTL y determina las condiciones de diseño y la máxima ventaja que se puede obtener con su uso. Los resultados no sólo del análisis de sensibilidad realizado, sino también de las medidas de los circuitos fabricados, así lo demuestran. No por ello FTL deja de ser ventajoso: las medidas constatan que FTL muestra superiores prestaciones para un número de bits acotado, en el que los fenómenos de desequilibrio no son apreciables, y lo que es más importante, que los resultados obtenidos mediante simulaciones MonteCarlo, en lo que respecta al punto de desequilibrio, no se alejan

¹Especialmente si se trata de la familia lógica FTL de alta velocidad, conforme esta tiene los niveles de salida degradados (en la misma manera que la lógica pseudo-nMOS).

sustancialmente² de las medidas realizadas tras la fabricación. Es más, las medidas demuestran que en los bits que no está presente el desequilibrio la variación de retardo es inferior a la obtenida en familias CMOS, y por tanto, han de considerarse fiables. Más allá de dicho punto, los retardos medidos comienzan a mostrar varianzas cada vez mayores, especialmente cuanto más nos alejemos de dicho punto.

A lo largo de este trabajo de investigación se ha utilizado el concepto FTL en una aplicación práctica, sencilla y que se adapta muy bien a los requisitos de diseño de FTL: sumadores de acarreo serie (*RCA*), tanto en sus versiones diferenciales como no diferenciales. Los resultados indican que las prestaciones de retardo se mejoran con el número de bits siempre que no se supere el punto de desequilibrio, y que las de potencia empeoran ligeramente con el número de bits (dado que la corriente de cortocircuito circula mayor tiempo). Estas mismas conclusiones se observan también en la caracterización realizada sobre los sumadores.

La mayor ventaja, en base a los resultados de simulaciones *prelayout*, se obtiene con el uso de sumadores diferenciales de alta velocidad, llegando a alcanzar ventajas de retardo próximas a 9 veces (7 veces en frecuencia máxima) cuando se compara con la lógica dominó. Los sumadores no diferenciales de alta velocidad obtienen una ventaja máxima en retardo de aproximadamente 6 veces (5 veces en frecuencia máxima), y los de bajo consumo una ventaja máxima de retardo próxima a 5 (3 veces en frecuencia máxima). Sin embargo, desde el punto de vista de rendimiento energético sólo las estructuras de bajo consumo consiguen mejoras considerables (3 veces), mientras que las de alta velocidad obtienen rendimientos energéticos próximos a los de dominó.

De entre los sumadores simulados, se eligieron para implementar físicamente y mandar posteriormente a fabricación los sumadores no diferenciales, en base a: 1) criterios de simplicidad, dado que nos enfrentábamos a una primera fabricación en esta tecnología, y se preveía una elevada sensibilidad de la misma a las diferencias de carga; y 2) capacidad de comparación de los circuitos con sumadores CMOS y dominó, y bajo este criterio, los sumadores diferenciales, si bien son una buena opción de diseño, no pueden compararse directamente en prestaciones con los anteriores. Conforme FTL se mostraba inicialmente como una lógica sensible a las diferencias de carga y fuertemente dependiente del *mismatch*, y se hacía necesario poder constatar mediante medida los límites de FTL, se impusieron unas restrictivas condiciones en el diseño físico y circuital con el fin de garantizar que el desequilibrio dominante no fuese el de las diferencias de carga en el diseño ni en la implementación. Las consideraciones de diseño aprendidas en este proceso, junto con las que se desprenden de la realización de las medidas de los circuitos fabricados, forman un valioso *know-how* y serán objeto de discusión en mayor detalle en breve. Sin embargo, las restricciones impuestas en la implementación de los trazados para fabricación dificultaban la comparación de resultados con los sumadores *RCA* CMOS y dominó, ya que inducían unas capacidades parásitas excesivamente elevadas, motivo por el que se decidió implementar los *layout* en una versión compacta, directamente comparables con el estado del arte.

Comparando los resultados obtenidos en las simulaciones *prelayout* con los de las simulaciones *postlayout* de los trazados compactos se concluye que se mantienen las prestaciones para las estructuras de alta velocidad, si bien, el pronto desequilibrio de las estructuras de bajo consumo hace que su ventaja se reduzca a poco más de la mitad de sus valores iniciales (el rendimiento energético se reduce algo menos, a aproximadamente

²Se constata una diferencia de aproximadamente 4 bits, siendo más relajado el punto de desequilibrio observado en la medida.

2/3 de su valor original). El rendimiento energético de los sumadores de alta velocidad se mejora discretamente (20% y 60%, para $V_{ref} = 0V$ y $V_{ref} = 0.6V$ respectivamente) dado que hay un número de bits suficientemente elevado, pero resulta inferior al estimado en simulaciones *prelayout*. Si comparamos además estos resultados con los de las simulaciones *postlayout* de los trazados de alta simetría se constata un incremento de la ventaja de retardo para todas las estructuras, que nuevamente viene a confirmar la idoneidad de la lógica FTL para usarse en condiciones de fuerte carga respecto a otros estilos lógicos, y que posiblemente sea una de las aportaciones más importantes de esta tesis como medio de superar las actuales barreras de profundidad lógica entre etapas de *pipeline*.

La caracterización realizada de los sumadores nos permite concluir que FTL alcanza importantes mejoras de retardo a partir de los primeros bits, mientras que el consumo dinámico se incrementa linealmente, obteniendo un valor inicial e incrementos, respecto al número de bits, considerablemente inferiores a los obtenidos por otros estilos lógicos. Por tanto, el rendimiento energético se reduce conforme el número de bits en equilibrio se incrementa. Teniendo en cuenta que las simulaciones *postlayout* indican rendimientos energéticos ligeramente superiores para un número de bits elevado, cabe esperar que dichos sumadores, operando a un número de bits reducido³ obtengan importantes mejoras de rendimiento energético, como se constata luego en las medidas.

Los resultados obtenidos en la presente tesis respecto a prestaciones finales después de fabricar resultan indudablemente de interés. Se concluyen ventajas de retardo y eficiencia energética muy considerables. Las mejores prestaciones se obtienen con sumadores FTL de alta velocidad con $V_{ref} = 0V$, operando a sus frecuencias límite de trabajo. Estos sumadores consiguen mejoras significativas en el rendimiento energético (30 veces), en la reducción del retardo de propagación (19.5 veces), y en la mejora de la frecuencia máxima de trabajo (12.1 veces). No obstante, cuando se compara el mismo sumador FTL con sumadores CMOS, se observa que se consiguen igualmente mejoras muy significativa en el rendimiento energético (11.2 veces), así como en las prestaciones de retardo (21.2 veces) y frecuencia máxima (12.3 veces). En conclusión, los sumadores FTL parecen una forma efectiva de superar notablemente todas las métricas de prestaciones respecto a la lógica dominó y CMOS cuando se aprovechan las prestaciones FTL trabajando al límite de frecuencia. Sin embargo, una parte importante de esta ventaja⁴ proviene de diferencias observadas en los factores de corrección del retardo entre simulación y medida (retardo medido en la zona de equilibrio 3 veces inferior al estimado), indicativo de una mala adaptación de los modelos de simulación a las condiciones de funcionamiento FTL.

Hay que tener en cuenta que las estructuras de alta velocidad presentan un consumo estático importante, y por tanto, esta mejora en el rendimiento energético se reduce cuando se opera a frecuencias inferiores a su frecuencia máxima de trabajo. Trabajando a un *throughput* de 100 Mops/s, el rendimiento energético baja hasta valores más moderados cuando se compara con la lógica dominó (2.8 veces) y CMOS (mejora sólo del 5%). Para evitar la degradación de las prestaciones operando a bajas frecuencias

³Esta condición queda cumplida si se tiene en cuenta que el factor limitante de los circuitos FTL finalmente implementados es el *mismatch*, imponiendo unos límites de trabajo, que de acuerdo al análisis de sensibilidad realizado, resultan en 8 a 16 bits.

⁴Las diferencias respecto a los valores simulados provienen de dos factores: a) los factores de conversión de retardo y consumo entre simulación y medida; y b) la variación en el punto de trabajo obtenida entre simulación y medida. Hay que indicar que este último factor además está influenciado por otros dos aspectos: b.1) la variación del número de bits, y b.2) la variación de la frecuencia máxima de trabajo.

de trabajo habrá que asegurarse de que el tiempo de evaluación se ajuste al máximo retardo, ya sea usando un reloj asimétrico, o enventanando el reloj localmente a cada puerta FTL. Otra opción de diseño será trabajar con lógicas asíncronas, eliminando el consumo estático tan pronto como se termine la operación.

Los sumadores de bajo consumo *LP06* operando con $V_{ref} = 0V$ (*LP06_0*) son los sumadores de bajo consumo que obtienen mejores resultados. La mayor simetría lógica de los sumadores *LP06* disminuye las diferencias entre simulación y medida cuando se compara con los *LP0*. Cuando se comparan con la lógica dominó (y CMOS), las mejoras de rendimiento energético, retardo y frecuencia máxima que resultan son de 3.1 (1.16), 2.6 (2.8) y 1.85 (1.85) veces, respectivamente. Además estos sumadores no presentan consumo estático, y por tanto, no presentan prácticamente degradación de prestaciones al variar la frecuencia de trabajo. Se aprecia una diferencia sustancial entre la simulación y medida para los sumadores *LP0*, la cual, de forma análoga a la diferencia obtenida en los sumadores de alta velocidad *HS0* se relaciona mayormente con los factores de corrección de retardo observados entre ambos casos, con la reducción de los puntos de desequilibrio y con la mayor frecuencia máxima de trabajo.

Por último, se han comparado los resultados de prestaciones estimadas tras fabricación de los sumadores *HS0* con los de un sumador multinivel de 32 bits CSA (*Carry Skip Adder*) de altas prestaciones [51, 52] que mejora las prestaciones de otros sumadores de altas prestaciones más complejos, como son los *Brent-Kung*, *Ladner-Fisher*, *Kogge-Stone* o *Sklansky*. El sumador FTL *HS0* supera las prestaciones de los sumadores presentes en [52, 51], tanto en función de la eficiencia energética (2.9 y 1.7 veces) como en retardos (2.2 y 1.8 veces).

5.1.2 Consideraciones de diseño

De los resultados que se acaban de exponer se pueden extraer las siguientes conclusiones en lo que se refiere a la elección de las estructuras FTL:

- El concepto FTL obtendrá sus máximas ventajas cuando es aplicado sobre circuitos regulares, tipo *bit-slice*, en los que la celda básica tenga un carácter inversor. Cuando se aplica a circuitos no regulares las prestaciones se acercarán a las de las familias lógicas pseudo-nMOS y CMOS, conforme no existe una pre-evaluación completa.
- La simetría en la topología del circuito es un factor clave en las prestaciones de FTL. Para que esta etapa de diseño sea viable, y con el fin de que el proceso de compensación de cargas no resulte costoso, la complejidad de las celdas que forman el *bit-slice* ha de resultar relativamente baja. Nótese que la complejidad en detectar y compensar las cargas tiene una relación exponencial con el número de entradas de la celda.
- Las estructuras que ofrecen mayor robustez frente al desequilibrio son las diferenciales, seguidas por las no diferenciales de alta velocidad, y terminando con las de bajo consumo. Se constata que a mayor complejidad de las celdas, mayor es la sensibilidad al desequilibrio de las estructuras, factor que nuevamente favorece la aplicación de FTL sobre celdas de baja complejidad.
- Los sumadores de alta velocidad son los que ofrecen mejores prestaciones en términos tanto de velocidad como de eficiencia energética, cuando se opera al

límite de frecuencia, a pesar de su disipación estática. Por tanto, será preferible el uso de esta tipología FTL, siempre que se pueda garantizar bien el trabajo al límite de la frecuencia máxima, o bien su operación a frecuencias inferiores pero con un control preciso del tiempo de evaluación para no degradar las prestaciones.

- Las estructuras de bajo consumo deberían usarse sólo cuando el consumo, y no la eficiencia energética, es el factor primordial de diseño.
- Con el fin de salvaguardar los circuitos FTL de la aparición de desequilibrio como efecto del *mismatch* de los dispositivos y capacidades, y mantener una fiabilidad de diseño aceptable, FTL deberá usarse en bloques aritméticos de no más de 8 o 16 bits para estructuras de bajo consumo y alta velocidad, respectivamente. Esto sucede sin perjuicio de que se puedan encadenar varios bloques para construir bloques aritméticos de mayor ancho de palabra. Para ello, deberá asegurarse el debido sincronismo de los distintos bloques, ya sea mediante técnicas de segmentación (*pipeline*), o mediante el uso de lógica asíncrona, si bien, este último caso conlleva un coste añadido, u *overhead*, en términos de retardo y consumo.

Del *know-how* obtenido en el desarrollo de este trabajo, se extraen las siguientes consideraciones, o guías de diseño:

1. Los circuitos candidatos a implementarse con mayor éxito en FTL han de estar formados por una cadena inversora, regular, de puertas conectadas en cascada. Además, la celda básica ha de mantener una fuerte simetría funcional y circuitual inicial.
2. Hay que estudiar detalladamente las distintas rutas de propagación de señal a través del canal inversor, e identificar las diferencias de carga entre los distintos casos, para finalmente añadir transistores de compensación que, sin cumplir ninguna función lógica añadida, sean capaces de equilibrar las diferencias de carga encontradas.
3. Se recomienda el uso de *buffers* de salida con el fin de adaptar los niveles de salida y los márgenes de ruido en la conexión de FTL con otras familias lógicas. Estos *buffers*, debidamente dimensionados, serán además efectivos para evitar que se propaguen *glitches* al resto de circuitos.
4. Si los nodos de salida de las celdas FTL han de usarse como entradas a otras celdas distintas a la básica, como sucede, por ejemplo, en sumadores RCA para computar la salida de suma, será recomendable igualmente el uso de *buffers* con el fin de aislar la cadena FTL principal de las variaciones de capacidad y *fanout* que puedan suponer dichas celdas.
5. Se recomienda el uso de *buffers* de entrada con el fin de garantizar unas condiciones de *drive* y niveles lógicos idénticas en todas las entradas.
6. Estimar las capacidades *postlayout* y dimensionar adecuadamente la lógica para obtener las mejores prestaciones en términos de consumo, retardo, eficiencia energética, o sensibilidad, según se deseé.
7. Para la implementación física, comenzar por los transistores de compensación. La simetría de estos dispositivos, así como de sus interconexiones, resulta un aspecto clave en las prestaciones de FTL. No obstante, no se requiere simetría en el resto

del trazado salvo que el *mismatch* tecnológico deje de ser el factor limitante en la implementación de FTL.

8. Con el fin de minimizar los efectos de *mismatch*, ubicar todos los dispositivos siguiendo siempre en una misma orientación. Es recomendable también cuidar, dentro de lo posible, la simetría del circuito, con el fin de reducir los efectos de *mismatch* piezoelectrómicos.
9. Es importante apantallar y aislar debidamente los circuitos FTL dentro de los diseños, como si de diseños analógicos se tratase, con el fin de evitar las interferencias hacia y desde el exterior. Este aspecto ha de cuidarse dada la alta sensibilidad de FTL al desequilibrio, no sólo por diferencia de cargas o *drive* en los dispositivos, sino también por las condiciones inciales y ruidos que puedan presentarse durante el tiempo que dure la pre-evaluación. Hay que destacar que FTL es especialmente propenso a diseños de elevadas frecuencias de trabajo, y por tanto, está sujetos a fuertes ruidos eléctricos.

5.1.3 Ventajas y desventajas FTL

El diseño FTL presenta las siguientes ventajas:

1. La conexión en cascada de celdas FTL no requiere inversores adicionales, como sucede en lógica dominó.
2. La precarga a nivel lógico bajo reduce las corrientes de fugas (*leakage current*).
3. Los problemas asociados a la redistribución de cargas presentes en lógica dominó desaparecen: puesto que los nodos de salida no permanecen en alta impedancia para el nivel lógico alto, la redistribución de cargas afectará exclusivamente al consumo, pero no podrá causar pérdidas de nivel lógico.
4. La lógica FTL de alta velocidad es mucho más rápida y eficiente que las lógicas dinámicas, fundamentalmente, por tres razones: a) sólo requiere transistores nMOS, y por tanto la carga queda reducida; b) la salida es pre-evaluada antes de que las entradas de la etapa previa estén disponibles, ocurriendo esta fase en paralelo para todas las etapas conectadas en cascada; y c) las celdas FTL, durante la pre-evaluación, quedan situadas en un punto de máxima ganancia y, por tanto, transitan mucho más rápidamente que el resto de estilos lógicos.
5. Los márgenes de ruido de FTL son idénticos a los de pseudo-nMOS y CMOS, según se trate de la familia de alta velocidad o bajo consumo, respectivamente. Este margen de ruido es superior al existente en lógicas dominó, dado que en estas el umbral de activación de los dispositivos nMOS es suficiente para comenzar a descargar los nodos. Además, si las condiciones de ruido se dan de forma espúrea, y no permanente, FTL al igual que CMOS y nMOS, sólo verá comprometidas sus prestaciones de retardo y consumo, pero sin producir fallos lógicos; mientras que un ruido de similares características aplicado a lógicas dominó conducirá irremediablemente a fallos lógicos en el circuito. En FTL, al igual que en otras lógicas estáticas, el ruido debe seguir presente cuando termina la evaluación y el dato es capturado por la etapa de segmentación.

Entre las principales debilidades, FTL presenta las siguientes características:

1. No es directamente aplicable a circuitos no regulares, ya que a pesar de mostrar unas prestaciones excelentes en comparación con los estilos convencionales⁵, y a pesar de haberse demostrado la viabilidad del diseño, la ventaja FTL no aparece mientras no exista una conexión en cascada de celdas idénticas con simetría de cargas para los diversos caminos de propagación. Sin embargo, los sumadores RCA no son una estructura práctica más allá de 16 bits, en lógicas convencionales, y por regla general suelen emplearse como bloques básicos de unos pocos bits en otros sumadores de mayores prestaciones (CSA, CLA, Kogge-Stone, Brent-Kung, Manchester); pero estos sumadores requieren más que sólamente sumadores RCA.
2. Se constata una diferencia notable entre los resultados de retardos obtenidos en simulación y en medida, si bien las medidas obtenidas muestran suficiente grado de repetibilidad hasta el punto de desequilibrio. Esto, unido a la limitada precisión de los modelos para simulación MonteCarlo, implica que para usar circuitos FTL de forma fiable, estos deban ser previamente medidos y caracterizados.
3. Las prestaciones máximas que pueden obtenerse quedan limitadas básicamente por el *mismatch* tecnológico, haciendo que esta familia lógica sea fuertemente dependiente de las tecnologías subyacentes.

5.1.4 Campo de aplicación

En conclusión, de acuerdo a los aspectos anteriormente citados, el estilo FTL es adecuado para aplicaciones donde la ruta crítica esté formada por una larga cascada de puertas con carácter inversor. Diseños tipo *bit-slice* de moderada o baja complejidad resultan idóneos para habilitar la operación FTL y obtener de ella un rendimiento óptimo. Es por ello que circuitos aritméticos como sumadores, multiplicadores, filtros FIR y otras aplicaciones similares, sean candidatos ideales para su implementación en lógicas FTL.

No obstante, los trabajos de Chuan [12, 13] han permitido desarrollar familias lógicas derivadas de las estructuras FTL de alta velocidad, en las que combinadas éstas con lógica dominó (lógica DFTL) o lógica CMOS (lógica CD) consigue mejoras significativas de prestaciones. En este aspecto, las aportaciones de Chuan en esta línea de investigación son de gran interés al extender el campo de aplicación de FTL a circuitos no regulares, si bien hay que ser consciente de que estas familias, derivadas de FTL, se comportan básicamente como una puerta pseudo-nMOS durante una ventana de tiempo muy acotada, dimensionada adecuadamente al tiempo de la evaluación de la lógica FTL.

La menor sensibilidad de la lógica FTL respecto a la carga supone una clara ventaja de éste estilo lógico ante los escenarios típicos de las tecnologías por debajo de 0.25μ , donde las capacidades de interconexión resultan superiores a las de los propios dispositivos. La lógica FTL puede verse como un estilo lógico que permite incrementar el *drive* aparente de las puertas ante las capacidades de interconexión, al presentar menor variación de retardo respecto a la carga que el resto de estilos lógicos, y por este motivo FTL resulta una interesante opción de diseño en tecnologías submicra profunda.

Las estructuras FTL de alta velocidad con $V_{ref} = 0V$ resultan idóneas para trabajar en circuitos de alta velocidad, dado su menor consumo dinámico para anchos de palabra medios y bajos. Estos circuitos pueden beneficiarse no sólo de la importante ventaja

⁵Incluso cuando es comparado con arquitecturas aritméticas de altas prestaciones.

de retardo y frecuencia máxima de operación, sino también de una mayor eficiencia energética. Dado que durante la precarga no exhiben consumo estático, se podrán mantener las prestaciones cuando se opera a frecuencias de trabajo moderadas e incluso bajas, siempre que se reduzcan los tiempos de evaluación al mínimo. En estas condiciones de trabajo, FTL permite obtener retardos por bit inferiores a los obtenidos por la lógica pseudo-nMOS, a costa de un consumo estático que, cuando se limita el tiempo de evaluación, resulta en eficiencias energéticas superiores al resto de estilos lógicos.

Como última consideración, FTL resulta idóneo usado en circuitos aritméticos de ancho de palabra medio o bajo. En el caso de sumadores, este trabajo indica que 8 o 16 bits entre etapas de *pipeline* resultan adecuados para circuitos de bajo consumo y alta velocidad, respectivamente. Esto no implica que no puedan construirse sumadores de gran ancho de palabra usando estas familias lógicas, sino que éstos habrán de comprenderse a partir de bloques de menor tamaño debidamente sincronizados, ya sea mediante segmentación del diseño, o bien mediante el uso de lógica asíncrona. En concreto, las características de FTL la hacen especialmente atractiva dentro de soluciones asíncronas, dado que: a) FTL realmente puede considerarse una lógica de tres estados (alto, bajo y umbral), siendo el nivel umbral indicativo de que la operación lógica todavía no se ha completado; b) la alta dependencia de las prestaciones de velocidad respecto al *mismatch* de la fabricación implica que, cuando se usan diseños asíncronos, puedan aprovecharse mejor las prestaciones realmente obtenidas (si el circuito sale más rápido o lento, al detectarse el fin de operación se podrá generar el comienzo de evaluación en la siguiente etapa de la forma más ajustada a las prestaciones de cada *chip*). No obstante, un factor clave en la generación de señales de fin de cómputo en FTL consiste en obtener detectores suficientemente rápidos de forma que el retardo añadido por los mismos no deteriore de forma significativa las prestaciones de los circuitos a secuenciar.

5.2 Líneas Futuras

Una primer aspecto a desarrollar resulta, evidentemente, la realización de un segundo *chip* en el que se puedan constatar los resultados estimados para los sumadores de trazado compacto, especialmente los de alta velocidad, dimensionados a su punto de desequilibrio. En esta segunda fabricación, sería interesante incluir también sumadores diferenciales conforme caben esperarse mejores resultados aún en estos últimos. Además, FTL se presenta propicia para aplicarse a lógicas diferenciales CVSL, dado que no sólo conseguirán las características de velocidad de sumadores diferenciales, sino que además será una forma efectiva de eliminar el consumo estático tan pronto como termine la evaluación, lo cual además mejorará los márgenes de ruido.

Otra línea futura consiste en el desarrollo e implementación de otras estructuras aritméticas más allá de sumadores de acarreo serie. Por ejemplo, sumadores CSA son candidatos muy adecuados al diseño con familias FTL. La operación básica en este tipo de sumadores se puede trasladar a una operación en cascada de multiplexores (para la sección *skip* del sumador), y sumadores RCA (para los bloques de suma). Cada operación puede ser separada en: a) cómputo en paralelo de las salidas de acarreo en la salida de cada bloque de suma, b) correcta omisión o selección de la salida de acarreo a cada uno de los bloques siguientes por medio de la cadena de multiplexores, y c) cómputo de las salidas de suma finales en cada bloque de suma. En un diseño inicial, y con el fin de simplificar la compensación de cargas, podrían emplearse bloques de suma de tamaño fijo. Nótese que un simple sumador segmentado de 32 bits, formado a partir

de 2 sumadores FTL *HS0* de 16 bits muestra mejores prestaciones que los sumadores en [51, 52]. Es de esperar que la aplicación de FTL en sumadores CSA permita obtener mejoras aún superiores para sumadores de 64 y 128 bits, implementados en 8 secciones de 8 o 16 bits cada una.

Otro aspecto a estudiar es el uso de la lógica FTL dentro de esquemas asíncronos. Tal como se ha indicado, FTL resulta adecuada a este tipo de diseños dado su principio de funcionamiento, pero se requiere un esfuerzo adicional con el fin de: a) desarrollar las celdas básicas necesarias para la detección del fin de operación para el acarreo y suma, y la captura de los datos de salida con unos retardos suficientemente pequeños, b) tener la capacidad de adaptarse a la variación de retardos en todas las condiciones de *mismatch* y esquinas del proceso, especialmente en el caso de dotarse de mecanismos de *timeout*, y c) ser suficientemente robustas a la posible existencia de desequilibrios ya sean parciales o locales como efecto del *mismatch*.

Bibliografía

- [1] *International Technology Roadmap for Semiconductors, Executive Summary*. [On-line] <http://public.itrs.net>, 2012 Edition.
- [2] Nooshabadi, S., & Montiel–Nelson, J. A., “Fast Feedthrough Logic: A High Performance Logic Family for GaAs”, *IEEE Trans. Circ. Syst. I*, vol. 51, no. 11, pp. 2189–2203, Nov 2004.
- [3] Navarro–Botello, V., Montiel–Nelson, J. A., & Nooshabadi, S., “Low power and high performance arithmetic circuits in feedthorugh CMOS logic family for low power applications”, *ASP J. Low Power Electronics*, vol. 2, no. 2, pp. 300–307, Aug 2006.
- [4] Navarro–Botello, V., Montiel–Nelson, J. A., & Nooshabadi, S., “Analysis of high performance fast feedthorugh logic families in CMOS”, *IEEE Trans. Cir. & Syst. II*, vol. 54, no. 6, pp. 489–493, Jun 2007.
- [5] Navarro–Botello, V., Montiel–Nelson, J. A., & Nooshabadi, S., “High performance low power CMOS dynamic logic for arithmetic circuits”, *Microelectron. J.*, vol. 38, no. 4–5, pp. 482–488, Apr 2007.
- [6] Navarro–Botello, V., Montiel–Nelson, J. A., & Nooshabadi, S., *CMOS Technology, An energy efficient CMOS logic family for arithmetic circuits*. NOVA Science Publishers, 2010, pp. 187–220.
- [7] Navarro–Botello, V., Montiel–Nelson, J. A., Navarro–Botello, H., & Nooshabadi, S., “CMOS Fast feedthorugh logic: A new high performance logic family for CMOS”, in *Proc. of the XX Conference on Desing of Circuits and Integrated Systems (DCIS'2005)*, Nov 2005.
- [8] Navarro–Botello, V., Montiel–Nelson, J. A., & Nooshabadi, S., “High Performance FTL Ripple Carry Adders in CMOS Technologies: Experimental Results”, in *Proc. of the XXIII Conference on Desing of Circuits and Integrated Systems (DCIS'2008)*, Nov 2008.

- [9] Navarro-Botello, V., Montiel-Nelson, J. A., & Nooshabadi, S., "High Performance FTL Ripple Carry Adders in CMOS Technologies: Experimental Results", in *Proc. of the 2006 Intl. Midwest Symposium on Circuits and Systems (MWSCAS'06)*, pp. 709–712, Aug 2006.
- [10] Navarro-Botello, V., Montiel-Nelson, J. A., & Nooshabadi, S., "Fast Adder Design in Dynamic Logic", in *Proc. of the 2007 Intl. Midwest Symposium on Circuits and Systems (MWSCAS'07)*, pp. 851–854, Aug 2007.
- [11] Navarro-Botello, V., Montiel-Nelson, J. A., & Nooshabadi, S., "Design of Energy Efficient 10ps per bit adder circuits in CMOS", in *Proc. of the 2008 IEEE Asian Solid-State Circuits (A-SSCC'08)*, pp. 85–88, Nov 2008.
- [12] Chuang, P., Li, D., & Sachdev, M., "Design of a 64-Bit Low-Energy High-Performance Adder using Dynamic Feedthrough Logic", in *Intl. Symposium on Circuits and Systems (ISCAS'2009)*, pp. 3038–3041, May 2009.
- [13] Chuang, P., "A Constant Delay Logic Style - An Alternative Way of Logic Design", University of Waterloo, pp. 1–57, Waterloo, Canada. 2010.
- [14] Chuang, P., Li, D., & Sachdev, M., "Constant Delay Logic Style", *IEEE Trans. on VLSI*, vol. 21, no. 3, pp. 554–565, Mar 2013.
- [15] Parashar, S., Kumar, C. I., & Pattanaik, M., "An Efficient Design Technique for High Performance Dynamic Feedthrough Logic with Enhanced Noise Tolerance", in *Proc. of the 2011 IEEE Computer Society Annual Symposium on VLSI (ISVLSI'2011)*, pp. 49–53, Jul 2011.
- [16] Pattanaik, M., Parashar, S., Kumar, C. I., Chouhan, A., & Mahor, V., "A Novel Low Power Noise Tolerant High Performance Dynamic Feed Through Logic Design Technique", in *Proc. of the 2011 International Symposium on Electronic System Design (ISED'2011)*, pp. 118–123, Jul 2011.
- [17] Murthy, P.H.S.T., Chaitanya, K., Krishna, M.M., & Rao, V.M., "FTL based 4Stage CLA Adder Design with Floating Gates", in *Intl. Journal of Computer Applications*, vol.17, no.6, pp. 1–5 , Mar 2011.
- [18] Senejani, M.N., & Ghadiry, M.H., "Low Dynamic Power High Performance Adder", in *10th. Intl. Conf. The Experience of Designing and Application of CAD Systems in Microelectronics (CADSM'2009)*, pp. 242–245, Feb 2009.
- [19] Sahoo, S.R., & Mahapatra, K.K., "An improved feedthrough logic for low power circuit design", in *1st Intl. Conf. on Recent Advances in Information Technology (RAIT'2012)*, pp. 713–716, Mar 2012.
- [20] van Elzakker, M., van Tuijl, E., Geraedts, P., Schinkel, D., Klumperink, E., & Nauta, B., "A 10-bit charge-redistribution ADC consuming 1.9uW at 1MS/s", *IEEE J. Solid-State Circuits*, vol. 45, no.5, pp. 1007–1015, May 2010.
- [21] Rabaey, J. M., Chandrakasan, A., & Nikolić, B., *Digital Integrated Circuits: A Design Perspective* –2e. Upper Saddle River, NJ: Prentice Hall, 2003.

- [22] Roy, K., Mukhopadhyay, S., & Mahmoodi-Meimand, H., "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits", in *Proc. IEEE*, vol. 91, no. 2, pp. 305–327, Feb. 2003.
- [23] Fallah, F., & Pedram, M., "Standby and active leakage current control and minimization in CMOS VLSI circuits : Lower-power LSI and lower-power IP", *IEICE Trans. on Electronics*, vol. 88, no. 4, pp.509–519, 2005.
- [24] Mutoh, S., Douseki, T., Matsuya, Y., Aoki, T., Shigematsu, S., & Yamada, J., "1-V power supply high-speed digital circuit technology with multi-threshold voltage CMOS", *IEEE J. Solid-State Circuits*, vol. 30, pp. 847–854, Aug. 1995.
- [25] Wei, L., Chen, Z., Johnson, M., Roy, K., Ye, Y., & De, V., "Design and optimization of dual threshold circuits for low voltage low power applications", *IEEE Trans. VLSI Systems*, vol. 7, no. 1, pp. 16–24, Mar. 1999.
- [26] Kuroda, T. et al., "A 0.9V 150MHz 10mW 4mm 2-D discrete cosine transform core processor with variable-threshold-voltage scheme", in *Dig. Tech. Papers IEEE Int. Solid-State Circuits Conf.*, pp. 166–167, 1996.
- [27] Shigematsu, S., Mutoh, S., Matsuya, Y., Tanabe, Y., & Yamada, J., "1-V high speed MT莫斯 circuit scheme for power-down applications", *IEEE J. Solid-State Circuits*, vol. 32, pp. 861–869, Jun. 1997.
- [28] Kim, K. K., Kim, Y. B., Choi, M., & Park, N., "Leakage Minimization Technique for Nanoscale CMOS VLSI", *IEEE Design and Test of Computers*, vol. 24, no. 4, pp. 322–330, July/Aug. 2007.
- [29] Narendra, S., De, V., Antoniadis, D., Chandrakasan, A., & Borkar, S., "Scaling of stack effect and its application for leakage reduction", in *Proc. of the 2001 Intl. Symposium on Low Power Electronics and Design (ISLPED'01)*, pp. 195–200, 2001.
- [30] Nose, K., Hirabayashi, M., Kawaguchi, H., Lee, S., & Sakurai, T., "V_{th} -Hopping scheme to reduce subthreshold leakage for low-power processors", *IEEE J. Solid-State Circuits*, vol. 37, pp. 413–419, Mar. 2002.
- [31] Kim, C. H., & Roy, K., "Dynamic V_{th} scaling scheme for active leakage power reduction", in *Proc. Design, Automation and Test in Euro. Conf. 2002 (DATE'02)*, Mar. 2002, pp. 163–167.
- [32] Tyagi, S. et al., "A 130 nm generation logic technology featuring 70 nm transistors, dual V_t transistors and 6 layers of Cu interconnects", in *Dig. Tech. Papers Int. Electron Devices Meeting*, 2000, pp. 567–570.
- [33] Takahashi, M. et al., "A 60-mw MPEG4 video codec using clustered voltage scaling with variable supply-voltage scheme", *IEEE J. Solid-State Circuits*, vol. 33, pp. 1772–1780, Nov. 1998.
- [34] Oklobdzija, V. G., "Clocking and clocked storage elements in a multi-gigahertz environment", *IBM J. Res. and Dev.*, vol. 47, no. 5/6, pp. 567–583, Sept./Nov. 2003.

- [35] Hrishikesh, M. S., Jouppi, N. P., Farkas, K. I., Burger, D., Keckler, S. W., & Shivakumar, P., "The Optimal Logic Depth Per Pipeline Stage is 6 to 8 FO4 Inverter Delays", in *Proc. Int. Symp. Comp. Arch.*, May 2002, pp. 14–24.
- [36] Montiel–Nelson, J. A., Nooshabadi, S., Armas, V., Sarmiento, R., & Núñez, A., "High Speed GaAs Subsystem Design using Feed Through Logic", in *Proc. Design, Automation and Test in Euro. Conf. 1999 (DATE'99)*, Mar. 1999, pp. 509–513.
- [37] Weste, N. & Eshraghian, K., *Principles of CMOS VLSI Design: A Systems Perspective*. United States of America: Addison–Wesley, 1985.
- [38] *Hspice MOSFET models manual*. United States of America: Synopsys, 2005. Version X–2005.09.
- [39] Fang, C., Huang, C., Wang, J., & Yeh, C., "Fast and compact dynamic ripple carry adder design", in *Proc. IEEE Asia Pacific Conf. on ASIC*, Aug. 2002, pp. 25–28.
- [40] Burd, T. D., & Brodersen, R., "Processor design for portable systems", *J. VLSI Sig. Proc. Sys.*, vol. 13, no. 2–3, pp. 203–221, Aug./Sep. 1996.
- [41] Hastings, A., *The art of analog layout*. Upper Saddle River, NJ: Prentice Hall, 2001.
- [42] Pelgrom, M. J. M., Duinmajer, A. C. J., & Welbers, A. P. G., "Matching Properties of MOS Transistors", *IEEE J. Solid-State Circuits*, vol. 24, pp. 1433–1440, Oct. 1989.
- [43] *UMC 0.13um Logic Enhancement Process High Speed 1.2V MOSFET Monte Carlo Mismatch SPICE Model*. UMC, Jan. 2006. Version 2.3 Phase 1.
- [44] *Hspice simulation and analysis user's guide*. United States of America: Synopsys, 2005. Version X–2005.09.
- [45] Krishnamurthy, R. K., Alvandpour, A., Mathew, S., Anders, M., De, V., & Borkar, S., "High–performance, low–power, and leakage–tolerance challenges for sub–70nm microprocessor circuits", in *Proc. 28th Euro. Solid-State Cir. Conf.*, Sep. 2002, pp. 315–321.
- [46] Mathew, S., Anders, M., Krishnamurthy, R. K., & Borkar, S., "A 4 GHz 130 nm address generation unit with 32–bit sparse–tree adder core", in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 126–127.
- [47] Krishnamurthy, R. K., Hsu, S., Anders, M., Bloechel, B., Chatterjee, B., Sachdev, M., & Borkar, S., "Dual supply voltage clocking for 5 GHz 130 nm integer execution core", in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 128–129.
- [48] Mathew, S., Anders, M., Bloechel, B., Nguyen, T., Krishnamurthy, R. K., & Borkar, S., "A 4GHz 300mW 64b integer execution ALU with dual supply voltages in 90nm CMOS", in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2004, pp. 162–163.
- [49] Vangal, S., Hoskote, Y., Somasekhar, D., Erraguntla, V., Howard, J., Ruhl, G., Veeramachaneni, V., Finan, D., Mathew, S., & Borkar, N., "A 5 GHz floating point multiply–accumulator in 90 nm dual Vt CMOS", in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2003, pp. 334–335.

- [50] Montiel–Nelson, J. A., Nooshabadi, S., & Eshraghian, K., "Gallium Arsenide Based Fast Feed Through Logic (FTL)", in *Proc. IEEE Int. Symp. Cir. and Sys.*, Jun. 1997, pp. 1884–1887.
- [51] Lin, Y. S., & Radhakrishnan, D., "Delay efficient 32-bit carry–skip", *VLSI Des.*, vol. 2008, no. 2, pp. 1–8, Jan. 2008.
- [52] Chirca, K., Schulte, M., Glossner, J., Wang, H., Mamidi, S., Balzola, P., & Vasiliadis, S., "A Static Low–Power, High–Performance 32-bit Carry Skip Adder", in *Proc. IEEE of the Digital System Design, EUROMICRO Systems*, Aug. 2004, pp. 615–619.

Parte IV

Anexos

In: CMOS Technology
Editor: Frank Columbus, pp. 1-35

ISBN XXXXXXXXXX
© 2007 Nova Science Publishers, Inc.

Chapter 1

FEEDTHROUGH: AN ENERGY EFFICIENT CMOS LOGIC FAMILY FOR ARITHMETIC CIRCUITS

*Victor Navarro-Botello, Juan A. Montiel-Nelson, and † Saeid Nooshabadi**

Institute for Applied Microelectronics
University of Las Palmas de Gran Canaria

E3 5017 Canary Islands, Spain

† Department of Information and Communications
Gwangju Institute of Science and Technology
500-712, Republic of Korea

PACS 05.45-a, 52.35.Mw, 96.50.Fm. **Keywords:** CMOS arithmetic circuits.

Key Words: feedthrough logic, CMOS digital integrated circuits, digital arithmetic, high speed integrated circuits, low power design. **AMS Subject Classification:** 93C62, 94C10, 06E30, 11A25.

*E-mail address: vnavarro, montiel@juma.ulpgc.es, saeid@gist.ac.kr

Abstract

In this chapter we present a comprehensive and up-to-date study on the feedthrough logic (FTL) concept for designing high performance arithmetic circuits in CMOS technology.

The FTL logic family, for high speed and low power CMOS applications, was introduced by the authors in the recent past. FTL works successfully on the domino concept with the added feature that gates commence evaluation even before their input signals are valid. This is accomplished by means of initial quasi transition of all the FTL cells to a high gain point. This fact results in very fast evaluation time in the computational blocks for the final evaluation when inputs arrive. Furthermore, the well known problems of domino logic, such as the need for output inverters and charge redistribution, are completely eliminated, thus reducing the chip area and delay, and improving the performance.

The FTL is well suited to arithmetic circuits where the critical path is made of a large cascade of inverting gates. Furthermore, FTL based circuits perform better in high fanout and high switching frequencies due to both lower delay and dynamic power consumption.

Experimental results, from the chip measurements, demonstrated superior performance of the FTL ripple carry adders (RCA) when compared with the dynamic domino and traditional CMOS logic styles. Our 14-bit low power implementation performs faster, (2.6 times smaller propagation time delay, and 1.85 times higher maximum frequency), and provides a better energy efficiency (3.11 times or 67.9%), when compared with the dynamic domino style. On the other hand, an 18-bit high speed FTL design, working at maximum frequency, outperforms the dynamic domino logic in terms of the propagation delay (19.5 times less), maximum frequency (12.1 times more), and energy efficiency per bit (29.97 times or 96.7% better). Moreover, the same 18-bit high speed FTL adder outperforms other high performance adders, such as multilevel CSAs, in terms of both, energy efficiency (1.72 times) and propagation time delay (1.78 times).

However, FTL is very sensitive to the device mismatch, and the variations in the capacitive loads in the manufacturing process. We show how the sensitivity of the FTL based design can be improved through very clever design techniques.

This chapter also discusses the capabilities of the FTL logic in practical applications, and how to extend the use of this logic to larger word-length arithmetic circuits.

1. Introduction

Reduction in the energy dissipation, in CMOS integrated circuits, while maintaining the high performance, has been the topic of intense research in the recent past. The proposed design techniques trade power for performance in the delay critical sections of the circuit [1]–[5]. To achieve this goal the mix of dynamic and static circuit styles [2], use of dual supply voltages [3]–[5], and dual V_T transistors [5], have been proposed.

To improve the performance of arithmetic circuits, a new logic family called *feedthrough logic* (FTL) was proposed by Montiel–Nelson and Nooshabadi for the integrated circuits in GaAs technology [6, 7]. FTL works on the domino concept for dynamic circuits, with the added feature that gates commence evaluation even before their inputs are valid. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic — such as the limitation

4 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

of non-inverting only logic, charge redistribution and the need for output inverters — are completely eliminated [8], thus reducing the chip area and delay, and improving the performance.

FTL shows a high design flexibility; it can be used in domino-like cascaded stages, differential style, multiple output logic with iterative networks. It also can be pipelined with fast dynamic latches [6].

The FTL principle of operation was presented in [9]. Unlike other dynamic logic families, FTL resets the output nodes to low when the clock signal (ϕ) is set high. When the clock signal goes low, cascaded gates rise to their switching threshold value of V_{TH} , performing a partial transition to a high gain point. During this low phase of ϕ , cascaded stages evaluate their inputs in a domino-like fashion, with the output nodes only making a partial transition from the V_{TH} point to high or low logic levels.

The main challenge in the design of FTL based circuits is, however, maintaining the V_{TH} stability for long cascaded circuit structures, which is the key factor in the fast logic evaluation and high performance of FTL based circuits.

The FTL concept was successfully introduced by the authors in CMOS technologies for high performance and low power arithmetic circuits [10]. This research was also extended to high speed circuits, and the adder sensitivity against variations in the capacitive load, temperature, power supply, process corner and noise coupling was analyzed for the high speed and low power FTL families [11]. Our pre-layout results in [11, 12] showed substantial performance improvement of FTL with respect to standard static fully complementary CMOS, pseudo-NMOS and dynamic domino logic design styles.

This chapter provides a comprehensive insight into the FTL design style, which includes the previously published work and extensive new material not available elsewhere. Specifically the reader will find the following up-to-date material on FTL.

- It provides an in-depth analysis and evaluation of the performance of the basic cells, and comparison with the equivalent standard static CMOS logic. The presented analysis and evaluation develops further insight into the working of the proposed FTL structures that can be utilized to optimize FTL based circuits.
- It presents the physical implementation of a set of Ripple Carry Adders (RCA) FTL adders. We compare their features with a corresponding set in the dynamic domino CMOS logic, based in post-layout simulation results. Useful implementation details are given to facilitate the use of FTL design style in other arithmetic circuits.
- The analysis of the performance variation of the implemented RCA cells against process variations and device mismatching due to the manufacturing process is presented, through a set of Monte-Carlo simulations.
- Chip measurements results are presented and discussed for the RCA cells. We show how our 14-bit low power FTL adder improves the energy efficiency (3.11 times or 67.9%), enhances the maximum achievable clock frequency (1.85 times), and provides for a smaller evaluation time (2.6 times), when compared with the dynamic domino RCA. Furthermore, our 18-bit high speed FTL RCA outperforms the dynamic domino logic in terms of the maximum clock frequency (12.1 times), propa-

gation time delay (19.5 times), and energy efficiency (29.97 times or 96.7%) when operating at the maximum clock frequency.

- Differential RCA cells are introduced to the reader. Pre-layout and sensitivity analysis sections have been presented with the corresponding simulation results.

The material in this Chapter is organized as follows. Section 2 explains in details the principle of operation of FTL and provides a simple, but effective, way for estimating of the delay performance of FTL and standard static CMOS gates. Section 3 presents various FTL circuit structures and provides the simulation results for a simple inverter gate implemented in those structures. In this section simulation results are analyzed and practical applications of FTL are identified. The design and analysis of high performance and low power adders in various FTL structures are presented in Section 4. The section also presents the differential and non-differential RCA cells, as well as the pre-layout simulation results. The key issues addressed in the design of adders with long propagation chain is of the particular interest for the development of other high performance FTL structures. The sensitivity analysis of the designed adders with respect to word-length size and technology process parameters are discussed in Section 5. Section 6 presents the implementation of the non-differential RCA cells using the $0.13 \mu\text{m}$ 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC. Our post-layout results demonstrate that the FTL concept can be utilized to increase the pipeline logic depth, to beyond ten gate stages used in the current deep-submicron CMOS technologies [13, 14]. Monte-Carlo analysis of the physical implementation of RCA structures in both dynamic domino and FTL is presented in Section 7. Section 8 sums up the measurement results of the FTL adders implemented on a test-chip, and Section 9 discusses and develops the context for the use of FTL structures. Finally, the main conclusions are presented in Section 10.

2. FTL principle of operation

The basic structure of a FTL gate is shown in Fig. 1(a). It consists of an NMOS logic network (*NMOS block*), an NMOS transistor (T_r) for resetting the output node to low logic level, together with a pull up PMOS load transistor (T_p). T_r and T_p are controlled by the clock signal (ϕ).

During the high phase of ϕ (reset phase), the FTL output node is pulled to ground (GND) through T_r . When ϕ goes low (evaluation phase), T_r is turned off, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, node *out* is pulled up toward V_{cc} (inverting logic), otherwise, it will remain low. Note that, the difference between the FTL and the other dynamic logic families, such as domino CMOS, that are based on charge storage, is that it does not need output inverters to restore the polarity or to avoid discharging of the output node. An FTL gate can freely evaluate to high or low logic levels during the evaluation phase.

Consider a long chain of inverters as shown in Fig. 1(b). Let us assume that all output nodes of the inverting chain are completely discharged as result of a previous reset phase. Also assume that all the gates in the chain are subjected to identical load and drive conditions. Now, let us observe the three intermediate nodes N_{N-1} , N_N , and N_{N+1} in the chain.

6 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

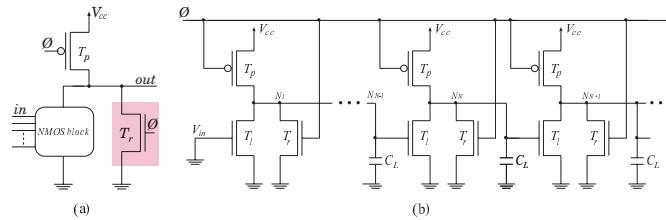


Figure 1. (a) Basic structure of FTL gate, and (b) Long chain of FTL inverters: transistor level circuit diagram.

When the clock signal falls, the input node of the $N+1$ stage (N_N) is at the ground level, causing the output node (N_{N+1}) to begin charging. But the input node (N_N) is itself the output node of the previous stage, which have its own input node (N_{N-1}) at low potential. So, because of identical drive and capacitive load condition at each of the intermediate stages, both output nodes (N_N and N_{N+1}) will begin rising together. On the other hand, because of the inverting nature of the gates, as input nodes at the intermediate stages reach the voltage threshold of the gate (V_{TH} , point where $V_o = V_i$ in the DC transfer curve) the output nodes will stop rising and will remain at V_{TH} (Fig. 2).

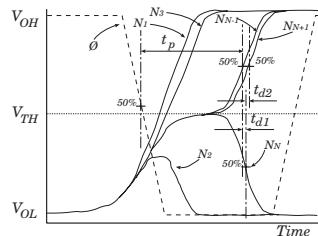


Figure 2. Plot of voltages at intermediate nodes (N_{N-1} , N_N and N_{N+1}) of a long chain of FTL inverters.

However, due to eventual propagation of the input of the inverter chain across the intermediate stages, will force the input node of the N stage (N_{N-1}) to high or low logic levels, which in turn will cause its output node (N_N) to evaluate to the opposite logic level. All the intermediate stages behave in the identical manner. They start evaluation by first reaching the V_{TH} voltage, and then make the final transition to the final logic level.

So, we conclude that all the gates in the chain are subjected to a simultaneous initial pre-evaluation stage to an intermediate voltage (V_{TH}), before going through the final evaluation stage. This pre-evaluation not only reduces the swing in the final transition, but also speeds it up. The speed up is due the fact that at the V_{TH} point, all gates in the inverting chain

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 7

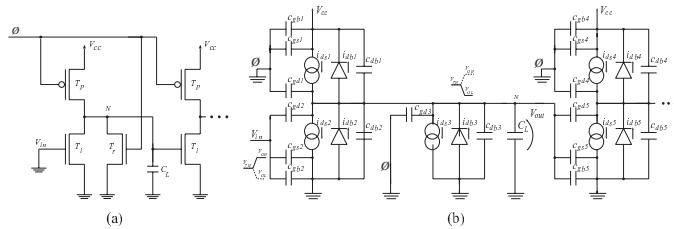


Figure 3. Analysis of FTL inverter: (a) circuit diagram, and (b) equivalent circuit for the transient analysis.

are operating in a high gain region. This feature distinguishes the FTL from other logic families. At V_{TH} point any small variation in the input nodes would cause a fast transition of the voltage at the output node. In all other logic families for the output node to begin transition, the inputs need to cross the threshold voltage. Furthermore, in FTL when the valid inputs to a gate are asserted, the gate output needs only make a partial transition from V_{TH} to V_{OH} or V_{OL} . The higher speed of FTL is due to the reduction in both low-to-high and high-to-low propagation time delays.

Next, we develop a very simple relation for the estimation of the propagation time delay (t_p), for the FTL and standard static CMOS inverters, in the inverter chain structure of Fig. 1(b). The transistor level circuit diagram for a FTL inverter and its small signal equivalent circuit are shown in Fig. 3(a) and 3(b), respectively. To compute the propagation time delays, we can use the equivalent small signal circuit to obtain the various circuit parameters associated with node N , including the net current into the node (I_N), the node capacitive value (C_N) and the voltage transition behaviors. However, to simplify the expression for the delay estimation we use an equivalent average current (\bar{I}_N) and capacitive load (\bar{C}_N) at node N in both high-to-low and low-to-high transitions, for the region of interest as:

$$\Delta t = \bar{C}_N \frac{\Delta V}{\bar{I}_N} \quad (1)$$

Next, with the aid of Fig. 4, we develop a simple model for the gate propagation time delay in both the standard static CMOS and FTL. For the low-to-high transition, at the output of a gate in a cascaded chain, we identify two voltage levels: V_{id} and V_{oc} . Voltage level V_{id} denotes the input voltage when the input discharging current is 50% of its maximum value. V_{oc} denotes the input voltage at the point where the output charging current is 50%. Similar voltage points for the high-to-low transition are V_{ic} and V_{od} . Points V_{ic} and V_{od} are identified in Fig. 5 for the standard static CMOS and FTL inverters.

The values of V_{ic} , V_{od} , V_{id} and V_{oc} from simulation are -23.83 mV, 611.33 mV, 1172.88 mV and 415.57 mV for the standard static CMOS gate; and 690.10 mV, 780.90 mV, 625.85 mV and 554.48 mV for FTL. For the standard static CMOS, the identification of V_{ic} , V_{od} , V_{id} and V_{oc} points are made with respect to the starting point of minimum undershoot and maximum overshoot voltage points in the observed transient analysis.

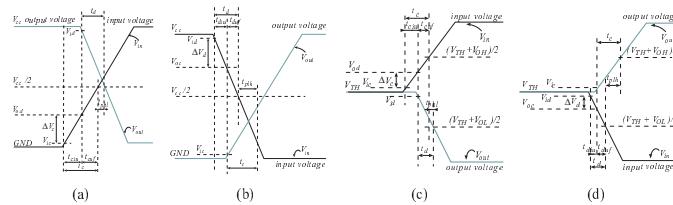


Figure 4. Simple model for gate propagation time delay. Output versus input voltage for static CMOS (a) high-to-low, (b) low-to-high; and FTL (c) high-to-low, (d) low-to-high transitions.

Consider the high-to-low output transitions in Fig. 4(a) and 4(c). If an input transition takes t_{ciu} to charge from V_{ic} to V_{od} voltage, and then t_{cuf} to get to the final 50% transition point, the total charge time (t_c) will be $t_c = t_{ciu} + t_{cuf}$. The same procedure is applied for obtaining the total discharge time (t_d) for the low-to-high output transitions. Assuming the chain of identical inverters cascaded together, where the role of input and output can be easily changed, from Fig. 4 we can develop the delay expressions:

$$\begin{aligned} t_{phl} &= t_d - t_{cuf} = t_{diu} + t_{duf} - t_{cuf} \\ t_{plh} &= t_c - t_{duf} = t_{ciu} + t_{cuf} - t_{duf} \\ t_p &= \frac{t_{phl} + t_{plh}}{2} = \frac{t_{diu} + t_{ciu}}{2} \end{aligned} \quad (2)$$

Therefore, we obtain the average propagation time delay t_p in terms of the input charge (discharge) time from the initial voltage V_{ic} (V_{id}) to the final voltage V_{od} (V_{oc}). This simplifies the analysis as we only require linearization of current around a small transition range.

Next, by computing t_{ciu} and t_{diu} using Equation 1, we demonstrate the superior performance of FTL over the standard static CMOS logic.

To compute the average current values flowing into node N , we average the current values at two points of interest in the transition. The average discharge current (\bar{I}_{Nd}) in the low-to-high output transition is computed from the linear approximation of the curves in Fig. 5(a) and 5(b) for the standard static CMOS and FTL inverters. We first use the curves in Fig. 5(c) and 5(d) to identify the V_{od} points. Similarly, we identify V_{ic} points in Fig. 5(a) and 5(b). Current end points, for the low-to-high output transition, are fixed at V_{ic} and V_{od} points. The same procedure is applied to identify the average charge current (\bar{I}_{Nc}) values for the high-to-low output transition. Current end points, for the high-to-low output transition, are fixed at V_{id} and V_{oc} points. Note in Fig. 5(a) and 5(b) that for an FTL gate the current flows into the output node as soon as input transition begins. This is contrary to the behavior of the traditional CMOS logic where a large input swing is required before a noticeable current is observed flowing into the output node. This is the main advantage of FTL.

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 9

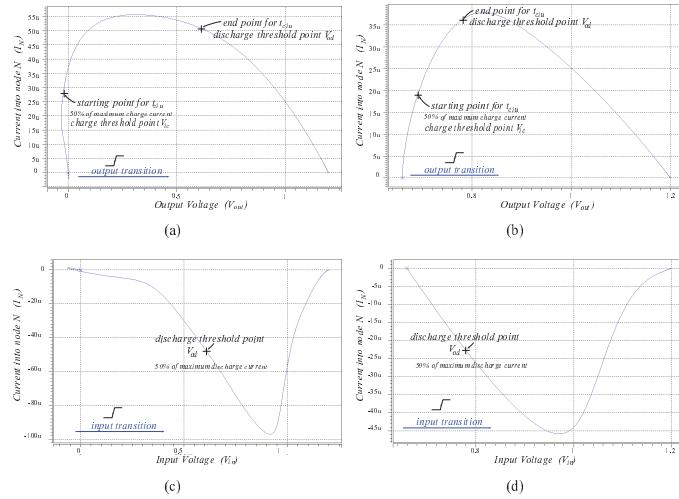


Figure 5. Plots of charge/discharge current for estimation of t_{ciu} . Current into output node (I_N) versus output voltage (V_{out}) for low-to-high output transition for: (a) static CMOS and (b) FTL. Current into output node (I_N) versus input voltage (V_{in}) for high-to-low output transition: (c) static CMOS and (d) FTL. The technology is $0.13\text{ }\mu\text{m }1.2\text{ V} / 3.3\text{ V}$ 1P8M Logic High Speed Process from UMC.

Average values for the charge and discharge currents are $\bar{I}_{Nc} = 39.332\text{ }\mu\text{A}$ and $\bar{I}_{Nd} = -72.515\text{ }\mu\text{A}$ for the standard static CMOS inverter, and $\bar{I}_{Nc} = 27.607\text{ }\mu\text{A}$ and $\bar{I}_{Nd} = -30.058\text{ }\mu\text{A}$ for the FTL inverter.

The voltage swing for the low-to-high transition ΔV_c is obtained as the difference of the final voltage V_{od} and the initial voltage V_{ic} . Similarly, voltage swing for the high-to-low transition ΔV_d is obtained from the final voltage V_{od} and the initial voltage V_{id} . Computed voltage swings for the standard static CMOS are 635.10 mV and -757.21 mV for ΔV_c and ΔV_d , respectively. Voltage swings for FTL are 90.80 mV and -71.37 mV for ΔV_c and ΔV_d , respectively.

Finally, by inserting the computed values for the average current and voltage swing in Equations 1 and 2, we obtain,

$$t_p = \frac{\bar{C}_N}{2} \frac{\Delta V_c}{\bar{I}_{Nc}} + \frac{\bar{C}_N}{2} \frac{\Delta V_d}{\bar{I}_{Nd}}$$

$$t_{PCMOS} = 13.2953 \times \bar{C}_{N_{CMOS}}(\text{fF})$$

$$t_{PTL} = 2.8317 \times \bar{C}_{N_{FTL}}(\text{fF})$$

10 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

We observe that propagation time delay in the FTL structure is 4.69 times less for the same average capacitance. This value is near to the results obtained from the simulation, which shows a speed up factor of 3.85. The reason for the error in the current estimation can be attributed to the averaging of current values from the current end points, which assumes a linear current behavior. In addition, average capacitive values for the high-to-low and low-to-high transitions are almost equal for both, standard static CMOS and FTL, based on the simulation.

3. CMOS-FTL evaluation

3.1. Proposed structures

To satisfy the trade-off between the performance and power consumption, two basic FTL structures were proposed in [11]. These structures are shown in Fig. 6. Two FTL structures are derived from the pseudo-NMOS logic family for high speed applications, (Figs. 6(a) and 6(b)) and the standard static fully complementary CMOS logic family for low power applications, (Figs. 6(c) and 6(d)). Each of these basic structures can operate in two configurations with reference voltage set to 0 ($V_{ref} = 0$) or $V_{cc}/2$ ($V_{ref} = V_{cc}/2$). With reference to Fig. 2, we observe that the initial stages have a different behavior from the other stages, as they never have enough time to reach to the V_{TH} point. However, with $V_{ref} = V_{cc}/2$, dissimilarity in the initial voltages is removed. As will be seen in Section 4, the low power structure with $V_{ref} = V_{cc}/2$, will provide advantage in the shorter word-length adder circuits. Considering the complexity associated with providing for the extra supply voltage $V_{cc}/2$, clock phase $\bar{\phi}$ and transistor T_n , low power structures with $V_{ref} = V_{cc}/2$ configuration are not suitable for long word-length adder circuits. On the other hand, high speed structures with $V_{ref} = V_{cc}/2$ can provide much higher performance in long word-length adder circuits.

The high speed structures have static power consumption, in the evaluation stage, due to the short-circuit current from the power supply through T_p and NMOS evaluation block. In reset phase, there is no static power consumption for $V_{ref} = 0$. However, circuit topology with $V_{ref} = V_{cc}/2$ exhibits static consumption because current flows to GND through T_r (reset transistor) and the NMOS block.

Low power structures remove the static power consumption, in both reset and evaluation phases, by means of T_p and T_n transistors as shown in Fig. 6(c) and 6(d). Note that the low power structure with $V_{ref} = 0$ uses a single clock phase. As no current flow is possible to GND during the evaluation phase, T_n transistor from Fig. 6(d) is removed. The main disadvantage of low power structures is that they have a higher input load than high speed ones, and, therefore, are slower. But because of reduced static power consumption, low power structures outperform the standard static CMOS structure, even at low operating frequencies.

On the other hand, high leakage current in the deep-submicron regime is becoming a significant contributor to power dissipation of CMOS circuits as threshold voltage, channel length, and gate oxide thickness are reduced. In order to minimize the leakage power dissipation, several circuit techniques have been proposed such as multi-threshold voltage CMOS (MTCMOS) using sleep transistor, variable threshold voltage CMOS (VTCMOS)

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 11

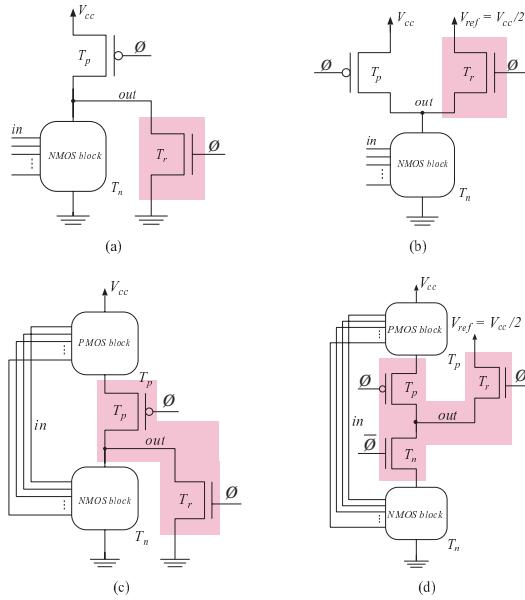


Figure 6. Proposed FTL structures: (a) high speed structure with $V_{ref} = 0$, (b) high speed structure with $V_{ref} = V_{cc}/2$, (c) low power structure with $V_{ref} = 0$ and (d) low power structure with $V_{ref} = V_{cc}/2$.

using variable substrate bias voltage, or input pattern control [15, 16]. Note that FTL design conduces to reduced leakage current as it share some of the common design techniques of low power design. The clocked transistors T_p and T_n of FTL structures are sleep transistors, therefore, reducing the overall subthreshold current due to stack effect. Moreover, these transistors can be implemented using high V_T devices, while the logic block transistors can be implemented using low V_T devices, as a variant of MTCMOS. Furthermore, $V_{ref} = 0$ structures also contribute to the reduction in the leakage current during the sleep mode. Only high speed FTL structure using $V_{ref} = V_{cc}/2$ is susceptible to high leakage currents for nanoscale CMOS circuits.

3.2. Analysis results for the basic cells

To compare the proposed FTL structures against the standard static CMOS structures, a basic inverter cell in a long chain of inverters (Fig. 1(b)) is simulated. We used a $0.13\text{ }\mu\text{m}$

12 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

Table 1. Estimation of Circuit Parameters at Node N for the Standard static CMOS and FTL Structures.

Logic family	ΔV (mV)		\bar{I}_N (μA)		\bar{C}_N (fF)		delay (ps)		t_p (ps)	t_p ratio
	charge	discharge	charge	discharge	charge	discharge	t_{ph}	t_{pl}		
CMOS	635.10	-757.31	39.332	-72.515	1.446	1.368	23.354	14.292	18.823	1.00
LP0	88.42	-42.59	14.611	-22.913	1.655	1.641	10.013	3.050	6.531	2.88
LP06	104.78	-94.18	12.321	-18.570	1.825	1.727	15.523	8.761	12.142	1.55
HS0	90.80	-71.37	27.607	-30.058	1.331	1.336	4.378	3.172	3.775	4.98
HS06	90.80	-71.37	27.607	-30.058	1.331	1.336	4.378	3.172	3.775	4.98

CMOS process from UMC, using the parameters for typical process corner at 25°C, with 10 fF capacitive load in all output nodes. Simulation results of propagation delays of the inverter chains for FTL, dynamic domino and static CMOS logic were presented in [11,12]. However here we develop further insight into the operation of FTL by using the circuit parameters, as presented in Section 2, and characterizing the performance of the inverter in terms of capacitive load and frequency of operation.

For a typical inverter in a long chain of inverters, the values of output voltage swing ΔV , average current flowing into node N , \bar{I}_N , average capacitance \bar{C}_N at node N , and propagation time delay t_p for low-to-high and high-to-low transitions are obtained. These circuit parameters, as well as average values of t_p and the speed up (t_p ratio) with respect to the standard static CMOS, are shown in Table 1.

As seen from the data in Table 1 the low power structure with $V_{ref} = V_{cc}/2$ (LP06) does not provide a significant speed up advantage. We will show that this assertion is not true for short logic depth chains. Also, both high speed structures (HS0 and HS06) seems to provide identical performance. Although this is true for the simple inverter gate in a long chain, as will be seen in the next section, the results are different for other practical circuits, such as long word-length adders.

To provide further insight into the operation of FTL structures, we have simulated the propagation time delay versus the fanout for an inverter gate in a 21-stage inverter chain configuration. Each inverter in the chain is identically loaded. The simulation results are shown in Fig. 7(a) and 7(b) for the 1st and 21st stages, respectively. Different stages are shown because the behavior of FTL inverters vary from the first stages to the intermediate ones. Delay at 21st stage is representative of the trend of the FTL inverter delay for long enough chains. However, it must be noted that the delay parameter is almost constant from the 3rd stage onwards. The labeling convention in Fig. 7 follows the syntax “[structure][vref][channel_length]”; where *structure* refers to either high speed (HS) or low power (LP), *vref* refers to either 0 (0) or $V_{cc}/2$ (06), and the *channel_length* identifies two channel lengths of 0.12 μm (012) and 0.35 μm (035) for the high speed FTL structures. The longer channel lengths are used to reduce the static power consumption in the high speed structures.

Note in Fig. 7(a), for the 1st stage, the FTL structures provide no propagation time delay advantage except in the high speed version with $V_{ref} = V_{cc}/2$ and minimum channel length (HS06_012). This is because for this stage there is insufficient time for the rising of

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 13

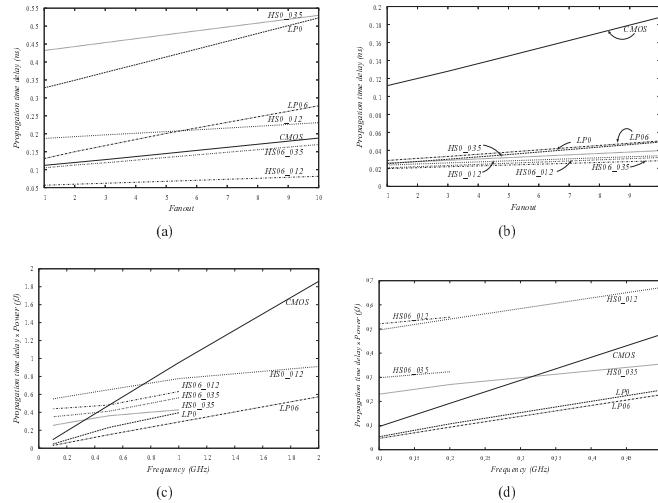


Figure 7. Results of static CMOS and FTL inverters: (a) propagation time delay (delay) versus fanout for the 1st stage, (b) delay versus fanout for the 21st stage, (c) delay–power product versus frequency for the 3rd stage, and (d) delay–power product versus frequency for the 21st stage.

the output to V_{TH} , and consequently, a full transition must be performed. The transition, in absence of pre-evaluation to V_{TH} point, is similar to the CMOS or pseudo-nMOS case for the low power and high speed FTL, respectively. Just a slightly higher delay is obtained for the FTL due to presence of T_p transistors. Note also that the $LP06$ structure significantly improves the delay performance at the first stage, so it can be considered as a suitable alternative for short depth chains. Fig. 7(b), on the other hand, shows that all FTL structures outperform the standard static CMOS for the 21st stage. Similar simulation results are obtained from the 3rd stage onwards because from this stage on, the pre-evaluation voltage reaches V_{TH} , where we get the advantage of the FTL principle.

Delay–power product versus frequency at the 3rd and 21st stages of cascaded inverters are shown in Fig. 7(c) and 7(d). We removed points in which the operating frequency exceeds the maximum operating frequency of the inverter for the corresponding stage number, because of higher evaluation or pre-charge times than half of the period of clock signal (ϕ). Note that pre-charge time is the limiting factor in the $HS06$ inverters.

Power consumption, and consequently delay–power product vary with the stage number, because V_{TH} voltage is maintained at the node for a longer period. This is evidenced in

14 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

the higher slope of the delay-power plots in Fig 7(d) when compared with those of Fig 7(c). The *LP0* structure achieves the lower delay-power product variation for the long cascaded chains, with just 14.3% higher dynamic energy dissipation. On the other hand, the highest dynamic energy variation is achieved by the *HS0_012* inverter, where the dynamic energy dissipation is increased three times from 3rd to 21st stage. Although this inverter has a higher dynamic energy variation across the stages, it exhibits a dynamic energy dissipation that is 10 times less than the CMOS inverter, at the 3rd stage. The rest of FTL inverter structures show higher dynamic energy variation, ranging from 40% to 75%, when going from the 3rd to the 21st stage. Note that the low power FTL inverters easily outperforms the delay-power product of CMOS, because of lower the static and dynamic dissipations. High speed FTL, on the other hand, is a good choice for high speed applications if high frequency of operation is considered to compensate for the high static energy dissipation. Furthermore, channel length can be used in these structures to trade speed for power performance. The simulated power-delay product of the 1st stage is higher in FTL than in the standard static CMOS. So to take advantage of FTL we must ensure that the number of stages are large enough to compensate for the disadvantage of the first stage.

However, for FTL to work in circuits with large number of stages, special care must be taken to avoid dissimilar capacitive loads in all the intermediate stages. This will ensure that all nodes rise together to the threshold voltage V_{TH} . This issue will be further discussed in the design and implementation of RCA cells.

The effect of dissimilar capacitive loads at various intermediate stages, on the performance behavior of the chain, is shown in Fig. 8 for the low power structure with $V_{ref} = 0$. In this example, an excess capacitive load of 1 fF is added to the output of the 11th stage. This excess load delays the rise to V_{TH} at stage 11, which in turn causes delay in the logic evaluation in the subsequent stages, causing the FTL inverter to behave as a CMOS dynamic logic NOR gate. A propagation time delay of 181 ps is obtained at stage 21 for the low power structure, this is 59% higher than the delay in the standard static CMOS structure due to T_p transistor.

Simulation results show that FTL structures with $V_{ref} = V_{cc}/2$ are less sensitive to dissimilar capacitive load effect at the initial nodes, but tend to exhibit the same behavior in the final stages. On the other hand, high speed structures with $V_{ref} = V_{cc}/2$ do not reset all nodes to the same voltage level. The actual voltage levels at each stage depends on the input values during the previous evaluation cycle. However, as we will see later in the analysis of more practical circuits, the overall combined effect of two imbalances; intermediate capacitive load, and reset voltage values, has beneficial effect in increasing logic depth.

3.3. Applications

To sum up, FTL is well suited to applications where the critical path is made of a large cascade of inverting gates. Many arithmetic circuits such as adders, multipliers, FIR stages and other similar structures are clear candidates for implementation on FTL. Furthermore, FTL based circuits provide a clear advantage in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Lower delay variation versus load in FTL is specially suitable for applications, where improving the performance of

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 15

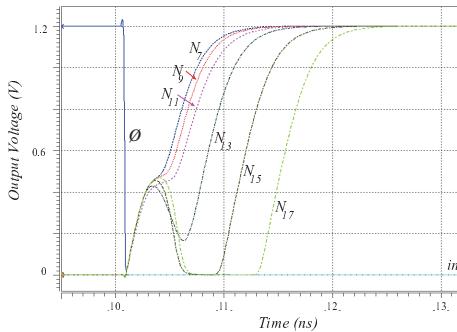


Figure 8. Effect of dissimilar load in the behavior of FTL inverter chain (LP0 structure).

deep pipeline stages is limited by the interconnect delay. In applications with lower power requirements, low power FTL structures can be employed, but at cost of lower speed.

The main challenge in employing FTL structures is to appropriately compensate for dissimilar capacitive loads for two identical nodes under the opposing charging and discharging conditions. Additional transistors are needed to compensate for this dissimilarity. Next section provides some examples of how this compensation can be provided for the long word-length adder structures. The additional transistors, however, will, marginally, increase the overall adder cell complexity.

4. Design Examples

In this section we present the design and optimization of FTL-based RCAs both differential and non differential adders [11,12].

The structure of the basic sum and carry cells (both non differential and differential one) used in the design of long word-length adder circuits are similar to those in [6] and [7]. Due to the inverting property of the non differential RCA cells, and to maintain the correct polarity between them, the a and b inputs of even adder cells and the sum outputs of odd adder cells are buffered through inverters. Ignoring the transistors in the shaded area, these basic cells are presented in Fig. 9. Note that just $V_{ref} = 0$ structures are shown, but identical logic blocks are used for the $V_{ref} = V_{cc}/2$ cells.

The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in pre-evaluation voltages at the cell outputs that are different from V_{TH} , therefore, losing the advantage of the FTL. This effect is termed as *imbalance*, and henceforth, we call the *point of imbalance* to indicate the number of bits at the onset of the imbalance. The load capacitance dissimilarity results in loss of FTL advantage in the fourth bit of the adder in structures with $V_{ref} = 0$ when alternating the different propagation paths

16 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

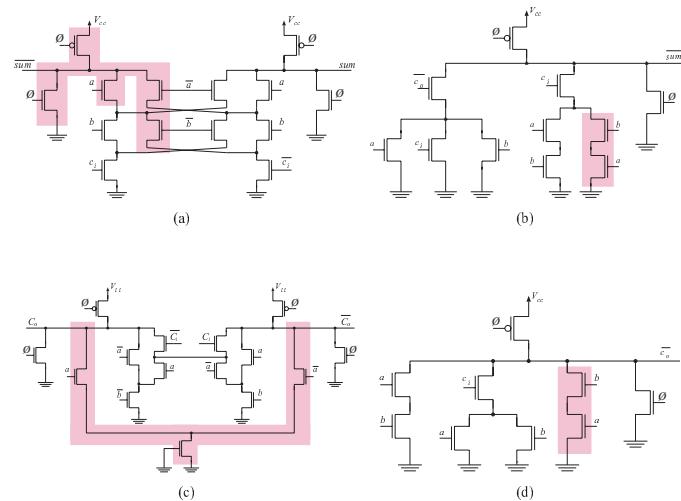


Figure 9. Ripple Carry Adder cells: (a) and (b) are the differential and non differential sum cells respectively, (c) and (d) are the carry cells.

in the addder chain. However, structures with $V_{ref} = V_{cc}/2$ are less sensitive to dissimilar capacitive load effect, maintaining the FTL advantage to 16th adder bit. Similar behavior is observed for the differential and non differential adder cells.

To extend the FTL performance advantage to long word-length RCAs (up to 64 bits) a modified set of capacitive compensated structures for the adder cells have been employed. We compensate for dissimilar dynamic node capacitances by adding extra transistors, as shown in the shaded areas in Fig. 9. This solution increases area although power consumption does not change significantly, as power consumption is dominated by the routing capacities. Note that the added transistors do not alter the logic function of the cell, but improves the device symmetry for the different propagation paths (i.e. $a = 0, b = 1$; and $a = 1, b = 0$ cases). For example, the carry output node in the uncompensated non differential carry cell is loaded with the serial connection of a and b transistors. Unfortunately, the load of this serial connection does not remain constant for $a = 0, b = 1$; and $a = 1, b = 0$ configurations due to body effect, among others. But the corresponding symmetrically capacitive compensated cell does not suffer from this load dissimilarity, as the output node is loaded by two serial connections; one through a and b , and other one through b and a transistors. For the differential carry cells, we switched in the capacitive load of a cut-off device to one of the two branches of the differential structure to compensate for the dissimilarity.

Table 2. Comparison Between the Dynamic Domino and FTL Adders in Terms of Performance (Frequency and Delay), Power, Γ , and their Ratios, and for the Differential and Non Differential Structures.

Logic family	Number of bits	f_{max} (MHz)	t_p (ns)	power (mW)	Γ (fJ/MHz)	Γ ratio	f_{max} ratio	t_p ratio
domino	40	77.059	12.060	0.133	20.752	1.000	1.000	1.000
domino	64	49.414	19.320	0.136	53.290	1.000	1.000	1.000
nodiff.ls0	40	390.396	2.172	4.053	22.549	0.920	5.066	5.552
*nodiff.ls0	64 (42)	188.164	4.937	5.901	154.829	0.344	3.808	3.913
nodiff.ls06	40	292.056	1.970	3.657	24.667	0.841	3.790	6.122
nodiff.ls06	64	195.122	3.021	5.950	92.122	0.578	3.949	6.395
nodiff.lp0	40	255.820	2.440	0.745	7.106	2.920	3.320	4.943
*nodiff.lp0	64 (42)	92.593	9.603	0.542	56.254	0.947	1.874	2.012
*nodiff.lp06	40 (28)	117.082	6.905	0.498	29.370	0.707	1.519	1.747
*nodiff.lp06	64 (28)	57.904	15.640	0.454	122.627	0.435	1.172	1.235
diff.ls0	40	487.329	1.577	6.634	21.468	0.967	6.324	7.647
diff.ls0	64	337.541	2.355	10.520	73.397	0.726	6.831	8.204
diff.ls06	40	340.832	1.366	4.634	18.572	1.117	4.423	8.829
diff.ls06	64	234.852	2.087	7.466	66.346	0.803	4.753	9.257

*Imbalance adders: The numbers in parenthesis indicates the maximum number adder bits before the point of imbalance. The technology is $0.13 \mu\text{m} 1.2\text{ V} / 3.3\text{ V} 1\text{P8M}$ Logic High Speed Process from UMC.

From the capacitive compensated adder cells in Fig. 9, the differential version of the sum and carry cells (see Fig. 9(a) and 9(c)) are less sensitive to capacitive imbalance in the internal nodes, and therefore, most suitable for building higher performance long word-length adders. Although a differential sum cell is not functionally required, it provides a constant input load to the carry cell, improving the balance in the capacitive load.

Non differential structures have also been tested. The basic cells for the sum and carry functions are shown in Fig. 9(b) and 9(d). Non differential structures exhibit more sensitivity to dissimilar loading condition. To reduce the effect of dissimilar capacitive load, we insert non-inverting buffers between the output of the carry cells and the input of the sum cells.

Table 2 shows propagation time delay (t_p), power consumption, and figure of merit (FoM), Γ , expressed as delay-power product over frequency, and its normalized value, for the NP_DRCA domino CMOS [17], non differential high speed (*nodiff_ls*) and low power (*nodiff_lp*) structures; and capacitive compensated differential high speed (*diff_ls*) structure. Note that the FoM (Γ), is a measure of energy efficiency for a given clock frequency (or performance) [18]. Also note that we compared with a high performance compound (logic-logic) dynamic domino configuration [17], instead of a simple (logic-inverter). In Table 2 the relative performance of the FTL structures with respect to the domino logic is presented in terms of ratios of propagation time delay, achievable clock speeds, and Γ . The data in Table 2 are obtained by simulation at the highest achievable clock frequency for each of the 64-bit and 40-bit adders. The simulation parameters include a post-layout estimated minimum load of 10 ff on each node, and the typical process corner and 25°C . Note that the minimum achievable clock period (maximum frequency) is obtained by sum of the minimum evaluation and pre-discharge times required to assure no more than 5% degradation of the voltage levels.

18 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

From the data in Table 2, it can be observed that in the FTL structures, as the number of adder bits increases (before the point of imbalance), speed up improves with respect to the dynamic domino logic. However, this improvement comes at the cost of slight reduction in the normalized Γ ratio (column 7 in Table 2). The lower energy efficiency of long word-length adders in FTL, even in the absence of imbalance effect, is due to the fact that they stay at the V_{TH} point for a longer period, and deliver high current, and therefore, cause higher dynamic power consumption in the end stages than the middle ones. Table 2 shows that the low power structures are not suited for more than 40 bits, in the best case (*nodiff_lp0* adder). High speed adder structures, on the other hand, can be extended to a word-length of 64 bits without losing the FTL advantage (*nodiff_hs06* adder), but requires an additional $V_{ref} = V_{cc}/2$ voltage source. On the other hand, differential high speed adders (*diff_hs* adders) can operate up to 64-bits without neither experiencing the onset of the imbalance effect, nor needing any additional voltage source.

The highest speed up, with respect to the dynamic domino, in terms of frequency (6.8 times) and lower evaluation delay (8.2 times) is achieved with the 64-bit differential high speed adder structure with $V_{ref} = 0$. Its energy efficiency (column 7 in Table 2), on the other hand, is less than the dynamic domino logic by a factor of 0.726 (38% less).

For the 40-bit differential high speed adders with $V_{ref} = V_{cc}/2$ the energy efficiency improves with respect to dynamic domino logic by 10%, while achieving a higher frequency (4.4 times) and a lower evaluation delay time (8.8).

The maximum normalized Γ ratio is reached with non differential low power versions. In this FTL structure, for a 40-bit adder, the energy efficiency is 66% better (2.9 times) than the dynamic domino logic. Speed up factor, in terms of higher frequency (3.3 times), and lower evaluation time (4.9 times) is reached with respect to the dynamic domino.

A closer look at the data presented in Table 2, also, reveals that high speed structures with $V_{ref} = V_{cc}/2$ an average propagation time delay 13% smaller than structures with $V_{ref} = 0$. However, their maximum achievable clock frequencies are lower (39%). That is because the lower evaluation time comes at the expense of higher pre-discharge time.

It is also interesting to note that, low power FTL adders are limited by the early onset of the imbalance. However, before the point of imbalance these structures exhibit a remarkable energy efficiency with respect to domino dynamic logic.

5. Sensitivity Analysis

To prove the superior properties of the proposed FTL structures compared with the dynamic domino CMOS, we have characterized the performance of RCAs against the variations in number of bits and a set of technology parameter; capacitive load, temperature, power supply, process corner and noise coupling [11, 12]. The sensitivity analysis is important as the FTL structures are inherently sensitive to capacitive load dissimilarities. In this section we provide a comprehensive sensitivity analysis [11, 12] with results of differential high speed FTL adders and with an in-depth discussion of the results.

Fig. 10 shows the propagation time delay versus the number of adder bits for various adder structures and word-length configurations. We observe that, due to increased gate complexity, the effect of the capacitive imbalance is felt earlier in the low power structures (*nodiff_lp0*, *nodiff_lp06*). We also note that the differential structures perform better than the

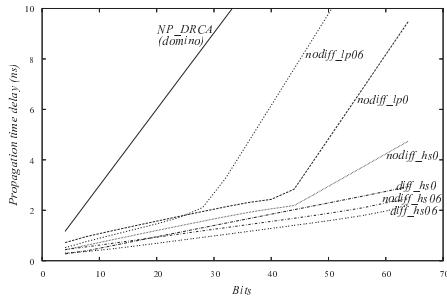


Figure 10. Sensitivity of the propagation time delay of dynamic domino, differential and non-differential FTL adders against number of bits.

non differential ones. Further, high speed structures with $V_{ref} = V_{cc}/2$ provides the best results, providing a linear delay relation with respect to the word-length up to 64 bits. It can also be observed that in the FTL structures, before the point of imbalance, as the number of adder bits increases, the speed up improves with respect to the dynamic domino CMOS. However, beyond the point of imbalance, the rate of increase in the adder propagation time delay with respect to the number of adder bits in the low power FTL structure approaches that of the dynamic domino CMOS. However, the rate of increase for the the high speed FTL structures much lower.

Fig. 11(a)-(d) are plots of propagation time delay per bit versus the variations; in the inter-stage parasitic capacitive load (100% variation from the nominal extracted capacitance of 10 fF), operating temperature (variation from -25 to 125°C), power supply (10% variation from the nominal 1.2 V, ranging from 1.08 to 1.32 V), and process corner (variation from SS to FF corners), respectively. The plots show both, the balanced and imbalanced versions of the proposed FTL adders. The asterisk (*) mark on a curve indicates that the FTL structure has already pass the point of imbalance at the given number of bits.

As seen, the balanced versions of the FTL adders demonstrate lower sensitivity than the imbalanced ones, which in turn, show lower sensitivity than the dynamic domino CMOS for each of the considered parameter. The lower sensitivity of the balanced versions of the FTL structures to various parameters can be attributed to perfect matching of node capacitances. We have verified that by removing the capacitive compensating transistors from the adder cells in circuits of Fig. 9 and repeating the sensitivity analysis on resulting adder chain. Moreover, the differential FTL adders exhibit the lowest sensitivity for the capacitive load, and process corner variations. On the other hand, non differential high speed and low power FTL adders show the lowest sensitivity against power supply and temperature variations, respectively. It must also be highlighted that differential adders always obtain the best speed up ratios under all conditions.

The sensitivity of the balanced versions of the FTL adders versus the inter-stage capacitance (Fig. 11(a)) is 3.8 to 8.2 times less than the dynamic domino CMOS adders. Differ-

20 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

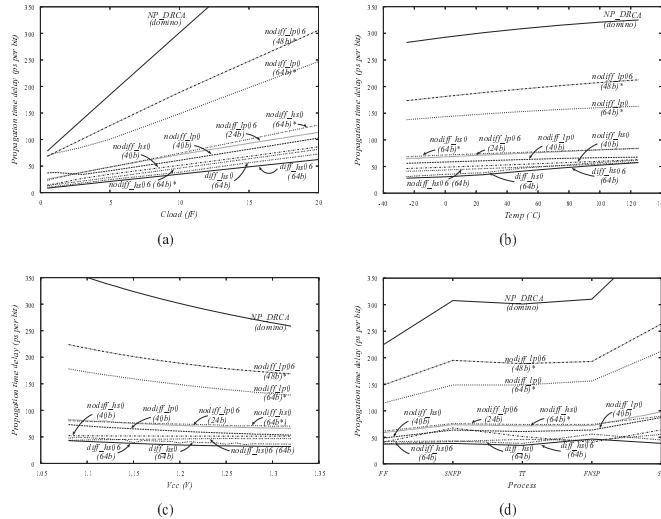


Figure 11. Sensitivity of the propagation time delay of dynamic domino, differential and non-differential FTL adders against (a) capacitive load, (b) temperature, (c) power supply, and (d) process corner. (*) mark indicates FTL structure has already pass the point of imbalance at the given number of bits.

ential high speed FTL adders shows the highest improvement in sensitivity when compared with dynamic domino CMOS, making these structures ideal for high capacitive load conditions, i.e deep-submicron CMOS technologies where routing capacitances dominate.

For the temperature variations (Fig. 11(b)), the sensitivity of balanced versions of the FTL adders is 1.8 to 6.7 times less. Although typically the differential structures are less sensitive to temperature variations, lower sensitivity is detected in the non differential versions of FTL adder; where low power version shows slightly less sensitivity than the high speed version. This behavior can be attributed to better matching and symmetry of capacitive loads in the non differential adders. Consequently, non differential low power FTL adders are best suited when low jitter is required in high operating temperature ranges.

Balanced versions of non differential low power structures and differential high speed ones, are, approximately, 6 times less sensitive to the power supply variations than the dynamic domino CMOS. But note that the non differential high speed structures are, by one to two orders of magnitude, less sensitive (Fig. 11(c)). This characteristic of non differential high speed FTL adders make them ideally suited for low voltage applications, as we could reduce power consumption without incurring the additional cost of increasing the propaga-

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 21

tion time delay. Obviously, noise margins and reliability will impose a limit to lowering the power supply voltage.

Sensitivity of the balanced versions of the non differential FTL adder structures to process variations (Fig. 11(d)), is 3.9 to 8.7 times less than the dynamic domino CMOS adder. Differential FTL adders have even lower sensitivity to process variations (more than 1 order of magnitude with respect to dynamic domino).

Finally, the performance of non differential low power FTL adders with $V_{ref} = 0$ in the presence of a noise source that is capacitively coupled to all the nodes of the adder has been analyzed [11, 12]. We tried several values of coupling capacitances and, therefore, noise amplitudes. To create a maximum adverse at the output nodes, we synchronized the noise pulse width the commencement of the evaluation phase. The noise source has an average frequency and slew rate that is 10 times larger than the clock signal ϕ . A capacitive coupling as high as 3fF, and noise amplitude of more than 220mV, is required to slightly shift the point of imbalance in the FTL adder from bit 40 to bit 36. Higher capacitive coupling and noise amplitude are required for the high speed structures.

6. RCA Implementation

To demonstrate the viability of FTL structures, as an alternative logic family, in practical applications, we laid out a set of FTL and dynamic domino CMOS RCAs. In order to obtain a fair comparison with the NP-domino RCA, we implemented the non differential versions of the FTL adders. Both, low power and high speed logic families for $V_{ref} = V_{cc}/2$ and $V_{ref} = 0$, were laid out using the 0.13 μ m 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC.

The corresponding 1-bit RCA cell layouts, for the non differential FTL and dynamic domino logic families, are depicted in Fig. 12. We used the top metals for power planes and clock distribution. Also, we carefully laid out the FTL compensating transistors (shaded devices in Fig. 9) to minimize dissimilar capacitive loads for the adder cells. As FTL low power adders are more sensitive to capacitive imbalance, we carefully sized and laid out the design to minimize the effect of imbalance. The sizing of basic cells is similar to sizing in traditional CMOS logic or pseudo-nMOS for low power and high speed FTL, respectively. We optimized for delay parameter, and because of reduced fanout and capacitive loads, minimum dimension devices are used. But note that optimal sizing will depend on the fanout and routing capacitances. A key issue in the successful implementation of FTL adders is to ensure the symmetry in the circuit topology thorough the compensating transistors. Further symmetry in the layout may be desirable, but as we will see, such fine grain symmetry is not essential even for the long word-length adders.

We designed 64-bit RCAs in each of the FTL structures, and through the post-layout simulations identified the bit position where the effect of imbalance is observed. We next, reduced the word-length for each FTL adder to the maximum number of bits before the onset of imbalance and simulated the corresponding adder circuit to characterize its performance. The adder structures were simulated with all extracted post-layout interconnect parasitics included, using a distributed RC model for the parasitic extraction.

Our post-layout simulation shows that it is possible to implement the balanced high speed and low power versions of the FTL structures with word-length extending to 40 and

22 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

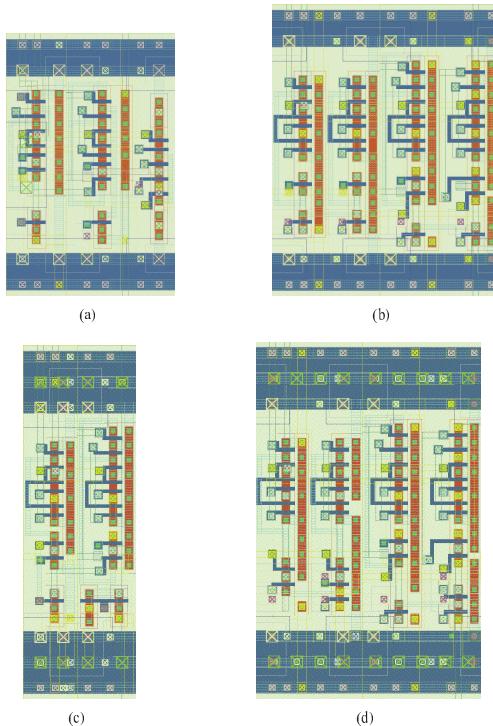


Figure 12. Layout of the implemented RCAs: (a) domino, (b) low power FTL with $V_{ref} = 0$, (c) high speed FTL ($V_{ref} = 0; V_{ref} = V_{cc}/2$), and (d) low power FTL with $V_{ref} = V_{cc}/2$.

20 bits, respectively, when $V_{ref} = V_{cc}/2$. This can be easily achieved without carrying high effort in the design of the layout (no complete layout symmetry, but high symmetry in the compensating transistors). For the case of $V_{ref} = 0$, however, the point of imbalance for high speed and low power structures would reduces to bit 32 and 16, respectively.

To improve the robustness of FTL structures against the capacitive imbalance in the physical implementation, we also did a symmetric layout of the adder cells, where each transistor and node were carefully placed to assure symmetry in the capacitive load. Strong symmetry requirements have been used to meet the design constraints of the com-

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 23

mon centroid technique [19]. Device splitting configured in parallel connection has been used to allow for complete symmetric layout in the transistors and routing. The symmetric designs allow for a factor from 1.2 to 1.5 increase in the number of bits before the onset of the imbalance. Although this increase in the number of bits is particularly noticeable in the low power structures, it comes at the cost of increased layout complexity, and therefore, higher routing capacitive load. This, incurs additional delay (1.4–2 times), layout area (2.3–2.7 times), and the power consumption (1.4–3.6 times), when compared with non symmetric layout cells.

Maximum number of bits, delay, power consumption, overall FoM, or energy efficiency rating (Γ), and the corresponding improvement ratios for extracted layouts are presented in Table 3. We simulated the FTL adders at both, maximum operating frequency and 100 MHz, and compared their performance with the equivalent adders in the dynamic domino logic. Note that performance parameters in Table 3 are expressed as per bit quantities. This facilitates comparative evaluation of the performance of various adders differing in word-lengths and operating frequencies.

For each adder structure in Table 3 there are two more bit numbers (placed in parenthesis). These numbers correspond to the maximum numbers of bits for a clock period of 10 ns. The first number corresponds to an asymmetric clock, where the reset phase is set to the minimum time required, and the remaining time is used for the evaluation phase. The second number assumes that the clock signal is symmetric with 5 ns dedicated for both the reset and evaluation phases.

As seen in Table 3, all FTL adders perform better in terms of frequency, delay and energy efficiency in comparison with the domino logic. The best energy efficiency rating (a factor of 2.06 improvement) is obtained for the low power FTL adder, when compared with the dynamic domino logic. The clock frequency of this adder is 1.57 times higher than the domino logic. The high speed FTL adders allow for considerable improvement in the maximum operating frequency (4.5 times higher), while maintaining a superior energy efficiency (a factor of 1.64 better) in comparison with the dynamic domino logic. It is also remarkable that the performance of the low power FTL adder with $V_{ref} = 0$ does not depend on the clock frequency, because of the complete elimination of all the leakage and

Table 3. Results of the Implemented Adders, Taken From Post–Layout Simulations.

Logic family	Number of bits	freq (MHz)	t_p (ps/bit)	power (nW/MHz/bit)	$\Gamma \times 10^6$ (fJ/MHz/bit)	Γ ratio	f_{max} ratio	t_p ratio
domino	16 (54,28)	100.000 288.476	177.375	23.994 23.334	4255.891 4138.835	1.000 1.000	1.000	1.000
nodiff_lp0	16 (43,29)	100.000 452.552	64.063	32.300 31.902	2069.219 2043.747	2.057 2.025	1.569	2.769
nodiff_lp06	20 (42,31)	100.000 301.941	62.600	65.900 40.057	4125.340 2507.595	1.032 1.651	1.261	2.833
nodiff_hs0	32 (157,89)	100.000 737.251	31.750	396.875 107.621	12600.781 3416.969	0.338 1.211	4.648	5.587
nodiff_hs06	40 (160,99)	100.000 576.758	21.700	544.500 116.687	11815.650 2532.103	0.360 1.635	4.455	8.174

(x,y) in parenthesis are maximum number of bits for asymmetric and symmetrical 10 ns period clock, respectively.

24 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

short-circuit currents.

Note that, even with a capacitive imbalance effect in full play, the high speed FTL adder can extend to an impressive 160 bits for 10 ns symmetric clock (99 bits for the asymmetric clock), which is near 3 (3.5 for asymmetric clock) times longer than the dynamic domino adder. Under the similar clocking condition, the low power FTL structure, on the other hand, can accommodate no more than a few additional bits when compared with the dynamic domino logic. Its inferior performance is due to the early onset of the imbalance effect in the low power FTL structure. Also, note that high speed FTL structure with $V_{ref} = V_{cc}/2$ performs slightly better than the structure with $V_{ref} = 0$.

7. Monte-Carlo Analysis

To evaluate the performance of the FTL over the process variation and mismatch we run a series of Monte-Carlo simulations over the FTL HS adder structure, using $V_{ref} = 0$. A simplified distributed capacitance + coupling capacitance (C+CC) model for all inter and intra cell connections was used for the layout extraction, in order to speed up the simulations. We note that performing HSPICE simulation with this simplified C+CC model, the imbalance appears at the 36th bit instead of the 40th bit obtained with extraction with the complete distributed RC model. To obtain statistically significant Monte-Carlo simulation runs we used $\sigma = 3$ and 30 iterations, as recommended by the technology manufacturer and the HSPICE manual.

Waveform plots, for the low-to-high transition, for the 12th and 16th bit, are presented in Fig. 13. Waveform plots in Fig. 13(a) correspond in the Monte-Carlo analysis, with only process variation effect. We note that the delay variation is not significant, as was concluded in the sensitivity analysis in the previous section. The waveform plots of Fig. 13(b) include both process variation and device mismatch effects. Out of the total of 30 iterations 13 show the imbalance effect at the 16th bit, and 6 at the 12th bit.

Fig. 14 plots the propagation time delay versus the adder word-length. Results of Monte-Carlo iterations, with process variation and device mismatch, are shown for the

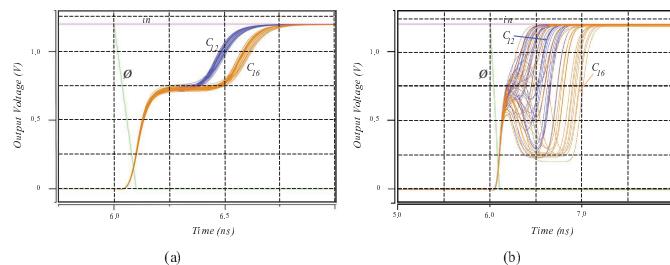


Figure 13. Waveforms of Monte-Carlo simulations: (a) process corner, and (b) process corner and device mismatching.

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 25

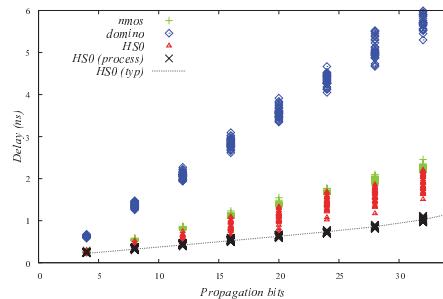


Figure 14. Propagation time delay vs. number of adder bits.

high speed (*HS0*), the pseudo-nMOS (*nMOS*), and dynamic domino (*domino*) adders. Both high-to-low and low-to-high transitions are considered. We also simulated, as reference, the cases of with just process variation (*HS0(process)*), and typical corner (*HS0(typ)*), for the high speed FTL *HS0* adder. It can be seen that, before the onset of the imbalance, the delay of the *HS0* adder approaches its typical case, *HS0(typ)*. But once imbalance occurs, the delay variation increases and approaches the pseudo nMOS case (*nmos*). For the 12-bit word-length only few of *HS0* iterations exhibit delays that are extended to that of the nMOS cases. However, the number of such cases for the 16-bit word-length dramatically increases.

Finally, Fig. 15 shows the accumulated number of iterations with the imbalance in full play versus the number of adder bits, for high-to-low and low-to-high transitions. Two cases of process variation without and with device mismatch are considered. To see the effect of layout, we performed simulations on two circuits extracted from the compact layout (CL) and symmetric layout (SL) versions that were discussed in the previous section. It was observed that a) the point of imbalance for the compact layout version of the FTL *HS0* adder is no worse than the case of symmetric layout version, when effects of both process variation and device mismatch are taken into account. However, with just process variation considered (in the absence device mismatch) the imbalance point for the compact layout is much lower than the symmetric layout. This shows that in the presence of the process variation and mismatch, topological rather than the layout symmetry holds the key to the performance of FTL structures; b) the process variation, alone does not shift the imbalance point for the FTL *HS0* structure when compared to the typical case; and c) the limiting effect is the device mismatch, which causes significant imbalance at the 16th bit, although its effect is insignificant at the 12th bit. We can set the imbalance point to be near 14 bits if we allow for 50% of the cases to be at point of imbalance.

It can be concluded that, although the *HS0* FTL adder has low sensitivity to variations in the global parameters, such as process corner, it is highly sensitive to local parameters variations, such as device mismatch. Further work is required to improve robustness of FTL logic against the variations in the local parameters.

26 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

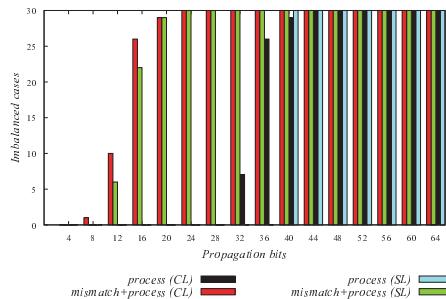


Figure 15. Imbalanced iterations vs number of adder bits, for compact layout (CL) and high-area symmetric layout (SL).

8. RCA Test Chip

To prove potentials of the FTL as a practical CMOS logic family, we implemented a set of non differential FTL adders on a CMOS test-chip. The test-chip includes the layouts for a 64-bit RCA in the high speed FTL structure, which can be used with either $V_{ref} = 0$ (HS0, Fig. 6(a)) or $V_{ref} = V_{cc}/2$ (HS06, Fig. 6(b)), and two 32-bit RCAs in the low power structures, for use with $V_{ref} = 0$ (LP0, Fig. 6(c)) and $V_{ref} = V_{cc}/2$ (LP06, Fig. 6(d)), respectively. Note that we can also configure the low power structure LP06 to use $V_{ref} = 0$. This configuration produces a modified version of the LP0 structure (LP06_0). A die photograph of the FTL RCA test-chip is depicted in Fig. 16.

The test-chip includes additional circuitry for I/O and global signal buffers, clock tree buffers, multiplexors and serialization circuitry for the input and output data. Additional

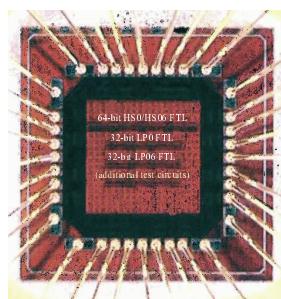


Figure 16. Die photograph of the manufactured FTL test chip.

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 27

care has been taken in the physical implementation to achieve layout symmetry in the critical sections of the FTL adders. To reduce the clock skew, the buffered clock lines enter the FTL adder structures from four corners and are distributed across in a symmetrical fashion to each adder bit cell.

To measure the performance of the FTL test-chips, we designed a printed circuit board (PCB), connected to a high speed signal generator (HP8133A), and a high speed digitizing oscilloscope (HP54121) through 50 ohms transmission lines and low loss 50 ohms connector cables for the signal injection and monitoring of the carry input/output and the clock signals. With this set up we minimized the signal degradation and achieved accurate sampling (10ps) in the measurement. Our test set also includes power supplies (HM8142), and digital multimeters (HC3500T). The PCB is connected to a personal computer by means of the RS-232 serial port, to allow for easy access and configuration of the test-chip; *i.e.* the setup of the input words for the FTL adders, and the selection of an output from the FTL structures on the test-chip.

We removed the contribution of the delay and power from the non-FTL circuitry through a series of calibrations. As part of the calibration, we also measured the total power consumption of the whole chip by forcing the FTL structures into permanent evaluation phase ($\text{clk}=0$; $\text{nclk}=1$). In this case the high speed and low power FTL RCAs behave similar to their corresponding CMOS and nMOS-like adders. This measurement is used as reference for comparisons. For calibration purposes the power dissipation was also measured when the FTL structures was forced into permanent reset phase ($\text{clk}=1$; $\text{nclk}=0$).

We performed a set of delay measurements by changing the word-lengths of the inputs into the FTL RCAs to observe the behavior of the delay as a function of number of propagation bits for all FTL structures and with $V_{ref} = 0$ and $V_{ref} = 0.6V$, using a clock with 50% duty cycle. For the reference purposes we also carried out a similar set of delay measurements for the cells configured in the permanent evaluation phase ($\text{clk}=0$; $\text{nclk}=1$). To calibrate for the delay through the test set up and the I/O buffers, we measured the delay by bypassing the carry input to the carry output.

For the test-each chip, we measured the average delays, taken over 1024 samples, and the maximum and minimum delays taken over over a 10 second time period, to account for jitters, or on-chip variations. We performed the measurements on a total of 7 chips. The average delay, and the maximum and minimum delay variations for the on-chip and chip-to-chip measurements, as a function of word-length are shown in Fig. 17.

From the test-chip measurement plots in Fig. 17 we observe that the maximum number of bits at the onset of imbalance is similar to the number obtained in the MonteCarlo analysis of Section 7. The imbalance effect appears at the 18th bit for the high speed *HS0* and *HS06* FTL adders, at the 14th bit for the low power *LP06* adder, and at the 10th bit for the *LP0* adder. A maximum difference of 4-bit is observed from the chip measurements and the MonteCarlo simulations for the *HS0* adder. This small difference can be easily explained due to the limited accuracy of the MonteCarlo device model and the simplified extraction model that was used to speed up the simulations. So, we can safely conclude that the early onset of the imbalance can be attributed to the transistor and capacitive mismatches in the manufacturing process. Note that the delay variation is small before the point of imbalance, but once the imbalance sets in, the chip-to-chip variation dramatically increases. This is because during the evaluation phase the imbalance can push the output nodes towards or

28 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

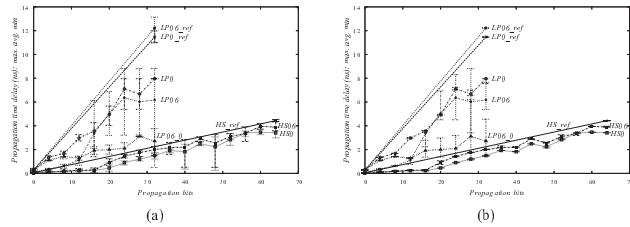


Figure 17. Delay measurements: (a) chip-to-chip variations, (b) on-chip jitter.

away from the final logical value, depending on the characteristics of capacitive mismatch. The on-chip variation, on the other hand, is small except for the *LP06* structure, indicating that it is the most variation sensitive structure.

The calibrated power measurements on the test-chips, correspond to the sum of dynamic and static power consumption of all the FTL structures (64-bit *HS* adder, 32-bit *LP0* adder, 32-bit *LP06* adder) and clock buffers. In order to obtain an accurate estimation of power dissipation of the individual FTL structures before the points of imbalance, we correlated the total power consumption from the test-chip measurements with the power profiling from the post-layout simulations. To do that we performed a series of measurements on the test-chip set up in several configurations, in permanent evaluation phase, and two FTL operations modes with $V_{ref} = 0$ and $V_{ref} = 0.6V$. We also performed a series of power profiling through post-layout simulations of the corresponding adder circuits under the identical configurations. Through correlation, we obtained a set of static and dynamic correction scaling factors, to estimate power contribution of each the FTL adders on the test-chip, from their post-layout simulation values.

Table 4 presents the delay and energy performance of the FTL adders on the test-chips. We also estimated the performance of the domino dynamic logic adders, by applying the same correction scaling factor for the speed, static and dynamic power consumption as was applied to the post-layout simulation estimates of the reference adder cell (*LP0.ref*) configured in permanent evaluation phase (factors of 1.17, 0.94 and 1.44, respectively). We applied the same scaling factor as adder cells for *LP0.ref* and domino dynamic logic have very similar layout complexity, number of devices, and final post-layout performance.

We estimated the performance in terms of the measured static and dynamic and total power consumptions, and delay per bit, using both, a 100 MHz clock and the maximum achievable operating frequency. Note that in order to obtain a fair comparison (in terms of throughput), the dynamic power consumptions of the reference cells (*HS.ref*, *LP0.ref* and *LP06.ref*) correspond to the rate of change of the carry input, set to half of the clock frequency.

The first four columns of Table 4 identify the adder structure, the maximum number of bits before onset of imbalance, the static (P_s) power dissipation per bit, and dynamic energy consumption per clock period (E_d) per bit. The next two columns present the data for the

Table 4. Estimated Performance of FTL Adders with Number of Bits Set at the Point of Imbalance, from Test Chip Measurements

Logic family	Bits	P_s (uW/bit)	E_d (nW/MHz/bit)	t_{p0} (ns)	t_p (ps/bit)	freq (MHz)	$\Gamma \times 10^6$ (fJ/MHz/bit)	Γ ratio	f_{max} ratio	t_p ratio
HS.ref	18	69.654	10.071	0.055	68.436	777.248	6822.14	1.000	1.000	1.000
		0.027	58.942	0.167	208.855	238.612	12333.72	0.553	0.307	0.328
		38.296	25.089	0.055	10.723	2880.459	411.59	16.575	3.706	6.382
		42.502	17.070	0.014	17.149	1388.836	817.52	8.345	1.787	3.991
LP0.ref	10	0.009	27.084	0.280	349.564	264.880	9478.97	1.000	1.000	1.000
		0.027	58.942	0.167	208.855	396.816	12324.36	0.769	1.498	1.674
		0.013	41.500	0.280	190.411	403.530	7908.06	1.199	1.523	1.836
LP06.ref	14	0.009	26.394	0.298	372.759	181.263	9856.81	1.000	1.000	1.000
		0.027	58.942	0.167	208.855	298.020	12329.04	0.799	1.644	1.785
		2.948	45.885	0.069	86.835	385.764	4648.08	2.121	2.128	4.293
		0.022	48.341	0.298	81.753	550.597	3955.29	2.492	3.038	4.560

initial delay (t_0) and the delay per bit (t_p). The initial delay is due to the CMOS/nMOS-like behavior of the first adder bit, where the FTL effect is not yet in play. Note that FTL adders with $V_{ref} = V_{cc}/2$ almost eliminate the initial delay because of pre-charging the output node to a voltage close to V_{TH} . All cells in the permanent evaluation phase (*HS.ref*, *LP0.ref*, and *LP06.ref*) are used to establish reference points for comparisons. As these structures behave similar to the corresponding CMOS/nMOS adders with the same capacitive load, it will allow us to observe the relative superior performance of FTL, compared to the standard static fully complementary CMOS/nMOS logic families.

Results of Table 4 indicate that the best performance is obtained by the 18-bit high speed FTL adder with $V_{ref} = 0V$, which improves the energy efficiency per bit by a factor of 16.6, (working at maximum operating frequency), reduces the propagation time delay by a factor of 6.38 and increases the maximum achievable frequency by a factor of 3.7, with respect to the corresponding nMOS-like structure (*HS.ref*). The corresponding improvements with respect to domino dynamic logic are a factor of 30, increase in the energy efficiency, 19.5 times reduction in the propagation time delay and 12.1 times increase in the maximum operating frequency. Note that, in the high speed FTL structures energy efficiency degrades with the lowering of operating frequency. On the other hand, due to absence of static power dissipation in the dynamic domino logic, its energy efficiency remains unchanged with the frequency. At 100 MHz clock rate, the high speed *HS* FTL adder achieves a energy efficiency factor of only 2.83 over the domino dynamic logic.

On other hand, the energy efficiencies of the low power adders with $V_{ref} = 0V$ do not change with frequency. This is again due to absence of static power dissipation in the low

30 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

power structures. However, the $V_{ref} = 0.6V$ structure shows significant degree of variation in the energy efficiency with the change in the frequency of operation due to presence of the static power dissipation with $V_{ref} = 0.6V$ power supply.

The best performance is obtained by the *LP06* adder structure using $V_{ref} = 0V$ (*LP06_0*). This adder exhibits 2.5 times better energy efficiency, 4.56 times reduction in the propagation time delay per bit and 3 times increase in the maximum frequency, when compared with the corresponding CMOS-like reference cell (*LP06_ref*). If we compare the performance results for this FTL adder with results for the dynamic domino logic, we obtain a 3.11 times better energy efficiency, 2.6 times reduction in the propagation time delay and 1.85 times increase in the maximum frequency. Note that the performance of *LP0* adder is marginally worse due to higher delay difference (near 3 times) from the post-layout simulations to the test-chip measurements. The loss of performance of *LP0* with respect to *LP06* is most likely due absence of topological symmetry that is present in the later (see Fig. 6(c) and Fig. 6(d)). Nevertheless, when compared with domino dynamic logic, even with similar performance level in terms of propagation time delay (1.10 ratio) and maximum frequency (1.02 ratio), *LP0* exhibits a remarkable superior energy efficiency by a factor of 1.56.

We compared the obtained results for the *HS0* FTL RCA cell with a high performance delay and low power version of a multilevel 32-bit carry skip adders (CSA) [20, 21], that outperforms some well-known high performance adders, such as the Brent-Kung, Ladner-Fisher, Kogge-Stone, or Sklansky adders, in terms of delay and energy efficiency. To reduce the delay and power consumption of the CSA adder in [21], it is divided into variable-sized blocks that balance the inputs to the carry chain. Within blocks, highly optimized carry look-ahead logic, which computes block generate and block propagate signals, is used to further decrease delay. These adder architectures decrease power consumption by reducing the number of logic levels, glitches, and transistors.

Note that the CSA adders in [21] and [20] are implemented in $0.25\mu m$ and $0.13\mu m$ CMOS technologies, respectively. So, we used the improvement ratios in [20] and the performance estimations in [21] to obtain the estimated performance of the CSA adder in [21] in the equivalent $0.13\mu m$ CMOS technology. Table 5 sums up the performance parameters of CSA adders in [20, 21], and our *HS0* adder. Our *HS0* RCA cell outperforms the adders in [20, 21] in terms of propagation time delay (by a factor of 2.2 and 1.78), and energy efficiency (2.89 and 1.72 ratios), while obtaining similar power consumption (1.07 and 0.79 ratios).

Table 5. Comparison of *HS0* FTL adder and other high performance adders.

Logic family	t_p (ps/bit)	E_t (nW/MHz/bit)	$\Gamma \times 10^6$ (fJ/MHz/bit)
[21]	23.53	30.13	708.96
[20]	29.06	40.94	1189.64
<i>HS0</i>	13.17	38.38	411.59

9. Discussion and Further Work

From the test-chip measurements we can make the following inferences:

- The symmetry in the circuit topology is the key to the higher performance of FTL structures. High level of symmetry is required in the layout of the compensating devices for proper operation, but is not needed in the rest of the layout.
- The FTL structures are not suited to be used as assorted logic. They are most suitable for regular structures like adder and multiplier cells.
- The high speed FTL structures offer the best tolerance with respect to the mismatch in the process parameters. This is due to lower complexity in the topology of the circuit.
- The high speed FTL structures offer the best energy efficiency for high clock frequencies, even though they suffer from high static power dissipation.
- The low power FTL structures should be used when power dissipation (and not the energy efficiency) is of primary concern.
- To safeguard against the imbalance effect caused by the capacitive and device mismatch, the FTL structures should be employed for small size arithmetic blocks like pipeline RCAs, carry save adders, and carry select adders, where word-length depth per pipeline stage is no more than 8 and 16 bits, for the low power and high speed FTL structures, respectively.

To facilitate design of FTL circuits, the following design guidelines are in order:

1. Candidate circuits for FTL are easily implemented as they form a chain of inverting cells. Moreover, the inverting cells should maintain a close logic symmetry.
2. It is important to identify the different propagation paths of the basic FTL inverting cell, and accurately estimate the difference between their load conditions. Additional transistors must be added to compensate for the dissimilarities that may have been found.
3. Buffering can help ensuring that the output load is constant, independent of the propagation path and the load cells.
4. Estimate the post-layout capacitances and optimize sizing to achieve the better performance in terms of the desired parameter; speed, power, energy, or sensitivity.
5. For the physical implementation, start with the compensating transistors. We also need to achieve high symmetry in the routing, because the symmetry in the signal paths is a key factor in the reliability of middle and long word-length chains. Strict symmetry of the logic through the compensation capacitances in the the basic cell is vital, but layout symmetry is not required unless device mismatch is no longer the limiting factor in the FTL implementation.

32 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

6. To minimize the device mismatch effect, place all devices along the same orientation. Otherwise, the device mismatches are higher in the current CMOS technologies [22]. It is also desirable to obtain maximum cell symmetry to minimize stress effects.
7. Buffering of both, the input and output nodes, with identical buffer cells is desirable to ensure the identical voltage conditions at the input nodes, and maximum isolation of the outputs to the variations in the capacitive load or fanin.

A major weakness of the FTL style over static, domino and np-CMOS designs is that it only suits regular arithmetic structures and not assorted gates. Although FTL no doubt shows excellent performance and reliability over conventional design styles, further work is required in the design and characterization of various FTL gates for the assortment of digital circuits. Moreover, the RCA is not a practical structure beyond 16 bits, as higher performance topologies are available, such as parallel prefix, Manchester carry chain adder (MCC), carry look ahead (CLA), or CSA. These structures require more than just a full adder cell.

For example, CSA is a clear candidate to be implemented in FTL. The basic operation of this topology can be translated to a cascaded operation of multiplexors (for the skip section) and RCA cells (for the adder blocks). Each operation can be separated; parallel computation of the carry output at each adder block, skipping of correct carry signals to the carry inputs by the multiplexors chain, and finally, correct computation of the sum words at each adder block. Fixed word-lengths of the adder blocks can be used for the initial design. Note that the results of our FTL *HS0* adder design are superior in terms of energy (1.72 times) and delay (1.78 times) per bit when compared with other high performance adders [20]. Therefore, a simple pipelined adder formed by two *HS0* adder stages will exhibit even better performance than these high performance topologies. Consequently, high delay and energy efficiency improvement can be expected from CSA implementations in FTL style.

Other important drawback on the FTL design is the difference between the post-layout simulations and chip measurement results in the delay parameter. The limited accuracy of the models for the HSPICE simulator in the UMC technology dictates the accuracy of the Monte-Carlo analysis. To design reliable circuits with FTL, efforts have to be focused on the utilization of implemented design blocks in a larger circuit design. So, characterization of implemented circuits, based on chip measurement results, will be a key issue for the future development of FTL.

The design of asynchronous FTL circuits also seems as an interesting possibility. FTL operation inherently implies the management of three logic levels; high, low, and *still computing* (while nodes are kept at V_{TH}). This feature allows for identification of the *end-of-operation* (EOO) condition, that are a quite natural to asynchronous logic. A key factor in the design of EOO logic is to obtain fast enough detectors so that the delay overhead will not be significant when compared with the very high speed of FTL logic.

Finally, further work is required to improve the robustness of FTL against the device mismatch of the manufacturing process. Although pipelining is an effective way for extending the use of FTL to long word-length arithmetic circuits, some efforts must be focused on studying lower sensitive FTL structures and characterizing the sensitivity parameter against other design parameters (such as maximum short-circuit current, or DC gain at V_{TH}). FTL

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 33

implementations of differential and cascode voltage switch logic (CVSL) adders are clear candidates to be analyzed.

10. Conclusion

In this paper, we proposed a new class of logic family for CMOS technology based on the *feedthrough evaluation* concept. FTL structures can be tailored for the high speed or low power circuits with long logic depth, such as high performance ripple carry adders.

FTL logic stages (differential and non differential) can be cascaded without using interstage inverters, reducing propagation time delay with respect to domino dynamic logic families in CMOS. Charge redistribution problems associated with dynamic families are also removed in the FTL structures.

We designed, and laid out a set of non differential RCAs to evaluate the performance of the FTL adder structures. The test-chip measurements of this set of adders show that propagation time delay of arithmetic circuits employing high speed FTL structures outperform the dynamic domino structure by a factor of 12.1. The energy efficiency per bit is improved by a factor of 30. Even high performance and delay efficient multilevel CSAs, which improves energy and delay of Bret-Kung and many other parallel adders, are outperformed by our high speed FTL adder in terms of both, energy efficiency (1.72 times) and delay (1.78 times). Low power FTL structures outperform the domino logic by a factor of 2.6 in terms of propagation delay time, while improving the energy efficiency per bit by a factor of 2.83.

References

- [1] Krishnamurthy, R. K., Alvandpour, A., Mathew, S., Anders, M., De, V., & Borkar, S., "High-performance, low-power, and leakage-tolerance challenges for sub-70nm microprocessor circuits", in *Proc. 28th Euro. Solid-State Cir. Conf.*, Sep. 2002, pp. 315–321.
- [2] Mathew, S., Anders, M., Krishnamurthy, R. K., & Borkar, S., "A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder core", in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 126–127.
- [3] Krishnamurthy, R. K., Hsu, S., Anders, M., Bloechel, B., Chatterjee, B., Sachdev, M., & Borkar, S., "Dual supply voltage clocking for 5 GHz 130 nm integer execution core", in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 128–129.
- [4] Mathew, S., Anders, M., Bloechel, B., Nguyen, T., Krishnamurthy, R. K., & Borkar, S., "A 4GHz 300mW 64b integer execution ALU with dual supply voltages in 90nm CMOS", in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2004, pp. 162–163.
- [5] Vangal, S., Hoskote, Y., Somasekhar, D., Erraguntla, V., Howard, J., Ruhl, G., Veeramachaneni, V., Finan, D., Mathew, S., & Borkar, N., "A 5 GHz floating point multiply-accumulator in 90 nm dual Vt CMOS", in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2003, pp. 334–335.

34 Victor Navarro-Botello, Juan A. Montiel-Nelson, and Saeid Nooshabadi

- [6] Nooshabadi, S., & Montiel-Nelson, J. A., "Fast Feedthrough Logic: A High Performance Logic Family for GaAs", *IEEE Trans. Circ. Syst. I*, vol. 51, no. 11, pp. 2189–2203, Nov. 2004.
- [7] Montiel-Nelson, J. A., Nooshabadi, S., Armas, V., Sarmiento, R., & Núñez, A., "High Speed GaAs Subsystem Design using Feed Through Logic", in *Proc. Design, Automation and Test in Euro. Conf 1999 (DATE'99)*, Mar. 1999, pp. 509–513.
- [8] Rabaey, J. M., Chandrakasan, A., & Nikolić, B., *Digital Integrated Circuits: A Design Perspective –2e*. Upper Saddle River, NJ: Prentice Hall, 2003.
- [9] Montiel-Nelson, J. A., Nooshabadi, S., & Eshraghian, K., "Gallium Arsenide Based Fast Feed Through Logic (FTL)", in *Proc. IEEE Int. Symp. Cir. and Sys.*, Jun. 1997, pp. 1884–1887.
- [10] Navarro-Botello, V., Montiel-Nelson, J. A., & Nooshabadi, S., "Low power and high performance arithmetic circuits in feedthrough CMOS logic family for low power applications", *ASP J. Low Power Electronics*, vol. 2, no. 2, pp. 300–307, Aug. 2006.
- [11] Navarro-Botello, V., Montiel-Nelson, J. A., & Nooshabadi, S., "Analysis of high performance fast feedthrough logic families in CMOS", *IEEE Trans. Cir. & Syst. II*, vol. 54, no. 6, pp. 489–493, Jun. 2007.
- [12] Navarro-Botello, V., Montiel-Nelson, J. A., & Nooshabadi, S., "High performance low power CMOS dynamic logic for arithmetic circuits", *Microelectron. J.*, vol. 38, no. 4–5, pp. 482–488, Apr. 2007.
- [13] Oklobdzija, V. G., "Clocking and clocked storage elements in a multi-gigahertz environment", *IBM J. Res. and Dev.*, vol. 47, no. 5/6, pp. 567–583, Sept./Nov. 2003.
- [14] Hrishikesh, M. S., Jouppi, N. P., Farkas, K. I., Burger, D., Keckler, S. W., & Shivakumar, P., "The Optimal Logic Depth Per Pipeline Stage is 6 to 8 FO4 Inverter Delays", in *Proc. Int. Symp. Comp. Arch.*, May 2002, pp. 14–24.
- [15] Kim, K. K., Kim, Y. B., Choi, M., & Park, N., "Leakage Minimization Technique for Nanoscale CMOS VLSI", *IEEE Design and Test of Computers*, vol. 24, no. 4, pp. 322–330, July/Aug. 2007.
- [16] Roy, K., Mukhopadhyay, S., & Mahmoodi-Meimand, H., "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits ", in *Proc. IEEE*, vol. 91, no. 2, pp. 305–327, Feb 2003.
- [17] Fang, C., Huang, C., Wang, J., & Yeh, C., "Fast and compact dynamic ripple carry adder design", in *Proc. IEEE Asia Pacific Conf. on ASIC*, Aug. 2002, pp. 25–28.
- [18] Burd, T. D., & Brodersen, R., "Processor design for portable systems", *J. VLSI Sig. Proc. Sys.*, vol. 13, no. 2–3, pp. 203–221, Aug./Sep. 1996.
- [19] Hastings, A., *The art of analog layout*. Upper Saddle River, NJ: Prentice Hall, 2001.

Feedthrough: An Energy Efficient CMOS Logic Family for Arithmetic Circuits 35

- [20] Lin, Y. S., & Radhakrishnan, D., "Delay efficient 32-bit carry-skip", *VLSI Des.*, vol. 2008, no. 2, pp. 1–8, Jan. 2008.
- [21] Chirca, K., Schulte, M., Glossner, J., Wang, H., Mamidi, S., Balzola, P., & V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, Vassiliadis, S., "A Static Low-Power, High-Performance 32-bit Carry Skip Adder", in *Proc. IEEE of the Digital System Design, EUROMICRO Systems*, Aug. 2004, pp. 615–619.
- [22] Pelgrom, M. J. M., Duinmajer, A. C. J., & Welbers, A. P. G., "Matching Properties of MOS Transistors", *IEEE J. Solid-State Circuits*, vol. 24, pp. 1433–1440, Oct. 1989.

Analysis of High-Performance Fast Feedthrough Logic Families in CMOS

Victor Navarro-Botello, *Student Member, IEEE*, Juan A. Montiel-Nelson, *Member, IEEE*, and Saeid Nooshabadi, *Member, IEEE*

Abstract—This brief presents a new CMOS logic family using the feedthrough evaluation concept and analyzes its sensitivity against technology parameters for practical applications. The feedthrough logic (FTL) allows for a partial evaluation in a computational block before its input signals are valid, and does a quick final evaluation as soon as the inputs arrive. The FTL is well suited to arithmetic circuits where the critical path is made of a large cascade of inverting gates. Furthermore, FTL based circuits perform better in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Experimental results, for practical circuits, demonstrate that low-power FTL provides for smaller propagation time delay (4.1 times), lower energy consumption (35.6%), and similar combined delay, power consumption and active area product (0.7% worst), while providing lower sensitivity to power supply, temperature, capacitive load and process variations than the standard CMOS technologies.

Index Terms—CMOS digital integrated circuits, CMOS logic circuits, feedthrough logic (FTL), high-speed arithmetic circuits, low-power arithmetic circuits.

I. INTRODUCTION

THE current design techniques trade power for performance in the delay critical sections of the circuit [1]–[4]. This is achieved through a mix of dynamic and static circuit styles [1], [2], use of dual supply voltages [3], and dual V_T transistors [4].

This brief proposes a new logic family called *feedthrough logic* (FTL). This family improves the performance of arithmetic circuits, with a very long logic depth, while reducing the power dissipation, when compared with standard CMOS circuits. FTL was successfully employed, by the authors, for integrated circuits in GaAs technology [5]. FTL works on the domino concept for dynamic circuits, with the added feature that gates commence evaluation even before all their inputs are valid. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well-known problems associated with the domino logic [6], [7]—such as the limitation of non-inverting only logic, charge redistribution and the need for

output inverters—are completely eliminated, thus reducing the chip area and delay, and improving the performance.

FTL logic shows high design flexibility; it can be used in domino-like cascaded stages, differential style, and multiple output logic with iterative networks. It can also be pipelined with fast dynamic latches [5].

In order to prove the usefulness of FTL in practical applications, we present the design of a set of FTL adders and compare their features with a corresponding set of adders in the standard CMOS. We present the simulation results of the ripple carry adder (RCA) structures, for the implementation on 0.13- μm 1.2 V/3.3 V 1P8M logic high-speed process from UMC.

We have designed multiple versions of the FTL structures for low-power and high-speed applications. Design and sensitivity analysis of one version of low-power FTL structures (with the reset phase voltage of 0 V, ($V_{\text{res}} = 0$)) in CMOS technology against the capacitive load, temperature, power supply, process variation and noise coupling, has been studied in [8]. This brief extends the FTL logic family and the sensitivity analysis to high-speed and low-power structures using the reset phase voltages of $V_{\text{res}} = 0$ and $V_{\text{cc}}/2$.

II. FTL PRINCIPLE OF OPERATION

The basic structure of a FTL gate is shown in Fig. 1(a). It consists of an nMOS logic network (*nMOS block*), an nMOS transistor (T_r) for resetting the output node to low logic level, together with a pull up pMOS load transistor (T_p). T_r and T_p are controlled by the clock signal (\emptyset).

The basic principle of operation of a FTL circuit in CMOS was presented [9] and is briefed here. During the high phase of \emptyset (reset phase), the FTL output node is pulled to ground (GND) through T_r . When \emptyset goes low (evaluation phase), T_r is turned off, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, node out is pulled up toward V_{cc} (inverting logic), otherwise, it will remain low. Since in FTL the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated.

Consider a long chain of inverters as shown in Fig. 1(b). When the clock signal falls, the outputs of the cascaded gates begin to rise to the gate threshold voltage V_{TH} Fig. 1(c). At this voltage point all gates in the circuit are in a high gain point. This feature distinguishes the FTL from other logic families. At V_{TH} point any small variation in the input nodes would cause a fast variation of the voltage at the output node. In all other logic families for the output node to begin transitioning, the inputs need to cross the threshold voltage. Furthermore, in FTL when the valid inputs to gate are asserted, the gate outputs need only make a partial transition from V_{TH} to V_{OH} or V_{OL} . The higher speed of FTL is due to the reduction in both low-to-high and high-to-low propagation time delays.

Manuscript received September 18, 2006; revised November 27, 2006. This work was supported in part by the Ministry of Information and Communications (MIC), Republic of Korea, under the IT Foreign Specialist Inviting Program (ITFSIP) by the Institute of Information Technology Assessment (IITA), Spanish Ministry of Science and Technology under Grant TEC2005-08138-C02-01 (ENDIVIA Project), and in part by the Foundation of the University of Las Palmas de Gran Canaria (FULP) and UNELCO, under Grant INNOVA. This paper was recommended by Associate Editor S. Tsukiyama.

V. Navarro-Botello and J. A. Montiel-Nelson are with the Institute for Applied Microelectronics, University of Las Palmas de Gran Canaria, E-35017 Las Palmas de Gran Canaria, Spain (e-mail: vnavarro@iuma.ulpgc.es; montiel@iuma.ulpgc.es).

S. Nooshabadi is with the Department of Information and Communications, Gwangju Institute of Science and Technology, Gwangju 500-712, Korea (e-mail: saeid@gist.ac.kr).

Digital Object Identifier 10.1109/TCSII.2007.891759

1549-7747/\$25.00 © 2007 IEEE

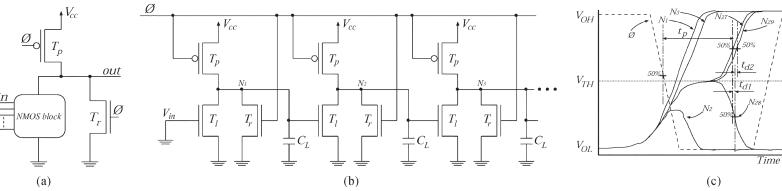


Fig. 1. (a) Basic structure of FTL gate. Long chain of FTL inverters. (b) Transistor-level circuit diagram. (c) Plot of the output voltages from first stage (N_1) to 29th stage (N_{29}) of inverters.

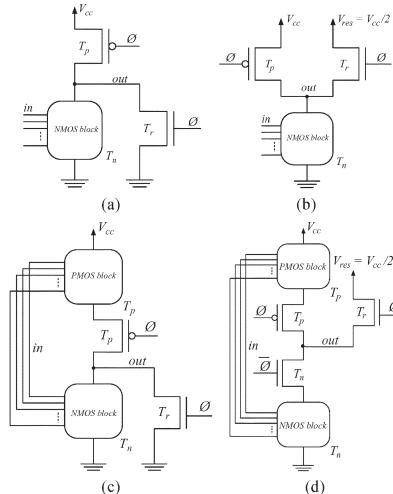


Fig. 2. Proposed FTL structures. (a) HS0: high-speed structure with $V_{res} = 0$. (b) HS06: high-speed structure with $V_{res} = V_{cc}/2$. (c) LP0: low-power structure with $V_{res} = 0$. (d) LP06: low-power structure with $V_{res} = V_{cc}/2$.

The main challenge in the design of FTL based circuits is, however, maintaining the V_{TH} stability for long cascaded circuit structures, which is the key factor in the fast logic evaluation and high performance of FTL based circuits.

III. FTL PERFORMANCE RESULTS

A. Proposed FTL Structures

To provide a trade-off between the performance and power consumption, two basic FTL structures are proposed in this brief. These structures are shown in Fig. 2. Two FTL structures are derived from the pseudo-nMOS [for high-speed applications, Fig. 2(a) and (b)] and the standard fully complementary [for low-power applications, Fig. 2(c) and (d)] logic families. Each of these basic structures can operate in two configurations: with reset phase voltage set to 0 ($V_{res} = 0$) or $V_{cc}/2$ ($V_{res} = V_{cc}/2$). With reference to Fig. 1(c), we observe that the initial stages have a different behavior from the later stages, as they never have enough time to reach to the V_{TH}

TABLE I
SIMULATION RESULTS FOR CIRCUIT DELAY PARAMETER FOR THE STANDARD CMOS, PSEUDO-NMOS AND FTL (CHAIN OF 20 INVERTERS)

Parameter	CMOS	FTL LP0	FTL LP06	Pseudo NMOS	FTL HS0	FTL HS06
t_{ph} (ns)	2.234	0.863	0.776	1.809	0.620	0.401
t_{ph} (ns)	2.247	0.789	0.681	1.871	0.690	0.468
t_p (ns)	2.240	0.826	0.728	1.840	0.655	0.434
t_p ratio	1.000	2.712	3.077	1.217	3.420	5.161

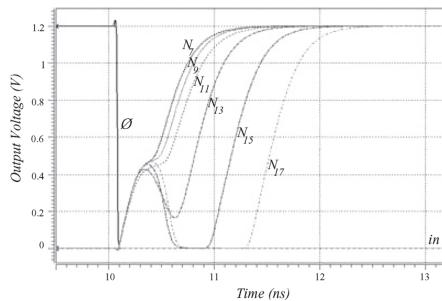


Fig. 3. Effect of dissimilar loading in the behavior of FTL inverter chain (low power with $V_{res} = 0$).

point. However, with $V_{res} = V_{cc}/2$, voltage dissimilarities in the initial stages is removed.

B. Comparison of FTL versus standard CMOS

To compare the proposed FTL structures against the standard CMOS structures, the behavior of a long chain of inverters is simulated. We used a 0.13- μ m CMOS process from UMC, with 10-fF capacitive loads in all output nodes, using the parameters for typical process corner at 25 °C. The values of propagation time delay, t_p , for low-to-high and high-to-low transitions, obtained from the simulation for 20 stages, are shown in Table I. Table I also shows the average values of t_p and the speed up (t_p ratio) with respect to the standard CMOS and pseudo-nMOS.

For FTL to work in circuits with large number of stages, special care must be taken to avoid dissimilar capacitive loads in all the intermediate stages. This will ensure that all nodes rise together to the threshold voltage V_{TH} . The effect of dissimilar capacitive loads at various intermediate stages on the performance behavior of the chain is shown in Fig. 3 for the low-power FTL structure with $V_{res} = 0$. In this example, an excess capacitive

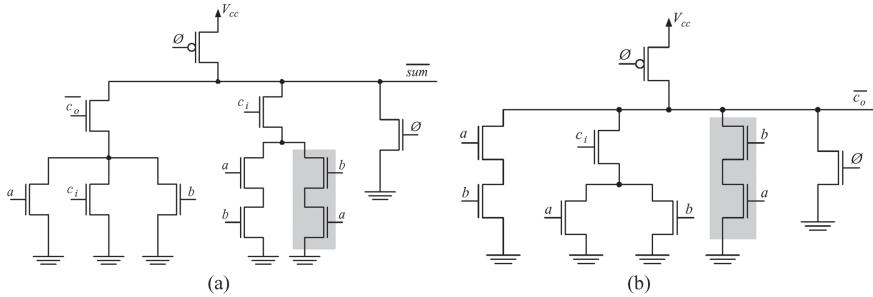


Fig. 4. Modified capacitive compensated RCA high-speed FTL cells. (a) Sum cell. (b) Carry cell.

TABLE II
COMPARISON BETWEEN THE STANDARD CMOS AND PSEUDO-NMOS WITH FTL IN TERMS OF PERFORMANCE (FREQUENCY AND DELAY), POWER, ACTIVE AREA, Γ/MHz RATIO AND Γ'/MHz FOR 40-BIT AND 64-BIT RCAS

Logic Family	Number of Bits	f/MHz	t_p (ns)	Power (mW)	Area (μm^2)	Γ/MHz ($\Omega \mu\text{m}^2/\text{MHz}$)	Γ'/MHz (Ω/MHz)	Γ ratio	Γ' ratio	f_{max} ratio	t_p ratio
nmos	40	205.255	4.872	3.097	22.848	1679.593	73.512	0.216	0.136	2.217	2.061
hs0	40	407.415	2.172	4.053	30.912	667.923	21.607	0.543	0.462	4.090	4.622
hs06	40	301.205	1.970	3.657	30.912	739.361	23.918	0.490	0.418	3.024	5.096
cmos	40	99.602	10.040	0.099	36.288	362.497	9.989	1.000	1.000	1.000	1.000
lp0	40	282.486	2.440	0.745	52.416	337.298	6.435	1.075	1.552	2.836	4.115
*lp06	40 (28)	121.877	6.905	0.498	55.104	1554.105	28.203	0.233	0.354	1.224	1.454
nmos	64	128.271	7.796	4.881	36.557	10844.837	296.656	0.139	0.088	2.065	2.065
*hs0	64 (42)	191.589	4.937	5.901	49.459	7520.782	152.061	0.201	0.171	3.085	3.261
hs06	64	199.164	3.021	5.950	49.459	4463.785	90.252	0.338	0.288	3.207	5.329
cmos	64	62.112	16.100	0.100	58.061	1508.009	25.973	1.000	1.000	1.000	1.000
*lp0	64 (42)	93.432	9.603	0.542	83.866	4675.392	55.748	0.323	0.468	1.504	1.677
*lp06	64 (28)	59.032	15.640	0.454	88.166	10607.250	120.310	0.142	0.216	0.950	1.029

\$ For the standard CMOS and pseudo-NMOS, $f_{max} = 1/t_p$. For the FTL circuits, $f_{max} = 1/(Pre\text{-charge time} + Evaluation\text{ time})$. * Imbalanced adders: The number in () indicates the maximum number of adder bits before the point of imbalance. The technology is 0.13 μm 1.2 V/3.3 V IP8M Logic High Speed Process from UMC.

load of 1 FF is added to the output of the eleventh stage. This excess load delays the rise to V_{TH} at stage 11, which in turn causes delay in the logic evaluation in the subsequent stages, causing the FTL inverter behaves as a CMOS dynamic logic NOR gate.

To sum up, FTL is well suited to applications where the critical path is made of a large cascade of inverting gates. Many arithmetic circuits such as adders, multipliers, FIR stages and other similar structures are clear candidates for implementation on FTL. Furthermore, FTL based circuits provide a clear advantage in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Lower delay variation versus load in FTL is especially suitable for applications where improving the performance of deep pipeline stages is limited by interconnection delay.

IV. FTL RCA DESIGN

A. Results of Modified Capacitive Compensated Cells

In this section we present the design and optimization of FTL-based RCAs. The structure of the basic sum and carry cells used in the design of long word-length adder circuits are similar to the CMOS adder cell in [10]. Ignoring the transistors in the shaded area, these basic cells are presented in Fig. 4 for the high-speed FTL cells with $V_{res} = 0$ (HS0). Cells for other FTL structures (HS06, LP0, and, LP06) are similar. To maintain the correct polarity between RCA adder cells the inputs a and b of even adder cells and the sum outputs of odd adder cells are buffered through an inverter.

The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in reset phase (pre-evaluation) voltages at carry cell outputs that are different from V_{TH} , therefore losing the advantage of the FTL. The load capacitance dissimilarity results in loss of FTL advantage in the fourth bit of the adder in structures with $V_{res} = 0$. However, structures with $V_{res} = V_{cc}/2$ are less sensitive to dissimilar capacitive load effect, maintaining the FTL advantage to sixteenth adder bit.

To extend the FTL performance advantage to long word-length RCAs (up to 64 bits), modified capacitive compensated sum and carry cell structures [5] have been employed. We compensate for dissimilar dynamic node capacitances by adding extra transistors, as shown in the shaded areas in Fig. 4. This solution increases area although power consumption does not change. To further reduce the effect of dissimilar capacitive load, we have inserted a non-inverting buffer between the output of the carry cells and the input of the sum cells.

Our simulation results show that the low-power structures are not suited for more than 42 bits. High-speed structures, on the other hand, are used for 64-bit adders without losing the FTL advantage.

Table II shows propagation time delay (t_p), power consumption, area, figure of merit (delay \times power \times area) over frequency ratio (Γ/MHz) and alternative figure of merit (delay \times power) over frequency ratio (Γ'/MHz) for the standard CMOS,

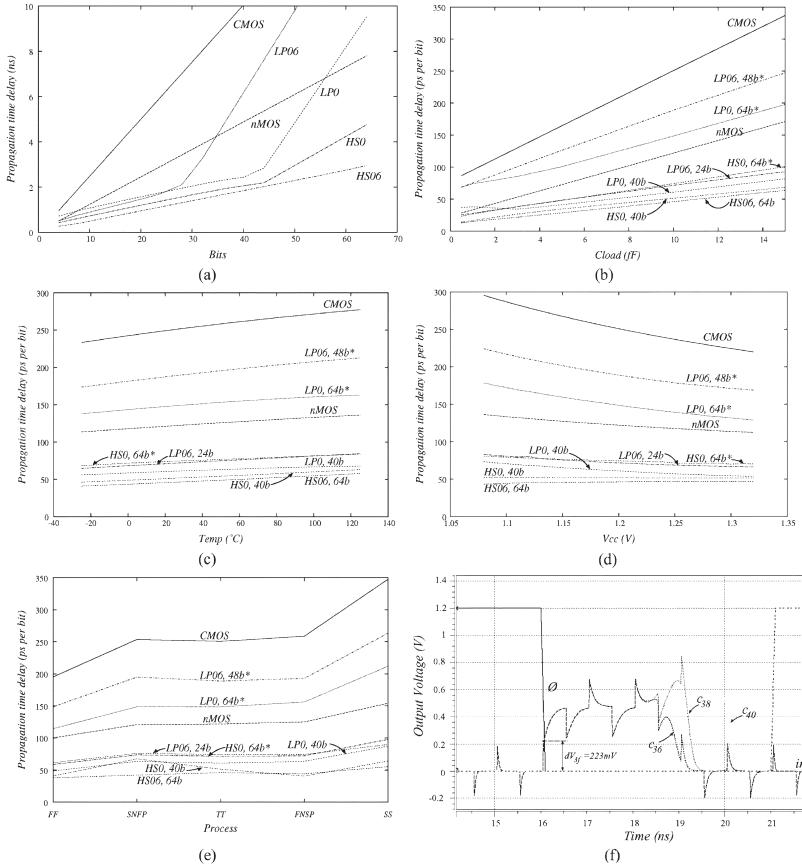


Fig. 5. Sensitivity of the propagation time delay of standard CMOS, pseudo-nMOS and FTL adders against (a) number of bits, (b) capacitive load, (c) temperature, (d) power supply, (e) process corner, and (f) a coupling noise of 223 mV by means of a 3.0-FF capacitance connected to a noise source. (*) mark indicates FTL structure has already pass the point of imbalance at the given number of bits.

pseudo-nMOS and the capacitive compensated FTL structures. Note that the Γ'/MHz ratio is a measure of energy efficiency for a given clock frequency (or performance) [10]. The Γ'/MHz ratio further includes area as additional criteria in the measure of overall efficiency.

Relative performance of the FTL structures with respect to the standard CMOS and pseudo-nMOS is presented in Table II in terms of ratios of achievable clock speeds, and Γ/Γ' ratings. The data shown in Table II are obtained by simulation at the highest achievable clock frequency for each adder, including a post-layout estimated minimum load of 10 FF on each node, at the typical process corner at 25 °C. Note that the minimum achievable clock period (maximum

frequency) is obtained by sum of the minimum evaluation and reset phase times.

At the point of imbalance (40-bit adder) a speed up factor (in terms of f_{\max} ratio) of 2.8 is obtained for the LP0 structure at a similar Γ'/MHz ratio (0.7% reduction) with respect to the standard CMOS. The energy saving of this adder structure is improved by 35.6% with respect to the standard CMOS.

With respect to standard CMOS (pseudo-nMOS), the HS0 structure achieves a speed up factor of 4.1 (1.8), although Γ'/MHz ratio is increased (decreased) by 84% (60%) and the energy saving is reduced (increased) by 116% (71%). When compared with pseudo-nMOS HS0 is a clear winner in all criteria. It is also interesting to note that, although the HS06

structure has smaller propagation time delay with respect to the HSO, its maximum achievable clock frequency is lower because of higher reset time.

B. Sensitivity Analysis of RCA Cells in FTL

To prove the superior properties of the FTL structures compared with standard CMOS and pseudo-nMOS, we have characterized the performance of RCAs against the variations in number of bits and a set of technology parameter; capacitive load, temperature, power supply, process corner and noise coupling. The sensitivity analysis is important as FTL structures are inherently sensitive to capacitive load dissimilarities.

Fig. 5(a) shows the propagation time delay versus the number of adder bits for various adder structures and word-length configurations. We observe that the effect of capacitive imbalance eventually dictate the propagation time delay of the FTL structure after the 40th bit for the HSO and LP0 structures, and after the 24th bit for the LP06 structure. It can also be observed that in the FTL structures, before the point of imbalance, as the number of adder bits increases, speed up improves with respect to the standard CMOS. However, beyond the point of imbalance, the rate of increase in adder propagation time delay with respect to the number of adder bits in the FTL structure approaches that of standard CMOS.

Fig. 5(b)–(e) are the plots of propagation time delay per bit versus the variations; in the inter-stage parasitic capacitive load ($\pm 100\%$ variation from the nominal extracted capacitance of 10 fF), operating temperature (variation from -25°C to 125°C), power supply ($\pm 10\%$ variation from the nominal 1.2 V, ranging from 1.08 V to 1.32 V), and process corner (variation from SS to FF corners), respectively. The plots show both, the balanced and imbalanced FTL adders. The asterisk (*) marks indicate that the FTL structure has already pass the point of imbalance at the given number of bits.

As seen, the balanced FTL adders demonstrate lower sensitivity than the imbalanced ones, which in turn, show lower sensitivity than the standard CMOS for each of the considered parameter. The sensitivity of the balanced FTL adders versus the inter-stage capacitance in Fig. 5(b) is 3.8 to 5.1 times less than the standard CMOS adders. For the temperature variations in Fig. 5(c), the sensitivity of balanced FTL adders is 2.2 to 3.8 times less. Balanced low-power structures are, approximately, four times less sensitive to power supply variations than the standard CMOS, while the high-speed structures are less sensitive by one to two orders of magnitude as seen in Fig. 5(d). Even the high-speed imbalanced FTL adders show 7.1 times less variation in propagation time delay versus power supply. Sensitivity of balanced FTL adder structures to process variation is 3.9 to 8.7 times less than the standard CMOS adder. The lower sensitivity of the balanced FTL structures to various parameters can be attributed to perfect matching of node capacitances. We have verified that by removing the capacitive compensating transistors from the adder cells of circuit in Fig. 4 and repeating the sensitivity analysis on the unbalanced FTL adder chain.

Fig. 5(f) shows the performance of LP0 adders in the presence of a noise source that is capacitive coupled to all the nodes of the adder. We tried several values of coupling capacitances and, therefore, noise amplitudes. To create maximum adverse effect

at the output nodes, we synchronized the noise pulse with the commencement of evaluation phase. The noise source has an average frequency and slew rate that is 10 times larger than the clock signal \emptyset . As observed, a capacitive coupling as high as 3 fF, and noise amplitude of more than 220 mV, is required to slightly shift the point of imbalance in the FTL adder from bit 40 to bit 36. Higher capacitive coupling and noise amplitude are required for the high-speed structures.

V. CONCLUSION

In this brief, we proposed a new class of logic family for CMOS technology based on the feedthrough evaluation concept. FTL structures can be tailored for the high-speed or low-power circuits with long logic depth, such as high-performance RCAs.

We have designed several RCAs to evaluate the performance of the FTL adder structures and compared the sensitivity of such high-performance adders against technology parameters, with respect to standard CMOS. Simulation results show that FTL adders are less sensitive to variations in technology parameters and capacitively coupled induced noise.

The propagation time delay of arithmetic circuits employing high-speed FTL structures outperforms the standard CMOS structure by 4.6 times. The figure of merit is improved by 84% and energy consumption per bit is 116% higher. Low-power FTL structures outperform the standard CMOS by 4.1 times in terms of propagation time delay, while maintaining the same figure of merit and improving the energy consumption per bit by about 35.6%.

REFERENCES

- [1] S. Mathew, M. Anders, R. Krishnamurthy, and S. Borkar, "A 4-GHz 130-nm address generation unit with 32-bit sparse-tree adder core," in *Proc. IEEE VLSI Circuits Symp.*, Honolulu, HI, Jun. 2002, pp. 126–127.
- [2] Y. Jiang, A. Al-Sheraidah, Y. Wang, E. Sha, and J. Chung, "A novel multiplexer-based low-power full adder," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 7, pp. 345–348, Jul. 2004.
- [3] R. K. Krishnamurthy, S. Hsu, M. Anders, B. Blochel, B. Chatterjee, M. Sachdev, and S. Borkar, "Dual supply voltage clocking for 5-GHz 130-nm integer execution core," in *Proc. IEEE VLSI Circuits Symp.*, Honolulu, HI, Jun. 2002, pp. 128–129.
- [4] S. Vangal, Y. Hoskote, D. Somasekhar, V. Erraguntla, J. Howard, G. Ruhl, V. Veeramachaneni, D. Finan, S. Mathew, and N. Borkar, "A 5-GHz floating point multiply-accumulator in 90-nm dual Vt CMOS," in *Proc. IEEE Int. Solid-State Circuits Conf.*, San Francisco, CA, Feb. 2003, pp. 334–335.
- [5] S. Nooshabadi and J. A. Montiel-Nelson, "Fast feedthrough logic: A high-performance logic family for GaAs," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 11, pp. 2189–2203, Nov. 2004.
- [6] J. L. Rossello, C. de Benito, and J. Segura, "A compact gate-level energy and delay model of dynamic CMOS gates," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 10, pp. 685–689, Oct. 2005.
- [7] J. M. Rabay, A. Chandrasekaran, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective – 2e*. Upper Saddle River, NJ: Prentice-Hall, 2002.
- [8] V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, "Low-power and high-performance arithmetic circuits in feedthrough CMOS logic family," *J. Low Power Electron.*, vol. 2, no. 2, pp. 300–307, Jul. 2006.
- [9] V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, "Low-power arithmetic circuits in feedthrough dynamic CMOS logic," in *Proc. 49th IEEE Int. Midwest Symp. Circuits, Syst. (MWSCAS'06)*, San Juan, Puerto Rico, Aug. 2006.
- [10] N. Weste and K. Eshragian, *Principles of CMOS VLSI Design, A Systems Perspective*. Reading, MA: Addison Wesley, 1988.



ELSEVIER

Microelectronics Journal 38 (2007) 482–488

Microelectronics
Journalwww.elsevier.com/locate/mejo

High performance low power CMOS dynamic logic for arithmetic circuits

Victor Navarro-Botello^a, Juan A. Montiel-Nelson^a, Saeid Nooshabadi^{b,*}

^a*Institute for Applied Microelectronics, University of Las Palmas de Gran Canaria, E-35017 Las Palmas de Gran Canaria, Spain*

^b*Department of Information and Communications, Gwangju Institute of Science and Technology, GIST, Gwangju, Republic of Korea*

Received 30 January 2007; received in revised form 17 March 2007; accepted 20 March 2007

Available online 4 May 2007

Abstract

This paper presents the design of high performance and low power arithmetic circuits using a new CMOS dynamic logic family, and analyzes its sensitivity against technology parameters for practical applications. The proposed dynamic logic family allows for a partial evaluation in a computational block before its input signals are valid, and quickly performs a final evaluation as soon as the inputs arrive. The proposed dynamic logic family is well suited to arithmetic circuits where the critical path is made of a large cascade of inverting gates. Furthermore, circuits based on the proposed concept perform better in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Experimental results, for practical circuits, demonstrate that low power feature of the proposed dynamic logic provides for smaller propagation time delay (3.5 times), lower energy consumption (55%), and similar combined delay, power consumption and active area product (only 8% higher), while exhibiting lower sensitivity to power supply, temperature, capacitive load and process variations than the dynamic domino CMOS technologies.

© 2007 Elsevier Ltd. All rights reserved.

Keywords: Dynamic logic; CMOS digital integrated circuits; CMOS logic circuits; Low power arithmetic circuits; High speed arithmetic circuits

1. Introduction

Domino CMOS is widely used in high performance integrated circuits. It reduces the device count and silicon area, and improves performance when compared to the standard fully complementary static CMOS logic [1,2]. However, the major drawback with the domino dynamic logic circuit is its excessive power dissipation due to the switching activity and the clock load [3].

To deal with the excessive power dissipation of the dynamic logic, the current design methodologies trade power for performance in the delay critical sections of the circuit [4–8]. This is achieved through a mix of dynamic and static circuit styles [4,5], use of dual supply voltages [7], and dual V_T transistors [8].

The adder design in [5] intersperses two dynamic gates between three static gates. The work in [6] uses the architectural techniques to reduce the short circuit currents and transition activities. The dynamic design in [7] uses a high supply voltage for the logic evaluation, and low supply voltage for clocking the dynamic logic. The adder design in [8] uses dynamic logic, with more than 80% of the device widths in the high-speed core employ low- V_T .

This paper proposes a new dynamic logic family that improves the performance of arithmetic circuits, with a very long logic depth, while reducing the power dissipation, when compared with the dynamic domino CMOS circuits. The proposed dynamic logic was successfully employed, by the authors, for integrated circuits in GaAs technology [9]. The proposed logic family works on domino concept for dynamic circuits, with the added feature that gates commence evaluation even before all their inputs are valid. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic [1,9,10]—such as the limitation of non-inverting only logic, charge

*Corresponding author.

E-mail addresses: vnavarro@iuma.ulpgc.es (V. Navarro-Botello), montiel@iuma.ulpgc.es (J.A. Montiel-Nelson), saeid@gist.ac.kr (S. Nooshabadi).

redistribution and the need for output inverters—are completely eliminated, thus reducing the chip area and delay, and improving the performance.

The proposed dynamic logic shows high design flexibility; it can be used in domino-like cascaded stages, differential style, and multiple output logic with iterative networks [11,12]. It can also be pipelined with fast dynamic latches [9].

In order to prove the usefulness of the proposed logic family in practical applications, we present the design of a set of adders and compare their features with a corresponding set of adders in the dynamic domino CMOS. We present the simulation results of the ripple carry adder (RCA) structures, for the implementation on $0.13\text{ }\mu\text{m }1.2\text{ V}/3.3\text{ V }1\text{ P8M}$ logic high speed process from UMC.

We have designed multiple versions of the proposed structures for low power and high speed applications. Design and sensitivity analysis of one version of low power structures (with the reset phase voltage of 0 V, ($V_{\text{res}} = 0$)) in CMOS technology against the capacitive load, temperature, power supply, process variation and noise coupling, has been studied in [13]. This paper extends the proposed dynamic logic family and the sensitivity analysis to high speed and low power structures using the reset phase voltages of $V_{\text{res}} = 0$ and $V_{\text{cc}}/2$.

2. Principle of operation

The basic structure of a typical gate in the proposed logic family is shown in Fig. 1(a). It consists of an NMOS logic network (*NMOS block*), an NMOS transistor (T_r) for resetting the output node to low logic level, together with a pull up PMOS load transistor (T_p). T_r and T_p are controlled by the clock signal (ϕ).

The basic principle of operation of the proposed circuit in CMOS was presented in [14] and is briefed here. During the high phase of ϕ (reset phase), the output node is pulled to ground (GND) through T_r . When ϕ goes low (evaluation phase), T_r is turned off, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, the out node is pulled up toward V_{cc} (inverting logic), otherwise, it will remain

low. Since in the proposed logic family the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated.

Consider a long chain of inverters as shown in Fig. 1(b). When the clock signal falls, the outputs of the cascaded gates begin to rise to the gate threshold voltage V_{TH} (Fig. 1(c)). At this voltage point all gates in the circuit are in a high gain point. This feature distinguishes the proposed logic family from the other dynamic logic families. At V_{TH} point any small variation in the input nodes would cause a fast variation of the voltage at the output node. In all other logic families for the output node to begin transition, the inputs need to cross the threshold voltage. Furthermore, when the valid inputs to a gate are asserted, the gate outputs will only need to make a partial transition from V_{TH} to V_{OH} or V_{OL} . The higher speed of the proposed logic is due to the reduction in both low-to-high and high-to-low propagation time delays.

The main challenge in the design of circuits based on the proposed logic family is, however, maintaining the V_{TH} stability for long cascaded circuit structures, which is the key factor in the fast logic evaluation and high performance of the proposed circuits.

3. Performance results

3.1. Proposed circuit structures

To provide a trade-off between the performance and power consumption, two basic structures are proposed in this paper. These structures are shown in Fig. 2. Two structures are derived from two logic families; the pseudo-NMOS (for high speed applications, Fig. 2(a) and (b)) and the standard fully complementary CMOS (for low power applications, Fig. 2(c) and (d)). Each of these basic structures can operate in two configurations: with reset phase voltage set to 0 ($V_{\text{res}} = 0$) or $V_{\text{cc}}/2$ ($V_{\text{res}} = V_{\text{cc}}/2$). With reference to Fig. 1(c), we observe that the initial stages have a different behavior from the other stages, as they never have enough time to reach to the V_{TH} point. However, with $V_{\text{res}} = V_{\text{cc}}/2$, dissimilarity in the voltages in the initial stages is removed.

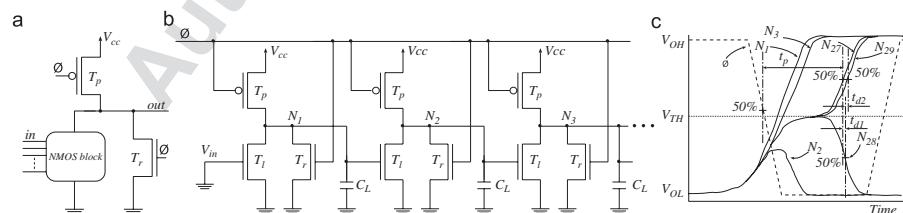


Fig. 1. (a) Basic structure of a gate in the proposed dynamic logic family. Long chain of inverters; (b) transistor level circuit diagram; and (c) plot of the output voltages from 1st stage (N_1) to 29th stage (N_{29}) of inverters.

3.2. Comparison of the proposed structure vs. the dynamic domino CMOS

To compare the proposed structures against the dynamic domino CMOS structures, the behavior of a long chain of inverters is simulated. We used a $0.13\mu\text{m}$ CMOS process from UMC, with 10fF capacitive loads in all output nodes, using the parameters for typical process corner at 25°C . The values of propagation time delay, t_p , for low-to-high and high-to-low transitions, obtained from the simulation for 20 stages, are shown in Table 1. Table 1 also shows the average values of t_p and the speed up (t_p ratio) with respect to the dynamic domino logic, standard CMOS, pseudo-NMOS.

For the proposed structure to work in circuits with large number of stages, special care must be taken to avoid dissimilar capacitive loads in all the intermediate stages. This will ensure that all nodes rise together to the threshold

voltage V_{TH} . The effect of dissimilar capacitive loads at various intermediate stages on the performance behavior of the chain is shown in Fig. 3 for the proposed low power structure with $V_{\text{res}} = 0$. In this example, an excess capacitive load of 1fF is added to the output of the 11th stage. This excess load delays the rise to V_{TH} at stage 11, which in turn causes delay in the logic evaluation in the subsequent stages, causing the proposed dynamic logic inverter behaves as a CMOS dynamic logic NOR gate.

To sum up, the proposed dynamic logic family is well suited to applications where the critical path is made of a large cascade of inverting gates. Many arithmetic circuits such as adders, multipliers, FIR stages and other similar structures are clear candidates for implementation on the proposed logic. Furthermore, circuits based on the proposed logic family provide a clear advantage in the high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Lower delay variation versus load in the proposed logic is especially suitable for applications where improving the performance of deep pipeline stages is limited by the interconnection delay.

4. Ripple Carry Adder design

4.1. Results of the modified capacitive compensated cells

In this section we present the design and optimization of RCAs based on the proposed logic family. The structure of

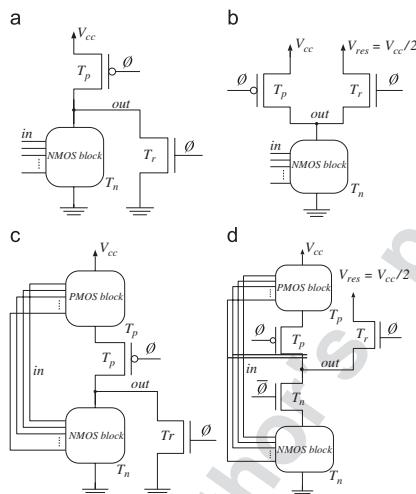


Fig. 2. Proposed structures: (a) HS0: high speed structure with $V_{\text{res}} = 0$; (b) HS06: high speed structure with $V_{\text{res}} = V_{\text{cc}}/2$; (c) LP0: low power structure with $V_{\text{res}} = 0$; and (d) LP06: low power structure with $V_{\text{res}} = V_{\text{cc}}/2$.

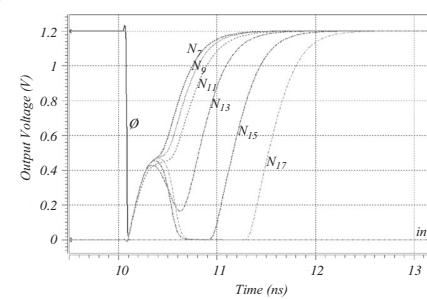


Fig. 3. Effect of dissimilar load in the behavior of inverter chain in the proposed structure (low power with $V_{\text{ref}} = 0$).

Table 1
Simulation results for circuit delay parameter for the standard CMOS, pseudo-NMOS, domino and the proposed structure (20 inverters)

Parameter	CMOS	Proposed LP0	Proposed LP06	Pseudo NMOS	Domino	Proposed HS0	Proposed HS06
t_{plh} (ns)	2.234	0.863	0.776	1.823	—	0.620	0.401
t_{phl} (ns)	2.247	0.789	0.681	1.861	2.595	0.690	0.468
t_p (ns)	2.240	0.826	0.728	1.842	2.595	0.655	0.434
t_p ratio	0.947	3.142	3.565	1.409	1	3.962	5.979

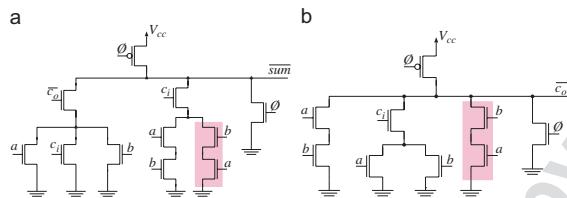


Fig. 4. Modified capacitive compensated ripple carry adder for the proposed high speed cells: (a) sum cell and (b) carry cell.

Table 2
Comparison between the domino dynamic logic, standard CMOS, pseudo-NMOS, and the proposed logic family, in terms of performance (frequency and delay), power, active area, Γ/MHz ratio and Γ_2/MHz for 40-bit and 64-bit ripple carry adders

Logic family	Number of bits	f_{\max} (MHz)	t_p (ns)	Power (mW)	Area (μm^2)	Γ/MHz (fJ $\mu\text{m}^2/\text{MHz}$)	Γ/MHz (fJ/MHz)	Γ/MHz ratio	Γ'/MHz ratio	f_{\max} ratio	t_p ratio
NMOS	40	205.255	4.872	3.097	22.848	1679.593	73.512	0.184	0.136	2.740	2.480
HS0	40	407.415	2.172	4.053	30.912	667.923	21.607	0.461	0.461	5.056	5.562
HS06	40	301.205	1.970	3.657	30.912	739.361	23.918	0.416	0.417	3.738	6.132
CMOS	40	77.602	12.886	0.099	36.288	465.264	12.821	0.662	0.777	0.964	0.938
Domino	40	80.535	12.080	0.066	30.912	308.064	9.966	1	1	1	1
LP0	40	282.486	2.440	0.745	52.416	337.298	6.435	0.913	1.549	3.506	4.952
LP06*	40 (28)	121.877	6.905	0.498	55.104	1554.105	28.203	0.198	0.353	1.513	1.745
NMOS	64	128.271	7.796	4.881	36.557	10844.837	296.656	0.119	0.088	2.524	2.479
HS0*	64 (42)	191.589	4.937	5.901	49.459	7520.782	152.061	0.172	0.171	3.771	3.915
HS06	64	199.164	3.021	5.950	49.459	4463.785	90.252	0.289	0.289	3.920	6.397
CMOS	64	62.112	16.100	0.100	58.061	1508.009	25.973	0.854	1.002	1.222	1.200
Domino	64	50.836	19.320	0.069	49.459	1287.571	26.033	1	1	1	1
LP0*	64 (42)	93.432	9.603	0.542	83.866	4675.392	55.748	0.276	0.467	1.839	2.013
LP06*	64 (28)	59.032	15.640	0.454	88.166	10607.250	120.310	0.121	0.216	1.161	1.235

*Imbalanced adders: The number in parenthesis indicates the maximum number of adder bits before the point of imbalance. The technology is 0.13 μm 1.2 V/3.3 V 1P8M logic high speed process from UMC.

the basic sum and carry cells used in the design of long word-length adder circuits are similar to the CMOS adder cell in [15]. Ignoring the transistors in the shaded area, these basic cells are presented in Fig. 4 for the proposed high speed cells with $V_{res} = 0$ (HS0). The proposed cells for other structures (HS06, LP0, and, LP06) are similar. To maintain the correct polarity between the RCA adder cells the a and b inputs of even adder cells and the sum outputs of odd adder cells are buffered through inverters.

The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in reset phase (pre-evaluation) voltages at cell outputs that are different from V_{TH} ; therefore, losing the advantage of the proposed logic family. The load capacitance dissimilarity results in loss of advantage in the proposed logic family in the fourth bit of the adder in structures with $V_{res} = 0$. However, structures with $V_{res} = V_{cc}/2$ are less sensitive to dissimilar capacitive load effect, maintaining the advantage of the proposed logic to 16th adder bit.

To extend the performance advantage of the proposed logic family to long word-length RCAs (up to 64 bits), modified capacitive compensated sum and carry cell structures [9] have been employed. We compensate for dissimilar dynamic node capacitances by adding extra transistors, as shown in the shaded areas in Fig. 4. This solution increases area although power consumption does not change. To further reduce the effect of dissimilar capacitive load, we have inserted a non-inverting buffer between the output of the carry cells and the input of the sum cells.

Our HSPICE simulation results show that the low power structures are not suited for more than 42 bits. High speed structures, on the other hand, are used for 64-bit adders without loosing the advantage of the proposed logic family.

We carefully laid out a series of adders in various CMOS technologies and compared their characteristics. We use Cadence suite of design tools for the custom layout creation, and circuit extraction. We used HSPICE for circuit simulation. For a fair comparison, all the designed RCAs we implemented in the same technology (0.13 μm

1.2 V/3.3 V from UMC). Table 2 shows propagation time delay (t_p), power consumption, full custom layout area, figure of merit (delay \times power \times area) over frequency ratio (Γ/MHz) and alternative figure of merit (delay \times power) over frequency ratio (Γ'/MHz) for the dynamic domino logic [16], standard CMOS, pseudo-NMOS, and the capacitive compensated structures in the proposed logic family. For the implementation of the dynamic logic we used the fastest NP dynamic CMOS logic RCA reported to-date [16] and re-implemented it in our chosen technology of 0.13 μm from UMC. Note that the Γ'/MHz ratio is a measure of energy efficiency for a given clock frequency (or performance) [17,18]. The Γ/MHz ratio further includes area as additional criteria in the measure of overall efficiency.

Relative performance of the proposed structures with respect to the domino logic, standard CMOS, and pseudo-NMOS, is presented in Table 2 in terms of ratios of achievable clock speeds, and Γ and Γ' ratings. The data shown in Table 2 are obtained by simulation at the highest achievable clock frequency for each adder, including a post-layout estimated minimum load of 10 fF on each node, at the typical process corner at 25 °C. Note that the minimum achievable clock period (maximum frequency) is obtained by sum of the minimum evaluation and reset phase times.

At the point of imbalance (40-bit adder) a speed up factor (in terms of f_{\max} ratio) of 3.5 is obtained for the LP0 structure at a similar Γ/MHz ratio (8.7% worst) with respect to the dynamic domino CMOS. The energy saving of this adder structure is improved by 55% with respect to the dynamic domino CMOS.

With respect to dynamic domino CMOS, the HS0 structure achieves a speed up factor of 5.06, its Γ/MHz ratio and energy savings are worsen by 54%. It is also interesting to note that, although the HS06 structure has smaller propagation time delay with respect to the HS0 one, its maximum achievable clock frequency is lower because of higher reset time.

From the Γ'/MHz ratios we can conclude that in the proposed logic style the high speed structures are not energy efficient and, therefore, should be only used where the performance is at a premium. On the other hand the low structure LP0 is very energy efficient, while at the same time improves performance. We also observe that the energy efficiency and the performance are both substantially reduced in the longer word-length adders, where the capacitive imbalance sets in.

4.2. Sensitivity analysis of RCA cells

To prove the superior properties of the proposed structures compared with the dynamic domino CMOS, we have characterized the performance of RCAs against the variations in number of bits and a set of technology parameter; capacitive load, temperature, power supply, process corner and noise coupling. The sensitivity analysis

is important as the proposed structures are inherently sensitive to capacitive load dissimilarities.

Fig. 5(a) shows the propagation time delay versus the number of adder bits for various adder structures and word-length configurations. We observe that the effect of capacitive imbalance eventually dictate the propagation time delay of the proposed structure after the 40th bit for the HS0 and LP0 structures, and after the 24th bit for the LP06 structure. It can also be observed that in the proposed structures, before the point of imbalance, as the number of adder bits increases, the speed up improves with respect to the dynamic domino CMOS. However, beyond the point of imbalance, the rate of increase in the adder propagation time delay with respect to the number of adder bits in the proposed structure approaches that of the dynamic domino CMOS.

Fig. 5(b)–(e) are the plots of propagation time delay per bit versus the variations; in the inter-stage parasitic capacitive load ($\pm 100\%$ variation from the nominal extracted capacitance of 10 fF), operating temperature (variation from -25 to 125 °C), power supply ($\pm 10\%$ variation from the nominal 1.2 V, ranging from 1.08 to 1.32 V), and process corner (variation from SS to FF corners), respectively. The plots show both, the balanced and imbalanced proposed adders. The asterisk (*) mark on a curve indicates that the proposed structure has already pass the point of imbalance at the given number of bits.

As seen, the balanced proposed adders demonstrate lower sensitivity than the imbalanced ones, which in turn, show lower sensitivity than the dynamic domino CMOS for each of the considered parameter. The sensitivity of the balanced proposed adders versus the inter-stage capacitance (Fig. 5(b)) is 3.8 to 6.8 times less than the dynamic domino CMOS adders. For the temperature variations (Fig. 5(c)), the sensitivity of balanced proposed adders is 2.2 to 6.7 times less. Balanced low power structures are, approximately, 6 times less sensitive to power supply variations than the dynamic domino CMOS, while the high speed structures are less sensitive by one to two orders of magnitude (Fig. 5(d)). Even the high speed imbalanced proposed adders show 5.1 times less variation in the propagation time delay versus the power supply. Sensitivity of the balanced proposed adder structures to process variations (Fig. 5(e)), is 3.9 to 8.7 times less than the dynamic domino CMOS adder. The lower sensitivity of the balanced proposed structures to various parameters can be attributed to perfect matching of node capacitances. We have verified that by removing the capacitive compensating transistors from the adder cells of circuit in Fig. 4 and repeating the sensitivity analysis on the unbalanced proposed adder chain.

Fig. 5(f) shows the performance of LP0 adders in the presence of a noise source that is capacitive coupled to all the nodes of the adder. We tried several values of coupling capacitances and, therefore, noise amplitudes. To create maximum adverse effect at the output nodes, we synchronized the noise pulse with the commencement of the

V. Navarro-Botello et al. / Microelectronics Journal 38 (2007) 482–488

487

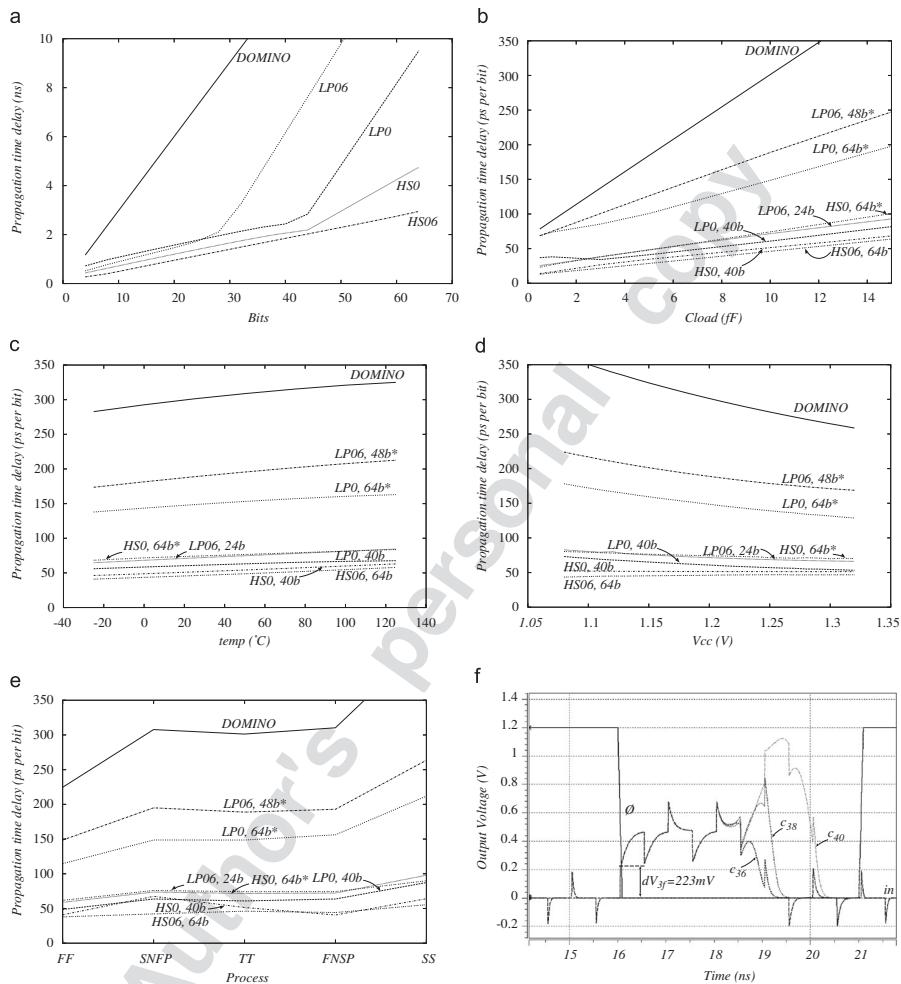


Fig. 5. Sensitivity of the propagation time delay of adders in domino and proposed logic family against (a) number of bits; (b) capacitive load; (c) temperature; (d) power supply; (e) process corner; and (f) a coupling noise of 223 mV by means of a 3.0 fF capacitance connected to a noise source. (*) mark indicates that the proposed structure has already passed the point of imbalance at the given number of bits.

evaluation phase. The noise source has an average frequency and slew rate that is 10 times larger than the clock signal ϕ . As observed, a capacitive coupling as high as 3 fF, and noise amplitude of more than 220 mV, is

required to slightly shift the point of imbalance in the proposed adder from bit 40 to bit 36. Higher capacitive coupling and noise amplitude are required for the high speed structures.

5. Conclusion

In this paper, we proposed a new class of dynamic logic family for CMOS technology. The proposed structures can be tailored for the high speed or low power circuits with long logic depth, such as high performance ripple carry adders (RCAs).

We have designed several RCAs to evaluate the performance of the proposed adder structures and compared the sensitivity of such high performance adders against technology parameters, with respect to the dynamic domino CMOS. Simulation results show that the proposed adder structures are less sensitive to variations in technology parameters and capacitively coupled induced noise.

The propagation time delay of arithmetic circuits employing the proposed high speed structures outperforms the dynamic domino CMOS structure by 5.6 times. The figure of merit is reduced by 54% and energy consumption per bit is 54% higher. Low power version of the proposed structures outperform the dynamic domino CMOS by 3.5 times in terms of the propagation time delay, with 8.7% lower figure of merit and improving the energy consumption per bit by about 55%.

Acknowledgment

This work was supported in part by the Ministry of Information and Communications (MIC), Republic of Korea, under the IT Foreign Specialist Inviting Program (ITFSIP) by the Institute of Information Technology Assessment (IITA), Spanish Ministry of Science and Technology under Grant TEC2005-08138-C02-01 (END-IVIA Project), and by the Foundation of the University of Las Palmas de Gran Canaria (FULP) and UNELCO, under Grant INNOVA.

References

- [1] J.M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits: A Design Perspective -2e, Prentice-Hall, Upper Saddle River, NJ, 2002.
- [2] P.E. Gronowski, W.J. Bowhill, R.P. Preston, M.K. Gowan, R.L. Allmon, High-performance microprocessor design, *IEEE J. Solid-State Circuits* 33 (5) (1998) 676–686.
- [3] R. Zimmerman, W. Fichtner, Low-power logic styles: CMOS versus pass-transistor logic, *IEEE J. Solid-State Circuits* 32 (7) (1997) 1079–1090.
- [4] S. Mathew, M. Anders, R. Krishnamurthy, S. Borkar, A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder core, *Proceedings of IEEE VLSI Circuits Symposium*, Honolulu, June 2002, pp. 126–127.
- [5] S. Mathew, M. Anders, R. Krishnamurthy, S. Borkar, A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder core, *IEEE J. Solid-State Circuits* 38 (5) (2003) 689–695.
- [6] Y. Jiang, A. Al-Sheraidah, Y. Wang, E. Sha, J. Chung, A novel multiplexer-based low-power full adder, *IEEE Trans. Circuits Syst.-II* 52 (7) (2004) 345–348.
- [7] R.K. Krishnamurthy, S. Hsu, M. Anders, B. Blochel, B. Chatterjee, M. Sachdev, S. Borkar, Dual supply voltage clocking for 5 GHz 130 nm integer execution core, *Proceedings of IEEE VLSI Circuits Symposium*, June 2002, Honolulu, pp. 128–129.
- [8] S. Vangal, Y. Hoskote, D. Somasekhar, V. Erraguntla, J. Howard, G. Ruhl, V. Veeramachaneni, D. Finan, S. Mathew, N. Borkar, A 5 GHz floating point multiply-accumulator in 90 nm dual V_T CMOS, *Proceedings of IEEE International Solid-State Circuits Conference*, San Francisco, February 2003, pp. 334–335.
- [9] S. Nooshabadi, J.A. Montiel-Nelson, Fast feedthrough logic: a high performance logic family for GaAs, *IEEE Trans. Circuits Syst.-I* 51 (11) (2004) 2189–2203.
- [10] J.L. Rossello, C. de Benito, J. Segura, A compact gate-level energy and delay model of dynamic CMOS gates, *IEEE Trans. Circuits Syst.-II* 52 (10) (2005) 685–689.
- [11] I.S. Hwang, A.L. Fisher, Ultrafast compact 32-bit CMOS adders in multiple-output domino logic, *IEEE J. Solid-State Circuits* 24 (1989) 358–369.
- [12] N.J. Jha, Q. Tong, Testing of multiple-output domino logic MODL CMOS circuits, *IEEE J. Solid-State Circuits* 25 (1990) 800–805.
- [13] V. Navarro-Botello, J.A. Montiel-Nelson, S. Nooshabadi, Low power and high performance arithmetic circuits in feedthrough CMOS logic family, *J. Low Power Electron.* 2 (2) (2006) 300–307.
- [14] V. Navarro-Botello, J.A. Montiel-Nelson, S. Nooshabadi, Low power arithmetic circuits in feedthrough dynamic CMOS logic, *Proceedings of 49th IEEE International Midwest Symposium on Circuits, and Systems, MWSCAS-2006*, San Juan, Puerto Rico, August 2006.
- [15] N. Weste, K. Eshraghian, Principles of CMOS VLSI Design, A systems Perspective, Addison Wesley, MA, 1988.
- [16] C. Fang, C. Huang, J. Wang, C. Yeh, Fast and compact dynamic ripple carry adder design, *Proceedings of IEEE Asia Pacific Conference on ASIC, APASIC 2002*, August 2002, Taipei, Taiwan, pp. 25–28.
- [17] V. De, S. Borkar, Technology and design challenges for low power and high performance, in: *Proceeding of International Symposium on Low Power Electronic Design, ISLPED'99*, San Diego, CA, USA, August 1999, pp. 163–168.
- [18] T.D. Burd, R. Brodersen, Processor design for portable systems, *J. VLSI Signal Process. Syst.* 13 (2–3) (1996) 203–221.



Copyright © 2006 American Scientific Publishers
All rights reserved
Printed in the United States of America

*Journal of
Low Power Electronics*
Vol. 2, 1–8, 2006

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family for Low Power Applications

Victor Navarro-Botello¹, Juan A. Montiel-Nelson¹, and Saeid Nooshabadi^{2,*}

¹*Institute for Applied Microelectronics, University of Las Palmas de Gran Canaria, E-35017 Las Palmas de Gran Canaria, Spain*

²*School of Electrical Engineering and Telecommunications, University of New South Wales, Sydney 2052, Australia*

(Received: 22 March 2006; Accepted: 11 May 2006)

This paper presents the design of low power high performance arithmetic circuits using the feedthrough logic (FTL)¹ concept. FTL is ideally suited for the circuit design where the critical path is made of a large cascade of inverting gates. Its high fanout and high switching frequencies are due to both lower delay and dynamic power consumption. Low power FTL arithmetic circuits provides for smaller propagation delay time (2.6 times), lower energy consumption (31%), and similar combined delay, power consumption, and active area product, when compared with the standard CMOS technologies.

Keywords: Feedthrough Logic, Low Power Arithmetic Circuits, High Speed CMOS Techniques.

1. INTRODUCTION

The current design techniques trade power for performance in the delay critical sections of the circuit.^{2–4} Techniques such as mix of dynamic and static circuit styles,² use of dual supply voltages,³ and dual V_T transistors,⁴ have been proposed for the purpose.

This paper employs a new logic family called feedthrough logic (FTL), to improve the performance of arithmetic circuits, with a very long logic-depth, while reducing the power dissipation in comparison with the standard CMOS circuits. FTL was successfully employed, by the authors, for integrated circuits in GaAs technology.¹ FTL works on the domino concept for dynamic circuits, with the added feature that gates commence evaluation even before their inputs are valid. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic—such as the limitation of non-inverting only logic, charge redistribution and the need for output inverters—are completely eliminated,⁵ thus reducing the chip area and delay, and improving the performance. FTL logic shows high design flexibility; it can be used in domino-like cascaded stages, differential style, and multiple output logic with iterative networks. It can also be pipelined with fast dynamic latches.¹

*Author to whom correspondence should be addressed.
Email: saeid@unsw.edu.au

In this paper, we present the design of a FTL adder and compare its features with a corresponding adder in standard CMOS. We show that, when implemented in a 0.13 μm CMOS technology process, a low power FTL based 40-bit Ripple Carry Adder (RCA) performs 2.6 times faster (higher frequency) than the standard CMOS, and its energy consumption is reduced by 31%. In addition, it exhibits a similar Γ/MHz ratio when compared with its counterpart in the standard CMOS, where Γ represents the product of three design metrics: Propagation delay time, power consumption, and area.

This paper is organized as follows. Section 2 provides a qualitative description of the operation of the low power FTL circuits. The comparative performance results of FTL and the standard CMOS circuits are presented in Section 3. Section 4 presents the design and analysis of high performance low power FTL adders. The key issues addressed in the design of adders with long propagation chain are of particular interest for the development of other high performance FTL structures. Finally, the main conclusions are presented in Section 5.

2. FTL PRINCIPLE OF OPERATION

The basic structure of a FTL gate is shown in Figure 1. It consists of an NMOS logic network (NMOS block), a PMOS logic network (PMOS block), and an NMOS transistor (T_r) together with a PMOS transistor (T_p) for

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family

Navarro-Botello et al.

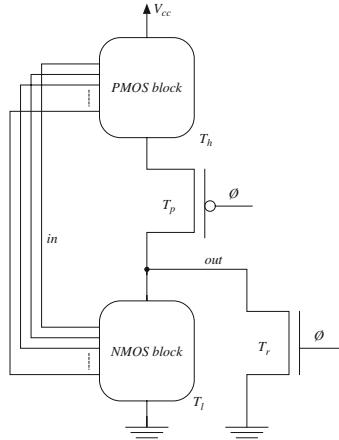


Fig. 1. Low power FTL circuit structure.

resetting the output node to low logic level, and conditional evaluation to logic high. T_r and T_p are controlled by the clock signal (ϕ). During the high phase of ϕ (reset phase), the FTL output node is pulled to ground (GND) through T_r . When ϕ goes low (evaluation phase), T_r is turned off, T_p is turned on, and the output node

conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, the output node is pulled up toward V_{cc} (inverting logic), otherwise it will remain low. Since in FTL the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated.

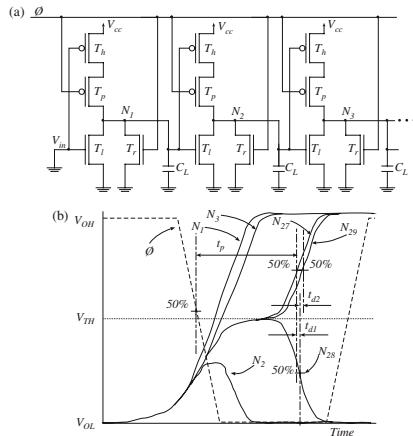
In order to understand how a FTL based logic circuit operates consider the long chain of FTL inverters in Figure 2. When ϕ clock signal goes low, cascaded gates rise to their switching threshold value of V_{TH} , performing a partial transition to a high gain point. During this low phase of ϕ , cascaded stages evaluate their inputs in a domino-like fashion, with the output nodes only making a partial transition from the V_{TH} point to high or low logic levels. This is one main reason for the high performance associated with the FTL based structures.

The main challenge in the design of FTL based circuits is maintaining the V_{TH} stability for long cascaded circuit structures, which is the key factor in the fast logic evaluation and high performance of FTL based circuits.

3. FTL PERFORMANCE RESULTS

To compare the proposed FTL structure against the standard CMOS structure, the behavior of a long chain of inverters (Fig. 1(a)) is simulated. We used a $0.13\text{ }\mu\text{m}$ CMOS process from UMC, with 10 fF capacitive loads in all output nodes, using the parameters for typical process corner at $25\text{ }^{\circ}\text{C}$. The values of propagation delay time t_p for low-to-high and high-to-low transitions, obtained from simulation for 20-cascaded stages, are shown in Table I. The table also shows the average values of t_p and the speed up (t_p ratio) with respect to the standard CMOS.

To provide further insight into the operation of FTL structures, we have simulated the propagation delay time versus the fanout for a 21-stage inverter chain. Each inverter in the chain is loaded identically. The simulation results are shown in Figures 3(a) and 3(b) for the 1st and 21st stages, respectively. Note in Figure 3(a), for the 1st stage, the FTL structure provide no propagation delay time advantage. Figure 3(b), on the other hand, shows that FTL structure outperform the standard CMOS for the 21st stage. Similar simulation results are obtained from the 3rd stage onwards. This is because from the 3rd stage on the pre-evaluation voltage reaches V_{TH} , where we get the advantage of the FTL principle.

Fig. 2. Long chain of FTL inverters: (a) Transistor level circuit diagram, and (b) plot of output voltages from 1st stage (N_1) to 29th stage (N_{29}) of inverters.Table I. Simulation results for circuit delay parameters at node N_{20} for the standard CMOS and FTL structures.

	Logic family	
	CMOS	FTL
t_{ph} (ns)	2.28	0.92
t_{phl} (ns)	2.27	0.84
t_p (ns)	2.28	0.88
t_p ratio	1.00	2.59

Navarro-Botello et al.

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family

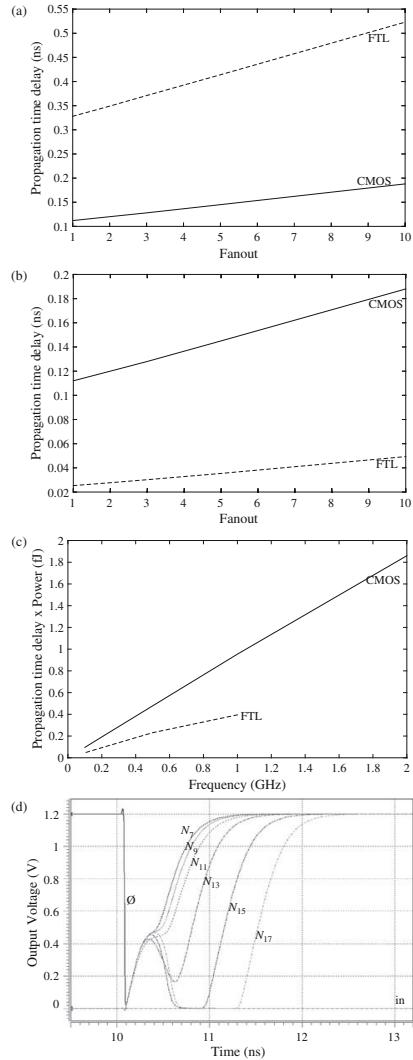


Fig. 3. Results of CMOS and FTL inverters: (a) Propagation delay time versus fanout for the 1st stage, (b) delay versus fanout for the 21st stage, (c) delay-power product versus frequency for the 3rd stage, and (d) effect of dissimilar load in the behavior of FTL inverter chain.

J. Low Power Electronics 2, 1–8, 2006

Delay-power product versus frequency at the 3rd stage of cascaded inverters is shown in Figure 3(c). The measured power-delay product of the 1st stage is higher in FTL than in the standard CMOS, so to take advantage of FTL we must ensure that the numbers of stages are large enough to compensate for the disadvantage of the first few stages.

For FTL to work in circuits with large number of stages, special care must be taken to avoid dissimilar capacitive loads in all the intermediate stages. This will ensure that all nodes rise together to the threshold voltage V_{TH} . The effect of dissimilar capacitive loads at various intermediate stages, on the performance behavior of the chain, is shown in Figure 3(d) for the FTL structure. In this example, an excess capacitive load of 10 fF is added to the output of the 11th stage. This excess capacitive load delays the rise to V_{TH} at stage 11, which in turn causes delay in the logic evaluation in the subsequent stages, causing the FTL inverter to behave as a CMOS dynamic logic NOR gate. The propagation delay time of 181 ps at stage 21, for the FTL structure, is 59% higher than the delay in the standard CMOS structure due to T_p transistor.

To sum up, FTL is well suited to applications where the critical path is made of a large cascade of inverting gates. Many arithmetic circuits such as adders, multipliers, FIR stages, and other similar structures are clear candidates for implementation on FTL. Furthermore, FTL based circuits provide a clear advantage in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Lower delay variation versus load in FTL is especially suitable for applications, where improving the performance of deep pipeline stages is limited by interconnection delay.

The main challenge in employing FTL structures is to appropriately compensate for dissimilar capacitive loads for two identical nodes under opposite charging and discharging conditions. Additional transistors are needed to compensate for this dissimilarity. Next section provides some examples of how this compensation is provided for the long word-length adder structures. The additional transistors, however, will increase the overall adder cell complexity.

4. FTL RIPPLE CARRY ADDER DESIGN

In this section we present the design and optimization of FTL-based RCAs. The structure of the basic sum and carry cells used in the design of long word-length adder circuits are similar to those in Ref. [6]. Ignoring the transistors in the shaded area, these basic cells are presented in Figure 4.

The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in long chain, results in pre-evaluation voltages at the cell outputs that are different from V_{TH} , therefore, losing

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family

Navarro-Botello et al.

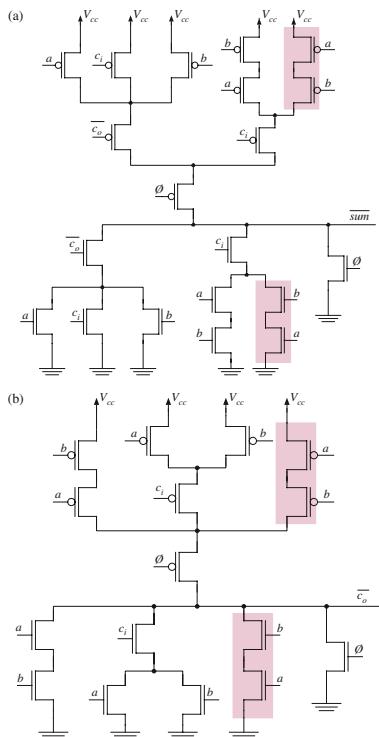


Fig. 4. RCA cells: (a) Sum and (b) carry cells.

the advantage of the FTL. The load capacitance dissimilarity results in loss of FTL advantage in the fourth bit of the adder.

To extend the FTL performance advantage to long word-length RCAs (up to 40 bits and beyond) a modified capacitive compensated adder cells structures based on the

concept proposed in Ref. [1] have been employed. We compensate for dissimilar dynamic node capacitances by adding extra transistors, as shown in the shaded areas in Figure 4. This solution increases area although power consumption does not change. To further reduce the effect of dissimilar capacitive load, we have inserted a non-inverting buffer between the output of the carry cells and the input of the sum cells. The balancing of capacitive at the adder nodes allows for the extension of number of adder bits in the FTL structure to about 40 bits, without losing the FTL advantage.

Table II shows propagation delay time (t_p), power consumption, area, figure of Merit over frequency ratio (Γ/MHz) and alternative figure of Merit (Γ_2/MHz) for the standard CMOS and capacitive compensated FTL structures. Note that the Γ_2/MHz ratio is a measure of energy efficiency for a given clock frequency (or performance).⁷ The Γ/MHz ratio includes area as an additional criteria in the measure of overall efficiency. In Table II, the relative performance of the FTL structure with respect to the standard CMOS is presented in terms of ratios of achievable clock speeds, Γ and Γ_2 . The data in Table II are obtained by simulation at the highest achievable clock frequency for each adder. The simulation environment includes a post-layout estimated minimum load of 10 ff on each node, at typical process corner and 25 °C. Note that the minimum achievable clock period (maximum frequency) is obtained by sum of the minimum evaluation and pre-discharge time periods.

Figure 5 shows the propagation delay time versus the number of adder bits for various adder structures and word-lengths, using the adder cells of Figure 4. We observe that, due to increased gate complexity, the effect of the capacitive imbalance will, eventually, dictate the propagation delay time of the FTL structure after the 40th bit.

From the data in Table II and the plots in Figure 5, it can be observed that in the FTL structure, before the point of imbalance, as the number of adder bits increases, speed up improves with respect to the standard CMOS. At the point of imbalance (40-bit adder) a speed up factor (in terms of f_{\max} ratio) of 2.6 is obtained for the FTL structure, at similar Γ/MHz ratio, with respect to the standard CMOS. The energy saving (column 10 in Table II) of this adder structure is 31% better than the standard CMOS. However,

Table II. Comparison between the standard CMOS and FTL adders in terms of performance (frequency and delay), power, active area, Γ/MHz ratio, and Γ_2/MHz ratio.

Logic family	Number of bits	f_{\max} (MHz)	t_p (ns)	Power (μW)	Area (μm^2)	Γ/MHz ($\text{fJ} \times \mu\text{m}^2/\text{MHz}$)	Γ_2/MHz (fJ/MHz)	Γ ratio	Γ_2 ratio	f_{\max} ratio	t_p ratio
CMOS	40	97.85	10.05	99	36.30	369.00	10.15	1.00	1.00	1.00	1.00
CMOS	64	61.70	16.10	100	58.05	1514.75	26.15	1.00	1.00	1.00	1.00
FTL	40	255.80	2.45	745	52.40	373.90	7.10	1.00	1.45	2.6	4.10
FTL	64 (42)*	92.60	9.60	542	83.90	4714.35	56.20	0.30	0.45	1.50	1.70

*Imbalanced adders: The numbers in parenthesis indicates the maximum number adder bits before the point of imbalance. The technology is 0.13 μm 1.2 V/3.3 V 1P8M Logic High Speed Process from UMC.

Navarro-Botello et al.

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family

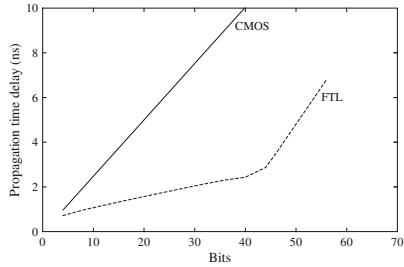


Fig. 5. Propagation delay time versus number of adder bits, the FTL and standard CMOS structures.

beyond the point of imbalance (more than 42 bits) the rate of increase in adder propagation delay time, with respect to the number of adder bits, in the FTL structure approaches that of the standard CMOS.

5. SENSITIVITY ANALYSIS

To prove the superior properties of the FTL structures compared with the standard CMOS, we have characterized the performance of RCAs against the variations in a set of technology parameters: power supply, temperature, capacitive loading, process corner, and noise coupling.

Figure 6 is the plot of propagation delay time of one adder bit versus the variation in the power supply, from 1.08 V to 1.32 V, a $\pm 10\%$ variation from the nominal power supply voltage. As seen, the propagation delay times in 40-bit balanced FTL and 44-bit slightly imbalanced FTL adders demonstrate the lowest sensitivity to the power supply variation. Even, a 56-bit fully imbalanced FTL adder exhibits a propagation delay time sensitivity to power supply variation that is smaller than the standard CMOS adder.

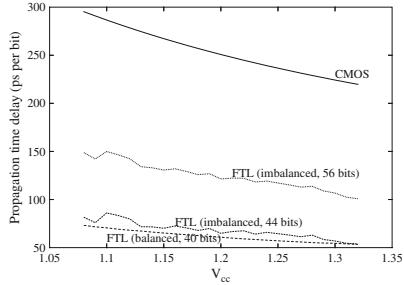


Fig. 6. Propagation delay time per adder bit versus the power supply V_{cc} voltage for the FTL and standard CMOS structures.

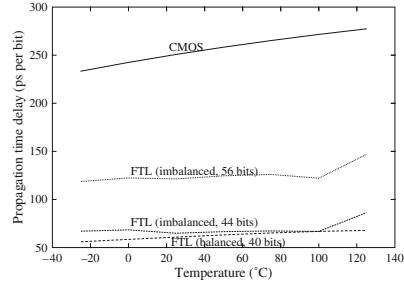


Fig. 7. Propagation delay time per adder bit versus temperature for the FTL and standard CMOS structures.

Figure 7 is the plot of propagation delay time of one adder bit versus the variation in the operating temperature from -25°C to 125°C . As seen, unlike the standard CMOS adder, the propagation delay times in the FTL adders are almost independent of the variation in temperature for values below 100°C .

Figure 8 is the plot of propagation delay time of one adder bit versus the variation in the inter-stage parasitic capacitive load ($\pm 100\%$ variation from the nominal extracted capacitance of 10 fF). As seen the propagation delay time sensitivity demonstrated by the 40-bit balanced FTL and 44-bit slightly imbalanced FTL adders is 5 times less than the sensitivity demonstrated by the standard CMOS. Even a 56-bit fully imbalanced FTL adder exhibits propagation delay time sensitivity that is 2.5 times less than the standard CMOS adder. Lower delay variation versus capacitive load in the FTL adder is especially significant for applications where improving the performance of deep pipeline stages is limited by interconnect capacitive load.

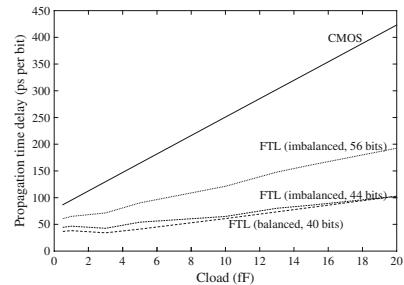


Fig. 8. Propagation delay time per adder bit versus the inter-stage load capacitance (C_{load}) for the FTL and standard CMOS structures.

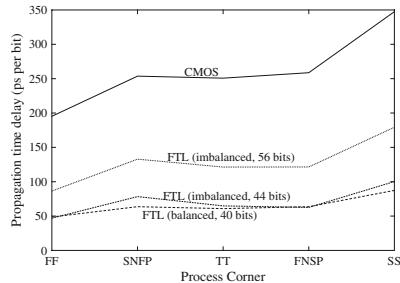
Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family
Navarro-Botello et al.

Fig. 9. Propagation delay time per adder bit versus process corners for the FTL and standard CMOS structures.

Figure 9 is the plot of propagation delay time of one adder bit versus the variation in the process corner from Fast-Fast (FF) to Slow-Slow (SS). As seen, the propagation delay time sensitivity demonstrated by the 40-bit balanced FTL and 44-bit slightly imbalanced FTL adders is 3.4 times less than the sensitivity of the standard CMOS adder. The 56-bit fully imbalanced FTL adder exhibits a propagation delay time sensitivity that is slightly less than the standard CMOS adder.

We have also simulated the performance of the RCAs in the presence of a noise source that is capacitive coupled to all the nodes of the adders. We tried several values of coupling capacitances and noise amplitudes. To create maximum adverse effect at the output nodes from the noise source we synchronized the noise pulse with the commencement of evaluation phase. The noise source, pulses appear at an average frequency that is 10 times larger than the frequency of the clock signal ϕ .

The effect of the noise source on the position of the adder bit where the imbalance commences is summarized in Table III. A capacitive coupling as high as 3 fF and a noise source of more than 220 mV, is required to shift the imbalance point in the FTL adder from bit 40 to bit 36. For pairs with smaller value of capacitive coupling and noise amplitude (0.5 fF–48 mV, and 1.0 fF–88 mV), the imbalance point is not affected by the coupled noise.

Table III. The effect of the source noise when couple to all internal adder nodes on the position of the point of imbalance.

Noise characteristics		Adder bit position at the point of imbalance
Coupling capacitance (fF)	Noise amplitude (mV)	
0	0	40
0.5	48	40
1.0	88	40
3.0	223	36

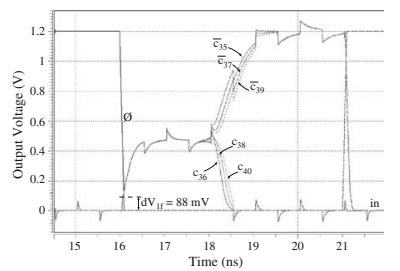


Fig. 10. The effect of noise on the behavior of FTL RCA. A coupling capacitance of 1.0 fF and a source amplitude of 88 mV is used.

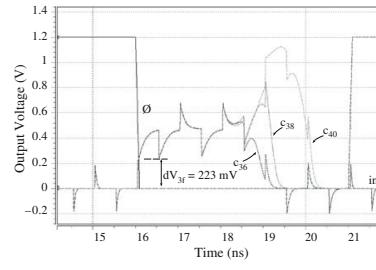


Fig. 11. The effect of noise on the behavior of FTL RCA. A coupling capacitance of 3.0 fF and a source amplitude of 223 mV is used.

Figure 10 and Figure 11 are the simulated behavior of FTL RCA in presence of two pairs of capacitive coupling value and noise amplitude. For the pair (1.0 fF–88 mV) in Figure 10, the effect of noise is insignificant. For the pair (3.0 fF–223 mV) in Figure 11, however, the effect of noise in the behavior of bit 40 is clearly evident.

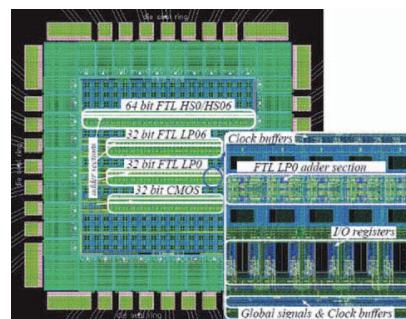


Fig. 12. Layout of the test circuit and zoom out the low power FTL section.

Navarro-Botello et al.

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family

Table IV. Results of the implemented adders, taken from post-layout simulations.

Logic family	Number of bits	t_p (ns/bit)	Power ($\mu\text{W}/\text{bit}$)	Area ($\mu\text{m}^2/\text{bit}$)	$\Gamma @ 10 \text{ MHz}$ ($\text{fJ} \times \mu\text{m}^2/\text{bit}$)	$\Gamma_2 @ 100 \text{ MHz}$ (pJ/bit)	Γ ratio	Γ_2 ratio	t_p ratio
CMOS	32	0.36	5.06	123	0.23	1.84	1.00	1.00	1.00
*FTL	32 (28)	0.14	11.70	189	0.31	1.63	0.73	1.13	2.61

*Imbalanced adder: Shown in parenthesis is the bit number at onset of the imbalance.

Table V. Estimated performance of adders with number of bits set at the point of imbalance.

Logic family	Number of bits	t_p (ns/bit)	Power ($\mu\text{W}/\text{bit}$)	Area ($\mu\text{m}^2/\text{bit}$)	$\Gamma @ 10 \text{ MHz}$ ($\text{fJ} \times \mu\text{m}^2/\text{bit}$)	$\Gamma_2 @ 100 \text{ MHz}$ (pJ/bit)	Γ ratio	Γ_2 ratio	t_p ratio
CMOS	32 (27, 27)	0.36	5.06	123	0.23	1.84	1.00	1.00	1.00
FTL	28 (40, 33)	0.11	11.70	189	0.24	1.26	0.95	1.46	3.38

(x, y) in parenthesis are maximum number of bits for asymmetrical and symmetrical 10 ns period clock, respectively.

6. RCA TEST CHIP

To demonstrate the viability of FTL structures, as an alternative logic family, in practical applications, a test chip implementing a set of FTL and CMOS RCAs was designed. The test chip includes the layout for a 32-bit low power FTL RCA structure (*LP0*), and a 32-bit RCA in the standard CMOS (*CMOS*). The layout of the test chip with the section for the low power FTL zoomed out is illustrated in Figure 12. The test chip also contains two more layouts for other FTL families (*HS0/HS06*, and *LP06*) that are not discussed in this paper. These alternative FTL families are designed to operate with higher performance and energy consumption ratings.⁸ Special care has been taken in the physical layout implementation, to create for symmetry in the layout, avoiding the problem of imbalance in the capacitive loading in the FTL RCA structure.

As observed in the zoomed out region of Figure 12, the chip includes the additional circuitry for clock buffers, serializing the input/output of the test chip, and to provide the *I/O* and global signals buffers. To reduce the sensitivity of the adder structures to the clock skew, the buffered clock lines enter the adder structure from four corners, and are distributed across in a symmetrical fashion to each adder bit cell.

The adder structures in the test chip were simulated including all extracted post-layout interconnection parasitics. Delay, power, area per bit, and Γ from the simulations of the extracted layouts for adder structures on the test chip, at a frequency of 100 MHz are presented in Table IV. Note that these adders are imbalanced, at the bit position shown in the parenthesis. As seen, the FTL adder perform better in terms of delay in comparison with the standard CMOS. The FTL structure demonstrates an energy saving that is lower than the standard CMOS.

Table V presents the propagation delay times per bit, and the estimated performance values when the FTL adder is truncated at the point of the imbalance, assuming the same area and power per bit as the full word-length adders. The maximum number of bits at the point of imbalance,

and the corresponding delay for each structure, is obtained from the post-layout simulations.

For the FTL adder structure in Table V there are two more bit numbers, represented in parenthesis. These numbers correspond to the maximum numbers of bits for a clock period of 10 ns. The first number assumes an asymmetric clock, where the pre-discharge time is set to the minimum required, and the remaining time is used for the evaluation phase. The second number assumes that the clock signal is symmetric with 5 ns dedicated for pre-discharge and evaluation phases. For the standard CMOS, the 27 bits in parenthesis represents the maximum number of bits before the critical path hits 10 ns (100 MHz) clock period. Note that, even with a capacitive imbalance effect full in play, the FTL structure can accommodate 1.5 times more bits than the standard CMOS in 10 ns period.

7. CONCLUSION

In this paper, we proposed a new class of logic family for CMOS technology based on the feedthrough evaluation concept. FTL structures can be for high performance and low power circuits with long logic depth, such as high performance RCAs. FTL logic stages can be cascaded without using interstage inverters, reducing propagation delay time with respect to dynamic logic families in CMOS. Charge redistribution problems associated with dynamic families are also removed in the FTL structures.

We designed and laid out several RCAs to evaluate the performance of the FTL adder structures. Low power FTL structures outperform the standard CMOS by 2.6 times in terms of propagation delay time, while maintaining the same figure of Merit and improving the energy consumption per MHz rating by about 31%.

References

1. S. Nooshabadi and J. A. Montiel-Nelson, Fast feed-through logic: A high performance logic family for GaAs. *IEEE Trans. Circuits Syst. I* (2004), Vol. 51, pp. 2189–2203.
2. S. Mathew, M. Anders, R. Krishnamurthy, and S. Borkar, A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder

Low Power and High Performance Arithmetic Circuits in Feedthrough CMOS Logic Family *Navarro-Botello et al.*

- core. *Proceedings of IEEE VLSI Circuits Symposium* (2002), pp. 126–127.
3. R. K. Krishnamurthy, S. Hsu, M. Anders, B. Bloechel, B. Chatterjee, M. Sachdev, and S. Borkar, Dual supply voltage clocking for 5 GHz 130 nm integer execution core. *Proceedings of IEEE VLSI Circuits Symposium* (2002), pp. 128–129.
4. S. Vangal, Y. Hoskote, D. Somasekhar, V. Erraguntla, J. Howard, G. Ruhl, V. Veeramachaneni, D. Finan, S. Mathew, and N. Borkar, A 5 GHz floating point multiply-accumulator in 90 nm dual V_t CMOS. *Proceedings of IEEE International Solid-State Circuits Conference* (2003), pp. 334–335.
5. J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective*—2e, Prentice Hall, Upper Saddle River, NJ (2003).
6. N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design. A systems Perspective*, Addison Wesley, Massachusetts (1988).
7. T. D. Burd and R. Brodersen, Processor design for portable systems. *J. VLSI Signal Processing Systems* (1996), Vol. 13, pp. 203–221.
8. V. Navarro-Botello, J. A. Montiel-Nelson, H. Navarro-Botello, and S. Nooshabadi, CMOS Fast feed through logic: A new high performance logic family for CMOS. *XX Conference on Design of Circuits and Integrated Systems*, Lisboa, Portugal (2005).

Victor Navarro-Botello

Victor Navarro-Botello received the B.S. and M.S. degrees in electrical engineering from the University of Las Palmas de Gran Canaria, in 2001 and 2004, respectively. He is a Research Assistant at the Institute for Applied Microelectronics (IUMA), where he is working towards his Ph.D. on low power and high performance arithmetic circuits for deep sub-micron VLSI computational systems. His research interests include: VLSI/ULSI architectures, GaAs and CMOS designs, high speed and low power logic families and technologies, and CAD/EDA tools.

Juan A. Montiel-Nelson

Juan A. Montiel-Nelson received the M.S. degree in electrical engineering and the Ph.D. degree from the University of Las Palmas de Gran Canaria, Gran Canaria, Spain, in 1991 and 1994, respectively. From 1996 to 1997, he was a Visiting Scientist at the Centre for Very High Speed Microelectronic Systems of Edith Cowan University, Western Australia, Australia, and in the Department of Computer and Communication Engineering of the same university. From 1997 to 2003, he was a Titular Professor in the Department of Electronic Engineering at the University of Las Palmas de Gran Canaria, where he is currently a Professor. Since 1990, he has been with the Institute for Applied Microelectronics (IUMA) working on CAD and VLSI design of emergent technologies, performance estimation and optimization of circuits and systems, and functional and formal verification. He has authored or coauthored more than 50 papers in edited books, international journals, and conference proceedings. His current research fields include very high-speed integrated circuit (VHSIC) design (circuit, logic, and module design; full-custom design and ASIC synthesis) in GaAs, SiGe, InP, and very deep submicrometer CMOS technologies; performance estimation and optimization of digital integrated circuits and systems (including power-delay tradeoff, timing, and interconnect analysis); and verification of circuits and systems (satisfiability, functional verification, and formal checking).

Saeid Nooshabadi

Saeid Nooshabadi received the B.Sc. and M.Sc. degrees in physics and nuclear physics from Andhra University, India, in 1982 and 1984, respectively, and the M.Tech and Ph.D. degrees in electrical engineering from the Indian Institute of Technology, Delhi, India, in 1986 and 1992, respectively. Currently, he is a Senior Lecturer in microelectronics and digital system design in the School of Electrical Engineering and Telecommunications, University of New South Wales, Sydney, Australia. Prior to his current appointment, he held academic positions at the Northern Territory University and the University of Tasmania between 1993 to 2000. In 1992, he was a Research Scientist at the CAD Laboratory, Indian Institute of Science, Bangalore, India, working on the design of VLSI chips for TV ghost cancellation in digital TV. In 1996 and 1997, he was a Visiting Faculty and Researcher, at the Centre for Very High Speed Microelectronic Systems, Edith Cowan University, Western Australia, working on high performance GaAs circuits; and Curtin University of Technology, Western Australia, working on the design of high speed-high frequency modems. His research interests include very high-speed integrated circuit (VHSIC) and application-specified integrated circuit design for high-speed telecommunication and image processing systems, low-power design of circuits and systems, and low-power embedded systems.

Design of Energy Efficient 10ps Per Bit Adder Circuits in CMOS

Victor Navarro-Botello and Juan A. Montiel-Nelson
 Institute for Applied Microelectronics
 University of Las Palmas de Gran Canaria
 E-35017 Las Palmas de G.C, Spain
 Email: vnavarro, montiel@iuma.ulpgc.es

Saeid Nooshabadi
 Department of Information and Communications
 Gwangju Institute of Science and Technology
 Gwangju, Republic of Korea 500-712
 Email: saeid@gist.ac.kr

Abstract—This work presents the experimental results, from chip measurements, of ripple carry adder circuits using a new CMOS logic family –Feedthrough Logic (FTL). A 14-bit low power FTL adder performs faster, (2.6 times smaller propagation time delay, and 1.85 times higher maximum frequency), and provides a better energy efficiency (67.9% saving), when compared with the dynamic domino CMOS logic style. The 18-bit high speed FTL, working at its maximum frequency, outperforms the dynamic domino logic in terms of the propagation delay (19.5 times less), maximum frequency (12.1 times more), and energy efficiency per bit (96.7% better).

I. INTRODUCTION

The energy reduction in CMOS integrated circuits, while maintaining the high performance, has been the topic of intense research in the recent past. The proposed design techniques trade power for performance in the delay critical sections of the circuit [1]–[5]. To achieve this goal the mix of dynamic and static circuit styles [2], use of dual supply voltages [3]–[5], and dual V_T transistors [5], have been proposed.

To improve the performance of CMOS arithmetic circuits, with a very long logic depth, a new logic family called *feedthrough logic* (FTL) was proposed in [6], [7]. The FTL concept was successfully used for the design of high performance and low power arithmetic circuits [6]. We also extended our research to high speed circuits, and analyzed the adder sensitivity against the capacitive load, temperature, power supply, process variation and noise coupling for the high speed and low power FTL logic families [7]. Our results in [7] showed substantial performance improvement of FTL with respect to standard static fully complementary CMOS and pseudo-NMOS logic design styles. The FTL principle of operation was presented in [6], [7]. Unlike other dynamic logic families, FTL resets the output nodes to low when the clock signal (ϕ) is set high. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic, such as non-inverting only logic limitation, charge redistribution and the need for output inverters, are completely eliminated, thus reducing the chip area and improving the performance.

In this work, we present the chip measurement results of the FTL Ripple Carry Adder (RCA) cells, using the 0.13 μm 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC.

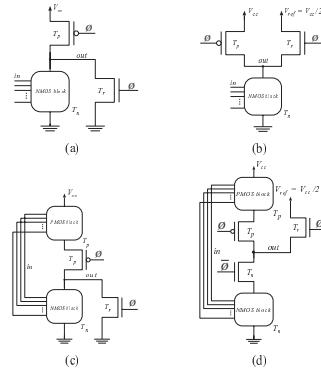


Fig. 1. Proposed FTL structures: (a) high speed structure with $V_{ref} = 0$, (b) high speed structure with $V_{ref} = V_{cc}/2$, (c) low power structure with $V_{ref} = 0$ and (d) low power structure with $V_{ref} = V_{cc}/2$.

Obtained results demonstrate that FTL adders outperforms the dynamic domino RCA in terms of propagation delay, maximum frequency and energy efficiency.

II. FTL RCA CELLS

To provide a trade-off between the performance and power consumption, two basic FTL structures were proposed in [7]. These structures are shown in Fig. 1. One FTL structure is derived from the pseudo-NMOS logic family for high speed applications, and the other from the standard static fully complementary CMOS logic family, for low power applications. Each of these basic structures can operate in two configurations; with reference voltage for reset set to 0 ($V_{ref} = 0$) or $V_{cc}/2$ ($V_{ref} = V_{cc}/2$).

Consider the high speed FTL structure in Fig. 1(b). It consists of an NMOS logic network (NMOS block), an NMOS transistor (T_r) for resetting the output node to low logic level, together with a pull up PMOS load transistor (T_p). T_r and T_p are controlled by the clock signal (ϕ).

During the high phase of ϕ (reset phase), the FTL output node is pulled to ground (GND) through T_r . When ϕ goes

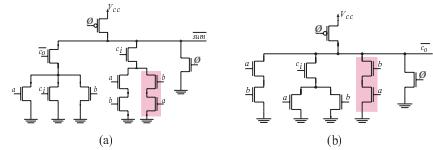


Fig. 2. Ripple Carry Adder cells: (a) sum, and (b) carry cells, for the high-speed FTL adder with $V_{ref} = 0$.

low (evaluation phase), T_r is turned off, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, $\text{node } out$ is pulled up toward V_{cc} (inverting logic), otherwise, it will remain low. Since in FTL the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated.

Consider a long chain of FTL inverters. When the clock signal falls, the outputs of the cascaded gates begin to rise to the gate threshold voltage V_{TH} [7]. At this voltage level all gates in the circuit are in a high gain point. This feature distinguishes the FTL from other logic families. At V_{TH} point any small variation in the input nodes would cause a fast transition of the voltage at the output node. In all other logic families for the output node to begin transition, the inputs need to cross the threshold voltage. Furthermore, in FTL when the valid inputs to a gate are asserted, the gate output only needs to make a partial transition from V_{TH} to V_{OH} or V_{OL} . The higher speed of FTL is due to the reduction in both low-to-high and high-to-low propagation time delays.

The high speed structures have static power consumption, in the evaluation and/or reset stage, due to the short-circuit current from the power supplies (V_{cc} and V_{ref}) to ground (GND). Low power structures remove the static power consumption. Additionally, the low power structure with $V_{ref} = 0$ uses a single clock phase. The main disadvantage of low power structures is that they have a higher input load than high speed ones, and, therefore, are slower. But because of reduced static power consumption, low power structures outperform the standard static and domino dynamic CMOS structures, even at low frequencies.

The structure of the basic sum and carry cells used in the design of long word-length adder circuits, ignoring the transistors in the shaded area, are presented in Fig. 2 for the high speed FTL structure with $V_{ref} = 0$. Cells for other FTL structures are similar. The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in pre-evaluation voltages at the cell outputs that are different from V_{TH} , therefore, losing the advantage of the FTL. Additional transistors, shaded in Fig. 2, are added to compensate for this dissimilarity.

III. RCA TEST CHIP

To prove potentials of the FTL as a practical family on silicon, we laid out the set of FTL and the dynamic domino CMOS RCAs (NP_DRCA, proposed in [8]) using the 0.13 μ m 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC.

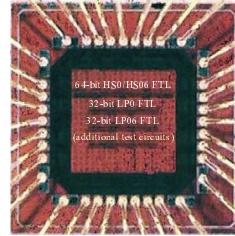


Fig. 3. Die photograph of the manufactured FTL test chip.

We also implemented the set of FTL adders on a CMOS test-chip. The test-chip includes the layouts for a 64-bit RCA in the high speed FTL structure, which can be used with either $V_{ref} = 0$ (*HS0*) or $V_{ref} = V_{cc}/2$ (*HS06*), and two 32-bit RCAs in the low power structures, for use with $V_{ref} = 0$ (*LP0*) and $V_{ref} = V_{cc}/2$ (*LP06*), respectively. Note that we can also configure the low power structure *LP06* to use $V_{ref} = 0$. This configuration produces a modified version of the *LP0* structure (*LP06_0*). A die photograph of the FTL RCA test-chip is depicted in Fig. 3. The chip includes additional circuitry for I/O and global signal buffers, clock tree buffers, multiplexors and serialization circuitry for the input and output data.

To measure the performance of the FTL chips, we designed a printed circuit board (PCB), connected to a high speed signal generator (HP8133A), and a high speed digitizing oscilloscope (HP54121) through 50 ohms transmission lines and low loss 50 ohms connector cables for the signal injection and observation of the carry input/output and the clock signals to minimize the signal degradation and to allow high accuracy sampling (10ps) in the measurement.

We performed a set of delay measurements by changing the word-lengths of the inputs into the FTL RCAs to observe the behavior of the delay as a function of number of propagation bits for all FTL structures and with $V_{ref} = 0$ and $V_{ref} = 0.6V$, using a square clock with 50% duty cycle. For the reference purposes we also carried out a similar set of delay measurements for the cells configured in the permanent evaluation phase ($clk=0$; $nclk=1$). To calibrate for the delay through the test set up and the I/O buffers, we measured the delay by bypassing the carry input to the carry output.

For testing each chip, we measured the average delays, taken over 1024 samples, and the maximum and minimum delays taken over a 10 second time period, to account for jitter, i.e. delay variation inside each of the chips (on-chip variation). Additionally, we also measured the delay variations of all the measured chips (chip-to-chip variation). We measured a total of 7 chips. The average delay and the maximum delay variations, as a function of the word-length, are shown in Fig. 4 and Fig. 5, respectively.

From the test-chip measurement plots in Fig. 4 we observe that the maximum number of bits at the onset of imbalance is noticeably lower than the observed values from the post-layout simulations [7] by an average factor of 1.5. The imbalance

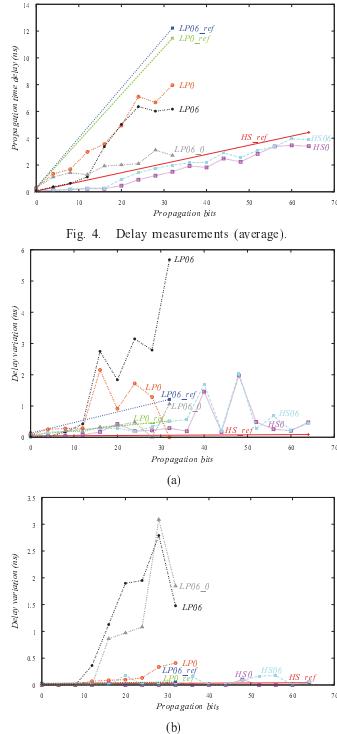


Fig. 4. Delay measurements (average).

(a)

(b)

Fig. 5. Delay variation measurements: (a) chip-to-chip, (c) on-chip jitter.

effect appears at the 18th bit for the HS0 and HS06 FTL adders, at the 14th bit for the LP06 adder, and at the 10th bit for the LP0 adder. The early onset of the imbalance can be attributed to the transistor and capacitive mismatches in the manufacturing process. The delay variation of FTL before the point of imbalance is similar to the corresponding CMOS/nMOS cells (HS_{ref}, LP0_{ref} and LP06_{ref}), but once the imbalance sets in, both the chip-to-chip (Fig. 5(a)) and on-chip (Fig. 5(b)) variations dramatically increase and exhibit randomness. This is because during the evaluation phase the imbalance can push the output node towards or away from the final logical value, depending on the characteristics of capacitive mismatch. The high on-chip variation of the LP06 adder indicates that this is the most noise sensitive structure.

For calibration purposes the power dissipation of the whole chip was also measured when the FTL structures were forced into permanent reset phase (clk=1; nclk=0) with $V_{ref} = 0$. The calibrated power measurements on the test-chips, correspond

to the sum of dynamic and static power consumption of all the FTL structures and clock buffers.

In order to obtain an accurate estimate of power dissipation of the individual FTL structures before the points of imbalance, we correlated the total power consumption from the test-chip measurements with the power profiling from the post-layout simulations. We performed a series of measurements on the test-chip under multiple conditions, permanent evaluation phase, and FTL operations with $V_{ref} = 0$ and $V_{ref} = 0.6V$. We also performed a series of power profiling through the post-layout simulations of the corresponding adder circuits under the identical configurations. Through correlation, we obtained the static and dynamic correction scaling factors, to estimate power contribution of each the FTL adders on the test-chip, from their post-layout simulation values.

Table I presents the delay and energy performance of the FTL adders on the test-chips. We also estimated the performance of the domino dynamic logic adders, by applying the same correction scaling factor for speed, static and dynamic power consumption as was applied to the post-layout simulation estimates of the reference adder cell configured in permanent evaluation phase. We applied the correction factor for LP0_{ref} to the domino dynamic logic as their layout complexity, number of devices, and final post-layout performance of the two are very close each other. We estimated the performance in terms of the measured static and dynamic and total power consumptions, and delay per bit, using both, a 100 MHz clock and the maximum achievable frequency.

The first four columns of Table I identify the adder structure, the maximum number of bits before onset of imbalance, the static (P_s) power dissipation per bit, and dynamic energy consumption per clock period (E_d) per bit. The next two columns present the data for the initial delay (t_0) and the delay per bit (t_p). The initial delay is due to the CMOS/nMOS-like behavior of the first adder bit, where the FTL effect is not yet in operation. Note that FTL adders with $V_{ref} = V_{cc}/2$ almost eliminate the initial delay because of pre-charging the output node to a voltage close to V_{th} . The delay power product, Γ_2 column, is a measure of energy efficiency [9]. Note that we expressed this parameter as fJ/MHz/bit quantity to facilitate comparison of various adders with different operating frequencies and number of bits. Last columns present the performance parameters in terms of energy efficiency, maximum frequency and propagation delay ratios.

All cells in the permanent evaluation phase (HS_{ref}, LP0_{ref}, and LP06_{ref}) are used to establish reference points for comparison. As these structures behave similar to the corresponding CMOS/nMOS adders with the same capacitive load, it will allow us to observe the relative superior performance of FTL, compared to the standard static CMOS/nMOS technology. Note that in order to obtain a fair comparison (in terms of throughput), the dynamic power consumptions of these reference cells refers to frequency of change of the carry input, set to half of the clock frequency.

Results of Table I indicate that the best performance is obtained by the 18-bit high speed FTL adder with $V_{ref} = 0V$,

TABLE I
ESTIMATED PERFORMANCE OF FTL ADDERS WITH NUMBER OF BITS SET AT THE POINT OF IMBALANCE, FROM TEST CHIP MEASUREMENTS

Logic family	Number of bits	P_o ($\mu\text{W}/\text{bit}$)	E_d ($\text{nJ}/\text{Mbit} \cdot \text{ns}$)	t_{p0} (ns)	t_p (ps/bit)	area ($\mu\text{m}^2/\text{bit}$)	freq (MHz)	E_t ($\text{nJ}/\text{Mbit} \cdot \text{ns}$)	$\Gamma_2 \times 10^6$ ($\text{fJ}/\text{Mbit} \cdot \text{ns}$)	Γ_2 ratio	f_{max} ratio	t_p ratio
HS _{ref}	18	69.654	10.071	0.055	68.436	49.329	777.248 100.000	99.687 706.609	6822.14 48357.27	1.000 1.000	1.000 1.000	1.000
domino		0.027	58.942	0.167	208.855	54.098	238.610 100.000	59.854 29.210	12324.72 12366.24	0.7533 3.910	0.307	0.328
HS0		38.296	25.089	0.055	10.723	49.329	2880.439 100.000	38.385 408.049	411.597 4375.45	16.575 11.052	3.706	6.382
HS06		42.502	17.070	0.014	17.149	49.329	1388.836 100.000	47.672 442.089	817.52 758.132	8.345 6.378	1.787	3.991
LP0 _{ref}	10	0.009	27.084	0.280	349.564	80.789	264.880 100.000	27.117 57.170	9476.97 9497.53	1.000 1.000	1.000 1.000	1.000
domino		0.027	58.942	0.167	208.855	54.096	396.816 100.000	59.009 59.210	12324.76 12366.24	0.769 0.768	1.498	1.674
LP0		0.013	41.500	0.280	190.411	80.789	403.530 100.000	41.532 41.628	7906.06 7926.36	1.199 1.198	1.523	1.836
LP06 _{ref}	14	0.009	26.394	0.298	372.759	99.287	181.263 100.000	26.443 26.482	9856.81 9871.57	1.000 1.000	1.000 1.000	1.000
domino		0.027	58.942	0.167	208.855	54.096	298.020 100.000	59.031 59.210	12329.04 12366.24	0.799 0.798	1.644	1.785
LP06		2.948	45.885	0.069	86.835	99.287	385.764 100.000	53.528 75.369	4648.08 6544.63	2.121 1.506	2.128	4.293
LP06_0		0.022	48.341	0.298	81.753	99.287	550.597 100.000	48.380 48.557	3955.20 3969.68	2.492 2.487	3.038	4.560

which improves the energy efficiency by 16.6 times (94%) working at maximum frequency, reduces the propagation time delay by a factor of 6.38 and increases the maximum achievable frequency by a factor of 3.7, with respect to the corresponding nMOS-like structure (HS_{ref}). The corresponding improvements with respect to domino dynamic logic are 30 times (96.7%) increase in the energy efficiency, 19.5 times reduction in the propagation time delay and 12.1 times increase in the maximum operating frequency. Note that, in the high speed FTL structures, energy efficiency degrades with the lowering of operating frequency. However, due to absence of static power dissipation the dynamic domino energy efficiency remains unchanged with the frequency. At 100 MHz clock rate, the high speed FTL adder achieve a reduced energy efficiency factor of 2.83 (64.6%) over the domino one.

On other hand, the energy efficiencies of the low power adders with $V_{ref} = 0V$ do not change with frequency due to absence of static power dissipation. However, the $V_{ref} = 0.6V$ structure shows significant degree of variation in the energy efficiency with the change in the frequency due to presence of the static power dissipation from the $V_{ref} = 0.6V$ power supply. The best performance is obtained by the $LP06$ adder structure using $V_{ref} = 0V$ ($LP06_0$). This adder exhibits a Γ_2 ratio of 2.5 (59.9% better energy efficiency), 4.56 times reduction in the propagation time delay per bit and 3 times increase in the maximum frequency, when compared with the corresponding CMOS-like reference cell ($LP06_{ref}$). If we compare the performance results for this FTL adder with results for the dynamic domino logic, we obtain 3.11 times better Γ_2 value (67.9% better energy efficiency), 2.6 times reduction in the propagation time delay and 1.85 times increase in the maximum frequency.

IV. DISCUSSION AND CONCLUSION

From the test-chip measurements we conclude that:

- The symmetry in the circuit topology and layout is the key to the higher performance of FTL structures.

- The high speed FTL structures offer the best stability with respect to mismatch in the process parameters.
- The high speed FTL structures offer the best energy efficiency for high clock frequencies, even though they suffer from high static power dissipation.
- The low power FTL structures should be used when power dissipation (and not the energy efficiency) is of primary concern.
- Due to capacitive imbalance effect, the FTL structures make an excellent choice for the pipeline RCAs where word-length depth is no more than 8 and 16 bits with the low power and high speed FTL structures, respectively.

REFERENCES

- R. K. Krishnamurthy, A. Alvandpour, S. Mathew, M. Anders, V. De, and S. Borkar, "High-performance, low-power, and leakage-tolerance challenges for sub-70nm microprocessor circuits," in *Proc. 28th Euro. Solid-State Cir. Conf.*, 2002, pp. 315–321.
- S. Mathew, M. Anders, R. Krishnamurthy, and S. Borkar, "A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder core," in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 126–127.
- R. K. Krishnamurthy, S. Hsu, M. Anders, B. Bloechel, D. Chatterjee, M. Sachdev, and S. Borkar, "Dual-supply voltage clocking for 5 GHz 130 nm integer execution core," in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 128–129.
- S. Mathew, M. Anders, B. Bloechel, T. Nguyen, R. Krishnamurthy, and S. Borkar, "A 45 GHz 300mW 64b integer execution ALU with dual supply voltages in 90nm CMOS," in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2004, pp. 162–163.
- S. Vangal, Y. Hoskote, D. Somaskhar, V. Erraguntla, J. Howard, G. Ruhl, V. Venramachaneni, D. Finan, S. Mathew, and N. Borkar, "A 5 GHz floating point multiply-accumulator in 90 nm dual Vt CMOS," in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2003, pp. 334–335.
- V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, "Low power and high performance arithmetic circuits in feedthrough CMOS logic family for low power applications," *ASP J. Low Power Electronics*, vol. 2, no. 2, pp. 300–307, Aug. 2006.
- V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, "Analysis of high performance fast feedthrough logic families in CMOS," *IEEE Trans. Cir. & Syst. II*, vol. 54, no. 6, pp. 489–493, Jun. 2007.
- C. Fang, C. Huang, J. Wang, C. Yeh, "Fast and compact dynamic ripple carry adder design," in *Proc. IEEE Asia Pacific Conf. on ASIC*, Aug. 2002, pp. 25–28.
- T. D. Burd, and R. Brodersen, "Processor design for portable systems," *J. VLSI Sig. Proc. Sys.*, vol. 13, no. 2–3, pp. 203–221, Aug./Sep. 1996.

High Performance FTL Ripple Carry Adders in CMOS Technologies: Experimental Results

Victor Navarro-Botello, Juan A. Montiel-Nelson, Hector Navarro-Botello, and Saeid Nooshabadi.

Abstract— This work presents the experimental results, from chip measurements, of ripple carry adder cells using a new CMOS logic family, based on the *feedthrough evaluation* concept. The *feedthrough logic* (FTL) allows for a partial evaluation in a computational block before its input signals are valid, and do the quick final evaluation as soon as the inputs arrive.

The FTL is well suited to arithmetic circuits where the critical path is made of a large cascade of inverting gates. Furthermore, FTL based circuits perform better in high fanout and high switching frequencies due to both lower delay and dynamic power consumption.

Experimental results, from the chip measurements, show that our 14-bit low power FTL adder performs faster, (2.6 times smaller propagation time delay, and 1.85 times higher maximum frequency), and provides a better energy efficiency (67.9% saving), when compared with the dynamic domino CMOS logic style. The 18-bit high speed FTL, working at its maximum frequency, outperforms the dynamic domino logic in terms of the propagation delay (19.5 times less), maximum frequency (12.1 times more), and energy efficiency per bit (96.7% saving).

Index Terms— Feedthrough logic, CMOS digital integrated circuits, CMOS logic circuits, digital arithmetic, high speed integrated circuits, low power design.

I. INTRODUCTION

Reduction in the energy dissipation, in CMOS integrated circuits, while maintaining the high performance, has been the topic of intense research in the recent past. The proposed design techniques trade power for performance in the delay critical sections of the circuit [1]–[5]. To achieve this goal the mix of dynamic and static circuit styles [2], use of dual supply voltages [3]–[5], and dual V_T transistors [5], have been proposed.

To improve the performance of arithmetic circuits, with a very long logic depth, a new logic family called *feedthrough logic* (FTL) was proposed by the authors for the integrated circuits in GaAs technology [6], [7].

The FTL principle of operation was presented in [8]. Unlike other dynamic logic families, FTL resets the output nodes to low when the clock signal (ϕ) is set high. When the clock signal goes low, cascaded gates rise to their switching

Manuscript received April 21, 2008. This work was partially supported by the Ministry of Information and Communications (MIC), Republic of Korea, under the IT Foreign Specialist Inviting Program (ITFSIP) by the Institute of Information Technology Assessment (IITA), and by the Spanish Ministry of Science and Technology, under grant TEC2005-08138-C02-01 (ENDIVIA Project).

V. Navarro-Botello, J. A. Montiel-Nelson and H. Navarro-Botello are with the Institute for Applied Microelectronics, University of Las Palmas de Gran Canaria, E-35017 Las Palmas de Gran Canaria, Spain (e-mail: vnavarro, montiel, hnavarro@iuma.ulpgc.es).

S. Nooshabadi is with the Department of Information and Communications, Gwangju Institute of Science and Technology, Gwangju, 500-712, Republic of Korea (email: saeid@gist.ac.kr).

threshold value of V_{TH} . During this low phase of ϕ , cascaded stages evaluate their inputs in a domino-like fashion, with the output nodes only making a partial transition from the V_{TH} point to high or low logic levels. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic — such as the limitation of non-inverting only logic, charge redistribution and the need for output inverters — are completely eliminated [9], thus reducing the chip area and delay, and improving the performance.

The FTL concept was successfully introduced by the authors in CMOS technologies for high performance and low power arithmetic circuits [10]. We also extended our research to high speed circuits, and analyzed the adder sensitivity against the capacitive load, temperature, power supply, process variation and noise coupling for the high speed and low power FTL logic families [11]. Our results in [11] showed substantial performance improvement of FTL with respect to standard static fully complementary CMOS and pseudo-NMOS logic design styles.

In this work, we present the chip measurement results of the FTL Ripple Carry Adder (RCA) cells, using the $0.13\ \mu m$ $1.2\ V / 3.3\ V$ 1P8M Logic High Speed Process from UMC. Obtained results demonstrate that FTL adders outperforms the dynamic domino RCA in terms of propagation delay, maximum frequency and energy efficiency.

A. Organization of the Paper

Section II sums up the basic concepts related to the design of high performance RCA cells in the FTL logic family. Next, in Section III, we expose the measurement procedure and the obtained performance results for a set of manufactured FTL adders. We compare the results of the FTL adders with the corresponding non-FTL RCAs, and also, with the DRCA domino cell. Finally, the main conclusions of this work are presented in Section IV.

II. FTL RCA CELLS

To provide a trade-off between the performance and power consumption, two basic FTL structures were proposed in [11]. These structures are shown in Fig. 1. One FTL structure is derived from the pseudo-NMOS logic family for high speed applications, and the other from the standard static fully complementary CMOS logic family, for low power applications. Each of these basic structures can operate in two configurations; with reference voltage for reset set to 0 ($V_{ref} = 0$) or $V_{cc}/2$ ($V_{ref} = V_{cc}/2$).

2

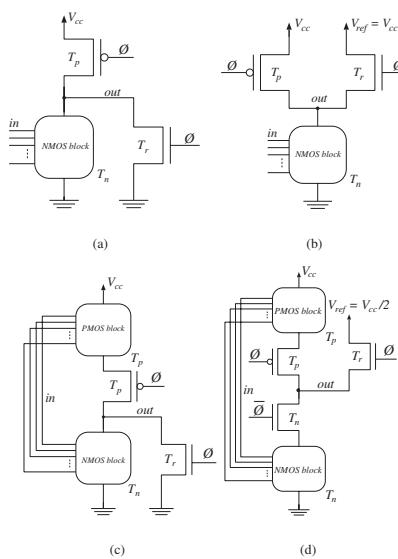


Fig. 1. Proposed FTL structures: (a) high speed structure with $V_{ref} = 0$, (b) high speed structure with $V_{ref} = V_{cc}/2$, (c) low power structure with $V_{ref} = 0$ and (d) low power structure with $V_{ref} = V_{cc}/2$.

Consider the high speed FTL structure in Fig. 1(a). It consists of an NMOS logic network (NMOS block), an NMOS transistor (T_r) for resetting the output node to low logic level, together with a pull up PMOS load transistor (T_p). T_r and T_p are controlled by the clock signal (ϕ).

During the high phase of ϕ (reset phase), the FTL output node is pulled to ground (GND) through T_r . When ϕ goes low (evaluation phase), T_r is turned off, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, node out is pulled up toward V_{cc} (inverting logic), otherwise, it will remain low. Since in FTL the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated.

Consider a long chain of FTL inverters. The plot of the corresponding voltage waveforms is shown in Fig. 2. In this plot, $N1$ to $N29$ show the voltage level at each of the output nodes of the cascade of FTL inverters. In Fig. 2, t_p shows the overall propagation time delay of the chain, and td_n the delay from the n^{th} to $(n+2)^{\text{th}}$ inverter. Considering the higher initial delay (t_0), similar to the corresponding CMOS or pseudonMOS one, in comparison with the lower delay per inverter cell ($td_n/2$), the propagation time delay of FTL is improved for long inverter chains.

When the clock signal falls, the outputs of the cascaded gates begin to rise to the gate threshold voltage V_{TH} . At this voltage level all gates in the circuit are in a high gain point. This feature distinguishes the FTL from other logic families.

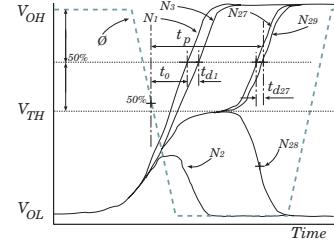


Fig. 2. Plot of output voltages from 1st stage ($N1$) to 29th stage ($N29$) of a cascade of inverters.

At V_{TH} point any small variation in the input nodes would cause a fast transition of the voltage at the output node. In all other logic families for the output node to begin transition, the inputs need to cross the threshold voltage. Furthermore, in FTL when the valid inputs to a gate are asserted, the gate output only needs to make a partial transition from V_{TH} to V_{OH} or V_{OL} . The higher speed of FTL is due to the reduction in both low-to-high and high-to-low propagation time delays.

The high speed structures have static power consumption, in the evaluation stage, due to the short-circuit current from the power supplies (V_{cc} and V_{ref}) to ground (GND). In reset phase, there is no static power consumption for $V_{ref} = 0$. However, circuit topology with $V_{ref} = V_{cc}/2$ exhibits static consumption because current flows from the reference voltage.

Low power structures remove this static power consumption, in both reset and evaluation phases. However, the low power structure with $V_{ref} = V_{cc}/2$ shows noticeable leakage current while reset, which affects the overall static power consumption. Additionally, the low power structure with $V_{ref} = 0$ uses a single clock phase. The main disadvantage of low power structures is that they have a higher input load than high speed ones, and, therefore, are slower. But because of reduced static power consumption, low power structures outperform the standard static CMOS structure in terms of energy efficiency, even at low operating frequencies.

The structure of the basic sum and carry cells used in the design of long word-length adder circuits, ignoring the transistors in the shaded area, are presented in Fig. 3 for the high speed FTL structure with $V_{ref} = 0$. Cells for other FTL structures are similar. The main problem of these structures is the dissimilar charge conditions that exhibits the intermediate and output nodes for the different propagation paths ($a=1$, $b=0$; and $a=0$, $b=1$). This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in pre-evaluation voltages at the cell outputs that are different from V_{TH} , therefore, losing the advantage of the FTL. When this happens, we say that an imbalance effect sets in. The main challenge in employing FTL structures is to appropriately compensate for the dissimilar charge conditions under the different propagation paths.

To extend the FTL performance advantage a modified set of capacitive compensated structures for the adder cells have been employed. We compensate for dissimilar dynamic node

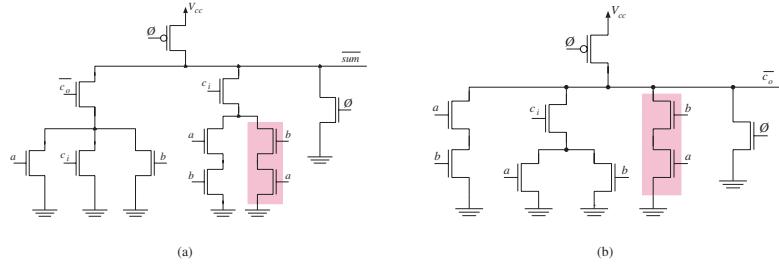


Fig. 3. Ripple Carry Adder cells: (a) sum, and (b) carry cells, for the high speed FTL adder with $V_{ref} = 0$.

capacitances by adding the extra transistors shaded in Fig. 3. The added transistors, together with their symmetric ones, compensate for this dissimilarity by performing as a constant charge under the two different propagation paths, because of the symmetry in the design with respect to the a and b inputs.

To demonstrate the viability of FTL structures, as an alternative logic family, in practical applications, we laid out the set of FTL and the dynamic domino CMOS RCAs (*NP_DRCA*, proposed in [12]). The corresponding 1-bit RCA cell layouts using the 0.13 μm 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC are depicted in Fig. 4. We used the

top metals for power planes and clock distribution. Also, we carefully laid out the FTL compensating transistors to minimize dissimilar capacitive loads for the adder cells.

The adder structures were simulated with all extracted post-layout interconnect parasitics included, using a distributed RC model for the parasitic extraction. Post-layout simulations show that it is possible to implement the balanced high speed and low power versions of the FTL structures with word-length extending to 40 and 20 bits, respectively, when $V_{ref} = V_{cc}/2$. This can be easily achieved without taking any special care in the design of the layout. For the case of $V_{ref} = 0$, however, the point of imbalance for high speed and low power structures would reduce to bit 32 and 16, respectively.

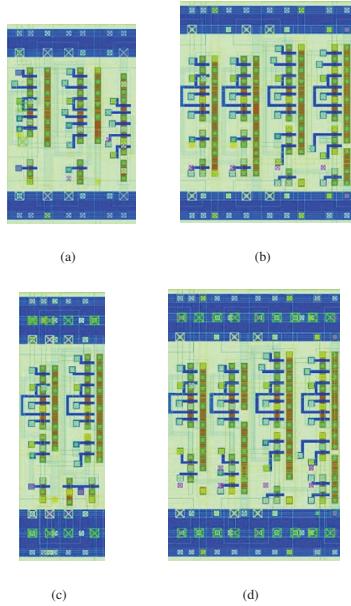


Fig. 4. Layout of the implemented RCAs: (a) domino, (b) low power FTL with $V_{ref} = 0$, (c) high speed FTL ($V_{ref} = 0$; $V_{ref} = V_{cc}/2$), and (d) low power FTL with $V_{ref} = V_{cc}/2$.

III. RCA TEST CHIP

To prove potentials of the FTL as a practical family on silicon, we implemented the set of FTL adders on a CMOS test-chip. The test-chip includes the layouts for a 64-bit RCA in the high speed FTL structure, which can be used with either $V_{ref} = 0$ (*HS0*) or $V_{ref} = V_{cc}/2$ (*HS06*), and two 32-bit RCAs in the low power structures, for use with $V_{ref} = 0$ (*LPO*) and $V_{ref} = V_{cc}/2$ (*LP06*), respectively. Note that we can also configure the low power structure *LP06* to use $V_{ref} = 0$. This configuration produces a modified version of the *LPO* structure (*LP06L*). A die photograph of the FTL RCA test-chip is depicted in Fig. 5.

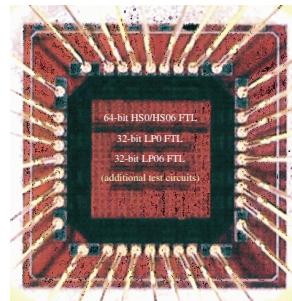


Fig. 5. Die photograph of the manufactured FTL test chip.

4

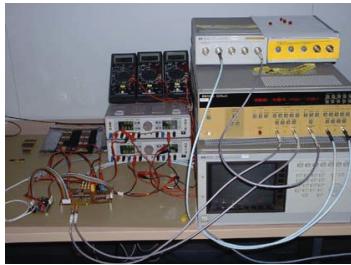


Fig. 6. Photograph of the test set.

The chip includes additional circuitry for I/O and global signal buffers, clock tree buffers, multiplexors and serialization circuitry for the input and output data.

To measure the performance of the FTL chips, we designed a printed circuit board (PCB), connected to a high speed signal generator (HP8133A), and a high speed digitizing oscilloscope (HP54121) through 50 ohms transmission lines and low loss 50 ohms connector cables for the signal injection and observations for the carry input/output and the clock signals to minimize the signal degradation and to allow high accuracy sampling (10ps) in the measurement. Our test set also includes power supplies (HM8142), and digital multimeters (HC3500T). On-chip power measurements are obtained from the current measurement (0.1mA resolution) at the V_{core} terminal. The PCB is connected to a personal computer by means of the RS-232 serial port, to allow for easy access and configuration of the test-chip; *i.e.* the setup of the input words for the FTL adders, and the selection of an output from one the FTL structures on the test-chip. The test set can be observed in Fig. 6.

We performed a set of delay measurements by changing the word-lengths of the inputs into the FTL RCAs to observe the behavior of the delay as a function of number of propagation bits for all FTL structures with $V_{ref} = 0$ and $V_{ref} = 0.6V$, using a square clock with 50% duty cycle. For the reference purposes we also carried out a similar set of delay measurements for the cells configured in the permanent evaluation phase ($clk=0$; $nclk=1$). To calibrate for the delay through the test set up and the I/O buffers, we measured the delay by bypassing the carry input to the carry output.

For testing each chip, we measured the average delays, taken over 1024 samples, and the maximum and minimum delays taken over a 10 second time period, to account for jitters, or on-chip variations. We measured a total of 7 chips. The average delay, and the maximum and minimum delay variations for the on-chip and chip-to-chip measurements, as a function of word-length are shown in Fig. 7. From the test-chip measurement plots in Fig. 7 we observe that the maximum number of bits at the onset of imbalance is noticeably lower than the observed values from the post-layout simulations by an average factor of 1.5. The imbalance effect appears at the 18th bit for the high speed *HS0* and *HS06* FTL adders, at the 14th bit for the low power *LP06* adder, and at the 10th bit

for the *LP0* adder. The early onset of the imbalance can be attributed to the transistor and capacitive mismatches in the manufacturing process. We also note that the delay variation is small before the point of imbalance, but once the imbalance sets in, the chip-to-chip variation dramatically increases. This is because during the evaluation phase the imbalance can push the output node towards or away from the final logical value, depending on the characteristics of capacitive mismatch. The on-chip variation, on the other hand, is small except for the *LP06* structure, indicating that it is the most noise sensitive structure.

For calibration purposes the power dissipation of the whole chip was also measured when the FTL structures was forced into permanent reset phase ($clk=1$; $nclk=0$) with $V_{ref} = 0$. The calibrated power measurements on the test-chips, correspond to the sum of dynamic and static power consumption of all the FTL structures (64-bit HS adder, 32-bit *LP0* adder, 32-bit *LP06* adder) and clock buffers.

In order to obtain an accurate estimate of power dissipation of the individual FTL structures before the points of imbalance, we correlated the total power consumption from the test-chip measurements with the power profiling from the post-layout simulations. To do that we performed a series of measurements on the test-chip under multiple conditions, permanent evaluation phase, and FTL operations with $V_{ref} = 0$ and $V_{ref} = 0.6V$. We also performed a series of power profiling through the post-layout simulations of the corresponding adder circuits under the identical configurations. Through correlation, we obtained the static and dynamic correction scaling factors, to estimate power contribution of each the FTL adders on the test-chip, from their post-layout simulation values.

We also estimated the performance of the domino dynamic logic adders, by applying the same correction scaling factor for speed, static and dynamic power consumption as was applied to the post-layout simulation estimates of the reference adder cell configured in permanent evaluation phase. We applied the correction factor for the low power with $V_{ref} = 0$ reference cell (*LP0*_{ref}) to the domino dynamic logic as the layout complexity, number of devices, and final post-layout performances of both are very close each other.

We performed direct measurements for the delay and total power consumption of the chips at 33MHz, 50MHz, 66MHz, 100MHz and DC operation (for the precharge and evaluation cases). Based on this set of measurements, and the previous calibrations, we computed the static and dynamic power consumptions. The set of measurements, for the all time evaluation case (reference cells), show 4.75mW (static) and 4.71μW/MHz (dynamic) power consumption. For FTL operation with $V_{ref} = 0V$, we obtain 2.48mW (static) and 6.08μW/MHz (dynamic) power. The corresponding values for FTL with $V_{ref} = 0.6V$ are 2.9mW (static) and 6.63μW/MHz (dynamic). The power measurement accuracy, taking into account the overall current resolution, is better than ±0.25% and ±10% for the static and dynamic power, respectively.

Then, based on the power profiling of each adder, and the direct delay and power measurements of the chips, we

TABLE I
ESTIMATED PERFORMANCE OF FTL ADDERS WITH NUMBER OF BITS SET AT THE POINT OF IMBALANCE, FROM TEST CHIP MEASUREMENTS

Logic family	Number of bits	P_s (uW/bit)	P_d (nW/MHz/bit)	t_{p0} (ns)	t_p (ps/bit)	freq (MHz)	P_t (nW/MHz/bit)	$\Gamma_2 \times 10^6$ (fJ/MHz/bit)	Γ_2 ratio	f_{max} ratio	t_p ratio
HS _{ref}	18	69.654	10.071	0.055	68.436	777.248 100.000	706.609 48357.27	6822.14 1.000	1.000	1.000	1.000
		0.027	58.942	0.167	208.855	238.612 100.000	59.054 59.210	12333.72 12366.24	0.553 3.910	0.307	0.328
		38.296	25.089	0.055	10.723	2880.459 100.000	38.385 408.049	411.59 4375.45	16.575 11.052	3.706	6.382
		42.502	17.070	0.014	17.149	1388.836 100.000	47.672 442.089	817.52 7581.32	8.345 6.378	1.787	3.991
LP0 _{ref}	10	0.009	27.084	0.280	349.564	264.880 100.000	27.117 27.170	9478.97 9497.53	1.000	1.000	1.000
		0.027	58.942	0.167	208.855	396.816 100.000	59.009 59.210	12234.36 12366.24	0.769 0.768	1.498	1.674
		0.013	41.500	0.280	190.411	403.530 100.000	41.532 41.628	7908.06 7926.36	1.199 1.198	1.523	1.836
LP06 _{ref}	14	0.009	26.394	0.298	372.759	181.263 100.000	26.443 26.482	9856.81 9871.57	1.000	1.000	1.000
		0.027	58.942	0.167	208.855	298.620 100.000	59.021 59.210	12299.04 12366.24	0.799 0.798	1.644	1.785
		2.948	45.885	0.069	86.835	385.764 100.000	53.528 75.369	4648.08 6544.63	2.121 1.506	2.128	4.293
		0.022	48.341	0.298	81.753	550.597 100.000	48.380 48.557	3955.20 3969.68	2.492 2.487	3.038	4.560

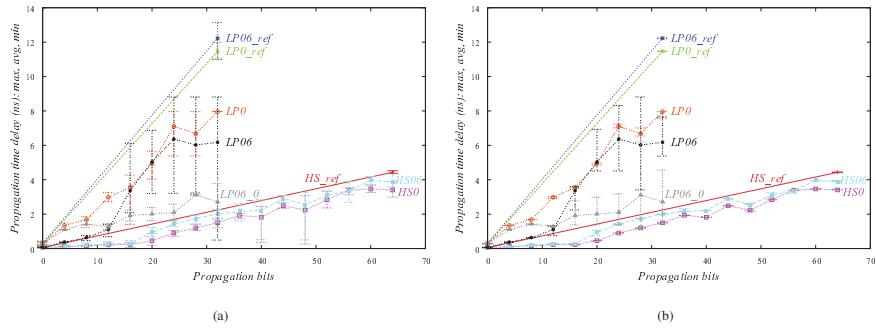


Fig. 7. Delay measurements: (a) chip-to-chip variations, (b) on-chip jitter.

indirectly estimated the performance in terms of the total, static and dynamic power consumptions, and delay per bit at the point of imbalance, for the 100 MHz clock and the maximum achievable operating frequency cases of each adder structure. The maximum operating frequency is computed from the initial delay, the delay per bit and the number of bits of each adder structure.

Table I presents the delay and energy performance of the FTL adders on the test-chips. The first four columns of Table I identify the adder structure, the maximum number of bits before onset of imbalance, the static (P_s) power dissipation per bit, and dynamic power consumption (P_d) per bit. The next two columns present the data for the initial delay (t_{p0}) and the delay per bit (t_p). The initial delay is due to the CMOS/nMOS-like behavior of the first adder bit, where the FTL effect is not yet in operation. Note that FTL adders with $V_{ref} = V_{cc}/2$ almost eliminate the initial delay because of pre-charging the output node to a voltage close to V_{th} . The total

power dissipation (P_t) accounts for static and dynamic power at a given operating frequency; and the delay power product, Γ_2 column, is a measure of energy efficiency [13]. Note that we expressed both parameters as per bit and MHz quantities to facilitate comparison at different operating frequencies and number of bits. Last columns present the performance parameters in terms of energy efficiency, maximum frequency and propagation delay ratios.

All cells in the permanent evaluation phase (HS_{ref} , $LP0_{ref}$, and $LP06_{ref}$) are used to establish reference points for comparison. As these structures behave similar to the corresponding CMOS/nMOS adders with the same capacitive load, it will allow us to observe the relative superior performance of FTL, compared to the standard static CMOS/nMOS technology. Note that in order to obtain a fair comparison (in terms of throughput), the dynamic power consumptions of the reference cells (HS_{ref} , $LP0_{ref}$ and $LP06_{ref}$) referred to frequency of change of the carry input, set to half of the clock frequency.

Results of Table I indicate that the best performance is obtained by the 18-bit high speed FTL adder with $V_{ref} = 0V$, which improves the energy efficiency by 16.6 times (94%) when working at the maximum operating frequency, reduces the propagation time delay by a factor of 6.38, and increases the maximum achievable frequency by a factor of 3.7, with respect to the corresponding nMOS-like structure (*HS.ref*). The corresponding improvements with respect to domino dynamic logic are 30 times (96.7%) increase in the energy efficiency, 19.5 reduction in the propagation time delay and 12.1 times increase in the maximum operating frequency. Note that, in the high speed FTL structures energy efficiency degrades with the lowering of operating frequency. On the other hand, due to absence of static power dissipation, the dynamic domino energy efficiency remains unchanged with the frequency. At 100 MHz clock rate, the high speed FTL adder achieve a reduced energy efficiency factor of 2.83 (64.6%) over the domino dynamic logic.

On other hand, the energy efficiencies of the low power adders with $V_{ref} = 0V$ do not change with frequency. This is again due to absence of static power dissipation in the low power structures. However, the $V_{ref} = 0.6V$ structure shows significant degree of variation in the energy efficiency with the change in the frequency of operation due to presence of the static power dissipation from the $V_{ref} = 0.6V$ power supply. The best performance is obtained by the *LP06* adder structure using $V_{ref} = 0V$ (*LP06.ref*). This adder exhibits a Γ_2 ratio of 2.5 (59.9% better energy efficiency), 4.56 times reduction in the propagation time delay per bit and 3 times increase in the maximum frequency, when compared with the corresponding CMOS-like reference cell (*LP06.ref*). If we compare the performance results for this FTL adder with results for the dynamic domino logic, we obtain a 3.11 times better Γ_2 value (67.9% better energy efficiency), 2.6 times reduction in the propagation time delay and 1.85 times increase in the maximum frequency.

Note that the performance of *LPO* adder is marginally worse due to higher delay difference (near 3 times) from the post-layout simulations to the test-chip measurements. The loss of performance of *LPO* with respect to *LP06* is most likely due topological symmetry present in the later, which is absent in the former. However, when compared with domino dynamic logic, even for similar performance level in terms of propagation time delay (1.10 ratio) and maximum frequency (1.02 ratio), *LPO* exhibits a remarkable superior energy efficiency of 35.8% (1.56 Γ_2 ratio).

IV. CONCLUSION

We designed, and laid out a set of non differential RCAs to evaluate the performance of the FTL adder structures. The test-chip measurements of this set of adders show that propagation time delay of arithmetic circuits employing high speed FTL structures outperform the dynamic domino structure by a factor of 12.1. The energy efficiency per bit is improved by about 96.7%. Low power FTL structures outperform the domino logic by a factor of 2.6 in terms of propagation delay time, while improving the energy efficiency per bit by about 67.9%.

From the test-chip measurements we can make the following inferences:

- The symmetry in the circuit topology and layout is the key to the higher performance of FTL structures.
- The high speed FTL structures offer the best stability with respect to mismatch in the process parameters.
- The high speed FTL structures offer the best energy efficiency for high clock frequencies, even though they suffer from high static power dissipation.
- The low power FTL structures should be used when power dissipation (and not the energy efficiency) is of primary concern.
- To safeguard against the capacitive imbalance effect, the FTL structures make excellent choice for pipeline RCAs where word-length depth is no more than 8 and 16 bits with the low power and high speed FTL structures, respectively.

REFERENCES

- [1] R. K. Krishnamurthy, A. Alavandpour, S. Mathew, M. Anders, V. De, and S. Borkar, "High-performance, low-power, and leakage-tolerance challenges for sub-70nm microprocessor circuits," in *Proc. 28th Euro. Solid-State Cir. Conf.*, Sep. 2002, pp. 315-321.
- [2] S. Mathew, M. Anders, R. Krishnamurthy, and S. Borkar, "A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder core," in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 126-127.
- [3] R. K. Krishnamurthy, S. Hsu, M. Anders, B. Bloechel, B. Chatterjee, M. Sachdev, and S. Borkar, "Dual supply voltage clocking for 5 GHz 130 nm integer execution core," in *IEEE VLSI Cir. Symp.*, Jun. 2002, pp. 128-129.
- [4] S. Mathew, M. Anders, B. Bloechel, T. Nguyen, R. Krishnamurthy, and S. Borkar, "A 4GHz 300mW 64b integer execution ALU with dual supply voltages in 90nm CMOS," in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2004, pp. 162-163.
- [5] S. Vangal, Y. Hoskote, D. Somasekhar, V. Erraguntla, J. Howard, G. Ruhl, V. Veeramachaneni, D. Finan, S. Mathew, and N. Borkar, "A 5 GHz floating point multiply-accumulator in 90 nm dual VT CMOS," in *IEEE Int. Solid-State Cir. Conf.*, Feb. 2003, pp. 334-335.
- [6] S. Nooshabadi and J. A. Montiel-Nelson, "Fast Feedthrough Logic: A High Performance Logic Family for GaAs," *IEEE Trans. Circ. Syst. I*, vol. 51, no. 11, pp. 2189-2203, Nov. 2004.
- [7] J. A. Montiel-Nelson, S. Nooshabadi, V. de Armas, R. Sarmiento and A. Núñez, "High Speed GaAs Subsystem Design using Feed Through Logic," in *Proc. Design, Automation and Test in Euro. Conf. 1999 (DATE'99)*, Mar. 1999, pp. 509-513.
- [8] J. A. Montiel-Nelson, S. Nooshabadi and K. Eshraghian, "Gallium Arsenide Based Fast Feed Through Logic (FTL)," in *Proc. IEEE Int. Symp. Cir. and Sys.*, Jun. 1997, pp. 1884-1887.
- [9] J. M. Rabay, A. Chandrasekaran, and B. Nikolić, *Digital Integrated Circuits: A Design Perspective -2e*. Upper Saddle River, NJ: Prentice Hall, 2003.
- [10] V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, "Low power and high performance arithmetic circuits in feedthrough CMOS logic family for low power applications," *ASP J. Low Power Electronics*, vol. 2, no. 2, pp. 300-307, Aug. 2006.
- [11] V. Navarro-Botello, J. A. Montiel-Nelson, and S. Nooshabadi, "Analysis of high performance fast feedthrough logic families in CMOS," *IEEE Trans. Cir. & Syst. II*, vol. 54, no. 6, pp. 489-493, Jun. 2007.
- [12] C. Fang, C. Huang, J. Wang, C. Yeh, "Fast and compact dynamic ripple carry adder design," in *Proc. IEEE Asia Pacific Conf. on ASIC*, Aug. 2002, pp. 25-28.
- [13] T. D. Burd, and R. Brodersen, "Processor design for portable systems", *J. VLSI Sig. Proc. Sys.*, vol. 13, no. 2-3, pp. 203-221, Aug/Sep. 1996.

Fast Adder Design in Dynamic Logic

Victor Navarro-Botello, Juan A. Montiel-Nelson

Institute for Applied Microelectronics,
University of Las Palmas de Gran Canaria,
Las Palmas de Gran Canaria, Spain
E-mail: {vnavarro, montiel}@iuma.ulpgc.es

Saeid Nooshabadi

Department of Information and Communications
Gwangju Institute of Science and Technology (GIST)
Gwangju, Republic of Korea
saeid@gist.ac.kr

Abstract— This paper presents the design of fast adder design using a new CMOS logic family – Feedthrough Logic (FTL). The FTL is well suited to arithmetic circuits where the critical path is made of a large cascade of inverting gates. Furthermore, FTL based circuits perform better in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Experimental results, for practical circuits, demonstrate that low power FTL provides for smaller propagation time delay (4.1 times), lower energy consumption (30.1%), and similar combined delay, power consumption and active area product (0.9% worst).

I. INTRODUCTION

The current design techniques trade power for performance in the delay critical sections of the circuit [1]–[3]. This is achieved through a mix of dynamic and static circuit styles [1], use of dual supply voltages [2], and dual V_T transistors [3].

This paper proposes a new logic family called *feedthrough logic* (FTL). This family improves the performance of arithmetic circuits, with a very long logic depth, while reducing the power dissipation, when compared with standard CMOS circuits. FTL was successfully employed, by the authors, for integrated circuits in GaAs technology [4]. FTL works on the domino concept for dynamic circuits, with the added feature that gates commence evaluation even before all their inputs are valid.

This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic [5]—such as the limitation of non-inverting only logic, charge redistribution and the need for output inverters— are completely eliminated, thus reducing the chip area and delay, and improving the performance.

FTL logic shows high design flexibility; it can be used in domino-like cascaded stages, differential style, and multiple output logic with iterative networks. It can also be pipelined with fast dynamic latches [4].

This paper presents a series of FTL structures for low power and high speed applications. In order to prove the usefulness of FTL in practical applications we present the design of a set of FTL adders and compare their features with a corresponding set of adders in the standard CMOS. We present the simulation results of the Ripple Carry Adder (RCA) structures, for the implementation on 0.13 μm 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC.

II. FTL PRINCIPLE OF OPERATION

The basic structure of a FTL gate is shown in Fig. 1(a). It consists of an NMOS logic network (*NMOS block*), an NMOS transistor (T_p) for resetting the output node to low logic level, together with a pull up PMOS load transistor (T_p). T_r and T_p are controlled by the clock signal (ϕ).

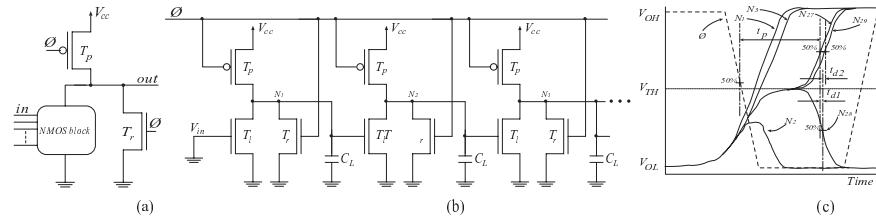


Figure 1. (a) Basic structure of FTL gate. Long chain of FTL inverters; (b) transistor level circuit diagram, and (c) plot of the output voltages from 1st stage ($N1$) to 29th stage ($N29$) of inverters.

During the high phase of \mathcal{O} (reset phase), the FTL output node is pulled to ground (GND) through T_r . When \mathcal{O} goes low (evaluation phase), T_r is turned off, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, node out is pulled up toward V_{cc} (inverting logic), otherwise, it will remain low. Since in FTL the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated.

Consider a long chain of inverters as shown in Fig. 1(b). When the clock signal falls, the outputs of the cascaded gates begin to rise to the gate threshold voltage V_{TH} (Fig. 1(c)). At this voltage point all gates in the circuit are in a high gain point. This feature distinguishes the FTL from other logic families. At V_{TH} point any small variation in the input nodes would cause a fast variation of the voltage at the output node. In all other logic families for the output node to begin transition, the inputs need to cross the threshold voltage. Furthermore, in FTL when the valid inputs to a gate are asserted, the gate outputs need only make a partial transition from V_{TH} to V_{OH} or V_{OL} . The higher speed of FTL is due to the reduction in both low-to-high and high-to-low propagation time delays.

The main challenge in the design of FTL based circuits is, however, maintaining the V_{TH} stability for long cascaded circuit structures, which is the key factor in the fast logic evaluation and high performance of FTL based circuits.

III. FTL PERFORMANCE RESULT

A. Proposed FTL Structures

To provide a trade-off between the performance and power consumption, two basic FTL structures are proposed in this paper. These structures are shown in Fig. 2. Two FTL structures are derived from the pseudo-NMOS (for high speed applications, Fig. 2(a) and 2(b)) and the standard fully complementary (for low power applications, Fig. 2(c) and 2(d)) logic families. Each of these basic structures can operate in two configurations, with reset phase voltage set to 0 ($V_{res} = 0$) or $V_{cc}/2$ ($V_{res} = V_{cc}/2$). With reference to Fig. 1(c), we observe that the initial stages have a different behavior from the other stages, as they never have enough time to reach to the V_{TH} point. However, with $V_{res} = V_{cc}/2$, dissimilarity in the voltages in the initial stages is removed.

B. Comparison of FTL with CMOS

To compare the proposed FTL structures against the standard CMOS structures, the behavior of a long chain of inverters is simulated. We used a $0.13\mu m$ CMOS process from UMC, with 10 fF capacitive loads in all output nodes, using the parameters for typical process corner at $25^\circ C$. The values of propagation time delay, t_p , for low-to-high and high-to-low transitions, obtained from the simulation for 20 stages, are shown in Table I. Table I also shows the average values of t_p and the speed up (t_p ratio) with respect to the standard CMOS.

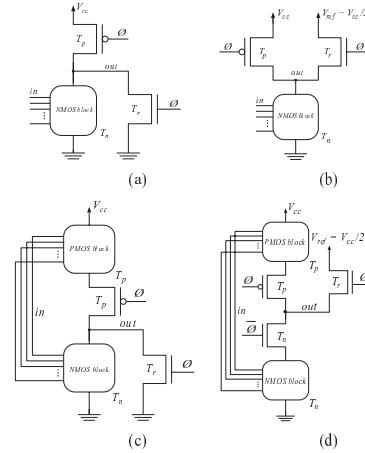


Figure 2. Proposed FTL structures: (a) HS06: high speed structure with $V_{res} = 0$, (b) HS06: high speed structure with $V_{res} = V_{cc}/2$, (c) LP06: low power structure with $V_{res} = 0$ and (d) LP06: low power structure with $V_{res} = V_{cc}/2$.

TABLE I SIMULATION RESULTS FOR CIRCUIT DELAY PARAMETER FOR THE STANDARD CMOS AND FTL (CHAIN OF 20 INVERTERS)

Parameter	CMOS	FTL LP06	FTL LP06	FTL HS06	FTL HS06
t_{ph} (ns)	2.234	0.863	0.776	0.620	0.401
t_{ph} (ns)	2.247	0.789	0.681	0.690	0.468
t_p (ns)	2.240	0.826	0.728	0.655	0.434
t_p ratio	1.000	2.712	3.077	3.420	5.161

For FTL to work in circuits with large number of stages, special care must be taken to avoid dissimilar capacitive loads in all the intermediate stages. This will ensure that all nodes rise together to the threshold voltage V_{TH} . The effect of dissimilar capacitive loads at various intermediate stages on the performance behavior of the chain is shown in Fig. 3 for the low power FTL structure with $V_{res} = 0$. In this example, an excess capacitive load of 1 ff is added to the output of the 11th stage. This excess load delays the rise to V_{TH} at stage 11, which in turn causes delay in the logic evaluation in the subsequent stages, causing the FTL inverter behaves as a CMOS dynamic logic NOR gate.

To sum up, FTL is well suited to applications where the critical path is made of a large cascade of inverting gates. Many arithmetic circuits such as adders, multipliers, FIR stages and other similar structures are clear candidates for implementation on FTL. Furthermore, FTL based circuits

TABLE II.
COMPARISON BETWEEN THE STANDARD CMOS AND FTL IN TERMS OF PERFORMANCE (FREQUENCY AND DELAY), POWER, ACTIVE AREA, Γ/MHz RATIO AND Γ_2/MHz FOR 40-BIT AND 64-BIT RIPPLE CARRY ADDERS.

Logic Family	Number of Bits	f_{\max} (MHz)	t_p (ns)	Power (mW)	Area (μm^2)	Γ/MHz ($\text{fJ}/\mu\text{m}^2/\text{MHz}$)	Γ_2/MHz ($\text{fJ}/\mu\text{m}^2/\text{MHz}$)	Γ ratio	Γ_2 ratio	f_{\max} ratio	t_p ratio
cmos	40	97.847	10.040	0.099	36.288	368.996	10.169	1.000	1.000	1.000	1.000
hs0	40	390.396	2.172	4.053	30.912	697.040	22.549	0.529	0.451	3.990	4.622
hs06	40	292.056	1.970	3.657	30.912	762.521	24.667	0.484	0.412	2.985	5.096
lp0	40	255.820	2.449	0.745	52.416	372.457	7.106	0.991	1.431	2.614	4.115
lp06*	40 (28)	117.082	6.905	0.498	55.104	1617.746	29.358	0.228	0.346	1.197	1.454
cmos	64	61.690	16.100	0.100	58.061	1518.312	26.150	1.000	1.000	1.000	1.000
hs0*	64 (42)	188.164	4.937	5.901	49.459	7657.667	154.829	0.198	0.169	3.051	3.261
hs06	64	195.122	3.021	5.950	49.459	4556.243	92.122	0.333	0.284	3.163	5.329
lp0*	64 (42)	92.593	9.603	0.542	83.866	4717.765	56.254	0.322	0.465	1.501	1.677
lp06*	64 (28)	57.904	15.640	0.454	88.166	10813.884	122.634	0.140	0.213	0.939	1.029

* Imbalanced adders: The number in parenthesis indicates the maximum number of adder bits before the point of imbalance. The technology is $0.13\mu\text{m}$ 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC.

provide a clear advantage in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Lower delay variation versus load in FTL is

especially suitable for applications where improving the performance of deep pipeline stages is limited by interconnection delay.

IV. FTL RIPPLE CARRY ADDER DESIGN

In this section we present the design and optimization of FTL-based RCAs. The structure of the basic sum and carry cells used in the design of long word-length adder circuits are similar to the CMOS adder cell in [6]. Ignoring the transistors in the shaded area, these basic cells are presented in Fig. 4 for the high speed FTL cells with $V_{res} = 0$ (HS0). Cells for other FTL structures (HS06, LH0, and, LH06) are similar.

The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in reset phase (pre-evaluation) voltages at cell outputs that are different from V_{TH} , therefore

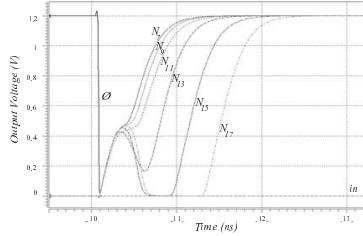


Figure 3. Effect of dissimilar load in the behavior of FTL inverter chain (low power with $V_{ref} = 0$).

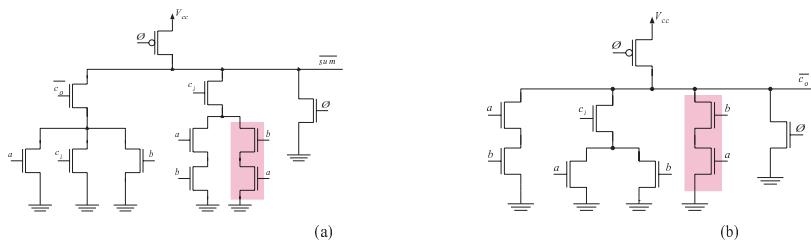


Figure 4. Modified capacitive compensated Ripple Carry Adder high speed FTL cells: (a) sum and (b) carry cells.

losing the advantage of the FTL. The load capacitance dissimilarity results in loss of FTL advantage in the fourth bit of the adder in structures with $V_{res} = 0$. However, structures with $V_{res} = V_{ce}/2$ are less sensitive to dissimilar capacitive load effect, maintaining the FTL advantage to sixteenth adder bit.

To extend the FTL performance advantage to long word-length ripple carry adders (up to 64 bits), modified capacitive compensated sum and carry cell structures [4] have been employed. We compensate for dissimilar dynamic node capacitances by adding extra transistors, as shown in the shaded areas in Fig. 4. This solution increases area although power consumption does not change. To further reduce the effect of dissimilar capacitive load, we have inserted a non-inverting buffer between the output of the carry cells and the input of the sum cells.

Our simulation results show that the low power structures are not suited for more than 42 bits. High speed structures, on the other hand, are used for 64-bit adders without loosing the FTL advantage.

Table II shows propagation time delay (t_p), power consumption, area, Figure of Merit (delay \times power \times area) over frequency ratio (Γ/MHz) and alternative Figure of Merit (delay \times power) over frequency ratio (Γ/MHz) for the standard CMOS and the capacitive compensated FTL structures. Note that the Γ/MHz ratio is a measure of energy efficiency for a given clock frequency (or performance) [6]. The Γ/MHz ratio, further includes area as additional criteria in the measure of overall efficiency.

Relative performance of the FTL structures with respect to the standard CMOS is presented in Table II in terms of ratios of achievable clock speeds, and Γ/Γ' ratings. The data shown in Table II are obtained by simulation at the highest achievable clock frequency for each adder, including a post-layout estimated minimum load of 10 fF on each node, at the typical process corner at 25°C. Note that the minimum achievable clock period (maximum frequency) is obtained by sum of the minimum evaluation and reset phase times.

At the point of imbalance (40-bit adder) a speed up factor (in terms of f_{max} ratio) of 2.6 is obtained for the *LPO* structure at a similar Γ/MHz ratio (0.9% reduction) with respect to the standard CMOS. The energy saving of this adder structure is improved by 30.1% with respect to the standard CMOS.

The *HS0* structure achieves a 3.99 speed up factor although Γ/MHz ratio is increased by 89% and the energy saving is reduced by 121%. It is also interesting to note that, although the *HS06* structure has smaller propagation time delay with respect to the *HS0* one, its maximum achievable clock frequency is lower because of higher reset time.

V. CONCLUSION

In this paper, we proposed a new class of logic family for CMOS technology based on the feedthrough evaluation concept. FTL structures can be tailored for the high speed or low power circuits with long logic depth, such as high performance ripple carry adders.

We have designed several RCAs to evaluate the performance of the FTL adder structures with respect to standard CMOS.

The propagation time delay of arithmetic circuits employing high speed FTL structures outperforms the standard CMOS structure by 4.6 times. The Figure of Merit is reduced by 89% and energy consumption per bit is 121% higher. Low power FTL structures outperform the standard CMOS by 4.1 times in terms of propagation time delay, while maintaining the same Figure of Merit and improving the energy consumption per bit by about 30.1%.

ACKNOWLEDGMENT

This work was supported in part by the Ministry of Information and Communications (MIC), Republic of Korea, under the IT Foreign Specialists Inviting Program (ITFSIP) by the Institute of Information Technology Assessment (IITA).

REFERENCES

- [1] S. Mathew, M. Anders, R. Krishnamurthy, and S. Borkar, "A 4 GHz 130 nm address generation unit with 32-bit sparse-tree adder core," *Proceedings of IEEE VLSI Circuits Symposium*, Honolulu, June 2002, pp. 126–127.
- [2] R. K. Krishnamurthy, S. Hsu, M. Anders, B. Bloechel, B. Chatterjee, M. Sachdev, and S. Borkar, "Dual supply voltage clocking for 5 GHz 130 nm integer execution core," *Proceedings of IEEE VLSI Circuits Symposium*, June 2002, Honolulu, pp. 128–129.
- [3] S. Vangal, Y. Hoskote, D. Somasekhar, V. Erraguntla, J. Howard, G. Ruhl, V. Veeramachaneni, D. Finan, S. Mathew, and N. Borkar, "A 5 GHz floating point multiply-accumulator in 90 nm dual Vt CMOS," *Proceedings of IEEE International Solid-State Circuits Conference*, San Francisco, February 2003, pp. 334–335.
- [4] S. Nooshabadi and J. A. Montiel-Nelson, "Fast feedthrough logic: A high performance logic family for GaAs," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 11, pp. 2189–2203, November, 2004.
- [5] J. M. Rabay, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective –2e*, Upper Saddle River, NJ: Prentice Hall, 2002.
- [6] N. Weste and K. Eshragian, *Principles of CMOS VLSI Design, A systems Perspective*, Addison Wesley, Massachusetts, 1988.
- [7] T. D. Burd, and R. Brodersen, "Processor design for portable systems", *Journal of VLSI Signal Processing*, vol. 13, no. 2–3, pp. 203–221, 1996.

Low Power Arithmetic Circuits in Feedthrough Dynamic CMOS Logic

Victor Navarro-Botello and Juan A. Montiel-Nelson
 Institute for Applied Microelectronics,
 University of Las Palmas de Gran Canaria,
 E- 35017 Las Palmas de Gran Canaria, Spain,
 {vnavarro, montiel}@iuma.ulpgc.es

Saeid Nooshabadi and Mike Dyer
 School of Electrical Engineering, and Telecommunications
 University of New South Wales
 Sydney, 2052, Australia
 (saeid, m.dyer)@unsw.edu.au

Abstract—This paper presents the design of low power high performance arithmetic circuits using the feedthrough logic (FTL) [1] concept. Low power FTL arithmetic circuits provide for smaller propagation time delay (2.6 times), lower energy consumption (31%), and similar combined delay, power consumption, and active area product, when compared with the standard CMOS technologies.

I. INTRODUCTION

The current design techniques trade power for performance in the delay critical sections of the circuit [2]–[4]. This is achieved through a mix of dynamic and static circuit styles [2], use of dual supply voltages [3], and dual V_T transistors [4].

This paper employs a new logic family called feedthrough logic (FTL). This family improves the performance of arithmetic circuits, with a very long logic depth, while reducing the power dissipation when compared with standard CMOS circuits. FTL was successfully employed, by the authors, for integrated circuits in GaAs technology [1]. FTL works on the domino concept for dynamic circuits, with the added feature that gates commence evaluation even before all their inputs are valid. This fact results in very fast evaluation time in the computational blocks. Furthermore, the well known problems associated with the domino logic [5]—such as the limitation of non-inverting only logic, charge redistribution and the need for output inverters—are completely eliminated, thus reducing the chip area and delay, and improving the performance.

FTL logic shows high design flexibility; it can be used in domino-like cascaded stages, differential style, and multiple output logic with iterative networks. It can also be pipelined with fast dynamic latches [1].

In this paper, we present the design of a FTL adder and compare its features with a corresponding adder in standard CMOS. We show that, when implemented in a $0.13\mu\text{m}$ CMOS technology process, a low power FTL based 40-bit

Ripple Carry Adder (RCA) performs 2.6 times faster (higher frequency) than the standard CMOS, its energy consumption is reduced by 31%, and it exhibits a similar Γ/MHz ratio in comparison with its counterpart in the standard CMOS, where Γ represents the product of three design metrics: propagation time delay, power consumption and the active area.

II. FTL PRINCIPLE OF OPERATION

The basic structure of a FTL gate is shown in Fig. 1. It consists of NMOS and PMOS logic blocks (as in standard CMOS), together with a pull up PMOS load transistor (T_p) and a reset transistor (T_r). T_r and T_p transistors are controlled by the clock signal (ϕ). During the high phase of ϕ (reset phase), the FTL output node is pulled to ground (GND) through T_r . When ϕ goes low (evaluation phase), T_r is turned off, T_p is turned on, and the output node conditionally evaluates to either high or low logic levels. If the logic network evaluates to high, the output node is pulled

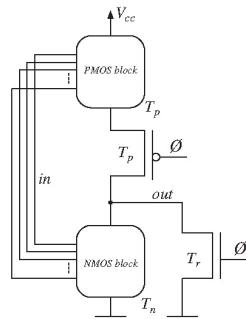


Figure 1. Low Power FTL Circuit Structure

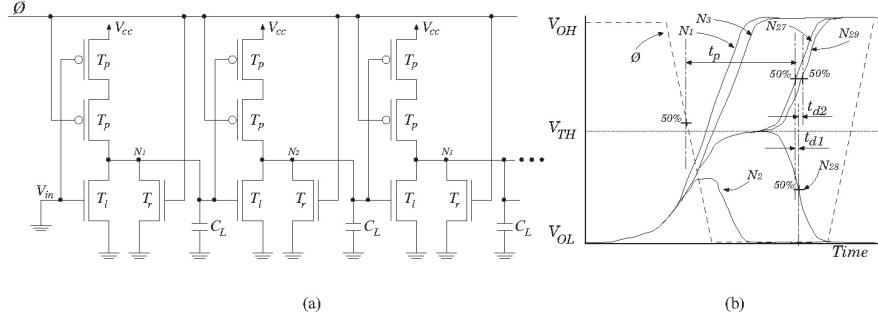


Figure 2. Long chain of FTL inverters: (a) transistor level circuit diagram, and (b) plot of output voltages from 1st stage (N1) to 29th stage (N29) of inverters.

up towards V_{cc} (inverting logic), otherwise it will remain low. Since in FTL the output is reset to low, the need for inverters to restore the polarity of the output node is eliminated. In order to understand how a FTL based logic circuit operates, consider the long chain of FTL inverters in Fig. 2. When the clock signal goes low, cascaded gates rise to their switching threshold value of V_{TH} , performing a partial transition to a high gain point. During this low phase of ϕ , cascaded stages evaluate their inputs in a domino-like fashion, with the output nodes only making a partial transition from the V_{TH} point to high or low logic levels. This is one main reason for the high performance associated with the FTL based structures.

The main challenge in the design of FTL based circuits is, maintaining the V_{TH} stability for long cascaded circuit structures, which is the key factor in the fast logic evaluation and high performance of FTL based circuits.

III. FTL PERFORMANCE RESULTS

To compare the proposed FTL structure against the standard CMOS structures, the behavior of a long chain of inverters (Fig. 1(a)) is simulated. We used a $0.13\mu m$ CMOS process from UMC, with 10 fF capacitive loads in all output nodes, using the parameters for typical process corner at $25^\circ C$. The values of propagation time delay t_p for low-to-high and high-to-low transitions, obtained from simulation for 20 stages, are shown in Table I. The table also shows the average values of t_p and the speed up (t_p ratio) with respect to the standard CMOS.

For FTL to work in circuits with large number of stages, special care must be taken to avoid dissimilar capacitive loads in all the intermediate stages. This will ensure that all nodes rise together to the threshold voltage V_{TH} . The effect of dissimilar capacitive loads at various intermediate stages on the performance behavior of the chain is shown in Fig. 3 for the FTL structure. In this example, an excess capacitive

load of 10 fF is added to the output of the 11th stage. This excess load delays the rise to V_{TH} at stage 11, which in turn causes delay in the logic evaluation in the subsequent stages, causing the FTL inverter to behave as a CMOS dynamic logic NOR gate. The propagation time delay of 181 ps at stage 21, for the FTL structure, is 59% higher than the delay in the standard CMOS structure due to T_p transistor.

TABLE I. SIMULATION RESULTS FOR CIRCUIT DELAY PARAMETERS AT NODE N20 FOR THE STANDARD CMOS AND FTL STRUCTURES

	Logic Family	
	CMOS	FTL
T_{ph} (ns)	2.28	0.92
T_{phi} (ns)	2.27	0.84
T_p (ns)	2.28	0.88
T_p Ratio	1.00	2.59

To sum up, FTL is well suited to applications where the critical path is made of a large cascade of inverting gates. Many arithmetic circuits such as adders, multipliers, FIR stages and other similar structures are clear candidates for implementation on FTL. Furthermore, FTL based circuits provide a clear advantage in high fanout and high switching frequencies due to both lower delay and dynamic power consumption. Lower delay variation versus load in FTL is especially suitable for applications where improving the performance of deep pipeline stages is limited by interconnection delay.

The main challenge in employing FTL structure is to appropriately compensate for dissimilar capacitive loads for two identical nodes under charging and discharging conditions. Additional transistors are needed to compensate for this dissimilarity. Next section provides some example

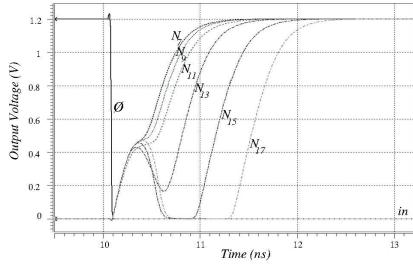


Figure 3. Effect of dissimilar load in the behavior of FTL inverter chain.

of how this compensation can be provided for the long word-length adder structures. The additional transistors, however, will increase the overall adder cell complexity

IV. FTL RIPPLE CARRY ADDER DESIGN

In this section we present the design and optimization of FTL-based RCAs. The structure of the basic sum and carry cells used in the design of long word-length adder circuits are similar to the CMOS adder cell in [6]. Ignoring the transistors in the shaded area, these basic cells are presented in Fig. 4.

The main problem of these structures is the dissimilar capacitive loads for different propagation paths. This capacitive load dissimilarity at the output of the carry cells, in a long chain, results in pre-evaluation voltages at cell outputs that are different from V_{TH} , therefore losing the advantage of the FTL. The load capacitance dissimilarity results in loss of FTL advantage in the fourth bit of the adder.

To extend the FTL performance advantage to long word-length ripple carry adders (up to 40 bits) modified capacitive compensated sum and carry cell structures [1] have been employed. We compensate for dissimilar dynamic node capacitances by adding extra transistors, as shown in the shaded areas in Fig. 4. This solution increases area although power consumption does not change.

To further reduce the effect of dissimilar capacitive load, we have inserted a non-inverting buffer between the output of the carry cells and the input of the sum cells. The FTL structure can be used for designing adders as long as 40-bit, without losing the FTL advantage.

Table II shows propagation time delay (t_p), power consumption, area, Figure of Merit over frequency ratio (Γ/MHz) and alternative Figure of Merit (Γ_2/MHz) for the standard CMOS, capacitive compensated FTL structures. Note that the Γ_2/MHz ratio is a measure of energy efficiency for a given clock frequency (or performance) [7]. The Γ/MHz ratio, however, includes area as an additional criteria in the measure of overall efficiency.

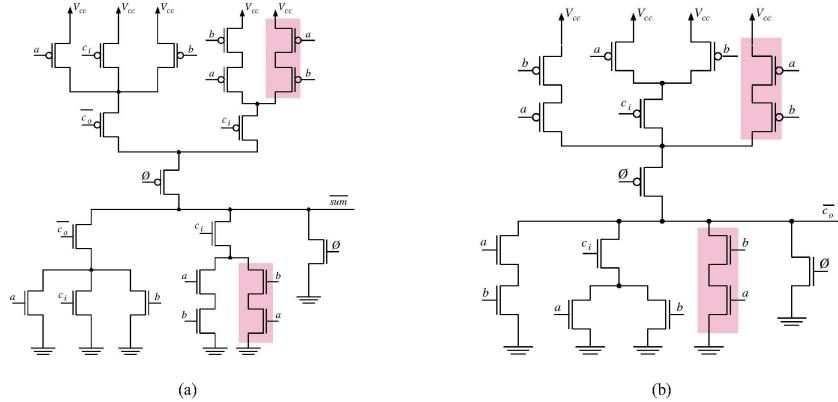


Figure 4. Ripple Carry Adder cells: (a) sum and (b) carry cells.

TABLE II. COMPARISON BETWEEN THE STANDARD CMOS AND FTL ADDERS IN TERMS OF PERFORMANCE (FREQUENCY AND DELAY), POWER, ACTIVE AREA, Γ/MHz RATIO AND FOR Γ_2/MHz FOR CMOS AND FTL STRUCTURES.

Logic Family	Number of Bits	f_{\max} (MHz)	t_p (ns)	Power (μW)	Area (μm^2)	Γ/MHz	Γ_2/MHz ($\text{fJ}\times\mu\text{m}^2/\text{MHz}$)	Γ Ratio	Γ_2 Ratio	f_{\max} Ratio	t_p Ratio
CMOS	40	97.85	10.05	99	36.30	369.10	10.15	1.00	1.00	1.00	1.00
CMOS	64	61.70	16.10	100	58.05	1514.75	26.10	1.00	1.00	1.00	1.00
FTL	40	255.80	2.45	745	52.40	373.90	7.15	1.00	1.45	2.6	4.10
FTL	64(42)*	92.60	9.60	542	83.90	4714.35	56.20	0.30	0.45	1.50	1.70

*Imbalanced adders: The numbers in parenthesis indicates the maximum number adder bits before the point of imbalance. The technology is $0.13 \mu\text{m}$ 1.2 V / 3.3 V 1P8M Logic High Speed Process from UMC.

Table II shows relative performance of the FTL structures with respect to the standard CMOS presented in terms of ratios of achievable clock speeds, Γ and Γ_2 . The data in Table II are obtained by simulation at the highest achievable clock frequency for each adder, including a post-layout estimated minimum load of 10 fF on each node, at the typical process corner at 25°C . Note that the minimum achievable clock period (maximum frequency) is obtained by sum of the minimum evaluation and pre-discharge times.

Fig. 5 shows the propagation time delay versus the number of adder bits for various adder structures and word-length, using adder cells of Fig. 4. We observe that the effect of capacitive imbalance eventually dictate the propagation time delay of the FTL structure after the 40th bit.

From the data in Table II and the plots in Fig. 5, it can be observed that in the FTL structure, before the point of imbalance, as the number of adder bits increases, speed up improves with respect to the standard CMOS. At the point of imbalance (40-bit adder) a speed up factor (in terms of f_{\max} ratio) of 2.6 is obtained for the FTL structure, at similar Γ/MHz ratio, with respect to the standard CMOS. The energy saving (column 10 in Table II) of this adder structure is 31% with respect to the standard CMOS. However, beyond the point of imbalance (more than 42 bits) the rate of increase in adder propagation time delay with respect to the number of adder bits in the FTL structure approaches that of standard CMOS.

V. CONCLUSION

In this paper, we proposed a new class of logic family for CMOS technology based on the feedthrough evaluation concept. FTL structures are ideally suited for high performance and low power circuits with long logic depth, such as high performance ripple carry adders. FTL logic stages can be cascaded without using interstage inverters, reducing propagation time delay with respect to dynamic logic families in CMOS. Charge redistribution problems associated with dynamic families are also removed in the FTL structures. We have designed and laid out several RCAs to evaluate the performance of the FTL adder structures. Low power FTL structures outperform the standard CMOS by 2.6 times in terms of propagation time delay, while maintaining the same Figure of Merit and improving the energy consumption per MHz rating by about 31%.

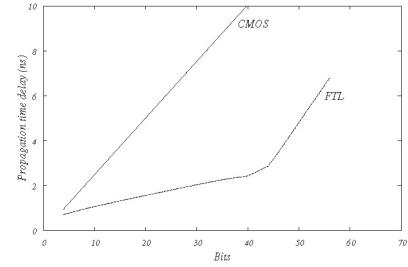


Figure 5. Propagation time delay vs. number of adder bits for FTL and standard CMOS structures.

REFERENCES

- [1] S. Nooshabadi and J. A. Montiel– Nelson, "Fast Feedthrough Logic: A High Performance Logic Family for GaAs," *IEEE Trans. Circuits Syst. I*, Vol. 51, No. 11, pp. 2189– 2203, 2004.
- [2] S. Mathew, M. Anders, R. Krishnamurthy, and S. Borkar, "A 4 GHz 130 nm address generation unit with 32– bit sparse– tree adder core," *Proceedings of IEEE VLSI Circuits Symposium*, 2002, pp. 126– 127.
- [3] R. K. Krishnamurthy, S. Hsu, M. Anders, B. Bloechel, B. Chatterjee, M. Sachdev, and S. Borkar, "Dual supply voltage clocking for 5 GHz 130 nm integer execution core," *Proceedings of IEEE VLSI Circuits Symposium*, 2002, pp. 128– 129.
- [4] S. Vangal, Y. Hoskote, D. Somasekhar, V. Erragunla, J. Howard, G. Ruhl, V. Veeramachaneni, D. Finan, S. Mathew, and N. Borkar, "A 5 GHz floating point multiply– accumulator in 90 nm dual Vt CMOS," *Proceedings of IEEE International Solid-State Circuits Conference*, 2003, pp. 334– 335.
- [5] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective* –2e, Upper Saddle River, NJ: Prentice Hall, 2002.
- [6] N.Weste and K. Eshraghian, *Principles of CMOS VLSI Design, A systems Perspective*, Addison Wesley, Massachusetts, 1988.
- [7] T. D. Burd, and R. Brodersen, "Processor design for portable systems", vol. 13, no. 2–3, pp. 203– 221, 1996.

CMOS Fast Feed Through Logic: A New High Performance Logic Family for CMOS

Victor Navarro-Botello, *Student Member, IEEE*, Juan A. Montiel-Nelson, *Member, IEEE*,
Hector Navarro-Botello, *Student Member, IEEE*, and Saeid Nooshabadi, *Member, IEEE*

Abstract—A new CMOS logic family using the *feedthrough evaluation* concept is presented in this paper. *Feedthrough logic* (FTL) has been an interesting design methodology in GaAs technologies for the last years, and it has allowed to overcome some of the main problems of dynamic GaAs families. The *feedthrough logic* allows the output of computational block to be partially generated before its input signals arrive, and then to outperform a quick evaluation as soon as the inputs arrive. FTL has demonstrated to be the simplest, the fastest and the less power consumption solution in GaAs. Experimental results will demonstrate that the application of the FTL principle to CMOS technologies has important advantages in terms of propagation time and Figure of Merit (delay, power consumption and active area product). To sum up, design aspects are explained in order to use CMOS-FTL logic in high performance VLSI/ULSI circuits.

Index Terms—Feedthrough logic, high performance arithmetic circuits, high speed CMOS techniques, high speed-low power adders, standard cell based design.

I. INTRODUCTION

Owing to the difficulty of successfully scaling conventional bulk planar CMOS technology to meet the increased performance, the higher density, and the reduced power dissipation required for the future technology generations, the research and development on non-CMOS devices, logic structures and architectures will mostly likely be accelerated [1]. In recent years a number of Gallium Arsenide based arithmetic circuits which employ dynamic logic structures have been designed. These dynamic logic structures have been proposed as an alternative to static logic basically to reduce the power dissipation, as well as a means to improve the speed of operation.

In [2], it has been demonstrated that feedthrough logic (FTL) using GaAs technology overcomes all the associated problems of dynamic logic families. It works on the domino concept, with the added feature that gates commence evaluation even before their inputs are valid. This fact results in very fast computational blocks. Related problems such as leakage current, charge redistribution and the need for output inverters are completely eliminated, thus reducing the chip area and delay, and improving the performance. Since the overhead and complexity associated with the transistor sizing, multiple power supplies and clock rails are much less in FTL than in

the other dynamic structures in GaAs, very compact layouts and high performance circuits can be realized.

Main problem concerning the design of digital processors and ULSI systems in deep-submicron CMOS technologies is that actual pipeline depth is limited to about 12 stages of combinational logic. In order to get advantages of CMOS-FTL, we keep the FTL operation for high number of combinational logic stages. As result, we present a 64-bit ripple carry adder (RCA) with a propagation time delay of 1.3ns, a power consumption of 5.5μW and an active area of 58μm². In comparison with a conventional RCA CMOS adder, CMOS-FTL has 10 times less propagation time delay and an 80% of improvement in Figure of Merit (F). In addition, we present a 32-bit RCA cell which improves Figure of Merit (F) in a 477% in comparison with a RCA cell in CMOS. The clock frequency of the previous CMOS-FTL RCA cells switches at 500MHz. We also present in this paper the layout and postlayout results of the 64-bit RCA cell.

In this paper we demonstrate that the FTL concept can also be applied to CMOS technologies, introducing a new logic family (CMOS-FTL) that reduces the propagation time delay and improves Figure of Merit (F) in comparison against CMOS. These results seems to be very interesting in order to extend the depth of pipeline structures in arithmetic circuits, reducing design complexity, and improving propagation time delay as well as Figure of Merit. The technologies are CMOS 0.13μm from UMC (1.2V/3.3V logic high speed enhancement process), and 0.18μm from TSMC (1.8V/3.3V mixed-signal SALICIDE 1P6M+ process).

A. Previous Work

To demonstrate the performance of FTL, in [2] was laid-out and simulated several experimental circuits. These included cascaded domino-type logic, iterative complex functions, and the use of FTL principles to the design of circuits with pipeline stages, demonstrating the superior performance of the FTL design methodology in GaAs. They compared FTL based design with the standard CMOS technology. FTL design outperforms the standard CMOS technology by about an order of magnitude in terms of speed, while losing to CMOS in terms of chip area by the same order of magnitude. The power dissipation value for FTL is about two times smaller than the standard CMOS [2]. These authors also showed in detail the FTL principle and the first FTL performance estimation based on the equivalent circuit and equations of the GaAs devices, having a 4 times speed factor advantage for FTL versus

Manuscript received April 17, 2005.
V. Navarro-Botello, J. A. Montiel-Nelson and H. Navarro-Botello are with the Institute for Applied Microelectronics, University of Las Palmas de Gran Canaria, E-35017 Las Palmas de Gran Canaria, Spain (e-mail: vnavarro, montiel, hnavarro@uma.ulpgc.es).

S. Nooshabadi is with the School of Electrical Engineering and Telecommunications, University of New South Wales, Sydney NSW 2052, Australia (e-mail: saeid@uns.w.edu.au).

DCFL in HGaAs-IV technology from Vitesse Semiconductor Corporation.

Previous work also indicates the advantages of FTL design methodologies into high performance arithmetic circuits, and compares the FTL logic family with other common GaAs families such as DCFL, TDFL and SPDL. Figure of Merit of FTL is about 2000 times smaller than its nearest competitor, DCFL [3]. Charge redistribution, leakage current from the output node and threshold voltage variation are the major problems associated with designs based upon dynamic domino, in [5]–[12]. Although various compensating mechanisms have been proposed, there are other difficulties with the dynamic designs as well. Some of these designs require multiple power supplies or two clock phases with added design complexity due to sensitivity to clock skew and area penalty for routing of two clock signals. Furthermore, the need for the output inverters common to domino structures is eliminated in FTL and in its differential version termed DFTL [3].

FTL logic shows a high design flexibility; it can be used in domino-like cascaded stages, differential style, multiple output logic with iterative networks or pipelined with fast dynamic latches similar to ones in [13] and [14]. In addition, FTL is fully compatible with DCFL voltage levels in GaAs.

The FTL principle was presented in [4]. The reduction in the time propagation delays is the key factor of FTL logic family, but assuring the mid-point stability for long cascaded circuits is a major task to make high performance FTL logic structures, and it is a main goal of this paper.

B. Organization of the Paper

In Section II we will explain the CMOS-FTL principle of operation and performance estimation. Section III shows the results of the inverter simulation. Conclusions of the proposed CMOS-FTL structures are also exposed in order to estimate the optimal working conditions and applications of FTL logic in CMOS. In Section IV, we introduce high performance CMOS-FTL adders, as well as the key issues for designing them. That is of great interest for the development of many other high performance CMOS-FTL structures. Finally, the main conclusions of this work are shown in Section V.

II. CMOS-FTL PRINCIPLE OF OPERATION

CMOS-FTL share the same basic principle of operation than GaAs-FTL as exposed in [2]. The higher speed of FTL is due to the reduction in both the low-to-high and the high-to-low propagation time delays. In each cycle, when the clock signal falls, the cascaded gate outputs begin to rise to the threshold voltage of the gate, V_{TH} . At this moment all gates in the circuit are in a high gain point. This is a very important difference between FTL and other logic families, since any small variation in the input nodes would cause a fast variation of the output voltage. All other logic families need the input to cross a threshold level to begin the output node transition. Furthermore, when the valid inputs to each gate are asserted, the gates need only to make a partial transition from V_{TH} to V_{OH} or V_{OL} .

An estimation of the propagation time delay for the CMOS-FTL inverter and full-complementary CMOS inverter is accomplished in a similar way than the estimation exposed in [2], using the $0.18\mu m$ TSMC technology. The transistor schema and equivalent transient circuit are shown in Figures 1(a) and 1(b), respectively.

From the equivalent transient circuit, we obtain the current balance in node N. To simplify the expression that it is obtained in this way, we assume an equivalent average current (I_T) and capacity (C_T) at node N in both high-to-low and low-to-high transitions, as follows:

$$\Delta t = \frac{C_T}{I_T} \frac{\Delta V}{V_T} \quad (1)$$

The output does not start its transition before the input node cross a threshold voltage, V_{ud} for the high-to-low transition and V_{uc} for the low-to-high transition. Thus, if we consider that an input transition lasts t_{ciu} in charging to V_{ud} voltage, and then t_{cu_f} to get the final 50% transition, the total charge time will be $t_c = t_{ciu} + t_{cu_f}$. Same procedure is applied for obtaining the discharge time. Therefore, we obtain the average propagation time in terms of the charge and discharge time from initial voltage to V_{ud} and V_{uc} (i.e., only current linearization around initial transition is of interest).

$$\begin{aligned} t_{ph_l} &= t_d - t_{ci_f} = t_{di_u} + t_{du_f} - t_{ci_f} \\ t_{pl_h} &= t_c - t_{du_f} = t_{ci_u} + t_{cu_f} - t_{du_f} \\ t_p &= \frac{t_{ph_l} + t_{pl_h}}{2} = \frac{t_{di_u} + t_{ci_u}}{2} \end{aligned} \quad (2)$$

V_{ud} is defined as the input voltage for which output current makes a 10% of its maximum transition. Computed V_{ud} and V_{uc} results in 0.541V and 1.76V for complementary gates, and 0.712V and 0.776V for CMOS-FTL. It must be noted that main contribution for FTL advantage is due to reduced t_{ciu} and t_{di_u} against complementary logic.

The average current in the high-to-low and low-to-high transitions is computed from the linear approximation of the I_T vs output voltage curves for complementary and CMOS-FTL inverters. Current end points for the transitions are fixed for initial condition of output voltage and 50% transition to the high or low voltage. Average values for charge and discharge current are $i_{ci_u} = 268.8\mu A$ and $i_{di_u} = 274.37\mu A$ for the complementary inverter, and $i_{ci_u} = 19.1\mu A$ and $i_{di_u} = 41.8\mu A$ for the CMOS-FTL inverter, respectively. They were measured from initial voltage to input threshold voltage.

ΔV is obtained from initial and final voltages for the right transitions. For full-complementary gates it must be taken into account an overvoltage of 52.3mV and an undervoltage of 72mV observed in the transient analysis, which could take effect in the accuracy of the results. Computed voltage swing from initial to threshold are $\Delta V_{ci_u} = 0.6456V$ and $\Delta V_{di_u} = 0.184V$ for complementary, and $\Delta V_{ci_u} = 0.0422V$ and $\Delta V_{di_u} = 0.0218V$ for CMOS-FTL.

Finally, we introduce previous currents and ΔV in Equations 1 and 2 and observe an advantage of 2.7 times in terms of propagation time delay in the CMOS-FTL structures. This

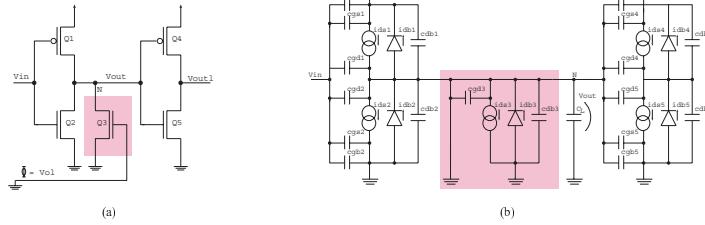


Fig. 1. Analysis of CMOS-FTL inverter: (a) transistor schema and (b) equivalent circuit for transient analysis.

value is near to the result of the *hspice* simulation, which shows a speed up factor of 2.9.

$$t_p = \frac{C_T}{2} \frac{\Delta V_{c_{iu}}}{i_{c_{iu}}} + \frac{C_T}{2} \frac{\Delta V_{d_{iu}}}{i_{d_{iu}}}$$

$$t_{p_{CMOS}} = 1.536 \times C_T$$

$$t_{p_{CMOS-FTL}} = 0.5735 \times C_T$$

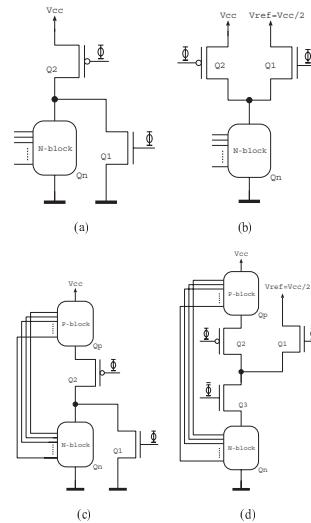
III. CMOS-FTL EVALUATION

A. Proposed structures

Proposed CMOS-FTL structures account for decrease the power consumption. Two logic structures are generated from pseudo-nMOS and full complementary logic families: a high speed and a low power CMOS-FTL structure respectively. On the other hand, it has been demonstrated that a reference voltage (V_{ref}) for precharge near $V_{ref} = V_{cc}/2$ implies a faster response of the gates since the transition to mid-voltage is shorter. Proposed structures are shown in Figure 2.

The high speed structures have static power consumption in evaluation stage due to short-circuit current from power supply through Q2 and Qn (evaluation transistors). In precharge phase, static power consumption is totally removed from power supply and it is only possible if the precharge level is not 0V. However, those circuit topologies using $V_{ref} = V_{cc}/2$ exhibits static consumption because current flows from Q1 (precharge transistor) to Qn. An important difference with respect to GaAs-FTL is that the precharge level in high speed CMOS-FTL structures could be independent of input voltage. This makes possible that CMOS-FTL could stay in this mid-voltage (or threshold, V_u) for more stages than GaAs-FTL. We will exploit this feature on CMOS-FTL to produce high performance circuits.

Low power structures remove the static power consumption, in both precharge and evaluation, by means of Q2 and Q3 as is shown in Figure 2(c) and 2(d). Note that the low power structure with $V_{ref} = 0V$ uses a single clock phase. As no current flow is possible to GND, Q3 transistor from Figure 2(d) is removed. The main disadvantage of these structures is that they have a higher input load than high speed ones, and therefore are slower. But because of reduced static power consumption, low power cells overcome performance of CMOS even at low operating frequencies.

Fig. 2. Proposed CMOS-FTL structures: (a) high speed structure with $V_{ref} = 0$, (b) high speed structure with $V_{ref} = V_{cc}/2$, (c) low power structure with $V_{ref} = 0$ and (d) low power structure with $V_{ref} = V_{cc}/2$.

B. Experimental results of basic cells

To compare the proposed CMOS-FTL structures against CMOS full-complementary structures, a basic cell (inverter) is simulated using a $0.18\mu m$ TSMC technology, with $10fF$ capacitive load in all output nodes, typical process corner and $25^\circ C$. Results are shown in Figure 3. The label names in Figure 3 follows the next syntax: “[structure][vref][channellength]” where structure is either high speed (hs) or low power (lp), and vref is 0V (0) or $V_{cc}/2$ (09). Propagation time delay versus fanout is showed in Figures 3(a)

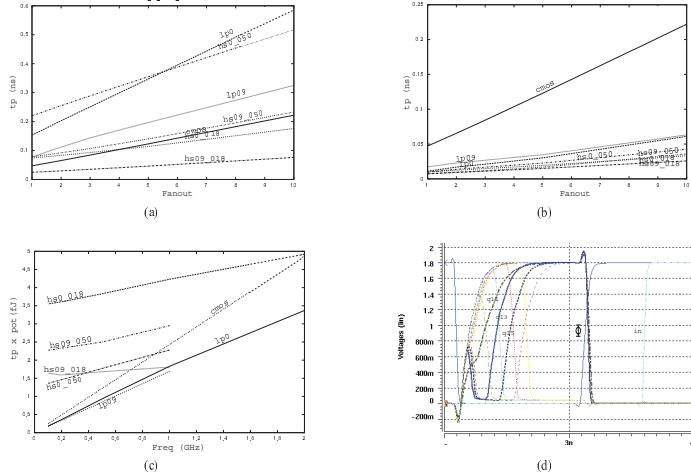


Fig. 3. Results of CMOS and CMOS-FTL inverters: (a) delay versus fanout in first stage, (b) delay versus fanout in twenty first stage, (c) delay-power product versus frequency, and (d) effect of dissimilar load.

and 3(b) for CMOS and CMOS-FTL. We use channel lengths (*chanellength*) of $0.5\mu\text{m}$ and $0.18\mu\text{m}$ for high speed CMOS-FTL structures. Those channel dimensions are used to reduce the static power consumption. Note in Figure 3(a) that the first stage has no delay advantage except in the high speed version with $V_{ref} = V_{cc}/2$ and minimum channel length (hs09_018). Figure 3(b) shows the delay versus fanout for the 21st stage, but similar results are obtained from the third stage. This is explained because the threshold voltage V_u is achieved before getting advantage of the FTL principle.

Delay-power product versus frequency at the third stage of cascaded inverters is shown in Figure 3(c). The measured power-delay product of the first stage is higher in CMOS-FTL than in CMOS, so to take advantage of FTL we must assure to have stages enough to compensate the disadvantage of the first stage. To achieve this goal, we care dissimilar capacitive loads in all the design to assure that all nodes rise together to the threshold voltage V_u .

The effect of dissimilar load at the output nodes is shown in Figure 3(d). An excess of 10fF is added to output of the eleventh stage, and the lost of the threshold voltage occurs. The simulation confirms that CMOS-FTL structures with $V_{ref} = V_{cc}/2$ are less sensitive to this effect at the first nodes but tends to the same behaviour at the last ones. On the other hand, high speed structures with $V_{ref} = V_{cc}/2$ does not precharge all nodes to the same voltage independently of the input and, consequently, they do not assure all nodes to rise at the same time. So, FTL advantage is limited to just some few stages in these structures, as it happens in FTL-GaAs.

C. Applications

To sum up, CMOS-FTL is well suited to applications where the critical path is viewed as a large cascade of inverter gates. Many arithmetic circuits such as adders, multipliers, FIR stages and other similar applications are clear candidates to be implemented using CMOS-FTL. The best profit will be achieved when used at high fanout or capacitive load and high switching frequencies due to both minor delay and lower dynamic power consumption. Lower delay variation versus load provides interesting application of CMOS-FTL to speed up and increment the pipeline depth in circuits limited by interconnection delay. Low power structures are also used to extend the application range to low switching frequencies, but at cost of a lower speed advantage.

Additional transistors are needed to compensate for dissimilar charge and for precharge and avoid static consumption adds an important area in small functions such as inverters. Even though in these basic cells, CMOS-FTL take advantage from CMOS. The higher cell complexity is, the greater is the area improvement, in comparison with the inverter performance.

IV. DESIGN EXAMPLE

We use the differential high speed adders based on the carry and cell sum shown in [2] and [3]. The main problem of these structures is the dissimilar capacities for different propagation paths. Dissimilar capacitances make that the node voltages are different of the threshold voltage. This happens at the fourth stage in those structures using $V_{ref} = 0$. However, dissimilar capacitance effect is not appreciated up to sixteenth stage in

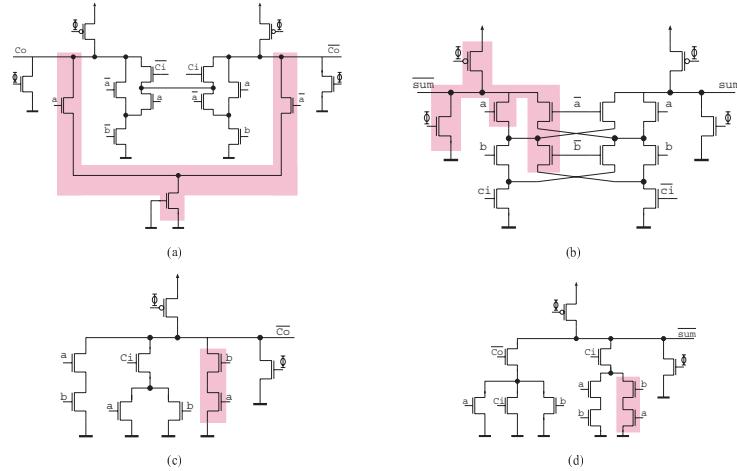


Fig. 4. Ripple Carry Adder cells: (a) and (b) are the differential sum and carry cells respectively, (c) and (d) are the non differential cells.

those structures using $V_{ref} = V_{cc}/2$. Modified versions of the structures proposed in [2] have been used to extend CMOS-FTL application to 64-bit adders. We compensated dissimilar capacitances by adding extra transistors. This solution increases area although power consumption does not change. Best carry and sum cells are shown in Figures 4(a) and 4(b). Transistors needed to compensate load are shown in Figure 4. For a constant input load the sum cell is a differential version. A $0.18\mu m$ MOSIS process from TSMC was used.

Non differential structures have also been tested. The basic cells for carry and sum are showed in Figures 4(c) and 4(d). To provide fair comparison the adder topology is the same in both CMOS-FTL and full-complementary CMOS families. Non differential structures have demonstrated to be more sensitive to dissimilar load. We introduced several inverters between the output of the carry nodes and the input of the sum cells. Low power structures are not suited for more than 32-bit. High speed structures are used for 64-bit adders without losing FTL advantages. We used a $0.13\mu m$ process technology from UMC.

Table I shows propagation time delay (t_p), rms power consumption (p_{rms}) and Figure of Merit (Γ) for differential high speed (diff_hs), non differential high speed (nodiff_hs) and low power (nodiff_lp) structures, as well as for complementary CMOS. FTL advantage is also showed in terms of speed up and Figure of Merit ratio with respect to conventional CMOS logic. Simulation conditions include synchronous $500MHz$ clock signal, an estimated minimum load of $3fF$ on each node at typical process corner and $25^\circ C$.

As shown, high speed differential (diff_hs) 64-bit adders

do not overcome CMOS in Figure of Merit. CMOS-FTL achieve an advantage of 11.7 in terms of delay, but is about 40% inferior in terms of Figure of Merit (although 16-bit adders have similar Figure of Merit than CMOS). These results are excellent taking into account the extra area and power consumption of differential structures compared with non differential ones. Non differential structures overcome these limitations. It must be noted a speed up and Figure of Merit ratio of 9.9 times and 1.81 for the high speed CMOS-FTL adder, and 7.04 times and 5.77 for the low power one.

Finally, to demonstrate the viability of design and implementation, a high speed 64-bit adder was laid-out and simulated including postlayout interconnection parasitics. The layout of the 1-bit adder is depicted in Figure 5. The final area results in $849.68\mu m \times 10.96\mu m = 9312.49\mu m^2$.

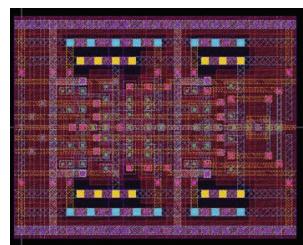


Fig. 5. Layout of the 1-bit adder cell

TABLE I

COMPARATIVE OF CMOS AND CMOS-FTL ADDERS IN TERMS OF DELAY, POWER, ACTIVE AREA, FIGURE OF MERIT, SPEED UP AND FIGURE OF MERIT RATIO FOR THE BEST DIFFERENTIAL AND NON DIFFERENTIAL STRUCTURES.

Technology	Family	$V_{ref}(V)$	bits	t_p (ns)	p_{rms} (μW_{eff})	Area (μm^2)	Γ ($fJ \cdot \mu m^2$)	t_{RCMOS}/t_p	Γ_{CMOS}/Γ
TSMC018	CMOS	—	64	12.26	7.40	777.6	70695	1.00	1.00
UMC013	CMOS	—	64	13.330	1.015	58.06	785.55	1.00	1.00
UMC013	CMOS	—	32	6.695	0.501	29.03	97.315	1.00	1.00
TSMC018	diff_ls	0	64	1.324	115.00	835.2	127170	9.26	0.56
TSMC018	diff_ls	0.9	64	1.045	112.80	835.2	98450	11.73	0.72
UMC013	nodiff_ls	0.9	64	1.346	5.535	58.06	432.55	9.90	1.81
UMC013	nodiff_lp	0.9	32	0.9508	1.645	75.26	117.71	7.04	5.77

Postlayout simulation demonstrates that the 64-bit adder is functional even using $V_{ref} = 0$. From the fortieth stage the FTL advantage is lost. Simulated delay and power consumption is 2.37ns and 8.3 μW_{eff} , respectively, with $V_{ref} = 0$. The results are worst than those obtained from pre-extracted simulation because of the higher parasitic capacitances. Postlayout simulation waveform is illustrated in Figure 6.

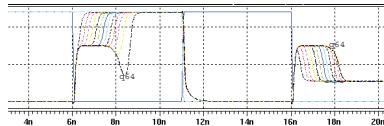


Fig. 6. Postlayout simulation: Output voltage is shown from output node 4 to 64 (q64) in 4 bit steps.

V. CONCLUSION

In this paper, we propose a new class of logic family for CMOS technology based on the *feedthrough evaluation* concept [2]. CMOS-FTL structures have been proposed for high speed and low power operation, and we employed them to design very high performance ripple carry adders.

The advantages of CMOS-FTL are faster speed and better Figure of Merit (Γ) in comparison with full-complementary CMOS designs. The propagation time delay of arithmetic circuits using CMOS-FTL outperforms in one order of magnitude when using standard CMOS technology. Figure of Merit (delay-area-power product) is improved in about 6 times. In addition, CMOS-FTL can be cascaded without using interstage inverters, reducing propagation time with respect to dynamic logic families in CMOS. Charge redistribution problems associated to dynamic families are also removed in CMOS-FTL structures.

Differential adders suggested in previous works [2]–[4] have been outperformed in this paper using non differential structures. They are more indicated for low power and active area constraints. We designed a high speed 64-bit ripple carry adder (RCA) cell and a low power 32-bit RCA cell. We laid-out and simulated (including post-layout interconnection parasitics) the 64-bit RCA cells using CMOS-FTL. In addition, we verified the functionality for capacitive load, power supply, temperature and process corner case variations.

Our 64-bit high speed non differential RCA cell was laid-out by a full-custom approach to guarantee high symmetry in the design. The post-layout simulations demonstrated the reliability of using CMOS-FTL to implement high speed and high performance RCA cells. Work is in progress to include immunity against noise and high performance asynchronous logic circuits using CMOS-FTL.

ACKNOWLEDGMENT

Authors would like to thank the Institute for Applied Microelectronics of the University of Las Palmas de Gran Canaria for the support provided in this work.

REFERENCES

- [1] (2001) International Technology Roadmap for Semiconductors. Available: http://public.itsc.net/Exce_Summary.
- [2] S. Nooshabadi and J. A. Montiel-Nelson, "Fast Feedthrough Logic: A High Performance Logic Family for GaAs," *IEEE Transactions on Circuits and Systems*, vol. 51, pages 2189–2203, Nov. 2004.
- [3] J. A. Montiel-Nelson, S. Nooshabadi, V. de Armas, R. Sarmiento and A. Núñez, "High Speed GaAs Subsystem Design using Feed Through Logic," in *Proceedings of the Design, Automation and Test in Europe Conference 1999 (DATE'99)*, pages 509–513, Nov. 2004.
- [4] J. A. Montiel-Nelson, S. Nooshabadi and K. Eshraghian, "Gallium Arsenide Based Fast Feed Through Logic (FTL)," in *Proceedings of the 1997 IEEE International Symposium on Circuits and Systems (ISCAS'97)*, pages 1884–1887, Jun. 1997.
- [5] S. I. Long and S. E. Butler, "Gallium Arsenide Digital Integrated Circuit Design," *McGraw-Hill*, 1990.
- [6] D. H. K. Hoe and A. T. Salama, "Dynamic GaAs Capacitively Coupled Domino Logic (CCDL)," *IEEE Journal of Solid State Circuits*, vol. 26, no. 6, pages 844–849, Jun. 1991.
- [7] J. H. Pasternak and A. T. Salama, "GaAs MESFET Differential Pass-Transistor Logic," *IEEE Journal of Solid State Circuits*, vol. 26, no. 9, pages 1309–1316, Sept. 1991.
- [8] D. H. K. Hoe and A. T. Salama, "GaAs Trickle Transistor Dynamic Logic," *IEEE Journal of Solid State Circuits*, vol. 26, no. 10, pages 1441–1448, Oct. 1991.
- [9] K. R. Nary and S. I. Long, "GaAs Two-Phase Dynamic FET Logic: A low Power Logic Family for VLSI," *IEEE Journal of Solid State Circuits*, vol. 27, no. 10, pages 1364–1371, Oct. 1992.
- [10] P. S. Lassen, S. I. Long, and K. R. Nary, "Ultralow-Power GaAs MESFET MSI Circuits Using Two-Phase Dynamic FET Logic," *IEEE Journal of Solid State Circuits*, vol. 28, no. 10, pages 1038–1043, Oct. 1993.
- [11] O. M. K. Law and C. A. T. Salama, "GaAs Split Phase Dynamic Logic," *IEEE Journal of Solid State Circuits*, vol. 29, no. 5, pages 617–622, May 1994.
- [12] V. Chandramouli, N. Michell, and K. F. Smith, "A New Precharged, Low-Power Logic Family for GaAs Circuits," *IEEE Journal of Solid State Circuits*, vol. 30, no. 2, pages 140–143, Feb. 1995.
- [13] K. R. Nary and S. I. Long, "Dynamic latch for high speed GaAs domino circuits," *IEEE Electronics Letters*, vol. 28, no. 1, pages 36–37, 1992.
- [14] D. H. K. Hoe and C. A. T. Salama, "Pipelining of GaAs dynamic logic circuits," in *Proceedings of the 1992 IEEE International Symposium of Circuits and Systems (ISCAS'92)*, vol. 1, pages 208–211, May 1992.



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Departamento de Ingeniería Electrónica
y Automática