

## ESCUELA DE INGENIERÍA DE TELECOMUNICACIÓN Y ELECTRÓNICA



### TRABAJO FIN DE GRADO

#### DISEÑO DE UN AMPLIFICADOR DE GANANCIA PROGRAMABLE PARA UN RECEPTOR IEEE 802.15.4 EN TECNOLOGÍA CMOS 0.18 $\mu\text{m}$

**Titulación:** Grado en Ingeniería en Tecnologías  
de la Telecomunicación

**Mención:** Sistemas Electrónicos

**Autor:** Adán Cruz Ramón

**Tutores:** Dr. D. Francisco Javier del Pino  
Suárez

Dr. D. Sunil Lalchand  
Khemchandani

**Fecha:** Julio 2016



**ESCUELA DE INGENIERÍA DE  
TELECOMUNICACIÓN Y ELECTRÓNICA**



**TRABAJO FIN DE GRADO**

**DISEÑO DE UN AMPLIFICADOR DE GANANCIA  
PROGRAMABLE PARA UN RECEPTOR IEEE  
802.15.4 EN TECNOLOGÍA CMOS 0.18  $\mu\text{m}$**

**HOJA DE FIRMAS**

**Alumno**

Fdo.: Adán Cruz Ramón

**Tutor**

**Tutor**

Fdo.: Dr. D. Francisco Javier del Pino Suarez

Fdo.: Dr. D. Sunil Lalchand Khemchandani

**Fecha: Julio 2016**



**ESCUELA DE INGENIERÍA DE  
TELECOMUNICACIÓN Y ELECTRÓNICA**



**TRABAJO FIN DE GRADO**

**DISEÑO DE UN AMPLIFICADOR DE GANANCIA  
PROGRAMABLE PARA UN RECEPTOR IEEE  
802.15.4 EN TECNOLOGÍA CMOS 0.18  $\mu\text{m}$**

**HOJA DE EVALUACIÓN:**

**Calificación:** \_\_\_\_\_

**Presidente**

Fdo.:

**Vocal**

**Secretario/a**

Fdo.:

Fdo.:

**Fecha: Julio 2016**



## **Agradecimientos**

En primer lugar, quiero agradecer el haber llegado hasta aquí a mis padres, porque han sido los pilares fundamentales para construir mi futuro. Siempre me han apoyado y me han proporcionado todo lo necesario para poder alcanzar mis objetivos.

Quiero agradecerles también a mi hermana y mi cuñado su apoyo incondicional, que de una forma u otra han conseguido motivarme. Y por supuesto a mi sobrina, su felicidad contagiosa han sido inyecciones de optimismo y de ganas de conseguir todo lo que me proponga en la vida.

Agradecer a mi novia por ser capaz de aguantarme, sobretodo este último cuatrimestre, que, a pesar del estrés de las clases y demás, ha estado siempre apoyándome y ayudándome en todo lo que ha podido.

Paso ahora a agradecer a todos los compañeros de clase con los que me he encontrado a lo largo de estos años, con los que he compartido muchísimas horas de estudio y momentos inolvidables. Entre todos hemos hecho equipo y hemos salido adelante con mejores o peores resultados, pero siempre contentos con el trabajo realizado.

Agradecer también a todos los profesores de la escuela que hacen que día a día aprendamos a crecer, tanto en el ámbito universitario como en el personal. Quiero hacer especial mención a aquellos profesores que transmiten su pasión por las tecnologías, por las telecomunicaciones y, por último, y no por ello menos importante, su pasión por enseñar y compartir todo lo que saben.

Y, por último, un agradecimiento especial para mis tutores, Javier y Sunil, que siempre se han mostrado dispuestos a ayudar cuando lo necesitas. También agradecer a todos los compañeros de laboratorio que siempre han estado para resolver cualquier duda, y con ganas de prestarme ayuda cuando hiciera falta.



# Índice

<b>Capítulo 1. Introducción .....</b>	<b>1</b>
1.1. Introducción.....	1
1.2. Objetivos.....	2
1.3. Estructura del Trabajo.....	3
<b>Capítulo 2. El transistor MOS y la metodología de diseño <math>g_m/I_D</math> .....</b>	<b>5</b>
2.1. Introducción.....	5
2.2. Funcionamiento.....	6
2.3. Curva característica de los transistores .....	7
2.3.1. Transistor tipo N.....	7
2.3.2. Transistor tipo P .....	9
2.4. Regiones de operación de los transistores.....	10
2.4.1. Región de corte.....	10
2.4.2. Región lineal .....	11
2.4.3. Región de saturación.....	11
2.5. Niveles de inversión del transistor.....	13
2.6. Introducción a la metodología $g_m/I_D$ .....	14
2.7. La curva $g_m/I_D$ vs. $I_D/(W/L)$ .....	17
2.8. Conclusiones .....	19
<b>Capítulo 3. Introducción a los amplificadores de ganancia programable.....</b>	<b>21</b>
3.1. Introducción.....	21
3.2. Clasificación de los amplificadores según la posición de los bloques en el diseño .....	22
3.2.1. PGA después del filtro.....	22
3.2.2. PGA antes del filtro .....	23
3.2.3. PGA entre etapas de filtrado .....	24
3.2.4. PGA previo al mezclador y al filtro.....	25

3.3. Clasificación según los componentes que forman el amplificador .....	27
3.3.1. OTA con resistencias conmutables .....	28
3.3.2. OTAs en serie conmutables con un switch.....	29
3.3.3. Conclusiones.....	29
<b>Capítulo 4. Amplificadores operacionales.....</b>	<b>31</b>
4.1. Introducción.....	31
4.2. Etapa de entrada .....	32
4.3. Fuente de corriente.....	37
4.3.1. Características ideales de un espejo de corriente.....	38
4.3.2. Análisis de un espejo de corriente básico .....	38
4.4. Etapa de salida .....	40
4.4.1. Etapa de salida Clase A.....	41
4.5. Respuesta en frecuencia .....	43
4.6. Realimentación y compensación.....	47
4.6.1. Estabilidad de amplificadores realimentados .....	48
4.6.2. Tipos de compensación.....	50
4.6.3. Implementación .....	51
4.7. Cálculo del Producto Ganancia por Ancho de Banda (GBW) .....	53
4.8. Conclusiones .....	54
<b>Capítulo 5. Diseño de un amplificador de ganancia programable con entrada diferencial y salida asimétrica.....</b>	<b>55</b>
5.1. Introducción.....	55
5.2. Diseño de un Op-Amp diferencial-asimétrico.....	56
5.2.1. Especificaciones .....	56
5.2.2. Diseño.....	57
5.2.3. Resultados del análisis AC .....	59
5.3. Diseño de una resistencia variable.....	60
5.4. Diseño de un varactor (capacidad variable).....	63

5.5. PGA de una etapa .....	65
5.5.1. Diseño.....	65
5.5.2. Simulación.....	65
5.6. PGA de dos etapas .....	68
5.6.1. Diseño.....	69
5.6.2. Simulación.....	69
5.7. Conclusiones .....	70
<b>Capítulo 6. Diseño de un amplificador de ganancia programable con entrada y salida diferencial .....</b>	<b>73</b>
6.1. Introducción.....	73
6.2. Diseño de un Op-Amp diferencial-diferencial.....	73
6.2.1. Simulación y resultados.....	74
6.3. Diseño de un PGA diferencial.....	75
6.3.1. Simulación y resultados.....	77
6.4. Conclusiones .....	79
<b>Capítulo 7. PGA junto con el cabezal de recepción (Simulación del receptor completo) .....</b>	<b>81</b>
7.1. Introducción.....	81
7.2. Cabezal de recepción.....	81
7.2.1. Amplificador de bajo ruido.....	82
7.2.2. Mezclador .....	84
7.2.3. Amplificador de transimpedancia (TIA) .....	87
7.3. Filtro.....	89
7.4. Receptor completo .....	96
7.5. Conclusiones .....	103
<b>Capítulo 8. Conclusiones y trabajo futuro.....</b>	<b>105</b>
8.1. Introducción.....	105
8.2. Resumen .....	105

8.3. Resultados y líneas futuras de trabajo.....	106
--	-----

## Tabla de Figuras

Figura 1.1 - Diagrama de bloques de un transceptor .....	2
Figura 2.1 - Esquemático (a), corte (b) y símbolos de los transistores (c) [3] .....	6
Figura 2.2 - Circuito para obtener la curva característica del NMOS.....	8
Figura 2.3 - Curva característica del transistor NMOS.....	8
Figura 2.4 - Circuito para obtener la curva característica del PMOS .....	9
Figura 2.5 - Curva característica del transistor PMOS .....	10
Figura 2.6 - MOSFET tipo N en corte .....	11
Figura 2.7 - MOSFET tipo N en la región lineal .....	11
Figura 2.8 - MOSFET tipo N en saturación .....	12
Figura 2.9 - Efecto de la modulación de la longitud del canal.....	13
Figura 2.10 - Curva característica $I_D$ vs. $V_G$ .....	14
Figura 2.11 - Etapa de ganancia intrínseca .....	15
Figura 2.12 - Curva típica de la transconductancia de un MOS frente a la corriente de drenador .....	16
Figura 2.13 - Flujo de trabajo para la metodología $g_m/I_D$ .....	17
Figura 2.14 - Curva $g_m/I_D$ vs $I_D/(W/L)$ del transistor NMOS.....	18
Figura 2.15 - Curva $g_m/I_D$ vs $I_D/(W/L)$ del transistor PMOS .....	19
Figura 3.1 - PGA después del filtro [8] .....	22
Figura 3.2 - PGA con filtro anti-aliasing [9].....	23
Figura 3.3 - PGA previo al filtro [10].....	23
Figura 3.4 - VGA previo a un filtro paso bajo Chebyshev de 5º orden [10] .....	24
Figura 3.5 Amplificador entre etapas de filtrado [11] .....	25
Figura 3.6 - Etapas de filtrado entrelazadas con etapas de amplificación [12].....	25
Figura 3.7 - Amplificador previo al mezclador y al filtro [13] .....	26
Figura 3.8 - Etapa de amplificación con malla capacitiva [13] .....	26
Figura 3.9 - Amplificador de transconductancia variable (OTA).....	27
Figura 3.10 - Amplificador con resistencias variables en la realimentación.....	28
Figura 3.11 - Amplificador de dos etapas [8] .....	29
Figura 3.12 - Etapas amplificadoras con un selector/switch [15].....	29
Figura 4.1 - Ejemplo de amplificador de dos etapas .....	32
Figura 4.2 - Etapa de entrada diferencial.....	33

Figura 4.3 - Modelo en pequeña señal del MOSFET tipo N .....	33
Figura 4.4 - Resistencia MOSFET y su equivalente en pequeña señal.....	34
Figura 4.5 - Modelo en pequeña señal de la etapa diferencial.....	35
Figura 4.6 - Modelo simplificado de la etapa diferencial .....	35
Figura 4.7 - Espejo de corriente básico .....	38
Figura 4.8 - Etapa de salida Clase A con Salida Simple en Fuente común .....	41
Figura 4.9 - Etapa de Salida Clase A con Salida Simple en Drenador Común.....	42
Figura 4.10 - Modelo en pequeña señal de alta frecuencia con capacidades parásitas.....	44
Figura 4.11 - Modelo en pequeña señal de la etapa de entrada usado para determinar la respuesta en frecuencia.....	44
Figura 4.12 - Modelo usado para determinar la respuesta en frecuencia del Op- Amp de dos etapas.....	45
Figura 4.13 - Op-Amp de dos etapas con las capacidades parásitas.....	46
Figura 4.14 - Sistema Realimentado .....	48
Figura 4.15 - Análisis de estabilidad.....	49
Figura 4.16 - Sistema estable .....	49
Figura 4.17 - Sistema inestable .....	50
Figura 4.18 - Red de compensación por adelanto de fase .....	51
Figura 4.19 - Modelo en pequeña señal del Op-Amp con condensador de compensación.....	52
Figura 5.1 - Amplificador de dos etapas.....	56
Figura 5.2 - Circuito de simulación del Op-Amp.....	59
Figura 5.3 - Módulo obtenido para el análisis en AC .....	60
Figura 5.4 - Resultados del análisis en AC.....	60
Figura 5.5 - Amplificador en configuración inversora .....	61
Figura 5.6 - Decodificador .....	61
Figura 5.7 - Malla resistiva.....	62
Figura 5.8 - Símbolo de la resistencia variable.....	63
Figura 5.9 - Malla capacitiva.....	64
Figura 5.10 - Símbolo del varactor .....	64
Figura 5.11 - Amplificador de una etapa.....	65

Figura 5.12 – Valores de ganancia de la simulación AC del amplificador de una etapa .....	66
Figura 5.13 – Valores de fase de la simulación AC del amplificador de una etapa ..	66
Figura 5.14 - Máximo valor de la ganancia del PGA .....	67
Figura 5.15 - Fase para el máximo valor de ganancia del PGA.....	67
Figura 5.16 - Amplificador de dos etapas .....	69
Figura 5.17 – Valores de ganancia del PGA de dos etapas.....	69
Figura 6.1 - Esquemático amplificador diferencial .....	74
Figura 6.2 – Balun .....	74
Figura 6.3 - Resultados del análisis en AC.....	75
Figura 6.4 – Esquemático del amplificador de ganancia programable.....	76
Figura 6.5 - Esquemático para la simulación AC .....	77
Figura 6.6 - Variación de los niveles de ganancia.....	77
Figura 6.7 – Simulación AC para 42 dB de ganancia.....	78
Figura 7.1 - Estructura del LNA .....	83
Figura 7.2 - Diagrama de bloques de un mezclador ideal.....	85
Figura 7.3 - Estructura del mezclador.....	86
Figura 7.4 - Estructura del TIA.....	88
Figura 7.5 - Estructura del inversor.....	89
Figura 7.6 - Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia .....	90
Figura 7.7 - Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura.....	91
Figura 7.8 - Implementación práctica del rechazo de la frecuencia imagen .....	91
Figura 7.9 - Conversión de un filtro paso bajo a uno polifásico centrado en $\omega_{FI}$ . (a) Representación compleja (b) Implementación mediante diagramas de bloques....	93
Figura 7.10 - Filtro C-L-C, (b) implementación $g_m$ -C, (c) implementación $g_m$ -C polifásica.....	94
Figura 7.11 - Estructura del filtro polifásico .....	95
Figura 7.12 - (a) Transconductor de Nauta, (b) Transconductor de Nauta simplificado .....	96
Figura 7.13 - Receptor completo .....	97
Figura 7.14 - Adaptación de entrada .....	99

Figura 7.15 - Ganancia y nivel de ruido del receptor.....	100
Figura 7.16 - Nivel de ruido para un canal.....	100
Figura 7.17 - Respuesta en frecuencia del receptor.....	101
Figura 7.18 - Ganancias del receptor dependiendo del valor de la palabra de control.....	102
Figura 7.19 - IIP3 del receptor completo.....	102

## Lista de Acrónimos

ADS	“Advanced Design System”
CMOS	“Complementary metal-oxide-semiconductor”
COITT	Colegio Oficial de Ingenieros Técnicos de Telecomunicación
ECTS	“European Credit Transfer and Accumulation System”
GBW	“Gain–bandwidth product”
IEEE	“Institute of Electrical and Electronics Engineers”
IIP3	“Third-order intercept point”
JFET	“Junction Field-Effect Transistor”
LNA	“Low Noise Amplifier”
LPF	“Low Pass Filter”
MOSFET	“Metal-oxide-semiconductor Field-effect transistor”
NF	“Noise Figure”
OTA	“Operational Transconductance Amplifier”
PA	“Power Amplifier”
PGA	“Programmable Gain Amplifier”
PLL	“Phase Locked Loop ”
RF	Radiofrecuencia
TFG	Trabajo fin de grado
TIA	“Transimpedance amplifier ”
VGA	“Variable Gain Amplifier”



# Capítulo 1. Introducción

## 1.1. Introducción

El desarrollo de dispositivos de bajo consumo es el principal reto para las comunicaciones inalámbricas de corto alcance. Una característica importante para dichas redes es aumentar la vida útil de los transceptores. La implementación está basada en la tecnología CMOS de bajo consumo que trabaja en la banda de 2,4 GHz. Este mercado se encuentra en auge, provocado por la gran demanda existente de transceptores y demás dispositivos de este tipo. Se caracterizan principalmente por ser de bajo coste y por tener baterías de larga duración.

En la banda de trabajo de los 2.4 GHz podemos encontrar varios estándares como el Bluetooth o el IEEE 802.11. El estándar 802.15.4 cumple con los requisitos de bajo coste y de reducido consumo en el desarrollo de transceptores de baja tasa binaria. El estándar IEEE 802.15.4 (Zigbee) soporta tres bandas de trabajo: la banda de 868-868,8 MHz para Europa, la banda de 902-928 MHz para América del Norte y la banda de 2,4-2,4835 GHz para todo el mundo. La tasa de datos del estándar varía desde los 20 kbps como mínimo a los 250 kbps como máximo, dependiendo de la banda de frecuencia en la que se trabaje. En cuanto a las aplicaciones en las que puede verse utilizado este estándar destacan: las aplicaciones domóticas, productos dependientes de batería, sensores médicos, sector automovilístico, aplicaciones industriales, etc. [1].

Un transceptor está compuesto por varios bloques fácilmente distinguibles entre sí (ver Figura 1.1). A grandes rasgos, el transceptor consta de tres partes fundamentales, el transmisor, el receptor y el sintetizador de frecuencias, que contiene en su interior un oscilador local. Éste genera las señales necesarias para trasladar las señales de entrada a las frecuencias deseadas mediante el uso de mezcladores. Tanto el transmisor como el receptor poseen un bloque llamado cabezal que trabaja en

frecuencia de RF y se encarga de adaptar la señal que va a ser transmitida o que ha sido recibida. A continuación, se encuentra el bloque de filtrado de la señal, que selecciona la banda de frecuencia deseada tanto en el transmisor como en el receptor. Por último, se encuentran los amplificadores de ganancia programable (PGA) que regulan el nivel de la salida.

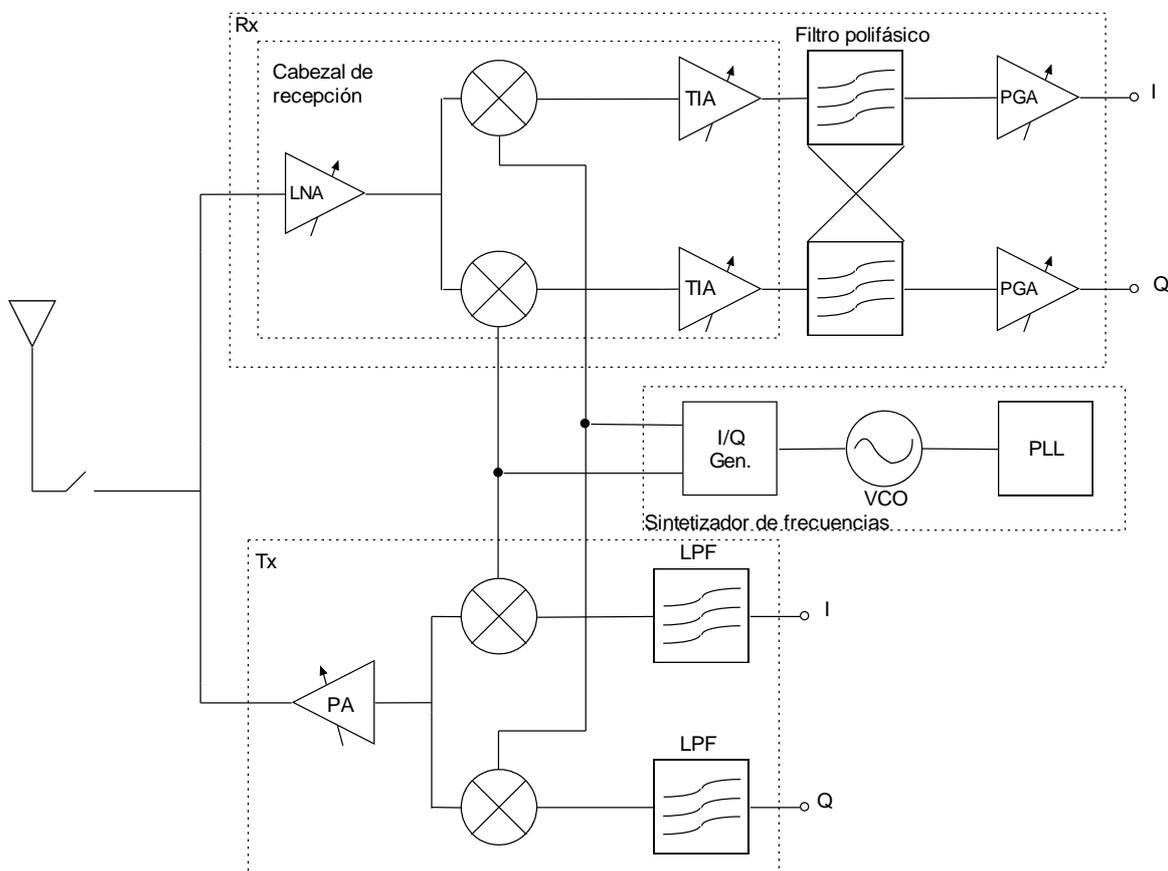


Figura 1.1 - Diagrama de bloques de un transceptor

La finalidad de este trabajo está enfocada en el bloque de recepción del transceptor, concretamente en el diseño del amplificador de ganancia programable que se encuentra a la salida del receptor.

## 1.2. Objetivos

El objetivo principal de este trabajo de fin de grado es implementar un amplificador de ganancia programable para un receptor del estándar IEEE 802.15.4 usando la tecnología CMOS 0.18  $\mu\text{m}$ .

Para el diseño del PGA será necesario, en primer lugar, realizar un amplificador operacional. Por lo tanto, se llevará a cabo un estudio teórico de los transistores MOS

que vamos a emplear y de los parámetros más importantes que debemos tener en cuenta a la hora del diseño.

Una vez completado el estudio teórico se procede a la elaboración del diseño. Para la elaboración del mismo se partirá de un diseño a nivel de esquemático que poco a poco se irá optimizando para, posteriormente, realizar las simulaciones y comprobar los resultados.

Para el desarrollo del amplificador, no solo se deberán cumplir los requisitos propios del estándar, sino que también se trabajará para conseguir las siguientes especificaciones:

- Una linealidad alta a la salida.
- Un rango dinámico alto.
- Ancho de banda constante [2].

Con el fin de conseguir los objetivos planteados se definen una serie de tareas que abordan todo el proceso que se llevará a cabo a lo largo del desarrollo del trabajo. En el siguiente apartado daremos una visión general de la estructura de la memoria, así como un resumen del desarrollo del proyecto.

### 1.3. Estructura del Trabajo

Comenzaremos el trabajo con un estudio en profundidad de los transistores MOS. Obtendremos las curvas características para comprender su funcionamiento y estudiaremos las regiones de trabajo y las zonas de inversión. Luego haremos una introducción a la metodología  $g_m/I_D$ .

En el capítulo 3 realizaremos una clasificación de los amplificadores de ganancia programable en función de su colocación en el transceptor y en función de la forma en la que se consigue la variabilidad de la ganancia.

En el capítulo 4 entraremos en profundidad en las topologías que forman los amplificadores operacionales, los distintos tipos que existen y las características más importantes de cada una.

Comenzaremos la fase de diseño en el capítulo 5 en el que aplicaremos la metodología  $g_m/I_D$  para diseñar un amplificador operacional con entrada diferencial y salida asimétrica. A continuación, partiendo del operacional obtenido construiremos un PGA con entrada diferencial y salida asimétrica.

Llevando a cabo el mismo flujo de trabajo, en el capítulo 6, diseñaremos un operacional con entrada y salida diferenciales para, a continuación, elaborar un amplificador de ganancia programable con el mismo tipo de entradas y salidas.

En el capítulo 7, incluiremos el PGA diferencial-diferencial diseñado en un cabezal de recepción para el estándar 802.15.4 y comprobaremos el correcto funcionamiento que proporciona al receptor completo.

En el capítulo 8, haremos un breve resumen del trabajo realizado y expondremos las líneas futuras en las que se trabajará para continuar mejorando y desarrollando el presente trabajo.

Finalmente, para concluir con la memoria de este trabajo fin de grado se han incluido una serie de anexos con información relevante para el desarrollo de la misma.

Anexo I: Bibliografía. En este anexo se muestran las distintas fuentes consultadas a lo largo del desarrollo del TFG.

Anexo II: Presupuesto. En el presupuesto se desglosan los costes de la elaboración del presente TFG.

Anexo III: Setups de simulación del receptor completo. En este anexo se pueden encontrar los esquemáticos de los circuitos diseñados y los distintos setups de simulación elaborados.

Anexo IV: Paper del PGA diseñado: En este Anexo se encuentra el paper presentado y aceptado en la XXX Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: Design of Circuits and Integrated Systems) bajo el título "*A CMOS Programmable Gain Amplifier for 2.4-GHz-band IEEE 802.15.4 Standard*".

# Capítulo 2. El transistor MOS y la metodología de diseño $g_m/I_D$

## 2.1. Introducción

En primer lugar, debemos realizar un estudio de la tecnología con la que se va a realizar el diseño. Para este trabajo usaremos la tecnología CMOS 0.18  $\mu\text{m}$  de UMC. De entre todos los dispositivos activos de esta tecnología, sólo estudiaremos los MOSFET, que serán los que utilicemos en nuestro diseño. Estos transistores tendrán una longitud mínima de puerta de 0.18  $\mu\text{m}$ .

Los primeros estudios de los transistores de efecto de campo se remontan a 1953 (Shockley con la teoría del JFET), pero no es hasta principios de los años sesenta cuando D. Kahng y J. Atalla realizan el primer transistor de efecto de campo MOS, también denominado MOSFET (iniciales de "Metal Oxide Semiconductor Field Effect Transistor").

El principio de funcionamiento de los transistores MOS se basa en el uso de un campo eléctrico para la creación de un canal de conducción, por donde circulará la corriente que podrá ser en forma de electrones o huecos.

El MOSFET es un dispositivo de cuatro terminales denominados drenador (D, del inglés Drain), puerta (G, del inglés Gate), surtidor o fuente (S, del inglés Source) y sustrato (B, del inglés Bulk). La corriente (electrones o huecos) en el interior del dispositivo, circula desde la fuente hasta el drenador y es controlada por la puerta. Al terminal del sustrato se le aplica una tensión constante y ésta fijará la tensión umbral del transistor.

En estos transistores, bajo el terminal de puerta existe una capa de óxido, ( $\text{SiO}_2$ ), que impide prácticamente el paso de corriente; por lo que el control de la puerta se

establece en forma de tensión. La calidad y estabilidad con que es posible fabricar estas finas capas de óxido es la principal causa del éxito de este transistor. Además, una propiedad muy importante de este dispositivo es que suele ocupar sobre el silicio un área muy pequeña, lo que permite una alta densidad de integración.

## 2.2. Funcionamiento

Existen dos tipos de transistores MOS, dependiendo de que la corriente sea por huecos o electrones: MOSFET de canal N o NMOS y MOSFET de canal P o PMOS. El corte esquemático y símbolo de estos transistores se muestra en la Figura 2.1.

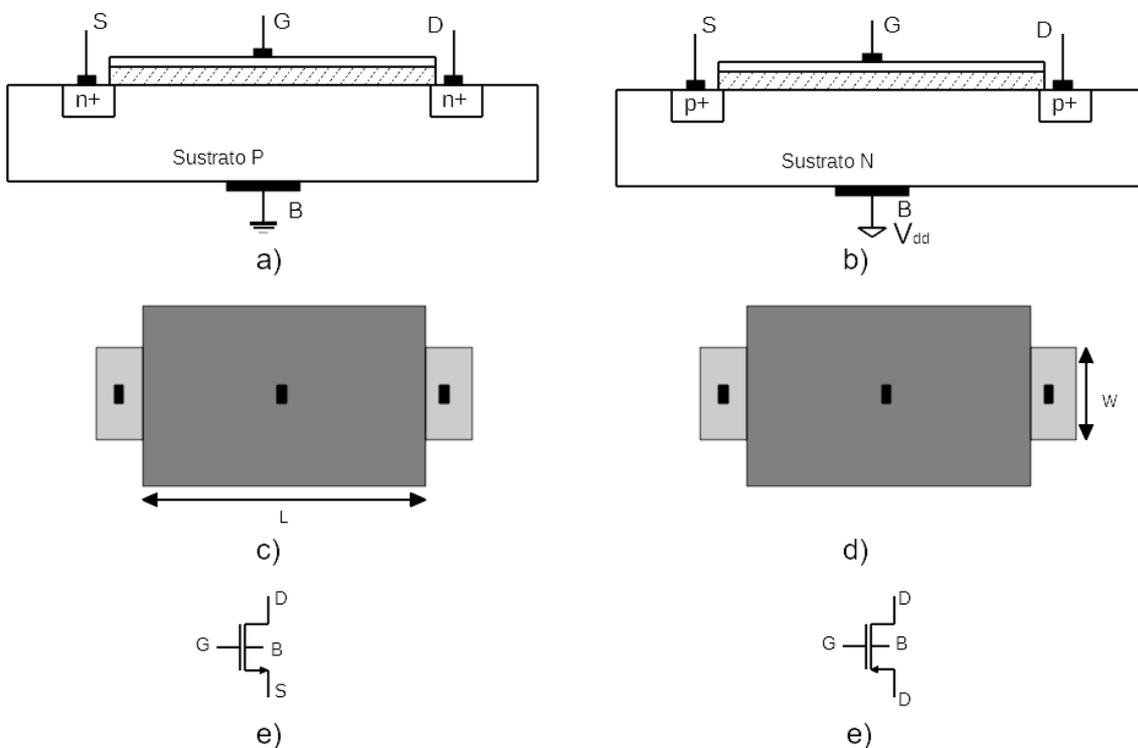


Figura 2.1 – Esquemático (a), corte (b) y símbolos de los transistores (c) [3]

Vemos que el dopaje del sustrato es opuesto al tipo de portador que origina la corriente. Así, para un transistor NMOS (electrones en conducción) el dopaje del sustrato es tipo P, mientras que para un transistor PMOS (huecos en conducción) el dopaje del sustrato es tipo N. Y con el fin de facilitar la corriente a través de los terminales de fuente y drenador, se crea bajo ellas regiones con dopaje elevado, del mismo tipo que los portadores del canal (regiones N+ y P+).

Cuando aplicamos una tensión positiva al terminal de puerta de un MOSFET de canal N, se crea un campo eléctrico bajo la capa de óxido que incide perpendicularmente sobre la superficie del semiconductor. Este campo atrae a los electrones hacia la superficie bajo el óxido, repeliendo los huecos hacia el sustrato. Si el campo eléctrico

es muy intenso, se logra crear en dicha superficie una región muy rica en electrones, denominada canal N, que permite el paso de corriente de la fuente al drenador; cuanto mayor sea la tensión de puerta mayor será el campo eléctrico y, por tanto, la carga en el canal. Una vez creado el canal, la corriente se origina aplicando una tensión positiva en el drenador respecto a la de la fuente.

En el caso de un MOSFET de canal P, el funcionamiento es a la inversa. Para que exista conducción, el campo eléctrico, perpendicular a la superficie, debe tener sentido opuesto al del MOSFET de canal N, por lo que la tensión aplicada debe ser negativa. Ahora los huecos son atraídos hacia la superficie bajo el óxido, y los electrones repelidos hacia el sustrato. Si la superficie es muy rica en huecos, se forma el canal P. Cuanto más negativa sea la tensión de puerta, mayor podrá ser la corriente que se establece al aplicar al terminal de drenador una tensión negativa respecto a la de la fuente. El sentido de la corriente en este caso será opuesto al de un MOSFET tipo N.

La tensión de puerta necesaria para que se produzca el canal, se conoce como tensión umbral,  $V_t$ , y se fija aplicándole al sustrato una tensión constante.

La capa de óxido bajo la puerta impide que haya corriente a través de ésta (esto es cierto en continua y a frecuencias bajas). Así, la corriente en el terminal de fuente,  $I_s$ , coincidirá con la de drenador,  $I_D$ , por lo que:

$$I_G = 0$$

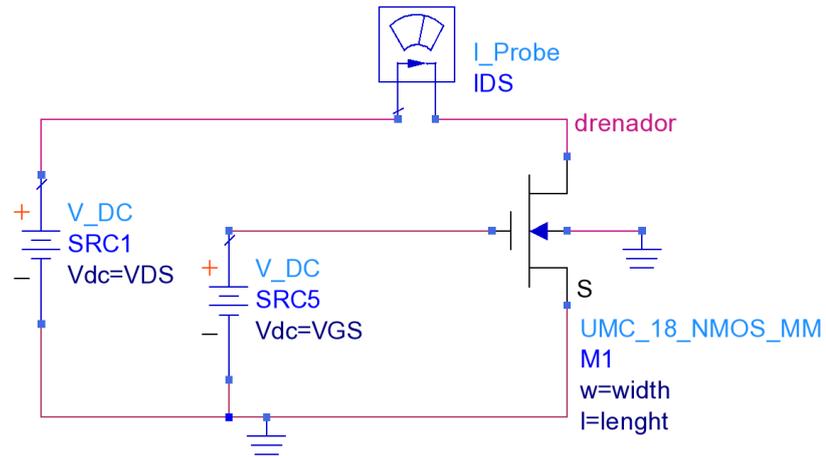
$$I_D = I_S$$

## 2.3. Curva característica de los transistores

### 2.3.1. Transistor tipo N

En un amplificador MOSFET de canal N sin ninguna tensión de polarización, existen dos diodos rectificadores en serie entre el drenador y la fuente. Éstos previenen que fluya corriente desde el drenador hacia la fuente cuando aplicamos un voltaje  $V_{DS}$ . De hecho, la conexión entre drenador y fuente tiene una resistencia muy alta (del orden de  $10^{12}\Omega$ ).

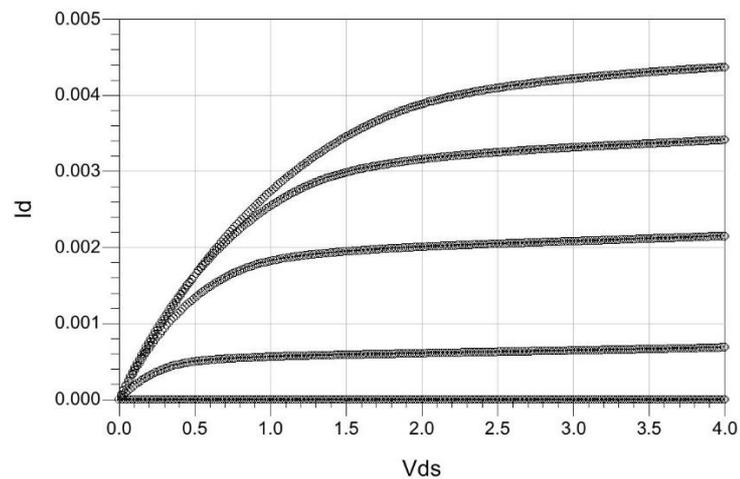
Si aplicamos a la puerta un voltaje positivo que supere la tensión umbral,  $V_t$ , el transistor forma un canal N. Además, cuando aplicamos un voltaje positivo entre drenador y fuente, como se muestra en la Figura 2.2, se crea una corriente.



**Figura 2.2 – Circuito para obtener la curva característica del NMOS**

La tensión  $V_{DS}$  como dijimos, crea una corriente  $I_D$  que fluye directamente en el canal N. Esta corriente está formada por electrones libres, que fluyen desde la fuente hacia el drenador. Por lo tanto, la magnitud de  $I_D$  dependerá de la densidad de electrones en el canal, que, a su vez, depende de la magnitud de  $V_{GS}$ . Como  $V_{GS}$  supera  $V_t$ , más electrones son atraídos hacia el canal. El resultado de esto es un canal con una conductancia elevada o una resistencia equivalente pequeña.

A continuación, en la Figura 2.3, mostramos la gráfica de  $I_D$  frente a  $V_{DS}$  cuando incrementamos  $V_{DS}$  de 0 a 4 V y mantenemos  $V_{GS}$  constante con valores superiores a  $V_t$ .



**Figura 2.3 - Curva característica del transistor NMOS**

Para las diferentes tensiones de puerta,  $V_{GS}$ , hay una curva característica que muestra la dependencia de la corriente de drenador,  $I_D$ , con el voltaje entre drenador y fuente,  $V_{DS}$ .

Vemos que, si la tensión de drenador es inferior a la tensión umbral,  $V_t$ , el transistor está cortado y, por tanto, no circulará corriente.

Si aumenta  $V_{DS}$  y supera la tensión umbral, el transistor opera en una región lineal: apreciándose el comportamiento parabólico de la corriente con la tensión de drenador.

Vemos en la gráfica que la corriente de drenador,  $I_D$ , se satura cuando:

$$V_{DS} = V_{GS} - V_t \quad 2.1$$

Entonces decimos que el transistor está en la región de saturación:

$$V_{DS,sat} = V_{GS} - V_t \quad 2.2$$

Obviamente, para todos los valores de  $V_{GS} \geq V_t$ , hay un valor correspondiente de  $V_{DSsat}$ .

El dispositivo opera en la región de saturación cuando  $V_{DS} \geq V_{DS,sat}$ .

Por lo tanto, podemos ver que hay distintas regiones de operación: la región de corte, la región lineal y la región de saturación. La región que típicamente se usa si el transistor opera como amplificador es la de saturación.

### 2.3.2. Transistor tipo P

En un transistor PMOS el funcionamiento es igual al de un transistor NMOS, pero las tensiones de  $V_{GS}$ ,  $V_t$  y  $V_{DS}$  son negativas. Para obtener la gráfica de  $I_D$  frente a  $V_{DS}$  aplicamos a la puerta una tensión negativa que supere la tensión umbral,  $V_t$ , para que en el transistor se forme un canal P. Además, para que circule corriente, aplicamos un voltaje negativo entre drenador y fuente (Figura 2.4):

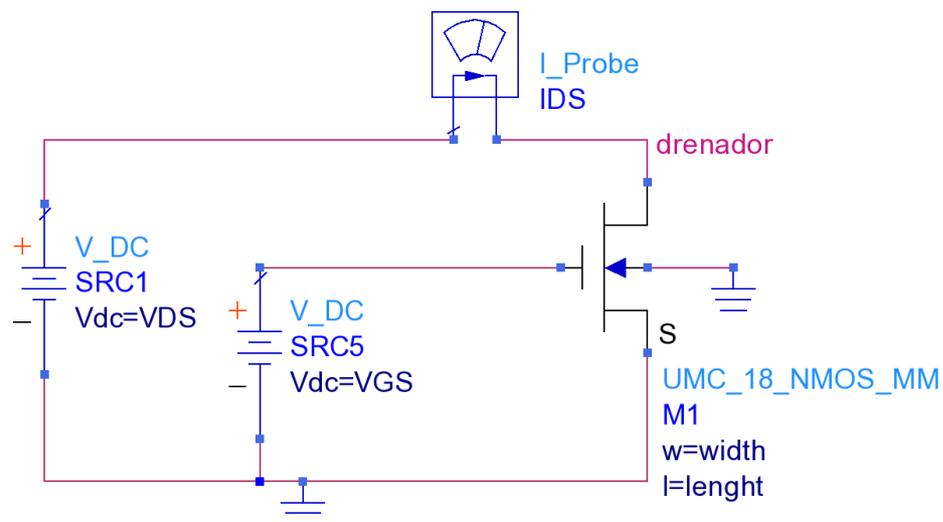
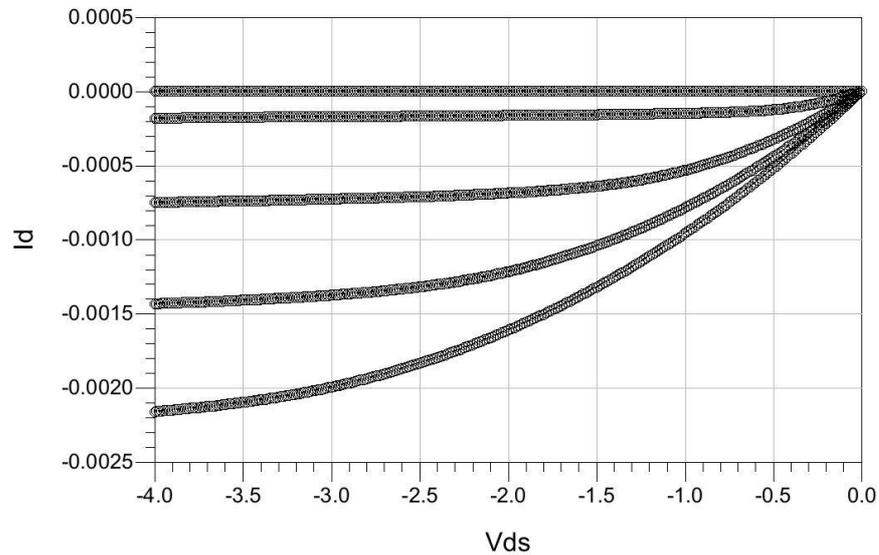


Figura 2.4 – Circuito para obtener la curva característica del PMOS

En la Figura 2.5 mostramos la gráfica de  $I_D$  frente a  $V_{DS}$  cuando variamos  $V_{DS}$  de 0 a 4 V y mantenemos  $V_{GS}$  constante con valores superiores a  $V_t$ .



**Figura 2.5 - Curva característica del transistor PMOS**

Igual que en los NMOS, podemos distinguir tres regiones de funcionamiento del transistor: la región de corte, la región lineal y la región de saturación; e igualmente la región que típicamente se usa, si el transistor opera como amplificador, es la de saturación.

## 2.4. Regiones de operación de los transistores

### 2.4.1. Región de corte

Cuando la tensión de la puerta es idéntica a la del sustrato (Figura 2.6), el MOSFET está en estado de no conducción: ninguna corriente fluye entre fuente y drenador, aunque se aplique una diferencia de potencial entre ambos.

Para los transistores N-MOS:

$$V_{GS} \leq V_T; V_{DS} > 0 \rightarrow I_D = 0 \quad 2.3$$

Para los transistores P-MOS:

$$V_{GS} > V_T; V_{DS} < 0 \rightarrow I_D = 0 \quad 2.4$$

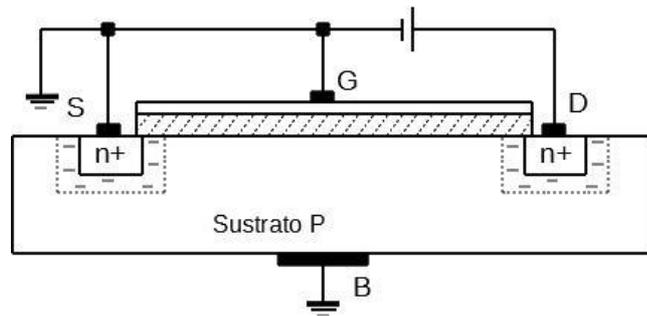


Figura 2.6 - MOSFET tipo N en corte

### 2.4.2. Región lineal

Al polarizarse la puerta con una tensión negativa (PMOS) o positiva (NMOS), el transistor pasa entonces a estado de conducción (Figura 2.7), de modo que una diferencia de potencial entre fuente y drenador dará lugar a una corriente.

Para los transistores N-MOS:

$$V_{GS} \geq V_T; 0 < V_{DS} \rightarrow I_D = \frac{k \cdot W}{L} \left[ (V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad 2.5$$

Para los transistores P-MOS:

$$V_{GS} < V_T; 0 > V_{DS} \rightarrow I_D = \frac{k \cdot W}{L} \left[ (V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad 2.6$$

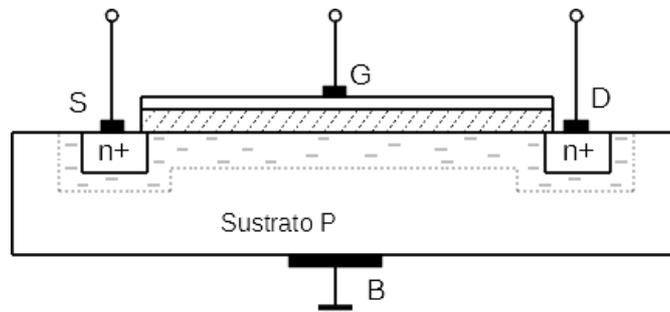


Figura 2.7 - MOSFET tipo N en la región lineal

### 2.4.3. Región de saturación

Cuando la tensión entre drenador y fuente supera cierto límite, la corriente entre fuente y drenador se hace independiente de la diferencia de potencial entre ambos terminales como se muestra en la Figura 2.8.

Para los transistores N-MOS:

$$V_{GS} > V_T; V_{DS} > V_{GS} - V_T \rightarrow I_D = \frac{k}{2} \cdot \frac{W}{L} [(V_{GS} - V_T)^2] \quad 2.7$$

Para los transistores P-MOS:

$$V_{GS} < V_T; V_{DS} < V_{GS} - V_T \rightarrow I_D = \frac{k}{2} \cdot \frac{W}{L} [(V_{GS} - V_T)^2] \quad 2.8$$

Donde  $V_t$  es la tensión umbral,  $W$  y  $L$  la anchura y longitud del canal respectivamente, y  $k$  es el llamado parámetro de transconductancia cuyo valor viene dado por:

$$k = \mu_n \cdot C_{OX} \quad 2.9$$

Donde  $\mu_n$  es la movilidad de los electrones y  $C_{OX}$  es la capacidad de la puerta por unidad de área. Sus unidades son:

$$[k] = \left[ \frac{A}{V^2} \right] \quad 2.10$$

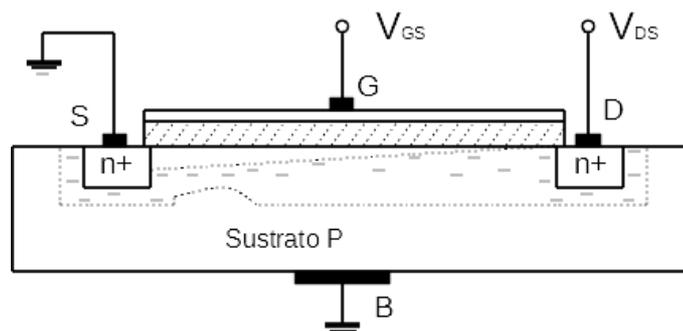


Figura 2.8 - MOSFET tipo N en saturación

Todas las ecuaciones anteriores no modelan del todo varios aspectos importantes a la hora de realizar diseños de circuitos integrados analógicos, ya que no tienen en cuenta la modulación de la longitud del canal y, además, consideran que cuando la tensión de puerta es inferior a la tensión umbral la corriente de drenador es cero.

En realidad, cuando el transistor opera en la región de saturación, la corriente de drenador no es independiente del voltaje entre el drenador y la fuente, sino que a medida que aumenta  $V_{DS}$  la corriente crece ligeramente. Este efecto se denomina modulación de la longitud del canal o efecto Early, el parámetro que modela esto es  $\lambda$ . Para tener en cuenta esta discrepancia con el modelo ideal, basta con multiplicar la ecuación de la  $I_D$  por el factor  $(1 + \lambda \cdot V_{DS})$ , según el modelo analítico de Sah [4]. La presencia de  $\lambda$  en la ecuación de la corriente de drenador produce una ligera pendiente ascendente de la  $I_D$  con respecto a  $V_{DS}$  como se muestra en la Figura 2.9.

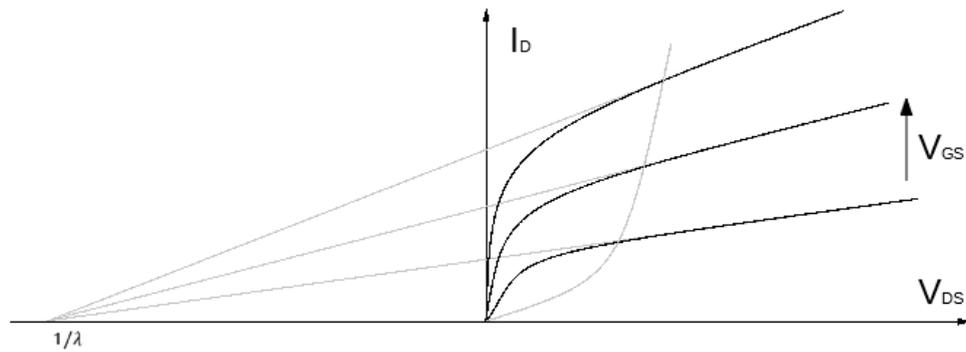


Figura 2.9 – Efecto de la modulación de la longitud del canal

Además, en el caso de que la tensión de puerta sea no nula o inferior a la tensión umbral, existe una corriente dependiente de dicha tensión y que nos permitirá distinguir diferentes niveles de inversión del transistor. Esto lo veremos en el siguiente apartado.

## 2.5. Niveles de inversión del transistor

El modelo y ecuaciones planteadas hasta ahora consideran que al acercarse la tensión de puerta a la tensión umbral, teniendo un valor por debajo de la misma, la corriente de drenador es cero. Sin embargo, si analizamos la curva característica logarítmica  $I_D$  vs  $V_{GS}$ , representada en la Figura 2.10, se observa que por debajo de la tensión umbral, la corriente no es nula, sino que tiene una dependencia exponencial con la tensión de puerta.

Según la tensión mencionada, nos encontramos con tres niveles diferentes de inversión, que vendrán determinados por el número de electrones o huecos que conformen el canal: débil, fuerte o moderada (Figura 2.10).

Cuando estamos en la zona de inversión débil, el canal es muy pequeño y la corriente que encontramos es la de difusión (por lo que la corriente será exponencial con respecto a la tensión de puerta). En inversión fuerte, la corriente dominante es la de arrastre (la corriente de saturación sigue una ley cuadrática respecto a la tensión de puerta). Finalmente, en la región de inversión moderada, encontramos la corriente de difusión y de arrastre en equilibrio y, por lo tanto, no es una región fácil para modelar con una ecuación. Sin embargo, es una región que presenta muchas ventajas puesto que en ella podemos conseguir un buen compromiso entre velocidad y consumo.

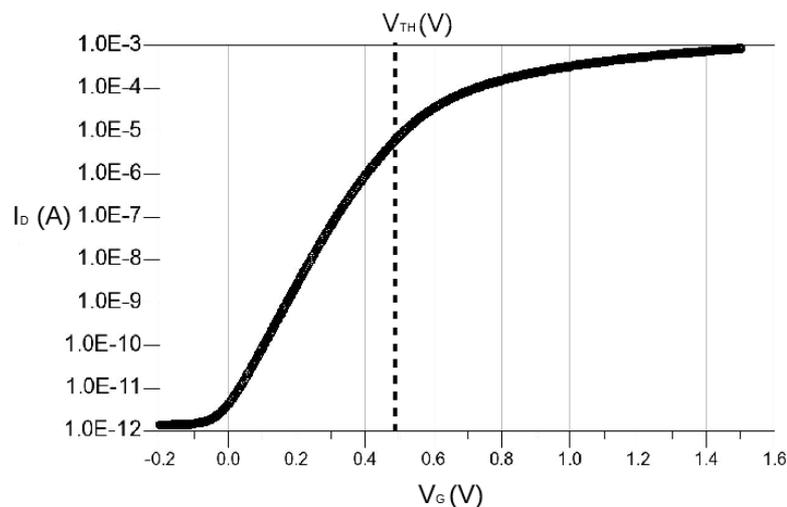


Figura 2.10 - Curva característica ID vs. VG

A la hora de realizar un diseño analógico de bajo consumo, será importante tener en cuenta los diferentes niveles de inversión del transistor. En el siguiente apartado veremos con detenimiento la metodología de diseño  $G_m/I_D$ , que nos permitirá diseñar los transistores en función de la región en la que queramos que trabajen.

## 2.6. Introducción a la metodología $g_m/I_D$

Hasta ahora, cuando nos disponíamos a diseñar circuitos analógicos siempre suponíamos que la corriente de drenador era nula para tensiones de puerta inferiores a la tensión umbral, es decir, considerábamos que el transistor siempre operaba en la región de inversión fuerte. Sin embargo, tal y como acabamos de ver, si analizamos la curva característica  $I_D$  vs.  $V_{GS}$  (Figura 2.10) podemos observar que por debajo de la tensión umbral la corriente no es nula y que, además, tiene una dependencia exponencial con la tensión de puerta. Si tenemos en cuenta esta corriente podremos diseñar circuitos analógicos de muy bajo consumo.

La metodología que vamos a emplear en el diseño de los circuitos nos va a permitir trabajar en cualquiera de las regiones de operación de los transistores. Esta metodología explota la relación existente entre la transconductancia y la corriente de drenador ( $g_m/I_D$ ). Esta relación es una potente herramienta a la hora de llevar a cabo el modelado del tamaño de los transistores [5]. Un buen compromiso entre área, consumo y velocidad se puede conseguir cuando los transistores trabajan en la región de inversión moderada.

Este método, [5], explota el hecho de que tanto la transconductancia, como la corriente de drenador varían con el ancho de puerta y, por lo tanto, la relación  $g_m/I_D$  no

dependerá del mismo. Gracias a esto, una vez conocidas las especificaciones de producto de ganancia por ancho de banda, podemos calcular las corrientes derivándolas de la ecuación 2.11, donde el numerador es la transconductancia del mismo y el denominador es la relación  $g_m/I_D$  del transistor derivada de un transistor similar, cuyo ancho de puerta  $W^*$  y longitud  $L^*$  son conocidos.

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} \quad 2.11$$

Siendo la corriente de drenador conocida, los anchos del transistor siguen la ecuación 2.12.

$$W = (W)^* \frac{I_D}{(I_D)^*} \quad 2.12$$

Estas dos ecuaciones nos ayudarán a determinar la corriente de drenador y el ancho de puerta, para un producto de ganancia por ancho de banda fijado por  $g_m$ . La clave de esta metodología la encontramos en el denominador de la primera ecuación. Para explicarlo mejor, consideramos como ejemplo la llamada “etapa de ganancia intrínseca” (Figura 2.11) que consiste en un transistor en configuración fuente común. Llamaremos  $V_A$  a la tensión de Early, la cual controla la conductancia de salida del transistor ( $g_{D=I_D/V_A}$ ). Por lo tanto, tenemos que la frecuencia de ganancia unidad y la ganancia en DC vendrán dadas respectivamente por las ecuaciones (2.13) y (2.14).

$$\omega_T = \frac{g_m}{C} \quad 2.13$$

$$A_{DC} = -\frac{g_m}{g_d} = -\frac{g_m}{I_D} V_A \quad 2.14$$

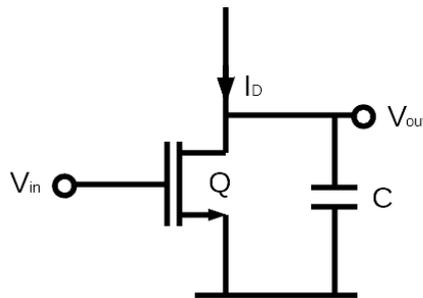


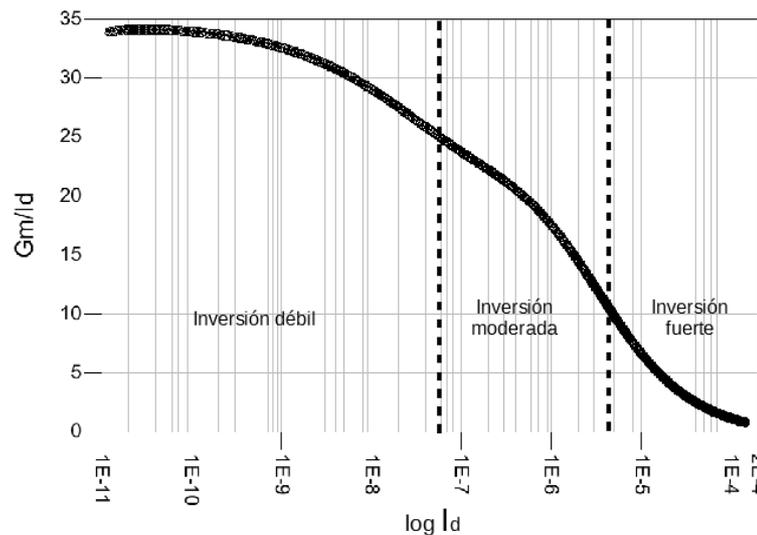
Figura 2.11 – Etapa de ganancia intrínseca

Podemos observar la relación  $g_m/I_D$  con el modo de operación del transistor en la ecuación 2.15, donde vemos que  $g_m/I_D$  es igual a la derivada del logaritmo de  $I_D$  con respecto a  $V_G$ .

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial(\ln I_D)}{\partial V_G} = \frac{\partial \left\{ \ln \left[ \frac{I_D}{\left(\frac{W}{L}\right)} \right] \right\}}{\partial V_G} \quad 2.15$$

Esta derivada será máxima cuando el transistor se encuentre en la región de inversión débil, donde la dependencia de  $I_D$  frente a  $V_G$  es exponencial.

Otra característica interesante de esta metodología es que, tanto la relación  $g_m/I_D$ , como la corriente normalizada ( $I_D/(W/L)$ ), son independientes del tamaño de los transistores. Por lo tanto, la relación entre  $g_m/I_D$  y la corriente normalizada, es una característica única para todos los transistores del mismo tipo (NMOS o PMOS) de una tecnología determinada (aunque esta afirmación deberá ser revisada cuando tratamos con transistores de canal corto). En la Figura 2.12, se muestra la curva típica de la transconductancia de un transistor MOS en función de la corriente de drenador. Además, se indican, de forma aproximada las tres zonas de funcionamiento, inversión débil, moderada y fuerte.



**Figura 2.12 - Curva típica de la transconductancia de un MOS frente a la corriente de drenador.**

En la fase de diseño, cuando no se conoce la relación de aspecto  $W/L$ , se generará la curva representada anteriormente que nos permitirá averiguar su valor. Se deberá elegir el valor  $G_m/I_D$  en función de la región de operación del transistor. Dicha elección de  $G_m/I_D$  es muy importante por las siguientes razones:

- Está muy directamente relacionado con el rendimiento de los circuitos analógicos.
- Da una indicación de la región de operación del dispositivo

- Proporciona una herramienta muy sencilla para determinar las dimensiones de los transistores [6].

En resumen, de la curva de  $G_m/I_D$  vs  $I_D/(W/L)$  se obtiene la relación de aspecto  $W/L$ , para posteriormente, con la relación  $G_m/I_D$  frente a la tensión  $V_A$ , se obtendrá la  $L$  idónea para minimizar el consumo.

En la Figura 2.13 se muestra el flujo de trabajo paso a paso de cómo llevar a cabo esta metodología.

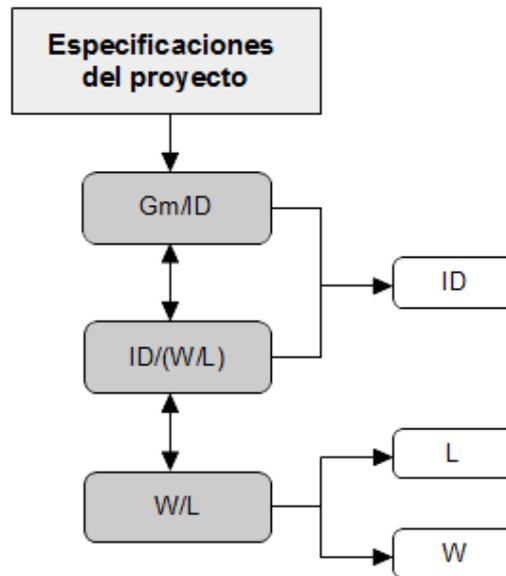


Figura 2.13 - Flujo de trabajo para la metodología  $g_m/I_D$

## 2.7. La curva $g_m/I_D$ vs. $I_D/(W/L)$

En el apartado anterior se ha explicado cómo puede usarse la curva  $g_m/I_D$  vs.  $I_D/(W/L)$  en la fase de diseño para determinar la relación de aspecto de los transistores ( $W/L$ ). Podremos obtener dicha curva de dos maneras diferentes: experimental o analíticamente. La primera forma podemos llevarla a cabo realizando medidas sobre un transistor cuyo ancho y longitud son conocidos, esto nos permitirá derivar la relación  $g_m/I_D$  de las características  $I_D(V_{GS})$  de dicho transistor. El otro método, emplea expresiones analíticas para la relación  $g_m/I_D$ , estas expresiones las obtenemos de modelos matemáticos como pueden ser el modelo EKV. Con estos modelos matemáticos podremos hacer dicho cálculo a mano o empleando programas de cálculo como puede ser Matlab.

En este trabajo llevaremos a cabo el primer método. Trabajaremos con la tecnología de 0.18  $\mu\text{m}$  de UMC. Como no disponemos de dichos dispositivos físicos,

hemos optado por realizar varias simulaciones de dichos transistores utilizando el software de simulación “Advanced Design System” [7].

En el presente apartado explicamos cómo obtener estas curvas características tanto para el transistor CMOS como para el transistor PMOS. En este caso vamos a explicar el proceso para el transistor NMOS, siendo este proceso extensible a los transistores PMOS.

En el software ADS, realizamos una simulación en DC del mismo circuito del que hemos extraído la curva característica, (ver Figura 2.2). Dicho circuito se ha realizado con un transistor con relación de aspecto 10. Se ha comprobado que al variar dicha relación la curva no cambia, tal y como hemos afirmado con anterioridad. Realizamos un barrido de la tensión de puerta,  $V_{GS}$ , de 0 a 2 V, de esta manera podemos representar los parámetros más importantes del transistor como por ejemplo la transconductancia,  $g_m$ , o como las diferentes tensiones y corrientes del circuito. En la Figura 2.14 y la Figura 2.15 se muestran las curvas  $g_m/I_D$  vs.  $I_D/(W/L)$  para el transistor NMOS y PMOS respectivamente.

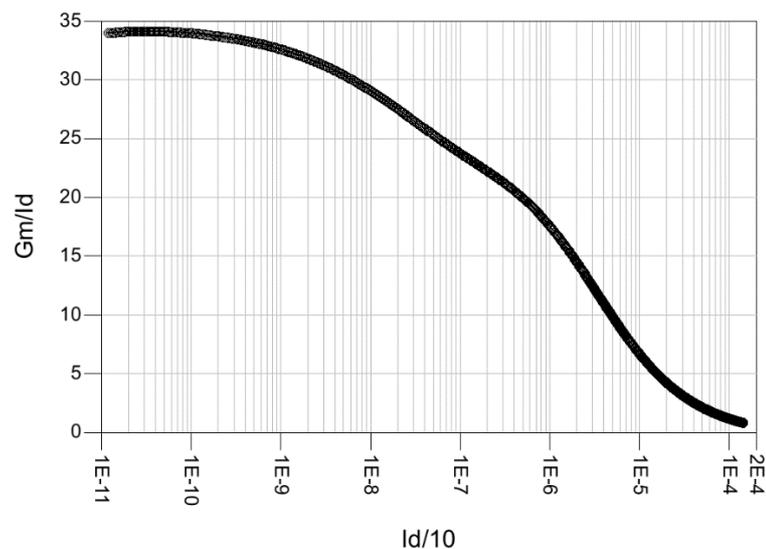


Figura 2.14 - Curva  $g_m/I_D$  vs  $I_D/(W/L)$  del transistor NMOS

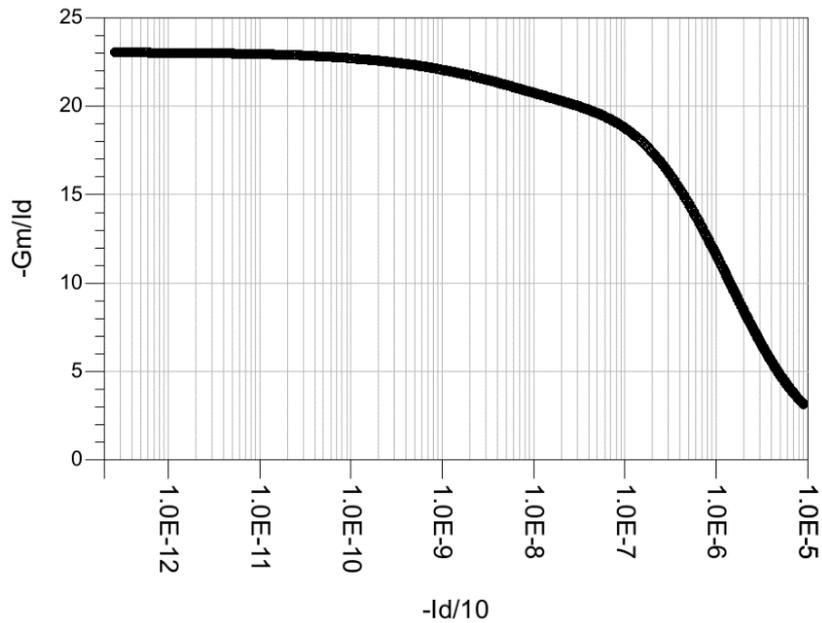


Figura 2.15 - Curva  $g_m/I_D$  vs  $I_D/(W/L)$  del transistor PMOS

## 2.8. Conclusiones

En este capítulo hemos estudiado el transistor MOS en profundidad. Hemos descrito su funcionamiento y explicado la forma de obtener las curvas características que sirven de ayuda para poder comprender su funcionamiento, tanto para los transistores NMOS, como para los PMOS. Una vez conocidas las zonas de trabajo de los transistores, hemos estudiado la metodología  $g_m/I_D$  y los niveles de inversión en los que pueden trabajar, representando la curva  $g_m/I_D$  vs.  $I_D/(W/L)$  que sirve para dimensionar los transistores dependiendo de la región de trabajo en la que queramos que se encuentren, mejorando considerablemente el consumo final del dispositivo diseñado.



# Capítulo 3. Introducción a los amplificadores de ganancia programable

## 3.1. Introducción

Los amplificadores de ganancia variable, VGAs, del inglés “Variable Gain Amplifiers”, o también conocidos como amplificadores de ganancia programable, PGAs, del inglés “Programmable Gain Amplifiers”, son utilizados en multitud de dispositivos de detección o de comunicaciones tanto a corta como a larga distancia. El rango de aplicaciones en las que pueden verse es muy amplio, abarcando desde equipos de ultrasonidos, radares o comunicaciones inalámbricas.

El principal objetivo de estos amplificadores es variar su ganancia en función de una tensión de control y, de esta manera, dar a la salida un nivel de señal óptimo dependiendo de los requerimientos del sistema. El amplificador debe evitar salir de la zona lineal de trabajo y mantener los niveles de salida para el funcionamiento óptimo del sistema.

En la actualidad, existen diversos diseños de amplificadores de ganancia variable fundamentados en conseguir una linealidad alta a la salida, un rango dinámico elevado y un ancho de banda constante. Estos amplificadores suelen ubicarse a la salida de los receptores de comunicaciones inalámbricas. Los receptores están formados por un cabezal de recepción formado por LNAs, mezcladores, amplificadores de transimpedancia (TIAS), etc., seguidos del bloque de filtrado y de la etapa de amplificación. La forma más habitual de encontrarnos estos dos últimos bloques es con el filtro en primer lugar y a su salida el amplificador, aunque estas dos etapas pueden

alternar su posición entre sí, dando lugar a diferentes configuraciones. Por tanto, los amplificadores pueden clasificarse en función del lugar donde se sitúan en el circuito.

A continuación, realizamos un estudio de las diferentes maneras en las que nos podemos encontrar los amplificadores dentro de los transceptores de comunicaciones.

## 3.2. Clasificación de los amplificadores según la posición de los bloques en el diseño

El esquema más utilizado a la hora de diseñar un receptor es el que incluye el amplificador al final del receptor, como último bloque, justo después del filtro. Sin embargo, también existen otras alternativas como pueden ser colocar el PGA previamente al filtro, incluir la ganancia en el diseño del filtro, alternar varias etapas de filtrado y amplificación o incluso colocar el amplificador antes del mezclador.

### 3.2.1. PGA después del filtro

Como se ha comentado anteriormente, el diseño que con más frecuencia nos encontramos en la literatura es con el amplificador colocado después de la etapa de filtrado, conectado con la salida del receptor. En la Figura 3.1 se puede observar un ejemplo de esta arquitectura [8]. En este caso el amplificador se encuentra precedido por el filtro del sistema y a su salida se encuentra un convertor analógico digital, que realiza la digitalización del nivel de salida de cada PGA.

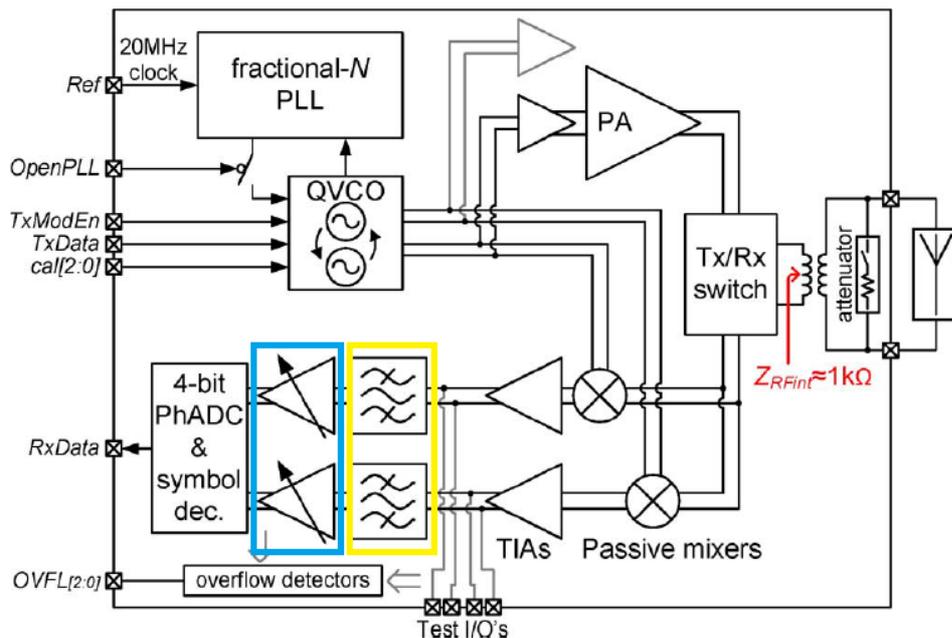


Figura 3.1 – PGA después del filtro [8]

Normalmente el propio amplificador también realiza un filtrado, independiente de la etapa anterior. Este filtrado se realiza para eliminar el ruido Flicker o provocado por las frecuencias bajas. También pueden incluir un filtro paso bajo para evitar problemas de aliasing. En la Figura 3.2 se muestra un ejemplo de dicho diseño. Cada PGA proporciona entre 14 y 24 dB de ganancia. Entre las dos etapas amplificadoras se encuentra un filtro paso bajo de segundo orden ajustable por medio de los condensadores C1 y C2, con el objetivo de evitar que se produzca aliasing.

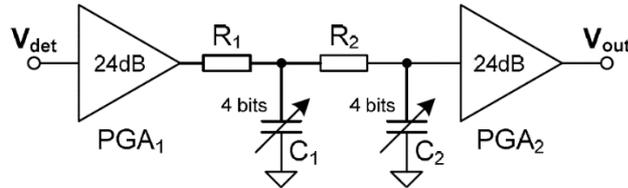


Figura 3.2 – PGA con filtro anti-aliasing [9]

### 3.2.2. PGA antes del filtro

Otra posibilidad a la hora de diseñar un amplificador para un receptor de comunicaciones es situar la etapa de amplificación previa a la etapa de filtrado. En el ejemplo de la Figura 3.3 se puede observar que una vez la señal ha sido convertida a banda base entra en los amplificadores de ganancia variable (VGA) y posteriormente se realiza un filtrado de tres etapas [10]. Cuando el nivel de la señal de radiofrecuencia es bajo la ganancia deberá ser alta, haciendo que la conmutación de ganancia del sistema no influya en la sensibilidad del receptor. El amplificador también es responsable de compensar la pérdida de ganancia del filtro de tres etapas que se encuentra a su salida.

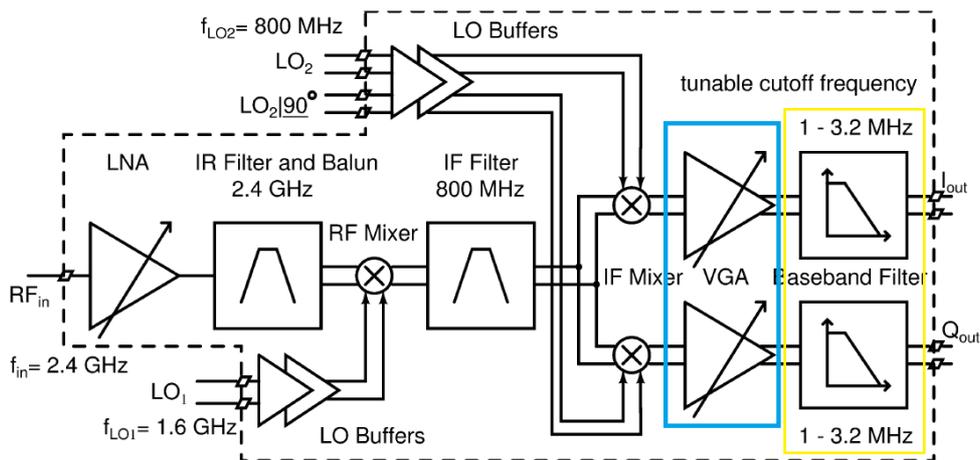


Figura 3.3 – PGA previo al filtro [10]

En la Figura 3.4 se puede observar cómo ha sido implementado el amplificador y el filtro. Esta topología está formada por una etapa de amplificación implementada con

resistencias conmutables para dar mayor o menor ganancia, y un filtro Chebyshev de 5 orden.

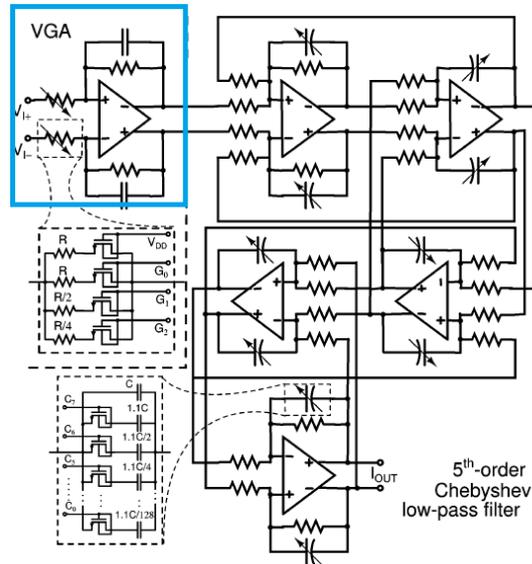


Figura 3.4 – VGA previo a un filtro paso bajo Chebyshev de 5º orden [10]

### 3.2.3. PGA entre etapas de filtrado

En los circuitos de banda base con un PGA seguido de un filtro, la linealidad total de la banda se ve limitada por la propia linealidad del amplificador. Para mejorar dicha característica se suele colocar el filtro antes del amplificador, pero ello conlleva a que ruido del filtro deba de ser muy bajo, lo que provoca un mayor consumo de potencia para poder implementarlo. Otro tipo de arquitectura que surge para evitar aumentar el consumo de potencia consiste en entrelazar etapas de amplificación con etapas de filtrado. De esta manera se mejora el ruido y la linealidad de la señal del receptor y se puede optimizar el consumo de potencia. En la Figura 3.5 podemos observar un ejemplo de arquitectura en la que la ganancia variable se encuentra incluida en el filtro banda base complejo [11].

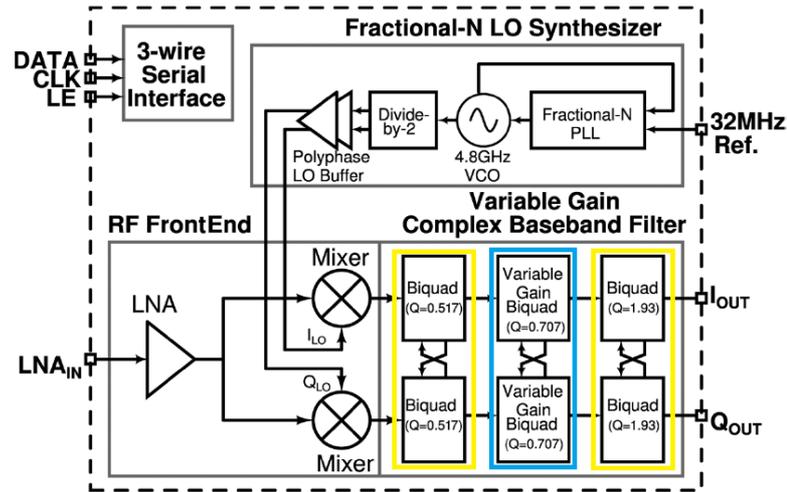


Figura 3.5 Amplificador entre etapas de filtrado [11]

Otro ejemplo para PGAs entre etapas de filtrado es el que puede observarse en Figura 3.6, en el que se alternan etapas de filtro con etapas de ganancia para conseguir mejores compromisos entre la figura de ruido y la linealidad de cada etapa [12]. La ganancia se consigue cambiando las resistencias que se encuentran en la realimentación de los amplificadores operacionales.

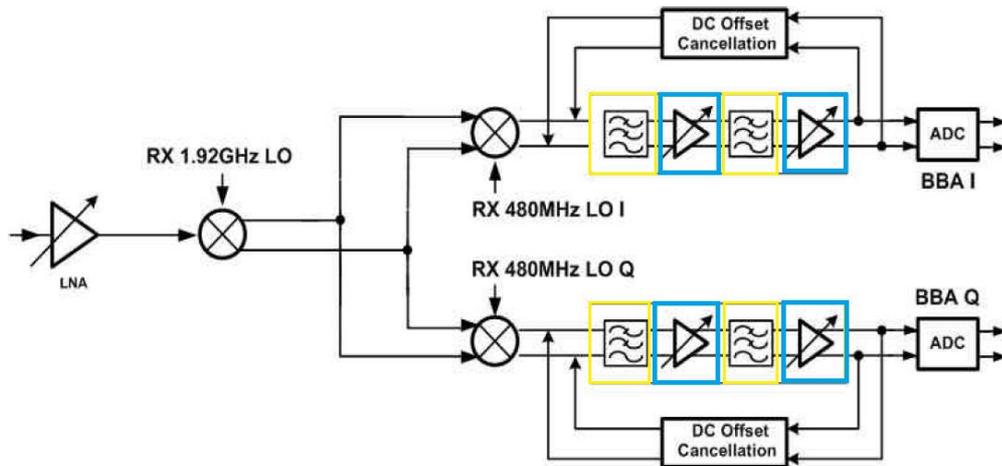


Figura 3.6 – Etapas de filtrado entrelazadas con etapas de amplificación [12]

### 3.2.4. PGA previo al mezclador y al filtro

En la Figura 3.7 se puede observar otra arquitectura alternativa, menos usual, en la que se coloca el amplificador de ganancia programable antes del mezclador y del filtro del receptor [13]. El circuito con el que está diseñado debería proporcionar una figura de ruido baja.

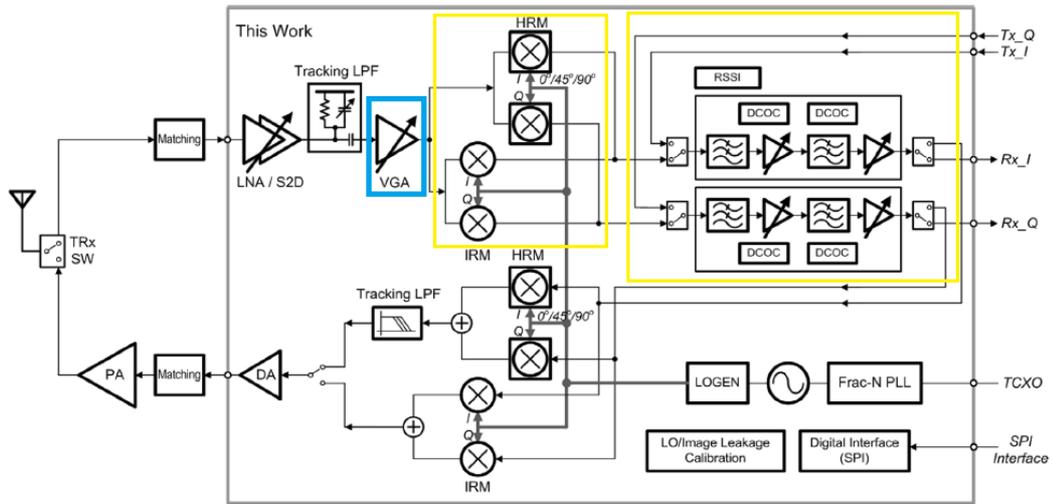


Figura 3.7 – Amplificador previo al mezclador y al filtro [13]

Como se muestra en la Figura 3.8, la malla de atenuación capacitiva aporta menor figura de ruido que una malla resistiva, además proporciona un ancho de banda amplio y un buen rango de control para la ganancia. Otra ventaja de este circuito es que la impedancia vista desde el LNA, que precede al amplificador, prácticamente no cambia en todo el rango de control, por lo que resulta útil para el funcionamiento en banda ancha.

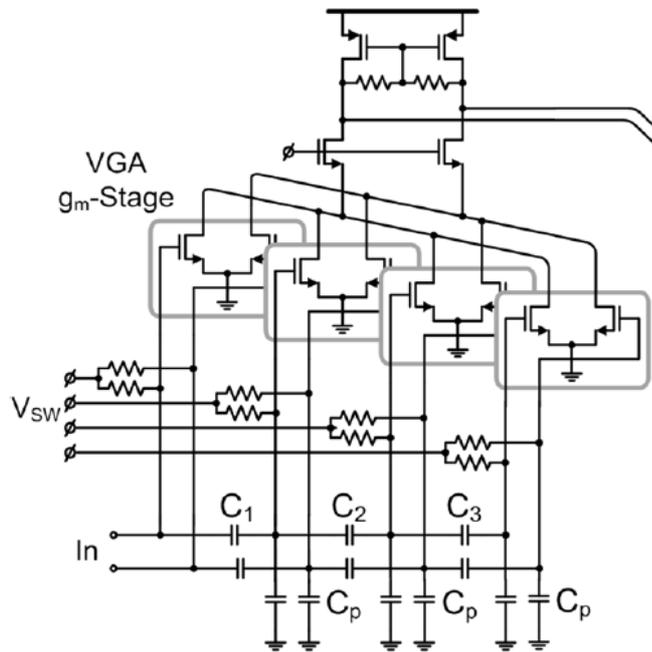


Figura 3.8 – Etapa de amplificación con malla capacitiva [13]

### 3.3. Clasificación según los componentes que forman el amplificador

Los amplificadores de ganancia programable suelen diseñarse mediante la utilización de amplificadores de transconductancia u OTAs. Los OTAs son amplificadores con una entrada diferencial de tensión que producen una salida en corriente, al contrario que los amplificadores operacionales, que tienen su salida en tensión. En la Figura 3.9 se representa su esquemático.

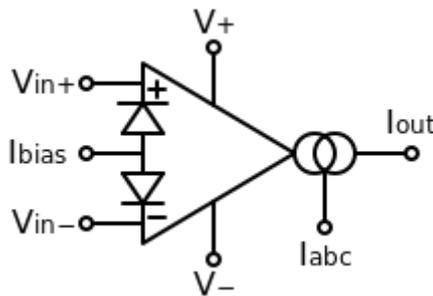


Figura 3.9 – Amplificador de transconductancia variable (OTA)

La ecuación de la corriente a la salida del OTA es la siguiente:

$$I_{out} = (V_{in+} - V_{in-}) \cdot G_{msc} \quad 3.1$$

siendo  $V_{in+}$  la entrada no inversora,  $V_{in-}$  la entrada inversora y  $G_{msc}$  la transconductancia en cortocircuito del amplificador. Por tanto, la tensión de salida será la  $I_o$  que hemos calculado multiplicada por la resistencia de carga  $R_L$ .

$$V_o = I_{out} \cdot R_L \quad 3.2$$

De esta manera ya se puede obtener la ganancia en tensión del OTA dividiendo la tensión de salida entre las tensiones de entrada diferencial:

$$G_v = \frac{V_o}{V_{in+} - V_{in-}} = \frac{I_{out} \cdot R_L}{I_{out} / G_{msc}} \quad 3.3$$

$$G_v = R_L \cdot G_{msc}$$

La variabilidad de la ganancia se suele realizar principalmente a través de dos métodos: utilizando OTAs con resistencias conmutables o utilizando sucesiones de OTAs conectados en serie y conmutables por medio de un switch. En el siguiente apartado se explicarán con mayor detenimiento.

### 3.3.1. OTA con resistencias conmutables

Como vimos en la Figura 3.4, si se coloca una red de resistencias en paralelo en cada una de las entradas del amplificador se puede hacer variar la ganancia en saltos programados según los valores con los que se diseñe la propia red. También se puede colocar la resistencia variable en la realimentación del amplificador y fijar el valor de la resistencia de entrada, como podemos ver en la Figura 3.10 [2]. Dicho ejemplo además consta de un condensador variable para establecer un ancho de banda constante.

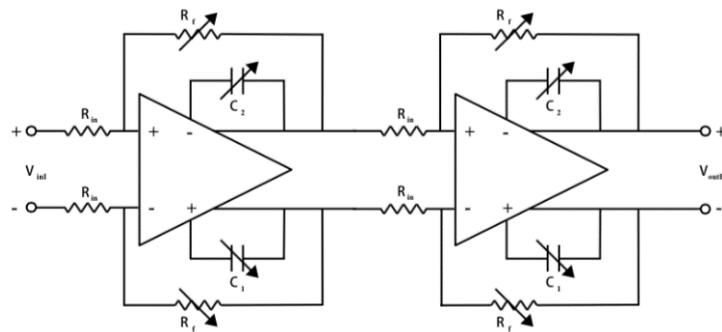


Figura 3.10 – Amplificador con resistencias variables en la realimentación

Otra alternativa posible es realizar un PGA de dos etapas tal y como muestra la Figura 3.11 [8]. En la primera, con una configuración del amplificador con reutilización de corriente, se implementa un filtro paso alto para eliminar offsets en continua y ruido flicker. En la segunda etapa se incluye un filtro paso bajo de segundo orden en configuración Sallen Key, utilizando un amplificador operacional con ganancia programable. Este amplificador se basa en un par diferencial con degeneración de surtidor en el que el control de ganancia se realiza mediante la variación del valor de la resistencia de degeneración. El problema de usar un amplificador operacional con ganancia variable en un filtro Sallen Key es que, para cada valor de ganancia, habría que cambiar los valores de las resistencias y capacidades del filtro para que la frecuencia de corte se mantenga constante. Para evitar esto, se ha añadido una realimentación formada por un atenuador que compensa los incrementos de ganancia del amplificador operacional [14].

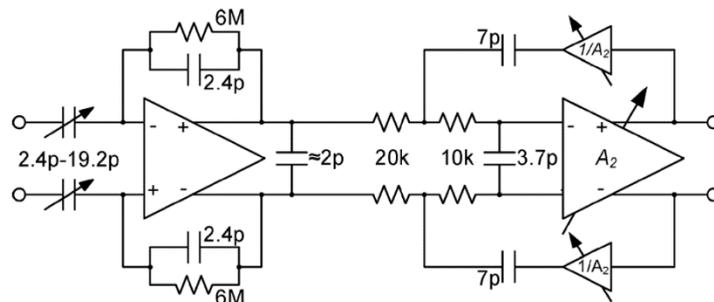


Figura 3.11 – Amplificador de dos etapas [8]

### 3.3.2. OTAs en serie conmutables con un switch

Si se colocan varias etapas amplificadoras en serie podemos obtener mayores niveles de ganancia y, además, si se incluye un switch se puede hacer variar la salida en función del valor que se necesite. Esta metodología es la usada en la Figura 3.12, donde hay siete etapas de 8 dB y una de 10 dB, consiguiendo un total de 66 dB de ganancia [15]. Controlando el selector de 0 a 7 dB se pueden conseguir ganancias en el rango de los 0 dB hasta los 63 dB en pasos de 1 dB.

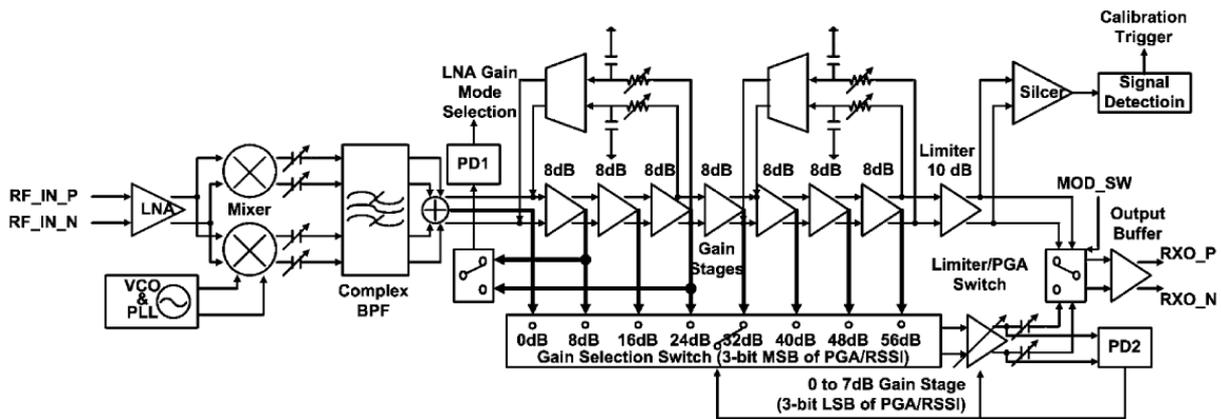


Figura 3.12 – Etapas amplificadoras con un selector/switch [15]

### 3.3.3. Conclusiones

En este capítulo hemos hecho un análisis del estado del arte en amplificadores de ganancia programable y los hemos organizado en función de su colocación en el receptor. Cada opción mejora o empeora diferentes especificaciones por lo que dependiendo del diseño en el que se trabaje será mejor elegir una u otra topología. También hemos analizado la forma de diseñar un PGA, dependiendo de cómo queramos conseguir los diferentes niveles de ganancia. Para comprender cada uno de los tipos existentes hemos incluido circuitos de la literatura actual. Éstos nos sirven de ejemplos para comprobar cómo se consiguen amplificadores con buenos parámetros utilizando diversas configuraciones.

En el siguiente capítulo analizaremos en profundidad los amplificadores operacionales, centrándonos en las diferentes topologías y configuraciones que se pueden utilizar para llevar a cabo el diseño de dichos circuitos.



# Capítulo 4. Amplificadores operacionales

## 4.1. Introducción

En este capítulo estudiaremos las partes que forman un amplificador operacional y las características que debemos tener en cuenta para poder llevar a cabo su diseño. Este capítulo es eminentemente teórico y, por ello, se emplaza al lector experimentado en estos temas al siguiente capítulo en el que se diseña de forma práctica un amplificador operacional con entrada diferencial y salida asimétrica. Además, se usa este circuito para hacer una primera implementación de un PGA.

El esquema de la Figura 4.1 [16] muestra un amplificador operacional de ejemplo. Este amplificador consta de varias etapas que pueden dividirse, de izquierda a derecha, en:

- Una etapa de polarización
- Una etapa de entrada diferencial
- Una etapa de salida asimétrica

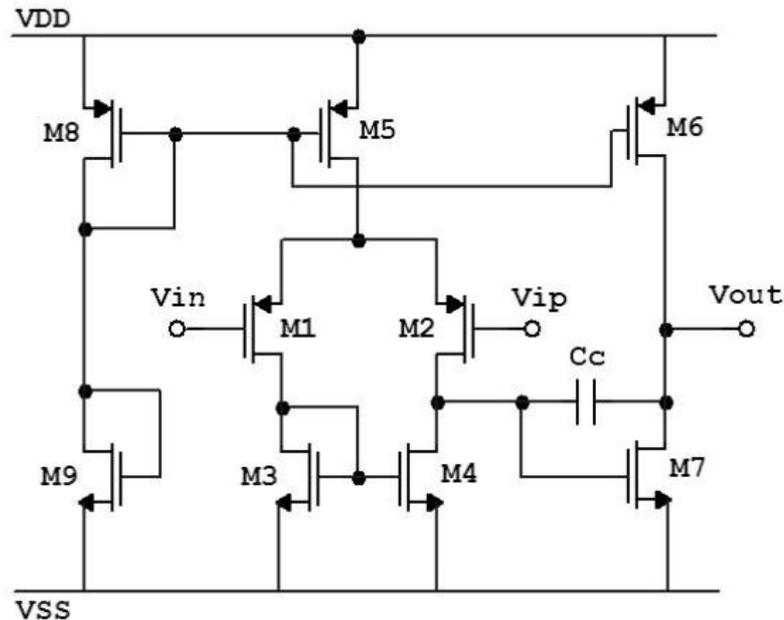


Figura 4.1 – Ejemplo de amplificador de dos etapas

La etapa de polarización del circuito está formada por la fuente de corriente  $M_9$  y los transistores  $M_8$  y  $M_5$ . Esta corriente es fundamental para el circuito, pues afecta directamente en los parámetros de funcionamiento del amplificador. La etapa de entrada la forman los transistores  $M_1$ ,  $M_2$ ,  $M_3$  y  $M_4$ , estando apareados entre sí, ( $M_1$  y  $M_2$ ,  $M_3$  y  $M_4$ ). Finalmente se encuentra la etapa de salida, formada por los transistores  $M_6$  y  $M_7$ . En este ejemplo, además, se encuentra una compensación realizada por polo dominante mediante el condensador  $C_c$ .

## 4.2. Etapa de entrada

En este apartado estudiaremos la etapa de entrada del amplificador que se muestra en la Figura 4.2. El transistor  $M_5$  ha sido sustituido por una fuente de corriente  $I_{DD}$ .

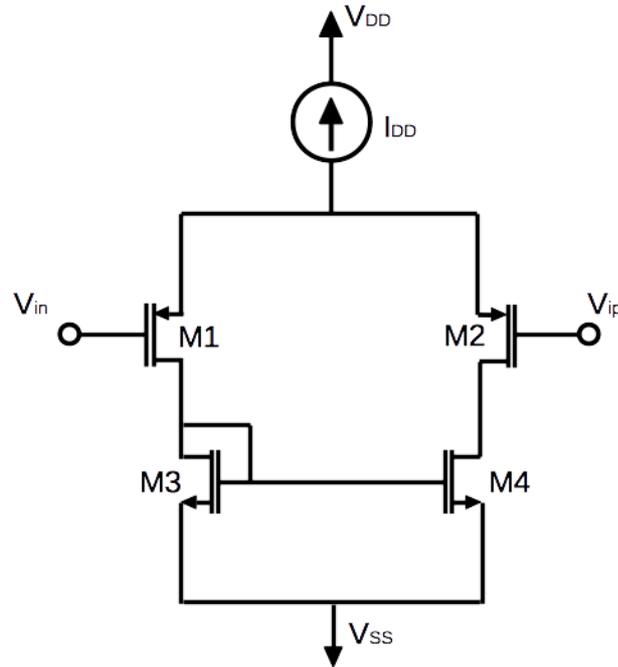


Figura 4.2 – Etapa de entrada diferencial

Para estudiar mejor el funcionamiento de esta etapa analizaremos el circuito equivalente en pequeña señal, partiendo del modelo en pequeña señal de un transistor MOS mostrado en la Figura 4.3.

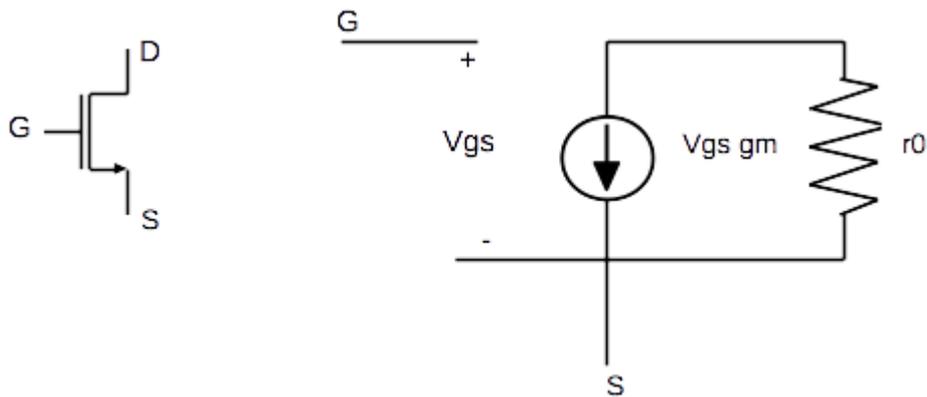


Figura 4.3 - Modelo en pequeña señal del MOSFET tipo N

Tenemos que:

$$r_0 = \frac{|VA|}{I_d} \quad 4.1$$

Siendo

$$VA = \frac{1}{\lambda} \quad 4.2$$

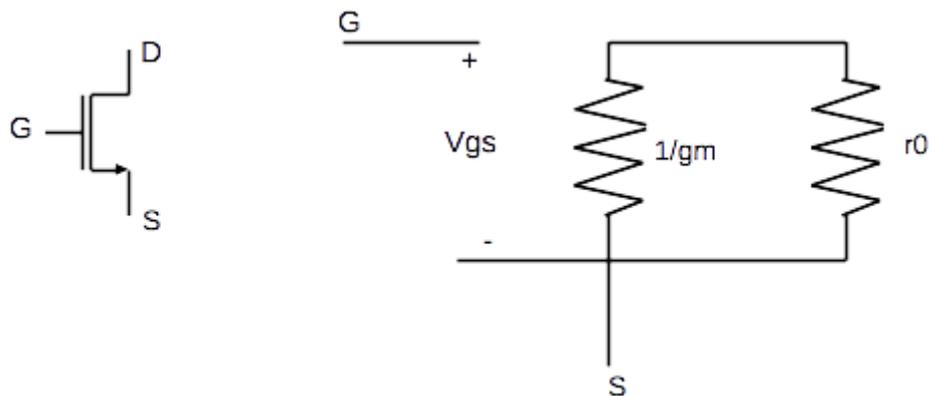
y  $g_m$  es el parámetro de la transconductancia del transistor:

$$g_m = K_n \frac{W}{L} (V_{GS} - V_t) \quad 4.3$$

Por tanto, los parámetros del modelo en pequeña señal  $g_m$  y  $r_0$ , dependen de la polarización en continua del transistor.

En pequeña señal, las fuentes ideales de tensión continua se sustituyen por cortocircuitos, esto se debe al hecho de que el voltaje frente a una fuente ideal de tensión continua no cambia y de este modo habrá siempre un voltaje nulo en la señal frente a una fuente de tensión continua. Además, la señal de corriente de una fuente de corriente continua ideal siempre será nula, de esta forma una fuente de corriente continua ideal puede sustituirse por un circuito abierto.

Por otro lado, el modelo en pequeña señal para un MOSFET con puerta y drenador cortocircuitados se muestra en la Figura 4.4.



**Figura 4.4 - Resistencia MOSFET y su equivalente en pequeña señal**

Como  $v_{ds} = v_{gs}$  la resistencia efectiva será:  $\frac{v_{gs}}{v_{gs} \cdot g_m} = \frac{1}{g_m}$

Teniendo en cuenta estas consideraciones, el modelo en pequeña señal de la etapa diferencial es el que se muestra en la Figura 4.5, donde si los transistores  $M_1$  y  $M_2$  están perfectamente apareados el punto donde se conectan las fuentes de estos dos transistores se puede considerar tierra en AC.

El modelo simplificado de la etapa diferencial se muestra en la Figura 4.6. Dado que  $M_1$  está apareado con  $M_2$  y  $M_3$  con  $M_4$  los nodos S1 y S2 donde se unen  $M_1$  y  $M_2$  se pueden considerar tierra en AC. De la misma forma, dado que S3 y S4 son tierra en AC, S1, S2, S3 y S4 se pueden unir en un único nodo.

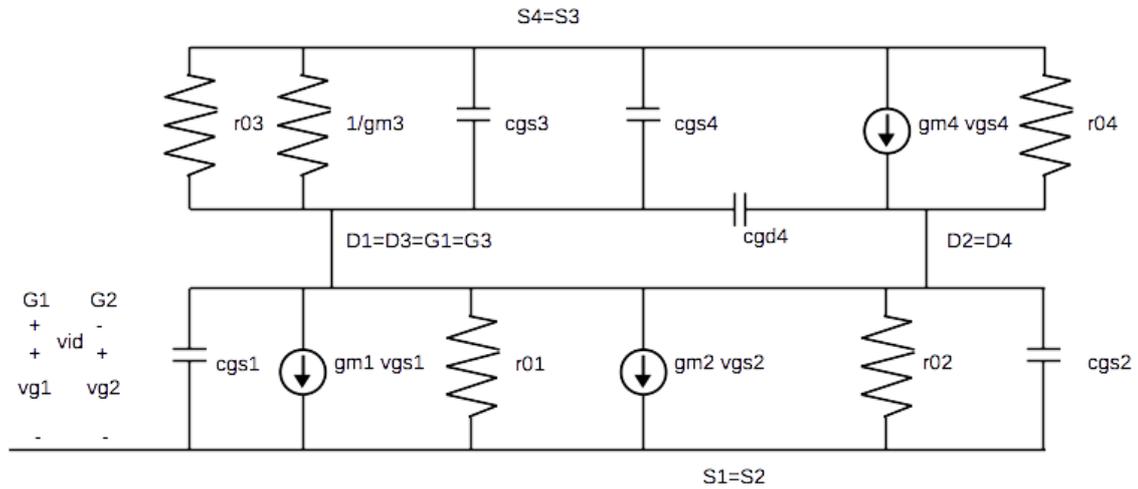


Figura 4.5 - Modelo en pequeña señal de la etapa diferencial

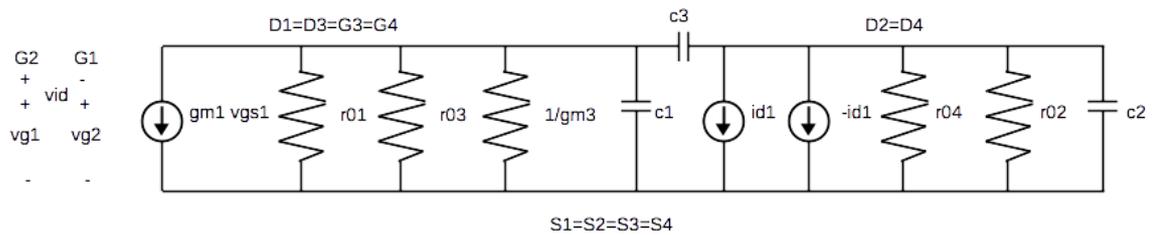


Figura 4.6 - Modelo simplificado de la etapa diferencial

Partiendo de la figura anterior tenemos:

$$C_1 = c_{gd1} + c_{gs3} + c_{gs4} \quad 4.4$$

$$C_2 = c_{gd2} \quad 4.5$$

$$C_3 = c_{gd4} \quad 4.6$$

Cualquier pequeña señal que exista en la puerta de  $M_1$  dará lugar a una corriente en pequeña señal  $i_{d1}$ , que circulará desde el drenador a la fuente de  $M_1$ .

$$i_{d1} = g_{m1} \cdot v_{gs1} \quad 4.7$$

Dicha corriente se refleja de  $M_3$  a  $M_4$ , por lo que:

$$g_{m4} \cdot v_{gs4} = i_{d1} \quad 4.8$$

Puesto que S1, S2, S3 y S4 tienen el mismo potencial (mismo nodo),  $i_{d1}$  también fluirá de la fuente al drenador de M<sub>2</sub>. Por tanto:

$$g_{m2} \cdot v_{gs2} = -i_{d1} \quad 4.9$$

$$i_{out} = i_{d1} - (-i_{d1}) = 2i_{d1} \quad 4.10$$

$$r_{out} = r_{o2} \parallel r_{o4} \quad 4.11$$

$$i_{d1} = g_{m1} \cdot v_{gs1} \quad 4.12$$

Como  $v_{gs1} = v_{gs2}$ :

$$v_{id} = v_{gs1} + v_{gs2} \quad 4.13$$

Por tanto,  $v_{id} = 2v_{gs1}$ :

$$\frac{i_{d1}}{v_{id}} = \frac{g_{m1} \cdot v_{gs1}}{2v_{gs1}} = \frac{g_{m1}}{2} \quad 4.14$$

$$v_{id} = \frac{2i_{d1}}{g_{m1}} \quad 4.15$$

El voltaje de salida en pequeña señal es:

$$v_{out} = i_{out} \cdot r_{out} \quad 4.16$$

$$v_{out} = 2i_d \cdot (r_{o2} \parallel r_{o4}) \quad 4.17$$

Si calculamos la ganancia dividiendo  $v_{out}$  entre  $v_{id}$  obtenemos:

$$\frac{v_{out}}{v_{id}} = \frac{2i_{d1} \cdot (r_{o2} \parallel r_{o4})}{\frac{2i_{d1}}{g_{m1}}} \quad 4.18$$

$$\frac{v_{out}}{v_{id}} = g_{m1,2} (r_{o2} \parallel r_{o4}) \quad 4.19$$

Además, tenemos que:

$$g_{m1,2} = \sqrt{2\beta_{1,2}I_{D1,2}} \quad 4.20$$

$$(r_{o2} \parallel r_{o4}) \cong \frac{1}{2\lambda I_{D,2}} \text{ (siendo } r = \frac{1}{\lambda I}) \quad 4.21$$

Por tanto:

$$\frac{v_{out}}{v_{id}} \cong \sqrt{2\beta_{1,2}I_{D1,2}} \cdot \left( \frac{1}{2\lambda I_{D,2}} \right) \quad 4.22$$

$$\frac{v_{out}}{v_{id}} \cong K \cdot \sqrt{\frac{W_{1,2}}{L_{1,2}I_{D1,2}}} \cdot \left( \frac{1}{\lambda} \right) \quad 4.23$$

Donde K es un valor constante que el diseñador no puede controlar. El efecto de  $\lambda$  en la ganancia disminuye cuando L aumenta, así que  $\frac{1}{\lambda}$  es directamente proporcional a la longitud del canal.

Entonces podemos establecer una relación entre  $\frac{W_{1,2}}{L_{1,2}}$  y la corriente de drenador con la ganancia en pequeña señal:

$$\frac{v_{out}}{v_{id}} \propto \sqrt{\frac{W_{1,2} L_{1,2}}{I_{D1,2}}} \quad 4.24$$

La constante no aparece ya que el valor no es dependiente de las decisiones que tome el diseñador y por tanto no se puede ajustar.

Conclusiones:

- Si incrementamos  $W_{1,2}$ ,  $L_{1,2}$  o ambos, la ganancia aumenta.
- Si disminuimos la corriente de drenador de  $M_1$  y  $M_2$  la ganancia aumenta.

### 4.3. Fuente de corriente

La etapa de polarización es una de las partes más importantes de un diseño analógico. Esta etapa es la encargada de establecer el punto de operación apropiado en DC para el transistor. Una vez establecido el punto de operación de forma corriente, la corriente de drenador  $I_d$  y la tensión drenador-fuente serán estables y medibles y aseguran la operación en la región de saturación para todas las señales de entrada con las que pueda encontrarse el circuito.

La capacidad de un espejo de corriente de mantener el valor de la intensidad constante, el número de transistores utilizados y sus tamaños son los factores principales que definen lo bueno que es el espejo. A la hora de diseñar un espejo de corriente es muy importante tener en cuenta los aspectos mencionados.

### 4.3.1. Características ideales de un espejo de corriente

Un espejo de corriente ideal debe tener las siguientes características:

- La corriente de salida es una función lineal de la corriente de entrada.  $I_{out} = A \cdot I_{in}$
- La resistencia de entrada es nula
- La resistencia de salida es infinita.

En un diseño real, se busca que el comportamiento se asemeje lo más posible al diseño ideal.

### 4.3.2. Análisis de un espejo de corriente básico

En la Figura 4.7 se puede observar el esquema de un espejo de corriente básico, donde el transistor  $M_1$  está operando en región de saturación ya que el drenador está cortocircuitado con la puerta.

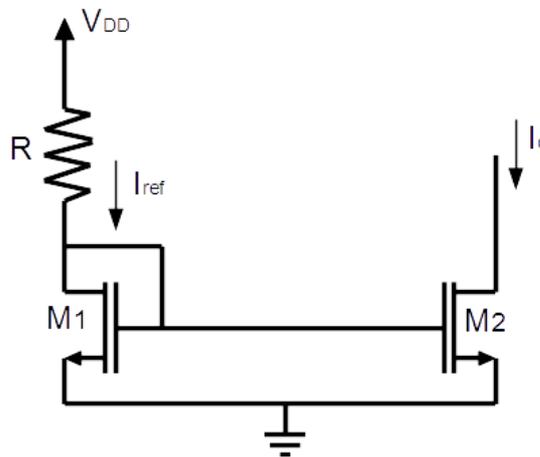


Figura 4.7 - Espejo de corriente básico

Por lo tanto:

$$I_{D1} = \frac{1}{2} K_n \left( \frac{W}{L} \right)_1 (V_{GS} - V_t)^2 \quad 4.25$$

Donde hemos supuesto que  $\lambda = 0$

La corriente de drenador de  $M_1$  la suministra la tensión de alimentación,  $V_{DD}$ , a través de una resistencia,  $R$ . Suponiendo que las corrientes de puerta son aproximadamente cero:

$$I_{D1} = I_{ref} = \frac{V_{DD} - V_{GS}}{R} \quad 4.26$$

Por otro lado, tenemos que el transistor  $M_2$  tiene la misma  $V_{GS}$  que  $M_1$ , y suponiendo que está en la región de saturación, su corriente de drenador, que es la corriente de salida  $I_o$  de la fuente de corriente será:

$$I_o = I_{D2} = \frac{1}{2} K_n \left( \frac{W}{L} \right)_2 (V_{GS} - V_t)^2 \quad 4.27$$

De nuevo, sin tener en cuenta la modulación de la longitud del canal.

Usando las ecuaciones 4.25, 4.26 y 4.27 somos capaces de relacionar la corriente de salida  $I_o$  con la corriente de referencia  $I_{ref}$ .

Reordenando la ecuación 4.26 y sustituyendo  $I_{ref} = I_{D1}$ :

$$\frac{I_{ref}}{\left( \frac{W}{L} \right)_1} = \frac{1}{2} K_n (V_{GS} - V_t)^2 \quad 4.28$$

Sabiendo que

$$I_o = \left[ \frac{1}{2} K_n (V_{GS} - V_t)^2 \right] \left( \frac{W}{L} \right)_2 \quad 4.29$$

Sustituimos en la ecuación 4.29:

$$I_o = \frac{I_{ref}}{\left( \frac{W}{L} \right)_1} \left( \frac{W}{L} \right)_2 \quad 4.30$$

$$\frac{I_o}{I_{ref}} = \frac{\left( \frac{W}{L} \right)_2}{\left( \frac{W}{L} \right)_1} \quad 4.31$$

De esta manera tenemos una relación entre ambas corrientes de forma que, por medio de la anchura y longitud de los transistores, podemos cambiar la corriente de salida.

Por ejemplo, si ambos transistores son iguales, tenemos:

$$\frac{I_o}{I_{ref}} = 1 \quad 4.32$$

$$I_o = I_{ref}$$

Por tanto, vemos como la corriente de salida es igual a la corriente de referencia, estando ésta “reflejada”.

Existen diferentes diseños de espejos de corrientes con diferentes configuraciones y números de transistores. A continuación, los enumeramos:

- Espejo de corriente básico tipo P
- Espejo de corriente Cascada/Cascodo
- Espejo de Corriente Wilson
- Espejo de corriente Cascodo Reducido
- Etc.

## 4.4. Etapa de salida

El principal objetivo de la etapa de salida CMOS es actuar como un convertidor de corriente. La mayoría de las etapas de salida poseen una gran ganancia en corriente y una ganancia pequeña en tensión. Sus objetivos principales son:

1. Proporcionar suficiente tensión o corriente. Por ello la etapa de salida debe proporcionar al amplificador una impedancia de salida baja de tal forma que la ganancia de tensión no se vea afectada por el valor de la carga.
2. Evitar distorsión en la señal producida por la no linealidad.
3. Ser eficiente (entendiendo por eficiencia la relación de la potencia disipada en la carga y la potencia suministrada por la fuente). Esto es minimizar la potencia que disipan los transistores en comparación con la que se disipa en la carga.
4. Proporcionar una protección frente a condiciones anormales (cortocircuitos, temperaturas altas, etc.) que podemos encontrar en las etapas de salida CMOS debido a que los transistores MOS están autolimitados.

Una característica importante de esta etapa es que proporciona al amplificador una impedancia de salida baja y con esto el amplificador evita pérdidas de ganancia en la señal de salida. Dado que la etapa de salida es la etapa final del amplificador, normalmente trabaja con señales relativamente grandes y, por tanto, las aproximaciones con el modelo en pequeña señal o cualquier otro modelo no suelen usarse. No obstante, la linealidad permanece como un requisito muy importante. De hecho, una medida de calidad de la etapa de salida es la distorsión armónica total (THD) introducida.

Las etapas de salida se clasifican según la forma de onda de la corriente de drenador cuando en la entrada aplicamos una señal. Por ejemplo, en un amplificador Clase A, el transistor conduce para todo el ciclo de la señal de entrada, mientras que en un amplificador Clase B, cada transistor conduce para medio ciclo de la señal de entrada, y en un amplificador Clase AB, cada transistor conduce para un intervalo ligeramente mayor que medio ciclo ya que se polarizan a una corriente en DC mucho más pequeña que el pico de corriente de la señal senoidal y como resultado el ángulo de conducción es mayor que  $180^\circ$  pero mucho menor que  $360^\circ$ .

En este apartado veremos varias implementaciones de etapas de salida Clase A, pues es la topología que utilizaremos en nuestros diseños.

#### 4.4.1. Etapa de salida Clase A

En las etapas de salida de Clase A el transistor de salida funciona el 100% del tiempo que tengamos una señal a la entrada. Existen dos tipos dentro de estas etapas.

##### **Salida Simple en fuente Común**

El circuito se muestra en la Figura 4.8.

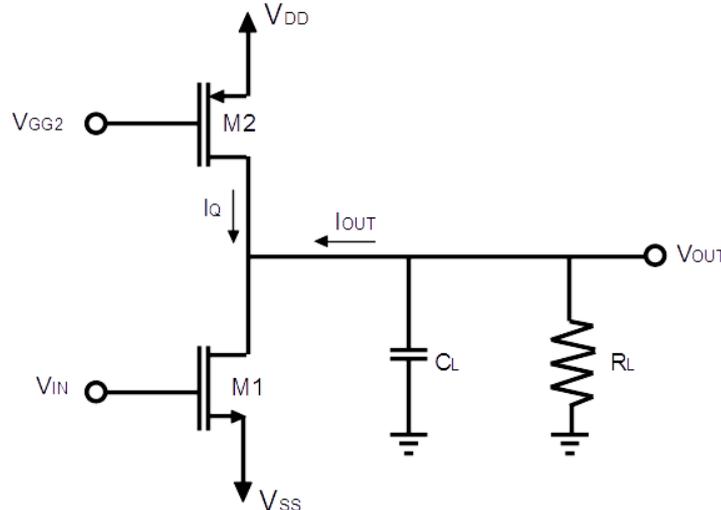
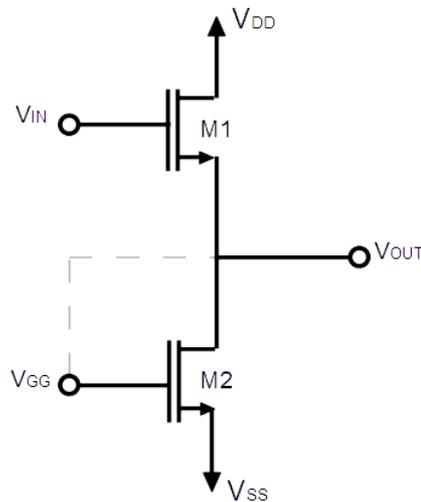


Figura 4.8 - Etapa de salida Clase A con Salida Simple en Fuente común

##### **Salida Simple en Drenador Común (Seguidor de Fuente)**

En la Figura 4.9 observamos que en lugar de utilizar un transistor tipo P y uno tipo N se usan dos transistores tipo N idénticos. Esta configuración presenta una impedancia de salida bastante baja lo que da lugar a una ganancia en corriente elevada. Sin embargo, uno de los principales problemas que presenta es su dependencia con el

body-effect debido a que la fuente es el nodo de salida. El body-effect causa que la tensión umbral  $V_t$  se incremente cuando el voltaje de salida aumenta, causando que el voltaje máximo a la salida sea bastante menor que  $V_{DD}$ .



**Figura 4.9 - Etapa de Salida Clase A con Salida Simple en Drenador Común**

La eficiencia del seguidor de fuente es similar al visto anteriormente. Sin embargo, la distorsión del seguidor de fuente será mejor debido a la inherente realimentación negativa. La eficiencia se define como la relación de la potencia disipada en la carga y la potencia suministrada por la fuente de alimentación. A continuación, estudiaremos dicho parámetro.

### **Análisis de la Eficiencia**

Para calcular la eficiencia tratamos de encontrar la relación que existe entre la potencia suministrada a la carga y la consumida por la fuente (sólo por la etapa de salida):

$$E_{ff} = \frac{\text{load\_power}(P_L)}{\text{supply\_power}(P_S)} \quad 4.34$$

En primer lugar, calculamos la potencia suministrada a la carga (partiendo de la base de que se está suministrando la máxima potencia) para ello usaremos la fórmula de la potencia eficaz:

$$P_L = V_{ef} \cdot I_{ef} \quad 4.35$$

En estas etapas si seleccionamos una buena corriente de polarización,  $I$ , la tensión de salida puede variar de 0 a  $V_{DD}$  donde el valor máximo absoluto debería ser  $\frac{V_{DD}}{2}$ . Así con esta corriente de polarización permitimos una corriente máxima en la carga

de  $\frac{V_{DD}}{2R_L}$ , y la corriente de drenador del transistor de arriba variará de 0 a  $2I$  siendo su valor medio  $I$ . Por lo tanto, la máxima potencia instantánea disipada por el transistor de arriba será  $V_{DD} \cdot \frac{I}{2}$  siendo  $I = \frac{V_{DD}}{2R_L}$

Ahora ya podemos calcular la tensión y la corriente eficaz:

$$V_{ef} = \frac{V_{max}}{\sqrt{2}} = \frac{V_{DD}}{2\sqrt{2}} \quad 4.36$$

$$I_{ef} = \frac{I_{max}}{\sqrt{2}} = \frac{V_{DD}}{2R_L\sqrt{2}} \quad 4.37$$

Por lo que la potencia máxima suministrada a la carga es:

$$P_L = \frac{V_{DD}^2}{8R_L} \quad 4.38$$

Una vez calculada la potencia suministrada a la carga, tenemos que calcular la potencia consumida en la fuente:

$$P_S = V_{DD} \cdot I_{media} \quad 4.39$$

Donde  $I_{media}$  para suministrar la máxima potencia a la carga es:  $I_{media} = \frac{V_{DD}}{2R_L}$

Por tanto:

$$P_S = \frac{V_{DD}^2}{2R_L} \quad 4.40$$

Así, la máxima eficiencia posible es:

$$E_{ff}(\%) = \frac{P_L}{P_S} \cdot 100 = 25\% \quad 4.41$$

Dado que es una eficiencia bastante baja, la etapa de salida Clase A no suele usarse en aplicaciones de alta energía. Además, hay que tener en cuenta que en la práctica la tensión de salida está limitada a valores más bajos para evitar la saturación de los transistores y la distorsión no lineal. Por ello, la eficiencia suele encontrarse en el rango del 10% al 20%.

## 4.5. Respuesta en frecuencia

En este apartado nos referiremos de nuevo al modelo de la etapa de entrada de la Figura 4.6. Para simplificar el circuito eliminaremos todos los nodos de baja impedancia, es decir, aquellos que presenten una constante de tiempo RC alta y que, por tanto, generen polos a muy alta frecuencia.

Si suponemos que:

$$\frac{1}{c_1 \cdot \frac{1}{g_{m3}}} \gg \frac{1}{[c_2 \cdot (r_{o2} \parallel r_{o4})]} \quad 4.42$$

Entonces el nodo D1=D2=G3=G4 es un nodo de baja impedancia y, por tanto, lo podemos eliminar. Otra suposición que se suele hacer es que  $c_3=0$ , lo que resulta ser válido en muchas aplicaciones de amplificadores diferenciales. Por tanto, el modelo que vamos a tener en cuenta para el análisis en alta frecuencia es el que se muestra en la Figura 4.10.

En la configuración en la que se aplica una pequeña señal a la puerta de  $M_1$  mientras la puerta de  $M_2$  está conectada a tierra,  $v_{gs2}=0$ ,  $v_{id}=v_{gs1}$ . Entonces:

$$g_{m4}v_{gs4} = i_{d1} = g_{m1}v_{gs1} = g_{m1}v_{id} \quad 4.43$$

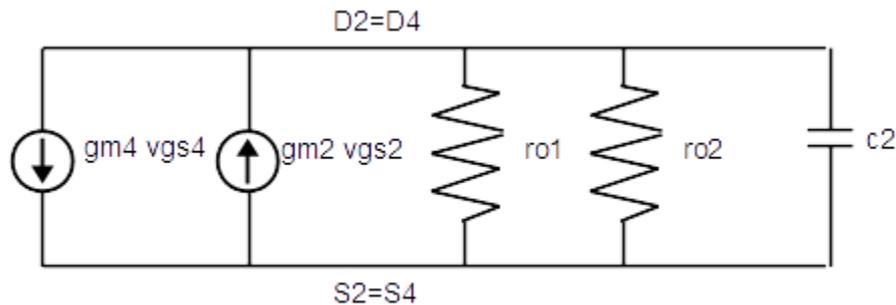


Figura 4.10 - Modelo en pequeña señal de alta frecuencia con capacidades parásitas

Esto nos permite redibujar el modelo de la Figura 4.10 quedando el modelo simplificado de la Figura 4.11.

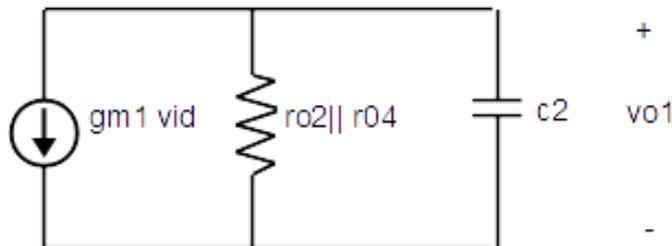


Figura 4.11 - Modelo en pequeña señal de la etapa de entrada usado para determinar la respuesta en frecuencia

Donde la salida en alta frecuencia viene dada por:

$$v_{o1} = g_{m1}v_{gs1} \cdot (r_{o2} \parallel r_{o4}) \cdot \frac{1}{\left[1 + S \cdot \frac{1}{c_2(r_{o2} \parallel r_{o4})}\right]} \quad 4.44$$

Y la respuesta en frecuencia será:

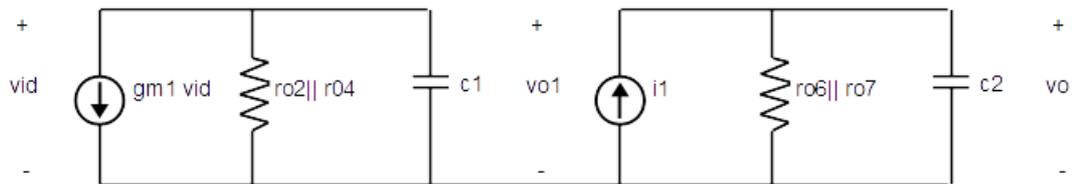
$$\frac{v_{o1}}{v_{id}} = g_{m1} \cdot (r_{o2} \parallel r_{o4}) \cdot \frac{1}{\left[1 + S \cdot \frac{1}{c_2(r_{o2} \parallel r_{o4})}\right]} \quad 4.45$$

Ahora analizamos la etapa de entrada y de salida vistas en la Figura 4.1

En un primer análisis el condensador de compensación,  $C_C$ , no se tiene en cuenta. Así,  $c_1$  y  $c_2$  representan las capacidades totales del nodo de salida del par diferencial y del nodo de salida de la etapa de salida. Dado que ambos nodos son de alta impedancia, tendremos que tenerlos en cuenta.

En la Figura 4.12 se muestra el modelo derivado de la Figura 4.1 haciendo uso de la Figura 4.11 para determinar la respuesta en frecuencia del Op-Amp de dos etapas.

Para determinar el valor exacto de  $c_1$  y  $c_2$ , la Figura 4.13 muestra todas las capacidades parásitas de la etapa de entrada y de la de salida que incluye las capacidades de las zonas de deplexión ( $C_{gb}$ ,  $C_{sb}$ ,  $C_{db}$ ) y las capacidades de solapamiento ( $C_{gs}$ ,  $C_{gd}$ ).



**Figura 4.12 - Modelo usado para determinar la respuesta en frecuencia del Op-Amp de dos etapas**

Para determinar el efecto del condensador,  $C_{gd6}$ , conectado de la puerta al drenador de  $M_6$  usamos el teorema de Miller. Este teorema aproxima los efectos del condensador puerta drenador reemplazándolo por un condensador equivalente de entrada de valor  $c_{gd}(1 + A_2)$  y un condensador equivalente de salida de valor  $c_{gd}(1 + \frac{1}{A_2})$ , donde  $A_2$  es la ganancia entre los nodos en los que estaba conectado el condensador original. Su valor, según la Figura 4.12 es:

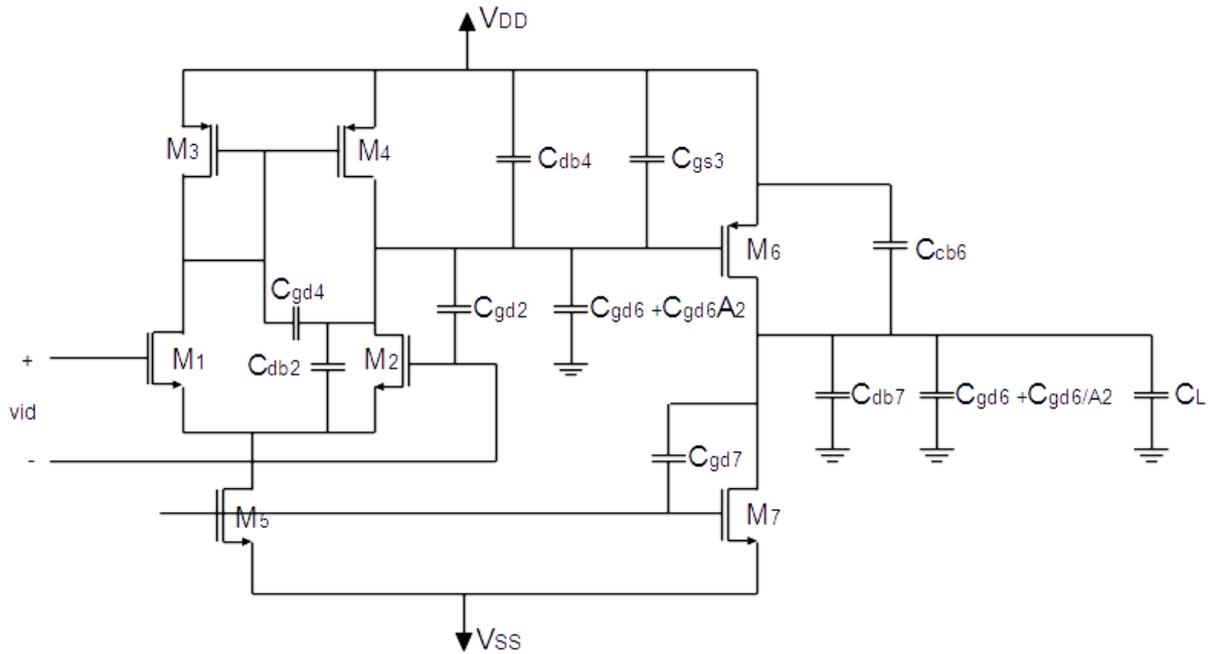


Figura 4.13 - Op-Amp de dos etapas con las capacidades parásitas

$$A_2 = \frac{v_o}{v_{o1}} = -g_{m6} \cdot v_{o1} \frac{r_{o6} \parallel r_{o7}}{v_{o1}} \quad 4.46$$

$$A_2 = -g_{m6}(r_{o6} \parallel r_{o7}) \quad 4.47$$

De este modo  $c_1$  y  $c_2$  para la Figura 4.12 pueden calcularse examinando la Figura 4.13.

$$c_1 = c_{db4} + c_{gd4} + c_{db2} + c_{gd2} + c_{gs6} + c_{gd6} \cdot (1 + A_2) \quad 4.48$$

$$c_2 = c_{db6} + c_{db7} + c_{gd7} + c_{gd6} \cdot \left(1 + \frac{1}{A_2}\right) + C_L \quad 4.49$$

Si suponemos que  $c_1 < c_2$ , el polo asociado con la salida del amplificador diferencial  $\left(\frac{1}{c_1(r_{o2} \parallel r_{o4})}\right)$  será más bajo en frecuencia que el polo asociado a la salida de la etapa de salida  $\left(\frac{1}{c_2(r_{o6} \parallel r_{o7})}\right)$ .

Además del modelo de alta frecuencia de la Figura 4.12 tenemos:

$$\frac{v_o}{v_{id}} = \left[\frac{v_0}{v_{o1}}\right] \cdot \left[\frac{v_{o1}}{v_{id}}\right] \cdot \left[\frac{1}{\left[1 + \frac{s}{c_1(r_{o2} \parallel r_{o4})}\right]}\right] \cdot \left[\frac{1}{\left[1 + \frac{s}{c_2(r_{o6} \parallel r_{o7})}\right]}\right] \quad 4.50$$

$$\frac{v_o}{v_{o1}} = g_{m6} \cdot (r_{o6} \parallel r_{o7}) \frac{1}{\left(1 + \frac{s}{c_2(r_{o6} \parallel r_{o7})}\right)} \quad 4.51$$

$$\frac{v_{o1}}{v_{id}} = g_{m1} \cdot (r_{o2} \parallel r_{o4}) \cdot \frac{1}{\left[1 + \frac{s}{c_1(r_{o2} \parallel r_{o4})}\right]} \quad 4.52$$

Por tanto, la respuesta en frecuencia es:

$$\frac{v_o}{v_{id}} = [g_{m6} \cdot (r_{o6} \parallel r_{o7})] \cdot [g_{m1} \cdot (r_{o2} \parallel r_{o4})] \cdot \left[ \frac{1}{\left(1 + \frac{s}{c_1(r_{o2} \parallel r_{o4})}\right)} \right] \quad 4.53$$

$$\cdot \left[ \frac{1}{\left[1 + \frac{s}{c_2(r_{o6} \parallel r_{o7})}\right]} \right]$$

Donde los polos se corresponden con:

$$P_1 = \frac{1}{c_1 \cdot (r_{o2} \parallel r_{o4})} \quad 4.54$$

$$P_2 = \frac{1}{c_2 \cdot (r_{o6} \parallel r_{o7})} \quad 4.55$$

## 4.6. Realimentación y compensación

La compensación óptima de los Op-Amps se considera una de las partes más difíciles del diseño. Los amplificadores operacionales pueden trabajar tanto en lazo cerrado como en lazo abierto dependiendo si se usa realimentación o no. En la configuración de lazo cerrado, la señal de salida se conecta a uno de los terminales de entrada. La realimentación negativa es la más usada para estabilizar la ganancia del amplificador contra la variación de los parámetros de los dispositivos activos debido a cambios en la tensión de alimentación, a los cambios de temperatura o al envejecimiento del dispositivo. La realimentación negativa se usa también para modificar las impedancias de entrada y salida del circuito, reducir la distorsión de la señal y mejorar el ancho de banda.

La realimentación negativa proporciona a los Op-Amps las siguientes propiedades:

- Desensibilizar la ganancia: hace que el valor de la ganancia sea menos sensible a las variaciones en los componentes del circuito, como por ejemplo las variaciones causadas por cambios en la temperatura.
- Reducir la distorsión lineal: hace que la salida sea proporcional a la entrada y hacer la ganancia constante e independiente del nivel de la señal.

- Reducir el efecto del ruido: minimizar la contribución a la salida de las señales no deseadas generadas por los componentes del circuito.
- Controlar la impedancia de entrada y salida: elevar o disminuir las impedancias de entrada y salida.
- Ampliar el ancho de banda del amplificador.

Todas las propiedades anteriores se pueden obtener a costa de una reducción en la ganancia y del riesgo de que el amplificador se vuelva inestable (esto supone que el sistema oscila).

#### 4.6.1. Estabilidad de amplificadores realimentados

Como ya hemos visto, la realimentación negativa nos ofrece importantes beneficios y mejoras en el funcionamiento del amplificador. Sin embargo, el realimentar un amplificador podría hacer que éste no se comportara bien o, incluso, que llegara a oscilar. Para determinar si un sistema es inestable se suele emplear el criterio de Nyquist mediante el diagrama de Bode.

En la Figura 4.14 se muestra el diagrama de bloques de un sistema realimentado lineal genérico.

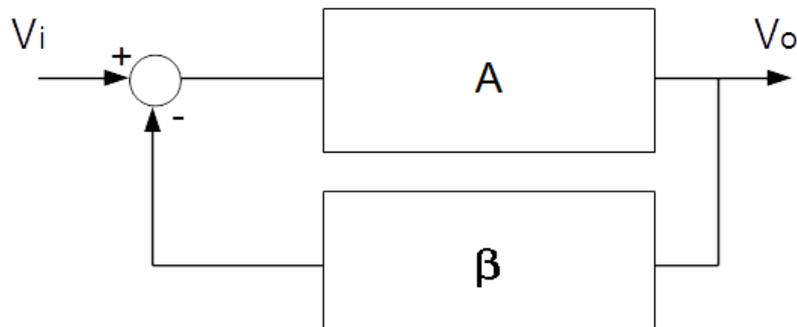


Figura 4.14 - Sistema Realimentado

En un sistema realimentado típico, la función de transferencia viene dada por la siguiente expresión:

$$A_F = \frac{v_o}{v_i} = \frac{A}{1 + A\beta} \quad 4.56$$

Para el caso típico en el que el producto  $A\beta$  sea mucho mayor que la unidad, la función de transferencia viene determinada por la realimentación  $\frac{1}{\beta}$ , como puede verse en la ecuación 4.57.

$$A_F = \frac{v_o}{v_i} = \frac{A}{1 + A\beta} \xrightarrow{A\beta \gg 1} A_F = \frac{1}{\beta} \quad 4.57$$

El análisis de estabilidad de un sistema realimentado se basa en ver si para señal de entrada nula es capaz de generar o no una señal a la salida (Figura 4.15). En caso de que no haya señal a la salida se dice que el circuito es estable y cuando sí hay señal a la salida el circuito es inestable y oscila.

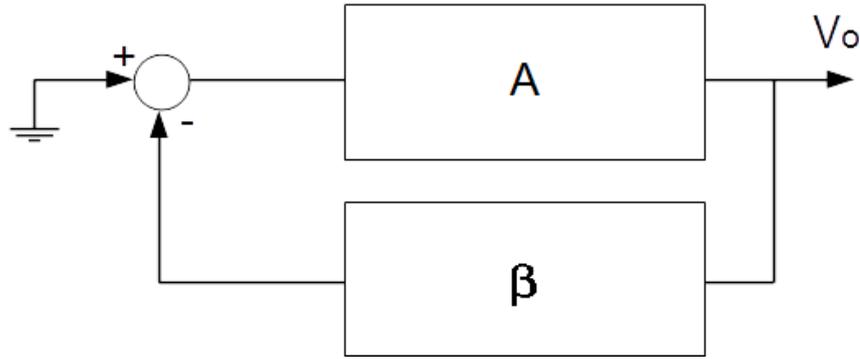


Figura 4.15 - Análisis de estabilidad

La estabilidad de un circuito se puede analizar gráficamente observando su diagrama de Bode. Así, el circuito es estable si no presenta ganancia cuando el desfase es de  $180^\circ$  (Figura 4.16) y es inestable si la ganancia es positiva para ese mismo desfase (Figura 4.17). Normalmente, para asegurar la condición de estabilidad se suele especificar una distancia de seguridad denominada margen de fase.

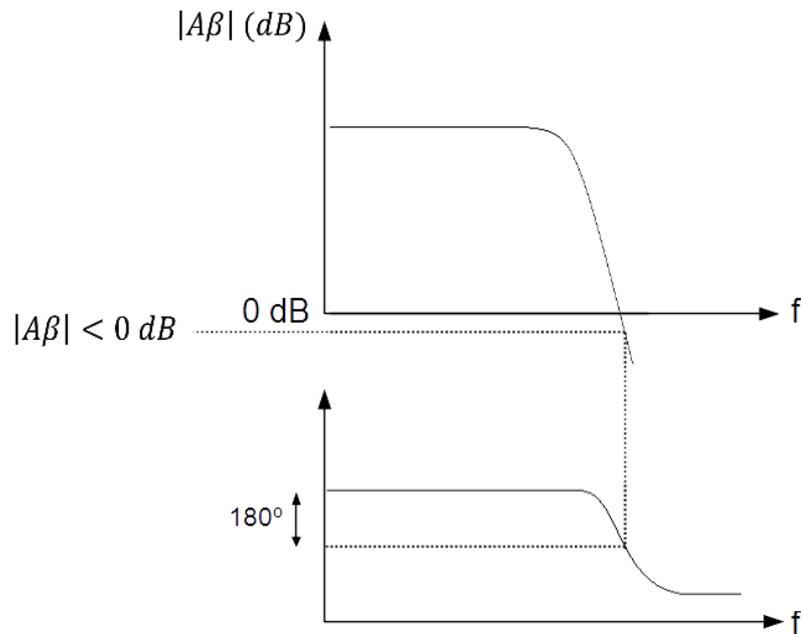


Figura 4.16 - Sistema estable

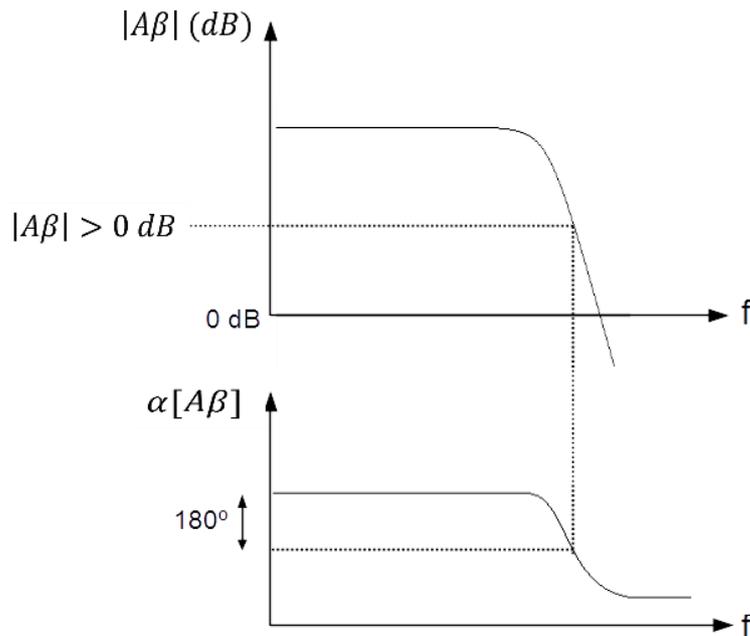


Figura 4.17 - Sistema inestable

#### 4.6.2. Tipos de compensación

Como hemos visto en el apartado anterior, los amplificadores realimentados pueden ser inestables. Las técnicas de compensación son métodos que permiten corregir la respuesta de los amplificadores realimentados. Las técnicas más utilizadas son:

- Limitación de  $\beta$ : se trata de controlar la estabilidad limitando el valor de la ganancia de la red de realimentación ( $\beta$ ).
- Polo dominante o Miller: se basa en introducir un polo a una frecuencia suficientemente baja y de este modo se convierte en dominante para eliminar la ganancia de tal forma que los 0 dB lleguen cuando la fase esté suficientemente alejada de los  $-180^\circ$
- Polo-cero: esta técnica introduce un cero en alta frecuencia y un polo en baja frecuencia. Las ventajas de este método sobre el anterior es que se obtiene mejor ancho de banda. Para escoger la situación de cada uno se puede jugar con dos elementos: un polo y un cero. Un método muy utilizado consiste en situar el cero sobre el primer polo, y luego seguir el método de compensación de Miller.
- Adelanto de fase: es el método más difícil de realizar en la práctica, pero que se consiguen anchos de banda mayores que con los anteriores. Esta técnica se basa en una red como la mostrada en la Figura 4.18.

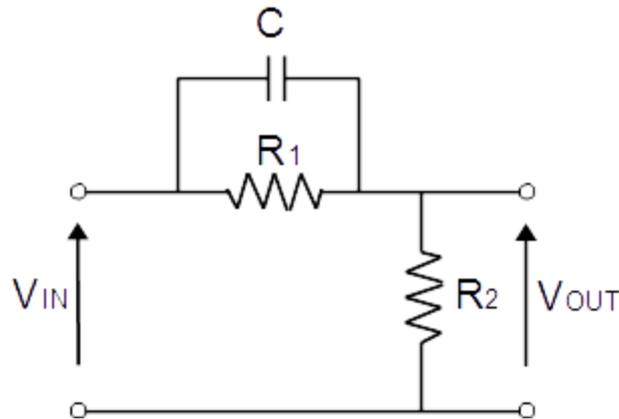


Figura 4.18 - Red de compensación por adelanto de fase

Esta red funciona a frecuencias bajas como atenuador, con un factor de  $\frac{R_2}{R_1+R_2}$  y a frecuencias altas tiene ganancia unidad. Lo que se busca en esta técnica es la mayor separación entre polos posible y situar el cero sobre el segundo polo. De esta manera conseguimos que, sobre la función con ese cero, el tercer polo pase a ser el segundo y la distancia entre el primero y el segundo aumente.

### 4.6.3. Implementación

En este apartado mostramos la implementación de dos de las compensaciones más usadas: polo dominante o Miller y polo-cero.

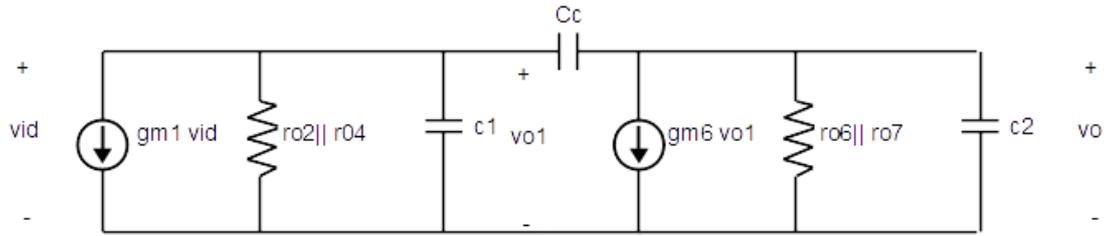
#### Compensación por polo dominante o Miller

Para llevar a cabo esta compensación incluiremos en el análisis un condensador de compensación,  $C_c$ , como se muestra en la Figura 4.19.

Teniendo en cuenta que los dos polos del sistema sin compensación que determinamos previamente son:

$$P_1 = \frac{1}{c_1 \cdot (r_{o2} \parallel r_{o4})} \quad 4.58$$

$$P_2 = \frac{1}{c_2 \cdot (r_{o6} \parallel r_{o7})} \quad 4.59$$



**Figura 4.19 - Modelo en pequeña señal del Op-Amp con condensador de compensación**

Añadiendo el condensador de compensación  $C_c$ , llegamos a dos conclusiones:

- La capacidad efectiva equivalente asociada a  $r_{o2} \parallel r_{o4}$  la hemos incrementado a:  $g_{m1} \cdot r_{o2} \parallel r_{o4} \cdot C_c$ . Esto reduce la frecuencia del polo  $P_1$  una cantidad considerable. Así,  $C_c$  dominará el valor de  $c_1$  y causará que el polo  $P_1$  cambie a una nueva localización.
- Movemos  $P_2$  a una frecuencia mayor.

Si  $r_1 = r_{o2} \parallel r_{o4}$ ,  $r_2 = r_{o6} \parallel r_{o7}$ ,

$$\frac{v_o}{v_i} = \frac{g_{m1} g_{m6} r_1 r_2 \left(1 - S \frac{C_c}{g_{m6}}\right)}{1 + S[r_1(c_1 + C_c) + r_2(c_2 + C_c) + g_{m6} r_1 r_2] + S^2 r_1 r_2 [c_1 c_2 + C_c(c_1 + c_2)]} \quad 4.60$$

Podemos escribir un polinomio de segundo orden:

$$P(S) = 1 + aS + bS^2 = \left(1 - \frac{S}{P_1}\right) \left(1 - \frac{S}{P_2}\right) = 1 - S \left(\frac{1}{P_1} + \frac{1}{P_2}\right) + \frac{S^2}{P_1 P_2} \quad 4.61$$

Si  $|P_2| \ll |P_1|$  entonces:

$$P(S) = 1 - \frac{S}{P_1} + \frac{S^2}{P_1 P_2} \quad 4.62$$

De este modo, podemos escribir  $P_1$  y  $P_2$  en términos de a y b como:

$$P_1 = \frac{-1}{a} \quad 4.63$$

$$P_1 = \frac{-a}{b} \quad 4.64$$

La clave de esta técnica es asumir que la magnitud de la raíz  $P_2$  es mejor que la magnitud de la raíz  $P_1$ .

$$P_1 = \frac{-1}{r_1(c_1 + C_c) + r_2(c_2 + C_c) + g_{m6} r_1 r_2 C_c} \quad 4.65$$

$$P_1 \cong \frac{-1}{g_{m6}r_1r_2C_c} \quad 4.66$$

$$P_2 = -\frac{r_1(c_1 + C_c) + r_2(c_2 + C_c) + g_{m6}r_1r_2C_c}{r_1r_2(c_1c_2 + C_c(c_1 + c_2))} \quad 4.67$$

$$P_2 \cong \frac{-g_{m6}C_c}{c_1c_2 + c_1C_c + c_2C_c} \quad 4.68$$

$$P_2 \cong \frac{-g_{m6}}{c_2} \quad 4.69$$

En principio, el segundo polo no debería afectar a la respuesta en frecuencia hasta después de que la magnitud esté por debajo de 0 dB.

Es de interés notar que también aparece un cero debido al condensador  $C_c$  que está localizado en:

$$Z_1 = \frac{g_{m6}}{C_c} \quad 4.70$$

Este cero tiene consecuencias negativas en nuestro margen de fase, causando que la fase se acerque a  $-180^\circ$  más rápidamente. Para evitar el efecto de este cero, debemos mover el cero lo más lejos posible del punto donde la magnitud alcanza 0 dB (típicamente un factor de 10).

### Compensación por polo-cero

Un remedio al “problema” del cero es añadir una resistencia  $R_z$  en serie con  $C_c$ .

$$Z_1 = \frac{1}{\left[ C_c \left( \frac{1}{g_{m6}} - R_z \right) \right]} \quad 4.71$$

Esta resistencia nos permite colocar el cero adecuadamente de forma que se mejore el margen de fase. Así, si  $R_z = 0$  tenemos el cero original, si  $R_z = \frac{1}{g_{m6}}$  tenemos un cero en el infinito y si  $R_z > \frac{1}{g_{m6}}$  se mejora el margen de fase ya que el desfase es en el sentido contrario al original.

## 4.7. Cálculo del Producto Ganancia por Ancho de Banda (GBW)

El producto ganancia por ancho de banda, GBW, para el Op-Amp compensado es la ganancia en lazo abierto multiplicada por el ancho de banda del amplificador (establecido por  $P_2$ ).

$$GBW = g_{m1}r_1g_{m6}r_2 \cdot \left[ \frac{1}{g_{m6}r_1C_c r_2} \right] \quad 4.72$$

$$GBW \cong \frac{g_{m1}}{C_c} \quad 4.73$$

Por tanto, la manera más eficiente de incrementar el GBW es decrecentando  $C_c$ . Así, el valor del condensador de compensación,  $C_c$ , debe ser lo suficientemente grande como para obtener el margen de fase deseado y lo suficientemente pequeño para obtener un GBW adecuado a la aplicación que se le va a dar al amplificador operacional.

## 4.8. Conclusiones

En este capítulo hemos estudiado en profundidad el esquemático de un amplificador operacional. Hemos listado las etapas que lo componen y las diferentes opciones que tenemos a la hora de diseñarlos, comprobando los efectos que se producen en las características finales del mismo.

# Capítulo 5. Diseño de un amplificador de ganancia programable con entrada diferencial y salida asimétrica

## 5.1. Introducción

Después del trabajo teórico realizado en los capítulos anteriores, nos disponemos a diseñar un PGA (Programmable Gain Amplifier). En primer lugar, comenzaremos por elaborar un Op-Amp (Operational Amplifier) con compensación Miller aplicando la metodología de diseño  $g_m/I_d$ . Esta metodología explota la relación entre la transconductancia  $g_m$  y la corriente de drenador y el valor de la ratio  $I_d(W/L)$ . Se trata de un amplificador operacional de dos etapas con un condensador de realimentación para la compensación Miller. En la Figura 5.1 se muestra el esquemático del amplificador. Para conseguir que el amplificador varíe la ganancia añadiremos una realimentación negativa al Op-Amp. Ésta estará compuesta por una resistencia variable, que cambiará su valor en función de la ganancia que se requiera obtener. El siguiente paso será realizar una compensación variable del Op-Amp diseñado para mantener constante el ancho de banda. Esta tarea consistirá en diseñar un condensador variable para ajustar la compensación Miller del amplificador.

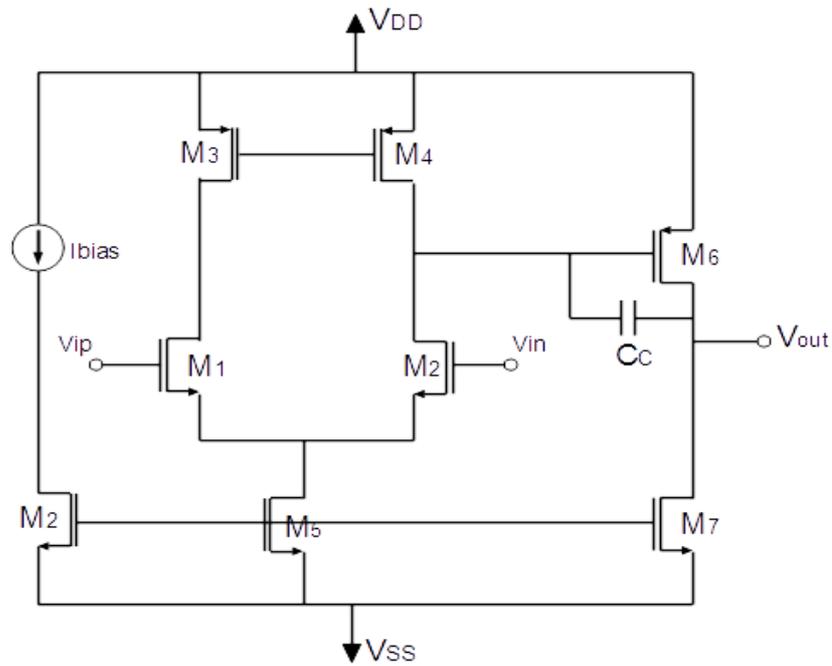


Figura 5.1 - Amplificador de dos etapas

## 5.2. Diseño de un Op-Amp diferencial-asimétrico

### 5.2.1. Especificaciones

Las especificaciones de partida que deberá cumplir el amplificador se enumeran en la Tabla 1. Han sido extraídas de la documentación estudiada y de otros diseños ya diseñados en otros estudios.

Tabla 1 – Especificaciones

<b>Av (dB)</b>	>50
<b>Margen de fase (°)</b>	60
<b>GBW (MHz)</b>	10
<b>Vdd (V)</b>	0.7
<b>Vss (V)</b>	-0.7
<b>I<sub>DD</sub> (mA)</b>	<0.5
<b>Capacidad de carga (pF)</b>	1

### 5.2.2. Diseño

Para comenzar el diseño del amplificador empezaremos por calcular el valor del condensador de compensación  $C_c$ . Para un margen de fase de 60 grados se usará la siguiente relación [6]:

$$C_c > C_L \cdot \left( \frac{g_{m1,2}}{g_{m6}} \right) \quad 5.1$$

Teniendo en cuenta las especificaciones del producto ganancia por ancho de banda obtenemos la transconductancia de los transistores  $M_1$  y  $M_2$ .

$$GBW = \frac{g_{m1}}{2\pi C_c} \rightarrow g_{m1,2} = 2\pi \cdot C_c \cdot GBW \quad 5.2$$

$$g_{m1,2} = 94.25 \mu S$$

Posteriormente, fijando el valor de la relación  $\left( \frac{g_m}{I_D} \right)_{1,2}$  en 10 (correspondiente a la región de inversión moderada), obtenemos el valor de la corriente que circulará por ambos transistores. Además, de la gráfica  $g_m/I_D$  vs.  $I_D/(W/L)$  (ver Figura 2.15) obtenemos el valor de la relación entre la corriente de drenador y la relación de aspecto  $W/L$ , que nos permitirá conocer este último parámetro.

$$I_{D1,2} = \frac{g_{m1,2}}{10} = 9.42 \mu A \quad 5.3$$

$$\frac{I_{D1,2}}{\left( \frac{W}{L} \right)_{1,2}} = 1.42 \cdot 10^{-6} \quad 5.4$$

$$\left( \frac{W}{L} \right)_{1,2} = 6.64$$

Los transistores que forman el espejo de corriente ( $M_3$ - $M_4$ ) deben operar en inversión moderada-fuerte para garantizar buena adaptación y propiedades de ruido. Se elige la siguiente relación  $g_m/I_D$ :

$$\left( \frac{g_m}{I_D} \right)_{3,4} = 10$$

Para el valor elegido anteriormente se obtiene la siguiente relación (ver curva en la Figura 2.14).

$$\frac{I_{D3,4}}{\left( \frac{W}{L} \right)_{3,4}} = 4.77 \cdot 10^{-6}$$

Como la corriente que circula por los transistores  $M_1$  y  $M_2$  es la misma que la que circula por  $M_3$  y  $M_4$  respectivamente, podemos calcular la relación de aspecto.

$$\left(\frac{W}{L}\right)_{3,4} = 1.98$$

El valor de la corriente que circula por el transistor  $M_5$  es la suma de la corriente que circula por el par diferencial. Así el valor de la corriente del transistor  $M_8$ , corriente de polarización, coincide con dicho valor.

$$I_{D_{5,8}} = 18.8 \mu A$$

Fijando el valor de la relación  $\left(g_m/I_D\right)_{5,8}$  en 10 y repitiendo el proceso anterior, obtenemos la relación de aspecto.

$$\left(\frac{W}{L}\right)_{5,8} = 13.3$$

El valor de la transconductancia del transistor  $M_7$  sigue la siguiente relación  $g_{m_7} > 10 \cdot g_{m_{1,2}}$ . Se decide que el valor de  $\left(g_m/I_D\right)_{6,7}$  para los transistores  $M_6$  y  $M_7$  debe ser 10, por lo que los resultados que obtenemos para ambos transistores son los siguientes:

$$\left(\frac{W}{L}\right)_6 = 66.36; \left(\frac{W}{L}\right)_7 = 19.8$$

Una vez obtenidas las relaciones de aspecto de todos los transistores, teniendo en cuenta el compromiso entre área y ganancia fijamos el valor de  $L$  a  $1 \mu m$  y obtenemos los valores de  $W$  para cada transistor. En la Tabla 2 se muestran las dimensiones de todos los transistores.

**Tabla 2 - Dimensiones de los transistores**

Transistor	Gm/Id	W/L	L ( $\mu m$ )	W ( $\mu m$ )
$M_1$	10	6.63	1	6.63
$M_2$	10	6.63	1	6.63
$M_3$	10	1.97	1	1.97
$M_4$	10	1.97	1	1.97
$M_5$	10	13.3	1	13.3
$M_6$	10	66.3	1	66.3
$M_7$	10	19.8	1	19.8
$M_8$	10	13.3	1	13.3

Con el fin de mejorar el ancho de banda hemos realizado una compensación por polo-cero, añadiendo una resistencia en serie con el condensador de compensación  $C_c$ . Además, se ha aumentado la corriente de polarización mejorando las características del amplificador cumpliendo con las especificaciones de consumo impuestas al comienzo del diseño. Dependiendo del valor del condensador de compensación se puede hacer variar la ganancia y el ancho de banda, aumentando uno y disminuyendo el otro, o, al contrario.

### 5.2.3. Resultados del análisis AC

El circuito utilizado para realizar la simulación en lazo abierto se muestra en la Figura 5.2 y los resultados obtenidos en la Tabla 3.

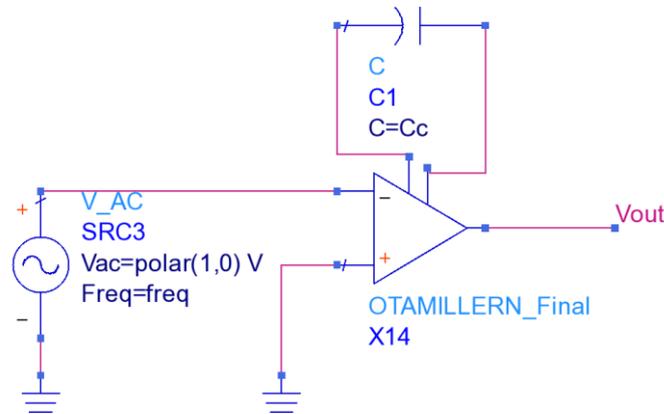


Figura 5.2 - Circuito de simulación del Op-Amp

Tabla 3 – Resultados de diseño

<b>Ganancia (dB)</b>	55.45
<b>Ancho de banda a 3 dB (kHz)</b>	199.5
<b>Ganancia por ancho de banda (MHz)</b>	11.06
<b>Margen de fase (°)</b>	79.23
<b>Potencia disipada (mW)</b>	0.25

Los resultados obtenidos para la simulación en AC se muestran en la Figura 5.3 y en la Figura 5.4. Introduciendo una señal senoidal y realizando un barrido en frecuencia comprobamos que se cumplen las especificaciones impuestas, tanto en la ganancia como en el margen de fase. El ancho de banda será analizado en el siguiente apartado cuando realicemos las simulaciones en lazo cerrado del PGA.

Las marcas de la Figura 5.3 y la Figura 5.4 indican los puntos de interés utilizados para medir la ganancia (m1), el ancho de banda a 3 dB (m2) y el margen de fase (m3 y m4).

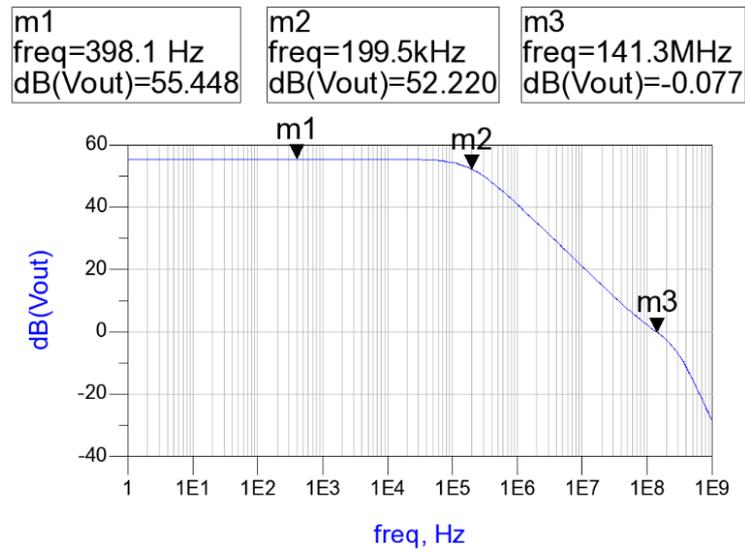


Figura 5.3 - Módulo obtenido para el análisis en AC

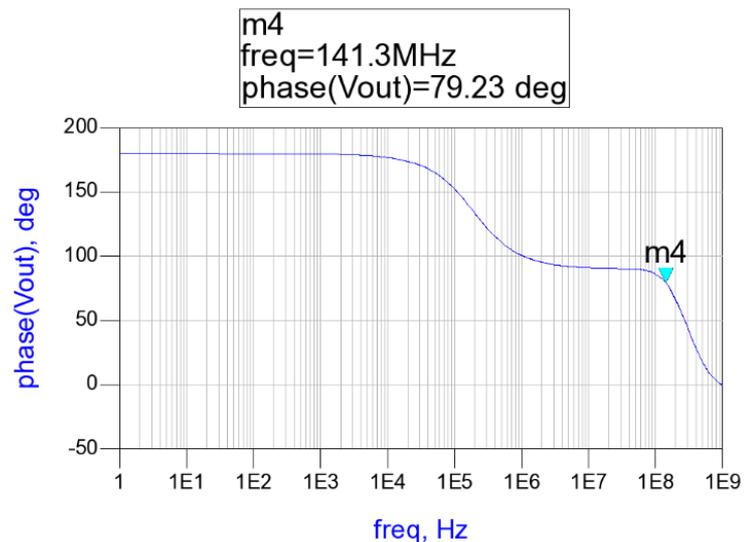


Figura 5.4 - Resultados del análisis en AC

### 5.3. Diseño de una resistencia variable

Diseñamos una resistencia variable que nos permita conseguir una variación de ganancia de 0 a 21 dB con pasos de 3 dB [2]. Necesitamos 8 valores diferentes de resistencias. La red resistiva va a ser colocada en el amplificador visto en el apartado anterior con configuración no inversora (ver Figura 5.5), la fórmula de la ganancia viene dada por:

$$A_v = \frac{V_{out}}{V_{in}} = \frac{-R_f}{R_{in}} \quad 5.5$$

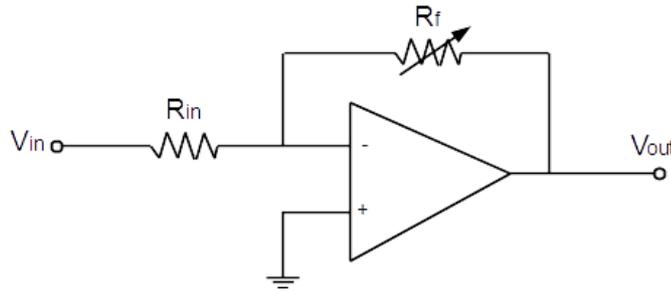


Figura 5.5 - Amplificador en configuración inversora

Comenzamos por establecer los valores requeridos de ganancia. El valor de la resistencia  $R_{in}$  se corresponde con la impedancia de salida de la etapa anterior. Para este trabajo situaremos el amplificador después de un filtro polifásico con una impedancia de 6 k $\Omega$  aproximadamente. Teniendo el valor de la resistencia de entrada, y los valores de ganancia que queremos obtener, podemos calcular los valores de la resistencia de realimentación  $R_f$  para cada uno de los niveles de ganancia.

$$R_f = R_{in} \cdot 10^{A_v/20} \quad 5.6$$

Tendremos ocho resistencias en paralelo que mediante un switch elegiremos dependiendo del valor de ganancia que queramos obtener a la salida del amplificador. La activación de cada switch se realizará utilizando un decodificador con una palabra de control de tres bits (ver Figura 5.6).

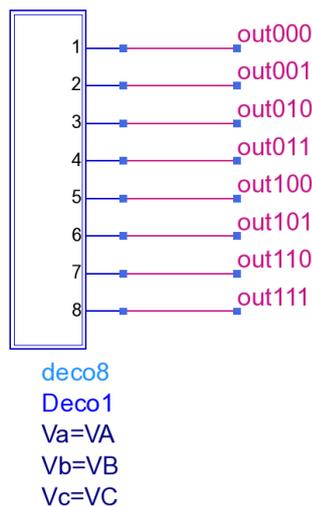


Figura 5.6 - Decodificador

A continuación, en la Figura 5.7 mostramos la malla resistiva diseñada junto con los switch de activación/desactivación. Cada switch se encuentra conectado con cada

Capítulo 5. Diseño de un amplificador de ganancia programable con entrada diferencial y salida asimétrica

una de las salidas del decodificador, de esta manera no puede haber varias resistencias activadas simultáneamente. Para cada palabra de código se activará un switch y la corriente circulará por la resistencia seleccionada. El símbolo de la resistencia variable se muestra en la Figura 5.8.

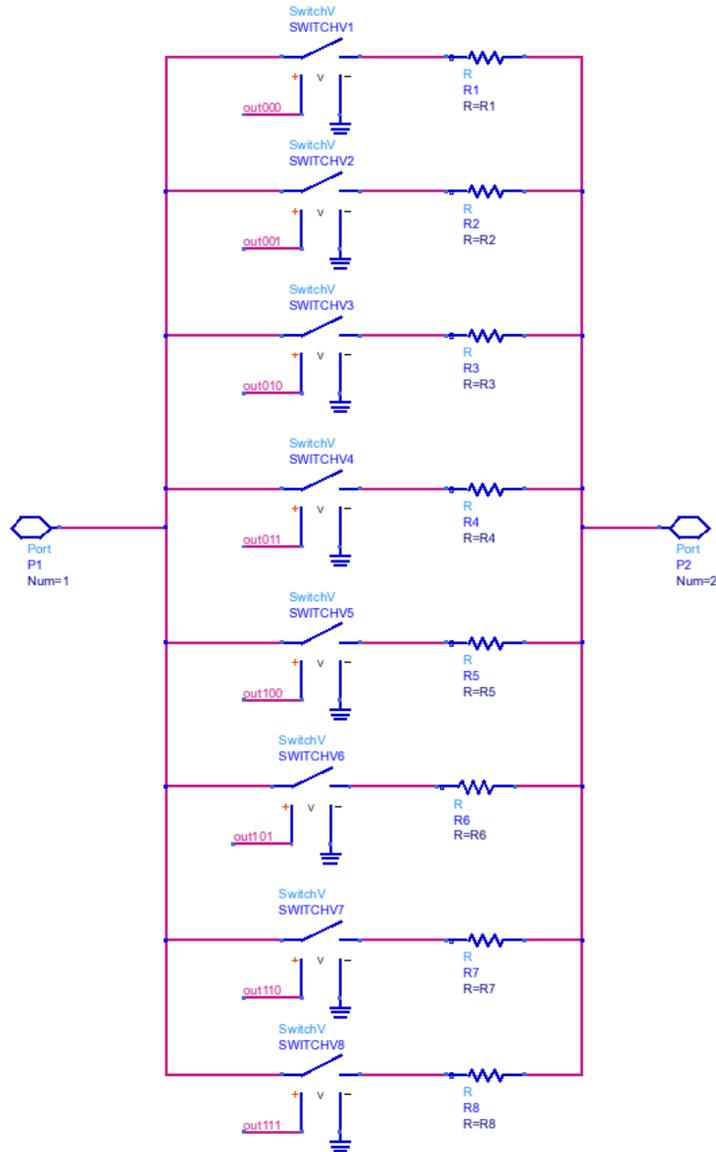


Figura 5.7 - Malla resistiva

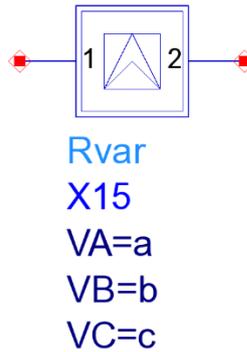


Figura 5.8 - Símbolo de la resistencia variable

## 5.4. Diseño de un varactor (capacidad variable)

Siguiendo la misma metodología utilizada en el apartado anterior, hemos diseñado un varactor. Esta capacidad variable se utilizará como condensador de compensación, de esta manera disminuirémos el efecto que produce la disminución del ancho de banda al aumentar la ganancia. Mediante simulación hemos conseguido los valores de capacidad requeridos. En la Figura 5.9 observamos la malla capacitiva diseñada. Cada switch se encuentra conectado a cada una de las salidas del decodificador (ver Figura 5.6). Por último, en la Figura 5.10 se muestra el símbolo de la capacidad variable, en el que variando la palabra de control se obtienen los diferentes niveles capacitivos.

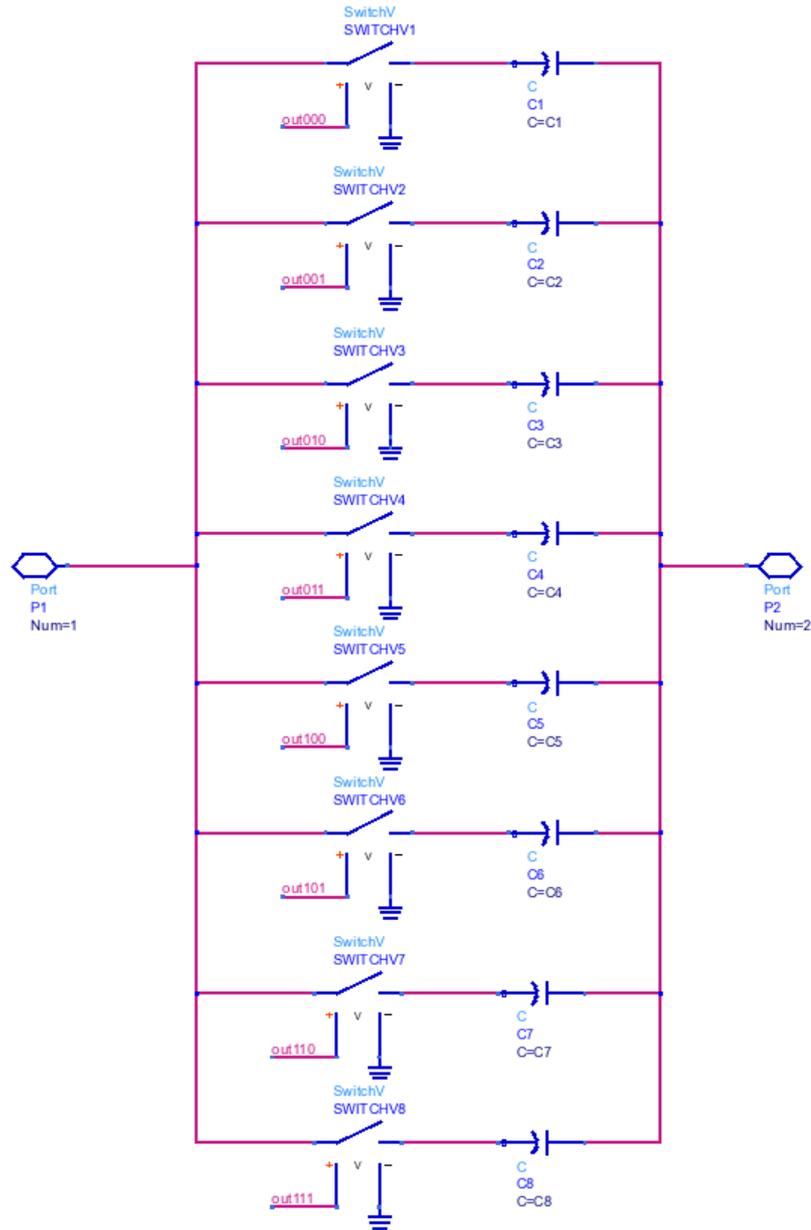
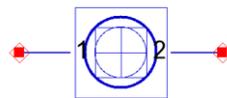


Figura 5.9 - Malla capacitiva



Cvar  
X15  
CA=a  
CB=b  
CC=c

Figura 5.10 - Símbolo del varactor

## 5.5. PGA de una etapa

### 5.5.1. Diseño

Para montar el amplificador programable utilizamos el OA diseñado con anterioridad realimentado con la malla resistiva y con una resistencia de entrada de 6 k $\Omega$ . Además, incluimos el varactor para realizar la compensación del amplificador. El esquema del circuito puede verse en la Figura 5.11.

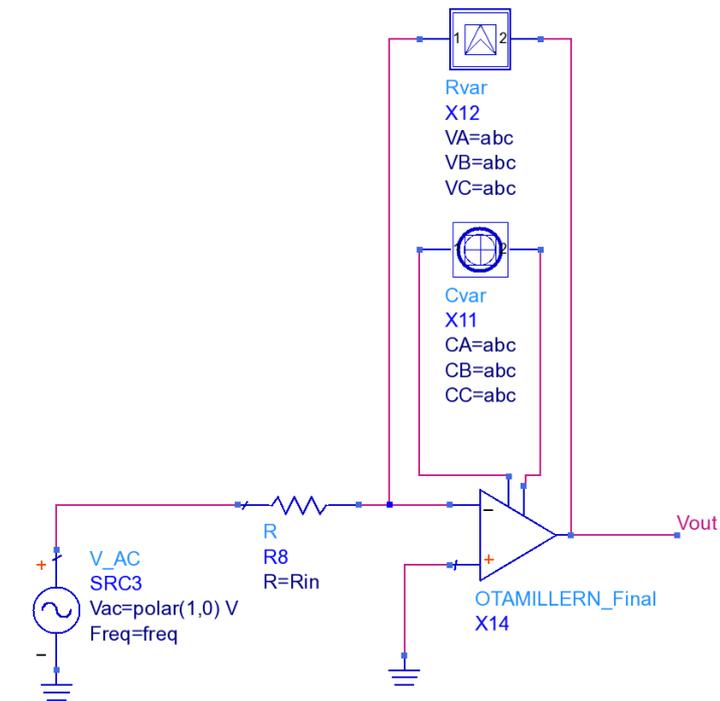


Figura 5.11 - Amplificador de una etapa

### 5.5.2. Simulación

Introducimos una señal senoidal al amplificador y realizamos un barrido en frecuencia. Además, variamos la palabra de control para obtener los diferentes valores de ganancia y comprobar la respuesta (ver Figura 5.12).

A continuación, comprobamos las especificaciones de ancho de banda y margen de fase que debe cumplir nuestro circuito. Simulamos todos los casos, de 0 a 21 dB, y mostramos tanto las ganancias (Figura 5.12) como las fases (Figura 5.13).

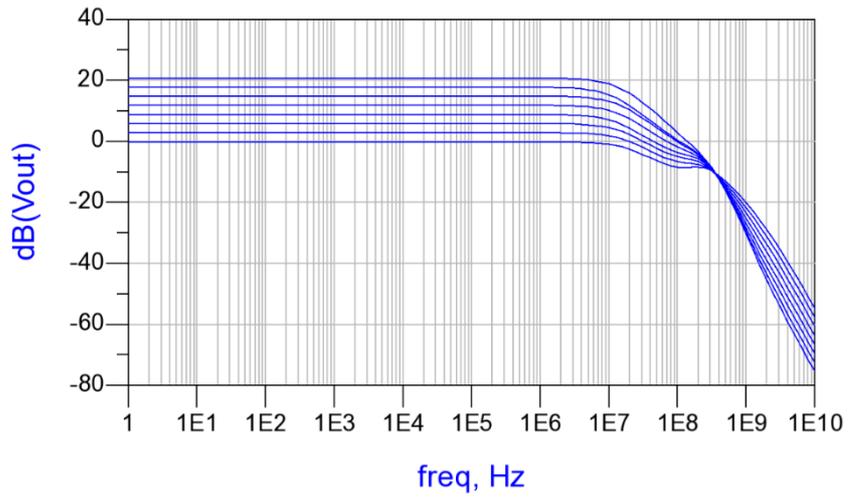


Figura 5.12 – Valores de ganancia de la simulación AC del amplificador de una etapa

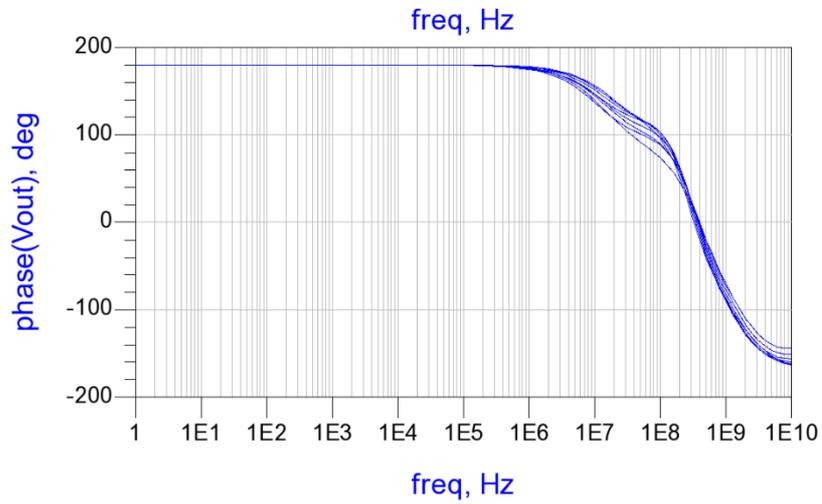


Figura 5.13 – Valores de fase de la simulación AC del amplificador de una etapa

A continuación, analizamos de manera más detallada el proceso para obtener las especificaciones de cada nivel de ganancia. Utilizaremos como ejemplo el nivel máximo, de 21 dB. Las marcas de la Figura 5.14 y la Figura 5.15 indican los puntos de interés utilizados para medir la ganancia (m1), el ancho de banda a 3 dB (m2) y el margen de fase (m3 y m4).

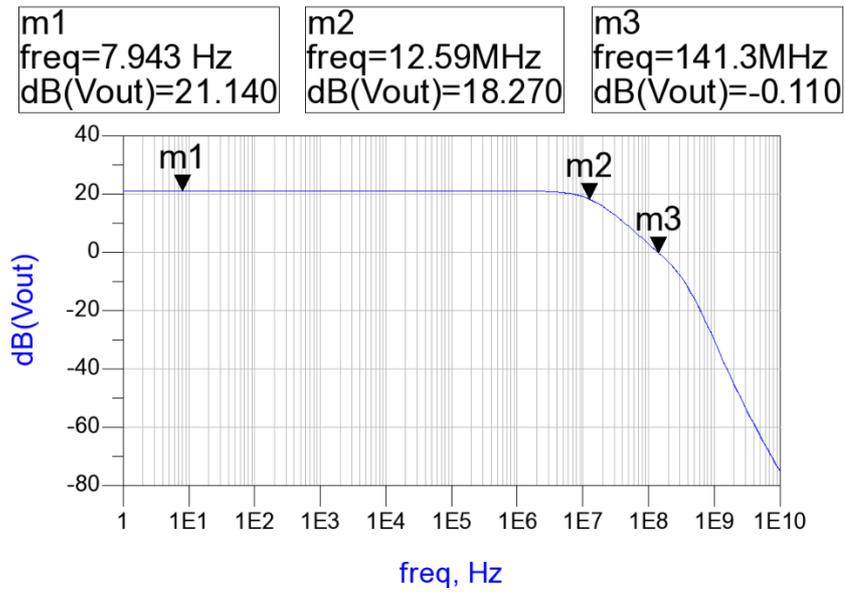


Figura 5.14 - Máximo valor de la ganancia del PGA

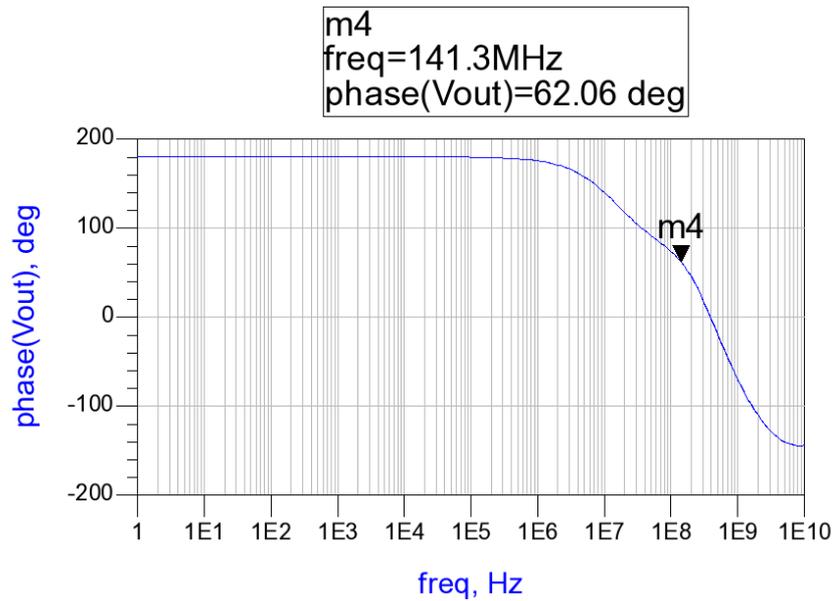


Figura 5.15 - Fase para el máximo valor de ganancia del PGA

Como podemos observar en la Tabla 4, se cumplen los requisitos impuestos para cada uno de los niveles de ganancia.

**Tabla 4 – Resultados de la simulación AC**

Ganancia Ideal (dB)	Ganancia Real (dB)	Margen de fase (°)	Ancho de banda a 3 dB (MHz)
<b>0</b>	0.23	164.4	25.12
<b>3</b>	3.25	132.5	25.12
<b>6</b>	6.26	121.5	19.95
<b>9</b>	9.25	116.5	15.85
<b>12</b>	12.24	102.7	15.85
<b>15</b>	15.22	89.6	15.85
<b>18</b>	18.19	80.97	12.59
<b>21</b>	21.14	57.21	15.85

## 5.6. PGA de dos etapas

Una vez que hemos comprobado el funcionamiento del amplificador programable montamos dos etapas para conseguir una mayor ganancia, de 0 a 42 dB, en pasos de 3 dB.

### 5.6.1. Diseño

Como hemos explicado anteriormente, cada etapa del PGA proporcionará 21 dB por lo que conseguiremos un total de 42 dB, pudiendo variar de 3 en 3 dB dicho valor. El esquemático del circuito diseñado es el siguiente:

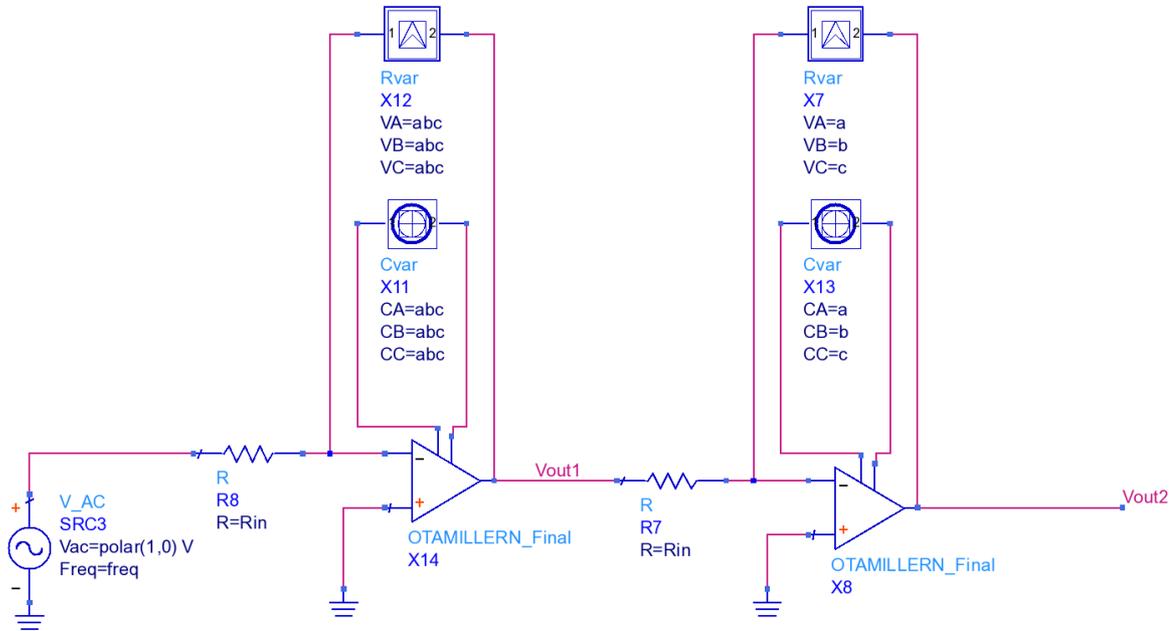


Figura 5.16 - Amplificador de dos etapas

### 5.6.2. Simulación

Introducimos una señal senoidal al amplificador y realizamos un barrido en frecuencia. Variando la palabra de control, en este caso de 4 bits, obtenemos los diferentes niveles de ganancia, de 0 a 42 dB (ver Figura 5.17).

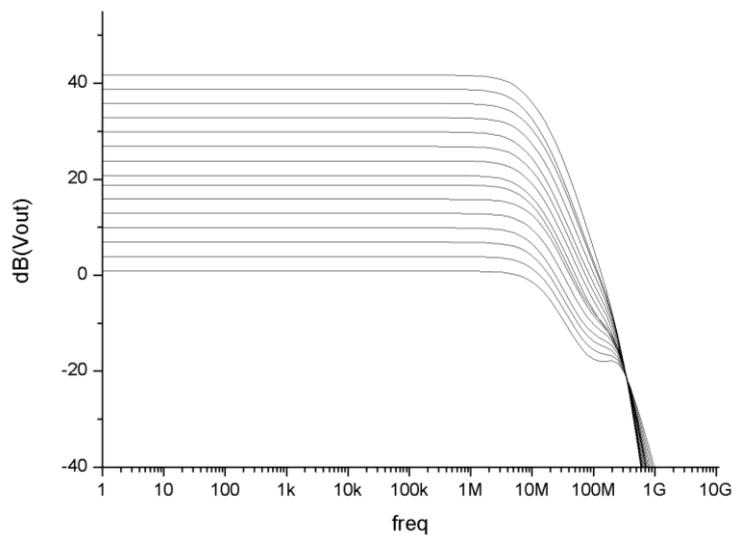


Figura 5.17 – Valores de ganancia del PGA de dos etapas

Comprobamos las especificaciones de ancho de banda y margen de fase que debe cumplir nuestro circuito para cada uno de los valores de ganancia. Mostramos los resultados obtenidos en la Tabla 5.

**Tabla 5 - Resultados simulación AC**

Ganancia Ideal (dB)	Ganancia Real (dB)	Margen de fase (°)	Ancho de banda a 3 dB (MHz)
0	0.86	59.34	50.12
3	3.88	114.7	39.81
6	6.89	157.9	50.12
9	9.89	168.4	39.81
12	12.88	91.1	50.12
15	15.86	87.96	39.81
18	18.82	85.49	31.62
21	21.77	120.1	19.95
24	23.84	136	12.59
27	26.85	100.3	12.59
30	29.85	97.75	12.59
33	32.84	56.11	12.59
36	35.81	54.85	12.59
39	38.78	53.82	12.59
42	41.71	60.32	10.00

## 5.7. Conclusiones

En este capítulo hemos comenzado diseñando un amplificador operacional con entrada diferencial y salida asimétrica. Hemos partido de unas especificaciones basadas en otros diseños para la misma tecnología. Previamente al diseño del PGA, hemos diseñado una resistencia variable para realimentar el amplificador operacional y además hemos incorporado un varactor para mejorar la compensación del OTA. Uniendo todas

las partes diseñadas elaboramos un PGA de una etapa con ganancia de 0 a 21 dB, en pasos de 3 dB. Una vez comprobado el funcionamiento diseñamos un PGA de dos etapas con mayor ganancia, en este caso de 0 a 42 dB en pasos de 3 dB. Finalmente, comprobamos nuevamente que se cumplen las especificaciones del estándar para el correcto funcionamiento del circuito.

En el siguiente capítulo volveremos a diseñar un PGA de dos etapas, pero a diferencia del elaborado en el presente capítulo, en lugar de utilizar un Op-Amp asimétrico, diseñaremos uno diferencial ya que esta es la configuración que necesitaremos para nuestro receptor.



# Capítulo 6. Diseño de un amplificador de ganancia programable con entrada y salida diferencial

## 6.1. Introducción

El objetivo principal de este trabajo es realizar un amplificador de ganancia programable con entrada y salida diferenciales. Para ello necesitamos un operacional que opere de forma diferencial. En este capítulo diseñaremos, en primer lugar, el amplificador operacional y continuaremos con el diseño del PGA con entrada y salida diferenciales. Este amplificador estará compuesto por dos amplificadores operacionales diferenciales conectados en cascada y tendrá una ganancia variable de 0 a 42 dB, en pasos de 3 dB, manteniendo un margen de fase mínimo de  $60^\circ$  y un ancho de banda de 8 MHz.

## 6.2. Diseño de un Op-Amp diferencial-diferencial

Utilizando la metodología  $g_m/I_D$ , igual que hemos diseñado el amplificador del capítulo anterior, podemos dimensionar los transistores que conforman el circuito. Para no repetir el mismo procedimiento, partimos de los resultados obtenidos en dicho apartado, al que le añadiremos algunas modificaciones.

El circuito está formado por una etapa de entrada diferencial formada por los transistores  $M_1$  y  $M_2$  y por el espejo de corriente formado por los transistores  $M_3$  y  $M_4$ . Los transistores de entrada se han dimensionado acorde al equilibrio entre las especificaciones y las características de los dispositivos. El espejo de corriente trabaja en inversión fuerte para garantizar buena adaptación y propiedades de ruido. La salida

del circuito está formada por dos etapas clase A con compensación polo-cero para conseguir un buen ancho de banda. Además, se incluye una red de realimentación de modo común (CMFB) para estabilizar los niveles de la salida diferencial y mejorar la linealidad del par diferencial de entrada. Este circuito consiste en añadir un nuevo par diferencial ( $M_{11}$  y  $M_{14}$ ) que compara el nivel de tensión de salida con una tensión de referencia y fija la corriente de polarización de los transistores  $M_3$  y  $M_4$ . En la Figura 6.1 se muestra el esquema del circuito completo.

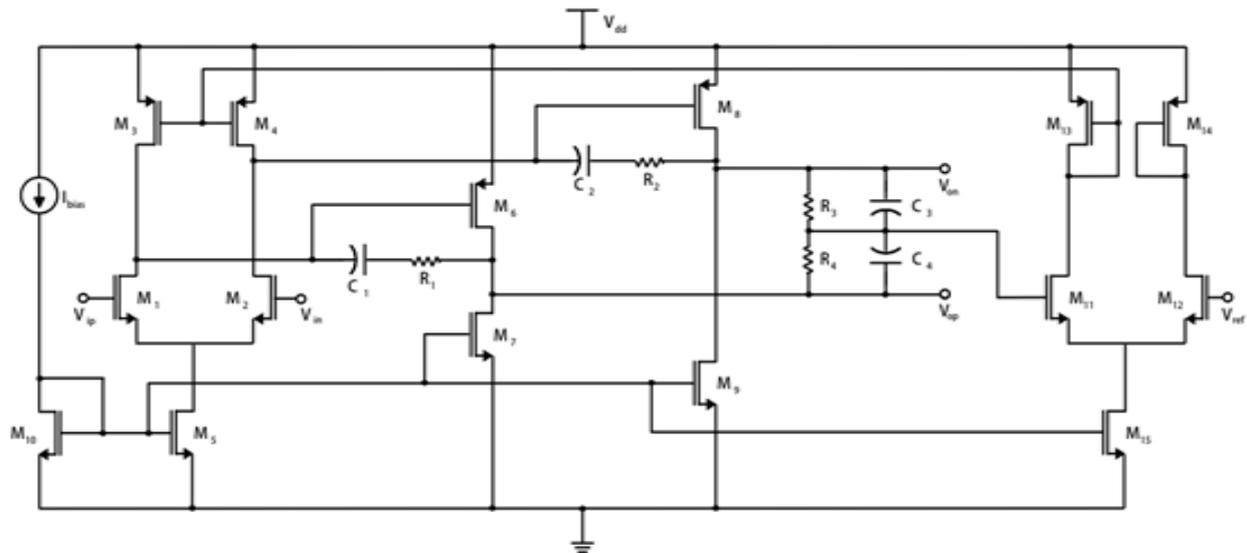


Figura 6.1 - Esquemático amplificador diferencial

### 6.2.1. Simulación y resultados

Para poder realizar la simulación en AC tenemos que convertir la tensión de entrada asimétrica del generador a tensión diferencial con un transformador o “balun” tal y como se muestra en la Figura 6.2. Las salidas  $V_{ip}$  y  $V_{in}$  irán conectadas a las entradas del par diferencial (transistores  $M_1$  y  $M_2$ ). A la salida del amplificador comprobamos la ganancia y el margen de fase que se obtienen en lazo abierto.

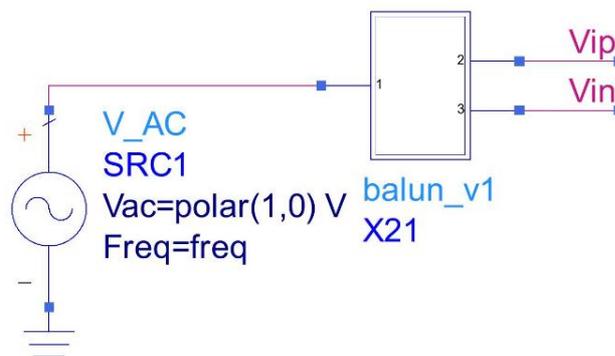


Figura 6.2 – Balun

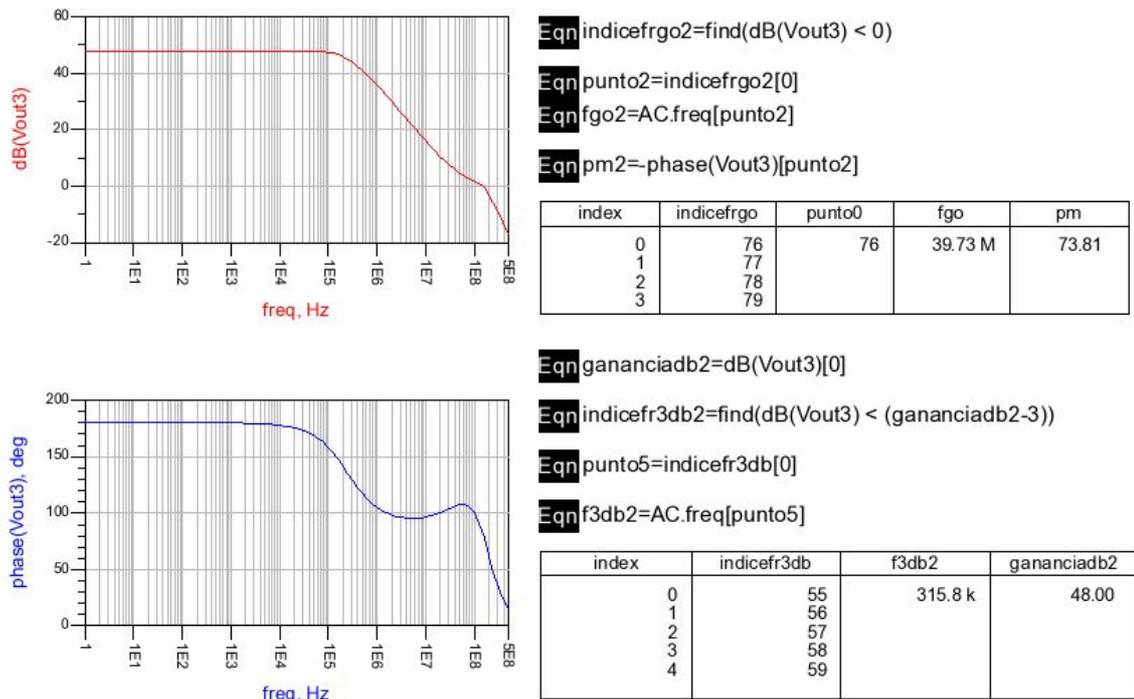


Figura 6.3 - Resultados del análisis en AC

En la Tabla 6 se resumen los resultados del diseño, en el que podemos observar los 48 dB de ganancia en bucle abierto conseguidos, el amplio margen de fase con el que certificamos la estabilidad del circuito y el bajo consumo del amplificador.

Tabla 6 - Resultados de diseño

<b>Ganancia (dB)</b>	48
<b>Ancho de banda a 3 dB (kHz)</b>	315.8
<b>Ganancia por ancho de banda (MHz)</b>	15.16
<b>Margen de fase (°)</b>	73.81
<b>Potencia disipada (mW)</b>	0.49

### 6.3. Diseño de un PGA diferencial

El PGA está formado por dos amplificadores en cascada para cada una de las ramas I y Q. Cada amplificador está realimentado con una red de resistencias conmutables para conseguir alta linealidad y un buen rango dinámico. También cuenta con un varactor que permite tener un ancho de banda constante para los diferentes valores de salida. La ganancia del PGA varía en función del valor proporcionado por la red resistiva. De esta manera se consigue que la ganancia de cada amplificador

aumente linealmente de 0 dB a 21 dB en pasos de 3 dB, consiguiendo un total de 42 dB para ambos amplificadores.

En la Figura 6.4 se muestra el esquemático final que presentará el PGA en donde podemos observar tanto las resistencias como los condensadores variables del diseño para cada una de las dos etapas. Debemos tener en cuenta que la linealidad del PGA será crítica para el resto del receptor, pues es la última etapa del mismo.

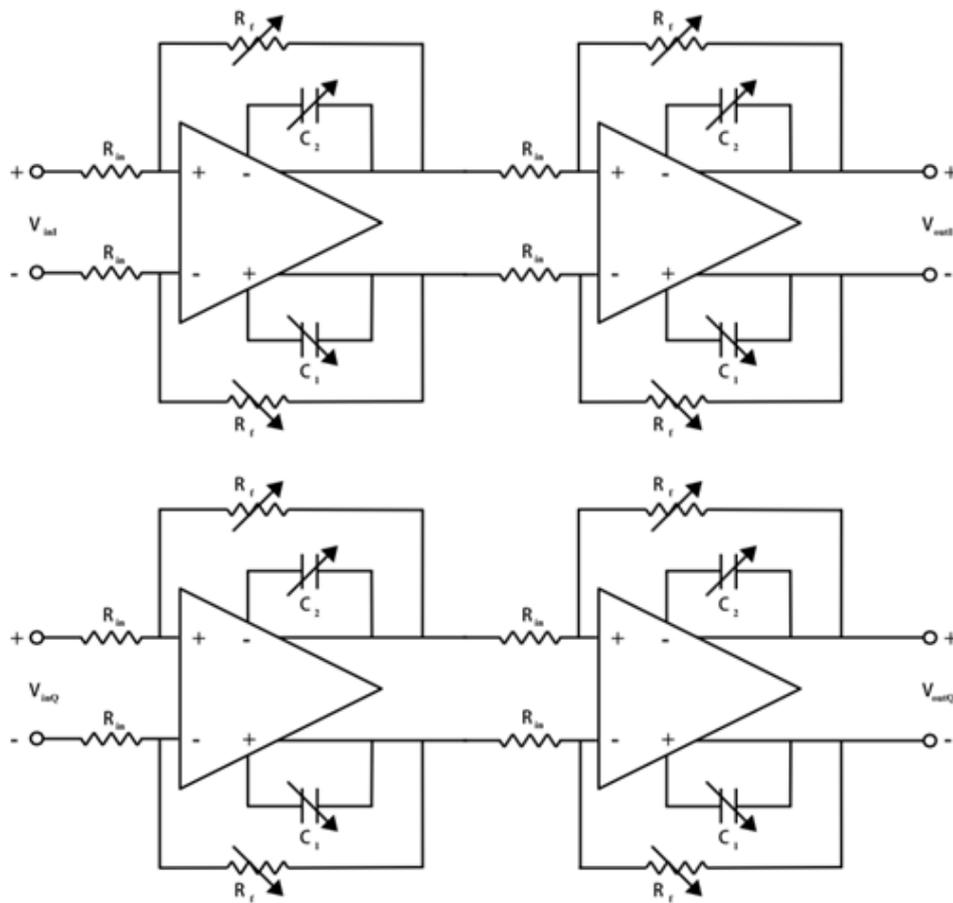


Figura 6.4 – Esquemático del amplificador de ganancia programable

### 6.3.1. Simulación y resultados

Analizamos una de las ramas del PGA puesto que ambas son idénticas (I y Q). Para introducir la señal al PGA de forma diferencial utilizaremos el mismo transformador, balun, que utilizamos para simular el amplificador operacional (ver Figura 6.2 y Figura 6.5). Variando la palabra de control de la malla resistiva conseguimos valores de ganancia de 0 a 21 dB en pasos de 3 dB para cada amplificador, por lo que la ganancia total es de 42 dB para cada rama. En la Figura 6.6 puede comprobarse dicha variación. También comprobamos que el margen de fase cumple con los requerimientos del estándar para cada uno de los valores de ganancia, manteniéndose en torno a los 60° como mínimo.

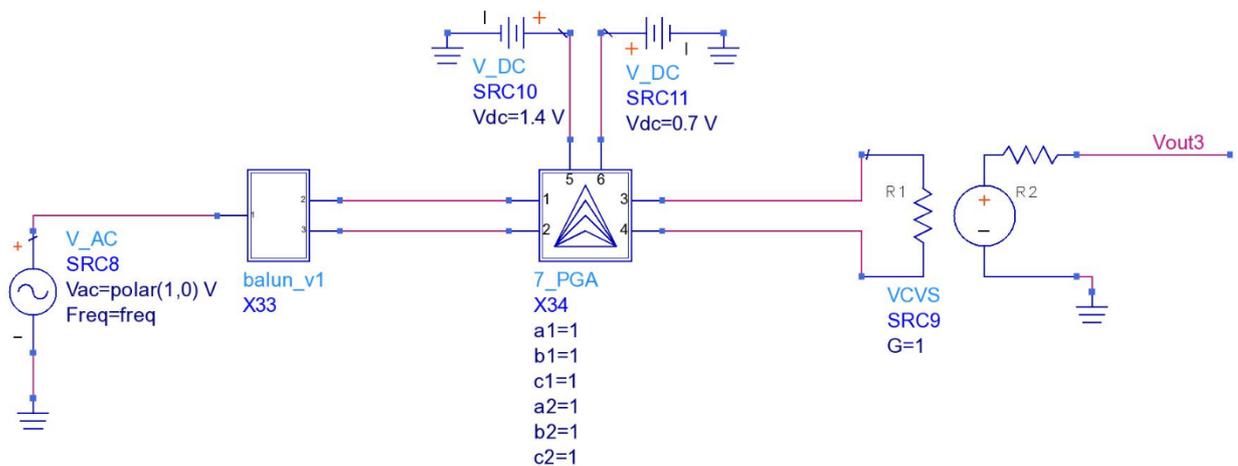


Figura 6.5 - Esquemático para la simulación AC

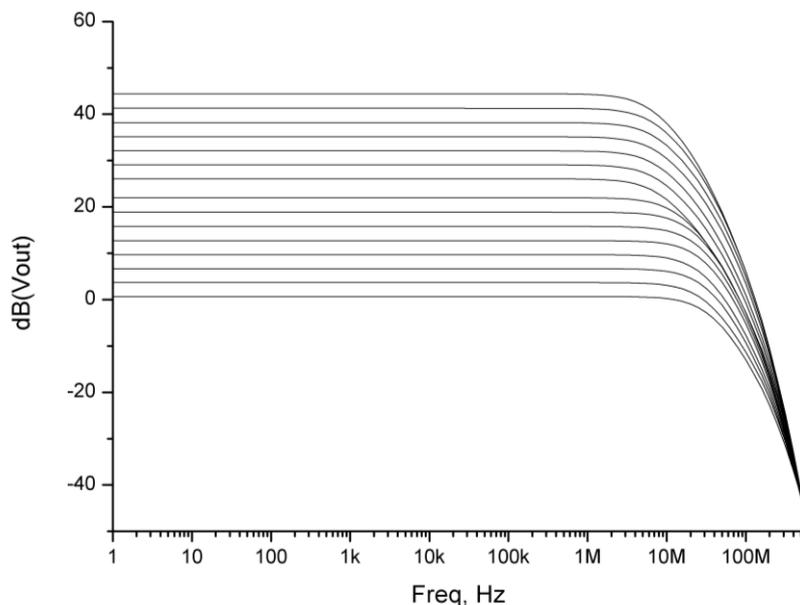


Figura 6.6 - Variación de los niveles de ganancia

En la Figura 6.7 representamos la magnitud y la fase para el mayor nivel de ganancia (42 dB) siendo la gráfica similar para los diferentes valores de ganancia. A continuación, también comprobamos los resultados obtenidos para cada valor de ganancia (ver Tabla 7).

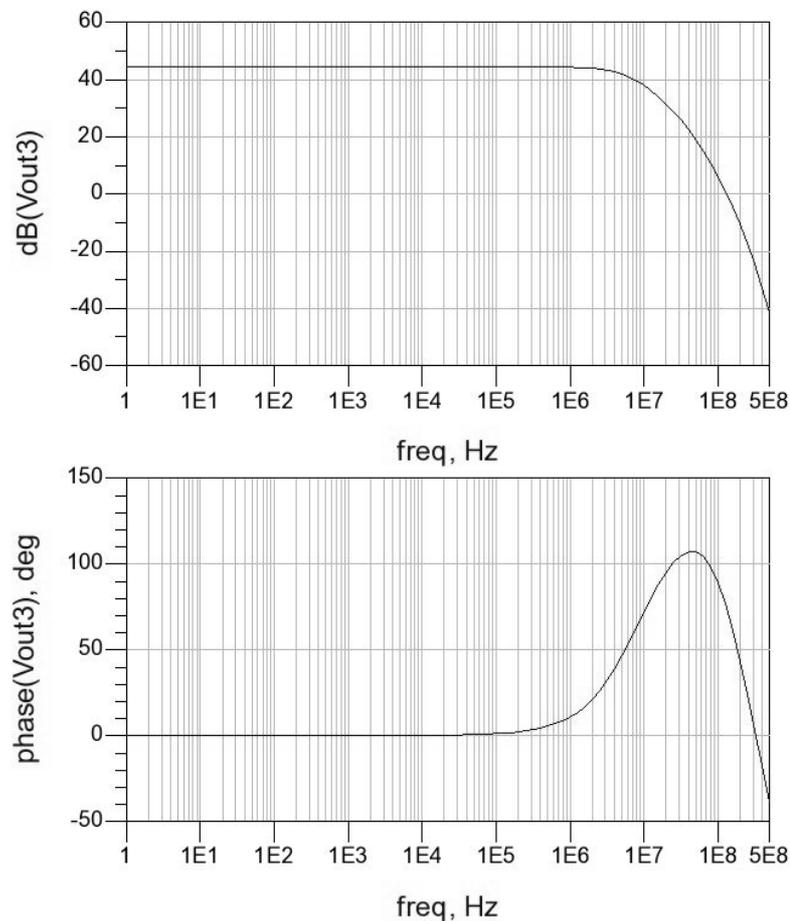


Figura 6.7 – Simulación AC para 42 dB de ganancia

Tabla 7 - Resultados para cada valor de ganancia

Ganancia Ideal (dB)	Ganancia Real (dB)	Margen de fase (°)	Ancho de banda a 3 dB (MHz)
0	-0,69	51,2	19,91
3	2,31	82,4	19,81
6	5,32	119,3	19,81
9	8,33	128,5	19,81
12	11,37	128,9	19,81
15	14,42	129,4	15,82

<b>18</b>	17,50	125,2	15,82
<b>21</b>	20,62	130,8	12,56
<b>24</b>	24,47	115,5	7,83
<b>27</b>	27,48	101,2	7,83
<b>30</b>	30,50	91,6	7,83
<b>33</b>	33,54	78,8	7,83
<b>36</b>	36,60	76,7	7,93
<b>39</b>	39,69	60,5	7,93
<b>42</b>	42,82	58,9	7,93

## 6.4. Conclusiones

Tras la implementación de un PGA con salida asimétrica en el capítulo 5, en esta ocasión hemos diseñado un amplificador de ganancia programable con entrada y salida diferenciales. Para ello, en primer lugar, diseñamos un amplificador operacional basado en el OA asimétrico diseñado con anterioridad. Comprobamos las especificaciones impuestas para el diseño y simulamos los resultados.

En el siguiente capítulo incluiremos el PGA de dos etapas en un receptor diseñado para el estándar 802.15.4 y realizaremos las simulaciones oportunas para comprobar que el diseño se ha realizado correctamente.



# Capítulo 7. PGA junto con el cabezal de recepción (Simulación del receptor completo)

## 7.1. Introducción

Este trabajo fin de grado forma parte de un proyecto de mayor alcance que busca realizar un transceptor para el estándar 802.15.4. El PGA desarrollado en este trabajo forma parte de la cadena de recepción y su principal función es ajustar el valor del nivel de recepción, aumentando o disminuyendo su ganancia para mantener un valor regulado a la salida del receptor. Este receptor está formado por el cabezal de recepción, un filtro polifásico y, por último, el amplificador de ganancia programable.

En este capítulo realizaremos las simulaciones oportunas que comprueben el correcto funcionamiento del PGA junto con el resto del receptor.

Antes de comenzar con las simulaciones realizaremos una explicación del cabezal de recepción y del filtro, previamente diseñados por otros compañeros de forma simultánea a este trabajo. El esquema de este receptor se muestra en la Figura 1.1.

## 7.2. Cabezal de recepción

El cabezal de recepción se corresponde con la primera etapa de un receptor, donde se adapta la señal de entrada para su posterior tratamiento. Típicamente, un cabezal de recepción en un circuito de radiofrecuencia como el que se desea diseñar está compuesto por una serie de elementos:

- El primero de estos elementos es el amplificador de bajo ruido (LNA: Low Noise Amplifier), que es el encargado de adaptar la señal que proviene de la antena de recepción y amplificarla, introduciendo el menor ruido posible.
- El siguiente elemento es el mezclador, que es el encargado de mezclar la señal recibida de entrada con una señal generada por el oscilador local con el fin de llevar la señal desde una frecuencia de entrada (generalmente alta) a una frecuencia de trabajo (en los receptores, esta frecuencia es menor que la de entrada).
- Por último, el amplificador de transimpedancia (TIA) es el encargado de convertir la señal de corriente que sale del mezclador en tensión para ser procesada por el filtro.

En cuanto a la arquitectura del cabezal de recepción, se ha optado por una arquitectura del tipo Low-IF. Se ha seleccionado esta arquitectura por ser la más adecuada para aplicaciones de bajo coste y bajo consumo. Además, al usar este tipo de arquitecturas no es necesario implementar filtros con complejos sistemas de realimentación para eliminar problemas como el nivel de continua introducido. Finalmente, también elimina posibles problemas por ruido Flicker ( $1/f$  Noise). Sin embargo, este tipo de arquitecturas presenta problemas con la frecuencia imagen, por lo que se precisa de un filtro polifásico a la salida del cabezal [1].

Cabe destacar que el LNA está alimentado con una tensión de 1.8 V mientras que el TIA y el filtro tienen una tensión de alimentación de 1.4 V. Esto se debe a que estos circuitos estarán controlados por un circuito de regulación de tensión (Tuning circuit).

### 7.2.1. Amplificador de bajo ruido

La función principal del LNA es la de amplificar la señal de RF entrante introduciendo el menor ruido posible. Además, al ser la primera etapa de la cadena de recepción, cumple la función de adaptar la señal que viene de la antena. Teniendo esto en cuenta, un LNA se caracteriza por su baja figura de ruido (NF: Noise Figure) y una ganancia lo suficientemente alta para reducir la aportación de la NF en las siguientes etapas de la cadena de recepción. Un LNA también se caracteriza por su alta linealidad, lo cual permite trabajar con señales de entrada de alta frecuencia y con interferencias. Cabe destacar que un LNA debe tener una impedancia de entrada de  $50\Omega$  para una correcta adaptación, ya sea directamente con la antena o con algún componente adicional (un filtro de selección de canal o un conmutador entre transmisor y receptor, por ejemplo).

Entre las distintas topologías que se pueden escoger para diseñar un LNA, se optó por una topología de cascodo con degeneración inductiva. Esta topología se caracteriza por tener salida asimétrica, por su alta ganancia, bajo ruido y un buen aislamiento entre la entrada y la salida [1]. Las principales razones por las que se ha escogido esta topología son, en primer lugar, que la corriente en continua disipada es menor que en una topología diferencial; y, en segundo lugar, porque la linealidad (en concreto el IIP2) no es crítica para el estándar 802.15.4 en comparación con otros estándares inalámbricos [11]. En la Figura 7.1 se muestra un esquemático de la topología utilizada.

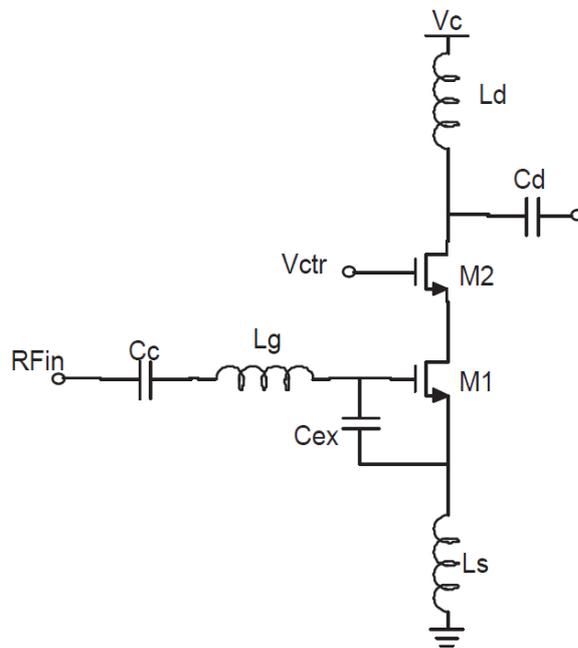


Figura 7.1 - Estructura del LNA

Al usar una topología con degeneración inductiva es posible obtener simultáneamente bajo ruido y buena adaptación de entrada. Esto se debe a que al incluir la bobina  $L_s$  se genera una parte real en la impedancia de entrada lo cual disminuye las diferencias entre la impedancia de entrada óptima para bajo ruido y la impedancia del propio LNA. Si no se incluyera una degeneración, la impedancia de entrada no tendría parte real y, por ello, en ese caso habría discrepancias con la impedancia óptima para bajo ruido. Sin embargo, surge un problema al implementar la bobina de degeneración, y es que bajo condiciones de bajo consumo se necesita una bobina de un valor de inductancia elevado para conseguir simultáneamente bajo ruido y buena adaptación de entrada. Esto significaría que la figura de ruido mínima ( $NF_{min}$ ) sería bastante elevada. Para solventar este problema se ha incluido el condensador  $C_{ex}$ , tal y como se muestra en la Figura 7.1. El incluir este condensador permite utilizar una bobina  $L_s$  de bajo valor de inductancia para obtener simultáneamente bajo ruido y buena adaptación de entrada.

La impedancia de entrada del LNA viene dada por la siguiente expresión:

$$Z_{in} = s \cdot (L_s + L_g) + \frac{1}{s \cdot C_t} + \frac{g_0 \cdot L_s}{C_t} \quad 7.1$$

Donde  $C_t$  hace referencia a la capacidad que existe entre la puerta y el surtidor del transistor  $M_1$ . En este caso, esta capacidad sería la suma de  $C_{gs}$  y  $C_{ex}$ . Como se puede comprobar, el incluir el condensador  $C_{ex}$  modifica la parte imaginaria de la impedancia de entrada. Esto permite usar valores de inductancia menores en las bobinas  $L_s$  y  $L_g$ . También se reducen las resistencias parásitas de las bobinas, mejorando así la figura de ruido del LNA.

Por otra parte, en este LNA se permite la regulación de la ganancia. Para ello se varía la tensión en la puerta del transistor  $M_2$  mediante la tensión  $V_{ctr}$ . El circuito está alimentado con la tensión  $V_c$  que tiene un valor de 1.8 V. La tensión  $V_{ctr}$  se varía entre 0.5 V y 1.8 V para obtener menor o mayor ganancia. Esto se explicará con más detalle en el apartado de resultados.

## 7.2.2. Mezclador

El mezclador es el circuito encargado de coger la señal entrante de RF, una vez ha sido amplificada por el LNA, y trasladarla a la frecuencia intermedia deseada. Esto se realiza sin modificar las características de frecuencia de la señal a trasladar (ancho de banda, relación de amplitudes, etc.). En este caso, la señal de RF se encuentra a una frecuencia de 2.4 GHz, mientras que la frecuencia intermedia es de 2.5 MHz. Por tanto, el mezclador es el encargado de trasladar la señal desde los 2.4 GHz a los 2.5 MHz. Este tipo de mezclador se denomina “down-conversion” ya que se pasa de una frecuencia más alta a una más baja. Es por ello que este tipo de mezclador se encuentra en los receptores. Por otro lado, existen los mezcladores de “up-conversion” que realizan la operación contraria, es decir, se pasa de una frecuencia baja a una más elevada. Este tipo de mezclador es característico de los transmisores.

Para trasladar la señal de una frecuencia a otra, un mezclador de frecuencias le suma o resta a la banda de frecuencia de la señal RF un valor de frecuencia constante denominado frecuencia del oscilador local. A la salida del mezclador se obtiene la señal en la frecuencia intermedia deseada. El mezclador ideal está formado por un multiplicador y un filtro paso banda, aunque en un receptor se puede emplear un filtro paso bajo, tal y como se muestra en la Figura 7.2.

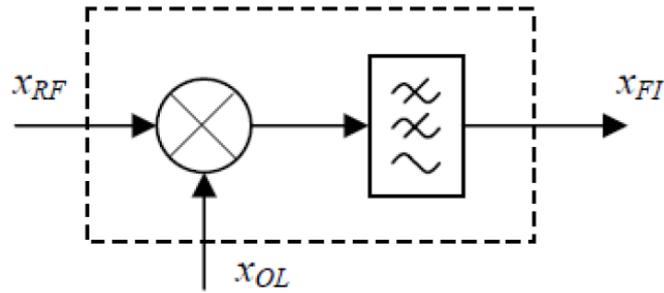


Figura 7.2 - Diagrama de bloques de un mezclador ideal

La señal de RF entrante se puede escribir como:

$$X_{RF} = g(t) \cdot \cos(\omega_{RF}t) \quad 7.2$$

Y la señal del oscilador local como:

$$X_{OL} = A \cdot \cos(\omega_{OL}t) \quad 7.3$$

Por tanto, a la salida del mezclador se obtiene:

$$X_{RF} \cdot X_{OL} = A \cdot g(t) \cdot \cos(\omega_{RF}t) \cdot \cos(\omega_{OL}t) \quad 7.4$$

$$X_{RF} \cdot X_{OL} = \frac{1}{2}A \cdot g(t) \cdot [\cos(\omega_{RF} + \omega_{OL})t + \cos(\omega_{RF} - \omega_{OL})t] \quad 7.5$$

Y después del filtro paso bajo se obtiene la señal de frecuencia intermedia:

$$X_{F1} = \frac{1}{2}A \cdot g(t) \cdot \cos(\omega_{RF} - \omega_{OL})t = \frac{1}{2}A \cdot g(t) \cdot \cos(\omega_{F1}t) \quad 7.6$$

Por lo tanto, el mezclador realiza una operación claramente no lineal. El principal parámetro de un mezclador es la ganancia de conversión, que se puede definir como la relación entre la amplitud de la señal de FI y la amplitud de la señal de RF. Así mismo, hay otros parámetros que también definen el comportamiento del mezclador como son la figura de ruido, el margen dinámico, el aislamiento entre puertos, etc.[1].

Los mezcladores se pueden clasificar en dos tipos dependiendo de si los elementos que lo forman son activos (BJT, MOSFET) o pasivos (diodos o MOSFET actuando como resistencias no lineales). Los primeros tienen ganancia de conversión superior a la unidad, mientras que los segundos poseen menor ruido y mayor margen dinámico.

Los mezcladores en los que las frecuencias  $\omega_{OL}$  y  $\omega_{RF}$  no aparecen antes del filtro de salida se denominan doblemente balanceados; si aparece una de las dos frecuencias, se denominan balanceados respecto a la que no aparece; y, si aparecen ambas, se denominan no balanceados.

Para este cabezal de recepción se ha optado por utilizar un mezclador pasivo doble balanceado. Las principales razones por las cuales se ha decidido implementar este tipo de mezclador son, en primer lugar, que no disipa corriente de continua. Esto significa que, al no pasar corriente de continua por los transistores, la contribución del ruido flicker se minimiza. Además, este tipo de mezclador tiene una linealidad bastante alta y reduce las fugas del oscilador local hacia la entrada.

Este mezclador se trata de un circuito con entrada y salida diferencial. Una de las entradas está conectada a la salida del LNA mientras que la otra entrada está conectada a tierra a través del condensador  $C_{bp}$ , tal y como se muestra en la Figura 7.3. De esta forma se mantienen las ventajas de un circuito diferencial como son la minimización de la distorsión de segundo orden y las fugas del oscilador local. Es cierto que existe una cierta penalización en la ganancia del receptor, si bien esta es despreciable [11].

El mezclador diferencia entre fase y cuadratura y, por tanto, tiene una rama diferenciada para cada una. Realmente, un mezclador en cuadratura se puede considerar como dos mezcladores cuyas entradas del oscilador local están desfasadas 90 grados. Cada una de estas ramas tiene salida diferencial, a la cual se conectará un amplificador de transimpedancia o TIA. Además, al tratarse de un mezclador pasivo, no es necesario que posea una fuente de alimentación.

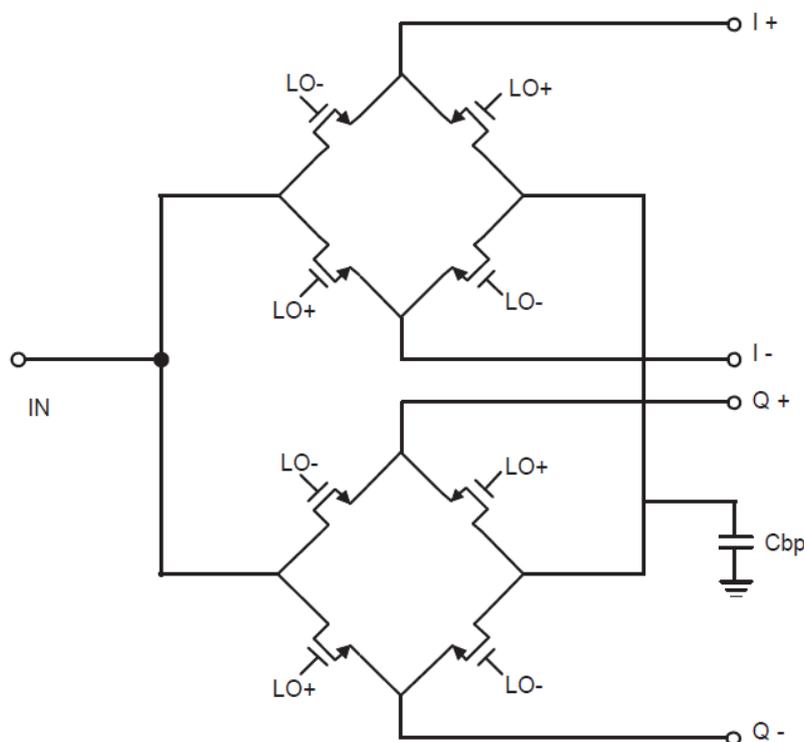


Figura 7.3 - Estructura del mezclador

En este circuito, la mezcla de señales se realiza mediante la conmutación de los transistores. Los transistores CMOS se caracterizan por ser buenos conmutadores. Por tanto, el tamaño de los transistores es un parámetro clave a tener en cuenta para obtener las mejores prestaciones del mezclador. La señal del oscilador local es otro parámetro clave en el funcionamiento del mezclador. Especialmente influyente es el nivel de continua en dicha señal proveniente del oscilador local.

Cabe destacar que existe una relación de compromiso entre el ruido del mezclador y la ganancia del LNA, la cual se debe tener en cuenta a la hora de dimensionar los transistores que actúan como conmutadores en el mezclador. Como ya se comentó en el apartado en el que se trataba la estructura del LNA, este circuito tiene un tanque que actúa como circuito resonante. La frecuencia de resonancia (de 2.4 GHz en este caso) se consigue modificando la bobina y el condensador que forman el tanque. Además, la inductancia de la bobina disminuye si la capacidad de conmutación del mezclador aumenta. Esto hace que la ganancia del LNA sea menor debido a que la impedancia de carga es menor [2].

### 7.2.3. Amplificador de transimpedancia (TIA)

En general, se pueden distinguir cuatro tipos de amplificadores en función de la señal de entrada que se desea amplificar (tensión o corriente) y la señal de salida (tensión o corriente).

El amplificador de tensión, como su propio nombre indica, se encarga de amplificar una señal de tensión a la entrada y suministrar una señal de tensión a la salida. Por otro lado, el amplificador de corriente, amplifica una señal de corriente a la entrada y proporciona una señal de corriente a la salida. En cuanto al amplificador de transconductancia, éste amplifica una señal de tensión a la entrada y proporciona una señal de corriente a la salida. Por último, el amplificador de transimpedancia es el encargado de amplificar una señal de corriente a la entrada y proporcionar una señal de tensión a la salida. Éste último tipo de amplificador es el que se ha incluido en el cabezal de recepción a la salida del mezclador. Esto se debe a que a la salida del mezclador existe una señal de corriente y los filtros que se incluyen en un receptor de RF trabajan con señales de tensión. Además, como ya se ha comentado anteriormente, el mezclador pasivo doble balanceado que se ha diseñado no posee ganancia y, por tanto, es necesaria la presencia de un TIA que compense esta carencia.

En este caso, se ha optado por realizar un amplificador de transimpedancia basado en inversores. Se ha incluido un amplificador para cada una de las dos ramas

del mezclador (fase y cuadratura). Cada amplificador está constituido por dos inversores en paralelo y una red de realimentación resistiva. En la Figura 7.4 se muestra la estructura del TIA, en la que se puede apreciar que se trata de un circuito con entrada y salida diferencial. Cabe destacar que, para mantener la estabilidad de tensión en modo común, se utilizan las resistencias  $R_1$  y  $R_2$ . La resistencia equivalente efectiva viene dada por  $\frac{R_1 R_2}{R_2 - R_1}$ .

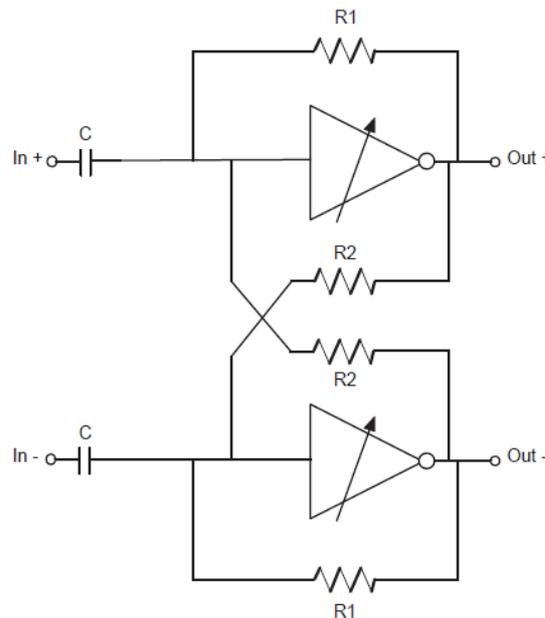


Figura 7.4 - Estructura del TIA

La resistencia efectiva constituida por las resistencias  $R_1$  y  $R_2$ , junto con el condensador  $C$  forma un filtro paso alto. Este filtro permite eliminar los niveles de continua (DC offsets) producidos por el mezclador. El aumentar el valor de la resistencia equivalente permite utilizar una capacidad  $C$  de menor tamaño [17]. Esto se traduce en una reducción tanto del ruido producido como del área del circuito.

En cuanto a la ganancia del amplificador, esta se puede modificar variando la transconductancia de los inversores. El valor de la resistencia efectiva también influye en la ganancia del circuito, tal y como se muestra en la siguiente ecuación:

$$A_v = \frac{V_{out}}{V_{in} = 1 - (g_{MN} + g_{MP}) \frac{R_1 R_2}{R_2 - R_1}} \quad 7.7$$

Para variar la transconductancia de los inversores, se puede modificar el tamaño de los transistores que lo forman. Sin embargo, tal y como se puede observar en la siguiente ecuación, la relación de aspecto de un transistor no es lo único que influye en

su transconductancia. También afecta la tensión  $V_{GS}$  y, por tanto, se debe de tener en cuenta:

$$g_m = K \cdot \frac{W}{L} \cdot (V_{GS} + V_T) \quad 7.8$$

En esta expresión, K es la constante de transconductancia del transistor, W la anchura, L la longitud,  $V_{GS}$  la tensión entre la puerta y el surtidor y  $V_T$  la tensión umbral del transistor.

En la Figura 7.5 se muestra como es la estructura de cada inversor. Como se puede apreciar, está formado por dos ramas inversoras en paralelo, cada una controlada por un interruptor (switch). Esto permite que el TIA tenga la función de control de ganancia.

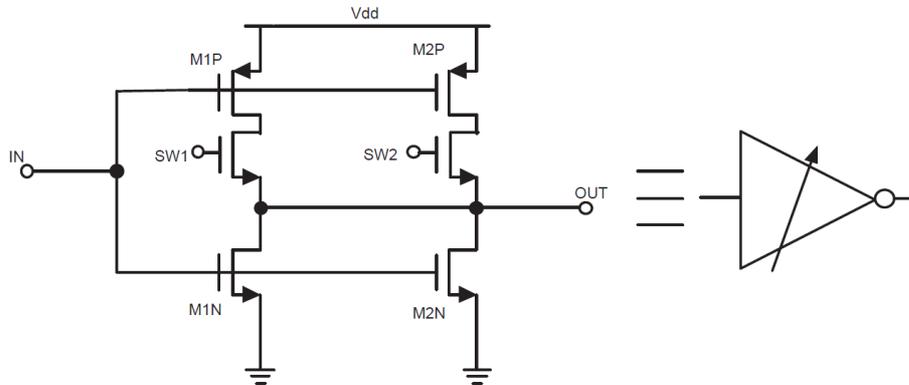


Figura 7.5 - Estructura del inversor

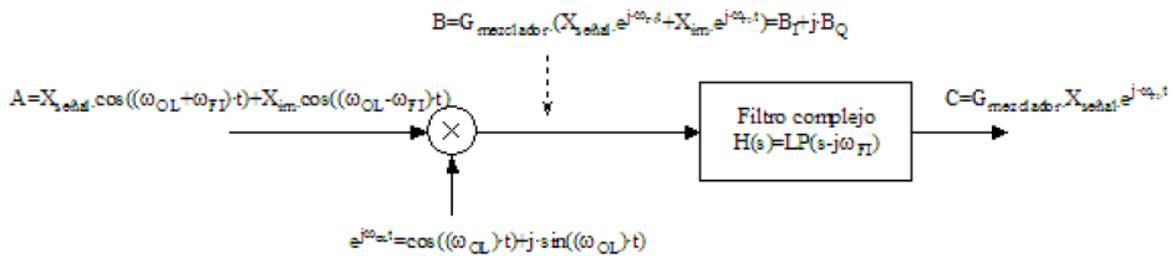
Como se puede observar, para ambas ramas, en la parte superior se coloca un transistor p-MOS mientras que en la parte inferior se sitúa un transistor n-MOS, siguiendo la estructura típica de un inversor. El inversor está diseñado para que los transistores de una de las ramas tengan un tamaño dos veces mayor que los de la otra rama. De esta forma, al activar una rama u otra (mediante los switch), se obtendrá una ganancia máxima o una mínima. Teniendo en cuenta que, como se ha comentado anteriormente, el LNA también tiene una función de control de ganancia, el cabezal de recepción tendrá cuatro ganancias posibles. Estas cuatro ganancias irán en función de si, tanto el LNA como el TIA, actúan en modo de ganancia máxima o mínima.

### 7.3. Filtro

La estructura propia del receptor, homodino de low-IF, hace necesaria la implementación de un filtro polifásico que solucione el problema de la frecuencia imagen

que éste provoca. Este filtro es capaz de distinguir entre la señal deseada y la imagen basándose en la diferencia entre la rama I y la rama Q.

Para comprender cómo el filtro polifásico es capaz de rechazar la señal imagen, se contempla la representación compleja del esquema de bloques de un receptor, que se muestra en la Figura 5.1. Para simplificar la explicación, se supone que a la entrada del mezclador sólo existen la señal deseada y su imagen. Por tanto, la frecuencia de la señal deseada será  $\omega_{OL} + \omega_{FI}$ , mientras que la frecuencia de la imagen será  $\omega_{OL} - \omega_{FI}$ , donde  $\omega_{OL}$  y  $\omega_{FI}$  son, respectivamente, la frecuencia angular del oscilador y la frecuencia angular intermedia.



**Figura 7.6 - Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia**

El resultado de mezclar las señales del OL y RF en el dominio complejo, una vez eliminados los términos en  $2\omega_{OL}$ , es el siguiente:

$$B = G_{mezclador} (x_{señal} e^{j\omega_{FI}t} + x_{imagen} e^{-j\omega_{FI}t}) = B_I + jB_Q \quad 7.9$$

Siendo  $B_I$  la parte real y  $B_Q$  la parte imaginaria de la salida del mezclador, que se pueden expresar como:

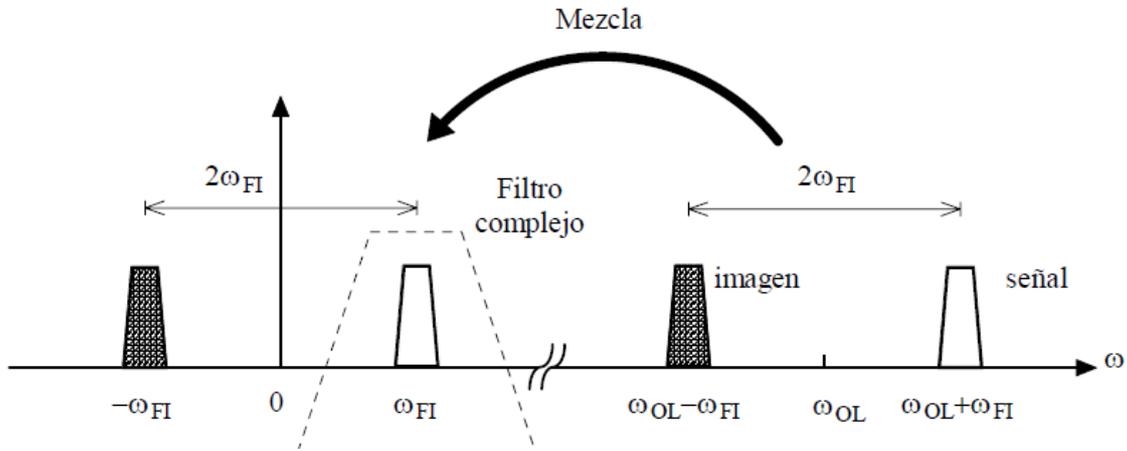
$$B_I = G_{mezclador} (x_{señal} \cos(\omega_{FI}t) + x_{imagen} \cos(\omega_{FI}t)) \quad 7.10$$

$$B_Q = G_{mezclador} (x_{señal} \sin(\omega_{FI}t) + x_{imagen} \sin(\omega_{FI}t)) \quad 7.11$$

En las ecuaciones 7.10 y 7.11, tanto la señal deseada como su imagen, están desfasadas 90 grados en la rama I con respecto a sus equivalentes en la rama Q. En cuanto al proceso de mezclado complejo de la señal deseada y su imagen, éste se muestra de forma gráfica en la Figura 7.7. Se puede observar que después de la conversión, se mantiene la separación entre la señal y su imagen. Por otra parte, el filtro de selección de canal complejo es una versión desplazada en frecuencia de un filtro paso bajo. Es decir, que el filtro deja pasar la señal en  $\omega = \omega_{FI}$  mientras que atenúa la señal en  $\omega = -\omega_{FI}$ .

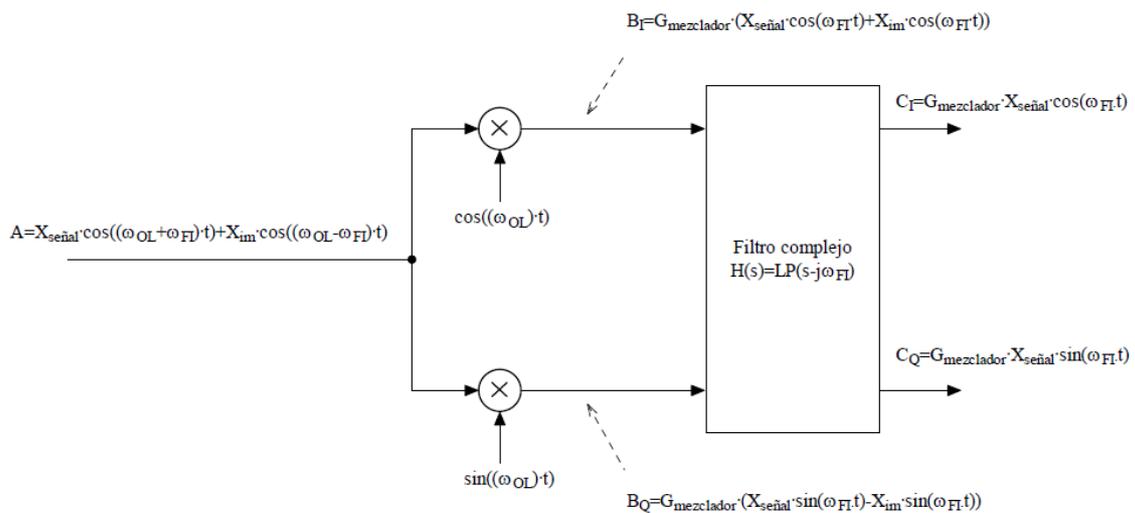
Dado que el filtro tiene una respuesta asimétrica alrededor del eje  $j\omega$ , su respuesta en el dominio del tiempo es compleja. Este comportamiento difiere del de los

filtros reales en los que los polos complejos son siempre conjugados. En los filtros complejos es posible tener polos complejos simples (de ahí su nombre) de forma que la respuesta en frecuencia de los filtros complejos es simétrica alrededor de  $\omega_{FI}$  y no alrededor de 0.



**Figura 7.7 - Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura**

La implementación práctica del rechazo de la frecuencia imagen se realiza mediante un mezclador en cuadratura. Mediante un mezclador de este tipo se multiplica la señal de RF por  $e^{j\omega_{FI}t}$  (ver Figura 7.8). En la representación compleja de la Figura 7.6, la señal deseada a la salida del mezclador se encuentra en una frecuencia FI positiva mientras que su señal imagen se encuentra en una frecuencia FI negativa. En la implementación práctica de la Figura 7.8, tanto la señal deseada como su imagen, en la rama I está desfasada  $90^\circ$  de la de la rama Q.



**Figura 7.8 - Implementación práctica del rechazo de la frecuencia imagen**

Un filtro polifásico es capaz de hacer la distinción entre la señal y la imagen basándose en la diferencia entre la fase de la rama I y la de la rama Q. En el dominio complejo, un filtro paso banda polifásico es una versión desplazada en frecuencia de un filtro paso bajo. Para convertir un filtro paso bajo en un filtro paso banda polifásico centrado en  $\omega_{FI}$ , se debe modificar cada elemento dependiente de la frecuencia para que sea una función de  $s-j\omega_{FI}$  en vez de una función de  $s$ . El elemento básico en un filtro dependiente de la frecuencia, es el integrador. Si se considera el caso más simple para convertir un filtro paso bajo de primer orden, con una frecuencia de corte  $\omega_{LP}$ , a un filtro paso banda polifásico centrado en  $\omega_{FI}$ , para desplazar en frecuencia la respuesta del filtro paso bajo, se debe insertar un lazo de realimentación tal y como se muestra en la Figura 7.9(a). La relación compleja entre la entrada y la salida vendrá dada por:

$$X_o = \frac{\omega_o}{s + \omega_{LP} - j\omega_{FI}} X_i \quad 7.12$$

Teniendo en cuenta que:

$$X_i = X_{iI} + jX_{iQ} \quad 7.13$$

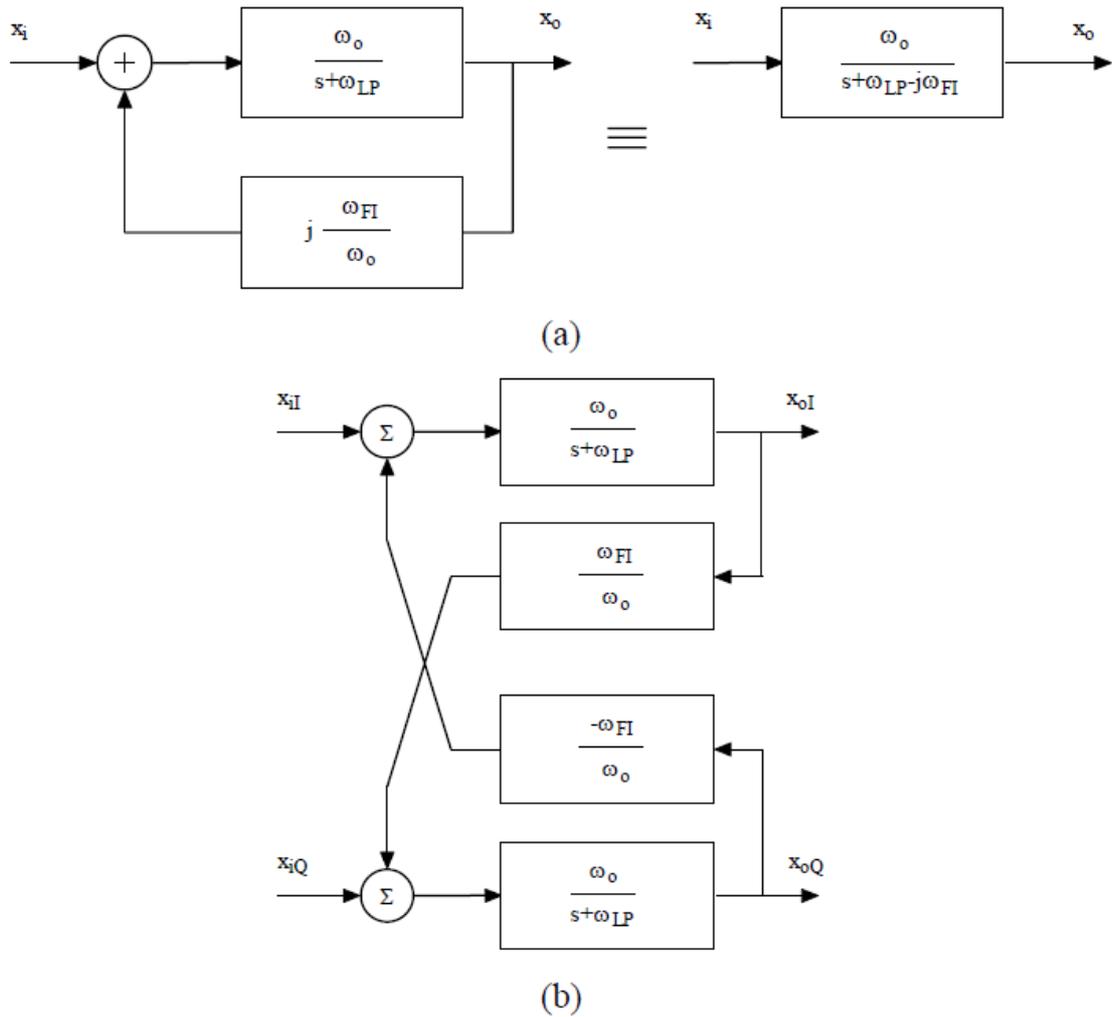
$$X_o = X_{oI} + jX_{oQ} \quad 7.14$$

La ecuación 7.12 se puede reescribir de la siguiente manera:

$$X_{oI} = \frac{\omega_o}{s + \omega_{LP}} \left( X_{iI} - \frac{\omega_{FI}}{\omega_o} X_{oQ} \right) \quad 7.15$$

$$X_{oQ} = \frac{\omega_o}{s + \omega_{LP}} \left( X_{iQ} - \frac{\omega_{FI}}{\omega_o} X_{oI} \right) \quad 7.16$$

Esta distinción entre la componente en fase y en cuadratura se hace en la práctica tal y como se muestra en la Figura 7.9 (b).



**Figura 7.9 - Conversión de un filtro paso bajo a uno polifásico centrado en  $\omega_{FI}$ . (a) Representación compleja (b) Implementación mediante diagramas de bloques**

La traslación en frecuencias

$$H(s) \rightarrow H(s - j\omega_{FI}) \quad 7.17$$

o lo que es lo mismo

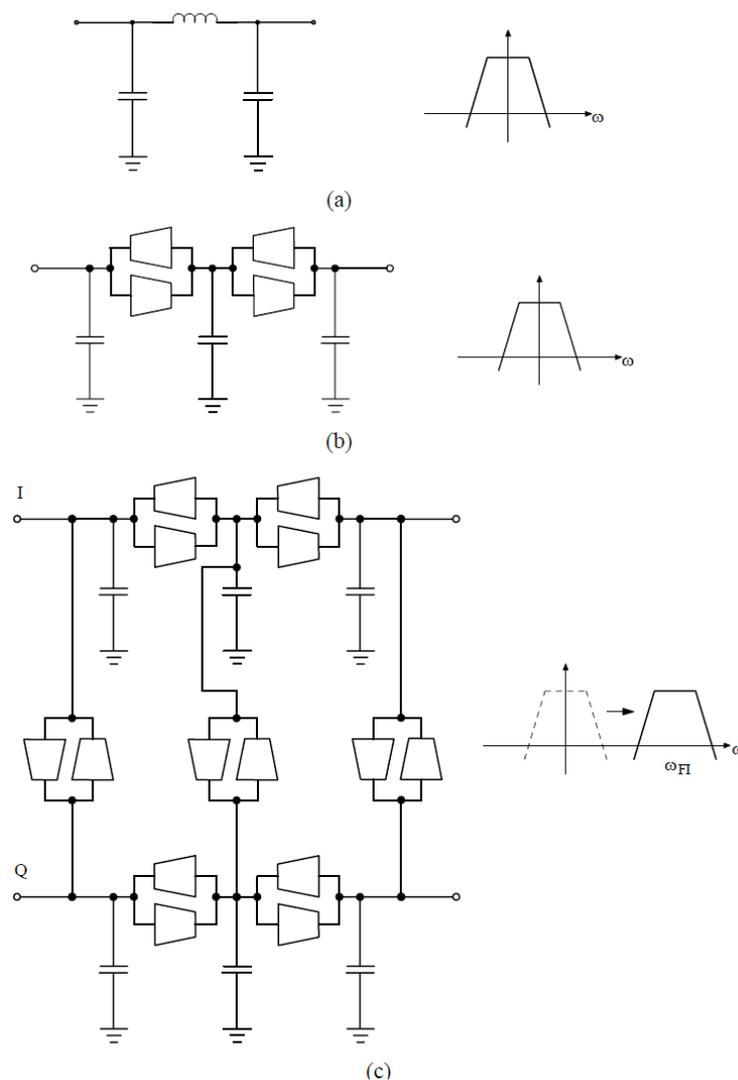
$$H(j\omega) \rightarrow H(j(\omega - j\omega_{FI})) \quad 7.18$$

se puede usar de forma directa para generar la estructura de un filtro paso banda polifásico basado en la técnica  $g_m$ -C, ya que dicha traslación se puede aplicar a cada elemento reactivo en el filtro pasivo paso bajo prototipo. Así, si nos fijamos en un condensador C cualquiera, éste se convierte a:

$$j\omega C \rightarrow j(\omega - j\omega_{FI})C = j\omega C - j\omega_{FI}C \quad 7.19$$

donde  $\omega_{FI} \cdot C$  es una conductancia con un valor independiente de la frecuencia. Esta traslación se podrá hacer solamente si se tienen señales en cuadratura tal y como se ha comentado anteriormente.

En la Figura 7.10 se muestra un ejemplo de la utilización de esta técnica. El filtro paso bajo C-L-C de la Figura 7.10(a) se convierte en un filtro gm-C paso bajo en la Figura 7.10 (b). La versión polifásica del filtro se muestra en la Figura 7.10 (c), la cual está compuesta por dos filtros como el de la Figura 7.10 (b) más los circuitos de traslación [16].

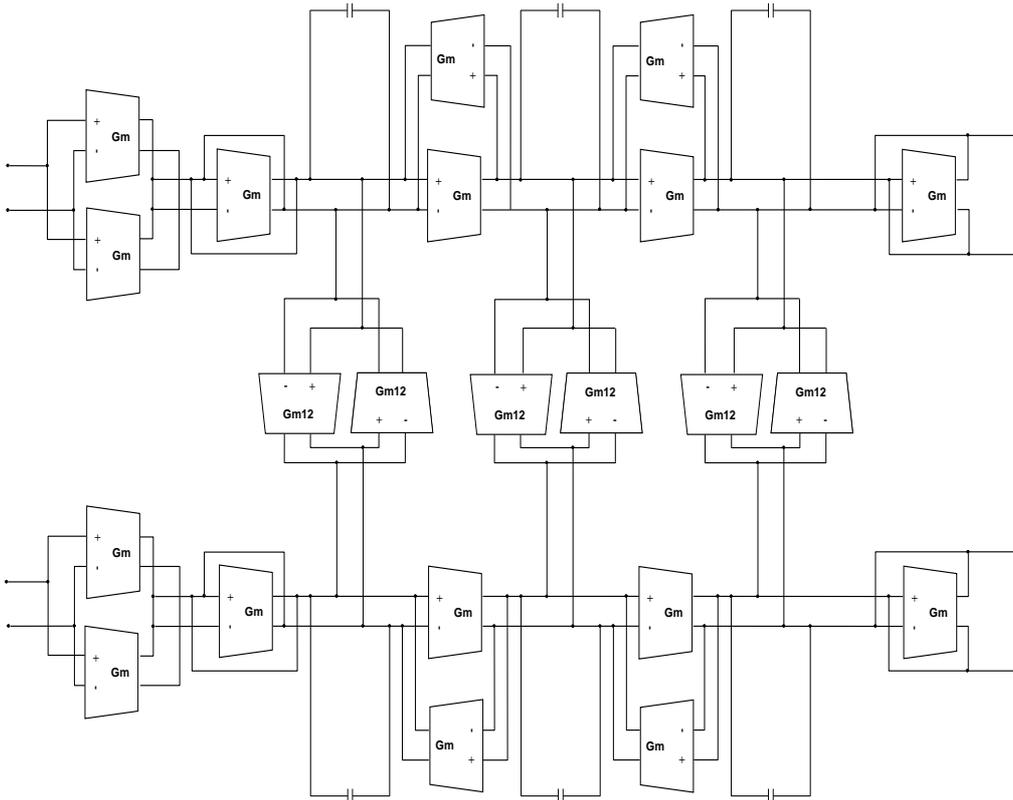


**Figura 7.10 - Filtro C-L-C, (b) implementación gm-C, (c) implementación gm-C polifásica**

Una vez explicados los conceptos teóricos de un filtro polifásico y su función en un receptor como el que se ha diseñado, se presenta el filtro polifásico que se ha incluido en el diseño del receptor obtenido. La topología por la que se ha optado es un filtro Butterworth de tercer orden implementado mediante la técnica gm-C. La principal ventaja

de esta topología es que las pérdidas de inserción, típicas de los filtros pasivos, se compensan con el transconductor de la etapa de entrada. Además, se puede conseguir una buena relación de compromiso entre potencia, frecuencia de trabajo y ruido [18].

Tal y como se puede observar en la Figura 7.11, la estructura consiste en dos filtros Butterworth de tercer orden gm-C paso bajo para las ramas I y Q. Además, se incluyen dos ramas adicionales por integrador que permiten transformar los prototipos paso bajo en su correspondiente paso banda complejo o polifásico.



**Figura 7.11 - Estructura del filtro polifásico**

Con el objetivo de reducir el consumo, se utilizan transconductores basados en inversores tanto para la rama I como para la rama Q (ver Figura 7.12(b)). El mayor inconveniente que presenta este tipo de transconductor es la dificultad de fijar los niveles de continua. Para mantener la estabilidad de tensión en modo común a la salida, se han incluido transconductores de Nauta (Figura 7.12 (a)) en las ramas adicionales que conectan la rama I con la rama Q. En este tipo de transconductor, los inversores  $Inv_3$ ,  $Inv_4$ ,  $Inv_5$  e  $Inv_6$  se utilizan para mantener la estabilidad en modo común y mejorar la ganancia [19].

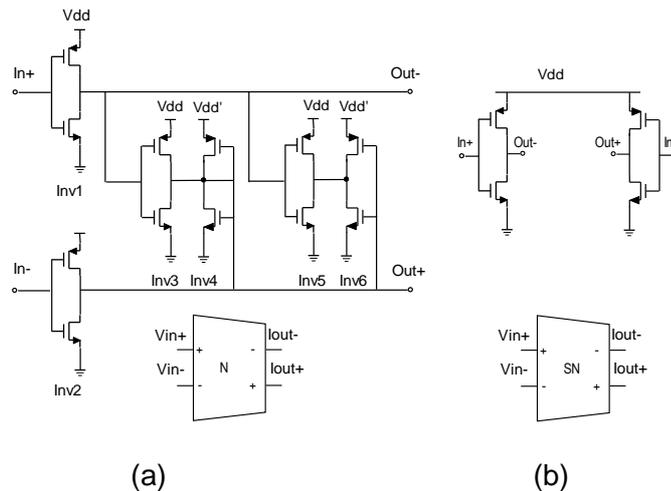


Figura 7.12 - (a) Transconductor de Nauta, (b) Transconductor de Nauta simplificado

## 7.4. Receptor completo

El receptor completo se ha obtenido uniendo al cabezal de recepción y al filtro descritos en los apartados anteriores el amplificador de ganancia programable diseñado en este trabajo fin de grado. Una vez hecho esto se procederá a realizar las simulaciones pertinentes.

Como generador de la señal de entrada del cabezal de recepción se ha incluido un generador de tonos de una potencia igual a  $-85$  dBm, centrada en 2.4 GHz. Esto se ha decidido así puesto que la sensibilidad de un receptor para el estándar 802.15.4 está definida a ese valor. Es decir, el valor mínimo de potencia a la entrada para que el receptor funcione correctamente es de  $-85$  dBm. A continuación, se conecta el LNA, que es el primer elemento de la cadena de recepción. Como ya se ha comentado, el LNA tiene dos condensadores de desacoplo, uno para desacoplar el LNA con respecto a la entrada, y otro con respecto al resto del circuito. Tras el LNA se encuentra el mezclador en cuadratura, con la señal del oscilador local que se ha comentado anteriormente. A la salida de cada una de las ramas del mezclador se conecta un TIA que convierte la señal en corriente a señal en tensión. Tras estos amplificadores se conecta el filtro polifásico que, al igual que el TIA está alimentado con una tensión de 1.4V, puesto que como se ha comentado anteriormente, ambos circuitos estarán controlados por un circuito regulador (tuning circuit). Por último, a la salida del filtro polifásico se encuentra el PGA diseñado en este trabajo. En la Figura 7.13 se puede observar el esquemático del cabezal completo, una vez que se han unido todos los elementos.



Tras realizar todas las conexiones de los distintos elementos, ya se tiene el circuito preparado para realizar las simulaciones pertinentes y obtener los resultados para su posterior análisis.

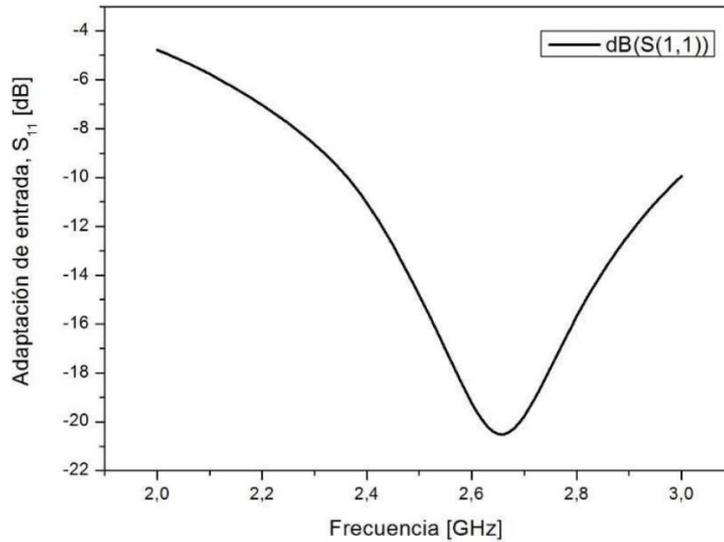
En primer lugar, se realizaron medidas del consumo del receptor. Para ello se calculó el consumo de cada uno de los elementos por separado y se sumaron para obtener el total. Para hallar el consumo de cada elemento se realizará la operación  $P = V \cdot I$ , donde  $V$  es la tensión de alimentación del dispositivo e  $I$  su consumo de corriente. Cabe destacar que el mezclador al ser pasivo no consume potencia.

**Tabla 8 – Consumo total del circuito**

<b>Circuito</b>	<b>Tensión de alimentación (V)</b>	<b>Consumo de corriente (A)</b>	<b>Consumo de potencia (W)</b>
LNA	1.8	1.70 m	3.006 m
TIA	1.4	60 $\mu$	0.084 m
FILTRO POLIFÁSICO	1.4	0.77 m	1.19 m
PGA	1.4	1.40 m	1.96 m
CIRCUITO COMPLETO	-	-	6.24 m

Una característica importante en un receptor de RF es la adaptación de entrada. Esta es llevada a cabo por el LNA, puesto que es el primer elemento del cabezal de recepción. Es común que el LNA esté conectado directamente a la antena, aunque a veces se implementa antes un filtro duplexor o un conmutador entre el bloque de recepción y el de transmisión de selección de canal antes. De cualquier manera, el LNA debe adaptar la señal entrante para que el cabezal de recepción pueda funcionar correctamente.

Para hallar la adaptación de entrada, se ha calculado el parámetro  $S_{11}$  que representa la adaptación de entrada de un circuito de RF. Si la entrada está adaptada significa que no debería haber potencia reflejada, y, por tanto,  $S_{11} = 0 + j0$ . En este caso, se ha obtenido una adaptación de entrada calculada a 2.4 GHz de -11 dB, tal y como se muestra en la Figura 7.14.



**Figura 7.14 - Adaptación de entrada**

En cuanto a la ganancia y la figura de ruido, se puede argumentar que son dos de los parámetros más importantes a la hora de diseñar un receptor de RF para tecnologías inalámbricas. Teniendo esto en cuenta, en primer lugar, se halló tanto la ganancia como la NF para toda la banda de frecuencia del estándar 802.15.4, que va desde los 2.4 GHz hasta los 2.4835 GHz. Para ello se realizó una simulación de balance de armónicos (Harmonic Balance). Este tipo de simulación es ideal para simular circuitos no lineales y de radiofrecuencia. En este caso, además, se realizó un barrido de la frecuencia RF de entrada para toda la banda y se tomaron los datos de simulación en el centro de cada canal.

En la Figura 7.15 hemos representado el máximo nivel de ganancia (haciendo que cada componente de su máximo nivel de amplificación) y el nivel de ruido en el mismo modo. La figura de ruido varía entre los 11.5 y 12.5 dB para toda la banda mientras que la ganancia permanece prácticamente constante con un valor de 86 dB.

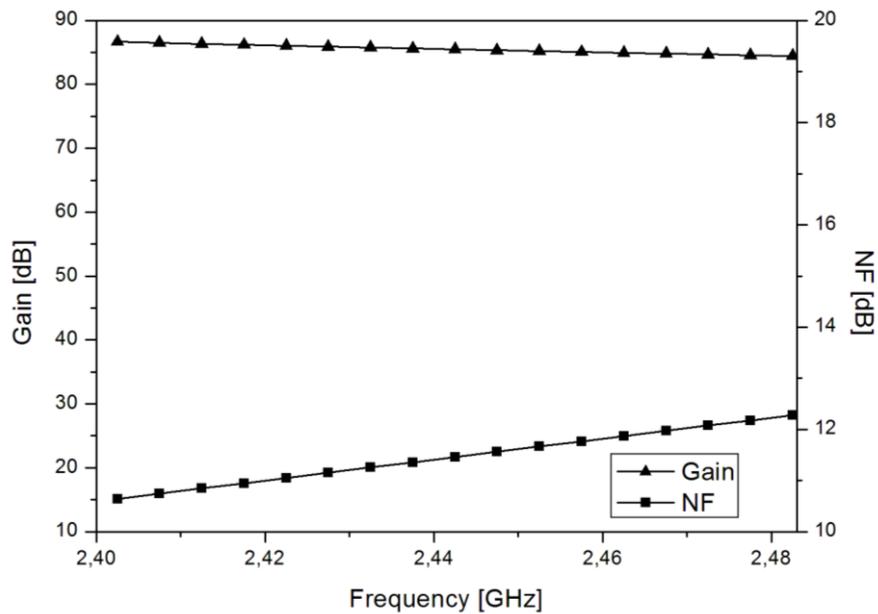


Figura 7.15 - Ganancia y nivel de ruido del receptor

Hemos simulado el valor del nivel de ruido para un canal obteniendo un valor constante de aproximadamente 11.5 dB. A frecuencias bajas hay un pequeño pico debido al ruido 1/f (ver Figura 7.16). Por otro lado, en la Figura 7.17 representamos la respuesta en frecuencia del receptor. Como podemos ver, la máxima ganancia es de 87 dB y el rechazo de imagen de canal adyacente es de unos 34 dB.

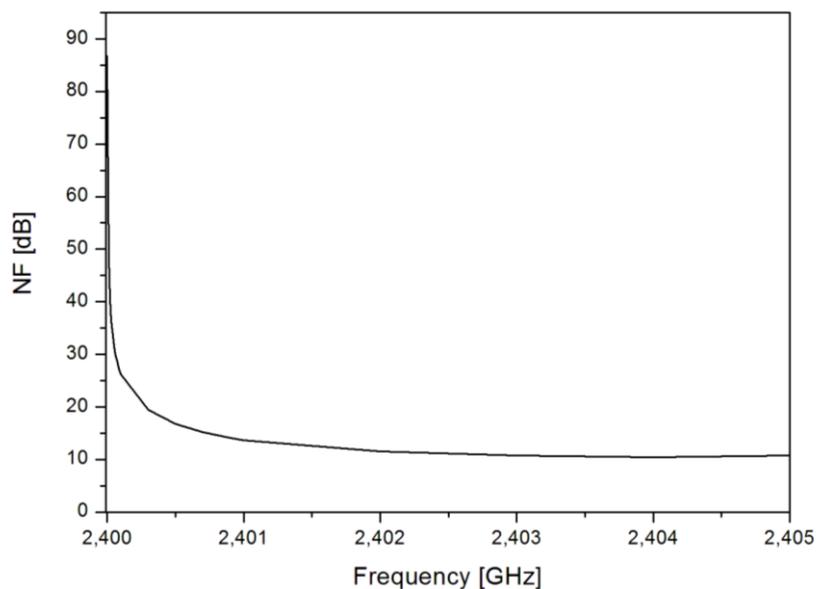
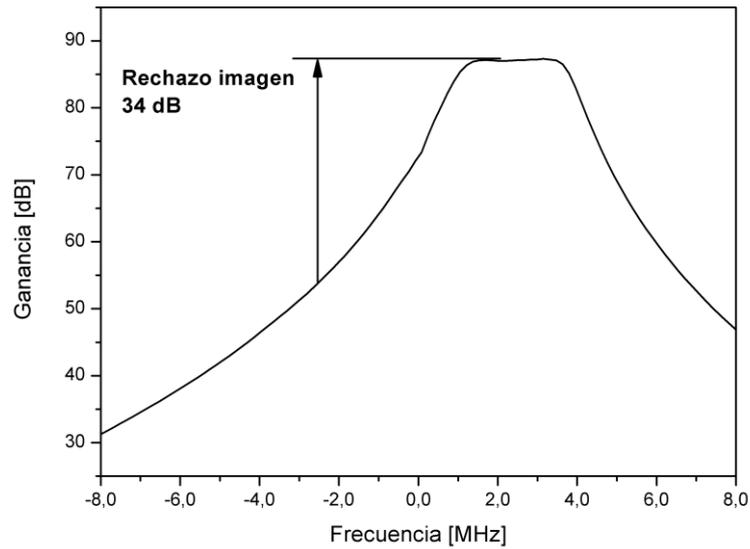


Figura 7.16 - Nivel de ruido para un canal



**Figura 7.17 - Respuesta en frecuencia del receptor**

Como podemos observar en la Tabla 9 el LNA proporciona una ganancia mínima de 4 dB y una ganancia máxima de 18 dB. El TIA trabaja con una ganancia mínima de 1 dB y una máxima de 24. Por lo tanto, el rango de ganancias del cabezal de recepción va desde los 5 dB a los 42 dB, mientras que el nivel de ruido decrece a medida que la ganancia aumenta. En el estándar IEEE 802.15.4 se especifica que cuando la potencia de entrada se incrementa, se toleran las subidas del nivel de ruido, por lo que el resultado es aceptable. De acuerdo con el estándar, la señal de entrada varía entre unos -85 dBm de sensibilidad hasta un máximo valor de -20 dBm, con un nivel de ruido que debe estar en el rango de 15.5 a 78 dB.

**Tabla 9 - Modos de ganancia del cabezal de recepción**

LNA [dB]	TIA [dB]	Front-end [dB]	Front-end NF [dB]
4	1	5	43
18	1	19	28
4	24	28	25
18	24	42	10.3

Como hemos dicho anteriormente, la ganancia del PGA se puede hacer variar con una palabra de control. Además, el cabezal de recepción proporciona cuatro modos de ganancia, resumidos en la tabla anterior. Como podemos observar en la Figura 7.18, la ganancia varía linealmente en escala logarítmica para los cuatro modos de ganancia. Se obtiene un mínimo de 5 dB y un máximo de 87 dB.

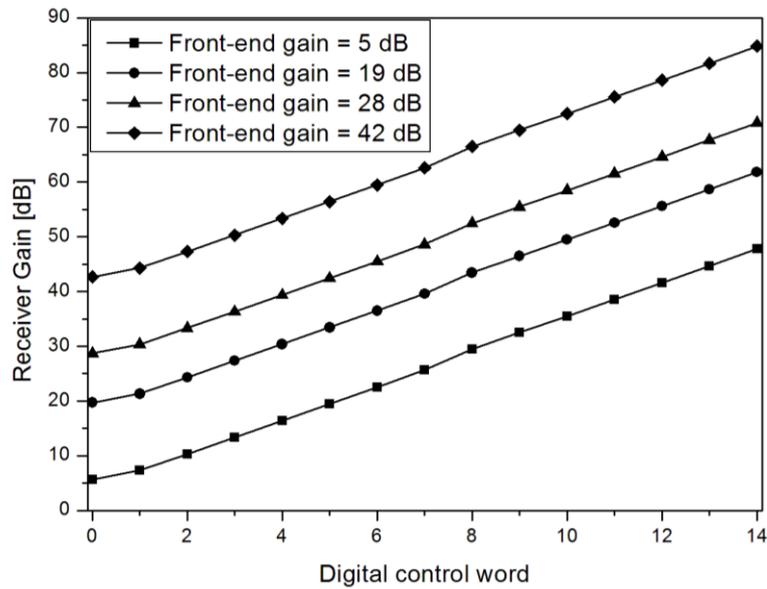


Figura 7.18 - Ganancias del receptor dependiendo del valor de la palabra de control

Por último, hemos simulado el punto de intercepción de tercer orden (IIP3) para máxima ganancia. Para hallar el IIP3 se aplican dos tonos a la entrada, se varía la potencia de entrada y se mide la potencia de la señal de salida y la de los productos de intermodulación. De esta forma, se pueden generar las curvas de la potencia de salida tanto de la señal fundamental como de la señal producto de la distorsión de tercer orden, lo cual permite hallar el punto de intercepción. En este caso se ha obtenido un IIP3 de aproximadamente -14 dBm cuando se aplican a la entrada dos tonos espaciados 500 kHz con respecto al centro del canal, tal y como se muestra en la Figura 7.19.

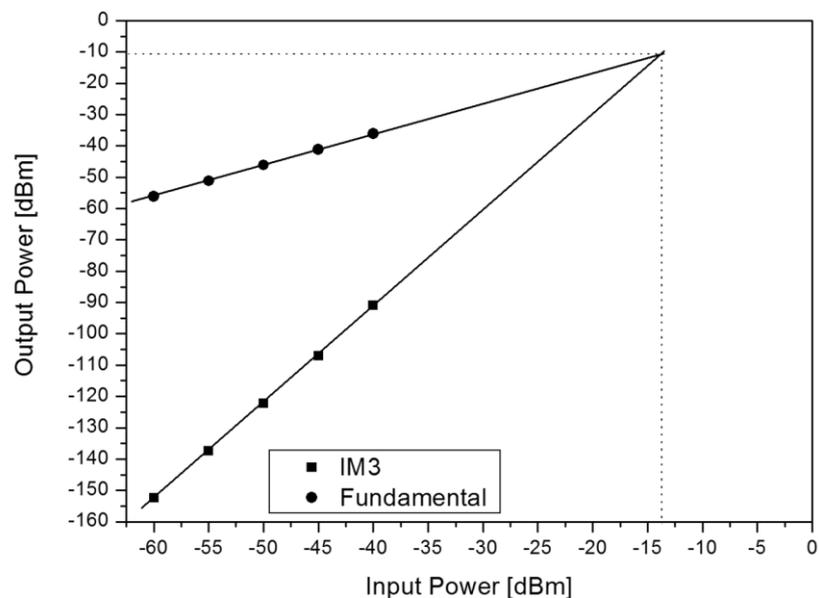


Figura 7.19 - IIP3 del receptor completo

En aplicaciones de RF, interesa que el valor del IIP3 sea lo más alto posible ya que eso significa que el circuito deja de ser lineal para un valor de potencia de entrada elevado. Por tanto, el circuito será lineal para un mayor rango de potencia de entrada.

## 7.5. Conclusiones

En este capítulo, se habló acerca del receptor del que forma parte el amplificador de ganancia programable desarrollado en este trabajo de fin de grado. Para ello, se introdujeron los circuitos que forman el cabezal de recepción. Este cabezal de recepción está compuesto, a su vez, por un amplificador de bajo ruido, dos mezcladores en cuadratura, los amplificadores de transimpedancia y el filtro polifásico. Tal y como ya se ha comentado, el cabezal y el filtro han sido diseñados de forma paralela a este proyecto. Finalmente se unieron todos los circuitos conformando, de esa forma, el receptor.

Por último, se realizaron una serie de simulaciones al receptor completo para ver las prestaciones que este ofrecía. Una vez hecho esto, se analizaron los resultados obtenidos y se confirmó que el receptor cumplía las especificaciones del estándar.

El receptor proporciona una ganancia máxima de 87 dB con 80 dB de variación, una figura de ruido mínima de 11.5 dB, 36 dBc de rechazo de imagen y un IIP3 de -14 dBm. Los resultados alcanzados superan los requisitos del estándar, todo ello con un alto nivel de integración y un consumo de energía muy contenido.

En el siguiente capítulo mostraremos las conclusiones finales de este trabajo fin de grado y las líneas futuras en las que se trabajará.



# Capítulo 8. Conclusiones y trabajo futuro

## 8.1. Introducción

Una vez finalizado el diseño del amplificador de ganancia programable, en este capítulo expondremos las conclusiones obtenidas a lo largo del trabajo. Además, especificaremos las tareas propuestas para la continuación del diseño del receptor y para la mejora del funcionamiento del amplificador operacional.

## 8.2. Resumen

El objetivo de este proyecto, como ya sabemos, ha sido el diseño de un amplificador de ganancia programable con la tecnología CMOS 0.18  $\mu\text{m}$  para el estándar IEEE 802.15.4.

Hemos comenzado introduciendo los objetivos generales del proyecto y, a continuación, en el capítulo 2 hemos realizado un estudio teórico de los transistores CMOS y de la metodología con la que hemos trabajado.

En el capítulo 3 hicimos una descripción básica de los PGA de la literatura actual y los clasificamos en función de varios parámetros. En el capítulo 4 describimos las topologías que forman los amplificadores operacionales, los distintos tipos que existen y las características más importantes de cada una.

La fase de diseño comienza con la elaboración de un amplificador operacional con entrada diferencial y salida asimétrica (capítulo 5). Se ha diseñado mediante la metodología  $g_m/I_D$ . A continuación, partiendo del operacional obtenido construimos un PGA con entrada y salida asimétricas.

En el capítulo 6, en primer lugar, diseñamos un operacional con entrada y salida diferenciales para a continuación elaborar un amplificador de ganancia programable.

Hasta este punto habíamos utilizado una alimentación diferencial (-0.7 a 0.7 V), pero teniendo en cuenta el receptor en el que íbamos a incluir el PGA, cambiamos la tensión de alimentación a 1.4 V referenciados a tierra. De esta manera el receptor completo trabajará con las mismas tensiones de alimentación. Lo único que cambia en el amplificador operacional diseñado es el nivel de referencia, que pasa de ser 0 a ser 0.7 V, manteniéndose el resto del amplificador operacional con el mismo diseño

Por último, en el capítulo 7, incluimos el PGA diferencial-diferencial en un cabezal de recepción y comprobamos el correcto funcionamiento que proporciona al receptor completo.

### 8.3. Resultados y líneas futuras de trabajo

En los capítulos 6 y 7 hemos representado todos los resultados obtenidos tanto para el amplificador de ganancia programable como para el receptor completo. Hemos comprobado que se han cumplido todas las especificaciones impuestas y que hemos conseguido los objetivos planteados.

Si se comparan los resultados obtenidos con las especificaciones del estándar 802.15.4 para receptores de RF, se puede apreciar que el PGA junto con el resto del receptor diseñado cumple con las especificaciones y, por tanto, posee un rendimiento adecuado para este tipo de circuito.

Por otro lado, para obtener una visión más global de los resultados obtenidos y del rendimiento del receptor diseñado, se ha realizado una comparación con otras soluciones propuestas para circuitos de este tipo, la cual se muestra en la Tabla 10. Los otros modelos con los que se ha comparado este receptor diseñado son soluciones propuestas anteriormente para el mismo estándar y con las mismas tecnologías. En [1], el modelo sólo incluye el LNA y el mezclador en cuadratura. En [2] y en [17], además del cabezal de recepción, se ha incluido un amplificador de ganancia programable (PGA). Estas diferencias se deben tener en cuenta a la hora de comparar los resultados obtenidos en cada caso.

**Tabla 10 - Comparación del receptor con el PGA diseñado con otros modelos de la literatura**

Referencia	[2] (LNA+MIX+TIA +PGA)	[1] (LNA+MIX)	[17] (LNA+MIX+ PGA)	Este trabajo (LNA+MIX+TIA+ PGA)
<b>Tecnología CMOS [μm]</b>	0.18	0.18	0.18	0.18
<b>Ganancia [dB]</b>	86	30	-	87
<b>NF [dB]</b>	8.5	7.3	<10	11.5
<b>IIP<sub>3</sub> [dB]</b>	-8	-8	>-15	-14
<b>Consumo de potencia [mW]</b>	12.63	6.3	10.8	6.24

Como se puede observar, todos los modelos que se muestran han sido diseñados con tecnología CMOS de 0.18 μm.

Observando los niveles de ganancia, nuestro receptor consigue un valor de ganancia similar a [2] pero reduciendo considerablemente el consumo con respecto a ese trabajo y también con los demás circuitos. Incluso conseguimos consumir menos que en [1] a pesar de que únicamente implementan un LNA y un mezclador en cuadratura.

Respecto a la NF, nuestro receptor presenta un valor ligeramente superior al resto de modelos presentados, si bien se mantiene dentro de las especificaciones del estándar. Esto se debe a que nuestro principal objetivo de diseño ha sido el de reducir el consumo.

A pesar de que el resultado se ajusta a los valores esperados, este trabajo tiene continuidad en aspectos como el de buscar alternativas a la compensación realizada en el amplificador operacional que minimice el número de condensadores de compensación a utilizar y, de esta manera, permita reducir el área del circuito. Además, el diseño del transceptor en el que se incluye el receptor utilizado en este trabajo no se encuentra finalizado, pues falta incluir un oscilador local. Este trabajo forma parte de una línea de investigación más compleja en la que intervienen más proyectos de este tipo, algunos diseñados con anterioridad o simultáneos a este.

Una aportación importante de este trabajo ha sido la redacción de un artículo en inglés conjuntamente con otros alumnos y tutores, que describe de una manera resumida la estructura PGA diseñado, así como los resultados obtenidos para las simulaciones del receptor completo. Este artículo ha sido enviado y aceptado para su

publicación en la XXXI Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: Design of Circuits and Integrated Systems). En el Anexo IV se muestra el artículo que se menciona.

## Anexo I. Referencias

[1] Trung-Kien Nguyen, V. Krizhanovskii, Jeongseon Lee, Seok-Kyun Han, Sang-Gug Lee, Nae-Soo Kim and Cheol-Sig Pyo. A low-power RF direct-conversion receiver/transmitter for 2.4-GHz-band IEEE 802.15.4 standard in 0.18- CMOS technology. *Microwave Theory and Techniques, IEEE Transactions On* 54(12), pp. 4062-4071. 2006. DOI: 10.1109/TMTT.2006.885556.

[2] L. Weiyang, C. Jingjing, W. Haiyong and W. Nanjian. A low power 2.4 GHz transceiver for ZigBee applications. *Journal of Semiconductors* 34(8), pp. 085007. 2013. Disponible: <http://stacks.iop.org/1674-4926/34/i=8/a=085007>.

[3] E. Ortega García, "Diseño de un modulador sigma-delta en la tecnología 90nm de UMC," en *Diseño De Un Modulador Sigma-Delta En Tiempo Continuo Para Un PLL N-Fraccional En Tecnología UMC 90 Nm*, 2013.

[4] C. T. Sah. Characteristics of the metal-oxide-semiconductor transistors. *IEEE Transactions on Electron Devices* 11(7), pp. 324-345. 1964. DOI: 10.1109/T-ED.1964.15336.

[5] P. Jespers. *The Gm/ID Methodology, a Sizing Tool for Low-Voltage Analog CMOS Circuits: The Semi-Empirical and Compact Model Approaches* (1st ed.) 2009.

[6] F. P. Cortes, E. Fabris and S. Bampi. Analysis and design of amplifiers and comparators in CMOS 0.35  $\mu\text{m}$  technology. *Microelectronics Reliability* 44(4), pp. 657-664. 2004. DOI: <http://dx.doi.org/10.1016/j.microrel.2003.10.014>.

[7] Software y manuales ADS. Disponible: <http://www.agilent.com>.

[8] J. Masuch and M. Delgado-Restituto. A 1.1-mW-RX -dBm sensitivity CMOS transceiver for bluetooth low energy. *Microwave Theory and Techniques, IEEE Transactions On* 61(4), pp. 1660-1673. 2013. DOI: 10.1109/TMTT.2013.2247621.

[9] C. Hambeck, S. Mahlkecht and T. Herndl. A 2.4 $\mu$ W wake-up receiver for wireless sensor nodes with -71dBm sensitivity. Presented at 2011 IEEE International Symposium of Circuits and Systems (ISCAS). 2011. DOI: 10.1109/ISCAS.2011.5937620.

[10] N. Stanic, A. Balankutty, P. R. Kinget and Y. Tsvividis. A 2.4-GHz ISM-band sliding-IF receiver with a 0.5-V supply. *Solid-State Circuits, IEEE Journal Of* 43(5), pp. 1138-1145. 2008. DOI: 10.1109/JSSC.2008.920357.

[11] A. Balankutty, Shih-An Yu, Yiping Feng and P. R. Kinget. A 0.6-V zero-IF/low-IF receiver with integrated fractional-N synthesizer for 2.4-GHz ISM-band applications. *Solid-State Circuits, IEEE Journal Of* 45(3), pp. 538-553. 2010. DOI: 10.1109/JSSC.2009.2039827.

[12] Ickjin Kwon, Yunseong Eo, Seong-Sik Song, Kyudon Choi, Heungbae Lee and Kwyro Lee. A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4. Presented at Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE. 2006. DOI: 10.1109/RFIC.2006.1651136.

[13] Jongsik Kim, Seung Jun Lee, Seungsoo Kim, Jong Ok Ha, Yun Seong Eo and Hyunchol Shin. A 54–862-MHz CMOS transceiver for TV-band white-space device applications. *Microwave Theory and Techniques, IEEE Transactions On* 59(4), pp. 966-977. 2011. DOI: 10.1109/TMTT.2010.2103089.

[14] J. Masuch and M. Delgado-Restituto. A 55  $\mu$ W programmable gain amplifier with constant bandwidth for a direct conversion receiver. Presented at SPIE Microtechnologies. 2011.

## Anexo II. Presupuesto

En este capítulo se recoge un estudio económico con el coste total del diseño. Dicho presupuesto se divide en las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
  - Amortización del material hardware.
  - Amortización del material software.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Gastos de tramitación y envío.

Una vez analizados cada uno de los criterios establecidos, se aplicarán los impuestos vigentes y se procederá a la obtención del coste total del presente trabajo fin de grado.

### II.1. Trabajo tarifado por tiempo empleado

Este concepto contabiliza los gastos que corresponden a la mano de obra, según el salario correspondiente a la hora de trabajo de un graduado en ingeniería de telecomunicaciones. Se propone utilizar la siguiente fórmula:

$$H = 11,26 \cdot H_n + 20,27 \cdot H_e \text{ €} \quad \text{A.1}$$

Siendo:

- H son los honorarios totales por el tiempo dedicado.
- $H_n$  son las horas normales trabajadas dentro de la jornada laboral.
- $H_e$  son las horas especiales trabajadas.
- 11,26 y 20,27 son los costes de las horas normales y especiales trabajadas respectivamente

Se estima que para la realización del presente TFG se ha invertido un total de 300 horas, correspondientes con los 12 créditos ECTS y que todas ellas se han realizado dentro del horario normal, por lo que el número de horas especiales es cero.

Teniendo en cuenta estos datos, el coste total de honorarios asciende a:

$$H = 11,26 \cdot 300 + 20,27 \cdot 0 = 3.378,00 \text{ €} \quad \text{A.2}$$

El trabajo tarifado por tiempo empleado asciende a la cantidad de tres mil trescientos setenta y ocho euros.

## II.2. Amortización del inmovilizado material

En el inmovilizado material se consideran tanto los recursos hardware como software empleados para la realización de este TFG.

Se estipula el coste de amortización para un periodo de 3 años utilizando un sistema de amortización lineal, en el que se supone que el inmovilizado material se deprecia de forma constante a lo largo de su vida útil. La cuota de amortización anual se calcula haciendo uso de (A.3)

$$Cuota\ anual = \frac{Valor\ de\ adquisición - Valor\ residual}{Número\ de\ años\ de\ vida\ útil} \quad \text{A.3}$$

donde el valor residual es el valor teórico que se supone que tendrá el elemento en cuestión después de su vida útil.

## II.3. Amortización del material hardware

La duración de este trabajo fin de grado es de 4 meses, por tanto, es inferior al periodo de 3 años estipulado para el coste de amortización, así que los costes serán los derivados de los primeros 4 meses.

En la Tabla 11 se muestra el hardware necesario para la realización del trabajo, indicando para cada elemento su valor de adquisición, valor residual y coste de amortización, teniendo en cuenta un tiempo de uso de 4 meses.

**Tabla 11 - Precios y costes de amortización del hardware**

Descripción	Tiempo de uso	Valor de adquisición	Valor residual	Coste de la amortización
Ordenador portátil Asus F555L-15.6"	4 meses	599,00 €	200,00 €	44,33 €
Ordenador de sobremesa	4 meses	400,00 €	150,00 €	27,78 €
Total		999,00€	350,00 €	72,11 €

El coste total del material hardware asciende a setenta y dos euros con once céntimos.

### II.3.1. Amortización del material hardware

Para el cálculo de los costes de amortización del material software se considerarán, al igual que con el material hardware, los costes derivados de los primeros 4 meses, pues ésta ha sido la duración del trabajo.

La Tabla 12 muestra los elementos software necesarios para la realización del trabajo, así como su valor de adquisición, valor residual y coste de amortización.

**Tabla 12 – Precios y costes de amortización del software**

Descripción	Tiempo de uso	Valor de adquisición	Valor residual	Coste de la amortización
Sistema Operativo Windows 10 Home	4 meses	0,00 €	0,00 €	0,00 €
Licencia anual ADS 2009	4 meses	1722,23 €	0,00 €	191,36 €
Microsoft Office 2016	4 meses	0,00 €	0,00 €	0,00 €
Open Office 4.1.2	4 meses	0,00 €	0,00 €	0,00 €
Origin 8	4 meses	0,00 €	0,00 €	0,00 €
X2Go Client	4 meses	0,00 €	0,00 €	0,00 €
Total		1722,23 €	0,00 €	191,36 €

Finalmente, el coste total del material software es de ciento noventa y un euros con treinta y seis céntimos

## II.4. Redacción del trabajo

Utilizando la ecuación A.4 calcularemos el coste asociado a la redacción de la memoria del trabajo.

$$R = 0,07 \cdot P \quad \text{A.4}$$

Donde:

- R son los honorarios
- P es el presupuesto

El valor del presupuesto P se calcula sumando los costes de las secciones anteriores correspondientes al trabajo tarifado por tiempo empleado y a la amortización del inmovilizado material, tanto hardware como software. Esta suma de los costes se muestra en la

$$R = 0,07 \cdot 3641,47 = 254,90 \text{ €} \quad \text{A.5}$$

**Tabla 13 - Presupuesto incluyendo trabajo tarifado y amortización del inmovilizado material**

Descripción	Coste
Trabajo tarifado por tiempo empleado	3.378,00 €
Amortización del material hardware	72,11 €
Amortización del material software	191,36 €
<b>Total</b>	<b>3.641,47 €</b>

## II.5. Derechos del visado del COITT

El COIT establece que, para proyectos técnicos de carácter general, los derechos de visado se calculan en base a

$$V = 0,0035 \cdot P \cdot C \quad \text{A.6}$$

Donde:

- V es el coste de visado del trabajo
- P es el presupuesto del proyecto
- C es el coeficiente reductor en función del presupuesto

El valor del presupuesto P se halla sumando los costes de las secciones anteriores correspondientes al trabajo tarifado por tiempo empleado, a la amortización del inmovilizado material, tanto hardware como software, y a la redacción del documento. Esta suma se muestra en la tabla X. el coeficiente C para proyectos de presupuesto inferior a 30.050,00 € es de 1.

**Tabla 14 - Presupuesto incluyendo trabajo tarifado, amortización y redacción del trabajo**

Descripción	Coste
Trabajo tarifado por tiempo empleado	3.378,00 €
Amortización del material hardware	72,11 €
Amortización del material software	191,36 €
Redacción del trabajo	254,90 €
<b>Total</b>	<b>3.896,37 €</b>

Así, aplicando la ecuación A.6 con los datos de la Tabla 14 y el coeficiente especificado se obtiene:

$$V = 0,0035 \cdot 3.896,37 \cdot 1 = 13,64 \text{ €} \quad \text{A.7}$$

Los costes por derechos de visado del proyecto ascienden a trece euros con sesenta y cuatro céntimos.

## II.6. Gastos de tramitación y envío

Los gastos de tramitación y envío están estipulados en seis euros (6,00 €) por cada documento visado de forma telemática

## II.7. Material fungible

Además de los recursos hardware y software, en este trabajo se han empleado otros materiales, como los folios, la tinta de la impresora, el encuadernado etc. Todos estos materiales quedan englobados como material fungible. En la Tabla 15 se recogen los costes asociados a cada uno de estos recursos.

**Tabla 15 - Costes del material fungible**

Descripción	Coste
Folios	5,00 €
Tinta de impresora	39,95 €
Encuadernación	6,00 €
CDs	5,00 €
<b>Total</b>	<b>55,95 €</b>

En total, los costes del material fungible ascienden a cincuenta y cinco euros con noventa y cinco céntimos.

## II.8. Aplicación de impuestos y coste total

La realización del presente TFG está gravada por el Impuesto General Indirecto Canario, I.G.I.C., con un siete por ciento (7 %). En la Tabla 16 se muestra el presupuesto final con los impuestos aplicados.

**Tabla 16 - Presupuesto total del Trabajo Fin de Grado**

Descripción	Coste
Trabajo tarifado por tiempo empleado	3.378,00 €
Amortización del material hardware	72,11 €
Amortización del material software	191,36 €
Redacción del trabajo	254,90 €
Derechos de visado del COITT	13,64 €
Gastos de tramitación y envío	6,00 €
Costes de material fungible	55,95 €
<b>Total (Sin IGIC)</b>	<b>3971,96 €</b>
IGIC (7%)	
<b>Total</b>	<b>4250,00 €</b>

## Anexo II. Presupuesto

El presupuesto total del trabajo “Diseño de un amplificador de ganancia programable para un receptor IEEE 802.15.4 en Tecnología CMOS 0.18” asciende a un total de cuatro mil doscientos cincuenta euros

El ingeniero proyectista

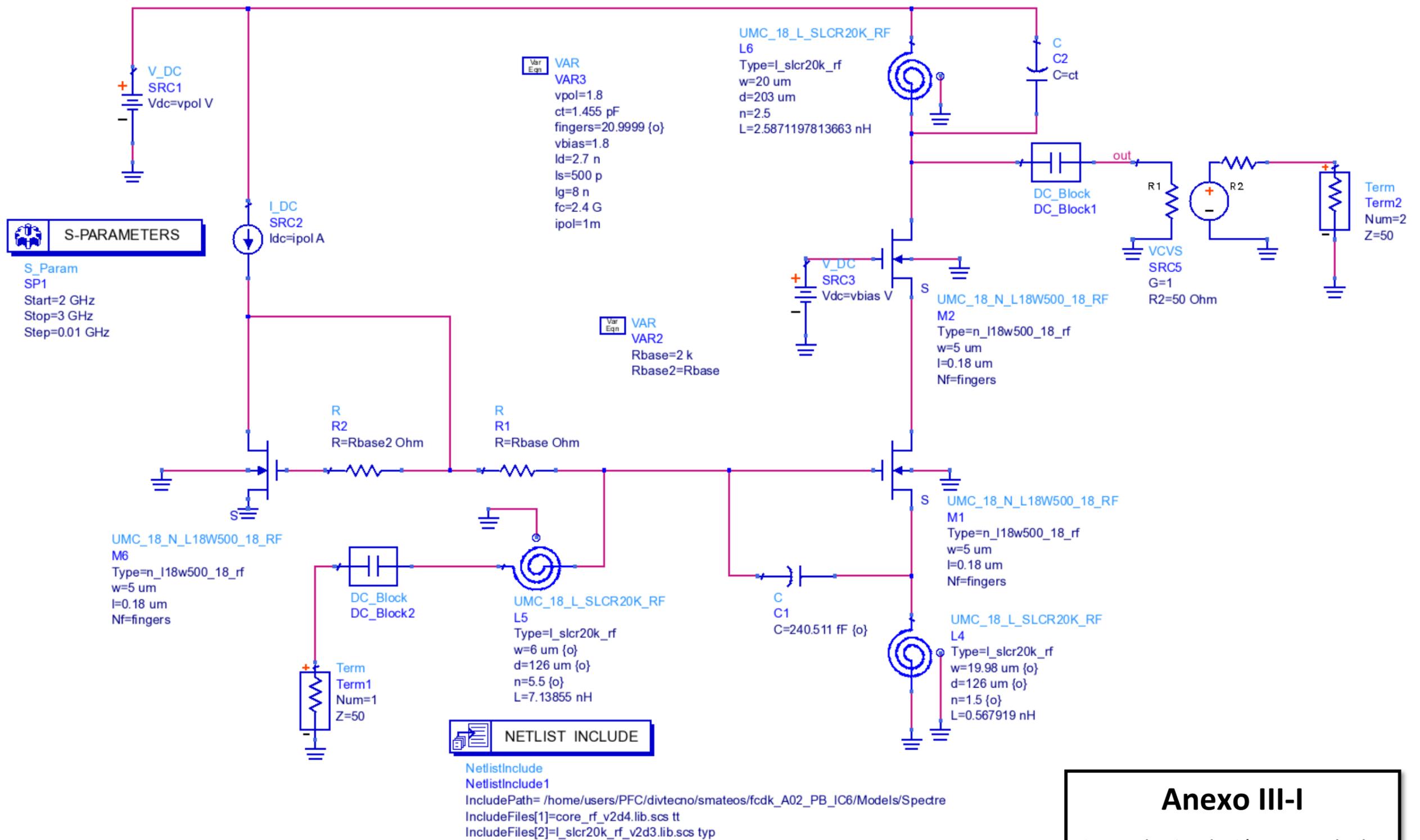
Fdo: D. Adán Cruz Ramón

En Las Palmas de Gran Canaria a 21 de Julio de 2016

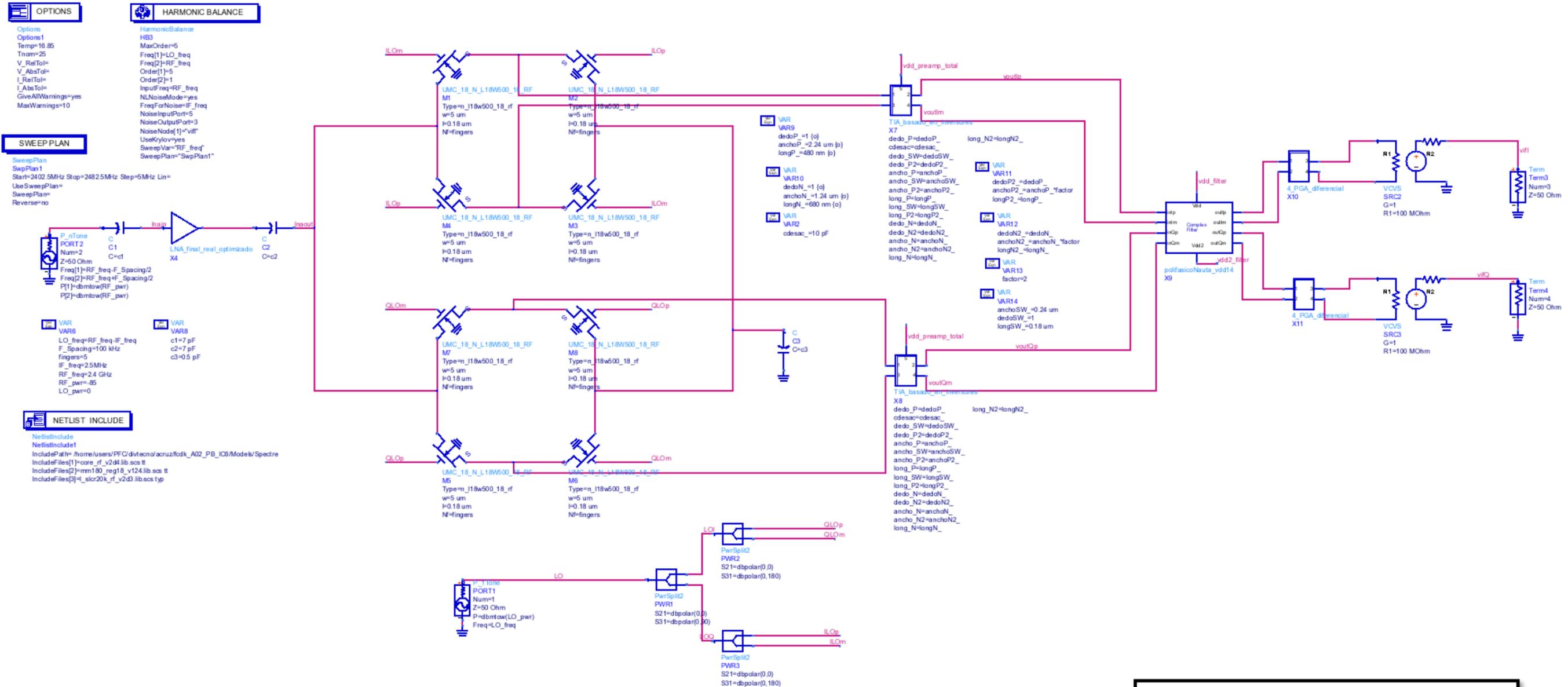


## Anexo III. Setups de simulación





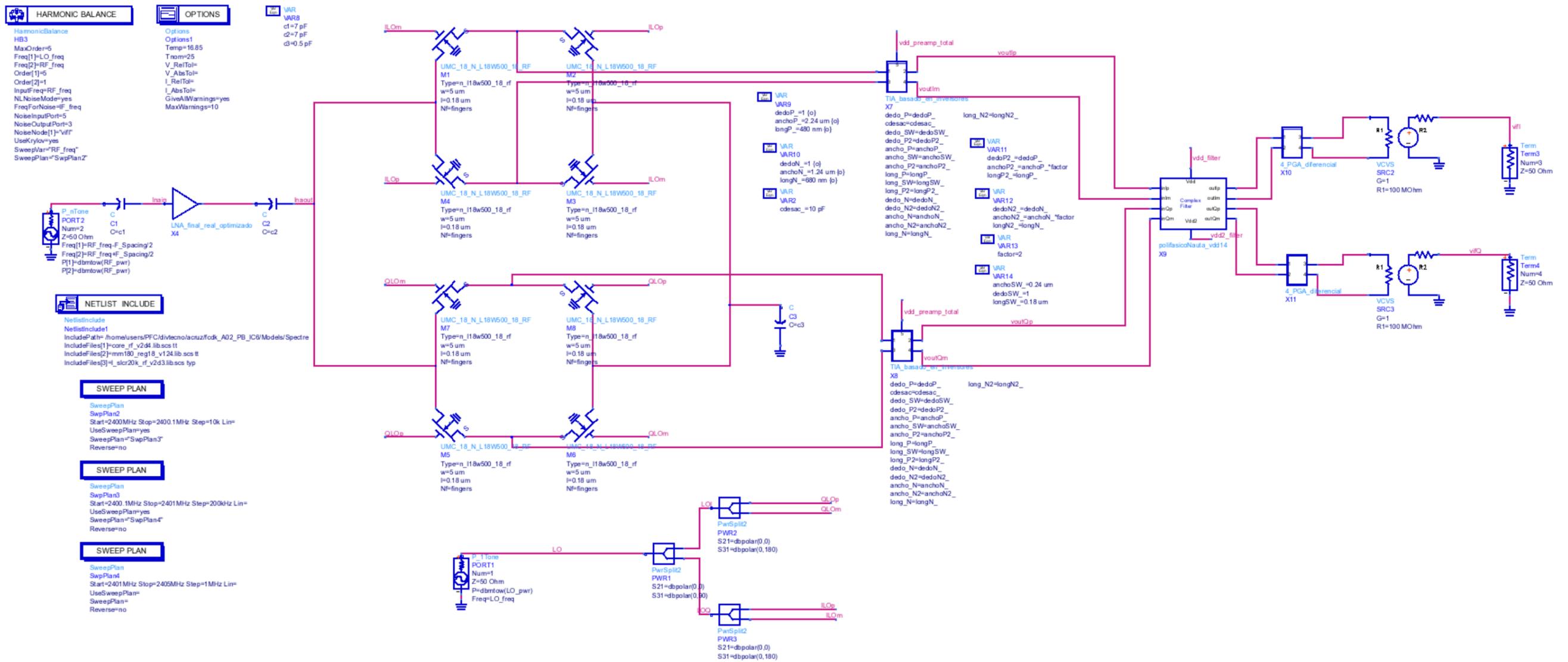
**Anexo III-I**  
Setup de simulación para calcular  
la adaptación de entrada



**Anexo III-II**

Setup de simulación para calcular la ganancia y la figura de ruido para toda la banda del estándar 802.15.4

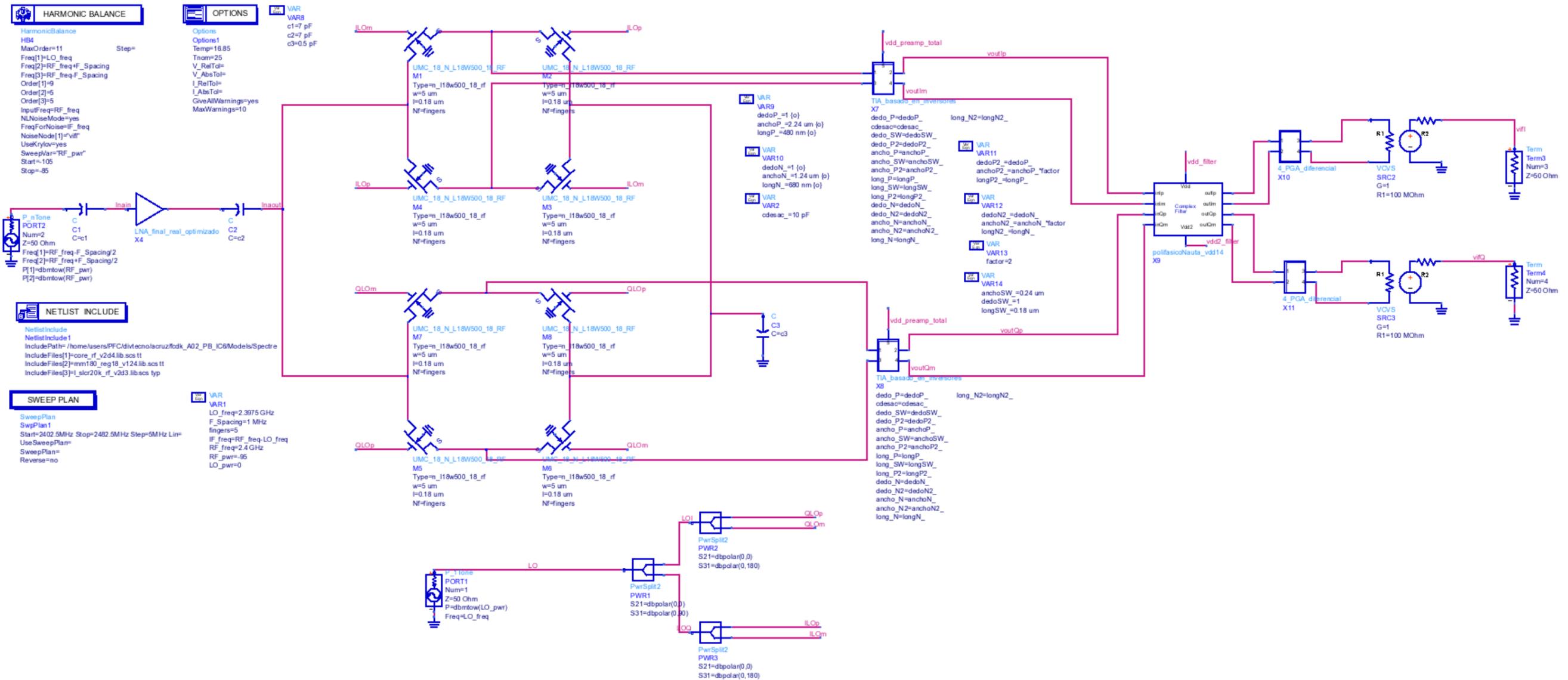
ANEXO III – Setups de simulación



**Anexo III-III**

Setup de simulación para calcular la figura de ruido de un canal del estándar 802.15.4





**Anexo III-V**  
 Setup de simulación para calcular el punto de intercepción IIP<sub>3</sub> del receptor

## Anexo IV. Paper



# A CMOS Programmable Gain Amplifier for 2.4-GHz-band IEEE 802.15.4 Standard

A. Cruz-Ramón, S. Mateos-Angulo, D. Mayor-Duarte, M. San Miguel-Montesdeoca S.L. Khemchandani and J. del Pino  
Institute for Applied Microelectronics (IUMA), Departamento de Ingeniería Electrónica y Automática  
Universidad de Las Palmas de Gran Canaria  
Las Palmas de Gran Canaria, Spain

**Abstract**—This paper introduces a low power Programmable Gain Amplifier for 2.4-GHz band IEEE 802.15.4 standard in 0.18  $\mu\text{m}$  CMOS technology. This PGA is composed by two paths which are based on two differential Op-Amps connected in cascade. A feedback network is added in order to achieve a wide dynamic range. Furthermore, a varactor was also included to provide enough phase margin under different gains. The PGA has a maximum gain of 42.82 dB and a phase margin of 60° for the desired bandwidth of 8 MHz. Finally, the PGA was added to a front-end device to form a receiver. The receiver achieves 86 dB voltage conversion gain with 80 dB gain variation, 11.5dB noise figure (NF), 30 dBc image rejection and -14 dBm input third-order intercept point (IIP3). It only consumes 6.2 mW.

**Index terms:** Programmable Gain Amplifier (PGA), CMOS RFIC, IEEE 802.15.4 receiver, low-noise amplifier (LNA), passive quadrature mixer, complex filter.

## I. INTRODUCTION

In recent times there has been a rise of CMOS as the preferred option when designing consumer-based wireless applications. The hot topic in this research field is full system integration in pursuit of reducing both the cost and the form-factor of wireless transceivers. In order to achieve longer battery life, ultra-low power design has recently become a widely discussed topic for applications such as wireless sensor networks (WSN) and wireless personal area networks (WPAN). The IEEE 802.15.4 standard has been designed to meet these requirements. This standard operates in the 868 MHz/915 MHz/2.4 GHz Industrial, Scientific and Medical (ISM) bands with a data rate ranging from 20 to 250 kb/s depending on the operating frequency band [1].

This paper deals with the design and implementation of a Programmable Gain Amplifier for the 2.4-GHz-band specified in the IEEE 802.15.4 standard. The PGA was included in a receiver which was previously designed [1]. The receiver architecture is discussed in Section II. The PGA circuit design is explained in Section III. Section IV summarises the simulation results of the implemented PGA and the entire receiver and, finally, some conclusions are given in Section V.

## II. RECEIVER ARCHITECTURE

Direct conversion architectures (Zero-IF and Low-IF) are widely used to implement radios in a single chip. Zero-IF receivers directly down-convert the RF input signal to baseband requiring only a few components. Using this architecture presents several drawbacks: 1/f noise, dc offset, I/Q mismatch,

even order distortion and local oscillator (LO) leakage. On the contrary, the low-IF architecture does not exhibit either a severe dc offset or 1/f noise, though it retains the drawback of a restricted image rejection which is accomplished by a complex filter. The order of this filter depends on the blocking profile imposed to the receiver by the IEEE 802.15.4 standard, shown in Figure 1.

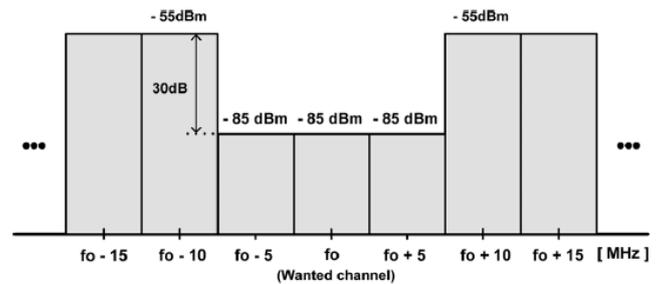


Figure 1. Blocking profile in the 2.4-GHz band for ZigBee radio.

In this case, the interferences around the desired signal are relatively insignificant compared with the environment of other radio technologies, (WLAN, GSM, WCDMA, etc.). Consequently, the requirements of the image rejection filter are very relaxed, which is the reason why a number of IEEE 802.15.4 receivers in the literature use a low-IF receiver architecture [1][2].

The receiver architecture is introduced in Figure 2. An inductive degenerated cascode LNA topology is used at the input. This topology is known to provide high gain, low noise and high input/output isolation. In order to achieve simultaneously low noise and input matching, the inductive degeneration technique is used.

A passive double-balanced downconversion mixer has been chosen because it dissipates no dc current, provides high linearity and reduces the LO leakage. Also, as no dc current flows through the transistors, the 1/f noise contribution from the mixers is minimized.

The current signal from the mixer is converted to voltage by a TIA. This amplifier consists of two inverters in parallel and resistive feedback loops.

A Butterworth third order gm-C complex filter was implemented. It consists of two Butterworth third order gm-C low-pass filters for the I and Q paths and two crossing extra signal paths per integrator to transform the low-pass prototypes to their band-pass complex counterparts. In order to reduce the power consumption, inverter based transconductors have been

used in the I and Q paths. The main issue with this kind of transconductors is the difficulty of setting the DC levels. To maintain the output common mode voltage stability, Nautas' transconductors have been used in the crossing signal paths that connects the I and Q branches [1][3].

Finally, a Programmable Gain Amplifier was implemented. This circuit's objective is to increase the gain of both I and Q paths. It must be taken into account that the linearity of the PGA is critical for the receiver.

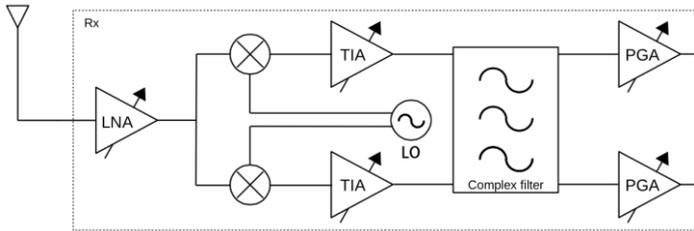


Figure 2. System architecture of the proposed receiver.

### III. PGA DESIGN

The block diagram of the designed PGA is shown in Figure 3. As it can be seen, the PGA is made up of two cascade Op-Amps for each of the I and Q paths. In order to achieve a high linearity and a wide dynamic range, each amplifier has a feedback network implemented by an array of switched resistors. The circuit also includes two varactors, which provide enough phase margin under different gains. The gain of the PGA varies depending on the value of the resistor array. This way, the gain of each amplifier linearly increases from -0.35 to 21.41 dB in 3dB-steps, achieving a total gain of 42.82 dB for each path of the PGA [2].

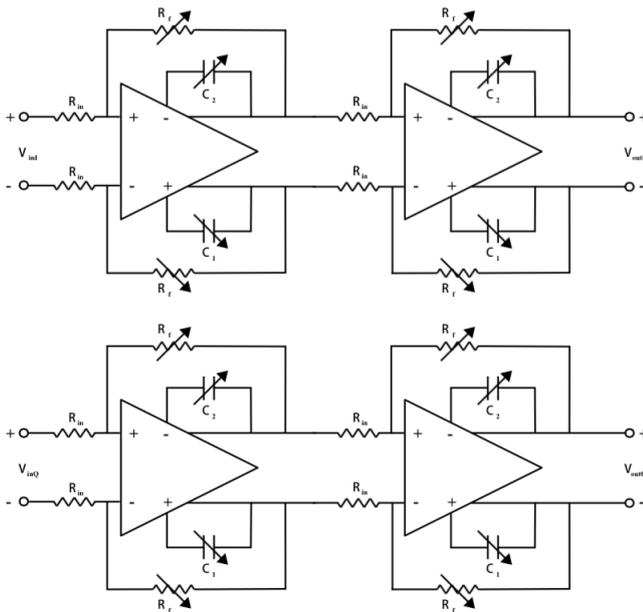


Figure 3. PGA schematic.

To summarise, each Op-Amp in the PGA is a differential two-stage amplifier with pole-zero compensation using a series capacitor with a feedback resistor network. These amplifiers have been designed using the  $g_m/I_d$  methodology [4], which

exploits the link between the transconductance ( $g_m$ ), the drain current ( $I_d$ ) and the value of the ratio  $I_d/(W/L)$ . This design methodology offers a good way to size the transistors while catering to the performance of the circuit, and it provides information about the operation range of the device [4]. Moreover, this methodology boosts the gain with a lower power consumption [5].

The schematic of the designed Op-Amp is shown in Figure 4. As it can be observed, the Op-Amp consists of a differential input stage, formed by transistors  $M_1$  and  $M_2$ , and a current mirror, implemented with transistors  $M_5$  and  $M_{10}$ . The input transistors are sized with the goal of finding the balance between the specifications and the characteristics of the devices [4]. The current mirror works in the strong inversion region in order to provide good matching and low noise. The output stage consists of two Class-A amplifiers (transistors  $M_6$ - $M_{10}$ ) with pole-zero compensation in order to achieve a good bandwidth. Moreover, a common-mode feedback (CMFB) network is included to stabilize the differential output levels and achieve a good common-mode rejection ratio (CMRR). It is composed by a differential pair formed by transistors  $M_{11}$  and  $M_{12}$  that compares the output voltage level with a fixed reference voltage ( $V_{REF}$ ) and set the bias of transistors  $M_3$  and  $M_4$ . For a 1.4 V supply and a load capacitance of 1 pF, a gain of 21.41 dB and a bandwidth around 80 MHz is achieved for each Op-Amp with a total power consumption of 0.49 mW.

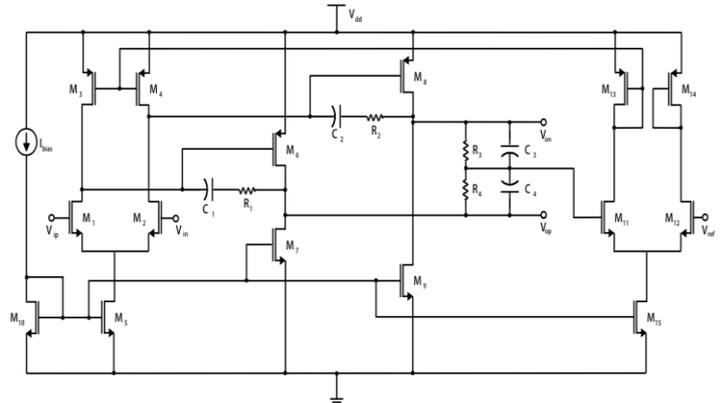


Figure 4. Op-Amp schematic.

### IV. SIMULATION RESULTS

The designed PGA was implemented in a standard 0.18  $\mu\text{m}$  CMOS technology and it was simulated using Advanced Design System (ADS) software. The simulated phase margin and the gain of this circuit for the maximum gain mode are shown in Figure 5. As it can be observed, the circuit has a maximum gain of 42.82 dB and a phase margin of  $60^\circ$  for the desired bandwidth of 8 MHz.

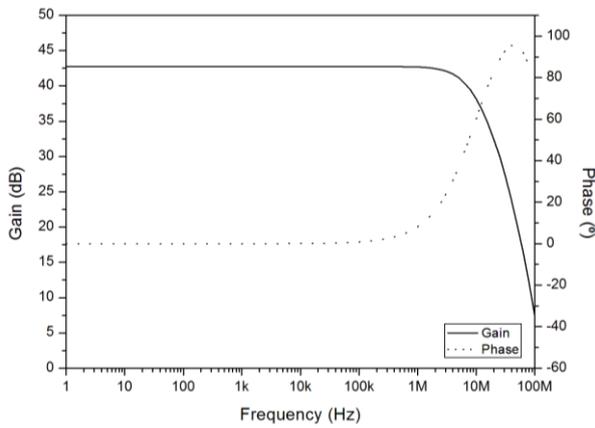


Figure 5. Bode diagram of the PGA.

Table 1 shows the different gain modes of the PGA, depending on the digital control word. Each of these configurations have different bandwidth and phase margin values. In the case of the bandwidth, they range from 8 MHz (max. gain mode) to 20 MHz (min. gain mode), approximately. Regarding the phase margin values, these vary between  $51^\circ$  and  $130^\circ$ . The gain of the PGA can range from  $-0.69$  dB to  $42.82$  dB, depending on the values of the resistor array and varactor selected with the control word. The step between the different gain modes is 3 dB, and it has a maximum deviation of 0.7 dB.

Table 1. PGA Gain for each control word.

Control word	Gain (dB)	Bandwidth (MHz)	Phase Margin ( $^\circ$ )
0	-0,69	19,91	51,2
1	2,31	19,81	82,4
2	5,32	19,81	119,3
3	8,33	19,81	128,5
4	11,37	19,81	128,9
5	14,42	15,82	129,4
6	17,50	15,82	125,2
7	20,62	12,56	130,8
8	24,47	7,83	115,5
9	27,48	7,83	101,2
10	30,50	7,83	91,6
11	33,54	7,83	78,8
12	36,60	7,93	76,7
13	39,69	7,93	60,5
14	42,82	7,93	58,9

After meeting the specified requirements for the PGA, the circuit was included in the receiver. The total power consumption of the entire receiver is  $6.2$  mW –  $1.70$  mA at  $1.8$  V for the LNA,  $60$   $\mu$ A at  $1.4$  V for the mixer&TIA,  $0.76$  mA at  $1.4$  V for the complex filter and  $1.4$  mA at  $1.4$  V for the PGA. The input matching of the receiver ( $S_{11}$ ) is below  $-10.3$  dB.

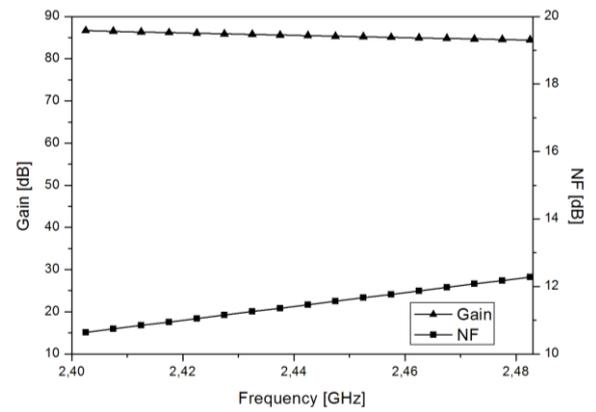


Figure 6. Receiver gain and NF.

The gain and NF for the receiver are shown in Figure 6 in the max. gain mode. The noise figure ranges from  $11.5$  dB to  $12.5$  dB over the entire band while the gain is almost constant with a value around  $86$  dB.

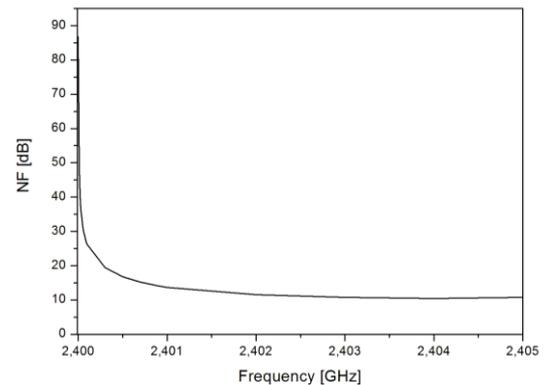


Figure 7. NF for a single channel

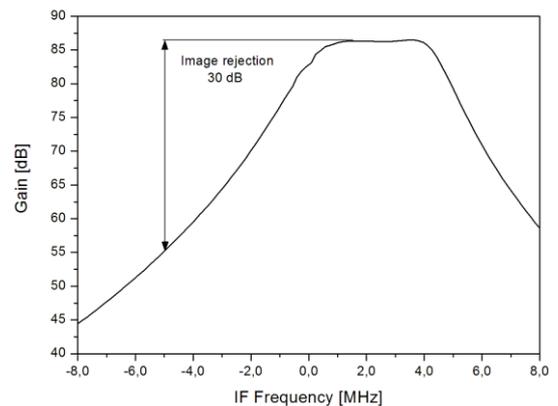


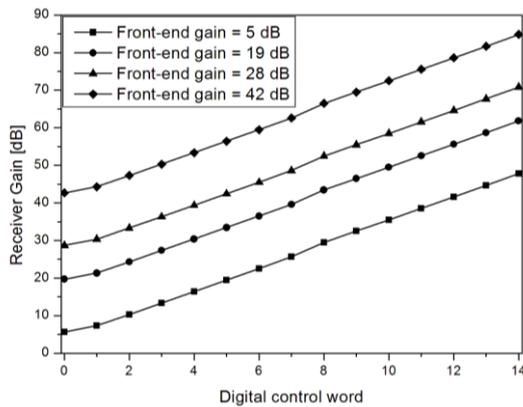
Figure 8. Frequency response of the receiver.

The simulated value of the receiver's NF for one channel is shown in Figure 7. The simulation shows a constant value of  $11.5$  dB approximately, with a high rise at low frequencies due to the  $1/f$  noise. On the other hand, Figure 8 shows the frequency response of the receiver. As it can be seen, the maximum gain is over  $86$  dB and the image rejection of the adjacent channel is  $30$  dB.

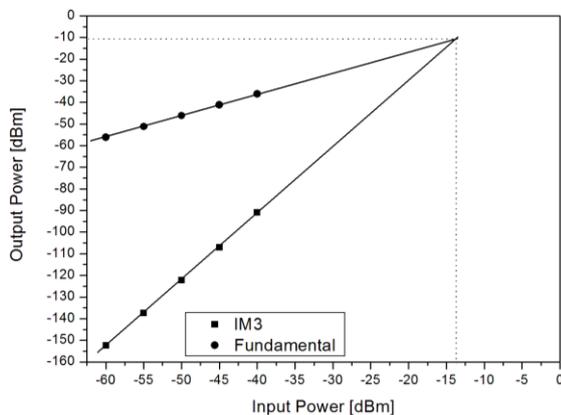
**Table 2.** Gain modes of the front-end

LNA gain [dB]	TIA gain [dB]	Front-end Gain [dB]	Front-end NF [dB]
4	1	5	43
18	1	19	28
4	24	28	25
18	24	42	10.3

As it can be observed in Table 2, the LNA has a maximum gain of 18 dB and a minimum gain of 4 dB. In addition, the TIA has a high gain mode of 24 dB and a low gain mode of 1 dB. Thus, the receiver front-end gain ranges from 5 to 42 dB while the NF decreases from 43 to 10.3 dB when the gain is increased [1]. This increase of the NF at low gains is acceptable because, as IEEE 802.15.4 specifies, when the input power increases the tolerable NF also rises [2]. According to the standard, the input signal ranges from a minimum value of -85 dBm (sensitivity) and a maximum value of -20 dBm, which imposes a maximum NF ranging from 15.5 to 78 dB.

**Figure 9.** Receiver gain depending on the digital control word.

The gain that the PGA provides can be varied with the digital control word. As stated above, the front-end offers four different gain modes. When these two effects are combined, the results shown in Figure 9 are obtained. As it can be deduced from Figure 9, the receiver gain can be varied from 5 to 86 dB. It is observed that the gain varies linearly in a logarithmic scale with the digital control word for the different front-end gain modes.

**Figure 10.** IIP3 of the receiver.

Finally, the simulated value of the third-order input intercept point (IIP<sub>3</sub>) at high gain mode is shown in Figure 10. An -14 dBm IIP<sub>3</sub> is obtained when two tones at 500 kHz offset from the center of the designed channel are applied at the input.

Table 3 compares the entire receiver (including the designed PGA) to previously reported IEEE 802.15.4 receivers. It shows that our results are in line with the state-of-the-art of low-power/low-cost front-end receivers.

**Table 3.** Performance comparison of IEEE 802.15.4 receivers

	[2]	[6]	[7][7]	[8]	This Work
Technology [nm]	180	180	90	180	180
Gain [dB]	86	30	67	-	86
NF [dB]	8.5	7.3	16	<10	11.5
IIP3 [dB]	-8	-8	-10.5	>-15	-14
Power dissipation [mW]	12.63	6.3	10	10.8	6.2
Architecture	Low-IF	Low-IF*	Low-IF	Low-IF	Low-IF

\*: This design does not include a Complex Filter and a PGA

## CONCLUSIONS

A PGA for the 2.4 GHz band specified by the IEEE 802.15.4 standard was designed in 0.18- $\mu$ m CMOS technology. The PGA has a total DC power consumption of 1.96 mW. This circuit is included in a low-IF receiver which comprises a variable gain single-ended LNA, a quadrature passive mixer, a variable gain TIA and a complex filter for image rejection. The receiver shows 86 dB conversion gain with 80 dB gain variation, 11.5 dB NF, 30 dBc image rejection and -14 dBm IIP<sub>3</sub>. The achieved performance exceeds the requirements of the standard, yet performs favorably in terms of high level of integration and low power consumption.

## ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Economy and Competitiveness (TEC2015-71072-C03-01).

## REFERENCES

- [1] S. Mateos-Angulo, D. Mayor-Duarte, S. L. Khemchandani, & J. del Pino, "A low-power fully integrated CMOS RF receiver for 2.4-GHz-band IEEE 802.15.4 standard." in XXX Design of Circuits and Integrated Systems (DCIS), Estoril, 2015, pp. 1 -6.
- [2] Liu Weiyang, Chen Jingjing, Wang Haiyong, and Wu Nanjian, "A low power 2.4 GHz transceiver for ZigBee applications," Journal of Semiconductors, vol.34, no.8, Aug. 2013.
- [3] Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," IEEE Journal of Solid-State Circuits, vol.27, no.2, Feb 1992.
- [4] Alessandro Girardi and Sergio Bampi, "Power constrained Design Optimization of Analog Circuit Based on Physical gm/Id Characteristics", Journal Integrated Circuits and Systems, vol.2, no.1, 2007.
- [5] Fernando Paixão Cortes, Eric Fabris and Sergio Bampi, "Analysis and design of amplifiers and comparators in CMOS 0.35  $\mu$ m technology", Microelectronics Reliability, Elsevier Ltd., April 2004, vol. 44, p. 657 - 664.

- [6] Trung-Kien Nguyen, Vladimir Krizhanovskii, Jeongseon Lee, Seok-Kyun Han, Sang-Gug Lee, Nae-Soo Kim, and Cheol-Sig Pyo, "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- $\mu$ m CMOS Technology," IEEE Transactions on Microwaves Theory and Techniques, vol.54, no.12, Dec. 2006.
- [7] Ajay Balankutty, Shih-An Yu, Yiping Feng, and Peter R. Kinget, "0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications," IEEE Journal of Solid-State, vol. 45, no. 3, Mar 2010.
- [8] Ilku Nam, Kyudon Choi, Joonhee Lee, Hyok-Kyu Cha, Bo-Ik Seo, Kuduck Kwon, and Kwiro Lee, "A 2.4-GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18- $\mu$ m CMOS for IEEE 802.15.4 WPAN applications ," IEEE Transactions on Microwaves Theory and Techniques, vol.55, no.4, Apr 2007.